สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เครื่องโทรศัพย์มัลติฟังชั่น

MULTIFUNCTION TELEPHONE

นายวิโรจน์ เวียนศรี 313424

นายสมจิตต์ ภูผาธรรม 313430

นายสมพร จารุดิลกกุล 313432

อาจารย์ที่ปรึกษา

อาจารย์อุทัย ศรีธีระวิโรจน์

สาขา เทคโนโลยี่อิเลคทรอนิคส์

ภาควิชา เทคนิคอุตสาหกรรม

คณะวิศวกรรมศาสตร์

สถาบันเทคโนโลยี่พระจอมเกล้า เจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2533

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

027901

12 ก.ค. 2534

ปริญญานิพนธ์ ปี 2533

ภาควิชา เทคนิคอุตสาหกรรม

สาขา เทคโนโลยี่อิเลคทรอนิคส์

คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยี่พระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เรื่อง เครื่องโทรศัพท์มัลติฟังก์ชั่น (Multifunction Telephone)

ผู้จัดทำ

1. นายวิโรจน์ เวียนศรี
2. นายสมจิตต์ ภูผาธรรม
3. นายสมพร จารุดิลกกุล

คณะกรรมการ

.....

(อาจารย์อุทัย ศรีธีระวิโรจน์)

.....

( )

.....

( )

.....

( )

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

027901

เครื่องโทรศัพท์มัลติฟังก์ชัน

วิโรจน์ เวียนศรี 313424
สมจิตต์ ภูผาธรรม 313430
สมพร จารุดิลกกุล 313432

อจ.อุทัย ศรีธีระวิโรจน์ อจ.ที่ปรึกษา

ปีการศึกษา 2533

บทคัดย่อ

ปริญญานิพนธ์นี้ เป็นการนำเสนอการออกแบบ และการสร้างเครื่องโทรศัพท์มัลติฟังก์ชัน ด้วยวัตถุประสงค์ที่จะอำนวยความสะดวกให้แก่ผู้ใช้ และช่วยเพิ่มประสิทธิภาพใช้ โทรศัพท์ ให้มากขึ้น โดยเครื่องโทรศัพท์นี้สามารถใช้กับชุมสายโทรศัพท์แบบที่รับสัญญาณหมายเลขเป็นแบบพัลซ์ (PULSE) และแบบโทน (DTMF) มีระบบการใช้โทรศัพท์ โดยไม่ต้องยกหู (HANDSFREE SYSTEM) สามารถเรียกโทรศัพท์ ได้อย่างอัตโนมัติ (Automatic Dialer) โดยเครื่องจะทำการเรียกด้วยการอ่านหมายเลขจากหน่วยความจำ ซึ่งผู้ใช้สามารถบันทึกหมายเลขเอาไว้ได้ และสามารถเรียกไปยังหมายเลขล่าสุดที่ใช้ได้อย่างอัตโนมัติ (Redial) มีส่วนตอบรับโทรศัพท์ และบันทึกข้อความ ซึ่งได้พัฒนาขึ้นโดยใช้หน่วยความจำ (RAM) เป็นตัวบันทึกข้อความที่ใช้ในการตอบรับและบันทึกข้อความที่ผู้เรียกเข้ามาต้องการฝากไว้แทนการใช้เครื่องเล่น-บันทึกเทป สามารถเปิด-ปิดอุปกรณ์ไฟฟ้าโดยผ่าน AC-LINE 220V

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Multifunction Telephone

VIROJ WEANSRI 313424

SOMJIT PUPATHUM 313430

SOMPORN JALUDILUKKUL 313432

ADVISOR UTHAI SRITEERAVIROJANA

Abstract

This thesis presents the design and invent the telephone which have many functions or the Multifunction Telephone. The objective of this project is to develope and to increase the efficiency of the telephone. The Multifunction Telephone can use with either pulse or tone system. This Multifunction Telephone provides many function as list below

-TELEPHONE (PULSE & DTMF DIALER)

-HANDSFREE CIRCUIT

-REDAIL

-100 MEMORY TELEPHONE NUMBER

-AUTOMATIC ANSWERING

-SOUND RECODER

-TELEPHONE REMOTE CONTROL EQUIPMENT(ON-OFF EQUIPMENT BY AC-LINE CONTROL,DTMF SYSTEM ONLY)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กิตติกรรมประกาศ

โครงงานเรื่องเครื่องโทรศัพท์มัลติฟังก์ชัน (Multifunction Telephone) เป็นโครงงานเพื่อนำเสนอต่อภาควิชาเทคนิคอุตสาหกรรม สาขาเทคโนโลยีอิเลคทรอนิคส์ คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง โครงงานนี้สามารถสำเร็จลุล่วงไปได้คณะผู้จัดทำได้รับความช่วยเหลือจาก อาจารย์อุทัย ศรีธีระวิโรจน์ อาจารย์ที่ปรึกษาโครงงาน และคณะผู้จัดทำขอขอบคุณ คุณสุนีย์ รัตนนภาลัย ที่ช่วยพิมพ์รายงานฉบับนี้ รวมทั้งเพื่อน ๆ ทุกคนที่ให้กำลังใจในการทำโครงงานนี้ และขอขอบคุณบริษัท SCT ที่ช่วยอำนวยความสะดวกในการใช้สถานที่เพื่อทดลอง Project

คณะผู้จัดทำ

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ

		หน้า
กิตติกรรมประกาศ		
บทที่ 1	บทนำ	1
	ความสามารถของโทรศัพท์มัลติฟังก์ชัน	2-3
บทที่ 2	โครงสร้างของเครื่องโทรศัพท์มัลติฟังก์ชัน	4
	2.1 โครงสร้าง แสดงบล็อคไดอะแกรมของเครื่องมัลติฟังก์ชัน	4
	2.2 วงจรโทรศัพท์	5-6
	2.3 ส่วนแฮนฟรี	7
	2.4 ส่วนตอบรับโทรศัพท์	8
	2.5 ส่วนบันทึกข้อความ	9
	2.6 ส่วนควบคุมเปิด-ปิดอุปกรณ์ไฟฟ้าภายในบ้าน	9
บทที่ 3	การออกแบบและสร้างเครื่องโทรศัพท์มัลติฟังก์ชัน	10
	1. วงจรโทรศัพท์	10
	1.1 วงจรสร้างพัลและโทน	10-11
	1.2 วงจรโฮลสายโทรศัพท์	12
	1.3 วงจรเสียงกริ่งโทรศัพท์	12
	2. วงจรขยายสัญญาณปากพูดหรือวงจรแฮนด์ฟรี	13-14
	- แสดงวงจรโทรศัพท์พร้อมแฮนดีฟรีที่สมบูรณ์	15
	3. วงจรส่วนตอบรับโทรศัพท์และส่วนบันทึก	16
	- หลักการของเดลต้ามอดูเลชัน	16-24
	4. วงจรส่วนตรวจจับสัญญาณโทน	25
	5. วงจรนับจำนวนสัญญาณเรียก	25-27
	6. วงจรยกหูและวางหูโทรศัพท์อัตโนมัติ	27-28

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

7. วงจรตรวจสอบลักษณะของสัญญาณที่ส่งมาจากชุมสายโทรศัพท์ 29
8. วงจรเปิด-ปิด อุปกรณ์ไฟฟ้า โดยผ่าน LINE AC 22V 29-31
8.1 ส่วนสร้างสัญญาณโทน 32
8.2 เครื่องส่งความถี่แบบเอฟเอ็ม ใช้ IC เบอร์ 4046 32
8.3 เครื่องรับความถี่แบบเอฟเอ็ม ใช้ IC เบอร์ 4046 32-35
8.4 วงจรตรวจสอบสัญญาณโทนของชุดควบคุมเปิด-ปิดอุปกรณ์ไฟฟ้า 36-38
8.5 วงจรคีบอร์ด 39-42
9. การควบคุมการทำงานของโทรศัพท์ 43
9.1 หลักการใช้งาน 880 43-50
9.2 ส่วนของวงจรควบคุม 51
9.3 การจัดหน่วยความจำ 51
9.4 การจัดอินพุทและเอาพุทพ์อวิท 52-64
9.5 ส่วนประกอบของ Board ที่ประกอบขึ้น 65-67
บทที่ 4 วิธีการใช้งานโทรศัพท์มัลติฟังก์ชัน 68-70
บทที่ 5 โปรแกรมควบคุมการทำงานของเครื่องโทรศัพท์มัลติฟังก์ชัน
สรุป
Referance

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 1

บทนำ

เมื่อหลายปีก่อนเราคงคุ้นเคย กับ เครื่องโทรศัพท์ แบบจานหมุน หรือไดอัล (Dial) คือ ถ้าเราต้องการโทรไปยังหมายเลขใดก็หมุนตามหมายเลข ซึ่งภายในเครื่องโทรศัพท์จะใช้วิธีการตัดไฟที่จ่ายมายังเครื่องโทรศัพท์ให้เป็นห้วง ๆ ซึ่งเราเรียกว่า พัลซ์ (Pulse) เช่น เมื่อหมุนหมายเลข 1 การตัดไฟจะเกิดขึ้น 1 ครั้ง ทำให้เกิดพัลซ์ 1 ลูก หรือหมุนหมายเลข 2 ก็จะเกิดพัลซ์ 2 ลูก จนกระทั่งหมุนหมายเลข o จะทำให้เกิดพัลซ์ 1o ลูก เมื่อเราหมุนหมายเลขตามต้องการขบวนการพัลซ์ที่ว่านี้จะถูกส่งไปยังชุมสายเพื่อไปบังคับให้ต่อกับหมายเลขที่เราต้องการพูดด้วย และหลังจากนั้นไม่นาน ก็เข้ายุคของการกดปุ่ม ซึ่งพัฒนาระบบพัลซ์มาเป็นระบบความถี่หรือ ทัชโทน (Touch tone) ระบบนี้จะส่งระหัสออกไปเป็นความถี่ หรือ ถ้าเรียก ชื่อเต็ม ๆ ว่า Dual Tone Multi Frequency Dialing หรือ DTMF ถ้ามีการกดหมายเลขใด จะมีความถี่สอง ไปเป็นระหัสความถี่ที่เกิดขึ้นสามารถดูได้จาก รูปที่ 1 และตารางที่ 1

	C1	C2	C3
R1	1	2	3
R2	4	5	6
R3	7	8	9
R4	*	0	#

อินพุท	ความถี่ (Hz)	% ผิดพลาด
R1	697	+ 0.31
R2	770	- 0.49
R3	852	- 0.54
R4	941	+ 0.74
C1	1,209	+ 0.57
C2	1,336	- 0.32
C3	1,477	- 0.35

รูปที่ 1 แสดงตำแหน่งเลขบนแผงกดปุ่ม ตารางที่ 1 แสดงความถี่ประจำหมายเลขบนแผงกดปุ่ม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ความสามารถของเครื่องโทรศัพท์มัลติฟังก์ชัน

1. สามารถใช้เชื่อมต่อกับคู่สายโทรศัพท์ที่รับสัญญาณแบบพัลซ์ (Pulse) หรือชุมสายที่รับ สัญญาณหมายเลขเป็นแบบโทน (Dual Tone Multifrequency) ซึ่งโดยความเป็นจริงแล้ว ระบบทั้งสอง จะใช้ร่วมกันไม่ได้ แต่เครื่องโทรศัพท์มัลติฟังก์ชันที่สร้างขึ้นจะใช้ได้กับทั้งสองระบบ เพียงแต่เปรียบการทำงานโดยสวิทช์เพียงตัวเดียว

2. มีระบบการเรียกโทรศัพท์ ได้อย่างอัตโนมัติ (Automatic Dialer) ผู้ใช้สามารถเก็บหมายเลขโทรศัพท์ไว้ ในหน่วยจำได้ 2o หมายเลขสามารถเรียกออกได้ โดยตรงเพียงยกหูโทรศัพท์ และกดปุ่มความจำหมายเลขเพียงปุ่มเดียวซึ่งเครื่องโทรศัพท์มัลติฟังก์ชันจะส่งหมายเลขที่เก็บไว้ ณ ตำแหน่งหน่วยความจำของปุ่มนั้นออกไป ฟังก์ชันนี้ทำให้การเรียกออกสามารถทำได้อย่างรวดเร็ว เพราะไม่ต้องเสียเวลาในการกดหมายเลขถึง 7 ตัว หรือมากกว่านี้ถ้าเป็นการโทรทางไกล นอกจากนี้ถ้าใช้หน่วยความจำดังกล่าวมาบันทึกหมายเลขโทรศัพท์ของสถานีตำรวจ หรือของสภานีกับเพลิงหรือโรงพยาบาล ก็จะเป็นผลดีอย่างยิ่งเพราะเมื่อมีเหตุฉุกเฉิน จะสามารถเรียกได้ทันที

3. สามารถเรียกไปยังหมายเลขล่าสุดที่ใช้อย่างอัตโนมัติ (Redial) คุณประโยชน์ สำหรับฟังก์ชันนี้ คือทำให้ผู้ใช้สามารถเรียกไปยังหมายเลขล่าสุดที่โทรได้ โดยไม่ต้องกดหมายเลขนั้นซ้ำอีกเพียงแต่กดปุ่ม Redial เท่านั้น ความสามารถนี้มีประโยชน์มากในสถานการณ์ที่เรียกไปแล้วแต่ คู่สายปลายทางไม่ว่างและต้องการเรียกใหม่ด้วยตนเอง โดยไม่ได้ใช้ระบบการเรียกทวนซ้ำอัตโนมัติ

4. สามารถเรียกโทรศัพท์ทวนซ้ำอัตโนมัติ ประโยชน์ทำให้การเรียกไปยังคู่สายที่ไม่ว่างซึ่งผู้ใช้ต้องการจะติดต่อไปยังคู่สายนั้นโดยเร็วที่สุด และไม่ต้องการคอยเรียกซ้ำแล้วซ้ำอีกซึ่งเป็นการสูญเสียเวลา เพราะเราไม่สามารถทราบได้ว่าคู่สายจะว่างเมื่อใด ดังนั้นเราจึงจะให้เครื่องโทรศัพท์มัลติฟังก์ชันทำการเรียกไปยังคู่สายปลายทางและคอยเช็คสักษณะของคู่สายปลายทางว่าว่างหรือไม่เองอย่างอัตโนมัติ เมื่อเครื่องโทรศัพท์มัลติฟังก์ชันทำการเรียกไปยังคู่สายปลายทางได้แล้ว จะมีสัญญาณ แล้วให้ผู้ใช้ทราบทางลำโพง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งไม่อนุญาตให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในการเรียกโทรศัพท์อย่างอัตโนมัติ และการเรียก ไปยังหมายเลขล่าสุดนั้นถ้าการเรียกไม่สำเร็จและผู้ใช้ยังไม่วางหูเครื่องโทรศัพท์จะเข้าสู่หมวด ของการหมุนโทรศัพท์ทวนซ้ำให้เองอย่างอัตโนมัติถ้าผู้ใช้ ไม่ต้องการการหมุนทวนซ้ำก็ทำได้ด้วยการวางหูโทรศัพท์โดยปิด Hookswitch

5. สามารถตอบรับโทรศัพท์ที่เรียกเข้ามาแล้วไม่มีผู้รับสาย โดยทั่วไปถ้ามีการเรียกเข้ามาแต่ ไม่มีผู้มารับสาย หรืออาจจะไม่มีผู้ใดอยู่ก็จะทำให้การเรียกนั้นสูญเปล่า ผู้ที่ถูกเรียกเข้ามาก็ไม่สามารถทราบได้ว่าระหว่างที่ไม่อยู่นั้นมีผู้ใดติดต่อเข้ามาบ้าง แต่เครื่องโทรศัพท์มัลติฟังก์ชันสามารถตอบสนองต่อการเรียกเข้ามาลักษณะดังกล่าว โดยสามารถตอบรับโทรศัพท์ได้ ซึ่งจะเป็นการแจ้งให้ผู้เรียกเข้ามาทราบว่าไม่มีบุคคลใดอยู่ ณ ที่นั้น และจะแจ้งให้ผู้เรียกเข้ามาฝากข้อความไว้ถึงบุคคลที่ต้องการจะติดต่อด้วย โดยจะมีเวลาสำหรับการฝากข้อความต่อ 1 การเรียกครั้งละ 1 นาที

6. สามารถบันทึกข้อความทางโทรศัพท์ได้

หน้าที่นี้เป็นหน้าที่ต่อเนื่องการตอบรับข้อความ เมื่อเครื่องโทรศัพท์มัลติฟังก์ชันได้ทำการตอบรับโทรศัพท์แล้วก็จะทำหน้าที่ในการบันทึกข้อความที่ผู้เรียกเข้ามามีความ ประสงค์จะฝากไว้ โดยจะจัดเวลาให้สามารถบันทึกได้ 1 นาที ต่อการฝากข้อความ 1 ครั้งส่วนการบันทึกข้อความนี้สามารถบันทึกข้อความได้เป็นระยะเวลานาน

7. สามารถทำหน้าที่แจ้งภัยทางโทรศัพท์ เมื่อมีเหตุผิดปกติเกิดขึ้นกับเคหสถาน เมื่อมีเหตุผิดปกติเกิดขึ้น เครื่องโทรศัพท์จะทำการตรวจสอบความผิดปกตินั้นว่าเป็นภัยชนิดใดแล้วจะทำการเรียก ไปยังหมายเลขโทรศัพท์ที่โปรแกรมไว้

8. สามารถ Control อุปกรณ์ไฟฟ้าภายในบ้านโดยผ่านทาง Key ของ telephone ได้

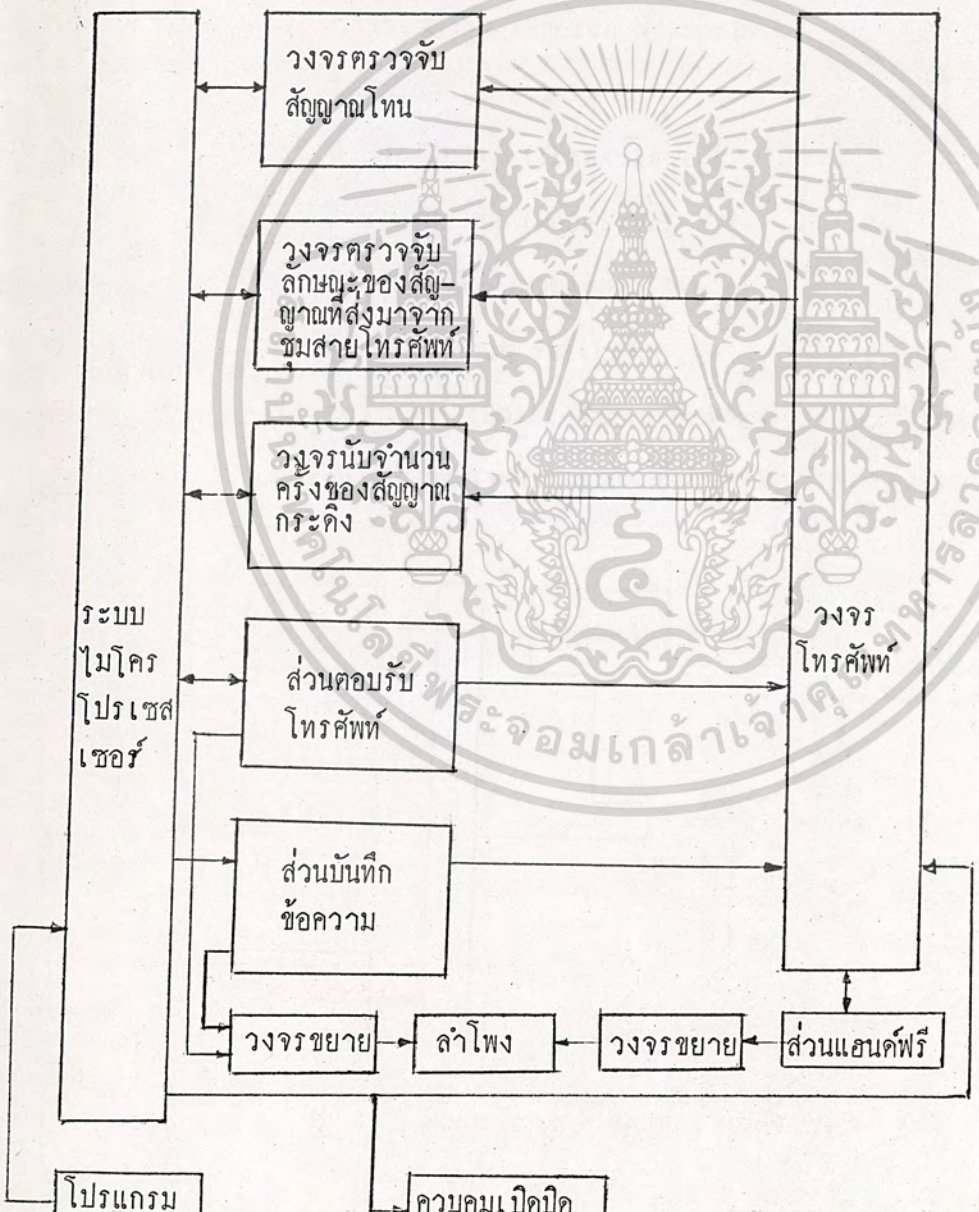
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 2

โครงสร้างของเครื่องโทรศัพท์มัลติฟังก์ชัน

2.1 โครงสร้าง

เครื่องโทรศัพท์มัลติฟังก์ชันประกอบด้วยส่วนต่าง ๆ แสดงดังรูป 2.1



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับใช้เพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูป 2.1 แสดงบล็อคไดอะแกรมของเครื่องโทรศัพท์มัลติฟังก์ชัน

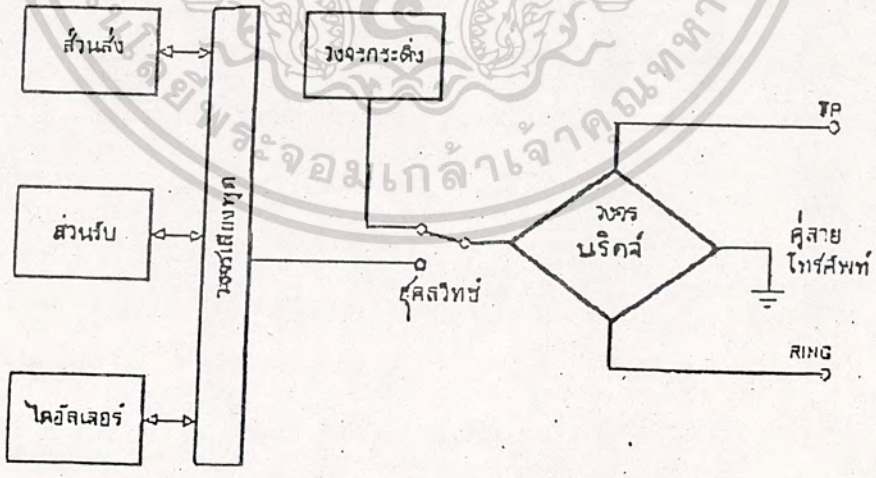
2.2 วงจรโทรศัพท์

วงจรโทรศัพท์นี้ เป็นส่วนที่ทำการส่งเสียงพูดของผู้ใช้ผ่านคู่สายโทรศัพท์ไปยัง . คู่สนทนาและรับเสียงของคู่สนทนาจากคู่สายโทรศัพท์มาแล้วขยายออกหูฟังให้แก่ผู้ใช้ และยังทำหน้าที่ส่งสัญญาณหมายเลขโทรศัพท์ไปยังชุมสายโทรศัพท์ เพื่อแจ้งให้ชุมสายโทรศัพท์ทราบว่าผู้ใช้ต้องการติดต่อไปยังคู่สายปลายทางใด เมื่อชุมสายทำการติดต่อไปยังคู่สายปลายทางได้ผลประการใดก็จะมีสัญญาณส่งจากชุมสายโทรศัพท์มาแจ้งให้ทราบ

วงจรโทรศัพท์ประกอบด้วยส่วนประกอบที่สำคัญ 7 ส่วนคือ

1. วงจรเสียงพูด (Speech Network)
2. ไดอัลเลอร์ (Dialer)
3. ส่วนส่งเสียงพูด (Transmitter)
4. ส่วนรับเสียงพูด (Receiver)
5. วงจรตรวจจับสัญญาณเรียก (Ringer)
6. ฮุคสวิทช์ (Hook Switch)
7. วงจรบริดจ์ (Polar Guard Bridge)

แต่ละส่วนประกอบจะประกอบกันเป็นวงจรโทรศัพท์แสดงดังรูป 2.2



รูป 2.2 แสดงบล็อคไดอะแกรมของวงจรโทรศัพท์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หน้าที่ของส่วนประกอบต่างๆ ของวงจรโทรศัพท์มีดังนี้

2.2.1 วงจรเสียงพูด หรือวงจรไฮบริดจ์ (Hybridge) ส่วนนี้มีหน้าที่แปลงสัญญาณเสียงในคู่สายโทรศัพท์จากระบบทูไวร์ (2-Wire) เป็นระบบโฟว์ไวร์ (4-Wire) ขยายสัญญาณเสียงทั้งทางด้านรับและทางด้านส่งควบคุมไซด์โทนเลฟเวล (Side Tone Leve) ด้วยเพราะว่าการสื่อสารโดยโทรศัพท์เป็นแบบฮาล์ฟดูเพล็กซ์ (Half-Duplex) ซึ่งเมื่อฝ่ายหนึ่งพูดอีกฝ่ายหนึ่งต้องเป็นผู้ฟัง การพูดพร้อมกันจะทำให้เกิดการรบกวนกันของสัญญาณเสียงทำให้ฟังไม่รู้เรื่อง

2.2.2 ไดอัลเลอร์ มีหน้าที่ทำการกำเนิดสัญญาณหมายเลขโทรศัพท์ เพื่อส่งไปยังชุมสายโทรศัพท์ ซึ่งเครื่องโทรศัพท์มัลติฟังก์ชันนี้ กำเนิดสัญญาณได้ทั้งแบบพัลซ์และแบบโทน

2.2.3 ส่วนส่งเสียงพูด ส่วนนี้จะเป็นไมโครโฟนที่จะส่งเสียงพูดของผู้ใช้แล้วแปลงเป็นสัญญาณไฟฟ้าเข้าสู่วงจรเสียงพูดเพื่อส่งไปยังคู่สนทนา

2.2.4 ส่วนรับเสียงพูด ส่วนนี้จะเป็นลำโพหรือไดอะแฟรม (Diafram) เพื่อแปลงเสียงพูดของคู่สนทนาจากวงจรเสียงพูดซึ่งอยู่ในรูปของสัญญาณไฟฟ้า ให้เป็นเสียง (Voice)

2.2.5 วงจรตรวจจับสัญญาณเรียก ทำหน้าที่ตรวจจับสัญญาณเรียกจากชุมสายโทรศัพท์และแปลงสัญญาณดังกล่าวเป็นเสียงเพื่อแจ้งให้ผู้ใช้ทราบว่ามีการเรียกเข้ามา

2.2.6 ฮุคสวิทช์ มีหน้าที่ตัดต่อเครื่องโทรศัพท์เข้ากับคู่สายโทรศัพท์ซึ่งสภาวะการทำงานของฮุคสวิทช์มี 2 สภาวะคือสภาวะการวางหู (On Hook) และสภาวะยกหู (Off Hook)

-สภาวะวางหู ในสภาวะนี้ส่วนหูโทรศัพท์วางบนฮุคสวิทช์และฮุคสวิทช์จะทำการต่อคู่สายโทรศัพท์เข้ากับวงจรตรวจจับสัญญาณเรียก ซึ่งทำให้สามารถรับสัญญาณเรียกได้เมื่อมีผู้เรียกเข้ามา

- สภาวะยกหู ในสภาวะนี้ผู้ใช้โทรศัพท์ยกหูโทรศัพท์ขึ้นจากฮุคสวิทช์ซึ่งทำให้ฮุคสวิทช์ต่อเครื่องโทรศัพท์เข้ากับคู่สายโทรศัพท์ทำให้ผู้ใช้ทำการหมุนโทรศัพท์หรือสนทนากับคู่สนทนาได้

2.2.7 วงจรบริดจ์ ทำหน้าที่ผ่านกระแสไฟตรงจากคู่สายโทรศัพท์ไปเลี้ยงวงจรโทรศัพท์เมื่อฮุคสวิทช์อยู่ในสภาวะยกและทำหน้าที่ให้สัญญาณเสียงทั้งทางด้านพีคลบและพีคบวกผ่านในวงโทรศัพท์ได้ นอกจากนี้วงจรแปลงสัญญาณไฟตรงยังเป็นส่วนสร้างกราวน์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

(Ground) ให้แก่วงจรโทรศัพท์ด้วย

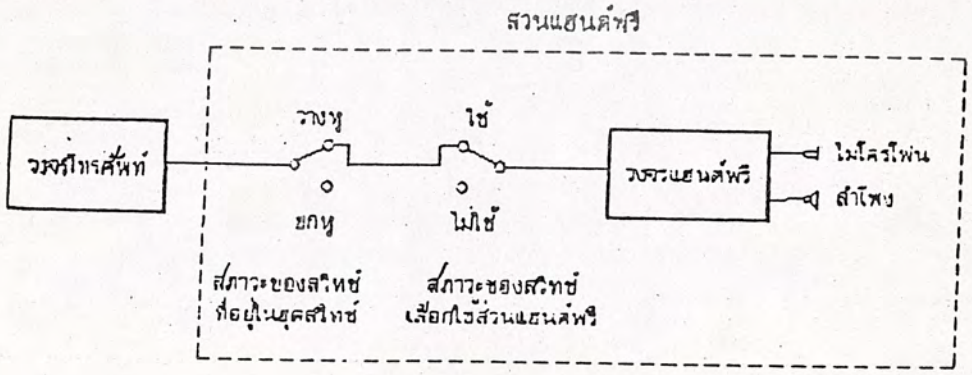
2.3 ส่วนแฮนด์ฟรี

หน้าที่อย่างหนึ่งของโทรศัพท์มัลติฟังก์ชันคือ การช่วยทำให้ผู้ใช้โทรศัพท์สามารถใช้โทรศัพท์ได้โดยไม่ต้องยกหูหรือถือหูโทรศัพท์ ซึ่งเราสามารถใช้ส่วนแฮนด์ฟรีช่วยทำหน้าที่เปรียบเสมือนยกหูโทรศัพท์ให้ผู้ใช้ องค์ประกอบของส่วนแฮนด์ฟรีประกอบด้วยส่วนประกอบที่สำคัญ 2 ส่วนคือ

1. ระบบสวิทช์
2. วงจรแฮนด์ฟรี

แต่ละส่วนมีความสำคัญดังนี้

2.3.1 ระบบสวิทช์ ประกอบด้วยสวิทช์ 2 ตัวคือสวิทช์เลือกใช้ส่วนแฮนด์ฟรี ซึ่งอยู่ 4 หน้าสัมผัส ทำหน้าที่ต่อวงจรโทรศัพท์เข้ากับวงจรแฮนด์ฟรีรา ต่อไฟเลี้ยงเข้ากับวงจรแฮนด์ฟรี และต่อไฟเลี้ยงเข้ากับวงจรขยายด้วย และสวิทช์ตัวที่ 2 ซึ่งเป็นส่วนหนึ่งของชุดสวิทช์ทำหน้าที่เป็นทางผ่านของไฟเลี้ยงที่จะไปเลี้ยงวงจรแฮนด์ฟรี โดยจะถูกติดตั้งไว้ระหว่างไฟเลี้ยง 5 โวลท์ กับสวิทช์แฮนด์ฟรีส่วนที่ 3 เมื่อชุดสวิทช์อยู่ในสภาวะวางหูสวิทช์ตัวที่ 2 จะอยู่ในสภาวะปิด (On) และเปิด (Off) เมื่อชุดสวิทช์อยู่ในสภาวะยกหู ดังนั้นส่วนแฮนด์ฟรีนี้จะใช้งานได้ต่อ เมื่อชุดสวิทช์อยู่ในสภาวะวางหูอันดับแรกและสวิทช์เลือกใช้ส่วนแฮนด์ฟรีอยู่ในตำแหน่งปิด เมื่ออยู่ในสภาวะการใช้ส่วนแฮนด์ฟรี ถ้าผู้ใช้ยกหูโทรศัพท์ขึ้นส่วนแฮนด์ฟรีจะถูกตัดออกจากวงจรโทรศัพท์ ลักษณะการเชื่อมต่อส่วนแฮนด์ฟรีเข้ากับวงจรโทรศัพท์ เป็นดังรูป 2.3



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูป 2.3 แสดงการเชื่อมต่อส่วนแฮนด์ฟรีเข้ากับวงจรโทรศัพท์

2.3.2 วงจรแฮนด์ฟรี เนื่องจากเป็นการใช้โทรศัพท์โดยไม่ต้องยกหูโทรศัพท์ ดังนั้นจึงต้องมีไมโครโฟนแยกต่างหากอีกต่างหากอีกตัวหนึ่ง ติดตั้งไว้กับตัวเครื่องโทรศัพท์เพื่อรับเสียงของผู้ใช้มาขยาย และส่งเข้าสู่วงจรโทรศัพท์และรับสัญญาณเสียงของคู่สนทนาจากวงจรโทรศัพท์มาขยายและรับขับออกสู่ลำโพงกระจายเสียงให้ผู้ใช้ได้ยิน ดังนั้นวงจรแฮนด์ฟรีจึงประกอบด้วยวงจรขยาย 2 ส่วน ส่วนนี้ทำการขยายเสียงจากไมโครโฟนจะต้องมีความไวเป็นพิเศษ ซึ่งจะทำให้ผู้ใช้สนทนากับคู่สนทนาปลายทางโดยไม่ต้องอยู่ใกล้เครื่องโทรศัพท์มัลติฟังก์ชันนี้นัก

2.4 ส่วนตอบรับโทรศัพท์

ส่วนนี้จะทำการส่งข้อความที่บันทึกไว้ในหน่วยความจำแจ้งให้ผู้ที่โทรศัพท์เข้ามาทราบว่าขณะนั้นไม่มีผู้รับสาย ถ้าผู้เรียกต้องการฝากข้อความถึงผู้ใด ก็สามารถฝากไว้ได้โดยเครื่องโทรศัพท์มัลติฟังก์ชันจะบันทึกไว้ในหน่วยความจำ ซึ่งระยะเวลาในการบันทึกข้อความนาน 1 นาที การฝากข้อความจะทำได้หลังจากเสียงตอบรับนั้นสิ้นสุดลง

ส่วนตอบรับโทรศัพท์นี้จะต่อเข้ากับวงจรโทรศัพท์ตรงตำแหน่งไมโครโฟน สัญญาณเสียงจากส่วนตอบรับนี้จะต้องถูกปรับให้มีค่าต่ำๆ อยู่ในระดับสัญญาณไมโครโฟน การเริ่มทำงานของส่วนนี้ จะถูกควบคุมโดยไมโครโปรเซสเซอร์ การสิ้นสุดของข้อความที่ตอบรับจะเป็นการหยุดทำงานของส่วนนี้ และจะเป็นการแจ้งให้ระบบไมโครโปรเซสเซอร์ทราบเพื่อที่จะได้เริ่มตั้งเวลา 1 นาที เพื่อบันทึกข้อความต่อไป

ส่วนตอบรับโทรศัพท์ยังต่อเข้ากับวงจรขยาย เพื่อขยายสัญญาณขับออกสู่ลำโพงเพื่อใช้ในการที่ผู้ใช้จะใช้ทดสอบฟังเสียงของตนเองที่จะบันทึกในหน่วยความจำของส่วนนี้เพื่อการตอบรับโทรศัพท์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หอสมุดกลาง จุฬาลงกรณ์มหาวิทยาลัย

2.5 ส่วนบันทึกข้อความ

หลังจากการทำงานของส่วนตอบรับโทรศัพท์สิ้นสุดลง ส่วนบันทึกข้อความจะทำการบันทึกข้อความที่ผู้เรียกเข้ามาต้องการฝากไว้เก็บลงในหน่วยความจำ ซึ่งได้ออกแบบไว้ให้สามารถบันทึกข้อความได้เป็นระยะเวลา 20 นาที แต่จะให้ระยะเวลาบันทึกแต่ละครั้งเพียง 1 นาทีเท่านั้น ในส่วนนี้เราสามารถให้เล่นกลับเพื่อส่งข้อความที่บันทึกไว้ให้เจ้าของโทรศัพท์มัลติฟังก์ชันฟังทางโทรศัพท์ได้ โดยผู้เป็นเจ้าของจะเป็นผู้เรียกเข้ามายังโทรศัพท์แล้วควบคุมให้ส่วนบันทึกข้อความจากหน่วยความจำส่งมา

ขอบเขตในการควบคุมได้กำหนดไว้ 3 แบบคือ สั่งให้เริ่มส่งข้อความ สั่งให้หยุดและสั่งให้ลบข้อความทั้งหมดที่บันทึกไว้ออกจากหน่วยความจำ ซึ่งการลบนี้ใช้เมื่อได้รับฝังข้อความทั้งหมดแล้วเพื่อที่จะได้ใช้หน่วยความจำในการบันทึกข้อความของผู้เรียกคนอื่นต่อไป

2.6 ส่วนควบคุม เปิด-ปิด อุปกรณ์ไฟฟ้าภายในบ้าน

ในกรณีที่ต้องการ เปิด-ปิด อุปกรณ์ไฟฟ้าภายในบ้าน สามารถกด KEY-TELEPHONE ส่งให้เปิด-ปิด อุปกรณ์ไฟฟ้าโดยผ่าน LINE AC 220V

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

027901

บทที่ 3

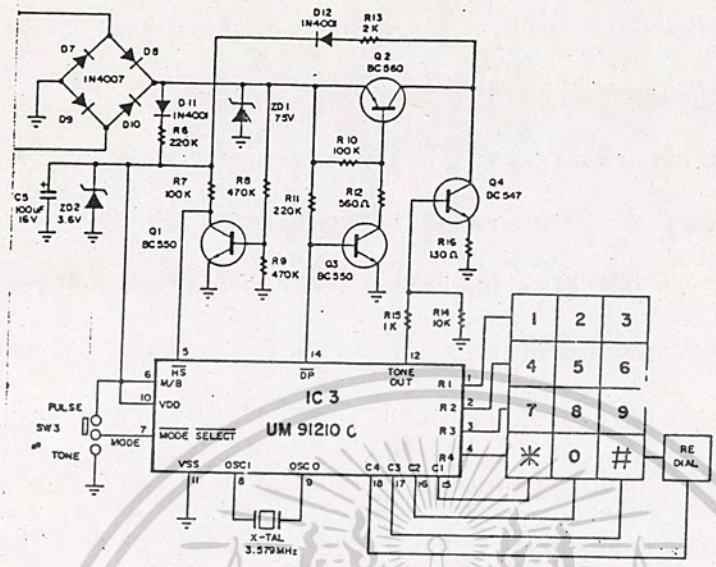
การออกแบบและการสร้างเครื่องโทรศัพท์มัลติฟังก์ชัน

1. วงจรโทรศัพท์ ประกอบด้วยดังนี้

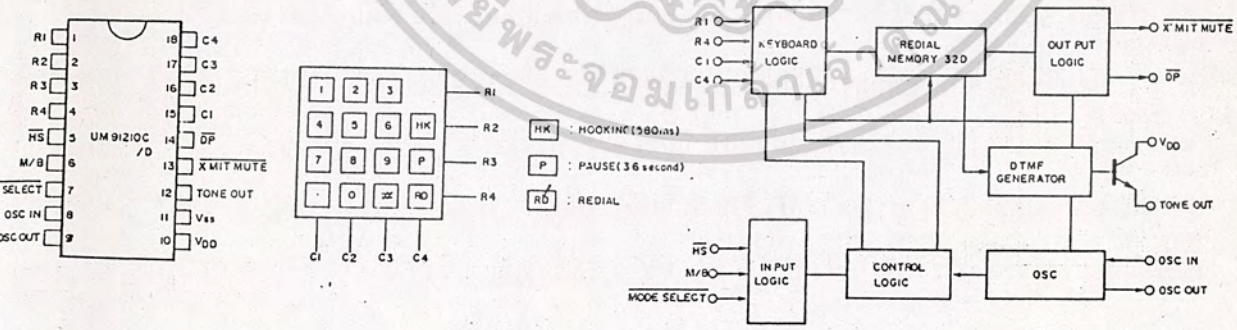
1.1. วงจรสร้างรหัสแบบพัลซ์ และโทน

วงจรสร้างรหัสพัลซ์ และโทนดังรูปที่ 1 ประกอบด้วย IC UM 91210C เป็นหลัก ไดโอด D7 - D10 ต่อกันเป็นวงจรบริดจ์ ทำหน้าที่จัดขั้วไฟฟ้าจากคู่สายโทรศัพท์ ทำให้สามารถต่อคู่สายกลับไปกลับมาได้ แรงดัน ไฟบวกจะถูกป้อนผ่าน D11 และ R6 ผ่านซีเนอร์ไดโอด ZD2 ทำหน้าที่เป็นวงจรเร็คกูเลเตอร์ 3.6 โวลท์ โดยมี C5 ฟิลเตอร์ แล้วป้อนเป็นไฟเลี้ยง ให้ IC UM 91210C , Q2 และ Q3 ทำหน้าที่เป็นวงจรรักษาระดับกระแสให้คงที่ เนื่องจากโทรศัพท์ทุกเครื่องจำเป็นต้องมีวงจรนี้ เพื่อประโยชน์ ในการตรวจจับการพ่วงโทรศัพท์ขององค์การโทรศัพท์ที่ ขา 12 ของ IC UM 91210C ทำหน้าที่ป้อนสัญญาณความถี่ประจำหมายเลขออกมา ขา 7 ทำหน้าที่เลือกระบบการทำงาน ถ้าขา 7 ถูกต่อกับ VDD ICUM91210C จะสร้างสัญญาณเป็นระบบพัลซ์ และถ้าขา 7 ถูกต่ออยู่กับ VSS หรือกราวด์ ICUM91210C ก็จะทำงานเป็นระบบโทน ที่ขา 8 และขา 9 ต่ออยู่กับคริสตอล 3.579 MHZ ทำหน้าที่ควบคุมมาทางขา 12 ของIC UM91210C ที่ขา 1 - 4 เป็นขาที่ต่อไปยังคีย์ สวิทช์ ด้าน โรว์ คือ R1 - R4 ตามลำดับ และ ขา 15 - 18 เป็นขาที่ต่อไปเป็นคอลัมน์ของคีสวิทช์ ตามลำดับ เช่นกัน เมื่อด้านโรว์ และคอลัมน์ ถูกต่อถึงกันโดยการกดคีย์ สวิทช์ หมายเลขใด IC UM91210C จะสร้างความถี่ประจำหมายเลขนั้น และส่งออกทางเอ้าท์พุททันที Q4 ทำหน้าที่ขยายสัญญาณความถี่เอ้าท์พุทให้แรงขึ้น การทำงานเป็นบล็อคไดอะแกรม และตำแหน่งขา IC UM91210c ดูจากรูปที่ 2

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 1 แสดงวงจรสร้างรหัส พัลส์และโทน



รูปที่ 2 แสดงโครงสร้างภายในของ UM91210C

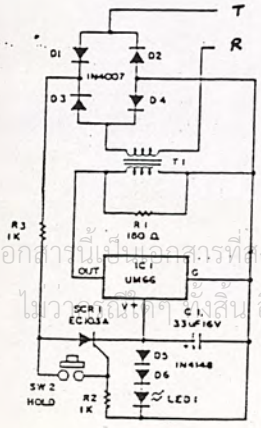
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

1.2 วงจรโฮลสายโทรศัพท์

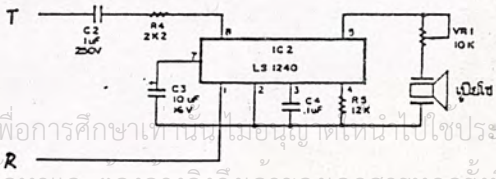
วงจรโฮลสายโทรศัพท์ การทำงานหลักอยู่ที่ IC UM66 เป็นไอซีสร้างเสียงคนตรี และ SCR1 ทำหน้าที่โฮลสายโทรศัพท์ ในกรณีที่ต้องการพักสายโทรศัพท์ต้องกดสวิทช์ HOLD พร้อมกับการวางหูโดยปกติ ขณะวางหูคู่สายโทรศัพท์จะมีแรงดันดีซี ประมาณ 48 โวลท์และเมื่อยกหู แรงดัน ดีซีจะลดลงเหลือประมาณ 5 - 8 โวลท์ เมื่อเรากด สวิทช์ HOLD พร้อมกับการวางหูแรงดันจากคู่สายโทรศัพท์จะสูงขึ้นเป็น 48 โวลท์ ทันที มีผลทำให้ SCR1 นำกระแสผ่านไดโอด D5,D6 และ LED, แรงดันนี้ถูกทำให้เรียบโดย C1 ทำหน้าที่ฟิลเตอร์ แล้วป้อนไฟเลี้ยงให้ IC UM66 กำเนิดเสียงเพลงออกที่ขาเอ้าท์พุท เหนี่ยวนำผ่านขดลวดที่ตัวหม้อแปลง T1 ไปยังคู่สายโทรศัพท์และเมื่อยกหู แรงดันจะลดลงเหลือ 5 - 8 โวลท์ทำให้ SCR1 หยุดนำกระแส IC UM66 ก็หยุดทำงาน ผู้พูดสามารถพูดโต้ตอบกันได้ทันที โดยอัตโนมัติ วงจรแสดงดังรูปที่ 3

1.3 วงจรเสียงกริ่งโทรศัพท์

วงจรเสียงกริ่งโทรศัพท์หัวใจของวงจรนี้ คือ IC LS 1240 ทำหน้าที่สร้างเสียงกริ่งป้อนให้เป็ยโซ่เปล่งเสียงออกมา ที่ขา 8 และขา 1 ของไอซี ต่อกับคู่สายโทรศัพท์โดยที่ขา 8 ต่อ ผ่าน C2 และ R4 , C2 จะทำหน้าที่คัปปลิ้ง สัญญาณกริ่งโทรศัพท์ผ่าน R4 เข้ามาที่ขา 8 โดยปกติสัญญาณกริ่งโทรศัพท์ มีแรงดันสูงถึง 100 โวลท์ เป็นไปเอซีที่มีการเปลี่ยนแปลงประมาณ 20 HZ C3 ทำหน้าที่ฟิลเตอร์แรงดันไฟเลี้ยงสำหรับ ไอซี C4 ทำหน้าที่กำหนดอัตราการเปลี่ยนความถี่ (Sweeprate) R5 ทำหน้าที่กำหนดความถี่ที่เอ้าท์พุทของไอซี ถ้าต้องการเปลี่ยนเสียงของกริ่งโทรศัพท์ สามารถทำได้โดยเปลี่ยนค่าความต้านทานของตัวต้านทานตัวนี้ VR1 ทำหน้าที่ปรับความดังของเสียง วงจรแสดงดังรูปที่ 4



รูปที่ 3 วงจรโฮลสายโทรศัพท์



รูปที่ 4 วงจรเสียงกริ่งโทรศัพท์

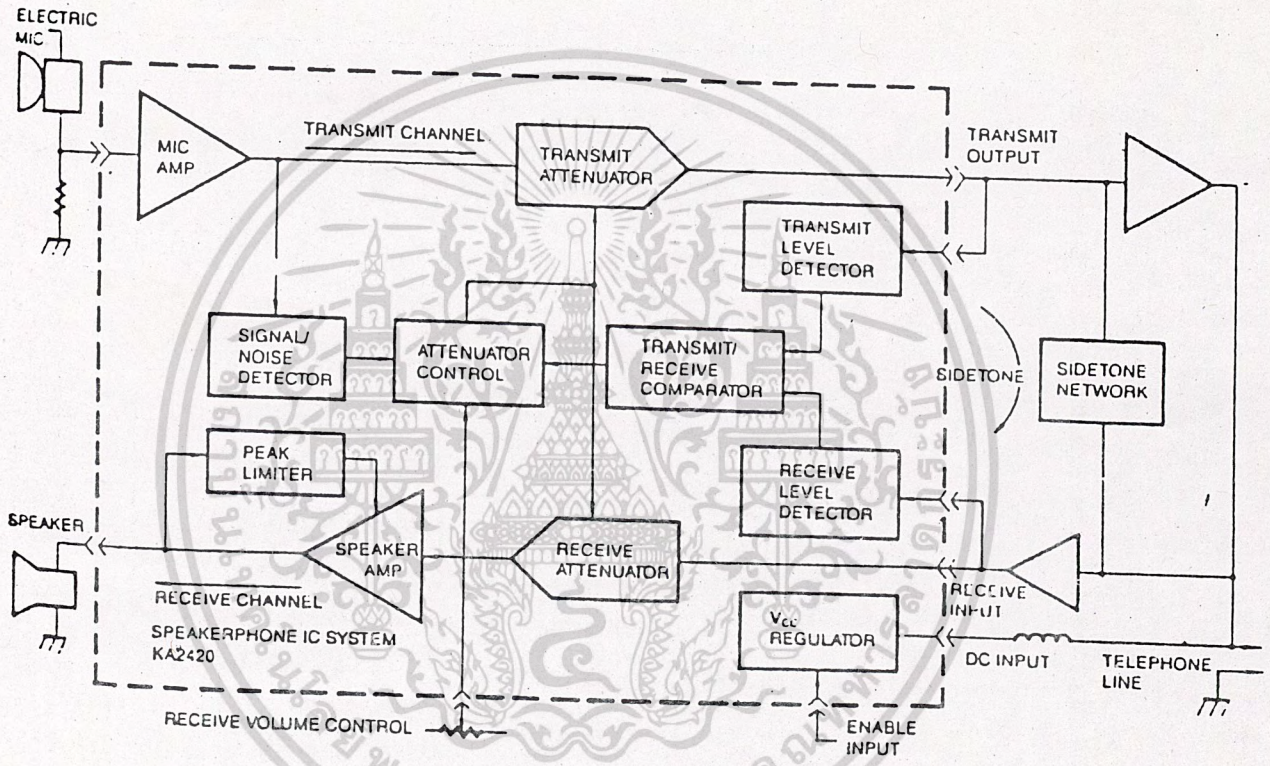
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2. <u>วงจรขยายสัญญาณปากพูด หูฟัง หรือ วงจรแฮนด์ฟรี</u>

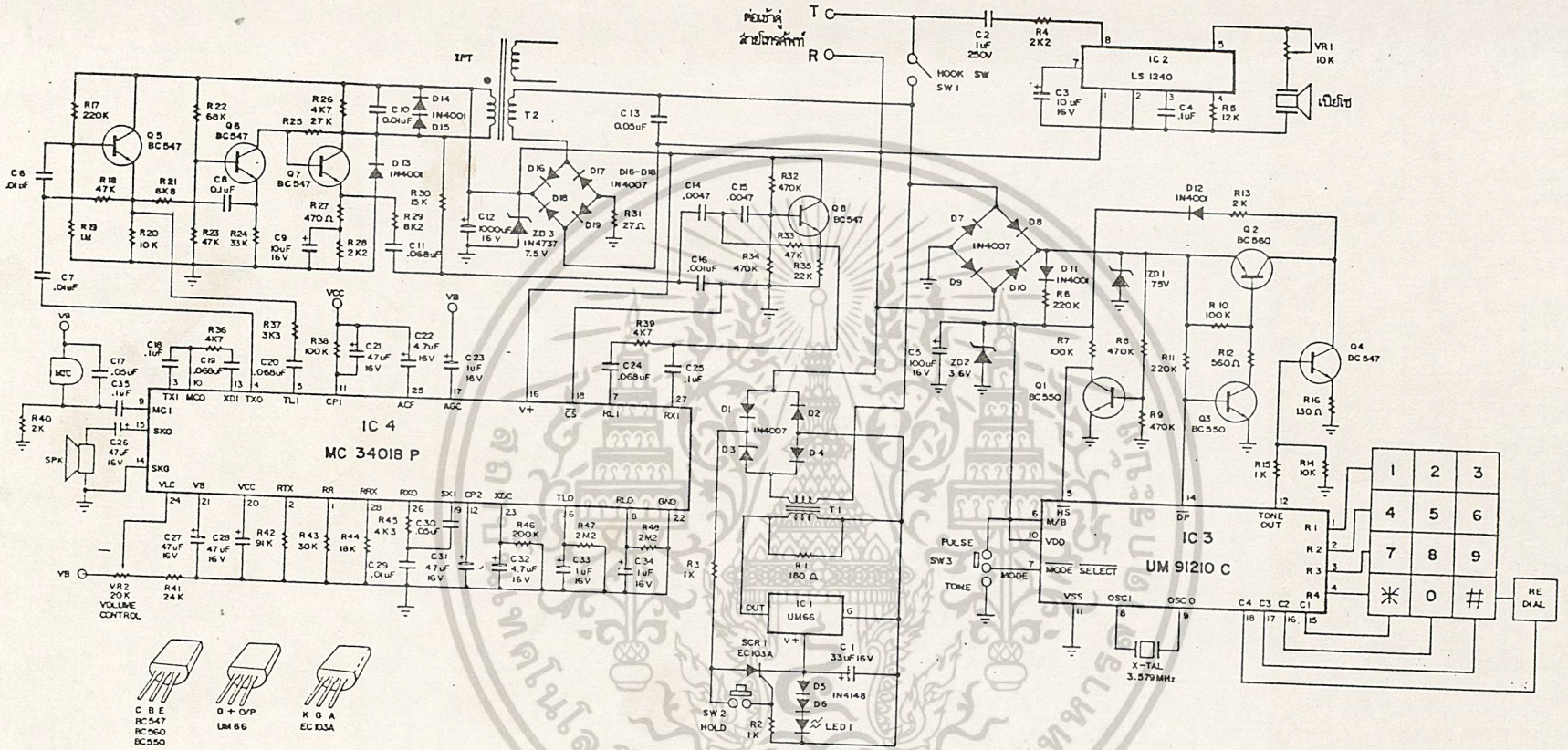
วงจรขยายสัยญาณปากพูด หูฟัง แสดงดังรูปที่ 5 และเพื่อความเข้าใจดียิ่งขึ้นดูรูปที่5 ซึ่งเป็นรูปบล๊อคไดอะแกรมการทำงานภายใน IC MC34018 ตามไปด้วย เริ่มต้นจากการพูดเสียงในไมโครโฟน สัญญาณเสียงที่ได้จากไมโครโฟน จะถูก C35 คัปปลิ้งเข้าที่ ขา 9 ของ IC MC34018 จะรูปที่5 สัญญาณ จะถูกขยายโดยวงจรขยายสัญญาณไมโครโฟน (Mic AMP) แล้วถูกส่งออกมาทางขา 3 ผ่าน C18 เข้าไปภายในตัวไอซีผ่านวงจรลดทอนสัญญาณ (Transmit Attenuator) แล้วถูกส่งออกมาทางขา 4 ผ่าน C7 คัปปลิ้งเข้าวงจรขยายโดยใช้ทรานซิสเตอร์ Q5,Q6และQ7 โดย Q5 ต่อเป็นวงจรขยายสัญญาณแบบคอมมอนอีมิตเตอร์สัญญาณจะป้อนเข้าทางเบสขยายออกทางอีมิตเตอร์ผ่าน R24 และ C8 เข้าขาอีมิตเตอร์ออกทางขาคอลเลคเตอร์ของ Q6 ซึ่งจัดเป็นวงจรคอมมอนเบส สัญญาณจากคอลลอลคเตอร์ของ Q6 ถูกป้อนเข้าเบสของ Q7 แบบไดเร็คคัปปลิ้ง Q7ขยายสัญญาณออกที่ขาคอลเลคเตอร์ มี C10 ตัดการรบกวนทางความถี่สูงสัญญาณความถี่เสียงที่ได้ถูกป้อนผ่านขดลวด ของ T2 เหนี่ยวนำไปยังสายโทรศัพท์เป็นการสิ้นสุดการส่งสัญญาณเสียงไปยังผู้รับ ในกรณีรับสัญญาณเสียงจากผู้พูดด้วยสัญญาณเสียงจะถูกส่งเข้ามาโดยผ่าน T2 เหนี่ยวนำเข้ามา ผ่าน R30 สัญญาณเสียงจะถูก C14 และ C15 คัปปลิ้งเข้า Q8 ขยายสัญญาณออกทางขาอีมิตเตอร์ ผ่าน C25 คัปปลิ้งเข้าที่ขา 27 ของ IC MC34018 ผ่านเข้าวงจรลดทอนสัญญาณ (Receiver Attenuator) ออกทางขา 26 ผ่าน R45และ C30 เข้าทางขา 19 วงจรขยายเสียงออกลำโพงที่ขา 15 โดยมี C26 คัปปลิ้งสัญญาณเสียงออกลำโพงจะเห็นว่ากระบวนการไม่ว่าจะรับหรือส่งสัญญาณจะต้องผ่านวงจรลดทอนสัญญาณภายในตัวไอซีเหตุผล เพราะว่าเราจำเป็นต้องควบคุมความดังให้คงที่ และสามารถปรับความดังได้ ดังนั้นภายในตัวไอซีจะต้องมีวงจรควบคุม อัตราการลดทอนสัญญาณ (Attenuator Control) ซึ่งจะต่อมายังโวลลุ่มควบคุมความดังแบบดีซี โวลลุ่มที่ขา 24 สำหรับอุปกรณ์ที่ต่อกับขาอื่น ๆ ที่ไม่กล่าวถึงเป็นอุปกรณ์ที่ให้ไบอัส และ บายพาสต่าง ๆ ของวงจรภายในตัวไอซี D16 - D19 ทำหน้าที่จัดขั้วไฟฟ้าให้วงจรโดยมี ZD3 คงค่าแรงดันให้คงที่เป็นวงจรเร็คกูเรเตอร์ แรงดันที่ได้จะมีค่าประมาณ 7.5 โวลท์ ถูกป้อนไปเลี้ยงวงจร และ IC MC34018 ที่ขา 6 นอกจากนี้ภายในตัวไอซียังมีวงจรเร็คกูเลเตอร์ อีก 2 ชุดคือ ชุดแรกให้เอ้าท์พุทเป็นVcc ที่ขา 20 และอีกชุดให้เอ้าท์พุทเป็น VB ที่ขา 21

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

BLOCK DIAGRAM



รูปที่ 5 แสดง BLOCK DIAGRAM ของวงจรแฮนด์ฟรี



วงจรโทรศัพท์พร้อมแฮนด์ฟรีที่สมบูรณ์ แสดงดังรูปที่ 6

3. วงจรส่วนตอบรับโทรศัพท์และส่วนบันทึก

วงจรส่วนตอบรับ จะบันทึกข้อความไว้ 3 ชุด โดยชุดแรกเป็นข้อความที่ใช้ตอบรับโทรศัพท์ ชุดที่สองใช้เป็นข้อความแจ้งภัยเมื่อถูกบุกรุกและชุดที่สามเป็นข้อความแจ้งภัยเพลิงไหม้

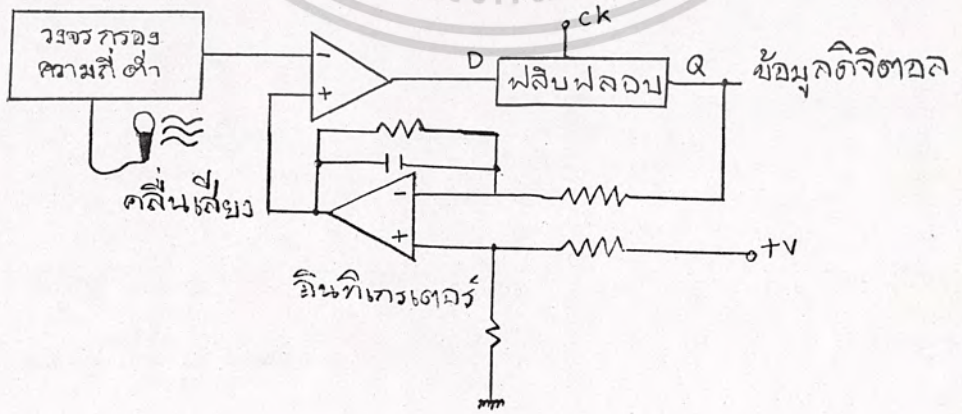
สำหรับวงจรส่วนตอบรับโทรศัพท์ใช้ IC T6668 ซึ่งเป็นไอซีที่ได้รับการออกแบบมาเพื่อประมวลสัญญาณเสียงโดยเฉพาะการประมวลสัญญาณเสียงจะใช้หลักการของเดลต้ามอดูเลชัน(Delta Modulation)

<u>หลักการของเดลต้ามอดูเลชั่น</u>

เทคนิคของเดลต้ามอดูเลชั่นจะไม่ได้ใช้การสุ่ม สัญญาณหนึ่งจุดแล้วแปลงเป็นข้อมูลดิจิตอลหนึ่งเวิร์ดที่มีความละเอียดเป็นจำนวนบิตที่ต้องการแต่จะใช้วิธีเปรียบเทียบความสูงหรือการเปลี่ยนแปลงของสัญญาณเสียงแทน

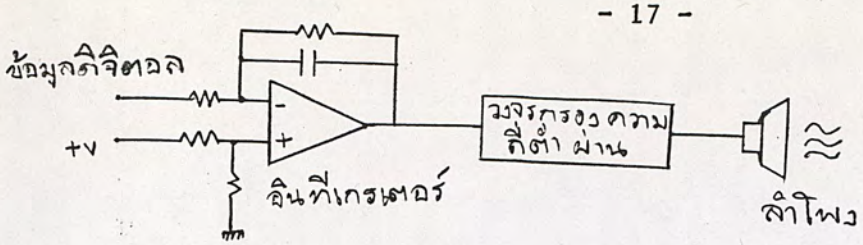
ข้อมูลที่ได้ก็คือทิศทางของการเปลี่ยนแปลง ซึ่งก็มีเพียงขึ้นหรือลงเท่านั้น ดังนั้นความกว้างของข้อมูลดิจิตอลจึงใช้เพียงบิตเดียวก็เพียงพอข้อดีของวิธีการเดลต้ามอดูเลชั่นคือ ใช้หน่วยความจำน้อยกว่า วิธีการแบบอื่นๆ

รูปที่ 7 เป็นวงจรเบื้องต้นของเดลต้ามอดูเลชั่น คอมพาราเตอร์จะทำหน้าที่เปรียบเทียบสัญญาณอินพุทปัจจุบันกับสัญญาณอินพุทก่อนหน้าซึ่งได้จากการป้อนกลับมายังอินทิเกรเตอร์ เอาต์พุทจากการเปรียบเทียบถูกป้อนผ่านฟลิปฟลอบที่ควบคุมด้วยสัญญาณนาฬิกาเพื่อให้ได้เป็นข้อมูลดิจิตอล ซึ่งก็คือการกำหนดอัตราการสุ่มสัญญาณนั่นเอง



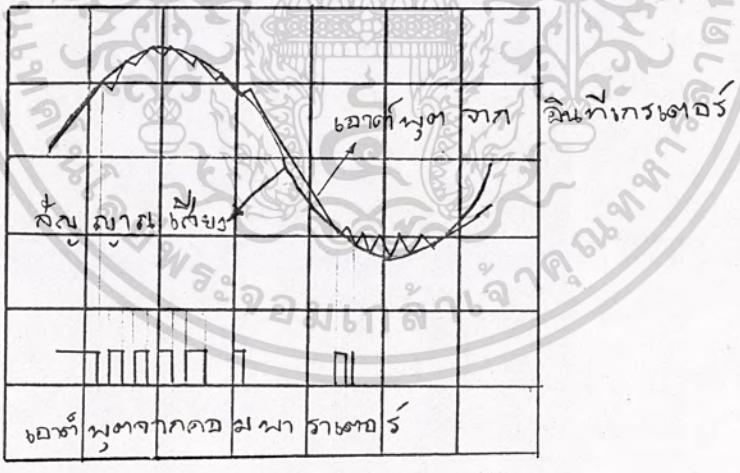
รูปที่ 7 วงจรเบื้องต้นของเดลต้ามอดูเลชั่น ในส่วนของการแปลงจากสัญญาณเสียงเป็นดิจิตอล

เอกสารนี้สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 8 วงจรที่ใช้แปลงกลับจากข้อมูลดิจิตอล เป็นสัญญาณเสียง

สัญญาณที่ได้จากตัวเปรียบเทียบและจากอินทีเกรเตอร์ เปรียบเทียบกับสัญญาณอินพุท แสดงในรูป9 ลักษณะเช่นนี้จะพบว่ายิ่งความถี่ของสัญญาณนาฬิกามีค่าสูงก็ยิ่งสามารถบันทึกการเปลี่ยนแปลงที่แคบได้มากขึ้นทำให้ได้คุณภาพเสียงดีขึ้น แต่ก็สิ้นเปลืองหน่วยความจำมากขึ้นตามไปด้วยความถี่เท่าใดจึงจะ เพียงพอคงต้องใช้การทดลองโดยการนำเอาต์พุทสุดท้ายที่เป็นข้อมูลดิจิตอลผ่านวงจรแปลงกลับในรูปที่ 8 แล้วฟังเสียงที่ได้ หากฟังเป็นภาษามนุษย์รู้เรื่องก็ใช้ค่านั้น สำหรับเสียงพูดคุณภาพเทียบเท่าเสียงจากโทรศัพท์ซึ่งมีแถบกว้างประมาณ 4 KHZ ก็ใช้เพียง 16 KHZ แต่ที่ความถี่ต่ำถึง 9.6 KHZ ก็ยังฟังรู้เรื่องความถี่นี้เป็นตัวกำหนดอัตราเร็วข้อมูล (Bit rate) ซึ่งที่ 16 KHZ ก็เท่ากับ 1,600 บิต/วินาที



รูปที่9 เปรียบเทียบสัญญาณอินพุทกับข้อมูลที่ได้สัญญาณอะนาลอกจากอินทีเกรเตอร์

IC T6668 เป็นของโตชิบามีฟังก์ชันใช้งานค่อนข้างสมบูรณ์เป็นไอซีชนิด CMOS LSI ลักษณะโครงสร้างภายนอกและตำแหน่งขาต่างๆแสดงไว้ในรูปที่ 10

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

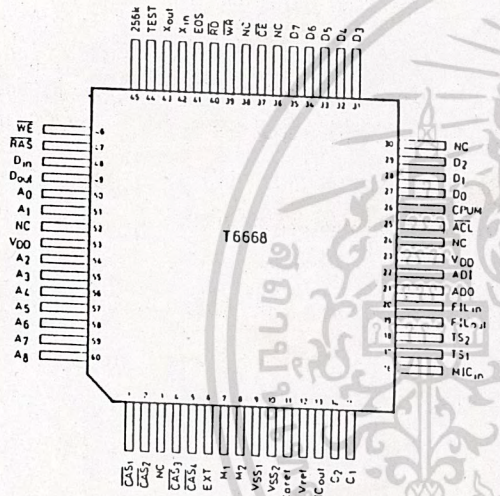
รายละเอียดขาใช้งานของ T6668

$A_0 \sim A_8$: ขาแอดเดรสต่อกับแรม

D_{in}, D_{out} : ขาดาต้าต่อกับแรม

$\overline{RAS}$, $\overline{WE}$: สัญญาณควบคุมแรม

$\overline{CAS_1}$, ~ $\overline{CAS_4}$: ขาเลือกแรมแต่ละตัว รวม 4 ตัว



M_1, M_2 : ใช้กำหนดจำนวนแรมที่ใช้ ดูตารางที่ 1

256 K : เลือกขนาดแรม ต่อกราวด์ใช้ 4164 ต่อไฟบวกใช้ 41256

EOS : เอาต์พุต เป็นไฮเมื่อจบข้อความที่บันทึก

MIC_{in}, MIC_{out} : อินพุตและเอาต์พุตของภาคขยายส่วนหน้า

AD_I, AD_O : อินพุตสัญญาณอะนาลอกที่จะนำไปแปลงเพื่อบันทึก และเอาต์พุตอะนาลอกที่ได้จากการอ่าน

FIL_{in}, FIL_{out} : วงจรกรองความถี่ต่ำผ่าน

ตารางที่ 1 การกำหนดชนิดและจำนวนแรมที่ใช้

ชนิดและจำนวน	256 K (ขา 45)	M_2	M_1
4164 × 1	0	0	0
4164 × 2	0	0	1
4164 × 3	0	1	0
4164 × 4	0	1	1
41256 × 1	1	0	0
41256 × 2	1	0	1
41256 × 3	1	1	0
41256 × 4	1	1	1

ตารางที่ 2 การกำหนดอัตราเร็วข้อมูลหรือบิตเรต

บิตเรต	D_7 (ขา 35)	D_6 (ขา 34)
8K	0	0
11K	0	1
16K	1	0
32K	1	1

C_1, C_2 : ต่อตัวเก็บประจุภายนอก

$\overline{ACL}$: ขารีเซต แอคทีฟโลว์

X_{in}, X_{out} : คริสตอลออสซิลเลเตอร์ความถี่ 650 kHz

CPUM, $\overline{CE}$: ขาสัญญาณควบคุมสำหรับอินเตอร์เฟสกับ CPU

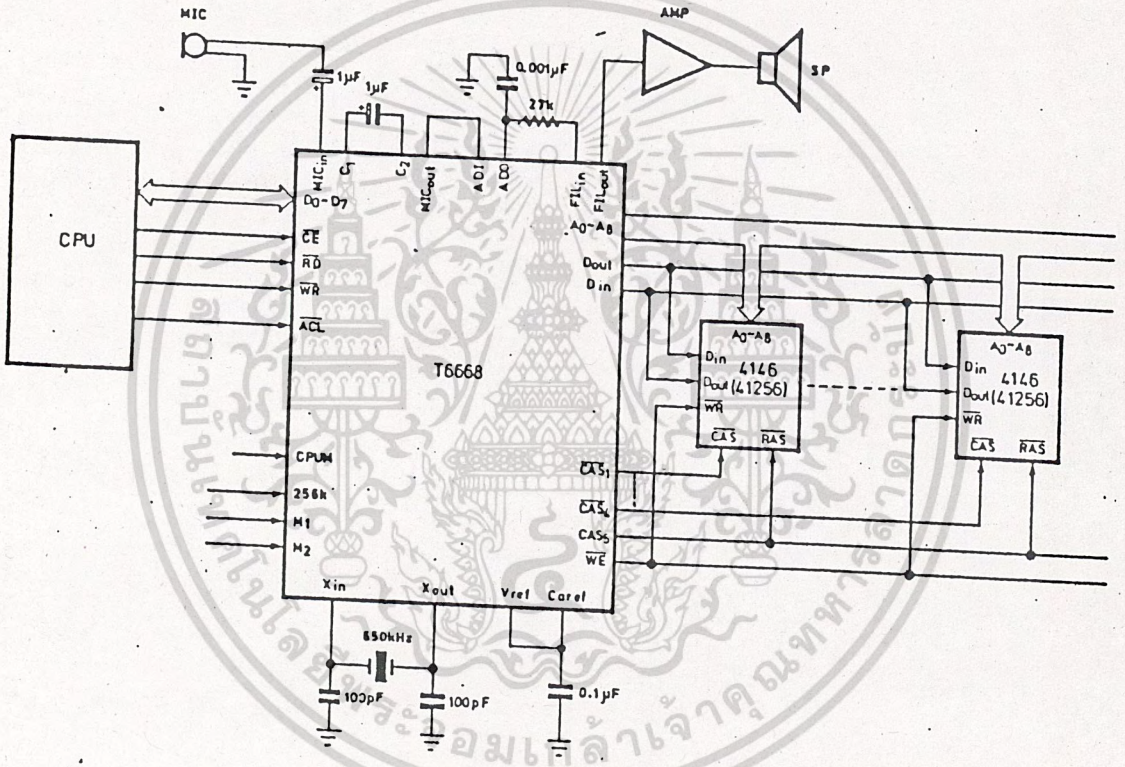
$\overline{WR}$: ขาอินพุตสัญญาณควบคุมสำหรับเปลี่ยนไปโหมดการบันทึก

D_4, D_5 : เริ่มต้น(D_4)และหยุด(D_5)การนับของเคาน์เตอร์ภายใน สำหรับการบันทึกและการเล่นกลับ

D_6, D_7 : กำหนดบิตเรต ดูตารางที่ 2

$D_0 \sim D_3$: เลือกหน้าของหน่วยความจำสำหรับบันทึก แบ่งได้สูงสุด 16 หน้า ตามรหัสเลขฐานสอง แต่ละหน้าไม่กำหนดความยาว แล้วแต่จะกด STOP(D_5) เมื่อใด ก็จะมีการบันทึกเอาไว้โดยอัตโนมัติ

V_{DD}, V_{SS} : ขาไฟเลี้ยงและกราวด์



รูปที่ 11 การต่ออินเตอร์เฟส T6668 เข้ากับ CPU เพื่อควบคุมการทำงาน

การทำงาน IC T6668 จะทำการรับสัญญาณเสียงพูดเข้ามาจากนั้นทำการขยายแล้วเปลี่ยนจากสัญญาณอนาล็อกไปเป็นข้อมูลดิจิตอลแล้วไปเก็บไว้ที่ไดนามิกแรม (DRAM) โดย CPU ภายในจะทำการเลื่อนแอดเดรส ที่จะนำเข้าไปเก็บเองโดยอัตโนมัติ เมื่อทำการแปลงข้อมูลจาก D/A จะใช้อัตรา 10 BIT D/A เพื่อเปลี่ยนกลับมาเป็นเสียงเช่นเดิม การอัดเข้าไป เราจะสามารถเลือก Speed ได้ 4 Speed โดยเลือกที่ D6-D7

KBP$	D7	D6
8	0	0
11	0	1
16	1	0
32	1	1

ตารางที่ 1

จากตารางที่ 1

1. ถ้าเราเลื่อนสวิทช์ D7-D6 ไปที่ O,O จะทำให้อัตราความเร็วของการแปลงข้อมูลเป็น 8k bit ต่อวินาที ทำให้อัดหรือเล่นได้นาน 128 วินาที

2. D7-D6 เป็น O,1 ทำให้อัตราการแปลงข้อมูลเป็น 11 K bit ต่อวินาทีทำให้อัดหรือเล่นได้นาน 93 วินาที

3. D7-D6 เป็น 1,0 ทำให้อัตราการแปลงข้อมูลเป็น 16K bit ต่อวินาทีทำให้อัดหรือเล่นได้นาน 32 วินาที

4. D7-D6 เป็น 1,1 ทำให้อัตราการแปลงข้อมูลเป็น 32K bit ต่อวินาทีทำให้อัดหรือเล่นได้นาน 32 วินาที

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จะเห็นได้ว่าเราสามารถเร่งหรือลด Speed ตามต้องการได้ ถ้าต้องการอัดเสียงสูงๆให้ได้ผลดีควรใช้ Speed สูงๆ ในการอัดด้วยจึงจะทำให้เสียงที่อัดออกมาดี

เกี่ยวกับMEMORY

IC T6668 สามารถเลือกใช้ Memory ได้ 2 ขนาดคือ 64K DRAM กับ 256K DRAM โดยเลือกที่ขา 45 ของ IC (ที่เขียนไว้ว่า256K) คือเมื่อเราจะต่อ DRAM 256K ให้กับ IC เราจะต้องเลือกต่อขา 45 กับไฟบวก และเมื่อเราต้องการต่อ DRAM 64K ให้กับ IC เราต้องต่อขา 45 กับกราด์ IC T6668 ก็จะรู้ว่าเราใช้ MEMORY ขนาดเท่าใดกับมัน

ชนิดของ RAM	256K	M2	M1	ADDRESSที่หยุด
64KDRAM ตัวที่1	0	0	0	0FFFFH
64KDRAM ตัวที่2	0	0	1	1FFFFH
64KDRAM ตัวที่3	0	1	0	2FFFFH
64KDRAM ตัวที่4	0	1	1	3FFFFH
256KDRAM ตัวที่1	1	0	0	3FFFFH
256KDRAM ตัวที่2	1	0	1	7FFFFH
256KDRAM ตัวที่3	1	1	0	BFFFFH
256KDRAM ตัวที่4	1	1	1	FFFFFH

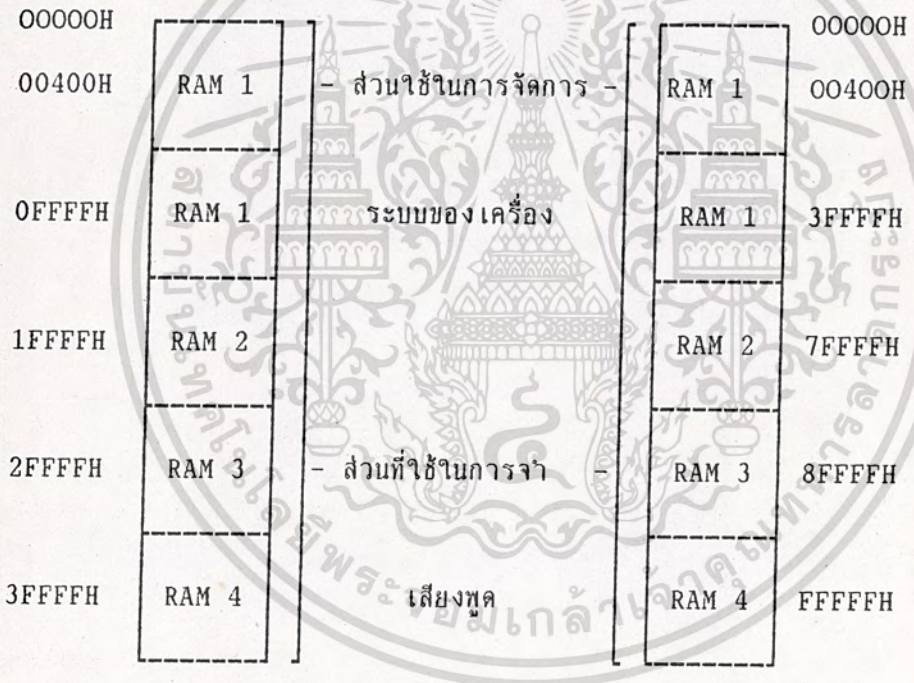
ตารางที่ 2

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การเพิ่ม MEMORY ให้กับ IC T6668 สามารถกำหนดได้โดยการต่อ M2(ขา8),M1(ขา7) ดังตารางที่ 2 เช่นถ้าเราต่อ M2,M1ลงกราวด์ T6668 จะทำเขียนหรืออ่านข้อมูลจาก OOOOOH ไปจนถึง OFFFFH แล้วตัวมันเองก็จะเลิกการอ่านหรือเขียนมารอการเริ่มต้นใหม่

ดังนั้นเราจึงกำหนดขนาดของ MEMORY ได้ตามต้องการเพื่อการประหยัดในการนำไปใช้งานที่ต้องการขนาด MEMORY ต่างกันได้

แผนภูมิของ MEMORY ที่ใช้ในการทำงานทั้ง 2 แบบ ตามรูปที่ 11



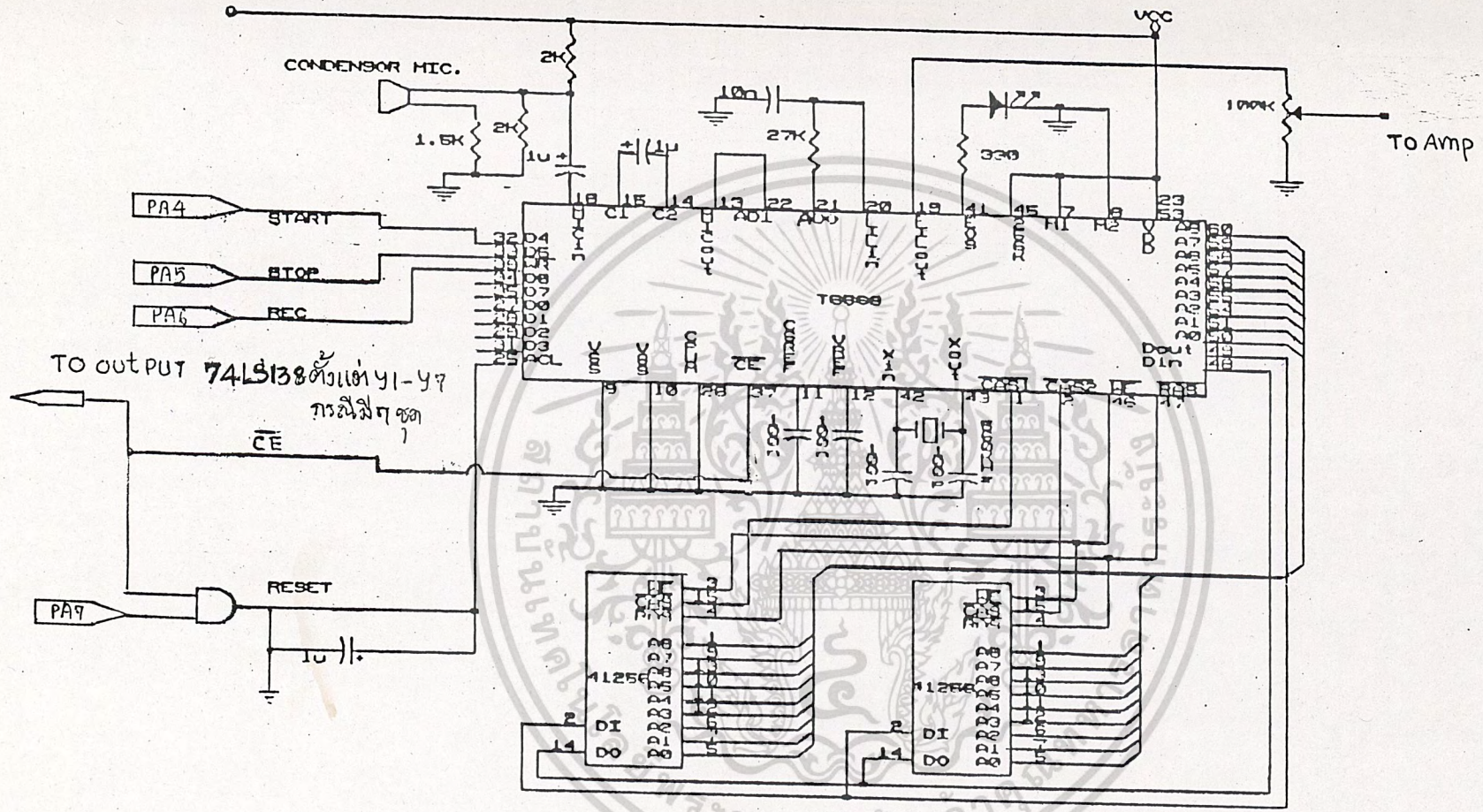
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 11 แผนภูมิของ MEMORY ที่ใช้ในการทำงานทั้ง 2 แบบ

การรเลือกช่องที่จะอัดดังตารางที่ 3

Do	D1	D2	D3	ช่องที่
0	0	0	0	1
0	0	0	1	2
0	0	1	0	3
0	0	1	1	4
0	1	0	0	5
0	1	0	1	6
0	1	1	0	7
0	1	1	1	8
1	0	0	0	9
1	0	0	1	10
1	0	1	0	11
1	0	1	1	12
1	1	0	0	13
1	1	0	1	14
1	1	1	0	15
1	1	1	1	16

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 12 แสดงวงจรส่วนอุปกรณ์ - ส่วนบันทึก

บิต / เวลา	D7	D6
128 วินาที่	0	0
93 วินาที	0	1
64 วินาที	1	0
32 วินาที	1	1

ตารางที่ 4

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4. <u>วงจรส่วนตรวจจับสัญญาณโทน</u>

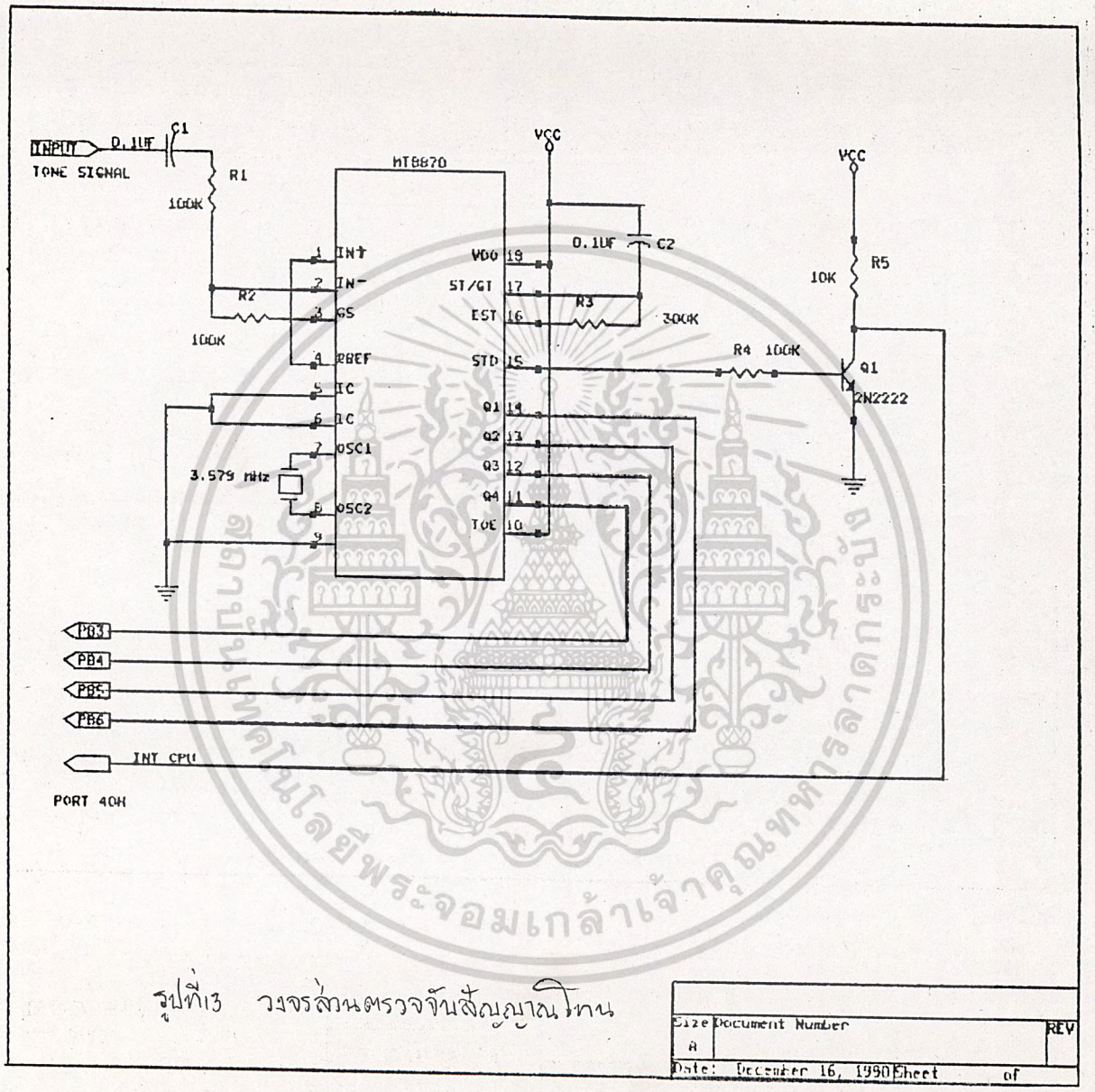
การควบคุม ส่วนบันทึกข้อความ ส่วนตอบรับ และส่วนควบคุมการปิดเปิดอุปกรณ์ไฟฟ้า ทั้ง 3 ส่วนจะต้องมีวงจรตรวจจับสัญญาณโทนที่ใช้ในการควบคุม ที่ส่งมาทางสายโทรศัพท์วงจรตรวจจับสัญญาณโทนใช้ไอซีเบอร์ MT 8870 ซึ่งเป็นไอซีตรวจจับสัญญาณโทนและให้เอาท์พุท ออกมาเป็นลอจิก 4 บิท การต่อวงจรตรวจจับสัญญาณโทน แสดงดังรูปที่ 13

5. <u>วงจรนับจำนวนสัญญาณเรียก</u>

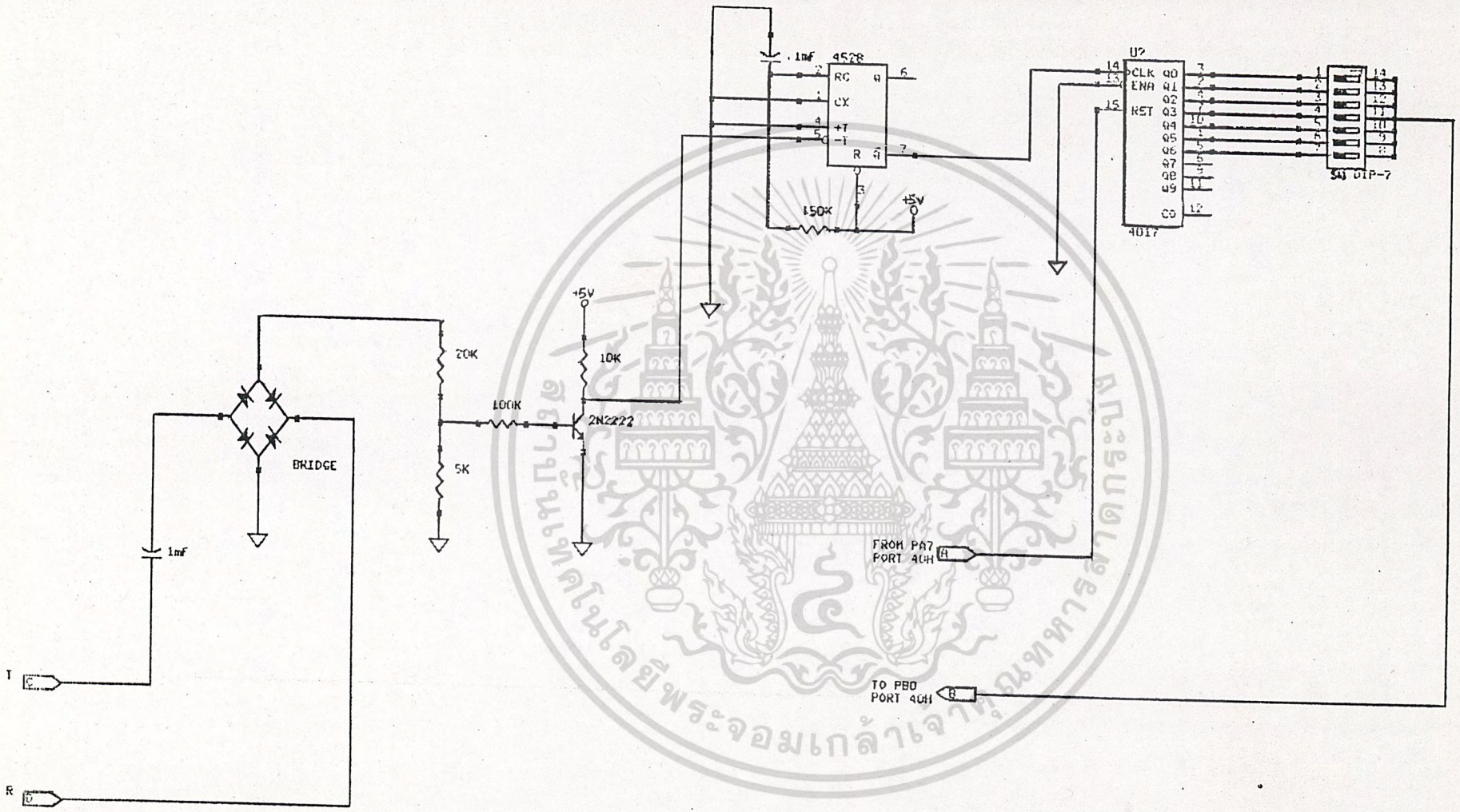
ลักษณะของวงจรแสดงดังรูปที่ 14 ไอซี 4528 เป็นโมโนสเตเบิล ซึ่งตั้ง TIME CONSTANT ไว้ประมาณ 1.5 วินาที จะทำงานเมื่อมีสัญญาณทริก ที่ขอบขาลงเข้ามายังขา 5 ไอซี 4017 เป็นไอซี SYCHRONOUS COUNTER เมื่อมีสัญญาณนาฬิกามาป้อน ให้ไอซี 4017 จะทำให้เอาท์พุท ของ 4017 ซึ่งปกติเป็นโลว์ (LOW) ก็จะเป็น ไฮ (HIGH) ทีละบิท ตามสัญญาณนาฬิกา

สภาวะปกติ เมื่อไม่มีสัญญาณเรียกเข้ามา ทรานซิสเตอร์จะอยู่ในสภาวะคัทออฟ เมื่อมีสัญญาณเรียกเข้ามาจะทำให้ทรานซิสเตอร์ทำงาน การนำกระแสของทรานซิสเตอร์ทำให้เกิดการทริกขอบขาลง ที่ขา 5 ของ 4528 และก่อให้เกิดการทริกขอบขาขึ้นแก่ ไอซี 4017 ซึ่ง ไอซี 4017 จะเป็นตัวนับ จำนวนสัญญาณเรียก ที่ส่งมาตามคู่สายโทรศัพท์ เราสามารถกำหนดว่าให้มีสัญญาณเรียกเข้ามากี่ครั้ง ไมโครโปรเซสเซอร์จึงจะทำการยกหูอัตโนมัติ โดยการตั้ง DIP SWITCH ซึ่งต่อที่เอาท์พุทของ 4017 เมื่อมีสัญญาณเรียกครบตามจำนวน DIP SWITCH ที่ SET ไว้ทำให้เอาท์พุทเป็น ไฮ ทำให้ไมโครโปรเซสเซอร์รับรู้ว่ามีสัญญาณเรียกเข้ามาครบตามจำนวนครั้งที่ตั้งไว้ แล้วแต่ไม่มีผู้รับสาย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 13 วงจรส่วนตรวจจับสัญญาณโทน



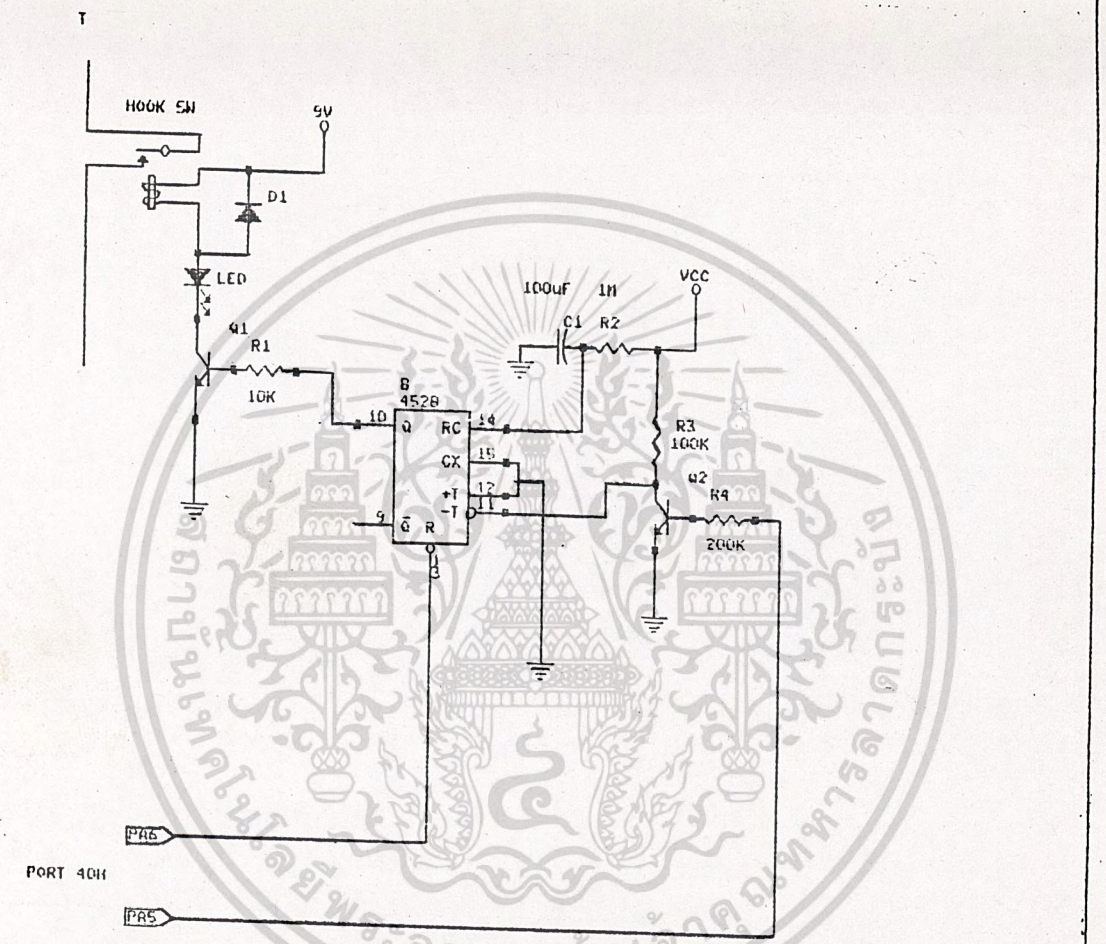
รูปที่ 14 วงจรนับจำนวนสัญญาณเรียก

6. <u>วงจรยกหูและวางหูโทรศัพท์อัตโนมัติ</u>

การยกหูและวางหูอัตโนมัติ เป็นระบบสวิทชิ่ง ซึ่งทำหน้าที่ตัดต่อวงจรโทรศัพท์เข้ากับคู่สายโทรศัพท์ โดยนำเอาหน้าสัมผัสของรีเลย์ (RELAY) มาตัดต่อวงจร แทน ฮุคสวิทช์ วงจรแสดงดังรูปที่ 15

สำหรับการทำงานของวงจร ในสภาวะปกติเอาท์พุท 8255 ที่มาป้อนให้กับ ความต้านทาน 200K จะเป็น "0" และค่าโวลเตจที่ขา C จะเท่ากับ VCC หรือลอจิก "1" เมื่อระบบไมโครโปรเซสเซอร์ รันโปรแกรมและพบว่าจะต้องยกหูโทรศัพท์ ก็จะเปลี่ยนค่า เอาท์พุทดังกล่าวเป็นลอจิก "1" ทำให้ทรานซิสเตอร์นำกระแสซึ่งจะนำกระแสในสภาวะอิ่มตัว สถานนะลอจิกจะมีค่าเป็น "0" ทำให้ขา 11 ของไอซี 4528 ซึ่งเป็นไอซี โมโนสเตเบิล ทำให้เอาท์พุทที่ขา 10 ออกมาเป็นลอจิก "1" เป็นระยะเวลานานเท่ากับผลคูณของค่าคอนเดนเซอร์ที่ต่อระหว่างขา 15 กับ ขา 14 กับค่าความต้านทานที่ขา 14 ซึ่งเราตั้งไว้เป็นระยะเวลา 100 นาที เหตุที่ตั้งไว้นานเช่นนี้ เป็นเพราะว่าในโหมดของการโทรศัพท์เข้ามาส่วนบันทึกข้อความให้เล่นข้อความที่บันทึกไว้ให้ฟังทางโทรศัพท์ ระบบไมโครโปรเซสเซอร์ ก็จะต้องยกหูเองอัตโนมัติด้วย เพราะในการควบคุมนั้น สามารถสั่งให้หยุดเล่น และเริ่มเล่นใหม่ได้ จึงกำหนดค่า TIME CONSTANT ไว้ 100 นาที ซึ่งเป็นค่านานมากพอควรแก่การใช้งาน ค่าลอจิก "1" นี้จะทำให้ทรานซิสเตอร์นำกระแส มีผลให้รีเลย์ทำงาน และจะต่อวงจรโทรศัพท์เข้ากับคู่สายโทรศัพท์เป็นการยกหูโทรศัพท์ เมื่อระบบไมโครโปรเซสเซอร์ รันโปรแกรม พบคำสั่งวางหู ก็จะเปลี่ยนค่าของลอจิกเอาท์พุทของ 8255 ที่ต่อกับความต้านทาน 200K เป็นลอจิก "0" และสั่งพัลซ์ลบ 1 ลูกออกมาทางพอร์ทที่ต่อกับขา 13 ของ 4528 ทำให้เอาท์พุท ของขา 10 เป็น "0" เร็วกว่า กำหนด คือเร็วกว่า 100 นาที ทำให้ทรานซิสเตอร์ หยุดนำกระแส ทำให้รีเลย์หยุดทำงานเป็นการตัดวงจรโทรศัพท์ออกจากคู่สายโทรศัพท์ ซึ่งก็คือ การวางหู

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 15 วงจรนาฬิกาและวงจรอัตโนมัติ

Size	Document Number	REV
A		
Date: December 16, 1540	Sheet of	

7. <u>วงจรตรวจสอบลักษณะของสัญญาณที่ส่งมาจากชุมสายโทรศัพท์</u>

หลักการในการตรวจจับและแยกสัญญาณโดยใช้ไอซี 567 ซึ่งเป็นไอซี โทนดีโค็ดเดอร์ ซึ่งจะตั้งค่าไว้ให้ตรวจจับสัญญาณความถี่ 400 HZ ทำงานร่วมกับ ไอซี 4520 ซึ่งเป็นไอซี เคาน์เตอร์ เมื่อมีสัญญาณความถี่ 400 HZ เข้ามายัง 567 ซึ่งปกติเป็น HIGH ก็เปลี่ยนระดับสัญญาณเป็น LOW และเมื่อสัญญาณความถี่ 400 HZ หายไป เอาท์พุท ของ 567 ก็จะเปลี่ยนจาก LOW เป็น HIGH การเปลี่ยนจากลอจิก LOW เป็น HIGH ของ 567 ทำให้เกิดการทริก 4520 และ 4520 จะนับ 1 การใช้งานแสดงดังรูปที่ 16

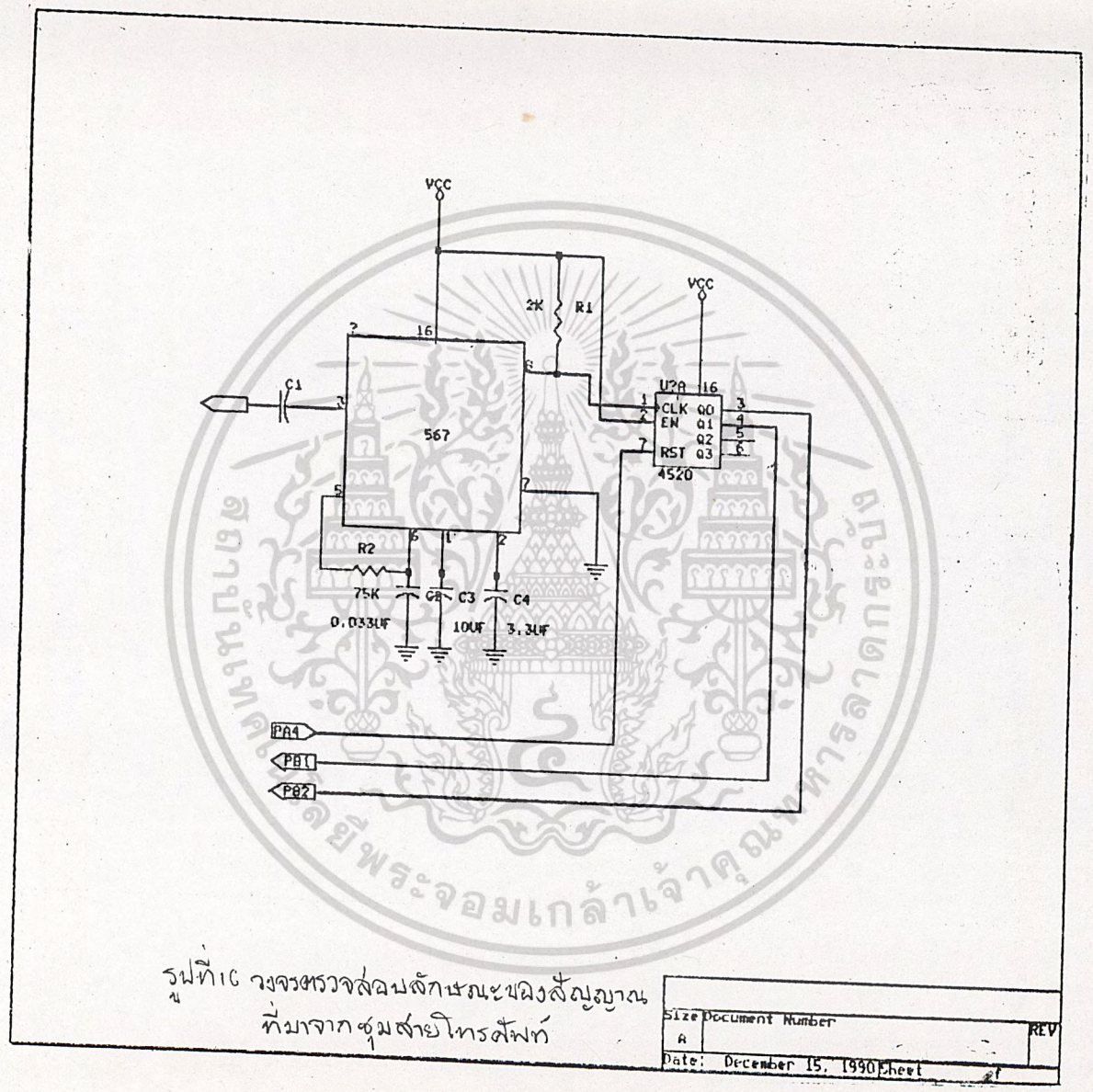
เมื่อมีสัญญาณ DIAL TONE สัญญาณ RING BARK TONE หรือ สัญญาณ BUSY TONE เข้ามายัง 567 เอาท์พุท ของ 567 จะเปลี่ยนจาก ปกติ "1" เป็น "0" ซึ่งเท่ากับเป็นการทริกขอบขาลง ซึ่งจะไปกระตุ้นให้ระบบไมโครโปรเซสเซอร์ จะเริ่มหน่วงเวลาที่จะอ่านเอาท์พุท ของ4520 ซึ่งไมโครโปรเซสเซอร์จะเริ่มหน่วงเวลานับเวลาที่ เอาท์พุทของ 567 เป็น "๐" ประมาณ 2 วินาที เมื่อเวลาผ่านไป 2 วินาที ไมโครโปรเซสเซอร์จะอ่านค่าเอาท์พุทของ 4520 ที่ PORT PB_1,PB_2 ถ้าค่าที่อ่านได้เป็น 00 แสดงว่า สัญญาณ 400 HZ นั้นเป็นสัญญาณ DIAL TONE ถ้าเป็น 01 แสดงว่าเป็นสัญญาณ RING - BACK TONE และถ้าเป็น 11 แสดงว่าเป็นสัญญาณ BUSY - TONE

8. <u>วงจรเปิด - ปิดอุปกรณ์ไฟฟ้า โดยผ่าน LINE AC 220V</u>

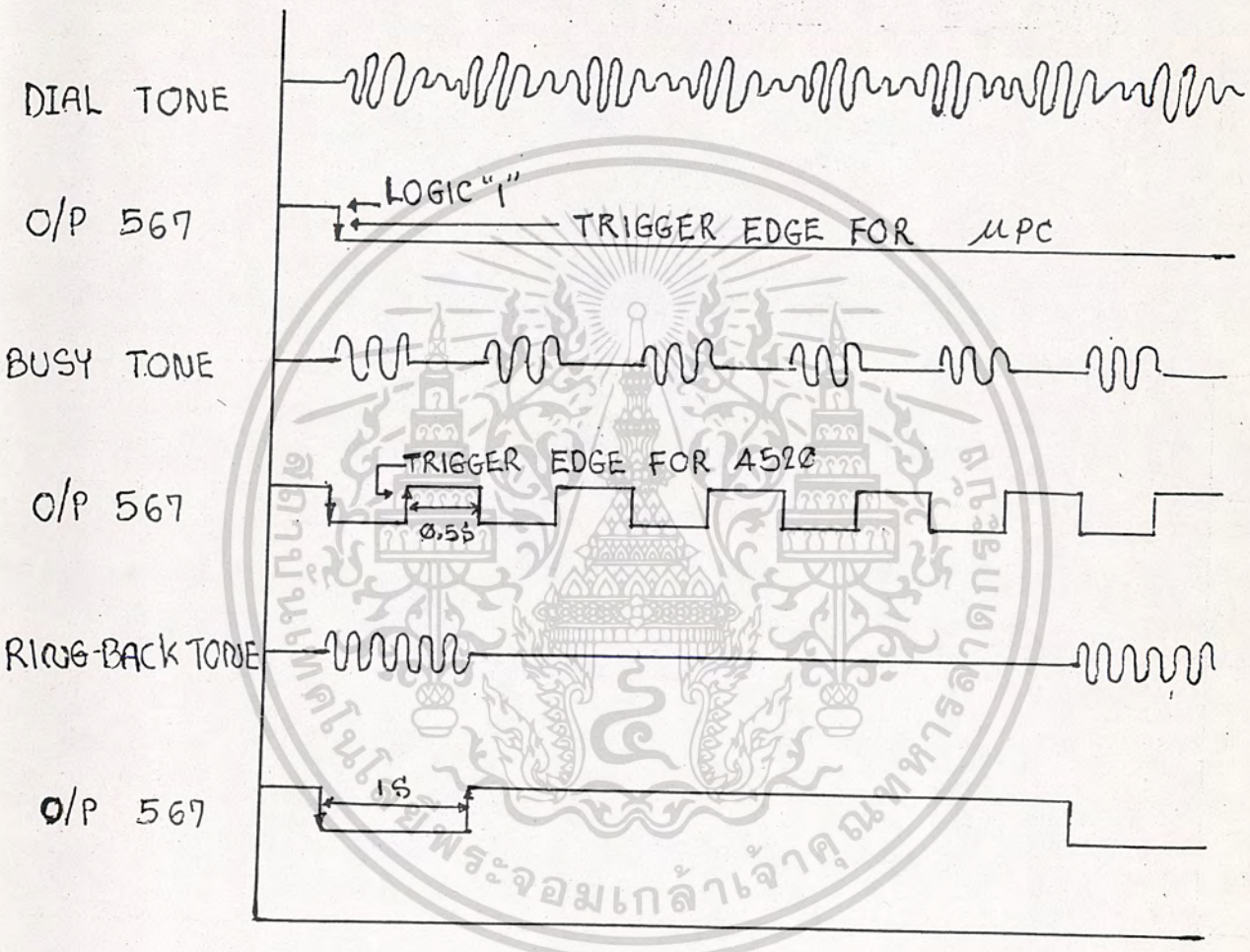
วงจรเปิด - ปิดอุปกรณ์ไฟฟ้าโดยผ่าน LINE AC 220V จะมีส่วนประกอบ 4 ส่วน

1. ส่วนสร้างสัญญาณโทนใช้ IC เบอร์ UM 95087
2. เครื่องส่งความถี่แบบเอฟเอ็ม (FM TX) ใช้ IC เบอร์ 4046 หลักการของ VCO
3. เครื่องรับความถี่แบบเอฟเอ็ม (FM RX) ใช้ IC เบอร์ 4046 หลักการ PLL SYSTEM
4. ส่วนตรวจสอบสัญญาณโทนของชุดควบคุมเปิด - ปิดอุปกรณ์ไฟฟ้า (TONE DETECTOR)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 16 วงจรตรวจสอบลักษณะของสัญญาณที่มาจากชุมสายโทรศัพท์



รูปที่ ๑๗ แสดงไทม์มิ่งไดอะแกรมการทำงาน 567 กับสัญญาณในคู่สายโทรศัพท์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

8.1 ส่วนสร้างสัญญาณโทน ซึ่งใช้ IC เบอร์ UM 95087 จะมีขา ROW R1,R2,R3,R4 และ COLUM C1,C2,C3,C4 ต่ออยู่กับ PORT 8255 ทำให้ไมโครโปรเซสเซอร์ สามารถที่จะสั่งให้ IC เบอร์ UM 95087 สร้างสัญญาณโทนหมายเลขต่างๆ ได้ตามต้องการ ลักษณะการต่อวงจรดังรูปที่ 18

8.2 เครื่องส่งความถี่แบบเอฟเอ็ม (FM TX) ใช้หลักการ VCO (Voltage Control Oscillator) ซึ่งเป็นการส่งในระบบ FSK (Frequency Shift Keying) ซึ่งเป็นระบบ FM อย่างหนึ่ง ใน Project เราจะใช้ IC CMOS เบอร์ 4046 ส่วนประกอบภายใน และตำแหน่งขาของ ไอ ซี เบอร์ 4046B แสดงในรูปที่ 19 ซึ่งประกอบไปด้วยวงจรเปรียบเทียบเฟส (Phase Comparator) 1 คู่, ซีเนอร์ไดโอด 1 ตัว และภาคกำเนิดความถี่ควบคุมด้วยแรงดัน หรือ VCO (Vlotage Controlled Oscillator) 1 ชุด ส่วนประกอบเหล่านี้จะแยกเป็นอิสระกัน ภาค VCO นี้ให้รูปคลื่นสี่เหลี่ยมที่สมมาตรมีความถี่สูงสุดได้มากกว่า 1 MHZ ในการใช้งานนั้น ขาที่ 5 ซึ่งเป็นขา Inhibit จะเป็นตัวควบคุมให้ VCO ทำงาน คือ ถ้าขา 5 มีสภาวะลอจิกเป็น "1" ภาค VCO จะไม่ทำงาน แต่ถ้ามีสภาวะลอจิกเป็น "0" ภาค VCO จะทำงานตามปกติ แรงดันไฟฟ้าที่ ไอ ซี นี้ทำงานอยู่ในช่วง 3-18 โวลต์ สำหรับการใช้งานแบบเฟสล็อกลูป หรือ PLL (Phase- Locked Loop) นั้นขาเอาต์พุทของ VCO จะต่อเข้ากับอินพุทของตัวเปรียบเทียบที่ขา 3 และเอาท์พุทของวงจรเปรียบเทียบต่อไปยังวงจรกรองแบบความถี่ต่ำผ่าน (Low-pass filter) สัญญาณที่กรองเรียบร้อยแล้วถูกป้อนกลับมาที่อินพุทของ VCO ขา 9 เพื่อควบคุมความถี่ของ VCO จะเห็นว่าวงจร PLL นี้ต่อครบเป็นลูป (LOOP) ดังรูป

ใน PROJECT สัญญาณที่จะนำมาทำการ MODULATE เพื่อส่งเข้าไปใน LINE AC นั้น จะเป็นสัญญาณโทนของโทรศัพท์ โดยสัญญาณโทนจะเข้าทำการ MOD ใน VCO หรือเปลี่ยนความถี่ VCO โดยเข้าทางขา 9 ของ IC 4046 เข้าวงจร VCO ภายใน IC 4046 จะได้ FM SIGNAL ออกมาทางขา 14 ของ IC 4046 สัญญาณที่ได้จะถูกขยายโดยทรานซิสเตอร์ผ่าน IF TRANSFORMER แล้วผ่าน C ค่า 0.1 (AC 220 V BLOC KING) เพื่อที่จะ MIX FM SIGNAL เข้าไปใน LINE AC 220V ซึ่งความถี่ที่ใช้ส่งในสภาวะ SIGNAL INPUT เป็น 0 VOLT จะมีค่าประมาณ 200 KHZ ความถี่สามารถเปลี่ยนแปลงได้โดยปรับ VR 20 KR ในวงจร ซึ่งก็คือการปรับค่าความถี่ของ VCO นั่นเอง ส่วนประกอบของวงจร VCO มี R 68 KR, VR 20 KR และ C 470P

8.3 เครื่องรับความถี่แบบ FM (FM RX)

ในการรับของตัวรับอาศัยหลักการของ PLL (PHASE LOOK LOOP SYSTEM) ดังรูปที่ 20

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

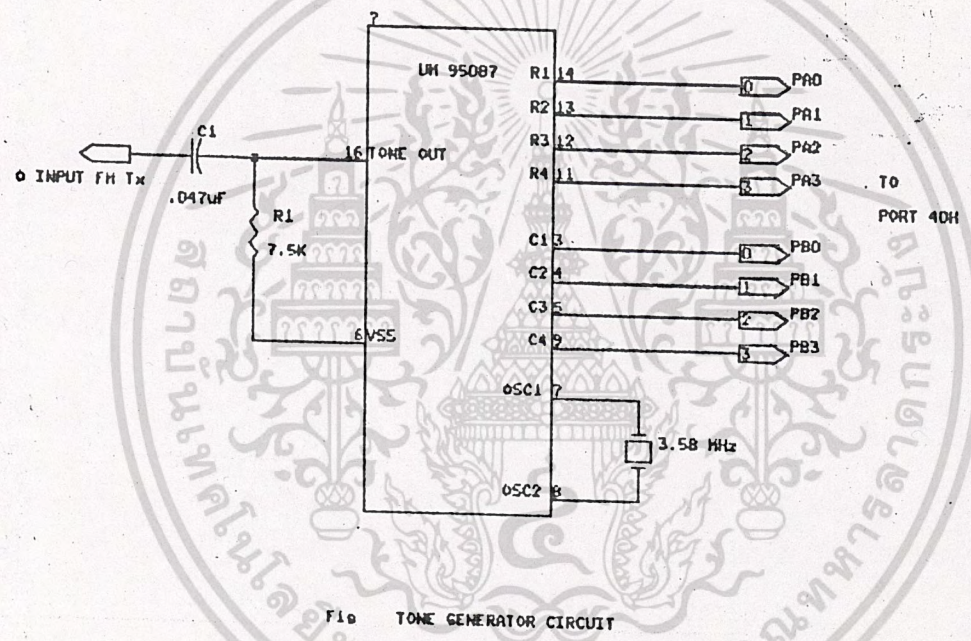
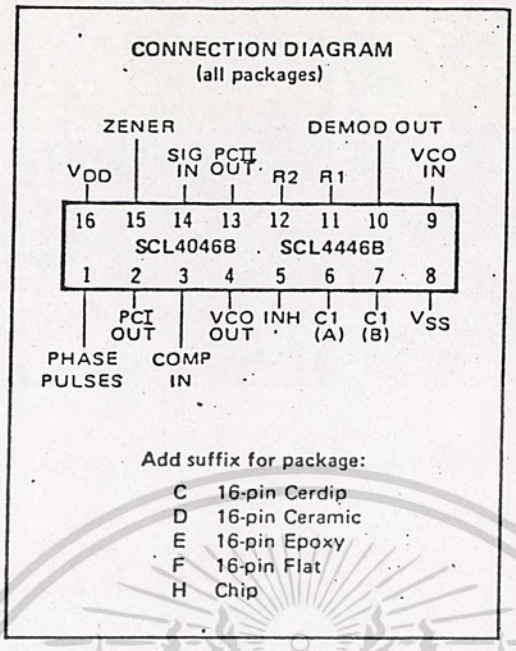


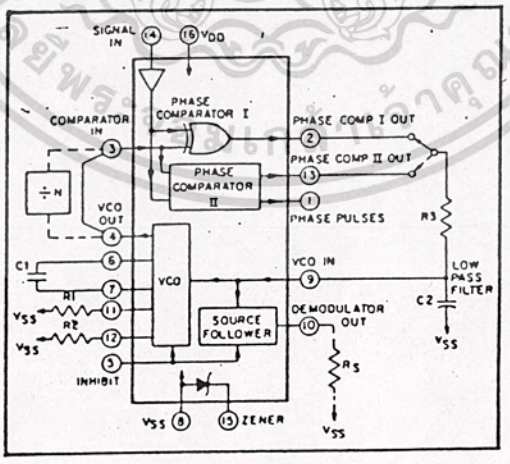
Fig TONE GENERATOR CIRCUIT

รูปที่ ๔ ส่วนสร้างสัญญาณโทน

Size	Document Number	REV
A		
Date: December 15, 1990	Sheet	of

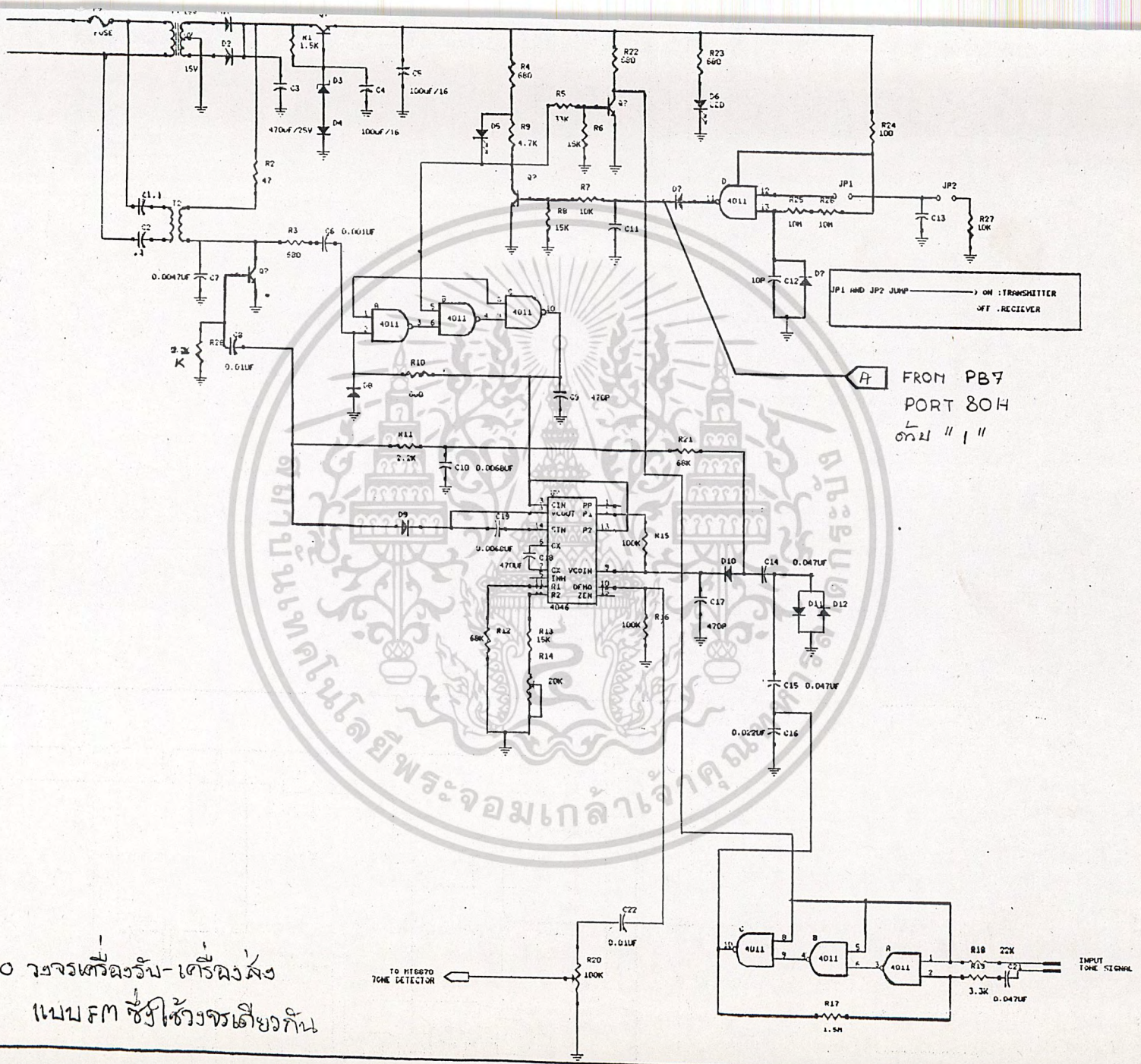
สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง





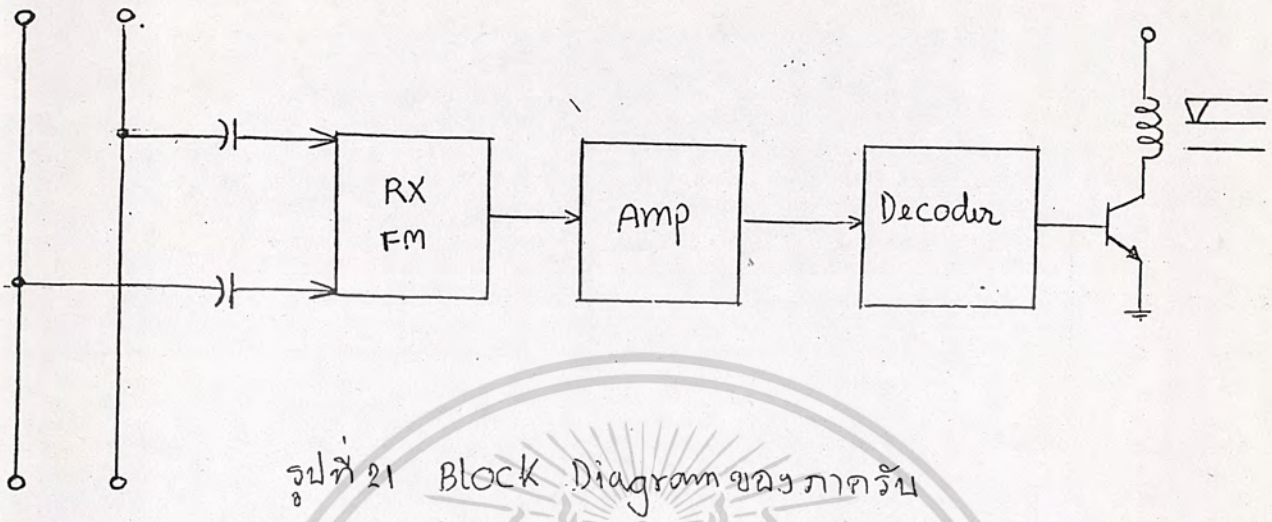
รูปที่ ๑๑ แสดงส่วนประกอบภายใน 4046

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 20 วงจรเครื่องรับ-เครื่องส่ง
แบบ FM ชนิดใช้วงจรเสียงกัน

BLock Diagram ของระบบตัวรับทั้งหมดดังนี้



รูปที่ 21 Block Diagram ของภาครับ

จากรูป21จะอธิบายได้ดังนี้ เครื่องรับจะรับสัญญาณ FM จาก AC LINE ซึ่งจะส่งผ่าน IF TRANSFORMER สัญญาณที่ได้จะถูกขยาย โดยวงจรขยาย ซึ่งใช้ IC 4011 ต่อในลักษณะวงจรขยายได้ โดยอาศัยเทคนิคของ FEED-BACK TEACHIQUE ช่าย สัญญาณที่ถูกขยายจะเข้าระบบ PLL (PHASE LOCK LOOP) ซึ่งใช้ IC เบอร์ 4046 ใน PROJECT IC 4046 จะใช้เป็นได้ทั้งตัวส่งสัญญาณ FM และตัวรับสัญญาณ FM ภายในตัวเดียวกัน

ใน PROJECT ได้นำเอาวงจร INTERCOM AC-LINE มาประยุกต์ใช้งาน ฉะนั้นตัวรับ-ตัวส่งจะอยู่ภายในตัวเดียวกัน ซึ่งในอนาคตอาจจะมีการพัฒนาให้ระบบดีขึ้น หลังจากผ่าน PLL SYSTEM แล้วสัญญาณที่ได้ก็จะถูก DEMOD เป็นสัญญาณโทนของโทรศัพท์ สัญญาณนี้จะถูก DELECT โดยวงจร TONE DETECTOR โดยใช้ IC เบอร์ MT8870 เพื่อไปขับ RELAY เปิด-ปิดอุปกรณ์ไฟฟ้าได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

8.4 วงจรตรวจสอบสัญญาณโทนของชุดควบคุมปิด - เปิดอุปกรณ์ไฟฟ้า

ลักษณะวงจรแสดงดังรูป IC MT8870 เป็นตัวตรวจสอบสัญญาณโทนที่ส่งมาจากด้านส่ง (TX FM) ว่าสัญญาณโทนที่ส่งมาเป็นหมายเลขอะไร โดยเอาท์พุท Q_1, Q_2, Q_3, Q_4 จะเป็น LOGIE โดยที่ Q_2, Q_3, Q_1 ต่อเข้าขา A_2, A_3, A_4 ส่วน Q_1 ต่อเข้า INPUT ข้างหนึ่งของ AND GATE ตัวที่ 2 ดังรูป IC 7485 เป็นไอซี COMPARATER ซึ่งในที่นี้จะเปรียบเทียบ A_2, A_3, A_4 กับ B_2, B_3, B_4 DIP SW จะเป็นตัว SET หมายเลขสัญญาณโทน ที่ขา B_2, B_3, B_4 โดยที่ B_1 และ A_1 ลง GND หากสัญญาณโทนที่เข้ามาทาง A_1-A_4 เป็นหมายเลขเดียวกับ หมายเลขสัญญาณโทนที่ SET ไว้ที่ B_1-B_4 ทำให้เอาท์พุทออกมาที่ขา A=B เข้า INPUT ที่ขาข้างหนึ่งของ AND GATE ตัวที่ 1 และตัวที่ 2 ขาอีกข้างหนึ่งของ AND GATE ตัวที่ 1 จะได้รับลอจิก"1" จากขา STD ซึ่งขา STD จะเป็น "1" ทุกครั้งที่มีสัญญาณโทนเข้ามา ทำให้ขา $\overline{CK}$ ของ74LS76 ENABLE ส่วนขาอีกข้างหนึ่งของ AND GATE ตัวที่ 2 รับสัญญาณมาจาก Q_1 ถ้าหาก Q_1 เป็นลอจิก "1" ทำให้ รีเลย์ ON ถ้าหาก Q_1 เป็นลอจิก "0" รีเลย์จะ OFF

การเปิดปิดอุปกรณ์ ซึ่งกำหนดไว้ 8 ชุด จะมีการ SET ค่า B_2, B_3, B_4 ดังนี้

อุปกรณ์ ชุดที่ 1	SET	B_2, B_3, B_4	= 000
อุปกรณ์ ชุดที่ 2	SET	B_2, B_3, B_4	= 001
อุปกรณ์ ชุดที่ 3	SET	B_2, B_3, B_4	= 010
อุปกรณ์ ชุดที่ 4	SET	B_2, B_3, B_4	= 011
อุปกรณ์ ชุดที่ 5	SET	B_2, B_3, B_4	= 100
อุปกรณ์ ชุดที่ 6	SET	B_2, B_3, B_4	= 101
อุปกรณ์ ชุดที่ 7	SET	B_2, B_3, B_4	= 110
อุปกรณ์ ชุดที่ 8	SET	B_2, B_3, B_4	= 111

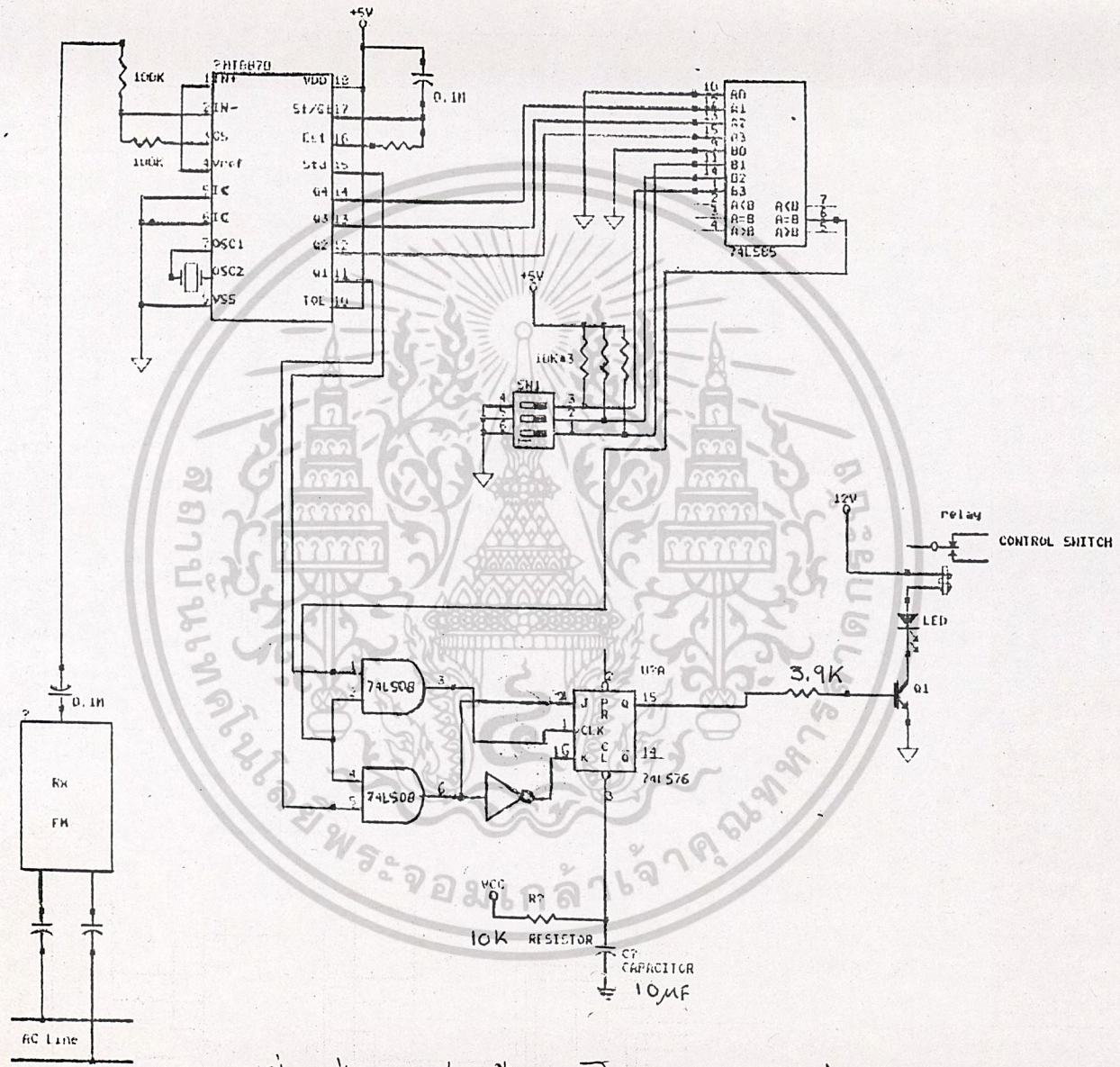
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โดยที่ A_2, A_3, A_4 ต่ออยู่กับ Q_2, Q_3, Q_4 ของ MT 8870 ดังนั้น

สัญญาณโทนหมายเลข	D	จะ	OFF	อุปกรณ์	ชุดที่ 1
สัญญาณโทนหมายเลข	1	จะ	ON	อุปกรณ์	ชุดที่ 1
สัญญาณโทนหมายเลข	2	จะ	OFF	อุปกรณ์	ชุดที่ 2
สัญญาณโทนหมายเลข	3	จะ	ON	อุปกรณ์	ชุดที่ 2
สัญญาณโทนหมายเลข	4	จะ	OFF	อุปกรณ์	ชุดที่ 3
สัญญาณโทนหมายเลข	5	จะ	ON	อุปกรณ์	ชุดที่ 3
สัญญาณโทนหมายเลข	6	จะ	OFF	อุปกรณ์	ชุดที่ 4
สัญญาณโทนหมายเลข	7	จะ	ON	อุปกรณ์	ชุดที่ 4
สัญญาณโทนหมายเลข	8	จะ	OFF	อุปกรณ์	ชุดที่ 5
สัญญาณโทนหมายเลข	9	จะ	ON	อุปกรณ์	ชุดที่ 5
สัญญาณโทนหมายเลข	0	จะ	OFF	อุปกรณ์	ชุดที่ 6
สัญญาณโทนหมายเลข	*	จะ	ON	อุปกรณ์	ชุดที่ 6
สัญญาณโทนหมายเลข	#	จะ	OFF	อุปกรณ์	ชุดที่ 7
สัญญาณโทนหมายเลข	A	จะ	ON	อุปกรณ์	ชุดที่ 7
สัญญาณโทนหมายเลข	B	จะ	OFF	อุปกรณ์	ชุดที่ 8
สัญญาณโทนหมายเลข	C	จะ	ON	อุปกรณ์	ชุดที่ 8

สังเกตุเมื่อ Q_1 เป็นลอจิก "1" จะON อุปกรณ์ และเมื่อ Q_1 เป็นลอจิก "0" จะ OFF อุปกรณ์ ในกรณีที่ต้องการ ON - OFF อุปกรณ์ไฟฟ้า 8 ชุด จะต้องต่อวงจรดัง รูป22 8 ชุด โดยแต่ละชุดจะ SET DIP SW ให้ B_2, B_3, B_4 มีค่าดังที่กล่าวมาแล้ว

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 22 ส่วนตรวจสอบสัญญาณโทนของชุดควบคุมเปิด-ปิดอุปกรณ์ไฟฟ้า

KHITL	PROJECT2	
Size B	Document Number 3 Rx Adapter	REV
Date: December 15, 1990	Sheet of	

8.5 วงจรคีย์บอร์ดใช้ IC 74C923 20-KEY ENCODER โครงสร้างภายในแสดงดังรูป 2.3 IC 74C923 สามารถต่อ KEY BOARD ได้ทั้งหมด 20 KEY ใน PROJECT จะใช้เพียง 16 KEY ฉะนั้นจะเหลืออยู่ 4 KEY ซึ่งสามารถต่อเพิ่มเติมไว้พัฒนาในอนาคต

IC 74C923 มีขา DATA AVAILABLE (DA) ขา 13 ขานี้ในสภาวะปกติจะมีลอจิกเป็น "0" แต่ถ้าหากมีการกด KEY ใด KEY หนึ่งขา DATA AVAILABLE จะเปลี่ยนสภาวะจากลอจิก "0" เป็นลอจิก "1" เมื่อปล่อย KEY ขา DATA AVAILABLE จะกลับสู่สภาวะปกติอีกครั้งคือลอจิก "0" ซึ่งจากเงื่อนไขนี้เอง ทำให้สามารถต่ออินเตอร์เฟสกับไมโครโปรเซสเซอร์เพื่อให้รับรู้ว่ามีการกด KEY BOARD หรือไม่ โดยต่อผ่าน PORT 8255 ดัง KEY BOARD แสดงดังรูป 24 จะเห็นว่า PORT PC6 เป็น PORT INPUT ไว้สำหรับ CHECK การปล่อย KEY PORT PC5 เป็น INPUT ไว้สำหรับ CHECK การกด KEY และ PORT DBO ไว้ RESET R-S ELIP-ELOP ที่ต่อไว้ให้กลับสู่สภาวะปกติ หลังจากที่ไมโครโปรเซสเซอร์ได้ประมวลผล การกดคีย์-ปล่อยคีย์ของแต่ละครั้งเรียบร้อยแล้ว

IC 74C923 มีขา DATA OUT 5 ขา คือ ขา DATA OUT A,B,C,D และ E ขา DATA OUT จะแสดงลอจิกของการกด KEY ดัง TRUTH TABLE ตารางที่ 5 ขา DATA OUT จะต่อเข้า PORT 8255 โดย DATA OUT A ต่อเข้า PC 4

DATA OUT B ต่อเข้า PC 3

DATA OUT C ต่อเข้า PC 2

DATA OUT D ต่อเข้า PC 1

DATA OUT E ต่อเข้า PC 0

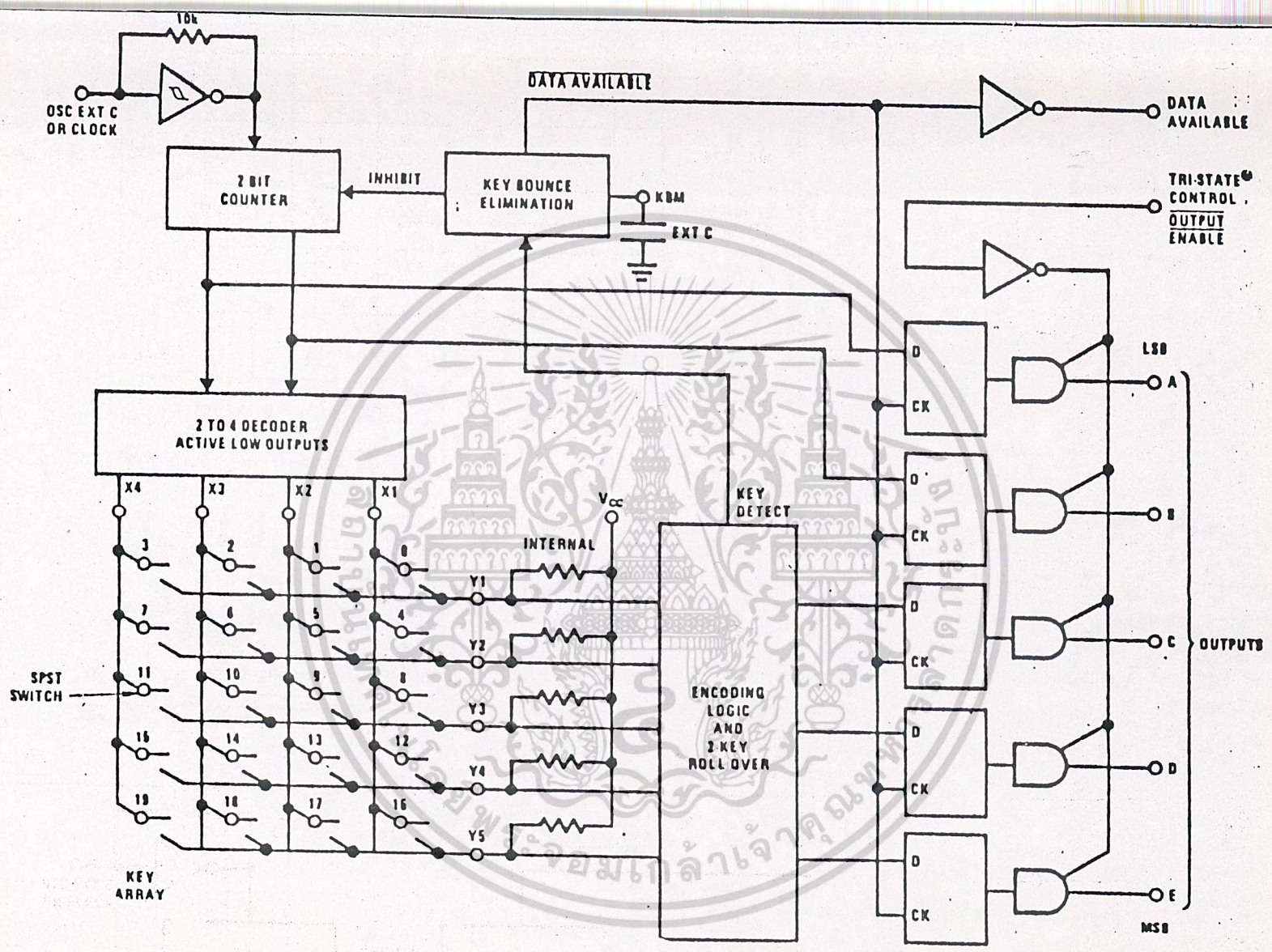
เข้า DATA OUT ต่อเข้ากับ 8255 เพื่อให้ไมโครรับรู้ว่าผู้ใช้กด KEY อะไรบ้างในขณะที่ใช้งาน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

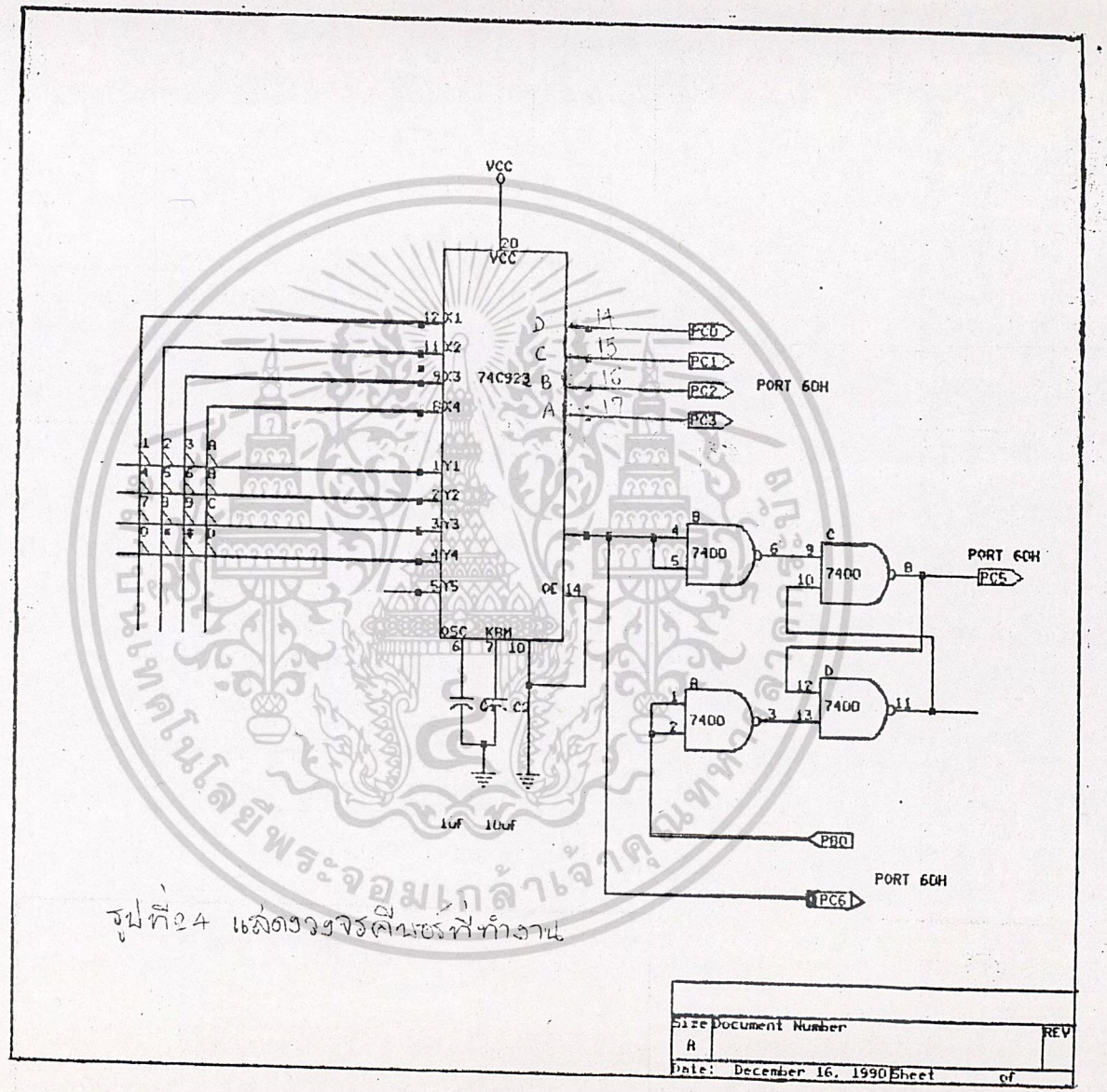
ตารางที่ 5 แสดง Truth table ของ IC 74C923

SWITCH POSITION	DATA OUT				
	A	B	C	D	E
0	0	0	0	0	0
1	1	0	0	0	0
2	0	1	0	0	0
3	1	1	0	0	0
4	0	0	1	0	0
5	1	0	1	0	0
6	0	1	1	0	0
7	1	1	1	0	0
8	0	0	0	1	0
9	1	0	0	1	0
10	0	1	0	1	0
11	1	1	0	1	0
12	0	0	1	1	0
13	1	0	1	1	0
14	0	1	1	1	0
15	1	1	1	1	0
16	0	0	0	0	1
17	1	0	0	0	1
18	0	1	0	0	1
19	1	1	0	0	1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 23 แสดงโครงสร้างภายใน IC 74C923



รูปที่ 24 แสดงวงจรคีย์บอร์ดที่ทำงาน

9. การควบคุมการทำงานของโทรศัพท์

การควบคุมการทำงานของเครื่องรับโทรศัพท์มัลติฟังก์ชัน ใช้ไมโครโปรเซสเซอร์เป็นตัวควบคุมทั้งหมด โดยแยกพิจารณาเป็น 2 ส่วนคือ

1. ส่วนของวงจรควบคุม (HARDWARE)

2. ส่วนของโปรแกรมควบคุม (SOFT WARE)

9.1 หลักการใช้งาน Z80

ในปัจจุบันโลกเราอยู่ในสภาวะที่จะขาดเสียซึ่งการดำรงชีวิตที่สะดวกสบายไม่ได้ จำนวนประชากรที่เพิ่มขึ้นเป็นสาเหตุที่ทำให้ความต้องการในด้านต่างๆ เพิ่มขึ้นเป็นเงาตามตัว เพื่อที่จะตอบสนองความต้องการเหล่านี้ จึงจำเป็นที่จะต้องนำเอาเทคโนโลยีใหม่ๆ มาใช้อย่างหลีกเลี่ยงไม่ได้ คอมพิวเตอร์เป็นสิ่งหนึ่งที่มีบทบาทอย่างมาก ในการพัฒนาชีวิตและความเป็นอยู่ของมนุษย์ให้ดีขึ้น.

โดยทั่วไปโครงสร้างพื้นฐานของคอมพิวเตอร์ จะประกอบไปด้วย

-หน่วยควบคุม (CONTROL UNIT)

-หน่วยความจำ (MEMORY UNIT)

-หน่วยคำนวณ (ARITHMETIC UNIT)

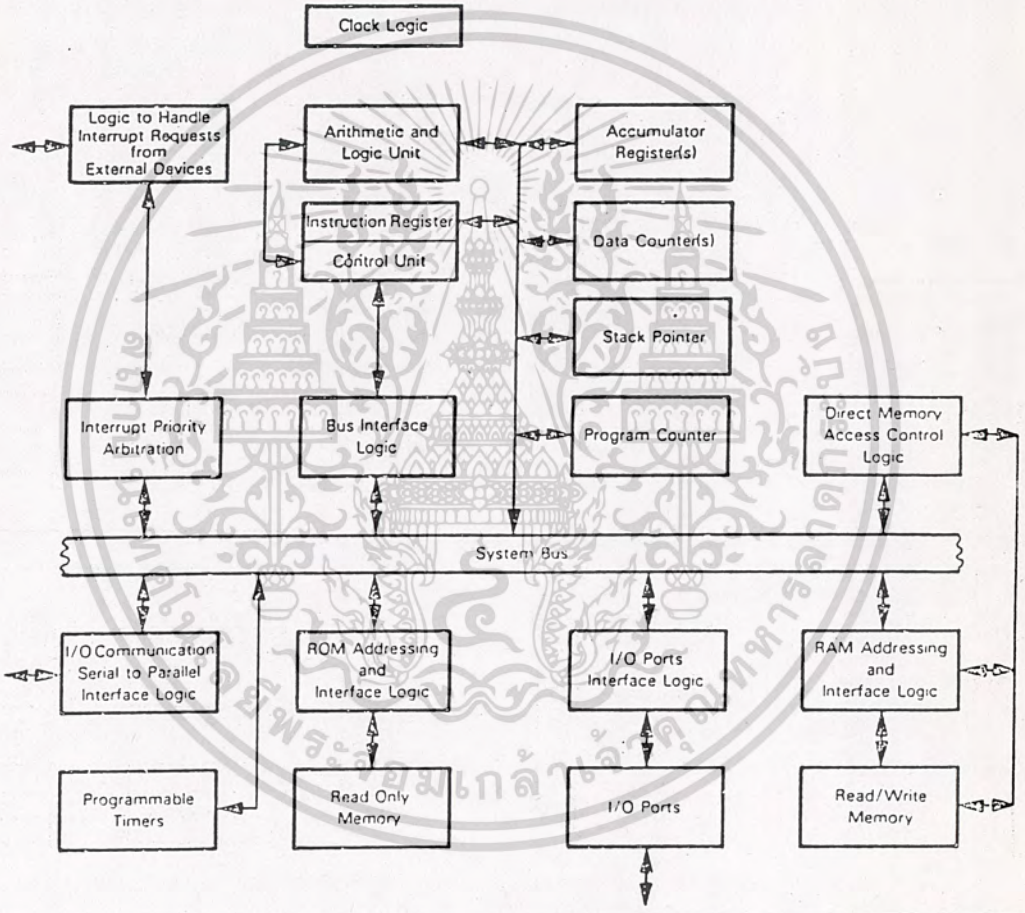
-หน่วยรับและส่งสัญญาณ (I/O UNIT)

ด้วยการพัฒนาทางด้านเทคโนโลยีที่ทันสมัย ทำให้ชิ้นส่วนต่างๆที่ประกอบขึ้นเป็น หน่วยย่อยๆภายในเครื่องคอมพิวเตอร์มีขนาดเล็กลง แต่ประสิทธิภาพกลับสูงขึ้นและราคาก็ถูกลงอย่างมาก ทำให้ความต้องการที่จะนำเอาเครื่องคอมพิวเตอร์มาใช้ในชีวิตประจำวันมีมากขึ้นเป็นลำดับ.

ในปัจจุบันนี้ เราสามารถนำเอาวงจรอิเลคทรอนิคส์ที่ยุ่งยากและซับซ้อนมาบรรจุลงบนแผ่นวงจรเดียวที่มีขนาดเล็กมากซึ่งเรียกว่า LSI (LAST SCALE

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

INTEGRATED CIRCUIT) และบรรจุอยู่ในตัวถัง ซึ่งต่อขาออกมาเพื่อใช้ในการติดต่อกับวงจรภายนอก สิ่งนี้เรียกว่า "ชิพ(CHIP)" องค์ประกอบย่อยๆในไมโครคอมพิวเตอร์ทั้งหมด จะประกอบขึ้นจากชิพเหล่านี้ เช่น หน่วยความจำ ประเภท ROM (READ ONLY MEMORY) ,RAM(RANDOM ACCESS MEMORY) อุปกรณ์สนับสนุน (CHIP SUPPORT) ต่างๆ และสิ่งที่เป็นหัวใจของระบบไมโครคอมพิวเตอร์ คือ หน่วยประมวลผลกลาง หรือ CPU(CENTRAL PROCESSING UNIT) ซึ่งภายในประกอบไปด้วยส่วนต่างๆ ดังบล็อกไดอะแกรมรูปที่ 9.1.



รูปที่ 9.1 : แสดงบล็อกไดอะแกรมของ Z80.

ซึ่งแต่ละบล็อกมีลักษณะการทำงานดังต่อไปนี้ คือ

1. ARITHMETICS LOGIC UNIT (ALU) เป็นหน่วยที่ทำหน้าที่ในการคำนวณฟังก์ชันพื้นฐานทางคณิตศาสตร์ และการกระทำฟังก์ชันทางลอจิก เช่น AND และ OR , ALU จะสามารถทำหน้าที่ได้อย่างมีประสิทธิภาพมากเพียงใดนั้นขึ้นอยู่กับการออกแบบวงจรภายในของ ALU.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2. CONTROL UNIT เป็นหน่วยที่ทำหน้าที่ในการส่งสัญญาณไปควบคุมอุปกรณ์ต่างๆที่ต่อเชื่อมกับ CPU ให้ทำงานร่วมกันได้อย่างถูกต้อง.

3. DATA BUS เป็นบัสสองทิศทาง(BI-DIRECTIONAL) ที่ใช้ในการส่งผ่านข้อมูลระหว่าง CPU กับอุปกรณ์อื่นๆภายในระบบ จำนวนเส้นของบัสข้อมูล(DATA BUS) จะขึ้นอยู่กับชนิดของ CPU เช่นในกรณีของ Z80 CPU จะส่งผ่านข้อมูลทีละ 8 บิท ดังนั้นจะมีจำนวนเส้นของบัสข้อมูล 8 เส้น.

4. CONTROL BUS หรือ **บัสควบคุม** เป็นบัสทางเดียว(UNI-DIRECTIONAL BUS) ที่ใช้ในการส่งผ่านสัญญาณควบคุมให้กับอุปกรณ์ต่างๆในระบบ.

5. ADDRESS BUS เป็นบัสทางเดียว ใช้ส่งผ่านค่าแอดเดรสจาก CPU ออกไปยังหน่วยความจำเพื่อระบุตำแหน่งที่ต้องการรับหรือส่งข้อมูล หรือใช้ระบุตำแหน่งของพอร์ท I/O (INPUT/OUTPUT PORT)ที่ CPU ต้องการติดต่อด้วย.

ต่อไปนี้เราจะกล่าวถึงรายละเอียดของ Z80 CPU ซึ่งเป็นไมโครโปรเซสเซอร์ขนาด 8 บิทที่นิยมใช้อย่างแพร่หลายในปัจจุบัน.

Z80 ไมโครโปรเซสเซอร์เป็น CPU ที่ผลิตจากบริษัท ZILOG INC. โดยกลุ่มวิศวกรชุดเดียวกับที่ผลิต 8080 CPU ของบริษัท INTEL COORPERATION., Z80 CPU ได้รับการพัฒนาให้มีข้อดีเหนือกว่า 8080 เช่น มีชุดคำสั่งมากถึง 158 คำสั่งโดยรวมชุดคำสั่งเดิมของ 8080 ไว้ 80 คำสั่ง นอกจากนี้ Z80 ยังมีรีจิสเตอร์มากกว่าใน 8080 ถึง 12 ตัว และ 8080 เพียงตัวเดียวก็ยังไม่สามารถที่จะนำไปใช้งานได้ต้องต่อกับอุปกรณ์สนับสนุนอีก 2 ตัวคือ CLOCK GENERATOR CHIP, SYSTEM CONTROLER CHIP รวมกันเรียกว่า THREE CHIP PROCESSOR แต่ใน Z80 CPU ได้รวมเอาลักษณะพื้นฐานเหล่านี้ไว้ในชิพเดียวกัน และเพิ่มประสิทธิภาพทาง HARDWARE, SOFTWARE และการ INTERFACE ให้สูงขึ้น.

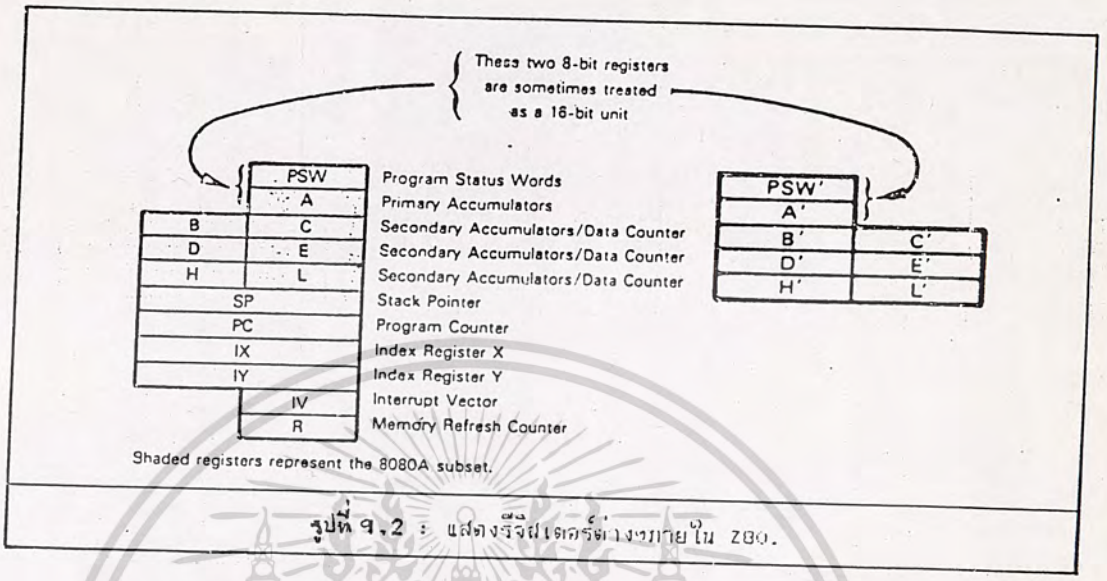
Z80 ไมโครโปรเซสเซอร์เพียงชิ้นเดียวไม่สามารถทำงานเป็นระบบคอมพิวเตอร์ได้ ต้องอาศัยอุปกรณ์อื่นๆอีก 2 ส่วนคือ หน่วยความจำ(MEMORY) และหน่วยรับส่งข้อมูลเข้าออก(I/O DEVICE) ซึ่งในการทำงานตามคำสั่งจากโปรแกรมที่ป้อนเข้ามา Z80 CPU จะต้องทำการโอนย้ายคำสั่งหรือข้อมูลระหว่างหน่วยความจำ กับรีจิสเตอร์(REGISTER) ก่อนอื่นเราจะกล่าวถึงรีจิสเตอร์ภายในของ Z80 เสียก่อน.

รีจิสเตอร์ต่างๆใน Z80 CPU.

Z80 CPU จะประกอบไปด้วยรีจิสเตอร์ถึง 22 ตัวดังรูป 3.2 รีจิสเตอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เหล่านี้จะแบ่งได้เป็น 2 กลุ่มคือ รีจิสเตอร์ที่ทำหน้าที่ทั่วๆไป และ รีจิสเตอร์ที่ทำหน้าที่เฉพาะงาน.



รูปที่ 9.2 : แสดงรีจิสเตอร์ต่างๆภายใน Z80.

1. รีจิสเตอร์ที่ทำหน้าที่ทั่วๆไป แบ่งเป็นรีจิสเตอร์หลัก ได้แก่ A, B, C, D, E, H และ L มีความจุขนาด 8 บิท รีจิสเตอร์เหล่านี้ใช้เก็บข้อมูลชั่วคราว นอกจากนี้ยังสามารถรับข้อมูลจากหน่วยความจำหรืออาจจะทำการย้ายข้อมูลไปเก็บไว้ในหน่วยความจำก็ได้ และ รีจิสเตอร์สำรองได้แก่ A', B', C', D', E', H' และ L' ซึ่งเป็นรีจิสเตอร์ที่ทำหน้าที่เก็บข้อมูลที่มาจากรีจิสเตอร์หลัก ในกรณีที่ต้องใช้รีจิสเตอร์หลักในการทำงานอย่างอื่นก่อน ดังนั้นรีจิสเตอร์กลุ่มนี้จึงไม่สามารถกระทำขบวนการทางคณิตศาสตร์และลอจิกได้.

รีจิสเตอร์ A เรียกว่า แอคคิวมูเลเตอร์(ACCUMULATOR) ทำหน้าที่เก็บข้อมูลชั่วคราวที่ได้จากการทำขบวนการทางคณิตศาสตร์ เช่น บวกหรือลบข้อมูล 2 จำนวน ผลลัพท์ที่ได้จะเก็บไว้ในรีจิสเตอร์ A นี้ นอกจากนี้ ในการปฏิบัติตามคำสั่งที่ใช้กับข้อมูลขนาด 16 บิท Z80 จะนำเอารีจิสเตอร์แฟลก "F"(FLAG REGISTER) มาใช้ร่วมกับรีจิสเตอร์ A เรียกว่า คู่รีจิสเตอร์ AF ซึ่งมีขนาด 16 บิท นอกจากนี้ยังมีคู่รีจิสเตอร์ 16 บิท อีก 2 คือ BC, DE และ HL.

2. รีจิสเตอร์ที่ใช้งานเฉพาะอย่าง ได้แก่ รีจิสเตอร์ I, R, IX, IY, SP และ PC ซึ่งทำหน้าที่ต่างๆดังนี้

รีจิสเตอร์ I (INTERRUPT PAGE ADDRESS REGISTER) เมื่อมีการอินเทอรรัพท์เกิดขึ้นจำเป็นต้องบอกตำแหน่งของหน่วยความจำที่เก็บโปรแกรมตอบสนอง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การอินเทอร์รัพท์ รีจิสเตอร์ I จะทำหน้าที่เก็บค่า 8 บิทบนของตำแหน่งข้อมูลในหน่วยความจำ ส่วนค่า 8 บิทล่างจะป้อนจากภายนอกให้แก่ CPU ค่าทั้งสองจะประกอบกันเป็นค่าแอดเดรสที่ระบุตำแหน่งของโปรแกรมการตอบสนองการอินเทอร์-รัพท์.

รีจิสเตอร์ R (MEMORY REFRESH REGISTER) เป็นรีจิสเตอร์ขนาด 7 บิทที่ถูกใช้ในการรีเฟรช(REFRESH) DYNAMIC RAM และค่ารีจิสเตอร์ R จะเพิ่มขึ้นเองโดยอัตโนมัติ ในทุกๆครั้งที่มีการเฟทช์คำสั่งจากหน่วยความจำ รายละเอียดเกี่ยวกับ DYNAMIC RAM จะกล่าวถึงในบทที่ 5.

รีจิสเตอร์ IX และ IY (INDEX REGISTER) เป็นรีจิสเตอร์ทั่วขนาด 16 บิท มีประโยชน์ใช้บ่งบอกตำแหน่งในหน่วยความจำแบบ INDEX ADDRESSING MODE โดยจะกำหนดให้ค่าใน INDEX REGISTER เป็นค่าอ้างอิง แล้วใช้คำสั่งบ่งบอกว่าตำแหน่งของข้อมูลที่ต้องการอยู่ห่างจากค่าอ้างอิงนี้เท่าใด โดยจะบอกค่าระยะห่างในรูปของ TWO COMPLEMENT.

รีจิสเตอร์ SP (STACK POINTER) มีขนาด 16 บิท ในหน่วยความจำชนิด RAM จะมีส่วนหนึ่งที่ถูกกำหนดให้เป็นที่เก็บข้อมูลชั่วคราว ส่วนนี้เรียกว่าสแตก (STACK) ซึ่งมีลักษณะการเก็บข้อมูลแบบ LIFO (LAST IN FIRST OUT) เราสามารถที่จะเก็บข้อมูลลงบนสแตกโดยใช้คำสั่ง PUSH และเมื่อต้องการดึงข้อมูลออกจากสแตกต้องใช้คำสั่ง POP .

รีจิสเตอร์ PC (PROGRAM COUNTER) เป็นรีจิสเตอร์ขนาด 16 บิทที่ใช้ในการเก็บตำแหน่งของหน่วยความจำที่ CPU จะเฟทช์(FETCH) คำสั่งหลังจากที่เฟทช์คำสั่งเรียบร้อยแล้ว ค่าในรีจิสเตอร์ PC จะเพิ่มขึ้น และจะชี้ไปยังตำแหน่งของคำสั่งถัดไป เราจะสามารถเปลี่ยนแปลงค่าใน PC ได้โดยใช้คำสั่ง CALL หรือ JUMP.

รีจิสเตอร์ F (FLAG REGISTER) ประกอบด้วย

SIGN FLAG (S) : แฟลกเครื่องหมาย

ZERO FLAG (Z) : แฟลกศูนย์

HALF CARRY FLAG (H) : แฟลกทดครึ่ง

PARITY/OVERFLOW FLAG (P/V) : แฟลกพาริตีหรือโอเวอร์โฟล์ว

SUBTRACT FLAG, (N) : แฟลกลบ

CARRY FLAG (C) : แฟลกตัวทด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ผู้ผลิตZ80ได้นำเอาแฟลกเหล่านี้มาประกอบร่วมกับ บิทว่าง (X : ไม่มีความหมาย) อีก 2 บิทเพื่อทำเป็นรีจิสเตอร์ขนาด 8 บิท สำหรับรายละเอียดของแฟลกเหล่านี้จะไม่ขอกล่าวถึง.

รายละเอียดของขา Z80 (Z80 PIN OUTS).

A0-A15 (ADDRESS BUS) : เป็นขาสัญญาณเอาท์พุทแบบ TRI-STATE ใช้บ่งบอกตำแหน่งหน่วยความจำได้ถึง 2^{16}=65536 ตำแหน่ง A0-A7 จะแสดงตำแหน่งของพอร์ทที่ Z80 ต้องการติดต่อด้วย นอกจากนี้ขา A0-A6 จะให้ค่ารีเฟรชแอดเดรสออกมาขณะที่ Z80 ให้สัญญาณรีเฟรช.

D0-D7 (DATA BUS) : เป็นขาสัญญาณอินพุท/เอาท์พุท TRI-STATE แบบสองทิศทางซึ่งเป็นทางผ่านของข้อมูลระหว่าง Z80 กับหน่วยความจำและอุปกรณ์ I/O.

$\overline{M1}$ (MACHINE CYCLE ONE) : เป็นขาเอาท์พุทแอคทีฟลอจิก "0" ขา $\overline{M1}$ นี้จะแอคทีฟขณะที่ Z80 ทำการเฟทช์ออปโคดของคำสั่ง ในกรณีคำสั่งที่จะเฟทช์เข้ามานั้นมีขนาด 2 ไบท์ $\overline{M1}$ จะแอคทีฟในทุกๆ ไบท์ที่เฟทช์แต่ละไบท์.

$\overline{MREQ}$ (MEMORY REQUEST) : เป็นสายเอาท์พุทแบบ TRI-STATE แอคทีฟลอจิก "0" เพื่อเป็นการบ่งบอกว่า Z80 กำลังกระทำการติดต่อกับหน่วยความจำ.

$\overline{IORQ}$ (INPUT/OUTPUT REQUEST) : เป็นสายเอาท์พุทแบบ TRI-STATE จะแอคทีฟลอจิก "0" เพื่อเป็นการบ่งบอกว่า Z80 กำลังทำการติดต่อกับอุปกรณ์ I/O และเมื่อ $\overline{IORQ}$ และ $\overline{M1}$ แอคทีฟทั้งคู่จะเป็นการบ่งบอกการตอบรับการอินเทอร์รัพท์ (INTERRUPT ACKNOWLEDGE).

$\overline{RD}$ (MEMORY READ) : เป็นขาเอาท์พุท TRI-STATE จะแอคทีฟลอจิก "0" เมื่อ Z80 ต้องการอ่านข้อมูลจากหน่วยความจำหรืออุปกรณ์ I/O และ Z80 จะรับข้อมูลจากบัสข้อมูลเข้าไปเมื่อสัญญาณนี้เปลี่ยนระดับลอจิกจาก "0" เป็น "1".

$\overline{WR}$ (MEMORY WRITE) : เป็นขาเอาท์พุทแบบ TRI-STATE จะแอคทีฟลอจิก "0" เมื่อ Z80 ต้องการส่งข้อมูลออกไปให้หน่วยความจำหรืออุปกรณ์ I/O.

$\overline{RFSH}$ (REFRESH) : เป็นขาเอาท์พุท จะแอคทีฟเมื่อ 7 บิทล่าง(A0-A6) ของบัสแอดเดรสให้ค่ารีเฟรชออกมา.

$\overline{HALT}$ (HALT STATE) : เป็นขาเอาท์พุท จะแอคทีฟลอจิก "0" เมื่อ Z80 อยู่ในสภาวะของการ $\overline{HALT}$ คือ CPU จะทำคำสั่ง NOP (NO OPERATION)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เมื่อให้เกิดการรีเฟรชได้และ Z80 จะหลุดพ้นจากสภาวะการ HALT เมื่อได้รับการรีเซ็ทหรือถูกอินเทอร์รัพท์.

$\overline{WAIT}$: เป็นขาอินพุทแอคทีพลอจิก "0" และจะมีการตรวจสอบสัญญาณนี้ที่ขอบขาลงของคล็อกสุดที่ 2 ของทุก ๆ MACHINE CYCLE เมื่อมีการตรวจพบว่าขาอินพุทนี้แอคทีพจะมีการแทรก WAIT STATE ให้กับแต่ละ MACHINE CYCLE เพื่อเป็นการรอให้อุปกรณ์ภายนอกทำงานให้ทันกับการทำงานของ Z80 และ Z80 จะแทรก WAIT STATE จนกว่าจะมีการตรวจสอบพบว่าขา WAIT จะมีลอจิกเป็น "1".

$\overline{INT}$ (INTERRUPT REQUEST) : เป็นขาอินพุทแอคทีพลอจิก "0" Z80 จะตรวจสอบระดับสัญญาณที่ขานี้ทุกๆการสิ้นสุดของ INSTRUCTION CYCLE (LAST STATE).

$\overline{NMI}$ (NON MASKABLE INTERRUPT) : เป็นขาอินพุทแอคทีพลอจิก "0" สัญญาณ NON MASKABLE INTERRUPT เป็นสัญญาณที่มีระดับความสำคัญในการขออินเทอร์รัพท์สูงกว่าสัญญาณ INTERRUPT REQUEST Z80 จะตอบรับการอินเทอร์รัพท์นี้ตลอดเวลาโดยที่เราไม่สามารถ DISABLE ได้ด้วย SOFTWARE.

$\overline{RESET}$: เป็นขาอินพุทแอคทีพลอจิก "0" สัญญาณนี้จะทำการ INITIALIZE CPU โดยทำการรีเซ็ท INTERRUPT FLIP-FLOP และเซ็ทค่าในโปรแกรมเคาน์เตอร์ (PROGRAM COUNTER) ให้เป็น 0000H และในสภาวะการรีเซ็ทนี้ บัสแอดเดรสและบัสข้อมูลจะอยู่ในสภาวะ HIGH IMPEDANCE และสัญญาณควบคุมต่างๆจะอยู่ในสภาวะ INACTIVE.

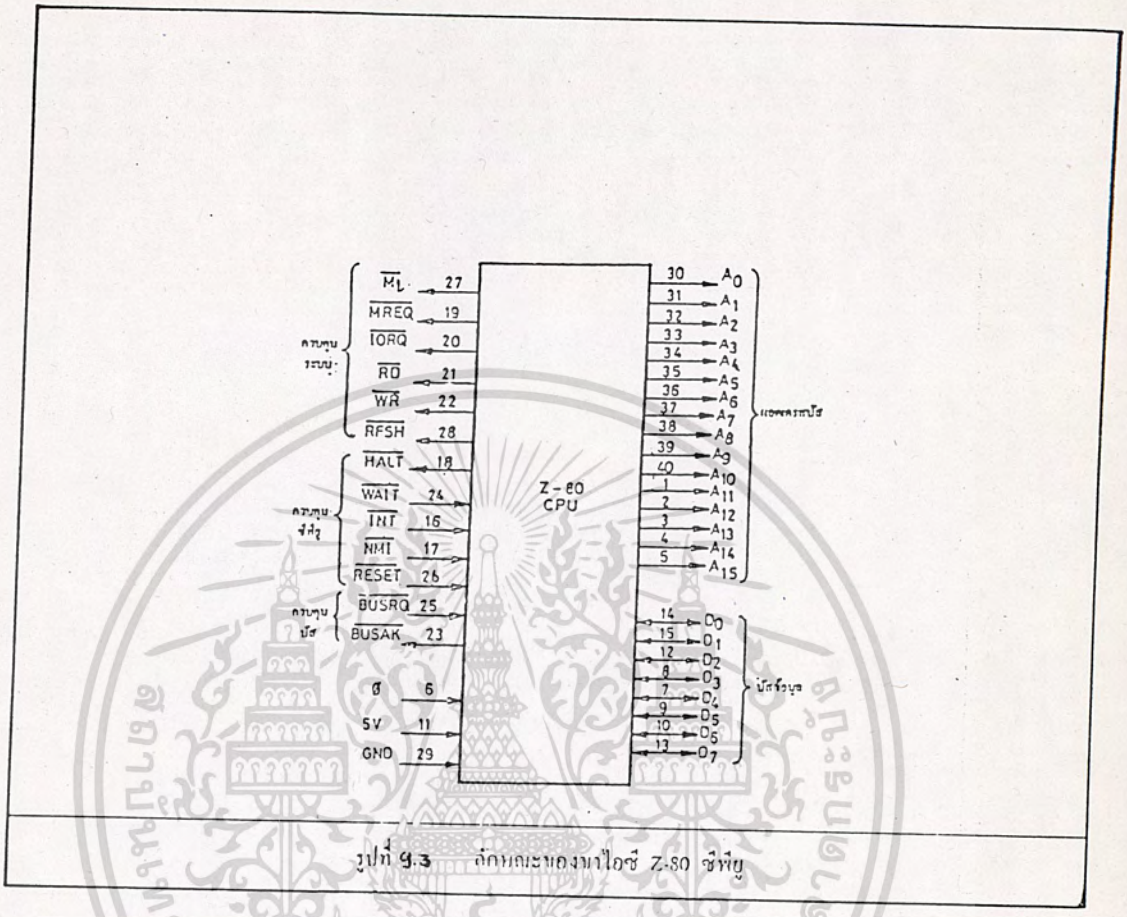
$\overline{BUSRQ}$ (BUS REQUEST) : เป็นขาอินพุทแอคทีพลอจิก "0" สัญญาณ BUS REQUEST เป็นสัญญาณที่มีลำดับความสำคัญสูงกว่าสัญญาณ NON MASKABLE INTERRUPT และมีการตรวจสอบสัญญาณนี้ทุก ๆ การสิ้นสุดของ MACHINE CYCLE อุปกรณ์ภายนอกจะให้สัญญาณนี้แก่ Z80 เมื่อต้องการใช้บัสข้อมูลและบัสแอดเดรสโดยเปรียบเสมือนว่าเป็นการถอด Z80 ออกจากระบบบัส.

$\overline{BUSAK}$ (BUS ACKNOWLEDGE) : เป็นขาเอาท์พุทแอคทีพลอจิก "0" ขานี้จะแอคทีพเมื่อ Z80 ตอบสนองการต่อสัญญาณ BUS REQUEST และจะทำให้บัสข้อมูล, บัสควบคุมและบัสแอดเดรสมีสภาวะเป็น HIGH IMPEDANCE ซึ่งทำให้อุปกรณ์ภายนอกใช้บัสเหล่านี้ได้โดยไม่มีผลต่อ CPU.

จากที่กล่าวมาทั้งหมดในบทนี้เป็นรายละเอียดที่ควรทราบในการศึกษาและนำ Z80 ไปใช้งานร่วมกับอุปกรณ์สนับสนุนอื่นๆ (CHIP SUPPORT) ในบทต่อๆไป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เราจะอธิบายรายละเอียดของอุปกรณ์ซึ่งจะมาประกอบเป็นระบบไมโครคอมพิวเตอร์.



รูปที่ 9.3 ลักษณะของชิปไอซี Z-80 ซีพียู

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

9.2 ส่วนของวงจรควบคุม

ระบบไมโครโปรเซสเซอร์ที่ใช้คือเบอร์ Z80 มีหน่วยความจำ ROM สำหรับเก็บโปรแกรมระบบงาน และหน่วยความจำ RAM

ในส่วนอินพุทและเอาท์พุทของระบบไมโครโปรเซสเซอร์นั้นใช้พอร์ทเบอร์ 8255 สำหรับสัญญาณอินพุทจากสายโทรศัพท์, สัญญาณควบคุมจากคีย์บอร์ด, สัญญาณเตือนภัย และ เป็นเอาท์พุทพอร์ทไปควบคุมการทำงานของอุปกรณ์ในเครื่องรับโทรศัพท์และอุปกรณ์ไฟฟ้า

9.3 การจัดหน่วยความจำ

ระบบ PORT จะ DECODE ได้ 8 ช่วงดังนี้

ตำแหน่ง	เบอร์ PORT
1	00 - 1F
2	20 - 3F
3	60 - 7F
4	80 - 9F
5	A0 - BF
6	C0 - DF
7	E0 - FF

ส่วนเบอร์ PORT 40 - 5F นั้น ไว้สำหรับการขยายได้อีกทางด้าน 8255 CONNECTOR

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

9.4 การจัดอินพุทและเอาท์พอร์ท

พอร์ทอินพุทและเอาท์พุทใช้ ไอซี 8255 จำนวน 3 ตัว โดยมีการจัดพอร์ทแอดเดรสดังนี้

8255/1 มีแอดเดรส 4ø-43 โดยที่

- พอร์ท A มีแอดเดรส 4ø เป็นเอาท์พุทพอร์ท
- พอร์ท B มีแอดเดรส 41 เป็นอินพุทพอร์ท
- พอร์ท C มีแอดเดรส 42 เป็นเอาท์พุทพอร์ท
- พอร์ทควบคุม 8255/1 มีแอดเดรส 43

การต่อพอร์ท 8255/1 แสดงดังรูปที่ 9.4.1

8255/2 มีแอดเดรส 8ø-83 โดยที่

- พอร์ท A มีแอดเดรส 8ø เป็นเอาท์พุทพอร์ท
- พอร์ท B มีแอดเดรส 81 เป็นเอาท์พุทพอร์ท
- พอร์ท C มีแอดเดรส 82 เป็นอินท์พุทพอร์ท
- พอร์ทควบคุม 8255/2 มีแอดเดรส 83

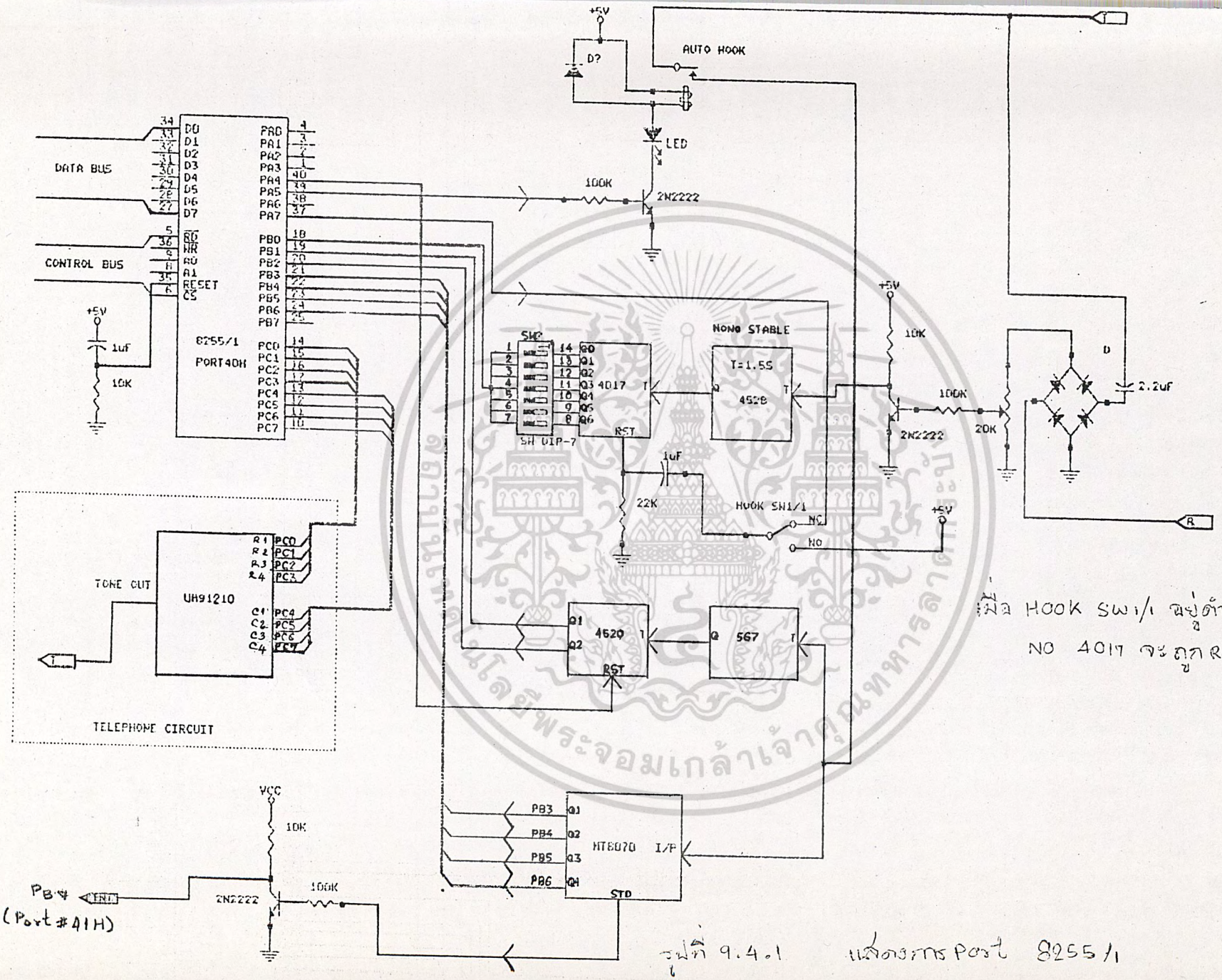
การต่อพอร์ท 8255/2 แสดงดังรูปที่ 9.4.2

8255/3 มีแอดเดรส 6ø-63 โดยที่

- พอร์ท A มีแอดเดรส 6ø เป็นเอาท์พุทพอร์ท
- พอร์ท B มีแอดเดรส 61 เป็นเอาท์พุทพอร์ท
- พอร์ท C มีแอดเดรส 62 เป็นอินพุทพอร์ท
- พอร์ทควบคุม 8255/3 มีแอดเดรส 63

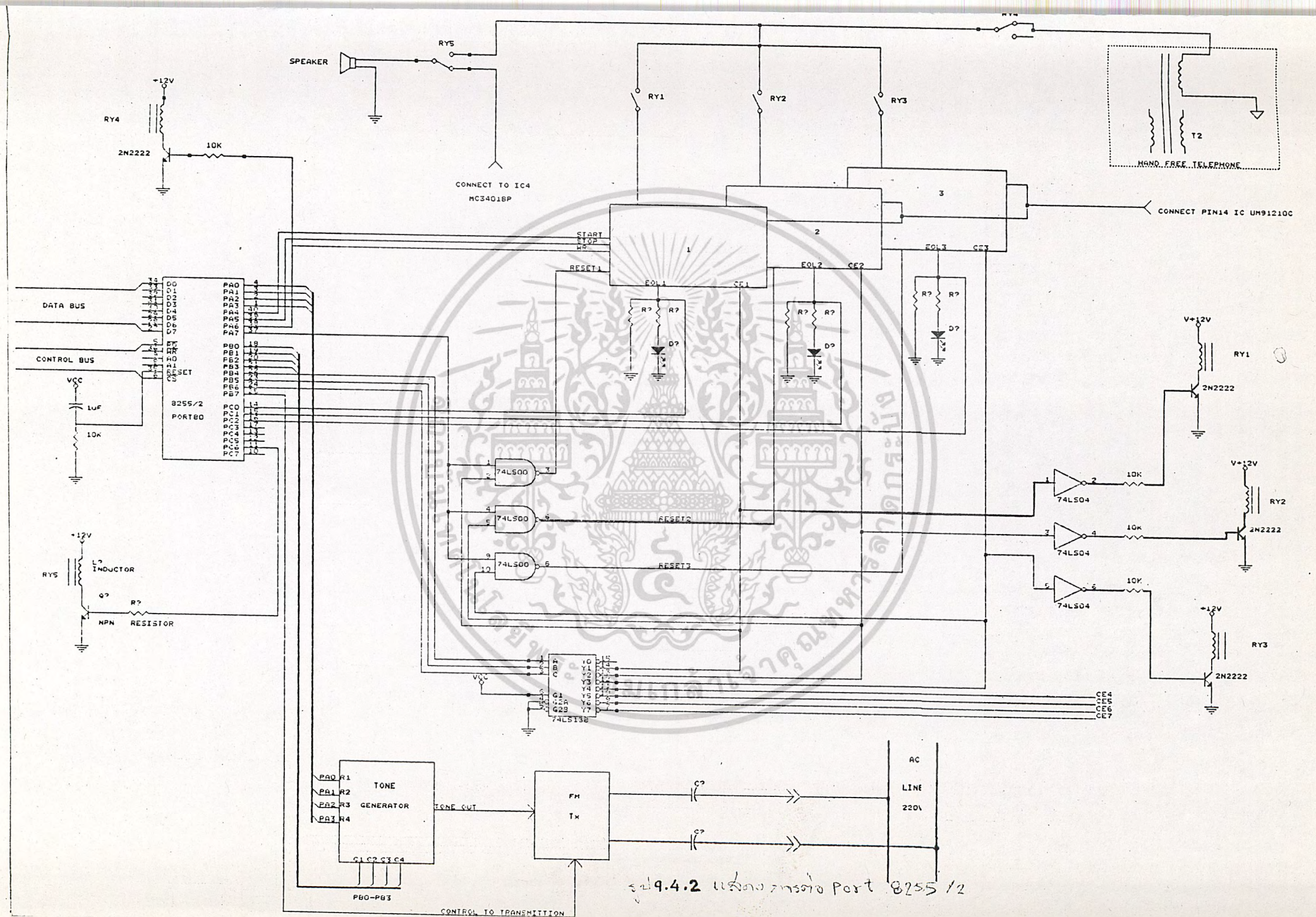
การต่อพอร์ท 8255/3 แสดงดังรูปที่ 9.4.3

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

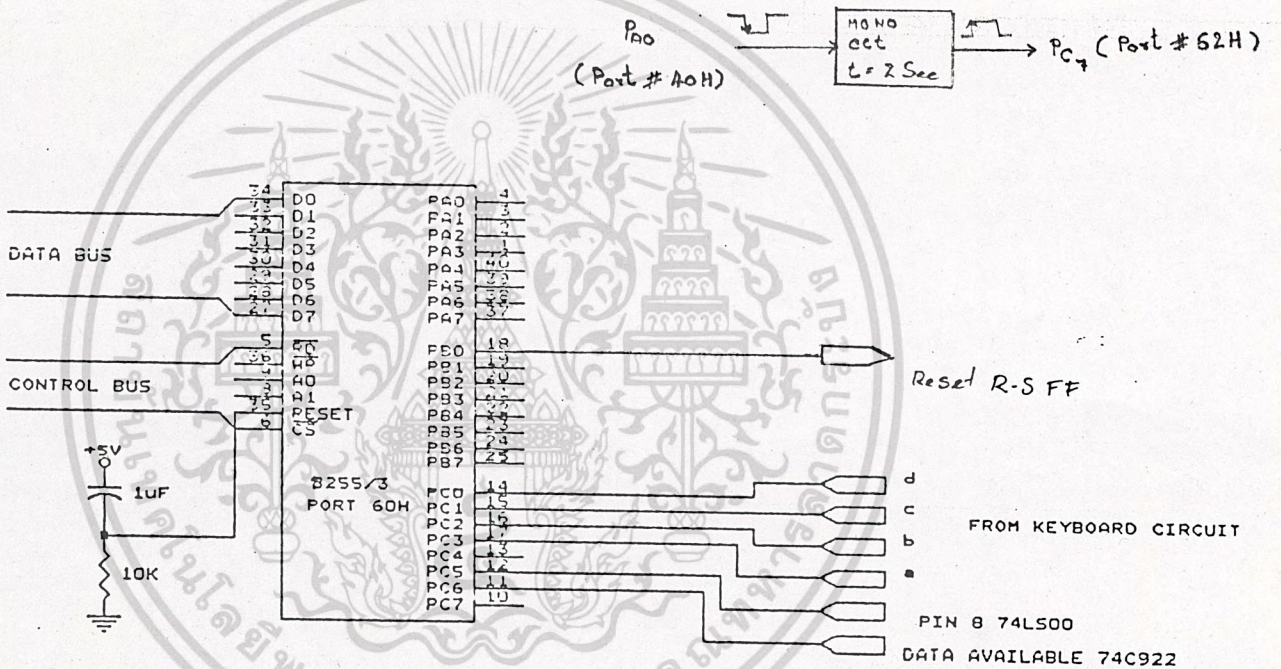


เมื่อ HOOK SW1/1 อยู่ตำแหน่ง NO 4017 จะถูก Reset

รูปที่ 9.4.1 แสดงการ Port 8255/1



รูป 9.4.2 แสดง การต่อ Port 8255 /2



รูปที่ 9.43 แสดงการต่อ Port 8255/3

KMITL	ET3L	
Size A	Document Number	REV
Date: December 30, 1990	Sheet	of

รายละเอียดของการส่งหมายเลขสัญญาณโทนเพื่อเปิด–ปิดอุปกรณ์ไฟฟ้า

สัญญาณโทนหมายเลข D
Port 80 H ส่งค่า 07 H
Port 81 H ส่งค่า 88 H

สัญญาณโทนหมายเลข 1
Port 80 H ส่งค่า 0EH
Port 81 H ส่งค่า 81 H

สัญญาณโทนหมายเลข 2
Port 80 H ส่งค่า 0EH
Port 81 H ส่งค่า 82 H

สัญญาณโทนหมายเลข 3
Port 80 H ส่งค่า 0EH
Port 81 H ส่งค่า 84 H

สัญญาณโทนหมายเลข 4
Port 30 H ส่งค่า 0DH
Port 81 H ส่งค่า 81 H

สัญญาณโทนหมายเลข 5
Port 80 H ส่งค่า 0DH
Port 81 H ส่งค่า 82 H

สัญญาณโทนหมายเลข 6
Port 80 H ส่งค่า 0DH
Port 81 H ส่งค่า 84 H

สัญญาณโทนหมายเลข 7
Port 80 H ส่งค่า 0BH
Port 81 H ส่งค่า 81 H

สัญญาณโทนหมายเลข 8
Port 80 H ส่งค่า 0BH
Port 81 H ส่งค่า 82 H

สัญญาณโทนหมายเลข 9
Port 80 H ส่งค่า 0BH
Port 81 H ส่งค่า 84 H

สัญญาณโทนหมายเลข 0
Port 80 H ส่งค่า 07 H
Port 81 H ส่งค่า 82 H

สัญญาณโทนหมายเลข *
Port 80 H ส่งค่า 07 H
Port 81 H ส่งค่า 81 H

สัญญาณโทนหมายเลข #
Port 80 H ส่งค่า 07 H
Port 81 H ส่งค่า 84 H

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สัญญาณโทนหมายเลข A	Port 80 H	ส่งค่า	84 H
	Port 81 H	ส่งค่า	88 H
สัญญาณโทนหมายเลข B	Port 80 H	ส่งค่า	0DH
	Port 81 H	ส่งค่า	88 H
สัญญาณโทนหมายเลข C	Port 80 H	ส่งค่า	0BH
	Port 81 H	ส่งค่า	88 H

รายละเอียดของแต่ละ Bit ของ Port เบอร์ต่าง ๆ

Port 40 เป็น output port

7	6	5	4	3	2	1	0	; d = don't care
X	d	X	X	d	d	d	d	; X = "1", "0"

Bit 0 - 3 ไม่ได้ใช้งาน

Bit 4 เป็น "0" วงจร Counter (4520) ของชุดตรวจสอบลักษณะสัญญาณที่มาจากชุมสายโทรศัพท์ อยู่ในสภาวะ "ปรกติ"

Bit 4 เป็น "1" วงจร Counter (4520) ของชุดตรวจสอบลักษณะสัญญาณที่มาจากชุมสายโทรศัพท์ ถูก "reset"

Bit 5 เป็น "0" ทรานซิสเตอร์ "OFF" ทำให้ Auto HooK SW ของวงจรโทรอัตโนมัติ ถูกตัดออกจากคู่สายโทรศัพท์

Bit 5 เป็น "1" ทรานซิสเตอร์ "ON" ทำให้ Auto Hook SW ของวงโทรอัตโนมัติ ต่อกับคู่สายโทรศัพท์

Bit 6 ไม่ได้ใช้งาน

Bit 7 เป็น "0" วงจร Counter (4017) ของวงจรตรวจสอบสัญญาณ Ringing อยู่ในสภาวะปรกติ

Bit 7 เป็น "1" วงจร Counter (4017) ของวงจรตรวจสอบสัญญาณ Ringing ถูก "reset"

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Port 41 เป็น input port

7	6	5	4	3	2	1	0	; d = don't care
d	x	x	x	x	x	x	x	; x = "1", "0"

Bit 0 เป็น "0" สภาวะปรกติ

Bit 0 เป็น "1" แสดงว่ามีสัญญาณ Ringing เข้ามาครบตามจำนวนครั้งที่ set ไว้

Bit 1,2 ใช้ตรวจว่าลักษณะของสัญญาณที่มาจากชุมสายโทรศัพท์ ว่าเป็นสัญญาณอะไร ดังนี้ โดยจะอ่านหลังจากที่สัญญาณเข้ามาแล้ว 2 วินาที

(Bit 2)	(Bit 1)	
0	0	แสดงว่าเป็นสัญญาณ Dial tone
0	1	แสดงว่าเป็นสัญญาณ Busy tone
1	1	แสดงว่าเป็นสัญญาณ Ring-back tone

Bit 3 - 6 ใช้สำหรับตรวจสอบสัญญาณโทน ทำให้ทราบว่าสัญญาณโทนที่ส่งมาเป็นหมายเลขอะไร ดังนี้

(Bit 6)	(Bint 5)	(Bit 4)	(Bit 3)	
0	0	0	1	1
0	0	1	0	2
0	0	1	1	3
0	1	0	0	4
0	1	0	1	5
0	1	1	0	6
0	1	1	1	7
1	0	0	0	8
1	0	0	1	9
1	0	1	0	0

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

1	0	1	1	*
1	1	0	0	#
1	1	0	1	A
1	1	1	0	B
0	1	1	1	C
0	0	0	0	D

Bit 7 ไม่ได้ใช้งาน

และจะมีการตรวจสอบสัญญาณโทน ที่ขา int CPU

Port 42 เป็น output port

7	6	5	4	3	2	1	0	; d = don't care
d	x	x	x	x	x	x	x	; x = "1", "0"

Bit 0-3 เป็นขา ROW1-ROW4 ของวงจรโทรศัพท์อัตโนมัติ

Bit 4-6 เป็นขา Colum-Colum3 ของวงจรโทรศัพท์อัตโนมัติ

โดยขา Row-Colum ของ IC 91210 Active "0" ทั้งคู่

ดังนั้นการสั่งให้ IC 91210 สร้างสัญญาณโทนแต่ละหมายเลข

สามารถสั่งได้ดังตาราง

Bit 7 ไม่ได้ใช้งาน

PC7 (C4)	PC6 (C3)	PC5 (C2)	PC4 (C1)	PC3 (R4)	PC2 (R3)	PC1 (R2)	PC0 (R1)		
1	1	1	0	1	1	1	0	EEH	หมายเลข 1
1	1	0	1	1	1	1	0	DEH	หมายเลข 2
1	0	1	1	1	1	1	0	BEH	หมายเลข 3
1	1	1	0	1	1	0	1	EDH	หมายเลข 4
1	1	0	1	1	1	0	1	DDH	หมายเลข 5
1	0	1	1	1	1	0	1	BDH	หมายเลข 6
1	1	1	0	1	0	1	1	EBH	หมายเลข 7
1	1	0	1	1	0	1	1	DBH	หมายเลข 8
1	0	1	1	1	0	1	1	BBH	หมายเลข 9

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

1	1	1	0	0	1	1	1	E7H	*
1	1	0	1	0	1	1	1	D7H	0
1	0	1	1	0	1	1	1	B7H	#
0	1	1	1	0	1	1	1	77H	Redial

Port 43 : เป็น Control word

จาก Port A เป็น output

Port B เป็น input

Port C เป็น output

ดังนั้น Control word คือ 82H

Port 80 เป็น out put port

7	6	5	4	3	2	1	0	
x	x	x	x	x	x	x	x	; x = "1", "0"

Bit 0-3 ต่อกับ ROW1-ROW4 ของชุด TONE-Gen ที่ใช้กับ FM-TX

Bit 4 เป็น "0" ขา Start ของชุดตอบรับ-บันทึก ไม่ Active

Bit 4 เป็น "1" ขา Start ของชุดตอบรับ-บันทึก Active

Bit 5 เป็น "0" ขา Stop ของชุดตอบรับ-บันทึก ไม่ Active

Bit 5 เป็น "1" ขา Stop ของชุดตอบรับ-บันทึก Active

Bit 6 เป็น "0" ขา Record ของชุดตอบรับ-บันทึก ไม่ Active

Bit 6 เป็น "1" ขา Record ของชุดตอบรับ-บันทึก Active

Bit 7 เป็น "0" ขา Reset ของชุดตอบรับ-บันทึก Active

Bit 7 เป็น "1" ขา Reset ของชุดตอบรับ-บันทึก ไม่ Active

Port 81 output port

7	6	5	4	3	2	1	0	
x	x	x	x	x	x	x	x	; x = "1", "0"

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Bit 0-3 ต่อกับ Colum1 - Colum4 ของชุด TONE-GEN ที่ใช้กับ FM-TX

Bit 4-6 ต่อกับขา (A), (B), (C) ของ IC 138 ตามลำดับ สำหรับ ENABLE ชุดตอบรับ-บันทึก ทำให้สามารถเลือกชุดตอบรับ-บันทึกได้ ทั้งหมด 8 ชุด ดังนี้

(B6)	(B5)	(B4)		
0	0	0	ไม่ใช้งาน	
0	0	1	ENABLE	ชุดตอบรับ-บันทึกชุดที่ 1
0	1	0	ENABLE	ชุดตอบรับ-บันทึกชุดที่ 2
0	1	1	ENABLE	ชุดตอบรับ-บันทึกชุดที่ 3
1	0	0	ENABLE	ชุดตอบรับ-บันทึกชุดที่ 4
1	0	1	ENABLE	ชุดตอบรับ-บันทึกชุดที่ 5
1	1	0	ENABLE	ชุดตอบรับ-บันทึกชุดที่ 6
1	1	1	ENABLE	ชุดตอบรับ-บันทึกชุดที่ 7

Bit 7 เป็น "1" Control FM-TX ทำงาน

เป็น "0" Control FM-TX ไม่ทำงาน

Port 82

Bit 0-3 เป็น input port

Bit 4-7 เป็น output port

7	6	5	4	3	2	1	0	; d = don't Care
d	x	d	d	x	x	x	x	; x = "1", "0"

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Bit 0	เป็น "0"	แสดงว่าชุดตอบรับ–บันทึก ชุดที่ 1 (EOL, Led ดับ) กำลัง play หรือ Record อยู่
Bit 0	เป็น "1"	แสดงว่า ชุดตอบรับ–บันทึก ชุดที่ 1 (EOL, Led สว่าง) เลิก play หรือ Record
Bit 1	เป็น "0"	แสดงว่าชุดตอบรับ–บันทึก ชุดที่ 2 (EOL 2, Led2 ดับ) กำลัง play หรือ Record อยู่
Bit 1	เป็น "1"	แสดงว่าชุดตอบรับ–บันทึก ชุดที่ 2 (EOL 2 , Led สว่าง) เลิก play หรือ Record
Bit 2	เป็น "0"	แสดงว่าชุดตอบรับ–บันทึก ชุดที่ 3 (EOL 3 Led3 ดับ) กำลัง play หรือ Record อยู่
Bit 2	เป็น "1"	แสดงว่าชุดตอบรับ–บันทึก ชุดที่ 3 (EOL 3 Led 3 สว่าง) เลิก play หรือ Record
Bit 3	เป็น "0"	แสดงว่าชุดตอบรับบันทึก ชุดที่ 4 (EOL 4 Led 4 ดับ) กำลัง play หรือ Record อยู่
Bit 3	เป็น "1"	แสดงว่าชุดตอบรับ–บันทึก ชุดที่ 4 (EOL 4 Led 4 สว่าง) เลิก play หรือ Record
Bit 4, 5, 7	ไม่ได้ใช้งาน	
Bit 6	เป็น "0"	แสดงว่า ลำโพงต่ออยู่กับชุด HAND Free Telephon
Bit 6	เป็น "1"	แสดงว่า ลำโพงต่ออยู่กับชุดตอบรับ–บันทึก

Port 83 เป็น control-word

จาก port A เป็น output port

port B เป็น output port

port C0–C3 เป็น input port

port C4–C7 เป็น output port

ดังนั้น control-word คือ 81H

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ดังนั้นการสั่ง Start, Stop, Record, Reset ชุดตอบรับ-บันทึก Port 80H ดังนี้

PA7	PA6	PA5	PA4	PA3	PA2	PA1	PA0	ค่าที่ส่ง	
1	0	0	1	1	1	1	1	9FH	Start
1	0	1	0	1	1	1	1	AFH	Stop
1	1	0	1	1	1	1	1	CFH	Record
0	0	0	0	1	1	1	1	ØFH	Reset

การ Slect ชุดตอบรับ-บันทึก port 81H ดังนี้

PB7	PB6	PB5	PB4	PB3	PB2	PB1	PB0	ค่าที่ส่ง	
0	0	0	1	0	0	0	0	1ØH	ENABLE $\overline{CE1}$
0	0	1	0	0	0	0	0	2ØH	ENABLE $\overline{CE2}$
0	0	1	1	0	0	0	0	3ØH	ENABLE $\overline{CE3}$
0	1	0	0	0	0	0	0	4ØH	ENABLE $\overline{CE4}$

การสั่งการ ON-OFF อุปกรณ์ไฟฟ้า โดย ROW1-ROW4 ของ TONE-Gen
ต่อกับ Bit 0-3 ของ Port 80H และ Colum1-Colum4 ของ TONE-Gen
ต่อกับ Bit 0-3 ของ Port 81H

Port 80H ROW1 - ROW4

- 0EH ⟶ R1
- 0DH ⟶ R2
- 0BH ⟶ R3
- 07H ⟶ R4

Port 81H Colum1-Colum4

- 01H ⟶ C1
- 02H ⟶ C2
- 04H ⟶ C3
- 08H ⟶ C4

Port 60H เป็น output port ไม่ได้ใช้งาน
Port 61H เป็น output port

d	d	d	d	d	d	d	x	; d = don't care
7	6	5	4	3	2	1	0	; x = "1", "0"

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Bit 0 เป็น"1" R-S FILP-FLOP ถูก reset

Bit 0 เป็น "0" R-S FILP-FLOP อยู่ในสภาวะปรกติ

Bit 1-7 ไม่ได้ใช้งาน

Port 62H เป็น input port

d	x	x	d	x	x	x	x	; d = don't care
7	6	5	4	3	2	1	0	; x = "1", "0"

Bit 0-3 เป็น DATA OUT (A), (B), (C), (D) ของ IC 74C922 เมื่อกด Key-board

Bit 4,7 ไม่ได้ใช้งาน

Bit 5 เป็น "1" แสดงว่ามีการกด Key

Bit 5 เป็น "0" แสดงว่าไม่มีการกด Key

Bit 6 เป็น "1" แสดงว่ายังไม่ปลอย Key

Bit 6 เป็น "0" แสดงว่าปลอย Key

แสดงค่าที่เกิดจากการกด Key แต่ละ Key

PC7	PC6	PC5	PC4	PC3 (A)	PC2 (B)	PC1 (C)	PC0 (D)	ค่าที่อ่านได้จากการกด Key แต	แสดงว่ากด Key
0	0	0	0	0	0	0	0	0CH	1
0	0	0	0	1	0	0	0	08H	2
0	0	0	0	0	1	0	0	04H	3
0	0	0	0	1	1	0	0	0CH	Stop
0	0	0	0	0	0	1	0	02H	4
0	0	0	0	1	0	1	0	0AH	5
0	0	0	0	0	1	1	0	06H	6
0	0	0	0	1	1	1	0	0EH	MR
0	0	0	0	0	0	0	1	01H	7
0	0	0	0	1	0	0	1	09H	8
0	0	0	0	0	1	0	1	05H	9
0	0	0	0	1	1	0	1	0DH	Redial

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

0	0	0	0	0	0	1	1	03H	*
0	0	0	0	1	0	1	1	0BH	0
0	0	0	0	0	1	1	1	07H	#
0	0	0	0	1	1	1	1	0FH	Tel

Port 83H เป็น Control word โดยที่

Port A เป็น output port

Port B เป็น output port

Port C เป็น input port

ดังนั้น control word คือ 89H

แสดงค่าที่เกิดจากการกดหรือไม่มีการกด Key และค่าเมื่อมีการปล่อย หรือไม่มีการปล่อย Key

PC7	PC6	PC5	PC4	PC3	PC2	PC1	PC0	ค่าที่อ่านได้	ผลลัพธ์
0	0	0	0	0	0	0	0	00H	แสดงว่ายังไม่กด Key
0	1	1	0	0	0	0	0	60H	แสดงว่ากด Key
0	0	1	0	0	0	0	0	20H	แล้วแต่ยังไม่ปล่อย
									แสดงว่าปล่อย Key
									แล้ว แต่ยังไม่ Reset

00H ⟶ 60H มีการกด Key อ่านค่า Key

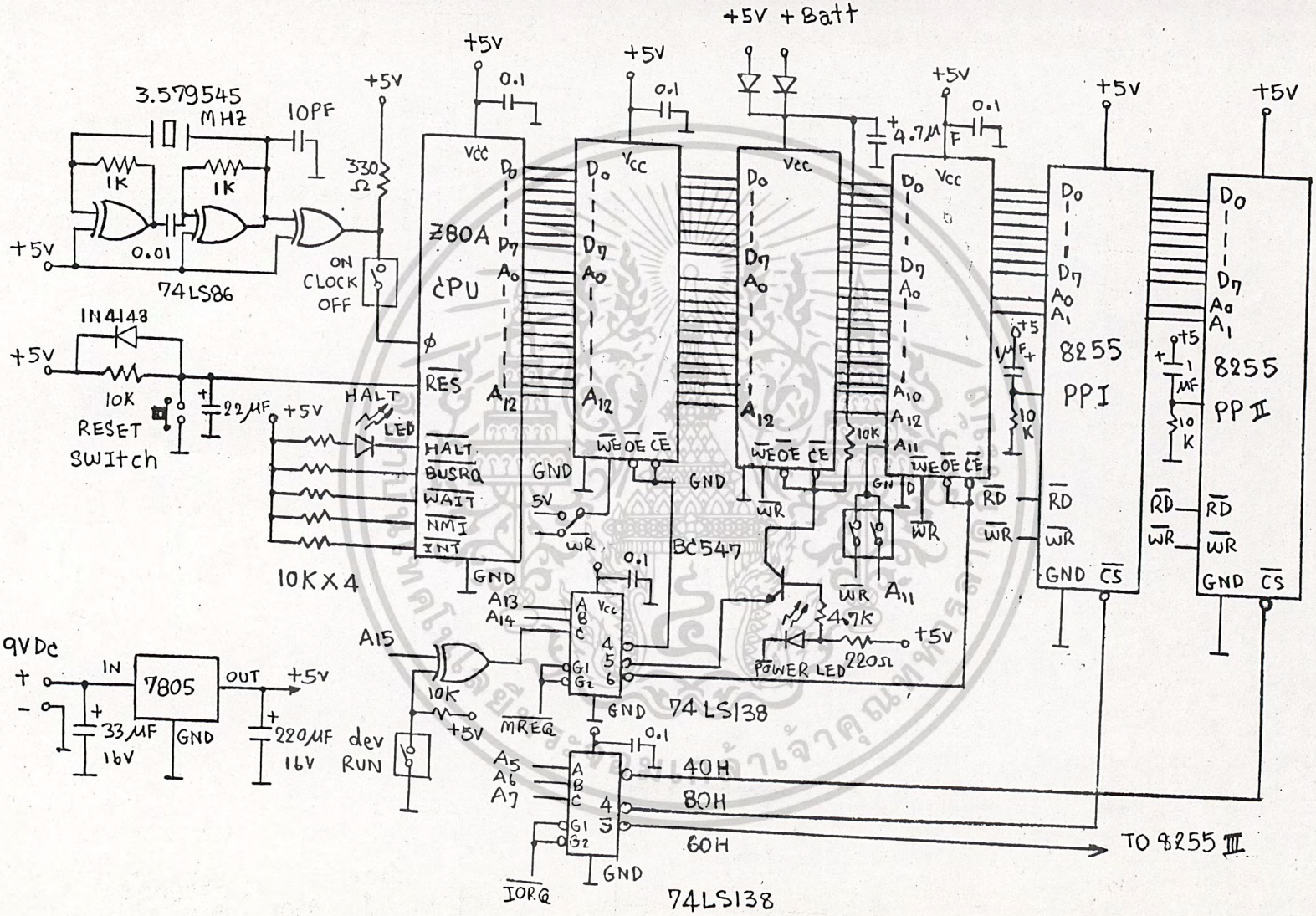
60H ⟶ 20H มีการปล่อย Key แล้วจึง Reset R-S FF

R-S FF

Key NO MT 8870

1	0CH
2	14H
3	1CH
4	24H
5	2CH
6	34H
7	3CH
8	44H
9	4CH
*	5CH
0	54H
#	64H

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



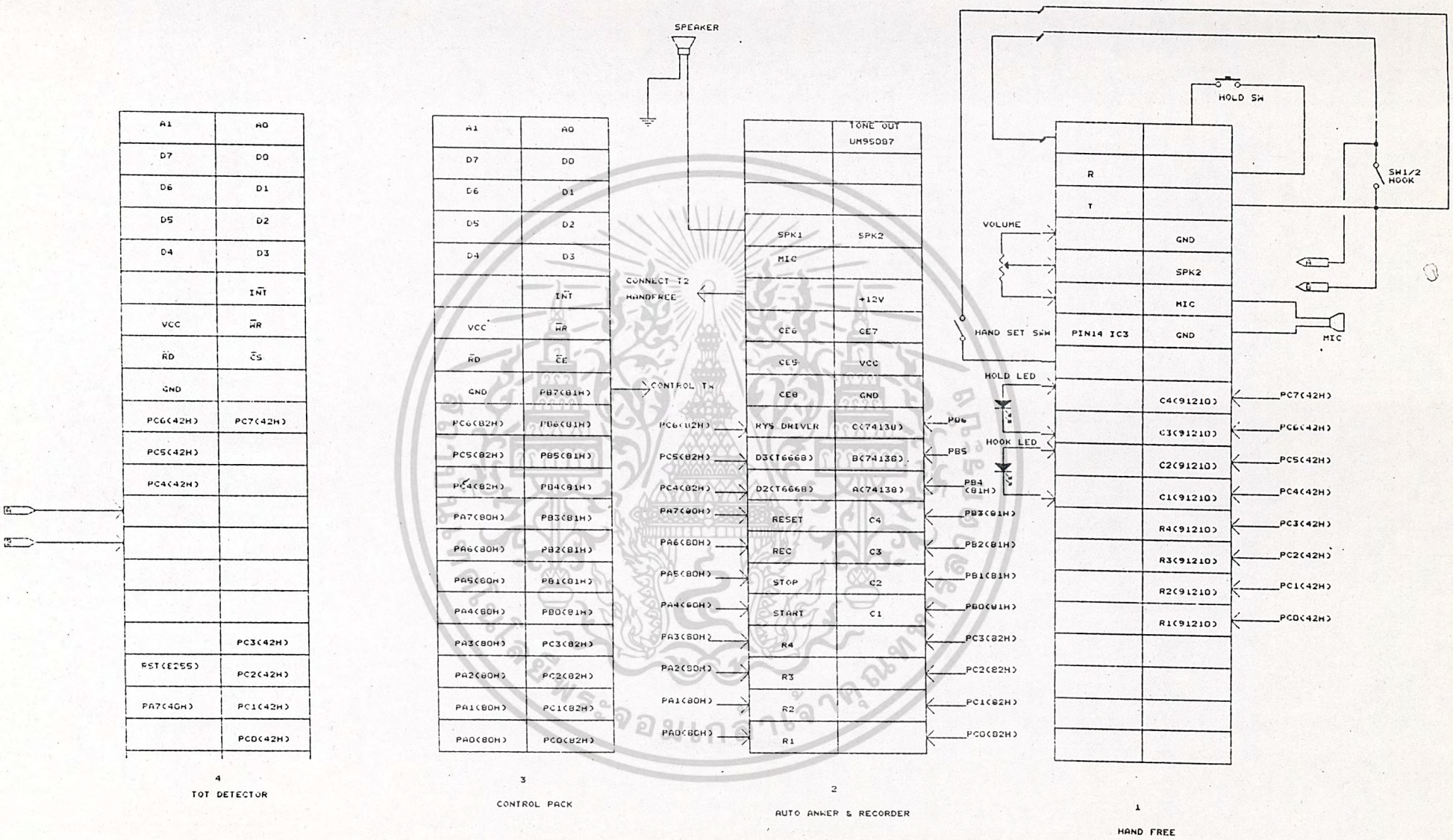
รูปที่ 9.4.4 Control pack circuit

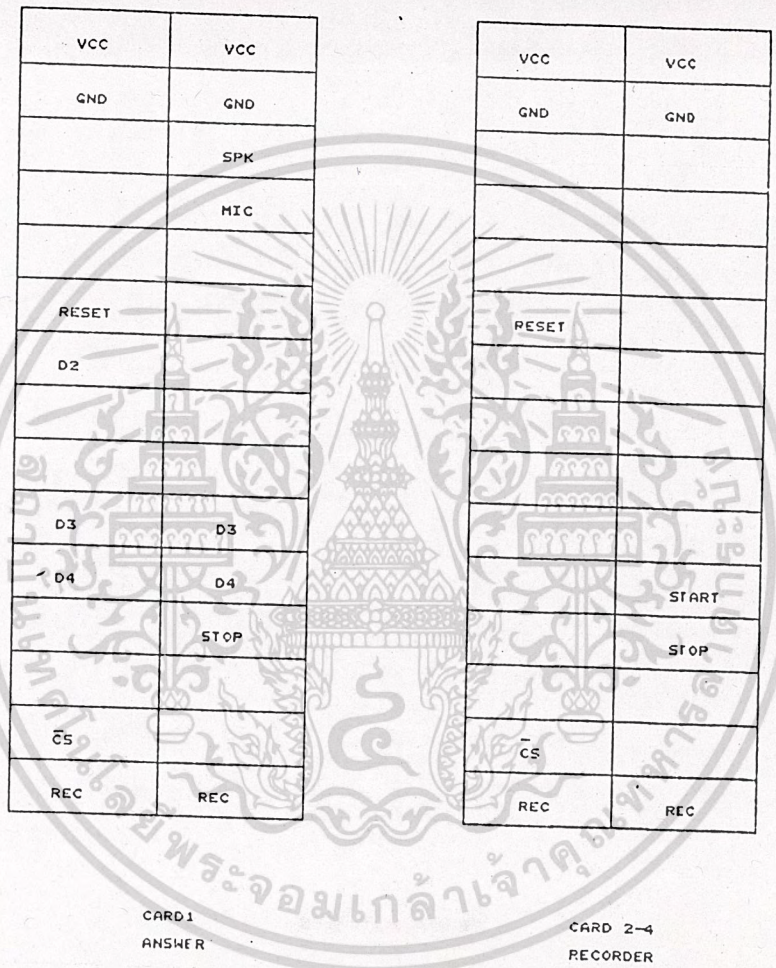
9.5 ส่วนประกอบของ Board ที่ประกอบขึ้น

Board ที่ประกอบขึ้นจะมีทั้งหมด 4

1. Slot ชุดโทรศัพท์
2. Slot ชุดตอบรับ-บันทึก
3. Slot ชุด control-pack
4. Slot Detector

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้


SPEAKER
HOLD SW
SH1/2 HOOK
VOLUME
HAND SET SW
HOLD LED
HOOK LED
MIC
CONNECT T2 HANDFREE
CONTROL TX
TONE OUT UM95087
SPK1
SPK2
MIC
+12V
CE6
CE7
CE5
VCC
CE8
GND
KYS DRIVER
D3(T6668)
D2(T6668)
RESET
REC
STOP
START
R4
R3
R2
R1
C(74138)
B(74138)
A(74138)
C4
C3
C2
C1
PIN14 IC3
R
T
GND
SPK2
MIC
C4(91210)
C3(91210)
C2(91210)
C1(91210)
R4(91210)
R3(91210)
R2(91210)
R1(91210)
A1
A0
D7
D0
D6
D1
D5
D2
D4
D3
INT
WR
VCC
RD
CS
CE
GND
PB7(81H)
PC6(42H)
PC7(42H)
PC5(42H)
PC4(42H)
PA7(80H)
PB3(81H)
PA6(80H)
PB2(81H)
PA5(80H)
PB1(81H)
PA4(80H)
PB0(81H)
PA3(80H)
PC3(82H)
PA2(80H)
PC2(82H)
PA1(80H)
PC1(82H)
PA0(80H)
PC0(82H)
PC6(82H)
PB6(81H)
PC5(82H)
PB5(81H)
PC4(82H)
PB4(81H)
PB6
PB5
PB4 (81H)
PB3(81H)
PB2(81H)
PB1(81H)
PB0(81H)
PC3(82H)
PC2(82H)
PC1(82H)
PC0(82H)
PC7(42H)
PC6(42H)
PC5(42H)
PC4(42H)
PC3(42H)
PC2(42H)
PC1(42H)
PC0(42H)
RST(E255)
PA7(40H)
FA
FB
4
TOT DETECTOR
3
CONTROL PACK
2
AUTO ANKER & RECORDER
1
HAND FREE



CARD1
ANSWER

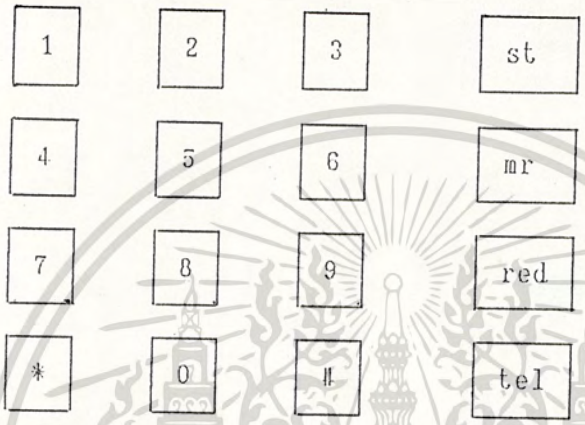
CARD 2-4
RECORDER

autoansuer and recorder

บทที่ 4

วิธีการใช้งานโทรศัพท์มัลติฟังก์ชั่น

ลักษณะ Key Board ของเครื่องโทรศัพย์



การโทรออกปกติ

1. กด [tel]
2. กดหมายเลขที่ต้องการโทร
3. กด [st] เมื่อต้องการวางหู

การโทรหมายเลขเดิม

1. กด [tel]
2. กด [red] เครื่องจะโทรหมายเลขที่เคยใช้งานล่าสุด
3. กด [st] เมื่อต้องการวางหู

การโทรออกโดยใช้หมายเลขที่เก็บในหน่วยความจำ

1. กด [tel]
2. กด [mr]
3. กดเลขระหัส 2 หลัก เครื่องจะโทรหมายเลขที่เก็บในตำแหน่งที่ระบุ
4. กด [st] เมื่อต้องการวางหู

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การเก็บหมายเลขลงหน่วยความจำ

1. กด [mr]
2. กดหมายเลขที่ต้องการเก็บ
3. กด [red]
4. กดเลขระหัสที่ต้องการตั้ง 2 หลัก (จะเก็บได้ทั้งหมด 100 หมายเลข 00 - 99)
5. กด [st] เพื่อจบการทำงาน

การเก็บหมายเลขที่โทรออกล่าสุดลงหน่วยความจำ

1. กด [mr]
2. กด [red]
3. กดเลขระหัสที่ต้องการตั้ง 2 หลัก (จะเก็บได้ทั้งหมด 100 หมายเลข 00 - 99)
4. กด [st] เพื่อจบการทำงาน

การควบคุมชุดบันทึกเสียงตอบรับ

1. กด # 3 1 3 4
2. กด # 9 0 1
3. สามารถควบคุมได้ดังนี้
   3.1 การบันทึกเสียงตอบรับ กด # 1 เพื่อเริ่มบันทึก กด # 3 เพื่อจบการบันทึก
   3.2 การเรียกชุดตอบรับมาฟังกด # 0
4. กด [st] เพื่อออกจากการใช้งาน

การควบคุมชุดบันทึกจากผู้โทรเข้า

1. กด # 3 1 3 4
2. กด # 9 0 2
3. สามารถควบคุมได้ดังนี้
   3.1 การฟังชุดบันทึกเสียงครั้งแรกกด # 0
   3.2 การฟังชุดบันทึกเสียงชุดเดิม # 0
   3.3 การฟังชุดบันทึกเสียงชุดต่อไป # 1
4. กด [st] เพื่อออกจากการใช้งาน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การควบคุมการ เปิด-ปิด อุปกรณ์ไฟฟ้า

1. กด # 3 1 3 4
2. กด # 9 0 3
3. สามารถควบคุมได้ดังนี้
   3.1 กด #
   3.2 กดหมายเลขอุปกรณ์ไฟฟ้า (1 - 8)
   3.3 กด 1 เมื่อต้องการเปิดอุปกรณ์ไฟฟ้า กด 0 เมื่อต้องการปิดอุปกรณ์ไฟฟ้า
4. กด [st] เพื่อออกจากการใช้งาน

การรับโทรศัพท์ปกติ

1. เมื่อมีการโทรเข้ากด [Le] เพื่อรับโทรศัพท์
2. กด [st] วางหูโทรศัพท์

การรับโทรศัพท์อัตโนมัติ

1. เมื่อมีการโทรเข้าเครื่องดังประมาณ 5 ครั้ง จะมีเสียงจากชุดตอบรับ
2. เมื่อชุดบันทึกตอบรับหมด ผู้โทรเข้าต้องการบันทึกไว้ให้กด 0 จะมีเสียง ตู๊ด ให้เริ่มพูดได้ ในการบันทึกนี้จะใช้เวลา 35 วินาที จนมีเสียง ตู๊ด อีกครั้งหนึ่งแสดงว่าจบการบันทึก
3. เครื่องรับโทรศัพท์จะวางหูอัตโนมัติหลังจากนั้นประมาณ 25 วินาที

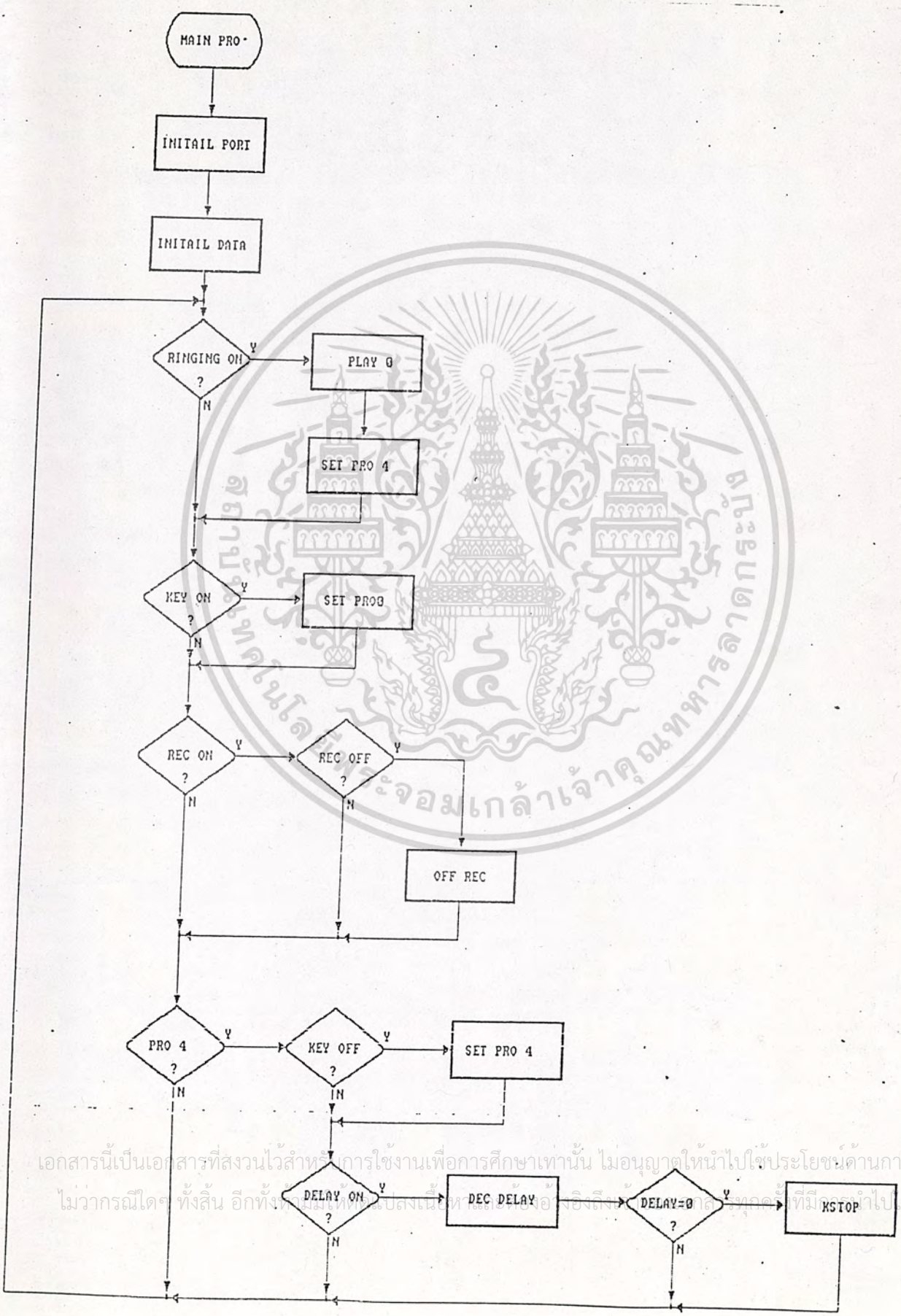
การควบคุมต่างๆ ผ่านเครื่องรับโทรศัพท์

1. หลังจากชุดบันทึกตอบรับจบ ให้กด # 3 1 3 4 หลังจากกดผ่านจะมีเสียง ตู๊ด ถ้าไม่มีให้กดใหม่
2. การควบคุมต่างมีดังนี้
   2.1 ควบคุมชุดตอบรับกด # 9 0 1
   2.1 ควบคุมชุดบันทึกกด # 9 0 2
   2.1 ควบคุม เปิด-ปิด อุปกรณ์ไฟฟ้า # 9 0 3
3. การควบคุมชุดต่างๆ กดเหมือนการควบคุมที่ตัวเครื่อง
4. เมื่อต้องการควบคุมเสร็จ ต้องการควบคุมอย่างอื่นอีกให้ออกจากการควบคุมนั้นโดยกด * แล้วทำใหม่เหมือนข้อ 2
5. เมื่อต้องการยกเลิกการควบคุมทั้งหมดให้วางหู

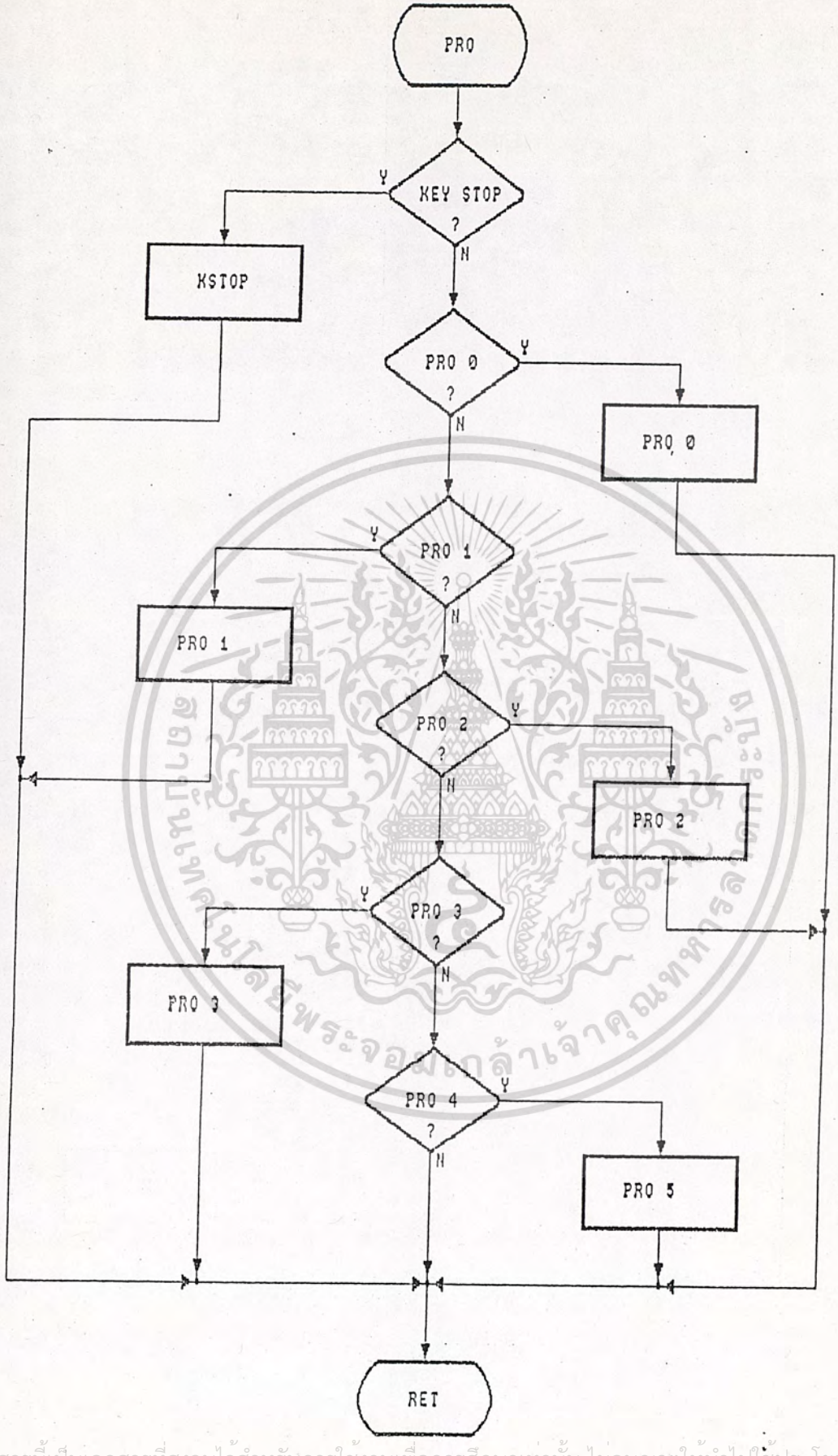
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 5

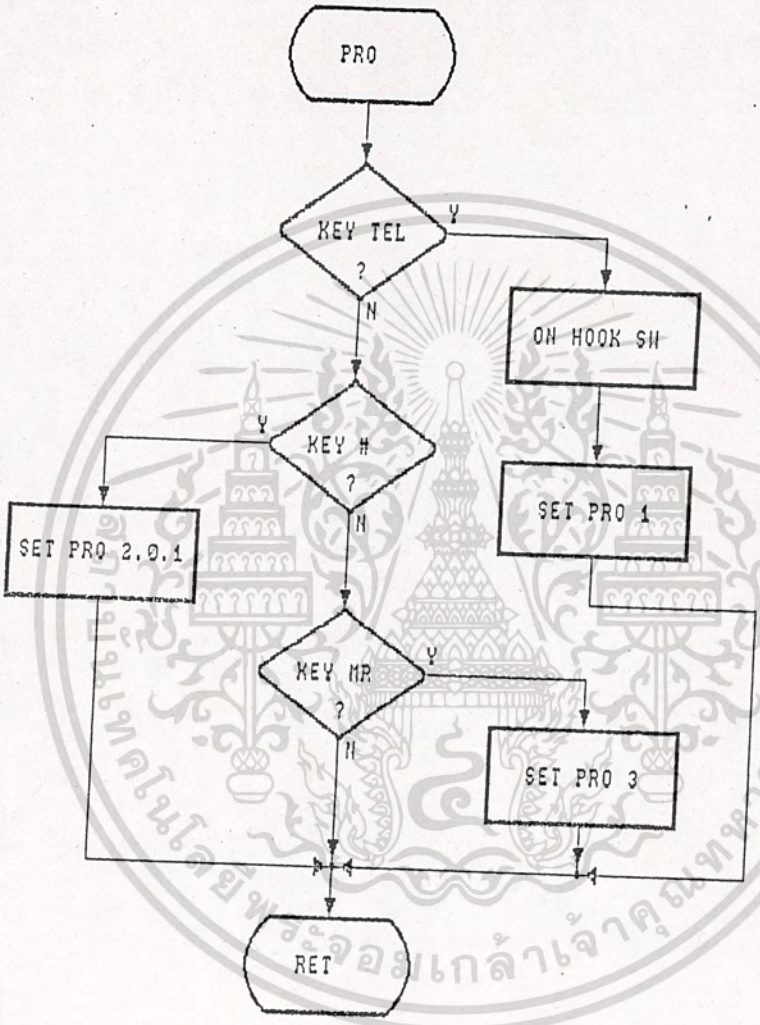
โปรแกรมควบคุมการทำงานของเครื่องโทรศัพท์มัลติฟังก์ชัน



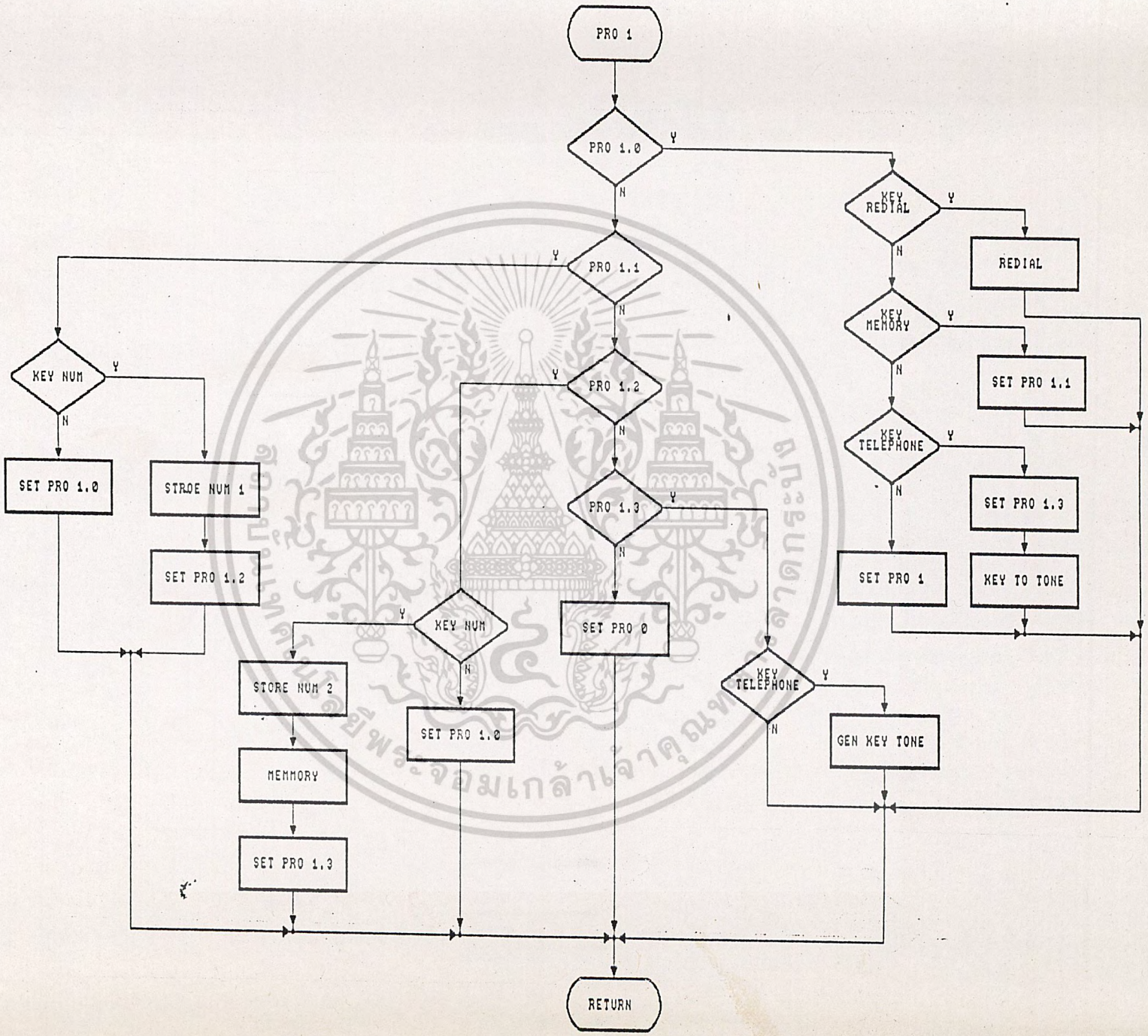
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของผลงานทุกครั้งที่มีการนำไปใช้

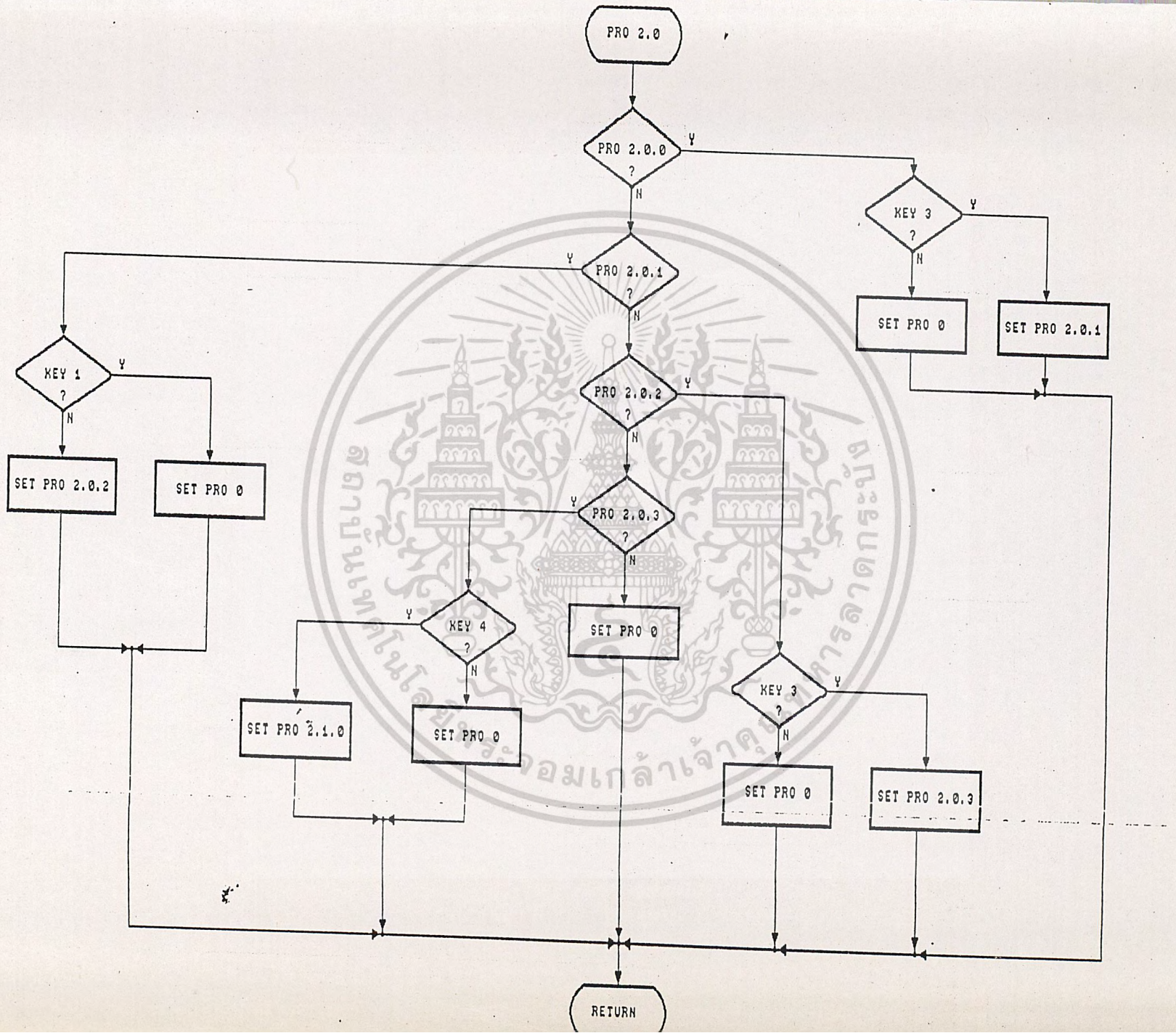


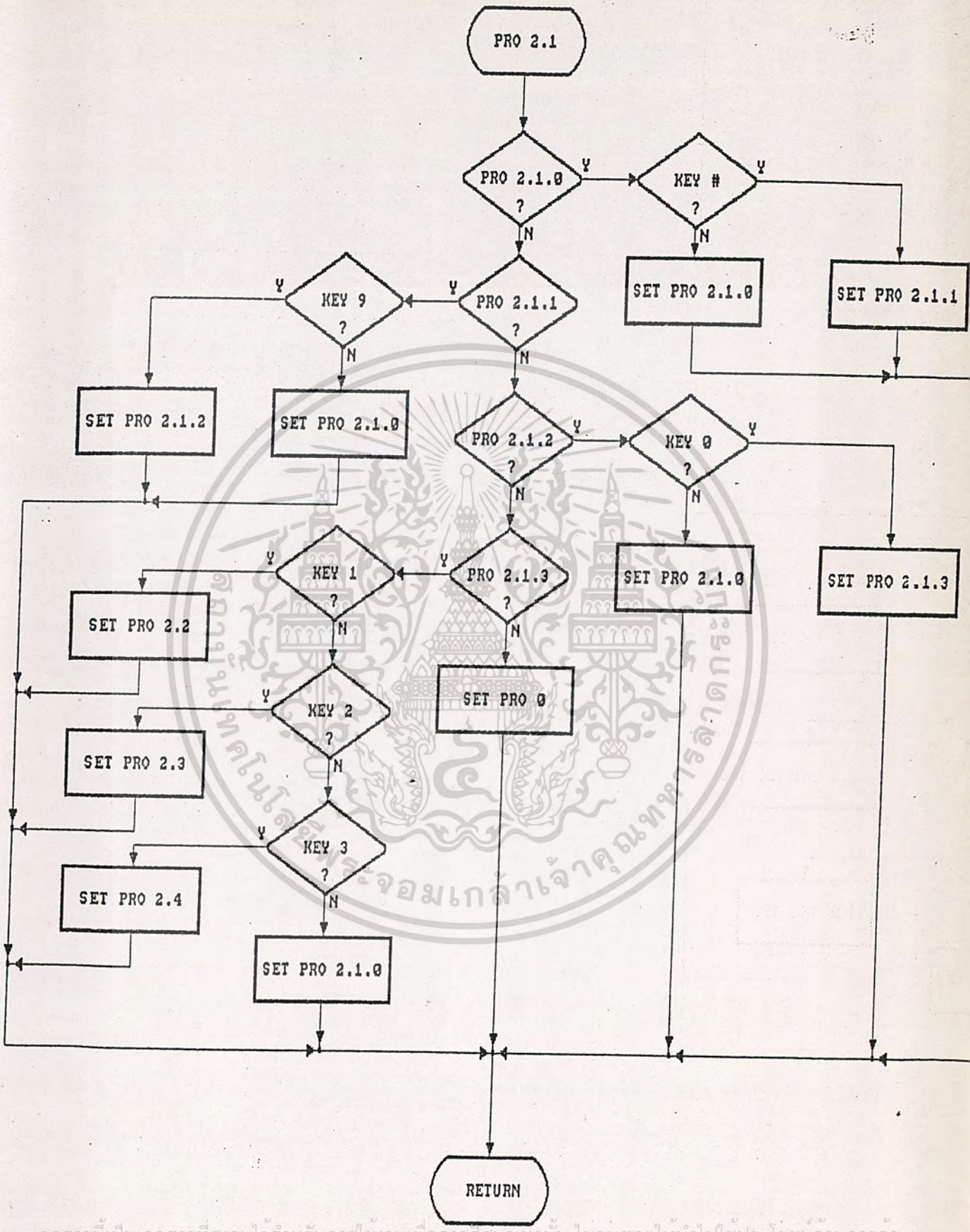
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



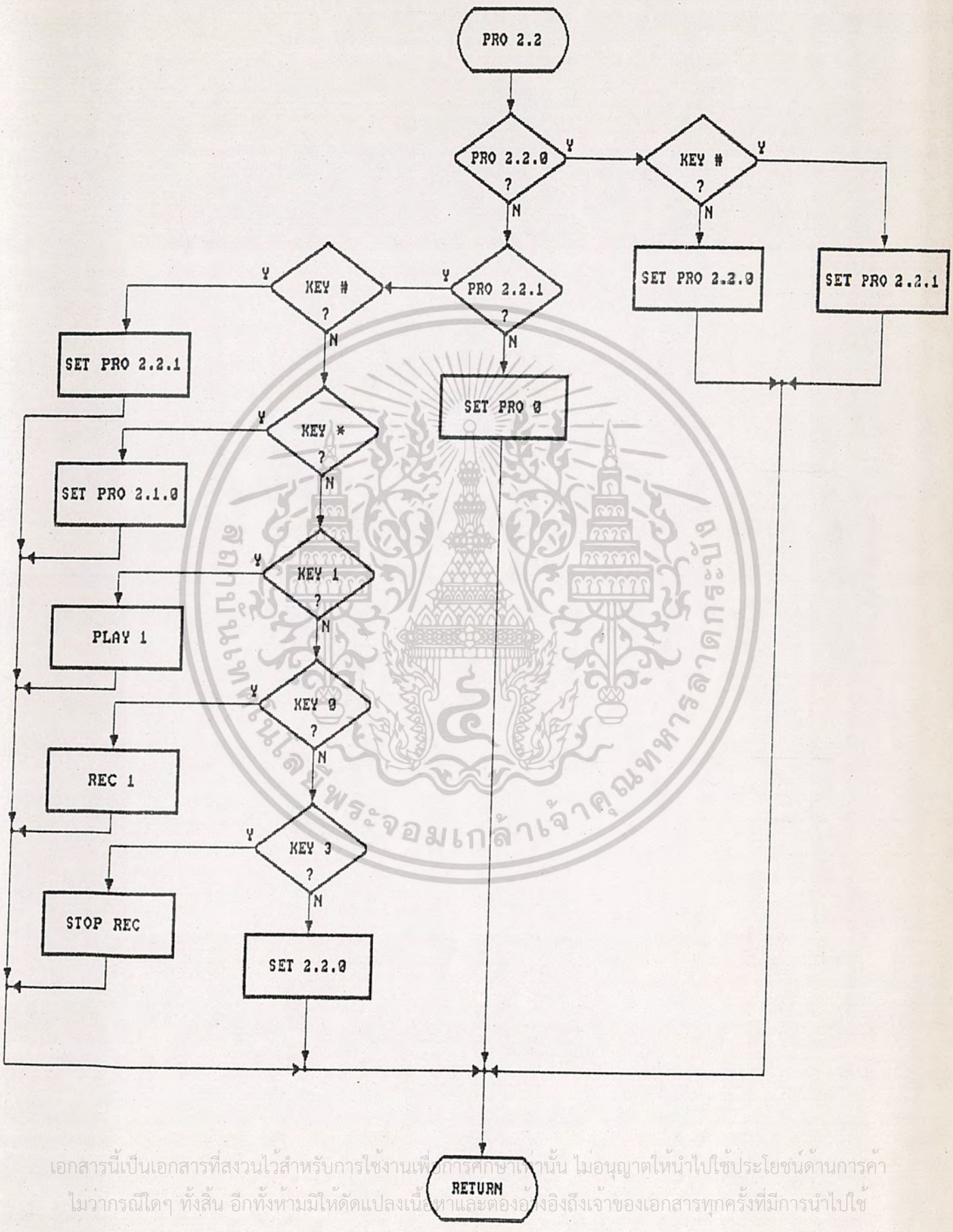
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้


PRO 1
PRO 1.0
Y
N
KEY REDIAL
Y
N
REDIAL
PRO 1.1
Y
N
KEY MEMORY
Y
N
SET PRO 1.1
KEY NUM
Y
N
PRO 1.2
Y
N
KEY TELEPHONE
Y
N
SET PRO 1.3
SET PRO 1.0
STRDE NUM 1
SET PRO 1.2
PRO 1.3
Y
N
SET PRO 1
KEY TO TONE
KEY NUM
Y
N
SET PRO 0
KEY TELEPHONE
Y
N
STORE NUM 2
SET PRO 1.0
GEN KEY TONE
MEMMORY
SET PRO 1.3
RETURN

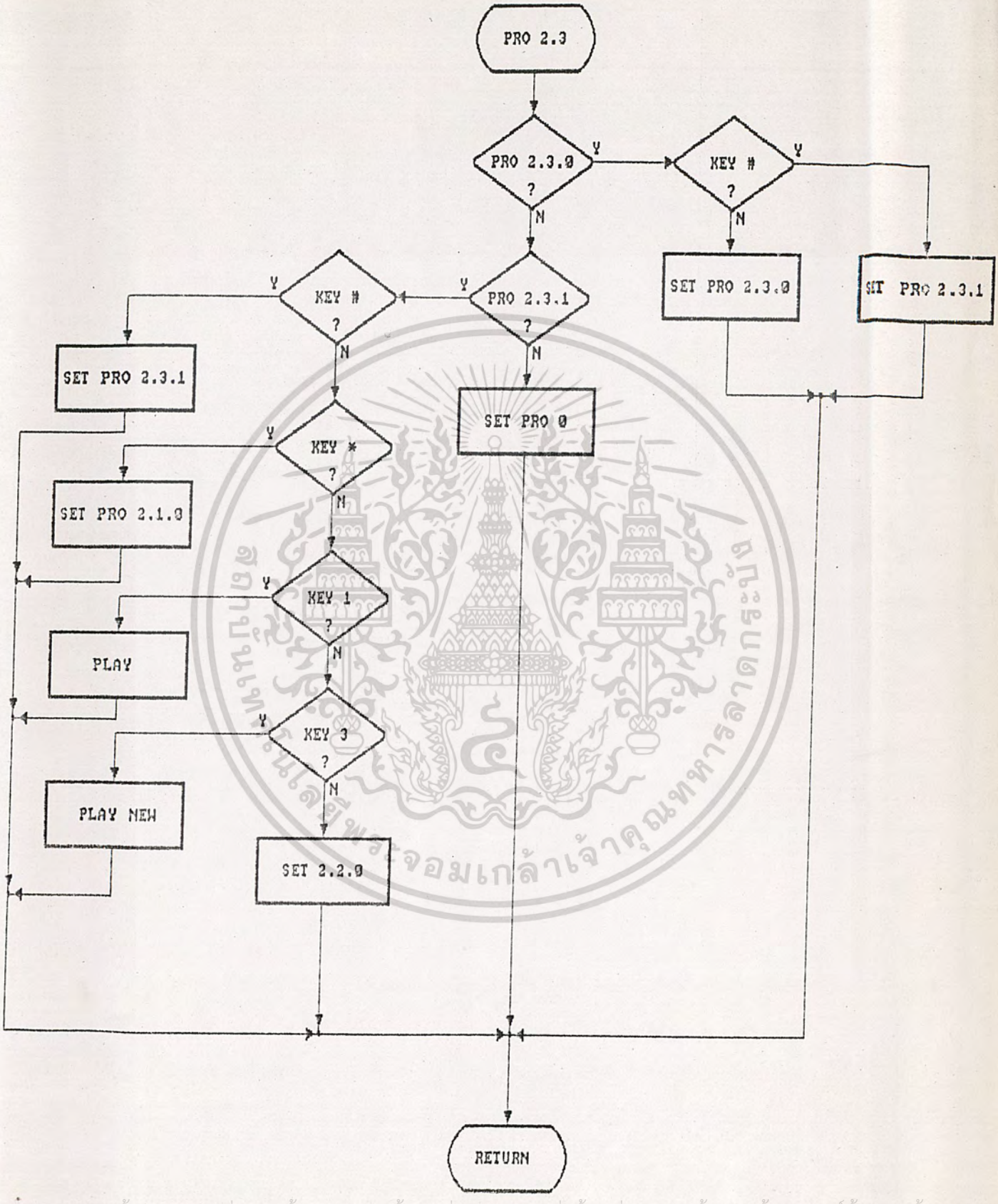

PRO 2.0
PRO 2.0.0 ?
Y
N
KEY 3 ?
Y
N
SET PRO 0
SET PRO 2.0.1
PRO 2.0.1 ?
Y
N
KEY 1 ?
Y
N
SET PRO 2.0.2
SET PRO 0
PRO 2.0.2 ?
Y
N
PRO 2.0.3 ?
Y
N
KEY 4 ?
Y
N
SET PRO 2.1.0
SET PRO 0
SET PRO 0
KEY 3 ?
Y
N
SET PRO 0
SET PRO 2.0.3
RETURN



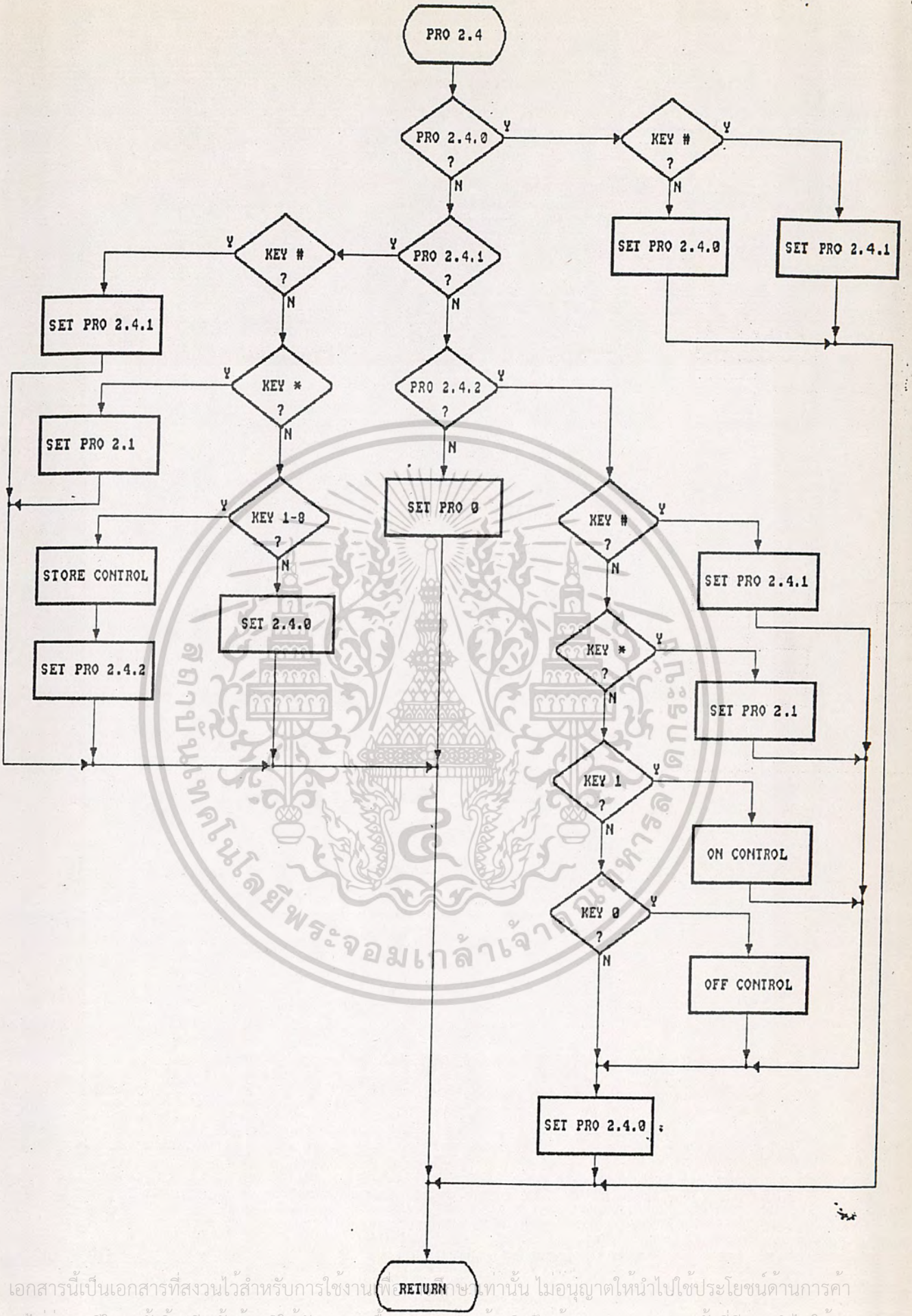
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



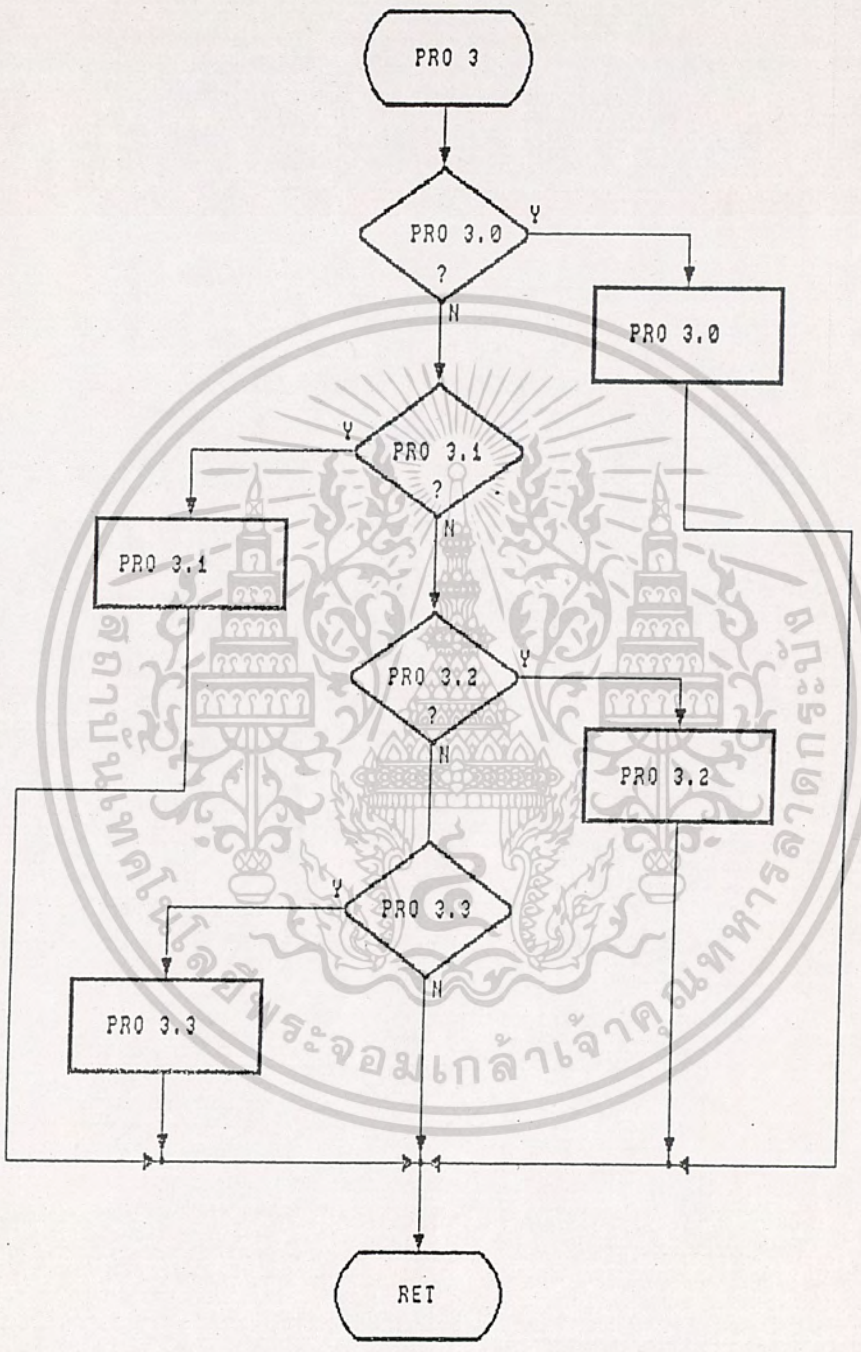
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



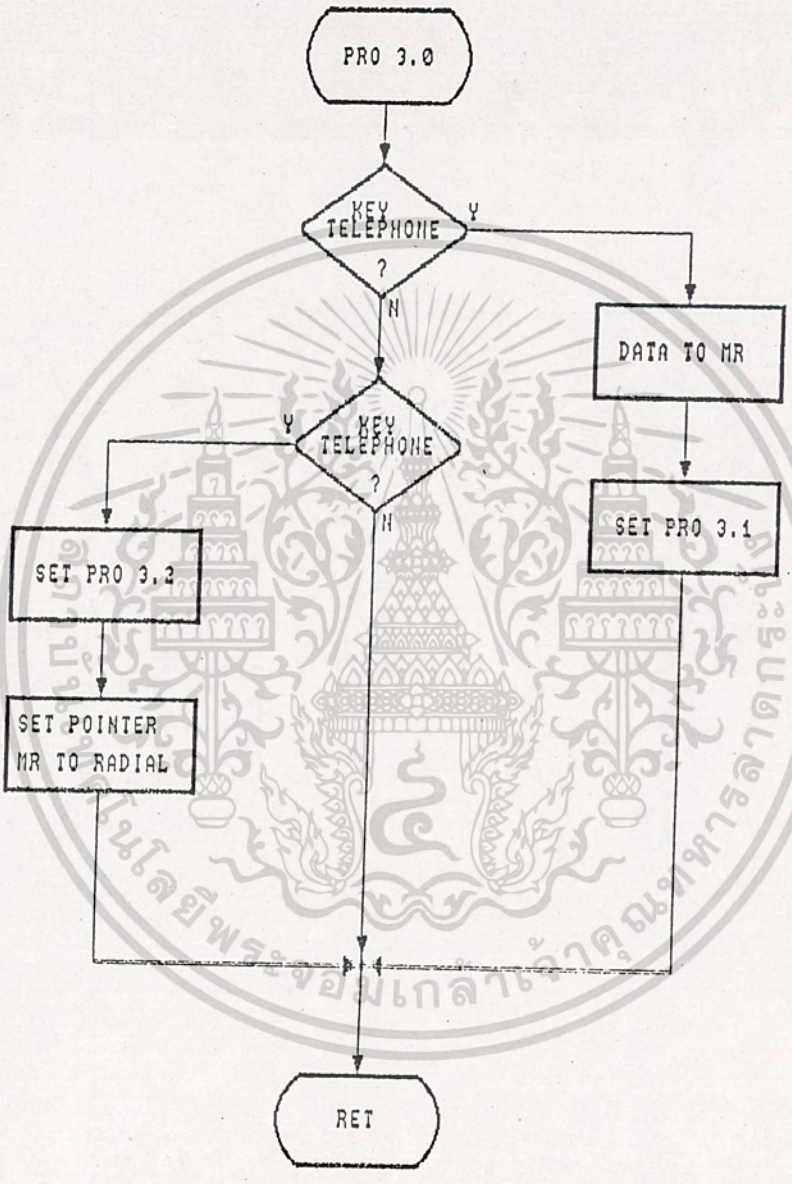
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



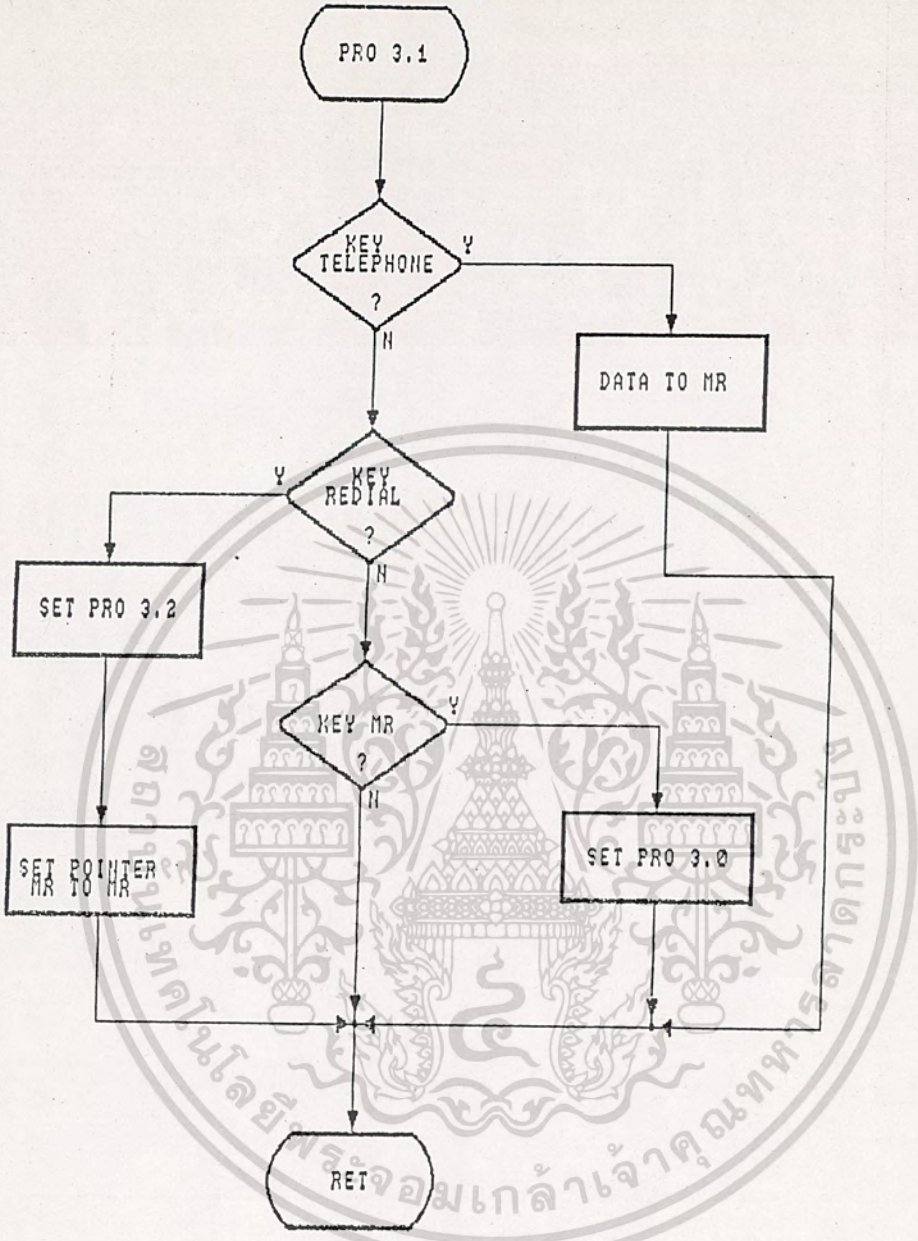
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



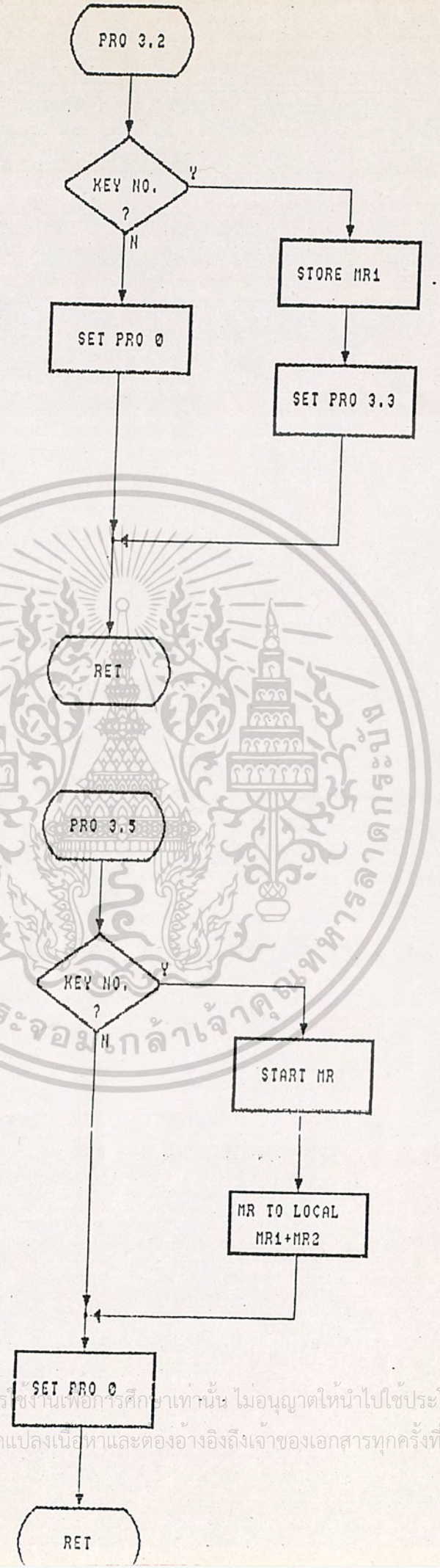
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

;20:24:19 2/2/1991

```
0000'                                   .Z80
                                        ASEG

                                        ORG 0000H
0000    C3 0100                 JP 100H

0100                    ST      EQU   0100H

                                ORG ST

                        ; #####         KEY

0000                    K1      EQU   00H       ; KEY 1
0008                    K2      EQU   08H       ; KEY 2
0004                    K3      EQU   04H       ; KEY 3
0002                    K4      EQU   02H       ; KEY 4
000A                    K5      EQU   0AH       ; KEY 5
0006                    K6      EQU   06H       ; KEY 6
0001                    K7      EQU   01H       ; KEY 7
0009                    K8      EQU   09H       ; KEY 8
0005                    K9      EQU   05H       ; KEY 9
0008                    K0      EQU   08H       ; KEY 0
0003                    KX      EQU   03H       ; KEY *
0007                    KH      EQU   07H       ; KEY #
000C                    K_STOP  EQU   0CH       ; KEY STOP
000E                    K_MR    EQU   0EH       ; KEY MR
000D                    K_REDI  EQU   0DH       ; KEY REDIAL
000F                    K_TEL   EQU   0FH       ; KEY TEL

0001                    NUM1    EQU   01H       ; NUMBER 1
0002                    NUM2    EQU   02H       ; NUMBER 2
0003                    NUM3    EQU   03H       ; NUMBER 3
0004                    NUM4    EQU   04H       ; NUMBER 4
0005                    NUM5    EQU   05H       ; NUMBER 5
0006                    NUM6    EQU   06H       ; NUMBER 6
0007                    NUM7    EQU   07H       ; NUMBER 7
0008                    NUM8    EQU   08H       ; NUMBER 8
0009                    NUM9    EQU   09H       ; NUMBER 9
000A                    NUM0    EQU   0AH       ; NUMBER 0
000B                    NUMX    EQU   0BH       ; NUMBER *
000C                    NUMH    EQU   0CH       ; NUMBER #
0050                    NUM_ST  EQU   50H       ; NUMBER STOP
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
0051                    NUM_MR   EQU  51H          ; NUMBER MR
0052                    NUM_RD   EQU  52H          ; NUMBER REDIAL
0053                    NUM_TE   EQU  53H          ; NUMBER TEL

2100                    AD       EQU  2000H+ST
2100                    ADDSTAT  EQU  AD+00H
2110                    ADDKTO   EQU  AD+10H
2120                    ADDKEY   EQU  AD+20H
2121                    ADDTON   EQU  AD+21H
2130                    ADRECO   EQU  AD+30H
2131                    ADREC1   EQU  AD+31H
2132                    ADPLAY   EQU  AD+32H
2140                    ADPRO0   EQU  AD+40H
2141                    ADPRO1   EQU  AD+41H
2142                    ADPRO2   EQU  AD+42H
2150                    ADCONT   EQU  AD+50H
2160                    ADBUSY   EQU  AD+60H
2170                    ADDEL0   EQU  AD+70H
2171                    ADDEL1   EQU  AD+71H
2180                    ADDMR1   EQU  AD+80H
2181                    ADDMR2   EQU  AD+81H
2182                    ADDMRX   EQU  AD+82H
2190                    ADTEXT   EQU  AD+90H
21A0                    ADDMMR   EQU  AD+0A0H
21C0                    ADDRED   EQU  AD+0C0H
2200                    ADDMR    EQU  AD+100H

                        ;-----------------------------------------
                        ; MAIN PROGRAM INPUT DATA FROM PORT
                        ; ADDSTAT : STATUS ADDRESS
                        ; IX      : NEW STATUS ADDRESS
                        ; IY      : OLD STATUS ADDRESS
                        ;-----------------------------------------

0100  31 3A99           START:   LD SP,ST+3999H
0103  CD 0B52                    CALL SEPORT
0106  CD 0B75                    CALL SEDATA

0109  DD 21 2100        MAIN:    LD IX,ADDSTAT      ; SET STATUS INPUT ADDRESS
010D  FD 21 2103                 LD IY,ADDSTAT+3    ; SET STATUS OLD INPUT ADDRESS

0111  DB 41                      IN A,(41H)         ; CHECK PORT 41H
0113  E6 01                      AND 01H            ; RING
0115  DD 77 00                   LD (IX+0H),A
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
0118  FD BE 00          CP (IY+0H)
011B  C4 0154           CALL NZ,PT41

011E  3A 2140           LD A,(ADPR00)       ; IF PR04
0121  FE 04             CP 04H
0123  20 18             JR NZ,N1MAIN
0125  DB 41             IN A,(41H)          ; CHECK PORT 41H
0127  E6 80             AND (80H)           ; TONE KEY TELEPHONE
0129  DD 77 10          LD (IX+10H),A
012C  DD BE 11          CP (IX+11H)
012F  C4 0177           CALL NZ,PTT41

0132  3A 2170           LD A,(ADDELO)
0135  FE DD             CP 0DDH
0137  CC 0A33           CALL Z,DELAY3

013A  CD 0B14           CALL BUSY           ; CHECK BUSY TONE

013D  DB 62     N1MAIN: IN A,(62H)          ; CHECK PORT 62
013F  E6 40             AND 40H             ; KEY
0141  DD 77 01          LD (IX+01H),A
0144  FD BE 01          CP (IY+01H)
0147  C4 01CF           CALL NZ,PT62

014A  DB 82             IN A,(82H)          ; CHECK PORT 82
014C  DD A6 02          AND (IX+02H)        ; REC
014F  C4 01F6           CALL NZ,PT82

0152  18 B5             JR MAIN

                ;-----------------------------------------
                ;  SUBRUTINE   PORT 41 ACTIVE
                ;-----------------------------------------

0154  CB 47     PT41:   BIT 0,A
0156  28 1E             JR Z,EPT41
0158  3E 04             LD A,04H
015A  32 2140           LD (ADPR00),A
015D  CD 09EF           CALL STOP
0160  3E 81             LD A,081H
0162  D3 40             OUT (40H),A
0164  3E EE             LD A,0EEH
0166  32 2170           LD (ADDELO),A
0169  3E 80             LD A,80H
016B  32 2110           LD (ADDSTAT+10H),A
016E  32 2111           LD (ADDSTAT+11H),A
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
0171  3E 00                    LD A,00H
0173  CD 0952                  CALL PLAY
0176  C9              EPT41:    RET

                      ;-----------------------------------------
                      ; SUBRUTINE  PORT 41 (TONE) ACTIVE
                      ;-----------------------------------------

0177  CB 7F            PTT41:    BIT 7,A
0179  20 4D                     JR NZ,N2PTT
017B  DB 41                     IN A,(41H)
017D  E6 78                     AND 78H
017F  CB 3F                     SRL A
0181  CB 3F                     SRL A
0183  CB 3F                     SRL A
0185  32 2120                   LD (ADDKEY),A
0188  3A 2170                   LD A,(ADDELO)
018B  FE DD                     CP 0DDH
018D  20 36                     JR NZ,N1PTT
018F  3E FF                     LD A,0FFH
0191  32 2170                   LD (ADDELO),A
0194  32 2171                   LD (ADDEL1+00H),A
0197  32 2172                   LD (ADDEL1+01H),A
019A  3E 03                     LD A,03H
019C  32 2173                   LD (ADDEL1+02H),A
019F  3A 2120                   LD A,(ADDKEY)
01A2  FE 0A                     CP NUM0
01A4  20 1F                     JR NZ,N1PTT
01A6  3A 2130                   LD A,(ADREC0)
01A9  21 2131                   LD HL,ADREC1
01AC  BE                        CP (HL)
01AD  38 0F                     JR C,N3PTT
01AF  3A 2131                   LD A,(ADREC1)
01B2  CD 099D                   CALL REC
01B5  3A 2131                   LD A,(ADREC1)
01B8  3C                        INC A
01B9  32 2131                   LD (ADREC1),A
01BC  18 0A                     JR N2PTT
01BE  3E 00             N3PTT:  LD A,00H
01C0  CD 0952                   CALL PLAY
01C3  18 03                     JR N2PTT
01C5  CD 0406           N1PTT:  CALL PR04
01C8  3A 2110           N2PTT:  LD A,(ADDSTAT+10H)
01CB  32 2111                   LD (ADDSTAT+11H),A
01CE  C9                        RET
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
                        ;-----------------------------------------
                        ;  SUBRUTINE   PORT 62 ACTIVE
                        ;-----------------------------------------

01CF  CB 77             PT62:     BIT 6,A
01D1  28 18                       JR Z,N2PT62
01D3  DB 62                       IN A,(62H)
01D5  E6 0F                       AND 0FH
01D7  FE 0C                       CP K_STOP
01D9  20 05                       JR NZ,N1PT62
01DB  CD 092D                     CALL KSTOP
01DE  18 0F                       JR EPT62
01E0  CD 0206           N1PT62:   CALL K_TO_N
01E3  32 2120                     LD (ADDKEY),A
01E6  CD 02E9                     CALL PROG
01E9  18 04                       JR EPT62
01EB  3E FF             N2PT62:   LD A,0FFH
01ED  D3 42                       OUT (42H),A
01EF  3A 2101           EPT62:    LD A,(ADDSTAT+1H)
01F2  32 2104                     LD (ADDSTAT+4H),A
01F5  C9                          RET

                        ;-----------------------------------------
                        ;  SUBRUTINE  PORT 82 ACTIVE
                        ;-----------------------------------------

01F6  CD 09EF           PT82:     CALL STOP
01F9  3A 2170                     LD A,(ADDELO)
01FC  FE EE                       CP 0EEH
01FE  20 05                       JR NZ,EPT82
0200  3E DD                       LD A,0DDH
0202  32 2170                     LD (ADDELO),A
0205  C9                EPT82:    RET

                        ;-----------------------------------------
                        ;  SUBRUTINE CONVERS KEY TO NUMBER STADARD MT8870
                        ;  INPUT   A = KEY
                        ;  OUTPUT  A = NUMBER
                        ;            = 0FFH NON KEY
                        ;-----------------------------------------

0206  FE 00             K_TO_N:   CP K1             ;KEY 1
0208  20 0A                       JR NZ,N1KN
020A  3E EE                       LD A,0EEH
020C  32 2121                     LD (ADDTON),A
020F  3E 01                       LD A,NUM1
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
0211  C3 02E8          JP ENK
0214  FE 08     N1KN:  CP K2          ;KEY 2
0216  20 0A            JR NZ,N2KN
0218  3E DE            LD A,0DEH
021A  32 2121          LD (ADDTON),A
021D  3E 02            LD A,NUM2
021F  C3 02E8          JP ENK
0222  FE 04     N2KN:  CP K3          ;KEY 3
0224  20 0A            JR NZ,N3KN
0226  3E BE            LD A,0BEH
0228  32 2121          LD (ADDTON),A
022B  3E 03            LD A,NUM3
022D  C3 02E8          JP ENK
0230  FE 02     N3KN:  CP K4          ;KEY 4
0232  20 0A            JR NZ,N4KN
0234  3E ED            LD A,0EDH
0236  32 2121          LD (ADDTON),A
0239  3E 04            LD A,NUM4
023B  C3 02E8          JP ENK
023E  FE 0A     N4KN:  CP K5          ;KEY 5
0240  20 0A            JR NZ,N5KN
0242  3E DD            LD A,0DDH
0244  32 2121          LD (ADDTON),A
0247  3E 05            LD A,NUM5
0249  C3 02E8          JP ENK
024C  FE 06     N5KN:  CP K6          ;KEY 6
024E  20 0A            JR NZ,N6KN
0250  3E BD            LD A,0BDH
0252  32 2121          LD (ADDTON),A
0255  3E 06            LD A,NUM6
0257  C3 02E8          JP ENK
025A  FE 01     N6KN:  CP K7          ;KEY 7
025C  20 0A            JR NZ,N7KN
025E  3E EB            LD A,0EBH
0260  32 2121          LD (ADDTON),A
0263  3E 07            LD A,NUM7
0265  C3 02E8          JP ENK
0268  FE 09     N7KN:  CP K8          ;KEY 8
026A  20 0A            JR NZ,N8KN
026C  3E DB            LD A,0DBH
026E  32 2121          LD (ADDTON),A
0271  3E 08            LD A,NUM8
0273  C3 02E8          JP ENK
0276  FE 05     N8KN:  CP K9          ;KEY 9
0278  20 0A            JR NZ,N9KN
027A  3E BB            LD A,0BBH
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
027C  32 2121                    LD (ADDTON),A
027F  3E 09                      LD A,NUM9
0281  C3 02E8                    JP ENK
0284  FE 0B           N9KN:      CP K0              ;KEY 0
0286  20 0A                      JR NZ,N10KN
0288  3E D7                      LD A,0D7H
028A  32 2121                    LD (ADDTON),A
028D  3E 0A                      LD A,NUM0
028F  C3 02E8                    JP ENK
0292  FE 07           N10KN:     CP KH              ;KEY #
0294  20 0A                      JR NZ,N11KN
0296  3E B7                      LD A,0B7H
0298  32 2121                    LD (ADDTON),A
029B  3E 0C                      LD A,NUMH
029D  C3 02E8                    JP ENK
02A0  FE 03           N11KN:     CP KX              ;KEY *
02A2  20 0A                      JR NZ,N12KN
02A4  3E E7                      LD A,0E7H
02A6  32 2121                    LD (ADDTON),A
02A9  3E 0B                      LD A,NUMX
02AB  C3 02E8                    JP ENK
02AE  FE 0C           N12KN:     CP K_STOP          ;KEY STOP
02B0  20 0A                      JR NZ,N13KN
02B2  3E FF                      LD A,0FFH
02B4  32 2121                    LD (ADDTON),A
02B7  3E 50                      LD A,NUM_ST
02B9  C3 02E8                    JP ENK
02BC  FE 0E           N13KN:     CP K_MR            ;KEY MR
02BE  20 0A                      JR NZ,N14KN
02C0  3E FF                      LD A,0FFH
02C2  32 2121                    LD (ADDTON),A
02C5  3E 51                      LD A,NUM_MR
02C7  C3 02E8                    JP ENK
02CA  FE 0D           N14KN:     CP K_REDI          ;KEY REDIAL
02CC  20 0A                      JR NZ,N15KN
02CE  3E FF                      LD A,0FFH
02D0  32 2121                    LD (ADDTON),A
02D3  3E 52                      LD A,NUM_RD
02D5  C3 02E8                    JP ENK
02D8  FE 0F           N15KN:     CP K_TEL           ;KEY TEL
02DA  20 0A                      JR NZ,N16KN
02DC  3E FF                      LD A,0FFH
02DE  32 2121                    LD (ADDTON),A
02E1  3E 53                      LD A,NUM_TE
02E3  C3 02E8                    JP ENK
02E6  3E FF           N16KN:     LD A,0FFH
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
02E8  C9                ENK:    RET

                        ;-----------------------------------------
                        ;  SUBRUTINE  LOCATION PROGRAM
                        ;-----------------------------------------

02E9  3A 2140           PROG:   LD A,(ADPROO)
02EC  FE 00                     CP 00H
02EE  20 05                     JR NZ,N1PROG
02F0  CD 0318                   CALL PROO
02F3  18 22                     JR EPROG
02F5  FE 01             N1PROG: CP 01H
02F7  20 05                     JR NZ,N2PROG
02F9  CD 0367                   CALL PRO1
02FC  18 19                     JR EPROG
02FE  FE 02             N2PROG: CP 02H
0300  20 05                     JR NZ,N3PROG
0302  CD 0397                   CALL PRO2
0305  18 10                     JR EPROG
0307  FE 03             N3PROG: CP 03H
0309  20 05                     JR NZ,N4PROG
030B  CD 03D3                   CALL PRO3
030E  18 07                     JR EPROG
0310  FE 04             N4PROG: CP 04H
0312  20 03                     JR NZ,EPROG
0314  CD 0412                   CALL PRO5
0317  C9                EPROG:  RET

                        ;-----------------------------------------
                        ;  SUBRUTINE  PROO
                        ;-----------------------------------------

0318  3A 2120           PROO:   LD A,(ADDKEY)
031B  FE 53                     CP NUM_TE               ;KEY TEL
031D  20 17                     JR NZ,N1PROO
031F  3E 01                     LD A,01H
0321  32 2140                   LD (ADPROO),A
0324  3E 00                     LD A,00H
0326  32 2141                   LD (ADPRO1),A
0329  32 2142                   LD (ADPRO2),A
032C  3E B1                     LD A,0B1H
032E  D3 40                     OUT (40H),A
0330  3E 00                     LD A,00H
0332  D3 82                     OUT (82H),A
0334  18 30                     JR EPROO
0336  FE 0C            N1PROO:  CP NUMH                 ;KEY #
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
0338  20 15          JR NZ,N2PR00
033A  3E 02          LD A,02H
033C  32 2140        LD (ADPR00),A
033F  3E 00          LD A,00H
0341  32 2141        LD (ADPR01),A
0344  3E 01          LD A,01H
0346  32 2142        LD (ADPR02),A
0349  3E 40          LD A,40H
034B  D3 82          OUT (82H),A
034D  18 17          JR EPR00
034F  FE 51    N2PR00:  CP NUM_MR          ;KEY MR
0351  20 13          JR NZ,EPR00
0353  3E 03          LD A,03H
0355  32 2140        LD (ADPR00),A
0358  3E 00          LD A,00H
035A  32 2141        LD (ADPR01),A
035D  32 2142        LD (ADPR02),A
0360  3E 40          LD A,40H
0362  D3 82          OUT (82H),A
0364  18 00          JR EPR00
0366  C9       EPR00:  RET

              ;-----------------------------------------
              ;  SUBRUTINE  PR01
              ;-----------------------------------------

0367  3A 2141  PR01:  LD A,(ADPR01)
036A  FE 00          CP 00H
036C  20 05          JR NZ,N1PR01
036E  CD 0427        CALL PR010
0371  18 23          JR EPR01
0373  FE 01    N1PR01:  CP 01H
0375  20 05          JR NZ,N2PR01
0377  CD 0454        CALL PR011
037A  18 1A          JR EPR01
037C  FE 02    N2PR01:  CP 02H
037E  20 05          JR NZ,N3PR01
0380  CD 047D        CALL PR012
0383  18 11          JR EPR01
0385  FE 03    N3PR01:  CP 03H
0387  20 05          JR NZ,N4PR01
0389  CD 04AE        CALL PR013
038C  18 08          JR EPR01
038E  3E 00    N4PR01:  LD A,00H
0390  32 2141        LD (ADPR01),A
0393  32 2142        LD (ADPR02),A
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
0396  C9                EPR01:    RET

                        ;-----------------------------------------
                        ;  SUBRUTINE  PR02
                        ;-----------------------------------------

0397  3A 2141           PR02:     LD A,(ADPR01)
039A  FE 00                       CP 00H              ;CHECK 3134
039C  20 05                       JR NZ,N1PR02
039E  CD 04BE                     CALL PR020
03A1  18 2F                       JR EPR02
03A3  FE 01             N1PR02:   CP 01H              ;PASS 3134
03A5  20 05                       JR NZ,N2PR02        ;CHECK #90X
03A7  CD 0508                     CALL PR021
03AA  18 26                       JR EPR02
03AC  FE 02             N2PR02:   CP 02H              ;PASS #901
03AE  20 05                       JR NZ,N3PR02
03B0  CD 0534                     CALL PR022
03B3  18 1D                       JR EPR02
03B5  FE 03             N3PR02:   CP 03H              ;PASS #902
03B7  20 05                       JR NZ,N4PR02
03B9  CD 0555                     CALL PR023
03BC  18 14                       JR EPR02
03BE  FE 04             N4PR02:   CP 04H              ;PASS #903
03C0  20 05                       JR NZ,N5PR02
03C2  CD 0576                     CALL PR024
03C5  18 08                       JR EPR02
03C7  3E 00             N5PR02:   LD A,00H
03C9  32 2140                     LD (ADPR00),A
03CC  32 2141                     LD (ADPR01),A
03CF  32 2142                     LD (ADPR02),A
03D2  C9                EPR02:    RET

                        ;-----------------------------------------
                        ;  SUBRUTINE  PR03
                        ;-----------------------------------------

03D3  3A 2141           PR03:     LD A,(ADPR01)
03D6  FE 00                       CP 00H
03D8  20 05                       JR NZ,N1PR03
03DA  CD 05A0                     CALL PR030
03DD  18 26                       JR EPR03
03DF  FE 01             N1PR03:   CP 01H
03E1  20 05                       JR NZ,N2PR03
03E3  CD 05D8                     CALL PR031
03E6  18 1D                       JR EPR03
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
03E8  FE 02          N2PRO3:   CP 02H
03EA  20 05                    JR NZ,N3PRO3
03EC  CD 0608                  CALL PRO32
03EF  18 14                    JR EPRO3
03F1  FE 03          N3PRO3:   CP 03H
03F3  20 05                    JR NZ,N4PRO3
03F5  CD 062E                  CALL PRO33
03F8  18 08                    JR EPRO3
03FA  3E 00          N4PRO3:   LD A,00H
03FC  32 2140                  LD (ADPRO0),A
03FF  32 2141                  LD (ADPRO1),A
0402  32 2142                  LD (ADPRO2),A
0405  C9             EPRO3:    RET

                     ;-----------------------------------------
                     ;  SUBRUTINE  PRO4
                     ;-----------------------------------------

0406  3E 00          PRO4:     LD A,00H
0408  32 2160                  LD (ADBUSY),A
040B  3A 2120                  LD A,(ADDKEY)
040E  CD 0397                  CALL PRO2
0411  C9             EPRO4:    RET

                     ;-----------------------------------------
                     ;  SUBRUTINE  PRO5
                     ;-----------------------------------------

0412  3A 2120        PRO5:     LD A,(ADDKEY)
0415  FE 53                    CP NUM_TEL
0417  20 0D                    JR NZ,EPRO5
0419  CD 09EF                  CALL STOP
041C  3E 01                    LD A,01H
041E  32 2140                  LD (ADPRO0),A
0421  3E 03                    LD A,03H
0423  32 2141                  LD (ADPRO1),A
0426  C9             EPRO5:    RET

                     ;-----------------------------------------
                     ;  SUBRUTINE  PRO10
                     ;-----------------------------------------

0427  3A 2120        PRO10:    LD A,(ADDKEY)
042A  FE 52                    CP NUM_RD          ;KEY REDIAL
042C  20 05                    JR NZ,N1P10
042E  CD 0800                  CALL REDAIL
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
0431  18 20          JR EP10
0433  FE 51    N1P10: CP NUM_MR                ;KEY MR
0435  20 07          JR NZ,N2P10
0437  3E 01          LD A,01H
0439  32 2141        LD (ADPR01),A
043C  18 15          JR EP10
043E  3A 2120  N2P10: LD A,(ADDKEY)
0441  32 21C0        LD (ADDRED),A
0444  3E FF          LD A,0FFH
0446  32 21C1        LD (ADDRED+01H),A
0449  3A 2121        LD A,(ADDTON)
044C  D3 42          OUT (42H),A
044E  3E 03          LD A,03H
0450  32 2141        LD (ADPR01),A
0453  C9       EP10: RET

                     ;-----------------------------------------
                     ; SUBRUTINE  PR011
                     ;-----------------------------------------

0454  3A 2120  PR011: LD A,(ADDKEY)
0457  FE 51          CP NUM_MR               ;KEY MR
0459  20 02          JR NZ,N1P11
045B  18 1F          JR EP11
045D  FE 08    N1P11: CP NUMX                 ;KEY 1-9
045F  30 10          JR NC,N2P11
0461  FE 0A          CP NUM0                 ;KEY 0
0463  20 02          JR NZ,NNP11
0465  3E 00          LD A,00H
0467  32 2180  NNP11: LD (ADDMR1),A
046A  3E 02          LD A,02H
046C  32 2141        LD (ADPR01),A
046F  18 0B          JR EP11
0471  3E 00    N2P11: LD A,00H
0473  32 2140        LD (ADPR00),A
0476  32 2141        LD (ADPR01),A
0479  32 2142        LD (ADPR02),A
047C  C9       EP11: RET

                     ;-----------------------------------------
                     ; SUBRUTINE  PR012
                     ;-----------------------------------------

047D  3A 2120  PR012: LD A,(ADDKEY)
0480  FE 51          CP NUM_MR               ;KEY MR
0482  20 07          JR NZ,N1P12
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
0484  3E 01          LD A,01H
0486  32 2141        LD (ADPR01),A
0489  18 22          JR EP12
048B  FE 0B    N1P12: CP NUMX              ;KEY 0-9
048D  30 13          JR NC,N2P12
048F  FE 0A          CP 0AH
0491  20 02          JR NZ,NNP12
0493  3E 00          LD A,00H
0495  32 2181  NNP12: LD (ADDMR2),A
0498  CD 0815        CALL MR
049B  3E 03          LD A,03H
049D  32 2141        LD (ADPR01),A
04A0  18 0B          JR EP12
04A2  3E 00    N2P12: LD A,00H
04A4  32 2140        LD (ADPR00),A
04A7  32 2141        LD (ADPR01),A
04AA  32 2142        LD (ADPR02),A
04AD  C9       EP12: RET

                     ;-----------------------------------------
                     ; SUBRUTINE PR013
                     ;-----------------------------------------

04AE  3A 2120  PR013: LD A,(ADDKEY)
04B1  FE 50          CP 50H                 ;KEY TELEPHONE ?
04B3  30 08          JR NC,EP13
04B5  CD 0847        CALL RD_IN
04B8  3A 2121        LD A,(ADDTON)
04BB  D3 42          OUT (42H),A
04BD  C9       EP13: RET

                     ;-----------------------------------------
                     ; SUBRUTINE PR020
                     ;-----------------------------------------

04BE  3A 2142  PR020: LD A,(ADPR02)
04C1  FE 00          CP 00H
04C3  20 07          JR NZ,N1P20
04C5  3E 0C          LD A,NUMH              ;KEY #
04C7  CD 064D        CALL PR02XX
04CA  18 38          JR EP20
04CC  FE 01    N1P20: CP 01H
04CE  20 07          JR NZ,N2P20
04D0  3E 03          LD A,NUM3              ;KEY 3
04D2  CD 064D        CALL PR02XX
04D5  18 30          JR EP20
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
04D7  FE 02          N2P20:   CP 02H
04D9  20 07                   JR NZ,N3P20
04DB  3E 01                   LD A,NUM1          ;KEY 1
04DD  CD 064D                 CALL PR02XX
04E0  18 25                   JR EP20
04E2  FE 03          N3P20:   CP 03H
04E4  20 07                   JR NZ,N4P20
04E6  3E 03                   LD A,NUM3          ;KEY 3
04E8  CD 064D                 CALL PR02XX
04EB  18 1A                   JR EP20
04ED  FE 04          N4P20:   CP 04H
04EF  20 16                   JR NZ,EP20
04F1  3E 04                   LD A,NUM4          ;KEY4
04F3  CD 064D                 CALL PR02XX
04F6  3A 2142                 LD A,(ADPR02)
04F9  FE 05                   CP 05H
04FB  20 0A                   JR NZ,EP20
04FD  3E 01                   LD A,01H
04FF  32 2141                 LD (ADPR01),A
0502  3E 00                   LD A,00H
0504  32 2142                 LD (ADPR02),A
0507  C9             EP20:    RET

                    ;-----------------------------------------
                    ;  SUBRUTINE  PR021
                    ;-----------------------------------------

0508  3A 2142        PR021:   LD A,(ADPR02)
050B  FE 00                   CP 00H
050D  20 07                   JR NZ,N1P21
050F  3E 0C                   LD A,NUMH          ;KEY #
0511  CD 064D                 CALL PR02XX
0514  18 1D                   JR EP21
0516  FE 01          N1P21:   CP 01H
0518  20 07                   JR NZ,N2P21
051A  3E 09                   LD A,09H           ;KEY 9
051C  CD 064D                 CALL PR02XX
051F  18 12                   JR EP21
0521  FE 02          N2P21:   CP 02H
0523  20 07                   JR NZ,N3P21
0525  3E 0A                   LD A,0AH           ;KEY 0
0527  CD 064D                 CALL PR02XX
052A  18 07                   JR EP21
052C  FE 03          N3P21:   CP 03H
052E  20 03                   JR NZ,EP21
0530  CD 068D                 CALL PR0213
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
0533  C9                EP21:     RET

                        ;-----------------------------------------
                        ;  SUBRUTINE  PRO22
                        ;-----------------------------------------

0534  3A 2142           PRO22:    LD A,(ADPRO2)
0537  FE 00                       CP 00H
0539  20 05                       JR NZ,N1P22
053B  CD 06EC                     CALL PRO2NX
053E  18 14                       JR EP22
0540  FE 01              N1P22:    CP 01H
0542  20 05                       JR NZ,N2P22
0544  CD 0709                     CALL PRO221
0547  18 08                       JR EP22
0549  3E 00              N2P22:    LD A,00H
054B  32 2140                     LD (ADPR00),A
054E  32 2141                     LD (ADPR01),A
0551  32 2142                     LD (ADPR02),A
0554  C9                EP22:     RET

                        ;-----------------------------------------
                        ;  SUBRUTINE  PRO23
                        ;-----------------------------------------

0555  3A 2142           PRO23:    LD A,(ADPRO2)
0558  FE 00                       CP 00H
055A  20 05                       JR NZ,N1P23
055C  CD 06EC                     CALL PRO2NX
055F  18 14                       JR EP23
0561  FE 01              N1P23:    CP 01H
0563  20 05                       JR NZ,N2P23
0565  CD 074E                     CALL PRO231
0568  18 08                       JR EP23
056A  3E 00              N2P23:    LD A,00H
056C  32 2140                     LD (ADPR00),A
056F  32 2141                     LD (ADPR01),A
0572  32 2142                     LD (ADPR02),A
0575  C9                EP23:     RET

                        ;-----------------------------------------
                        ;  SUBRUTINE  PRO24
                        ;-----------------------------------------

0576  3A 2142           PRO24:    LD A,(ADPRO2)
0579  FE 00                       CP 00H
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
057B  20 05          JR NZ,N1P24
057D  CD 06EC        CALL PRO2NX
0580  18 1D          JR EP24
0582  FE 01    N1P24: CP 01H
0584  20 05          JR NZ,N2P24
0586  CD 079F        CALL PRO241
0589  18 EA          JR EP23
058B  FE 02    N2P24: CP 02H
058D  20 05          JR NZ,N3P24
058F  CD 07CC        CALL PRO242
0592  18 0B          JR EP24
0594  3E 00    N3P24: LD A,00H
0596  32 2140        LD (ADPRO0),A
0599  32 2141        LD (ADPRO1),A
059C  32 2142        LD (ADPRO2),A
059F  C9       EP24:  RET

                     ;---------------------------------------
                     ; SUBRUTINE  PRO30
                     ;---------------------------------------

05A0  3A 2120  PRO30:  LD A,(ADDKEY)
05A3  FE 0B            CP 0BH
05A5  30 0F            JR NC,N1P30
05A7  3E FF            LD A,0FFH
05A9  32 21A0          LD (ADDMMR),A
05AC  CD 0862          CALL MR_IN
05AF  3E 01            LD A,01H
05B1  32 2141          LD (ADPRO1),A
05B4  18 21            JR EP30
05B6  FE 52    N1P30:  CP NUM_RD
05B8  20 0C            JR NZ,N2P30
05BA  3E 02            LD A,02H
05BC  32 2141          LD (ADPRO1),A
05BF  3E 00            LD A,00H
05C1  32 2182          LD (ADDMRX),A
05C4  18 11            JR EP30
05C6  FE 51    N2P30:  CP NUM_MR
05C8  20 02            JR NZ,N3P30
05CA  18 0B            JR EP30
05CC  3E 00    N3P30:  LD A,00
05CE  32 2140          LD (ADPRO0),A
05D1  32 2141          LD (ADPRO1),A
05D4  32 2142          LD (ADPRO2),A
05D7  C9       EP30:   RET
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
                        ;-----------------------------------------
                        ;  SUBRUTINE  PR0031
                        ;-----------------------------------------

05D8   3A 2120          PR031:    LD A,(ADDKEY)
05DB   FE 0B                      CP 0BH
05DD   30 05                      JR NC,N1P31
05DF   CD 0862                    CALL MR_IN
05E2   18 26                      JR EP31
05E4   FE 52            N1P31:    CP NUM_RO
05E6   20 0C                      JR NZ,N2P31
05E8   3E 02                      LD A,02H
05EA   32 2141                    LD (ADPR01),A
05ED   3E 01                      LD A,01H
05EF   32 2182                    LD (ADDMRX),A
05F2   18 16                      JR EP31
05F4   FE 51            N2P31:    CP NUM_MR
05F6   20 07                      JR NZ,N3P31
05F8   3E 00                      LD A,00H
05FA   32 2141                    LD (ADPR01),A
05FD   18 0B                      JR EP31
05FF   3E 00            N3P31:    LD A,00
0601   32 2140                    LD (ADPR00),A
0604   32 2141                    LD (ADPR01),A
0607   32 2142                    LD (ADPR02),A
060A   C9               EP31:     RET

                        ;-----------------------------------------
                        ;  SUBRUTINE PR032
                        ;-----------------------------------------

060B   3A 2120          PR032:    LD A,(ADDKEY)
060E   FE 0B                      CP 0BH
0610   30 10                      JR NC,N2P32
0612   FE 0A                      CP 0AH
0614   20 02                      JR NZ,NNP32
0616   3E 00                      LD A,00H
0618   32 2180          NNP32:    LD (ADDMR1),A
061B   3E 03                      LD A,03H
061D   32 2141                    LD (ADPR01),A
0620   18 0B                      JR EP32
0622   3E 00            N2P32:    LD A,00H
0624   32 2140                    LD (ADPR00),A
0627   32 2141                    LD (ADPR01),A
062A   32 2142                    LD (ADPR02),A
062D   C9               EP32:     RET
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
                        ;----------------------------------------
                        ; SUBRUTINE  PR033
                        ;----------------------------------------

062E  3A 2120           PR033:  LD A,(ADDKEY)
0631  FE 0B                     CP 0BH
0633  30 0C                     JR NC,N2P33
0635  FE 0A                     CP 0AH
0637  20 02                     JR NZ,NNP33
0639  3E 00                     LD A,00H
063B  32 2181           NNP33:  LD (ADDMR2),A
063E  CD 087D                   CALL MOV_MR
0641  3E 00               N2P33:  LD A,00H
0643  32 2140                   LD (ADPR00),A
0646  32 2141                   LD (ADPR01),A
0649  32 2142                   LD (ADPR02),A
064C  C9                EP33:   RET

                        ;----------------------------------------
                        ; SUBRUTINE  PR02XX
                        ;----------------------------------------

064D  D5                PR02XX: PUSH DE
064E  57                        LD D,A
064F  3A 2120                   LD A,(ADDKEY)
0652  BA                        CP D
0653  20 09                     JR NZ,N1P2XX
0655  3A 2142                   LD A,(ADPR02)
0658  3C                        INC A
0659  32 2142                   LD (ADPR02),A
065C  18 2D                     JR EP2XX
065E  FE 0B             N1P2XX: CP NUMX                 ;KEY *
0660  20 16                     JR NZ,N2P2XX
0662  3A 2140                   LD A,(ADPR00)
0665  FE 04                     CP 04H
0667  28 05                     JR Z,NNP2XX
0669  3E 00                     LD A,00H
066B  32 2140                   LD (ADPR00),A
066E  3E 00             NNP2XX: LD A,00H
0670  32 2141                   LD (ADPR01),A
0673  32 2142                   LD (ADPR02),A
0676  18 13                     JR EP2XX
0678  FE 0C             N2P2XX: CP NUMH                 ;KEY #
067A  20 0F                     JR NZ,EP2XX
067C  3A 2141                   LD A,(ADPR01)
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
067F  FE 00                       CP 00H
0681  20 02                       JR NZ,N3P2XX
0683  3E 01                       LD A,01H
0685  32 2141           N3P2XX:  LD (ADPR01),A
0688  32 2142                    LD (ADPR02),A
068B  D1                 EP2XX:   POP DE
068C  C9                          RET

                         ;-----------------------------------------
                         ;  SUBRUTINE   PR0213
                         ;-----------------------------------------

068D  3A 2120            PR0213:  LD A,(ADDKEY)
0690  FE 0B                       CP NUMX                 ;KEY *
0692  20 0D                       JR NZ,N1P213
0694  3E 00                       LD A,00H
0696  32 2140                    LD (ADPR00),A
0699  32 2141                    LD (ADPR01),A
069C  32 2142                    LD (ADPR02),A
069F  18 45                       JR EP213
06A1  FE 0C              N1P213:  CP NUMH                 ;KEY #
06A3  20 07                       JR NZ,N2P213
06A5  3E 01                       LD A,01H
06A7  32 2142                    LD (ADPR02),A
06AA  18 3A                       JR EP213
06AC  FE 01              N2P213:  CP 01H                  ;KEY 1
06AE  20 0C                       JR NZ,N3P213
06B0  3E 02                       LD A,02H
06B2  32 2141                    LD (ADPR01),A
06B5  3E 00                       LD A,00H
06B7  32 2142                    LD (ADPR02),A
06BA  18 2A                       JR EP213
06BC  FE 02              N3P213:  CP 02H                  ;KEY 2
06BE  20 11                       JR NZ,N4P213
06C0  3E 01                       LD A,01H
06C2  32 2132                    LD (ADPLAY),A
06C5  3E 03                       LD A,03H
06C7  32 2141                    LD (ADPR01),A
06CA  3E 00                       LD A,00H
06CC  32 2142                    LD (ADPR02),A
06CF  18 15                       JR EP213
06D1  FE 03              N4P213:  CP 03H                  ;KEY 3
06D3  20 0C                       JR NZ,N5P213
06D5  3E 04                       LD A,04H
06D7  32 2141                    LD (ADPR01),A
06DA  3E 00                       LD A,00H
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
06DC  32 2142                    LD (ADPR02),A
06DF  18 05                      JR EP213
06E1  3E 02           N5P213:    LD A,02H
06E3  32 2141                    LD (ADPR01),A
06E6  3E 00           EP213:     LD A,00H
06E8  32 2142                    LD (ADPR02),A
06EB  C9                         RET

                      ;-----------------------------------------
                      ;  SUBRUTINE  PR02NX
                      ;-----------------------------------------

06EC  3A 2120         PR02NX:    LD A,(ADDKEY)
06EF  FE 0C                      CP NUMH
06F1  20 07                      JR NZ,N1P2NX
06F3  3E 01                      LD A,01H
06F5  32 2142                    LD (ADPR02),A
06F8  18 0E                      JR EP2NX
06FA  FE 0B           N1P2NX:    CP NUMX
06FC  20 0A                      JR NZ,EP2NX
06FE  3E 01                      LD A,01H
0700  32 2141                    LD (ADPR01),A
0703  3E 00                      LD A,00H
0705  32 2142                    LD (ADPR02),A
0708  C9              EP2NX:     RET

                      ;-----------------------------------------
                      ;  SUBRUTINE  PR0221
                      ;-----------------------------------------

0709  3A 2120         PR0221:    LD A,(ADDKEY)
070C  FE 0C                      CP NUMH
070E  20 02                      JR NZ,N1P221
0710  18 3B                      JR EP221
0712  FE 0B           N1P221:    CP NUMX
0714  20 0F                      JR NZ,N2P221
0716  CD 09EF                    CALL STOP
0719  3E 01                      LD A,01H
071B  32 2141                    LD (ADPR01),A
071E  3E 00                      LD A,00H
0720  32 2142                    LD (ADPR02),A
0723  18 23                      JR N5P221
0725  FE 0A           N2P221:    CP NUM0
0727  20 0A                      JR NZ,N3P221
0729  CD 09EF                    CALL STOP
072C  3E 00                      LD A,00H          ;PLAY 0
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
072E  CD 0952          CALL PLAY
0731  18 15            JR N5P221
0733  FE 01    N3P221: CP NUM1
0735  20 0A            JR NZ,N4P221
0737  CD 09EF          CALL STOP
073A  3E 00            LD A,00H          ;REC 0
073C  CD 099D          CALL REC
073F  18 07            JR N5P221
0741  FE 03    N4P221: CP NUM3
0743  20 03            JR NZ,N5P221
0745  CD 09EF          CALL STOP
0748  3E 00    N5P221: LD A,00H
074A  32 2142          LD (ADPRO2),A
074D  C9        EP221: RET

                ;-----------------------------------------
                ; SUBRUTINE PRO231
                ;-----------------------------------------

074E  E5        PRO231: PUSH HL
074F  3A 2120           LD A,(ADDKEY)
0752  FE 0C             CP NUMH
0754  20 02             JR NZ,N1P231
0756  18 40             JR EP231
0758  FE 0B    N1P231:  CP NUMX
075A  20 0F             JR NZ,N2P231
075C  CD 09EF           CALL STOP
075F  3E 01             LD A,01H
0761  32 2141           LD (ADPRO1),A
0764  3E 00             LD A,00H
0766  32 2142           LD (ADPRO2),A
0769  18 2D             JR EP231
076B  FE 01    N2P231:  CP NUM1           ;KEY1
076D  20 0B             JR NZ,N3P231      ;PLAY
076F  CD 09EF           CALL STOP
0772  3A 2132           LD A,(ADPLAY)
0775  CD 0952           CALL PLAY
0778  18 1E             JR EP231
077A  FE 03    N3P231:  CP NUM3           ;KEY3
077C  20 1A             JR NZ,EP231       ;PLAY
077E  CD 09EF           CALL STOP
0781  3A 2132           LD A,(ADPLAY)
0784  21 2130           LD HL,ADRECO
0787  BE                CP (HL)
0788  28 06             JR Z,N5P231
078A  3C                INC A
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
0788  32 2132          LD (ADPLAY),A
078E  18 05             JR N6P231
0790  3E 01     N5P231: LD A,01H
0792  32 2132           LD (ADPLAY),A
0795  CD 0952   N6P231: CALL PLAY
0798  3E 00     EP231:  LD A,00H
079A  32 2142           LD (ADPR02),A
079D  E1                POP HL
079E  C9                RET

                ;-----------------------------------------
                ;  SUBRUTINE  PR0241
                ;-----------------------------------------

079F  3A 2120   PR0241: LD A,(ADDKEY)
07A2  FE 0C             CP NUMH
07A4  20 02             JR NZ,N1P241
07A6  18 23             JR EP241
07A8  FE 0B     N1P241: CP NUMX
07AA  20 0C             JR NZ,N2P241
07AC  3E 01             LD A,01H
07AE  32 2141           LD (ADPR01),A
07B1  3E 00             LD A,00H
07B3  32 2142           LD (ADPR02),A
07B6  18 13             JR EP241
07B8  FE 09     N2P241: CP NUM9
07BA  30 0A             JR NC,N3P241
07BC  32 2150           LD (ADCONT),A
07BF  3E 02             LD A,02H
07C1  32 2142           LD (ADPR02),A
07C4  18 05             JR EP241
07C6  3E 00     N3P241: LD A,00H
07C8  32 2142           LD (ADPR02),A
07CB  C9        EP241:  RET

                ;-----------------------------------------
                ;  SUBRUTINE  PR0242
                ;-----------------------------------------

07CC  3A 2120   PR0242: LD A,(ADDKEY)
07CF  FE 0C             CP NUMH
07D1  20 07             JR NZ,N1P242
07D3  3E 01             LD A,01H
07D5  32 2142           LD (ADPR02),A
07D8  18 25             JR EP242
07DA  FE 0B     N1P242: CP NUMX
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
07DC  20 0C          JR NZ,N2P242
07DE  3E 01          LD A,01H
07E0  32 2141        LD (ADPR01),A
07E3  3E 00          LD A,00H
07E5  32 2142        LD (ADPR02),A
07E8  18 15          JR EP242
07EA  FE 01  N2P242: CP NUM1
07EC  20 05          JR NZ,N3P242
07EE  CD 0A62        CALL ONCONT
07F1  18 07          JR N4P242
07F3  FE 0A  N3P242: CP NUM0
07F5  20 03          JR NZ,N4P242
07F7  CD 0AB1        CALL OFCONT
07FA  3E 00  N4P242: LD A,00H
07FC  32 2142        LD (ADPR02),A
07FF  C9     EP242:  RET

                     ;---------------------------------------
                     ;  SUBRUTINE  REDIAL
                     ;---------------------------------------

0800  E5     REDAIL: PUSH HL
0801  C5             PUSH BC
0802  21 21C0        LD HL,ADDRED
0805  06 10          LD B,10H
0807  7E     L1REDI: LD A,(HL)
0808  FE FF          CP 0FFH
080A  28 06          JR Z,EREDI
080C  CD 08BF        CALL GEN_IO
080F  23             INC HL
0810  10 F5          DJNZ L1REDI
0812  E1     EREDI:  POP HL
0813  C1             POP BC
0814  C9             RET

                     ;---------------------------------------
                     ;  SUBRUTINE  MR
                     ;---------------------------------------

0815  D5     MR:     PUSH DE
0816  E5             PUSH HL
0817  21 2200        LD HL,ADDMR
081A  3A 2180        LD A,(ADDMR1)      ; CHEEK LOW BYTE OF MEMORY
081D  FE 00          CP 00H
081F  28 07          JR Z,N1MR
0821  11 00A0        LD DE,00A0H
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
0824  19              L1MR:   ADD HL,DE
0825  3D                      DEC A
0826  20 FC                   JR NZ,L1MR
0828  3A 2181        N1MR:   LD A,(ADDMR2)          ; CHEEK HIGH BYTE OF MEMORY
082B  FE 00                   CP 00H
082D  28 09                   JR Z,N2MR
082F  11 0010                 LD DE,0010H
0832  19              L2MR:   ADD HL,DE
0833  3D                      DEC A
0834  20 FC                   JR NZ,L2MR
0836  16 10                   LD D,10H
0838  7E              N2MR:   LD A,(HL)
0839  FE FF                   CP 0FFH
083B  28 07                   JR Z,EMR
083D  CD 088F                 CALL GEN_TO
0840  23                      INC HL
0841  15                      DEC D
0842  20 F4                   JR NZ,N2MR
0844  E1              EMR:    POP HL
0845  D1                      POP DE
0846  C9                      RET

                      ;-----------------------------------------
                      ;  SUBRUTINE  RD_IN
                      ;-----------------------------------------

0847  E5              RD_IN:  PUSH HL
0848  C5                      PUSH BC
0849  06 10                   LD B,10H
084B  21 21C0                 LD HL,ADDRED
084E  7E              L1RDIN: LD A,(HL)
084F  FE FF                   CP 0FFH
0851  28 05                   JR Z,N1RDIN
0853  23                      INC HL
0854  10 F8                   DJNZ L1RDIN
0856  18 07                   JR ERDIN
0858  3A 2120        N1RDIN: LD A,(ADDKEY)
085B  77                      LD (HL),A
085C  23                      INC HL
085D  36 FF                   LD (HL),0FFH
085F  C1              ERDIN:  POP BC
0860  E1                      POP HL
0861  C9                      RET

                      ;-----------------------------------------
                      ;  SUBRUTINE  MR_IN
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
                        ;-----------------------------------------

0862  E5              MR_IN:    PUSH HL
0863  C5                        PUSH BC
0864  06 10                     LD B,10H
0866  21 21A0                  LD HL,ADDMMR
0869  7E              L1MRIN:   LD A,(HL)
086A  FE FF                     CP 0FFH
086C  28 05                     JR Z,N1MRIN
086E  23                        INC HL
086F  10 F8                     DJNZ L1MRIN
0871  18 07                     JR EMRIN
0873  3A 2120         N1MRIN:   LD A,(ADDKEY)
0876  77                        LD (HL),A
0877  23                        INC HL
0878  36 FF                     LD (HL),0FFH
087A  C1              EMRIN:    POP BC
087B  E1                        POP HL
087C  C9                        RET

                        ;-----------------------------------------
                        ;  SUBRUTINE  MOV_MR
                        ;-----------------------------------------

087D  E5              MOV_MR:   PUSH HL
087E  C5                        PUSH BC
087F  D5                        PUSH DE
0880  3A 2182                   LD A,(ADDMRX)
0883  FE 00                     CP 00H
0885  20 05                     JR NZ,N1MOMR
0887  11 21C0                   LD DE,ADDRED
088A  18 03                     JR N2MOMR
088C  11 21A0         N1MOMR:   LD DE,ADDMMR
088F  21 2200         N2MOMR:   LD HL,ADDMR
0892  3A 2180                   LD A,(ADDMR1)          ; CHEEK LOW BYTE OF MEMORY
0895  FE 00                     CP 00H
0897  28 07                     JR Z,N3MOMR
0899  01 00A0                   LD BC,00A0H
089C  09              L1MOMR:   ADD HL,BC
089D  3D                        DEC A
089E  20 FC                     JR NZ,L1MOMR
08A0  3A 2181         N3MOMR:   LD A,(ADDMR2)          ; CHEEK HIGH BYTE OF MEMORY
08A3  FE 00                     CP 00H
08A5  28 07                     JR Z,N4MOMR
08A7  01 0010                   LD BC,0010H
08AA  09              L2MOMR:   ADD HL,BC
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ.ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
08AB  3D                          DEC A
08AC  20 FC                       JR NZ,L2MOMR
08AE  06 10           N4MOMR:     LD B,10H
08B0  1A              L3MOMR:     LD A,(DE)
08B1  77                          LD (HL),A
08B2  13                          INC DE
08B3  23                          INC HL
08B4  10 FA                       DJNZ L3MOMR
08B6  3E FF                       LD A,0FFH
08B8  32 21A0                     LD (ADDMMR),A
08BB  D1                          POP DE
08BC  C1                          POP BC
08BD  E1                          POP HL
08BE  C9                          RET

                      ;-----------------------------------------
                      ; SUBRUTINE  GEN TONE
                      ;-----------------------------------------

08BF  C5              GEN_TO:     PUSH BC
08C0  FE 01                       CP NUM1          ; IF KEY 1 THEN TONE 1
08C2  20 04                       JR NZ,NGT1
08C4  3E EE                       LD A,0EEH
08C6  18 54                       JR GT_L
08C8  FE 02           NGT1:       CP NUM2          ; IF KEY 2 THEN TONE 2
08CA  20 04                       JR NZ,NGT2
08CC  3E DE                       LD A,0DEH
08CE  18 4C                       JR GT_L
08D0  FE 03           NGT2:       CP NUM3          ; IF KEY 3 THEN TONE 3
08D2  20 04                       JR NZ,NGT3
08D4  3E BE                       LD A,0BEH
08D6  18 44                       JR GT_L
08D8  FE 04           NGT3:       CP NUM4          ; IF KEY 4 THEN TONE 4
08DA  20 04                       JR NZ,NGT4
08DC  3E ED                       LD A,0EDH
08DE  18 3C                       JR GT_L
08E0  FE 05           NGT4:       CP NUM5          ; IF KEY 5 THEN TONE 5
08E2  20 04                       JR NZ,NGT5
08E4  3E DD                       LD A,0DDH
08E6  18 34                       JR GT_L
08E8  FE 06           NGT5:       CP NUM6          ; IF KEY 6 THEN TONE 6
08EA  20 04                       JR NZ,NGT6
08EC  3E BD                       LD A,0BDH
08EE  18 2C                       JR GT_L
08F0  FE 07           NGT6:       CP NUM7          ; IF KEY 7 THEN TONE 7
08F2  20 04                       JR NZ,NGT7
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
08F4  3E EB                    LD A,0EBH
08F6  18 24                    JR GT_L
08F8  FE 08           NGT7:    CP NUM8          ; IF KEY 8 THEN TONE 8
08FA  20 04                    JR NZ,NGT8
08FC  3E DB                    LD A,0DBH
08FE  18 1C                    JR GT_L
0900  FE 09           NGT8:    CP NUM9          ; IF KEY 9 THEN TONE 9
0902  20 04                    JR NZ,NGT9
0904  3E BB                    LD A,0BBH
0906  18 14                    JR GT_L
0908  FE 0A           NGT9:    CP NUM0          ; IF KEY 0 THEN TONE 0
090A  20 04                    JR NZ,NGT0
090C  3E E7                    LD A,0E7H
090E  18 0C                    JR GT_L
0910  FE 0B           NGT0:    CP NUMX          ; IF KEY * THEN TONE *
0912  20 04                    JR NZ,NGTX
0914  3E D7                    LD A,0D7H
0916  18 04                    JR GT_L
0918  FE 0C           NGTX:    CP NUMH          ; IF KEY # THEN TONE #
091A  3E B7                    LD A,0B7H
091C  D3 42           GT_L:    OUT (42H),A
091E  CD 09FD                  CALL DELAY1
0921  CD 09FD                  CALL DELAY1
0924  3E FF                    LD A,0FFH
0926  D3 42                    OUT (42H),A
0928  CD 09FD                  CALL DELAY1
092B  C1              NG_T:    POP BC
092C  C9                       RET

                      ;-----------------------------------------
                      ; SUBRUTINE  KEY STOP
                      ;-----------------------------------------

092D  3E FF           KSTOP:   LD A,0FFH
092F  D3 42                    OUT (42H),A
0931  3E AF                    LD A,0AFH
0933  D3 80                    OUT (80H),A
0935  3E 00                    LD A,00H
0937  D3 81                    OUT (81H),A
0939  D3 82                    OUT (82H),A
093B  3E 91                    LD A,91H
093D  D3 40                    OUT (40H),A
093F  3E 01                    LD A,01H
0941  D3 40                    OUT (40H),A
0943  32 2160                 LD (ADBUSY),A
0946  3E 00                    LD A,00H
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
0948   32 2140                  LD (ADPR00),A
094B   32 2141                  LD (ADPR01),A
094E   32 2142                  LD (ADPR02),A
0951   C9                       RET

                        ;-----------------------------------------
                        ;  SUBRUTINE  PLAY
                        ;  INPUT  A = NUM PLAY
                        ;-----------------------------------------

0952   FE 00            PLAY:   CP 00H
0954   20 09                    JR NZ,N1PLAY
0956   3E 01                    LD A,01H
0958   32 2102                  LD (ADDSTAT+02H),A
095B   3E 10                    LD A,10H
095D   18 25                    JR N4PLAY
095F   FE 01            N1PLAY: CP 01H
0961   20 09                    JR NZ,N2PLAY
0963   3E 02                    LD A,02H
0965   32 2102                  LD (ADDSTAT+02H),A
0968   3E 20                    LD A,20H
096A   18 18                    JR N4PLAY
096C   FE 02            N2PLAY: CP 02H
096E   20 09                    JR NZ,N3PLAY
0970   3E 04                    LD A,04H
0972   32 2102                  LD (ADDSTAT+02H),A
0975   3E 30                    LD A,30H
0977   18 0B                    JR N4PLAY
0979   FE 03            N3PLAY: CP 03H
097B   20 1F                    JR NZ,EPLAY
097D   3E 08                    LD A,08H
097F   32 2102                  LD (ADDSTAT+02H),A
0982   3E 40                    LD A,40H
0984   D3 81            N4PLAY: OUT (81H),A
0986   3A 2140                  LD A,(ADPR00)
0989   FE 04                    CP 04H
098B   20 04                    JR NZ,N5PLAY
098D   3E 00                    LD A,00H
098F   18 02                    JR N6PLAY
0991   3E 40            N5PLAY: LD A,40H
0993   D3 82            N6PLAY: OUT (82H),A
0995   3E 9F                    LD A,9FH
0997   D3 80                    OUT (80H),A
0999   CD 0A0A                  CALL DELAY2
099C   C9               EPLAY:  RET
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
                        ;-----------------------------------------
                        ;  SUBRUTINE  REC
                        ;  INPUT  A = NUM REC
                        ;-----------------------------------------

099D  FE 00             REC:    CP 00H
099F  20 09                     JR NZ,N1REC
09A1  3E 01                     LD A,01H
09A3  32 2102                   LD (ADDSTAT+02H),A
09A6  3E 10                     LD A,10H
09A8  18 25                     JR N4REC
09AA  FE 01             N1REC:  CP 01H
09AC  20 09                     JR NZ,N2REC
09AE  3E 02                     LD A,02H
09B0  32 2102                   LD (ADDSTAT+02H),A
09B3  3E 20                     LD A,20H
09B5  18 18                     JR N4REC
09B7  FE 02             N2REC:  CP 02H
09B9  20 09                     JR NZ,N3REC
09BB  3E 04                     LD A,04H
09BD  32 2102                   LD (ADDSTAT+02H),A
09C0  3E 30                     LD A,30H
09C2  18 08                     JR N4REC
09C4  FE 03             N3REC:  CP 03H
09C6  20 26                     JR NZ,EREC
09C8  3E 08                     LD A,08H
09CA  32 2102                   LD (ADDSTAT+02H),A
09CD  3E 40                     LD A,40H
09CF  D3 81             N4REC:  OUT (81H),A
09D1  3A 2140                   LD A,(ADPR00)
09D4  FE 04                     CP 04H
09D6  20 04                     JR NZ,N5REC
09D8  3E 00                     LD A,00H
09DA  18 02                     JR N6REC
09DC  3E 04             N5REC:  LD A,04H
09DE  D3 82             N6REC:  OUT (82H),A
09E0  3E 2F                     LD A,2FH
09E2  D3 80                     OUT (80H),A
09E4  CD 09FD                   CALL DELAY1
09E7  3E DF                     LD A,0DFH
09E9  D3 80                     OUT (80H),A
09EB  CD 0A0A                   CALL DELAY2
09EE  C9                EREC:   RET

                        ;-----------------------------------------
                        ;  SUBRUTINE  STOP RECODE
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
                        ;-----------------------------------------

09EF  3E AF             STOP:   LD A,0AFH
09F1  D3 80                     OUT (80H),A
09F3  3E 00                     LD A,00H
09F5  D3 81                     OUT (81H),A
09F7  3E 00                     LD A,00H
09F9  32 2102                   LD (ADDSTAT+2H),A
09FC  C9                        RET

                        ;-----------------------------------------
                        ;  SUBRUTINE  DELAY1 (100mS)
                        ;-----------------------------------------

09FD  D5                DELAY1: PUSH DE
09FE  1E A0                     LD E,0A0H
0A00  16 64             L2DEL1: LD D,64H
0A02  15                L1DEL1: DEC D
0A03  20 FD                     JR NZ,L1DEL1
0A05  1D                        DEC E
0A06  20 F8                     JR NZ,L2DEL1
0A08  D1                        POP DE
0A09  C9                        RET

                        ;-----------------------------------------
                        ;  SUBRUTINE  DELAY2
                        ;-----------------------------------------

0A0A  D5                DELAY2: PUSH DE
0A0B  C5                        PUSH BC
0A0C  1E 04                     LD E,04H
0A0E  0E FA             L3DEL2: LD C,0FAH
0A10  16 A1             L2DEL2: LD D,0A1H
0A12  15                L1DEL2: DEC D
0A13  20 FD                     JR NZ,L1DEL2
0A15  0D                        DEC C
0A16  20 F8                     JR NZ,L2DEL2
0A18  1D                        DEC E
0A19  20 F3                     JR NZ,L3DEL2
0A1B  3A 2140                   LD A,(ADPR00)
0A1E  FE 04                     CP 04H
0A20  20 0E                     JR NZ,EDEL2
0A22  DB 62             L4DEL2: IN A,(62H)
0A24  CB 7F                     BIT 7,A
0A26  20 FA                     JR NZ,L4DEL2
0A28  3E 80                     LD A,080H
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
0A2A  D3 40                    OUT (40H),A
0A2C  3E 21                    LD A,21H
0A2E  D3 40                    OUT (40H),A
0A30  C1              EDEL2:   POP BC
0A31  D1                       POP DE
0A32  C9                       RET

                               ;-----------------------------------------
                               ;  SUBRUTINE  DELAY3
                               ;-----------------------------------------

0A33  3A 2171         DELAY3:  LD A,(ADDEL1+00H)
0A36  3D                       DEC A
0A37  32 2171                  LD (ADDEL1+00H),A
0A3A  20 25                    JR NZ,EDEL3
0A3C  3A 2172                  LD A,(ADDEL1+01H)
0A3F  3D                       DEC A
0A40  32 2172                  LD (ADDEL1+01H),A
0A43  20 1C                    JR NZ,EDEL3
0A45  3A 2173                  LD A,(ADDEL1+02H)
0A48  3D                       DEC A
0A49  32 2173                  LD (ADDEL1+02H),A
0A4C  20 13                    JR NZ,EDEL3
0A4E  CD 092D                  CALL KSTOP
0A51  3E FF                    LD A,0FFH
0A53  32 2170                  LD (ADDELO),A
0A56  32 2171                  LD (ADDEL1+00H),A
0A59  32 2172                  LD (ADDEL1+01H),A
0A5C  3E 03                    LD A,03H
0A5E  32 2173                  LD (ADDEL1+02H),A
0A61  C9              EDEL3:   RET

                               ;-----------------------------------------
                               ;  SUBRUTINE  ONCONT
                               ;-----------------------------------------

0A62  D5              ONCONT:  PUSH DE
0A63  3A 2150                  LD A,(ADCONT)
0A66  FE 01                    CP 01H
0A68  20 05                    JR NZ,N1ON      ; TONE 1
0A6A  11 810E                  LD DE,810EH     ; D = COL
0A6D  18 3D                    JR N80N         ; E = ROW
0A6F  FE 02           N1ON:    CP 02H
0A71  20 05                    JR NZ,N2ON      ; TONE 3
0A73  11 840E                  LD DE,840EH     ; D = COL
0A76  18 34                    JR N80N         ; E = ROW
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
0A78  FE 03          N2ON:   CP 03H
0A7A  20 05                  JR NZ,N3ON      ; TONE 5
0A7C  11 820D                LD DE,820DH     ; D = COL
0A7F  18 28                  JR N8ON         ; E = ROW
0A81  FE 04          N3ON:   CP 04H
0A83  20 05                  JR NZ,N4ON      ; TONE 7
0A85  11 810B                LD DE,810BH     ; D = COL
0A88  18 22                  JR N8ON         ; E = ROW
0A8A  FE 05          N4ON:   CP 05H
0A8C  20 05                  JR NZ,N5ON      ; TONE 9
0A8E  11 840B                LD DE,840BH     ; D = COL
0A91  18 19                  JR N8ON         ; E = ROW
0A93  FE 06          N5ON:   CP 06H
0A95  20 05                  JR NZ,N6ON      ; TONE *
0A97  11 8107                LD DE,8107H     ; D = COL
0A9A  18 10                  JR N8ON         ; E = ROW
0A9C  FE 07          N6ON:   CP 07H
0A9E  20 05                  JR NZ,N7ON      ; TONE A
0AA0  11 880E                LD DE,880EH     ; D = COL
0AA3  18 07                  JR N8ON         ; E = ROW
0AA5  FE 08          N7ON:   CP 08H
0AA7  20 03                  JR NZ,N8ON      ; TONE C
0AA9  11 8808                LD DE,8808H     ; D = COL
0AAC  CD 0800        N8ON:   CALL TX         ; E = ROW
0AAF  D1                     POP DE
0AB0  C9                     RET

                     ;---------------------------------------
                     ;  SUBRUTINE  OFCONT
                     ;---------------------------------------

0AB1  D5             OFCONT: PUSH DE
0AB2  3A 2150                LD A,(ADCONT)
0AB5  FE 01                  CP 01H
0AB7  20 05                  JR NZ,N1OF      ; TONE D
0AB9  11 8807                LD DE,8807H     ; D = COL
0ABC  18 30                  JR N8OF         ; E = ROW
0ABE  FE 02          N1OF:   CP 02H
0AC0  20 05                  JR NZ,N2OF      ; TONE 2
0AC2  11 820E                LD DE,820EH     ; D = COL
0AC5  18 34                  JR N8OF         ; E = ROW
0AC7  FE 03          N2OF:   CP 03H
0AC9  20 05                  JR NZ,N3OF      ; TONE 4
0ACB  11 810D                LD DE,810DH     ; D = COL
0ACE  18 28                  JR N8OF         ; E = ROW
0AD0  FE 04          N3OF:   CP 04H
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
0AD2  20 05              JR NZ,N40F      ; TONE 6
0AD4  11 8400            LD DE,8400H     ; D = COL
0AD7  18 22              JR N80F         ; E = ROW
0AD9  FE 05    N40F:     CP 05H
0ADB  20 05              JR NZ,N50F      ; TONE 8
0ADD  11 8208            LD DE,8208H     ; D = COL
0AE0  18 19              JR N80F         ; E = ROW
0AE2  FE 06    N50F:     CP 06H
0AE4  20 05              JR NZ,N60F      ; TONE 0
0AE6  11 8207            LD DE,8207H     ; D = COL
0AE9  18 10              JR N80F         ; E = ROW
0AEB  FE 07    N60F:     CP 07H
0AED  20 05              JR NZ,N70F      ; TONE #
0AEF  11 8407            LD DE,8407H     ; D = COL
0AF2  18 07              JR N80F         ; E = ROW
0AF4  FE 08    N70F:     CP 08H
0AF6  20 03              JR NZ,N80F      ; TONE B
0AF8  11 8800            LD DE,8800H     ; D = COL
0AFB  CD 0B00  N80F:     CALL TX         ; E = ROW
0AFE  D1                 POP DE
0AFF  C9                 RET

                         ;-----------------------------------------
                         ;  SUBRUTINE  TX
                         ;-----------------------------------------

0B00  C5       TX:       PUSH BC
0B01  7B                 LD A,E          ;ROW
0B02  D3 80              OUT (80H),A
0B04  7A                 LD A,D          ;COL
0B05  D3 81              OUT (81H),A
0B07  CD 0A0A            CALL DELAY2
0B0A  3E 00              LD A,00H
0B0C  D3 81              OUT (81H),A
0B0E  3E 0F              LD A,0FH
0B10  D3 80              OUT (80H),A
0B12  C1                 POP BC
0B13  C9                 RET

                         ;-----------------------------------------
                         ;  SUBRUTINE  CHECK BUSY
                         ;-----------------------------------------

0B14  DB 62    BUSY:     IN A,(62H)
0B16  CB 7F              BIT 7,A
0B18  28 11              JR Z,N1BUSY
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
0B1A  DB 41          IN A,(41H)
0B1C  E6 06          AND 06H
0B1E  CB 3F          SRL A
0B20  FE 04          CP 04H
0B22  20 2D          JR NZ,EBUSY
0B24  3E 00          LD A,00H
0B26  32 2160        LD (ADBUSY),A
0B29  18 26          JR EBUSY
0B2B  DB 41    N1BUSY:  IN A,(41H)
0B2D  E6 06          AND 06H
0B2F  CB 3F          SRL A
0B31  FE 02          CP 02H
0B33  30 04          JR NC,N2BUSY
0B35  3E 00          LD A,00H
0B37  18 08          JR N3BUSY
0B39  3A 2160  N2BUSY:  LD A,(ADBUSY)
0B3C  3C             INC A
0B3D  FE 03          CP 03H
0B3F  28 0D          JR Z,N4BUSY
0B41  32 2160  N3BUSY:  LD (ADBUSY),A
0B44  3E B0          LD A,0B0H
0B46  D3 40          OUT (40H),A
0B48  3E 21          LD A,21H
0B4A  D3 40          OUT (40H),A
0B4C  18 03          JR EBUSY
0B4E  CD 092D  N4BUSY:  CALL KSTOP
0B51  C9       EBUSY:  RET

                     ;-----------------------------------------
                     ;  SUBRUTINE  SET PORT
                     ;-----------------------------------------

0B52  3E 82    SEPORT:  LD A,82H
0B54  D3 43             OUT (43H),A
0B56  3E 91             LD A,91H          ; SET PORT 40H
0B58  D3 40             OUT (40H),A
0B5A  3E 01             LD A,01H
0B5C  D3 40             OUT (40H),A
0B5E  3E FF             LD A,0FFH         ; SET PORT 42H
0B60  D3 42             OUT (42H),A

0B62  3E 89             LD A,89H
0B64  D3 63             OUT (63H),A

0B66  3E 81             LD A,81H
0B68  D3 83             OUT (83H),A
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
0B6A  3E 2F          LD A,02FH        ; SET PORT 80H
0B6C  D3 80          OUT (80H),A

0B6E  3E 00          LD A,00H         ; SET PORT 81H,82H
0B70  D3 81          OUT (81H),A
0B72  D3 82          OUT (82H),A

0B74  C9             RET

                     ;-----------------------------------------
                     ;  SUBRUTINE  SET DATA
                     ;-----------------------------------------

0B75  DB 41          SEDATA:  IN A,(41H)
0B77  E6 01                   AND 01H
0B79  32 2100                 LD (ADDSTAT),A
0B7C  32 2103                 LD (ADDSTAT+03H),A
0B7F  DB 62                   IN A,(62H)
0B81  E6 40                   AND 40H
0B83  32 2101                 LD (ADDSTAT+01H),A
0B86  32 2104                 LD (ADDSTAT+04H),A
0B89  3E 00                   LD A,00H
0B8B  32 2102                 LD (ADDSTAT+02H),A
0B8E  32 2105                 LD (ADDSTAT+05H),A
0B91  32 2110                 LD (ADDSTAT+10H),A
0B94  32 2111                 LD (ADDSTAT+11H),A
0B97  3E FF                   LD A,0FFH
0B99  32 2120                 LD (ADDKEY),A
0B9C  32 2121                 LD (ADDTON),A
0B9F  32 2170                 LD (ADDELO),A
0BA2  32 2171                 LD (ADDEL1+00H),A
0BA5  32 2172                 LD (ADDEL1+01H),A
0BA8  3E 03                   LD A,03H
0BAA  32 2173                 LD (ADDEL1+02H),A

0BAD  DB 82                   IN A,(82H)
0BAF  E6 0F                   AND 0FH
0BB1  CB 4F                   BIT 1,A
0BB3  20 04                   JR NZ,N1DATA
0BB5  3E 00                   LD A,00H
0BB7  18 12                   JR N4DATA
0BB9  CB 57          N1DATA:  BIT 2,A
0BBB  20 04                   JR NZ,N2DATA
0BBD  3E 01                  LD A,01H
0BBF  18 0A                   JR N4DATA
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
08C1  CB 5F          N2DATA:  BIT 3,A
08C3  20 04                   JR NZ,N3DATA
08C5  3E 02                   LD A,02H
08C7  18 02                   JR N4DATA
08C9  3E 03          N3DATA:  LD A,03H
08CB  32 2130        N4DATA:  LD (ADRECO),A

08CE  3E 01                   LD A,01H
08D0  32 2131                 LD (ADREC1),A
08D3  32 2132                 LD (ADPLAY),A

08D6  3E 00                   LD A,00H
08D8  32 2140                 LD (ADPRO0),A
08DB  32 2141                 LD (ADPRO1),A
08DE  32 2142                 LD (ADPRO2),A

08E1  06 09                   LD B,09H
08E3  21 2190                 LD HL,ADTEXT
08E6  DD 21 0C0A              LD IX,TELEP
08EA  7E             L1DATA:  LD A,(HL)
08EB  DD BE 00                CP (IX+00H)
08EE  20 07                   JR NZ,N5DATA
08F0  23                      INC HL
08F1  DD 23                   INC IX
08F3  10 F5                   DJNZ L1DATA
08F5  18 10                   JR EDATA

08F7  3E FF          N5DATA:  LD A,0FFH
08F9  32 2100                 LD (ADDREO),A
08FC  21 2200                 LD HL,ADDMR
08FF  01 0640                 LD BC,0640H
0C02  77             L2DATA:  LD (HL),A
0C03  23                      INC HL
0C04  0D                      DEC C
0C05  20 F8                   JR NZ,L2DATA
0C07  10 F9          EDATA:   DJNZ L2DATA

0C09  C9                      RET

0C0A  54 45 4C 45    TELEP:   DB  'TELEPHONE'
0C0E  50 48 4F 4E
0C12  45

                              END
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Macros:

Symbols:

AD	2100	ADBUSY	2160	ADCONT	2150	ADDELO	2170
ADDEL1	2171	ADDKEY	2120	ADDKTO	2110	ADDMMR	21A0
ADDMR	2200	ADDMR1	2180	ADDMR2	2181	ADDMRX	2182
ADDRED	21CC	ADDSTA	2100	ADDTON	2121	ADPLAY	2132
ADPRO0	2140	ADPRO1	2141	ADPRO2	2142	ADRECO	2130
ADREC1	2131	ADTEXT	2190	BUSY	0814	DELAY1	09FD
DELAY2	0A0A	DELAY3	0A33	EBUSY	0851	EDATA	0C07
EDEL2	0A30	EDEL3	0A61	EMR	0844	EMRIN	087A
ENK	02E8	EP10	0453	EP11	047C	EP12	04AD
EP13	04BD	EP20	0507	EP21	0533	EP213	06E6
EP22	0554	EP221	074D	EP23	0575	EP231	0798
EP24	059F	EP241	07C8	EP242	07FF	EP2NX	0708
EP2XX	0688	EP30	05D7	EP31	060A	EP32	062D
EP33	064C	EPLAY	099C	EPRO0	0366	EPRO1	0396
EPRO2	03D2	EPRO3	0405	EPRO4	0411	EPRO5	0426
EPROG	0317	EPT41	0176	EPT62	01EF	EPT82	0205
ERDIN	085F	EREC	09EE	EREDI	0812	GEN_TO	088F
GT_L	091C	K0	0008	K1	0000	K2	0008
K3	0004	K4	0002	K5	000A	K6	0006
K7	0001	K8	0009	K9	0005	KH	0007
KSTOP	092D	KX	0003	K_MR	000E	K_REDI	0000
K_STOP	000C	K_TEL	000F	K_TO_N	0206	L1DATA	0BEA
L1DEL1	0A02	L1DEL2	0A12	L1MOMR	089C	L1MR	0824
L1MRIN	0869	L1RDIN	084E	L1REDI	0807	L2DATA	0C02
L2DEL1	0A00	L2DEL2	0A10	L2MOMR	08AA	L2MR	0832
L3DEL2	0A0E	L3MOMR	0880	L4DEL2	0A22	MAIN	0109
MOV_MR	087D	MR	0815	MR_IN	0862	N10KN	0292
N11KN	02A0	N12KN	02AE	N13KN	02BC	N14KN	02CA
N15KN	02D8	N16KN	02E6	N1BUSY	0828	N1DATA	0889
N1KN	0214	N1MAIN	0130	N1MOMR	088C	N1MR	0828
N1MRIN	0873	N10F	0A8E	N10N	0A6F	N1P10	0433
N1P11	0450	N1P12	0488	N1P20	04CC	N1P21	0516
N1P213	06A1	N1P22	0540	N1P221	0712	N1P23	0561
N1P231	0758	N1P24	0582	N1P241	07A8	N1P242	07DA
N1P2NX	06FA	N1P2XX	065E	N1P30	0586	N1P31	05E4
N1PLAY	095F	N1PRO0	0336	N1PRO1	0373	N1PRO2	03A3
N1PRO3	030F	N1PROG	02F5	N1PT62	01E0	N1PTT	01C5
N1RDIN	0858	N1REC	09AA	N2BUSY	0839	N2DATA	0BC1
N2KN	0222	N2MOMR	088F	N2MR	0838	N20F	0AC7
N20N	0A78	N2P10	043E	N2P11	0471	N2P12	04A2
N2P20	04D7	N2P21	0521	N2P213	06AC	N2P22	0549
N2P221	0725	N2P23	056A	N2P231	0768	N2P24	0588
N2P241	07B8	N2P242	07EA	N2P2XX	0678	N2P30	05C6
N2P31	05F4	N2P32	0622	N2P33	0641	N2PLAY	096C
N2PRO0	034F	N2PRO1	037C	N2PRO2	03AC	N2PRO3	03E8
N2PROG	02FE	N2PT62	01E8	N2PTT	01C8	N2REC	09B7

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

N3BUSY	0841	N3DATA	08C9	N3KN	0230	N3MOMR	08A0
N30F	0AD0	N30N	0A81	N3P20	04E2	N3P21	052C
N3P213	068C	N3P221	0733	N3P231	077A	N3P24	0594
N3P241	07C6	N3P242	07F3	N3P2XX	0685	N3P30	05CC
N3P31	05FF	N3PLAY	0979	N3PR01	0385	N3PR02	0385
N3PR03	03F1	N3PROG	0307	N3PTT	018E	N3REC	09C4
N4BUSY	084E	N4DATA	08C8	N4KN	023E	N4MOMR	08AE
N40F	0AD9	N40N	0A8A	N4P20	04ED	N4P213	06D1
N4P221	0741	N4P242	07FA	N4PLAY	0984	N4PR01	038E
N4PR02	038E	N4PR03	03FA	N4PROG	0310	N4REC	09CF
N5DATA	08F7	N5KN	024C	N50F	0AE2	N50N	0A93
N5P213	06E1	N5P221	0748	N5P231	0790	N5PLAY	0991
N5PR02	03C7	N5REC	09DC	N6KN	025A	N60F	0AEB
N60N	0A9C	N6P231	0795	N6PLAY	0993	N6REC	09DE
N7KN	0268	N70F	0AF4	N70N	0AA5	N8KN	0276
N80F	0AFB	N80N	0AAC	N9KN	0284	NGT0	0910
NGT1	08C8	NGT2	08D0	NGT3	08D8	NGT4	08E0
NGT5	08E8	NGT6	08F0	NGT7	08F8	NGT8	0900
NGT9	0908	NGTX	0918	NG_T	0928	NNP11	0467
NNP12	0495	NNP2XX	066E	NNP32	0618	NNP33	063B
NUM0	000A	NUM1	0001	NUM2	0002	NUM3	0003
NUM4	0004	NUM5	0005	NUM6	0006	NUM7	0007
NUM8	0008	NUM9	0009	NUMH	000C	NUMX	000B
NUM_MR	0051	NUM_RD	0052	NUM_ST	0050	NUM_TE	0053
OFCONT	0A81	ONCONT	0A62	PLAY	0952	PR00	0318
PR01	0367	PR010	0427	PR011	0454	PR012	047D
PR013	04AE	PR02	0397	PR020	048E	PR021	0508
PR0213	068D	PR022	0534	PR0221	0709	PR023	0555
PR0231	074E	PR024	0576	PR0241	079F	PR0242	07CC
PR02XX	06EC	PR02XX	064D	PR03	03D3	PR030	05A0
PR031	05D8	PR032	0608	PR033	062E	PR04	0406
PR05	0412	PR0G	02E9	PT41	0154	PT62	01CF
PT82	01F6	PTT41	0177	RD_IN	0847	REC	099D
REDAIL	0800	SEDATA	0875	SEPORT	0852	ST	0100
START	0100	STOP	09EF	TELEP	0C0A	TX	0800

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สรุป

ปริญญานิพนธ์เรื่องเครื่องโทรศัพท์มัลติฟังก์ชัน เป็นการใช้ไมโครโปรเซสเซอร์มาควบคุมการทำงานของระบบ ทำให้การทำงานรวดเร็ว การใช้งานสะดวก อุปกรณ์ที่ใช้งานในเครื่องก็เป็นอุปกรณ์ที่หาซื้อได้ทั่วไป ทำให้สามารถผลิตได้เอง ความสามารถในการทำงานของเครื่องสามารถใช้งานได้ตามวัตถุประสงค์ หรือว่าคงมีประโยชน์ต่อบุคคลที่สนใจ

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

8255A/8255A-5
PROGRAMMABLE PERIPHERAL INTERFACE

- MCS-85™ Compatible 8255A-5
- 24 Programmable I/O Pins
- Completely TTL Compatible
- Fully Compatible with Intel® Microprocessor Families
- Improved Timing Characteristics
- Direct Bit Set/Reset Capability Easing Control Application Interface
- Reduces System Package Count
- Improved DC Driving Capability
- Available in EXPRESS
  - —Standard Temperature Range
  - —Extended Temperature Range

The Intel® 8255A is a general purpose programmable I/O device designed for use with Intel® microprocessors. It has 24 I/O pins which may be individually programmed in 2 groups of 12 and used in 3 major modes of operation. In the first mode (MODE 0), each group of 12 I/O pins may be programmed in sets of 4 to be input or output. In MODE 1, the second mode, each group may be programmed to have 8 lines of input or output. Of the remaining 4 pins, 3 are used for handshaking and interrupt control signals. The third mode of operation (MODE 2) is a bidirectional bus mode which uses 8 lines for a bidirectional bus, and 5 lines, borrowing one from the other group, for handshaking.

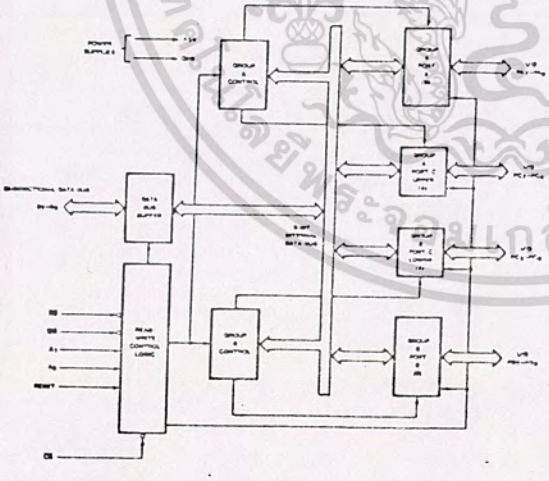


Figure 1. 8255A Block Diagram

Figure 2. Pin Configuration

*INTEL CORPORATION, 1982.

Order Number: 231308-001

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

8255A FUNCTIONAL DESCRIPTION

General

The 8255A is a programmable peripheral interface (PPI) device designed for use in Intel® microcomputer systems. Its function is that of a general purpose I/O component to interface peripheral equipment to the microcomputer system bus. The functional configuration of the 8255A is programmed by the system software so that normally no external logic is necessary to interface peripheral devices or structures.

Data Bus Buffer

This 3-state bidirectional 8-bit buffer is used to interface the 8255A to the system data bus. Data is transmitted or received by the buffer upon execution of input or output instructions by the CPU. Control words and status information are also transferred through the data bus buffer.

Read/Write and Control Logic

The function of this block is to manage all of the internal and external transfers of both Data and Control or Status words. It accepts inputs from the CPU Address and Control busses and in turn, issues commands to both of the Control Groups.

($\overline{CS}$)

Chip Select. A "low" on this input pin enables the communiction between the 8255A and the CPU.

($\overline{RD}$)

Read. A "low" on this input pin enables the 8255A to send the data or status information to the CPU on the data bus. In essence, it allows the CPU to "read from" the 8255A.

($\overline{WR}$)

Write. A "low" on this input pin enables the CPU to write data or control words into the 8255A.

(A_0 and A_1)

Port Select 0 and Port Select 1. These input signals, in conjunction with the RD and WR inputs, control the selection of one of the three ports or the control word registers. They are normally connected to the least significant bits of the address bus (A_0 and A_1).

8255A BASIC OPERATION

A_1	A_0	$\overline{RD}$	$\overline{WR}$	$\overline{CS}$	INPUT OPERATION (READ)
0	0	0	1	0	PORT A – DATA BUS
0	1	0	1	0	PORT B – DATA BUS
1	0	0	1	0	PORT C – DATA BUS
					OUTPUT OPERATION (WRITE)
0	0	1	0	0	DATA BUS – PORT A
0	1	1	0	0	DATA BUS – PORT B
1	0	1	0	0	DATA BUS – PORT C
1	1	1	0	0	DATA BUS – CONTROL
					DISABLE FUNCTION
X	X	X	X	1	DATA BUS – 3-STATE
1	1	0	1	0	ILLEGAL CONDITION
X	X	1	1	0	DATA BUS – 3-STATE

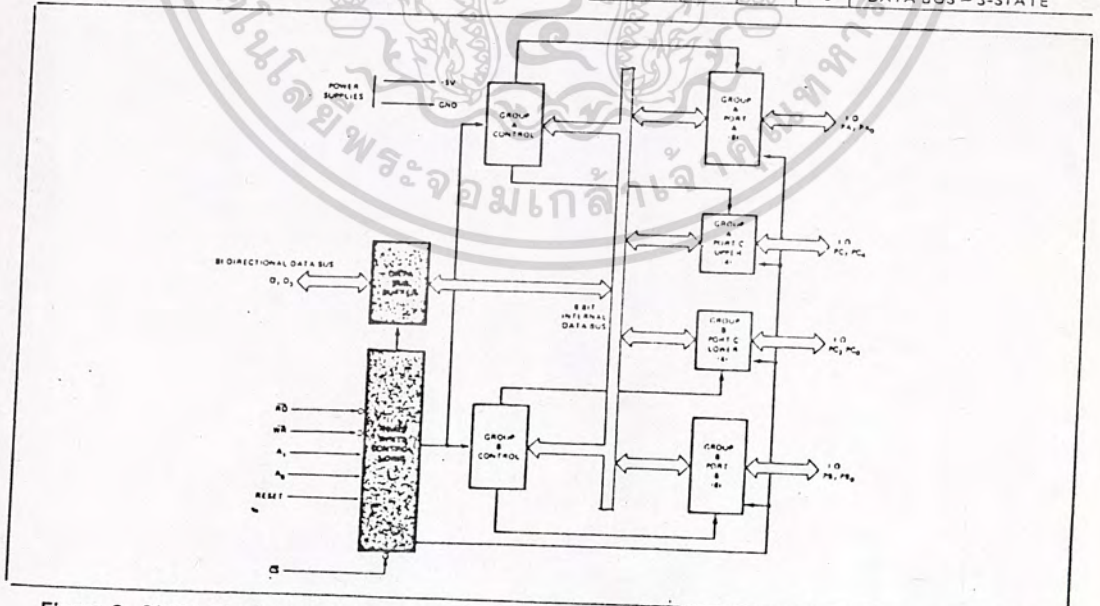


Figure 3. 8255A Block Diagram Showing Data Bus Buffer and Read/Write Control Logic Functions

231308-001

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

(RESET)

Reset. A "high" on this input clears the control register and all ports (A, B, C) are set to the input mode.

Group A and Group B Controls

The functional configuration of each port is programmed by the systems software. In essence, the CPU "outputs" a control word to the 8255A. The control word contains information such as "mode", "bit set", "bit reset", etc., that initializes the functional configuration of the 8255A.

Each of the Control blocks (Group A and Group B) accepts "commands" from the Read/Write Control Logic, receives "control words" from the internal data bus and issues the proper commands to its associated ports.

Control Group A – Port A and Port C upper (C7-C4)
Control Group B – Port B and Port C lower (C3-C0)

The Control Word Register can Only be written into. No Read operation of the Control Word Register is allowed.

Ports A, B, and C

The 8255A contains three 8-bit ports (A, B, and C). All can be configured in a wide variety of functional characteristics by the system software but each has its own special features or "personality" to further enhance the power and flexibility of the 8255A.

Port A. One 8-bit data output latch/buffer and one 8-bit data input latch.

Port B. One 8-bit data input/output latch/buffer and one 8-bit data input buffer.

Port C. One 8-bit data output latch/buffer and one 8-bit data input buffer (no latch for input). This port can be divided into two 4-bit ports under the mode control. Each 4-bit port contains a 4-bit latch and it can be used for the control signal outputs and status signal inputs in conjunction with ports A and B.

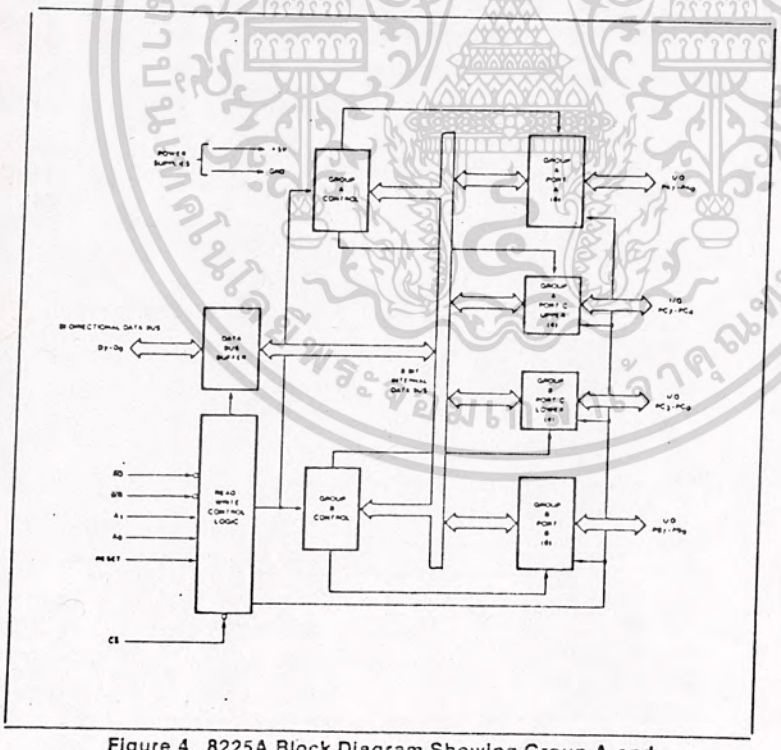


Figure 4. 8225A Block Diagram Showing Group A and Group B Control Functions

PIN CONFIGURATION

PIN NAMES

D_7-D_0	DATA BUS (BI-DIRECTIONAL)
RESET	RESET INPUT
$\overline{CS}$	CHIP SELECT
$\overline{RD}$	READ INPUT
$\overline{WR}$	WRITE INPUT
A0, A1	PORT ADDRESS
PA7-PA0	PORT A (BIT)
PB7-PB0	PORT B (BIT)
PC7-PC0	PORT C (BIT)
V_{CC}	+5 VOLTS
GND	0 VOLTS

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

8255A OPERATIONAL DESCRIPTION

Mode Selection

There are three basic modes of operation that can be selected by the system software:

Mode 0 – Basic Input/Output
Mode 1 – Strobed Input/Output
Mode 2 – Bi-Directional Bus

When the reset input goes "high" all ports will be set to the input mode (i.e., all 24 lines will be in the high impedance state). After the reset is removed the 8255A can remain in the input mode with no additional initialization required. During the execution of the system program any of the other modes may be selected using a single output instruction. This allows a single 8255A to service a variety of peripheral devices with a simple software maintenance routine.

The modes for Port A and Port B can be separately defined, while Port C is divided into two portions as required by the Port A and Port B definitions. All of the output registers, including the status flip-flops, will be reset whenever the mode is changed. Modes may be combined so that their functional definition can be "tailored" to almost any I/O structure. For instance; Group B can be programmed in Mode 0 to monitor simple switch closings or display computational results, Group A could be programmed in Mode 1 to monitor a keyboard or tape reader on an interrupt-driven basis.

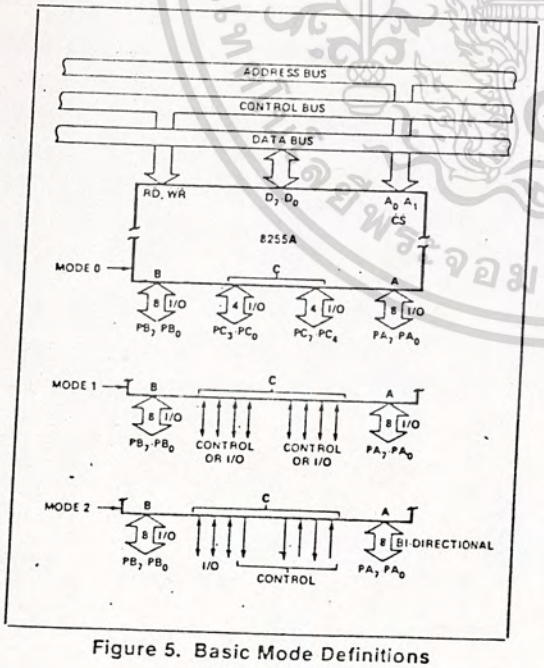


Figure 5. Basic Mode Definitions and Bus Interface

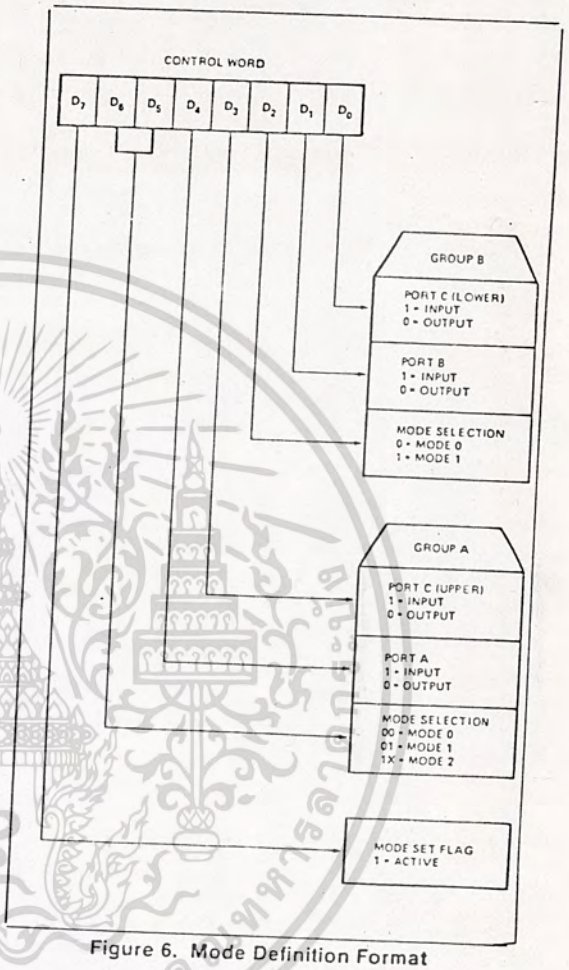


Figure 6. Mode Definition Format

The mode definitions and possible mode combinations may seem confusing at first but after a cursory review of the complete device operation a simple, logical I/O approach will surface. The design of the 8255A has taken into account things such as efficient PC board layout, control signal definition vs PC layout and complete functional flexibility to support almost any peripheral device with no external logic. Such design represents the maximum use of the available pins.

Single Bit Set/Reset Feature

Any of the eight bits of Port C can be Set or Reset using a single OUTput instruction. This feature reduces software requirements in Control-based applications.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

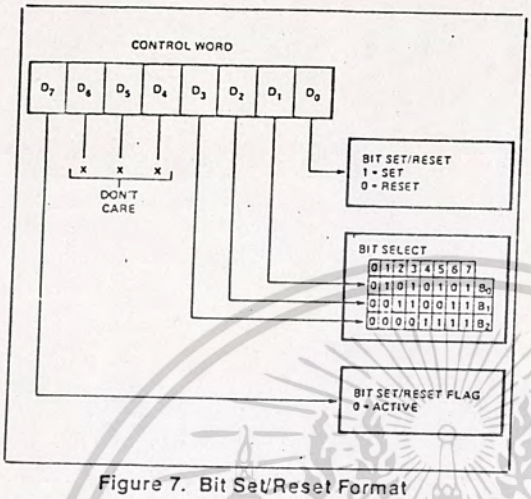


Figure 7. Bit Set/Reset Format

When Port C is being used as status/control for Port A or B, these bits can be set or reset by using the Bit Set/Reset operation just as if they were data output ports.

Interrupt Control Functions

When the 8255A is programmed to operate in mode 1 or mode 2, control signals are provided that can be used as interrupt request inputs to the CPU. The interrupt request signals, generated from port C, can be inhibited or enabled by setting or resetting the associated INTE flip-flop, using the bit set/reset function of port C.

This function allows the Programmer to disallow or allow a specific I/O device to interrupt the CPU without affecting any other device in the interrupt structure.

INTE flip-flop definition:

(BIT-SET) — INTE is SET — Interrupt enable
(BIT-RESET) — INTE is RESET — Interrupt disable

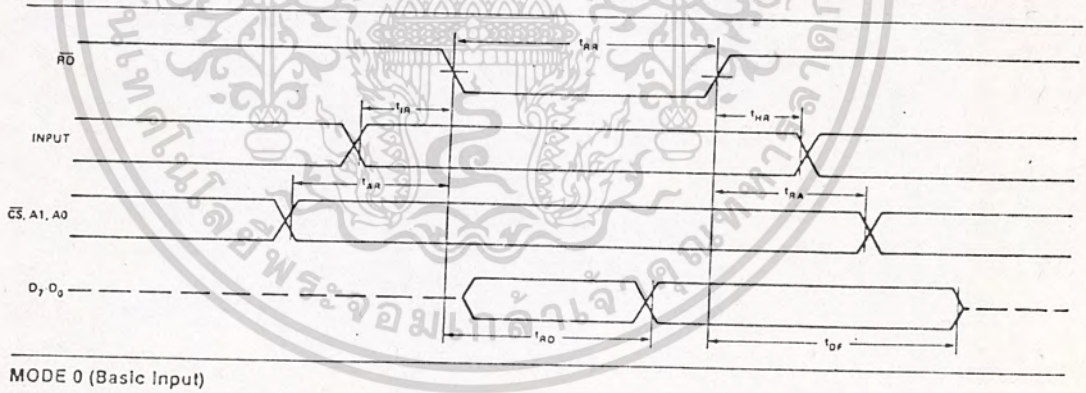
Note: All Mask flip-flops are automatically reset during mode selection and device Reset.

Operating Modes

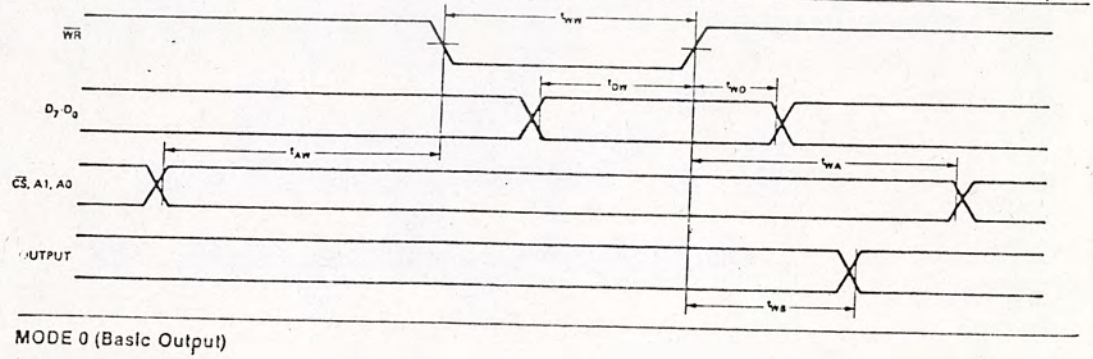
MODE 0 (Basic Input/Output). This functional configuration provides simple input and output operations for each of the three ports. No "handshaking" is required, data is simply written to or read from a specified port.

Mode 0 Basic Functional Definitions:

- Two 8-bit ports and two 4-bit ports.
- Any port can be input or output.
- Outputs are latched.
- Inputs are not latched.
- 16 different Input/Output configurations are possible in this Mode.



MODE 0 (Basic Input)



MODE 0 (Basic Output)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Absolute Maximum Ratings*

Supply Voltage (V_{DD}) . . . . . ≤ 6.0V
Input Voltage (V_{IN}) . . . . . V_{SS} −0.3V to V_{DD} +0.3V
Output Voltage (V_{OUT}) . . . . . V_{SS} −0.3V to V_{DD} +0.3V
Output Voltage (V_{OUT}) ($\overline{DP}$, $\overline{XMIT}$ $\overline{MUTE}$.) . . . ≤ V_{DD}
Tone Output Current (I_{TONE}) . . . . . ≤ 50mA
Power Dissipation (P_D) . . . . . ≤ 500mW
Operating Temperature (T_{OP}) . . . . . −20°C to +70°C
Storage Temperature (T_{STG}) . . . . . −40°C to +125°C

*Comments

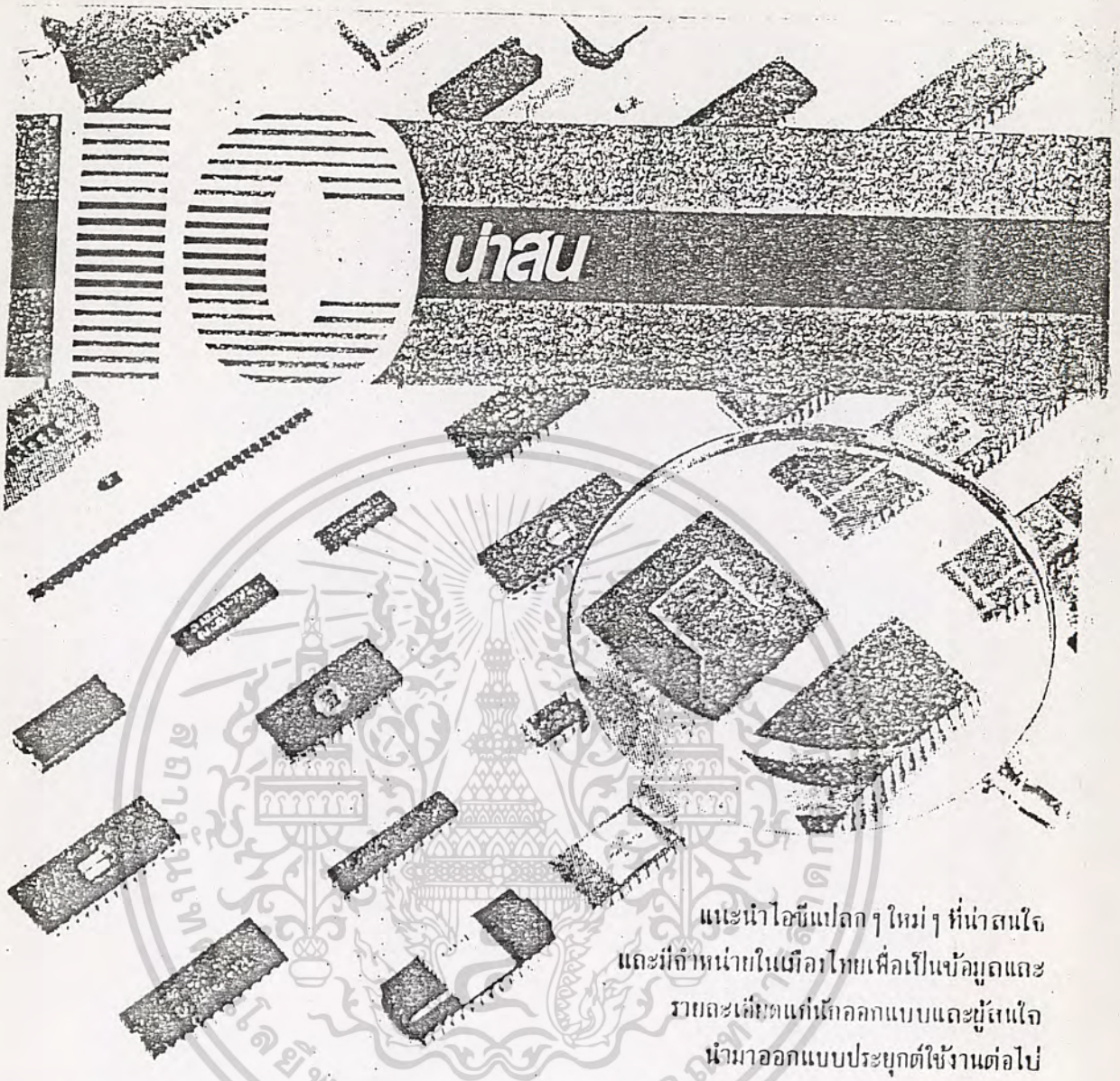
Stresses above those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. This is a stress rating only and functional operation of the device at these or any other conditions above those indicated in the operational sections of this specification is not implied.

Electrical Characteristics

(V_{SS} = 0V, V_{DD} = 3.5V, $F_{x'tal}$ = 3.58 MHz, T_{OP} = 25°C unless otherwise secified)

Parameter	Symbol	Min.	Typ.	Max.	Units	Conditions		
Operating Voltage Range	V_{DD} P	2.0		5.5	V	Pulse mode	All inputs connected to V_{DD} or V_{SS}	
	V_{DD} T	2.0		5.5		Tone mode		
Memory Retention Voltage	V_{DR}	1.0			V	$\overline{HS}$ = V_{DD}		
Operating Supply Current	I_{DD} P		0.4	1.0	mA	One key selected, $\overline{HS}$ = V_{SS}, All outputs unloaded		$\overline{MODE}$ = V_{DD}
	I_{DD} T		1.0	2.0	mA			$\overline{MODE}$ = V_{SS}
Standby Current	I_{SD1}		0.03	0.05	µA	No key selected, All outputs unloaded.		$\overline{HS}$ = V_{DD} = 1.5V
	I_{SD2}		70	140				$\overline{HS}$ = V_{SS}
Output Current	I_{OL1}	1.7	5.0		mA	$\overline{DP}$	VOL = 0.4V	V_{DD} = 3.5V
	I_{OL2}	0.5	1.5			$\overline{XMIT}$ $\overline{MUTE}$		V_{DD} = 2.5V
Input Voltage	V_{IH}	0.8 V_{DD}		V_{DD}	V	R1-R4, C1-C3, $\overline{HS}$, M/B		
	V_{IL}	V_{SS}		0.2 V_{DD}		$\overline{MODE}$ SELECT		
Input Current			116		µA	R1-R4	V_{DD} = 3.5V, V_{IN} = 0V	
			50				V_{DD} = 2.5V, V_{IN} = 0V	
Valid Key Entry Time	Tkd	23		25.3	ms			
Column and Row Scanning Frequency	Fcr		445		Hz			
Auto Access Pause Time	Tap		3.6		sec			
Tone Output	Vor	−16.0		−12.0	dBV	Row tone only	V_{DD} = 2.5V, RL = 5K	
		−14.0		−11.0	dBV		V_{DD} = 3.5V, RL = 5K	
Ratio of Column to Row Tone	dBcr		2.0		dB	V_{DD} = 3.5V		
Distortion	%DIS			10	%	V_{DD} = 3.5V		
Tone Output Delay Time	T psd		1.5		ms			

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



แนะนำไอซีแปลก ๆ ใหม่ ๆ ที่น่าสนใจ
และมีจำหน่ายในเมืองไทยเพื่อเป็นข้อมูลและ
รายละเอียดแก่นักออกแบบและผู้สนใจ
นำมาออกแบบประยุกต์ใช้งานต่อไป

MT8870

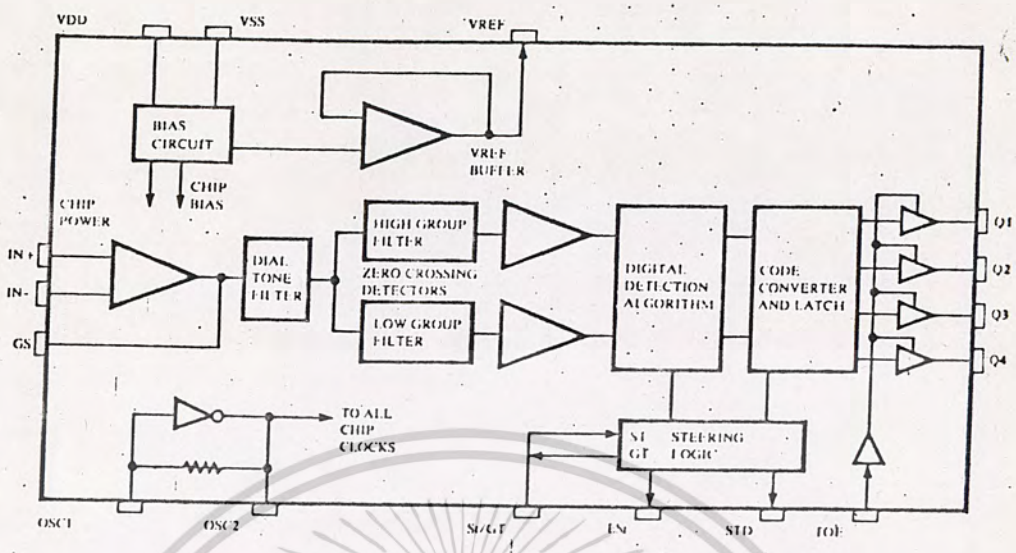
ใช้ถอดรหัสความถี่ของโทรศัพท์ชนิดกดปุ่ม (DTMF) ให้เป็นตัวเลข BCD ขนาด 4 บิต โดยใช้งานร่วมกับคริสตอล 3.579 MHz เท่านั้น

MT8870 ไอซีถอดรหัสความถี่โทรศัพท์ (Integrated DTMF Receiver)

เมื่อเอ่ยถึงไอซีทางโทรศัพท์ ช่างหรือวิศวกรส่วนใหญ่มักจะส่ายหน้า สาเหตุก็เนื่องมาจากบ้านเราไม่ค่อยมีผู้นำเข้ามาจำหน่าย หายาก คู่มือไม่มี ขาดการเผยแพร่ ทั้ง ๆ ที่ในปัจจุบันโทรศัพท์มีส่วนสำคัญกับชีวิตประจำวันของเรา

คอลัมน์ "ไอซีน่าสน" มีจุดประสงค์ในการนำรายละเอียด, ข้อมูลทางเทคนิค, การออกแบบ, ตลอดจนการประยุกต์ใช้งานของไอซีที่มีคุณสมบัติและความสามารถที่น่าสนใจเป็นพิเศษ มาเผยแพร่ต่อผู้อ่าน เพื่อการนำไปออกแบบใช้งานให้เป็นประโยชน์โดยกว้างขวางต่อไป

หากบริษัท, ร้านค้า หรือผู้จำหน่ายไอซี มีไอซีแปลกใหม่ มีจุดเด่นที่น่าสนใจ และต้องการเผยแพร่ โปรดส่งรายละเอียดข้อมูลทางเทคนิค (data) และแนวทางการออกแบบใช้งาน (application) พร้อมตัวอย่างไอซีหรืออุปกรณ์ใช้งาน ไปยัง คอลัมน์ "ไอซีน่าสน". วารสาร เซมิคอนดักเตอร์ อิเลคทรอนิคส์ บริษัท ซีเอ็ดยูเคชั่น จำกัด 800/43-45 ซอยพระอุดมสุข ถนนสุโขทัย-ดินแดง ห้วยขวาง กรุงเทพฯ 10400



รูปที่ 2 แสดงโครงสร้างภายในของ MT8870

อย่างมากมาย และนับวันก็จะยิ่งทวีความสำคัญเพิ่มมากขึ้นทุกที และอุตสาหกรรมทางด้านโทรศัพท์ และการสื่อสารก็ขยายตัวขึ้นอย่างรวดเร็ว ดังนั้นช่างหรือวิศวกรอย่างพวกเราก็น่าจะมาศึกษาเอาไว้ เพื่อจะได้นำมาใช้งานได้ในโอกาสต่อไป

ก่อนอื่นขอให้ความหมายของคำว่า *ถอดรหัสความถี่โทรศัพท์* อันหมายถึง การแปลงสัญญาณความถี่ซึ่งเกิดจากการกดปุ่มตัวเลขของโทรศัพท์ชนิดกดปุ่ม (ชนิด Tone หรือ DTMF) ให้เป็นระบบตัวเลขทางดิจิตอล ซึ่งไอซี MT8870 ใช้แปลงความถี่โทรศัพท์ให้เป็นเลขฐานสองขนาด 4 บิต

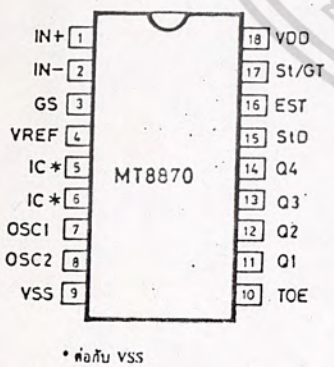
ในยุคก่อน การออกแบบวงจรถอดรหัสความถี่ของโทรศัพท์ มักใช้ไอซีจำพวกเฟสล็อกลูปซึ่งสร้างปัญหาสารพัด ไม่ว่าเรื่องของความถี่ที่เปลี่ยนแปลงไป การปรับแต่งวงจร ขนาดของวงจรที่ใหญ่ เพราะต้องใช้ไอซีจำนวนมาก

คุณสมบัติของ MT8870

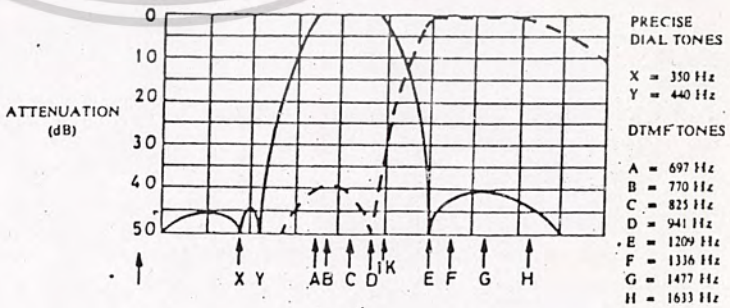
- ☐ เป็นตัวรับและถอดรหัสความถี่ (DTMF receiver)
- ☐ กินไฟน้อย ใช้ไฟเลี้ยงระดับเดียวกับ TTL
- ☐ สามารถตั้งอัตราขยายภายในตัวไอซีได้
- ☐ สามารถปรับการ์ดไทม์ (Guard time) ได้
- ☐ เป็นไอซีคุณภาพสูง

การนำ MT8870 ไปใช้งาน

- ☐ นำไปใช้งานด้านรีโมตคอนโทรล
- ☐ เครื่องป้องกันโทรศัพท์ทางไกล
- ☐ ใช้ในงานเกี่ยวกับเครดิตการ์ด
- ☐ ใช้งานร่วมกับคอมพิวเตอร์



รูปที่ 1 แสดงรายละเอียดขาของ MT8870



รูปที่ 3 แสดงความถี่ที่ได้จากภาคกรองความถี่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

[ ] ใช้ในเครื่องชุมสายขนาดย่อย หรือ PABX

☐ ใช้กับงานทางด้านโทรศัพท์ทั่วไป

☐ เครื่องกันขโมย

☐ การควบคุมอุปกรณ์ทางโทรศัพท์

☐ ใช้ทำเครื่องสอบถามทางโทรศัพท์

โครงสร้างของ MT8870

โครงสร้างภายในของ MT8870 ประกอบไปด้วยวงจรกรองความถี่และวงจรถอดรหัสฟังก์ชันทางดิจิตอล เป็นไอซีที่สร้างโดยใช้เทคโนโลยี ISO²-CMOS ในส่วนของวงจรกรองความถี่ใช้เทคนิคของสวิตช์คาปาซิเตอร์ฟิลเตอร์ สำหรับกรองความถี่สูงและต่ำ ส่วนวงจรถอดรหัสใช้เทคนิคการนับทางดิจิตอลเพื่อตรวจจับและถอดรหัสทั้ง 16 ความถี่ออกเป็นเลขฐานสองขนาด 4 บิต และเช็คช่วงเวลาที่สัญญาณเข้ามา ส่วนภาคอินพุตเป็นออปแอมป์ ซึ่งสามารถปรับอัตราขยายได้โดยต่ออุปกรณ์ภายนอก เอาต์พุตเป็นวงจรแลตช์ 3 สถานะ รูปที่ 1 แสดงขาของ MT8870 และรูปที่ 2 แสดงโครงสร้างภายในของ MT8870

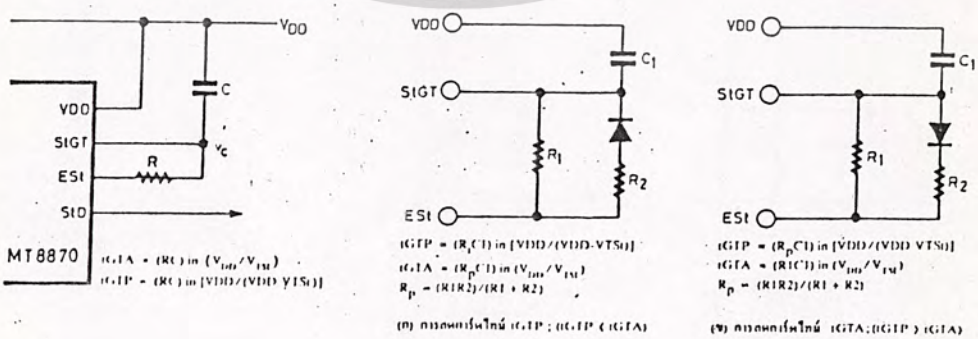
F_{LOW}	F_{HIGH}	NO	TOE	Q_4	Q_3	Q_2	Q_1
697	1209	1	H	0	0	0	1
697	1336	2	H	0	0	1	0
697	1477	3	H	0	0	1	1
770	1209	4	H	0	1	0	0
770	1336	5	H	0	1	0	1
770	1477	6	H	0	1	1	0
852	1209	7	H	0	1	1	1
852	1336	8	H	1	0	0	0
852	1477	9	H	1	0	0	1
941	1336	0	H	1	0	1	0
941	1209	*	H	1	0	1	1
941	1477	#	H	1	1	0	0
697	1633	A	H	1	1	0	1
770	1633	B	H	1	1	1	0
852	1633	C	H	1	1	1	1
941	1633	D	H	0	0	0	0
-	-	ANY	L	Z	Z	Z	Z

รูปที่ 4 แสดงค่าที่ถอดรหัสได้จากความถี่ต่าง ๆ

ฟังก์ชันการทำงานภายใน MT8870

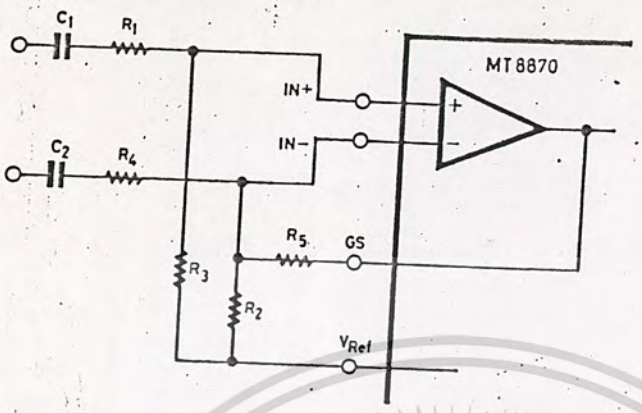
ภายใน MT8870 ประกอบด้วยส่วนสำคัญ 5 ส่วน คือ

- ภาคกรองความถี่ (filter section)
- ภาคถอดรหัส (decoder section)
- ภาคตรวจสอบสัญญาณ (steering circuit)
- ภาคขยายสัญญาณความแตกต่าง (differential input)
- ภาคกำเนิดความถี่ (oscillator)



รูปที่ 5 แสดงวงจรตรวจสอบสัญญาณอย่างง่ายและแสดงการกำหนดเวลาการ์ดไทม์ (gard time) พร้อมวิธีคำนวณ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



ภาคขยายความแตกต่างด้านอินพุต

$C_1 = C_2 = 10$ nF

$R_1 = R_4 = R_5 = 100K\Omega$ ค่าผิดพลาด ±1%

$R_2 = 60K\Omega$, $R_3 = 37.5\ K\Omega$ ค่าผิดพลาด ±5%

$R_3 = \frac{R_2 R_5}{R_2 + R_5}$

อัตราขยายแรงดัน (A_V diff) $= \frac{R_5}{R_1}$

อินพุตอิมพีแดนซ์

$(Z_{INDIFF}) = 2\sqrt{R_1^2 + \left(\frac{1}{\omega C}\right)^2}$

รูปที่ 6 แสดงการต่อวงจรภาคอินพุต

ภาคกรองสัญญาณความถี่

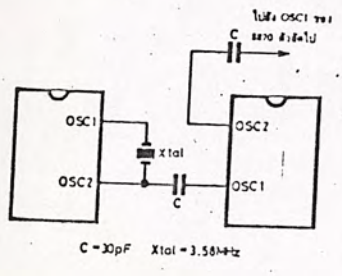
ในส่วนนี้จะแยกสัญญาณ DTMF ที่เข้ามาออกเป็น 2 กลุ่มความถี่ คือ ช่วงความถี่สูงและช่วงความถี่ต่ำ โดยใช้วงจรกรองแถบความถี่ผ่านต้น 6 ชนิด สวิตช์คาปาซิเตอร์ (six-order switched capacitor band pass filter) ซึ่งความถี่ที่แยกได้มี 2 ช่วง คือช่วงความถี่สูงและช่วงความถี่ต่ำ

ภาคถอดรหัส

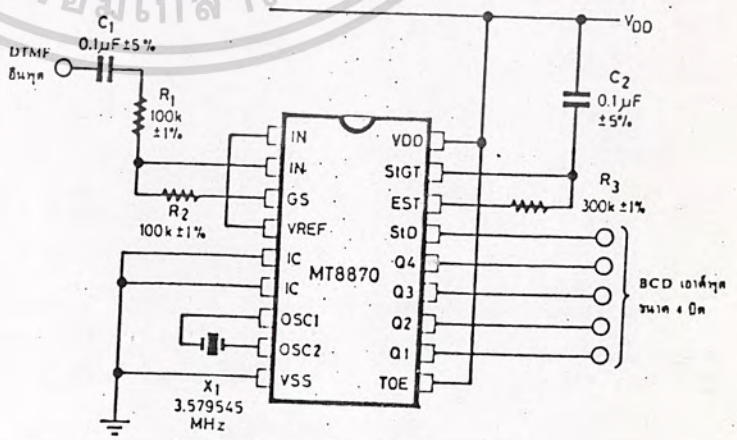
ความถี่ DTMF ที่ถูกกรองเรียบร้อยแล้วจะผ่านเข้าวงจรถอดรหัสความถี่ออกเป็นตัวเลข โดยใช้เทคนิคการนับแบบดิจิตอล และมีการตรวจสอบความถี่ที่เข้ามาว่าเป็นความถี่มาตรฐาน DTMF หรือไม่ เพื่อป้องกันความถี่อื่นเข้ามาผสม เมื่อตรวจสอบว่าความถี่นั้นถูกต้อง สัญญาณที่ขา ESt (early steering) ก็จะแสดงทีฟสำหรับค่าที่ถอดรหัสได้จากความถี่ต่าง ๆ นั้น แสดงในรูปที่ 4

ภาคตรวจสอบสัญญาณ

ก่อนที่จะมีการถอดรหัสความถี่ออกไปที่เอาต์พุต จะมีการตรวจสอบช่วงความถี่ที่เข้ามาว่ามีระยะเวลาตามที่กำหนดหรือไม่ โดยสังเกตจากระยะเวลาการกดปุ่มโทรศัพท์ ซึ่งต้องกดปุ่มให้มีความถี่ออกมาเป็นช่วงเวลาพอสมควร มิฉะนั้นวงจรส่วนนี้จะไม่รับ โดยถือว่าสัญญาณนั้นไม่ถูกต้อง ส่วนช่วงเวลายาวเท่าใดสามารถตั้งได้โดยใช้ RC ต่อภายนอก สัญญาณที่ขา ESt จะเป็น "High" นานใกล้เคียงกับระยะเวลาที่มีความถี่ DTMF เข้ามา จากรูปที่ 5 เมื่อขา ESt เป็น "High" ทำให้ V_C สูงขึ้น ตัวเก็บประจุ C จะคายประจุทำให้แรงดัน V_C สูงขึ้นจนถึงค่าเทรชโฮลด์ วงจรถอดรหัส จึงจะถอดรหัสออกเป็นตัวเลขขนาด 4 บิต รายละเอียดการทำงานของให้ดูจากแผนภูมิเวลาหรือไทมิ่งไดอะแกรม (timing diagram) ในรูปที่ 9 จะเข้าใจได้ง่ายกว่า

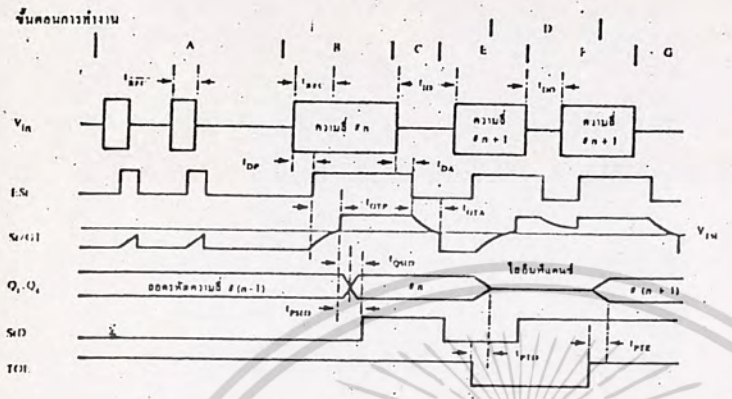


รูปที่ 7 แสดงการต่อวงจรผลิตความถี่



รูปที่ 8 แสดงวงจรใช้งานเบื้องต้นของ MT8870

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



อธิบายขั้นตอนการทำงาน

A - ตรวจพบความถี่เข้ามา แต่คาบเวลาไม่ถูกต้อง เอาต์พุตไม่เปลี่ยน

B - ความถี่ # n ถูกตรวจพบและมีคาบเวลาที่ถูกต้อง ความถี่ถูกถอดรหัส และแลตช์ไว้ที่เอาต์พุต

C - จบความถี่ # n ช่วงห่างถูกต้อง เอาต์พุตยังคงแลตช์อยู่จนกว่าจะได้รับความถี่ที่ถูกต้องใหม่

D - เอาต์พุตเปลี่ยนเป็นไฮอิมพีแดนซ์

E - ความถี่ # n + 1 ถูกตรวจพบ คาบเวลาถูกต้อง ความถี่ถูกถอดรหัสและแลตช์ไว้

F - ความถี่ # n + 1 หายไป ช่วงห่างไม่ถูกต้อง เอาต์พุตยังคงแลตช์อยู่

C - จบความถี่ # n + 1 ช่วงห่างถูกต้อง เอาต์พุตยังแลตช์อยู่จนถึงความถี่ใหม่ที่ถูกต้อง

อธิบายคำศัพท์

V_{in} - สัญญาณความถี่ DTMF ที่เข้ามา

ESt - Early Steering output ใช้แสดงความถี่ที่ถูกต้อง

St/GT - Steering input/Guard Time output สำหรับต่อกับ RC ภายนอก

Q_1-Q_4 - เอาต์พุต BCD ขนาด 4 บิต

StD - Delayed Steering output ใช้แสดงว่าความถี่ที่ได้รับหรือหายไป มีคาบเวลาตามที่กำหนด เพื่อแสดงความถูกต้องของสัญญาณ

TOE - Tone Output Enable (input) ใช้ควบคุม Q_1-Q_4 ให้เป็นไฮอิมพีแดนซ์

$t_{\overline{REC}}$ - คาบเวลานานสุดที่ตรวจพบความถี่ DTMF แล้วยังไม่ถูกต้อง

t_{REC} - คาบเวลาสั้นสุดที่ต้องการเพื่อแสดงว่าสัญญาณถูกต้อง

t_{ID} - เวลาสั้นสุดระหว่างสัญญาณ DTMF ที่ถูกต้อง 2 สัญญาณ

t_{DO} - เวลานานสุดที่ยอมให้สัญญาณหายไปได้ในคาบเวลาความถี่ที่ถูกต้อง

t_{DP} - เวลาที่ใช้ในการตรวจพบสัญญาณความถี่ DTMF ที่ถูกต้อง

t_{DA} - เวลาที่ใช้ในการตรวจการหายไปของสัญญาณความถี่ DTMF ที่ถูกต้อง

t_{GTP} - การ์ดไทม์ของการปรากฏความถี่ DTMF

t_{GTA} - การ์ดไทม์ของการหายไปของความถี่ DTMF

รูปที่ 9 แสดงแผนภูมิเวลา (timing diagram) ของ MT8870

สำหรับคำว่าการ์ดไทม์ (gard time) นั้นหมายถึง ช่วงคาบเวลาของความถี่ที่เข้ามา ซึ่งจะต้องนานเท่ากับหรือมากกว่าช่วงเวลาที่เราตั้งไว้ จึงจะได้รับการยอมรับว่าสัญญาณความถี่นั้นถูกต้อง หรือพูดได้ว่าเวลาที่เราตั้งไว้โดย RC ก็คือการ์ดไทม์นั่นเอง เมื่อสัญญาณความถี่เข้ามานานเท่าหรือมากกว่าเวลาที่ตั้งไว้จึงจะสามารถแปลงเป็นตัวเลขได้ ถ้าสัญญาณความถี่เข้ามาสั้นกว่าก็จะไม่มีการถอดรหัสเป็นตัวเลขออกไป การตั้งเวลาและคำนวณเวลาดูได้จากรูปที่ 5

ภาคขยายสัญญาณความแตกต่าง

วงจรส่วนอินพุตของ MT8870 เป็นภาคขยายออปแอมป์ที่สามารถปรับอัตราขยายโดยต่อวงจรภายนอกเพิ่มเข้าไป รูปที่ 8 แสดงการต่อวงจรภายนอกเข้ากับอินพุตซึ่งสามารถคำนวณอัตราขยายความแตกต่างของอินพุตและอิมพีแดนซ์ได้ ดังนี้

$$\text{อัตราขยาย } (A_v\text{diff}) = \frac{R_2}{R_1}$$

$$\text{อินพุตอิมพีแดนซ์ } (Z_{in}\text{diff}) = 2.\sqrt{R_1^2 + \left(\frac{1}{\omega c}\right)^2}$$

ภาคกำเนิดความถี่

ในภาคนี้ภายในไอซีจะมีวงจรเวลาอยู่ภายใน เพียงแต่ต่อแร่คริสตอลขนาด 3.58 MHz ก็สามารถใช้งานได้ทันที การต่อวงจรกำเนิดความถี่แสดงในรูปที่ 7

ไอซีถอดรหัสสัญญาณโทรศัพท์เบอร์ MT8870 นี้ มีจำหน่ายที่บริษัท อิเล็กทรอนิกส์ ซอร์ส จำกัด เลขที่ 138 ถนนบำเหน็จ กรุงเทพฯ 10200 โทรศัพท์ 225-6986 และที่บริษัท อิเล็กทรอนิกส์ ไอซีซัพพลาย เลขที่ 8 ถนนพระพิทักษ์ บ้านหม้อ กรุงเทพฯ 10200 โทรศัพท์ 2234409 ถ้าต้องการรายละเอียดหรือข้อมูลเพิ่มเติมโปรดติดต่อกับผู้จำหน่ายโดยตรง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น ไม่อนุญาตให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของลิขสิทธิ์ทุกครั้งที่มีการนำไปใช้

MM54C922/MM74C922 16-Key Encoder
MM54C923/MM74C923 20-Key Encoder

general description

These CMOS key encoders provide all the necessary logic to fully encode an array of SPST switches. The keyboard scan can be implemented by either an external clock or external capacitor. These encoders also have on-chip pull-up devices which permit switches with up to 50 kΩ on resistance to be used. No diodes in the switch array are needed to eliminate ghost switches. The internal debounce circuit needs only a single external capacitor and can be defeated by omitting the capacitor. A Data Available output goes to a high level when a valid keyboard entry has been made. The Data Available output returns to a low level when the entered key is released, even if another key is depressed. The Data Available will return high to indicate acceptance of the new key after a normal debounce period; this two key roll over is provided between any two switches.

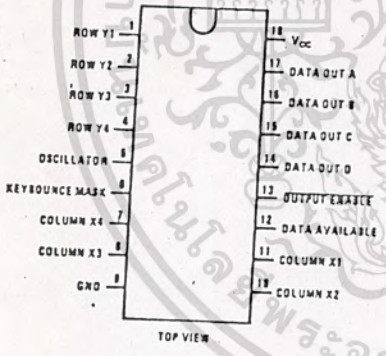
An internal register remembers the last key pressed even after the key is released. The TRI-STATE® outputs provide for easy expansion and bus operation and are LPTTL compatible.

features

- 50 kΩ maximum switch on resistance
- On or off chip clock
- On chip row pull-up devices
- 2 key roll-over
- Keybounce elimination with single capacitor
- Last key register at outputs
- TRI-STATE outputs LPTTL compatible
- Wide supply range 3V to 15V
- Low power consumption

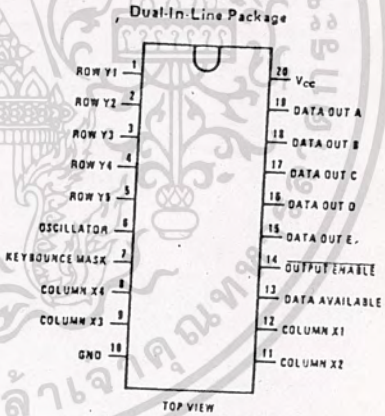
connection diagrams

Dual-In-Line Package



Order Number MM54C922N
or MM74C922N
See Package 20

Dual-In-Line Package



Order Number MM54C923N
or MM74C923N
See Package 20A

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

dc electrical characteristics (con't)

PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
OUTPUT DRIVE (See 54C/74C Family Characteristics Data Sheet)					
I_{SOURCE} Output Source Current (P-Channel)	V_{CC} = 5V, V_{OUT} = 0V, T_A = 25°C	−1.75	−3.3		mA
I_{SOURCE} Output Source Current (P-Channel)	V_{CC} = 10V, V_{OUT} = 0V, T_A = 25°C	−8	−15		mA
I_{SINK} Output Sink Current (N-Channel)	V_{CC} = 5V, V_{OUT} = V_{CC}, T_A = 25°C	1.75	3.6		mA
I_{SINK} Output Sink Current (N-Channel)	V_{CC} = 10V, V_{OUT} = V_{CC}, T_A = 25°C	8	16		mA

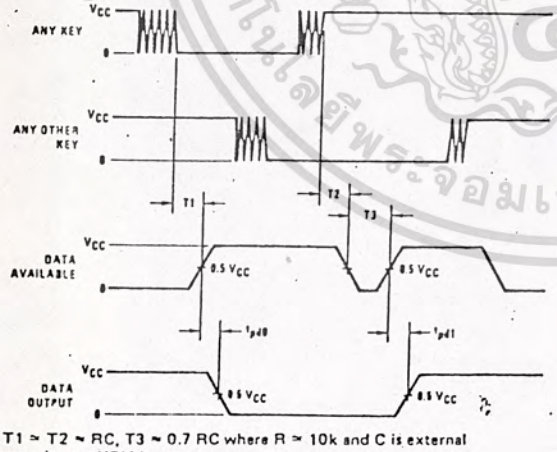
ac electrical characteristics T_A = 25°C

PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
t_{pd0},t_{pd1} Propagation Delay Time to Logical "0" or Logical "1" from D.A.	C_L = 50 pF, *(Figure 1)*				
	V_{CC} = 5V		60	150	ns
	V_{CC} = 10V		35	80	ns
	V_{CC} = 15V		25	60	ns
t_{0H},t_{1H} Propagation Delay Time from Logical "0" or Logical "1" into High Impedance State	R_L = 10k, C_L = 5 pF, *(Figure 2)*				
	V_{CC} = 5V R_L = 10k		80	200	ns
	V_{CC} = 10V C_L = 10 pF		65	150	ns
	V_{CC} = 15V		50	110	ns
t_{H0},t_{H1} Propagation Delay Time from High Impedance State to a Logical "0" or Logical "1"	R_L = 10k, C_L = 50 pF, *(Figure 2)*				
	V_{CC} = 5V R_L = 10k		100	250	ns
	V_{CC} = 10V C_L = 50 pF		55	125	ns
	V_{CC} = 15V		40	90	ns
C_{IN} Input Capacitance	Any Input, (Note 2)		5	7.5	pF
C_{OUT} TRI-STATE Output Capacitance	Any Output, (Note 2)		10		pF

Note 1: "Absolute Maximum Ratings" are those values beyond which the safety of the device cannot be guaranteed. Except for "Operating Temperature Range" they are not meant to imply that the devices should be operated at these limits. The table of "Electrical Characteristics" provides conditions for actual device operation.

Note 2: Capacitance is guaranteed by periodic testing.

switching time waveforms



T1 ≈ T2 ≈ RC, T3 ≈ 0.7 RC where R ≈ 10k and C is external capacitor at KBM input.

FIGURE 1

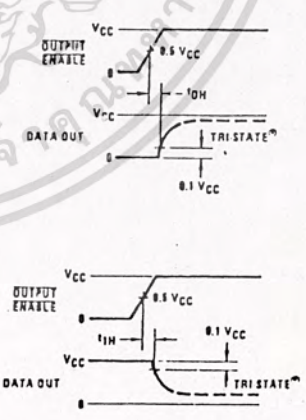


FIGURE 2

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

absolute maximum ratings

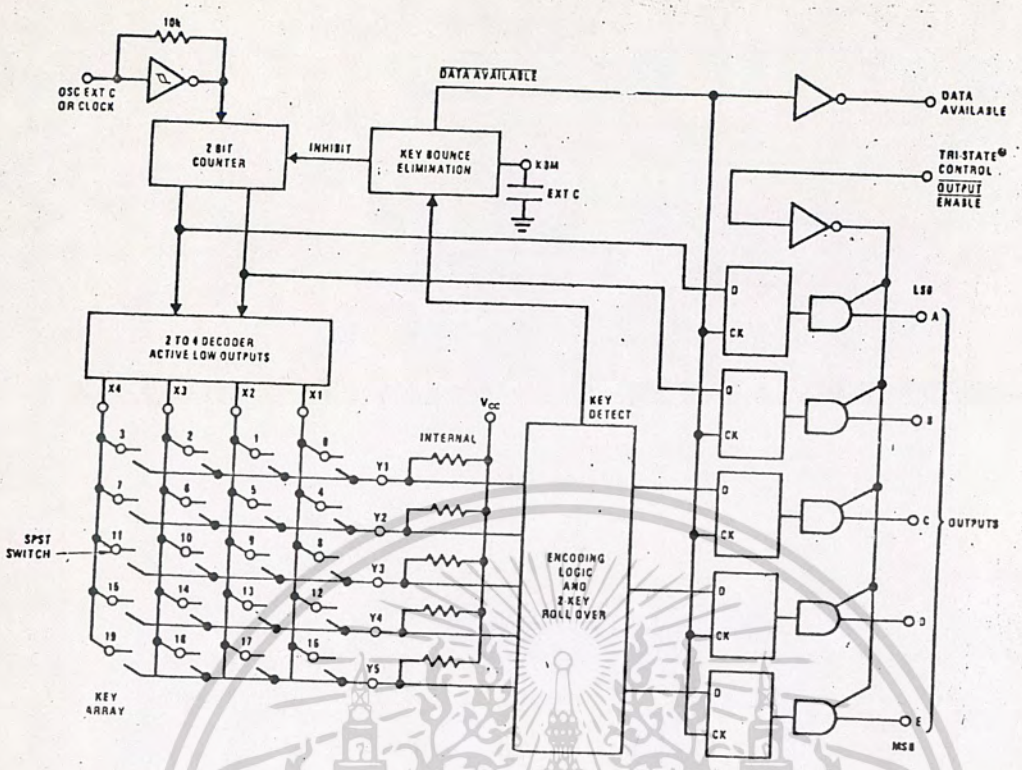
Voltage at Any Pin	V_{CC} − 0.3V to V_{CC} + 0.3V	Package Dissipation	500 mW
Operating Temperature Range		Operating V_{CC} Range	3V to 15V
MM54C922, MM54C923	−55°C to +125°C	V_{CC}	18V
MM74C922, MM74C923	−40°C to +85°C	Lead Temperature (Soldering, 10 seconds)	300°C
Storage Temperature Range	−65°C to +150°C		

dc electrical characteristics Min/max limits apply across temperature range unless otherwise noted

PARAMETER		CONDITIONS	MIN	TYP	MAX	UNITS
CMOS TO CMOS						
V_{T+}	Positive-Going Threshold Voltage at Osc and KBM Inputs	V_{CC} = 5V, $I_{IN} \geq$ 0.7 mA	3	3.6	4.3	V
		V_{CC} = 10V, $I_{IN} \geq$ 1.4 mA	6	6.8	8.6	V
		V_{CC} = 15V, $I_{IN} \geq$ 2.1 mA	9	10	12.9	V
V_{T-}	Negative-Going Threshold Voltage at Osc and KBM Inputs	V_{CC} = 5V, $I_{IN} \geq$ 0.7 mA	0.7	1.4	2	V
		V_{CC} = 10V, $I_{IN} \geq$ 1.4 mA	1.4	3.2	4	V
		V_{CC} = 15V, $I_{IN} \geq$ 2.1 mA	2.1	5	6	V
$V_{IN(1)}$	Logical "1" Input Voltage, Except Osc and KBM Inputs	V_{CC} = 5V	3.5	4.5		V
		V_{CC} = 10V	8	9		V
		V_{CC} = 15V	12.5	13.5		V
$V_{IN(0)}$	Logical "0" Input Voltage, Except Osc and KBM Inputs	V_{CC} = 5V		0.5	1.5	V
		V_{CC} = 10V		1	2	V
		V_{CC} = 15V		1.5	2.5	V
I_{rp}	Row Pull-Up Current at Y1, Y2, Y3, Y4 and Y5 Inputs	V_{CC} = 5V, V_{IN} = 0.1 V_{CC}		−2	−5	μA
		V_{CC} = 10V		−10	−20	μA
		V_{CC} = 15V		−22	−45	μA
$V_{OUT(1)}$	Logical "1" Output Voltage	V_{CC} = 5V, I_O = −10μA	4.5			V
		V_{CC} = 10V, I_O = −10μA	9			V
		V_{CC} = 15V, I_O = −10μA	13.5			V
$V_{OUT(0)}$	Logical "0" Output Voltage	V_{CC} = 5V, I_O = 10μA			0.5	V
		V_{CC} = 10V, I_O = 10μA			1	V
		V_{CC} = 15V, I_O = 10μA			1.5	V
R_{on}	Column "ON" Resistance at X1, X2, X3 and X4 Outputs	V_{CC} = 5V, V_O = 0.5V		500	1400	Ω
		V_{CC} = 10V, V_O = 1V		300	700	Ω
		V_{CC} = 15V, V_O = 1.5V		200	500	Ω
I_{CC}	Supply Current	V_{CC} = 5V, Osc at 0V		0.55	1.1	mA
		V_{CC} = 10V		1.1	1.9	mA
		V_{CC} = 15V		1.7	2.6	mA
$I_{IN(1)}$	Logical "1" Input Current at $\overline{\text{Output Enable}}$	V_{CC} = 15V, V_{IN} = 15V		0.005	1.0	μA
$I_{IN(0)}$	Logical "0" Input Current at $\overline{\text{Output Enable}}$	V_{CC} = 15V, V_{IN} = 0V	−1.0	−0.005		μA
CMOS/LPTTL INTERFACE						
$V_{IN(1)}$	Logical "1" Input Voltage, Except Osc and KBM Inputs	54C, V_{CC} = 4.5V	V_{CC} − 1.5			V
		74C, V_{CC} = 4.75V	V_{CC} − 1.5			V
$V_{IN(0)}$	Logical "0" Input Voltage, Except Osc and KBM Inputs	54C, V_{CC} = 4.5V			0.8	V
		74C, V_{CC} = 4.75V			0.8	V
$V_{OUT(1)}$	Logical "1" Output Voltage	54C, V_{CC} = 4.5V, I_O = −360μA	2.4			V
		74C, V_{CC} = 4.75V, I_O = −360μA	2.4			V
$V_{OUT(0)}$	Logical "0" Output Voltage	54C, V_{CC} = 4.5V, I_O = −360μA			0.4	V
		74C, V_{CC} = 4.75V, I_O = −360μA			0.4	V

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

block diagram



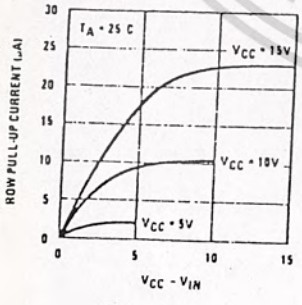
truth table

SWITCH POSITION	0 Y1,X1	1 Y1,X2	2 Y1,X3	3 Y1,X4	4 Y2,X1	5 Y2,X2	6 Y2,X3	7 Y2,X4	8 Y3,X1	9 Y3,X2	10 Y3,X3	11 Y3,X4	12 Y4,X1	13 Y4,X2	14 Y4,X3	15 Y4,X4	16 Y5*,X1	17 Y5*,X2	18 Y5*,X3	19 Y5*,X4
DATA OUT A	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1
DATA OUT B	0	0	1	1	0	0	1	1	0	0	1	1	0	0	1	1	0	0	1	1
DATA OUT C	0	0	0	0	1	1	1	1	0	0	0	0	1	1	1	1	0	0	0	0
DATA OUT D	0	0	0	0	0	0	0	0	1	1	1	1	1	1	1	1	0	0	0	0
DATA OUT E*	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	1	1	1	1

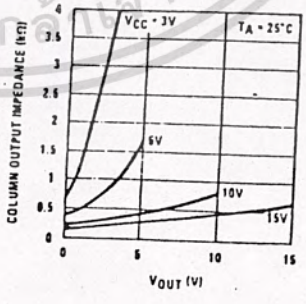
*Omit for MM54C922/MM74C922

typical performance characteristics

Typical I_{rp} vs V_{IN} at Any Y Input



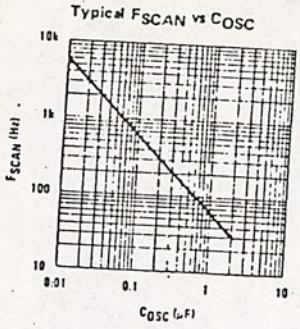
Typical R_{on} vs V_{OUT} at Any X Output



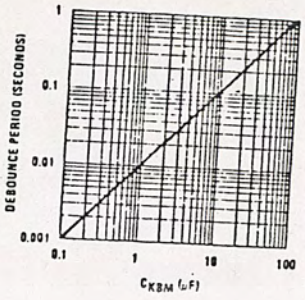
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

typical performance characteristics (con't)

Typical F_{SCAN} vs C_{OSC}

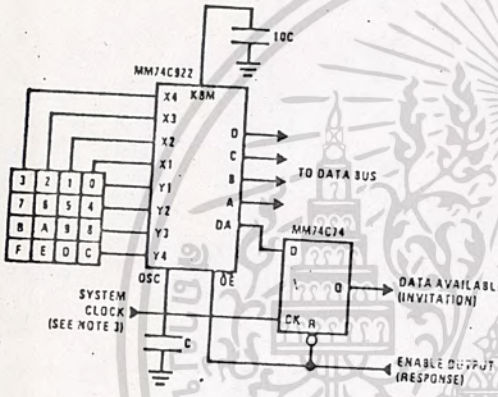


Typical Debounce Period vs C_{KBM}

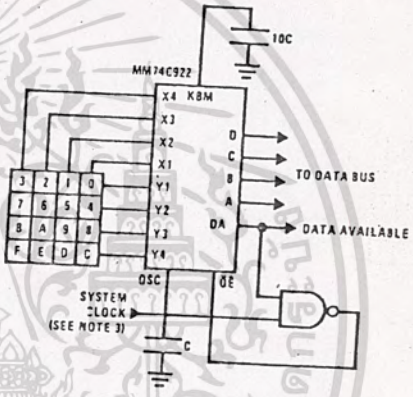


typical applications

Synchronous Handshake (MM74C922)

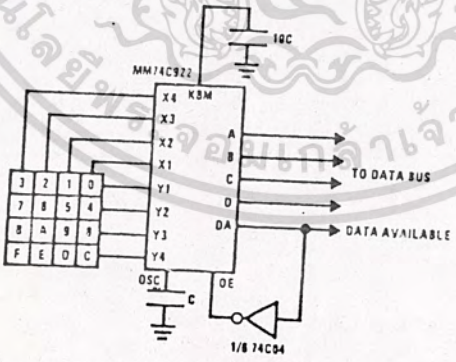


Synchronous Data Entry Onto Bus (MM74C922)



Outputs are enabled when valid entry is made and go into TRI-STATE when key is released.

Asynchronous Data Entry Onto Bus (MM74C922)



Outputs are in TRI-STATE until key is pressed, then data is placed on bus. When key is released, outputs return to TRI-STATE.

Keyboard Suppliers

Mini Key Series KL
Digitran Company
Pasadena, California

Computronics Engineering
7235 Hollywood Blvd
Hollywood, California 90046

Note 3: The keyboard may be synchronously scanned by omitting the capacitor at osc. and driving osc. directly if the system clock rate is lower than 10 kHz.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

UM95087

Tone Dialer

Features

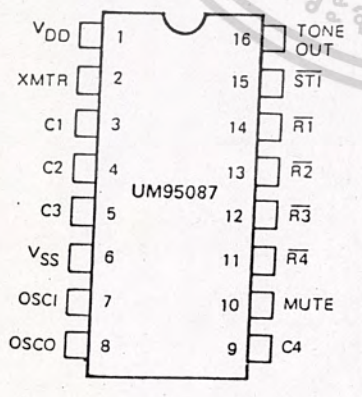
- Direct replacement for Mostek MK5087
- Operating voltage range: 3.5 to 10.0 Volts
- Uses TV crystal standard (3.58 MHz) to derive all frequencies thus providing very high accuracy and stability
- On-chip regulation of dual and single tone amplitudes
- Auxiliary switching functions on-chip
- Mute driver on-chip
- Minimum external parts count
- Multiple key entry pin-selectable to either single tone or no tone

General Description

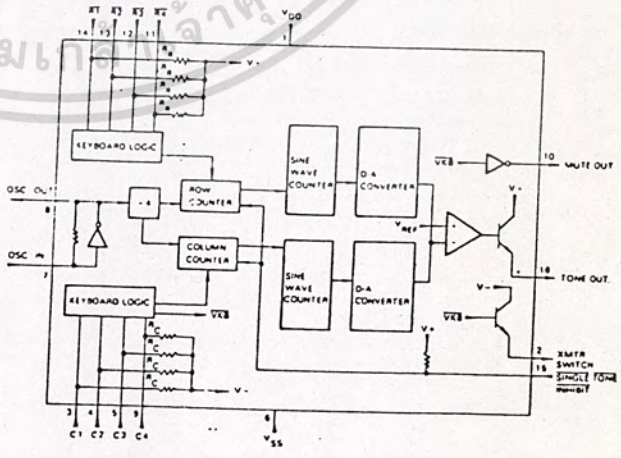
The UM95087 is a monolithic CMOS integrated circuit designed for Dual-Tone-Multi-Frequency (DTMF) telephone dialing.

The UM95087 was designed specifically for the performance: single contact static keyboard inputs; single tone inhibit (STI) option; wide supply voltage operation with regulated output. And the UM95087 provides good performance for low output tone distortion: T.H.D. < −20dB.

Pin Configuration



Block Diagram



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Absolute Maximum Ratings*

DC Supply Voltage ($V_{DD} - V_{SS}$) .... −0.3V to +10.0V
Operating Temperature (T_{OP}) ..... −30°C to +60°C
Storage Temperature (T_{STG}) ..... −55°C to +150°C
Applied Voltage On Any Pin
(V_{IN}) ..... V_{SS} −0.3 ≤ V_{IN} ≤ V_{DD} +0.3
Power Dissipation at 25°C ..... 500 mW

*Comments

Stresses above those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. This is a stress rating only and functional operation of the device at these or any other conditions above those indicated in the operational sections of this specification is not implied.

Electrical Characteristics

(Specification apply over the operating temperature and 3.5V ≤ V_{DD} to V_{SS} ≤ 10.0V unless otherwise specified.)

Parameter	Symbol	Min.	Typ.	Max.	Units	Conditions
Operating Voltage	V_{DD}	3.5		10.0	V	
Standby Current	I_{DD}		0.25	100	μA	V_{DD} = 3.5V; All outputs unloaded, Oscillator not running.
	I_{DD}		0.5	200	μA	V_{DD} = 10.0V; All outputs unloaded, Oscillator not running.
Operating Current	I_{DD}		1.0	2.0	mA	V_{DD} = 3.5V; All outputs unloaded, Oscillator running.
	I_{DD}		5.0	10.0	mA	V_{DD} = 10.0V; All outputs unloaded, Oscillator running.
Row Tone Output	V_R	317	400	504	mVrms	3.5V ≤ V_{DD} ≤ 10.0V, R_L = 1KΩ, @25°C
Column Tone Output	V_C	396	500	630	mVrms	3.5V ≤ V_{DD} ≤ 10.0V, R_L = 1KΩ, @25°C
Tone Output External Load Impedance	R_L	620			Ω	V_{DD} = 3.5V
	R_L	330			Ω	V_{DD} = 10.0V
XMTR Output Current	I_{OHX}	−15	−25		mA	V_{DD} = 3.5V, V_{OHX} = 2.5V, No key entry
	I_{OHX}	−50	−100		mA	V_{DD} = 10.0V, V_{OHX} = 8.0V, No key entry
	I_{OLX}		0.1	10.0	μA	V_{DD} = 10.0V, V_{OLX} = 0.0V, With key entry
Mute Output Current	I_{OLM}	0.5	2.0		mA	V_{DD} = 3.5V; V_{OLM} = 0.5V, No key entry
	I_{OLM}	1.0	4.0		mA	V_{DD} = 10.0V; V_{OLM} = 0.5V, No key entry
	I_{OHM}	−0.5	−2.0		mA	V_{DD} = 3.5V, V_{OHM} = 3.0V, With key entry
	I_{OHM}	−1.0	−4.0		mA	V_{DD} = 10.0V, V_{OHM} = 9.5V, With key entry
$\overline{STI}$ Input Resistance	R_{IN}	20		100	kΩ	@25°C
Tone Output Rise Time	t_r		3.0	5.0	ms	
Column to Row Pre-Emphasis		1.0	2.0	3.0	dB	
Tone Output Distortion	T.H.D.			−20	dB	
Input High Voltage	V_{IH}	0.7 V_{DD}		V_{DD}	V	
Input Low Voltage	V_{IL}	V_{SS}		0.3 V_{DD}	V	

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Table 1: Comparisons of Specified vs Actual Tone Frequencies Generated by UM95087

Active Input	Output Frequency (Hz)		% Error*
	Specified	Actual	
R1	697	699.1	+0.30
R2	770	766.2	−0.49
R3	852	847.4	−0.54
R4	941	948.0	+0.74
C1	1,209	1,215.9	+0.57
C2	1,336	1,331.7	−0.32
C3	1,477	1,471.9	−0.35
C4	1,633	1,645.0	+0.73

% Error does not include oscillator drift.

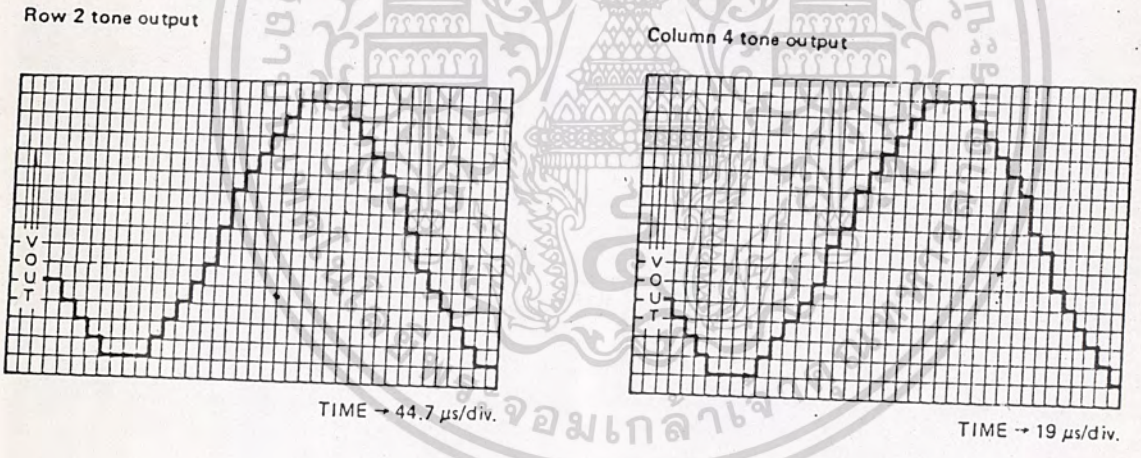


Fig 1: Single Tone Output Waveform

Crystal Specification

A standard television color burst crystal is specified to have much tighter tolerance than necessary for tone generation application. By relaxing the tolerance specification is as follows:

Frequency: 3.58 MHz ±0.02%
$R_S \leq 100\Omega$, $L_M = 96mH$, $C_M = 0.25pF$, $C_H = 5pF$, $C_L = 18pF$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

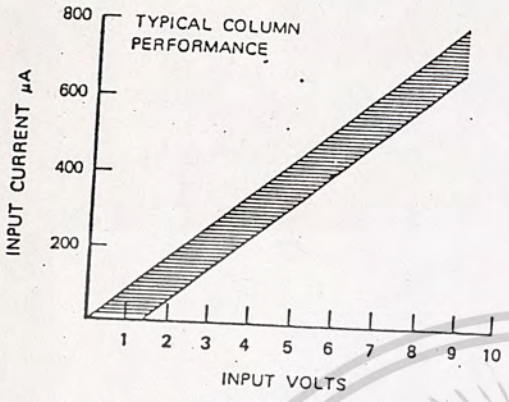


Fig 2a: Typical Input Operating Conditions for Pins 3, 4, 5, and 9 with Voltage Reference V_{SS} @ 25°C.

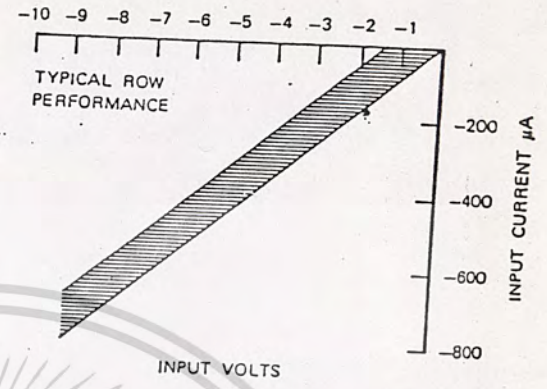


Fig 2b: Typical Input Operating Conditions for Pins 11, 12, 13, & 14 with Voltage Reference V_{DD} @ 25°C.

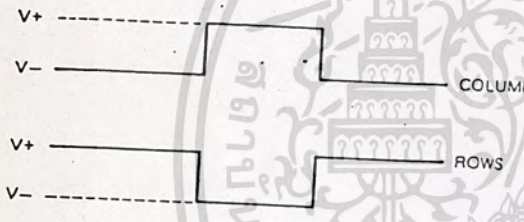


Fig 3: Electronic Input

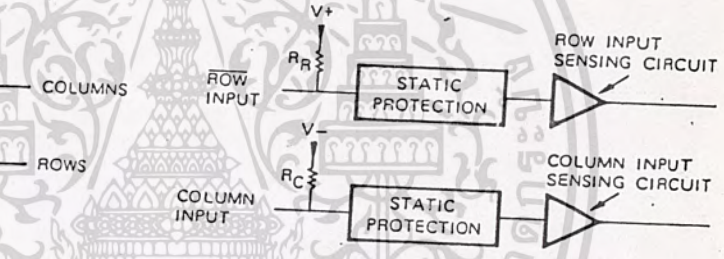


Fig 4: Row and Column Inputs

Pin Description

Keyboard (R1, R2, R3, R4, C1, C2, C3, C4)

The UM95087 features inputs compatible with the standard 2-of-8 keyboard, the inexpensive single-contact (Form A) keyboard, and electronic input (as shown in Fig. 3). The inputs are static (as shown in Fig. 4) i.e. there is no noise generation as occurs with scanned or dynamic inputs. When operating with a keyboard, normal operation is for dual tone generation when any single button is pushed, and single tone operation when two or more buttons in the same row or column are pushed. Activation of diagonal buttons will result in no tone being generated.

When the inputs to the UM95087 are electronically activated, input to a single row and column will result in that dual tone digit's being generated. Input to a single column will result in that column tone being generated. Input to multiple columns will result in no tone being generated. Activation of a single row is not sensed by the internal circuit of the UM95087. If a single row tone is desired, two columns must be activated along with the desired row.

Oscillator (OSCI, OSCO)

The UM95087 contains an on-chip inverter with sufficient loop-gain to provide oscillation when working with a low cost television color-burst crystal. The circuit is designed to work with a crystal cut to 3.58 MHz to give the frequencies in Table 1. The oscillator is disabled whenever a key board input is not sensed.

Any crystal frequency deviation from 3.579545 MHz will be reflected in the tone output frequency. Most crystals do not vary more than ± .02%.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

XMTR Switch (XMTR)

This pin is connected to the emitter of an on-chip bipolar transistor whose collector is connected to V_{DD}. With no keyboard input this transistor is turned on and pulls this pin up to within V_{BE} of the V_{DD} supply. When a keyboard entry is sensed, this output goes open circuit (high impedance). The XMTR switch output switches regardless of the state of the $\overline{STI}$ pin input.

Mute Output (MUTE)

The MUTE output is a conventional CMOS gate that pulls to V_{SS} with no keyboard input and pulls to V_{DD} supply when a keyboard entry is sensed. This output is used to control auxiliary switching functions that are required to actuate upon keyboard input. The MUTE output switches regardless of the state of $\overline{STI}$ pin input.

Single Tone Inhibit ($\overline{STI}$)

The $\overline{STI}$ input is used to inhibit the generation of other than dual tones. It has a pullup to the V_{DD} and when left floating or tied to V_{DD}, single or dual tones may be generated. When forced to the V_{SS}, any input situation that would normally result in a single tone will now result in no tone, with all other chip functions operating normally.

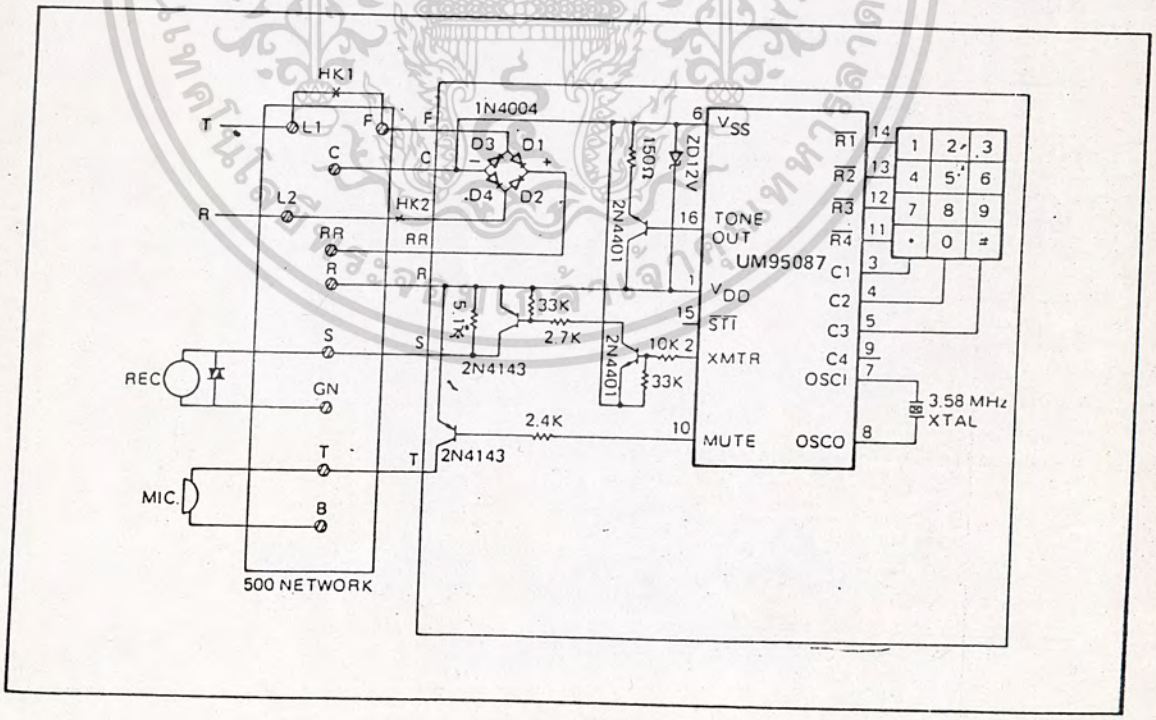
Tone Out (TONE OUT)

The TONE OUT is connected internally in the UM95087 to the emitter of an NPN transistor is the on-chip operational amplifier which mixes the row and column tones together. The row and column output waveforms are shown in Fig 2a, Fig 2b. These waveforms are digitally-synthesized using on-chip D to A converters. For the UM95087 dual tone waveform, T.H.D. is –20dB maximum.

Power (V_{DD}, V_{SS})

These are the power supply inputs. The UM95087 is designed to operate from 3.5 to 10.0 volts.

UM95087 Tone Generator Interface Circuit



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5476/7476 Dual J-K Master-Slave Flip-Flop with Preset and Clear

	Schottky TTL					High-Speed TTL					Low-Power Schottky TTL					Standard TTL					Low-Power TTL				
	Device Type	Package				Device Type	Package				Device Type	Package				Device Type	Package				Device Type	Package			
		C	P	M	CF		C	P	M	CF		C	P	M	CF		C	P	M	CF		C	P	M	CF
T.I.						SN54H76	J①			W①	SN54LS76	J①			W①	SN5476	J①			W①					
FAIRCHILD						SN74H76	J①	N①			SN74LS76	J①	N①			SN7476	J①	N①							
MOTOROLA						FM54H76/FM9H76	D①			F①						FM5476/FM9N76	D①			F①					
N.S.C.						FC74H76/FC9H76	D①	P①		F①						FC7476/FC9N76	D①	P①		F①					
PHILIPS						DM54H76	J①	N①			DM54LS76	J①				MC7476		P①							
SIGNETICS						DM74H76	J①	N①			DM74LS76	J①				DM5476	J①	N①		W①					
SIEMENS						N74H76		①			N74LS76	J①				DM7476	J①	N①							
FUJITSU						S54H76		B①								FJJ191/7476		①							
HITACHI						N74H76		B①			N74LS76	A①				SN5476	F①	B①		W①					
MITSUBISHI																SN7476	F①	B①							
NEC											HD74LS76	P①				FLJ131		①							
TOSHIBA																HD7476/HD2516	①	P①							
																M53276		P①							
																μPB224	D①	C①							
																TD7476		P①							

Electrical Characteristics SN54LS76, SN74LS76

absolute maximum ratings over operating free-air temperature range

Supply voltage, V_{CC}	7V	Operating free-air temperature range	SN54LS	−55°C to 125°C
Input voltage	5.5V		SN74LS	0°C to 70°C
		Storage temperature range		−65°C to 150°C

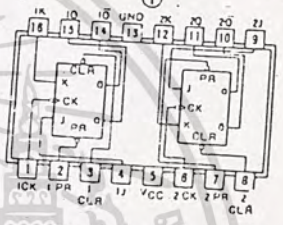
recommended operating conditions

		SN54LS76			SN74LS76			UNIT
		MIN	NOM	MAX	MIN	NOM	MAX	
Supply voltage V_{CC}		4.5	5	5.5	4.75	5	5.25	V
High-level output current I_{OH}				−400			−400	μA
Low-level output current I_{OL}				4			8	mA
Pulse width, t_w	Clock high	25			20			ns
	Preset or clear low	25			25			
Input setup time, t_{setup}	High-level data	20↓			20↓			
	Low-level data	20↓			20↓			
Input hold time, t_{hold}		3↓			0↓			ns
Operating free-air temperature T_A		−55		125	0		70	°C

electrical characteristics over recommended operating free-air temperature range

PARAMETER			TEST CONDITIONS†	MIN	TYP‡	MAX	UNIT
V_{IH}	High-level input voltage			2			V
V_{IL}	Low-level input voltage					0.8	V
V_I	Input clamp voltage		V_{CC} = MIN, I_I = −18mA			−1.5	V
V_{OH}	High-level output voltage		V_{CC} = MIN, V_{IH} = 2V, V_{IL} = 0.8V, I_{OH} = MAX	2.7	3.4		V
V_{OL}	Low-level output voltage		V_{CC} = MIN, V_{IH} = 2V, V_{IL} = 0.8V, I_{OL} = 4mA		0.25	0.4	V
I_I	Input current at maximum input voltage	D, J, K	V_{CC} = MAX, V_I = 7V			0.1	mA
		Clear				0.3	
		Preset				0.3	
		Clock				0.4	
I_{IH}	High-level input current	D, J, K	V_{CC} = MAX, V_I = 2.7V			20	μA
		Clear				60	
		Preset				60	
		Clock				80	
I_{IL}	Low-level input current	D, J, K	V_{CC} = MAX, V_I = 0.4V			−0.4	mA
		Clear				−0.8	
		Preset				−0.8	
		Clock				−0.8	
I_{OS}	Short-circuit output current*	Series 54LS	V_{CC} = MAX	−20		−100	mA
		Series 74LS		−20		−100	
I_{CC}	Supply current (Average per flip-flop)§		V_{CC} = MAX, See Note 1		4	8	mA
f_{max}	maximum clock frequency		V_{CC} = 5V, T_A = 25°C, C_L = 15pF, R_L = 2kΩ	30	45		MHz
t_{PLH}	from clear, preset or clock (as appropriate) to Q or Q̄				15	20	ns
t_{PHL}					15	20	

Pin Assignment (Top View)



Function Tables (See Note 2)

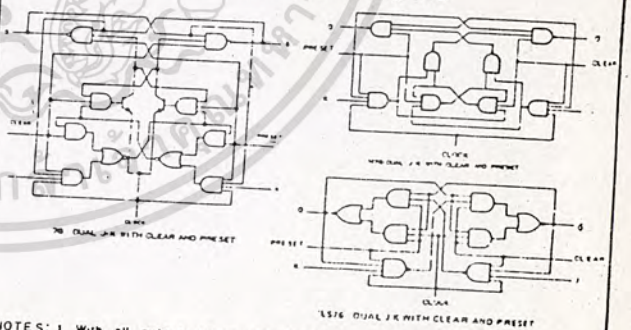
'76, '476

INPUTS					OUTPUTS	
PRESET	CLEAR	CLOCK	J	K	Q	Q̄
L	H	X	X	X	H	L
H	L	X	X	X	L	H
L	L	X	X	X	H*	H*
H	H	↓	L	L	Q_0	$\bar{Q}_0$
H	H	↓	H	L	H	L
H	H	↓	L	H	L	H
H	H	↓	H	H	TOGGLE	

'LS76

INPUTS					OUTPUTS	
PRESET	CLEAR	CLOCK	J	K	Q	Q̄
L	H	X	X	X	H	L
H	L	X	X	X	L	H
L	L	X	X	X	H*	H*
H	H	↓	L	L	Q_0	$\bar{Q}_0$
H	H	↓	H	L	H	L
H	H	↓	L	H	L	H
H	H	↓	H	H	TOGGLE	
H	H	H	X	X	Q_0	$\bar{Q}_0$

Functional Block Diagrams



NOTES: 1 With all outputs open, I_{CC} is measured with the Q and Q̄ outputs high in turn. At the time of measurement, the clock input is grounded.

2 H = high level (steady state), L = low level (steady state), X = irrelevant
↓ = transition from high to low level
⊓ = high-level pulse; data inputs should be held constant while clock is high; data is transferred to output on the falling edge of the pulse
Q_0 = the level of Q before the indicated input conditions were established
TOGGLE: Each output changes to the complement of its previous level on each active transition (pulse) of the clock.

* This configuration is nonstable; that is, it will not persist when preset and clear inputs return to their inactive (high) level.

† For conditions shown as MIN or MAX, use the appropriate value specified under recommended operating conditions.
‡ All typical values are at V_{CC} = 5V, T_A = 25°C.
* Not more than one output should be shorted at a time.
* t_{PLH} = propagation delay time, low-to-high-level output.
* t_{PHL} = propagation delay time, high-to-low-level output.
§ ↑↓ The arrow indicates the edge of the clock pulse used for reference: ↑ for the rising edge, ↓ for the falling edge.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MOTOROLA

MC34018

Product Preview

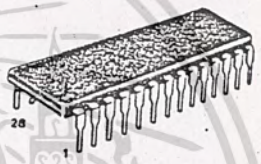
SPEAKERPHONE NETWORK

The MC34018 Speakerphone integrated circuit incorporates the necessary amplifiers, attenuators, and control functions to produce a viable hands-free speakerphone system. Included are a microphone amplifier, a power audio amplifier for the speaker, transmit and receive attenuators, a monitoring system for background sound level, and an attenuation control system which responds to the relative transmit and receive levels as well as the background level. Also included are all necessary regulated voltages for both internal and external circuitry, allowing line-powered operation (no additional power supplies required). The MC34018 is designed to be interfaced with a speech network which provides the necessary 2-to-4 wire conversion.

- All Necessary Level Detection and Attenuation Controls in a Single Integrated Circuit
- Background Sound Level Monitoring with Long Time Constant
- Wide Operating Dynamic Range Through Signal Compression
- On-Chip Supply and Reference Voltage Regulation
- Minimum 100 mW Output Power (into 25 Ohms) with Peak Limiting to Minimize Distortion
- Standard 28-Pin Plastic DIP Package (0.6" Wide)
- Facilitates Design of a Completely Hands-Free (Dialing and Speech) Telephone System

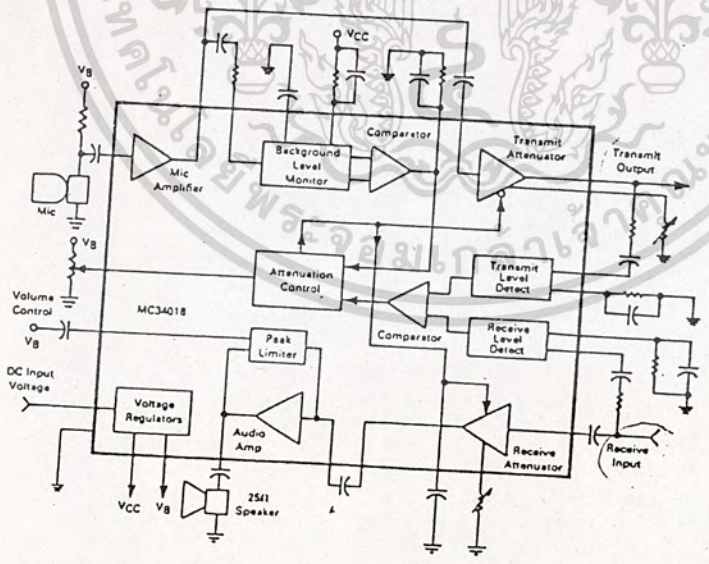
SPEAKERPHONE NETWORK

SILICON MONOLITHIC
INTEGRATED CIRCUIT

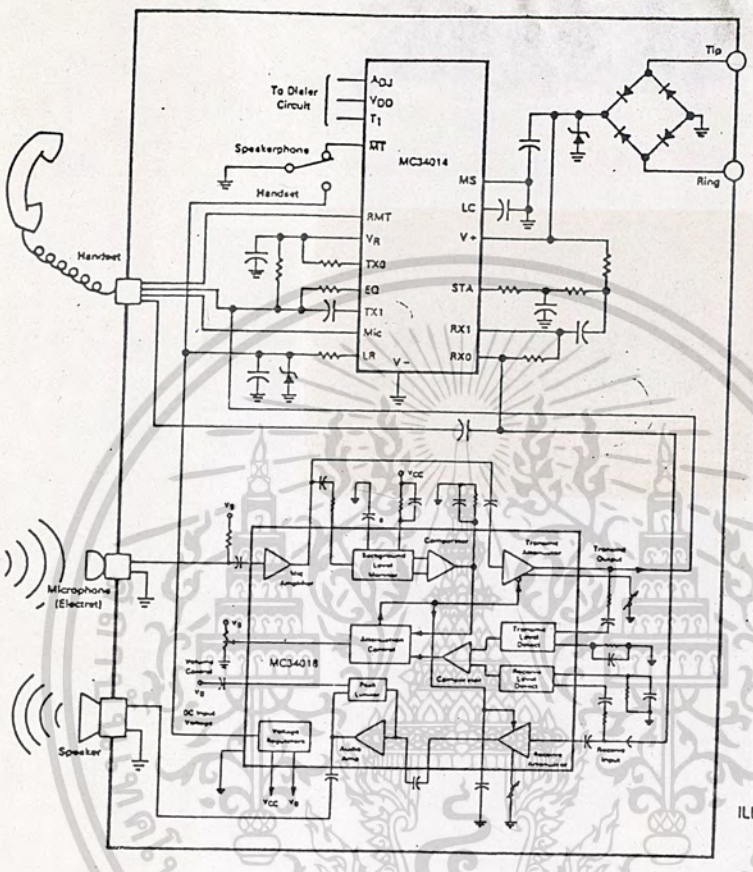


P SUFFIX
PLASTIC PACKAGE
CASE 710-02

BLOCK DIAGRAM



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



APPLICATION CIRCUIT ILLUSTRATING SWITCHABLE HANDS-FREE/HANDSET SYSTEM

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Input Control Signal Definition

$\overline{STB}$ (Strobe Input). A "low" on this input loads data into the input latch.

IBF (Input Buffer Full F/F)

A "high" on this output indicates that the data has been loaded into the input latch; in essence, an acknowledgement. IBF is set by STB input being low and is reset by the rising edge of the RD input.

INTR (Interrupt Request)

A "high" on this output can be used to interrupt the CPU when an input device is requesting service. INTR is set by the $\overline{STB}$ is a "one", IBF is a "one" and INTE is a "one". It is reset by the falling edge of $\overline{RD}$. This procedure allows an input device to request service from the CPU by simply strobing its data into the port.

INTE A

Controlled by bit set/reset of PC_4.

INTE B

Controlled by bit set/reset of PC_2.

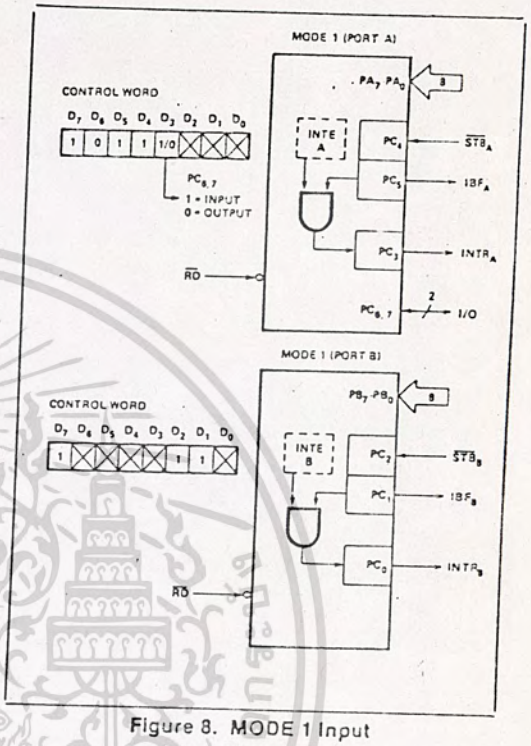


Figure 8. MODE 1 Input

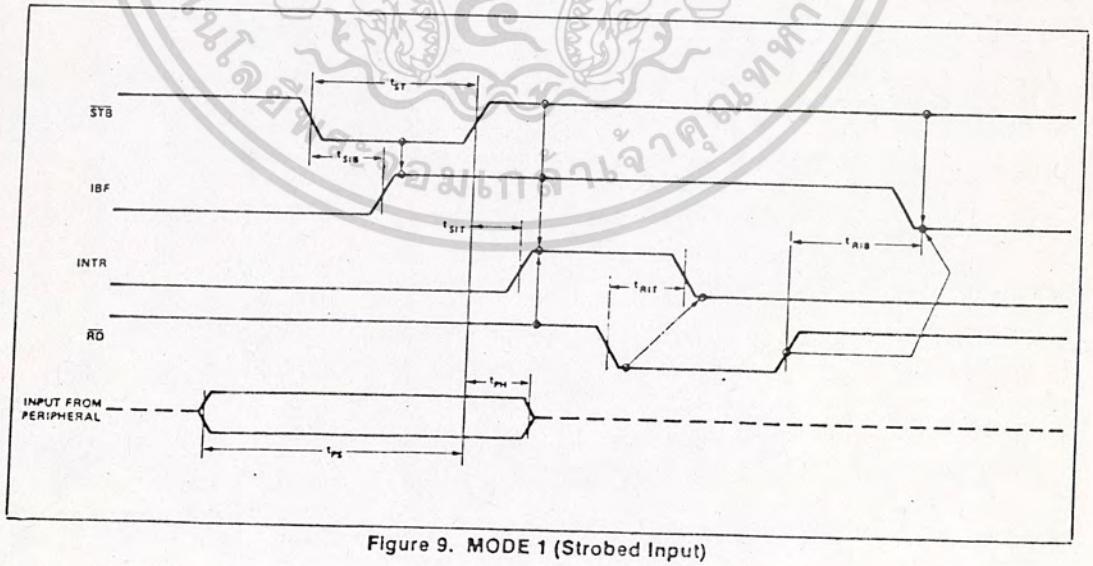


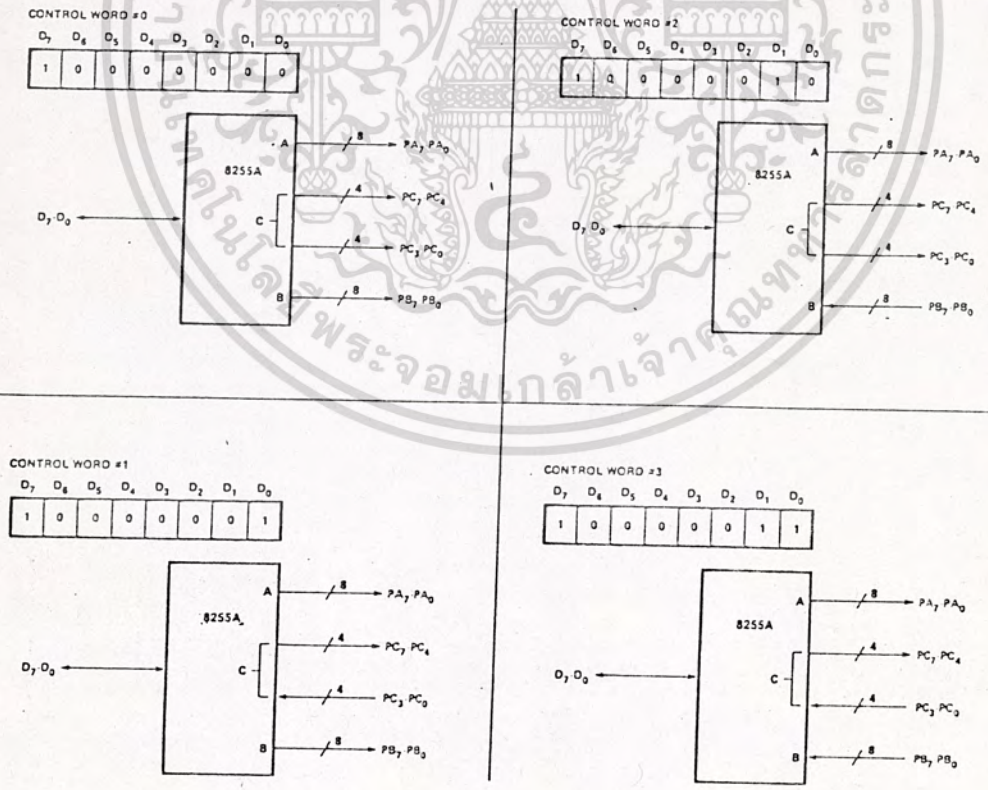
Figure 9. MODE 1 (Strobed Input)

231308-001
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MODE 0 Port Definition

A		B		GROUP A			GROUP B	
D_4	D_3	D_1	D_0	PORT A	PORT C (UPPER)	#	PORT B	PORT C (LOWER)
0	0	0	0	OUTPUT	OUTPUT	0	OUTPUT	OUTPUT
0	0	0	1	OUTPUT	OUTPUT	1	OUTPUT	INPUT
0	0	1	0	OUTPUT	OUTPUT	2	INPUT	OUTPUT
0	0	1	1	OUTPUT	OUTPUT	3	INPUT	INPUT
0	1	0	0	OUTPUT	INPUT	4	OUTPUT	OUTPUT
0	1	0	1	OUTPUT	INPUT	5	OUTPUT	INPUT
0	1	1	0	OUTPUT	INPUT	6	INPUT	OUTPUT
0	1	1	1	OUTPUT	INPUT	7	INPUT	INPUT
1	0	0	0	INPUT	OUTPUT	8	OUTPUT	OUTPUT
1	0	0	1	INPUT	OUTPUT	9	OUTPUT	INPUT
1	0	1	0	INPUT	OUTPUT	10	INPUT	OUTPUT
1	0	1	1	INPUT	OUTPUT	11	INPUT	INPUT
1	1	0	0	INPUT	INPUT	12	OUTPUT	OUTPUT
1	1	0	1	INPUT	INPUT	13	OUTPUT	INPUT
1	1	1	0	INPUT	INPUT	14	INPUT	OUTPUT
1	1	1	1	INPUT	INPUT	15	INPUT	INPUT

MODE 0 Configurations

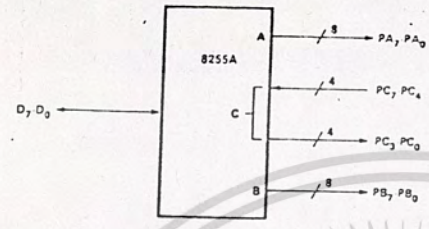


231308-001

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

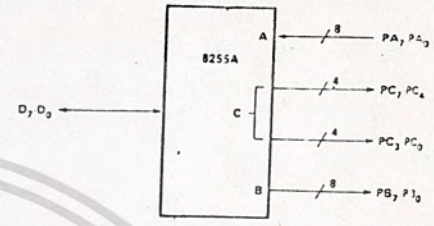
CONTROL WORD #4

D_7	D_6	D_5	D_4	D_3	D_2	D_1	D_0
1	0	0	0	1	0	0	0



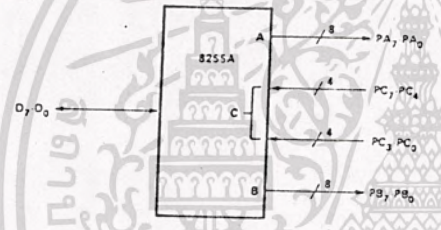
CONTROL WORD #8

D_7	D_6	D_5	D_4	D_3	D_2	D_1	D_0
1	0	0	1	0	0	0	0



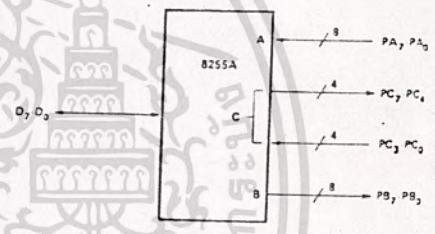
CONTROL WORD #5

D_7	D_6	D_5	D_4	D_3	D_2	D_1	D_0
1	0	0	0	1	0	0	1



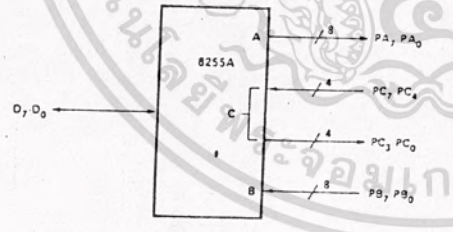
CONTROL WORD #9

D_7	D_6	D_5	D_4	D_3	D_2	D_1	D_0
1	0	0	1	0	0	0	1



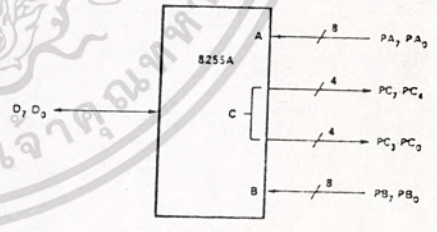
CONTROL WORD #6

D_7	D_6	D_5	D_4	D_3	D_2	D_1	D_0
1	0	0	0	1	0	1	0



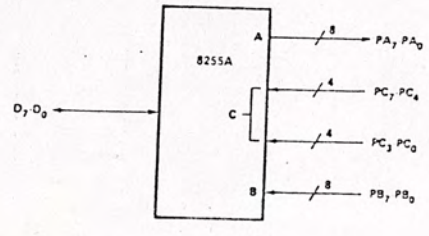
CONTROL WORD #10

D_7	D_6	D_5	D_4	D_3	D_2	D_1	D_0
1	0	0	1	0	0	1	0



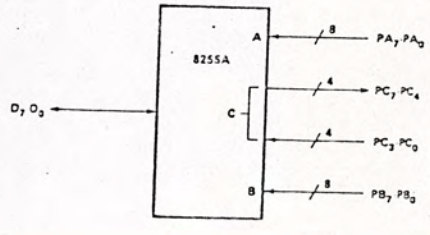
CONTROL WORD #7

D_7	D_6	D_5	D_4	D_3	D_2	D_1	D_0
1	0	0	0	1	0	1	1

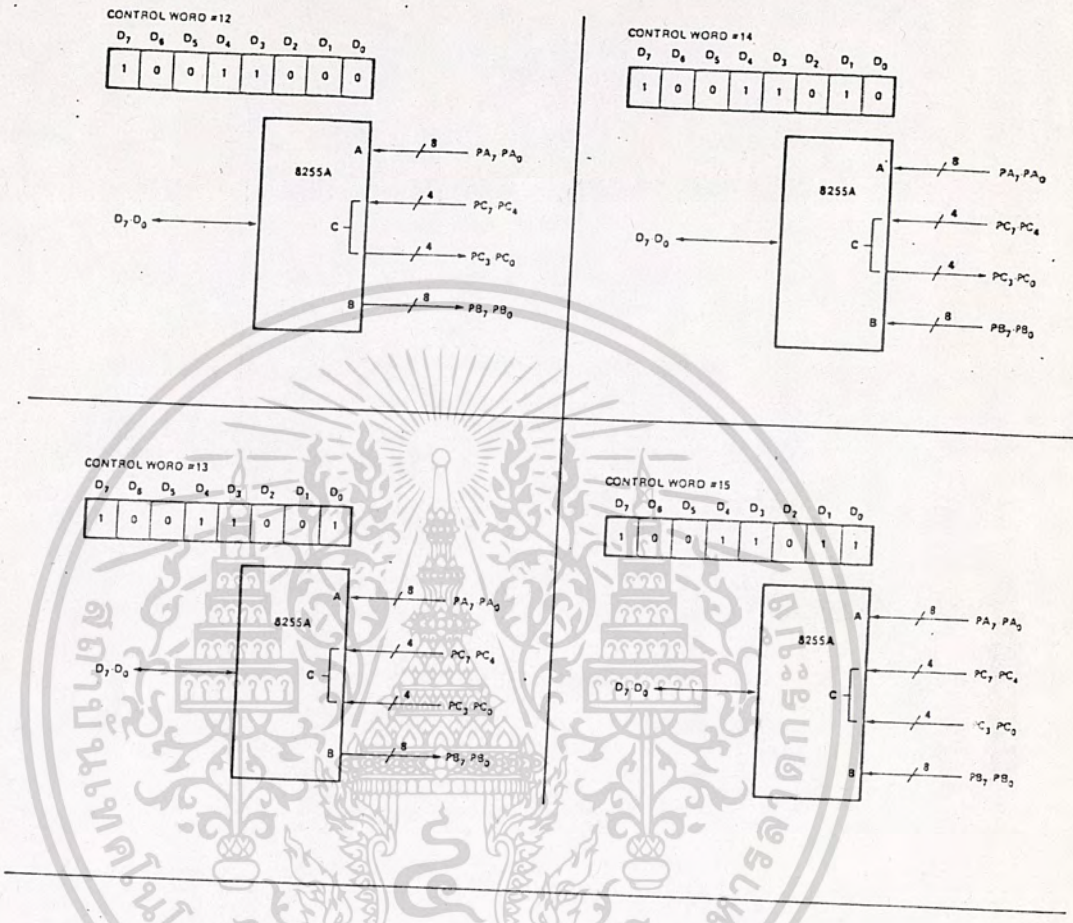


CONTROL WORD #11

D_7	D_6	D_5	D_4	D_3	D_2	D_1	D_0
1	0	0	1	0	0	1	1



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



Operating Modes

MODE 1 (Strobed Input/Output). This functional configuration provides a means for transferring I/O data to or from a specified port in conjunction with strobes or "handshaking" signals. In mode 1, port A and Port B use the lines on port C to generate or accept these "handshaking" signals.

Mode 1 Basic Functional Definitions:

- Two Groups (Group A and Group B)
- Each group contains one 8-bit data port and one 4-bit control/data port.
- The 8-bit data port can be either input or output. Both inputs and outputs are latched.
- The 4-bit port is used for control and status of the 8-bit data port.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Output Control Signal Definition

$\overline{OBF}$ (Output Buffer Full F/F). The $\overline{OBF}$ output will go "low" to indicate that the CPU has written data out to the specified port. The $\overline{OBF}$ F/F will be set by the rising edge of the $\overline{WR}$ input and reset by $\overline{ACK}$ input being low.

$\overline{ACK}$ (Acknowledge Input). A "low" on this input informs the 8255A that the data from port A or port B has been accepted. In essence, a response from the peripheral device indicating that it has recieved the data output by the CPU.

INTR (Interrupt Request). A "high" on this output can be used to interrupt the CPU when an output device has accepted data transmitted by the CPU. INTR is set when $\overline{ACK}$ is a "one", $\overline{OBF}$ is a "one", and INTE is a "one". It is reset by the falling edge of $\overline{WR}$.

INTR (Interrupt Request). A "high" on this output can be used to interrupt the CPU when an output device has accepted data transmitted by the CPU. INTR is set when $\overline{ACK}$ is a "one", $\overline{OBF}$ is a "one", and INTE is a "one". It is reset by the falling edge of $\overline{WR}$.

INTE A

Controlled by bit set/reset of PC_6.

INTE B

Controlled by bit set/reset of PC_2.

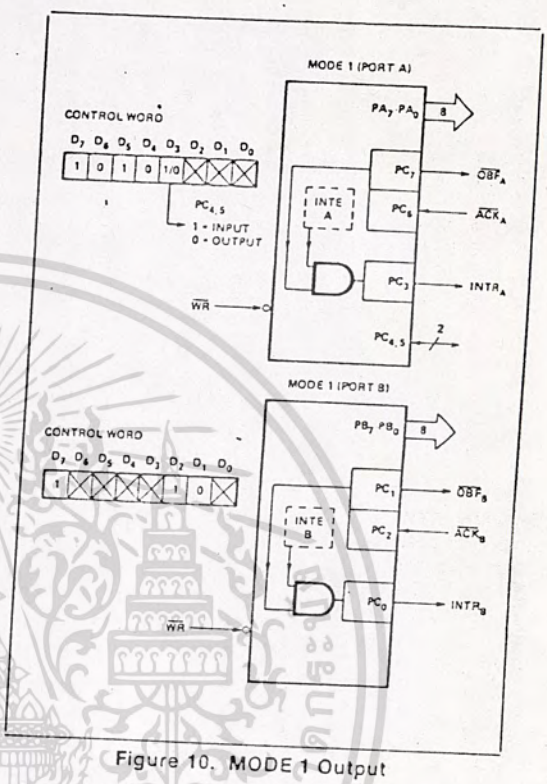


Figure 10. MODE 1 Output

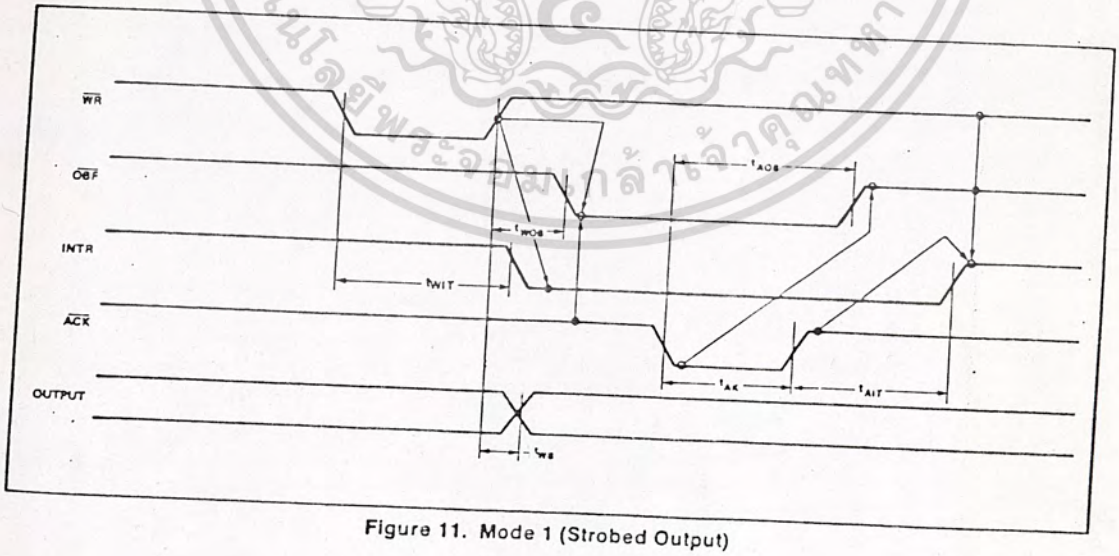


Figure 11. Mode 1 (Strobed Output)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Combinations of MODE 1

Port A and Port B can be individually defined as input or output in Mode 1 to support a wide variety of strobed I/O applications.

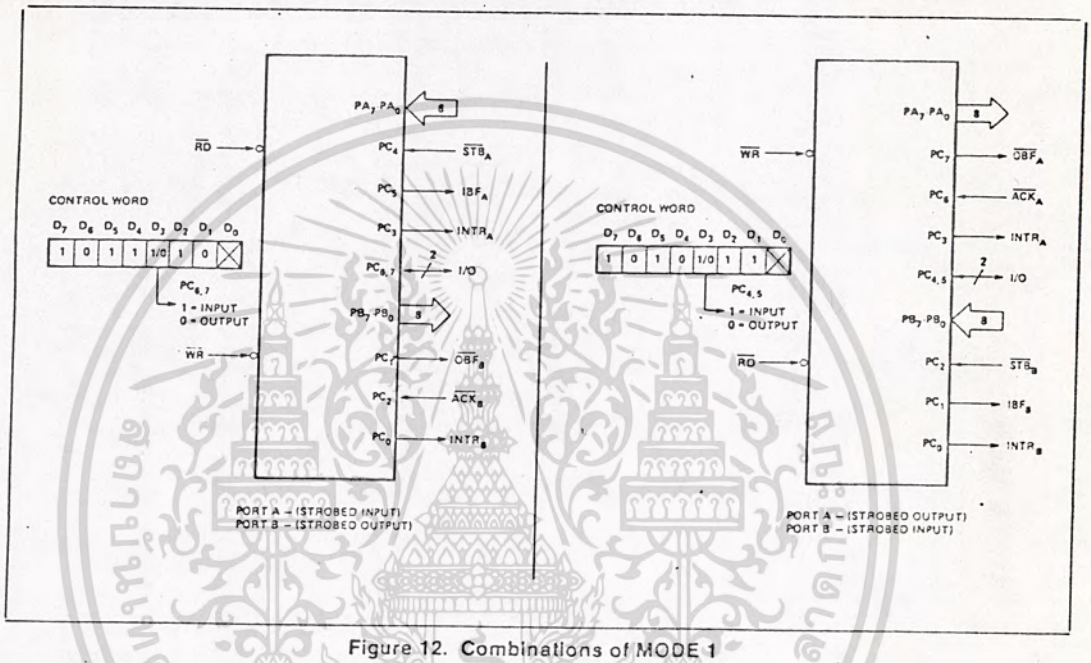


Figure 12. Combinations of MODE 1

Operating Modes

MODE 2 (Strobed Bidirectional Bus I/O). This functional configuration provides a means for communicating with a peripheral device or structure on a single 8-bit bus for both transmitting and receiving data (bidirectional bus I/O). "Handshaking" signals are provided to maintain proper bus flow discipline in a similar manner to MODE 1. Interrupt generation and enable/disable functions are also available.

MODE 2 Basic Functional Definitions:

- Used in Group A only.
- One 8-bit, bi-directional bus Port (Port A) and a 5-bit control Port (Port C).
- Both inputs and outputs are latched.
- The 5-bit control port (Port C) is used for control and status for the 8-bit, bi-directional bus port (Port A).

Bidirectional Bus I/O Control Signal Definition

INTR (Interrupt Request). A high on this output can be used to interrupt the CPU for both input or output operations.

Output Operations

$\overline{OBF}$ (Output Buffer Full). The $\overline{OBF}$ output will go "low" to indicate that the CPU has written data out to port A.

$\overline{ACK}$ (Acknowledge). A "low" on this input enables the tri-state output buffer of port A to send out the data. Otherwise, the output buffer will be in the high impedance state.

INTE 1 (The INTE Flip-Flop Associated with OBF). Controlled by bit set/reset of PC_6.

Input Operations

$\overline{STB}$ (Strobe Input). A "low" on this input loads data into the input latch.

IBF (Input Buffer Full F/F). A "high" on this output indicates that data has been loaded into the input latch.

INTE 2 (The INTE Flip-Flop Associated with IBF). Controlled by bit set/reset of PC_4.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

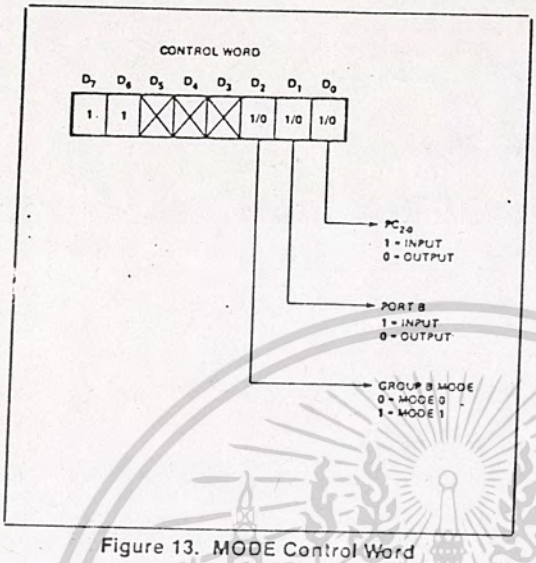


Figure 13. MODE Control Word

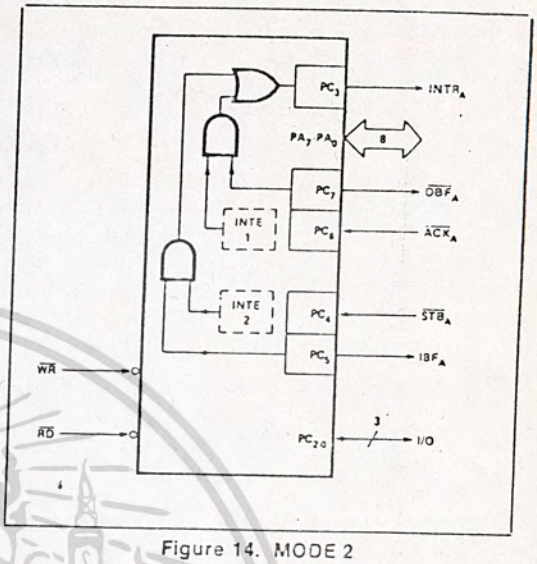


Figure 14. MODE 2

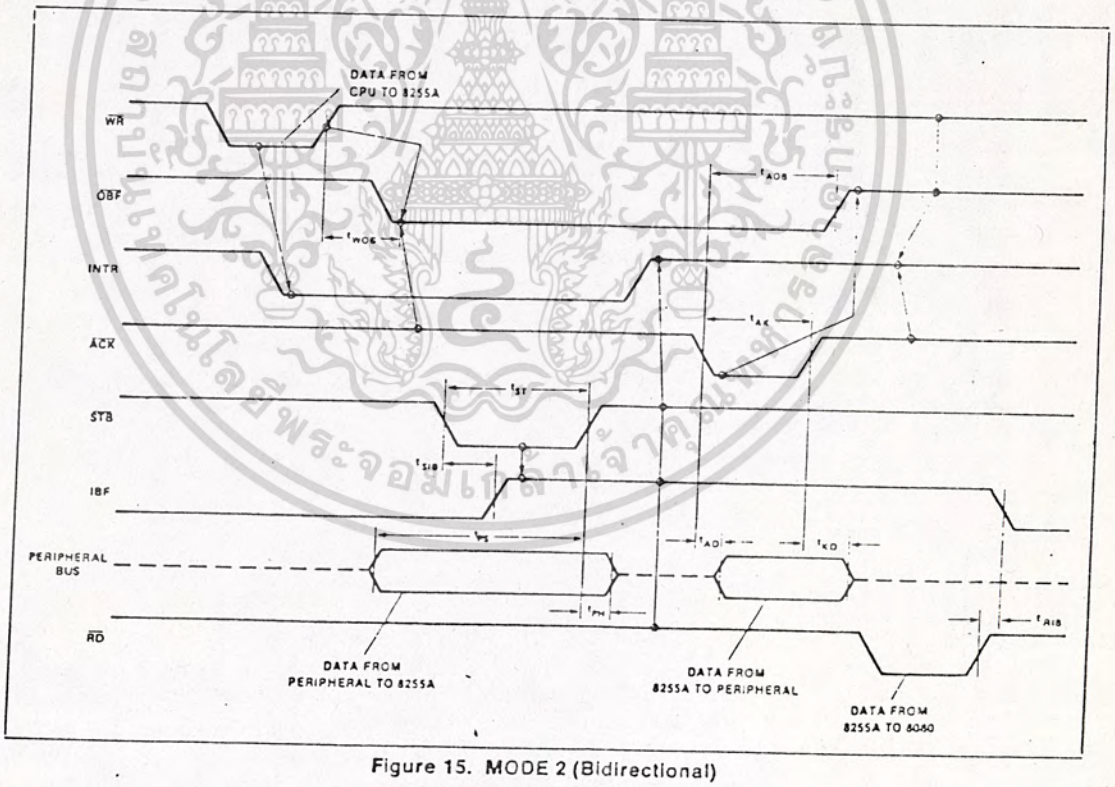


Figure 15. MODE 2 (Bidirectional)

NOTE: Any sequence where $\overline{WR}$ occurs before $\overline{ACK}$ and $\overline{STB}$ occurs before $\overline{RD}$ is permissible.
(INTR = IBF · $\overline{MASK}$ · $\overline{STB}$ · $\overline{RD}$ + $\overline{OBF}$ · $\overline{MASK}$ · $\overline{ACK}$ · $\overline{WR}$)

231308-001

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

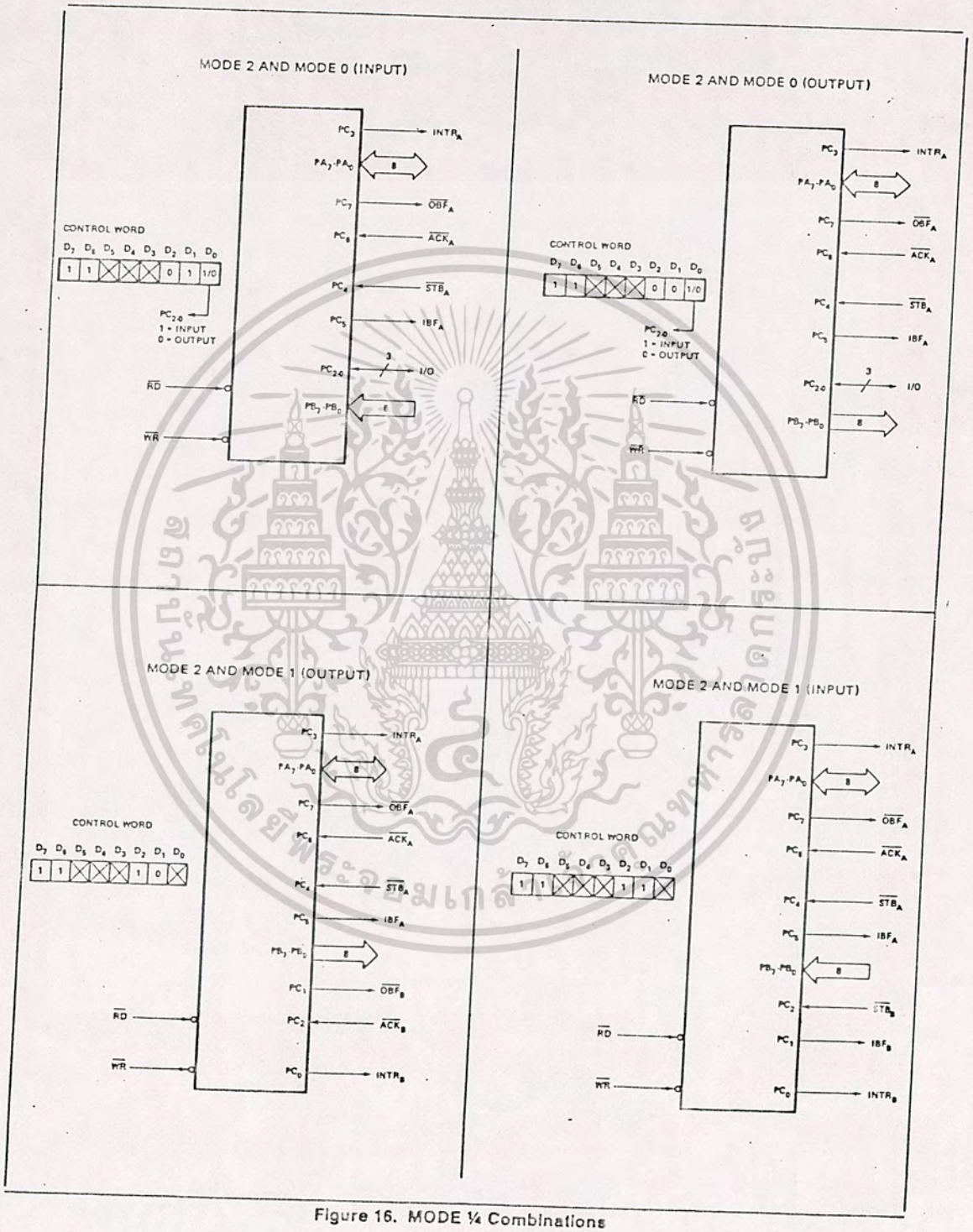


Figure 16. MODE ¼ Combinations

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Mode Definition Summary

	MODE 0		MODE 1		MODE 2	
	IN	OUT	IN	OUT	GROUP A ONLY	
PA_0	IN	OUT	IN	OUT	↔	
PA_1	IN	OUT	IN	OUT	↔	
PA_2	IN	OUT	IN	OUT	↔	
PA_3	IN	OUT	IN	OUT	↔	
PA_4	IN	OUT	IN	OUT	↔	
PA_5	IN	OUT	IN	OUT	↔	
PA_6	IN	OUT	IN	OUT	↔	
PA_7	IN	OUT	IN	OUT	↔	
PB_0	IN	OUT	IN	OUT	—	MODE 0 OR MODE 1 ONLY
PB_1	IN	OUT	IN	OUT	—	
PB_2	IN	OUT	IN	OUT	—	
PB_3	IN	OUT	IN	OUT	—	
PB_4	IN	OUT	IN	OUT	—	
PB_5	IN	OUT	IN	OUT	—	
PB_6	IN	OUT	IN	OUT	—	
PB_7	IN	OUT	IN	OUT	—	
PC_0	IN	OUT	$INTR_B$	$INTR_B$	I/O	
PC_1	IN	OUT	IBF_B	$\overline{OBF}_B$	I/O	
PC_2	IN	OUT	$\overline{STB}_B$	$\overline{ACK}_B$	I/O	
PC_3	IN	OUT	$INTR_A$	$INTR_A$	$INTR_A$	
PC_4	IN	OUT	$\overline{STB}_A$	I/O	$\overline{STB}_A$	
PC_5	IN	OUT	IBF_A	I/O	IBF_A	
PC_6	IN	OUT	I/O	$\overline{ACK}_A$	$\overline{ACK}_A$	
PC_7	IN	OUT	I/O	$\overline{OBF}_A$	$\overline{OBF}_A$	

Special Mode Combination Considerations

There are several combinations of modes when not all of the bits in Port C are used for control or status. The remaining bits can be used as follows:

If Programmed as Inputs –
All input lines can be accessed during a normal Port C read.

If Programmed as Outputs –
Bits in C upper (PC_7-PC_4) must be individually accessed using the bit set/reset function.

Bits in C lower (PC_3-PC_0) can be accessed using the bit set/reset function or accessed as a threesome by writing into Port C.

Source Current Capability on Port B and Port C

Any set of eight output buffers, selected randomly from Ports B and C can source 1mA at 1.5 volts. This feature allows the 8255 to directly drive Darlington type drivers and high-voltage displays that require such source current.

Reading Port C Status

In Mode 0, Port C transfers data to or from the peripheral device. When the 8255 is programmed to function in Modes 1 or 2, Port C generates or accepts "hand-shaking" signals with the peripheral device. Reading the contents of Port C allows the programmer to test or verify the "status" of each peripheral device and change the program flow accordingly.

There is no special instruction to read the status information from Port C. A normal read operation of Port C is executed to perform this function.

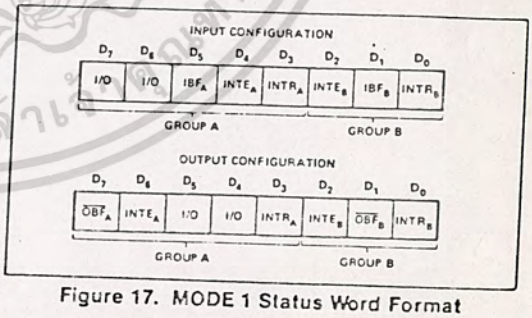


Figure 17. MODE 1 Status Word Format

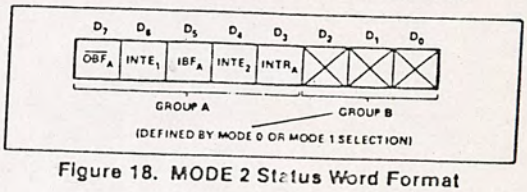


Figure 18. MODE 2 Status Word Format

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ABSOLUTE MAXIMUM RATINGS*

Ambient Temperature Under Bias. . . . . 0°C to 70°C
Storage Temperature . . . . . −65°C to +150°C
Voltage on Any Pin
With Respect to Ground . . . . . −0.5V to +7V
Power Dissipation . . . . . 1 Watt

NOTICE: Stresses above those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. This is a stress rating only and functional operation of the device at these or any other conditions above those indicated in the operational sections of this specification is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

D.C. CHARACTERISTICS (T_A = 0°C to 70°C, V_{CC} = +5V ±10%, GND = 0V)*

Symbol	Parameter	Min.	Max.	Unit	Test Conditions
V_{IL}	Input Low Voltage	-0.5	0.8	V	
V_{IH}	Input High Voltage	2.0	V_{CC}	V	
V_{OL} (DB)	Output Low Voltage (Data Bus)		0.45*	V	I_{OL} = 2.5mA
V_{OL} (PER)	Output Low Voltage (Peripheral Port)		0.45*	V	I_{OL} = 1.7mA
V_{OH} (DB)	Output High Voltage (Data Bus)	2.4		V	I_{OH} = -400μA
V_{OH} (PER)	Output High Voltage (Peripheral Port)	2.4		V	I_{OH} = -200μA
I_{DAR}[1]	Darlington Drive Current	-1.0	-4.0	mA	R_{EXT} = 750Ω; V_{EXT} = 1.5V
I_{CC}	Power Supply Current		120	mA	
I_{IL}	Input Load Current		±10	μA	V_{IN} = V_{CC} to 0V
I_{OFL}	Output Float Leakage		±10	μA	V_{OUT} = V_{CC} to .45V

NOTE:
1. Available on any 8 pins from Port B and C.

CAPACITANCE (T_A = 25°C, V_{CC} = GND = 0V)

Symbol	Parameter	Min.	Typ.	Max.	Unit	Test Conditions
C_{IN}	Input Capacitance			10	pF	fc = 1MHz
$C_{I/O}$	I/O Capacitance			20	pF	Unmeasured pins returned to GND

A.C. CHARACTERISTICS (T_A = 0°C to 70°C, V_{CC} = +5V ±10%, GND = 0V)*

Bus Parameters

READ

Symbol	Parameter	8255A		8255A-5		Unit
		Min.	Max.	Min.	Max.	
t_{AR}	Address Stable Before READ	0		0		ns
t_{RA}	Address Stable After READ	0		0		ns
t_{RR}	READ Pulse Width	300		300		ns
t_{RD}	Data Valid From READ[1]		250		200	ns
t_{DF}	Data Float After READ	10	150	10	100	ns
t_{RV}	Time Between READs and/or WRITEs	850		850		ns

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

A.C. CHARACTERISTICS (Continued)

WRITE

Symbol	Parameter	8255A		8255A-5		Unit
		Min.	Max.	Min.	Max.	
t_{AW}	Address Stable Before WRITE	0		0		ns
t_{WA}	Address Stable After WRITE	20		20		ns
t_{WW}	WRITE Pulse Width	400		300		ns
t_{DW}	Data Valid to WRITE (T.E.)	100		100		ns
t_{WD}	Data Valid After WRITE	30		30		ns

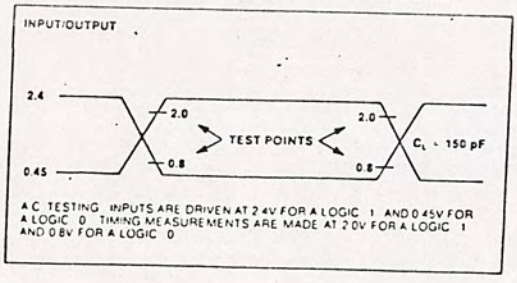
OTHER TIMINGS

Symbol	Parameter	8255A		8255A-5		Unit
		Min.	Max.	Min.	Max.	
t_{WB}	WR = 1 to Output[1]		350		350	ns
t_{IR}	Peripheral Data Before RD	0		0		ns
t_{HR}	Peripheral Data After RD	0		0		ns
t_{AK}	ACK Pulse Width	300		300		ns
t_{ST}	STB Pulse Width	500		500		ns
t_{PS}	Per. Data Before T.E. of STB	0		0		ns
t_{PH}	Per. Data After T.E. of STB	180		180		ns
t_{AD}	ACK = 0 to Output[1]		300		300	ns
t_{KD}	ACK = 1 to Output Float	20	250	20	250	ns
t_{WOB}	WR = 1 to OBF = 0[1]		650		650	ns
t_{AOB}	ACK = 0 to OBF = 1[1]		350		350	ns
t_{SIB}	STB = 0 to IBF = 1[1]		300		300	ns
t_{RIB}	RD = 1 to IBF = 0[1]		300		300	ns
t_{RIT}	RD = 0 to INTR = 0[1]		400		400	ns
t_{SIT}	STB = 1 to INTR = 1[1]		300		300	ns
t_{AIT}	ACK = 1 to INTR = 1[1]		350		350	ns
t_{WIT}	WR = 0 to INTR = 0[1,3]		450		450	ns

NOTES:
1. Test Conditions: C_L = 150 pF.
2. Period of Reset pulse must be at least 50μs during or after power on. Subsequent Reset pulse can be 500 ns min.
3. INTR↑ may occur as early as $\overline{WR}$↓.

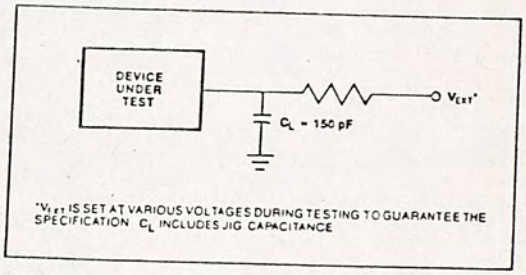
* For Extended Temperature EXPRESS, use M8255A electrical parameters.

A.C. TESTING INPUT, OUTPUT WAVEFORM



A.C. TESTING INPUTS ARE DRIVEN AT 2.4V FOR A LOGIC 1 AND 0.45V FOR A LOGIC 0. TIMING MEASUREMENTS ARE MADE AT 2.0V FOR A LOGIC 1 AND 0.8V FOR A LOGIC 0.

A.C. TESTING LOAD CIRCUIT

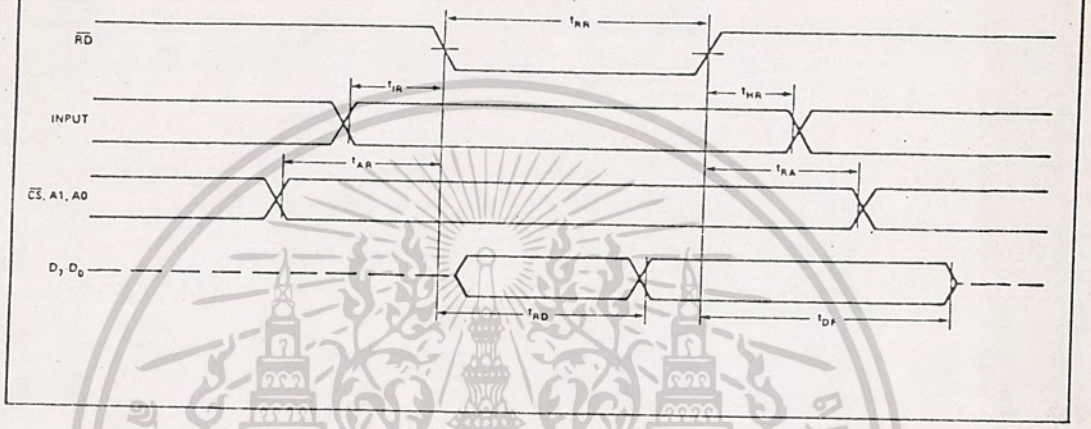


*V_{EXT} IS SET AT VARIOUS VOLTAGES DURING TESTING TO GUARANTEE THE SPECIFICATION. C_L INCLUDES JIG CAPACITANCE.

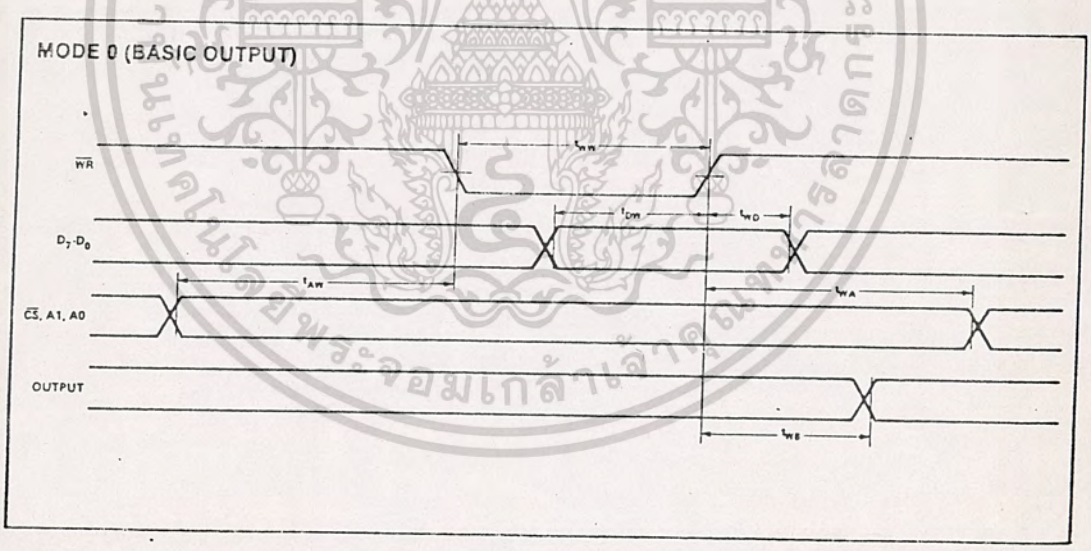
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

WAVEFORMS

MODE 0 (BASIC INPUT)



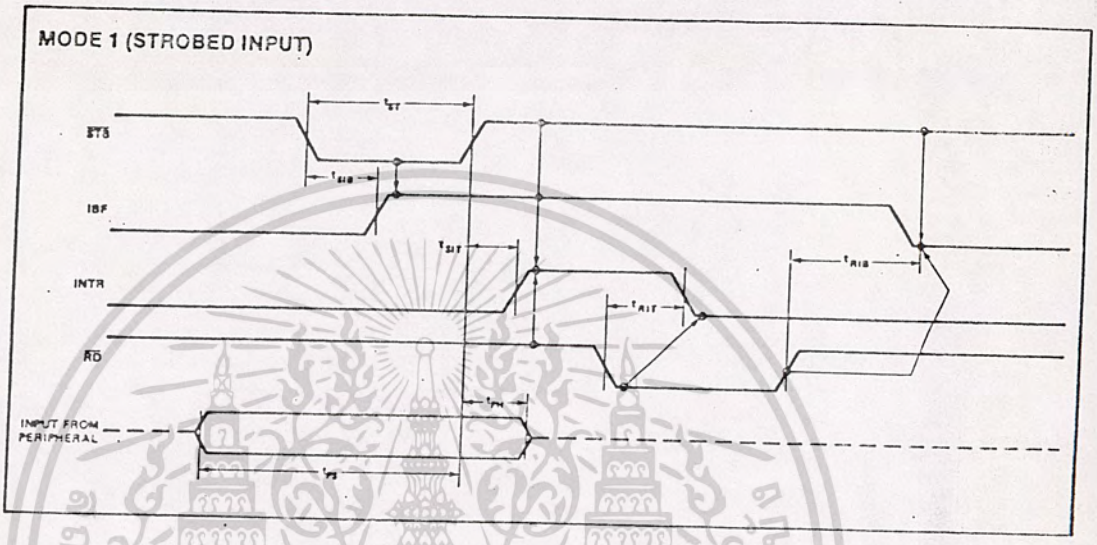
MODE 0 (BASIC OUTPUT)



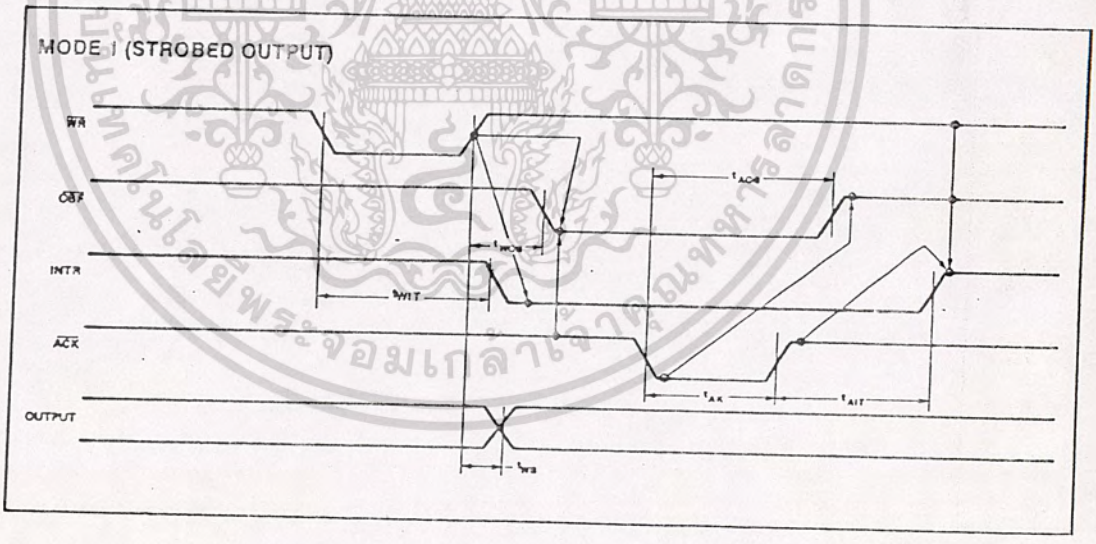
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

WAVEFORMS (Continued)

MODE 1 (STROBED INPUT)



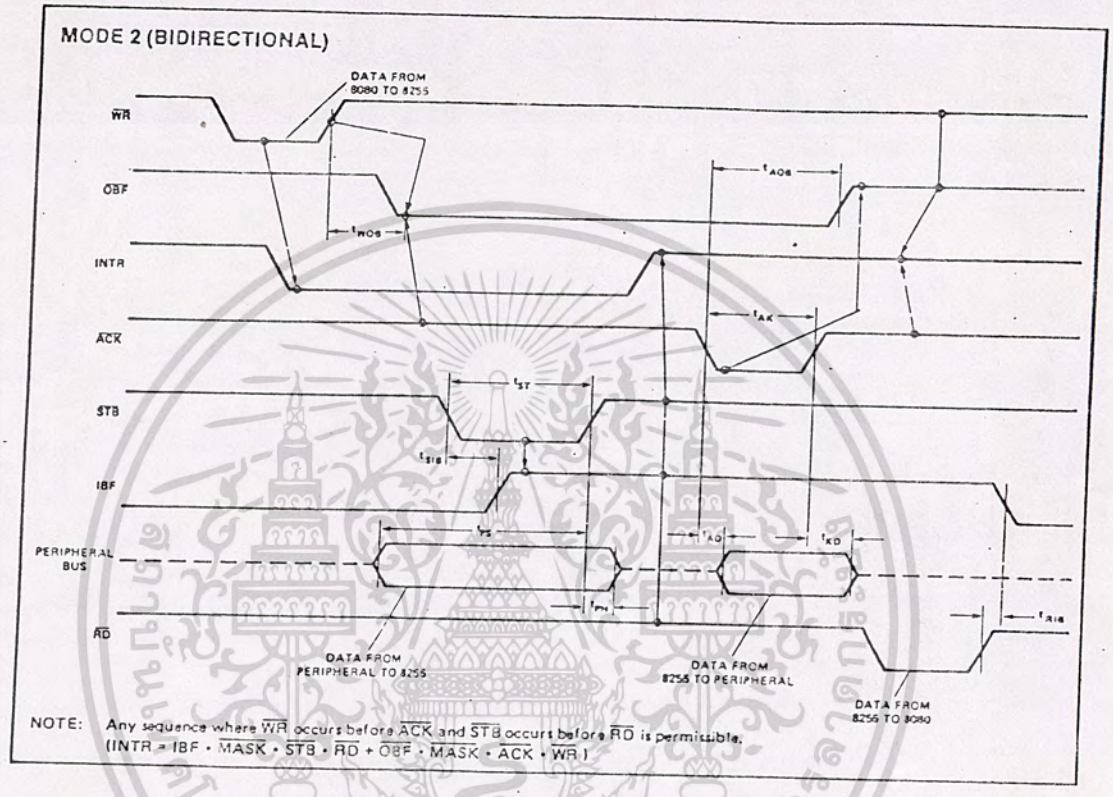
MODE 1 (STROBED OUTPUT)



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

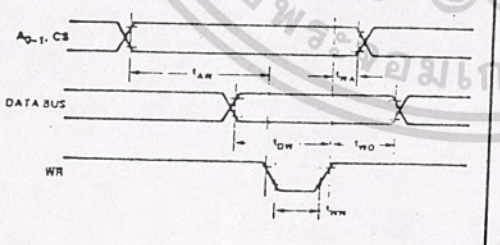
WAVEFORMS (Continued)

MODE 2 (BIDIRECTIONAL)

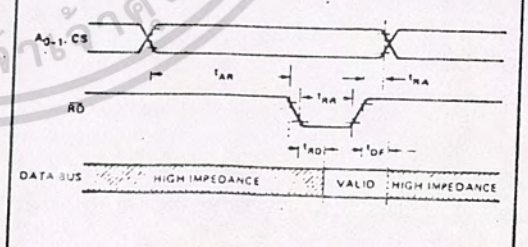


NOTE: Any sequence where $\overline{WR}$ occurs before $\overline{ACK}$ and $\overline{STB}$ occurs before $\overline{RD}$ is permissible.
(INTR = IBF • MASK • $\overline{STB}$ • $\overline{RD}$ + $\overline{OBF}$ • MASK • $\overline{ACK}$ • $\overline{WR}$)

WRITE TIMING



READ TIMING



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

SCL4046B
SCL4446B

CMOS PHASE-LOCKED LOOPS

FEATURES

- Very low power consumption — 70 μW (typ) @ f_o = 10kHz, 5Vdc
- Operating frequency range (no offset) —
  Up to 3MHz (typ) @ 10Vdc (SCL4046B)
  Up to 4MHz (typ) @ 10Vdc (SCL4446B)
- Low frequency drift — 0.04%/°C (typ) @ 10Vdc
- Choice of two phase comparators:
  1. Exclusive-OR network
  2. Edge-controlled memory network with phase-pulse output for lock indication
- VCO Inhibit control for ON-OFF keying and ultra-low standby power consumption
- High VCO linearity 1% (typ)
- Source-follower output of VCO control input (Demodulator Output)
- Zener Diode to assist Supply Regulation
- Balanced Output Drive Current Specifications

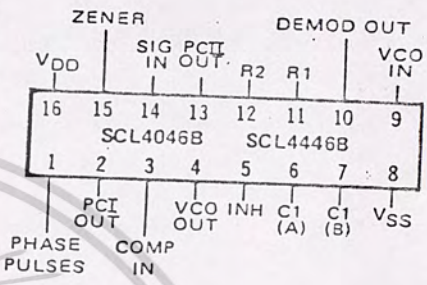
APPLICATIONS

- FM demodulator and modulator
- Frequency synthesis and multiplication
- Frequency discriminator
- Data synchronization
- Voltage-to-frequency conversion
- Tone decoding
- FSK-Modems
- Signal conditioning

DESCRIPTION

The SCL4046B and SCL4446B phase-locked loops contain two phase comparators, a voltage-controlled oscillator (VCO), source follower, and zener diode. The comparators have two common inputs. The Signal input can be used directly coupled to large voltage signals, or indirectly coupled (with a series capacitor) to small voltage signals. The self-bias circuit adjusts small voltage signals in the linear region of the amplifier. Phase comparator I (an exclusive-OR gate) provides a digital error signal PCI_{out}, and maintains 90° phase shift at the center frequency between Signal and Comparator inputs (both at 50% duty cycle). Phase comparator II (with leading edge sensing logic) provides digital error signals $PCII_{out}$ and Phase Pulses, and maintains a 0° phase shift between input signals (duty cycle is immaterial). The linear VCO produces an output signal VCO_{out} whose frequency is determined by the voltage of input VCO_{in} and the capacitor and resistors connected to pins $C1_A$, $C1_B$, R1, and R2. The source follower output, Demod Out, with an external resistor is used where the VCO_{in} signal is needed but no loading can be tolerated. The inhibit input Inh, when high, disables the VCO and source follower to minimize standby power consumption. The zener diode can be used to assist in power supply regulation.

CONNECTION DIAGRAM
(all packages)



Add suffix for package:

C	16-pin Cerdip
D	16-pin Ceramic
E	16-pin Epoxy
F	16-pin Flat
H	Chip

RECOMMENDED OPERATING CONDITIONS

For maximum reliability:

DC Supply Voltage	$V_{DD} - V_{SS}$	3 to 15	Vdc
Operating Temperature	T_A		
C, D, F, H Device		-55 to +125	°C
E Device		-40 to +85	°C

BLOCK DIAGRAM

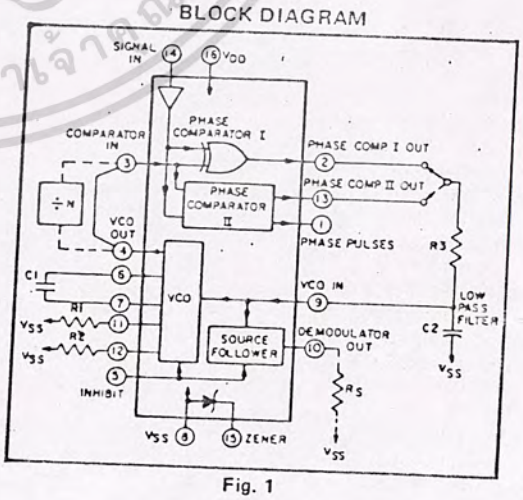


Fig. 1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

VCO SECTION

The VCO requires one external capacitor (C1) and one to two external resistors (R1 or R1 and R2). Resistor R1 and capacitor C1 determine the frequency range of the VCO and resistor R2 enables the VCO to have a frequency offset if required. The high input impedance ($10^{12}\Omega$) of the VCO simplifies the design of low-pass filters by permitting the designer a wide choice of resistor-to-capacitor ratios. In order not to load the low-pass filter, a source-follower output of the VCO input voltage is provided at terminal 10 (DEMODULATOR OUTPUT). If this terminal is used, a load resistor (R_S) of 50kΩ or more should be connected from this terminal to V_{SS}. If unused, this terminal should be left open. The VCO can be connected directly or through frequency dividers to the comparator input of the phase comparators. A full CMOS logic swing is available at the output of the VCO. A logic 0 on the INHIBIT input "enables" the VCO and the source follower, while a logic 1 "turns off" both to minimize stand-by power consumption.

PHASE COMPARATORS

The phase-comparator signal input (terminal 14) can be direct-coupled provided the signal swing is within CMOS logic levels [logic "0" $\leqslant$ 30% (V_{DD}-V_{SS}), logic "1" $\geqslant$ 70% (V_{DD}-V_{SS})]. For smaller swings the signal must be capacitively coupled to the self-biasing amplifier at the signal input.

Phase comparator I is an exclusive-OR network; it operates analogously to an over-driven balanced mixer. To maximize the lock range, the signal and comparator-input frequencies must have a 50% duty cycle. With no signal or noise on the signal input, this phase comparator has an average output voltage equal to $V_{DD}/2$. The low-pass filter connected to the output of phase comparator I supplies the averaged voltage to the VCO input, and causes the VCO to oscillate at the center frequency (f_o).

The frequency range of input signals on which the PLL will lock, if it was initially out of lock, is defined as the frequency capture range ($2f_c$).

The frequency range of input signals on which the loop will stay locked if it was initially in lock is defined as the frequency lock range ($2f_L$). The capture range can not exceed the lock range.

With phase comparator I, the range of frequencies over which the PLL can acquire lock (capture range) is dependent on the low-pass-filter characteristics, and can be made as large as the lock range. Phase-comparator I enables a PLL system to remain in lock in spite of high amounts of noise in the input signal.

One characteristic of this type of phase comparator is that it may lock onto input frequencies that are close to harmonics of the VCO center-frequency. A second characteristic is that the phase angle between the signal and the comparator input varies between 0° and 180°, and is 90° at the center frequency. Figure 2 shows the (typical) triangular phase-to-output response characteristic of phase-comparator I. Typical waveforms for a CMOS phase-locked-loop employing phase comparator I in locked condition is shown in Figure 3.

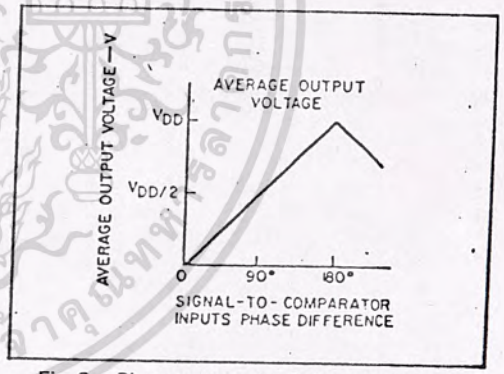


Fig. 2 — Phase-comparator I characteristics at low-pass filter output.

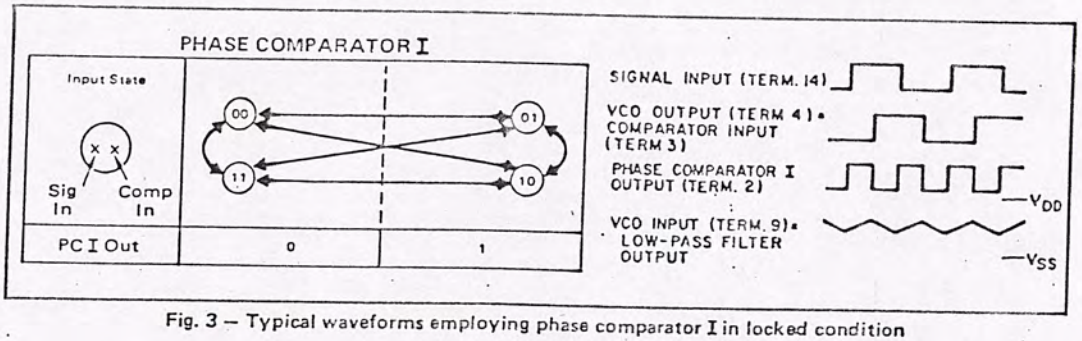


Fig. 3 — Typical waveforms employing phase comparator I in locked condition

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

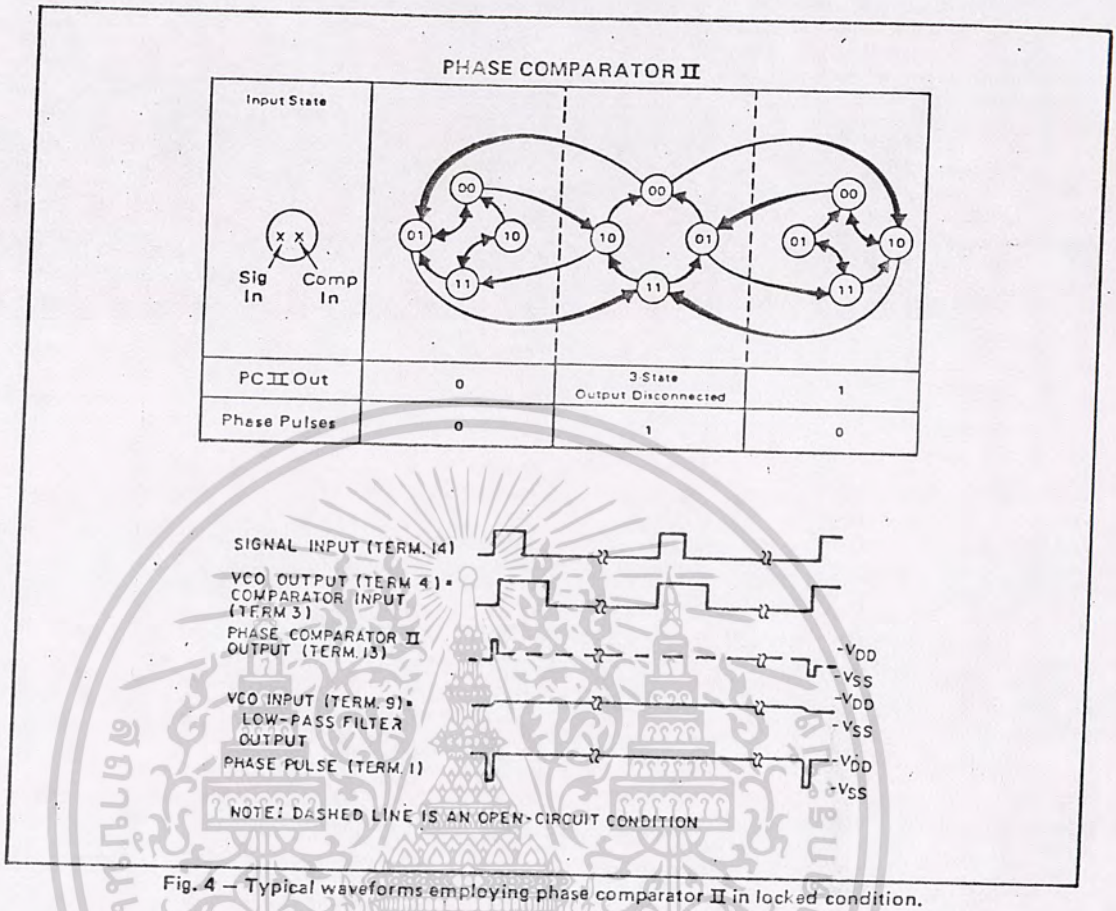


Fig. 4 – Typical waveforms employing phase comparator II in locked condition.

Phase-comparator II is an edge-controlled digital memory network. It consists of several flip-flop stages, control gating, and a three state output circuit comprising p- and n-type drivers having a common output node. When the p-MOS or n-MOS drivers are ON, they pull the output up to V_{DD} or down to V_{SS}, respectively. This type of phase comparator acts only on the positive edges of the signal and comparator inputs. The duty cycles of the signal and comparator inputs are not important since positive transitions control the PLL system utilizing this type of comparator. If the signal lags the comparator input in phase, the n-type output driver is maintained ON for a time corresponding to the phase difference. If the comparator input lags the signal in phase, the p-type output driver is maintained ON for a time corresponding to the phase difference. Subsequently, the capacitor voltage of the low-pass filter connected to this phase comparator is adjusted until the signal and comparator inputs are equal in both phase and frequency. At this stable point, both p- and n-type output drivers remain OFF. Thus, the phase comparator output becomes an open circuit and holds the voltage on the capacitor of the low-pass filter constant. Moreover, the signal at the "phase pulses" output is a high level which can be used for indicating a locked condition. Thus, for phase comparator II, no phase difference exists between signal and comparator input over the full VCO frequency range. Moreover, the power dissipation due to the low-pass filter is reduced when this type of phase comparator is used because both the p- and n-type output drivers are OFF for most of the signal input cycle.

It should be noted that the PLL lock range for this type of phase comparator is equal to the capture range, independent of the low-pass filter. With no signal present at the signal input, the VCO is adjusted to its lowest frequency for phase comparator II. Figure 4 shows typical waveforms for a CMOS PLL employing phase comparator II in a locked condition.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

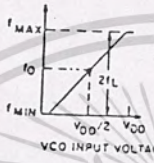
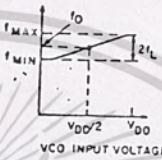
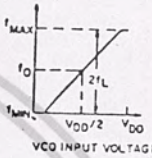
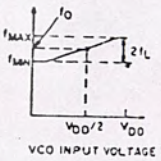
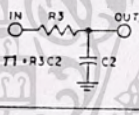
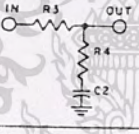
DESIGN INFORMATION

This information is a guide for approximating the values of external components for the SCL4046B and SCL4444B in a Phase-Locked Loop system. The selected external components must be within the following ranges:

$R1, R2 \geqslant 2k\Omega, R_S \geqslant 10k\Omega$

$C1 \geqslant 15pF$

In addition to the given design information refer to Figure 5 for R1, R2, and C1 component selections.

CHARACTERISTICS	USING PHASE COMPARATOR I		USING PHASE COMPARATOR II	
	VCO WITHOUT OFFSET $R_2 = \infty$	VCO WITH OFFSET	VCO WITHOUT OFFSET $R_2 = \infty$	VCO WITH OFFSET
VCO Frequency				
For No Signal Input	VCO in PLL system will adjust to center frequency, f_O		VCO in PLL system will adjust to lowest operating frequency, f_{min}	
Frequency Lock Range, $2f_L$	$2f_L$ = full VCO frequency range $2f_L = f_{max} - f_{min}$			
Frequency Capture Range, $2f_C$	 $2f_C \approx \frac{1}{\pi\sqrt{\frac{2\pi f_L}{R1}}}$		$f_C = f_L$	
Loop Filter Component Selection	 For $2f_C$, see Ref.			
Phase Angle between Signal and Comparator	90° at center frequency (f_O), approximating 0° and 180° at ends of lock range ($2f_L$)		Always 0° in lock	
Locks on Harmonics of Center Frequency	Yes		No	
Signal Input Noise Rejection	High		Low	
VCO Component Selection	– Given: f_O – Use f_O with Fig.5a to determine R1 and C1	– Given: f_O and f_L – Calculate f_{min} from the equation $f_{min} = f_O - f_L$ – Use f_{min} with Fig. 5b to determine R2 and C1 – Calculate $\frac{f_{max}}{f_{min}}$ from the equation $\frac{f_{max}}{f_{min}} = \frac{f_O + f_L}{f_O - f_L}$ – Use $\frac{f_{max}}{f_{min}}$ with Fig.5c to determine ratio R2/R1 to obtain R1	– Given: f_{max} – Calculate f_O from the equation $f_O = \frac{f_{max}}{2}$ – Use f_O with Fig.5a to determine R1 and C1	– Given: f_{min} & f_{max} – Use f_{min} with Fig.5b to determine R2 and C1 – Calculate $\frac{f_{max}}{f_{min}}$ – Use $\frac{f_{max}}{f_{min}}$ with Fig.5c to determine ratio R2/R1 to obtain R1

REF. G. S. Moschytz, "Miniaturized RC Filters Using Phase-Locked Loop", BSTJ, May, 1965.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ELECTRICAL CHARACTERISTICS [1, 3]

PARAMETER		V_{DD} (Vdc)	CONDITIONS	T_{LOW} [2]		+25°C			T_{HIGH} [2]		Units
				Min.	Max.	Min.	Typ.	Max.	Min.	Max.	
QUIESCENT DEVICE CURRENT	I_{DD}	5	Inhibit = V_{DD}	–	5	–	0.05	5	–	150	µAdc
		10	Signal Input =	–	10	–	0.01	10	–	300	
		15	V_{DD}	–	20	–	0.2	20	–	600	
TOTAL POWER DISSIPATION	P_T		Inh = V_{SS}, $VCO_{IN} = \frac{V_{DD}}{2}$, f_o = 10kHz,								
		5	C_L = 15pF	–	–	–	0.07	–	–	–	mW
		10	R1 = 1MΩ,	–	–	–	0.6	–	–	–	
		15	R2 = R_S = ∞	–	–	–	2.4	–	–	–	

NOTES: [1] Remaining Static Electrical Characteristics are listed under "SCL4000B Series Family Specifications".

[2] T_{LOW} = -55°C for C, D, F, H device.
= -40°C for E device.
T_{HIGH} = +125°C for C, D, F, H device.
= + 85°C for E device.

[3] VCO output (pin 4) and Phase Comparator Outputs (pins 2 and 13) have been designed for balanced output drive current specifications. Consult Family Specifications.

PARAMETER		CONDITIONS		V_{DD}	25°C			UNIT
VCO SECTION					Min.	Typ.	Max.	
MAXIMUM OPERATING FREQUENCY	f_{max}							
SCL4046B			R1 C1					
		R2 = ∞	10k 50pF	5	0.5	0.8	–	MHz
		VCO_{IN} = V_{DD}		10	1.0	1.5	–	
				15	1.3	1.9	–	
			5k 50pF	5	0.6	1.0	–	MHz
				10	1.4	2.1	–	
				15	1.8	2.7	–	
			2k 50pF	5	–	1.3	–	MHz
				10	–	2.9	–	
				15	–	3.8	–	
SCL4446B			R1 C1					
		R2 = ∞	10k 50pF	5	0.7	1.0	–	MHz
		VCO_{IN} = V_{DD}		10	1.3	2.0	–	
				15	1.9	2.8	–	
			5k 50pF	5	0.9	1.3	–	MHz
				10	1.9	2.9	–	
				15	2.6	3.9	–	
			2k 50pF	5	–	1.8	–	MHz
				10	–	3.9	–	
				15	–	5.4	–	
LINEARITY		R2 = ∞		5	–	1	–	%
		VCO_{IN} = 2.5±0.3V, R1 ≥ 10kΩ						
		VCO_{IN} = 5.0±2.5V, R1 ≥ 400kΩ		10	–	1	–	
		VCO_{IN} = 7.5±5.0V, R1 ≥ 1MΩ		15	–	1	–	

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ELECTRICAL CHARACTERISTICS (Continued)

PARAMETER		CONDITIONS	V_{DD}	+25°C			UNIT
				Min.	Typ.	Max.	
VCO SECTION (Continued)							
TEMPERATURE-FREQUENCY STABILITY							
No Offset		R2 = ∞	5	–	0.12-0.24	–	%/°C
			10	–	0.04-0.08	–	
			15	–	0.015-0.03	–	
With Offset		R2 ≤ 10X R1	5	–	0.06-0.12	–	%/°C
			10	–	0.05-0.1	–	
			15	–	0.03-0.06	–	
INPUT RESISTANCE (VCO_{IN})	R_{IN}		5, 10, 15	–	10^6	–	MΩ
OUTPUT DUTY CYCLE		All valid input combinations and voltages		–	50	—	%
OUTPUT TRANSITION TIME	t_{TLH}, t_{THL}	C_L = 50pF	5	–	100	200	ns
			10	–	50	100	
			15	–	40	80	
PHASE COMPARATORS							
INPUT RESISTANCE Signal Input	R_{IN}		5	1	3	–	MΩ
			10	0.2	0.7	–	
			15	0.1	0.3	–	
Comparator Input	R_{IN}		5, 10, 15	–	10^6	–	MΩ
AC-COUPLED INPUT SENSITIVITY Signal Input	V_{IN}		5	–	200	400	mV
			10	–	400	800	
			15	–	700	1400	
OUTPUT TRANSITION TIME PCI, PCII Outputs	t_{TLH}, t_{THL}	C_L = 50pF	5	–	100	200	ns
			10	–	50	100	
			15	–	40	80	
Phase Pulses Output	t_{TLH}, t_{THL}		5	–	130	260	ns
			10	–	65	130	
			15	–	50	100	
DEMODULATOR OUTPUT							
OFFSET VOLTAGE	VCO_{IN} = V_{DEM}	R_S ≥ 50kΩ	5	–	1.4	2.2	Vdc
			10	–	1.6	2.2	
			15	–	1.8	2.2	
LINEARITY		R_S ≥ 50kΩ					
		VCO_{IN} = 2.5±0.3V	5	–	0.1	–	%
		VCO_{IN} = 5.0±2.5V	10	–	0.6	–	
		VCO_{IN} = 7.5±5.0V	15	–	0.8	–	
ZENER DIODE							
ZENER VOLTAGE	V_Z	I_Z = 50μA	–	6.3	7.0	7.7	V
DYNAMIC RESISTANCE	R_Z	I_Z = 1mA	–	–	100	–	Ω

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

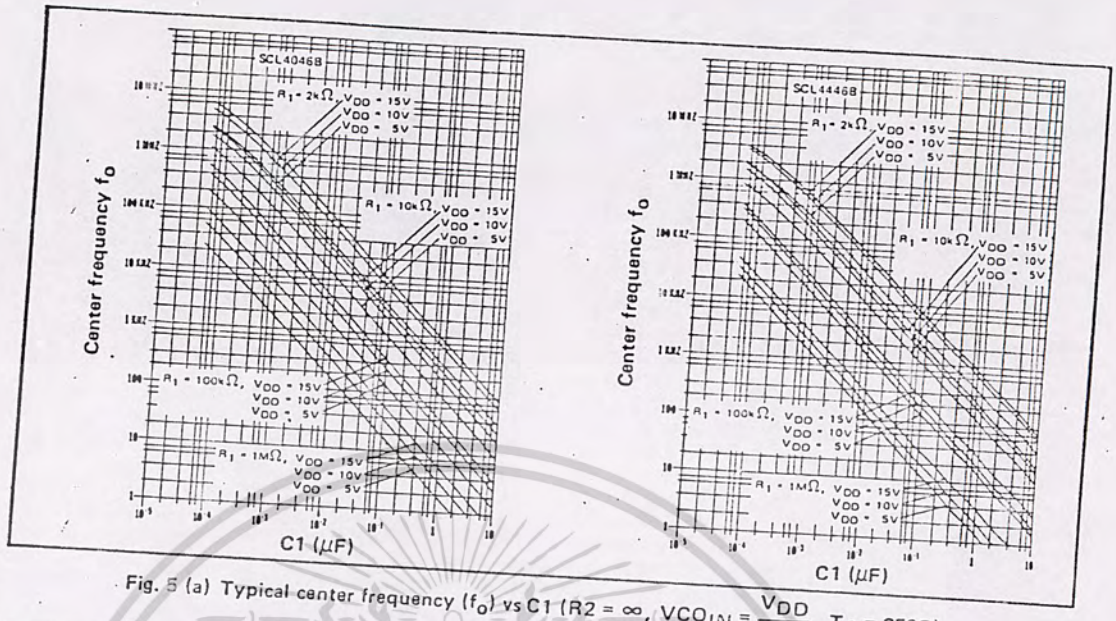


Fig. 5 (a) Typical center frequency (f_o) vs C1 ($R2 = \infty$, $VCO_{IN} = \frac{V_{DD}}{2}$, $T_A = 25°C$)

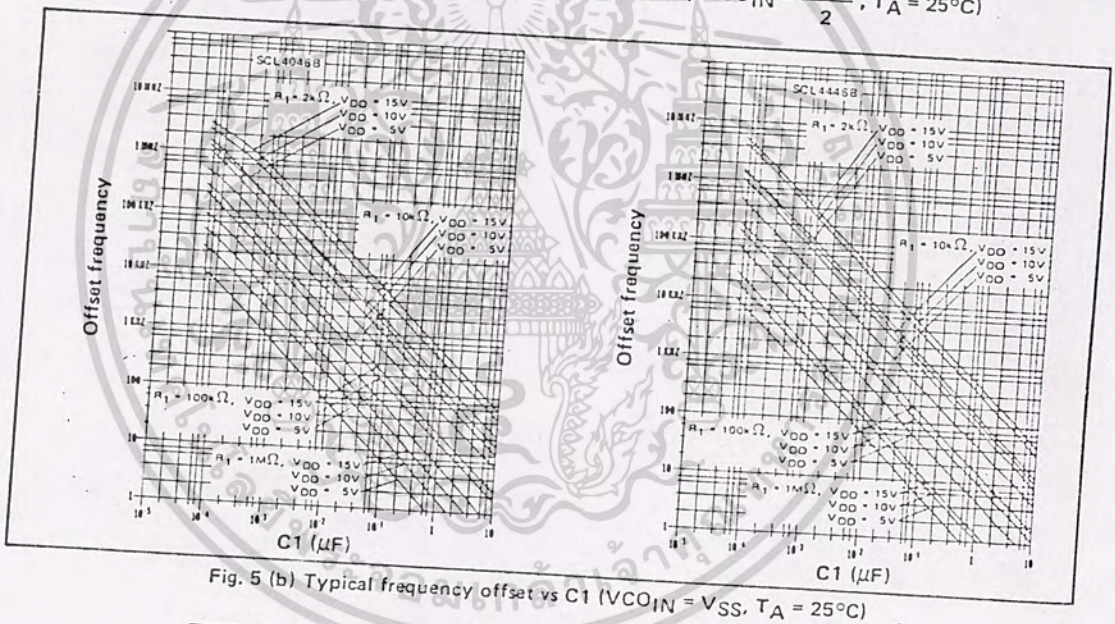


Fig. 5 (b) Typical frequency offset vs C1 ($VCO_{IN} = V_{SS}$, $T_A = 25°C$)

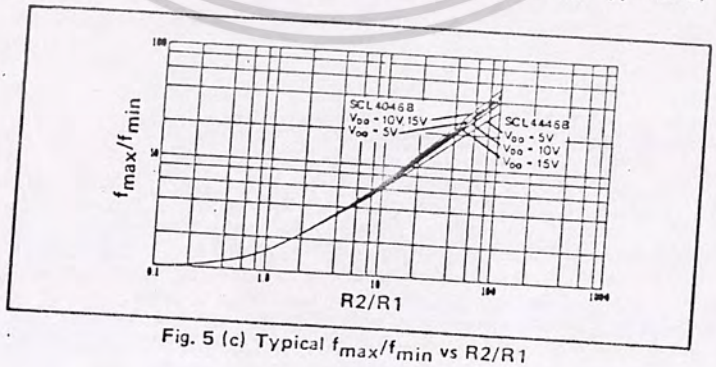


Fig. 5 (c) Typical f_{max}/f_{min} vs R2/R1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

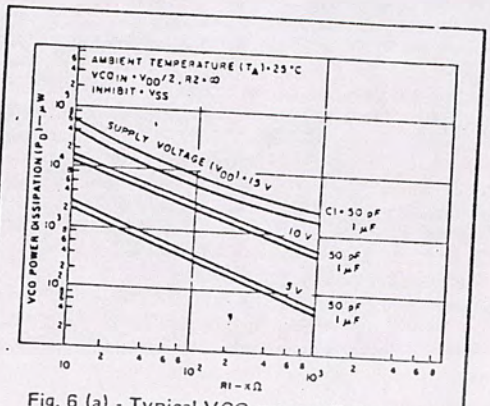


Fig. 6 (a) - Typical VCO power dissipation at center frequency vs R1.

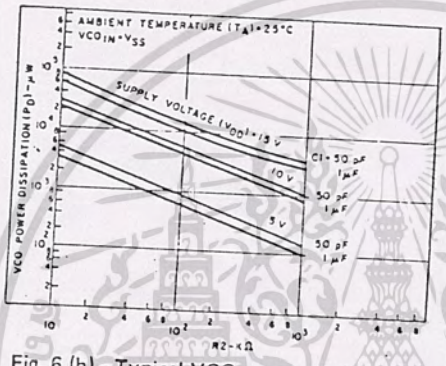


Fig. 6 (b) - Typical VCO power dissipation at f_{min} vs R2.

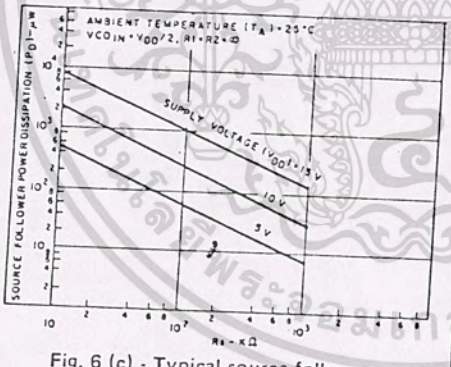


Fig. 6 (c) - Typical source follower power dissipation vs R_S.

NOTE: To obtain approximate total power dissipation of PLL system for no-signal input

P_D (Total) = P_D (f_o) + P_D (f_{MIN}) + P_D (R_S)
— Phase Comparator I

P_D (Total) = P_D (f_{MIN})
— Phase Comparator II

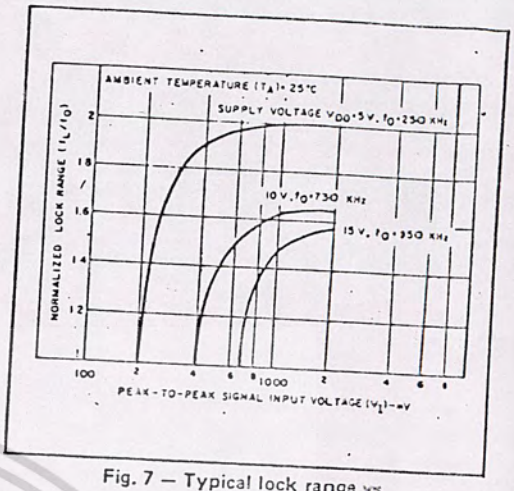


Fig. 7 — Typical lock range vs signal input amplitude

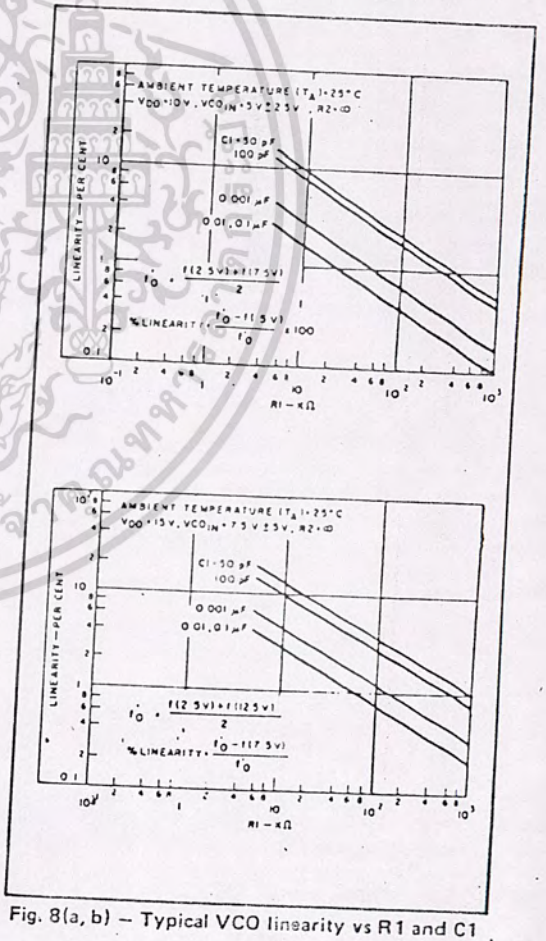


Fig. 8(a, b) — Typical VCO linearity vs R1 and C1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

National Semiconductor Corporation

LM386 Low Voltage Audio Power Amplifier

General Description

The LM386 is a power amplifier designed for use in low voltage consumer applications. The gain is internally set to 20 to keep external part count low, but the addition of an external resistor and capacitor between pins 1 and 8 will increase the gain to any value up to 200.

The inputs are ground referenced while the output is automatically biased to one half the supply voltage. The quiescent power drain is only 24 milliwatts when operating from a 6 volt supply, making the LM386 ideal for battery operation.

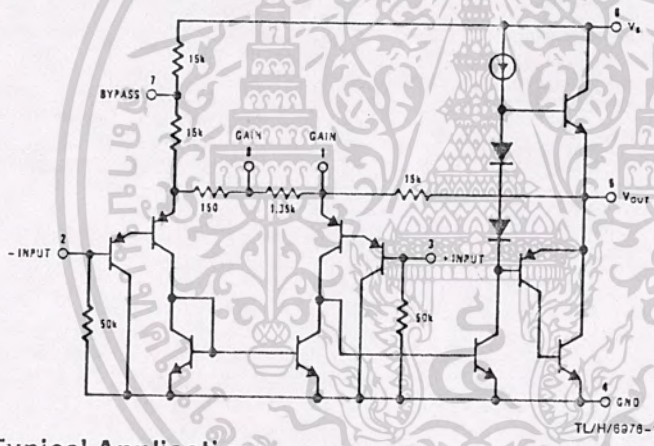
Features

- Battery operation
- Minimum external parts
- Wide supply voltage range — 4V–12V or 5V–18V
- Low quiescent current drain — 4 mA
- Voltage gains from 20 to 200
- Ground referenced input
- Self-centering output quiescent voltage
- Low distortion
- Eight pin dual-in-line package

Applications

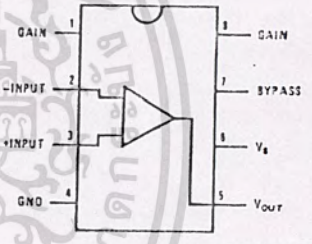
- AM-FM radio amplifiers
- Portable tape player amplifiers
- Intercoms
- TV sound systems
- Line drivers
- Ultrasonic drivers
- Small servo drivers
- Power converters

Equivalent Schematic and Connection Diagrams



TL/H/6978-1

Dual-In-Line and Small Outline Packages



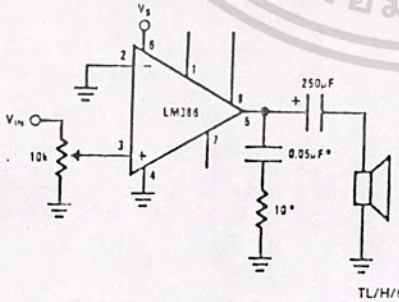
TL/H/6978-2

Top View

Order Number LM386M-1, LM386N-1, LM386N-3 or LM386N-4
See NS Package Number M08A or N08E

Typical Applications

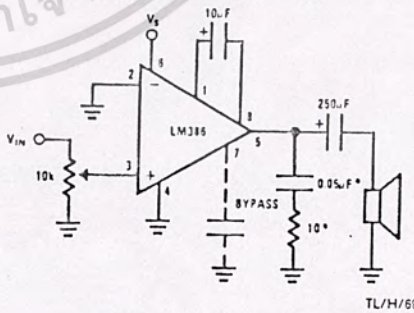
Amplifier with Gain = 20
Minimum Parts



TL/H/6978-3

*Required for LM386N-4 only.

Amplifier with Gain = 200



TL/H/6978-4

*Required for LM386N-4 only.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Absolute Maximum Ratings

If Military/Aerospace specified devices are required, contact the National Semiconductor Sales Office/ Distributors for availability and specifications.

Supply Voltage (LM386N-1, -3, LM386M-1)	15V
Supply Voltage (LM386N-4)	22V
Package Dissipation (Note 1) (LM386N-4)	1.25W
Input Voltage	±0.4V
Storage Temperature	−65°C to +150°C
Operating Temperature	0°C to +70°C
Junction Temperature	+150°C
Soldering Information	
Dual-In-Line Package	
Soldering (10 sec)	+260°C
Small Outline Package	
Vapor Phase (60 sec)	+215°C
Infrared (15 sec)	+220°C

See AN-450 "Surface Mounting Methods and Their Effect on Product Reliability" for other methods of soldering surface mount devices.

Electrical Characteristics $T_A = 25°C$

Parameter	Conditions	Min	Typ	Max	Units
Operating Supply Voltage (V_S) LM386N-1, -3, LM386M-1 LM386N-4		 4 5		 12 18	 V V
Quiescent Current (I_Q)	V_S = 6V, V_{IN} = 0		4	8	mA
Output Power (P_{OUT}) LM386N-1, LM386M-1 LM386N-3 LM386N-4	 V_S = 6V, R_L = 8Ω, THD = 10% V_S = 9V, R_L = 8Ω, THD = 10% V_S = 16V, R_L = 32Ω, THD = 10%	 250 500 700	 325 700 1000		 mW mW mW
Voltage Gain (A_V)	V_S = 6V, f = 1 kHz 10 μF from Pin 1 to 8		26 46		dB dB
Bandwidth (BW)	V_S = 6V, Pins 1 and 8 Open		300		kHz
Total Harmonic Distortion (THD)	V_S = 6V, R_L = 8Ω, P_{OUT} = 125 mW f = 1 kHz, Pins 1 and 8 Open		0.2		%
Power Supply Rejection Ratio (PSRR)	V_S = 6V, f = 1 kHz, C_{BYPASS} = 10 μF Pins 1 and 8 Open, Referred to Output		50		dB
Input Resistance (R_{IN}) Input Bias Current (I_{BIAS})	 V_S = 6V, Pins 2 and 3 Open		50 250		kΩ nA

Note 1: For operation in ambient temperatures above 25°C, the device must be derated based on a 150°C maximum junction temperature and 1) a thermal resistance of 80°C/W junction to ambient for the dual-in-line package and 2) a thermal resistance of 170°C/W for the small outline package.

Application Hints

GAIN CONTROL

To make the LM386 a more versatile amplifier, two pins (1 and 8) are provided for gain control. With pins 1 and 8 open the 1.35 kΩ resistor sets the gain at 20 (26 dB). If a capacitor is put from pin 1 to 8, bypassing the 1.35 kΩ resistor, the gain will go up to 200 (46 dB). If a resistor is placed in series with the capacitor, the gain can be set to any value from 20 to 200. Gain control can also be done by capacitively coupling a resistor (or FET) from pin 1 to ground.

Additional external components can be placed in parallel with the internal feedback resistors to tailor the gain and frequency response for individual applications. For example, we can compensate poor speaker bass response by frequency shaping the feedback path. This is done with a series RC from pin 1 to 5 (paralleling the internal 15 kΩ resistor). For 6 dB effective bass boost: R ≃ 15 kΩ, the lowest value for good stable operation is R = 10 kΩ if pin 8 is open. If pins 1 and 8 are bypassed then R as low as 2 kΩ can be used. This restriction is because the amplifier is only compensated for closed-loop gains greater than 9.

INPUT BIASING

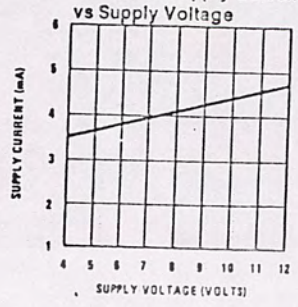
The schematic shows that both inputs are biased to ground with a 50 kΩ resistor. The base current of the input transistors is about 250 nA, so the inputs are at about 12.5 mV when left open. If the dc source resistance driving the LM386 is higher than 250 kΩ it will contribute very little additional offset (about 2.5 mV at the input, 50 mV at the output). If the dc source resistance is less than 10 kΩ, then shorting the unused input to ground will keep the offset low (about 2.5 mV at the input, 50 mV at the output). For dc source resistances between these values we can eliminate excess offset by putting a resistor from the unused input to ground, equal in value to the dc source resistance. Of course all offset problems are eliminated if the input is capacitively coupled.

When using the LM386 with higher gains (bypassing the 1.35 kΩ resistor between pins 1 and 8) it is necessary to bypass the unused input, preventing degradation of gain and possible instabilities. This is done with a 0.1 μF capacitor or a short to ground depending on the dc source resistance on the driven input.

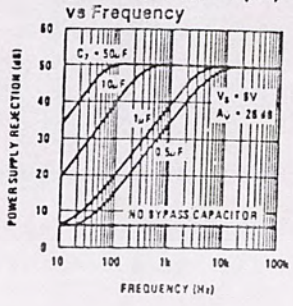
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Performance Characteristics

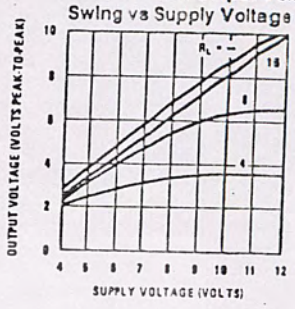
Quiescent Supply Current vs Supply Voltage



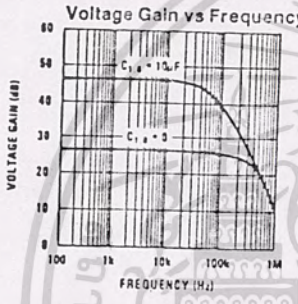
Power Supply Rejection Ratio (Referred to the Output) vs Frequency



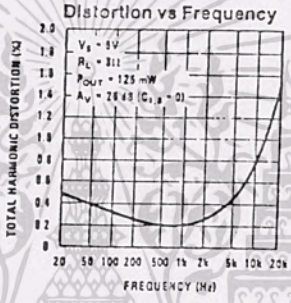
Peak-to-Peak Output Voltage Swing vs Supply Voltage



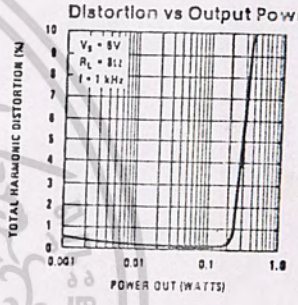
Voltage Gain vs Frequency



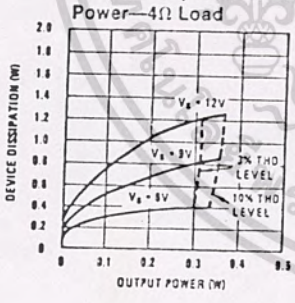
Distortion vs Frequency



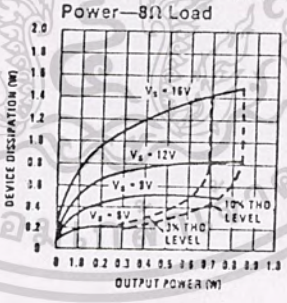
Distortion vs Output Power



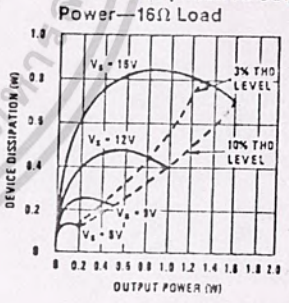
Device Dissipation vs Output Power—4Ω Load



Device Dissipation vs Output Power—8Ω Load



Device Dissipation vs Output Power—16Ω Load

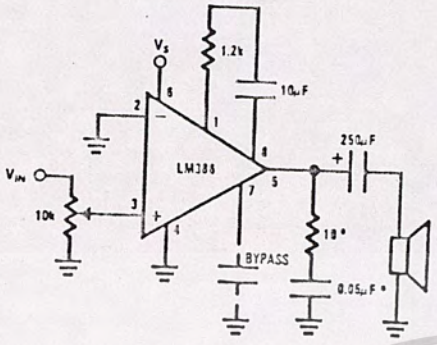


TL/H/6978–5

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

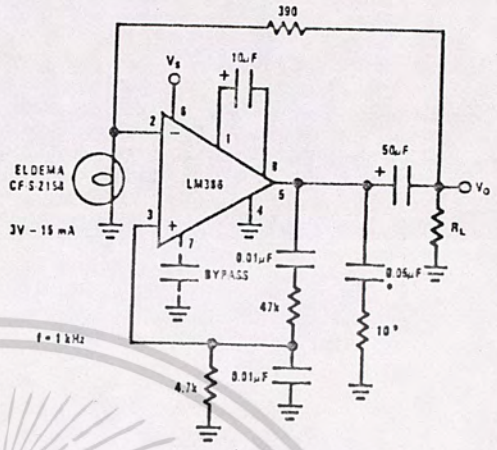
Typical Applications (Continued)

Amplifier with Gain = 50



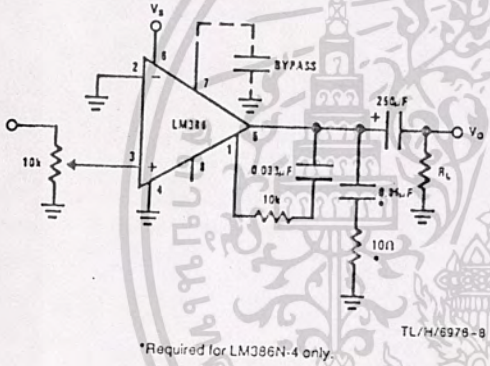
TL/H/6976-6

Low Distortion Power Wienbridge Oscillator



TL/H/6976-7

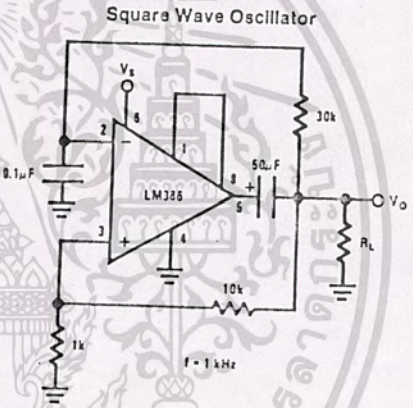
Amplifier with Bass Boost



TL/H/6976-8

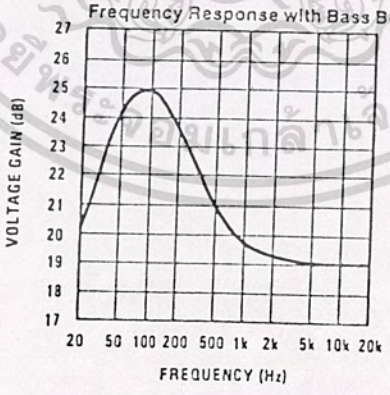
*Required for LM386N-4 only.

Square Wave Oscillator



TL/H/6976-9

Frequency Response with Bass Boost

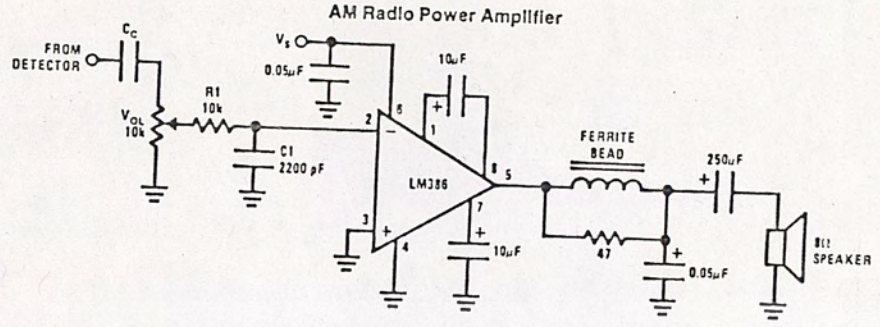


TL/H/6976-10

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Applications (Continued)

AM Radio Power Amplifier



Note 1: Twist supply lead and supply ground very tightly.
Note 2: Twist speaker lead and ground very tightly.
Note 3: Ferrite bead is Ferroxcube K5-001-001/3B with 3 turns of wire.
Note 4: R1C1 band limits input signals.
Note 5: All components must be spaced very close to IC.

TL/H/6976–11

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

UMC

UM91210C/D

Tone/Pulse Dialer

Features

- Tone/Pulse switchable (slide switch)
- 32 digit capacity for redialing
- Automatic mix redialing (last number redial) of pulse — DTMF with multiple automatic access pause
- PABX auto-pause for 3.6-sec
- Low power CMOS process (2.0 to 5.5V)
- Numbers dialed manually after redial are cascadeable and stored as additional numbers for next redialing
- Power-on reset circuit builtin
- Uses inexpensive TV crystal (3.58 MHz)
- Make/Break ratio (33⅓ : 66⅔ / 40:60) pin selectable
- Touch key hooking (560 ms)
- 4 x 4 or (2 of 8) keyboard available
- Low standby current

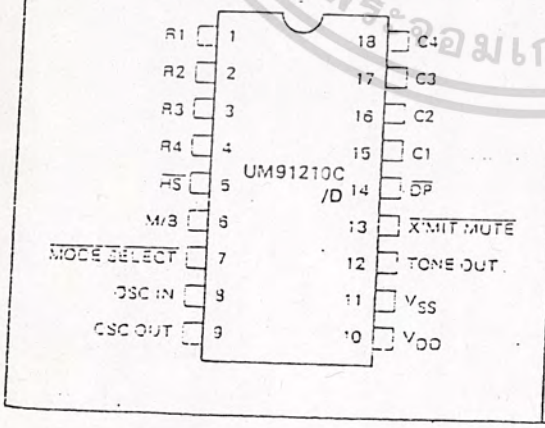
General Description

The UM91210C/D is a TONE/PULSE switchable dialer with a 32-digit redial memory. Through pin selection, switching from PULSE to DTMF mode can be done using slide switch.

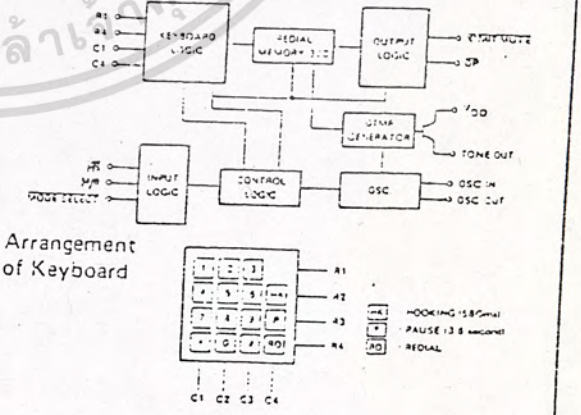
All necessary dual-tone frequencies are derived from a 3.58 MHz TV crystal, providing high accuracy and stability. The required sinusoidal wave form for each individual tone is digitally synthesized on the chip. The waveform so generated has low total harmonic distortion (7% max). A voltage reference is generated on the chip which is stable over the operating voltage and temperature range, and regulates the signal levels of the dual tones to meet telephone industry specifications.

CMOS technology is used to produce this device, resulting in low power requirements, high noise immunity, and serves as an easy interface to a variety of telephones requiring few external components.

Pin Configuration



Block Diagram



Arrangement of Keyboard

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Pin Description

Keyboard (R_1, R_2, R_3, R_4, C_1, C_2, C_3, C_4)

These inputs can serve as an interface to an XY matrix keyboard. $C_1 \sim C_4$ & $R_1 \sim R_4$ are set to low at On Hook ($\overline{HS}$ = high). $C_1 \sim C_4$ key Inputs are set to low and $R_1 \sim R_4$ are set to high at Off HOOK ($\overline{HS}$ = low) which enables the key-input operation.

Oscillator starts running when a keypress is detected. Scanning signals are presented at both column and row inputs (Typ.: 445 Hz) until the input key is released. Key inputs are compatible with standard 2-of-8 form or single-contact keyboard. Debouncing is provided to avoid false entry (Typ.: 23 ms).

Hook Switch ($\overline{HS}$)

This input detects the state of the hook switch contact. "Off Hook" corresponds to V_{SS} condition. "On Hook" corresponds to V_{DD} condition.

Make/Break Ratio (M/B)

This input provides the selection of the Make/Break ratio (33.3:66.7/40:60) when M/B is connected to V_{DD}/V_{SS}.

Oscillator Input/Output (OSC IN, OSC OUT)

These pins are provided to connect an external 3.58 MHz crystal. Oscillation starts (at Off Hook) and is sustained until pulse or DTMF signals are finished.

Dial Pulse Out ($\overline{DP}$)

The normal output will be "ON" during Break and "OFF" during make at "Off Hook" ($\overline{HS} = V_{SS}$). The Output will be "OFF" at "ON HOOK". (N channel open drain).

DTMF Signal Output (TONE OUT)

When a valid keypress is detected in DTMF mode Appropriate low group and high group frequencies are generated which hybridize the Dual Tone Output. Tone out is "OFF" state in pulse mode.

Power (V_{DD}, V_{SS})

These are the power supply inputs. This device is designed to operate on 2.0V to 5.5V.

Tone Frequencies

Input	Specified	Actual	% Error
R1	697	699.1	+0.31
R2	770	766.2	−0.49
R3	852	847.4	−0.54
R4	941	948.0	+0.74
C1	1,209	1,215.7	+0.57
C2	1,336	1,331.7	−0.32
C3	1,477	1,471.9	−0.35

Tone Duration & Pause in Redial

Parameter	Symbol	Typ.	Unit
Tone Duration	TD	74	ms
Minimum Pause	ITP	110	ms
Cycle Time	TC	184	ms

X'mit Mute Output ($\overline{X'MIT\ MUTE}$)

$\overline{HS}$	$\overline{X'mit\ Mute\ Output}$
V_{DD}	OFF
V_{SS}	Normally "OFF" "ON" during Pulse and DTMF Dialing

– (N channel open drain)

Mode Select Input ($\overline{MODE\ SELECT}$)

Pulse/DTMF mode is selected as shown in the following table. Initial Mode means the state after going Off Hook ($\overline{HS} = V_{SS}$)

$\overline{MODE\ SELECT}$	Initial Mode	Switching Entry Mode
V_{DD}	Pulse	Mode Select Input = V_{SS}
V_{SS}	Tone	N/A

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Single Tone Operation In DTMF Mode (Test Mode)

The [•] and [#] keys are used to trigger the chip into test mode by depressing them simultaneously at "Off Hook". The single tone is shown in the following table in contrast with normal mode.

Normal mode

	C_1	C_2	C_3
R_1	1	2	3
R_2	4	5	6
R_3	7	8	9
R_4	•	0	#

Single tone mode

	C_1	C_2	C_3
R_1	R_1	C_2	C_3
R_2	C_1	C_2	R_2
R_3	R_3	C_2	C_3
R_4	C_1	R_4	C_3

Keyboard Operation

SINGLE MODE OPERATION

Pulse Mode Operation

[Off Hook] [D_1] ..... [D_n]

Pulse mode is defined by the initial mode after going Off Hook and latched at [D_1] key-entry. This is the condition under $\overline{\text{MODE SELECT}} = V_{DD}$.

Tone Mode Operation

1) [Off Hook] [D_1] ..... [D_n]
Tone mode is defined by the initial mode after going Off Hook and latched at [D_1] key entry. This condition is under $\overline{\text{MODE SELECT}} = V_{SS}$.

2) [Off Hook] [T] [D_1] ..... [D_n]
If initial mode is at pulse mode after going Off Hook and $\overline{\text{MODE SELECT}} = V_{DD}$. Switching mode from pulse to Tone can be done by [T] key entry and latched at [D_1] key entry.

Manual Dialing with Automatic Access Pause

[Off Hook] [0] [P] [D_1] ..... [D_n]

Multiple Pause key entries can be accepted and stored in the redial memory, each as on digit. Each [P] key provides 3.5 seconds pause time, but [P] key entry as first digit after going Off Hook is ignored.

[•] key can also be used as pause key in pulse mode. Pause(s) can be cancelled with [P], [T] or [RD] key during pause time in redialing.

Redial

[Off Hook] [RD]

Up to 32 digits can be dialed with [RD] key. [RD] key is disabled while pulse or DTMF signals are transmitting. When more than 32 digits are stored in redial memory, Redial is also inhibited.

[#] key can be used as [RD] key in pulse mode.

Inhibiting Redial

[Off Hook] [D_1] ..... [D_n] [RD] [RD]

Redial can be inhibited by depressing [RD] [RD] key after DTMF or pulse signals are transmitted.

PULSE/TONE SWITCHABLE OPERATION

Mode Switching by $\overline{\text{MODE SELECT}}$ Input

[Off Hook] [D_1] ..... [D_n] [P] [Switching $\overline{\text{MODE}}$ $\overline{\text{SELECT}}$ to V_{SS}] [D_{n+1}] ..... [D_{n+m}]

Pulse mode ⟵ Pulse mode

DTMF Mode

is initially defined with $\overline{\text{MODE SELECT}} = V_{DD}$. Mode switching to DTMF can be accepted by $\overline{\text{MODE SELECT}} = V_{SS}$. DTMF Mode will be set up after pulse mode is finished. In this mode, digits [D_{n+1}] ..... [D_{n+m}] are transmitted from Tone Out as DTMF signals by depressing corresponded keys.

If no [P] key is contained serially before or after mode switching.

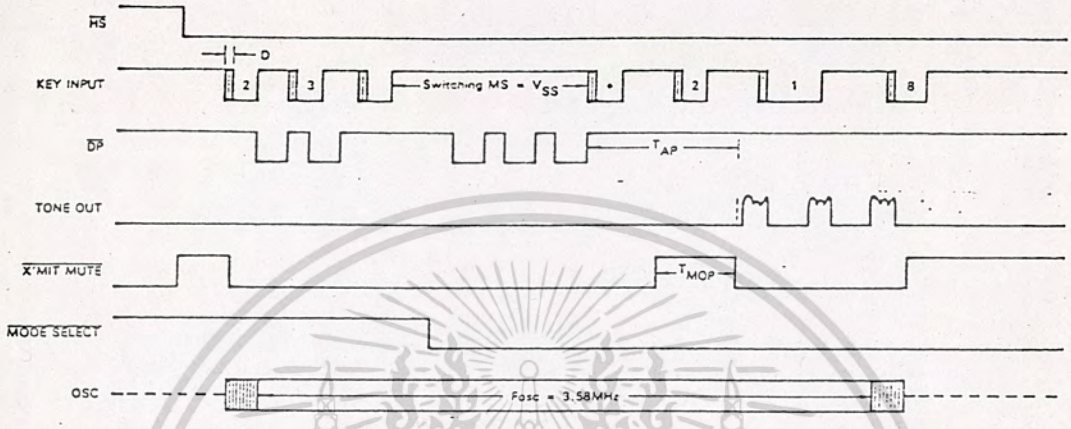
[Off Hook] [D_1] ..... [D_n] [Switching $\overline{\text{MODE}}$ $\overline{\text{SELECT}}$ to V_{SS}] [D_{n+1}] ..... [D_{n+m}] ($D_n, D_{n+1} \neq$ Pause)

Pulse Mode ⟵ Pulse Mode

DTMF Mode

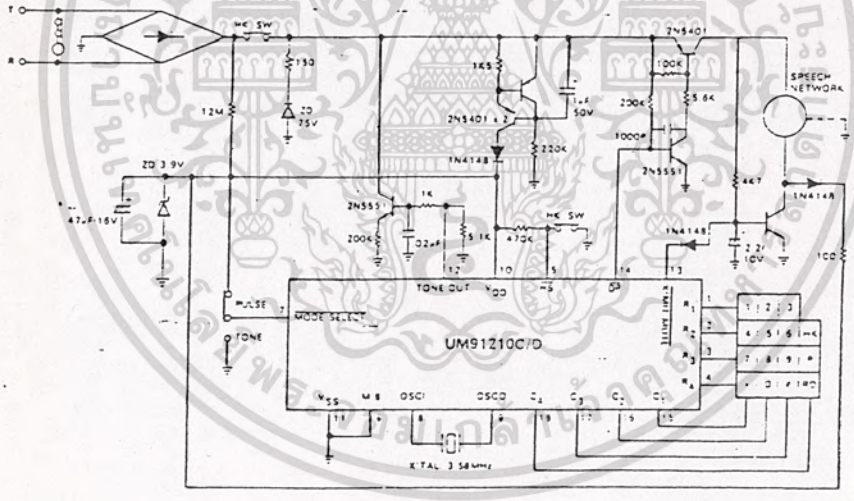
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3) TIMING DIAGRAM FOR SWITCHING MODE OPERATION BY $\overline{\text{MODE SELECT}}$ INPUT (OPERATION SELECT = V_{SS})



Typical Application

SWITCHING MODE BY $\overline{\text{MODE SELECT}}$



Ordering Information

Part Number	Dial Pulse	Dial Pulse Rate (PPs)	Tidp	Make/Break Ratio
UM91210C	$\overline{DP}$	10 PPS	805 ms	V_{DD} : 33⅓ 66⅔
				V_{SS} : 40:60
UM91210D	$\overline{DP}$	20 PPS	805 ms	V_{DD} : 33⅓:66⅔
				V_{SS} : 40:60

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้