ปีการศึกษา 2533

การพัฒนาการส่งข้อมูลในระบบวิทยุกระจายเสียงแบบ FM STEREO MULTIPLEX

(DEVELOPMENT OF DATA OVER FM STEREO MULTIPLEX BROADCAST)

โดย

นายพุฒิชจร	บุญมี	31.3615
นายรังสรรค์	ทองรอด	31.3621
นายวราวุธ	ภู่เย็น	31.3622
นายสมบัติ	พิชิตมารกุล	31.3626
นายอำพล	บุญเพ็ง	31.3636

อาจารย์ที่ปรึกษา

อาจารย์ กฤดากร กล่อมการ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

12 ก.ค. 2534

022789

ปริญญานิพนธ์ปีการศึกษา 2533

ภาควิชาเทคนิคอุตสาหกรรม

คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เรื่อง การพัฒนาการส่งข้อมูลในระบบวิทยุกระจายเสียงแบบ FM STEREO MULTIPLEX (DEVELOPMENT OF DATA OVER FM STEREO MULTIPLEX BOARDCAST)

ผู้จัดทำ

1.	นายพุฒิชจร	บุญมี	31.3615
2.	นายรังสรรค์	ทองรอด	31.3621
3.	นายวราวุธ	ภู่เย็น	31.3622
4.	นายสมบัติ	พิชิตมารกุล	31.3626
5.	นายอำพล	บุญเพ็ง	31.3636

อาจารย์ที่ปรึกษา

(อาจารย์กฤดากร กล่อมการ)

กรรมการ

( )

กรรมการ

( )

เลขหมู่ T33058 พ3

เลขทะเบียน 027891

วัน, เดือน, ปี 12 ก.ค. 34

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การพัฒนาการส่งข้อมูลในระบบวิทยุกระจายเสียงแบบ FM STERIO MULTIPLEX

(DEVELOPMENT OF DATA OVER FM STERIO MULTIPLEX BROADCAST)

นจยพุฒิชจร	บุญมี	31.3615
นายรังสรรค์	ทองรอด	31.3621
นายวราวุธ	ภู่เย็น	31.3622
นายสมบัติ	พิชิตมารกุล	31.3626
นายอำพล	บุญเพ็ง	31.3636

บทคัดย่อ

ปริญญานิพนธ์หรือโครงงานที่ทำการค้นคว้านี้ จะเป็นเรื่องที่กล่าวถึงการพัฒนาการส่งข้อมูลในระบบวิทยุกระจายเสียงแบบ FM STERIO MULTIPLEX โดยอาศัยการส่งข้อมูลแบบ DIGITAL เพราะว่าในปัจจุบันการสื่อสารทั่วไปนิยมใช้การส่งแบบ DIGITAL MODULATOR มากขึ้น ซึ่งระบบดังกล่าวมีความเชื่อถือสูงและอุปกรณ์ที่ใช้ประกอบในวงจรมีราคาถูกลง เนื่องจากได้มีการพัฒนาดิจิตอลอิเลคทรอนิคส์และอุปกรณ์จำพวกไอซีอย่างรวดเร็วและแพร่หลายทำให้ต้นทุนการผลิตต่ำลง นอกจากนี้ดิจิตอล มอดดูเลชั่นยังสามารถใช้วิธีการลงระหัสพัลส์ก่อนทำการมอดดูเลชั่นเพื่อลดความผิดพลาดให้ต่ำลง จึงได้นำการมอดดูเลทตัวพาหะด้วยข่าวสารดิจิตอลมาใช้กับระบบการส่งข้อมูลแบบ BPSK ที่เป็นระบบการส่งข้อมูลที่อาศัยรูปแบบของสัญญาณอย่างกว้าง และทำการส่งข้อมูลได้อย่างรวดเร็ว ในโครงงานนี้จะเป็นการนำเอาระบบ BPSK นี้มาประยุกต์เข้ากับระบบการส่งกระจายเสียงแบบ FM STERIO MULTIPLEX เพื่อใช้ในการสร้างสัญญาน BPSK ขึ้น ส่วนในภาครับเป็นการนำเอา วงจร Costas loop ซึ่งอาศัยหลักการของ Phase Lock Loop มาใช้เพราะมีเสถียรภาพดี ทำให้ข้อมูลที่ได้ออกมามีความผิดพลาดน้อยที่สุด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ

		หน้า
บทที่ 1	บทนำ	
	การพัฒนาการส่งข้อมูลในระบบ FM STEREO	4
บทที่ 2	ทฤษฎีและหลักการ	
2.1	FM STEREO MULTIPLEX	5
2.2	OPERATION AMPLIFIE	13
2.3	FILTER	34
2.4	PHASE LOCK LOOP	43
2.5	PHASE DETECTOR	67
2.6	LOOP FILTER & LOOP GAIN	68
2.7	VOLTAGE CONTROL OSCILLATOR	70
2.8	FREQUENCY OSCILLATOR	72
2.9	MULTIPLIER	75
2.10	PSK	77
บทที่ 3	การออกแบบ	
3.1	การสร้างสัญญาน FM STEREO MULTIPLEX	80
3.2	การสร้างสัญญาน BPSK	93

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

		หน้า
บทที่ 4	ผลการทดลอง	
4.1	วงจรผลิตสัญญาน FM STEREO MULTIPLEX	105
4.2	วงจร PSK MODULATOR	106
4.3	วงจร PSK DEMODULATOR(COSTAS LOOP)	107
บทที่ 5	บทสรุป	
	สรุปผลการทดลอง	109
หนังสืออ้างอิง		
กิตติกรรมประกาศ		
ภาคผนวก		

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 1

การพัฒนาการส่งข้อมูลในระบบ FM-STEREO

DIGITAL MODULATION

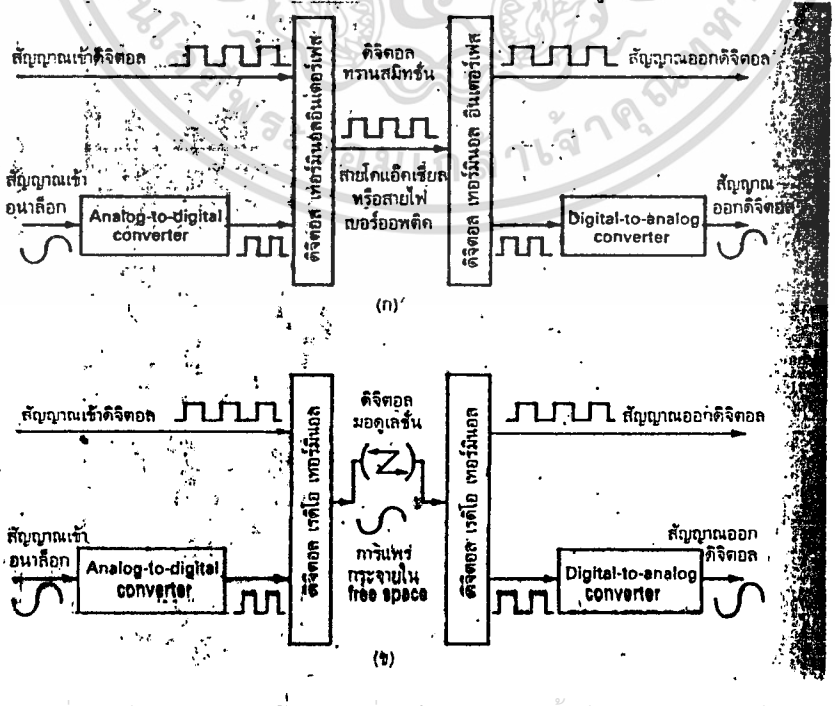
1.1 รายละเอียดทั่วไปของ DIGITAL MODULATOR

ปัจจุบันการสื่อสารนิยมใช้ดิจิตอล มอดดูเลชั่นมากขึ้นเพราะว่าระบบดังกล่าวมีความเชื่อถือสูงและมีราคาถูกลง เนื่องจากได้มีการพัฒนาทางด้านอิเลคทรอนิคส์และไอซีอย่างรวดเร็วทำให้ต้นทุนการผลิตถูกลง นอกจากนี้ดิจิตอล มอดดูเลชั่นยังสามารถใช้วิธีการลงรหัสพิลส์ก่อนมอดดูเลชั่นเพื่อลด probability ความผิดพลาดให้ต่ำลง การมอดดูเลทตัวพาหะด้วยข่าวสารดิจิตอลนี้ทำได้หลายวิธีด้วยกัน กล่าวโดยสรุป การรับ-ส่งข้อมูลในรูปของสัญญาณดิจิตอลสามารถกระทำได้ 2 วิธีคือ

1 วิธีการทางไบนารี คือสัญญาณดิจิตอลจะถูกส่งออกไปยังปลายทางได้ทันทีโดยไม่ต้องผ่านขบวนการแปลงสัญญาณแต่อย่างใด ดังรูป 1.1ก

2 วิธีการทางอนาล็อก คือสัญญาณดิจิตอลจะถูกแปลงเป็นสัญญาณอนาล็อกก่อนแล้วจึงจะส่งออกไปยังปลายทาง ดังรูป 1.1ข

วิธีการในลักษณะแรกจะกระทำในลักษณะที่มีการติดต่อในระยะทางสั้นๆและให้ความรวดเร็วมากกว่า ส่วนวิธีในลักษณะหลังจะเกี่ยวข้องไปถึงลักษณะการเชื่อมโยงสัญญาณเข้ากับระบบทั่วๆไป ลักษณะทั้ง 2 วิธีแสดงดังรูปที่ 1.1



รูปที่ 1 การส่งดิจิตอล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ขบวนการแปลงสัญญาณดิจิตอลเป็นสัญญาณอนาล็อก

ในการสร้างสัญญาณอนาล็อกที่เป็นผลมาจากสัญญาณดิจิตอลหรือสัญญาณข่าวสาร ในรูปอื่นจะได้มาจากหลักการพื้นฐานของวิธีการ 3 แบบคือ

1 หลักการของแอมปลิจูด มอดดูเลท(AMPLITUDE MODDULATE)

2 หลักการของฟรีเควนซี มอดดูเลท(FREQUENCY MODDULATE)

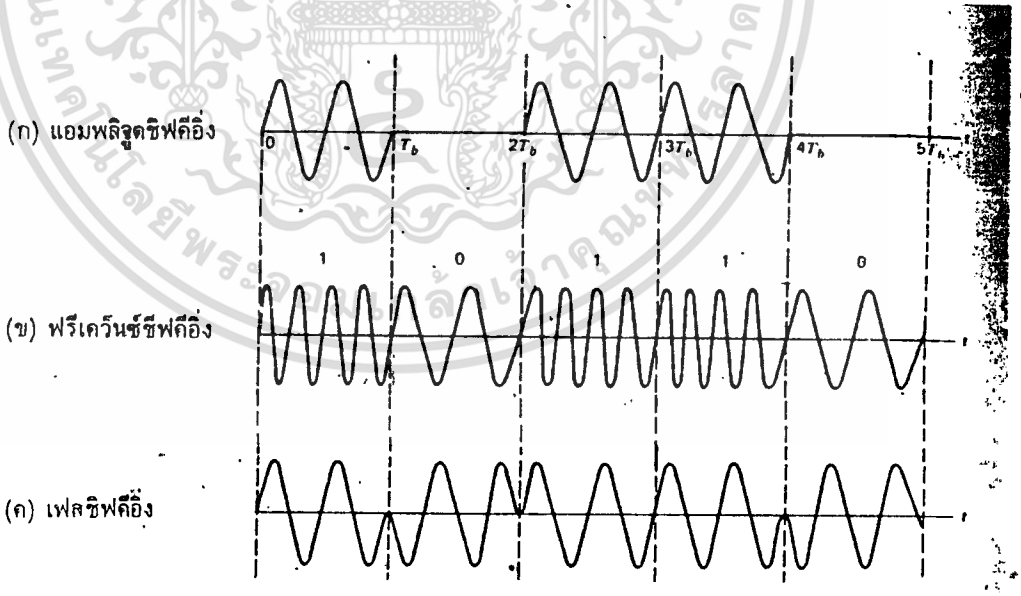
3 หลักการของเฟส มอดดูเลท(PHASE MODDULATE)

โดยสัญญาณที่จะส่งออกไป(สัญญาณดิจิตอลหรือสัญญาณข่าวสาร) จะถูกมอดดูเลททางด้านส่งและดีมอดดูเลททางด้านรับ เพื่อแยกข่าวสารเดิมที่ส่งมาออกจากสัญญาณพาห์(carrier signal) เทคนิคการรวมสัญญาณทางดิจิตอล(digital moddulation technique) ที่ถูกนำมาใช้อย่างกว้างขวางคือ

1 FREQUENCY SHIFT KEYING (FSK)

2 PHASE SHIFT KEYING (PSK)

3 QUADRATURE AMPLITUDE MODDULATION



รูปที่ 1.2 แสดงรูปคลื่นของดิจิตอลมอดดูเลชั่นที่ใช้ในการส่งข้อมูลไบนารี

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากรูปที่ 1.2 แสดงรูปคลื่นของดิจิตอล มอดดูเลชั่นวิธีต่างๆ ในรูปที่ 1.2ก สัญญาณดิจิตอล "1"และ"0" จะลวิทช์ขนาดของตัวพาให้มีค่า 2 ค่าคือเปิดและปิด รูปคลื่นที่ประกอบด้วยพัลส์เปิดหรือมาร์ค(mark) จะแทนด้วยเลข "1" และพัลส์ปิดหรือสเปส(space) จะแทนด้วยเลข "0" ดิจิตอล มอดดูเลชั่นแบบนี้เรียกว่า แอมปลิจูดชิฟคีย์อิ้ง(amplitude shift keying หรือ ASK) รูปที่ 1.2ข แสดงรูปกลับของฟรีเควนซี่ชิฟคีย์อิ้ง(frequency shift keying หรือ FSK) ที่มีการเปลี่ยนความถี่ของตัวพาห์ระหว่างความถี่ 2 ความถี่ตามสัญญาณดิจิตอล 1 และ 0 สัญญาณมาร์คที่ความถี่สูงจะแทนพัลซ์ "1"และสัญญาณสเปซที่ความถี่ต่ำจะแทนด้วยพัลซ์ "0" ล่างรูปที่ 1.2ค แสดงรูปคลื่นของเฟสชิฟคีย์อิ้ง(phase shift keying หรือ PSK)ที่มีการเปลี่ยนเฟสของตัวพาห์ระหว่าง 2 เฟส คือ 0 และ 180 ตามสัญญาณดิจิตอล "1" และ "0" เฟสชิฟคีย์อิ้งชนิดนี้เรียกว่า 2 เฟส พีเอสเค(2Ø PSK) มีข้อสังเกตว่าในกรณีของเอฟเอสเค และ พีเอสเค ขนาดของตัวพาห์มีค่าคงที่เสมอและรูปคลื่นที่ถูกมอดดูเลทแล้วของดิจิตอลมอดดูเลชั่น ทั้ง 3 วิธีมีค่าต่อเนื่องทุกเวลา

เรามาพิจารณาที่ PSK จะแบ่งย่อยๆออกเป็นหลายชนิด และเนื่องจากระบบ PSK ธรรมดานั้นต้องใช้ local OSC. ทางด้านเครื่องรับซึ่งต้องมีการ synchronize อย่างถูกต้องคือ inphase กับ carrier ที่ยังไม่ถูกมอดดูเลทซึ่งในทางปฏิบัติไม่ใช่เรื่องง่าย เพื่อแก้ปัญหานี้จึงหันมาใช้ DPSK โดยการใช้ phase shift ระหว่าง bit ที่อยู่ข้างเคียงกัน

1.2 การแบ่งชนิดของระบบ PSK

โดยทั่วไประบบ PSK มี 2 ชนิด ชนิดแรกเรียกว่า synchronous หรือ coherent PSK(CPSK) ในระบบ coherent detection ในภาครับการค้นหาสัญญาณพาห์จะสามารถกระทำได้ด้วยการค้นหาสัญญาณที่รับเข้ามาได้โดยตรง ส่วนอีกชนิดเรียกว่า differential PSK(DPSK) ในการ demodulation นั้น ระบบนี้จะอาศัยความแตกต่างระหว่างสัญญาณที่รับมาได้กับสัญญาณที่ถูกทำให้ช้าไปจากสัญญาณเดิม ในระบบการส่งข้อมูลที่มีรูปแบบ multiphase สัญญาณของอินพุทและเอาท์พุทที่ออกมา จะเป็นรูปแบบของเลขฐานสอง เงื่อนไขของจำนวนเฟสที่ส่งนี้จะเท่ากับผลรวมของเลขยกกำลังสอง เช่น four phase หรือ 4-level PSK จะสามารถทำการส่งข้อมูลได้ 2 bits และถ้าเป็น 8-level จะส่งได้ 3 bits ทั้งDPSK และ CPSK เป็นระบบที่ดีมากในการลด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สัญญาณรบกวนออกไปได้อย่างมาก

1.3 การใช้งานระบบ BPSK

ระบบ BPSK เป็นระบบที่ยอมรับกันโดยทั่วไปในปัจจุบันมีการใช้งานในด้านการส่งข้อมูลที่อาศัยรูปแบบของสัญญาณอย่างกว้างและเป็นระบบที่สามารถได้อีกมาก สำหรับการสื่อสารสมัยใหม่ในปัจจุบันเช่น การสื่อสารดาวเทียม โทรศัพท์ เทเลกซ์ และโทรพิมพ์ซึ่งระบบ BPSK นี้สามารถทำการส่งข้อมูลได้รวดเร็วด้วยปริมาณมาก ที่มีค่าความผิดพลาดต่ำ ในโครงงานนี้จะเป็นการนำเอาระบบ BPSK นี้มาใช้ประยุกต์เข้ากับระบบการส่งกระจายคลื่นแบบ FM-STEREO เป็นการสร้างสัญญาณ BPSK ขึ้น จากข้อมูลที่จะส่งในรูปแบบไบนารีเพื่อใช้ในงานด้านการติดต่อสื่อสารวิทยุ

1.4 รูปแบบและคุณลักษณะของวงจร BPSK

ในการสร้างสัญญาณ BPSK ในภาคมอดดูเลชั่น เราอาศัยหลักการของการคูณเป็นตัวคูณสัญญาณข้อมูลที่มีระดับ "0","1" เข้ากับสัญญาณ carrier 57 KHz ก็จะได้สัญญาณ BPSK ที่มีความต่างเฟสกันตั้งแต่ 0,180 ซึ่งในที่นี้สัญญาณข้อมูลหรือ data input ต้องมีลักษณะเป็น duty cycle ด้วยและมีความสัมพันธ์กับ carrier ซึ่งในที่นี้ได้ทำการสร้างชุดผลิต data ขึ้นจะได้กล่าวไว้ในภาคผนวก และส่วนของการ demodulation นั้นโครงงานนี้จะนำเอาวงจร costas loop มาใช้เพราะมีเสถียรภาพดีเนื่องจากมีการใช้หลักการของ phase lock loop มาเป็นตัวควบคุมการผลิตความถี่ carrier ให้ได้ 57 KHz เพื่อนำไปคูณกับสัญญาณ BPSK ที่เข้ามา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 2

2.1 หลักการระบบ FM-STREO MULTIPLEX

จากรูปเป็นบล็อกไดอะแกรมที่แสดงหลักการของเครื่องส่งกระจายเสียงระบบ fm-stereo multiplex ที่ได้รับการอนุมัติจากกลุ่มบัน FCC.ของ USA. เป็นระบบที่ใช้กันแพร่หลายและเป็นที่ยอมรับของนานาประเทศ ซึ่งประเทศไทยก็ใช้ระบบนี้อยู่

จากไดอะแกรมสมมุติว่ามีไมโครโฟน 2 ตัว คือด้านซ้าย และขวา (MIC.L)และ(MIC.R) ตามลำดับ จะรับสัญญาณเสียงเข้ามาขยายที่วงจรขยายเสียงแล้วต่างก็ส่งสัญญาน L และ R ไปรวมกับสัญญาน (L+R) ที่มาค (L+R) สัญญาน (L+R) ที่ได้จะถูกส่งต่อไปยังภาค MULTIPLEX เพื่อทำการรวมกับสัญญาณอื่นๆ

สัญญาณส่วนหนึ่งจากภาคขยายสัญญาณเสียง(R) จะถูกส่งไปที่ภาคอินเวอทเทอร์ด้วยเพื่อกลับสัญญาน(R) ไปจากเดิมอีก 180 องศากลายเป็นสัญญาน(-R) ส่งไปรวมกับสัญญานเสียง(L) ที่ภาค(L-R) สัญญานที่รวมกันนี้จะกลายเป็นสัญญาน(L-R) ซึ่งจะถูกส่งต่อยังภาคบาลานซ์ มอดดูเลเตอร์(BALANCE MODULATOR) เพื่อมอดดูเลทกับคลื่นพาห์ย่อย 38 KHz ที่เข้ามาอีกทาง

คลื่นพาห์ย่อย(SUBCARRIER) 38Khz นั้นได้มาจากความถี่คลื่นซายน์ 19KHz จากภาคออสซิลเลเตอร์ ซึ่งถูกส่งเข้ามาทวีคูณความถี่ขึ้นอีกสองเท่า (19 KHz*2 = 38 KHz) ที่ภาคทวีคูณความถี่สองเท่า(FREQUENCY DOUBLER) ความถี่ 38 KHz ที่ได้นี้จะถูกใช้เป็นคลื่นพาห์ย่อยเพื่อส่งไปมอดดูเลทกับสัญญานเสียง(L-R) ที่ภาคบาลานซ์ มอดดูเลเตอร์

ภาคบาลานซ์ มอดดูเลเตอร์นอกจากจะทำหน้าที่มอดดูเลทสัญญานเสียง (L-R) เข้าทางล่วนลูงของสัญญานคลื่นพาห์ย่อยแล้ว(AMPLITUDE MODDULATOR)ยังทำหน้าที่กำจัดคลื่นพาห์ย่อยไม่ให้ไปปรากฏออกไปเป็นสัญญานที่เอาท์พุทเพียงลำพังสัญญานเดียวอีกด้วย (สัญญานที่ถูกมอดดูเลทเท่านั้นที่ปรากฏออกไปเป็นสัญญานเอาท์พุทของภาคบาลานซ์ มอดดูเลเตอร์) เราเรียกสัญญานที่มอดดูเลทรวมกันระหว่างสัญญานคลื่นพาห์ย่อย 38 KHz และสัญญานเสียง(L-R)ขึ้นว่า สัญญานคลื่นพาห์ย่อย L-R และสัญญานนี้จะถูกส่งไปที่ภาคมัลติเพลกซ์ รวมกันไปกับสัญญานอื่นๆ

นอกจากนี้แล้วภาคออสซิลเลเตอร์ยังแยกส่งความถี่ 19Khz สำหรับเป็น

เอกสารนี้เป็นเอกสารที่สงวนลิขสิทธิ์ ห้ามนำไปใช้ประโยชน์ทางการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สัญญาณไพล็อตโทนไปยังภาคมัลติเพลกซ์เพื่อทำการรวมสัญญาณ 19kHzกับสัญญาณอื่นๆ อีกด้วย จะเห็นได้ว่าที่ภาคมัลติเพลกซ์จะเป็นที่รวมของสัญญาณต่างๆดังนี้

1. สัญญาณเสียง(L+R) จากภาค L+R

2. สัญญาณคลื่นพาห์ย่อย(L-R) จากภาคบาลานซ์มอดดูเลเตอร์

3. สัญญาณไพล็อตโทน 19kHz จากภาคออสซิลเลเตอร์

สัญญาณทั้ง 3 นี้จะมารถมัลติเพลกซ์รวมเข้าด้วยกันได้โดยไม่มีการแทรกแซงสัญญาณต่อกันเพราะแต่ละสัญญาณมีขอบเขตความถี่ที่ต่างกัน สัญญาณรวมมัลติเพลกซ์นี้จะถูกส่งไปมอดดูเลทกับคลื่นพาห์ที่ใช้สำหรับการส่งออกอากาศในระบบเอฟ่-เอ็ม ซึ่งในภาคส่งนี้ก็เหมือนกับเครื่องส่งเอฟ่-เอ็มธรรมดาทั่วไปที่ใช้ส่งในย่านความถี่กระจายเสียง ๘๘-๑๐๘ MHZ และที่มีการส่งสัญญาณทั้งสามนี้ออกไปยังเครื่องรับก็เพื่อจุดประสงค์ดังนี้

1. สัญญาณ(L+R) สัญญาณนี้เป็นผลรวมของสัญญาณเสียงซีกซ้ายและซีกขวา เป็นสัญญาณเสียงแบบโมโน ที่ต้องส่งสัญญาณนี้ไปด้วยก็เพื่อใช้สำหรับการรับของเครื่องรับเอฟ่-เอ็มธรรมดาให้รับฟังจากสถานีที่ส่งในระบบ STREO MULTIPLEX ได้ เครื่องรับเอฟ่-เอ็มธรรมดาจะรับเอาเฉพาะสัญญาณนี้ไปเป็นสัญญาณเสียงออกลำโพง เสียงที่ได้จะมีครบทั้งสัญญาณซีกซ้ายและขวารวมกัน ไม่มีการแยกทิศทางของเสียง คุณภาพของเสียงจะเหมือนกับการรับฟังจากสถานีวิทยุเอฟ่-เอ็มธรรมดาทั่วไป

2. สัญญาณคลื่นพาห์ย่อย(L-R) การที่ต้องเอาสัญญาณ(L-R)ไปมอดดูเลทกับคลื่นพาห์ย่อย 38KHZ ก่อน ก็เพราะเราต้องการส่งสัญญาณ(L-R) รวมกันไปพร้อมๆกับสัญญาณ(L+R) โดยไม่ต้องการให้สัญญาณทั้งสองมีการแทรกแซงกัน วิธีนี้เป็นกลวิธีในการมัลติเพลกซ์สัญญาณเข้าด้วยกัน เปรียบเสมือนกับเราต้องการส่งน้ำมันเบ็นซินและน้ำมันก๊าดซึ่งเป็นน้ำมันที่ต่างชนิดกันไปยังจุดหมายเดียวกัน โดยจำเป็นต้องใส่น้ำมันทั้งสองรวมกันไปในถังเดียวกัน ถ้าเราทำโดยการเอาน้ำมันเบ็นซินใส่ลงไปในถังก่อน(เหมือนกับเราเอาสัญญาณ(L+R) มอดดูเลทกับคลื่นพาห์ที่ใช้ในการส่งออกอากาศ) จากนั้นจึงหาขวดที่ขนาดเล็กกว่าถังมาบรรจุน้ำมันก๊าดและปิดฝาขวดให้แน่น(ทำนองเดียวกันกับที่เราเอาสัญญาณ(L-R) มอดดูเลทกับคลื่นพาห์ย่อย) แล้วเอาขวดน้ำมันก๊าดใส่ลงไปในถังน้ำมันเบ็นซินอีกที ด้วยวิธีนี้ทำให้เราสามารถเอาน้ำมันเบ็นซินและน้ำมันก๊าดใส่รวมไปในถังเดียวกันได้โดยน้ำมันทั้งสองชนิดไม่ผสมกัน

เอกสารนี้เป็นเอกสารที่สงวนลิขสิทธิ์ ห้ามนำไปใช้ในการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

(เช่นเดียวกับสัญญาน(L+R) และสัญญานคลื่นพาห์ย่อย(L-R) จะไม่มีการแทรกกัน) เมื่อส่งไปตั้งปลายทางเพียงยกขวดน้ำมันก๊าดขึ้นก็สามารถแยกน้ำมันทั้งสองวนิดออกจากกันได้โดยง่าย

เราสามารถเอาสัญญานเสียง(L-R) และ(L+R) ที่ส่งไปมาแปลงสภาพให้แยกเป็นสัญญานเสียงซีกซ้ายและขวา ปรากฏทางเครื่องรับได้โดยการนำสัญญานทั้งสองมาบวกหรือลบกัน ซึ่งแสดงด้วยบีชคณิตดังนี้

เมื่อนำสัญญาน(L+R) และ (L-R)มาบวกกัน

L + R

\+

L - R

จะได้สัญญานเสียงซีกซ้าย = 2L

เมื่อนำสัญญาน(L+R) และ (L-R)มาลบกัน

L - R

\-

L + R

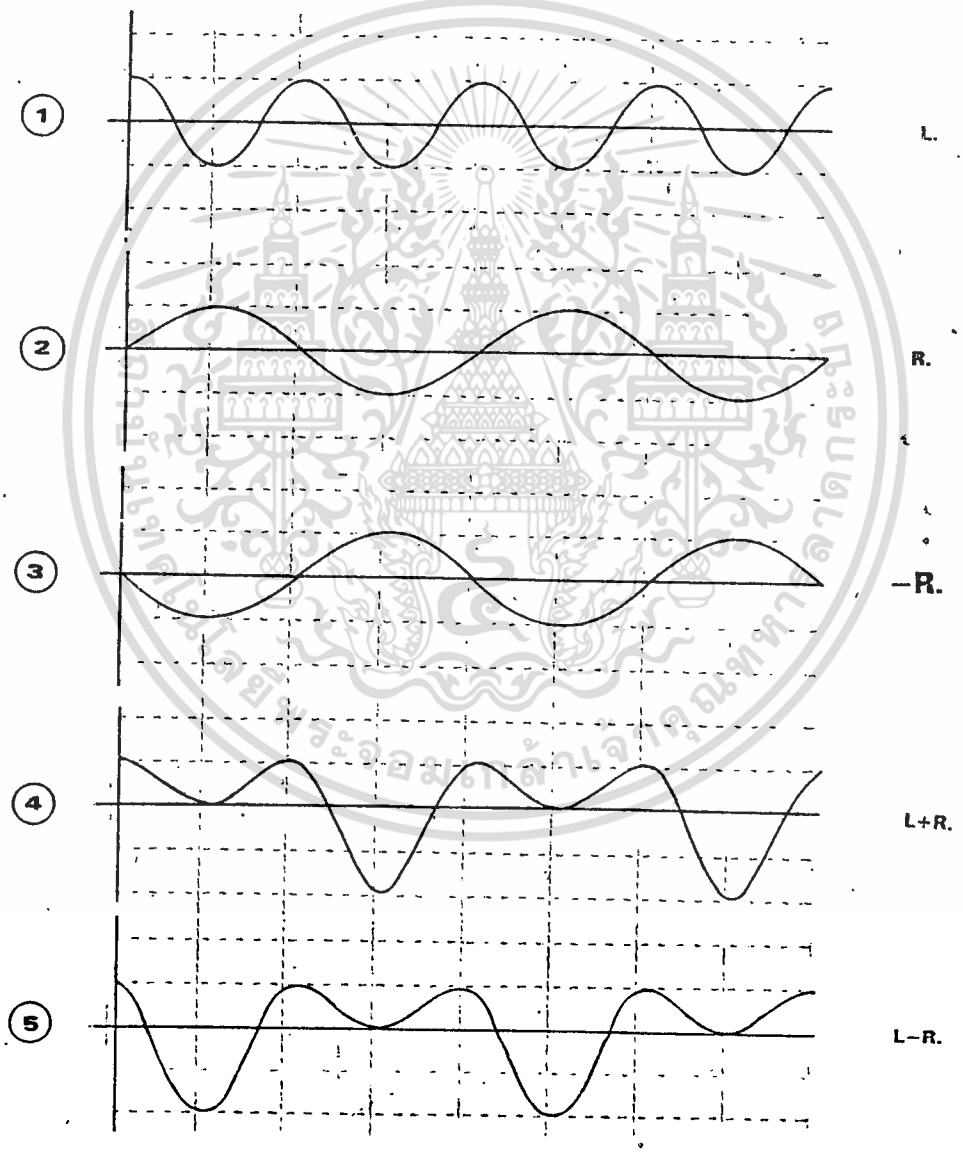
จะได้สัญญานเสียงซีกขวา = 2R

4. สัญญานไพล็อตโทน 19KHZ เนื่องจากสัญญานเสียง(L-R) ที่ส่งมายังเครื่องรับเป็นสัญญานเสียงที่ทอดตูเลทมากับคลื่นพาห์ย่อย 38KHZ ฉนั้นในการนำมาเสริมหรือหักล้างกับสัญญาน(L-R) ในวงจรแยกสัญญานสเตอริโอ(วงจรดีโคด-เดอร์) เพื่อทำให้เกิดเป็นสัญญานเสียงซีกซ้ายและขวาขึ้นนั้น จำเป็นต้องมีสัญญาน 38KHZ ที่มีเฟสสัมพันธ์กัน(synchronize) กับคลื่นพาห์ย่อยที่มอดตูเลทมากับสัญญาน (L-R) เพื่อช่วยให้วงจรดีโคดเดอร์ทำงานแยกสัญญานได้ จึงต้องมีการส่งสัญญานไพล็อตโทน 19KHZ มาด้วยเพราะความถี่ 19KHZ เมื่อมาถึงเครื่องรับก็สามารถทำให้เป็นความถี่ 38KHZ ได้โดยง่าย ด้วยการใช้วงจรทวีคูณความถี่ขึ้นมาอีก 2เท่า และเนื่องจากความถี่ 19KHZ ซึ่งสัญญานไพล็อตโทนนี้เป็นต้นกำเนิดของสัญญานคลื่นพาห์ย่อยทางด้านเครื่องส่ง ความถี่ 38KHZ ที่ได้จึงมีเฟสที่สัมพันธ์กับสัญญานคลื่นพาห์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

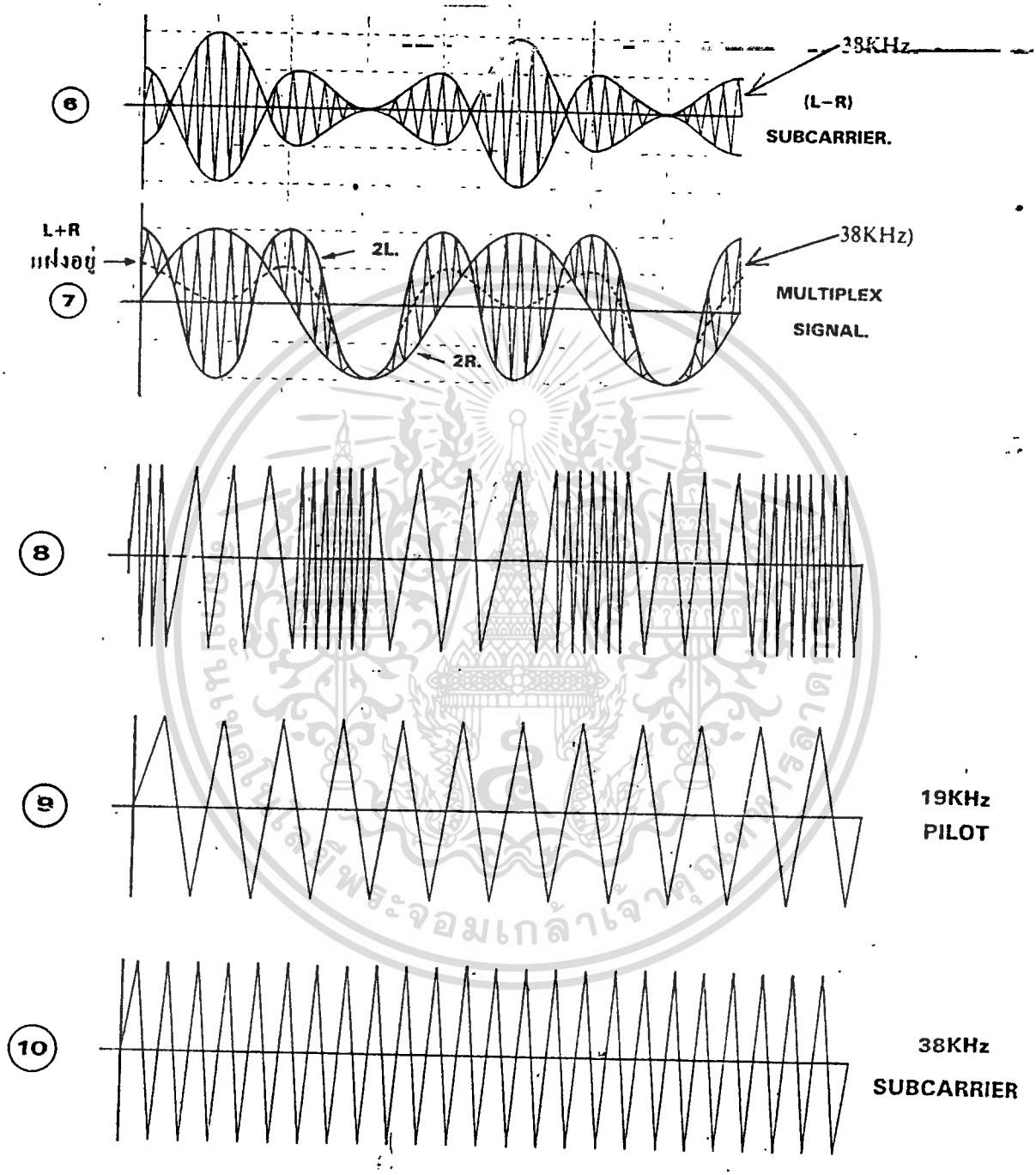
ย่อย(L-R) ตลอดเวลา

รูป 2.2 และ 2.3 เป็นการแสดงรูปคลื่นตามจุดต่างๆของบล็อกไดอะแกรมในรูป 2.1 ซึ่งจะช่วยให้เข้าใจการทำงานของเครื่องสร้างสัญญาณเอ่ม-เอ็ม สเตอริโอ มัลติเพลกซ์ได้ดีขึ้น และเพื่อให้เข้าใจง่ายจึงให้สัญญาณที่ป้อนเข้าทางไมค์ซ้ายและขวาเป็นสัญญาณโทนเสียงคลื่นรูปซายน์ โดยให้สัญญาณเสียง(L) มีความถี่สูงกว่าสัญญาณเสียง(R) ไปอีกเท่าตัว จะได้ไม่สับสนในการทำความเข้าใจ



รูปที่ 2.2 แสดงสัญญาณตามจุดต่างๆของบล็อคไดอะแกรมของรูป 2.1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการใช้งาน 027891



2.3 รูปแสดงสัญญาณตามจุดต่างๆของบล็อคไดอะแกรมของรูป 2.1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หมายเลข 1 เป็นคลื่นความถี่เสียงรูปซายที่ถูกกำจัดทางจรซายเสียงซีกซ้าย (L)

หมายเลข 2 เป็นคลื่นความถี่เสียงรูปซายน์ที่ออกจากวงจรขยายเสียงซีกขวา (R)

หมายเลข 3 เป็นรูปคลื่นสัญญาณเสียง(R)ที่ผ่านวงจร INVERTING แล้วกลายเป็นสัญญาณ(-R) สัญญาณที่ได้จะเป็นรูปซายน์อยู่เหมือนเดิม เพียงแต่จะมีเฟสต่างไปจากสัญญาณ(R) 180 เท่านั้น

หมายเลข 4 เป็นรูปเคลื่อนที่เกิดจากการรวมระหว่างสัญญาณ L และ R เป็นสัญญาณ(L+R)

หมายเลข 5 เป็นรูปคลื่นที่เกิดจากการรวมกันระหว่างสัญญาณ L และ สัญญาณ(-R) เป็นสัญญาณ(L-R)

หมายเลข 6 เป็นสัญญาณที่เกิดจากสัญญาณเสียง(L-R) มอดดูเลทเข้ากับสัญญาณคลื่นพาห์ย่อย แล้วถูกsuppressไปด้วยในตัวกลายเป็น

หมายเลข 7 เป็นสัญญาณที่มัลติเพล็กซ์รวมกันระหว่างสัญญาณคลื่นพาห์ย่อย (L+R) และ (L-R)

ในที่นี้ไม่ได้แสดงสัญญาณ 19 KHz ไว้

หมายเลข 8 เป็นสัญญาณคลื่นพาห์ที่ใช้ในการส่งออกอากาศ เพราะถูกมอดดูเลทในระบบเอฟ-เอ็ม ความถี่ของสัญญาณจึงเปลี่ยนแปลงไปตามสัญญาณมัลติเพล็กซ์ที่เข้ามามอดดูเลทด้วย

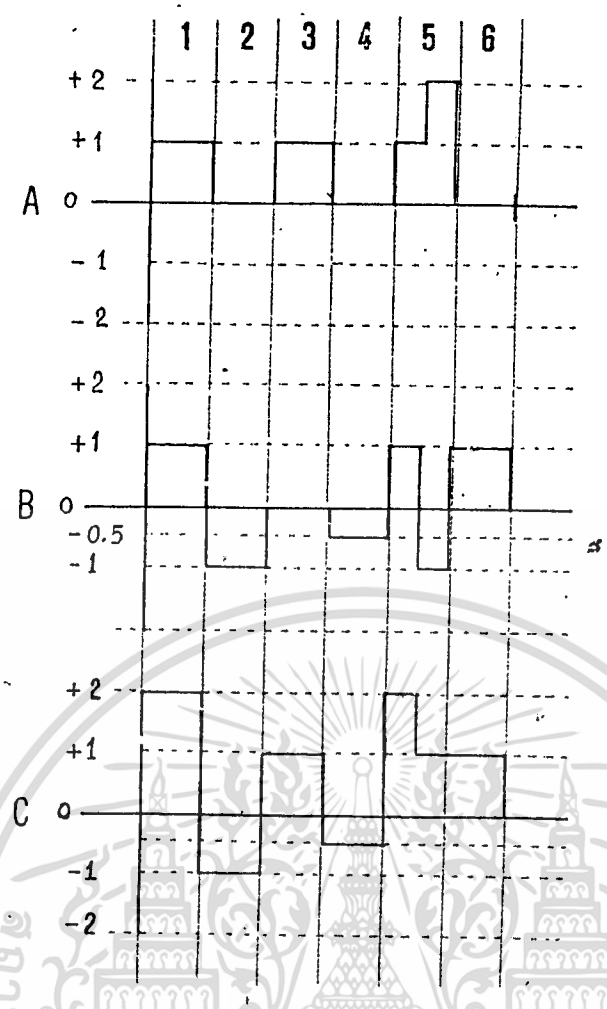
หมายเลข 9 เป็นสัญญาณความถี่ 19 KHz ซึ่งใช้เป็นสัญญาณไพล็อตโทน

หมายเลข 10 เป็นสัญญาณความถี่ 38 KHz ซึ่งเกิดจากการนำสัญญาณ 19 KHz มาทวีความถี่ให้สูงขึ้นอีกเท่าตัว เพื่อใช้เป็นคลื่นพาห์ย่อยสำหรับมอดดูเลทกับสัญญาณ (L-R)

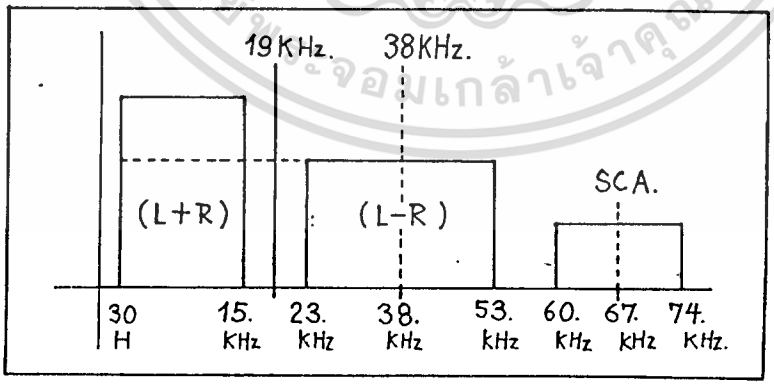
สัญญาณที่กำกับด้วย 2L ในรูปคลื่นหมายเลข 7 เป็นการแสดงให้เห็นผลบวกของสัญญาณ (L+R) และ (L-R) ผลลัพธ์ที่ได้เป็นสัญญาณซีกซ้ายหรือ (L+R)+(L-R)=2L สัญญาณที่กำกับด้วย 2R เป็นการแสดงให้เห็นผลลบของสัญญาณ (L+R) และ (L-R) ผลลัพธ์ที่ได้เป็นสัญญาณเสียงซีกขวาหรือ (L+R)-(L-R)= 2R

ในส่วนที่เป็นเส้นประไม่ใช่รูปคลื่นสัญญาณ แต่เป็นการแสดงให้เห็นผลเฉลี่ยของสัญญาณ L และสัญญาณ R และเส้นประที่เป็นผลเฉลี่ยนี้จะมีรูปร่างเหมือนสัญญาณ (L+R) เป็นการแฝงตัวสัญญาณ (L+R) ไปกับสัญญาณมัลติเพล็กซ์ ซึ่งสัญญาณมัลติเพล็กซ์ซึ่งแสดงอยู่ในรูปที่ 2.4 แยกออกเป็นดังนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.4



แสดงขอบเขตความถี่ของสัญญาณมัลติเพล็กซ์

รูปที่ 2.5

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สัญญาน (L+R) มีความถี่อยู่ในช่วง = 30 Hz-15 KHz

สัญญานไพล็อตโทน = 19 KHz

สัญญานคลื่นพาห์ย่อย (L-R) = 23 KHz-53 KHz

สัญญานไพล็อตโทน 19 KHz จะอยู่ระหว่างสัญญาน (L+R) และสัญญานคลื่นพาห์ย่อย (L-R) โดยมี upper sideband และ lower sideband ข้างละ 4 KHz เพื่อกันไม่ให้เกิดการรบกวนกับสัญญานอื่น จากแถบความถี่ที่แลดงจะเห็นว่าที่ความถี่ 57 KHz จะถูกใช้ในการส่งสัญญาน paging ด้วยหลักการของ PSK ซึ่งจะกล่าวในส่วนต่อไป

2.2 ทฤษฎี OP-AMP

เนื่องจากในปริญญานิพนธ์ฉบับนี้ วงจรส่วนใหญ่จะเป็นการนำ op-amp มาใช้งานเป็นส่วนมาก ดังนั้นจึงควรจะได้กล่าวถึงทฤษฎีและหลักการของ op-amp พอเป็นสังเขปดังต่อไปนี้

ออปแอมป์คืออุปกรณ์ทางด้านอิเลคทรอนิคส์ชนิดหนึ่งซึ่งถูกออกแบบให้สามารถทำงานได้หลายรูปแบบ และยังเป็นความสะดวกในการนำไปใช้งานอีกด้วย โดยสามารถประกอบเป็นวงจรได้โดยการต่อร่วมกับอุปกรณ์ภายนอกเพียงไม่กี่ตัวเท่านั้น ในอดีตออปแอมป์จะประกอบขึ้นจากอุปกรณ์หลายตัวที่ถูกนำมาบรรจุไว้ในภาชนะชิ้นเดียวกันซึ่งนอกจากจะทำให้ออปแอมป์มีขนาดใหญ่แล้ว ยังอาจมีประสิทธิภาพต่อน้ำงต่ำด้วย แต่ปัจจุบันเราสามารถซื้อออปแอมป์ในรูปแบบของวงจรรวม (IC) ได้ตามท้องตลาดและคุณสมบัติ IC ออปแอมป์ที่ได้พัฒนาขึ้นทำให้อุปกรณ์ชนิดนี้เป็นที่รู้จักกันอย่างแพร่หลาย

คุณสมบัติทั่วไป

โดยทั่วไปแล้วเราสามารถกล่าวได้ว่า ไอซี ออปแอมป์ คืออุปกรณ์ solid state ชนิดหนึ่ง ซึ่งสามารถตรวจวัดระดับสัญญานไฟตรงและไฟสลับได้ และยังสามารถนำไปใช้ขยายสัญญานได้ดีอีกด้วย ไอซี ออปแอมป์พื้นฐานจะต้องประกอบด้วยวงจรภายในภาคต่างๆ ดังนี้คือ

1 ดิฟเฟอเรนเชียลแอมป์(differential) ที่มีอินพุทอิมพีแดนซ์สูงมาก

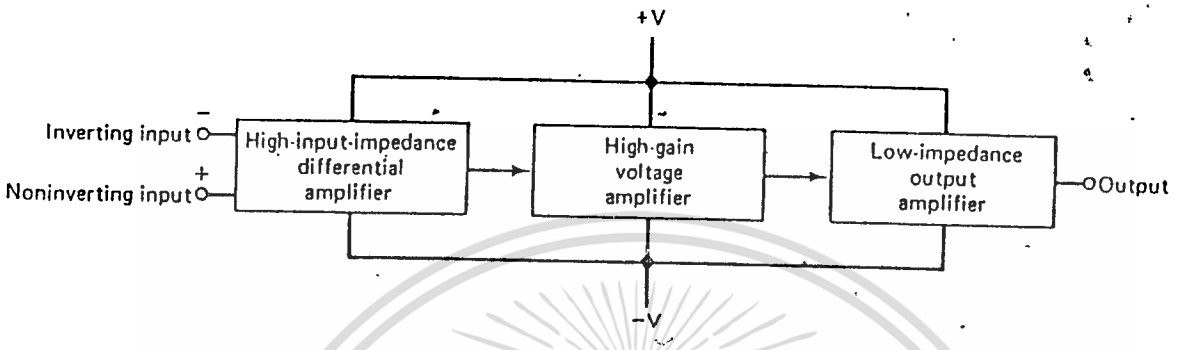
2 วงจรขยายแรงดันซึ่งมีอัตราขยายสูงมาก

3 วงจรขยายภาคเอาท์พุทที่มีเอาท์พุทอิมพีแดนซ์ต่ำมาก

รูปที่ 2.6 แสดงบล็อคไดอะแกรมของวงจรภายในภาคต่างๆของออปแอมป์ดังกล่าว

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

และจากรูปจะสังเกตุเห็นว่าแรงดันไฟตรงที่จ่ายให้แก่ออปแอมป์จะประกอบไปด้วยไฟบวกและลบ เพื่อให้เอาท์พุทสามารถลวิงได้ทั้งซีกบวกและลบ เมื่อเทียบกับกราวด์



รูปที่ 2.6 แสดงบล็อคไดอะแกรมของวงจรภายในออปแอมป์

จากคุณสมบัติที่กล่าวมา ทำให้เราสามารถสรุปคุณสมบัติที่สำคัญบางประการของออปแอมป์ในอุดมคติ ดังนี้

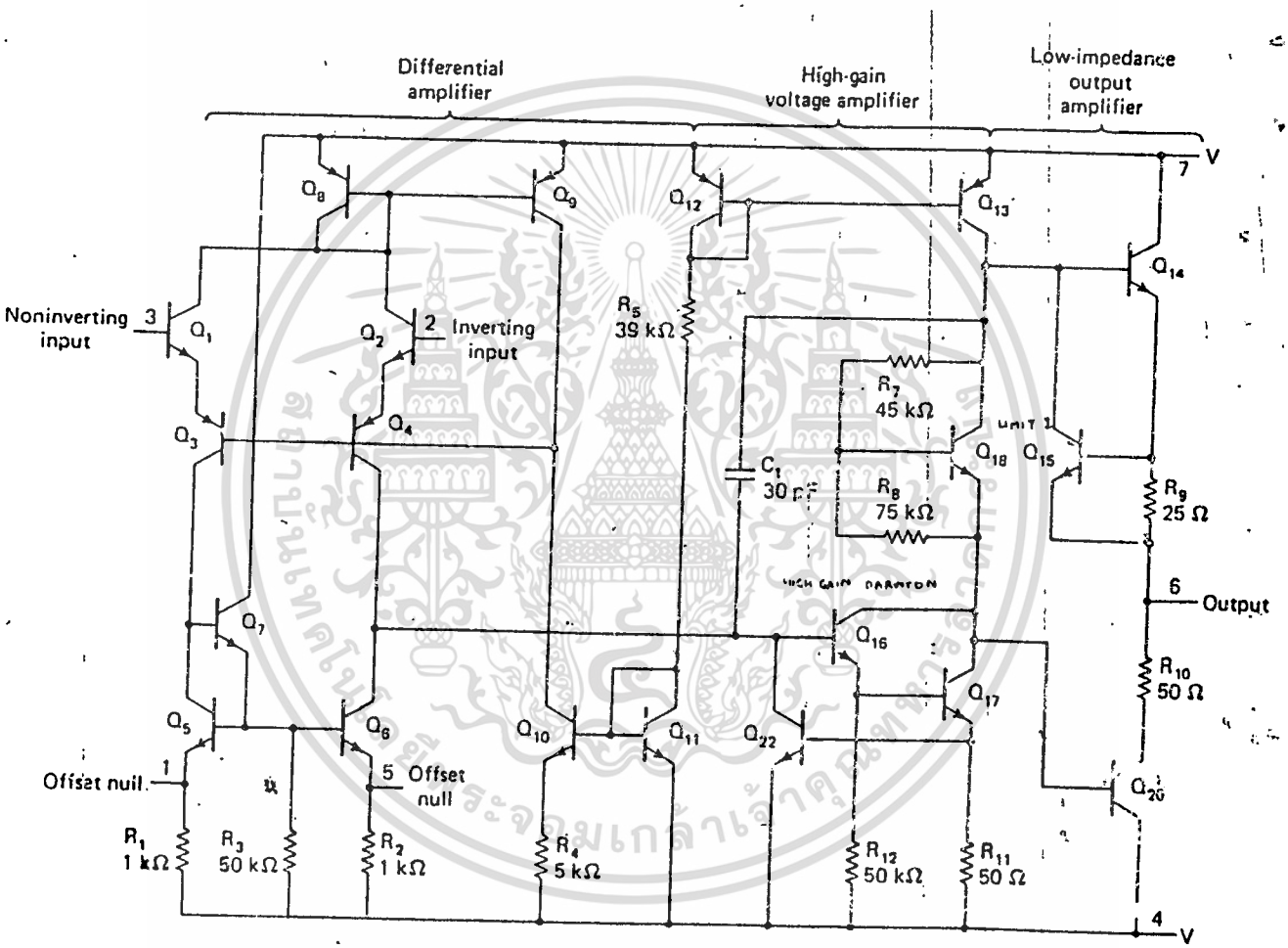
1. เนื่องจากอินพุทอิมพีแดนซ์ของออปแอมป์มีค่าสูงเป็นอนันต์ ทำให้กระแสเข้าที่อินพุทต่ำจนเกือบเท่าศูนย์หรือไม่มีกระแสไหลเข้าสู่ออปแอมป์

2. อัตราขยายขณะเปิดลูปจะมีค่าสูงมากซึ่งหมายความว่าแรงดันระหว่างขั้วอินพุทควรมีค่าใกล้ศูนย์

3. เอาท์พุทอิมพีแดนซ์มีค่าต่ำมาก

ในการนำออปแอมป์ไปใช้งานจริงนั้น เราอาจไม่จำเป็นต้องศึกษาให้ลึกซึ้งถึงวงจรภายใน แต่อย่างไรก็ตามในรูปที่ 2.7 จะแสดงวงจรภายในของออปแอมป์ 741 ซึ่งผู้สนใจสามารถศึกษารายละเอียดเพิ่มเติมจากคู่มือการใช้ไอซีออปแอมป์ได้ จากวงจรในรูปที่ 2.7 พบว่าไอซี ออปแอมป์จะประกอบด้วยทรานซิสเตอร์หลายตัวและมีตัวเก็บประจุน้อยมาก โดยมีเหตุผลที่ว่าตัวเก็บประจุจะกินเนื้อที่ค่อนข้างมากและยังกันไม่ให้สัญญาณไฟตรงผ่านได้อีกด้วย แต่ตัวเก็บประจุ 30 pF ที่ต่อไว้ในวงจรนั้นมีหน้าที่ในการชดเชยความถี่เท่านั้นซึ่งจะศึกษาต่อไป หากนำวงจรในรูปที่ 2.7 มาเปรียบกับรูปที่ 2.6 จะสามารถแยกวงจรออกเป็น 3 ภาคได้เช่นกัน โดยมีทรานซิสเตอร์ Q_{16} และ Q_{17} ซึ่งถูกต่อแบบ

เอกสารนี้ได้รับการสนับสนุนจากสำนักงานกองทุนสนับสนุนการวิจัย ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.7

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตารีสิ่งต้นทำหน้าที่เป็นวงจรขยายแรงดันที่มีอัตราขยายสูงมาก ส่วนภาคเอาท์พุทจะประกอบด้วย Q_{13} และ Q_{20} ทรานซิสเตอร์ Q_{12} นั้นมีไว้สำหรับจำกัดกระแสและป้องกันออปแอมป์เสียหายเมื่อเอาท์ถูกลัดวงจร ส่วนเอาท์พุทตัวอื่นๆจะมีหน้าที่ในการจัดไบอัสและช่วยในการขยายสัญญาณสำหรับออปแอมป์

ลักษณะการทำงาน

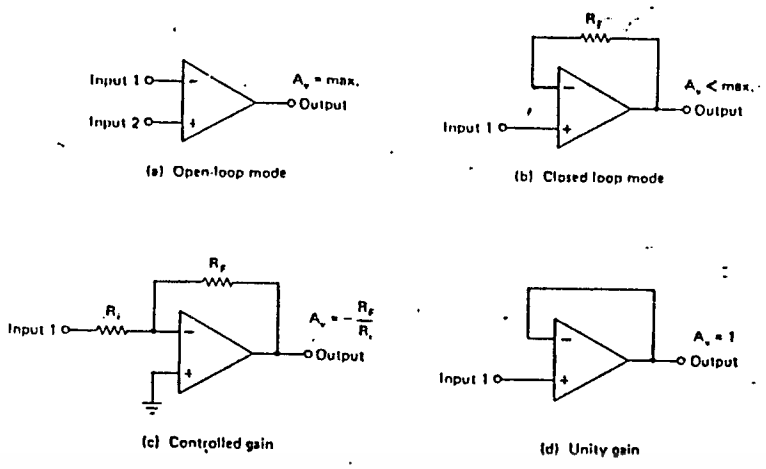
ออปแอมป์ในอุดมคติจะมีอัตราขยายเป็นอนันต์ แต่ในทางปฏิบัติอัตราขยายจะมีค่าสูงสุดเนื่อง 10000 หรือ 100000 เท่านั้น ซึ่งเรียกว่าอัตราขยายขณะเปิดลูป(A_{ol}) ดังรูปที่ 2.8(a) ในขณะที่เกิดความแตกต่างของแรงดันเพียงเล็กน้อยระหว่างขั้วอินพุททั้งสอง เอาท์พุทจะสามารถให้สัญญาณสูงขึ้นหลายเท่า หากแต่จะถูกจำกัดด้วยขนาดของแหล่งจ่ายไฟที่เราป้อนให้แก่ออปแอมป์ด้วย แต่กระนั้นก็ดีเอาท์พุทก็จะไม่มีค่าสูงสุดเท่ากับแรงดันจากแหล่งจ่ายไฟได้จริงทั้งนี้เกิดจากแรงดันที่ตกคร่อม Q_{14}, R_9 หรือ R_{12}, Q_{20} ในรูปที่ 2.7 ทำให้แรงดันเอาท์สูงสุดมีค่าประมาณ 90% ของแรงดันจากแหล่งจ่ายไฟเท่านั้น

จากคุณสมบัติข้างต้น เราสามารถนำออปแอมป์ในขณะเปิดลูปไปใช้งานเป็น comparator ได้โดยเอาท์พุทจะเปลี่ยนทันทีเมื่อมีความแตกต่างของแรงดันระหว่างขั้วอินพุทของออปแอมป์ นอกจากนี้เราสามารถนำออปแอมป์ในลักษณะของลูปปิดหรือขณะมีการป้อนกลับ จะทำให้ออปแอมป์สามารถนำไปใช้ประโยชน์ได้มากขึ้น ดังรูปที่ 2.8(b) การป้อนกลับในรูปใช้ตัวต้านทาน R_f เพียงตัวเดียวซึ่งทำให้วงจรมีเสถียรภาพสูงขึ้นและมีสัญญาณรบกวนน้อยลง ในขณะเดียวกันอัตราขยายแรงดันจะลดลงด้วย วงจรในรูปที่ 2.8(c) แสดงการใช้ออปแอมป์โดยมีการป้อนสัญญาณเอาท์พุทกลับมายังอินพุท นอกจากนี้ยังสามารถควบคุมอัตราขยายแรงดันได้โดยอาศัยตัวต้านทานตัวเดียวเท่านั้น ทำให้อัตราขยายแรงดัน A_v มีค่าดังสมการ

$$A_v = -\frac{R_f}{R_1}$$

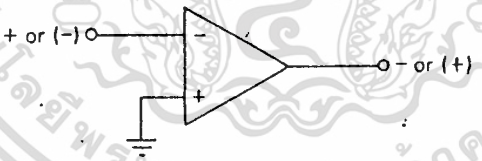
โดยที่เครื่องหมายลบแสดงการกลับเฟสของเอาท์พุทเทียบกับอินพุท ส่วนวงจร 2.8(d) แสดงการป้อนกลับในกรณีที่ $A_v = 1$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.8

คุณลมบัติที่ได้กล่าวมาทั้งหมดนี้ คือคุณลมบัติทั่วไปของออปแอมป์ที่จะนำไปใช้ต่อไปและนอกจากนี้คุณลมบัติอีกประการที่ควรศึกษาคือเรื่องความสัมพันธ์ของขั้วต่างๆระหว่างอินพุทและเอาท์พุทของออปแอมป์ ซึ่งสรุปไว้แล้วในรูปที่ 2.9



รูปที่ 2.9

1 ถ้าขั้ว - มีศักดาเป็นบวกสูงกว่าขั้ว +, เอาท์พุทเป็น -

2 ถ้าขั้ว - มีศักดาเป็นบวกต่ำกว่าขั้ว +, เอาท์พุทเป็น +

คุณลมบัติและพารามิเตอร์บางชนิดของออปแอมป์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

1 อินพุทอิมพีแดนซ์

ในทางอุดมคติแล้วควรมีค่าเท่ากับอนันต์ แต่ในความเป็นจริงอินพุทอิมพีแดนซ์จะมีค่าประมาณ 1 Mohms ($1*10^6$ ohm) ค่าอินพุทอิมพีแดนซ์นี้ยิ่งมีค่ามากขึ้นเท่าใด ออปแอมป์ตัวนั้นก็จะทำงานได้ดียิ่งขึ้น นอกจากนี้เมื่อนำออปแอมป์ไปใช้งานในย่านความถี่สูงควรพิจารณาอินพุทคาปาซิแตนซ์ของวงจรด้วย ซึ่งมักมีค่าประมาณ 2 picotarad ($2*10^{-12}$ farad) เมื่อขั้วอินพุทขั้วหนึ่งต่อกับกราวด์

2 เอาท์พุทอิมพีแดนซ์

ดังที่ได้กล่าวมาแล้วว่าออปแอมป์ในทางอุดมคติจะมีเอาท์พุทอิมพีแดนซ์เป็นศูนย์ แต่ในทางเป็นจริงค่านี้อาจมีได้ตั้งแต่ 25 จนถึงค่าเป็น Kohm ขึ้นไป แต่อย่างไรก็ตามเรามักลมมุติให้เอาท์พุทอิมพีแดนซ์ในวงจรมีค่าเป็นศูนย์ เพื่อง่ายต่อการคำนวณ และวิเคราะห์ จากคุณสมบัติที่มีอินพุทอิมพีแดนซ์สูงและมีเอาท์พุทอิมพีแดนซ์ต่ำ ออปแอมป์จึงเปรียบเสมือนเป็นอุปกรณ์ซึ่งมีคุณสมบัติเป็นอิมพีแดนซ์แมชชิ่ง (matching impedance) ที่ดีตัวหนึ่ง

3 กระแสไบอัสด้านอินพุท

เนื่องจากอินพุทอิมพีแดนซ์ของออปแอมป์ไม่เป็นอนันต์ ดังนั้นจึงมีกระแสค่าน้อยๆมีหน่วยเป็น นาโน(10^{-9}) ถึงไมโคร (10^{-6}) แอมแปร์ ไหลผ่านขั้วอินพุททั้งสอง ซึ่งค่าเฉลี่ยของกระแสดังกล่าวถูกเรียกเป็น "กระแสไบอัสด้านอินพุท" กระแสนี้จะก่อให้เกิดความไม่สมดุลย์ในวงจรภายในซึ่งจะเป็นผลกระทบต่อภาคเอาท์พุทด้วย ดังนั้นกระแสนี้ควรถูกกำจัดให้มีค่าต่ำสุดเอาจทำได้โดยการใช้ออปแอมป์ที่มีอินพุทเป็น FET)

4 แรงดันออฟเซ็ท ที่เอาท์พุท

แรงดันออฟเซ็ทที่เอาท์พุทเกิดจากกระแสไบอัสด้านอินพุท ซึ่งในทางอุดมคติเมื่อแรงดันอินพุทระหว่างขั้วทั้งสองมีค่าเท่ากัน แรงดันที่เอาท์พุทควรเป็นศูนย์ แต่โดยทั่วไปจะไม่เป็นเช่นนั้นเนื่องจากมีแรงดันค่าหนึ่งปรากฏที่เอาท์พุทขณะที่อินพุทเป็นศูนย์ ซึ่งเราสามารถแก้ไขได้โดยการป้อนแรงดันหรือกระแสออฟเซ็ทที่อินพุท แล้วปรับจนได้ V_{out} มีค่าเป็นศูนย์

5 กระแสออฟเซ็ทที่อินพุท

ในการปรับแรงดันออฟเซ็ทที่เอาท์พุทให้มีค่าเป็นศูนย์ กระแสอินพุททั้งสองขั้ว

เอกสารนี้เป็นเอกสาร... ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ควรมีค่าเท่ากัน แต่ในทางปฏิบัติจะพบว่าเราต้องจ่ายกระแสให้แก่อินพุทขั้วหนึ่งมากกว่าอีกขั้วหนึ่งเสมอ เนื่องทำให้แรงดันเอาท์พุทมีค่าเป็นดีแย่ ซึ่งกระแสออฟเซ็ทนี้อาจมีค่าประมาณ 20 nA

6 แรงดันออฟเซ็ทที่อินพุท

ในทางอุดมคติแรงดันเอาท์พุทจะเท่ากับดีแย่ก็ต่อเมื่อแรงดันระหว่างขั้วอินพุทมีค่าเป็นดีแย่เช่นกัน แต่ในทางปฏิบัติความไม่สมดุลย์ภายในวงจรมักทำให้เราป้อนแรงดันค่าหนึ่งแก่อินพุทใดๆเสมอ เพื่อให้แรงดันเอาท์พุทเป็นดีแย่

7 ผลของอุณหภูมิ

อุณหภูมิมีผลต่ออุปกรณ์ solidstate ทุกชนิดดังนั้นผลกระทบจากอุณหภูมิจะทำให้กระแสและแรงดันออฟเซ็ทเปลี่ยนแปลงไป ซึ่งเราเรียกการเปลี่ยนแปลงเนื่องจากอุณหภูมินี้ว่า drift

8 การชดเชยความถี่

ปัญหาที่เกิดขึ้นกับออปแอมป์ที่ใช้ในย่านความถี่สูงก็คือ การออสซิลเลทซึ่งเกิดจากอัตราขยายที่มีค่าค่อนข้างสูงของออปแอมป์เอง และยังเกิดจากการเลื่อนเฟส (phase shift) ณ จุดต่างๆภายในวงจรเป็นผลให้เราไม่สามารถควบคุมอัตราขยายของสัญญาณป้อนกลับได้ วิธีแก้ปัญหาก็คือ การต่อตัวเก็บประจุชดเชยให้แก่วงจร ซึ่งจะทำให้อัตราขยายของออปแอมป์มีขนาดลดลง เมื่อความถี่สูงขึ้น

9 อัตราสลูว์ (slew rate)

อัตราสลูว์คือ อัตราการเปลี่ยนแปลงสูงสุดของแรงดันเอาท์พุทเทียบกับเวลาดังสมการ

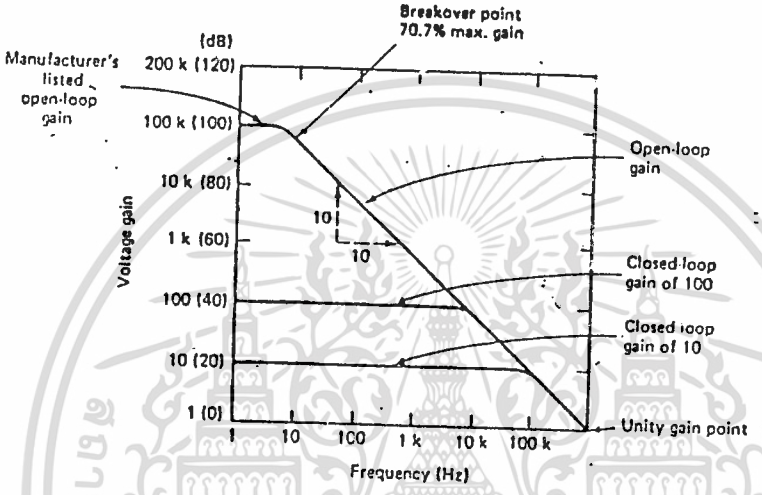
$$\text{อัตราสลูว์} = \frac{\text{การเปลี่ยนแปลงสูงสุดของแรงดันเอาท์พุท}}{\text{การเปลี่ยนแปลงของเวลา}}$$

10 การตอบสนองต่อความถี่

อัตราขยายของออปแอมป์จะลดลงเมื่อความถี่สูงขึ้นดังแสดงในรูปที่ 2.10 จะพบว่าอัตราขยายที่ผู้ผลิตแสดงไว้ใน date sheet จะเป็นอัตราขยายที่ความถี่ 0 Hz หรือไฟตรง (ซึ่งแสดงให้เห็นความถี่สูงสุดของออปแอมป์) ในการทำงานแบบลูปปิดจะเห็นได้ว่าวงจรมีเสถียรภาพต่ำมากนั่นคือ เมื่อความถี่เพิ่มขึ้น 10 เท่าอัตราขยายจะลดลง 10 เท่าทันที โดยทั่วไป bandwidth ของวงจรจะหมายถึงช่วงความถี่ที่อัตราขยายมี

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ค่า 70.7 ของอัตราขยายสูงสุด จากตัวอย่างในรูป bandwidth ของวงจรในขณะเปิดลูปจะมีค่าประมาณ 10 Hz ดังนั้นหากต้องการให้วงจรที่ออกแบบสามารถทำงานได้ที่ความถี่อินพุทสูงๆ จะต้องป้อนสัญญาณจากเอาท์พุทกลับมายังอินพุทแบบลบ ซึ่งจะทำให้อัตราขยายของลูปปิดลดลง แต่ในขณะเดียวกันความถี่ที่อัตราขยายเท่ากับ 70.7% ของอัตราขยายสูงสุดก็จะเพิ่มขึ้นด้วยอัตราเท่ากัน ลำดับที่มีอัตราขยายเท่ากับหนึ่งจะแสดงความถี่สูงสุดของออปแอมป์



รูปที่ 3.10 แสดงการตอบสนองความถี่

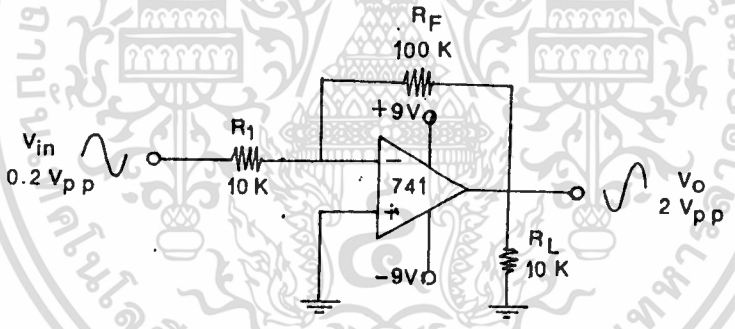
1 ผลคูณของอัตราขยายและแบนวิดธ์

จากที่ได้อธิบายในหัวข้อที่แล้วว่าเมื่ออัตราขยายลดลงเท่าใด ความถี่ก็จะสูงขึ้นด้วยจำนวนเท่าของค่านั้น ซึ่งแสดงว่าผลคูณระหว่างอัตราขยายและแบนวิดธ์จะมีค่าคงที่เสมอไป และเราสามารถหาค่านั้นได้จากจุดที่มีอัตราขยายเท่ากับหนึ่ง ผลคูณนี้มีประโยชน์อย่างมากในการประมาณความถี่สูงสุดที่วงจรสามารถทำงานได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วงจรขยายกลับเฟส (Inverting Amplifier)

โดยทั่วไปวงจรขยายจะหมายความถึง วงจรที่เปลี่ยนสัญญาณอินพุทน้อยๆ มากเป็นสัญญาณที่มีขนาดสูงขึ้นกว่าเดิม ซึ่งสัญญาณที่ว่านี้อาจเป็นได้ทั้งแรงดันหรือกระแส ในลักษณะเดียวกันวงจรขยายของออปแอมป์ก็คือ วงจรที่มีอัตราขยายแรงดันสูงมาก และยังมีลักษณะการขยายเป็นเส้นตรง นั่นคืออัตราส่วนระหว่างเอาท์พุทต่ออินพุทจะคงที่เสมอ (ในอุดมคติ) และนอกจากนี้เรายังสามารถควบคุมอัตราขยายของออปแอมป์ได้โดยใช้อุปกรณ์ภายนอกเพียงไม่กี่ตัว จากรูป 2.11 แสดงวงจรขยายกลับเฟสแบบมาตราฐาน ซึ่งใช้ป้อนแบบจ่ายไฟ เรียกว่า "การป้อนแบบแยก" ไดอินพุทจึงกลับเฟสกับอินพุทมีค่าเท่ากันที่จุดอินพุทกลับที่ ผลก็คือวงจรขยายออปแอมป์จะพยายามปรับเอาท์พุทจนกระทั่งความต่างศักย์ระหว่างอินพุทมีค่าเข้าใกล้ศูนย์ (แต่ต้องเข้าใจว่าแรงดันระหว่างขั้วอินพุทจะต้องไม่เท่ากับศูนย์จริงๆ) นั่นคือเอาท์พุทก็จะเท่ากับศูนย์ด้วย กล่าวคือ ผลต่างระหว่าง V_{in} และบางส่วนของ V_{out} ที่ขั้วอินพุทลบเพียงมีค่าต่ำพอที่จะทำให้เกิดแรงดันเอาท์พุทได้พอดีเท่านั้น



(a)

V_{in}	V_o
+0.3	-3
-0.3	+3
+0.52	-5.2
-0.52	+5.2

(b)

รูป 2.11 วงจรขยายกลับเฟส

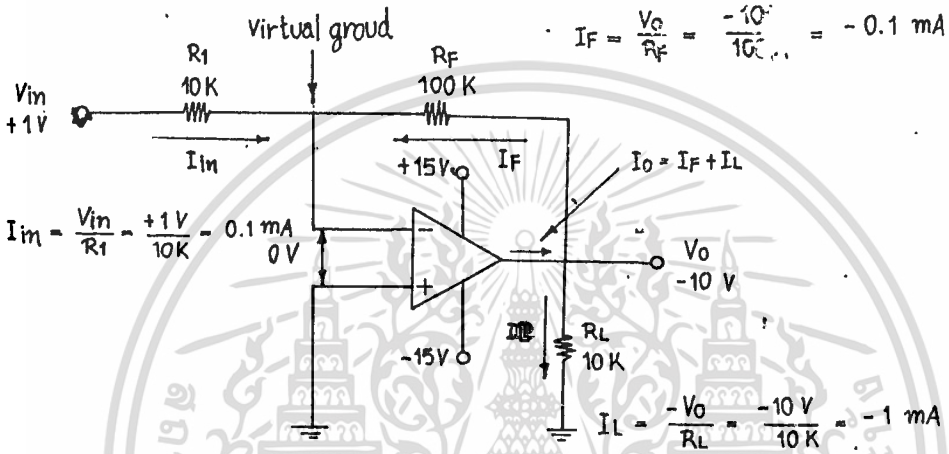
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากสมการของอัตราขยายแรงดัน A_v

$$A_v = V_{out}/V_{in}$$

เราจะพิสูจน์ให้เห็นว่า ค่าขยายแรงดัน A_v ของออปแอมป์เมื่อใช้ในโหมดของลูปปิด จะสามารถหาได้ด้วยสมการ

$$A_v = -R_f/R_{in}$$



รูปที่ 2.12

พิจารณาวงจรในรูป 2.12 (ซึ่งก็คือวงจรเดียวกับรูป 2.11) และจากข้อกำหนด 2 ข้อที่เราเคยกำหนดมาแล้วในบทที่ 1 คือ

1 ความต่างศักย์ระหว่างขั้วอินพุทเท่ากับศูนย์

2 กระแสเข้าขั้วอินพุทใดๆเท่ากับศูนย์

โดยใช้หลักจากข้อกำหนดที่ 1 ซึ่งทำให้ขั้วอินพุทลบมีค่า (ซึ่งเราเรียกว่ากราวด์เสมือน) เราสามารถเขียนได้ว่า กระแส I_{in} จะมีค่า

$$I_{in} = V_{in}/R_{in}$$

$$= 1 \text{ โวลต์}/10 \text{ กิโลโอห์ม}$$

$$= 0.1 \text{ มิลลิแอมป์}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากข้อกำหนดที่ 2 จะพบว่ากระแสที่ผ่าน R_f ก็จะเท่ากับกระแส I_{in} ดังนั้นเรา จึงสามารถหาแรงดันที่เอาท์พุทเทียบกับกราวด์ได้ โดยที่กระแส I_f จะมีค่า

$$I_f = -V_{out}/R_f$$

และเนื่องจาก $I_{in} = I_f$ ดังนั้น

$$V_{in}/R_{in} = -V_{out}/R_f$$

นั่นคือ

$$A_v = V_{out}/V_{in} = -R_f/R_{in}$$

ดังนั้น ในการหา V_{out} ของวงจรออปแอมป์ เราจะได้

$$V_{out} = A_v \cdot V_{in}$$
$$= (-R_f/R_{in}) \cdot V_{in}$$

โดยที่เครื่องหมายลบแสดงการกลับเฟสของเอาท์พุทเทียบกับอินพุท

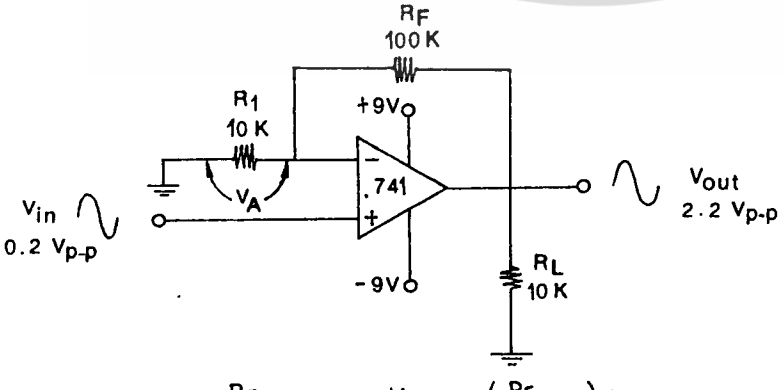
สำหรับค่าอินพุทอิมพีแดนซ์ขณะปิดลูปของวงจร 2.11 จะมีค่าดังนี้

$$Z_{in} = V_{in}/I_{in} = R_{in}$$

นั่นคืออินพุทอิมพีแดนซ์ จะมีค่าเพียง 10 กิโลโอห์ม เท่านั้น

<u>วงจรขยายไม่กลับเฟส</u> (Noninverting Amplifier)

วงจรขยายไม่กลับเฟสหรือนันอินเวอร์ติ้งแอมป์ จะแตกต่างกับอินเวอร์ติ้งแอมป์ ในแง่ของอัตราขยายและเฟสของเอาท์พุท แต่อย่างไรก็ตามอัตราขยายแรงดันของวงจรนันอินเวอร์ก็ยังถูกควบคุมจากอุปกรณ์ภายนอกเช่นเดิม โดยเราจะวิเคราะห์วงจรเพื่อหาค่าขยายของวงจรขนิดนี้



$$A_v = \frac{R_F}{R_1} + 1 \qquad V_{out} = \left(\frac{R_F}{R_1} + 1\right) V_{in}$$

(a)

V_{in}	V_{out}
+0.3	+3.3
-0.3	-3.3
+0.52	+5.72
-0.52	-5.72

(b)

รูปที่ 2.13

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากรูป 2.13 แรงดันอินพุทจะถูกป้อนเข้าที่ขั้วบวก (ในขณะที่มีสัญญาณอินพุทในวงจรขนิด อินเวอร์ติ้ง จะถูกป้อนเข้าที่ขั้วลบ) และมีแรงดัน V_A ซึ่งเกิดจากการแบ่งแรงดันของเอาท์พุทตกคร่อมตัวต้านทาน R_f จากคุณสมบัติของออปแอมป์ที่ว่า ศักดาที่ขั้วอินพุทลบ จะถูกบังคับให้มีขนาดเข้าใกล้ศักดาที่ขั้วอินพุทบวกเสมอ จะได้ว่า

$$V_{in} = V_A$$

ดังนั้นเราจึงมารถเขียนค่าขยายแรงดันของ A_v ได้เท่ากับ

$$A_v = V_{out} / V_A$$

และเนื่องจาก V_A เกิดจากการแบ่งแรงดันของ V_{out} จะได้

$$V_A = [R_{in} / (R_f + R_{in})] . V_{out}$$

เมื่อจัดสมการใหม่จะได้

$$V_{out} / V_A = (R_f + R_{in}) / R_{in}$$

หรือ

$$A_v = V_{out} / V_A$$

$$= (R_f / R_{in}) + 1$$

นั่นคือ

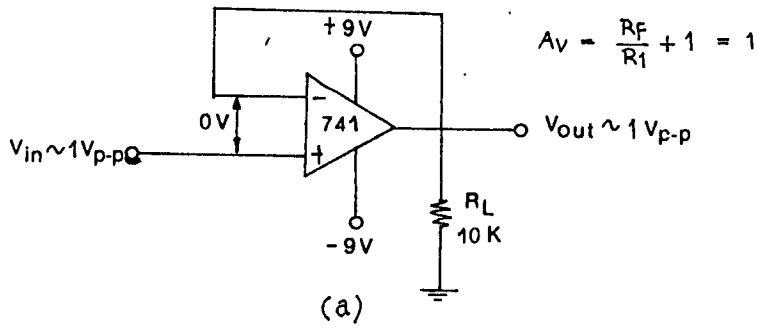
$$V_{out} = [(R_f / R_{in}) + 1] . V_{in}$$

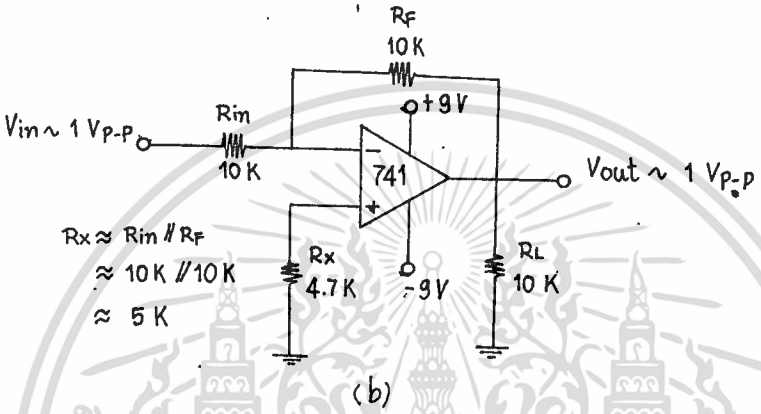
ตารางในรูป 2.13 b แสดงตัวอย่างสำหรับ V_{in} และ V_{out} ค่าต่างๆของวงจรนันอินเวอร์ติ้งแอมป์

<u>วงจรตามแรงดัน</u> (Voltage Follower)

ในบางครั้งเราอาจต้องวงจรออปแอมป์ ซึ่งให้อัตราขยายเท่ากับหนึ่ง เพื่อนำไปใช้เป็นบัฟเฟอร์ ในกรณีนี้สามารถใช้อินเวอร์ติ้งหรือขนิดอินเวอร์ติ้งได้ดังในรูป 2.14 a และ 2.14 b ตามลำดับซึ่งจะสามารถอธิบายได้ดังนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้





รูปที่ 2.14แสดงวงจรตามแรงดัน

จากรูป 2.14 a เมื่อ R_f มีค่าเป็นศูนย์ อัตราขยายแรงดันจะมีค่าเป็น

$$A_v = (R_f / R_{in}) + 1$$

$$= (0/R_{in}) + 1 = 1$$

โดยที่แรงดันเอาท์ จะมีเฟสตรงกับอินพุท และยังมีขนาดเท่ากับอินพุทอีกด้วย แต่เมื่อใช้วงจรอินเวอร์แอมป์ เป็นวงจรตามแรงดันดังรูป 2.14 b จะพบว่าอัตราขยายมีค่า

$$A_v = -R_f / R_{in}$$

$$= -10 \text{ กิโลโอห์ม} / 10 \text{ กิโลโอห์ม}$$

$$= -1$$

นั่นคือแรงดันเอาท์พุทจะกลับเฟส 180 องศา เทียบกับอินพุท แต่มีขนาดเท่ากัน อย่างไรก็ตามข้อเสียของการใช้วงจรอินเวอร์ คือ อินพุทอิมพีแดนซ์ของวงจรจะมีลดลงเหลือเพียงเท่ากับความต้านทานของ R_{in} (10 กิโลโอห์ม) ส่วนตัวต้านทาน R_x ที่ขั้วบวกมีไว้เพื่อลดกระแสออฟเซ็ทที่อินพุท (ทำให้เกิดลมดุลย์ที่อินพุททั้งลอง) ค่า R_x นี้ควรมีขนาดประมาณ R_{in} ขนานกับ R_f ($R_{in} // R_f$)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วงจรบวกแรงดัน (Summing Amplifier)

จากรูป 2.15 แสดงวงจรบวกแรงดันและตารางตัวอย่าง ในรูป 2.16 แสดงการวิเคราะห์การทำงานของวงจรชนิดนี้ ซึ่งสามารถอธิบายโดยใช้หลักที่ว่า ผลรวมเชิงพีชคณิตของกระแส ณ. จุดกราวด์เสมือนจะทำให้เกิดแรงดันเอาท์ ซึ่งมีขนาดเท่ากับผลคูณของ R_f กับผลรวมของกระแสเหล่านี้ ดังนั้นแรงดันเอาท์จึงเปรียบเสมือนผลรวมเชิงพีชคณิตของแรงดันอินพุททั้งหมดด้วยนั่นเอง

$$V_{out} = I_f \cdot R_f$$

$$= (I_1 + I_2 + I_3 + \ldots\ldots I_n) \cdot R_f$$

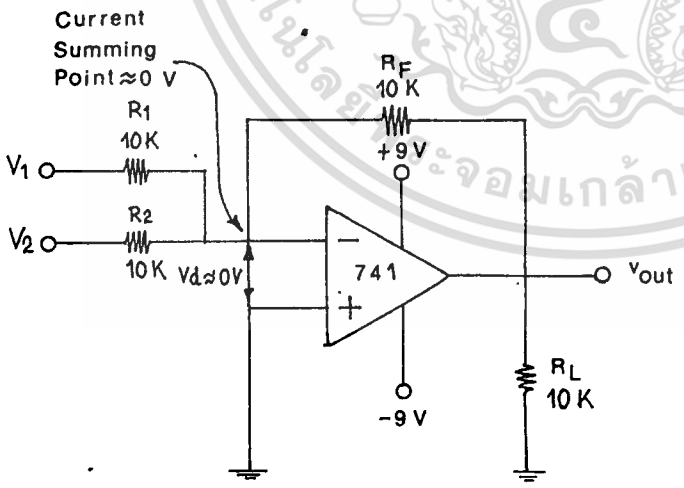
และเนื่องจาก

$$R_1 = R_2 = \ldots\ldots R_n = R_f \text{ จะได้ว่า}$$

$$V_{out} = I_1 \cdot R_1 + I_2 \cdot R_2 + \ldots\ldots I_n \cdot R_n$$

เพราะฉะนั้น

$$V_{out} = V_1 + V_2 + \ldots\ldots V_n$$



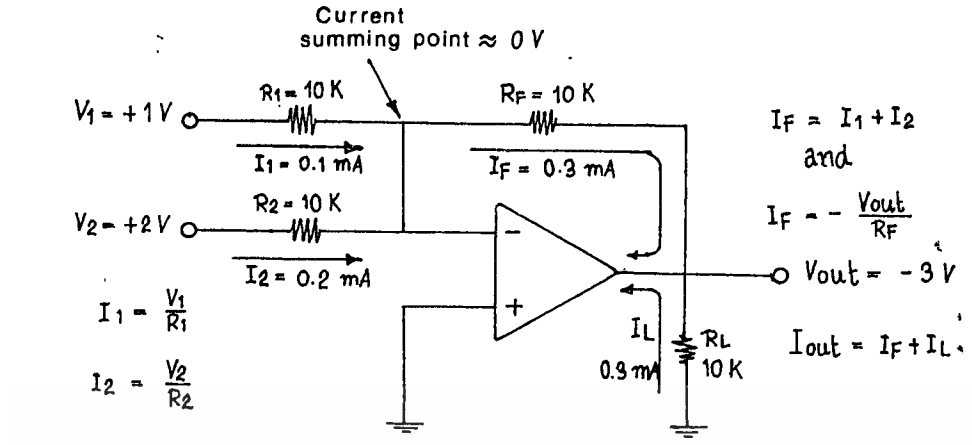
(a)

Input voltage		output voltage
V_1	V_2	Algebraic sum
+1	+1	−2
+1	−1	0
+2	+1	−3
−1	+1	0
−1	+2	−1
−2	+1	+1

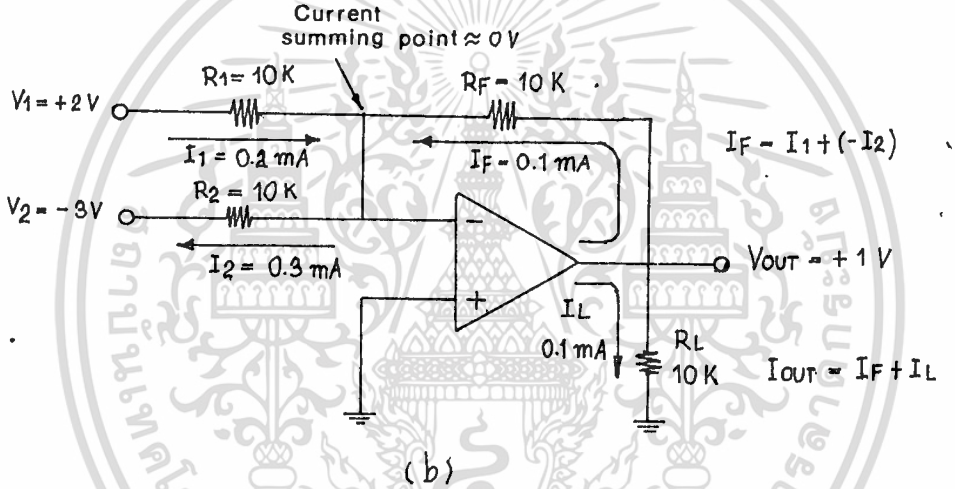
(b)

รูปที่ 2.15

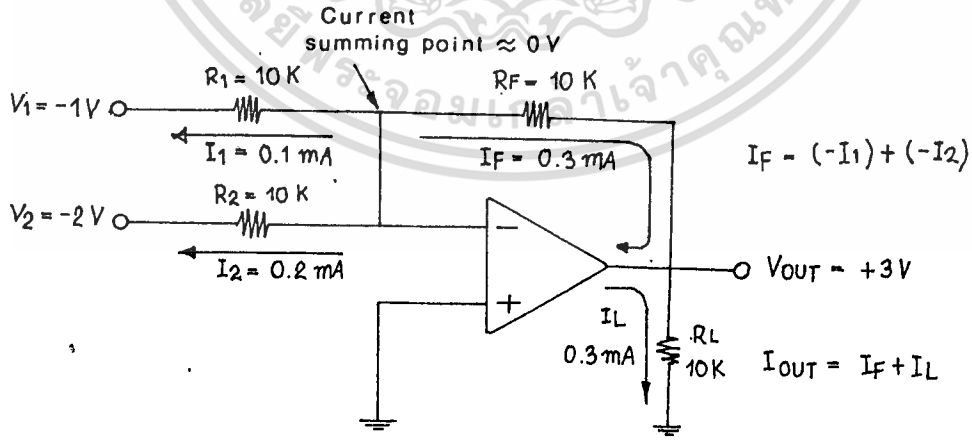
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



(a)



(b)

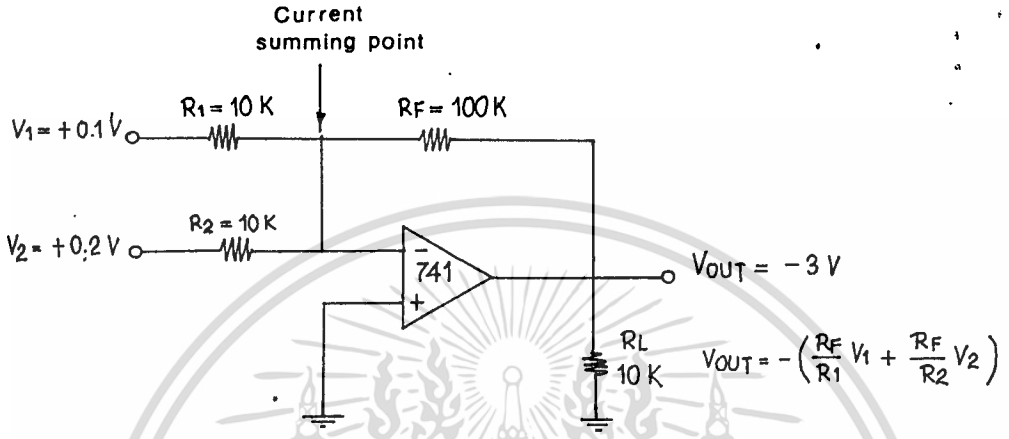


(c)

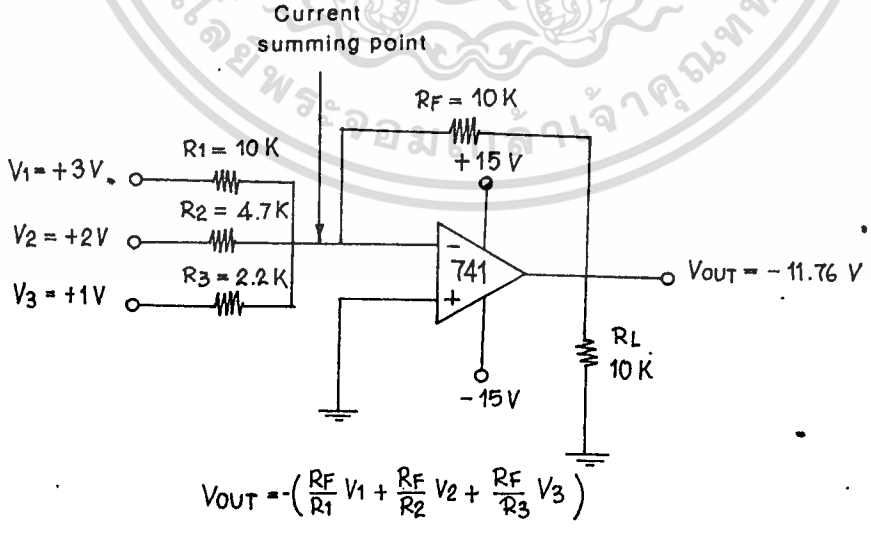
รูปที่ 3.16

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

และในกรณีที่ต้องการให้ผลรวมนี้ถูกขยายด้วยค่าขยายค่าหนึ่ง ก็สามารถทำได้โดยเปลี่ยนความต้านทานดังรูป 2.17 ผลก็คืออัตราขยายจะเพิ่มขึ้นเป็น 10 เท่า หรือหากต้องการรวมอินพุทหลายๆ ตัวโดยที่อินพุทแต่ละตัวถูกขยายด้วยอัตราขยายต่างกัน ก็สามารถใช้วงจรในรูป 2.18



รูปที่ 2.17



รูปที่ 2.18

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วงจรขยายความแตกต่าง (Differential Amplifier)

วงจรในรูป 2.19 แสดงการใช้ออปแอมป์เป็นวงจรลบแรงดัน โดยเป็นการรวมวงจรขยายแบบอินเวอร์แอมป์ และนอนอินเวอร์แอมป์เข้าด้วยกัน ผลคือเกิดการหักล้างกันที่เอาท์พุทขึ้น (เนื่องจากเฟสของวงจรแต่ละชนิดจะตรงกันข้าม) และสามารถวิเคราะห์สมการสำหรับหา V_{out} ได้โดยที่แรงดันที่ขั้วอินพุทบวก จะเท่ากับ

$$V_+ = [R_g/(R_2+R_g)].V_2$$

และจากการวิเคราะห์ วงจรแบบอินเวอร์ติ้งทั่วไป โดยมี V_+ เป็นแรงดันอ้างอิงที่ขั้วอินพุทบวก จะได้

$$[(V_1-V_+)/R_1] = -[-(V_o-V_+)/R_f]$$

$$V_o-V_+ = -R_f/R_1[(V_1-V_+)]$$

$$V_o = (-R_f/R_1).V_1 + (R_f/R_1)(V_+) + V_+$$

$$= (-R_f/R_1).V_1 + [(R_f/R_1)+1].V_+$$

$$= (-R_f/R_1).V_1 + [(R_f+R_1)/R_f][R_g/(R_2+R_g)].V_2$$

และหาก

$R_1 = R_2 = R_f = R_g$ จะได้

$V_{out} = V_2-V_1$

ส่วนวงจร 2.20 แสดงวงจรลบแรงดันซึ่งมีอัตราขยายสัญญาณที่เอาท์พุทด้วย ซึ่งเรายังสามารถนำสมการของวงจรลบแรงดันมาใช้ได้ และเมื่อ $R_2 = R_1$ จะได้

$$V_{out} = (R_f/R_1).(V_2-V_1)$$

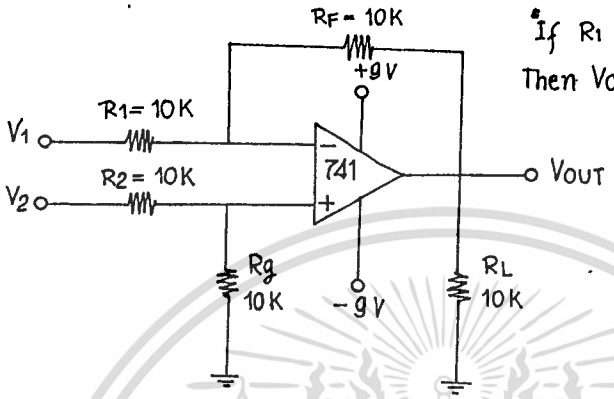
จะสังเกตว่าวงจรนี้ทำหน้าที่คล้าย คอมพาเรเตอร์ แต่ต่างกันตรงที่สามารถขยายสัญญาณผลต่างได้ (ในขณะที่วงจรคอมพาเรเตอร์เพียงแต่สามารถ "ตรวจจับ" ความแตกต่างเท่านั้น) อย่างไรก็ตาม วงจรนี้มีข้อเสียที่อินพุทอิมพีแดนซ์ค่อนข้างต่ำในบางครั้งจึงจำเป็นต้องใช้ วงจรตามแรงดันเป็นบัฟเฟอร์ก่อนเข้าวงจรลบแรงดัน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$V_{OUT} = -\frac{R_F}{R_1}V_1 + \left(\frac{R_g}{R_2+R_g}\right)\left(\frac{R_1+R_F}{R_1}\right)V_2$$

If $R_1 = R_2 = R_F = R_g$

Then $V_{OUT} = V_2 - V_1$



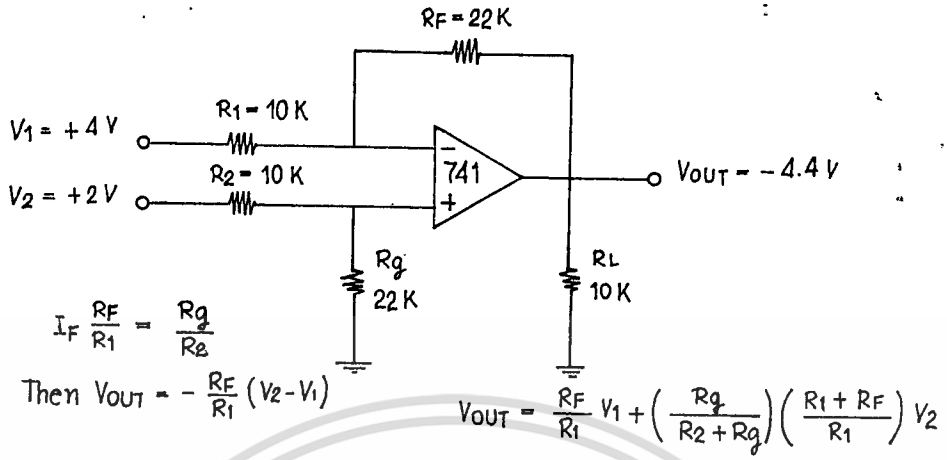
(a)

input voltage		output voltage
V_1	V_2	Algebraic difference
+2	+4	+2
+4	+2	-2
+4	-2	-6
-2	+4	+6
-4	+2	+6
+2	-4	-6
-4	-2	+2
-2	-4	-2

(b)

รูปที่ 2.19

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.20

วงจรเลื่อนเฟส (Phase Lead/Lag Circuit)

เราสามารถนำออปแอมป์มาใช้งานในการเลื่อนเฟสของสัญญาณอินพุท ซึ่งมีรูปคลื่นสัญญาณต่างๆได้ โดยขนาดของรูปคลื่นจะมีค่าคงที่ จากวงจรในรูปเป็นตัวอย่างของการใช้งานออปแอมป์ในการเลื่อนเฟส ในรูป 2.21 a เป็นวงจรที่สามารถทำให้เฟสของสัญญาณอินพุท lag ได้ส่วนวงจร 2.21 b จะให้ผลเป็น lead โดยค่ามุมที่ lag; lead ไปคำนวณได้จากสูตร

Lag

$$= - \arctan 2\pi f . R_2 . C_1$$

Lead

$$= \arctan 2\pi f . R_2 . C_1$$

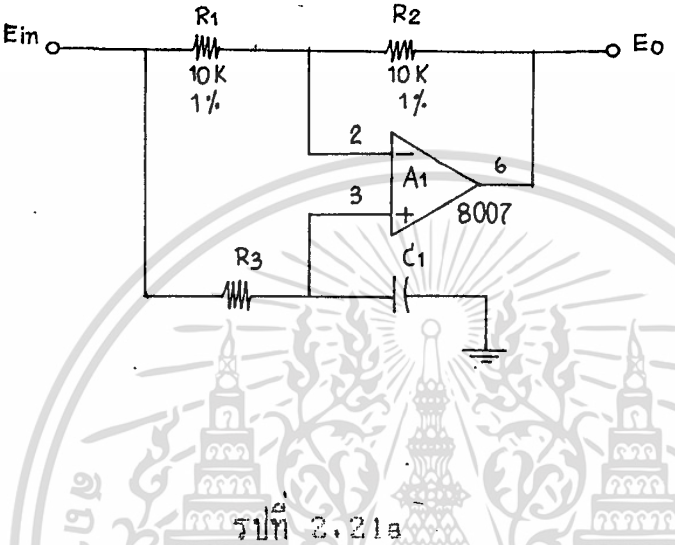
โดยที่ค่าของ R_2 และ C_1 นั้นสามารถคำนวณจากความเหมาะสมของลมการ

$$f = 1/(2\pi . R_2 . C_1)$$

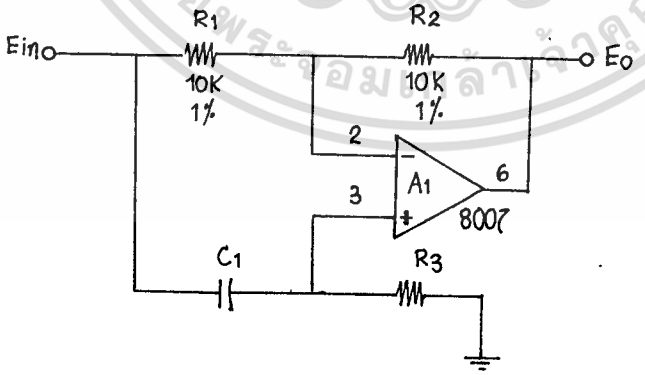
วงจร Lag ถ้า $R_1 = R_2$ มุมต่างเฟสของ output จะเป็น -90 องศา หรือค่ามุมทั้งลองของสัญญาณที่จุดรวมจะมีค่า amplitude เท่ากับ E_{in} วงจรเลื่อนเฟสมี Gain เป็น $(R_2+R_1)/R_1$ และมันจะเพิ่มขึ้นถ้าเฟสของสัญญาณอินพุทเข้ามา R_1 และ R_2 บาง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ครั้ง อาจใช้ในการปรับค่าเฟสของเอาท์พุทในการออกแบบ และแรงดันอินพุทจะเท่ากับเอาท์พุท ถ้า $R_1=R_2$ สำหรับวงจรในรูป 2.21 b ขั้นตอนเหมือนกับ 2.21 a มาก ผลของอัตราขยาย จะเป็นกรณีเดียวกับ 2.21 a แต่เฟสของเอาท์พุทจะนำหน้าสัญญาณอินพุท



รูปที่ 2.21a



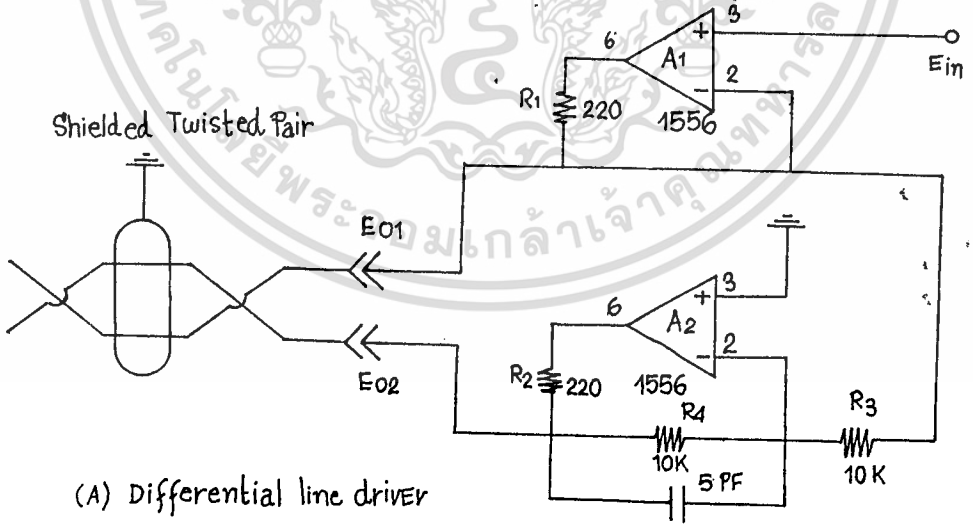
รูปที่ 2.21b

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

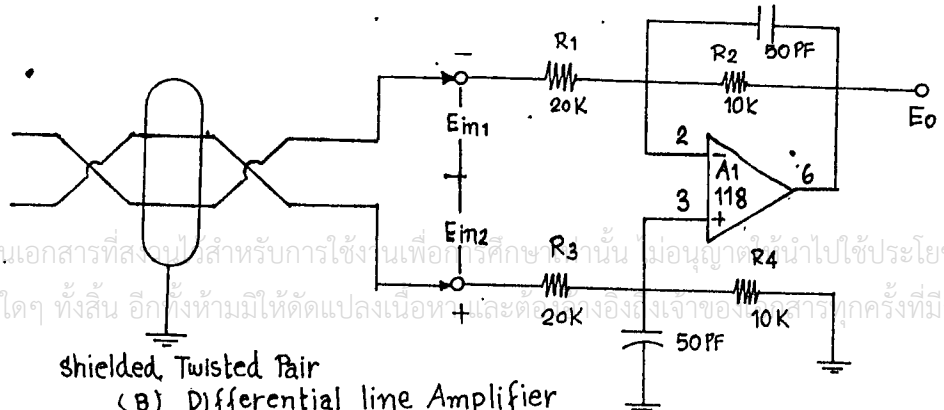
วงจร Balance Transmission system

ในเทคนิคการเชื่อมต่อภาคอินพุทและเอาท์พุท ของระบบความถี่วิทยุมักจะประสบปัญหาจากหม้อแปลงทั้งภาคอินพุทและเอาท์พุท จะทำให้เกิดการสมดุลย์ในการส่งสัญญาณมากขึ้น ระบบที่กล่าวถึงนี้ทำงานได้เป็นอย่างดี และมีคุณสมบัติในการใช้งานดีมาก ซึ่งดีกว่าใช้หม้อแปลงมากเพราะหม้อแปลงมีราคาแพงมาก จากวงจรในรูป 2.22 เป็นวงจร Balance Signal-Line Transmission ซึ่งมีคุณสมบัติดีมี Noise ต่ำ วงจร 2.22 a เป็นวงจรที่ใช้ในการส่ง ซึ่งมีวงจร Follower และ Inverter จะทำให้เกิด low-impedance ที่ E_{o1} ซึ่งเป็นขาหนึ่งของวงจร ส่วนอีกข้างหนึ่งมี E_{o2} ซึ่งแรงดันผลรวมระหว่าง ทั้งสองจะเป็นความแตกต่างระหว่าง E_{o1} และ E_{o2} หรือ $E_{o1}-E_{o2}$ ซึ่งเท่ากับ $2E_{in}$ เราจำเป็นต้องใช้ออปแอมป์นี้มาใช้เพราะว่ากระแสอินพุทน้อย และ Slewing เร็ว โดยรวมคุณสมบัติทั้งสองเข้าด้วยกัน ก็จะทำให้วงจรนี้เป็นวงจรที่เหมาะสมและง่ายต่อการใช้งาน จากวงจร R_1 และ R_2 ควรจะมีค่าเท่ากัน

ส่วนวงจรรูป 2.22 b เป็นวงจรที่ใช้ในด้านการรับสัญญาณโดยวงจรนี้เป็นวงจร Differential Amplifier สำหรับใช้งานด้านความถี่วิทยุโดยเฉพาะมันจะกลับ Balance Line Signal กลับไปเป็นรูปแบบเดิมคือมีเส้นเดียวเหมือนตอนเริ่มแรกโดยจากคุณสมบัติของวงจรทำให้มันมี input impedance ต่ำ



รูปที่ 2.22



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.3 วงจร Active Filter

Active Filter ทำหน้าที่กรองความถี่สัญญาณ เป็นวงจรที่ประกอบด้วย ภาคขยาย เช่น transister หรือ IC และ network เลือกความถี่ (frequency select network) จำพวก resister กับ capacitor วงจรให้ผ่านได้เฉพาะสัญญาณในช่วงความถี่ที่กำหนด ขณะเดียวก็จะขวางกั้น (block) หรือลดทอนสัญญาณนอกเหนือช่วงความถี่ดังกล่าวมิให้ปรากฏที่ output

กล่าวโดยทั่วไป Filter แบ่งออกเป็นหลายรูปแบบ

1. filter ชนิด analog หรือ digital

2. filter ประเภท passive หรือ active

3. filter ย่านความถี่เสียง (audio frequency) หรือย่านวิทยุ

analog filter ออกแบบมาเพื่อให้ใช้กับงาน analog ส่วน digital filter ใช้กับสัญญาณ analog แต่อาศัยเทคนิคทาง digital มาช่วย ถ้าคำนึงถึงชิ้นส่วน (element) ที่นำมาประกอบเป็นวงจร filter แบ่งออกเป็นประเภท passive และ active ชิ้นส่วนวงจรที่ใช้ใน passive filter ได้แก่ตัว resister, capacitor และ inductor ส่วน active filterประกอบด้วยตัวขยายสัญญาณจำพวก transister หรือ IC ในรูปออปแอมป์และ resister และ capacitor ทำงานร่วมกัน resister,capacitor และ inductor ถือว่าเป็นชิ้นส่วนประเภท passive element การเลือกใช้ชิ้นส่วนชนิดใดนั้น ขึ้นกับย่านความถี่สัญญาณที่ต้องการให้วงจร filter ทำงาน ยกตัวอย่างเช่น RC filter ใช้กับย่านความถี่เสียง (audio frequency) หรือใช้ในย่านความถี่ต่ำ (low frequency) ขณะที่ LC filter หรือาจจะกล่าวไปถึง crystal filter เหมาะที่จะใช้ในย่านความถี่วิทยุ (radio frequency) หรือย่านความถี่สูง (high frequency) และโดยเฉพาะอย่างยิ่งเนื่องจากค่า Q หรือ figure of merit ที่สูงของตัว crystal ทำให้ crystal filter มีเสถียรภาพที่ความถี่สูงมากๆ ดีกว่า LC filter อีกด้วย

ในที่นี้เราจะทำการวิเคราะห์และออกแบบ RC-active filter ชนิด analog ในย่านความถี่เสียงโดยอาศัย op-amp

ข้อดีของ active filter ที่เหนือกว่า passive filter

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4. การปรับอัตราขยายและปรับความถี่เป็นอิสระต่อกัน เราสามารถจัดอัตราขยายของ op amp ขดเขยกับอัตราลดทอนสัญญาณของวงจร RC filter หรือเพิ่มอัต-ราขยายของวงจรทั้งหมดด้วยการจัดค่าขึ้นส่วนอุปกรณ์ในส่วนของวงจรขยาย op-amp และการปรับเปลี่ยนความถี่ ก็อยู่ที่ค่า RC เท่านั้น

5. ไม่มีปัญหา loading จากการที่ op-amp มีคุณสมบัติของ input impedance สูง และ output impedance ต่ำ วงจร active filter อาศัย op-amp จึงไม่มี loading กับ output ของวงจร ณ.จุดที่นำ active filter เข้าไปต่อ

6. ราคาถูก active filter มีราคาถูกกว่า passive filter เพราะไม่ต้องอาศัย inductor ที่มีราคาแพงและยังใช้ op-amp ซึ่งปัจจุบันราคาในท้องตลาดถูกมาก

Active Filter ตามลักษณะการทำงาน

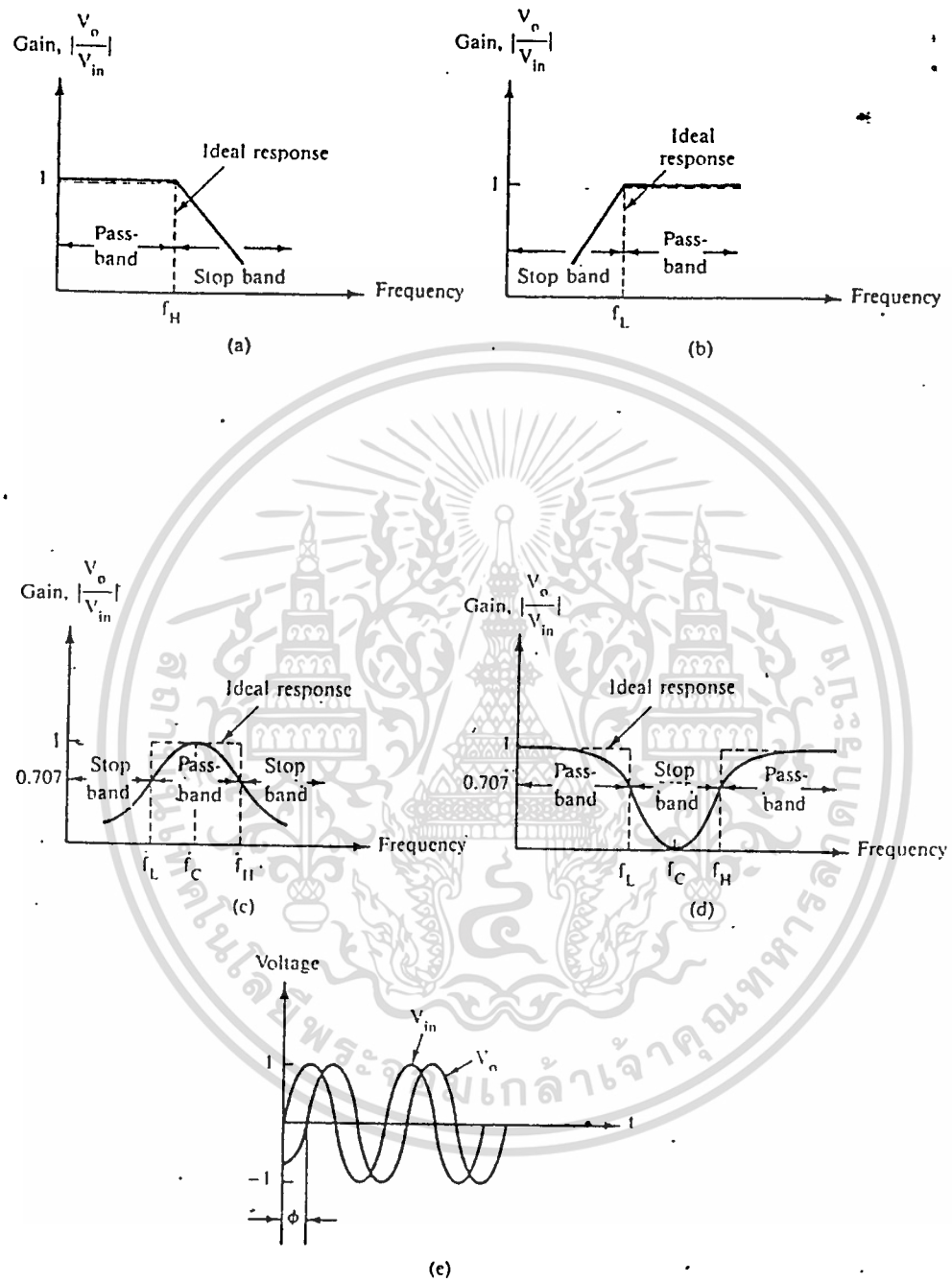
เราแบ่ง active filter ตามลักษณะการทำงานเป็น 5 ชนิด

1. Low Pass Filter (LPF)
2. High Pass Filter (HPF)
3. Band Pass Filter (BPF)
4. Band Reject หรือ Band Stop Filter (BSF)
5. All Pass Filter

filter เหล่านี้อาศัย resister และ capacitor เป็น passive element ทำงานร่วมกับ active element จำพวก op-amp อาศัย IC ที่มีคุณสมบัติ high speed ที่มี slew rate สูงและ unity gain bandwidth สูงๆ เช่น LM 318 หรือ IC L8017 จะช่วยให้คุณสมบัติด้านความถี่และด้านอัตราขยายของ filter ดีขึ้น

frequency response ของ filter ทั้ง 5 ชนิดแสดงในรูป เส้นประแสดงถึง response ที่เป็น ideal ในทางทฤษฎีส่วน response curve ในทางปฏิบัติแสดงด้วยเส้นทึบ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.23 Frequency Response ของวงจร Filter

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูป 2.23 (c) แสดง frequency response ของวงจร band pass อยู่ระหว่างความถี่ cutoff ทั้งสองจุดได้แก่ high cutoff frequency (f_H) และ low cutoff frequency (f_L) ซึ่งเป็นตำแหน่งที่ gain ของวงจรลดลง 3 db และช่วง stop band มีสองช่วงที่ $0<f<f_L$ โดย $f_H>f_L$ ค่า bandwidth ของ band pass filter เท่ากับ f_H-f_L และ center frequency อยู่ที่ความถี่ f_c ปรากฏที่ตำแหน่งกึ่งกลางช่วง pass band พอดี

รูป 2.23 (d) แสดง response ของ band reject filter มีช่วง pass band สองช่วงอยู่ระหว่างความถี่ $f>f_H$ และ $0<f<f_L$ อาจเรียก band reject filter ว่า band stop filter หรือ band elimination filter

รูป 2.23 (e) แสดง phase shift ระหว่าง input voltage (V_{in}) กับ output voltage (V_o) ของ all pass filter วงจร all pass filter มีคุณสมบัติในการให้สัญญาณทุกความถี่ผ่านได้เท่าๆ กันกล่าวคือให้ V_o เท่ากับ V_{in} ในทุกความถี่โดยปรากฏ phase shift ขึ้นระหว่าง V_o กับ V_{in} ในบางความถี่ แต่ค่าความถี่สูงสุดซึ่ง V_o กับ V_{in} ยังคงมีขนาดเท่ากันขึ้นอยู่กับคุณสมบัติ unity gain bandwidth ของ op-amp ที่ความถี่นี้ phase shift ที่เกิดขึ้นระหว่าง V_o กับ V_{in} จะมีค่าสูงสุด

ก่อนนำเข้าสู่ filter แต่ละแบบมาพิจารณาคุณลักษณะของ filter โดยเฉพาะอย่างยิ่ง ในช่วง stop band ตามรูปที่ 2.23 (a) ถึง 2.23 (d) รูปร่างของ response curve ในช่วง stop band มีทั้งลดลงหรือเพิ่มขึ้น หรือ ทั้งลดลงและเพิ่มขึ้นด้วยอัตราการเปลี่ยนแปลงที่คงที่ตามความถี่ที่เพิ่มขึ้น หมายถึงอัตรา (rate) ซึ่ง gain ของ filter เปลี่ยนแปลงในช่วง stop band อัตราการเปลี่ยนแปลง gain นี้แสดงด้วย slope ของ curve ในบริเวณ stop band ถูกกำหนดด้วยจำนวน order ของ filter ยกตัวอย่างเช่น low pass filter ชนิด order1 การลดลงของ gain ในช่วง stop band จากความถี่ $f<f_L$ อยู่ในอัตรา 20 db/decade ส่วน low pass filter ชนิด order2 ก็มีการลดลงของ gain ในช่วงความถี่เดียวกันในอัตรา 40 db/decade แต่สำหรับ high pass filter ชนิด order1 จะมีการเพิ่มขึ้นของ gain ในช่วง stop band จากความถี่ $0<f<f_L$ ในอัตรา 20 db/decade และ high pass filter ชนิด order2 ก็มีการเพิ่มขึ้นของ gain ในช่วงความถี่เดียวกัน

ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูป 2.23 (a) แสดง Frequency Response ของวงจร low pass filter มีขนาดของ gain คงที่จากความถี่ 0 H_z ถึงความถี่ high frequency cut off (f_H) ค่าของ bandwidth จึงเท่ากับ f_H ตำแหน่งที่ความถี่ high frequency cut off gain จะลดลง 3 db และที่ความถี่มากกว่า f_H นั้น คือที่ $f>f_H$ อัตราการขยายหรือ gain ของวงจรก็ลดลงทุกขณะอย่างต่อเนื่องตามความถี่สัญญาณอินพุทที่เพิ่มขึ้นใน filter ช่วงความถี่ระหว่าง 0 H_z ถึง high frequency cutoff ซึ่ง gain ของวงจรจะลดลง 3 db เรียกว่า pass band และช่วงความถี่สูงกว่า f_H ขึ้นไป ซึ่งเกิดการลดทอนของสัญญาณทุกขณะเรียก stop band จาก response ที่เป็น ideal ในเส้นประ แสดงให้เห็นว่า filter ที่เป็น ideal จะมี loss เป็น 0 ตลอดช่วง pass band และมีช่วงเป็นอนันต์ในช่วง stop band แต่สภาพความเป็นจริงในทางปฏิบัติมิได้เป็นเช่นนั้นเพราะ network เชิงเส้น (linear network) ไม่สามารถสร้างคุณสมบัติของวงจรไม่ต่อเนื่อง (discontinuities) ขึ้นได้ อย่างไรก็ตามเราอาจสร้าง response curve ในทางปฏิบัติตามเส้นทึบให้ใกล้เคียงกับ response ที่เป็น ideal ตามเส้นประได้เช่นกัน โดยอาศัยเทคนิคการออกแบบวงจรเป็นพิเศษเข้าช่วยประกอบวงจรด้วยชิ้นส่วนอุปกรณ์เช่น resister กับ capecitor ที่มีค่าถูกต้องแม่นยำ หรือค่าผิดพลาดน้อยที่สุด และใช้ op-amp ชนิด high speed

รูปแบบของ filter ที่นิยมใช้กันมากในทางปฏิบัติซึ่งให้ response curve ประมาณใกล้เคียงกับทางทฤษฎี ได้แก่รูปแบบ butter worth, รูปแบบ chebyshev และรูปแบบ cauer แต่ละรูปแบบมีลักษณะประจำตัวแตกต่างกันออกไป butter worth filter ให้คุณลักษณะทั้ง pass band และ stop band ที่ flat บางครั้งจึงเรียกว่า flat flat filter สำหรับ chebychev มีคุณลักษณะ pass band เป็น ripple และ stop band มีลักษณะ flat ส่วน cauer filter ให้ทั้ง pass band และ stop band มีคุณลักษณะเป็น ripple หากกล่าวโดยรวมทุกระหว่าง filter ทั้ง 3 แบบ cauer filter จะให้ response ของ stop band ที่ดีที่สุด แต่เพื่อความสะดวกของการออกแบบวงจร เราจะใช้ butter worth filter

รูป 2.23 (b) เป็น response curve ของ high pass filter เมื่อให้ f เป็นความถี่ใดๆและ f_L เป็น low cutoff frequency แล้วช่วง stop band จะอยู่ที่ $f<f_L$ และช่วงของ pass band อยู่ที่ $f>f_L$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เท่ากับ 40 db/decade

low pass filter ขั้นที่ order1

จากรูป จะได้ว่า

$$V_o/V_{in} = A_f/[1+j(f/f_H)]$$

เมื่อ V_o/V_{in} คือ gain ของวงจร.

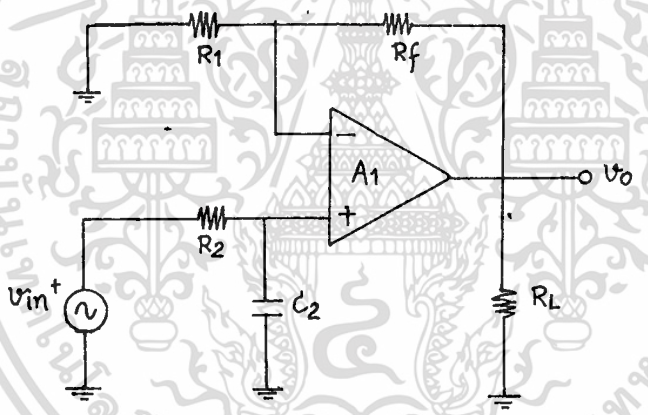
$A_f = 1+(R_f/R_1)$ = pass band gain ของวงจร

f = frequency ของ input signal

$f_H = 1/(2\pi R_f C_2)$ = high cutoff frequency

จากสมการข้างบน เขียนในรูป gain magnetude ได้ดังนี้

$$V_o/V_{in} = A_f/[1+(f/f_H)]^{1/2}$$



รูปที่ 2.24 first-order low pass Butterworth filter

การออกแบบ

1. เลือกค่า high cutoff frequency (f_H)
2. เลือกค่า $C_2 = 10/f_H$ uF
3. คำนวณ $R_2 = 1/(2\pi f_H C_2)$
4. คำนวณหาค่า R_f และ R_1 ตามค่า pass band gain

$A_f = 1+(R_f/R_1)$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตัวอย่างที่ 1 การออกแบบ low pass filter ที่ cutoff frequency = 1 KHz ที่ pass band gain = 2

วิธีทำ

1. f_c = 1 KHz

2. C = 10/1000 uF = 0.01 uF

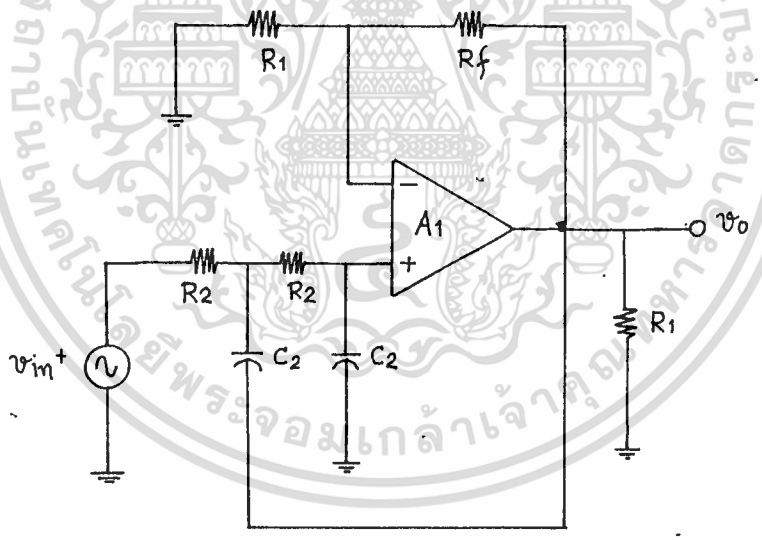
3. R = [illegible]

= 15.9 K

4. เนื่องจาก A_f = 2 ดังนั้น R_f = R_1

เลือก R_f = R_1 = 10 K

low pass filter ชนิด order2



รูปที่ 2.25 Second-order low pass butterworth filter

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากรูป 2.25 จะได้ว่า

$$V_o/V_{in} = A_f/[1+(f/f_H)^2]^{1/2}$$

เมื่อ

V_o/V_{in} = gain ของวงจร

A_f = $1+(R_f/R_1)$ = pass band gain ของวงจร

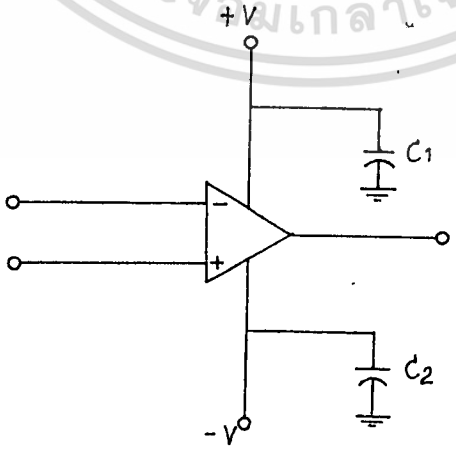
f = frequency ของ input signal

f_H = $1/(2\pi R_f C_f)$ = high cutoff frequency

การเพิ่มเสถียรภาพให้กับวงจร OP-AMP

การเพิ่มเสถียรภาพให้แก่วงจรขยายนั้นที่มีการป้อนกลับหมายถึงการป้องกันไม่ให้วงจรออสซิเลท (เพิ่มขึ้นจนเราควบคุมไม่ได้) วงจรจะต้องมีอัตราขยายตามที่ถูกออกแบบมา และต้องสามารถลดสัญญาณรบกวนออกไปให้มากที่สุด การเพิ่มเสถียรภาพดังกล่าวอาจทำได้โดยการเลย์เอาท์ (layout) หรือการวางอุปกรณ์แต่ละชนิดในตำแหน่งที่เหมาะสม การต่ออุปกรณ์ต่างๆ โดยใช้สายไฟตัวนำขนาดสั้นที่สุดเท่าที่จะทำได้ และการลดอิมพีแดนซ์ของกราวด์ร่วมให้เหลือน้อยที่สุดเป็นต้น

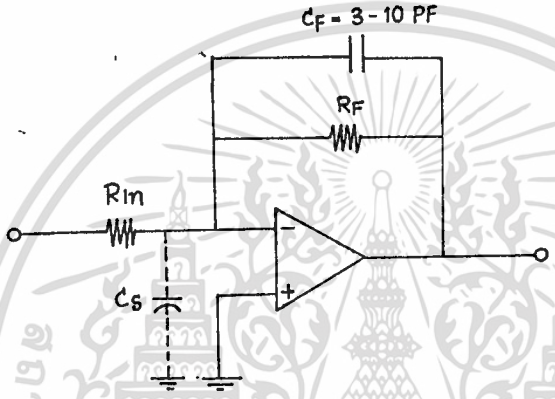
นอกจากวิธีดังกล่าว การทำให้แหล่งจ่ายไฟมีค่าคงที่ตลอดเวลาก็สามารถเพิ่มเสถียรภาพให้แก่ระบบได้ โดยการดีคัปปลิ้งสัญญาณรบกวน ดังแสดงในรูป 2.26 ตัวเก็บประจุที่ใช้เป็นชนิด แทนทาลัม และมีขนาด 1 ไมโครฟารัด



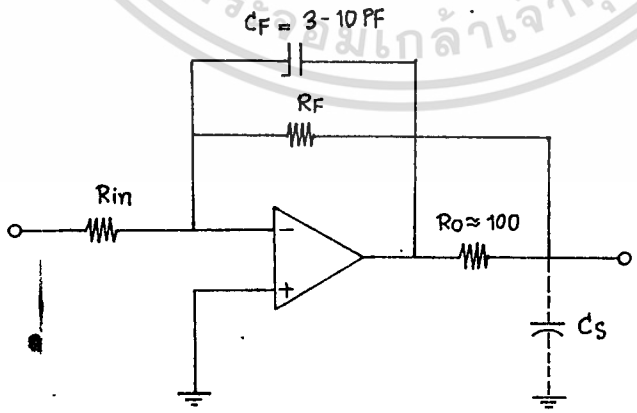
รูปที่ 2.26

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

นอกจากการต่อตัวเก็บประจุให้แหล่งจ่ายไฟแล้ว ควรต่อตัวเก็บประจุคร่อมตัวต้านทาน R_F ดังรูป 2.27 (a) ด้วยเพื่อลดปัญหาซึ่งเกิดจากตัวเก็บประจุชนิดสเตย์ในด้านอินพุท (C_s) (C_s นั้นไม่ใช่ตัวเก็บประจุที่เราสามารถเห็นด้วยตา แต่เป็นเพียงตัวเก็บประจุเสมือนที่ปรากฏอยู่ ณ.ตำแหน่งดังในรูป C_s อาจเกิดจากคาปาซิแตนซ์ในสายไฟหรือตัวเก็บประจุภายในออปแอมป์) นอกจากนี้ควรต่อตัวต้านทาน R_o ที่ภาคเอาท์พุท ดังรูป 2.27 b เพื่อช่วยลดปัญหาจาก C_s ที่เอาท์พุท



รูปที่ 2.27 a



รูปที่ 2.27 b

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.4 เฟสล็อคลูป

เฟสล็อคลูป (PLL) โดยแท้จริงแล้วมีพื้นฐานเป็นวงจรอิเล็กทรอนิกส์เซอร์โวลูฟ ประกอบด้วยตัวเปรียบเทียบเฟสโลว์พาสฟิลเตอร์ และโวลต์เต็จคอนโทรลออสซิลเลเตอร์ (VCO) เฟสล็อคลูฟจะควบคุมให้ VCO สร้างความถี่ขึ้นสอดคล้อง (syncronize) กับสัญญาณเข้า แนวความคิดนี้มีมานานก่อนปี 1930 และได้นำมาใช้อย่างกว้างขวางทั้งในเครื่องมือ และอุปกรณ์สื่อสารทางอากาศ อย่างไรก็ตามเนื่องจากมันมีราคาแพง และการออกแบบระบบโดยใช้ชิ้นส่วนแยกประกอบ การนำไปใช้งานจึงถูกจำกัด เฉพาะเมื่อเราต้องการความแม่นยำในการทำงานสูง ปราศจากน้อยส์รบกวน และมีแบนด์วิดแคบมากๆ เท่านั้น โดยการพัฒนาทางด้านวงจรรวม ไอซี และเทคโนโลยีทางด้านการผลิต (process) สถานการณ์เหล่านี้จึงได้มีการเปลี่ยนแปลงไปอย่างรวดเร็ว ปัจจุบันนี้เฟสล็อคลูฟจะปรากฏออกมาในรูปของวงจรรวม ไอซี ที่มีลักษณะเดียวกับวงจรรวมออปแอมป์ (OP-AMP) ซึ่งสามารถนำไปประยุกต์ใช้งานต่างๆ ได้มากมาย ในบทความนี้มีจุดมุ่งหมายเพื่ออธิบายถึงหลักการพื้นฐานการทำงาน และการออกแบบค่าพารามิเตอร์ของวงจรรวมเฟสล็อคลูฟ (PLL) และการนำ (PLL) ไปประยุกต์ใช้งานได้อย่างกว้างขวาง ในทั้งการประมวลสัญญาณแบบอนาลอก และดิจิตอล

ในการออกแบบวงจรเลือกความถี่ด้วยวงจรรวม (frequency selective intrgrated circuit) สิ่งที่เป็นปัญหาสำคัญคือ การทำตัวอินดัคเตอร์ การแก้ปัญหานี้โดยการใช้ active RC filter ซึ่งเราใช้ตัวความต้านทานและตัวเก็บประจุต่อที่ส่วนป้อนกลับของภาคขยาย เพื่อทำให้เกิดการตอบสนองต่อการเลือกความถี่ เทคนิคในการออกแบบจำนวนมากใช้พัฒนา active RC filter ฟิลเตอร์ในวงจรรวมที่แอคทีฟ

RC Filter มีขีดจำกัดอยู่ 3 ข้อ คือ

1. ช่วงความถี่ (frequency range) โดยมากฟิลเตอร์แบบนี้จะใช้กับความถี่ต่ำกว่า 100 KHz จึงจะทำให้มีเสถียรภาพ

2. ความไว (sensitivity) ความถี่ปานกลางมีผลอย่างมากต่อความไวของ แอคทีฟ gain และค่าของส่วนประกอบทางป้อนกลับ

3. ราคา (cost) ในแง่ของราคาและความยุ่งยากแล้ว การใช้ RC แอคทีฟฟิลเตอร์ไม่เหมาะสมเพราะจะต้องใช้ R,C ถึง 4 ตัวในการสร้างคอมเพล็กโพล 2 คู่ อีกทั้ง R,C ดังกล่าวไม่สามารถสร้างอยู่ในตัวไอซีได้ จึงต้องนำมาประกอบเพิ่ม

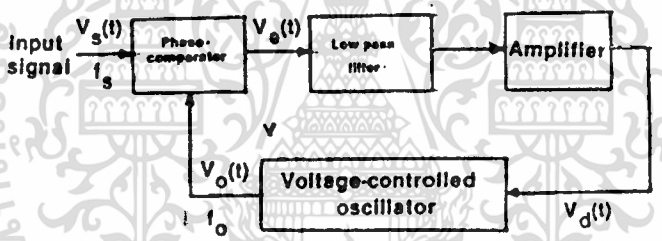
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภายนอก ทำให้ราคาและความซับซ้อนมากขึ้น

เมื่อเวลาสามารถแก้ปัญหาทั้งสามข้อนี้ได้แล้วการสร้างวงจรรวมเฟสล็อคลูฟก็จะมีราคาถูก และทำเป็นวงจรโมโนลิทิค แพ็คเก็จ ให้มีความสมบูรณ์อยู่ในตัวเองเหมือนกับวงจรรวมออปแอมป์ แต่ทว่าการทำงานพื้นฐานเบื้องต้นของเฟสล็อคลูปไม่ได้เปลี่ยนแปลงไปเลย ซึ่งคุณสมบัติและการทำงานของ PLL หาได้ง่ายในลักษณะของวงจรรวม (ไอซี) ที่มีราคาถูก จึงเป็นการประหยัดที่จะนำมาประยุกต์ใช้งานต่างๆ

2. <u>หลักการทำงานเบื้องต้นของเฟสล็อคลูฟ</u>

เฟสล็อคลูปคือ ระบบที่มีการป้อนความถี่กลับประด้วยเฟสดีเทคเตอร์, โลว์พาสฟิลเตอร์ และเออร์เรอร์แอมปลิไฟเออร์ ซึ่งอยู่ทางที่สัญญาณเดินไปหน้า และโวลต์เต็จคอนโทรลออสซิเลเตอร์ (VCO) อยู่ในทางป้อนกลับแผนภาพของระบบเฟสล็อคลูฟอย่างง่ายๆ แสดงได้ดังในรูปที่ 2.28 การวิเคราะระบบโดยทางคณิตศาสตร์จะไม่ขอกล่าวในที่นี้ อย่างไรก็ตามหลักการทำงานเบื้องต้นของเฟสล็อคลูฟสามารถอธิบายได้ดังต่อไปนี้



รูป 2.28 บล็อกไดอะแกรมของเฟสล็อคลูฟ

ในขณะที่ยังไม่มีสัญญาณเข้าไปในระบบแรงดันควบคุม (control voltage) $V_d(t)$ จะเท่ากับศูนย์ VCO จะทำงานโดยการตั้งความถี่ไว้ที่ f_o ซึ่งเรียกว่า free running frequency ถ้าสัญญาณเข้าไปในระบบ เฟสคอมพาราเตอร์จะทำการเปรียบเทียบเฟส และความถี่ของสัญญาณอินพุท กับ VCO และผลิตแรงดันคลาดเคลื่อน $V_e(t)$ ซึ่งสัมพันธ์กับความแตกต่างของเฟส และความถี่ระหว่างสัญญาณทั้งสอง แรงดันคลาดเคลื่อนนี้จะถูกกรอง และขยายส่งไปควบคุม VCO ในการนี้แรงดันควบคุม $V_d(t)$ จะไปบังคับความถี่ VCO ให้เปลี่ยนไปในทิศทางที่จะลดความถี่ที่แตกต่างกันระหว่าง f_o และสัญญาณ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ที่เข้า ถ้าความถี่ของความถี่ของสัญญาณที่เข้าใกล้เคียงกับ f_o จากการป้อนกลับของ PLL ทำให้ PLL ซิงโครไนส์หรือล็อคกับสัญญาณที่เข้ามาขณะที่ทำการล็อคนั้น ความถี่ VCO จะเท่ากับสัญญาณอินพุทแต่เฟสยังต่างกันอยู่ ความแตกต่างของเฟส ϕ_e มีความจำเป็นในการผลิตแรงดันคลาดเคลื่อนที่จะไปคอยปรับความถี่ VCO จากค่า ฟรีรันนิ่ง ให้เท่ากับความถี่ที่เข้ามา f_i ดังนั้น PLL ยังคงรักษาสภาพการล็อค การที่ระบบสามารถที่จะปรับตัวเองทำให้ PLL สามารถติดตามความถี่ที่เปลี่ยนไปของสัญญาณที่เข้าไปให้อยู่ในสภาพล็อคเช่นเดิม ช่วงของความถี่ซึ่ง PLL สามารถติดตามการล็อคกับสัญญาณที่เข้ามาเรียกว่า lock range ของระบบ ค่าของมันจะขึ้นอยู่กับแรงดันคลาดเคลื่อนโดยจะไม่ขึ้นอยู่กับ แบนด์เอด ของฟิลเตอร์ ช่วงความถี่นี้จะมากกว่าช่วงความถี่ที่ PLL สามารถทำการล็อคอย่างแท้จริงกับสัญญาณอินพุท ช่วงความหลังนี้เรียกว่า capture range ของระบบ ช่วงการแค็ปเจอร์นี้จะขึ้นอยู่กับ แบนด์เอดของฟิลเตอร์ และอัตราขยายลูปปิด (K_v) ของระบบทั้งหมด โดยมีผลเกี่ยวข้องกับการเลือกเฟ้นของวงจร PLL และยังช่วยเพิ่มความปลอดภัยเกี่ยวกับสัญญาณรบกวน ทาง ทางด้านสัญญาณนอกแบนด์ ที่จะมากวนได้เป็นอย่างดี

การแคปเจอร์เป็นขบวนการที่ยุ่งยากมากและไม่สามารถที่จะวิเคราะห์โดยคณิตศาสตร์อย่างง่ายแต่อย่างไรก็ตามการอธิบายเกี่ยวกับ แคปเจอร์ อาจกล่าวได้ดังต่อไปนี้คือ ความถี่คือเฟสที่เปลี่ยนไปตามเวลา ความถี่และความคลาดเคลื่อนทางเฟสในลูฟ สามารถที่เขียนความสัมพันธ์ได้เป็น

$$2\pi f\Delta = d\phi_e/dt$$

เมื่อ f เป็นความถี่ระหว่างสัญญาณอินพุท และความถี่ VCO

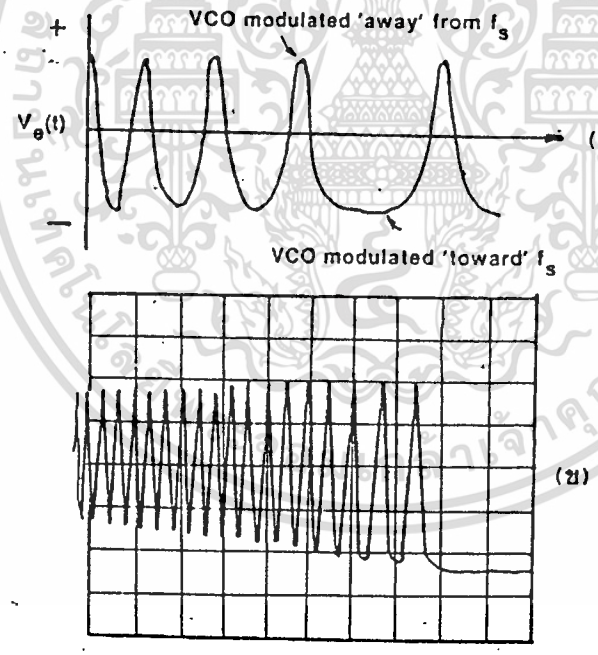
ถ้าเส้นทางที่ป้อนกลับของ PLL ถูกเปิดออก คือระหว่าง โลว์พาสฟิลเตอร์ และอินพุทควบคุม VCO ดังนั้นความถี่ที่ตั้งไว้ของ f_o และ f_i จะทำให้สัญญาณที่ออกจากเฟสคอมพาราเตอร์จะเป็น sinisoidal beat note ที่ความถี่คงที่ Δf ถ้า f_i และ f_o มีความถี่ใกล้เคียงกับบีทโน๊ต จะไปปรากฏที่ทางออกจากฟิลเตอร์โดยไม่ถูกลดขนาดลง คราวนี้สมมติว่าทางป้อนกลับถูกปิดลงโดยการต่อโลว์พาสฟิลเตอร์ไปยังขั้วควบคุม VCO ดังนั้นความถี่ VCO จะถูกโมดูเลทกับบีทโน๊ต Δf จะกลายเป็นฟังก์ชั่นของเวลา ถ้าระหว่างขบวนการโมดูเลชั่นความถี่ VCO เคลื่อนเข้าใกล้ f_i (นั่นคือการลด Δf) ดังนั้น $d\phi_e/dt$ ลดลงและสัญญาณที่ออกจาก phase comparator จะเปลี่ยนไปอย่างช้าๆ เป็นฟังก์ของเวลา ดังนั้นภายใต้เงื่อนไขนี้ลูกคลื่นบีทโน๊ตจะไม่อยู่ในลักษณะลูกคลื่นซายน์ มันจะมองดู

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เป็นอนุกรมของคาบเวลา cusps ดังแสดงในรูปที่ 2.29 (ก) เนื่องจากความไม่เท่ากัน ของลูกคลื่นบีทโน๊ต และมีสัญญาณกระแสตรงเป็นส่วนประกอบค่าเฉลี่ย (everage value) ของมันจะไปควบคุมให้ VCO เพิ่มค่า f_0 เพื่อที่จะลด Δf ในช่วงนี้ความถี่บีทโน๊ต จะลดลงอย่างรวดเร็วจนเป็นศูนย์ ความถี่ VCO เพิ่มจาก f_0 และทำให้เกิดการล็อคเมื่อระบบอยู่ในช่วงล็อค f จะเท่ากับศูนย์และจะเหลือเพียง ดีซี เออร์เรอร์โวลต์เต็จคงที่

รูปที่ 2.29 (ข) เป็นการแสดง ออสซิโลแกรม ของลูปเออร์เรอร์โวลต์เต็จ $V_e(t)$ ในขณะที่ระบบ PLL กำลังทำงานระหว่างขบวนการ capture สิ่งที่น่าสังเกต คือ ขณะที่ทำการล็อค Δf จะลดลงการลดขนาดของ โลว์พาสฟิลเตอร์จะน้อย และ ขนาดของบีทโน๊ตจะเพิ่มขึ้น

เวลาที่ PLL ใช้ในการล็อคเรียกว่า pull in time พูลอินไทม์จะขึ้นกับความถี่เริ่มแรก และความแตกต่างของเฟสระหว่างสองสัญญาณ รวมทั้งอัตราทั้งหมด (over loop gain) และช่วงกว้างของ โลว์พาสฟิลเตอร์ พูลอินไทม์ อาจจะสั้นกว่าคาบเวลาของบีทโน๊ต และลูปสามารถล็อคโดยปราศจาก เออร์เรอร์ทรานเซี้ยน



รูปที่ 2.29 แสดงถึงการไม่ซิงโครไนส์ของเออร์เรอร์บีทโน๊ต

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในช่วงของขบวนการแคปเจอร์

(ก) ลักษณะลูกคลื่นของบีทโน๊ต

(ข) ออสซิโลแกรมของแคปเจอร์ทรานเซ้ียน

<u>การทำงานของลูฟ โลว์พาสฟิลเตอร์</u> มีหน้าที่ 2 อย่างคือ

1. การลดค่าคลาดเคลื่อนที่เป็นความถี่สูงที่ออกจาก เฟสคอมพาราเตอร์ โดยการใช้คุณสมบัติการกำจัดสัญญาณรบกวน

2. มันทำหน้าที่เหมือนกับ short-term memory จะรับ PLL และจะแคปเจอร์ กับสัญญาณใหม่อีกทีระบบหลุดออกจากการล็อค เนื่องจากสัญญาณรบกวนจากวงจรทรานเซ้ียน

เนื่องจากโลว์พาสฟิลเตอร์ ลดค่าแรงดันคลาดเคลื่อนความถี่สูงระหว่างลูฟ มันเป็นตัวควบคุมการ แคปเจอร์ โดยตรงและคุณสมบัติผลตอบสนองชั่วขณะของ PLL

<u>การลดช่วงกว้างของ ฟิลเตอร์ จะส่งผลไปยังการทำงานของระบบ</u> คือ

1. ขบวนการ แคปเจอร์ จะช้าลงและฟูลอินไทม์มากขึ้น

2. คุณสมบัติทาง interference-rejection ของ PLL จะดีขึ้น เพราะว่าแรงดันคลาดเคลื่อน เนื่องจากความถี่ของสัญญาณรบกวนจะถูกลดไป

3. ช่วง แคปเจอร์ จะลดลง

4. ผลตอบสนองชั่วขณะของ PLL ต่อการแปลงแปลงของสัญญาณเข้าในช่วงความถี่ แคปเจอร์ จะอยู่ในลักษณะภายใต้การแดมป์ (underdamped)

สำหรับผลอันสุดท้ายถูกนำมาใช้ในทางปฏิบัติ ด้วยการจำกัดความกว้างของโลว์พาสลูฟฟิลเตอร์ และคุณสมบัติจะเท่ากับ roll off เนื่องจากเสถียรภาพซึ่งจะได้อธิบายต่อไป

3. <u>พารามิเตอร์ของระบบ</u>

เมื่อ PLL อยู่ในช่วงนอนลิเนียร์แคปเจอร์ทรานเซ้ียน จะปรากฏไม่นาน ดังนั้นภายใต้เงื่อนไขที่ล็อค เราถือว่า PLL เป็นระบบควบคุมเชิงเส้นดังแสดงในรูปที่ 2.30 และสามารถวิเคราะห์โดยการใช้เทคนิคของ laplace transform ในกรณีนี้เพื่อความสะดวกจะใช้เฟสคลาดเคลื่อนในลูฟ ($\phi_e - \phi_o$) เป็นตัวแปรของระบบดังนั้น อัตราขยายแต่ละเทอมที่สอดคล้องกับบล็อก สามารถกำหนดได้ดังนี้คือ

= อัตราขยายเฟสดีเท็คเตอร์ (V/rad)

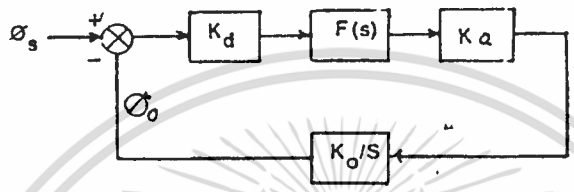
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

= คุณสมบัติการทรานสเฟอร์ของ LPE

= อัตราขยายแรงดันของภาคขยาย

= อัตราขยาย VCO (rad/v.s)

เนื่องจาก VCO เปลี่ยนแปลงแรงดันให้เป็นความถี่และเฟสเป็นการ อินทิกรัล ของความถี่ VCO จะเป็นตัวอินทิเกรเตอร์ในส่วนของการป้อนกลับ



รูป 2.30 โมเดลเชิงเส้น PLL ในลักษณะของระบบป้อนกลับ

ทรานสเฟอร์ฟังก์ชั่นแบบ ลูปเปิด สำหรับเฟสล็อคลูป สามารถเขียนได้เป็น

$$T(S) = K_T F(S)/S$$

เมื่อ K_T เป็นอัตราขยายทั้งหมดของลูป (total loop gain) นั่นคือ $K_T = K_d K_a K_o$ การวิเคราะห์โดยเทคนิคของการป้อนกลับแบบเชิงเส้น ลักษณะของทรานสเฟอร์แบบ ลูปปิด H(S) สามารถที่จะเขียนสัมพันธ์กับ ลูปเปิด ได้คือ

$$H(S) = T(S)/[1+T(S)]$$

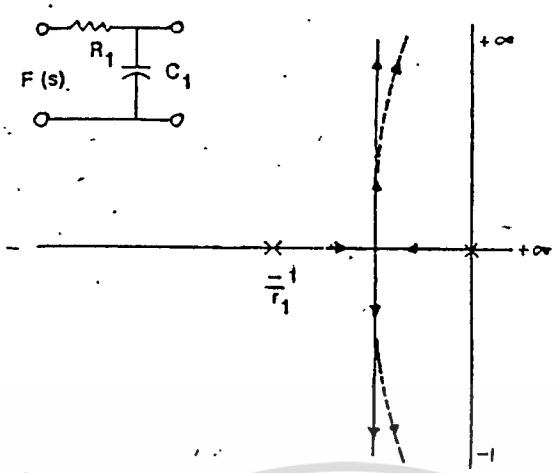
และรากของ characteristic system polinomial สามารถหาได้โดยใช้เทคนิคของ รูท-โลก์ส

รูปที่ 2.31 แสดงรูทโลกัส ของ PLL เป็นฟังก์ชั่นของอัตราขยายทั้งหมด K_T สำหรับโพลเดียวของ โลว์พาสฟิลเตอร์ F(S) ซึ่งมีลักษณะเป็น

$$F(S) = 1/(1+\tau_1 S)$$

เมื่อ $\tau_1 = R_1 C_1$ จากรูปโพลของลูปเปิดอยู่ที่จุด origin เนื่องมาจากการ อินทิเกรต ของ VCO

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.31 รูทโลกัสของ PLL สำหรับฟิลเตอร์ lag($\tau_1 = R_1 C_1$)

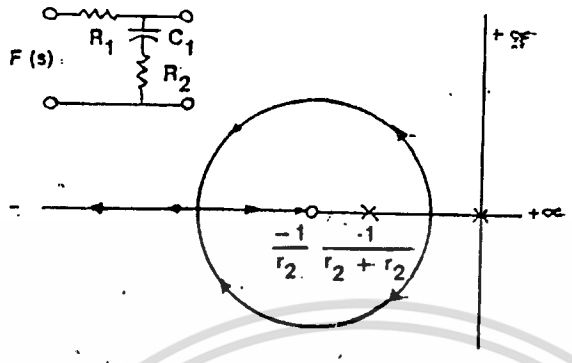
จากคุณสมบัติของ รูทโลกัส ทำให้เราสามารถตั้งข้อสังเกตได้ดังนี้

1. เมื่อค่าของ K_v เพิ่มขึ้นจะทำให้ imaginary part ของโพล ของลูปปิดเพิ่มขึ้น ดังนั้นความถี่ธรรมชาติ (natural frequency) ของลูปเพิ่มขึ้น และลูปจะยิ่งให้ผลตอบสนองเป็น underdamped มากขึ้น

2. เมื่อ filter time constant เพิ่มขึ้น imaginary part ของลูปปิดจะยิ่งน้อยลง loop damping จะลดลง

ในทางปฏิบัติเกี่ยวกับระบบป้อนกลับใด ๆ การเลื่อนโพลระหว่าง PLL สามารถทำให้รูทโลกัสเบนไปทางขวาของ half plance ดังแสดงเป็นเส้นประในรูปที่ 2.31 การเกิดเช่นนี้เหมือนกับว่า loop gain หรือ filter time constant มีค่ามากเกินไปทำให้ ลูป เกิดการออสซิเลท

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.32 รูทโลกัสของ PLL สำหรับฟิลเตอร์แบบ laglead (=R_1C_1, =R_2C_1)

ปัญหาเกี่ยวกับเสถียรภาพสามารถแก้ได้โดยการใช้ฟิลเตอร์แบบ lag lead ซึ่งแสดงดังรูปที่ 2.32 ฟิลเตอร์ชนิดนี้มี ทรานสเฟอร์ฟังก์ชั่น ดังนี้

$$F(S) = 1+\tau_2 S/[1+(\tau_1+\tau_2)S$$

โดยที่

$$\tau_2 = R_2 C_1$$

$$\tau_1 = R_1 C_1$$

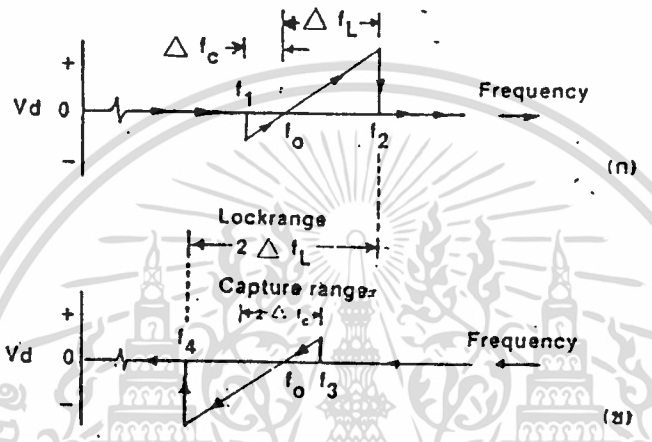
โดยการเลือก R_2 ให้ รูท-โลกัส ของฟิลเตอร์ชนิดนี้อยู่ครึ่งซ้ายของระบบ เพื่อความแน่ใจในเรื่องเสถียรภาพอย่างไรก็ตาม มันยังสามารถทำให้ระบบมีแถบความถี่ของสัญญาณรบกวนกว้างขึ้น และยังทำให้คุณสมบัติการกำจัดสัญญาณรบกวนลดลง เนื่องจากการลดทอนขนาดของความถี่สูงในลูฟจะลดน้อยลง

สำหรับความหมายของคำสั่ง basic gain ของระบบการล็อคของ PLL ΔW_1 สามารถแสดงให้เห็นว่ามีค่ากับอัตราขยายกระแสตรงของลูฟ (dc loop gain) $W_L = 2\pi f_L = K_T$ เนื่องจากช่วงการแคปเจอร์ W_L มีผลในช่วงทรานเชี้ยนท์ ซึ่งเป็นไปตามการวิเคราะห์ของ Moschytz เราสามารถเขียนค่า capture range ได้โดยประมาณ $W_c = 2\Delta f_c = K_T[F(j W_c]$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$F(j\Delta W_c)$ เป็นการตอบสนองต่อขนาดของโลว์พาสฟิลเตอร์ที่ $w = \Delta W_c$ สิ่งที่น่าสังเกตคือ $F(j\Delta W_c)$ และ capture range สั้นกว่า lock range เสมอ ถ้าเราใช้ lag อย่างง่ายที่แสดงในรูปที่ 4 สมการ capture range สามารถเขียนได้เป็น $\Delta W_c = \Delta W_L / \tau_1 = K_1 / \tau_1$

ดังนั้นช่วงการ capture ลดลงเมื่อโลว์พาสฟิลเตอร์กับไทม์คอนสแตนท์ลดลง แต่จะไม่มีผลสำหรับ lock range แต่อัตราขยายลูฟจะมีผลต่อ lock range



รูปที่ 2.33 แสดงถึง transfer characteristic ของความถี่กับโวลต์เต็จของ PLL
(ก) กรณีความถี่อินพุทเพิ่มขึ้น (ข) ความถี่อินพุทลดลง

รูปที่ 2.33 แสดงลักษณะการเปลี่ยนจากความถี่ไปเป็นแรงดัน (frequency to voltage transfer characteristic) ของระบบ PLL โดยการสมมติให้สัญญาณเข้าเป็น sine wave ที่เปลี่ยนความถี่ไปอย่างช้าๆ ขนาดตามแนวดิ่งเป็นแรงดันคลาดเคลื่อน รูปที่ 2.33 (ก) ความถี่ของสัญญาณเข้าค่อยๆ เพิ่มขึ้นลูฟจะไม่มีผลต่อการตอบสนองของสัญญาณเข้า จนกระทั่งความถี่ของสัญญาณเข้าถึง f_1 ซึ่งเป็นความถี่ต่ำสุด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ของ capture range ดังนั้นลูปจะล็อคกับสัญญาณที่เข้าทันทีทำให้เกิดแรงดันคลาดเคลื่อน V_d มีค่าเป็นลบและ V_d จะเปลี่ยนไปตามความถี่ด้วยลักษณะของสโลปเนื่องจากอัตราขยาย VCO($1/K_o$) V_d จะมีค่าเท่ากับศูนย์เมื่อ $f_{in} = f_o$ ลูปจะติดตามสัญญาณเข้าจนกระทั่งถึงความถี่ซึ่งเป็นความถี่สูงสุดของ lock range PLL จะไม่มีการล็อคและแรงดันคลาดเคลื่อนจะมีค่าเป็นศูนย์ ถ้าให้สัญญาณเข้ามีความถี่ค่อยๆ ลดกลับไปจะทำให้เกิดเป็นวัฏจักรขึ้น ดังแสดงในรูปที่ 2.33 (ข) สัญญาณจะเริ่มกลับเข้าสู่แคปเจอร์ของลูปที่ความถี่ f_3 และการติดตามของลูปจะหมดไปเมื่อถึง f_4 ความถี่ f_3-f_1 เรียกว่า total capture range ของระบบและความถี่ f_2-f_4 เรียกว่า total lock range นั่นคือ

$f_3-f_1 = 2\Delta f_c$ และ $f_2-f_4 = 2\Delta f$

ข้อสังเกต จากการที่แสดง transfer charactristic ในรูปที่ 2.33 ของระบบ PLL จะเลือกความถี่ที่เป็นความถี่กึ่งกลางโดยการตั้ง free running frequency ที่ VCO และมันจะตอบสนองเฉพาะความถี่ของสัญญาณที่เข้าจากช่วงจาก f_o ไปจนถึงค่าที่น้อยกว่า Δf_c หรือ Δf_L ทั้งนี้ขึ้นอยู่กับเงื่อนไขที่ว่าลูป เริ่มต้นด้วยการ VCO ที่ทำการแปลงแรงดันให้เป็นความถี่ที่มีลักษณะเป็นเชิงเส้นอย่างแท้จริง

4. การประยุกต์ใช้งานของเฟสล็อคลูฟ (PLL)

เฟสล็อคลูฟใช้อย่างกว้างขวางใน frequency selective, demodulation, signal conditioning หรือประยุกต์ใช้เป็น frequency synthese ดังตัวอย่างการใช้งานได้แสดงไว้ในตารางที่ 1

ตารางที่ 1 การประยุกต์การใช้งานของเฟสล็อคลูฟ

1. FM demodulation
   (a) boardcast FM detection
   (b) AM 3 FM telemetry decoding
   (c) FSK demodulation
2. Frequency syncronization
3. Signal conditioning
4. Frequency multiplication 3 division
5. Frequency translation
6. AM detection

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การทำงานแต่ละอย่างของระบบ PLL อธิบายได้ดังต่อไปนี้

1. เอฟเอ็มดีโมดูเลชั่น

ถ้า PLL ล็อคกับสัญญาณ ฟรีเควนซี่โมดูเลชั่น (FM) VCO จะติดตามความถี่ของสัญญาณที่เข้าทันทีแรงดันคลาดเคลื่อนจากฟิลเตอร์ $V_d(t)$ เป็นตัวทำให้ VCO รักษาการล็อคกับสัญญาณที่เข้าให้สอดคล้องกับเอาท์พุทดีโมดูเลท ในกรณีนี้ลักษณะการแปลงแรงดันให้เป็นความถี่ของ VCO จะให้เป็นดีโมดูเลทออกมามีลักษณะเป็นเชิงเส้น PLL สามารถใช้เป็นตัวดีเทค นั่นคือสำหรับในกรณีของ FM PLL จะมีลักษณะเป็นระบบเครื่องรับแบบ self contained เพราะมันประกอบด้วยฟังก์ชั่นของการเลือกความถี่และการดีโมดูเลชั่น

เนื่องจาก PLL อยู่ในสภาวะล็อคตอนช่วงขบวนการเอฟเอมดีโมดเลชั่น การตอบสนองความถี่อย่างเช่น rise time ของสัญญาณจากการ ดีโมดูเลท สามารถทำนายได้จากการ plot root locus ดังรูปที่ 4 หรือ 5

ในกรณีของการส่งข้อมูลโดยใช้ Frequency Shift Keyed (FSK) ข่าวสารที่อยู่ในรูปดิจิตอล จะถูกส่งโดยการสวิทชชิ่ง ความถี่สัญญาณที่เข้าระหว่างอันใดอันหนึ่งในช่วงที่ไม่ต่อเนื่อง 2 ช่วงของความถี่สัญญาณเข้า ซึ่งสอดคล้องกับค่าของทางลอจิก "หนึ่ง" และ "ศูนย์" เมื่อ PLL ล็อคกับสัญญาณเข้าที่เป็น FSK แรงดันคลาดเคลื่อน [illegible] ซึ่งอยู่ในลักษณะ [illegible] จะสอดคล้องกับสัญญาณออกที่เป็น de[illegible]ulated Library

2. ฟรี[illegible]ชั่นชิงโครไนเซชั่น

ใช้ระบบเฟสล็อคลูปเป็น [illegible] ฟิลเตอร์อย่าง VCO สามารถที่จะเฟสล็อคกับสัญ[illegible]ระจับต่ำ แต่ถ้าเราพิจารณาในช่วงเวลาสั้นๆ ความถี่ที่ออกจาก VCO จะเหมือนกับคลื่น[illegible] ในช่วงสั้นๆ แต่ถ้าเราพิจารณาในช่วงเวลาที่ยาวขึ้นจะมีความถี่ที่ต่างกันไป การใช้งานในลักษณะนี้[illegible] ในช่วงสั้นๆ ชิงโคร[illegible]ใช้ในระบบสื่อสารข้อมูลแบบเป็นช่วงสั้น low duty [illegible] burst) และความถี่ที่ทำ[illegible] PLL ยังสามารถนำมาใช้ในการสื่อสาร CW ที่ต่อเนื่องกันได้ ใช้ชิงโครไนเซชั่นสัญญาณ ช่[illegible] ใช้ในการสื่อสารข้อมูล ข้อมูลนี้ไม่มี ในการ locked [illegible] net generator [illegible] ในนี้

[illegible] ดิจิตอล PLL สามารถใช้สำหรับ ชิงโครไนเซชั่น ฟังก์ชั่น ได้เป็นอย่างมาก ดังกล่าวมาแล้วข้างต้น [illegible] ในการสื่อสาร [illegible] และกัน

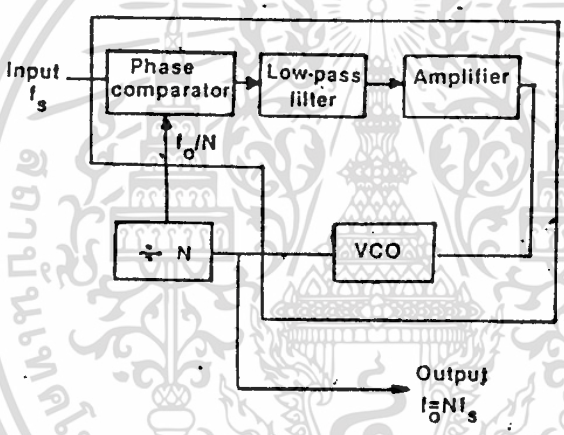
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ดังนั้นแต่ละช่องเป็นช่องที่ใช้ [illegible] ใช้ใน [illegible] หรือ [illegible] ในส่วนของ [illegible] แล้ว เครื่องวัดใน [illegible] ที่ใช้ pulse code modulation (PCM) พร้อมระบบทางสัญญาณ PLL ใช้สำหรับ บิท ซิงโครไนซ์เซชั่น

3. ซิงเนลคอนดิชั่นนิ่ง

โดยการเลือกความถี่ free running ของ VCO PLL สามารถใช้ในการล็อคสัญญาณที่มีความถี่ที่ต้องการออกมาในขณะที่มันจะทำการกำจัดความถี่ของ sideband ที่ไม่ต้องการเข้ามา ถ้าพิสัยของลูปมีลักษณะแคบอัตราส่วนของสัญญาณต่อสัญญาณรบกวนที่ทางด้านออกของ VCO จะดีกว่าทางด้านเข้า ดังนั้น PLL สามารถใช้เป็นตัวกรองสัญญาณรบกวนสำหรับผลิตสัญญาณที่อ่อนโดยปราศจากสัญญาณรบกวน

4. การคูณความถี่และการหารความถี่



รูป 2.34 การทวีความถี่โดยใช้การหารความถี่ใน PLL

โดยการแทรกตัวหารความถี่ที่เข้าไปในทางป้อนกลับระหว่างทางด้านออกจาก VCO และทางด้านเข้าของ phase comparator ระบบ PLL สามารถใช้เป็นเลือกความถี่ การคูณความถี่ โครงสร้างนี้แสดงได้ด้วยแผนภาพในรูปที่ 2.34 เมื่อ N เป็นวิธีการหารความถี่ เมื่อระบบอยู่ในสภาวะล็อคสัญญาณทั้งสองที่เข้าไปยัง phase comparator มีความถี่เท่ากัน และ $f_o = Nf_s$

ภายใต้เงื่อนไขที่แน่นอนการทำงานของ PLL ใน "harmonic locking"

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

mode สามารถใช้ในการคูณความถี่โดยไม่ใช้วงจรตัวหารความถี่ ถ้าสัญญาณที่เข้าเป็นพวก harmonic rich เช่นสัญญาณ pulse ที่เป็นขบวน VCO สามารถใช้ในการ lock harmonic ที่ n ของสัญญาณที่เข้าหรือ $f_o = nf$ ในทำนองเดียวกันถ้ารูปคลื่นเป็น harmonic rich ออกมา harmonic ที่ m ที่ออกมาจาก VCO จะสามารถซิงโครไนส์กับสัญญาณที่เข้ามา ดังนั้นภายใต้เงื่อนไขนี้ VCO จะเป็น subharmonic ของความถี่ที่เข้ามา นั่นคือ $f_o-(f/m)$ เมื่อใช้ PLL ทำงานใน harmonic locking mode ช่องว่างระหว่างฮาร์โมนิค ใน frequency spectrum จะลดลงอย่างรวดเร็วขณะที่ฮาร์โมนิคลำดับที่ n หรือ m เพิ่มขึ้นในทางกลับกันเสถียรภาพของความถี่ที่เพิ่มขึ้นสำหรับความถี่ free running ของ VCO เป็นสิ่งที่ต้องการเพื่อให้ระบบแยกความแตกต่างระหว่าง ฮาร์โมนิคได้ ในระบบเฟสล็อคลูฟที่ใช้วงจรรวมซึ่งใช้ออสซิเลเตอร์แบบ multivibrator thermal drifts ของความถี่ VCO โดยทั่วไปจะจำกัดการทำงานโดย harmonic locking ของระบบด้วยค่า n หรือ m มีค่ามากคือ phase detector gain (K_d) จะลดลงในทิศทางตรงข้ามกับลำดับของฮาร์โมนิค ดังนั้นที่ฮาร์โมนิคสูงขึ้นจะทำให้ช่วงล็อคและช่วงแคปเจอร์ของระบบลดลง

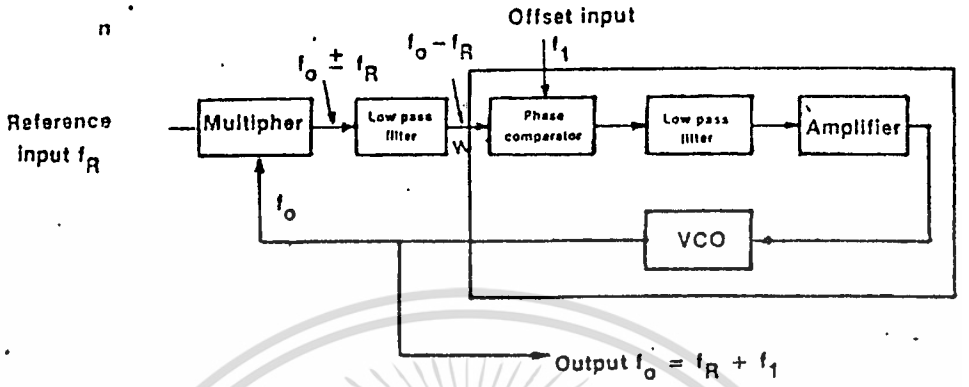
5. ฟรีเควนซี่ทรานสเลชั่น

ระบบ PLL สามารถใช้ในการแปลงความถี่ให้มีเสถียรภาพสูงและคงที่ เมื่อเทียบกับออสซิเลเตอร์โดยการเพิ่มมิกเซอร์ และโลว์พาสฟิลเตอร์ เข้าไปใน PLL ดังแสดงในรูปที่ 2.35 ในกรณีนี้ผลต่างของสัญญาณเข้า f_r และสัญญาณออกจาก VCO, f จะถูกป้อนเข้าไปยังภาคมิกเซอร์ ผลบวกและผลต่างของ f และ f ออกจากมิกเซอร์ ผลบวกจะถูกโลว์พาสฟิลเตอร์กรองไว้ translation หรือความถี่ off set f_i จะถูกป้อนไปยัง phase comparator พร้อมกับ f_i-f_o ที่ออกจากมิกเซอร์เมื่อระบบอยู่ในสภาวะล็อคความถี่ทั้งสองที่เข้า คอมพาราเตอร์จะมีความถี่เท่ากัน นั่นคือ

$$f_o-f_r = f_i \quad \text{หรือ} \quad f_o = f_r+f_i$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$f_o - f_R = f_1$$
$$\text{หรือ } f_o = f_R + f_1$$

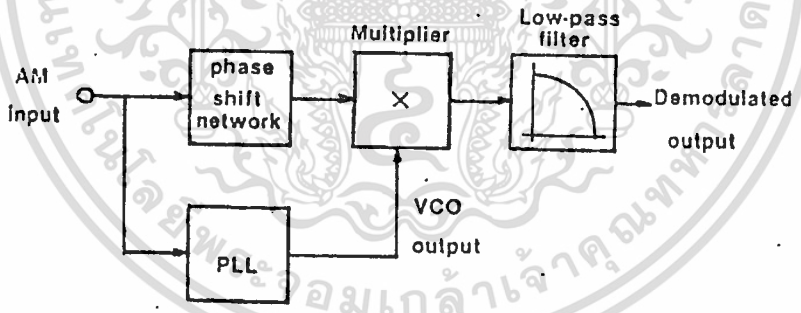


รูปที่ 2.35 Frequency translation หรือ offset lop

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

6. เอเอ็มดีเทคชั่น

PLL สามารถใช้เป็นดีเทคเตอร์ของสัญญาน AM อย่างต่อเนื่องกัน การทำงานแบบนี้ PLL จะล็อคกับคลื่นพาห์ของสัญญาน AM และสร้างสัญญานออกมาจาก VCO ให้มีความถี่ต่างกับความถี่คลื่นพาห์ของ AM ที่ยังไม่ได้ผสมขนาดโดยการคูณสัญญานอ้างอิงที่ต่อเนื่องนี้ด้วยสัญญานผสมที่เข้ามา และนำสัญญานที่ออกจากตัวคูณไปทำการกรองให้ความถี่ต่ำผ่านไปได้ข่าวสารออกมาเป็นการดีมอดดูเลทวิธีหนึ่งแผนภาพของระบบแสดงในรูปที่ 2.36 เนื่องจาก PLL จะตอบสนองสำหรับความถี่คลื่นพาห์ที่ใกล้เคียงกับความถี่ VCO f เท่านั้น ระบบเฟสล็อค ดีเทคเตอร์ จะให้การเลือกเฟ้นระดับสูงโดยที่ความถี่กึ่งกลางอยู่ที่ fO phase shift network ในรูปที่ 2.36 เป็นพวกวงจร RC วิ่งใช้ในการ oofset ให้เฟสเลื่อนไป 90 องศา ซึ่งเป็นหลักการของ PLL เหตุผลสำหรับเฟสเลื่อนนี้ จะได้กล่าวต่อไป



รูปที่ 2.36 coherent amplitude modulation detection โดยใช้เฟสล็อคลูฟ(PLL)

วิธีการของเฟสล็อค AM ดีเทคเตอร์ ในรูปที่ 2.36 เป็นเทคนิคการดีเทคเตอร์อย่างต่อเนื่อง มันจะกำจัดสัญญานรบกวนได้ดีกว่า AM มอดดูเลเตอร์แบบพีคดีเทคเตอร์

เอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5. การสร้างกล่องห่อหุ้ม(บล็อค)ของวงจรรวม PLL

ด้วยเทคโนโลยีทางด้านวงจรรวมที่เป็นอยู่ในขณะนี้ระบบ PLL สามารถทำให้อยู่ในลักษณะเป็นเนื้อเดียวกันได้ง่ายและประหยัด ต่อไปนี้จะอธิบายโครงสร้างอย่างง่ายสำหรับ VCO และ phase comparator ในระบบ PLL ที่เป็นเนื้อเดียวกัน ในการออกแบบวงจรให้เป็นเนื้อเดียว ผู้ออกแบบมักจะพบกับข้อบังคับต่อไปนี้

- ชนิดของอุปกรณ์แอคทีฟ(active device)
- พิสัยขององค์ประกอบ
- ความคลาดเคลื่อนมีค่าน้อย
- ไม่ใช้ inductors

สิ่งที่สำคัญที่สุดคือ จำนวนอุปกรณ์แอคทีฟ ที่จะใช้ได้ การ matching และ thermal coupling ขององค์ประกอบที่เป็นเนื้อเดียวกันมากกว่าการควบคุมค่าของความคลาดเคลื่อน

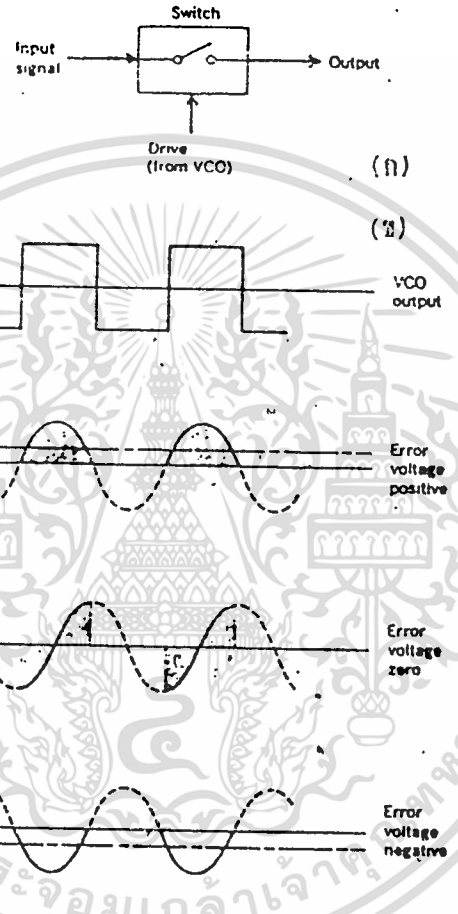
5.1 phase comparator(ตัวเปรียบเทียบเฟส)

วงจร phase comparator ที่ง่ายที่สุดเป็นแบบ switch type phase detector ดังที่ปรากฏในรูปที่ 2.37(ก) detector แบบนี้ทำงานเหมือนกับ synchronous switch ซึ่งจะเปิดและปิดโดยสัญญาณอ้างอิงที่เข้ามา การเปลี่ยนแปลงของสัญญาณที่เข้าเป็นผลให้สัญญาณที่ขับปลี่ยนแปลงตามไปด้วยในอัตราเดียวกัน โดยปกติสัญญาณที่ใช้ขับจะมาจาก VCO รูปที่ 2.37(ข) แสดงรูปคลื่นที่ออกมาของ switch type phase comparator สำหรับสัญญาณเข้าที่เป็น sinusoidal และสัญญาณขับที่เป็นรูปคลื่นสี่เหลี่ยม แรงดันคลาดเคลื่อนที่ออกจาก filter Vd จะสอดคล้องกับค่าเฉลี่ยของรูปคลื่นที่ออกมา ดังแสดงเป็นพื้นที่ที่ระบายสีดำในรูปคลื่น แรงดันคลาดเคลื่อนเป็นศูนย์เมื่อ phase shift สุทธิ 0 ระหว่างสัญญาณเข้าทั้งสองเป็น 90 องศา phase shift 90 องศานี้เป็นคุณสมบัติของวงจรเฟสดีเทคเตอร์แบบสวิทช์และอัตราขยายของdetector เขียนได้เป็น

$$K_d = K_p \cos 0$$

เมื่อ K_p เป็นค่าคงที่ของการแปรผันตรง ณ ระดับสัญญาณเข้าไปในระบบ PLL การใช้เฟสดีเทคเตอร์ แบบนี้เมื่อ PLL อยู่ในสภาวะ lock อย่างสมบูรณ์ (นั่นคือ $v_d(t)=0$) สัญญาณที่ออกจาก VCO จะมีเฟสต่างกัน 90 องศากับสัญญาณเข้า

เอกสารนี้สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.37 การทำงานของเฟสดีเทคเตอร์แบบสวิทช์ (ก) บล็อคไดอะแกรมพื้นฐาน (ข) ลูกคลื่นเอาท์พุท

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

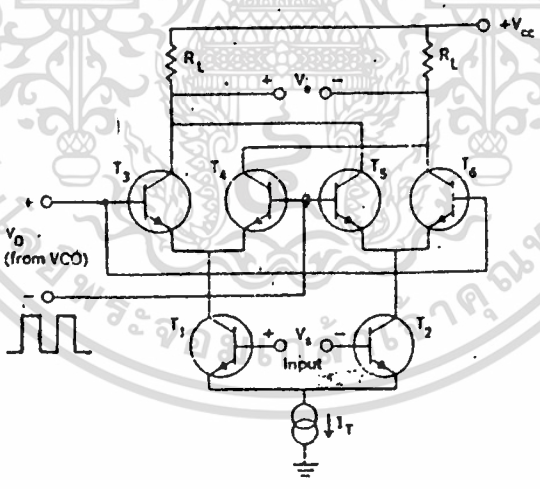
รูปที่ 2.38 อธิบายวงจรเฟสคอมพาราเตอร์แบบสวิทช์ซึ่งใช้สำหรับวงจรรวม นี้ สัญญาณเข้าจะป้อนเข้าทางขาเบสของทรานซิสเตอร์ T_1 และ T_2 และควบคุมกระแสไบอัสระหว่างอุปกรณ์ทั้งสองนี้ คู่ทรานซิสเตอร์ที่ต่ออย่าง cross coupled(T_3,T_4) และ (T_5,T_6) ทำงานเป็น single pole double throw switch 2 ชุด ทำงานโดยใช้รูปคลื่นจาก VCO แรงดันที่มีความถี่ต่ำที่ออกมา v_e จะสัมพันธ์กับความแตกต่างของเฟส 0 ระหว่างสัญญาณ V_s และV_6 และสามารถเขียนได้เป็น

$$V_e = \underline{g_m R_L E_s \cos o}$$

เมื่อ g_m เป็น transconductance ของ T_1 และ T_2

และ E_s เป็นขนาดสัญญาณเข้า V_s

โครงสร้างของวงจร phase comparator ในรูปที่ 2.38 ใช้ได้ดีในการทำเป็นวงจรรวมการทำงานของวงจรเป็นในเรื่องของการเข้ากันได้ (matching) ขององค์ประกอบในวงจร



รูปที่ 2.38 วงจร phase comparator เหมาะสมกับโมโนลิทิคอินทิเกรชั่น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5.2 VCO (ออสซิลเลเตอร์ที่ควบคุมด้วยแรงดัน)

ในการออกแบบ PLL ออสซิลเลเตอร์ที่ควบคุมด้วยแรงดันมักจะเป็นส่วนที่ต้องวิเคราะห์มากที่สุด เพราะว่าลักษณะพิเศษของระบบอย่างเช่น เสถียรภาพของความถี่ และ FM demodulation ตามปกติแล้วจะขึ้นกับ VCO เพื่อให้ความคล่องตัวมากที่สุด VCO จะต้องมีคุณสมบัติดังต่อไปนี้

1 ลักษณะการแปลงแรงดันเป็นความถี่เป็นเชิงเส้น

2 เสถียรภาพของความถี่ดี (ความคลาดเคลื่อนจากความร้อนน้อย)

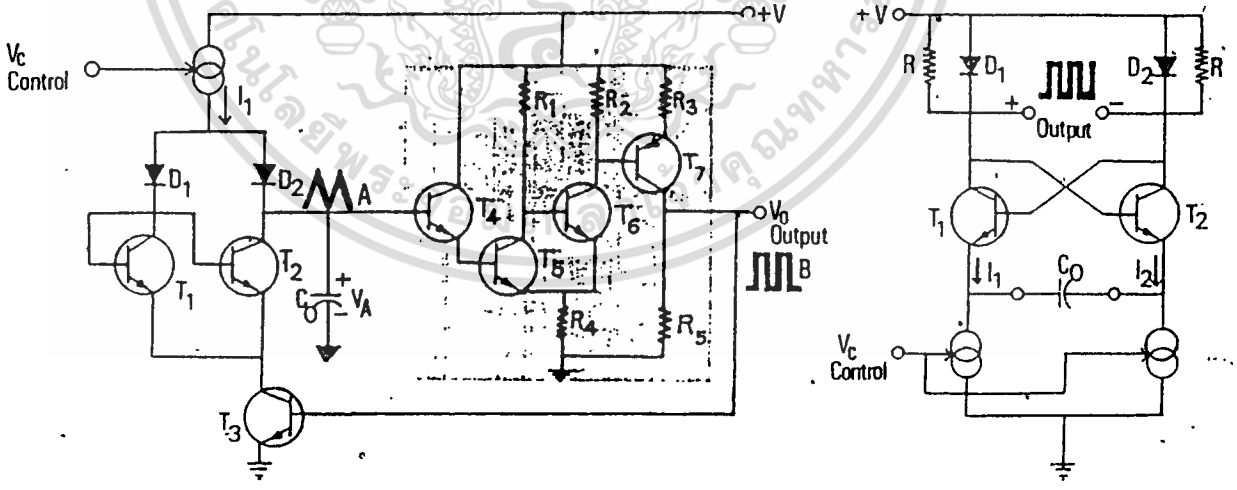
3 สามารถใช้กับความถี่สูงได้

4 อัตราขยายสูง

5 พิสัยการติดตามกว้าง

6 การตั้งความถี่ทำได้สะดวก (ความถี่ของการ oscillate ใช้วงจรที่มีส่วนประกอบน้อยที่สุด)

ในกรณีที่ทำเป็นชิ้นส่วนเดียวกันในรูปของวงจรรวมโดยที่ต้องการให้มีคุณสมบัติดังกล่าวมานี้อยู่ด้วย วงจร VCO จะต้องไม่มี inductors



รูปที่ 2.39 แสดงถึงครงร่างพื้นฐานของ VCO สำหรับการออกแบบวงจรรวม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 2.39 แสดงวงจรออสซิลเลเตอร์ 2 วงจรที่ให้คุณสมบัติตามต้องการมากที่สุด วงจรรูปที่ 2.39(ก) ประกอบด้วย integrator schmitt trigger ซึ่งตัวเก็บประจุเกี่ยวกับเวลา C_o จะทำการ charge และ discharge สลับกันไป แหล่งจ่ายกระแสโดยใช้แรงดันควบคุม (voltage controlled current sourc) I_1 schmitt trigger ทำให้มีแรงดันตกคร่อม C_o มีค่าเท่ากับ V_A และทรานซิสเตอร์ T_2 จะ off หรือ on ซึ่งทำให้เกิดวัฏจักรการ charge และ discharge ความถี่ของการออสซิลเลท f_o สามารถแสดงได้เป็น

$$f_o = \frac{V_e g_m}{2 C_o (V_2 - V_1)}$$

เมื่อ g_m เป็น transconductance ของการจ่ายกระแสควบคุมแรงดัน V_2 และ V_1 เป็นระดับ trip ค่าสูงและต่ำสำหรับ schmitt trigger ออสซิลเลเตอร์แบบนี้สามารถให้ลูกคลื่นแบบสามเหลี่ยม (ที่ขั้ว A) หรือลูกคลื่นแบบสี่เหลี่ยม (ที่ขั้ว B)ออกมา

วงจรของรูปที่ 2.39(ข) เป็น emitter-coupled multivibrator ซึ่ง cross coupled ทรานซิสเตอร์ T_1 และ T_2 จัดอยู่ในลักษณะอัตราขยายแบบป้อนกลับทางบวก ณ เวลาใดเวลาหนึ่ง T_1 หรือ T_2 จะ on และตัวเก็บประจุเกี่ยวกับเวลา C_o จะ charge และ discharge สลับกันไป โดยแหล่งจ่ายกระแสที่ควบคุมด้วยแรงดัน I_1 และ I_2 จะใช้ขนาดเท่ากัน ความถี่ในการออสซิลเลทเขียนได้เป็น

$$f_o = \frac{V_e g_m}{C_o V_{be}}$$

เมื่อ V_{be} เป็นแรงดันที่ขา base-emitter ของทรานซิสเตอร์

g_m เป็น transconductance ของแหล่งจ่ายกระแสควบคุมด้วยแรงดัน วงจรจะให้รูปคลื่นสี่เหลี่ยมที่เท่ากันออกมาตกคร่อมไดโอด D_1 และ D_2 เนื่องจากในรูปที่ 2.39(ข) เป็นวงจรสวิทช์ที่ไม่มีการอิ่มตัวมันจะให้ความถี่สูงกว่าวงจรในรูปที่ 2.39(ก) ซึ่งจะได้อธิบายต่อไป ระบบ PLL ที่ทำเป็นเนื้อเดียวกันที่ใช้ VCO ชุดนี้สามารถทำงานถึง 30 MHz สังเกตุว่าในรูปที่ 2.39 ทั้ง 2 วงจร จะให้ลักษณะการควบคุมอย่างเชิงเส้น (นั่นคือ C_o แปรผันตรงกับ V_c) และสามารถปรับไปยังความถี่ที่ต้องการ โดยเปลี่ยนตัวเก็บประจุเกี่ยวกับเวลา C_o เพียงตัวเดียว

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

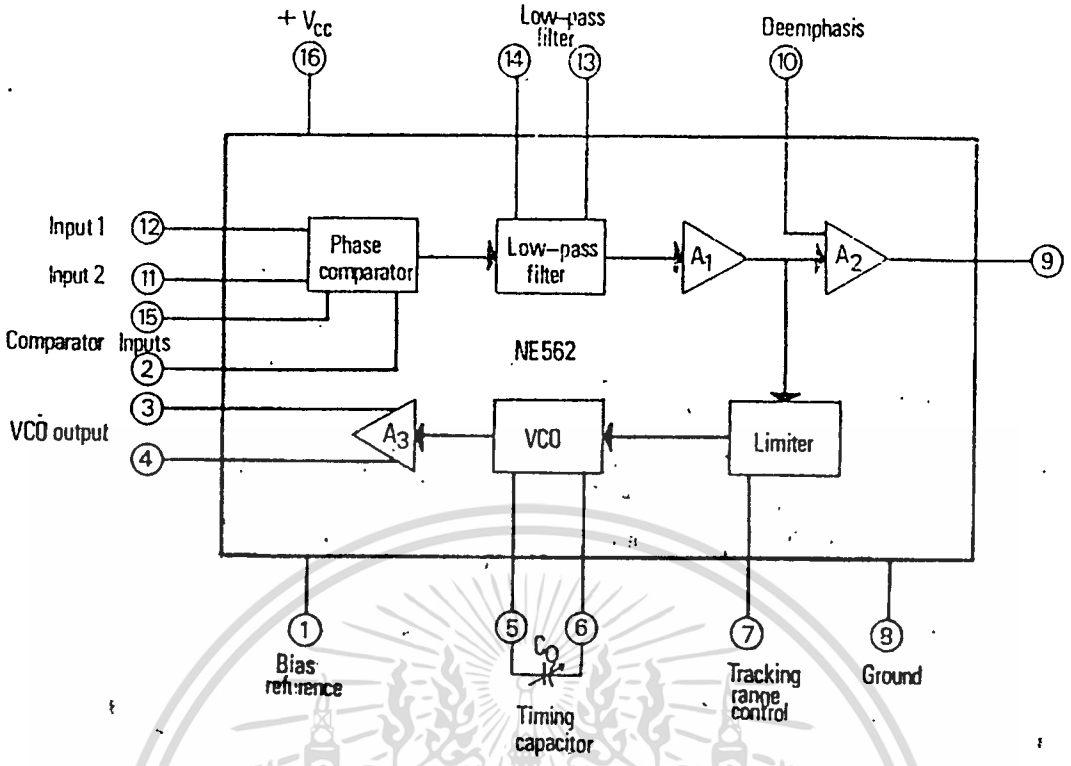
6 ระบบเฟสล็อคลูฟแบบโมโนลิทิค

พื้นฐานของการสร้างบล็อคได้อธิบายมาแล้วว่าสามารถสร้างต่อกันภายในโมโนลิทิค ในลักษณะที่สมบูรณ์อยู่ในตัวเองของระบบ PLL ดังรูปที่ 2.40 ซึ่งแสดงถึงบล็อคไดอะแกรมของวงจรรวม PLL (NE 562) หมายเลขที่ขั้วจะสอดคล้องกับหมายเลขที่ขาของภาชนะบรรจุวงจรรวมซึ่งมีด้วยกัน 16 ขา แผนภาพของ PLL ที่ทำเป็นโมโนลิทิคนี้ออกแบบสำหรับจุดมุ่งหมายทั่วไป สามารถใช้วงจรใดวงจรหนึ่งหรือส่วนประกอบของวงจรที่ทำงานในตารางที่ 1 เพื่อให้ได้ความคล่องตัวมากที่สุด ส่วนที่ป้อนกลับของ phase lock loop จะไม่ต่อกันภายในระหว่างทางออกของ VCO และทางเข้า phase comparator ดังนั้นไม่ว่าวงจรหารด้วย N หรือวงจร mixer สามารถใส่เข้าไปสำหรับทำเป็น frequency multiplication หรือ frequency translation ในกรณีที่ต้องต่อแผนภาพอย่างง่ายนี้เป็น PLL ระบบที่เป็นโมโนลิทิคนี้ก็ได้บรรจุส่วนขยาย 2 ส่วนคือ A_2 และ A_3 A_2 จะใช้เป็นส่วนขยาย buffer เพื่อเพิ่มระดับของสัญญาน demodulated ที่ออกมาสำหรับ FM หรือ FSK detection A_3 ขยายสัญญานที่ออกจาก VCO และทำให้สามารถใช้ต่อกับวงจรดิจิตอล (digital interface) limiter เป็นส่วนที่เพิ่มเข้าไปเพื่อควบคุมให้ loop error voltage ที่ป้อนไปยัง VCO มีค่าสูงสุด limiter สามารถปรับค่าได้โดยส่วนของการ bias ที่อยู่ภายนอกเป็นการควบคุมพิสัยของการติดตาม VCO อีกทางหนึ่ง ในปัจจุบันการออกแบบพิสัยของการติดตามของ VCO สามารถปรับค่าจากภายนอกได้ + 1 เปอร์เซ็นต์ถึง + 25 เปอร์เซ็นต์ ของความถี่กึ่งกลางของ VCO

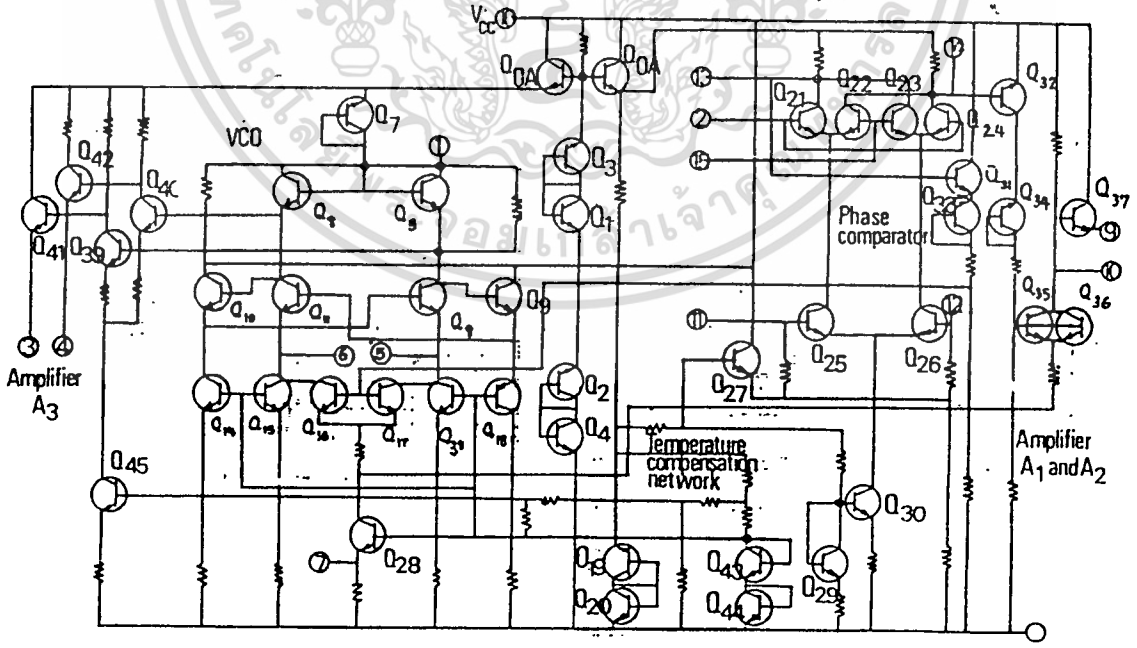
6.1 การออกแบบวงจร

รูปที่ 2.41 เป็นการแสดงวงจรที่สมบูรณ์ รูปที่ 2.40 เป็นแผนภาพแสดงระบบ PLL ที่เป็นโมโนลิทิคเพื่อเป็นการดูง่ายขึ้น ส่วนประกอบพื้นฐานแต่ละส่วนจะระบายสีเข้มไว้สังเกตว่าขั้วที่กำหนดออกมาภายนอกวงจรเป็นการกำหนดหมายเลขที่ขาของภาชนะที่บรรจุดังในรูปที่ 2.40 ในการออกแบบนี้ส่วนของ phase comparator จะได้จากวงจร balance modulator ซึ่งเหมือนกับที่แสดงไว้ในรูปที่ 2.38 emitter coupled multivibrator ออกแบบเป็น VCO เหมือนกับที่อธิบายไว้ในรูปที่ 2.39(ข) อย่างไรก็ตามในกรณีนี้ความแตกต่างของแรงดันที่ใช้ควบคุมจะเข้าตรงทางเข้าไปทำให้ dc offset มีค่าน้อยที่สุดหรือแก้ปัญหา drift ให้น้อยลงไปความถี่ของ VCO กำหนด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้ ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.40 บล็อคไดอะแกรมแสดงฟังก์ชั่นของระบบเฟสล็อคลูปโมโนลิทิค



รูปที่ 2.41 แสดงวงจรแผนภูมิของระบบวงจรรวม PLL ในรูป 2.40

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ได้ โดยการต่อตัวเก็บประจุ C_o คร่อมขา 5 และ 6 การออกแบบความถี่ free -running สามารถเขียนได้ดังนี้

$$f_o = \frac{(3)\ (10^{8})}{C_o} \text{ Hz}$$

C_o มีหน่วยเป็น picofarads

ดังนั้นความถี่ VCO สามารถเปลี่ยนค่าได้จากไม่กี่ cycle จนถึง 30MHz โดยการเลือกค่า C_o

ส่วนของ limiter รวมเข้ากับ VCO เพื่อที่จะเป็นตัวแบ่งกระแสระหว่างคู่ทรานซิสเตอร์ (Q_{15}, Q_{16}) และ (Q_{17}, Q_{18}) ที่ต่ออย่าง common-collector วงจรไบอัสสำหรับชดเชยทางด้านอุณหภูมิก็รวมด้วยสำหรับให้ความถี่ f_o คลาดเคลื่อนเนื่องจากอุณหภูมิให้น้อยที่สุด วงจรชดเชยนี้ปรับระดับกระแสในวงจรเพื่อไปชดเชยการที่ V_{be} ของทรานซิสเตอร์เปลี่ยนไปเนื่องจากอุณหภูมิและทำให้ความถี่ f_o ที่เปลี่ยนแปลงไปเนื่องจากอุณหภูมิน้อยกว่า 0.06 เปอร์เซ็นต์/ซ

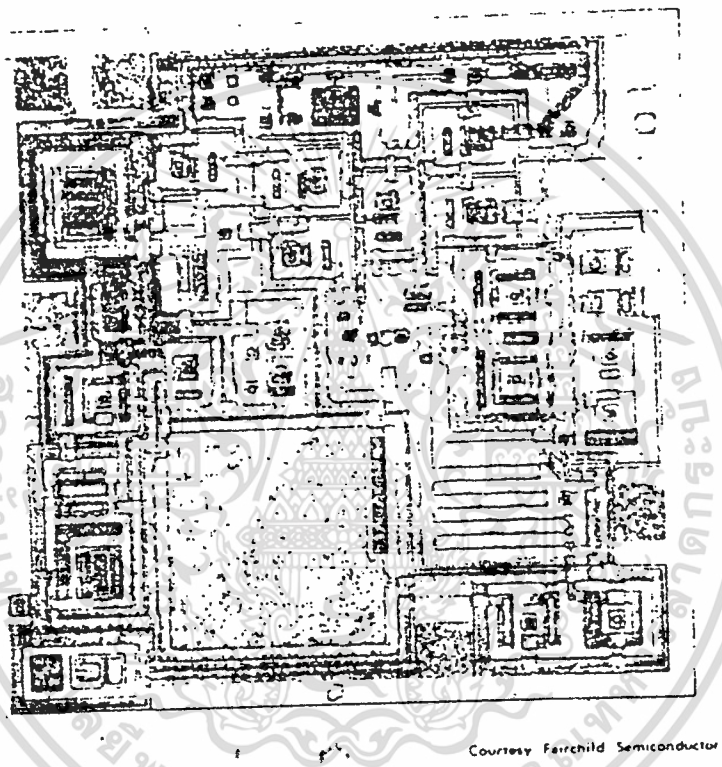
low pass filter สามารถทำได้โดยการต่อความต้านทานและตัวเก็บประจุอนุกรมกัน R_1 และ C_1 คร่อมที่ขา 13 และ 14 ซึ่งเป็นทางออกของ phase comparator การต่อนี้จะได้ filter ชนิด lag-lead ซึ่งให้ transfer function เป็น

$$F(s) = \frac{1 - (R\ C_1)s}{1 + (R_1 - R)CS}$$

เมื่อ R = 12 kiloohms เป็นความต้านทานภายในระหว่างขั้ว 13 และ 14 ในรูป ถ้าให้ R_1 มีค่าเท่ากับศูนย์ low-pass filter นี้จะลดรูปลงเหลือ lag filter อย่างง่าย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วงจร PLL ที่เป็นเนื้อเดียวกันจะเป็นชิ้นในภาชนะ 1.7*18.3 มม. ภาพที่ขยายจากขนาดเล็กของชิ้นวงจรสำเร็จแสดงในรูปที่ 2.42 การออกแบบจะแยกวงจรออกจากแหล่งจ่ายไฟซึ่งใช้เพียงชุดเดียวช่วง 15-24 volts และกำลังที่สูญเสียไป 160 mw ที่ V_{cc} = 18 volts ระบบสามารถทำงานช่วงอุณหภูมิ (-55 ถึง -125 C) โดยที่ความถี่ VCO จะคลาดเคลื่อนประมาณ 600 ppm/C และสาทารถรับสัญญาณเข้าที่มีขนาดถึง 80 dB ช่วงจาก 200 uV ถึง 2 volts



รูปที่ 2.42 แสดงถึง photomicrograph ของวงจรโมโนลิทิค

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.5 เฟสดีเทคเตอร์ (Phase Detector)

ส่วนใหญ่ของระบบ phase lock loop จะมีวงจรที่เรียกว่า phase-detector หรือ phase comparator ด้วย phase detector นี้จะเป็นตัวทำให้เกิด dc output voltage ที่เป็นสัดส่วนกับความต่างเฟสระหว่าง input ของ phase lock loop และ vco เอาท์พุทโวลต์เตจนี้จะใช้เป็น error voltage และ factor ที่ทำหน้าที่เปลี่ยนความต่างเฟสเป็นโวลเตจนี้เราเรียกว่า phase detector conversion gain ดังนั้น

$$V_o = K_d$$

เมื่อ

V_o เป็นแรงดันเฉลี่ยของ phase detector มีหน่วยเป็น volts

K_d เป็น phase detector conversion gain มีหน่วยเป็น volts/radian

$_d$ เป็นความต่างเฟสระหว่างอินพุท มีหน่วยเป็น volts/radian

ความต่างเฟสที่ใช้ใน phase lock loop มีหน่วยเป็น radian ซึ่ง 1 radian จะเท่ากับ 180 องศา/ หรือ 57.3 องศา ในโครงงานนี้ลักษณะของ phase lock loop เป็นรูปแบบ analog PLL วงจร phase detector ที่จะใช้ double-balanced mixer ซึ่งมีหลักการดังนี้

มิกเซอร์ (Mixer) มิกเซอร์หรือมัลติพลายเออร์ (multipliers) ใช้เป็นตัวเฟสดีเทคเตอร์ในวงจร analog PLL ถ้าให้อินพุทของวงจร $_i = d(t)\cos(\ _i - \ _o)$ และ $_r = d(t).\sin(\ _i - \ _o)$ จะได้เอาท์พุทของมิกเซอร์ $_e$ คือ

$$_e = \ _i . \ _r = d(t).\cos(\ _i - \ _o).d(t).\sin(\ _i - \ _o)$$

$$= K_m [d^2(t)/2].\sin 2(\ _i - \ _o)$$

เมื่อ K_m เป็นค่าคงที่ของการคูณ มีหน่วยเป็น volts/radian

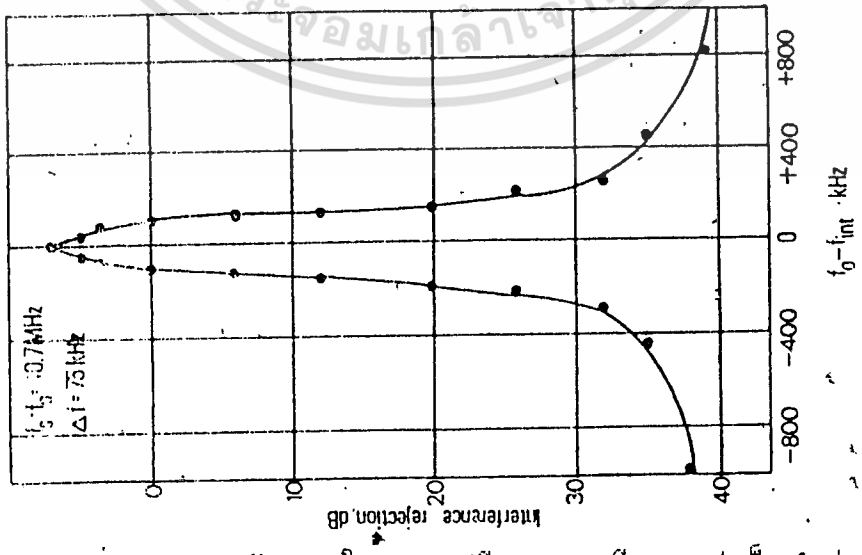
จากสมการสุดท้ายพิจารณาจะเห็นว่าเป็นเทอมที่เป็นสัญญาณ sin ที่มีค่าขึ้นกับความต่างเฟสระหว่าง $_i$ และ $_o$ และขนาดขึ้นกับ K_m ซึ่งเป็น gain ของวงจรคูณ จากนั้นจึงใช้ส่วนนี้ป้อนให้กับ loop gain และ loop filter ต่อไป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.6 ลูปฟิลเตอร์ (loop filter)

ลูปฟิลเตอร์เป็นส่วนสำคัญอีกส่วนหนึ่งในระบบเฟสล็อคลูป หน้าที่ของวงจรนี้ได้แก่ การควบคุมการล็อค, แคปเจอร์, แบนด์วิดช์และการตอบสนองค่า transient (frequency response) ของลูป สำหรับลูปฟิลเตอร์ในที่นี้ก็คือวงจร low pass filter ธรรมดา ทำหน้าที่กรองเอาเฉพาะสัญญานความถี่ต่ำมาควบคุมความถี่ของ VCO โดยทั่วไปมักจะใช้ลูปฟิลเตอร์ ประเภท passive ลูปฟิลเตอร์เป็นตัวกำหนดคุณสมบัติการเปลี่ยนแปลงความถี่ก่อนเข้าสู่สภาวะล็อคที่เรียกว่าคุณสมบัติชั่วครู่ (transient) ถ้าเลือกอัตราขยายลูปและค่าคงตัวของลูปไม่เหมาะสม ความถี่ของเฟสล็อคลูปจะไม่ล็อคและจะเปลี่ยนแปลงตลอดเวลา ดังนั้นค่าคงตัวเวลาของลูปฟิลเตอร์ (loop time constant) จะต้องไม่มากเกินไป เพื่อว่าทุกครั้งที่เปลี่ยนความถี่เฟสล็อคลูปจะล็อคได้เร็วโดยไม่มีการสบัด (overshoot) หรือใช้เวลาเปลี่ยนความถี่อย่างรวดเร็ว แต่ค่าคงตัวเวลาก็ไม่ควรจะน้อยเกินไปจนกระทั่งความถี่สั่นหรือไม่นิ่ง จากรูปแสดงการเปลี่ยนความถี่ของ VCO จะเห็นว่าเส้นทางกรเปลี่ยนแปลงแรงดันมี 3 เส้นทาง เส้นทาง A เป็นเส้นทาง critical damp ใช้เวลาในการเปลี่ยนเข้าสู่ความถี่ใหม่น้อยที่สุด เส้นทาง B เรียกว่าเส้นทาง under damp มีการสบัดเนื่องจาก over shoot เส้นทางC เป็นเส้นทาง over damp ไม่มี overshoot แต่เวลาที่ใช้ในการเข้าสู่ความถี่จะช้า

ดังนั้นจะเห็นว่าเส้นทาง A เป็นเส้นทางที่ดีที่สุดในการออกแบบค่าคงตัวเวลาของวงจรลปฟิลเตอร์ เพราะว่าใช้เวลาในการเปลี่ยนความถี่เร็ว และไม่มี ocershoot



รูปที่ **2.43** คุณลักษณะในการเปลี่ยนความถี่ของเฟสล็อคลูป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หน้าที่ของ low pass filter ในเฟสล็อคลูปมีหน้าที่สำคัญ 2 ประการคือ

1 ลดค่าความคลาดเคลื่อนที่เป็นความถี่สูงที่ออกจากวงจรเปรียบเทียบเฟส (phase comparator) เพื่อนำไปควบคุมวงจร VCO

2 ทำหน้าที่ควบคุมการทำงานของลูป ซึ่งขึ้นกับเงื่อนไขต่างๆ คือ

- capture และ lock range
- bandwidth
- transient response

เนื่องจาก low pass filter ลดค่าแรงดันคลาดเคลื่อนของความถี่ระหว่างลูป ซึ่งเป็นตัวควบคุมการ capture โดยตรง จะส่งผลไปยังการทำงานของระบบคือ

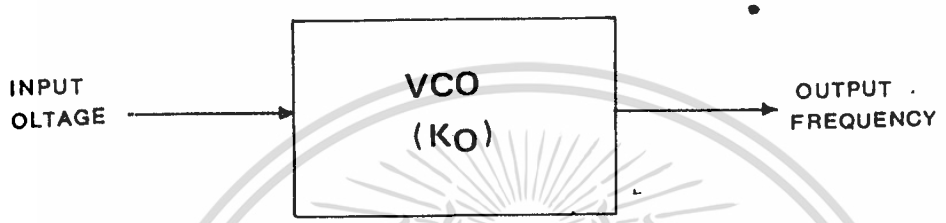
- ขบวนการ capture ช้าลงและ pull in time เพิ่มขึ้น
- capture range ลดลง
- Interference rejiction ของเฟสล็อคลูปจะดีขึ้น เพราะค่าแรงดันคลาดเคลื่อนเนื่องจากความถี่ของสัญญานรบกวนถูกลดลงไป
- ผลตอบสนองชั่วขณะของเฟสล็อคลูปต่อการเปลี่ยนแปลงทันทีของสัญญานเข้าสู่ capture range จะอยู่ในลักษณะการแดมพ์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.7 VOLTAGE CONTROL OSCILLATOR (VCO)

VOLTAGE CONTROL OSCILLATOR เป็นวงจรส่วนหนึ่งที่มีอยู่ใน phase lock loop ซึ่งจะกล่าวถึงรายละเอียดในที่นี้

VCO คือ oscillator ที่ให้ output frequency เป็นสัดส่วนโดยตรงกับ input control voltage



รูปที่ 2.44 แสดงบล็อคไดอะแกรมของ VCO

VCO สามารถเขียนในเทอมของคณิตศาสตร์ได้ดังสมการ

$$W_o = K_o \cdot V_f$$

เมื่อ W_o เป็น VCO output frequency (rad/sec)

V_f เป็น VCO input control voltage จาก loop filter (volt)

K_o เป็น Conversion gain (rad/sec. volt)

ค่าของ VCO Conversion gain เป็นค่าคงที่สำหรับแปลง input control voltage เป็น frequency

W_o แสดงค่าความถี่มีหน่วยเป็น rad/sec ค่าของ W_o มีความสัมพันธ์กับ frequency (f) แสดงหน่วยเป็น Hz โดย factor 2π

ตัวอย่าง 60 Hz time frequency ทำเป็น radian frequency จะมีค่า

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$W = 2\pi f$$

$$= 2.\pi.60$$

$$= 377 \text{ rad/sec}$$

โดยขณะที่ phase lock output ของ K_o จะมีค่าเท่ากับ input frequency แต่ถ้าเกิดความต่างเฟสขึ้น เราสามารถหา radian frequency ช่วงเวลาของ phase ดังสมการ

$$W = \frac{d(\Delta\phi)}{d(t)} \quad \text{..... rad/sec}$$

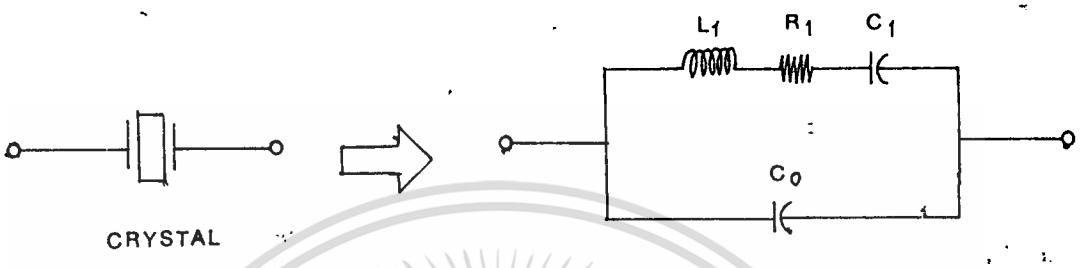
ความต่างเฟสระหว่าง VCO output frequency และ loop input frequency จะเป็นอัตราส่วนโดยตรงกับ integral ของ input control voltage ซึ่งเป็นแรงดันเฉลี่ยหรือ dc voltage จาก phase detector และ loop filter

ในโครงงานนี้ VCO เราจะใช้วงจรรวมเบอร์ XR-2206 ซึ่งเลือกเอาท์พุทที่มีความถี่ออกมาเป็นคลื่นรูปซายน์ สำหรับรายละเอียดของวงจรจะได้กล่าวต่อไปในบทที่ 3

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.8 หลักการผลิตความถี่ (Frequency Oscillator)

วงจรออสซิลเลเตอร์ชนิดควบคุมด้วยคริสตอล (x-tal controlled oscillator) สามารถใช้เป็นวงจรผลิตความถี่อ้างอิงได้อย่างดี เนื่องจากมีคุณสมบัติเรื่องเสถียรภาพทั้งระยะสั้นและระยะยาวดีมาก วงจรสมมูลย์ของคริสคอลแสดงในรูป



รูปที่ **2.45** แสดงวงจรสมมูลย์ของ X-TAL

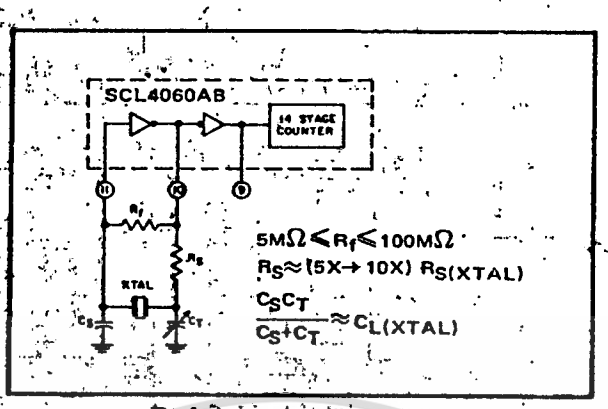
จากวงจรสมมูลย์ของคริสตอลวงจรอนุกรม L_1, R_1, C_1 ซึ่งเป็นวงจรรีโซแนนซ์แบบอนุกรมแทนการสั่นของคริสตอล ส่วน C_0 เป็นตัวคาปาซิเตอร์ที่เกิดจากตัวจับยึด(holder) ของคริสตอลถ้าเป็นวงจรสั่นที่โหมดพื้นฐาน(fundamental mode) และคริสตอลตัดแบบ เอที (AT-Cut) เราสามารถกำหนดความถี่ทางรีโซแนนซ์ได้จากความหนาของตัวคริสตอล โดย

$f_0 (MH_z) = 1675/\text{ความหนา} \quad (m)$

สำหรับการตัดแบบ เอที จะให้เสถียรภาพต่ออุณหภูมิดีมาก ความผิดพลาดของความถี่ที่ได้ (f/f_0) จะอยู่ในช่วง 20 ppm ต่ออุณหภูมิจาก -50 ถึง 100 องศาเซลเซียส และค่าผิดพลาดจะต่ำสุดที่อุณหภูมิ 20-30 องศาเซลเซียส

วงจรออสซิลเลเตอร์ที่ควบคุมด้วยคริสตอล สามารถสร้างจากอุปกรณ์แอคทีฟซึ่งเป็น TRANSISTOR,FET,MOS-FET ได้หลายลักษณะ อย่างไรก็ตามความถี่ที่ได้จากวงจรต้องหารลงจนได้ความถี่ที่ต้องการให้เป็น f_r และขนาดของสัญญาณที่ต้องการ ต้องมีขนาดที่ใช้กับวงจรดิจิตอลได้ จึงไม่สะดวกที่จะใช้วงจรในลักษณะที่กล่าวมานี้ในโครงงานนี้จะใช้วงจรออสซิลเลเตอร์ซึ่งสร้างจากวงจรรวมชนิด cmos ทำงานเป็นอินเวอร์เตอร์ (inverter)

เอกสารนี้สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



Typical crystal oscillator circuit

รูปที่ **2.46** แสดงวงจรออสซิลเลเตอร์ควบคุม X-TAL

จากวงจรดังรูปจะสามารถทำงานได้อย่างถูกต้อง ถ้าทราบค่าโหลดดิ้งคาปาซแตนซ์ (loading capacitance) C_L ของคริสตอลซึ่งกำหนดโดยผู้ผลิต ซึ่งปกติที่ความถี่ต่ำกว่า 8 MH_z จะมีค่าไม่เกิน 32 PF,20 PF สำหรับความถี่ช่วง 8-15 MH_z และสำหรับความถี่ที่สูงกว่า 15 MH_z โดย

$$C_L = (C_{in}.C_{out})/(C_{in}+C_{out}) + C_a + C_2 + (C_1.C_2)/(C_1+C_3)$$

เมื่อ

C_{in} คืออินพุทและเอาท์พุท คาปาซิแตนซ์ของอินเวอร์เตอร์ตามลำดับ

C_a คือคาปาซิแตนซ์ระหว่างขาอินพุท และเอาท์พุทของอินเวอร์เตอร์

ปกติที่แรงดัน V_{DD} +5 V ค่า C_{in} = 5 PF, C_{out} = 6 PF, C_a = 5 PF

ส่วนค่าของ R_f จะประมาณ 5-20 เมกกะโอห์ม R_1 ทำหน้าที่จำกัดแรงดันไบอัสคริสตอล เนื่องจากคริสตอลสามารถรับแรงดันตกคร่อมตัวมันจำกัดเพียงค่าหนึ่ง (กำหนดโดยผู้ผลิต) ถ้าให้แรงดันเกินกว่าค่าจำกัดจะทำให้เกิดความเครียด (stress) ขึ้นภายในตัวคริสตอล ซึ่งอาจทำให้ตัวคริสตอลเสียหาย หรือความถี่ที่ได้ขาดเสถียรภาพ วิธีที่จะทราบว่าคริสตอลได้รับไบอัสเกินหรือไม่ทำได้โดยสังเกตความถี่ที่เอาท์พุทของวงจร เมื่อเพิ่ม V_{DD} ขึ้นจะทำให้ความถี่เพิ่มขึ้นเล็กน้อย แต่ถ้าเพิ่ม V_{DD} แล้วความถี่ลดลงหรือเกิดการเลื่อนไปมาก็แสดงว่าคริสตอลได้รับไบอัสเกินค่าของ R_1 จะประมาณ 0-10 กิโลโอห์ม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

และที่ความถี่ต่ำกว่า 13 KH_z C_1,C_2 จะมีค่าไม่เกิน 35 PF ความถี่เอาท์พุทสามารถปรับแต่งได้เล็กน้อยโดยปรับค่าของ C_1 ความถี่อ้างอิงที่ต้องการมักมีค่าเป็นกิโลเฮิร์ท ซึ่งคริสตอลจะมีความถี่สูงเป็นเมกกะเฮิร์ทจึงต้องใช้วงจรหารความถี่ หารความถี่ของออสซิลเลเตอร์ลงจนได้ตามต้องการ วงจรหารความถี่ก็จะเป็นวงจรรวมที่วงจรหารแบบอะซิงโครนัส (asyncronous counter) ซึ่งกำหนดตัวหารไว้แล้ว และวงจรรวมบางเบอร์ก็จะมีวงจรออสซิลเลเตอร์ (อินเวอร์เตอร์) อยู่ภายในตัวเองด้วย เช่นเบอร์ 4060 เป็นต้น

และเมื่อเราได้ความถี่ที่เกิดจากคริสตอล และทำการหารความถี่จากวงจรรวมซีมอสเบอร์ 4060 ซึ่งหารความถี่ลงเป็น 10.001 KH_z แล้วเราใช้วงจรรวม 4017 หารความถี่ลงอีกให้เหลือความถี่ 1 KH_z ซึ่งจะเป็นตัวไปเปรียบเทียบกับความถี่ที่มาจาก VCO โดยหาร n เท่าโดย n เป็นความถี่ที่นำไปใช้โดยการเปรียบเทียบใช้วงจรรวมเบอร์ 4046 ซึ่งใช้ phase detector ภายในเมื่อความถี่ยังไม่ตรงกันพอดีจะเกิด voltage error ไปควบคุม VCO ให้ผลิตความถี่ให้ตรงตามต้องการ ค่าความถี่ที่เราต้องการเราสามารถเลือกได้โดยตั้งโปรแกรมการหารของวงจรรวมเบอร์ 40102 ซึ่งในโครงงานนี้ต้องการความถี่ 19 KH_z และ 57 KH_z เราก็ตั้งให้ได้ค่าตามต้องการได้ รายละเอียดของวงจรจะได้กล่าวต่อไปในบทที่ 3 หลักการทำงานพิจารณาได้จากบล็อกไดอะแกรม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.9 หลักการคูณสัญญาณ (Multiply)

โดยทั่วไปแล้วสัญญาณที่ได้จากการคูณจะเป็นสัดส่วนกับการคูณของสองอินพุท หลักการพื้นฐานของการคูณพิจารณาจากการออกแบบทางปฏิบัติ ถ้าสัญญาณอินพุทมีลักษณะเป็น sine wave และ square wave โดยระดับของสัญญาณทั้งสองต้องมีลักษณะเป็น small signal สำหรับ sine wave input (V_x) = $E_x \cos W_x t$ และ square wave input (V_y) = $E_y \cos W_y t$ ผลของเอาท์พุทที่ได้จากการคูณจะได้

$$V_o = V_x V_y$$

$$= k E_x E_y \cos W_x t \cos W_y t$$

$$= \frac{k E_x E_y}{2} (\cos(W_x + W_y)t + \cos(W_x - W_y)t)$$

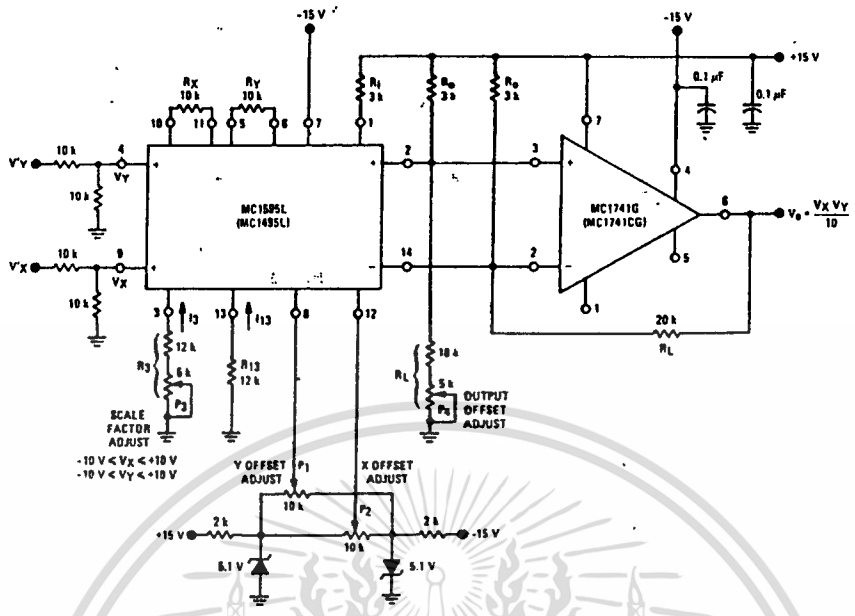
จากลักษณะของสมการที่ได้ทางเอาท์พุทสมการจะคล้ายกับการ modulate ทาง amplitude ซึ่งในหลักการ modulate นี้จะใช้ IC MC 1595 หรือ IC MC 1596 นำมาคูณสัญญาณทั้งสองพิจารณาส่วนประกอบภายใน chip ของ IC MC 1595 จะมีลักษณะดังแสดงในรูป พื้นฐานของการคูณสามารถพิจารณาจาก common emitter amplifier ซึ่งจะได้จาก

$$V_o = C V_{in} I_E$$

เมื่อ C เป็น gain constant

สิ่งเหตุจากสมการจะมีตัวแปรที่เปลี่ยนแปลงได้คือ กระแสอิมิตเตอร์ และอินพุทโวลท์เตจ จากรูปผลของการคูณจะเกิดจาก main amplifier ของ Q_5, Q_6, Q_7 และ Q_8 ซึ่งจะต่ออยู่ในลักษณะ common emitter แต่กระแสอิมิตเตอร์และอินพุทโวลท์เตจ จะเป็นอิสระต่อกัน ในการออกแบบของการเปลี่ยนแปลงกระแสอิมิตเตอร์เป็นสิ่งที่จำเป็นอย่างยิ่งที่จะทำให้เกิดการทำงานเป็น four quadrant

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.47

สำหรับ V_{be} (base-emitter voltage) กระแสที่ไหลทางด้านเอาท์พุท ของวงจรขยายจะมีสัมพันธ์กับ exponential และ input voltage ถ้าแรงดัน V ที่แสดงดังรูปแสดงถึงอินพุทของวงจรขยายทั้งหมดที่เป็นฟังก์ชั่นของสัญญาน V_y กระแสทางด้านเอาท์พุทเป็นฟังก์ชั่น exponential, non-linear ฯ

การตอบสนองของทางด้านเอาท์พุทต่อสัญญาณอินพุท จะพิจารณาและอธิบายได้ดังรูป กระแสเอาท์พุท I_2 เป็นผลมาจาก I_1 ความสัมพันธ์สามารถพิสูจน์ดังสมการ และจะทำให้ค่าคงที่ของ a_1 เท่ากับ a_2 โดยตอนแรกเมื่อมีแรงดันอินพุทเข้ามาจะทำให้กระแส I_1 ไหลในรูปของความสัมพันธ์ของ exponential และกระแส I_2 ก็จะสัมพันธ์กับแรงดันอินพุท V_y ด้วย โดยตอนแรกกระแสที่ไหลผ่านจาก V_y signal ผ่านเข้า diode D_1 และ D_2 ทำให้แรงดันตกคร่อมไดโอดจะมีลักษณะเป็น nonlinear และเมื่อแรงดันนี้ไปสัมพันธ์กับทรานซิสเตอร์ Guard amplifier ทำให้กระแสทางด้านเอาท์พุทกลับมาอยู่ในลักษณะ linear อีกครั้ง นั่นคือ

$$V_o = kV_x V_y$$

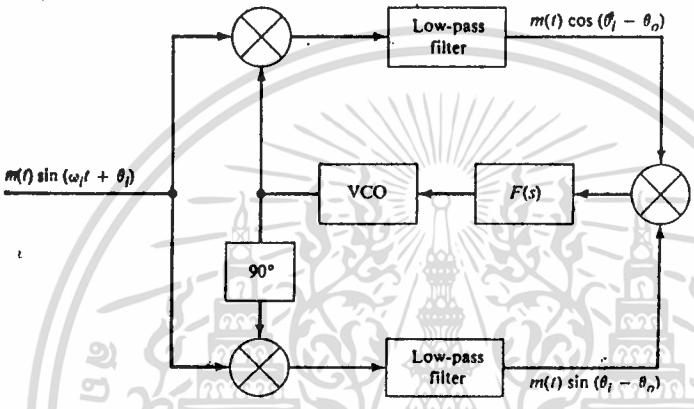
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.10 ดิจิตอลมอดดูเลชั่นแบบ PSK

PSK Encoders

PSK มีหลายแบบที่ใช้ ในโครงงานนี้เป็นแบบ Two-phase หรือ Binary phase shift keying (BPSK). การส่งแบบ BPSK จากรูปไดอะแกรมจะใช้ data signal ที่เป็นแบบ nun-return to-zero (NRZ) ที่ไม่มีส่วนประกอบ dc เข้ามาเกี่ยวข้อง นำมาคูณเข้ากับสัญญาน carrier จะทำให้ได้ผลที่ output มี amplitude เป็น +/-A ตามสัญญานไบนารี "1" และ "0" จะได้ V_o เป็น

$$V_o = +/- 2A\ d(t)\ \cos(w_c t+0)$$



รูปที่ 2.48

โดยที่ f(t)° เป็น data input ที่เข้ามาเป็นดิจิตอล แสดงค่าโดย +/-1 หรือแทน "1" และ "0" นั่นเอง ส่วน A เป็นค่า rms ของสัญญานและ w_c เป็นค่าความถี่เชิงมุมของสัญญาน carrier โดยมีมุมชั่วขณะเป็น 0 จากสมการ v_o ดังกล่าวเราสามารถเขียนใหม่ได้คือ

$$V_o = \sqrt{2}A\ d(t)\ \cos(W_c+O_1)$$

โดยเมื่อ data มีค่าเป็น +/-1 ; Oi จะมีค่าเป็นมุม 0° และ 180°

โดยที่ $O_1 = 0°$ จะได้ V_o เป็น 1

$O_1 = 180°$ จะได้ V_o เป็น -1

ซึ่งเป็นไปตามลักษณะของ data input คือ "1","0"

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

PSK Decoder

จากสัญญาน PSK ที่ได้ $f(t) = 2A\, d(t)\cos(w_c+0_1)$ เรานำมาเข้าวงจร demodulate สัญญาน BPSK แบบ costas loop จะเห็นว่า f(t) ที่ได้จะผ่านเข้าไปยังวงจรคูณซึ่ง input ของวงจรคูณอีกด้านหนึ่งนั้นถูกผลิตขึ้นมาจาก VCOเราพิจารณาในลักษณะ VCO look และผลิตความถี่ออกมาได้เท่ากับ 57 KHz เท่ากับความถี่ carrier ทางด้านส่ง โดยมีสมการเป็น

$\cos(W_c t+0_o)$ และ $2\sin(W_c+0_1)$

จากรูปแสดงบล็อคไดอะแกรมเราสามารถเป็นด้านบนและด้านล่างของ loop

ในด้านบนจะได้ input ของการคูณเป็น 2 สมการคือ

$$\sqrt{2}Af(t)\cos(W_c t+0_1).\cos(W_c t+0_o) = \sqrt{2}Af(t)\cos(2W_c t+0_1+0_o)+\cos(0_1-0_o)$$

พิจารณาจากสมการเอาท์พุทของวงจรคูณจะเห็นว่าเทอมที่เราต้องการคือเทอมหลังเพราะเป็นเทอมของการต่างเฟสระหว่างสัญญานที่รับกับสัญญานที่ VCO ผลิต ดังนั้นเราจึงใช้ low pass filter กรองตัดเอาเทอมที่มีความถี่ carrier ทิ้งไปก็จะได้เอาท์พุทจาก loop filter เป็น

$$Y_1(t) = \sqrt{2}A\, f(t)\, \cos(\theta_1-\theta_o)$$

ส่วนด้านล่างก็ในลักษณะเดียวกันจะได้

$$Y_2(t) = \sqrt{2}A\, f(t)\, \sin(\theta_1-\theta_o)$$

โดยที่ $\theta_1-\theta_o$ เป็น phase error และจะได้เอาท์พุทออกมาจากวงจรคูณที่ทำหน้าที่เป็น phase detector โดยมีสมการเป็น

$$e_f = k_m A^2 f_2^2(t) \sin 2(\theta_1-\theta_o)$$

เมื่อ k_m เป็นค่าคงที่ในการคูณมีหน่วยเป็น volts/radians และจากสมการนี้ $f(t) = +/-1$ และ $f^2(t) = +1$ ดังนั้นเราสามารถเขียนสมการใหม่ได้ว่า

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$e_f = k_m A^2 \sin 2(\theta_1 - \theta_0)$$

จากสมการ e_f นี้จะเห็นว่ามีรูปสมการใกล้เคียงกับ phase lock loop มาตราฐานมาก จากสมการ e_f จะได้ความแตกต่างเป็น $\sin 2(0_1 - 0_0)$ มีค่าเป็น 0 สำหรับในกรณี 0 และ 180 ซึ่งในลักษณะนี้ loop จะสามารถ lock ด้วย VCO และจากบล็อคไดอะแกรมของ costas loop จะได้ data output ออกมาที่แขน $Y_1(t) = f(t)\cos(0_1 - 0_0)$ ~ จะเป็น $f(t)$ ซึ่งมีค่า +/-1 หรือถ้าผ่านการเปรียบเทียบแล้วก็คือ "1","0" ที่ต้องการนั่นเอง

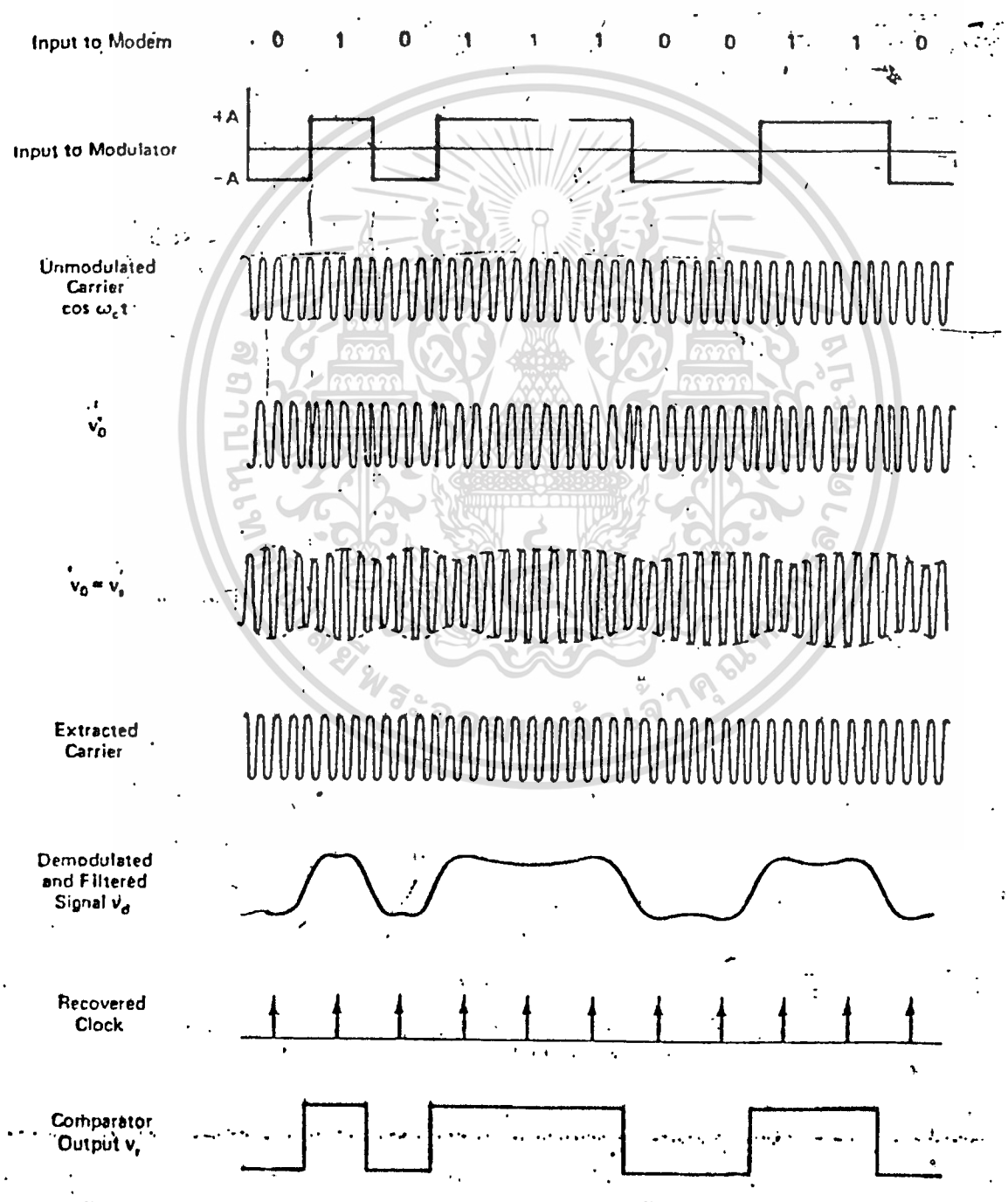


Figure 5-25 Waveforms of the BPSK Modem

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 2.49

บทที่ 3

3.1 การสร้างสัญญาณ FM STEREO MULTIPLEX)

การสร้างสัญญาณ FM STEREO MULTIPLEX ได้กล่าวมาแล้วทางทฤษฎีในบทต้นๆ บทนี้จึงขอกล่าวถึงการสร้างสัญญาณ FM STEREO MULTIPLEX ในทางปฏิบัติโดยจะแบ่งแยกอธิบายเป็นบล็อกไดอะแกรมของการสร้างสัญญาณ FM STERO MULTIPLEX ดังนี้

3.1.1 ภาคแมททริคซ์ (stereo matrix)

3.1.2 ภาค modulator (L-R กับ subcarrier 38 KH_z)

3.1.3 ภาค multiplex

3.1.4 ภาคผลิตความถี่ 19 KH_z

3.1.5 วงจร shift phase

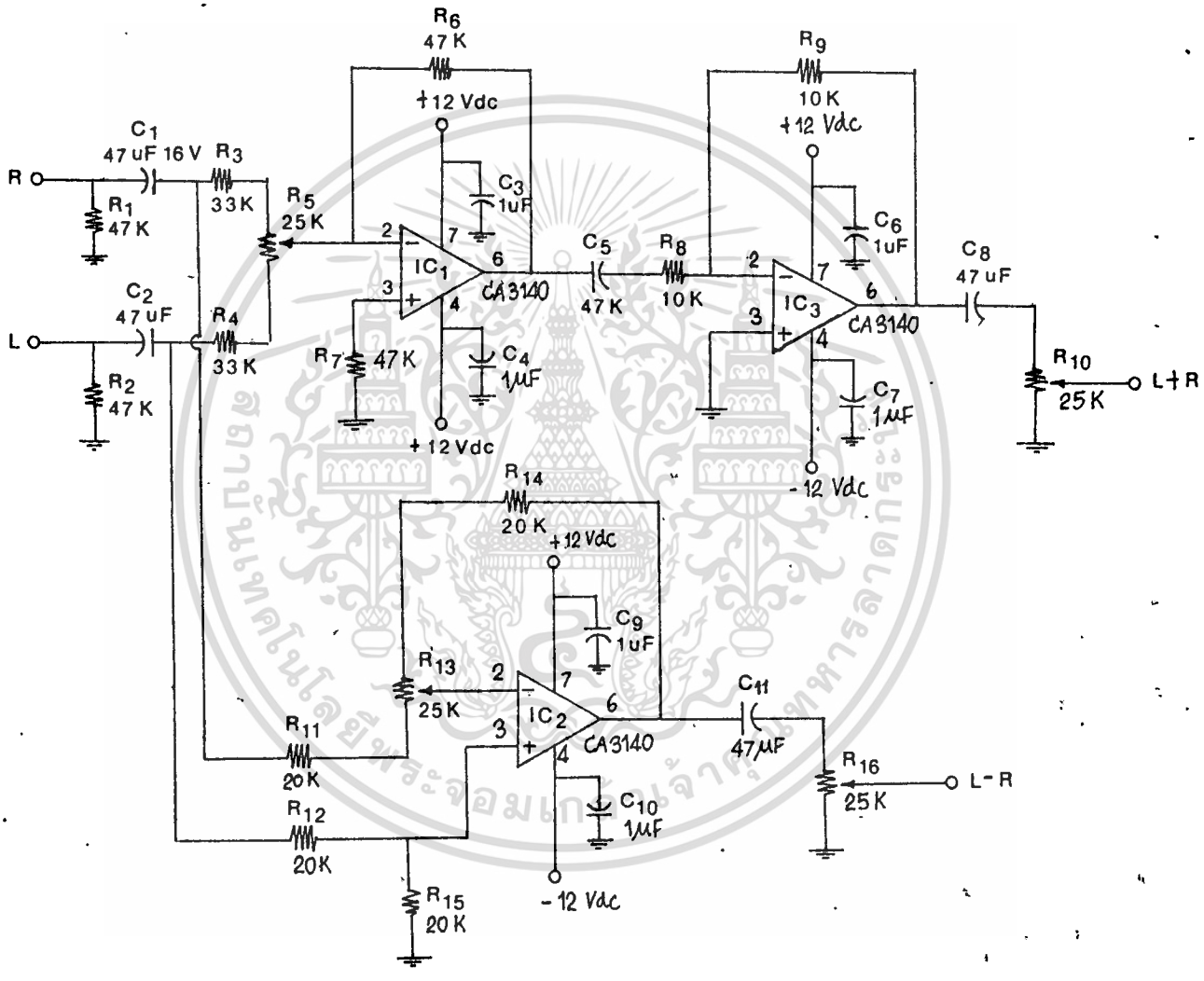
3.1.1 ภาคแมททริคซ์ (stereo matrix)

ภาคนี้เป็นภาคที่มีหน้าที่ผลิตสัญญาณ (L+R) และ (L-R) ในภาคนี้อาศัยการทำงานของวงจร summing amplifier ร่วมกับวงจร inverting amplifier ภาคนี้วงจร inverting amplifier ถูกกำหนดให้มี gain เท่ากับ 1 (unity-gain) จากวงจรในรูปที่ 3.1 จะเห็นว่าสัญญาณเสียงซีกซ้าย และซีกขวาจะเข้ามาทาง J1 และ J2 โดยตัวคาปาซิเตอร์ C_1 และ C_2 จะทำหน้าที่ถ่ายทอดสัญญาณเสียงเข้าไปยัง R_3 และ R_4 ซึ่งทำหน้าที่เป็นตัวต้านทานขาเข้า (input resistance) ของสัญญาณ L+R และในขณะเดียวกันสัญญาณเสียงที่ถ่ายทอดผ่าน C_1 และ C_2 จะเข้ามายัง R_{11} และ R_{12} ซึ่งทำหน้าที่เป็นตัวต้านทานขาเข้าของสัญญาณ L-R ด้วยเช่นกัน

R_5 เป็นตัวต้านทานปรับค่าได้ที่ต่อระหว่าง R_3 และ R_4 ใช้สำหรับปรับแต่งให้อัตราส่วนของสัญญาณ L และ R เท่ากันในอัตราส่วนเท่ากับ 1:1

ในทางทฤษฎีค่า R_3 และ R_4 จะเท่ากัน R_5 จะถูกปรับไว้ ณ.ตำแหน่งกึ่งกลางพอดี ในทางปฏิบัตินี้ค่า R_3 และ R_4 อาจจะไม่เท่ากันเพราะเกิดจากความผิดพลาดของค่าความต้านทาน เพราะฉะนั้น R_5 อาจถูกปรับไว้ในตำแหน่งซึ่งค่อนไปทางด้าน R_3 และ R_4 ข้างใดข้างหนึ่ง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

IC_1 ทำหน้าที่เป็นวงจร summing amplifier เป็นวงจรรวมสัญญาณ L และ R เข้าด้วยกันวงจรนี้มี R_6 เป็นตัวจัดให้วงจรมีอัตราขยายเท่ากับ 1 (unity gain) C_3 และ C_4 เป็นตัวเพิ่มประสิทธิภาพให้แก่วงจรโดยการลด noise ที่มาจากแหล่งจ่ายไฟเลี้ยงให้กับวงจร

IC_3 ทำหน้าที่เป็นวงจร inverting amplifier ที่มี gain การขยายเท่ากับ 1 (unity gain) และเป็นวงจรที่ทำหน้าที่กลับเฟสของสัญญาณ L+R ให้เฟสถูกต้องจะได้สัญญาณ L+R

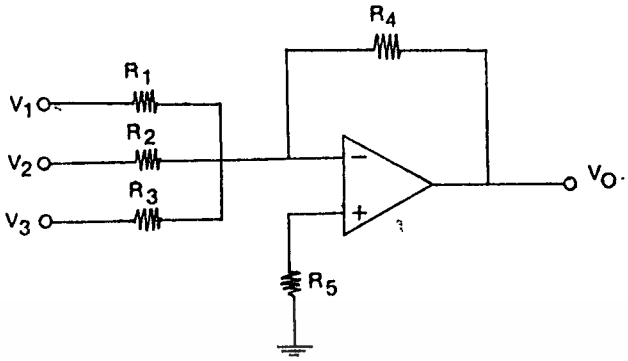
IC_2 ทำหน้าที่เป็นวงจร differnce amplifier ทำหน้าที่ผลิตสัญญาณความแตกต่าง L-R มี R_{11}, R_{13} และ R_{14} ต่ออยู่ในรูปของเนทเวอร์คที่ปรับค่าได้ สัญญาณซีกซ้าย และขวาจะถูกส่งผ่านเข้ามาโดยผ่านทาง R_{11} และ R_{12} R_{14} เป็นตัวกำหนด gain ของวงจรให้มีอัตราขยายเท่ากับ 1 (unity gain) วงจรนี้ถ้าสัญญาณ L และ R เท่ากันเอาท์พุทจะมีค่าเท่ากับศูนย์ก็สามารถปรับ R_{13} ให้ค่าเอาท์พุทเท่ากับศูนย์

สัญญาณ L+R ที่ได้จาก output ของ IC_1 สามารถตรวจสอบการรวมสัญญาณ L และ R ได้โดยการป้อนสัญญาณ L และ R ให้มีขนาดของสัญญาณเท่ากัน หรือโดยการ short สัญญาณ L และ R เข้าด้วยกันแล้วป้อนสัญญาณ L หรือ R โดยผานเข้าทาง C_1 และ C_2 output ของ IC_1 จะมีค่าเป็น 2 เท่าของสัญญาณ input ถ้า output ได้ 2 เท่าของสัญญาณ input ก็ทำการปรับ R_5 ให้ output ได้เป็น 2 เท่าของสัญญาณ input วงจรแบบวงจรที่ทำหน้าที่ผลิตสัญญาณ L+R อาศัยการทำงานของวงจรขยายผลบวก (summing amplifier) และวงจรขยายแบบกลับเฟส (inverting amplifier)

วงจรขยายผลบวก (summing amplifier) วงจรขยายผลบวกดังรูปที่ 3.2 ซึ่งเป็นวงจรขยายกลับเฟสที่ใช้ในกรณีที่ต้องการขยายผลบวกของสัญญาณ input วงจรนี้จะให้เฟสที่ output กลับเฟสกับ input แรงดันที่ output จะมีค่าขึ้นอยู่กับผลรวมของแรงที่ได้จากการขยายสัญญาณ input แต่ละช่องสัญญาณ ถ้าให้ V_1 มีค่าเท่ากับ $V_1 R_f / R_1$ แรงดัน V_2 มีค่าเท่ากับ $V_2 R_f / R_2$ แรงดัน V_3 มีค่าเท่ากับ $V_3 R_f / R_3$ ดังนั้น $V_o = -(V_1 R_f / R_1 + V_2 R_f / R_2 + V_3 R_f / R_3)$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

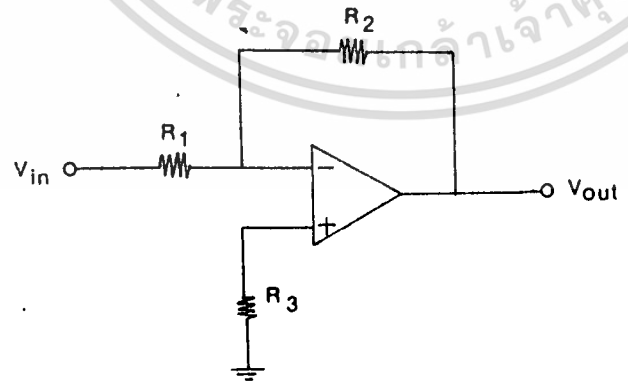
$$V_o = (R_1/R_4)V_1 + (R_4/R_2)V_2 + (R_4/R_3)V_3$$



รูปที่ 3.2

วงจร summing amplifier ในโครงงานนี้ใช้เป็นวงจรที่ทำหน้าที่รวมสัญญาณ L และ R เข้าด้วยกันโดยการจัดวงจรทางด้าน input ของ IC_3 ในรูปเนทเวอร์ค เพื่อใช้ในการปรับสัญญาณ output ให้ได้เป็น 2 เท่า เมื่อสัญญาณ L เท่ากับสัญญาณ R สาเหตุที่ต้องจัดวงจร input ของ IC_3 อยู่ในรูปเนทเวอร์คเพราะค่าความผิดพลาดของ R_3 และ R_4 ไม่เท่ากัน

วงจรขยายแบบกลับเฟส (inverting amplifier) เราสามารถกำหนดอัตราการขยายได้ตามใจชอบด้วยการป้อนกลับ ลักษณะของวงจรจะเป็นดังรูปที่ 3.3



รูปที่ 3.3

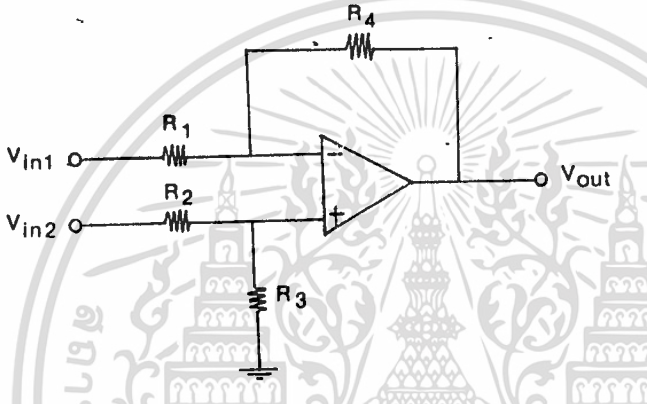
จากรูปที่ 3.3 อัตราการขยายของวงจรสามารถคำนวณได้ด้วยค่าอัตราส่วนของ R_2/R_1 ดังนั้นเราสามารถคำนวณหาค่าแรงดัน output ได้ดังนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

แรงดันเอาท์พุท (V_{out}) = $(-R_2/R_1).V_{in}$

จะเห็นว่าแรงดัน output จะขึ้นอยู่กับอัตราส่วนของ $R_2:R_1$ ถ้า $R_1=R_2$ จะทำให้อัตราส่วนการขยายของวงจรเท่ากับ 1 (unity gain) ซึ่งในโครงงานนี้นำมาใช้เป็นวงจรกลับเฟสของสัญญาณ L+R

วงจร difference amplifier เป็นวงจรที่ขยายเฉพาะผลต่างของสัญญาณ input ที่เข้าขา inverting และ non-inverting ของ op-amp ลักษณะของวงจรจะเป็นดังรูปที่ 3.4



รูปที่ 3.4

แรงดันเอาท์พุท (V_{out}) = $V_{in2} - V_{in1}$

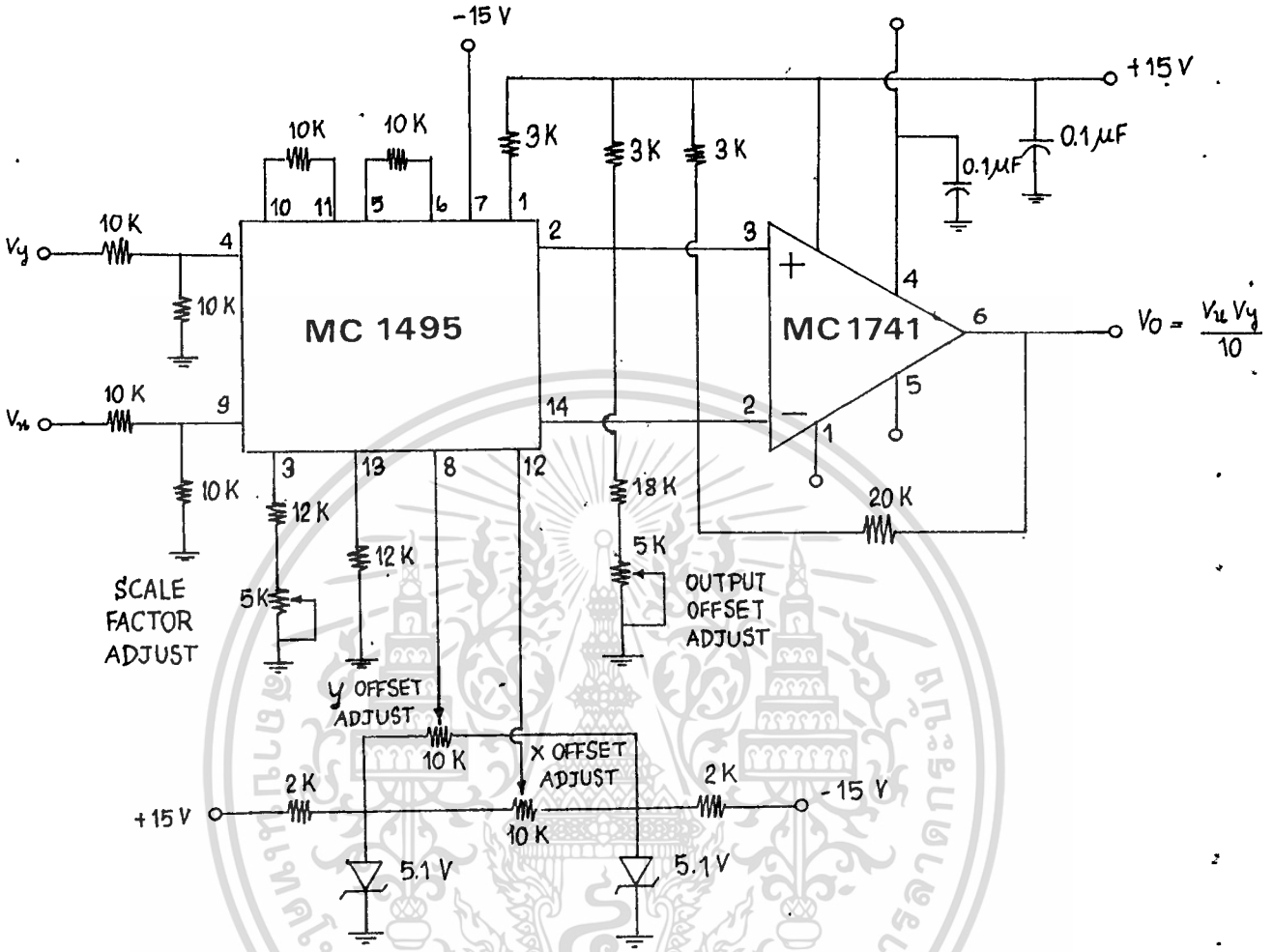
จาหลักการของวงจร difference amplifier มาทำวงจรผลิตสัญญาณ L-R โดยการป้อนสัญญาณ L เข้าขา non-inverting และสัญญาณ R เข้าขา inverting จากรูปที่ 3.1 จะเห็นว่า IC_2 ขา inverting ถูกจัดอยู่ในรูปเนทเวอร์คเพื่อใช้ในการปรับแต่งค่าของสัญญาณ output ให้เท่ากับศูนย์เมื่อสัญญาณ R เท่ากับสัญญาณ L

3.1.2 ภาค MODULATOR (L-R กับ Subcarrier 38 KHZ)

ภาค modulator นี้เป็นการนำเอาวงจรคูณมาใช้เป็นวงจร modulator แบบ balance modulator โดยใช้ IC # MC1495 ทำหน้าที่เป็นตัวคูณสัญญาณ L-R กับ subcarrier 38KH_z สัญญาณ L-R ได้มาจากภาค stereo matrix

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

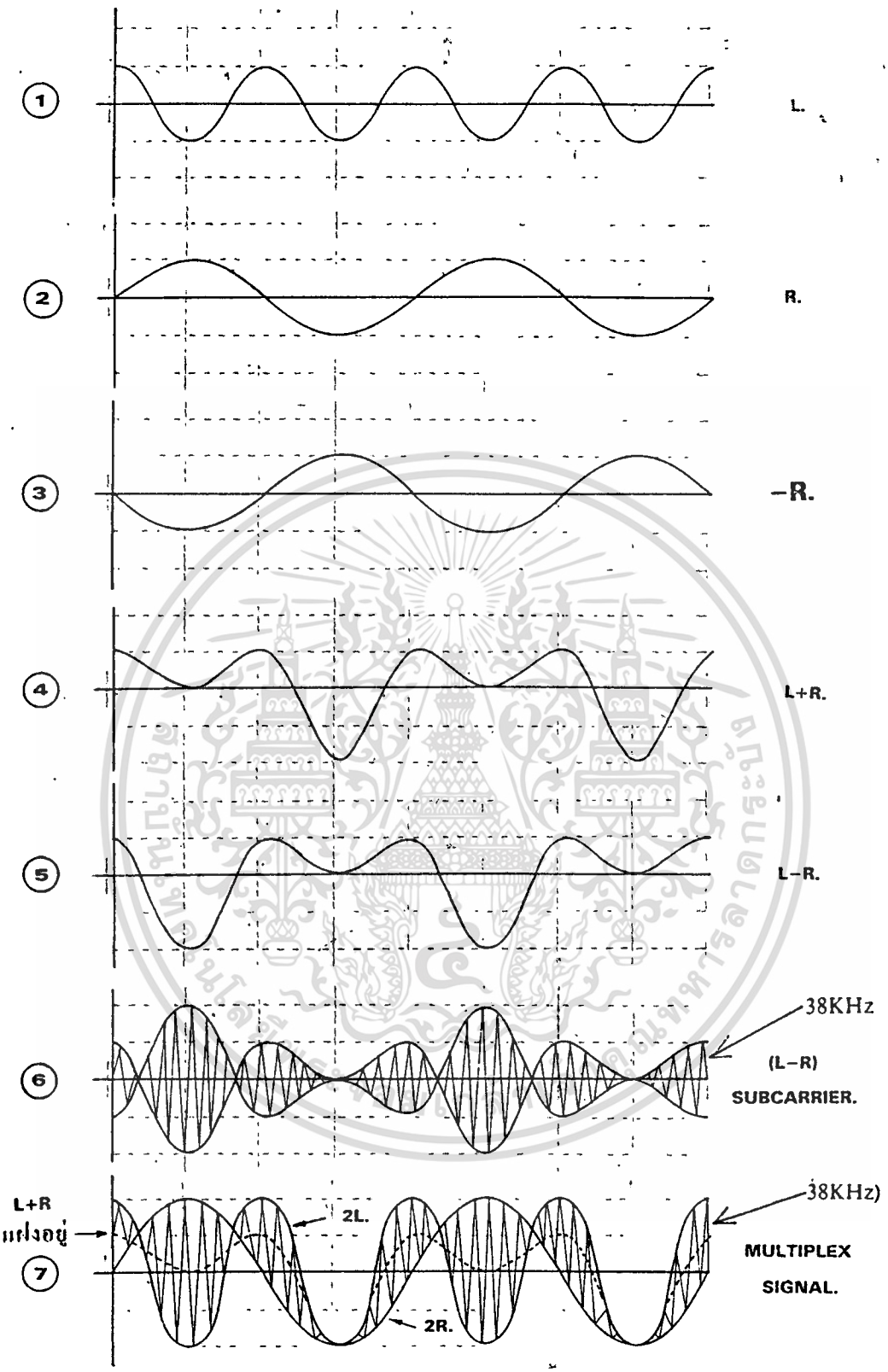
สัญญาณ subcarrier 38KH$_z$ ได้มาจากภาคผลิตสัญญาณ pilot 19 KH$_z$ มาทำการคูณ 2 เท่าจะได้สัญญาณ subcarrier 38 KH$_z$ วงจรของภาคนี้แสดงได้ดังรูปที่ 3.5



รูปที่ 3.5

จากรูปที่ 3.5 ซึ่งเป็นวงจรคูณจะเห็นว่ามี input 2 input ซึ่งจะมี V_y และ V_x เป็น input ของวงจรสัญญาณ L-R และ subcarrier 38 KH$_z$ จะมาต่อเข้า ณ.จุด V_y และ V_x ตามลำดับ ในวงจรรูปที่ 3.5 จะเห็นว่าวงจรคูณนี้มีการ adjust อยู่หลายจุดคือ scale factor adjust, y offset adjust, x offset adjust และ output offset adjust จุดปรับต่างๆ มีไว้สำหรับปรับ output ดังรูปที่ 3.6

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

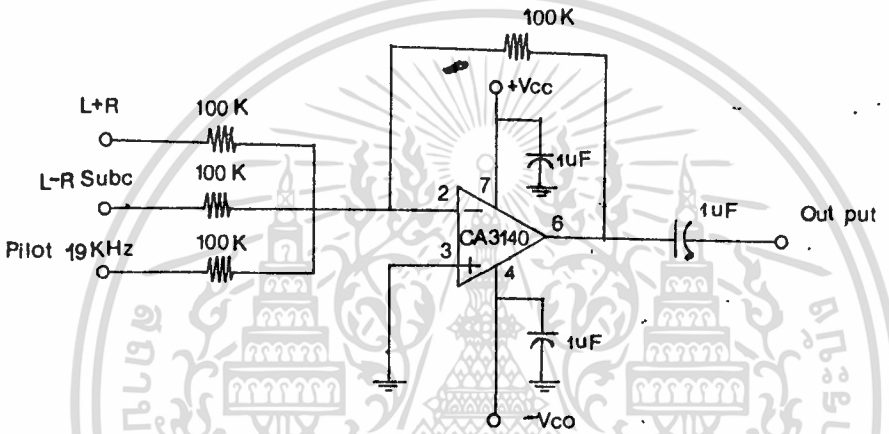


รูปที่ 3.6

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.1.3 ภาค Multiplex (สัญญาณ L+R, L-R Subcarrier 38 KHZ และ Pilot 19 KHZ

ภาคนี้ทำหน้าที่รวมสัญญาณ L+R, L-R subcarrier 38 KH_z และ pilot 19 KH_z ภาคนี้ใช้วงจร summing amplifier ทำหน้าที่รวมสัญญาณดังกล่าวก่อนที่จะทำการ multiplex สัญญาณจะต้องปรับสัญญาณ L+R เท่ากับ 0.45 V, สัญญาณ L-R subcarrier เท่ากับ 0.45 V และสัญญาณ pilot 19 KH_z เท่ากับ 0.10 V แล้วจึงนำสัญญาณดังกล่าวมารวมกันด้วยวงจร summing amplifier วงจรของภาค multiplex แสดงดังรูปที่ 3.7



รูปที่ 3.7

จากรูปที่ 3.7 ซึ่งเป็นวงจร summing amplifier เมื่อป้อนสัญญาณ L+R, L-R subcarrier และ pilot 19 KH_z เข้าขา 2 ของ IC # CA3140 สัญญาณ output ขา 6 จะเป็นสัญญาณ multiplex (L+R, L-R subcarrier, และ pilot 19 KH_z) ตามต้องการดังรูปที่ 3.7

3.1.4 การออกแบบวงจรผลิตความถี่ 19 KHZ

จากวงจรตามรูปที่ 3.8 ในการผลิตความถี่ให้ได้ 19 KH_z นั้นอาศัยหลักการของ PLL โดยสามารถจำแนกออกเป็นส่วนสำคัญ 3 ส่วนคือ phase-detector, lowpass filter และ voltage control oscillator (VCO) ดังได้กล่าวมาแล้วข้างต้นซึ่งจะเห็นได้ว่าสัญญาณ carrier ทางด้าน output จะ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ผลิตความถี่ที่คงที่ตลอด 19 KH_z ถ้าหาก loop อยู่ในสภาวะ lock นั่นเอง

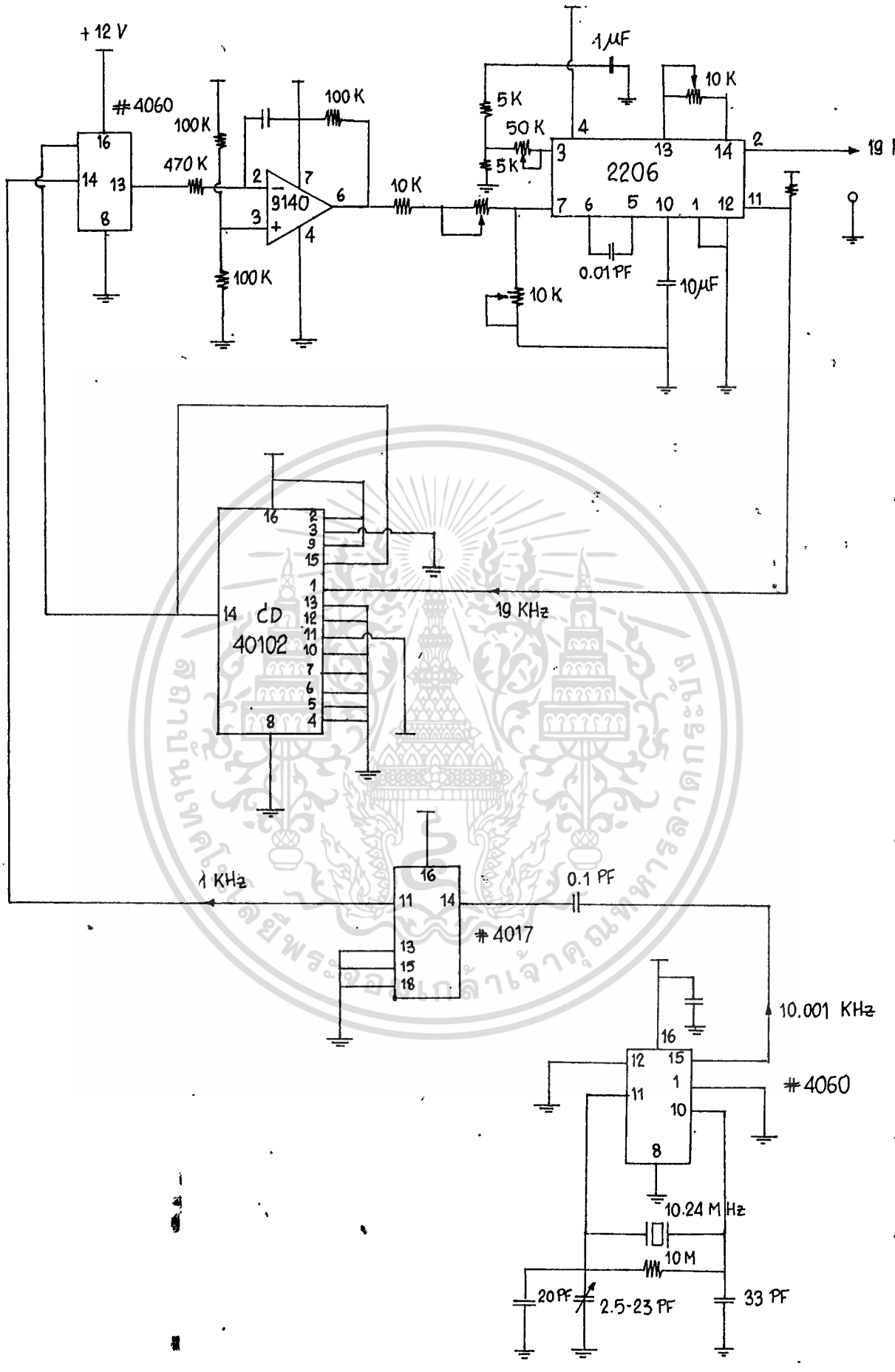
ต่อไปจะอธิบายถึงส่วนต่างๆ ของวงจร

1. MC4060 B และ MC4017 B ทำหน้าที่เป็น osc1lator ที่ผลิตสัญญาณทางด้านอินพุท (input signal)
2. SCL 4046 B ทำหน้าที่เป็น phase comparator
3. LF 351 ทำหน้าที่เป็น lowpass filter เพื่อกรองสัญญาณให้เป็นระดับแรงดัน dc voltage ไปควบคุม VCO
4. XR-2206 เป็น VCO ของวงจร
5. CD40102 เป็น IC ซึ่งสามารถตั้งโปรแกรมหารความถี่ได้

ซึ่งในบทนี้จะขอกล่าวเฉพาะบางหัวข้อเท่านั้น เนื่องจากส่วนอื่นได้กล่าวมาแล้วในบทต้นๆ

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.8 วงจรผลิตความถี่ 19 KHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การทำงานของวงจรผลิตความถี่ 19 KHZ

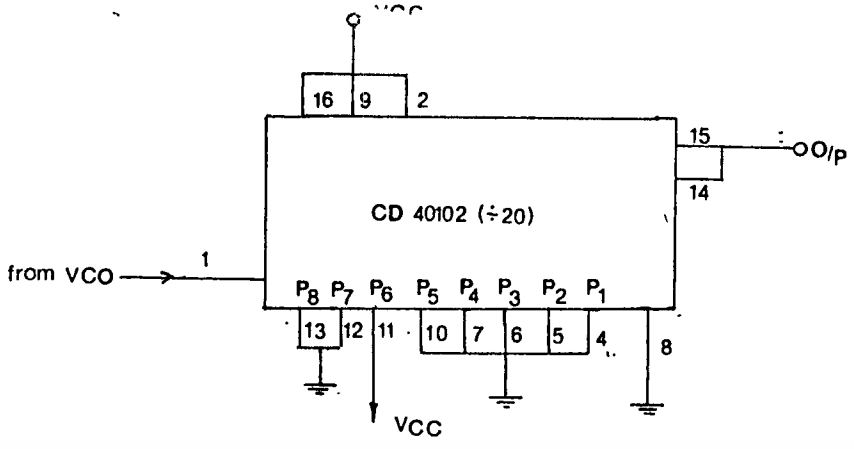
จาก วงจรรูปที่ 3.8 สามารถอธิบายการทำงานได้ดังนี้ เมื่อคริสตอล ที่ผลิตความถี่ 1 [illegible] MHz ทำงานร่วมกับ MC4020 ผลิตความถี่ออกมาประมาณ 19.001 KHz ซึ่งก็ไปเข้า วงจรความถี่ซึ่งต้องการให้ได้ความถี่ 1 KHz จึงจำเป็นต้องหาร ซึ่งจาก 19.001 KHz เป็น 1 KHz คือหาร 19 นั่นเองเพื่อที่จะนำสัญญาณนี้ไปเปรียบเทียบความถี่ และเฟสกับสัญญาณที่นำมาเปรียบเทียบด้วย การทำงานของ MC4046

ส่วน VCO ผลิตความถี่ใกล้เคียงกับ 19 KHz โดยทำการปรับความต้านทานปรับได้ที่ต่อระหว่างขา 6 และขา 7 ของ IC ในที่นี้สัญญาณที่ผลิตจากเครื่องนับ ออกขา 11 ซึ่งมีความถี่เท่ากับขา 2 ซึ่งมีลักษณะเป็นพัลส์ มีมาตรความกว้าง pulse ในขา 20 ดังนั้นทางด้านขาเข้าพุทของ IC หาร 20 (ขา 14) จึงมีความถี่ใกล้เคียงกับ input signal (1 KHz) ทำให้ MC4046 ทำการเปรียบเทียบเฟส และความถี่ของสัญญาณทั้งสองจากเฟสคอมพาเรเตอร์ที่ใช้ได้เอาท์พุทที่เป็น error volyage เป็นระดับของสัญญาณ pulse เล็กๆ ไปผ่าน lowpass filter เพื่อกรองเอาเฉพาะส่วนของ dc ให้ไปควบคุม oscillator โดยถ้าหากแรงดัน dc ที่ได้มาจาก lowpass filter ยังอยู่ใน capture range ก็จะทำให้ VCO ผลิตความถี่คงเดิมคือ 19 KHz ต่อไปในสภาวะที่ VCO ผลิตความถี่ที่คงที่นี้เรียกว่า loop อยู่ในสภาวะที่เรียกว่า lock นั่นเอง แต่ถ้าหากแรงดันที่มาควบคุมไม่อยู่ใน capture range ก็จะหลุดออกจากการ lock ทำให้ VCO ผลิตความถี่ไม่คงที่จึงต้องทำการปรับใหม่เพื่อที่จะให้ความถี่กลับมา lock อีกครั้ง และเป็นเช่นนี้ตลอดไป

การใช้งาน IC # 40102 เป็นตัวหารความถี่

CD 40102 เป็น IC 8-stage presettable syncronous BCD down counter สามารถที่จะออกแบบหารเท่าใดก็ได้โดยโปรแกรมที่ขา P_1-P_8 ลักษณะของวงจรดังแสดงในรูป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.9 การหารความถี่โดยใช้ IC 40102

โดยที่เอาท์พุท P_1-P_4 เป็น LSB และ P_5-P_8 เป็น USB จากวงจรสามารถโปรแกรมให้ preset ที่ (n+1) เช่นต้องการหารความถี่จาก 19 KH_z เป็น 1 KH_z ดังนั้นในการออกแบบเราตั้งโปรแกรมการหารให้เท่ากับ

preset = n+1 = 19+1 =20

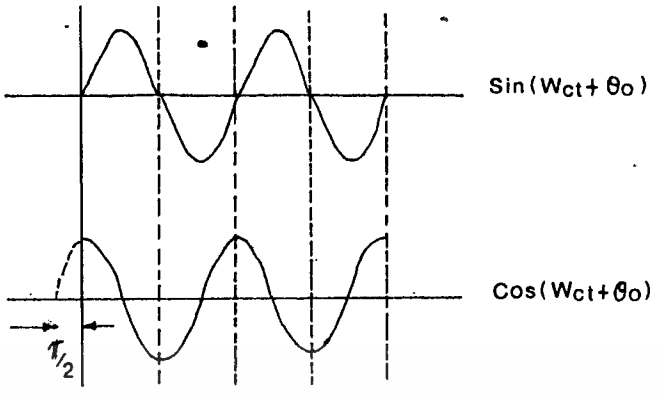
ดังนั้นในการประกอบวงจรเราจะให้ขา P_6 ต่อกับ VCC นอกจากขาที่โปรแกรมนี้แล้วจะต่อลงกราวด์หมดทุกขา ก็จะได้สัญญาณเอาท์พุทเป็นสัญญาณ digital ที่มีความถี่ 1 KH_z นำไป compare กับสัญญาณ input signal ต่อไป

<u>การออกแบบวงจร Shift Phase (0-90 อาศา)</u>

ความต้องการที่จะนำวงจร phase shift นี้ไปใช้ในโครงงานเนื่องจากทางด้านรับต้องการที่จะ detect สัญญาณที่ส่งมาเป็นแบบ differential phase shift keying (DPSK) ออกมาเป็นรูปแบบของข้อมูล (data) โดยอาศัยวงจรคูณทำงานร่วมกัน จากหลักการที่กล่าวมาแล้วในตอนต้น VCO ต้องการผลิตความถี่ออกมาทั้ง $\sin(wct+\theta_0)$ และผ่านวงจร shift phase ดังนั้นจะได้สัญญาณเป็น $\cos(wct+\theta_0)$ แล้วนำสัญญาณทั้งสองนี้ไปเข้าวงจรคูณจากทั้งสองแขนของ costas loop เพื่อ detect สัญญาณออกมา

การออกแบบก็คือ การทำให้สัญญาณที่เอาท์พุทมีเฟสนำหน้าสัญญาณอินพุท 90 องศา หรือ $\pi/2$ ดังแสดงตวมรูป

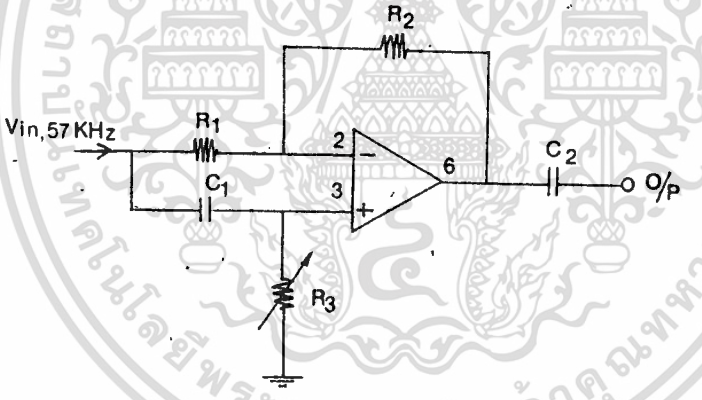
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.10 แสดงความต่างเฟสของ i/p และ o/p

วงจร phase shift แสดงดังรูป และเราจะได้ความสัมพันธ์ของสมการดังนี้

$$= 2\tan^{-1}[2\pi f R_3 C_1]$$



รูปที่ 3.11 แสดงวงจร phase shift ที่ออกแบบ

ในโครงงานนี้เราใช้

$R_1 = R_2 = 33\ K$

$C_1 = 0.1\ \mu F$

และเราสามารถหาค่า R_3 ได้จากสูตรก็จะได้ค่าออกมา และเลือกใช้ R_3 เป็นความต้านทานปรับค่าได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.2 การสร้างสัญญาณ BPSK

จากหลักการในบทที่ 2 เรานำมาสร้างเป็นวงจรรวมผลิตสัญญาณ BPSK ได้ทั้งภาคส่ง และภาครับโดยสามารถกล่าวถึงรายละเอียดแต่ละส่วนได้ดังนี้

3.2.1 วงจรผลิตความถี่ 57 KH_z (ใช้วงจรเดียวกับ 19 KH_z แต่เปลี่ยนการหารใหม่)

3.2.2 วงจรคูณความถี่ (ภาคส่ง)

3.2.3 วงจรคูณความถี่ (ภาครับ)

3.2.4 วงจร lowpass filter third-order

3.2.5 วงจร loop gain

3.2.6 วงจร loop filter

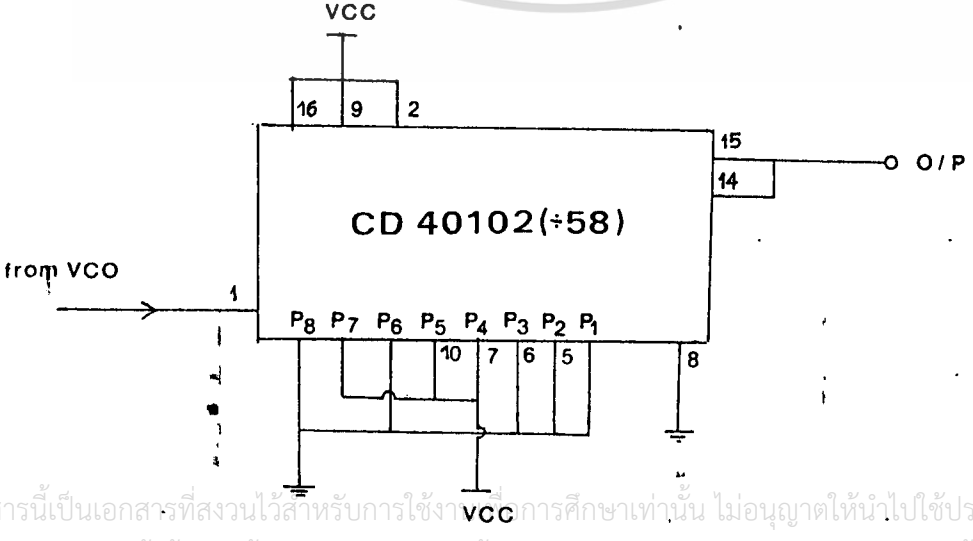
3.2.7 วงจรผลิตความถี่ควบคุมด้วยแรงดัน (VCO)

3.2.8 วงจร buffer

3.2.1 การออกแบบวงจรผลิตความถี่ 57 KHZ

การออกแบบวงจรผลิตความถี่ 57 KH_z ก็อาศัยหลักการของ PLL เช่นเดียวกับการผลิตความถี่ 19 KH_z ซึ่งมีส่วนประกอบทุกอย่างของวงจรเหมือนกันหมดเพียงแต่ในส่วนที่หารความถี่จาก VCO จะต้องโปรแกรม preset ใหม่เนื่องจากเราต้องการสัญญาณ carrier ที่เอาท์พุทเป็น 57 KH_z จึงจะต้องหารความถี่จาก 57 KH_z เป็น 1 KH_z เพื่อที่จะไป compare กับสัญญาณที่เป็น input signal โดยการออกแบบจะเป็นดังรูป

preset = n+1 = 57+1 = 58



รูปที่ 3.12 แสดงการตั้งให้ 40102 หาร 57

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ส่วนของวงจรอื่นๆ ก็อาศัยการปรับแต่งเช่น VCO ต้องปรับความต้านทานที่ต่อเข้าที่ขา 7 เพื่อปรับความถี่ให้ได้ใกล้เคียงกับ 57 KH_z ส่วนต่างๆ ของวงจรจะไม่ขอกล่าวถึงเนื่องจากได้อธิบายใน FM STEREO แล้วและการทำงานของวงจรผลิตความถี่ 57 KH_z ก็อาศัยหลักการทำงานเช่นเดียวกับวงจรผลิตความถี่ 19 KH_z เช่นเดียวกัน

3.2.2 <u>การออกแบบวงจรคูณ</u>

MC 1595 (MC1495) เป็น IC ที่ใช้ในการคูณสัญญาณซึ่งหลักการเดียวกับการทำงานของ MC 1595 ได้อธิบายไว้แล้วในหัวข้อต้นๆ ซึ่งผลของการวิเคราะห์เราจะได้ความแตกต่างของกระแสทางด้านเอาท์พุทของวงจรคูณเป็น

$$I_A - I_B = \Delta I = 2V_x V_y / R_x R_y I_3$$

ในการออกแบบเราจะต้องกำหนดส่วนประกอบภายนอกโดยการเลือกค่าที่ใช้ให้ดีที่สุดโดยมีพารามิเตอร์ต่างๆ เช่น

- linearity, output error, E_{Rx} or E_{Ry}

$$E_R = [V_E(max)/V_o(max)]*100 = [(100*10^{-3})/10]*100$$
$$= +/- 1.0 \%$$

เมื่อ $V_E(max)$ เป็น +/- 100 mV

และ full scale output เป็น 10 volts

- 3 db bandwidth and phase shift

ถ้า phase shift ในวงจรคูณจากทั้งสองอินพุทมีค่าเท่ากับ 0.6 องศา จะทำให้เอาท์พุทมี vector ที่คลาดเคลื่อน 1 % (E_R ประมาณ 1 %) ดังนั้นในการออกแบบควรจะให้ได้ตาม spec ดังนี้

- maximam output voltage

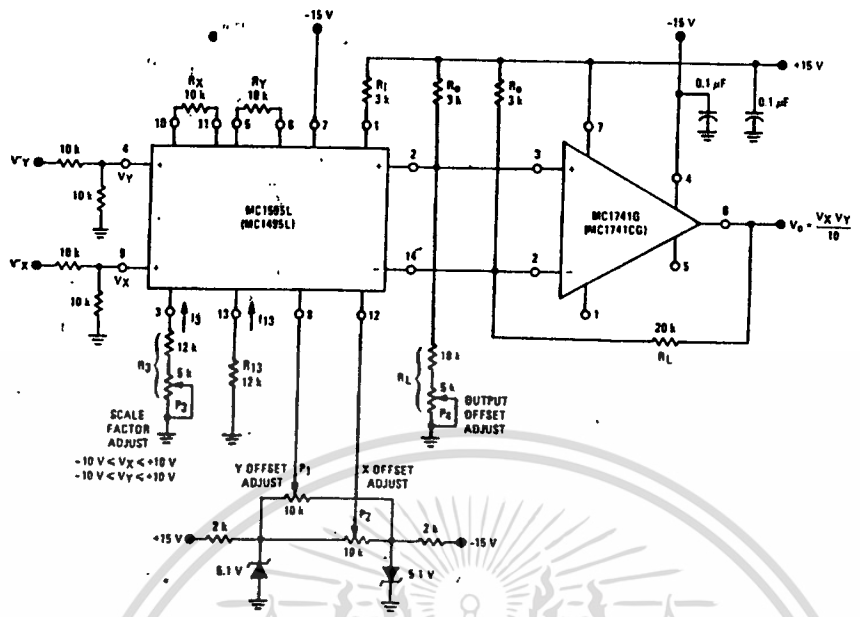
การออกแบบโดยทั่วๆ ไปของส่วนประกอบภายนอกแสดงให้เห็นดังนี้ ซึ่งค่าต่างๆ ได้นำมาใช้กับโครงงานนี้ สัญญาณอินพุทของวงจรคูณจะมีค่าจำกัดที่+/- 5.0 V ดังแสดงในรูป [$V_x(max), V_y(max)$] และ +/- 10 volts input [$V'_x = V'_y(max)$] ทำให้ scale factor เท่ากับ 1/10 ดังนั้นเราจะได้

$$V_o = (V'_x V'_y)/10 = (2V_x)(2V_y)/10 = (4/10)V_x V_y$$

เมื่อ K = 4/10 (สามารถกำหนดได้จาก divider network)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กำหนดให้กระแส $I_3 = I_{13} = 1$ mA



รูปที่ 3.13 multiplier with op-amp level shift

ค่าของกระแส I_3 และ I_{13} เป็นค่าที่เหมาะสมที่สุดในการออกแบบ จากนั้นสามารถที่จะคำนวณหาค่าความต้านทานที่ขา 3 และ ขา 13 จาก

$$R_{13} + 500 \text{ โอห์ม} = [|V^-| - 0.7 \text{ V}]/I_{13}$$

$$R_3 + 500 \text{ โอห์ม} = [|V^-| - 0.7 \text{ V}]/I_3$$

ใช้ $V^- = -15$ V

เมื่อ $R_{13} + 500 = 14.3$ V/1 mA หรือ $R_{13} = 13.8$ K

เลือกใช้ $R_{13} = 12$ K

เช่นเดียวกัน $R_3 = 13.8$ K แต่ในกรณีนี้ความต้องการที่จะออกแบบให้ได้ scale factor ที่แน่นอน ดังนั้นเราใช้ความต้านทานที่มีค่าคงที่ต่ออนุกรมกับ potentiometer เนื่องจากการคำนวณอาจไม่ตรงกับการทดลองจริงเท่าไรนัก

เลือกใช้ $R_3 = 12$ K + VR 5 K (scale factor adjust)

ต่อไปเลือกค่า R_x และ R_y จากเงื่อนไขเราสามารถหาค่าความต้านทาน R_x และ R_y จาก

$$V_x/R_x < I_{13} \quad , \quad V_y/R_y < I_3$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กำหนดให้ I_3R_y >หรือเท่ากับ $1.5\ V_y(max)$ และ $I_{13}R_x$ >หรือเท่ากับ $1.5\ V_x(max)$

เมื่อ $V_x(max) = V_y(max) = 5.0$ volts

ดังนั้น

I_3R_y >หรือเท่ากับ $1.5(5.0)$; I_3R_y >หรือเท่ากับ 7.5

$I_{13}R_x$ >หรือเท่ากับ $1.5(5.0)$; $I_{13}R_x$ >หรือเท่ากับ 7.5

ให้

$$I_3R_y = 10$$

$$I_{13}R_x = 10$$

เพราะฉะนั้น

$$R_x = 10/1\ mA = 10\ K$$

$$R_y = 10/1\ mA = 10\ K$$

ต่อไปเราจะหาค่า R_L โดยใช้ความสัมพันธ์ของ

$$K = (2R_L)/(R_xR_yI_3) = 4/10$$

หรือ

$$(2R_L)/(10K.10K.1mA) = 4/10$$

ดังนั้น $R_L = 20\ K$

จากหลักการคูณจะเห็นได้ว่าแรงดันทางด้านเอาท์พุทจะเป็นสัดส่วนกับสัญญาณอินพุททั้งสองโดยที่แรงดันที่ขา 1 จะมีค่าน้อยกว่า +7.0 V ใช้ $V_1 = 9$ Vdc และกระแสที่ไหลผ่านเข้าไปในขา 1 เท่ากับ $2I_3$ ดังนั้นเราสามารถคำนวณหาค่า R_1 ได้จาก

$$R_1 = (V^+ - V_1)/2I_3$$

ให้ $V^+ = +15$ V

ดังนั้น

$$R_1 = (15V-9V)/(2)(1mA)$$

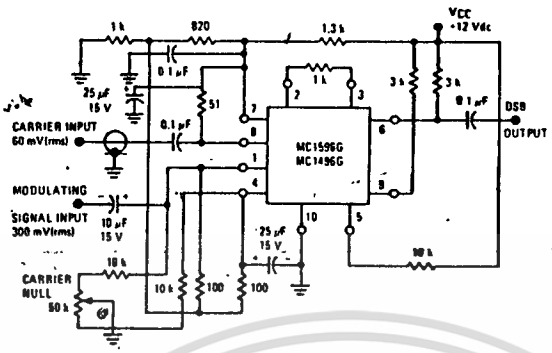
$$= 3\ K$$

จากวงจร level shifting ส่วนประกอบของวงจรพิจารณาจากรูปสามารถคำนวณหาได้ พิจารณาเมื่อ $V_x=V_y=0$ กระแส I_2 และ I_{14} จะเท่ากับ I_{13}

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

และจากค่าที่คำนวณจากข้างบน R_L=20 K V_2 และ V_{14} ที่หาได้จะประมาณ 11 V จากข้อมูลดังกล่าวนี้เราสามารถคำนวณ R_o จากสมการ

$$(V_2/R_L)+I_{13} = (V^+-V_2)/R_o$$



รูปที่ 3.14 level shift circuit

และ

$$(11V/20K)+1mA = (15V-11V)/R_o$$

ดังนั้น R_o = 2.6 K

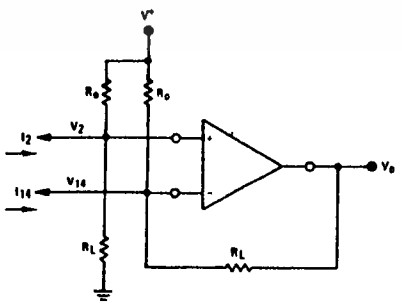
เลือกใช้ R_o = 3.0 K

เมื่อใช้ค่า R_o = 3.0 K ดังนั้น voltage ที่ขา 2 และ ขา 14 จะเปลี่ยนไปเป็น

$$V_2 = V_{14} = 10.4\ V$$

3.2.3 <u>การออกแบบวงจรคูณ</u>

MC1596/MC1496 เป็น IC ชนิด CMOS ที่สามารถใช้เป็นวงจรต่างๆ ได้หลายวงจรอาทิเช่น amplitude modulation, ssb-sc, fm detection, phase detection เป็นต้น แต่ในโครงงานี้เราจะนำ MC1496 มาทำเป็นว่งจร balance modulation ในภาครับซึ่งมีโครงสร้างของวงจรดังรูปเป็นวงจรมาตราฐานในการทดสอบ



รูปที่ 3.15 แสดงวงจรคูณด้วย 1496

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

signal gain (singled-end) ที่ความถี่ต่ำอธิบายได้คือ voltage gain

$$A_{vs} = V_o/V_s = R_L/(R_e+2r_e)$$

เมื่อ

$$r_e = 26mV/I_E(mA)$$

การคำนวณหาค่าสัญญาณอินพุทที่จุดวิกฤตกระทำได้โดย

$$V_s = I_E R_E \text{ (volts peak)}$$

แต่สำหรับโครงงานนี้ V_s จะมีค่าสูงสุดไม่เกิน 1 volts peak จึงสามารถที่จะทำให้วงจรมีเสถียรภาพดี การออกแบบจะวิเคราะห์ตามสมการที่ต้องการการทำงานของวงจรพร้อมกับ input voltage ของเงื่อนไขที่ผ่านมาการทำงานของกระแสที่นำไป bias ให้วงจรคูณสามารถที่จะ set โดย

$$I_5 = I_6 = I_9$$

$I_B << I_C$ สำหรับ transistor ทั้งหมด

เมื่อ

$$R_5 = (V^+ - \phi)/I_5 - 500 \text{ โอห์ม}$$

เมื่อ

R_5 คือความต้านทานที่ต่อคร่อมระหว่างขา 5 กับ V^+

ϕ : 0.75 volts ที่ T_A = +25 องศาเซลเซียส

MC1596 มีคุณสมบัติโดนกำหนดเงื่อนไขให้ I_5 = 1.0 mA และเป็นค่าที่ดีโดยทั่วๆ ไปของวงจรที่ใช้ในการทดสอบระดับแรงดัน dc จะ set โดยส่วนประกอบภายนอก โดยมีเงื่อนไขที่ใช้ในการออกแบบ 3 กรณี

30vdc >หรือเท่ากับ $[(V_6,V_9)-(V_7,V_8)]$ >หรือเท่ากับ 2vdc

30vdc >หรือเท่ากับ $[(V_7,V_8)-(V_1,V_4)]$ >หรือเท่ากับ 2.7vdc

30vdc >หรือเท่ากับ $[(V_1,V_4)-(V_6)]$ >หรือเท่ากับ 2.7vdc

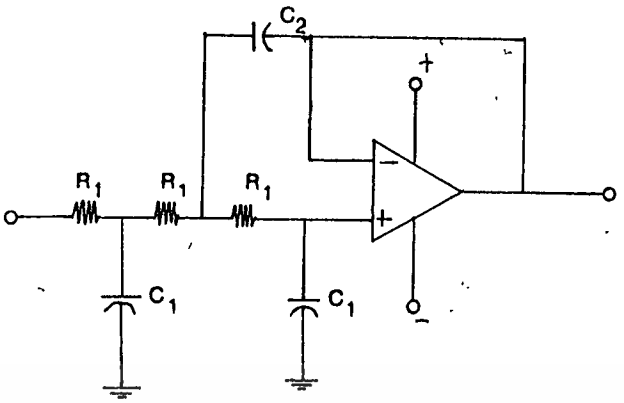
ซึ่งกล่าวมาแล้วคือพื้นฐานที่กำหนดให้

$$V_6 = V_9 \text{ , } V_7 = V_8 \text{ , } V_1 = V_4$$

กระแสที่ไป bias ที่ขา 1,4,7 และ8 กระแส bias โดยทั่วไปจะเป็นเท่าไหร่ก็ได้ในการออกแบบให้มีค่า 1.0 mA หรือมากกว่า

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.2.3 การออกแบบวงจร lowpass filter third-order



รูปที่ 3.16 แสดงวงจร LPF order3

กำหนดความถี่คัทออฟ 1.2 KH_z จากตารางในทฤษฎี third-order filter กำหนดให้ R_1=39K และวงจรเป็นอันดับ 3 passband ripple 0.1db จะได้ K_m=39*10^3

จาก $K_f = 2\pi f_c = 2\pi*1.2*10^3$

จาก $C_{new} = [1/(K_m.K_f)]*C_{old}$

$C_1 = 0.096911/(39*10^3*2\pi*1.2*10^3)$

$= 330$ PF

$C_2 = 4.7921/(39*10^3*2\pi*1.2*10^3)$

$= 16.30$ nF ใช้ 0.015 μ F

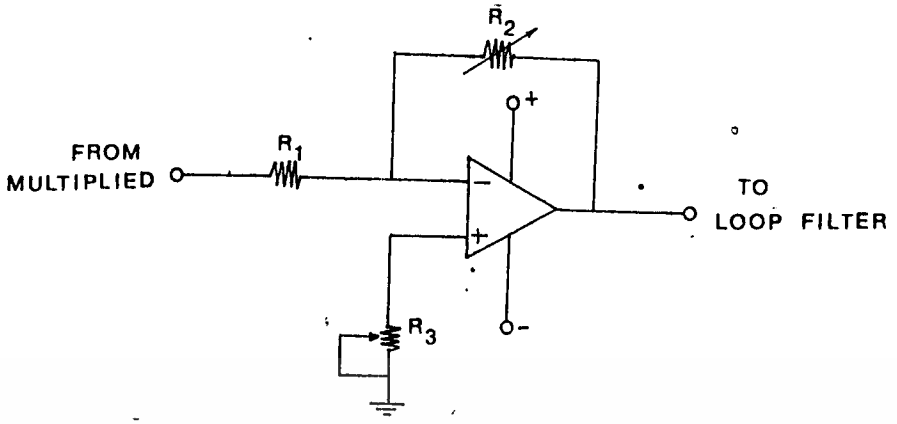
$C_3 = 1.3145/(39*10^3*2\pi*1.2*10^3)$

$= 4.47$ nF ใช้ 0.0047 μ F

จากวงจรได้ผลการทำงานมีลักษณะเกือบเป็นรูปลักษณะของข้อมูลอินพุทที่ส่งมาในแขนหนึ่ง ส่วนอีกแขนหนึ่งมีรูปร่างของคลื่นเป็นตามทฤษฎี

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.2.5 <u>การออกแบบวงจร loop gain</u>



จากวงจรเป็นวงจร inverting amplifier ธรรมดาซึ่งเราออกแบบให้สามารถปรับเกณฑ์การขยายได้ โดยการปรับเกณฑ์ที่ R_2 และปรับระดับแรงดันอ้างอิง(กระแส)ได้ที่ R_3 โดยที่อัตราการขยายของวงจรจะมีค่าเป็น $-R_2/R_1$ ในการปรับควรปรับควรปรับให้มีค่า dc voltage อยู่ในระดับกึ่งกลางทั้งด้านบวกหรือลบ เพราะไม่เช่นนั้นจะทำให้ค่า dc voltage มีค่ามากเกินไปเมื่อป้อนกับ loop filter จะทำให้ loop filter cutoff ได้

3.2.6 <u>การออกแบบวงจร loop filter</u>

เมื่อสัญญาณ carrier เป็น 57 KH_z ในบทนี้เรากำให้ข้อมูลที่ส่งทั้งหมด 1200 bit/sec ในการส่ง data 1 bit ใช้เวลา

$$1/1200 = 8.3333333*10^{-4} \text{ sec}$$

ใน 10 bit ใช้เวลา $= 8.3333333*10^{-3}$ sec

และสัญญาณ carrier 1 รูปคลื่นนั้นใช้เวลาเป็น

$(1/57*10^3) = 1.754385965*10^{-5}$ sec

ดังนั้นใน 10 bit ใช้เวลา $8.3333333*10^{-3}$ sec

จะมี carrier $(8.3333333*10^{-3})/(1.754385965*10^{-5})$ sec

$= 475$ ลูกคลื่น

ในขั้นนี้เราเลือกค่า แฟกเตอร์ (แฟกเตอร์) มีค่าเป็น 0.8 ซึ่งจะได้ค่า W $= 4.5$ ซึ่งจากแฟกเตอร์นี้เพื่อแก้ปัญหาความถี่ที่เปลี่ยนไป จากนั้นเราสามารถหาเวลาที่ใช้ใน loop ได้เป็น

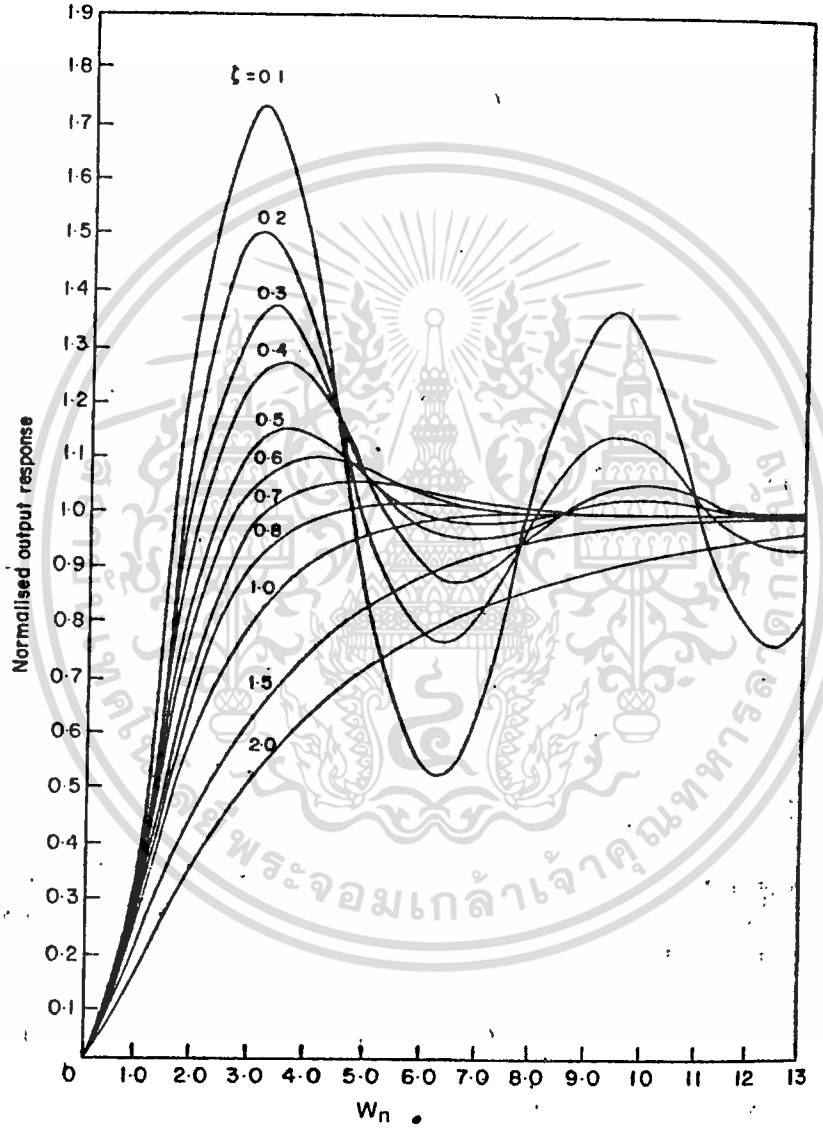
$(1/57*10^3)*475 = 8.3333333*10^{-3} = 8.33$ ms

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หาค่า W_n = 4.5/t

= 4.5/(8.33*10^{-3})

= 540 rad หรือ f_n = 85.94 ประมาณ 86 H_z



รูปที่ 3.18 กราฟผลตอบสนองต่อความถี่ของ PLL

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โดยในที่นี้ VCO gain มีค่าเป็น K_o = 6280 rad/sec.volt

ดังนั้น

$$K_d = (A^2.K_m)/4 = (0.1)^2.(K_m/4)$$

$$= 0.0025 \quad K_m$$

โดยที่ K_m เป็น multiplier gain และจากสมการของ PLL

$$\delta = W_n(\tau/2)$$

หรือ

$$\tau = 2\delta/W_n$$

และ δ = 0.8 และ W_{nL} = 4.5 จะได้ว่า

$$\tau_2 = 2(0.8)/540$$

$$= 0.002963 \quad sec$$

เราเลือกใช้ค่า C = 1μ F ดังนั้น

$$R_2 = 0.002963/10^{-6} = 2963 \quad \text{โอห์ม}$$

$\tau_1 = (K_o.K_d)/W_n^2$ และ $K_d = 0.0025\ K_m$

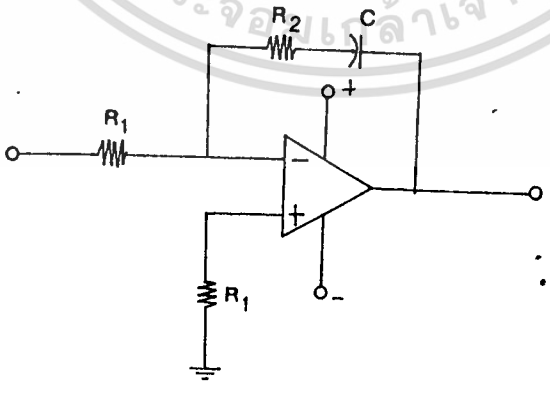
ใช้ K_m = 50 จะได้

$$\tau_1 = (6280)(0.125)/(540)^2$$

$$= 0.002692 \quad sec$$

$$R_1 = 0.002692/10^{-6}$$

$$= 2692 \quad \text{โอห์ม}$$

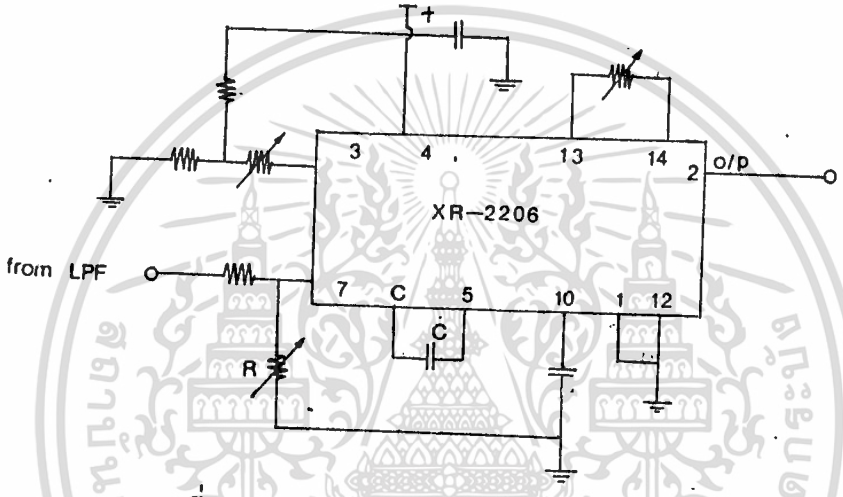


รูปที่ 3.19 แสดงวงจร loop filter

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.2.7 การออกแบบวงจรผลิตความถี่ควบคุมด้วยแรงดัน (VCO)

XR-2206 เป็น IC ที่มีคุณสมบัติพิเศษคือสามารถผลิตความถี่ได้สูงถึง 1 MH_z โดยสามารถกำหนดได้จากส่วนประกอบภายนอก ทั้งนี้ความถี่ที่ผลิตออกมาทางด้านเอาท์พุทจะถูกควบคุมด้วยแรงดันทางด้านอินพุท อันเนื่องมาจากการเปลี่ยนแปลงของกระแสที่ไหลทางอินพุท I_T (ขา 7 หรือขา 8) XR-2206 สามารถผลิตสัญญาณได้ทั้ง sine,rectangular,triangle โดยสามารถปรับความต้านทานที่ต่อคร่อมระหว่างขา 13 และ14 และสามารถปรับความถี่ได้จาก timming-terminal(ที่ขา 7 หรือ8) ควบคู่กับ capacitor ที่ต่อคร่อมระหว่างขา 5 และ6



รูปที่ 3.20 แสดงวงจร VCO

ในการออกแบบเราจะต้องพิจารณาแรงดันทางด้านอินพุทที่จะทำให้อยู่ในช่วงที่ VCO สามารถผลิตความถี่ที่คงที่ได้คือ อยู่ในช่วง capture range ความถี่ในการ oscillate สามารถคำนวณได้จากสมการ

$$f_o = 1/RC$$

เมื่อ

R : timming rasistance ที่ขา7 หรือ8

C : timming capacitance ที่ต่อระหว่างขา5 และ6

สำหรับโครงงานนี้ต้องการความถี่ 19 KH_z

กำหนดให้ capacitor = 0.01 μ F

ดังนั้น

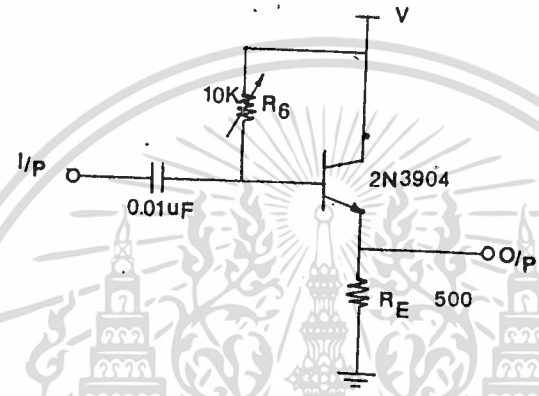
$$R = 1/f_o = 5.263\ K$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เลือกใช้ค่าความต้านทานปรับค่าได้ 10 K ส่วนค่าอื่นๆ เลือกใช้เอาตามความเหมาะสม

3.2.8 การออกแบบวงจร buffer

เป็นการออกแบบเพื่อกันชนในระหว่างภาคต่อภาคเพื่อที่จะทำให้เสถียรภาพของการทำงานดีขึ้นคือ ความต้านทานทางด้านอินพุทของแต่ละวงจรจะมีความต้านทานต่ำ ดังนั้นจึงต้องการใช้กระแสไบอัสเป็นจำนวนมากถ้าหากไม่ต่อ buffer ลงไปจะทำให้เอาท์พุทของวงจรภาคต่างๆ อาจมีการผิดเพี้ยนของรูปสัญญาณได้



รูปที่ 3.21 แสดงวงจร buffer

จากวงจรข้างบนเราสามารถปรับแอมปลิจูดของสัญญาณเอาท์พุทได้ที่ความต้านทานคร่อมระหว่าง base และ emitter ของ transistor 2N3094

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 4

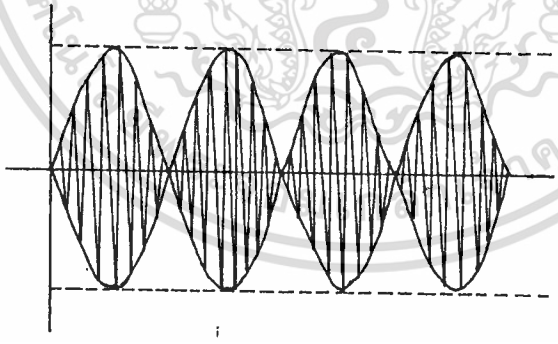
ผลการทดลอง

4.1 วงจรผลิตสัญญาณ FM STEREO MULTIPLEX

4.1.1 วงจรผลิตความถี่ 19 KHZ สามารถผลิตความถี่ได้ทั้งนี้เรา สามารถปรับค่าความต้านทานปรับค่าได้ที่ต่ออยู่ระหว่างขา7 และกราวด์โดยเป็นการปรับความถี่ f_o(free running) ให้เข้าใกล้ 19 KH_z และสามารถปรับละเอียดได้โดยความต้านทานปรับค่าได้ที่ต่ออยู่ระหว่างอินพุท และขา7 เพื่อเป็นการปรับกระแสให้จ่ายเข้า VCO มากหรือน้อยตามต้องการ และ PLL จะ lock ที่ความถี่ 19 KH_z มีค่าผิดพลาด +/- 1 H_z เท่านั้นซึ่งถือได้ว่าวงจรมีประสิทธิภาพดีเยี่ยม

4.1.2 วงจรคูณความถี่ เมื่อเรานำความถี่ 19 KH_z ป้อนเข้าวงจรคูณความถี่เราสามารถปรับค่าความต้านทานต่างๆ ที่แสดงรายละเอียดในวงจรการทำงานในบทที่ 3 และวัดรูปร่างเปรียบเทียบกันระหว่างอินพุท และเอาท์พุท ปรับให้ความถี่เอาท์พุทมีค่าเป็น 2 เท่าของความถี่อินพุทและมีแอมปลิจูดเสมอกันทุกรูปคลื่น

4.1.3 วงจร balance modulator ในการนำเอาสัญญาณ L-R และ carrier ย่อย 38 KH_z มา mod เข้าด้วยกันโดยใช้วงจรคูณนั้นเราสามารถปรับอัตราการ mod ได้โดยปรับให้เป็นลักษณะของ balance mod subcarrier โดยอาจจะให้ L,R มีเพียงสัญญาณด้านใดด้านหนึ่งจะทำให้การปรับง่ายขึ้น พิจารณาดังรูปที่ 4.1



รูปที่ 4.1 แสดง balance modulator output

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

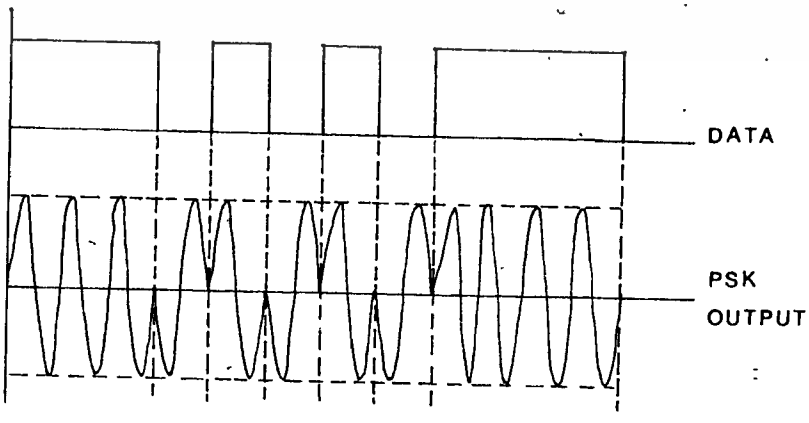
4.1.4 วงจร L+R และ L-R เป็นวงจร op-amp ชนิด summing และ differential amplifier ตามลำดับ เราสามารถปรับแต่งโดยให้สัญญาณ L,R มีสัญญาณเพียงด้านใดด้านหนึ่งแล้วสังเกตุดูว่า o/p จากวงจรทั้งสองมีสัญญาณชุดนั้นๆ ออกมาหรือไม่ ในที่นี้สัญญาณเอาท์พุทออกมาจะมีค่าความถี่เท่ากับอินพุท แต่แอมปลิจูดจะมีค่าต่ำกว่าเล็กน้อย

4.1.5 วงจรรวม (summing amplifier) ในการปรับอินพุททั้ง 3 จาก L+R, L-R subcarrier และ pilot tone 19 KH_z ที่เหมาะสมแล้ว จากนั้นลองใช้วงจร detect fm stereo ทดลอง detect ดูจะได้ผลออกมาเป็นสัญญาณ L,R ตามอินพุท L,R นี้เข้าโดยในการทดลองเราให้สัญญาณ L,R อันใดอันหนึ่งมีความถี่มาก ส่วนอีกสัญญาณมีความถี่ต่ำกว่า จะทำให้การพิจารณาผลการ detect เป็นไปได้ง่ายขึ้น

4.2 วงจร PSK modulator

4.2.1 วงจรผลิตความถี่ 57 KHZ จากการปรับ f_o และ VCO gain แล้วสามารถผลิตความถี่ 57 KH_z ได้โดยสามารถปรับ shape และ amplitude ได้โดยวัดเอาท์พุทแล้วปรับให้ได้รูป sine ที่ต้องการโดยพิจารณาดูให้แอมปลิจูดมีค่าสูงสุด เพื่อเวลานำไปเข้าวงจรคูณกับ data input จะได้ขยายให้น้อยลง

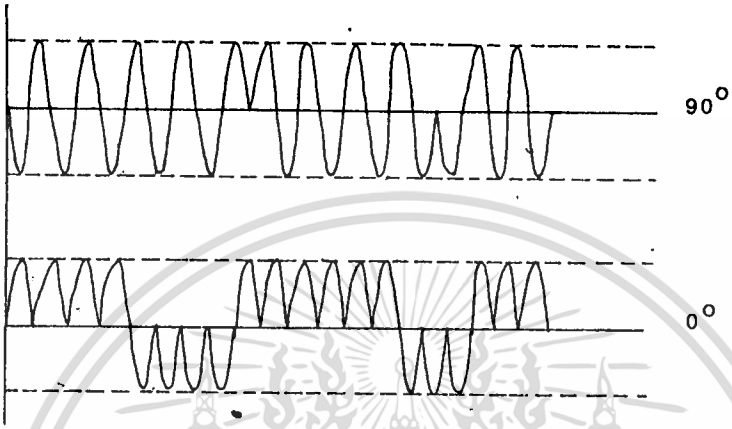
4.2.2 วงจรคูณความถี่ ในวงจรคูณความถี่โดยที่อินพุททั้งสองเป็น data จาก pseudo code ดังจะกล่าวในภาคผนวกต่อไปกับสัญญาณ carrier 57 KH_z เมื่อวัดเอาท์พุทโดยให้ channal 1 ของ scape จับที่ data และ channal 2 จับที่ PSK output จากวงจรคูณ และต้องปรับ scape ให้พอเหมาะจึงจะพิจารณาเห็นการต่างเฟสของสัญญาณ PSK ว่าเป็นไปตามทฤษฎีคือมีค่ามุมการเปลี่ยนเฟสที่ 0 และ 180 องศา



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

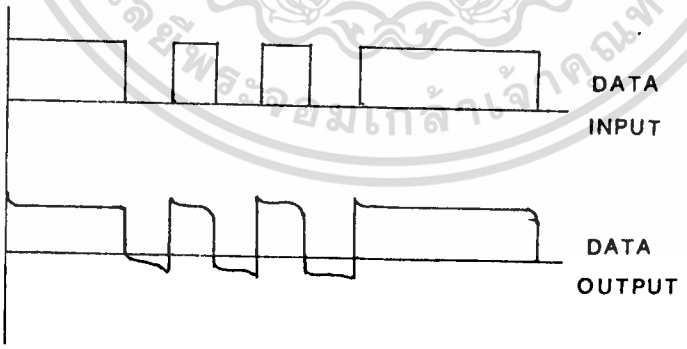
4.3 วงจร PSK demodulator (costas loop)

4.3.1 ผลการทดลองจากวงจรคูณความถี่ระหว่าง PSK อินพุทกับ carrier ที่ VCO ผลิตออกมาจะได้เป็นสองลักษณะคือ วงจรแรกจะเป็นการคูณกันระหว่างสัญญาณ PSK กับสัญญาณ carrier ที่มีมุม 0 องศา และอีกวงจรหนึ่งจะเป็นการคูณกันมีมุม 90 องศา [illegible] ดังรูปที่ 4.2



รูปที่ 4.2 แสดงเอาท์พุทของวงจรคูณ

4.3.2 เมื่อสัญญาณที่ได้จากการคูณผ่านฟิลเตอร์แบบ third order filter แล้วที่มุม 0 องศาจะเป็นลักษณะของ data input ที่ส่งและในกรณีที่กล่าวมานี้ต้องหมายความว่า VCO สามารถผลิตความถี่ได้ 57 KH_z แล้วมีเฟส syncronize กับ PSK อินพุทนั่นคือ สภาวะการล็อคนั่นเอง



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.3.3 ในการปรับค่า VCO นั้นก่อนอื่นควรถอดอินพุททั้งสองที่เข้าวงจร phase detector ในที่นี้วงจร phase detector เราใช้วงจรคูณ (multiplied) จากนั้นจึงทำการปรับ loop gain ให้มีค่า dc ที่วัดได้ที่ขา 6 ของ op-amp ให้มีค่าระดับอยู่ที่กึ่งกลางจากระดับสูงสุดและต่ำสุด ลองพิจารณาโดยการวัด o/p ที่ loop gain filter ว่า dc output ที่ได้จะมีค่าเปลี่ยนแปลงขึ้นอยู่กับค่า loop gain ที่ปรับด้วย จากนั้นปรับ f_o ของ VCO ให้ได้ค่าใกล้เคียง 57 KH_z แล้วนำไปเข้าวงจร phase shift 90 องศา โดยปรับ R ปรับค่าได้ให้มีค่าใกล้เคียง 90 องศา จากนั้นนำสัญญาณ carrier ที่มีเฟส 0 และ 90 องศา ไปเข้าวงจรคูณกับสัญญาณ PSK อินพุทที่มา จากนั้นจึงนำเอาอินพุททั้งสองเข้าวงจร phase detector แล้วทำการปรับค่า VCO gain ให้ VCO ล็อคที่ความถี่ 57 KH_z โดยใช้ frequency counter วัดดูที่ขาเอาท์พุทของ VCO

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 5

สรุปผลการทดลอง

1. วงจร FM SEREO MULTIPLEX

ในการสร้างชุดสร้างสัญญาณ FM STEREO ขึ้นนี้เหมาะที่จะนำไปใช้ในการทดลอง และใช้สำหรับการส่งข้อมูลร่วมกันไปกับสัญญาณ FM STEREO นี้ จากการทดลองพบว่ามีปัญหาบ้างในเรื่องอัตราของส่วนรวมต่างๆ เช่นการรวมสัญญาณ L+R, L-R subcarrier และ pilot tone เข้าด้วยกันเราต้องปรับอัตราส่วนให้เหมาะสมตามหฤษฎีที่กำหนด และในการทดลองรับควรใช้วงจร detect ทดลองว่าสามารถแยกสัญญาณ L และ R ได้หรือไม่

2. วงจร PSK modulator และ PSK demodulator

โครงงานนี้ได้ทดลองการสร้างสัญญาณ BPSK ขึ้นเพื่อที่จะพัฒนาส่งรวมไปกับ FM STEREO ต่อไป ในการสร้างและทดลองประสบความสำเร็จดีพอสมควร ในการถอดรหัส BPSK นั้นใช้ costas loop ที่มีระบบ PLL เป็นการทำงานเพื่อที่จะสร้างสัญญาณ carrier ให้ได้ 57 KH_z และ syncronize กับ carrier input ที่เข้ามา อย่างไรก็ตามจะมีปัญหาบ้างเล็กน้อยก็ตรงการออกแบบ loop filter เพราะเป็นตัวกำหนด capture range ของ VCO และสัญญาณ data ที่ได้จะมีรูปร่างผิดเพี้ยนไปบ้างขึ้นกับการออกแบบวงจร lowpass filter ที่ต่อจากการคูณกันระหว่าง PSK และ carrier ที่ได้จาก VCO

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หนังสืออ้างอิง

1. บรรเจิด ตันติกัลยาภรณ์, เครื่องส่ง3, กรุงเทพฯ, 2533
2. อ.นรินทร์ เนาวประทีป, ออป แอมป์, กรุงเทพฯ, 2532
3. ประสิทธิ์ ประพินมงคลการ, หลักการระบบสื่อสาร, ซีเอ็ดยูเคชั่น จำกัด, กรุงเทพฯ, 2533
4. นิกร สุขุตมตันติ, การออกแบบวงจรอิเลคทรอนิคส์, กรุงเทพ, 2533
5. Harold B. Killen, Telecommunications and Data Communication System Design With Troubleshooting, Prentice-Hall, New Jersey 1986
6. Jack Smith, Modern Communication Circuits, MC Graw-Hill, Singapore, 1986
7. George B. Clayton, Linear IC Applications Handbook, Macmillan Press LTD, London, 1975

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

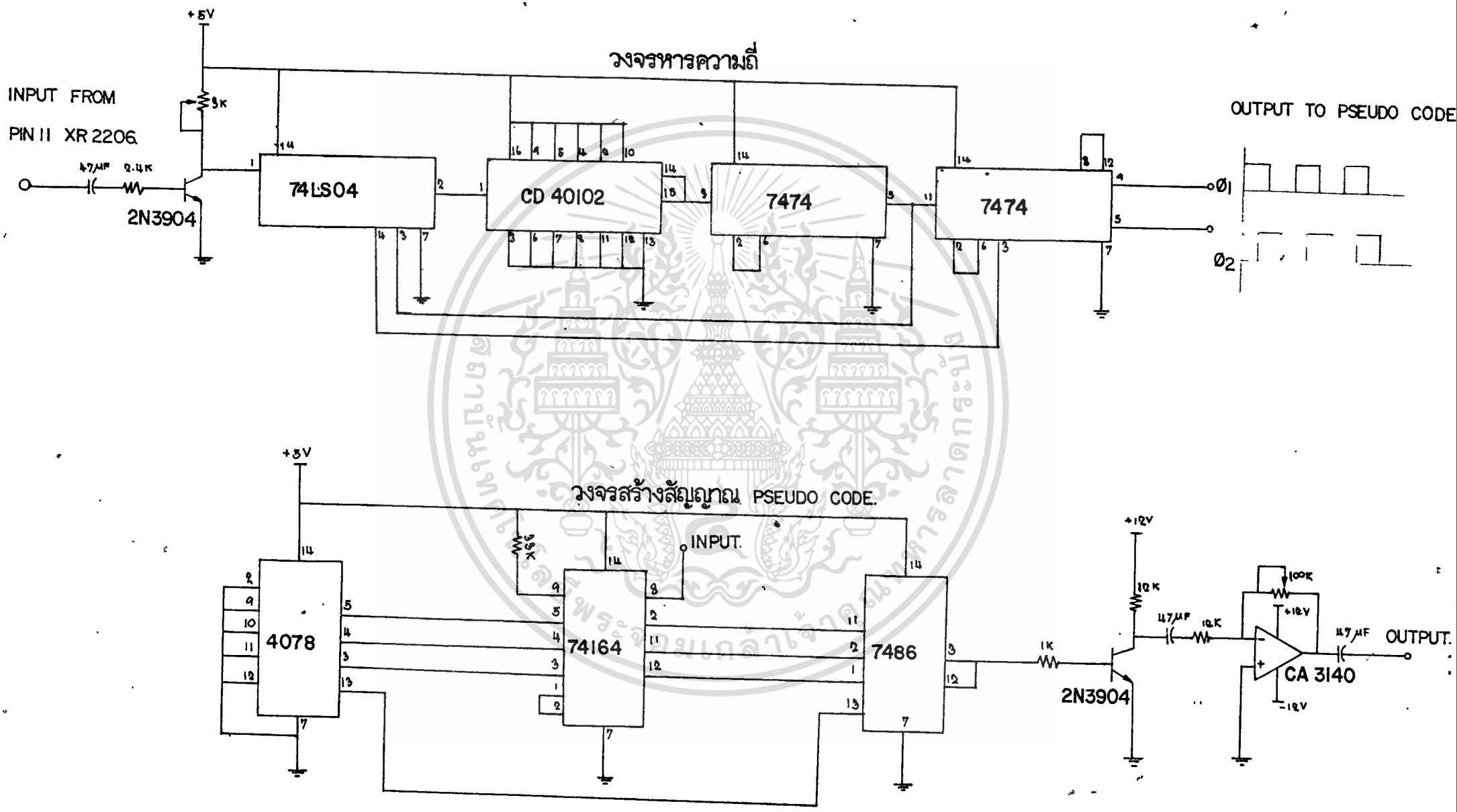
กิตติกรรมประเทศ

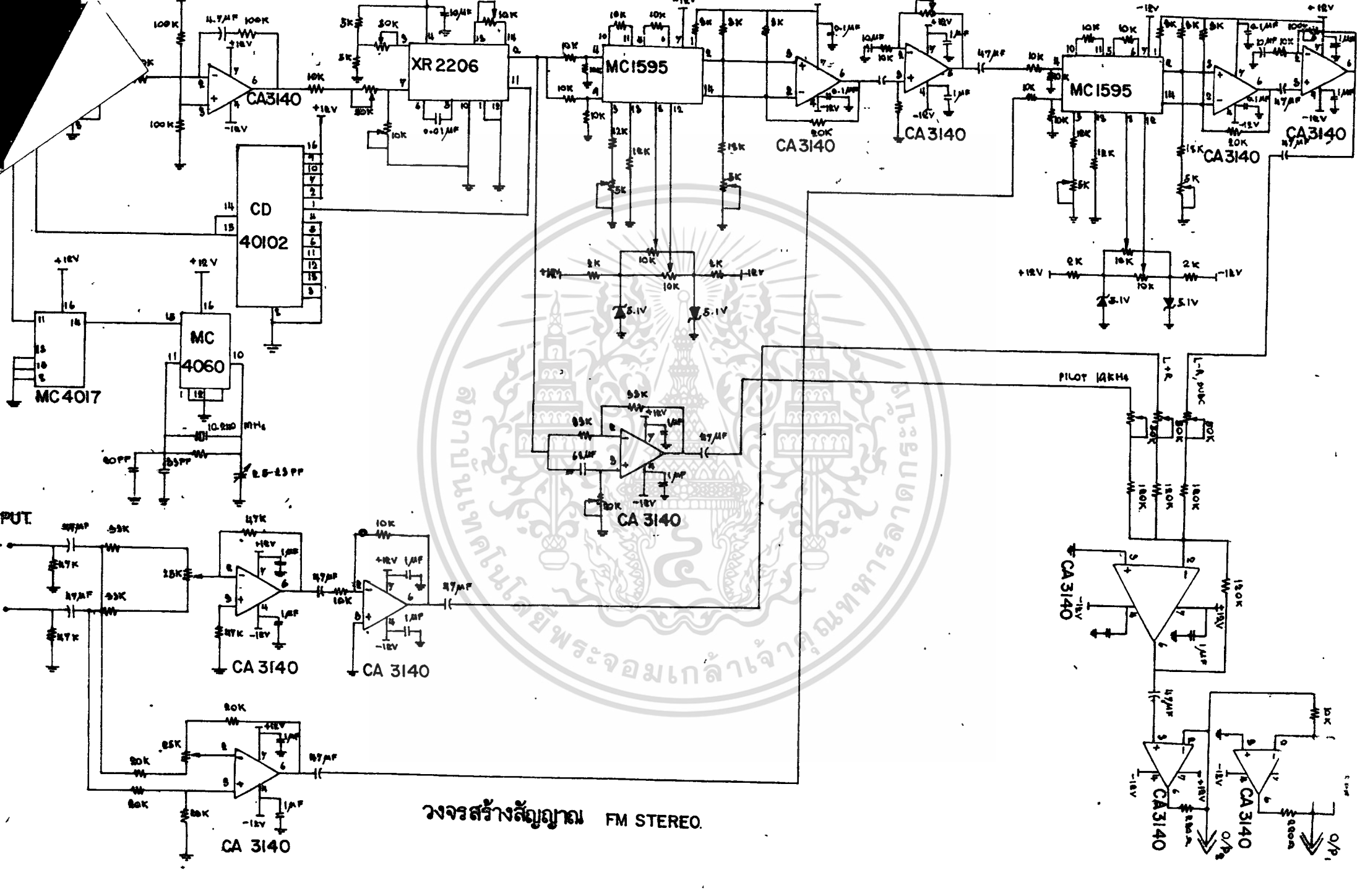
การทำปริญญานิพนธ์เรื่อง การส่งข้อมูลแบบ PSK ในระบบ FM (Phase-Shift Keying on FM System) นี้ คณะผู้จัดทำขอขอบพระคุณ อาจารย์ กฤดากร กล่อมการ ในฐานะอาจารย์ที่ปรึกษาที่ช่วยให้คำแนะนำชี้แนะวิธีการหลักการสร้างตลอดจนแนวทางแก้ไข ทั้งยังเป็นที่ปรึกษาทางด้านทฤษฎีของระบบทั้งหมดนี้ด้วย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

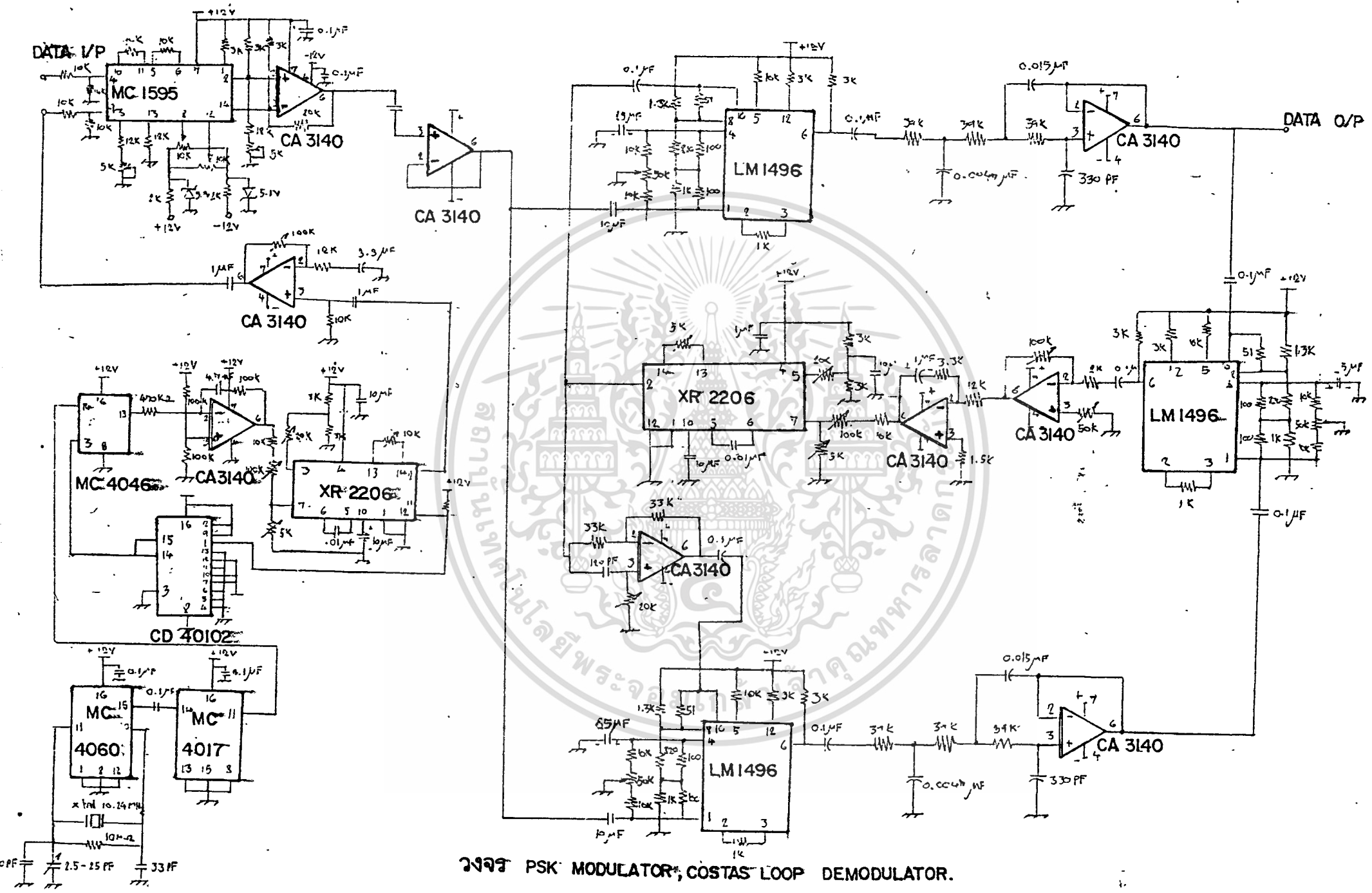
ภาคผนวก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้


วงจรหารความถี่
+5V
INPUT FROM
PIN 11 XR 2206
9K
47/MF
2.4K
2N3904
74LS04
CD 40102
7474
7474
OUTPUT TO PSEUDO CODE
Ø1
Ø2
วงจรสร้างสัญญาณ PSEUDO CODE.
+5V
INPUT.
33K
4078
74164
7486
+12V
10K
47/MF
1K
2N3904
100K
+12V
CA 3140
-12V
47/MF
OUTPUT.



วงจรสร้างสัญญาณ FM STEREO.



รูป PSK MODULATOR, COSTAS LOOP DEMODULATOR.

LM1800

National Semiconductor Corporation

LM1800 Phase-Locked Loop FM Stereo Demodulator

General Description

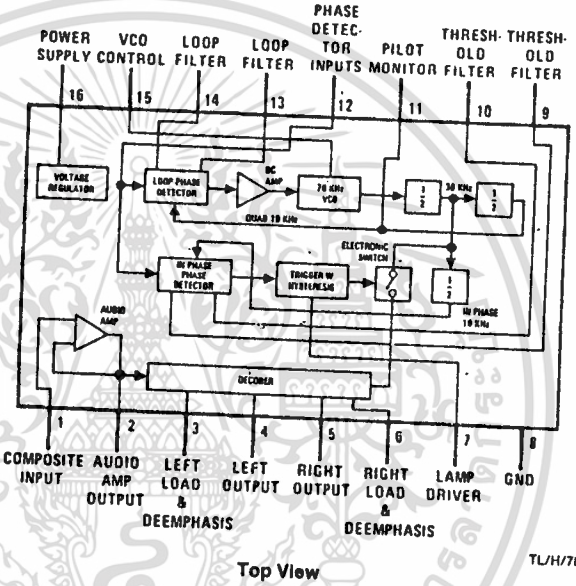
The LM1800 is a second generation integrated FM stereo demodulator using phase locked loop techniques to regenerate the 38 kHz subcarrier. The numerous features integrated on the die make possible a system delivering high fidelity sound while still meeting the cost requirements of inexpensive stereo receivers. More information available in AN-81.

Features

- Automatic stereo/monaural switching
- 45 dB power supply rejection
- No coils, all tuning performed with single potentiometer
- Wide operating supply voltage range
- Excellent channel separation
- Emitter follower output buffers

Connection Diagram

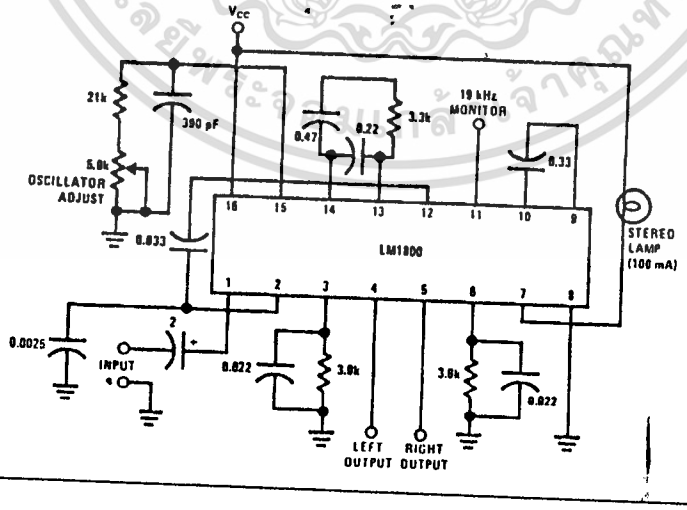
Order Number LM1800N
See NS Package Number N16A



Top View

TL/H/7888-1

Typical Application



TL/H/7888-2

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Absolute Maximum Ratings

If Military/Aerospace specified devices are required, contact the National Semiconductor Sales Office/ Distributors for availability and specifications.

Supply Voltage	18V	Operating Temperature Range	0°C to +70°C
Power Dissipation (Note 3)	1500 mW	Operating Supply Voltage Range	+10V to +18V
		Storage Temperature Range	−65°C to +150°C
		Lead Temperature (Soldering, 10 sec)	260°C

Electrical Characteristics (Note 1)

Parameter	Conditions	Min	Typ	Max	Units
Supply Current	Lamp "Off"		21	30	mA
Lamp Driver Saturation	100 mA Lamp Current		1.3	1.8	V
Lamp Driver Leakage			1.0		nA
Pilot Level for Lamp "ON"	Pin 11 Adjusted to 19.00 kHz		15	20	mVrms
Pilot Level for Lamp "OFF"	Pin 11 Adjusted to 19.00 kHz	3.0	7.0		mVrms
Stereo Lamp Hysteresis		3.0	6.0		dB
Stereo Channel Separation	100 Hz (Note 2)	30	40		dB
	1000 Hz (Note 2)		45		dB
	10000 Hz (Note 2)		45		dB
Monaural Channel Unbalance	200 mVrms, 1000 Hz Input		0.3	1.5	dB
Monaural Voltage Gain	200 mVrms, 400 Hz Input	140	200	260	mVrms
Total Harmonic Distortion	500 mVrms, 1000 Hz Input		0.4	1.0	%
Total Harmonic Distortion	500 mVrms, 1000 Hz Input, 1800A Only		0.1	0.3	%
Capture Range	25 mVrms of Pilot	±2.0		±6.0	% of f_o
Supply Ripple Rejection	200 mVrms of 200 Hz Ripple	35	45		dB
Dynamic Input Resistance		20	45		kΩ
Dynamic Output Resistance		900	1300	2000	Ω
SCA Rejection	(Note 4)		70		dB
Ultrasonic Freq. Rejection	Combined 19 and 38 kHz, Ref. to Output		33		dB

Note 1: T_A = 25°C and V+ = 12V unless otherwise stated.

Note 2: The stereo input signal is made by summing 123 mVrms LEFT or RIGHT modulated signal with 25 mVrms of 19 kHz pilot tone, measuring all voltages with an average responding meter calibrated in rms. The resulting waveform is about 800 mVp-p.

Note 3: For operation in ambient temperatures above 25°C, the device must be derated based on a 150°C maximum junction temperature and a thermal resistance of 90°C/W junction to ambient.

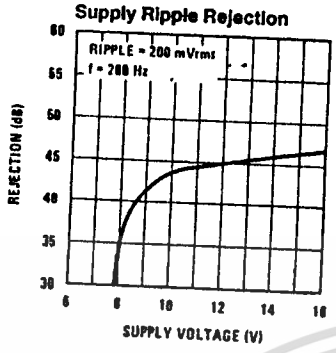
Note 4: Measured with a stereo composite signal consistency of 80% stereo, 10% pilot and 10% SCA as defined in the FCC Rules on Broadcasting.

Note 5: VCO "OFF" curve represents the distortion attainable using good 19 kHz and 38 kHz filters.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

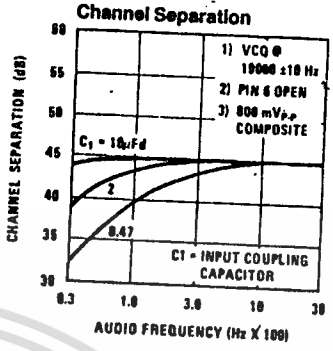
Typical Performance Characteristics

Supply Ripple Rejection



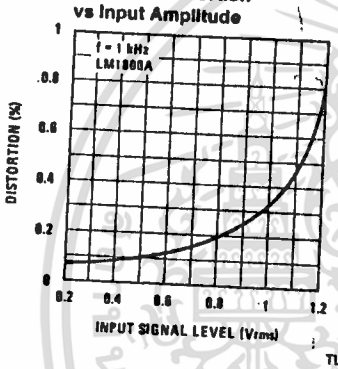
TL/H/7888–3

Channel Separation



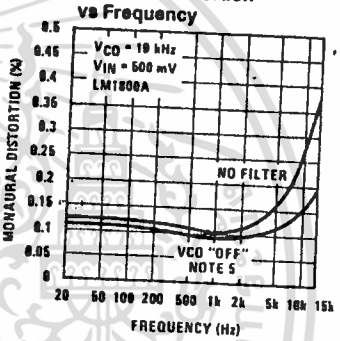
TL/H/7888–4

Monaural Distortion vs Input Amplitude



TL/H/7888–5

Monaural Distortion vs Frequency



TL/H/7888–6

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

SCL4046B
SCL4446B

CMOS PHASE-LOCKED LOOPS

FEATURES

- Very low power consumption — 70 μW (typ) @ f_o = 10kHz, 5Vdc
- Operating frequency range (no offset) — Up to 3MHz (typ) @ 10Vdc (SCL4046B) Up to 4MHz (typ) @ 10Vdc (SCL4446B)
- Low frequency drift — 0.04%/°C (typ) @ 10Vdc
- Choice of two phase comparators:
  1. Exclusive-OR network
  2. Edge-controlled memory network with phase-pulse output for lock indication
- VCO inhibit control for ON-OFF keying and ultra-low standby power consumption
- High VCO linearity 1% (typ)
- Source-follower output of VCO control input (Demodulator Output)
- Zener Diode to assist Supply Regulation
- Balanced Output Drive Current Specifications

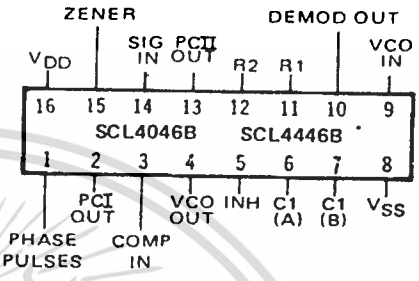
APPLICATIONS

- FM demodulator and modulator
- Frequency synthesis and multiplication
- Frequency discriminator
- Data synchronization
- Voltage-to-frequency conversion
- Tone decoding
- FSK-Modems
- Signal conditioning

DESCRIPTION

The SCL4046B and SCL4446B phase-locked loops contain two phase comparators, a voltage-controlled oscillator (VCO), source follower, and zener diode. The comparators have two common inputs. The Signal input can be used directly coupled to large voltage signals, or indirectly coupled (with a series capacitor) to small voltage signals. The self-bias circuit adjusts small voltage signals in the linear region of the amplifier. Phase comparator I (an exclusive-OR gate) provides a digital error signal PCI_{out}, and maintains 90° phase shift at the center frequency between Signal and Comparator inputs (both at 50% duty cycle). Phase comparator II (with leading edge sensing logic) provides digital error signals $PCII_{out}$ and Phase Pulses, and maintains a 0° phase shift between input signals (duty cycle is immaterial). The linear VCO produces an output signal VCO_{out} whose frequency is determined by the voltage of input VCO_{in} and the capacitor and resistors connected to pins $C1_A$, $C1_B$, R1, and R2. The source follower output, Demod Out, with an external resistor is used where the VCO_{in} signal is needed but no loading can be tolerated. The inhibit input Inh, when high, disables the VCO and source follower to minimize standby power consumption. The zener diode can be used to assist in power supply regulation.

CONNECTION DIAGRAM
(all packages)



Add suffix for package:

C	16-pin Cerdip
D	16-pin Ceramic
E	16-pin Epoxy
F	16-pin Flat
H	Chip

RECOMMENDED OPERATING CONDITIONS

For maximum reliability:

DC Supply Voltage	$V_{DD} - V_{SS}$	3 to 15	Vdc
Operating Temperature	T_A		
C, D, F, H Device		-55 to +125	°C
E Device		-40 to +85	°C

BLOCK DIAGRAM

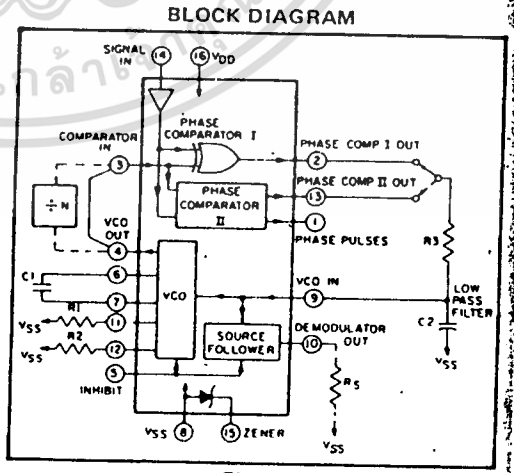


Fig. 1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

VCO SECTION

The VCO requires one external capacitor (C1) and one to two external resistors (R1 or R1 and R2). Resistor R1 and capacitor C1 determine the frequency range of the VCO and resistor R2 enables the VCO to have a frequency offset if required. The high input impedance ($10^{12}\Omega$) of the VCO simplifies the design of low-pass filters by permitting the designer a wide choice of resistor-to-capacitor ratios. In order not to load the low-pass filter, a source-follower output of the VCO input voltage is provided at terminal 10 (DEMODULATOR OUTPUT). If this terminal is used, a load resistor (R_S) of 50kΩ or more should be connected from this terminal to V_{SS}. If unused, this terminal should be left open. The VCO can be connected directly or through frequency dividers to the comparator input of the phase comparators. A full CMOS logic swing is available at the output of the VCO. A logic 0 on the INHIBIT input "enables" the VCO and the source follower, while a logic 1 "turns off" both to minimize stand-by power consumption.

PHASE COMPARATORS

The phase-comparator signal input (terminal 14) can be direct-coupled provided the signal swing is within CMOS logic levels [logic "0" $\leqslant$ 30% (V_{DD}-V_{SS}), logic "1" $\geqslant$ 70% (V_{DD}-V_{SS})]. For smaller swings the signal must be capacitively coupled to the self-biasing amplifier at the signal input.

Phase comparator I is an exclusive-OR network; it operates analogously to an over-driven balanced mixer. To maximize the lock range, the signal and comparator-input frequencies must have a 50% duty cycle. With no signal or noise on the signal input, this phase comparator has an average output voltage equal to $V_{DD}/2$. The low-pass filter connected to the output of phase comparator I supplies the averaged voltage to the VCO input, and causes the VCO to oscillate at the center frequency (f_o).

The frequency range of input signals on which the PLL will lock, if it was initially out of lock, is defined as the frequency capture range ($2f_c$).

The frequency range of input signals on which the loop will stay locked if it was initially in lock is defined as the frequency lock range ($2f_L$). The capture range can not exceed the lock range.

With phase comparator I, the range of frequencies over which the PLL can acquire lock (capture range) is dependent on the low-pass-filter characteristics, and can be made as large as the lock range. Phase-comparator I enables a PLL system to remain in lock in spite of high amounts of noise in the input signal.

One characteristic of this type of phase comparator is that it may lock onto input frequencies that are close to harmonics of the VCO center-frequency. A second characteristic is that the phase angle between the signal and the comparator input varies between 0° and 180°, and is 90° at the center frequency. Figure 2 shows the (typical) triangular phase-to-output response characteristic of phase-comparator I. Typical waveforms for a CMOS phase-locked-loop employing phase comparator I in locked condition is shown in Figure 3.

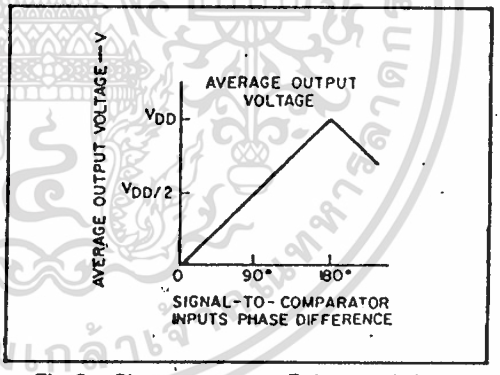


Fig. 2 — Phase-comparator I characteristics at low-pass filter output.

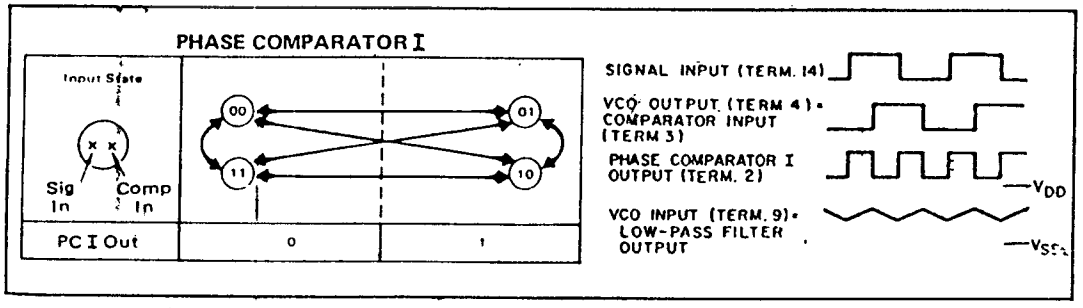


Fig. 3 — Typical waveforms employing phase comparator I in locked condition

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

VCO SECTION

The VCO requires one external capacitor (C1) and one to two external resistors (R1 or R1 and R2). Resistor R1 and capacitor C1 determine the frequency range of the VCO and resistor R2 enables the VCO to have a frequency offset if required. The high input impedance ($10^{12}\Omega$) of the VCO simplifies the design of low-pass filters by permitting the designer a wide choice of resistor-to-capacitor ratios. In order not to load the low-pass filter, a source-follower output of the VCO input voltage is provided at terminal 10 (DEMODULATOR OUTPUT). If this terminal is used, a load resistor (R_S) of 50kΩ or more should be connected from this terminal to V_{SS}. If unused, this terminal should be left open. The VCO can be connected directly or through frequency dividers to the comparator input of the phase comparators. A full CMOS logic swing is available at the output of the VCO. A logic 0 on the INHIBIT input "enables" the VCO and the source follower, while a logic 1 "turns off" both to minimize stand-by power consumption.

PHASE COMPARATORS

The phase-comparator signal input (terminal 14) can be direct-coupled provided the signal swing is within CMOS logic levels [logic "0" $\leqslant$ 30% (V_{DD}-V_{SS}), logic "1" $\geqslant$ 70% (V_{DD}-V_{SS})]. For smaller swings the signal must be capacitively coupled to the self-biasing amplifier at the signal input.

Phase comparator I is an exclusive-OR network; it operates analogously to an over-driven balanced mixer. To maximize the lock range, the signal and comparator-input frequencies must have a 50% duty cycle. With no signal or noise on the signal input, this phase comparator has an average output voltage equal to $V_{DD}/2$. The low-pass filter connected to the output of phase comparator I supplies the averaged voltage to the VCO input, and causes the VCO to oscillate at the center frequency (f_o).

The frequency range of input signals on which the PLL will lock, if it was initially out of lock, is defined as the frequency capture range ($2f_c$).

The frequency range of input signals on which the loop will stay locked if it was initially in lock is defined as the frequency lock range ($2f_L$). The capture range can not exceed the lock range.

With phase comparator I, the range of frequencies over which the PLL can acquire lock (capture range) is dependent on the low-pass-filter characteristics, and can be made as large as the lock range. Phase-comparator I enables a PLL system to remain in lock in spite of high amounts of noise in the input signal.

One characteristic of this type of phase comparator is that it may lock onto input frequencies that are close to harmonics of the VCO center-frequency. A second characteristic is that the phase angle between the signal and the comparator input varies between 0° and 180°, and is 90° at the center frequency. Figure 2 shows the (typical) triangular phase-to-output response characteristic of phase-comparator I. Typical waveforms for a CMOS phase-locked-loop employing phase comparator I in locked condition is shown in Figure 3.

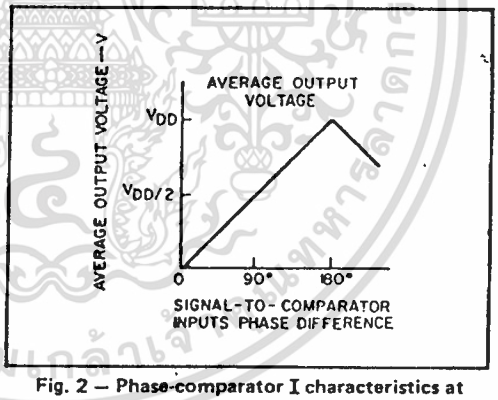


Fig. 2 — Phase-comparator I characteristics at low-pass filter output.

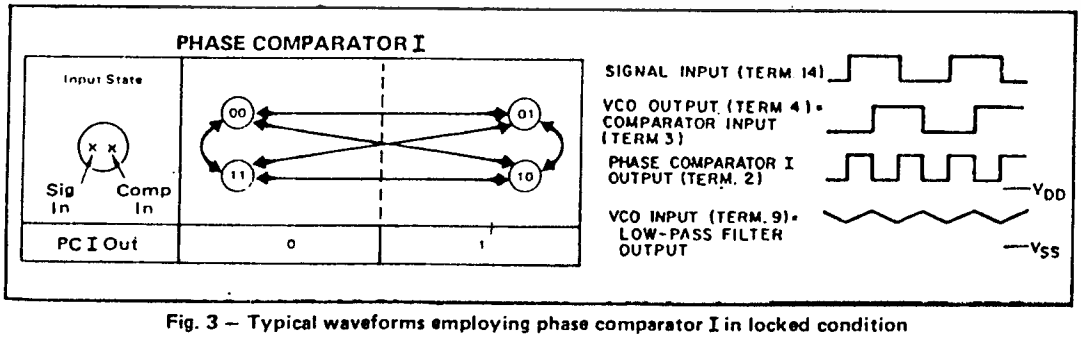


Fig. 3 — Typical waveforms employing phase comparator I in locked condition

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

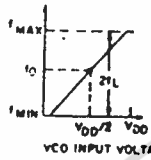
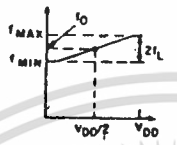
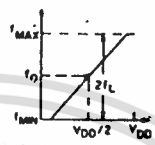
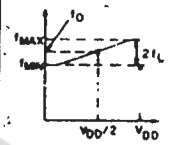
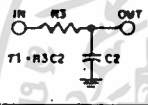
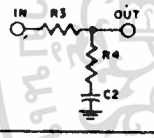
DESIGN INFORMATION

This information is a guide for approximating the values of external components for the SCL4046B and SCL4446B in a Phase-Locked Loop system. The selected external components must be within the following ranges:

$R1, R2 \geq 2k\Omega, R_S \geq 10k\Omega$

$C1 \geq 15pF$

In addition to the given design information refer to Figure 5 for R1, R2, and C1 component selections.

CHARACTERISTICS	USING PHASE COMPARATOR I		USING PHASE COMPARATOR II	
	VCO WITHOUT OFFSET $R_2 = \infty$	VCO WITH OFFSET	VCO WITHOUT OFFSET $R_2 = \infty$	VCO WITH OFFSET
VCO Frequency				
For No Signal Input	VCO in PLL system will adjust to center frequency, f_0		VCO in PLL system will adjust to lowest operating frequency, f_{min}	
Frequency Lock Range, $2f_L$	$2f_L$ = full VCO frequency range $2f_L = f_{max} - f_{min}$			
Frequency Capture Range, $2f_C$	 $2f_C \approx \frac{1}{\pi}\sqrt{\frac{2\pi f_L}{T1}}$		$f_C = f_L$	
Loop Filter Component Selection	 For $2f_C$, see Ref.			
Phase Angle between Signal and Comparator	90° at center frequency (f_0), approximating 0° and 180° at ends of lock range ($2f_L$)		Always 0° in lock	
Locks on Harmonics of Center Frequency	Yes		No	
Signal Input Noise Rejection	High		Low	
VCO Component Selection	– Given: f_0 – Use f_0 with Fig.5a to determine R1 and C1	– Given: f_0 and f_L – Calculate f_{min} from the equation $f_{min} = f_0 - f_L$ – Use f_{min} with Fig. 5b to determine R2 and C1 – Calculate $\frac{f_{max}}{f_{min}}$ from the equation $\frac{f_{max}}{f_{min}} = \frac{f_0 + f_L}{f_0 - f_L}$ – Use $\frac{f_{max}}{f_{min}}$ with Fig.5c to determine ratio R2/R1 to obtain R1	– Given: f_{max} – Calculate f_0 from the equation $f_0 = \frac{f_{max}}{2}$ – Use f_0 with Fig.5a to determine R1 and C1	– Given: f_{min} & f_{max} – Use f_{min} with Fig.5b to determine R2 and C1 – Calculate $\frac{f_{max}}{f_{min}}$ – Use $\frac{f_{max}}{f_{min}}$ with Fig.5c to determine ratio R2/R1 to obtain R1

REF. G. S. Moschytz, "Miniaturized RC Filters Using Phase-Locked Loop", BSTJ, May, 1968.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

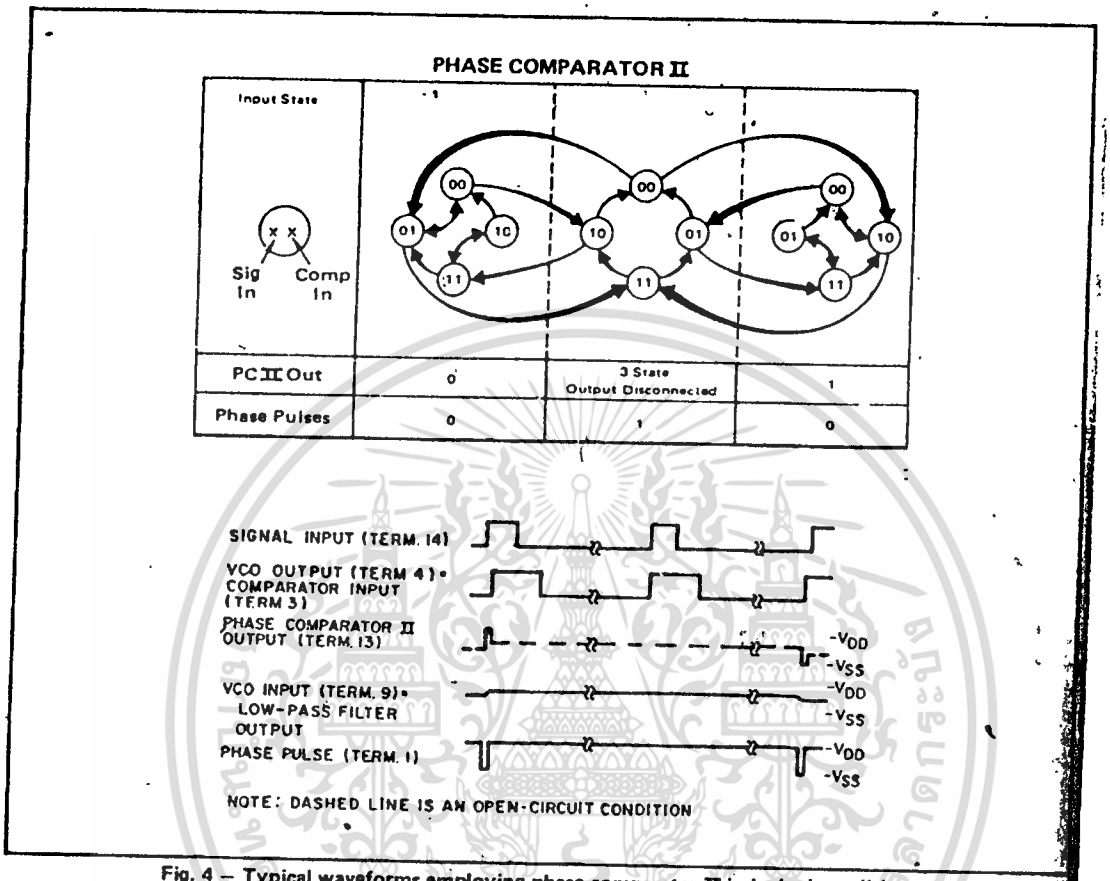


Fig. 4 – Typical waveforms employing phase comparator II in locked condition.

Phase-comparator II is an edge-controlled digital memory network. It consists of several flip-flop stages, control gating, and a three state output circuit comprising p- and n-type drivers having a common output node. When the p-MOS or n-MOS drivers are ON, they pull the output up to V_{DD} or down to V_{SS}, respectively. This type of phase comparator acts only on the positive edges of the signal and comparator inputs. The duty cycles of the signal and comparator inputs are not important since positive transitions control the PLL system utilizing this type of comparator. If the signal lags the comparator input in phase, the n-type output driver is maintained ON for a time corresponding to the phase difference. If the comparator input lags the signal in phase, the p-type output driver is maintained ON for a time corresponding to the phase difference. Subsequently, the capacitor voltage of the low-pass filter connected to this phase comparator is adjusted until the signal and comparator inputs are equal in both phase and frequency. At this stable point, both p- and n-type output drivers remain OFF. Thus, the phase comparator output becomes an open circuit and holds the voltage on the capacitor of the low-pass filter constant. Moreover, the signal at the "phase pulses" output is a high level which can be used for indicating a locked condition. Thus, for phase comparator II, no phase difference exists between signal and comparator input over the full VCO frequency range. Moreover, the power dissipation due to the low-pass filter is reduced when this type of phase comparator is used because both the p- and n-type output drivers are OFF for most of the signal input cycle.

It should be noted that the PLL lock range for this type of phase comparator is equal to the capture range, independent of the low-pass filter. With no signal present at the signal input, the VCO is adjusted to its lowest frequency for phase comparator II. Figure 4 shows typical waveforms for a CMOS PLL employing phase comparator II in a locked condition.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ELECTRICAL CHARACTERISTICS [1, 3]

PARAMETER		V_{DD} (Vdc)	CONDITIONS	T_{LOW} [2] Min.	T_{LOW} [2] Max.	+25°C Min.	+25°C Typ.	+25°C Max.	T_{HIGH} [2] Min.	T_{HIGH} [2] Max.	Units
QUIESCENT DEVICE CURRENT	I_{DD}	5	Inhibit = V_{DD}	–	5		0.05	5	-	150	μAdc
		10	Signal Input =	–	10	–	0.01	10	–	300	
		15	V_{DD}	–	20	–	0.2	20	–	600	
TOTAL POWERDISSIPATION	P_1	5	Inh = V_{SS}, $VCO_{IN} = \frac{V_{DD}}{2}$, f_o = 10kHz, C_L = 15pF, R1 = 1MΩ, R2 = R_S = ∞	–	–	–	0.07	–	–	–	mW
		10		–		–	0.6	–	–		
		15		–	–	–	2.4	–	–	–	

NOTES: [1] Remaining Static Electrical Characteristics are listed under "SCL4000B Series Family Specifications".
[2] T_{LOW} = -55°C for C, D, F, H device.
= -40°C for E device.
T_{HIGH} = +125°C for C, D, F, H device.
= + 85°C for E device.
[3] VCO output (pin 4) and Phase Comparator Outputs (pins 2 and 13) have been designed for balanced output drive current specifications. Consult Family Specifications.

PARAMETER		CONDITIONS		V_{DD}	25°C Min.	25°C Typ.	25°C Max.	UNIT
VCO SECTION								
MAXIMUM OPERATING FREQUENCY SCL4046B	f_{max}	R2 = ∞, VCO_{IN} = V_{DD}	R1 C1					
			10k 50pF	5	0.5	0.8	–	MHz
				10	1.0	1.5	–	
				15	1.3	1.9	–	
			5k 50pF	5	0.6	1.0	–	MHz
				10	1.4	2.1	–	
				15	1.8	2.7	–	
			2k 50pF	5	–	1.3	–	MHz
				10	–	2.9	–	
				15	–	3.8	–	
SCL4446B		R2 = ∞, VCO_{IN} = V_{DD}	R1 C1					
			10k 50pF	5	0.7	1.0	–	MHz
				10	1.3	2.0	–	
				15	1.9	2.8	–	
			5k 50pF	5	0.9	1.3	–	MHz
				10	1.9	2.9	–	
				15	2.6	3.9	–	
			2k 50pF	5	–	1.8	–	MHz
				10	–	3.9	–	
				15	–	5.4	–	
LINEARITY		R2 = ∞, VCO_{IN} = 2.5±0.3V, R1 ≥ 10kΩ		5	–	1	–	%
		VCO_{IN} = 5.0±2.5V, R1 ≥ 400kΩ		10	–	1	–	
		VCO_{IN} = 7.5±5.0V, R1 ≥ 1MΩ		15	–	1	–	

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ELECTRICAL CHARACTERISTICS (Continued)

PARAMETER		CONDITIONS	V_{DD}	+25°C			UNIT
				Min.	Typ.	Max.	
VCO SECTION (Continued)							
TEMPERATURE-FREQUENCY STABILITY							
No Offset		R2 = ∞	5	–	0.12-0.24	–	%/°C
			10	–	0.04-0.08	–	
			15	–	0.015-0.03	–	
With Offset		R2< 10X R1	5	–	0.06-0.12	–	%/°C
			10	–	0.05-0.1	–	
			15	–	0.03-0.06	–	
INPUT RESISTANCE (VCO_{IN})	R_{IN}		5, 10, 15	–	10^6	–	MΩ
OUTPUT DUTY CYCLE		All valid input combinations and voltages		–	50	–	%
OUTPUT TRANSITION TIME	t_{TLH}, t_{THL}	C_L = 50pF	5	–	100	200	ns
			10	–	50	100	
			15	–	40	80	
PHASE COMPARATORS							
INPUT RESISTANCE							
Signal Input	R_{IN}		5	1	3	–	MΩ
			10	0.2	0.7	–	
			15	0.1	0.3	–	
Comparator Input	R_{IN}		5, 10, 15	–	10^6	–	MΩ
AC-COUPLED INPUT SENSITIVITY	V_{IN}						
Signal Input			5	–	200	400	mV
			10	–	400	800	
			15	–	700	1400	
OUTPUT TRANSITION TIME							
PCI, PCII Outputs	t_{TLH}, t_{THL}	C_L = 50pF	5	–	100	200	ns
			10	–	50	100	
			15	–	40	80	
Phase Pulses Output	t_{TLH}, t_{THL}		5	–	130	260	ns
			10	–	65	130	
			15	–	50	100	
DEMODULATOR OUTPUT							
OFFSET VOLTAGE	VCO_{IN} = V_{DEM}	R_S>50kΩ	5	–	1.4	2.2	Vdc
			10	–	1.6	2.2	
			15	–	1.8	2.2	
LINEARITY		R_S>50kΩ					
		VCO_{IN} = 2.5±0.3V	5	–	0.1	–	%
		VCO_{IN} = 5.0±2.5V	10	–	0.6	–	
		VCO_{IN} = 7.5±5.0V	15	–	0.8	–	
ZENER-DIODE							
ZENER VOLTAGE	V_Z	I_Z = 50μA	–	6.3	7.0	7.7	V
DYNAMIC RESISTANCE	R_Z	I_Z = 1mA	–	–	100	–	Ω

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

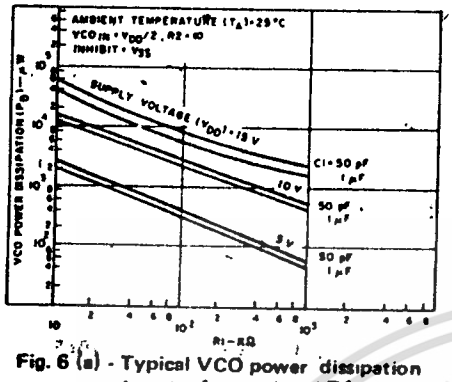


Fig. 6 (a) - Typical VCO power dissipation at center frequency vs R1.

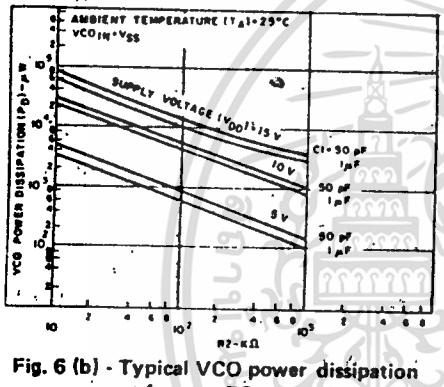


Fig. 6 (b) - Typical VCO power dissipation at f_{min} vs R2.

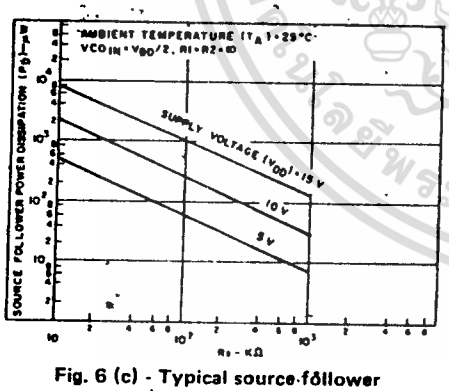


Fig. 6 (c) - Typical source-follower power dissipation vs R_S.

NOTE: To obtain approximate total power dissipation of PLL system for no-signal input

P_D (Total) = P_D (f_o) + P_D (f_{MIN}) + P_D (R_S)
— Phase Comparator I

P_D (Total) = P_D (f_{MIN})
— Phase Comparator II

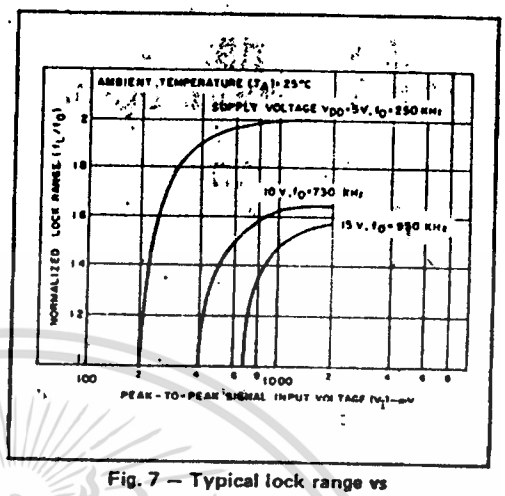


Fig. 7 — Typical lock range vs signal input amplitude

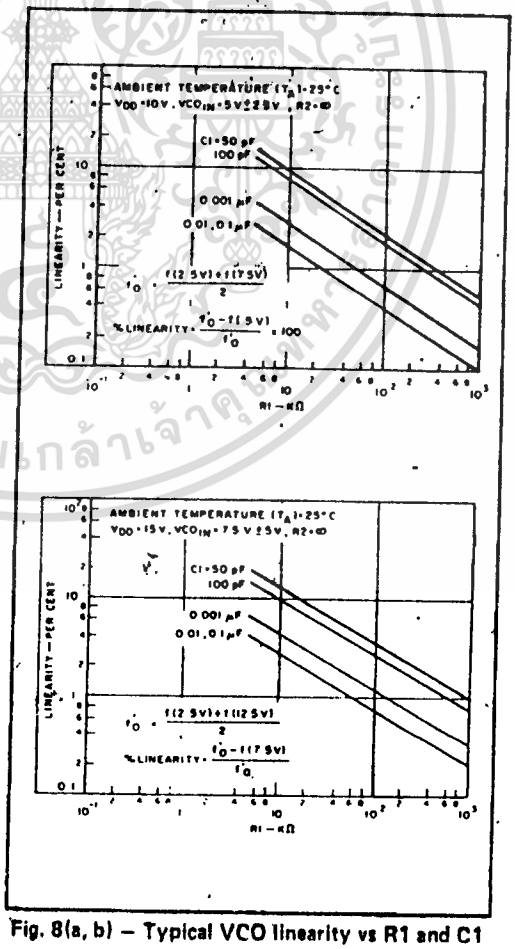


Fig. 8(a, b) — Typical VCO linearity vs R1 and C1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

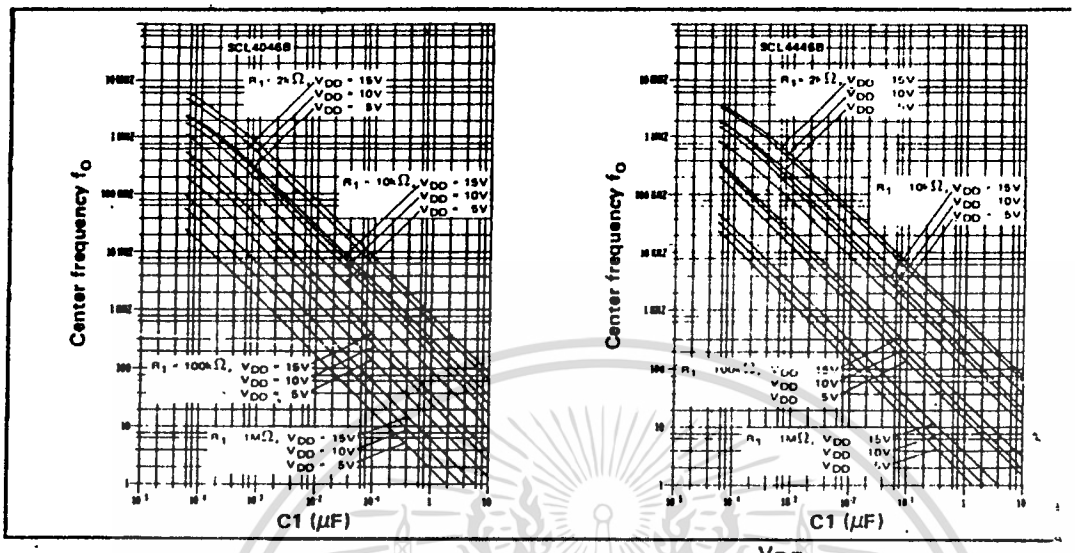


Fig. 5 (a) Typical center frequency (f_o) vs C1 (R2 = ∞, $VCO_{IN} = \frac{V_{DD}}{2}$, T_A = 25°C)

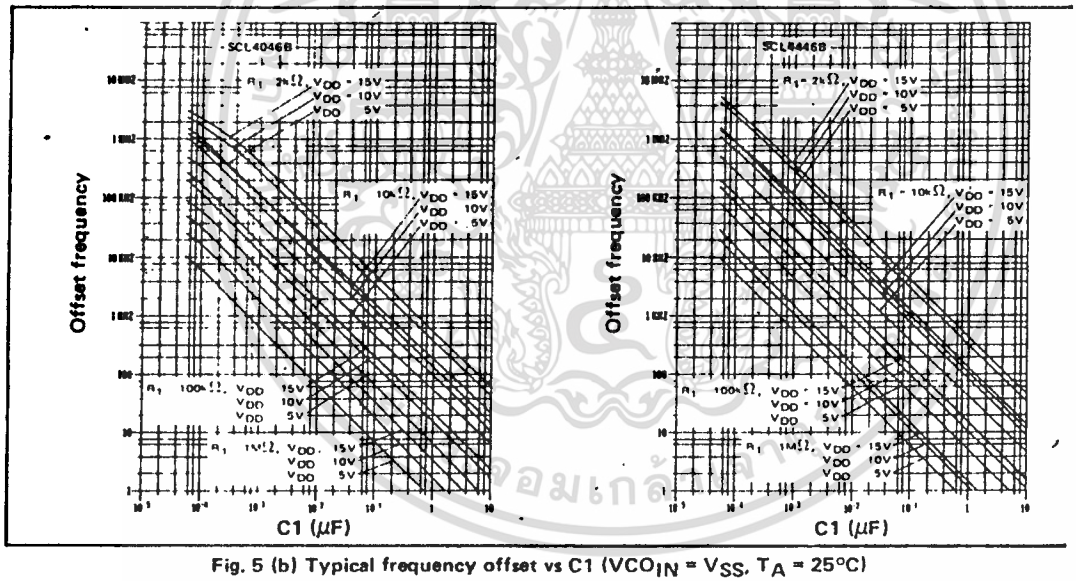


Fig. 5 (b) Typical frequency offset vs C1 (VCO_{IN} = V_{SS}, T_A = 25°C)

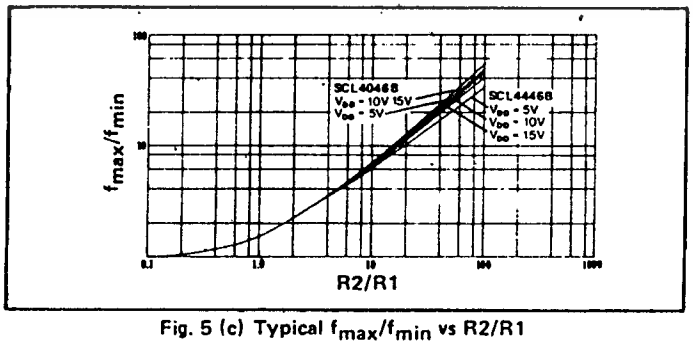


Fig. 5 (c) Typical f_{max}/f_{min} vs R2/R1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4060AB

CMOS 14-STAGE BINARY COUNTER AND OSCILLATOR

TURES

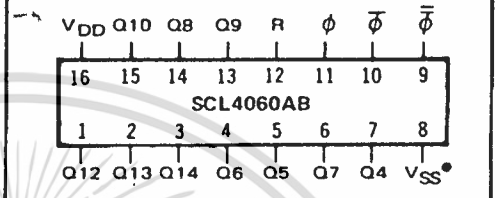
- 14 Fully Static Stages
- 10 Buffered Outputs Available
- Common Reset Line
- MHz Counting Rate @ 10Vdc
- All Active Oscillator Components on Chip for R-C or Crystal Control

CRIPTION

The SCL4060AB consists of an oscillator section, 14 ripple-carry binary counter stages. The ator configuration allows design of either R-C crystal oscillator circuits. A Reset input is ided which resets the counter to the all-0's A high level on the Reset line accomplishes reset function. The state of the counter is ad- ed one step in binary order on the negative ition of the Clock input ϕ. All inputs and out- s are fully buffered. Outputs are available from es 4 through 10 and 12 through 14.

Applications include timers, frequency dividers, y circuits and counter controls.

CONNECTION DIAGRAM
(all packages)



Add suffix for package:

- C 16-pin Cerdip
- D 16-pin Ceramic
- E 16-pin Epoxy
- F 16-pin Flat
- H Chip

TRUTH TABLE

CLOCK	RESET	OUTPUT STATE
⌐	0	No Change
¬	0	Advance to next state
X	1	All Outputs are low

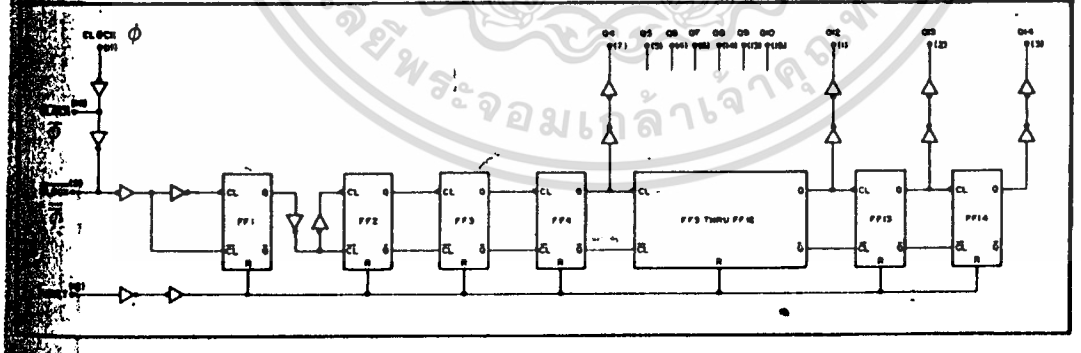
X = Don't Care

RECOMMENDED OPERATING CONDITIONS

For maximum reliability:

DC Supply Voltage	$V_{DD} - V_{SS}$	3 to 15	Vdc
Operating Temperature	T_A		
C, D, F, H Device		-55 to +125	°C
E Device		-40 to +85	°C

LOGIC DIAGRAM



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ELECTRICAL CHARACTERISTICS

STATIC CHARACTERISTICS[1]

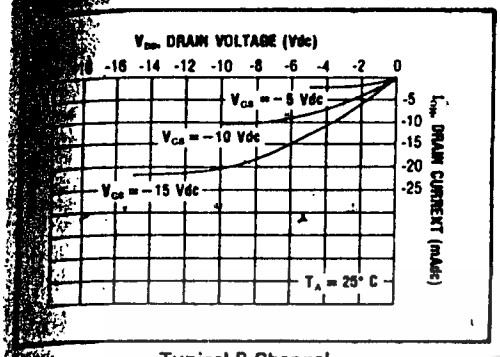
PARAMETER		V_{DD} (Vdc)	CONDITIONS	T_{LOW}[2] Min.	T_{LOW}[2] Max.	+25°C Min.	+25°C Typ.	+25°C Max.	T_{HIGH}[2] Min.	T_{HIGH}[2] Max.	Units
QUIESCENT DEVICE CURRENT	I_{DD}	5	$V_{IN}=V_{SS}$ or V_{DD}		5	–	0.05	5	–	150	μAdc
		10	All valid input		10	–	0.1	10	–	300	
		15	combinations	–	15	–	0.2	20	–	600	
OUTPUT HIGH (SOURCE) CURRENT	I_{OH}										
C, D, F, H device		5	V_{OH}=4.6V	-0.15	–	-0.12	-0.5	–	-0.08	–	mAdc
		10	V_{OH}=9.5V	-0.37	–	-0.3	-1.15	–	-0.21	–	
		15	V_{OH}=13.5V	1.25	–	-1.0	-4.5	–	-0.69	–	
			$V_{IN}=V_{SS}$ or V_{DD}								
E device		5	V_{OH}=4.6V	-0.14	–	-0.12	-0.5	–	-0.10	–	mAdc
		10	V_{OH}=9.5V	-0.35	–	-0.3	-1.15	–	-0.25	–	
		15	V_{OH}=13.5V	-1.2	–	-1.0	-4.5	–	-0.85	–	
			$V_{IN}=V_{SS}$ or V_{DD}								
OUTPUT LOW (SINK) CURRENT	I_{OL}										
C, D, F, H device		5	V_{OL}=0.4V	0.15	–	0.12	0.5	–	0.08	–	mAdc
		10	V_{OL}=0.5V	0.37	–	0.3	1.0	–	0.21	–	
		15	V_{OL}=1.5V	1.25	–	1.0	5.8	–	0.69	–	
			$V_{IN}=V_{SS}$ or V_{DD}								
E device		5	V_{OL}=0.4V	0.14	–	0.12	0.5	–	0.10	–	mAdc
		10	V_{OL}=0.5V	0.35	–	0.3	1.0	–	0.25	–	
		15	V_{OL}=1.5V	1.2	–	1.0	5.8	–	0.85	–	
			$V_{IN}=V_{SS}$ or V_{DD}								

NOTES: [1] Remaining Static Electrical Characteristics are listed under "SCL4000B Series Family Specifications".
[2] T_{LOW} = -55°C for C, D, F, H device.
= -40°C for E device.
T_{HIGH} = +125°C for C, D, F, H device.
= + 85°C for E device.

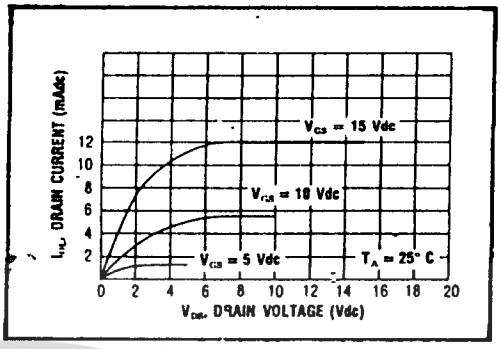
DYNAMIC CHARACTERISTICS (C_L = 50pF, T_A = 25°C)

PARAMETER		V_{DD} (Vdc)	Min.	Typ.	Max.	Units
CLOCKED OPERATION						
PROPAGATION DELAY TIME Clock to Q4	t_{PLH}, t_{PHL}	5	–	650	1300	ns
		10	–	325	650	
		15	–	260	520	
Q_i to Q_{i+1}	t_{PLH}, t_{PHL}	5	–	150	300	ns
		10	–	75	150	
		15	–	60	120	
OUTPUT TRANSITION TIME	t_{TLH}, t_{THL}	5	–	180	360	ns
		10	–	90	180	
		15	–	65	130	
MINIMUM CLOCK PULSE WIDTH	PW_{CL}	5	–	100	200	ns
		10	–	50	100	
		15	–	40	80	
MAXIMUM CLOCK FREQUENCY	f_{CL}	5	2.0	4.0	–	MHz
		10	4.0	8.0	–	
		15	5	10	–	
MAXIMUM CLOCK RISE AND FALL TIME	t_{rCL}, t_{fCL}	5	15	–	–	μs
		10	15	–	–	
		15	5	–	–	
RESET OPERATION						
PROPAGATION DELAY TIME	t_{PHL}	5	–	300	600	ns
		10	–	150	300	
		15	–	120	240	
MINIMUM RESET PULSE WIDTH	PW_R	5	–	150	300	ns
		10	–	75	150	
		15	–	60	120	
RESET REMOVAL TIME	t_{rem}	5	–	250	500	ns
		10	–	125	250	
		15	–	100	200	

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

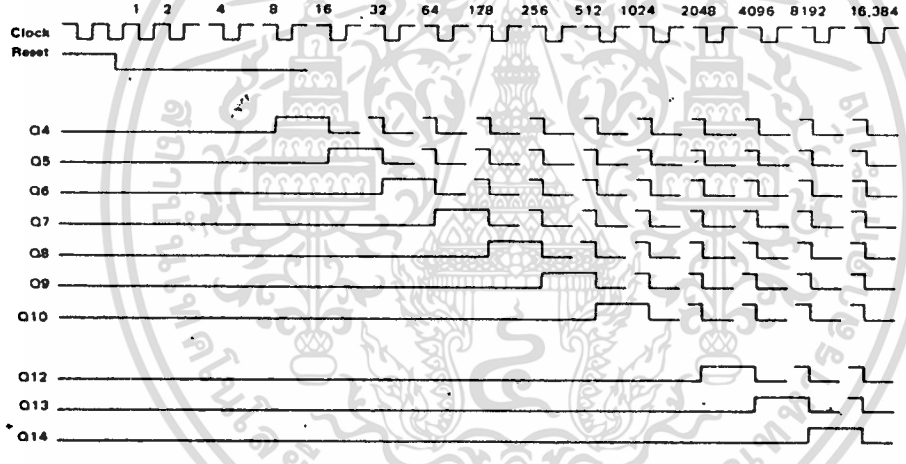


Typical P-Channel
Source Current Characteristics

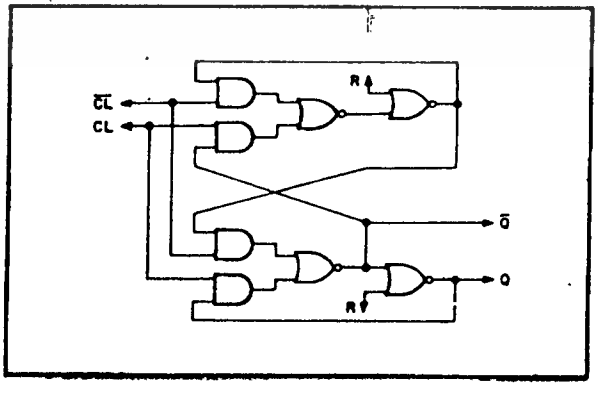


Typical N-Channel
Sink Current Characteristics

TIMING DIAGRAM

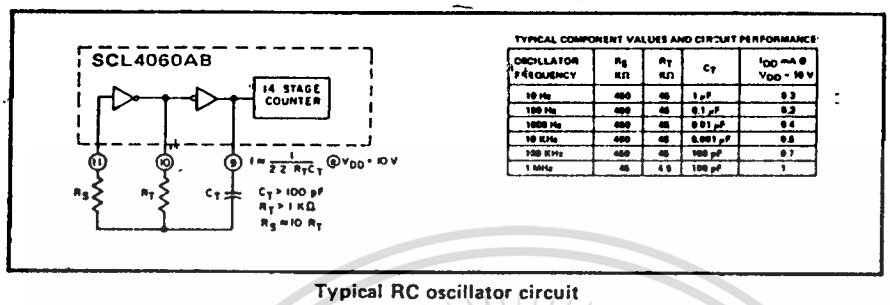


TYPICAL COUNTER STAGE



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

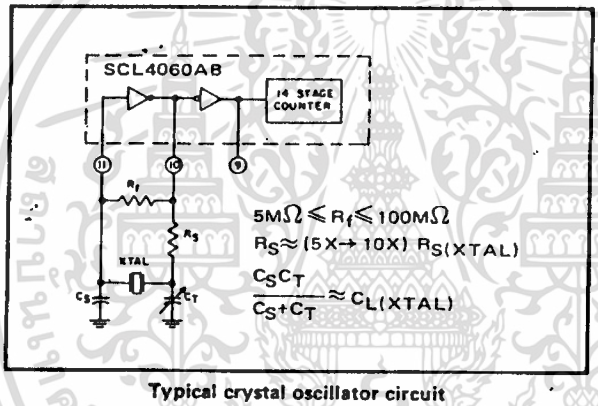
APPLICATIONS INFORMATION



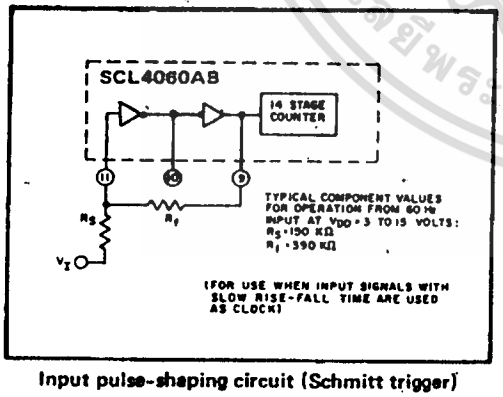
TYPICAL COMPONENT VALUES AND CIRCUIT PERFORMANCE

OSCILLATOR FREQUENCY	R_S KΩ	R_T KΩ	C_T	I_{DD} mA @ V_{DD} = 10 V
10 Hz	460	46	1 μF	0.3
100 Hz	460	46	0.1 μF	0.3
1000 Hz	460	46	0.01 μF	0.4
10 KHz	460	46	0.001 μF	0.8
100 KHz	460	46	100 pF	0.7
1 MHz	46	4.6	100 pF	1

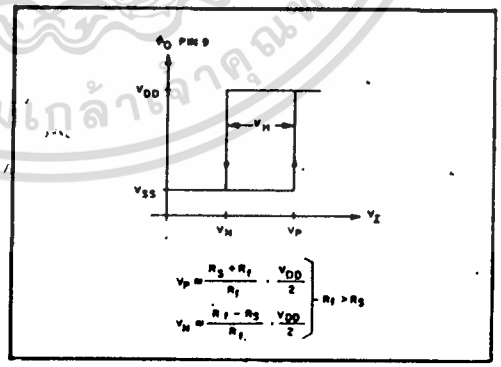
Typical RC oscillator circuit



Typical crystal oscillator circuit



Input pulse-shaping circuit (Schmitt trigger)



Input circuit characteristics for pulse-shaping circuit.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

SCL4017AB

CMOS DECADE COUNTER/DIVIDER

FEATURES

- 10 Decoded Decimal Outputs
- Direct Reset
- Trigger from either Edge of Clock Input
- Carry Output for Cascading Stages
- Fully Static Operation - DC to 5MHz @ 10Vdc

DESCRIPTION

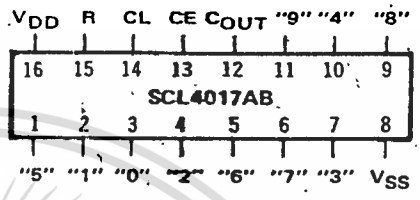
The SCL4017AB consists of a 5-stage Johnson Decade Counter and an Output Decoder. Inputs include Clock, Reset, and Clock Enable signals.

The counter has interchangeable Clock and Clock Enable lines for incrementing on either a positive-going or negative-going transition, respectively. A high Reset signal clears the counter to its zero count.

Use of the Johnson decade counter configuration permits high-speed operation, 2-input decode gating, and spike-free decoded outputs. Anti-lock gating is provided, thus assuring proper counting sequence. The 10 decoded outputs are normally low and go high only at their respective decoded time slot. Each decoded output remains high for one full clock cycle. A Carry-out (C_{OUT}) signal completes one cycle every 10 clock input cycles and is used to directly clock the succeeding counter in multi-stage applications.

This part can be used in frequency division circuits as well as decade counter or decimal decode display applications.

CONNECTION DIAGRAM
(all packages)



Add suffix for package:

- C 16-pin Cerdip
- D 16-pin Ceramic
- E 16-pin Epoxy
- F 16-pin Flat
- H Chip

RECOMMENDED OPERATING CONDITIONS

For maximum reliability:

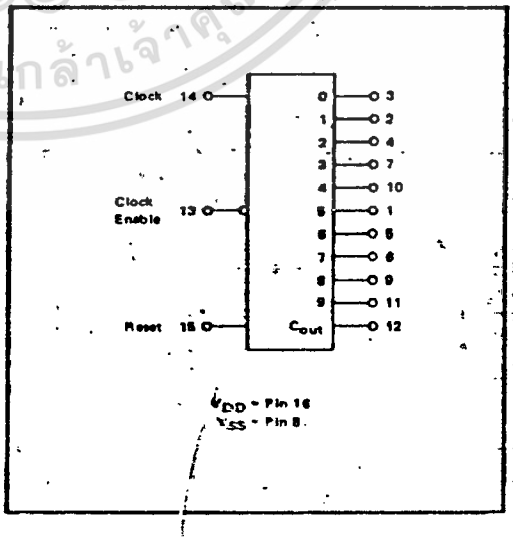
DC Supply Voltage	$V_{DD} - V_{SS}$	3 to 15	Vdc
Operating Temperature	T_A		
C, D, F, H Device		-55 to +125	°C
E Device		-40 to +85	°C

FUNCTIONAL TRUTH TABLE
(Positive Logic)

Clock	Clock Enable	Reset	Decode Output = n
0	X	0	n
X	1	0	n
X	X	1	"0"
↓	0	0	n + 1
↑	X	0	n
X	↓	0	n
X	↑	0	n + 1

x = Don't Care
If n < 5 Carry = "1", Otherwise = "0"

BLOCK DIAGRAM



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ELECTRICAL CHARACTERISTICS

STATIC CHARACTERISTICS [1]

PARAMETER		V_{DD} (Vdc)	CONDITIONS	T_{LOW} [2] Min.	T_{LOW} [2] Max.	+25°C Min.	+25°C Typ.	+25°C Max.	T_{HIGH} [2] Min.	T_{HIGH} [2] Max.	Units
QUIESCENT DEVICE CURRENT	I_{DD}	5	$V_{IN}=V_{SS}$ or V_{DD}	–	5	–	0.05	5	–	150	μAdc
		10	All valid input	–	10	–	0.1	10	–	300	
		15	combinations	–	20	–	0.2	20	–	600	
OUTPUT HIGH (SOURCE) CURRENT C, D, F, H device Decoded Outputs	I_{OH}	5	V_{OH} = 4.6V	-0.05	–	-0.04	-0.3	–	-0.028	–	mAdc
		10	V_{OH} = 9.5V	-0.125	–	-0.1	-0.75	–	-0.07	–	
		15	V_{OH} = 13.5V	-0.375	–	-0.3	-2.5	–	-0.21		
			$V_{IN}=V_{SS}$ or V_{DD}								
Carry Output		5	V_{OH} = 4.6V	-0.25	–	-0.2	-0.75	–	-0.14	–	mAdc
		10	V_{OH} = 9.5V	-0.62	–	-0.5	-1.1	–	-0.35	–	
		15	V_{OH} = 13.5V	-1.9	–	-1.5	-3.5	–	-1.1	–	
			$V_{IN}=V_{SS}$ or V_{DD}								
E device Decoded Outputs	I_{OH}	5	V_{OH} = 4.6V	-0.048	–	-0.04	-0.3	–	-0.032	–	mAdc
		10	V_{OH} = 9.5V	-0.12	–	-0.1	-0.75	–	-0.08	–	
		15	V_{OH} = 13.5V	-0.36	–	-0.3	-2.5	–	-0.24	–	
			$V_{IN}=V_{SS}$ or V_{DD}								
Carry Output		5	V_{OH} = 4.6V	-0.24	–	-0.2	-0.75	–	-0.16	–	mAdc
		10	V_{OH} = 9.5V	-0.6	–	-0.5	-1.1	–	-0.4	–	
		15	V_{OH} = 13.5V	-1.8	–	-1.5	-3.5	–	-1.2	–	
			$V_{IN}=V_{SS}$ or V_{DD}								
OUTPUT LOW (SINK) CURRENT C, D, F, H device Decoded Outputs	I_{OL}	5	V_{OL} = 0.4V	0.05	–	0.04	0.4	–	0.028	–	mAdc
		10	V_{OL} = 0.5V	0.125	–	0.1	1.0	–	0.07	–	
		15	V_{OL} = 1.5V	0.375	–	0.3	3.0	–	0.21	–	
			$V_{IN}=V_{SS}$ or V_{DD}								
Carry Output		5	V_{OL} = 0.4V	0.25	–	0.2	0.75	–	0.14	–	mAdc
		10	V_{OL} = 0.5V	0.62	–	0.5	1.3	–	0.35	–	
		15	V_{OL} = 1.5V	1.9	–	1.5	4.0	–	1.1	–	
			$V_{IN}=V_{SS}$ or V_{DD}								
E device Decoded Outputs	I_{OL}	5	V_{OL} = 0.4V	0.048	–	0.04	0.4	–	0.032	–	mAdc
		10	V_{OL} = 0.5V	0.12	–	0.1	1.0	–	0.08	–	
		15	V_{OL} = 1.5V	0.36	–	0.3	3.0	–	0.24	–	
			$V_{IN}=V_{SS}$ or V_{DD}								
Carry Output		5	V_{OL} = 0.4V	0.24	–	0.2	0.75	–	0.16	–	mAdc
		10	V_{OL} = 0.5V	0.6	–	0.5	1.3	–	0.4	–	
		15	V_{OL} = 1.5V	1.8	–	1.5	4.0	–	1.2	–	
			$V_{IN}=V_{SS}$ or V_{DD}								

NOTES: [1] Remaining Static Electrical Characteristics are listed under "SCL4000B Series Family Specifications".
[2] T_{LOW} = –55°C for C, D, F, H device.
= –40°C for E device.
T_{HIGH} = +125°C for C, D, F, H device.
= + 85°C for E device.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

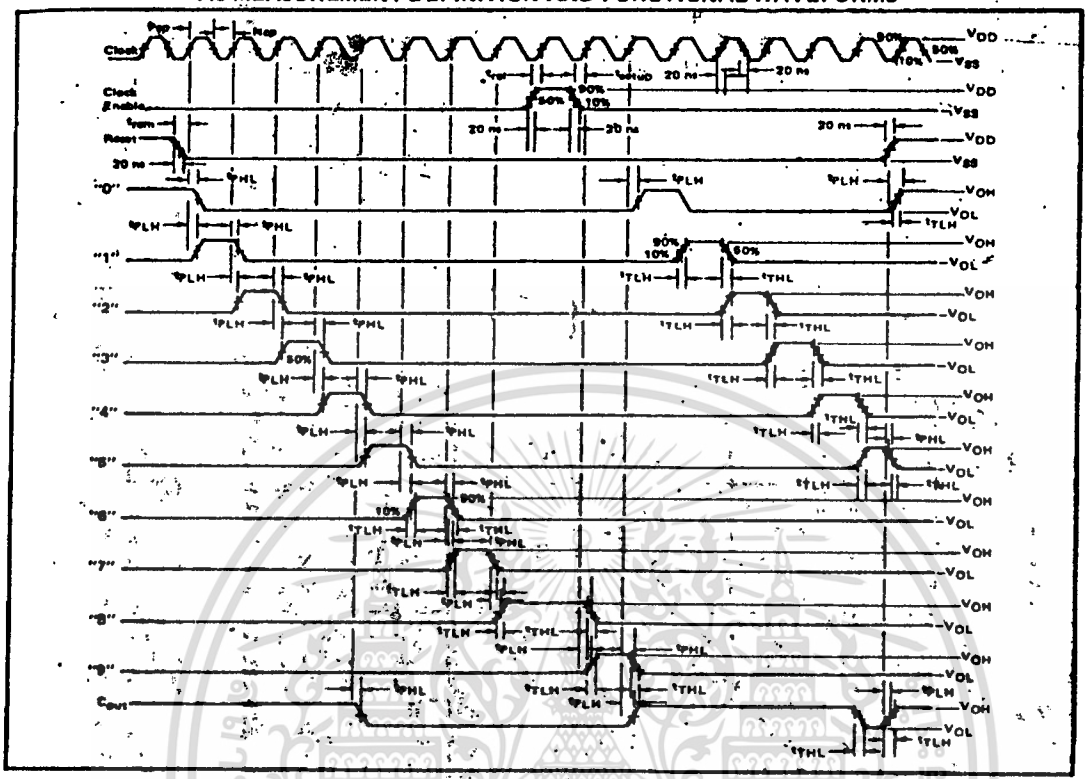
ELECTRICAL CHARACTERISTICS (Continued)

DYNAMIC CHARACTERISTICS (C_L = 50pF, T_A = 25°C)

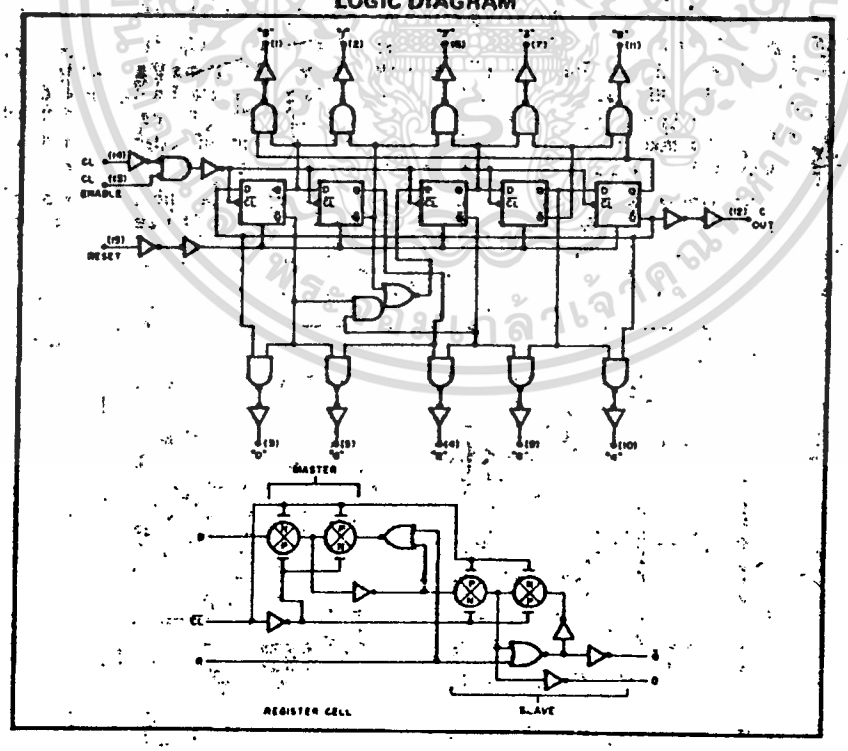
PARAMETER		V_{DD} (Vdc)	Min.	Typ.	Max.	Units
CLOCKED OPERATION						
PROPAGATION DELAY TIME						
To Decoded Outputs	t_{PLH}, t_{PHL}	5	—	600	1200	ns
		10	—	240	480	
		15	—	180	360	
To Carry Output	t_{PLH}, t_{PHL}	5	—	500	1000	ns
		10	—	200	400	
		15	—	150	300	
OUTPUT TRANSITION TIME						
Decoded Outputs	t_{TLH}, t_{THL}	5	—	250	500	ns
		10	—	125	250	
		15	—	90	180	
Carry Output	t_{TLH}, t_{THL}	5	—	180	360	ns
		10	—	90	180	
		15	—	65	130	
MINIMUM CLOCK PULSE WIDTH	PW_{CL}	5	—	200	400	ns
		10	—	100	200	
		15	—	80	160	
MAXIMUM CLOCK FREQUENCY	f_{CL}	5	1.25	2.5	—	MHz
		10	2.5	5.0	—	
		15	3.0	6.0	—	
MAXIMUM CLOCK OR ENABLE RISE AND FALL TIME	t_{rCL}, t_{fCL}	5	15	—	—	μs
		10	15	—	—	
		15	5	—	—	
MINIMUM ENABLE SETUP TIME	t_{setup}	5	—	175	350	ns
		10	—	75	150	
		15	—	55	110	
MINIMUM ENABLE REMOVAL TIME	t_{rem}	5	—	250	500	ns
		10	—	100	200	
		15	—	75	150	
RESET OPERATION						
PROPAGATION DELAY TIME						
To Decoded Outputs	t_{PLH}, t_{PHL}	5	—	500	1000	ns
		10	—	200	400	
		15	—	140	280	
To Carry Output	t_{PLH}	5	—	400	800	ns
		10	—	150	300	
		15	—	110	220	
MINIMUM RESET PULSE WIDTH	PW_R	5	—	150	300	ns
		10	—	75	150	
		15	—	60	120	
RESET REMOVAL TIME	t_{rem}	5	—	250	500	ns
		10	—	100	200	
		15	—	80	160	

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

AC MEASUREMENT DEFINITION AND FUNCTIONAL WAVEFORMS



LOGIC DIAGRAM

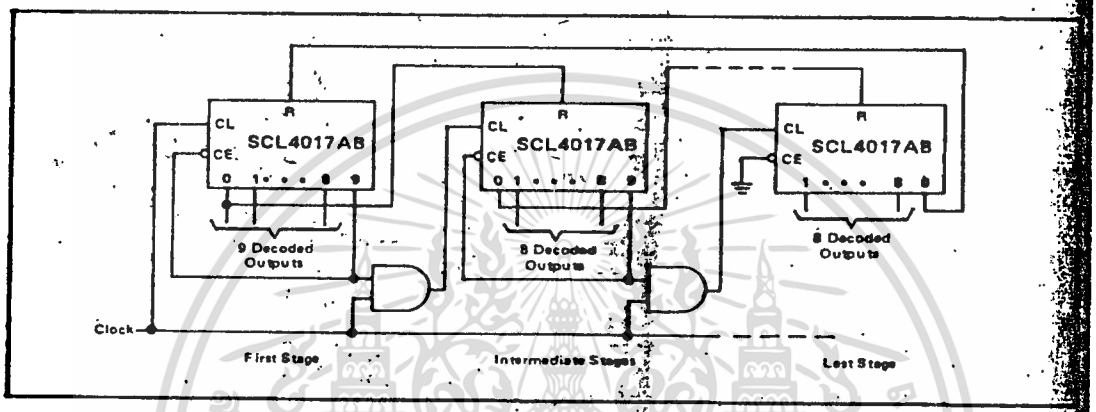


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

APPLICATIONS INFORMATION

COUNTER EXPANSION

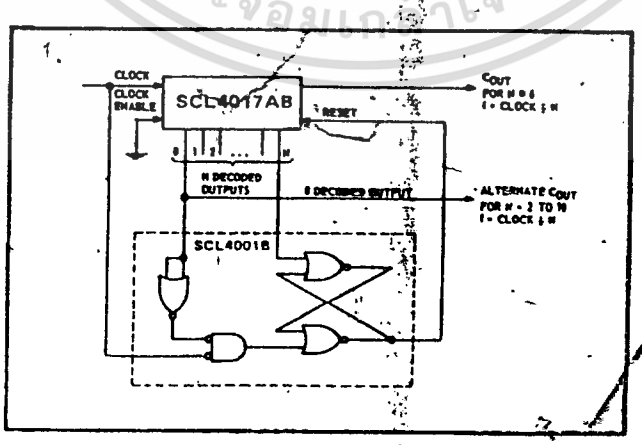
This figure shows a technique for extending the number of decoded output states for the SCL4017AB. Decoded outputs are sequential within each stage and from stage to stage, with no dead time (except propagation delay).



DIVIDE-BY-N COUNTER

When the Nth decoded output is reached (Nth clock pulse), the S-R flip-flop (constructed from the SCL4001B) generates a reset pulse which clears the SCL4017AB to its zero count. At this time, if the Nth decoded output is greater than or equal to 6, the C_{OUT} line goes high to clock the next counter section. The "0" decoded output also goes high at this time. Coincidence of the clock "low" and decoded "0" output "high" resets the S-R flip-flop to enable the SCL4017AB.

If the Nth decoded output is less than 6, the C_{OUT} line will not go high, and, therefore, cannot be used. In this case, the "0" decoded output may be used to perform the clock function for the next counter.



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ORDERING INFORMATION

Device	Temperature Range	Package
MC1495L	0°C to +70°C	Ceramic DIP
MC1595L	−55°C to +125°C	Ceramic DIP

MC1495L
MC1595L

Specifications and Applications Information

WIDEBAND MONOLITHIC FOUR-QUADRANT MULTIPLIER

. . . designed for uses where the output is a linear product of two input voltages. Maximum versatility is assured by allowing the user to select the level shift method. Typical applications include: multiply, divide*, square root*, mean square*, phase detector, frequency doubler, balanced modulator/demodulator, electronic gain control.

*When used with an operational amplifier.

- Wide Bandwidth
- Excellent Linearity – 1% max Error on X-Input, 2% max Error on Y-Input – MC1595L
- Excellent Linearity – 2% max Error on X-Input, 4% max Error on Y-Input – MC1495L
- Adjustable Scale Factor, K
- Excellent Temperature Stability
- Wide Input Voltage Range – ± 10 Volts
- ± 15 Volt Operation

LINEAR FOUR-QUADRANT MULTIPLIER INTEGRATED CIRCUIT

MONOLITHIC SILICON EPITAXIAL PASSIVATED

CERAMIC PACKAGE
CASE 632
TO-116

FIGURE 1 – FOUR-QUADRANT MULTIPLIER TRANSFER CHARACTERISTIC

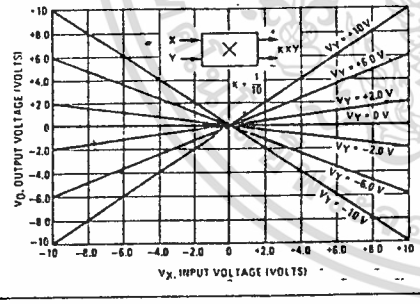


FIGURE 2 – TRANSCONDUCTANCE BANDWIDTH

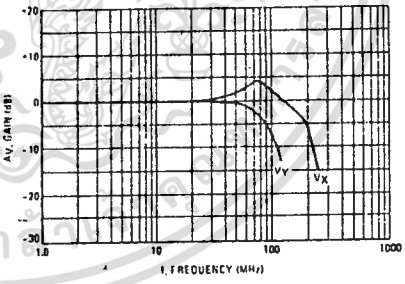
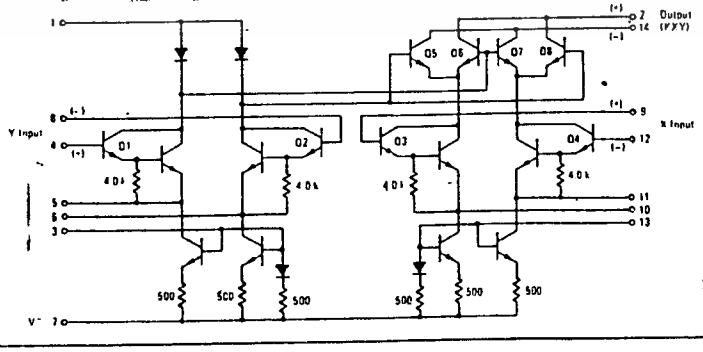


FIGURE 3 – CIRCUIT SCHEMATIC



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ELECTRICAL CHARACTERISTICS ($V^+ = +32V$, $V^- = -15$ V, $T_A = +25^\circ C$, $I_3 = I_{13} = 1$ mA, $R_X = R_Y = 15$ kΩ, $R_L = 11$ kΩ unless otherwise noted)

Characteristic		Figure	Symbol	Min	Typ	Max	Unit
Linearity: Output Error in Percent of Full Scale:		5					%
$T_A = +25^\circ C$							
$-10 < V_X < +10$ ($V_Y = \pm 10$ V)	MC1495		E_{RX}	–	± 1.0	± 2.0	
	MC1595			–	± 0.5	± 1.0	
$-10 < V_Y < +10$ ($V_X = \pm 10$ V)	MC1495		E_{RY}	–	± 2.0	± 4.0	
	MC1595			–	± 1.0	± 2.0	
$T_A = 0$ to $+70^\circ C$	MC1495						
$-10 < V_X < +10$ ($V_Y = \pm 10$ V)			E_{RX}	–	± 1.5	–	
$-10 < V_Y < +10$ ($V_X = \pm 10$ V)			E_{RY}	–	± 3.0	–	
$T_A = -55^\circ C$ to $+125^\circ C$	MC1595						
$-10 < V_X < +10$ ($V_Y = \pm 10$ V)			E_{RX}	–	± 0.75	–	
$-10 < V_Y < +10$ ($V_X = \pm 10$ V)			E_{RY}	–	± 1.50	–	
Squaring Mode Error: Accuracy in Percent of Full Scale After Offset and Scale Factor Adjustment		5	E_{SO}				%
$T_A = +25^\circ C$	MC1495			–	± 0.75	–	
	MC1595			–	± 0.5	–	
$T_A = 0$ to $+70^\circ C$	MC1495			–	± 1.0	–	
$T_A = -55^\circ C$ to $+125^\circ C$	MC1595			–	± 0.75		
Scale Factor (Adjustable) $(K = \frac{2R_L}{I_3 R_X R_Y})$		–	K		0.1	–	–
Input Resistance ($f = 20$ Hz)	MC1495	7	R_{INX}	–	20	–	MegOhms
	MC1595			–	35	–	
	MC1495		R_{INY}	–	20	–	
	MC1595			–	35	–	
Differential Output Resistance ($f = 20$ Hz)		8	R_o	–	300	–	k Ohms
Input Bias Current $I_{bx} = \frac{(I_9 + I_{12})}{2}$, $I_{by} = \frac{(I_4 + I_8)}{2}$	MC1495	6	I_{bx}	–	2.0	12	μA
	MC1595			–	2.0	8.0	
	MC1495		I_{by}	–	2.0	12	
	MC1595			–	2.0	8.0	
Input Offset Current $\lvert I_9 - I_{12}\rvert$	MC1495	6	$\lvert I_{iox}\rvert$	–	0.4	2.0	μA
	MC1595			–	0.2	1.0	
$\lvert I_4 - I_8\rvert$	MC1495		$\lvert I_{ioy}\rvert$	–	0.4	2.0	
	MC1595			–	0.2	1.0	
Average Temperature Coefficient of Input Offset Current		6	$\lvert TC_{Iio}\rvert$				nA/°C
($T_A = 0$ to $+70^\circ C$)	MC1495			–	2.0	–	
($T_A = -55^\circ C$ to $+125^\circ C$)	MC1595			–	2.0	–	
Output Offset Current $\lvert I_{14} - I_2\rvert$	MC1495	6	$\lvert I_{oo}\rvert$	–	20	100	μA
	MC1595			–	10	50	
Average Temperature Coefficient of Output Offset Current		6	$\lvert TC_{Ioo}\rvert$				nA/°C
($T_A = 0$ to $+70^\circ C$)	MC1495			–	1.0	–	
($T_A = -55^\circ C$ to $+125^\circ C$)	MC1595			–	1.0	–	
Frequency Response							
3.0 dB Bandwidth, $R_L = 11$ kΩ		9,10	BW_{3dB}	–	3.0	–	MHz
3.0 dB Bandwidth, $R_L = 50$ Ω (Transconductance Bandwidth)			$T_{BW3\,dB}$	–	80	–	MHz
3° Relative Phase Shift Between V_X and V_Y			f_ϕ	–	750	–	kHz
1% Absolute Error Due to Input-Output Phase Shift			f_θ	–	30	–	kHz
Common Mode Input Swing (Either Input)	MC1495	11	CMV	±10.5	±12	–	Vdc
	MC1595			±11.5	±13	–	
Common Mode Gain (Either Input)	MC1495	11	A_{CM}	-40	-50	–	dB
	MC1595			-50	-60	–	
Common Mode Quiescent Output Voltage		12	V_{o1}	–	21	–	Vdc
			V_{o2}	–	21	–	
Differential Output Voltage Swing Capability		9	V_o	–	±14	–	V_{peak}
Power Supply Sensitivity		12	S^+	–	5.0	–	mV/V
			S^-	–	10	–	
Power Supply Current		12	I_7	–	6.0	7.0	mA
DC Power Dissipation		12	P_D	–	135	170	mW

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MAXIMUM RATINGS (T_A = +25°C unless otherwise noted)

Rating	Symbol	Value	Unit
Applied Voltage (V_2-V_1, $V_{14}-V_1$, V_1-V_9, V_1-V_{12}, V_1-V_4, V_1-V_8, $V_{12}-V_7$, V_9-V_7, V_8-V_7, V_4-V_7)	ΔV	30	Vdc
Differential Input Signal	$V_{12}-V_9$ V_4-V_8	$\pm(6+I_{13}R_X)$ $\pm(6+I_3R_Y)$	Vdc Vdc
Maximum Bias Current	I_3 I_{13}	10 10	mA
Power Dissipation (Package Limitation) Ceramic Package Derate above T_A = +25°C	P_D	 750 5.0	 mW mW/°C
Operating Temperature Range MC1495 MC1595	T_A	 0 to +70 -55 to +125	°C °C °C
Storage Temperature Range	T_{stg}	-65 to +150	°C

TEST CIRCUITS

FIGURE 4 – LINEARITY (USING NULL TECHNIQUE)

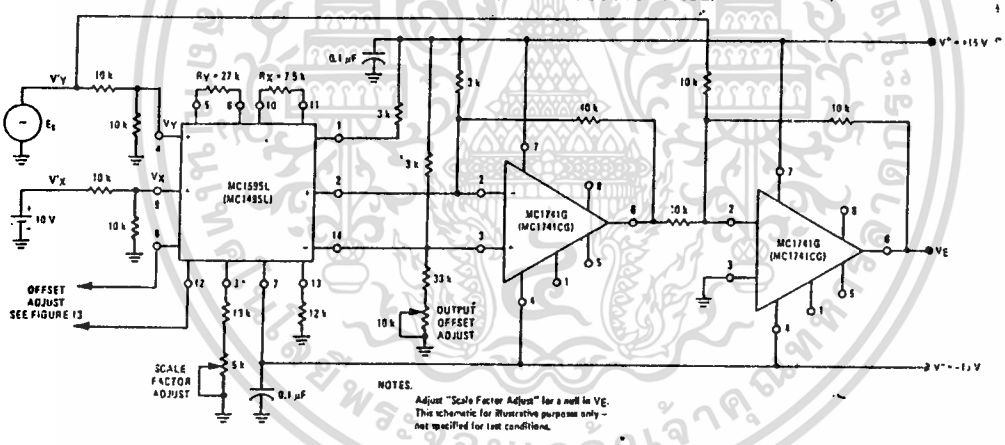
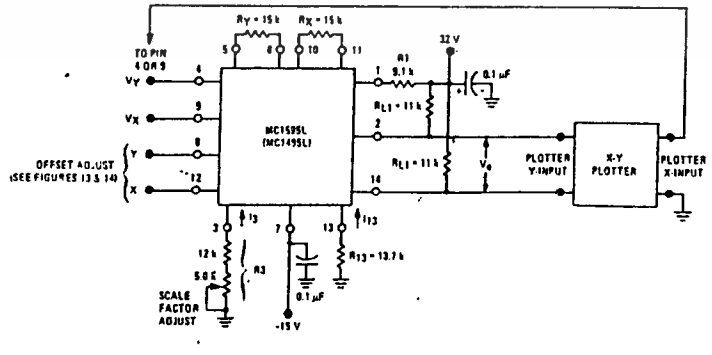


FIGURE 5 – LINEARITY (USING X-Y PLOTTER TECHNIQUE)



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TEST CIRCUITS (continued)

FIGURE 6 – INPUT AND OUTPUT CURRENT

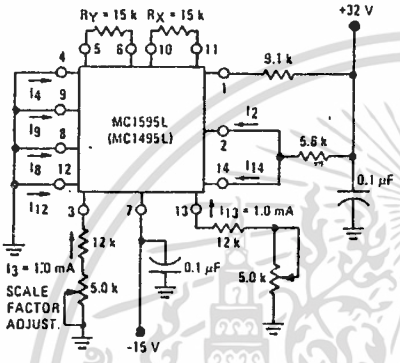


FIGURE 7 – INPUT RESISTANCE

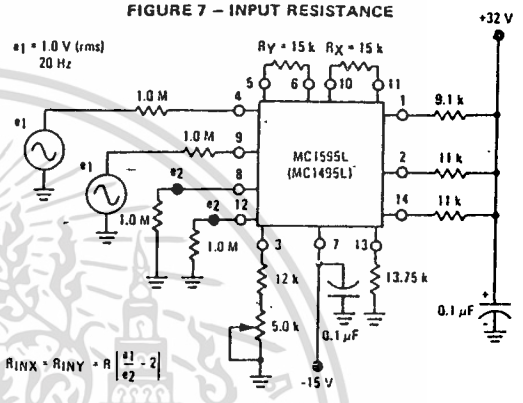


FIGURE 8 – OUTPUT RESISTANCE

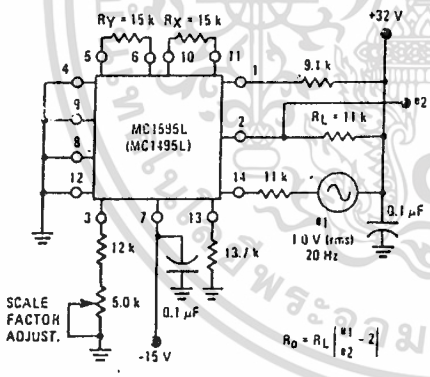


FIGURE 9 – BANDWIDTH (R_L = 11 kΩ)

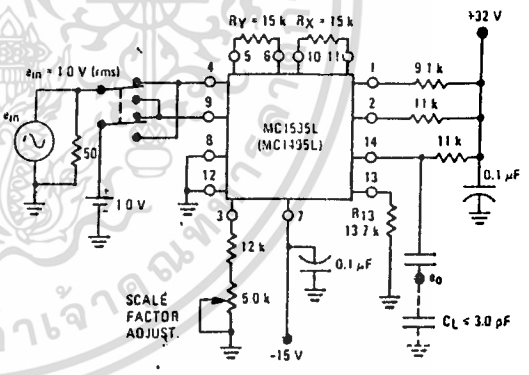


FIGURE 10 – BANDWIDTH (R_L = 50 Ω)

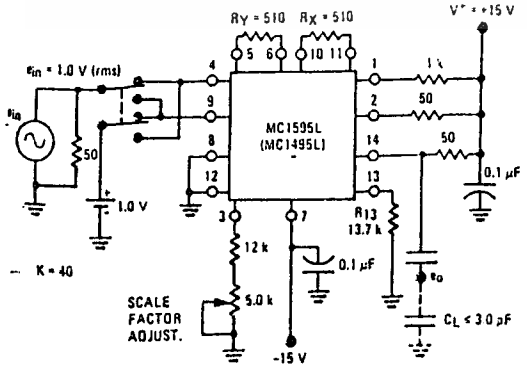
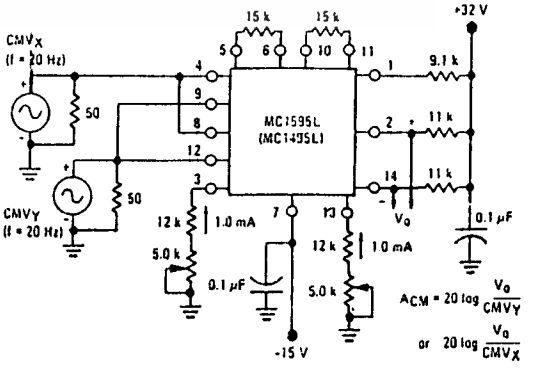


FIGURE 11 – COMMON-MODE GAIN and COMMON-MODE INPUT SWING



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TEST CIRCUITS (continued)

FIGURE 12 – POWER SUPPLY SENSITIVITY

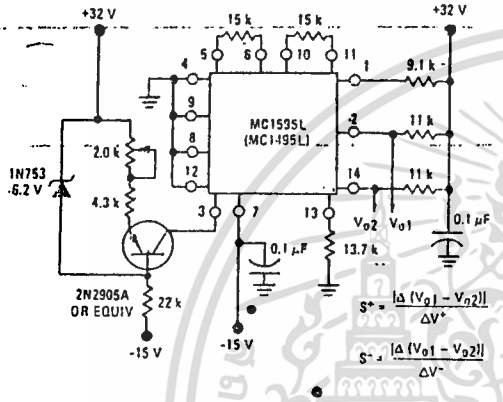
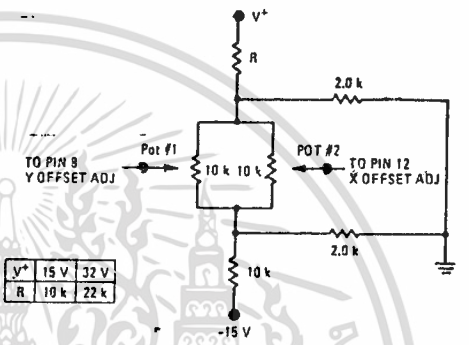
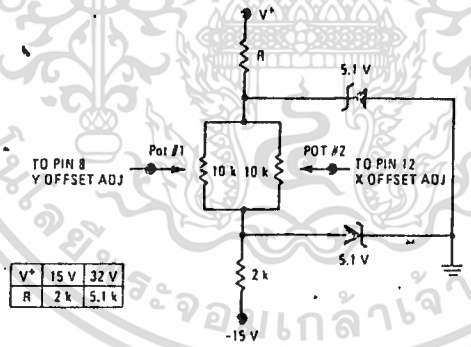


FIGURE 13 – OFFSET ADJUST CIRCUIT



V+	15 V	32 V
R	10 k	22 k

FIGURE 14 – OFFSET ADJUST CIRCUIT (ALTERNATE)



V+	15 V	32 V
R	2 k	5.1 k

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TYPICAL CHARACTERISTICS

FIGURE 15 – LINEARITY versus TEMPERATURE

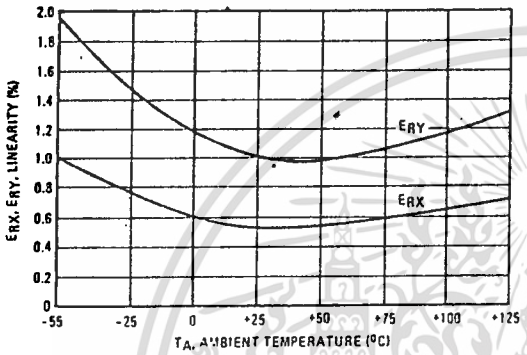


FIGURE 16 – SCALE FACTOR versus TEMPERATURE

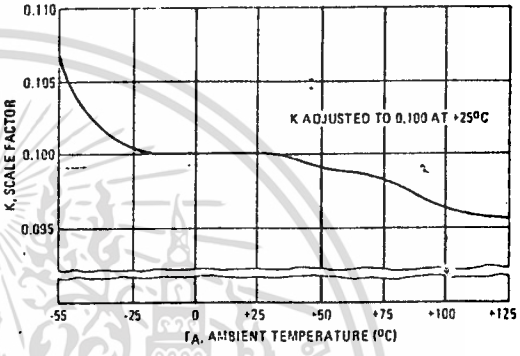


FIGURE 17 – ERROR CONTRIBUTED BY INPUT DIFFERENTIAL AMPLIFIER

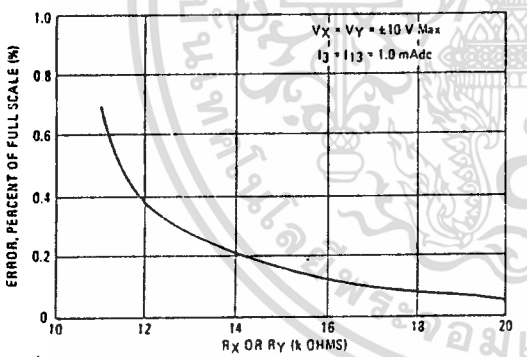


FIGURE 18 – ERROR CONTRIBUTED BY INPUT DIFFERENTIAL AMPLIFIER

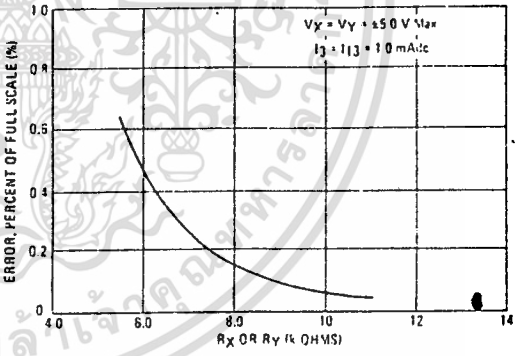
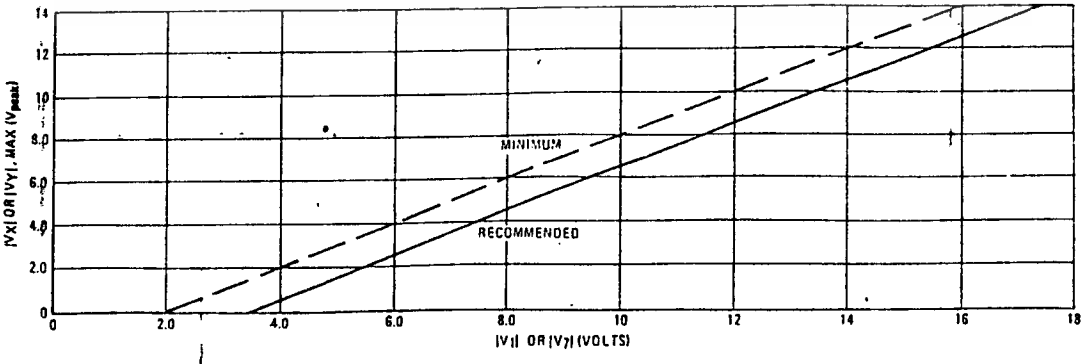


FIGURE 19 – MAXIMUM ALLOWABLE INPUT VOLTAGE versus VOLTAGE AT PIN 1 OR PIN 7



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

OPERATION AND APPLICATIONS INFORMATION

1. Theory of Operation

The MC1595 (MC1495) is a monolithic, four-quadrant multiplier which operates on the principle of variable transconductance. The detailed theory of operation is covered in Application Note AN-489, Analysis and Basic Operation of the MC1595. The result of this analysis is that the differential output current of the multiplier is given by

$$I_A - I_B = \Delta I = \frac{2V_X V_Y}{R_X R_Y I_3}$$

where I_A and I_B are the currents into pins 14 and 2, respectively, and V_X and V_Y are the X and Y input voltages at the multiplier input terminals.

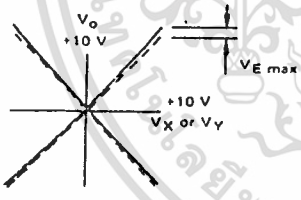
2. Design Considerations

2.1 General

The MC1595 (MC1495) permits the designer to tailor the multiplier to a specific application by proper selection of external components. External components may be selected to optimize a given parameter (e.g. bandwidth) which may in turn restrict another parameter (e.g. maximum output voltage swing). Each important parameter is discussed in detail in the following paragraphs.

2.1.1 Linearity, Output Error, E_{RX} or E_{RY}

Linearity error is defined as the maximum deviation of output voltage from a straight line transfer function. It is expressed as error in percent of full scale (see figure below).



For example, if the maximum deviation, $V_{E(max)}$, is ±100 mV and the full scale output is 10 volts, then the percentage error is

$$E_R = \frac{V_{E(max)}}{V_{o(max)}} \times 100 = \frac{100 \times 10^{-3}}{10} \times 100 = \pm 1.0\%.$$

Linearity error may be measured by either of the following methods:

1. Using an X – Y plotter with the circuit shown in Figure 5, obtain plots for X and Y similar to the one shown above.
2. Use the circuit of Figure 4. This method nulls the level shifted output of the multiplier with the original input. The peak output of the null operational amplifier will be equal to the error voltage, $V_{E(max)}$.

One source of linearity error can arise from large signal nonlinearity in the X and Y-input differential amplifiers. To avoid introducing error from this source, the emitter degeneration resistors R_X and R_Y must be chosen large enough so that nonlinear base-emitter voltage variation can be ignored. Figures 17 and 18 show the error expected from this source as a function of the values of R_X and R_Y with an operating current of 1.0 mA in each side of the differential amplifiers (i.e., $I_3 = I_{13} = 1.0$ mA).

2.1.2 3 dB-Bandwidth and Phase Shift

Bandwidth is primarily determined by the load resistors and the stray multiplier output capacitance and/or the operational amplifier used to level shift the output. If wideband operation is desired, low value load resistors and/or a wideband operational amplifier should be used. Stray output capacitance will depend to a large extent on circuit layout.

Phase shift in the multiplier circuit results from two sources: phase shift common to both X and Y channels (due to the load resistor-output capacitance pole mentioned above) and relative phase shift between X and Y channels (due to differences in transadmittance in the X and Y channels). If the input to output phase shift is only 0.6°, the output product of two sine waves will exhibit a vector error of 1%. A 3° relative phase shift between V_X and V_Y results in a vector error of 5%.

2.1.3 Maximum Input Voltage

$V_{X(max)}$, $V_{Y(max)}$ maximum input voltages must be such that:

$$V_{X(max)} < I_{13} R_Y$$

$$V_{Y(max)} < I_3 R_Y.$$

Exceeding this value will drive one side of the input amplifier to "cutoff" and cause non-linear operation.

Currents I_3 and I_{13} are chosen at a convenient value (observing power dissipation limitation) between 0.5 mA and 2.0 mA, approximately 1.0 mA. Then R_X and R_Y can be determined by considering the input signal handling requirements.

For $V_{X(max)} = V_{Y(max)} = 10$ volts:

$$R_X = R_Y > \frac{10\ V}{1.0\ mA} = 10\ k\Omega.$$

The equation $I_A - I_B = \dfrac{2V_X V_Y}{R_X R_Y I_3}$

is derived from $I_A - I_B = \dfrac{2V_X V_Y}{\left(R_X + \dfrac{2kT}{qI_{13}}\right)\left(R_Y + \dfrac{2kT}{qI_3}\right) I_3}$

with the assumption $R_X \gg \dfrac{2kT}{qI_{13}}$ and $R_Y \gg \dfrac{2kT}{qI_3}$.

At $T_A = +25°C$ and $I_{13} = I_3 = 1$ mA,

$$\frac{2kT}{qI_{13}} = \frac{2kT}{qI_3} = 52\ \Omega.$$

Therefore, with $R_X = R_Y = 10\ k\Omega$ the above assumption is valid. Reference to Figure 19 will indicate limitations of $V_{X(max)}$ or $V_{Y(max)}$ due to V_1 and V_7. Exceeding these limits will cause saturation or "cutoff" of the input transistors. See Step 4 of Section 3 (General Design Procedure) for further details.

2.1.4 Maximum Output Voltage Swing

The maximum output voltage swing is dependent upon the factors mentioned below and upon the particular circuit being considered.

For Figure 20 the maximum output swing is dependent upon V^+ for positive swing and upon the voltage at pin 1 for negative swing. The potential at pin 1 determines the quiescent level for transistors Q_5, Q_6, Q_7, and Q_8. This potential

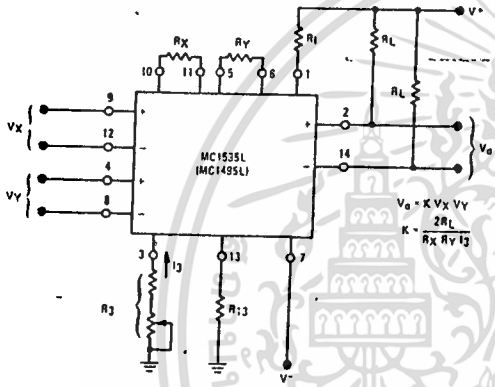
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

OPERATION AND APPLICATIONS INFORMATION (continued)

should be related so that negative swing at pins 2 or 14 does not saturate those transistors. See Section 3 for further information regarding selection of these potentials.

If an operational amplifier is used for level shift, as shown in Figure 21, the output swing (of the multiplier) is greatly reduced. See Section 3 for further details.

FIGURE 20 – BASIC MULTIPLIER



3. General Design Procedure

Selection of component values is best demonstrated by the following example: assume resistive dividers are used at the X and Y inputs to limit the maximum multiplier input to ±5.0 volts ($V_{X} = V_{Y(max)}$) for a ±10-volt input ($V_{X'} = V_{Y'(max)}$). (See Figure 21). If an overall scale factor of 1/10 is desired, then

$$V_o = \frac{-V_{X'} V_{Y'}}{10} = \frac{(2V_X)(2V_Y)}{10} = 4/10\ V_X V_Y .$$

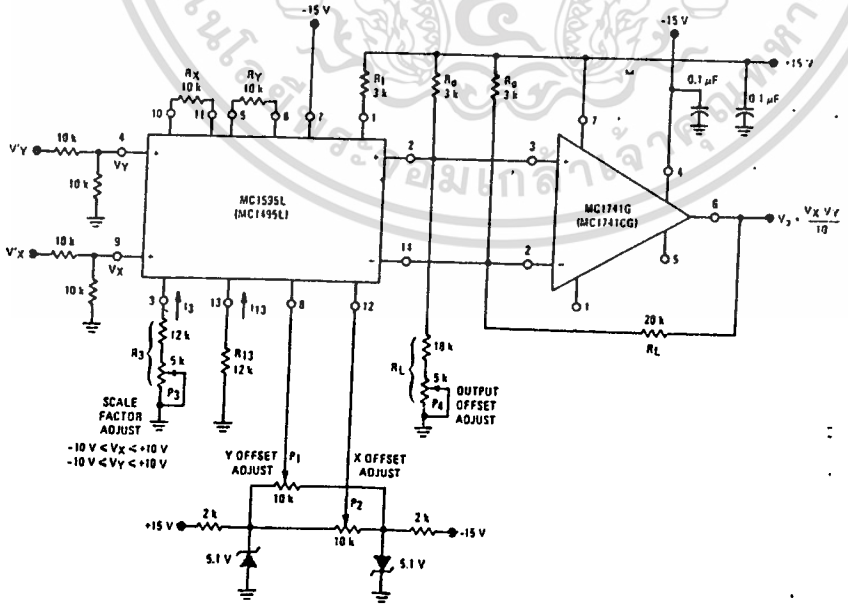
Therefore, K = 4/10 for the multiplier (excluding the divider network).

Step 1. The first step is to select current I_3 and current I_{13}. There are no restrictions on the selection of either of these currents except the power dissipation of the device. I_3 and I_{13} will normally be one or two milliamperes. Further, I_3 does not have to be equal to I_{13}, and there is normally no need to make them different. For this example, let

$$I_3 = I_{13} = 1\ mA.$$

To set currents I_3 and I_{13} to the desired value, it is only necessary to connect a resistor between pin 13 and ground, and between pin 3 and ground. From the schematic shown in Figure 3,

FIGURE 21 – MULTIPLIER WITH OP-AMPL. LEVEL SHIFT



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

OPERATION AND APPLICATIONS INFORMATION (continued)

It can be seen that the resistor values necessary are given by:

$$R_{13} + 500\ \Omega = \frac{|V^-| - 0.7\ V}{I_{13}}$$

$$R_3 + 500\ \Omega = \frac{|V^-| - 0.7\ V}{I_3}$$

Let $V^- = -15$ V

Then $R_{13} + 500 = \frac{14.3\ V}{1\ mA}$ or $R_{13} = 13.8\ k\Omega$

Let $R_{13} = 12\ k\Omega$

Similarly, $R_3 = 13.8\ k\Omega$

Let $R_3 = 15\ k\Omega$

However, for applications which require an accurate scale factor, the adjustment of R_3 and consequently, I_3, offers a convenient method of making a final trim of the scale factor. For this reason, as shown in Figure 21, resistor R_3 is shown as a fixed resistor in series with a potentiometer.

For applications not requiring an exact scale factor (balanced modulator, frequency doubler, AGC amplifier, etc.), pins 3 and 13 can be connected together and a single resistor from pin 3 to ground can be used. In this case, the single resistor would have a value of one-half the above calculated value for R_{13}.

Step 2. The next step is to select R_X and R_Y. To insure that the input transistors will always be active, the following conditions should be met:

$$\frac{V_X}{R_X} < I_{13} \qquad \frac{V_Y}{R_Y} < I_3.$$

A good rule of thumb is to make $I_3 R_Y \geq 1.5\ V_{Y(max)}$ and $I_{13} R_X \geq 1.5\ V_{X(max)}$.

The larger the $I_3 R_Y$ and $I_{13} R_X$ product in relation to V_Y and V_X respectively, the more accurate the multiplier will be (see Figures 17 and 18).

Let $R_X = R_Y = 10\ k\Omega$

Then $I_3 R_Y = 10$ V

$I_{13} R_X = 10$ V

since $V_{X(max)} = V_{Y(max)} = 5.0$ volts the value of $R_X = R_Y = 10\ k\Omega$ is sufficient.

Step 3. Now that R_X, R_Y and I_3 have been chosen, R_L can be determined:

$$K = \frac{2R_L}{R_X R_Y I_3} = \frac{4}{10}$$

or $$\frac{(2)\ (R_L)}{(10\ k)\ (10\ k)\ (1\ mA)} = \frac{4}{10}$$

Thus $R_L = 20\ k\Omega$.

Step 4. To determine what power-supply voltage is necessary for this application, attention must be given to the circuit schematic shown in Figure 3. From the circuit schematic it can be seen that in order to maintain transistors Q_1, Q_2, Q_3 and Q_4 in an active region when the maximum input voltages are applied ($V_X' = V_Y' = 10$ V or $V_X = 5.0$ V, $V_Y = 5.0$ V), their respective collector voltage should be at least a few tenths of a volt higher than the maximum input voltage. It should also be noticed that the collector voltage of transistors Q_3 and Q_4 are at a potential which is two diode-drops below the voltage at pin 1. Thus, the voltage at pin 1 should be about two volts higher than the maximum input voltage. Therefore, to handle +5.0 volts at the inputs, the voltage at pin 1 must be at least +7.0 volts. Let $V_1 = 9.0$ Vdc.

Since the current following into pin 1 is always equal to $2I_3$, the voltage at pin 1 can be set by placing a resistor, R_1 from pin 1 to the positive supply:

$$R_1 = \frac{V^+ - V_1}{2I_3}$$

Let $V^+ = +15$ V

Then $R_1 = \frac{15\ V - 9\ V}{(2)\ (1\ mA)}$

$R_1 = 3\ k\Omega$.

Note that the voltage at the base of transistors Q_5, Q_6, Q_7 and Q_8 is one diode-drop below the voltage at pin 1. Thus, in order that these transistors stay active, the voltage at pins 2 and 14 should be approximately halfway between the voltage at pin 1 and the positive-supply voltage. For this example, the voltage at pins 2 and 14 should be approximately 11 volts.

Step 5. Level Shifting

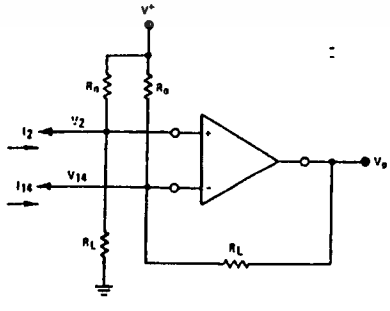
For dc applications, such as the multiply, divide and square-root functions, it is usually desirable to convert the differential output to a single-ended output voltage referenced to ground. The circuit shown in Figure 22 performs this function. It can be shown that the output voltage of this circuit is given by:

$$V_o = (I_2 - I_{14})\ R_L$$

And since $I_A - I_B = I_2 - I_{14} = \frac{2I_X I_Y}{I_3} = \frac{2\ V_X V_Y}{I_3 R_X R_Y}$

Then $V_o = \frac{2R_L V_X' V_Y'}{4R_X R_Y I_3}$ where $V_X' V_Y'$ is the voltage at the input to the voltage dividers.

FIGURE 22 – LEVEL SHIFT CIRCUIT



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

OPERATION AND APPLICATIONS INFORMATION (continued)

The choice of an operational amplifier for this application should have low bias currents, low offset current, and a high common-mode input voltage range as well as a high common-mode rejection ratio. The MC1556, and MC1741 operational amplifiers meet these requirements.

Referring to Figure 21, the level shift components will be determined. When $V_X = V_Y = 0$, the currents I_2 and I_{14} will be equal to I_{13}. In Step 3, R_L was found to be 20 kΩ and in Step 4, V_2 and V_{14} were found to be approximately 11 volts. From this information, R_o can be found easily from the following equation (neglecting the operational amplifiers bias current):

$$\frac{V_2}{R_L} + I_{13} = \frac{V^+ - V_2}{R_o}$$

And for this example, $\frac{11\ V}{20\ k\Omega} + 1\ mA = \frac{15\ V - 11\ V}{R_o}$

Solving for R_o, $R_o = 2.6\ k\Omega$

Thus, select $R_o = 3.0\ k\Omega$

For $R_o = 3.0\ k\Omega$, the voltage at pins 2 and 14 is calculated to be

$$V_2 = V_{14} = 10.4 \text{ volts.}$$

The linearity of this circuit (Figure 21) is likely to be as good or better than the circuit of Figure 5. Further improvements are possible as shown in Figure 23 where R_Y has been increased substantially to improve the Y linearity, and R_X decreased somewhat so as not to materially affect the X linearity, this avoids increasing R_L significantly in order to maintain a K of 0.1.

The versatility of the MC1595 (MC1495) allows the user to to optimize its performance for various input and output signal levels.

4. Offset and Scale Factor Adjustment

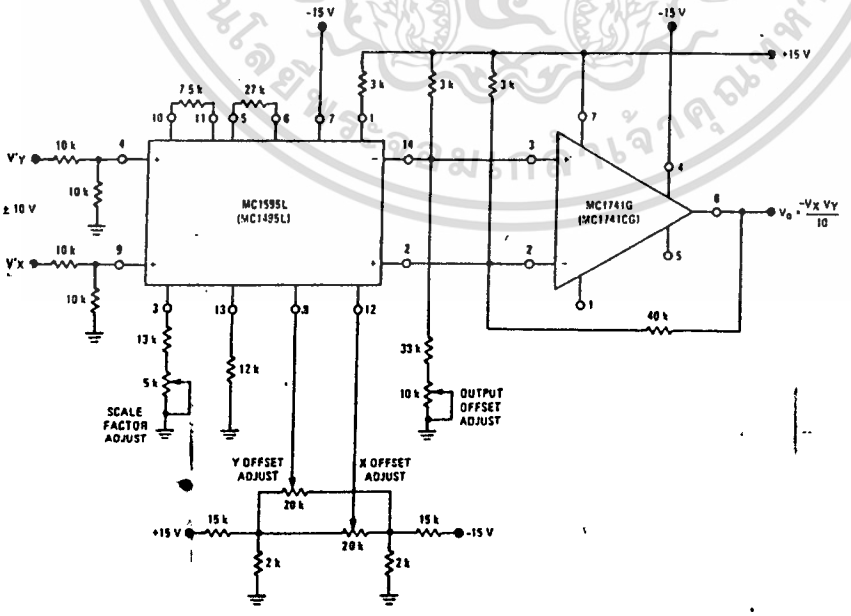
4.1 Offset Voltages

Within the monolithic multiplier (Figure 3) transistor base-emitter junctions are typically matched within 1mV and resistors are typically matched within 2%. Even with this careful matching, an output error can occur. This output error is comprised of X-input offset voltage, Y-input offset voltage, and output-offset voltage. These errors can be adjusted to zero with the techniques shown in Figure 21. Offset terms can be shown analytically by the transfer function:

$$V_o = K(V_X \pm V_{IOX} \pm V_{X\,off})(V_Y \pm V_{IOY} \pm V_{Y\,off}) \pm V_{oo} \quad (1)$$

Where K = scale factor
V_X = X input voltage
V_Y = Y input voltage
V_{IOX} = X input offset voltage
V_{IOY} = Y input offset voltage
$V_{X\,off}$ = X input offset adjust voltage
$V_{Y\,off}$ = Y input offset adjust voltage
V_{oo} = output offset voltage.

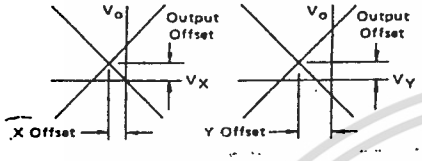
FIGURE 23 – MULTIPLIER WITH IMPROVED LINEARITY



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

OPERATION AND APPLICATIONS INFORMATION (continued)

X, Y and Output Offset Voltages



For most dc applications, all three offset adjust potentiometers (P_1, P_2, P_4) will be necessary. One or more offset adjust potentiometers can be eliminated for ac applications (See Figures 28, 29, 30, 31).

If well regulated supply voltages are available, the offset adjust circuit of Figure 13 is recommended. Otherwise, the circuit of Figure 14 will greatly reduce the sensitivity to power supply changes.

4.2 Scale Factor

The scale factor, K, is set by P_3 (Figure 21). P_3 varies I_3 which inversely controls the scale factor K. It should be noted that current I_3 is one-half the current through R_1. R_1 sets the bias level for Q_5, Q_6, Q_7, and Q_8 (See Figure 3). Therefore, to be sure that these devices remain active under all conditions of input and output swing, care should be exercised in adjusting P_3 over wide voltage ranges (see Section 3, General Design Procedure).

4.3 Adjustment Procedures

The following adjustment procedure should be used to null the offsets and set the scale factor for the multiply mode of operation. (See Figure 21)

1. X Input Offset
   (a) Connect oscillator (1 kHz, 5 Vpp sinewave) to the "Y" input (pin 4)
   (b) Connect "X" input (pin 9) to ground
   (c) Adjust X offset potentiometer, P_2, for an ac null at the output
2. Y Input Offset
   (a) Connect oscillator (1 kHz, 5 Vpp sinewave) to the "X" input (pin 9)
   (b) Connect "Y" input (pin 4) to ground
   (c) Adjust "Y" offset potentiometer, P_1, for an ac null at the output
3. Output Offset
   (a) Connect both "X" and "Y" inputs to ground
   (b) Adjust output offset potentiometer, P_4, until the output voltage V_O is zero volts dc
4. Scale Factor
   (a) Apply +10 Vdc to both the "X" and "Y" inputs
   (b) Adjust P_3 to achieve + 10.00 V at the output.
5. Repeat steps 1 through 4 as necessary.

The ability to accurately adjust the MC1595 (MC1495) depends upon the characteristics of potentiometers P_1 through P_4. Multi-turn, infinite resolution potentiometers with low-temperature coefficients are recommended.

5. DC Applications

5.1 Multiply

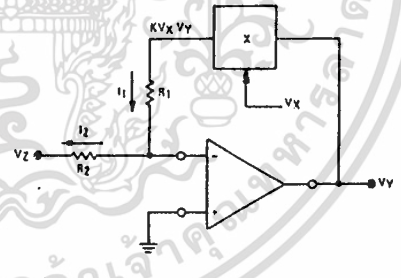
The circuit shown in Figure 21 may be used to multiply signals from dc to 100 kHz. Input levels to the actual multiplier are 5.0 V (max). With resistive voltage dividers the maximum could be very large — however, for this application two-to-one dividers have been used so that the maximum input level is 10 V. The maximum output level has also been designed for 10 V (max).

5.2 Squaring Circuit

If the two inputs are tied together, the resultant function is squaring; that is $V_O = KV^2$ where K is the scale factor. Note that all error terms can be eliminated with only three adjustment potentiometers, thus eliminating one of the input offset adjustments. Procedures for nulling with adjustments are given as follows:

1. AC Procedure:
   (a) Connect oscillator (1 kHz, 15 Vpp) to input
   (b) Monitor output at 2 kHz with tuned voltmeter and adjust P_3 for desired gain (be sure to peak response of the voltmeter)
   (c) Tune voltmeter to 1 kHz and adjust P_1 for a minimum output voltage
   (d) Ground input and adjust P_4 (output offset) for zero volts dc output
   (e) Repeat steps a through d as necessary.
2. DC Procedure:
   (a) Set $V_X = V_Y = 0$ V and adjust P_4 (output offset potentiometer) such that $V_O = 0.0$ Vdc
   (b) Set $V_X = V_Y = 1.0$ V and adjust P_1 (Y input offset potentiometer) such that the output voltage is +0.100 volts
   (c) Set $V_X = V_Y = 10$ Vdc and adjust P_3 such that the output voltage is +10.00 volts
   (d) Set $V_X = V_Y = -10$ Vdc. Repeat steps a through d as necessary.

FIGURE 24 – BASIC DIVIDE CIRCUIT



5.3 Divide Circuit

Consider the circuit shown in Figure 24 in which the multiplier is placed in the feedback path of an operational amplifier. For this configuration, the operational amplifier will maintain a "virtual ground" at the inverting (-) input. Assuming that the bias current of the operational amplifier is negligible, then $I_1 = I_2$ and

$$\frac{KV_XV_Y}{R1} = \frac{-V_Z}{R2} \quad (1)$$

Solving for V_Y,

$$V_Y = \frac{-R1}{R2\,K}\,\frac{V_Z}{V_X}. \quad (2)$$

If R1 = R2

$$V_Y = \frac{-V_Z}{KV_X} \quad (3)$$

If R1 = KR2

$$V_Y = \frac{-V_Z}{V_X}. \quad (4)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

OPERATION AND APPLICATIONS INFORMATION (continued)

Hence, the output voltage is the ratio of V_Z to V_X and provides a divide function. This analysis is, of course, the ideal condition. If the multiplier error is taken into account, the output voltage is found to be

$$V_Y = -\left[\frac{R1}{R2\,K}\right]\frac{V_Z}{V_X} + \frac{\Delta E}{K V_X} \qquad (5)$$

where ΔE is the error voltage at the output of the multiplier. From this equation, it is seen that divide accuracy is strongly dependent upon the accuracy at which the multiplier can be set, particularly at small values of V_Y. For example, assume that R1 = R2, and K = 1/10. For these conditions the output of the divide circuit is given by:

$$V_Y = \frac{-10\,V_Z}{V_X} + \frac{10\,\Delta E}{V_X} \qquad (6)$$

From equation 6, it is seen that only when V_X = 10 V is the error voltage of the divide circuit as low as the error of the multiply circuit. For example, when V_X is small, (0.1 volt) the error voltage of the divide circuit can be expected to be a hundred times the error of the basic multiplier circuit.

In terms of percentage error,

$$\text{percentage error} = \frac{\text{error}}{\text{actual}} \times 100\%$$

or from equation (5),

$$P.E._D = \frac{\frac{\Delta E}{K V_X}}{\left[\frac{R1}{R2\,K}\right]\frac{V_Z}{V_X}} = \left[\frac{R2}{R1}\right]\frac{\Delta E}{V_Z} \qquad (7)$$

From equation 7, the percentage error is inversely related to voltage V_Z (i.e., for increasing values of V_Z, the percentage error decreases).

A circuit that performs the divide function is shown in Figure 25.

Two things should be emphasized concerning Figure 25.

1. The input voltage (V'_X) must be greater than zero and must be positive. This insures that the current out of pin 2 of the multiplier will always be in a direction compatible with the polarity of V_Z.
2. Pins 2 and 14 of the multiplier have been interchanged in respect to the operational amplifiers input terminals. In this instance, Figure 25 differs from the circuit connection shown in Figure 21; necessitated to insure negative feedback around the loop.

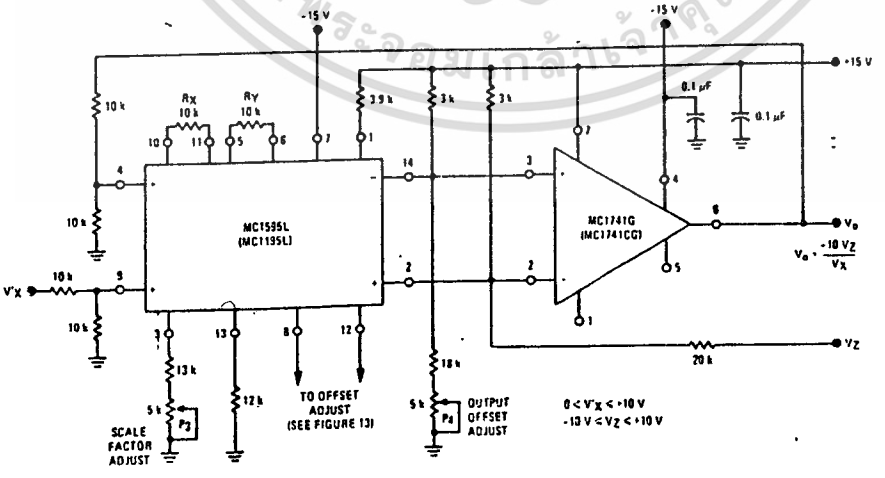
A Suggested Adjustment Procedure for the Divide Circuit

1. Set V_Z = 0 volts and adjust the output offset potentiometer (P_4) until the output voltage (V_O) remains at some (not necessarily zero) constant value as V_X' is varied between +1.0 volt and +10 volts.
2. Keep V_Z at 0 volts, set V_X' at +10 volts and adjust the Y input offset potentiometer (P_1) until V_O = 0 volts.
3. Let $V_X' = V_Z$ and adjust the X input offset potentiometer (P_2) until the output voltage remains at some (not necessarily - 10 volts) constant value as $V_Z = V_X'$ is varied between +1.0 and +10 volts.
4. Keep $V_X' = V_Z$ and adjust the scale factor potentiometer (P_3) until the average value of V_O is - 10 volts as $V_Z = V_X'$ is varied between +1.0 volt and +10 volts.
5. Repeat steps 1 through 4 as necessary to achieve optimum performance.

5.4 Square Root

A special case of the divide circuit in which the two inputs to the multiplier are connected together is the square root function

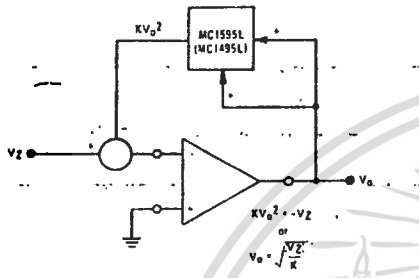
FIGURE 25 – DIVIDE CIRCUIT



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

OPERATION AND APPLICATIONS INFORMATION (continued)

FIGURE 26 – BASIC SQUARE ROOT CIRCUIT



as indicated in Figure 26. This circuit may suffer from latch-up problems similar to those of the divide circuit. Note that only one polarity of input is allowed and diode clamping (see Figure 27) protects against accidental latch-up.

This circuit also may be adjusted in the closed-loop mode as follows:

1. Set V_Z to −0.01 volts and adjust P_4 (output offset) for V_o = +0.316 volts, being careful to approach the output from the positive side to preclude the effect of the output diode clamping.
2. Set V_Z to −0.9 volts and adjust P_2 (X adjust) for V_o = +3.0 volts.
3. Set V_Z to −10 volts and adjust P_3 (scale factor adjust) for V_o = +10 volts.
4. Steps 1 through 3 may be repeated as necessary to achieve desired accuracy.

6. AC Applications

The applications that follow demonstrate the versatility of the monolithic multiplier. If a potted multiplier is used for these cases, the results generally would not be as good because the potted units have circuits that, although they optimize dc multiplication operation, can hinder ac applications.

6.1 Frequency doubling often is done with a diode where the fundamental plus a series of harmonics are generated. However, extensive filtering is required to obtain the desired harmonic, and the second harmonic obtained under this technique usually is small in magnitude and requires amplification.

When a multiplier is used to double frequency the second harmonic is obtained directly, except for a dc term, which can be removed with ac coupling.

$$e_o = KE^2 \cos^2 \omega t$$

$$e_o = \frac{KE^2}{2}(1 + \cos 2\omega t).$$

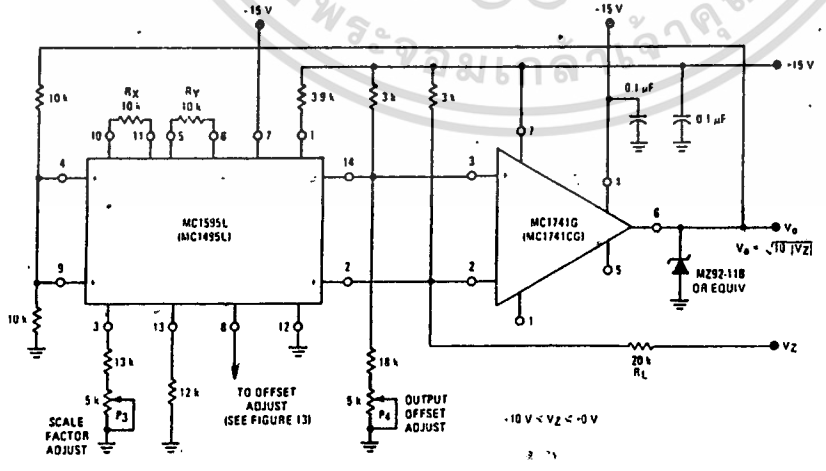
A potted multiplier can be used to obtain the double frequency component, but frequency would be limited by its internal level-shift amplifier. In the monolithic units, the amplifier is omitted.

In a typical doubler circuit, conventional ± 15-volt supplies are used. An input dynamic range of 5.0 volts peak-to-peak is allowed. The circuit generates wave-forms that are double frequency; less than 1% distortion is encountered without filtering. The configuration has been successfully used in excess of 200 kHz; reducing the scale factor by decreasing the load resistors can further expand the bandwidth.

A slightly modified version of the MC1595 (MC1495) – the MC1596 (MC1496) – has been successfully used as a doubler to obtain 400 MHz. (See Figure 28.)

6.2 Figure 29 represents an application for the monolithic multiplier as a balanced modulator. Here, the audio input signal is 1.6 kHz and the carrier is 40 kHz.

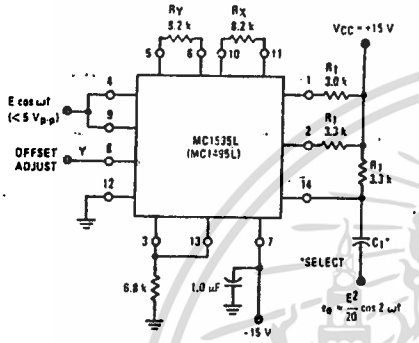
FIGURE 27 – SQUARE ROOT CIRCUIT



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

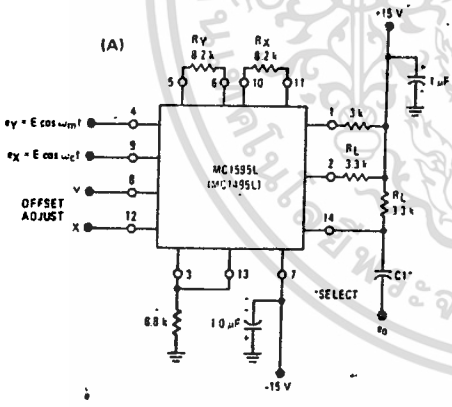
OPERATION AND APPLICATIONS INFORMATION (continued)

FIGURE 28 – FREQUENCY DOUBLER

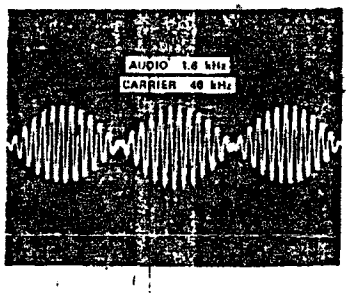


When two equal cosine waves are applied to X and Y, the result is a wave shape of twice the input frequency. For this example the input was a 10 kHz signal, output was 20 kHz.

FIGURE 29 – BALANCED MODULATOR



(B)



The defining equation for balanced modulation is

$$K(E_m \cos \omega_m t)(E_c \cos \omega_c t) = \frac{KE_cE_m}{2}[\cos(\omega_c + \omega_m)t + \cos(\omega_c - \omega_m)t]$$

where ω_c is the carrier frequency, ω_m is the modulator frequency and K is the multiplier gain constant.

AC coupling at the output eliminates the need for level translation or an operational amplifier; a higher operating frequency results.

A problem common to communications is to extract the intelligence from single-sideband received signal. The ssb signal is of the form

$$e_{ssb} = A \cos(\omega_c + \omega_m)t$$

and if multiplied by the appropriate carrier waveform, $\cos \omega_c t$,

$$e_{ssb}e_{carrier} = \frac{AK}{2}[\cos(2\omega_c + \omega_m)t + \cos(\omega_c)t].$$

If the frequency of the band-limited carrier signal, ω_c, is ascertained in advance the designer can insert a low-pass filter and obtain the (AK/2) $(\cos \omega_c t)$ term with ease. He also can use an operational amplifier for a combination level shift-active filter, as an external component. But in potted multipliers, even if the frequency range can be covered, the operational amplifier is inside and not accessible, so the user must accept the level shifting provided, and still add a low-pass filter.

6.3 Amplitude Modulation

The multiplier performs amplitude modulation, similar to balanced modulation, when a dc term is added to the modulating signal with the Y offset adjust potentiometer. (See Figure 30.)

Here, the identity is

$$E_m(1 + m \cos \omega_m t)E_c \cos \omega_c t = KE_mE_c \cos \omega_c t + \frac{KE_mE_cm}{2}[\cos(\omega_c + \omega_m)t + \cos(\omega_c - \omega_m)t]$$

where m indicates the degree of modulation. Since m is adjustable, via potentiometer P_1, 100% modulation is possible. Without extensive tweaking, 96% modulation may be obtained where ω_c and ω_m are the same as in the balanced-modulator example.

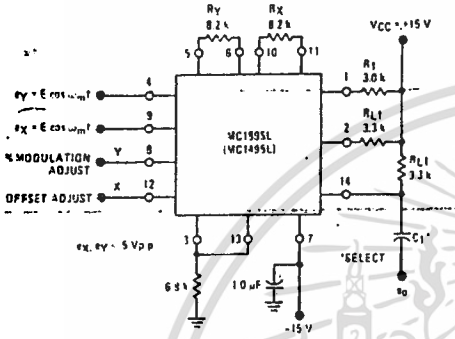
6.4 Linear Gain Control

To obtain linear gain control, the designer can feed to one of the two MC1595 (MC1495) inputs a signal that will vary the unit's gain. The following example demonstrates the feasibility of this application. Suppose a 200 kHz sine wave, 1.0 volt peak-to-peak, is the signal to which a gain control will be added. The dynamic range of the control voltage V_C is 0 to +1.0 volt. These must be ascertained and the proper values of R_X and R_Y can be selected for optimum performance. For the 200-kHz operating frequency, load resistors of 100 ohms were chosen to broaden the operating bandwidth of the multiplier, but gain was sacrificed. It may be made up with an amplifier operating at the appropriate frequency. (See Figure 31.)

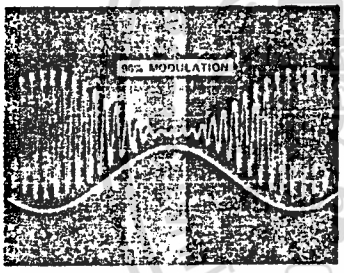
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

OPERATION AND APPLICATIONS INFORMATION (continued)

FIGURE 30 – AMPLITUDE MODULATION



(B)



The signal is applied to the unit's Y input. Since the total input range is limited to 1.0 volt p-p, a 2.0-volt swing, a current source of 2.0 mA and an R_Y value of 1.0 kilohm is chosen. This takes best advantage of the dynamic range and insures linear operation in the Y-channel.

Since the X input varies between 0 and +1.0 volt, the current source selected was 1.0 mA and the R_X value chosen was 2.0 kilohms. This also insures linear operation over the X input dynamic range.

Choosing $R_L = 100$ assures wide-bandwidth operation. Hence, the scale factor for this configuration is

$$K = \frac{R_L}{R_X R_Y I_3}$$

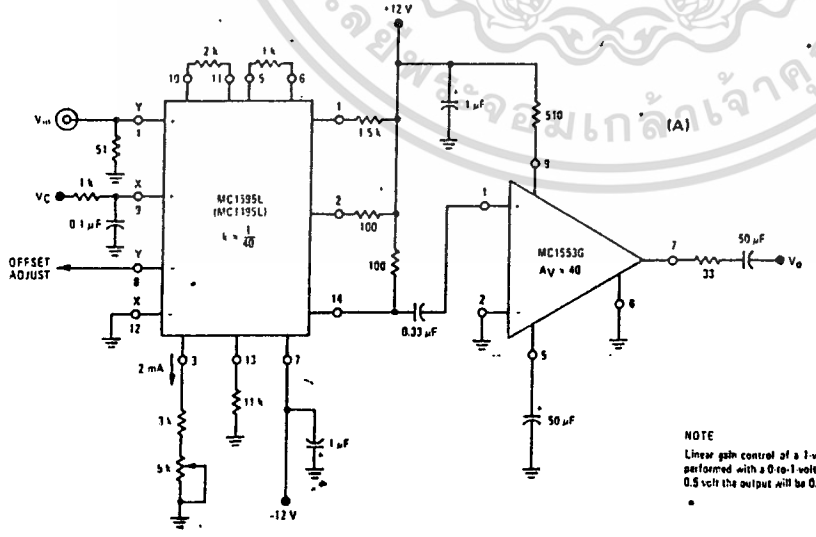
$$= \frac{100}{(2\text{ k})(1\text{ k})(2 \times 10^{+3})}\ V^{-1}$$

$$= \frac{1}{40}\ V^{-1}.$$

The 2 in the numerator of the equation is missing in this scale-factor expression because the output is single-ended and ac coupled.

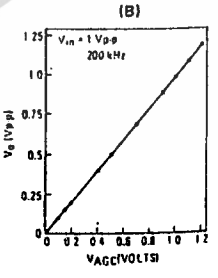
To recover the gain, an MC1552 video amplifier with a gain of 40 is used. An operational amplifier also could have been used with frequency compensation to allow a gain of 40 at 200 kHz. The MC1539 operational amplifier can be tailored for this use; and the MC1520 operational amplifier does it directly.

FIGURE 31 – LINEAR GAIN CONTROL



(A)

(B)



NOTE

Linear gain control of a 1-volt peak-to-peak signal is performed with a 0-to-1-volt control voltage. If V_C is 0.5 volt the output will be 0.5 volt p-p.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

OPERATIONS AND APPLICATIONS INFORMATION INDEX

1. THEORY OF OPERATION
2. DESIGN CONSIDERATIONS
   2.1 General
   2.1.1 Linearity, Output Error, E_{RX} or E_{RY}
   2.1.2 3-dB Bandwidth and Phase Shift
   2.1.3 Maximum Input Voltage
   2.1.4 Maximum Output Voltage Swing
3. GENERAL DESIGN PROCEDURES
4. OFFSET AND SCALE FACTOR ADJUSTMENT
   4.1 Offset Voltages
   4.2 Scale Factor
   4.3 Adjustment Procedure
5. DC APPLICATIONS
   5.1 Multiply
   5.2 Squaring Circuit
   5.3 Divide Circuit
   5.4 Square Root
6. AC APPLICATIONS
   6.1 Frequency Doubler
   6.2 Balanced Modulator
   6.3 Amplitude Modulation
   6.4 Linear Gain Control

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ORDERING INFORMATION

Device	Temperature Range	Package
MC1496G	0°C to +70°C	Metal Can
MC1496L	0°C to +70°C	Ceramic DIP
MC1496P	0°C to +70°C	Plastic DIP
MC1596G	−55°C to +125°C	Metal Can
MC1596L	−55°C to +125°C	Ceramic DIP

MC1496
MC1596

BALANCED MODULATOR – DEMODULATOR

. . . designed for use where the output voltage is a product of an input voltage (signal) and a switching function (carrier). Typical applications include suppressed carrier and amplitude modulation, synchronous detection, FM detection, phase detection, and chopper applications. See Motorola Application Note AN-531 for additional design information.

- Excellent Carrier Suppression – 65 dB typ @ 0.5 MHz
  – 50 dB typ @ 10 MHz
- Adjustable Gain and Signal Handling
- Balanced Inputs and Outputs
- High Common-Mode Rejection – 85 dB typ

BALANCED MODULATOR – DEMODULATOR

SILICON MONOLITHIC INTEGRATED CIRCUIT

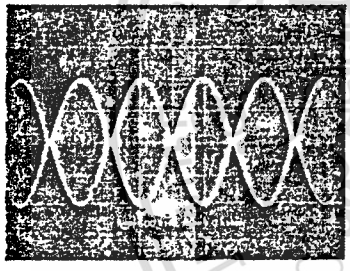


FIGURE 1 – SUPPRESSED CARRIER OUTPUT WAVEFORM

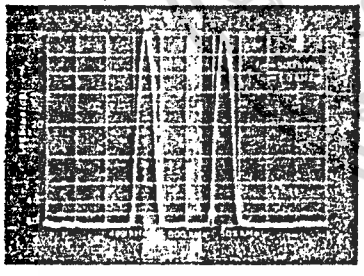


FIGURE 2 – SUPPRESSED CARRIER SPECTRUM

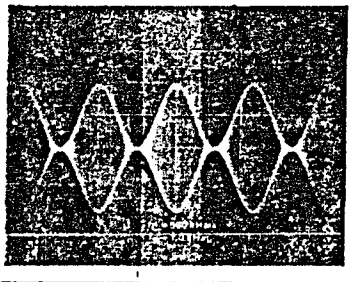
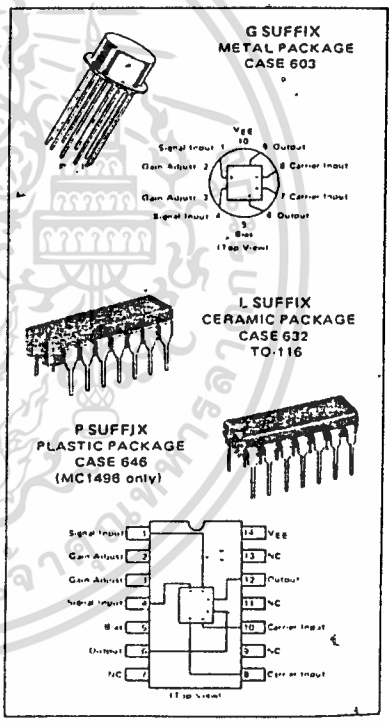


FIGURE 3 – AMPLITUDE-MODULATION OUTPUT WAVEFORM



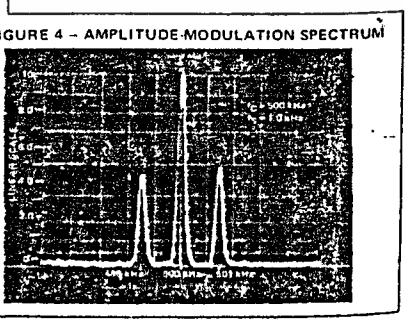


FIGURE 4 – AMPLITUDE-MODULATION SPECTRUM

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MAXIMUM RATINGS* (T_A = +25°C unless otherwise noted)

Rating	Symbol	Value	Unit
Applied Voltage ($V_6 - V_7$, $V_8 - V_1$, $V_9 - V_7$, $V_9 - V_8$, $V_7 - V_4$, $V_7 - V_1$, $V_8 - V_4$, $V_6 - V_8$, $V_2 - V_5$, $V_3 - V_5$)	ΔV	30	Vdc
Differential Input Signal	$V_7 - V_8$ $V_4 - V_1$	+5.0 $\pm(5+I_5R_e)$	Vdc
Maximum Bias Current	I_5	10	mA
Power Dissipation (Package Limitation) Ceramic Dual In-Line Package Derate above T_A = +25°C Metal Package Derate above T_A = +25°C	P_D	 575 3.85 680 4.6	 mW mW/°C mW mW/°C
Operating Temperature Range MC1496 MC1596	T_A	 0 to +70 -55 to +125	°C
Storage Temperature Range	T_{stg}	-65 to +150	°C

ELECTRICAL CHARACTERISTICS* (V_{CC} = +12 Vdc, V_{EE} = -8.0 Vdc, I_5 = 1.0 mAdc, R_L = 3.9 kΩ, R_e = 1.0 kΩ, T_A = +25°C unless otherwise noted) (All input and output characteristics are single-ended unless otherwise noted.)

Characteristic	Fig	Note	Symbol	MC1596 Min	MC1596 Typ	MC1596 Max	MC1496 Min	MC1496 Typ	MC1496 Max	Unit
Carrier Feedthrough	5	1	V_{CFT}							μV(rms)
V_C = 60 mV(rms) sine wave and offset adjusted to zero; f_C = 1.0 kHz				–	40	–	–	40	–	
f_C = 10 MHz				–	140	–	–	140	–	
V_C = 300 mVp-p square wave: offset adjusted to zero; f_C = 1.0 kHz				–	0.04	0.2	–	0.04	0.4	mV(rms)
offset not adjusted; f_C = 1.0 kHz				–	20	100	–	20	200	
Carrier Suppression	5	2	V_{CS}							dB
f_S = 10 kHz, 300 mV(rms)										
f_C = 500 kHz, 60 mV(rms) sine wave				50	65	–	40	65	–	
f_C = 10 MHz, 60 mV(rms) sine wave				–	50	–	–	50	–	k
Transadmittance Bandwidth (Magnitude) (R_L = 50 ohms)	8	8	BW_{3dB}							MHz
Carrier Input Port, V_C = 60 mV(rms) sine wave				–	300	–	–	300	–	
f_S = 1.0 kHz, 300 mV(rms) sine wave										
Signal Input Port, V_S = 300 mV(rms) sine wave				–	80	–	–	80	–	
$\lvert V_C \rvert$ = 0.5 Vdc										
Signal Gain	10	3	A_{VS}	2.5	3.5	–	2.5	3.5	–	V/V
V_S = 100 mV(rms), f = 1.0 kHz; $\lvert V_C \rvert$ = 0.5 Vdc										
Single-Ended Input Impedance, Signal Port, f = 5.0 MHz	6	–								
Parallel Input Resistance			r_{ip}	–	200	–	–	200	–	kΩ
Parallel Input Capacitance			c_{ip}	–	2.0	–	–	2.0	–	pF
Single-Ended Output Impedance, f = 10 MHz	6	–								
Parallel Output Resistance			r_{op}	–	40	–	–	40	–	kΩ
Parallel Output Capacitance			c_{op}	–	5.0	–	–	5.0	–	pF
Input Bias Current	7	–								μA
$I_{bS} = \frac{I_1 + I_4}{2}$; $I_{bC} = \frac{I_7 + I_8}{2}$			I_{bS} I_{bC}	– –	12 12	25 25	– –	12 12	30 30	
Input Offset Current	7	–								μA
$I_{ioS} = I_1 - I_4$; $I_{ioC} = I_7 - I_8$			$\lvert I_{ioS} \rvert$ $\lvert I_{ioC} \rvert$	– –	0.7 0.7	5.0 5.0	– –	0.7 0.7	7.0 7.0	
Average Temperature Coefficient of Input Offset Current (T_A = -55°C to +125°C)	7	–	$\lvert TC_{Iio} \rvert$	–	2.0	–	–	2.0	–	nA/°C
Output Offset Current ($I_6 - I_9$)	7	–	$\lvert I_{oo} \rvert$	–	14	50	–	14	80	μA
Average Temperature Coefficient of Output Offset Current (T_A = -55°C to +125°C)	7	–	$\lvert TC_{Ioo} \rvert$	–	90	–	–	90	–	nA/°C
Common-Mode Input Swing, Signal Port, f_S = 1.0 kHz	9	4	CMV	–	5.0	–	–	5.0	–	Vp-p
Common-Mode Gain, Signal Port, f_S = 1.0 kHz, $\lvert V_C \rvert$ = 0.5 Vdc	9	–	ACM	–	-85	–	–	-85	–	dB
Common-Mode Quiescent Output Voltage (Pin 6 or Pin 9)	10	–	V_o	–	8.0	–	–	8.0	–	Vdc
Differential Output Voltage Swing Capability	10	–	V_{out}	–	8.0	–	–	8.0	–	Vp-p
Power Supply Current	7	6								mAdc
$I_6 + I_9$			I_{CC}	–	2.0	3.0	–	2.0	4.0	
I_{10}			I_{EE}	–	3.0	4.0	–	3.0	5.0	
DC Power Dissipation	7	5	P_D	–	33	–	–	33	–	mW

* Pin number references pertain to this device when packaged in a metal can. To ascertain the corresponding pin numbers for plastic or ceramic packaged devices refer to the first page of this specification sheet.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

GENERAL OPERATING INFORMATION *

Note 1 – Carrier Feedthrough

Carrier feedthrough is defined as the output voltage at carrier frequency with only the carrier applied (signal voltage = 0).

Carrier null is achieved by balancing the currents in the differential amplifier by means of a bias trim potentiometer (R_1 of Figure 5).

Note 2 – Carrier Suppression

Carrier suppression is defined as the ratio of each sideband output to carrier output for the carrier and signal voltage levels specified.

Carrier suppression is very dependent on carrier input level, as shown in Figure 22. A low value of the carrier does not fully switch the upper switching devices, and results in lower signal gain, hence lower carrier suppression. A higher than optimum carrier level results in unnecessary device and circuit carrier feedthrough, which again degenerates the suppression figure. The MC1596 has been characterized with a 60 mV(rms) sinewave carrier input signal. This level provides optimum carrier suppression at carrier frequencies in the vicinity of 500 kHz, and is generally recommended for balanced modulator applications.

Carrier feedthrough is independent of signal level, V_S. Thus carrier suppression can be maximized by operating with large signal levels. However, a linear operating mode must be maintained in the signal-input transistor pair – or harmonics of the modulating signal will be generated and appear in the device output as spurious sidebands of the suppressed carrier. This requirement places an upper limit on input-signal amplitude (see Note 3 and Figure 20). Note also that an optimum carrier level is recommended in Figure 22 for good carrier suppression and minimum spurious sideband generation.

At higher frequencies circuit layout is very important in order to minimize carrier feedthrough. Shielding may be necessary in order to prevent capacitive coupling between the carrier input leads and the output leads.

Note 3 – Signal Gain and Maximum Input Level

Signal gain (single-ended) at low frequencies is defined as the voltage gain,

$$A_{VS} = \frac{V_o}{V_S} = \frac{R_L}{R_e + 2r_e} \text{ where } r_e = \frac{26\text{ mV}}{I_5\text{ (mA)}}$$

A constant dc potential is applied to the carrier input terminals to fully switch two of the upper transistors "on" and two transistors "off" (V_C = 0.5 Vdc). This in effect forms a cascode differential amplifier.

Linear operation requires that the signal input be below a critical value determined by R_E and the bias current I_5

$$V_S \leq I_5 R_E \text{ (Volts peak)}$$

Note that in the test circuit of Figure 10, V_S corresponds to a maximum value of 1 volt peak.

Note 4 – Common-Mode Swing

The common-mode swing is the voltage which may be applied to both bases of the signal differential amplifier, without saturating the current sources or without saturating the differential amplifier itself by swinging it into the upper switching devices. This swing is variable depending on the particular circuit and biasing conditions chosen (see Note 6).

Note 5 – Power Dissipation

Power dissipation, P_D, within the integrated circuit package should be calculated as the summation of the voltage-current products at each port, i.e. assuming $V_8 = V_6$, $I_5 = I_6 = I_9$ and ignoring base current, $P_D = 2 I_5 (V_6 - V_{10}) + I_5 (V_5 - V_{10})$ where subscripts refer to pin numbers.

Note 6 – Design Equations

The following is a partial list of design equations needed to operate the circuit with other supply voltages and input conditions. See Note 3 for R_e equation.

A. Operating Current

The internal bias currents are set by the conditions at pin 5. Assume:

$$I_5 = I_8 = I_9$$

$$I_B \ll I_C \text{ for all transistors}$$

then:

$$R_5 = \frac{V^- - \phi}{I_5} - 500\ \Omega \quad \text{where: } R_5 \text{ is the resistor between pin 5 and ground}$$

ϕ = 0.75 V at T_A = +25°C

The MC1596 has been characterized for the condition I_5 = 1.0 mA and is the generally recommended value.

B. Common-Mode Quiescent Output Voltage

$$V_6 = V_9 = V^+ - I_5 R_L$$

Note 7 – Biasing

The MC1596 requires three dc bias voltage levels which must be set externally. Guidelines for setting up these three levels include maintaining at least 2 volts collector-base bias on all transistors while not exceeding the voltages given in the absolute maximum rating table;

$$30 \text{ Vdc} \geq [(V_6, V_9) - (V_7, V_8)] \geq 2 \text{ Vdc}$$

$$30 \text{ Vdc} \geq [(V_7, V_8) - (V_1, V_4)] \geq 2.7 \text{ Vdc}$$

$$30 \text{ Vdc} \geq [(V_1, V_4) - (V_5)] \geq 2.7 \text{ Vdc}$$

The foregoing conditions are based on the following approximations:

$$V_6 = V_9. \quad V_7 = V_8. \quad V_1 = V_4$$

Bias currents flowing into pins 1, 4, 7, and 8 are transistor base currents and can normally be neglected if external bias dividers are designed to carry 1.0 mA or more.

Note 8 – Transadmittance Bandwidth

Carrier transadmittance bandwidth is the 3-dB bandwidth of the device forward transadmittance as defined by:

$$Y21C = \left.\frac{i_o \text{ (each sideband)}}{v_s \text{ (signal)}}\right| V_o = 0$$

Signal transadmittance bandwidth is the 3-dB bandwidth of the device forward transadmittance as defined by:

$$Y21S = \left.\frac{I_o \text{ (signal)}}{v_s \text{ (signal)}}\right| V_C = 0.5 \text{ Vdc}, V_o = 0$$

*Pin number references pertain to this device when packaged in a metal can. To ascertain the corresponding pin numbers for plastic or ceramic packaged devices refer to the first page of this specification sheet.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Note 9 — Coupling and Bypass Capacitors C_1 and C_2

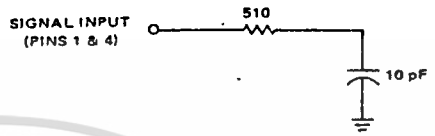
Capacitors C_1 and C_2 (Figure 5) should be selected for a reactance of less than 5.0 ohms at the carrier frequency.

Note 10 — Output Signal, V_o

The output signal is taken from pins 6 and 9, either balanced or single-ended. Figure 12 shows the output levels of each of the two output sidebands resulting from variations in both the carrier and modulating signal inputs with a single-ended output connection.

Note 11 — Signal Port Stability

Under certain values of driving source impedance, oscillation may occur. In this event, an RC suppression network should be connected directly to each input using short leads. This will reduce the Q of the source-tuned circuits that cause the oscillation.



An alternate method for low-frequency applications is to insert a 1 k-ohm resistor in series with the inputs, pins 1 and 4. In this case input current drift may cause serious degradation of carrier suppression.

TEST CIRCUITS

FIGURE 5 — CARRIER REJECTION AND SUPPRESSION

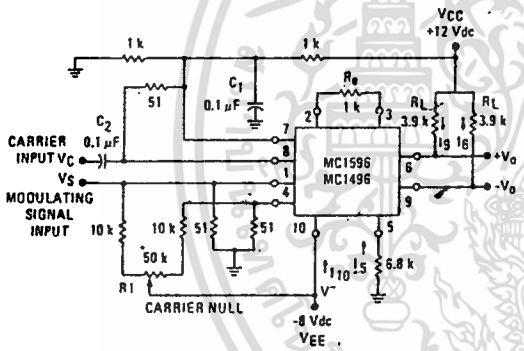


FIGURE 6 — INPUT-OUTPUT IMPEDANCE

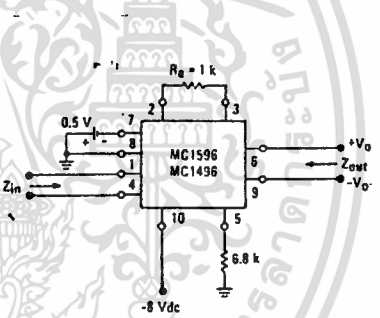


FIGURE 7 — BIAS AND OFFSET CURRENTS

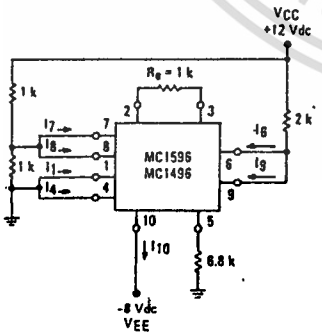
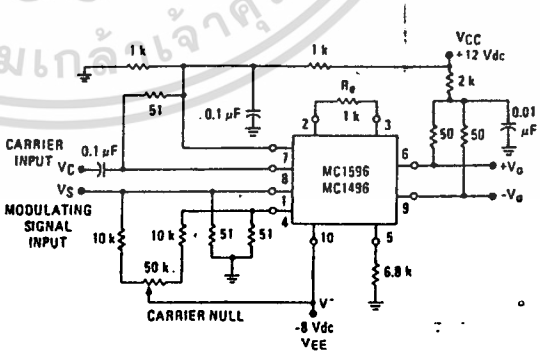


FIGURE 8 — TRANSCONDUCTANCE BANDWIDTH

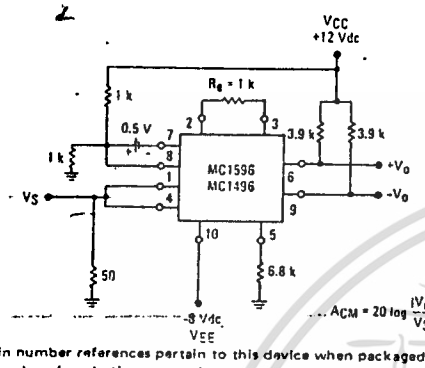


Pin number references pertain to this device when packaged in a metal can. To ascertain the corresponding pin numbers for plastic or ceramic packaged devices refer to the first page of this specification sheet.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

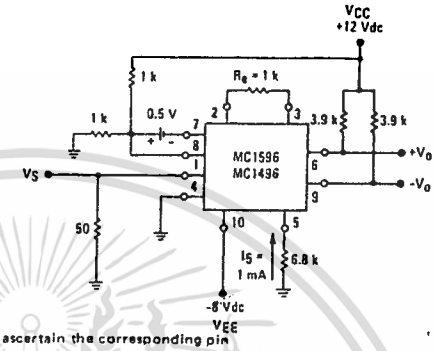
TEST CIRCUITS (continued)

FIGURE 9 – COMMON-MODE GAIN



$\therefore A_{CM} = 20 \log \frac{|V_o|}{V_S}$

FIGURE 10 – SIGNAL GAIN AND OUTPUT SWING



Pin number references pertain to this device when packaged in a metal can. To ascertain the corresponding pin numbers for plastic or ceramic packaged devices refer to the first page of this specification sheet.

TYPICAL CHARACTERISTICS (continued)

Typical characteristics were obtained with circuit shown in Figure 5, f_C = 500 kHz (sine wave), V_C = 60 mV(rms), f_S = 1 kHz, V_S = 300 mV(rms), T_A = +25°C unless otherwise noted.

FIGURE 11 – SIDEBAND OUTPUT versus CARRIER LEVELS

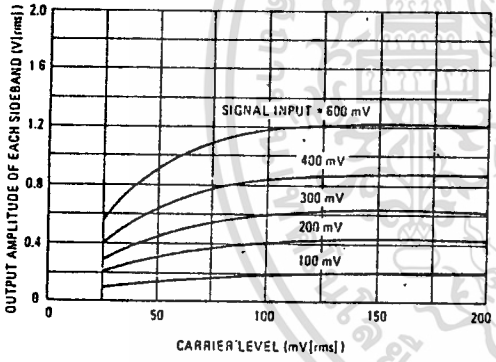


FIGURE 12 – SIGNAL-PORT PARALLEL-EQUIVALENT INPUT RESISTANCE versus FREQUENCY

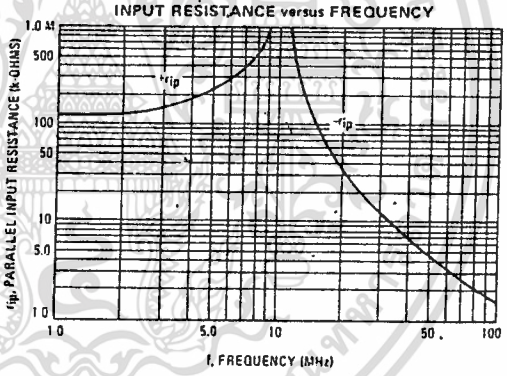


FIGURE 13 – SIGNAL-PORT PARALLEL-EQUIVALENT INPUT CAPACITANCE versus FREQUENCY

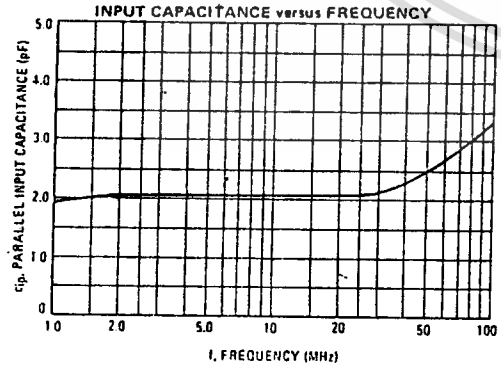
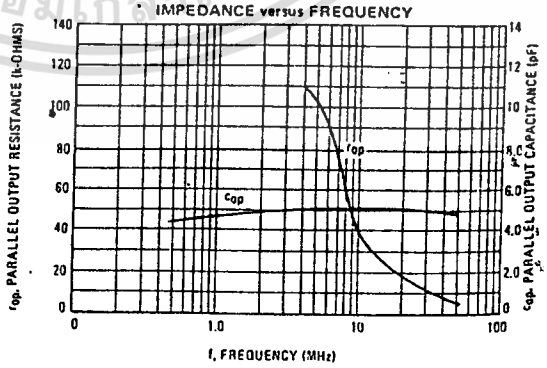


FIGURE 14 – SINGLE-ENDED OUTPUT IMPEDANCE versus FREQUENCY



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TYPICAL CHARACTERISTICS (continued)

Typical characteristics were obtained with circuit shown in Figure 5, f_C = 500 kHz (sine wave), V_C = 60 mV(rms), f_S = 1 kHz, V_S = 300 mV(rms), T_A = +25°C unless otherwise noted.

FIGURE 15 – SIDEBAND AND SIGNAL PORT TRANSADMITTANCES versus FREQUENCY

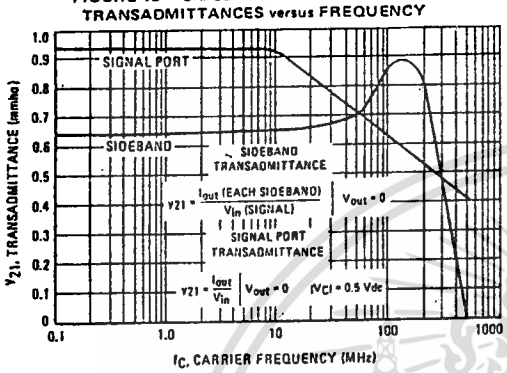


FIGURE 16 – CARRIER SUPPRESSION versus TEMPERATURE

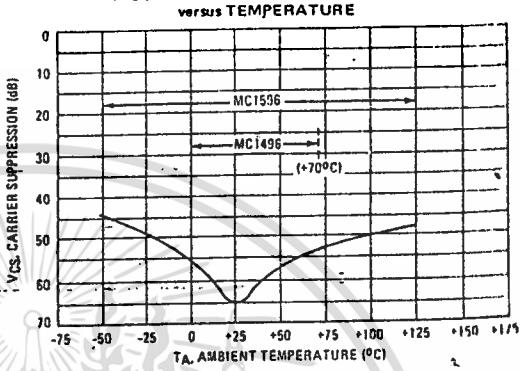


FIGURE 17 – SIGNAL-PORT FREQUENCY RESPONSE

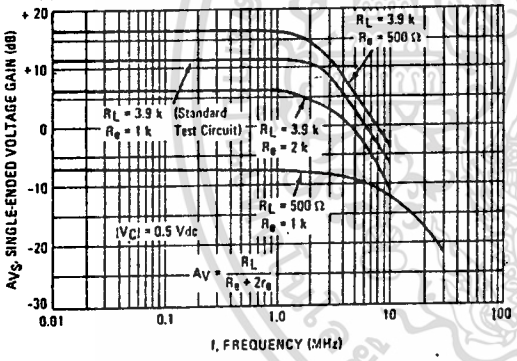


FIGURE 18 – CARRIER SUPPRESSION versus FREQUENCY

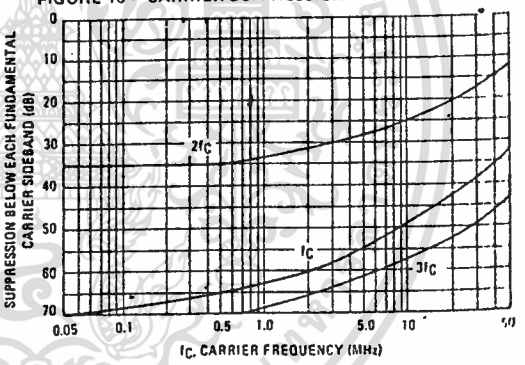


FIGURE 19 – CARRIER FEEDTHROUGH versus FREQUENCY

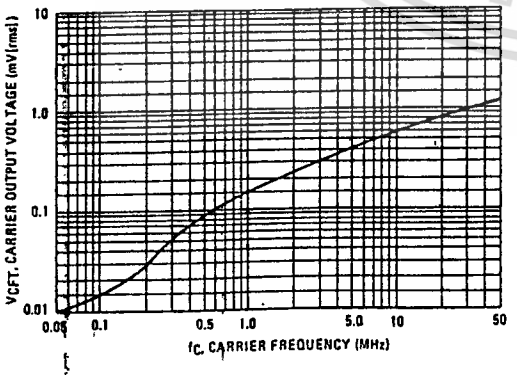
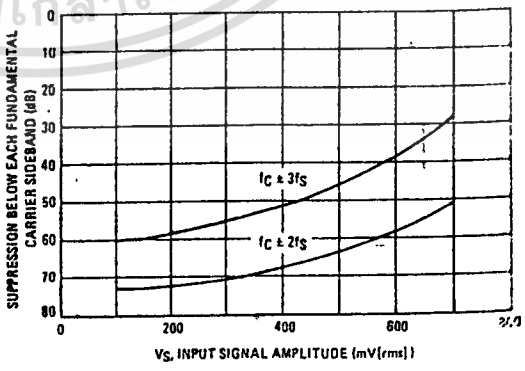


FIGURE 20 – SIDEBAND HARMONIC SUPPRESSION versus INPUT SIGNAL LEVEL



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TYPICAL CHARACTERISTICS (continued)

FIGURE 21 – SUPPRESSION OF CARRIER HARMONIC SIDEBANDS versus CARRIER FREQUENCY

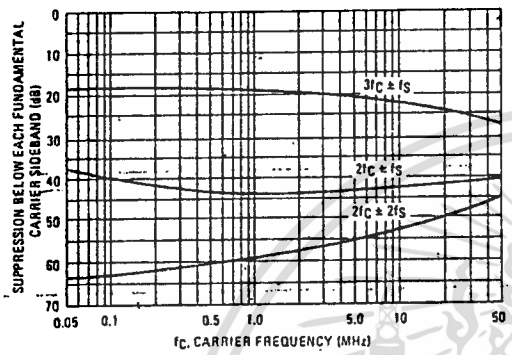
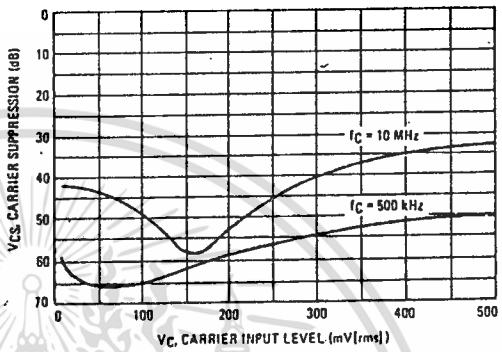


FIGURE 22 – CARRIER SUPPRESSION versus CARRIER INPUT LEVEL



OPERATIONS INFORMATION

The MC1596/MC1496, a monolithic balanced modulator circuit, is shown in Figure 23.

This circuit consists of an upper quad differential amplifier driven by a standard differential amplifier with dual current sources. The output collectors are cross-coupled so that full-wave balanced multiplication of the two input voltages occurs. That is, the output signal is a constant times the product of the two input signals.

Mathematical analysis of linear ac signal multiplication indicates that the output spectrum will consist of only the sum and difference of the two input frequencies. Thus, the device may be used as a balanced modulator, doubly balanced mixer, product detector, frequency doubler, and other applications requiring these particular output signal characteristics.

The lower differential amplifier has its emitters connected to the package pins so that an external emitter resistance may be used. Also, external load resistors are employed at the device output.

FIGURE 23 – CIRCUIT SCHEMATIC

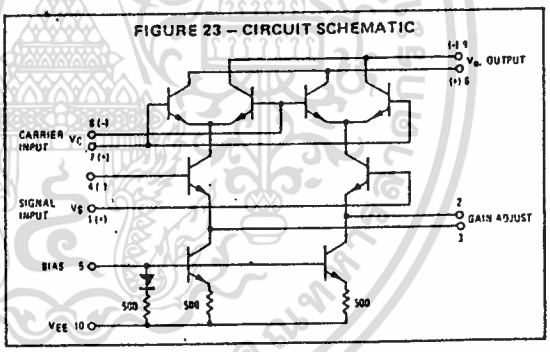
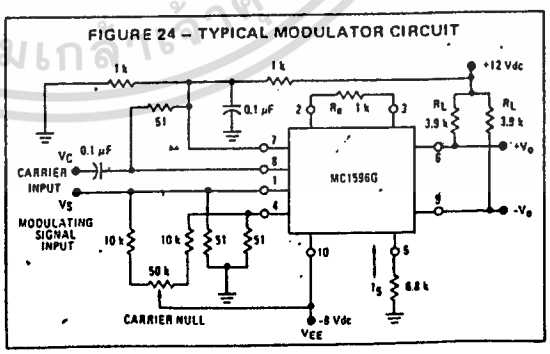


FIGURE 24 – TYPICAL MODULATOR CIRCUIT



Signal Levels

The upper quad differential amplifier may be operated either in a linear or a saturated mode. The lower differential amplifier is operated in a linear mode for most applications.

For low-level operation at both input ports, the output signal will contain sum and difference frequency components and have an amplitude which is a function of the product of the input signal amplitudes.

For high-level operation at the carrier input port and linear operation at the modulating signal port, the output signal will contain sum and difference frequency components of the modulating signal frequency and the fundamental and odd harmonics of the carrier frequency. The output amplitude will be a constant times the modulating signal amplitude. Any amplitude variations in the carrier signal will not appear in the output.

Pin number references pertain to this device when packaged in a metal can. To ascertain the corresponding pin numbers for plastic or ceramic packaged devices refer to the first page of this specification sheet.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

OPERATIONS INFORMATION (continued)

The linear signal handling capabilities of a differential amplifier are well defined. With no emitter degeneration, the maximum input voltage for linear operation is approximately 25 mV peak. Since the upper differential amplifier has its emitters internally connected, this voltage applies to the carrier input port for all conditions.

Since the lower differential amplifier has provisions for an external emitter resistance, its linear signal handling range may be adjusted by the user. The maximum input voltage for linear operation may be approximated from the following expression:

$$V = (I_5)(R_E) \text{ volts peak.}$$

This expression may be used to compute the minimum value of R_E for a given input voltage amplitude.

FIGURE 25 – TABLE 1
VOLTAGE GAIN AND OUTPUT FREQUENCIES

Carrier Input Signal (V_C)	Approximate Voltage Gain	Output Signal Frequency(s)
Low-level dc	$\frac{R_L V_C}{2(R_E + 2r_e)\left(\frac{KT}{q}\right)}$	f_M
High-level dc	$\frac{R_L}{R_E + 2r_e}$	f_M
Low-level ac	$\frac{R_L V_C(rms)}{2\sqrt{2}\left(\frac{KT}{q}\right)(R_E + 2r_e)}$	$f_C \pm f_M$
High-level ac	$\frac{0.637\, R_L}{R_E + 2r_e}$	$f_C \pm f_M$, $3f_C \pm f_M$, $5f_C \pm f_M$, . . .

The gain from the modulating signal input port to the output is the MC1596/MC1496 gain parameter which is most often of interest to the designer. This gain has significance only when the lower differential amplifier is operated in a linear mode, but this includes most applications of the device.

As previously mentioned, the upper quad differential amplifier may be operated either in a linear or a saturated mode. Approximate gain expressions have been developed for the MC1596/MC1496 for a low-level modulating signal input and the following carrier input conditions:

1) Low-level dc
2) High-level dc
3) Low-level ac
4) High-level ac

These gains are summarized in Table 1, along with the frequency components contained in the output signal.

NOTES:
1. Low-level Modulating Signal, V_M, assumed in all cases. V_C is Carrier Input Voltage.
2. When the output signal contains multiple frequencies, the gain expression given is for the output amplitude of each of the two desired outputs, $f_C + f_M$ and $f_C - f_M$.
3. All gain expressions are for a single-ended output. For a differential output connection, multiply each expression by two.
4. R_L = Load resistance.
5. R_E = Emitter resistance between pins 2 and 3.
6. r_e = Transistor dynamic emitter resistance, at +25°C:
$$r_e \approx \frac{26 \text{ mV}}{I_5 \text{ (mA)}}$$
7. K = Boltzmann's Constant, T = temperature in degrees Kelvin, q = the charge on an electron.
$$\frac{KT}{q} \approx 26 \text{ mV at room temperature}$$

APPLICATIONS INFORMATION

Double sideband suppressed carrier modulation is the basic application of the MC1596/MC1496. The suggested circuit for this application is shown on the front page of this data sheet.

In some applications, it may be necessary to operate the MC1596/MC1496 with a single dc supply voltage instead of dual supplies. Figure 26 shows a balanced modulator designed for operation with a single +12 Vdc supply. Performance of this circuit is similar to that of the dual supply modulator.

AM Modulator

The circuit shown in Figure 27 may be used as an amplitude modulator with a minor modification.

All that is required to shift from suppressed carrier to AM operation is to adjust the carrier null potentiometer for the proper amount of carrier insertion in the output signal.

However, the suppressed carrier null circuitry as shown in Figure 27 does not have sufficient adjustment range. Therefore, the modulator may be modified for AM operation by changing two resistor values in the null circuit as shown in Figure 28.

Product Detector

The MC1596/MC1496 makes an excellent SSB product detector (see Figure 29).

This product detector has a sensitivity of 3.0 microvolts and a dynamic range of 90 dB when operating at an intermediate frequency of 9 MHz.

The detector is broadband for the entire high frequency range. For operation at very low intermediate frequencies down to 50 kHz the 0.1 μF capacitors on pins 7 and 8 should be increased to 1.0 μF. Also, the output filter at pin 9 can be tailored to a specific intermediate frequency and audio amplifier input impedance.

As in all applications of the MC1596/MC1496, the emitter resistance between pins 2 and 3 may be increased or decreased to adjust circuit gain, sensitivity, and dynamic range.

This circuit may also be used as an AM detector by introducing carrier signal at the carrier input and an AM signal at the SSB input.

The carrier signal may be derived from the intermediate frequency signal or generated locally. The carrier signal may be introduced with or without modulation, provided its level is sufficiently high to saturate the upper quad differential amplifier. If the carrier signal is modulated, a 300 mV(rms) input level is recommended.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

APPLICATIONS INFORMATION (continued)

Doubly Balanced Mixer

The MC1596/MC1496 may be used as a doubly balanced mixer with either broadband or tuned narrow band input and output networks.

The local oscillator signal is introduced at the carrier input port with a recommended amplitude of 100 mV(rms).

Figure 30 shows a mixer with a broadband input and a tuned output.

Frequency Doubler

The MC1596/MC1496 will operate as a frequency doubler by introducing the same frequency at both input ports.

Figures 31 and 32 show a broadband frequency doubler and a tuned output very high frequency (VHF) doubler, respectively.

Phase Detection and FM Detection

The MC1596/MC1496 will function as a phase detector. High-level input signals are introduced at both inputs. When both inputs are at the same frequency the MC1596/MC1496 will deliver an output which is a function of the phase difference between the two input signals.

An FM detector may be constructed by using the phase detector principle. A tuned circuit is added at one of the inputs to cause the two input signals to vary in phase as a function of frequency. The MC1596/MC1496 will then provide an output which is a function of the input signal frequency.

Pin number references pertain to this device when packaged in a metal can. To ascertain the corresponding pin numbers for plastic or ceramic packaged devices refer to the first page of this specification sheet.

TYPICAL APPLICATIONS

FIGURE 26 – BALANCED MODULATOR (+12 Vdc SINGLE SUPPLY)

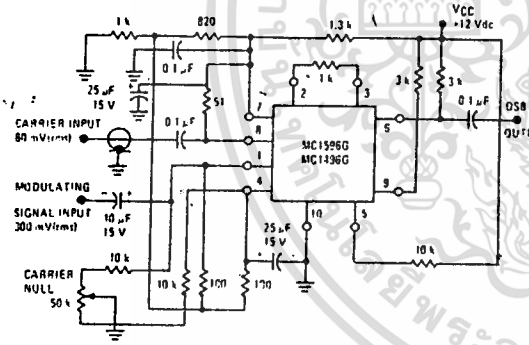


FIGURE 27 – BALANCED MODULATOR-DEMODULATOR

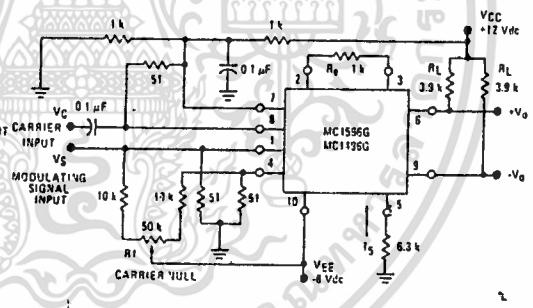


FIGURE 28 – AM MODULATOR CIRCUIT

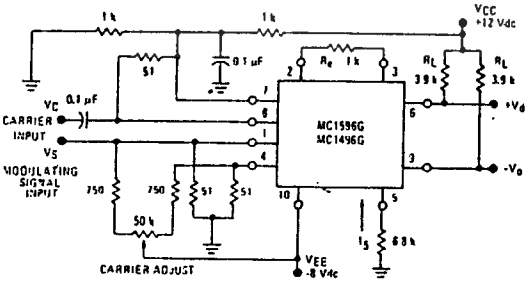
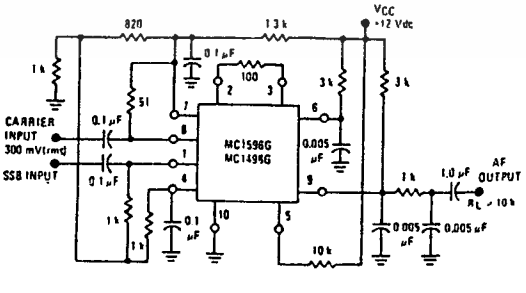


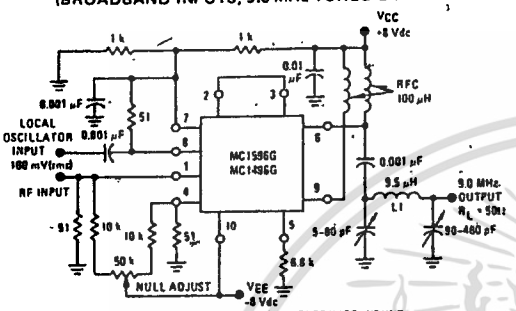
FIGURE 29 – PRODUCT DETECTOR (+12 Vdc SINGLE SUPPLY)



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TYPICAL APPLICATIONS (continued)

FIGURE 30 – DOUBLY BALANCED MIXER
(BROADBAND INPUTS, 9.0 MHz TUNED OUTPUT)



L1 = 44 TURNS AWG NO. 28 ENAMELED WIRE, WOUND ON MICROMETALS TYPE 44-6 TOROID CORE.

FIGURE 31 – LOW-FREQUENCY DOUBLER

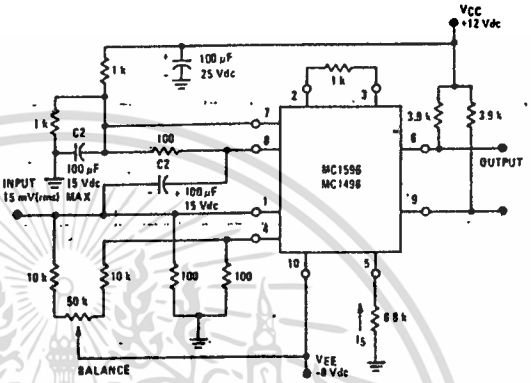
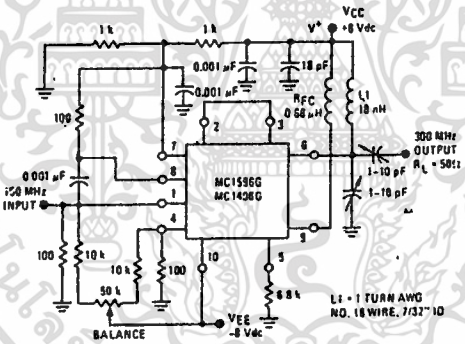
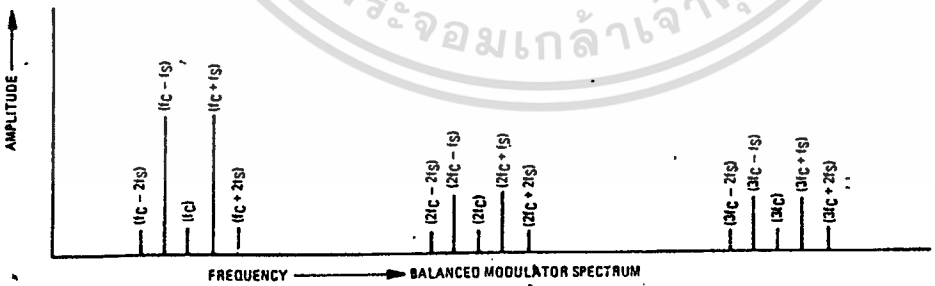


FIGURE 32 – 150 to 300 MHz DOUBLER



L1 = 1 TURN AWG NO. 18 WIRE, 7/32" ID

DEFINITIONS



f_C	CARRIER FUNDAMENTAL	$f_C \pm nf_S$	FUNDAMENTAL CARRIER SIDEBAND HARMONICS
f_S	MODULATING SIGNAL	nf_C	CARRIER HARMONICS
$f_C \pm f_S$	FUNDAMENTAL CARRIER SIDEBANDS	$nf_C \pm nf_S$	CARRIER HARMONIC SIDEBANDS

Pin number references pertain to this device when packaged in a metal can. To ascertain the corresponding pin numbers for plastic or ceramic packaged devices refer to the first page of this specification sheet.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้