



ปีการศึกษา 2533

วงจรล็อกความถี่โดยใช้เฟสล็อกกลูป
(PHASE LOCKED LOOP FREQUENCY SYNTHESIZER)

โดย

นายเกรียงศักดิ์ พุ่มน้อย	31.3602
นายทนง ชนพันธ์พาณิชย์	31.3609
นายบุญฤทธิ์ ปุทธิเสถียร	31.3613
นายอาโมทย์ สมนบูรณ์แก้ว	31.3635

อาจารย์ที่ปรึกษา

อาจารย์ กฤตากร กล่อมการ

027882

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาติให้ทำซ้ำโดยไม่ได้รับอนุญาต
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

12 ก.ค. 2534



ปริญญานิพนธ์ปีการศึกษา 2533

ภาควิชาเทคโนโลยีอุตสาหกรรม

คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้า เจ้าคุณทหารลาดกระบัง

เรื่อง วงจรสังเคราะห์ความถี่โดยใช้เฟสล็อกกลูป

(PHASE LOCKED LOOP FREQUENCY SYNTHESIZER)

ผู้จัดทำ

1. นายเกรียงศักดิ์ พุ่มน้อย 31.3602
2. นายทง กนกพันธ์พาณิชย์ 31.3609
3. นายบุญฤทธิ์ ปุทธิเสถียร 31.3613
4. นายอาโมทย์ สมบูรณ์แก้ว 31.3635

.....อาจารย์ที่ปรึกษา
(อาจารย์กฤตากร กล่อมการ)

.....กรรมการ
(.....)

.....กรรมการ
(.....)

เลขที่	T 33049 ก 4
เลขทะเบียน	027882
วัน, เดือน, ปี	12 กค. 34

วงจรสังเคราะห์ความถี่โดยใช้เฟสล็อกกลูป
(PHASE LOCKED LOOP FREQUENCY SYNTHESIZER)

นายเกรียงศักดิ์	พุ่มน้อย	31.3602
นายทนง	จันทน์พาณิชย์	31.3609
นายบุญรัตน์	บุษิตเสถียร	31.3613
นายอาโมทย์	สมบูรณ์แก้ว	31.3635
อาจารย์กฤตากร	กล่อมการ	อาจารย์ที่ปรึกษา
ปีการศึกษา	2533	

บทคัดย่อ

ปริญาพินิจหรือโครงการที่ทำการค้นคว้านี้ จะเป็นเรื่องที่เกี่ยวข้องถึงการออกแบบวงจรสังเคราะห์ความถี่โดยวิธีใช้การสังเคราะห์ทางอ้อมด้วยระบบเฟสล็อกกลูป ซึ่งเป็นระบบที่นิยมใช้กันมากในปัจจุบัน โดยเฉพาะทางด้านระบบสื่อสาร ระบบการสังเคราะห์ความถี่โดยใช้เฟสล็อกกลูปในโครงการนี้จะใช้ชนิดลูปเดี่ยว ซึ่งความถี่ที่สังเคราะห์ขึ้นมาจะอยู่ในย่าน VHF โดยทำการออกแบบ VCO ผลิตความถี่เป็นย่านต่าง ๆ 3 ย่านด้วยกันคือ 10-30 MHz, 40-80 MHz และ 80-120 MHz โดยใช้ไอซีชนิด ECL เบอร์ 1648 ของบริษัทโมโตโรลาซึ่งสามารถผลิตความถี่ได้สูงสุด 225 MHz สำหรับส่วนป้อนกลับจะใช้ร่วมกันระหว่างฟรีสเควนเซอร์กับวงจรหารความถี่ซึ่งเปลี่ยนแปลงตัวหารหรือโปรแกรมได้ ซึ่งส่วนนี้จะเป็นส่วนที่จะเป็นตัวกำหนดความถี่ที่ต้องการที่จะให้ VCO ผลิตความถี่ที่ขึ้นมาเป็น Step ตามอัตราส่วนของวงจรหาร ส่วนเฟสดีเทคเตอร์จะใช้แบบเฟสฟรี-ควอนตัมเทคเตอร์ ซึ่งจะให้ผลตอบสนองของลูปได้เร็วกว่าแบบชนิดอื่น ๆ สำหรับลูปฟิลเตอร์ซึ่งจะเป็นส่วนสำคัญในการกำหนดคุณสมบัติเชิงพลศาสตร์ใช้แบบแล็ก-ลิตแอดคัพ เพื่อที่จะทำให้ระบบมีเสถียรภาพดีที่สุด

PHASE LOCKED LOOP FREQUENCY SYNTHESIZER

Kriangsak Phumnoi

Thanong Thanaphunphanich

Bunyarat puchitsatian

Armote Somboonkaew

Advisor Kitdakorn Klomkarn

2533

Abstract

This Thesis is researched about design of frequency synthesis by phase locked loop (PLL) that must often confront, especially in Communication System. In this Thesis use single loop frequency synthesis to generate frequency in VHF band, The VCO was divide into three band 10-30 M_{Hz} , 40-80 M_{Hz} and 80-120 M_{Hz} by ECL integrated circuit which can generated maximum frequency above 225 M_{Hz} . For feedback path used programmable divider and prescaler to define frequency that synthesis in step which depend on ratio of programmable divider. In phase detector used phase frequency detector which given better loop time response. For loop filter that define dynamic characteristic use lead-lag time for high stability of loop

สารบัญ

หน้า

บทที่ 1

บทนำ

บทที่ 2	หลักการและส่วนต่าง ๆ ของวงจรสังเคราะห์ความถี่	1
2.1	หลักการสังเคราะห์ความถี่และเฟสล็อกลูป	2
2.2	วงจรผลิตความถี่	24
2.3	วงจรผลิตความถี่ควบคุมด้วยแรงดัน	30
2.4	วาริแคป	37
2.5	ลูปีลิตเตอร์	43
2.6	เฟสฟรีแควนซีดีเทคเตอร์	53

บทที่ 3 การออกแบบวงจร

3.1	การออกแบบวงจรผลิตสัญญาณความถี่อ้างอิง	58
3.2	การออกแบบเฟสฟรีแควนซีดีเทคเตอร์	60
3.3	การออกแบบวงจรสังเคราะห์ความถี่	68
3.4	การออกแบบวงจรผลิตความถี่ควบคุมด้วยแรงดัน	67
3.5	การออกแบบวงจรพรีสเกลเลอร์	83
3.6	การออกแบบวงจรหารแบบตั้งโปรแกรมได้	86
3.8	Wide Band Amplifier	88

บทที่ 4 ผลการทดลอง

4.1	วงจรขยายสัญญาณ	108
4.2	วงจรผลิตความถี่อ้างอิง	115
4.3	เฟสฟรีแควนซีดีเทคเตอร์	115
4.4	ลูปีลิตเตอร์	115
4.5	วงจรผลิตความถี่ควบคุมด้วยแรงดัน	115
4.6	พรีสเกลเลอร์	115

สารบัญ

	หน้า
บทที่ 5 บทสรุป	
สรุปผลการทดลอง	117
หนังสืออ้างอิง	118
กิตติกรรมประกาศ	119
ภาคผนวก	

- 1 การใช้ ET Board ควบคุมวงจรทหารและวงจรให้ความถี่
- 2 การพัฒนาทดลอง
- 3 TC 3122C
- 4 μ PB 551C
- 5 MC 1648
- 6 MV 2101 thru MV 2115
- 7 SCL 4060 AB , 4011 , 4013
- 8 7400 , 74121
- 9 Tr 2N3856 , 2N5179 , 2N5109
- 10 Circuit

วงจรสังเคราะห์ความถี่หรือรีเฟรควเ็นซีซินทีไซเซอร์ (Frequency Synthesizer) เป็นวงจรที่สามารถผลิตความถี่ได้หลาย ๆ ค่าที่เอากันทุพอโดยใช่วงจรผลิตความถี่ที่มีสัญญาณอ้างอิงภายในวงจรเพียงสัญญาณเดียว ซึ่งปัจจุบันเป็นที่นิยมใช้กันมากในเครื่องมือสื่อสารสมัยใหม่ ได้แก่ เครื่องรับวิทยุ โทรทัศน์ เครื่องส่งชนิดต่าง ๆ และเครื่องมือสื่อสารอื่น ๆ ทั้งนี้เพราะวงจรสังเคราะห์ความถี่เป็นสัญญาณความถี่ซึ่งมีความเสถียรภาพสูงทั้งทางด้านความถี่และขนาดรวมทั้งสามารถควบคุมการทำงานได้สะดวก การสังเคราะห์ความถี่สามารถทำได้ทั้งทางตรงและทางอ้อมแต่ในปัจจุบันนิยมใช้การสังเคราะห์ความถี่ด้วยวิธีสังเคราะห์ทางอ้อม (Indirect Coherent Synthesizer) ซึ่งอาศัยการทำงานของวงจรเฟสล็อกลูป (Phase Locked Loop) ซึ่งสามารถกระทำได้ทั้งแบบอนาลอกและดิจิตอล นอกจากนี้ยังมีวิธีใหม่สุดคือการสังเคราะห์ความถี่โดยตรงแบบดิจิตอล (Direct Digital Frequency Synthesis) ซึ่งจะใช้คอมพิวเตอร์เป็นตัวควบคุมการทำงาน สำหรับวงจรเปลี่ยนดิจิตอลเป็นอนาลอกจะทำงานร่วมกันในการสร้างสัญญาณ

สำหรับการสังเคราะห์ความถี่ในแต่ละวิธีก็จะมีข้อดีและข้อจำกัดในตัวเอง อาทิเช่น วงจรแบบเฟสล็อกลูปทำงานได้ช้ากว่าสังเคราะห์โดยตรง แต่มีคุณสมบัติด้านอื่น ๆ ดีกว่าอยู่มาก เช่นความมีเสถียรภาพของระบบ ความประหยัดและขนาดของวงจร เป็นต้น

วงจรสังเคราะห์ความถี่โดยตรงแบบดิจิตอล สามารถสังเคราะห์สัญญาณได้หลายรูปแบบ ขึ้นอยู่กับโปรแกรมแต่ก็มีข้อจำกัดที่ความถี่สูงสุดที่สังเคราะห์ได้จะขึ้นอยู่กับความเร็วของคอมพิวเตอร์ สำหรับการสังเคราะห์แบบโดยตรงในปัจจุบันไม่นิยมกัน เพราะสิ้นเปลืองอุปกรณ์อย่างมากซึ่งรวมทั้งราคาและขนาดของเครื่องด้วย

สำหรับโครงงานนี้จะแสดงการสังเคราะห์โดยวิธีทางอ้อมด้วยวิธีการใช้เฟสล็อกลูป ซึ่งบางครั้งเราเรียกว่าการสังเคราะห์ความถี่แบบเฟสล็อกลูป (Phase Locked Loop Frequency Synthesizer)

บทที่ 2

หลักการโดยทั่วไปของการสังเคราะห์ความถี่

2.1 ระบบสังเคราะห์ความถี่

เครื่องรับส่งวิทยุในปัจจุบัน ส่วนใหญ่นิยมใช้วิธีสังเคราะห์ความถี่แบบทั้งนั้น วงจรที่ทำหน้าที่สังเคราะห์ความถี่เรียกว่าซินทีไซเซอร์ซึ่งแปลว่าสังเคราะห์ ด้วยวิธีสังเคราะห์ความถี่นี้ ทำให้วงจรเครื่องรับส่งวิทยุเปลี่ยนโฉมหน้าไปอย่างมาก โดยเฉพาะรูปร่างของเครื่องจะมีปุ่มต่าง ๆ มากขึ้นเนื่องจากมีขีดความสามารถเพิ่มขึ้น สามารถโปรแกรมเลือกความถี่ใช้งานได้มากจึงทำให้เกิดความคล่องตัวในวงการสื่อสารเป็นอย่างมาก

วิธีการสังเคราะห์ความถี่แต่ละแบบมีความซับซ้อนแตกต่างกัน ซึ่งขึ้นอยู่กับช่วงความถี่ (Frequency Range) ช่วงห่างระหว่างขั้น (Step Size หรือ Resolution) ซึ่งจะได้อธิบายต่อไป

2.1.1 วิธีสังเคราะห์ความถี่

วงจรสังเคราะห์ความถี่คือวงจรที่ทำหน้าที่ผลิตสัญญาณความถี่ขนาดพอเหมาะและให้มีความถี่ตามที่เรากำหนด การโปรแกรมสามารถทำได้โดยการตั้งสวิตช์หรือกดปุ่ม แต่ในปัจจุบันนี้ใช้วิธีการสั่งงานด้วยคอมพิวเตอร์

ช่วงความถี่ใช้งานของวงจรสังเคราะห์ความถี่จะจำกัดอยู่ในช่วงความถี่ที่แน่นอน แล้วแต่การใช้งานและความละเอียดของความถี่ที่เปลี่ยนไปในแต่ละขั้น เรียกว่า รีโซลูชัน (Resolution)

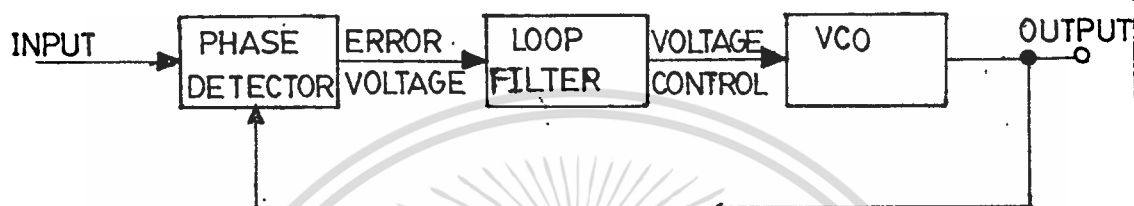
วิธีการสังเคราะห์ความถี่สามารถแบ่งออกได้เป็น 2 วิธี คือ

2.1.1.1 วิธีสังเคราะห์โดยตรง (Direct Synthesis) ซึ่งต้องใช้ความถี่หลายค่ามาผสมกันเพื่อให้ได้ความถี่ที่ต้องการ โดยปกติต้องใช้แรมป์กับความถี่หลายชุด

2.1.1.2 วิธีสังเคราะห์ความถี่โดยทางอ้อม (Indirect Synthesis) วิธีการนี้จะอาศัยหลักการของเฟสล็อกกลูบ (Phase Locked Loop) หรือ เฟสล็อกกลูบ โดยที่เราอาศัยการกำเนิดสัญญาณจากวงจรออสซิลเลเตอร์ ซึ่งควบคุมความถี่ได้โดยปรับแรงดันที่เรียกว่า VCO สัญญาณจาก VCO จะถูกป้อนกลับมาเปรียบเทียบกับความถี่อ้างอิง จากนั้นนำผลลัพธ์บวกความถี่ที่คลาดเคลื่อนมาแปลงเป็นแรงดัน ไปทำการควบคุมการผลิตความถี่ของ VCO อีกครั้งหนึ่ง

2.1.2 เฟสล็อกกลู (Phase Locked Loop) PLL

เฟสล็อกกลูเป็นระบบป้อนกลับที่บังคับให้วงจรออสซิลเลเตอร์มีความถี่หรือเฟสเปลี่ยนแปลงไปตามความถี่หรือเฟสของสัญญาณอ้างอิงภายนอก เฟสล็อกกลูประกอบด้วยภาคสำคัญ 3 ภาค คือ ภาคเปรียบเทียบเฟส (Phase Detector) ภาคฟิลเตอร์ (Loop Filter) และภาค VCO ดังรูป 2.1



รูปที่ 2.1 แสดงแผนผังเบื้องต้นของเฟสล็อกกลู

สมมติว่ามีสัญญาณความถี่อ้างอิงภายนอกเป็นสัญญาณรายคาบ (Periodic) เข้ามาที่อินพุต ภาคเทียบเฟสทำหน้าที่เปรียบเทียบเฟสระหว่างสัญญาณอ้างอิงกับสัญญาณจาก VCO เอาท์พุทที่ได้จากภาคเฟสดีเทคเตอร์จะเป็นแรงดันที่มีขนาด (Amplitude) เป็นสัดส่วนกับผลต่างในเฟสของสัญญาณทั้งสองที่ทำการเปรียบเทียบแรงดัน ผลต่างที่ได้นี้จะป้อนไปให้วงจรฟิลเตอร์ ซึ่งเป็นฟิลเตอร์ชนิดกรองความถี่ต่ำ (low pass filter) เลือกเอาแต่เฉพาะความถี่ต่ำ ๆ ที่ต้องการ เพื่อส่งไปควบคุมการออสซิลเลทของ VCO ต่อไป

เมื่อลูปอยู่ในสภาวะล็อก ความถี่ของ VCO จะเท่ากับความถี่ของสัญญาณอินพุทพอดี อาจจะมีเฟสที่แตกต่างกันออกไปแต่ค่าเฟสที่แตกต่างนั้นจะมีค่าคงที่ (Constant Phase Difference) ในกรณีที่มีเฟสไม่ตรงกัน ภาคเฟสดีเทคเตอร์จะจ่ายแรงดันคลาดเคลื่อน (error voltage) ไปควบคุมการทำงานของ VCO เพื่อไม่ให้เฟสคลาดเคลื่อนจนกว่าจะเข้าสู่สภาวะล็อก เอาท์พุทของ VCO จึงมีขนาดคงที่เสมอแต่ความถี่จะเปลี่ยนแปลงตามความถี่ของสัญญาณอินพุทเสมอ

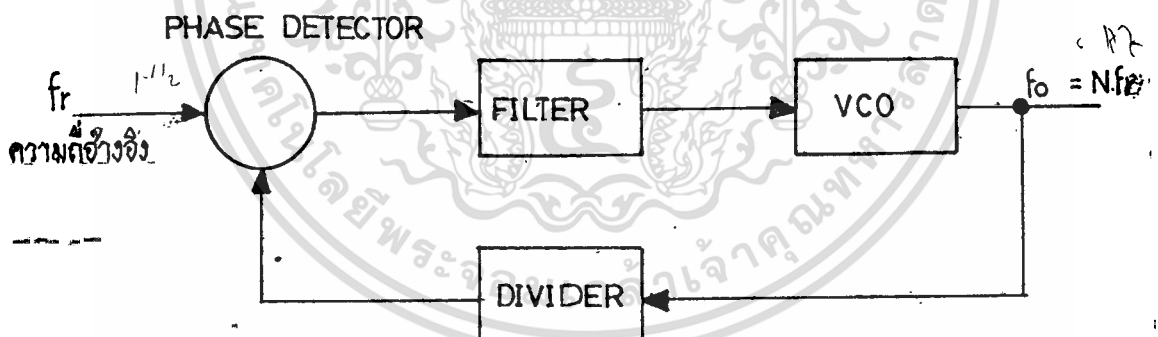
เราสามารถนำเฟสล็อกกลับไปยังสังเคราะห์ความถี่ที่มีความเที่ยงตรงและเสถียรภาพเทียบเท่าสัญญาณอ้างอิงได้ วงจรนี้เรียกว่าวงจรสังเคราะห์ความถี่ ระบบสังเคราะห์ความถี่ก็จะช่วยให้เราสามารถสังเคราะห์สัญญาณเอาต์พุตจาก VCO ให้มีความถี่ตามต้องการได้หลายความถี่ โดยมีความเที่ยงตรงและเสถียรภาพสูงเทียบเท่าคริสตอลออสซิลเลเตอร์

2.1.3 การใช้เฟสล็อกในการสังเคราะห์ความถี่

การสังเคราะห์ความถี่มีอยู่หลายรูปแบบ ตัวอย่างที่จะกล่าวดังต่อไปนี้เป็นการสังเคราะห์ความถี่ ซึ่งมีการกำหนดความถี่แต่ละขั้นมีค่าเท่ากับความถี่อ้างอิง (f_r)

2.1.3.1 เฟสล็อกโดยตรง

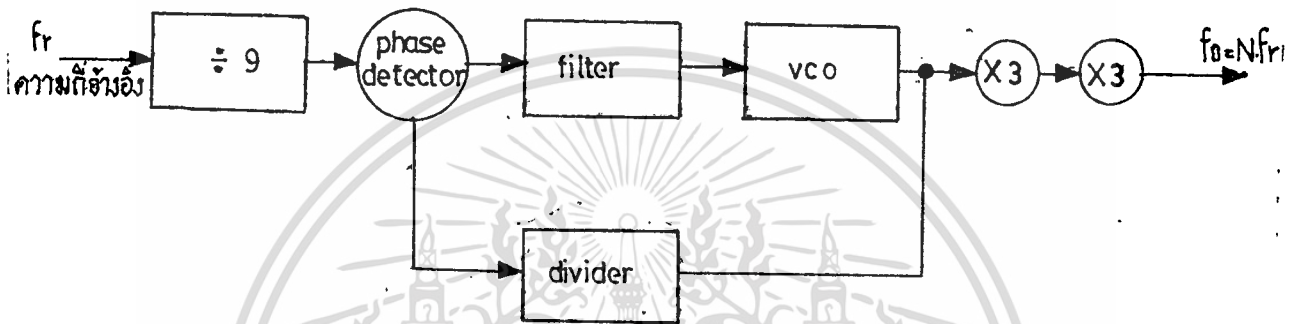
วิธีการสังเคราะห์ความถี่แบบนี้ใช้ เฟสล็อกแบบโดยตรงนับว่าเป็นวิธีการที่ง่าย โดยความถี่ที่เอาต์พุตจะมีค่าเป็น N เท่าของความถี่อ้างอิง ดังรูปที่ 2.2 ในที่นี้ VCO ต้องสามารถทำงานได้ตลอดย่านความถี่เอาต์พุต ซึ่งความถี่อาจขึ้นไปถึง 200 MHz อย่างไรก็ตามวงจรนี้ทำหน้าที่โปรแกรมเป็นตัวหาร N นั้นมีราคาแพง เราจึงจำเป็นต้องปรับปรุงวิธีสังเคราะห์ความถี่เป็นแบบอื่น



รูปที่ 2.2 แสดงการสังเคราะห์ความถี่เฟสล็อกแบบโดยตรง

2.1.3.2 เฟสล็อกแบบแบบคูณความถี่

รูปที่ 2.3 เราจะหารความถี่อ้างอิงลง 9 เท่าก่อนที่จะป้อนให้แก่วงจรเฟสดีเทคเตอร์ และเอาที่พุดจาก VCO ก็คูณความถี่ขึ้นไป 9 เท่า วิธีนี้ช่วยลดความถี่การทำงานของวงจรหาร N ลง แต่ก็ทำให้การตอบสนองต่อการเปลี่ยนความถี่ของเฟสล็อกช้าลงเนื่องจากความถี่ที่ใช้ในการเทียบเฟสต่ำลง

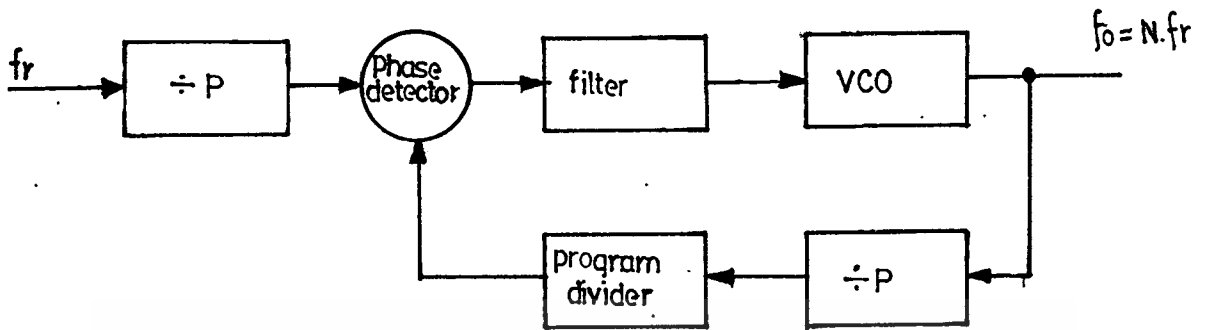


รูปที่ 2.3 แสดงเฟสล็อกแบบคูณความถี่

2.1.3.4 เฟสล็อกแบบพริสเกลเลอร์

เฟสล็อกแบบในรูปที่ 2.4 ใช้วิธีหารความถี่อ้างอิงลง P เท่าก่อนที่จะป้อนให้แก่วงจรเฟสดีเทคเตอร์และใช้วิธีคูณความถี่ขึ้นไป P เท่าภายในลูบแทนที่จะคูณความถี่ภายนอกแบบเฟสล็อกแบบคูณความถี่ วงจร VCO ในกรณีนี้ต้องทำงานขึ้นไปถึงความถี่ใช้งานโดยไม่ต้องมีวงจรทวีคูณ (Multiplier)

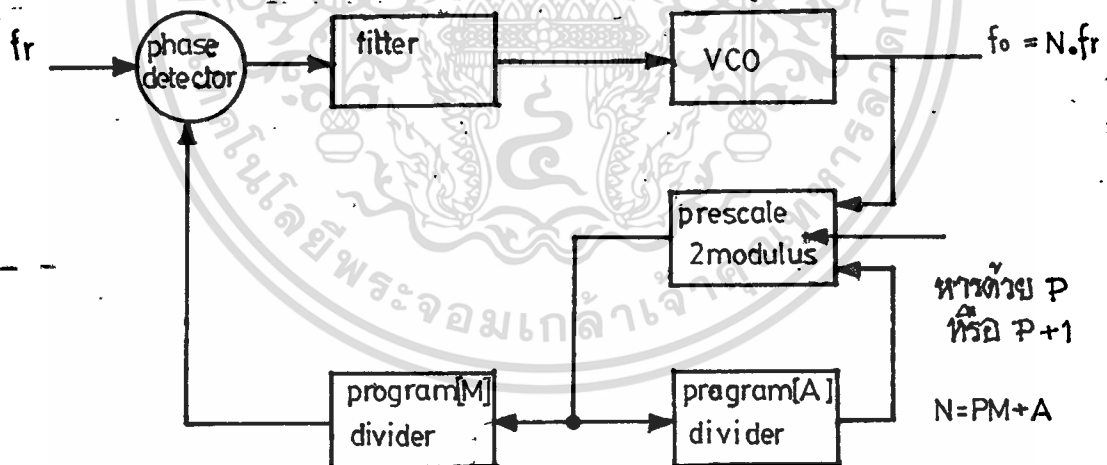
วงจรหาร P เป็นชุดวงจรฟลิปฟล็อปธรรมดา ซึ่งตัวหารกำหนดไว้ตายตัวและสามารถทำงานที่ความถี่สูงได้ เราเรียกววงจรนี้ว่าวงจรพริสเกลเลอร์ ส่วนวงจรหาร N ซึ่งโปรแกรมตัวหารได้นั้นทำงานที่ความถี่ต่ำลงเช่นเดียวกับเฟสล็อกแบบในรูปที่ 2.3



รูปที่ 2.4 แสดงเฟสล็อกแบบพรีสเกลเลอร์

2.1.3.5 เฟสล็อกแบบพรีสเกลเลอร์สองโมดูลัส (Dual Modulus Prescaler)

เฟสล็อกแบบพรีสเกลเลอร์ ในรูปที่ 2.5 ใช้พรีสเกลเลอร์เช่นเดียวกันกับเฟสล็อกแบบพรีสเกลเลอร์ในรูปที่ 2.4 เว้นแต่วงจรพรีสเกลเลอร์นี้ไม่ใช่เป็นวงจรนับซึ่งหารค่าตายตัว P แต่เป็นวงจรนับซึ่งตัวหารเปลี่ยนค่าได้ระหว่าง P กับ $P+1$ เราเรียกพรีสเกลเลอร์แบบนี้ว่าเฟสล็อกแบบพรีสเกลเลอร์สองโมดูลัส (เลือกตัวหาร P ก็ได้หรือจะเลือก $P+1$ ก็ได้) วงจรนับหาร N ซึ่งโปรแกรมตัวหารได้นั้นทำงานที่ความถี่ต่ำลง

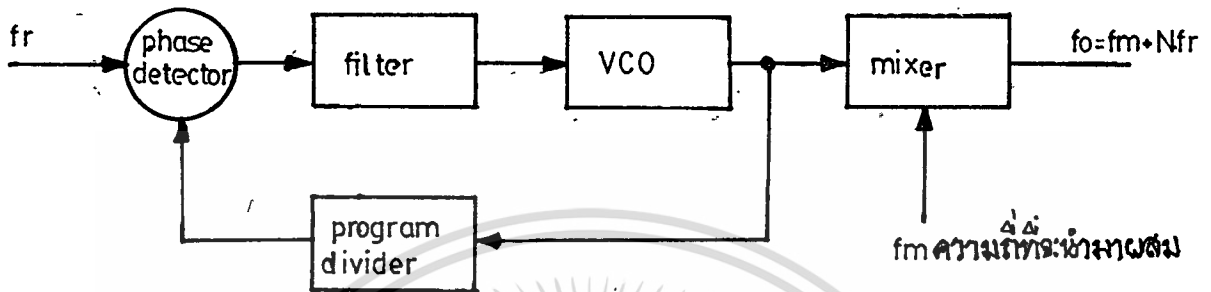


รูปที่ 2.5 แสดงพรีสเกลเลอร์แบบสองโมดูลัส

2.1.3.6 เฟสล็อกแบบมิกซิงนอก-loop

7

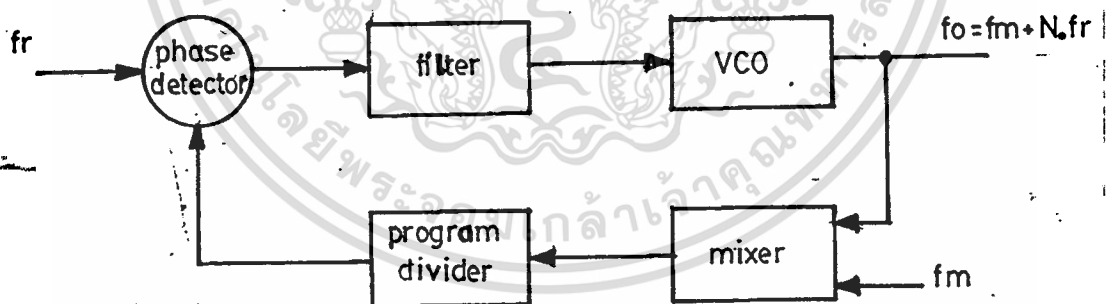
เฟสล็อก ในรูปที่ 2.6 อาศัยความถี่อีกความถี่หรือเฟื่อผลม(mixer) กับความถี่ VCO ให้เอาท์พุทของเฟสล็อกมีความถี่สูงขึ้น ในที่นี้เราปรับขึ้นความถี่ได้แต่ละชั้น เท่ากับความถี่อ้างอิง เท่ากับผลรวมของความถี่เดิมผลมกับความถี่จาก VCO



รูปที่ 2.6 แสดงแบบมิกซิงนอก-loop

2.1.3.7 เฟสล็อกแบบมิกซิงใน-loop

เฟสล็อก ในรูปที่ 2.7 เป็นการมิกอีกแบบหนึ่งซึ่งนำการผลมมาใช้ใน-loop สัญญาณจาก VCO และความถี่ที่ได้จากการมิก (fm) จะบีบ (beam) กันได้ความถี่ต่ำลง แล้วจึงป้อนเข้าสู่วงจรนับหาร N ความถี่เอาท์พุทที่ได้เท่ากับผลรวมของความถี่ที่นำมาผลมกับความถี่ VCO



รูปที่ 2.7 แสดงเฟสล็อกแบบมิกซิงใน-loop

ข้อสังเกต เฟสล็อกลูบดังกล่าวสามารถผลิตความถี่ได้แต่เฉพาะในช่วงความถี่ที่ วงจร VCO และวงจรหาร N สามารถทำงานได้เท่านั้นและตัวเลขในการหารจะต้องเป็น เลขจำนวนเต็มเสมอ

2.1.4 คุณสมบัติของวงจรสังเคราะห์ความถี่

นอกจากวงจรสังเคราะห์ความถี่จะต้องมีคุณสมบัติเกี่ยวกับช่วงความถี่ (frequency range) ที่จะต้องผลิตและรีโซลูชันระหว่างขึ้นแล้ว คุณสมบัติอื่น ๆ ของวงจรสังเคราะห์ความถี่ก็มีความสำคัญสำหรับเครื่องรับ-ส่ง วิทยุอีกด้วย

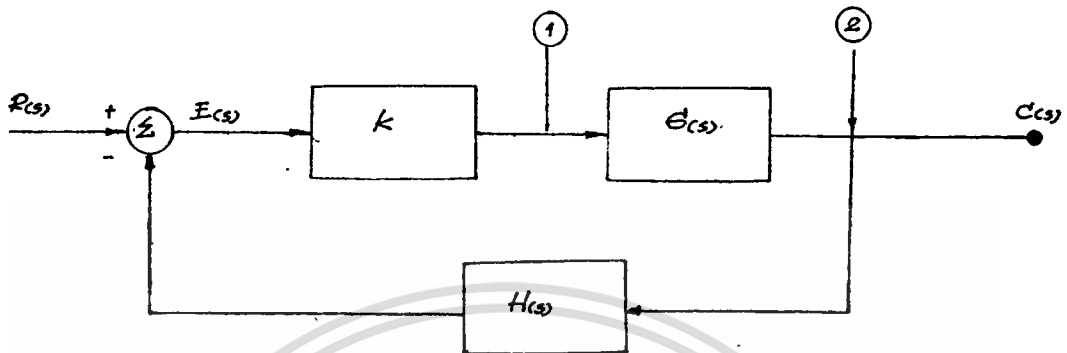
โดยปกติ วงจรสังเคราะห์ความถี่จะสามารถกำเนิดสัญญาณเพียงสัญญาณเดียว แต่เลือกความถี่ได้หลายค่าและมีความละเอียดของความถี่ขึ้นอยู่กับรีโซลูชัน ในการนี้ที่เราเปลี่ยนความถี่จากค่าหนึ่งไปยังอีกค่าหนึ่ง วงจรสังเคราะห์ความถี่จะต้องเปลี่ยนตามได้เร็วทันที กล่าวคือล็อกความถี่ได้ในเวลาอันรวดเร็ว นั่นคือช่วงเวลาล็อก (Lock-Up Time) คุณสมบัติการล็อกความถี่ใหม่ได้อย่างรวดเร็วนี้มีความจำเป็นอย่างยิ่งสำหรับเครื่องรับวิทยุ โดยเฉพาะการเปลี่ยนจากสถานะส่งและรับแม้ในการสแกนความถี่

วงจรสังเคราะห์ความถี่ที่ดีจะต้องผลิตสัญญาณความถี่เดียว โดยปราศจากความถี่แปลกปลอมต่าง ๆ คุณสมบัตินี้เรียกว่า ความบริสุทธิ์ของสเปกตรัม (Spectrum Purity) ค่าของฮาร์โมนิค (Harmonic) และสิ่งแปลกปลอม (Spurious) ต่าง ๆ จะต้องถูกจำกัดให้เหลือน้อยที่สุด นอกจากนี้ نویส (Noise) จากวงจรออสซิลเลเตอร์จะทำให้วงจรสังเคราะห์ความถี่มีความถี่ไม่บริสุทธิ์โดยจะไม่ได้มีเพียงความถี่เดียว แต่จะรวมถึงในช่วงใกล้เคียงกับความถี่ที่ต้องการ نویสดังกล่าวเรียกว่าเฟส نویส (Phase Noise)

ความเที่ยงตรง (Accuracy) และเสถียรภาพ (Stability) ทางความถี่ของวงจรสังเคราะห์ความถี่ขึ้นอยู่กับสัญญาณอ้างอิง โดยทั่วไปสัญญาณอ้างอิงจะเป็นวงจรออสซิลเลเตอร์ชนิดใช้แร่บึงคัปความถี่ ฉะนั้นวงจรสังเคราะห์ความถี่จะมีเสถียรภาพและความเที่ยงตรงทางความถี่เทียบเท่ากับคริสตอลออสซิลเลเตอร์

2.1.5 การวิเคราะห์ระบบเบื้องต้นของเฟสล็อกลูปเบื้องต้น

2.1.5.1 หลักการเบื้องต้นของระบบป้อนกลับ (basic Principle of Feedback System)



รูป A1 แสดงส่วนประกอบของระบบป้อนกลับ

จากหลักการของวงจรป้อนกลับจะเห็นได้ว่า Forward Gain ก็คือ $KG(s)$ และ $KG(s)H(s)$ คือ Open Loop Gain เมื่อ K คือค่าคงที่ ดังนั้นลูปเกนของระบบสามารถแสดงให้เห็นโดยสมการ

$$\frac{C(s)}{R(s)} = \frac{\text{Forward Gain}}{1 + (\text{Open Loop Gain})} \quad (\text{A1})$$

หรือ

$$\frac{C(s)}{R(s)} = \frac{KG(s)}{1 + KG(s)H(s)} \quad (\text{A2})$$

จะเห็นได้ว่า ทราานเฟอ์ฟังก์ชันที่จุด 1 = $\frac{G(s)}{1 + KG(s)H(s)}$ (A3.1)

$$\text{และทรานเฟอร์ฟังก์ชันที่จุด 2} = \frac{1}{1 + KG(s)H(s)} \quad (A3.2)$$

ส่วนสำคัญของการออกแบบการสังเคราะห์อีกส่วนหนึ่งก็คือ ระบบ Noise Bandwidth ; B_n ซึ่งเราหาได้จากสมการ

$$B_n = \frac{1}{2\pi} \int_0^\infty \left| \frac{C(j\omega)}{R(j\omega)} \right|^2 d\omega \quad H_z \quad (A4)$$

เมื่อให้ W ที่ 3 เดซิเบล = $2\pi B$ ที่ 3 เดซิเบล

ดังนั้นเราจะได้ B ที่ 3 เดซิเบล

$$\left| \frac{C(j\omega_{3dB})}{R(j\omega_{3dB})} \right|^2 = (0.707)^2 \quad (A5)$$

สภาวะ Steady State Error เป็นค่าผิดพลาดที่เราวัดหลังจากที่สภาวะทรานเซียนได้ผ่านพ้นไปแล้ว มีสมการเป็น

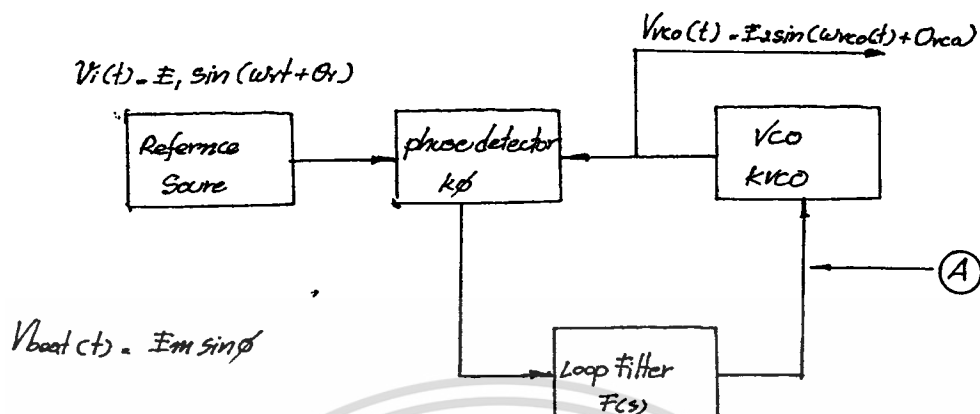
$$E(s) = \frac{R(s)}{1 + KG(s)H(s)} \quad (A6)$$

เมื่อ $R(s)$ เป็นสัญญาณอินพุตที่ป้อนเข้ามาในระบบ ซึ่งมีอยู่ 3 ชนิดคือ แบบเป็นขั้น (Step), แรมป์ (Ramp) และพาราโบลิคฟังก์ชัน (Parabolic function) ซึ่งฟังก์ชันเหล่านี้ได้แสดงให้เห็นในตาราง A1

Function	Mathematic Expression (Time Domain)	Laplace Transform (Frequency Domain)
Step	A	A/S
Ramp	vt	V/S ²
Parabolic	1/2 at ²	a/S ³

ตาราง A1 ลาปลาซทรานฟอร์มของ สเต็ป แรมป์ และพาราโบลิคฟังก์ชัน

2.5.1.2 Performance ของเฟสล็อกกลุ๊ป



รูปที่ A2 แสดง Block Diagram พื้นฐานของเฟสล็อกกลุ๊ป

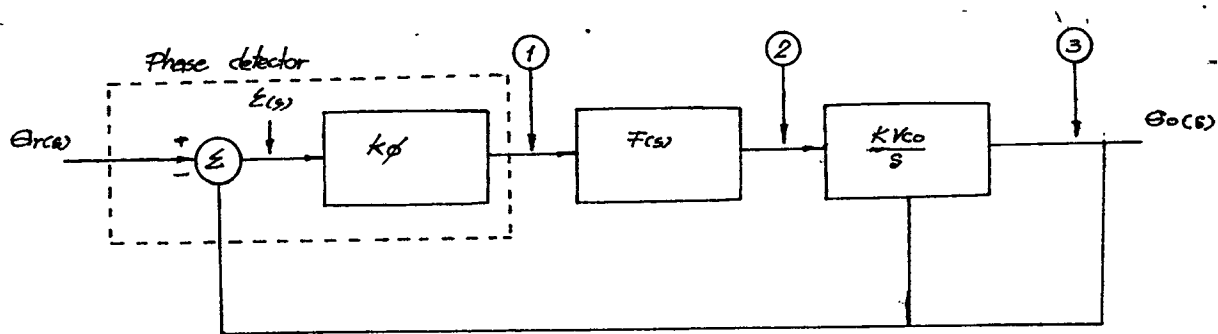
จากแผนภาพในรูปที่ A2 ในลูปประกอบด้วย VCO เฟสดีเทคเตอร์และลูปฟิลเตอร์ เมื่อเกนของ VCO คือ K_ϕ V/rad และ $F(s)$ คือลาปลาซทรานฟอร์มของลูปฟิลเตอร์ และ $E_m \sin \phi$ คือ Beat Note Voltage ซึ่งจะมีค่าสูงสุดเมื่อลูปล็อกแล้ว ดังนี้

$$E_m = \left[\text{Half of the detector range (rad)} \right] K_\phi V \quad (A7)$$

และ

$$\phi = \theta_r - \theta_{vco} \quad \text{rad} \quad (A8)$$

2.5.1.3 ทรานเฟอร์ฟังก์ชัน



รูป A3 แสดง Linearized Block Diagram ของอนาล็อกเฟสล็อกกลูป

จากรูป A3 เป็นโครงสร้างของเฟสล็อกกลูปแบบเชิงเส้น สมมติเฟสดีเทคเตอร์เชิงเส้นทำงานระหว่าง -1 ถึง 1 เรเดียน ดังนั้น $E_m = K\phi$ ซึ่งเป็นไปตามระบบควบคุมป้อนกลับแบบ Forward Gain คือ $K\phi Kvco F(s)/s$

ดังนั้น Open Loop Gain ของระบบ คือ

$$\frac{\theta_o(s)}{\theta_r(s)} = \frac{K\phi Kvco F(s)}{s + K\phi Kvco F(s)} \quad (A9)$$

เมื่อมีความสมมาตร (Similarly) ทรานเฟอร์ฟังก์ชันจากจุด 1, 2 และ 3 จะมีค่าดังต่อไปนี้

$$\text{เอาท์พุท ที่จุด 1} = \frac{Kvco F(s)}{s + K\phi Kvco F(s)} \quad (A10)$$

$$\text{ที่จุด 2} = \frac{Kvco}{s + [K\phi Kvco F(s)]} \quad (A11)$$

$$\text{เอาที่พหุ ที่จุด 3} = \frac{1}{1 + [K\phi K_{vco} F(s)/S]} \quad (A12)$$

เพราะฉะนั้นฟังก์ชันของ Phase Error คือ

$$E(s) = e_r(s) - e_o(s) = \frac{S e_r(s)}{S + K\phi K_{vco} F(s)} \quad (A13)$$

2.5.1.4 เฟสล็อกลูปอันดับหนึ่ง

เฟสล็อกลูปที่ไม่ได้ใช้ประโยชน์จากลูปลิเตอร์ นั่นคือจะได้ $F(s)$ เท่ากับ 1 ซึ่งเราเรียกว่าเฟสล็อกลูปอันดับหนึ่งเพราะกำลังสูงสุดของ s ที่ใช้หารของระบบทรานเฟอร์ฟังก์ชันคือ 1 สำหรับอัตราการขยายของลูเปิดในเฟสล็อกลูปอันดับหนึ่ง $H(s)$ จะมีค่าเท่ากับ Forward Gain ซึ่ง $K\phi K_{vco}/S$ และ DC Loop Gain คือ $K\phi K_{vco}$

นั่นคือระบบชนิดที่ 1 จะกลายเป็น

$$K G(s) = K\phi K_{vco} / S \quad \text{หรือ} \quad n = 1$$

ทรานเฟอร์ฟังก์ชันของเฟสล็อกลูปอันดับหนึ่งจะมีค่าเป็น

$$\left| \frac{e_o(s)}{e_r(s)} \right|_{\text{First Order}} = \frac{K\phi K_{vco}/S}{1 + (K\phi K_{vco}/S)} \quad (A14)$$

$$= \frac{1}{1 + S (1/K\phi K_{vco})} \quad (A15)$$

และ Error function คือ

$$E(s) = \frac{S e_r(s)}{1 + K\phi K_v c_o} \quad (A16)$$

เมื่ออินพุตเป็น Step จะไปเปลี่ยนขนาดของเฟสที่อินพุต Δe_r นั่นคือ $e_r(s) = \Delta e_r / S$ เป็น

$$E_{ss} = \lim_{S \rightarrow 0} \frac{S \Delta e_r}{S + K\phi K_v c_o} = 0 \quad (A17)$$

และผลของความผิดพลาดที่สภาวะสงบ (Steady State Error) จากอินพุตที่เป็น Ramp หรือจากกรณีที่เกิดการเปลี่ยนแปลงทีละขั้นของความถี่อ้างอิง (A Step Change in Reference Frequency) ของขนาด Δw นั่นคือ $e_r(s) = \Delta w / S^2$ จะได้

$$E_{sj} = \lim_{S \rightarrow 0} \frac{\Delta w}{S + K\phi K_v c_o} = \frac{\Delta w}{K\phi K_v c_o} \quad (A18)$$

สมการที่ A17 และ A18 แสดงถึงเฟสลื่นลื่นอันดับหนึ่ง ซึ่งสัญญาณจะติดตามการเปลี่ยนแปลงของสัญญาณอินพุตเฉพาะภายใน Hold in Range เท่านั้นถ้านอก-หรือจากย่านนี้มันจะไม่สามารถติดตามสัญญาณอินพุตได้

การตอบสนองต่อเวลาของเฟสลื่นลื่นอันดับหนึ่งเมื่ออินพุตเป็นสเตปฟังก์ชันจะทำให้เอาต์พุตไม่มีโอเวอร์ชูต

จากสมการลูปป้อนกลับ

$$\frac{e_o(s)}{e_i(s)} = \frac{K_o K_d F(s)}{S + K_o K_d F(s)} \quad (A19)$$

เมื่อให้ $F(s) = \frac{1}{sC + 1}$ (A20)

$$\frac{e_o(s)}{e_i(s)} = \frac{KoKd/\zeta}{s^2 + s/\zeta + KoKd/\zeta} \quad (A21)$$

จาก 2nd order Servo Feedback Loop

$$\frac{e_o(s)}{e_i(s)} = \frac{Wn^2}{s^2 + 2 Wn\zeta s + Wn^2} \quad (A22)$$

จากความสัมพันธ์ของสมการจะได้

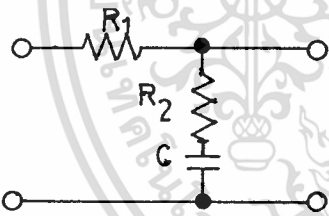
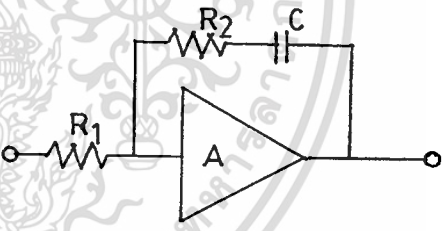
$$Wn = \frac{[KoKd]^{1/2}}{2} \quad (A23)$$

และ

$$\zeta = \frac{1}{2} \left[\frac{1}{KoKd} \right]^{1/2} \quad (A24)$$

เมื่อ Wn คือ ความถี่ธรรมชาติของลูป
 ζ คือ แดมปีงแฟคเตอร์ของลูป

ถ้าหากรูปฟิลเตอร์ $F(s)$ เป็นอุปกรณ์พาสซีฟหรือแอคทีฟ ค่า W_n และ ζ จะมีความแตกต่างตามตารางที่ A2

Passive	Active
$W_n = \frac{[K_o K_d]^{1/2}}{T_1}$	$W_n = \frac{[K_o K_d]^{1/2}}{T_1}$
$\zeta = \frac{1}{2} \frac{[K_o K_d]^{1/2} [T_1 + \frac{1}{K_o K_d}]}{T_1}$	$\zeta = \frac{T_2 [K_o K_d]^{1/2}}{2 T_1} = \frac{T_2 W_n}{2}$
$T_1 = (R_1 + R_2)C$	$T_1 = R_1 C$
$T_2 = R_2 C$	$T_2 = R_2 C$
	
$F(s) = \frac{sT_2 + 1}{s(T_1 + T_2)}$	$F(s) = \frac{sT_2 + 1}{sT_1}$
$T_1 = CR_1$	$T_1 = CR_1$
$T_2 = CR_2$	$T_2 = CR_2$

ตาราง A2 ความแตกต่างระหว่าง W_n และแดมปีงแฟคเตอร์

จากตารางจะเห็นได้ว่าทรานเฟอร์ฟังก์ชันจะคล้ายกันมาก ถ้า $1/KoKd$ มีค่าน้อยกว่า T_2 มาก ๆ ในกรณีของฟาสซีฟและจากสมการกำลังสูงสุดของส่วนคือ 2 ลูป จึงเรียกเป็นลูปอันดับ 2 จากทฤษฎีของระบบควบคุมแบบสองลูป จะเท่ากับจำนวนของเพอร์เฟคอินทิเกรเตอร์ (Perfect Integrator) ภายในลูป ดังนั้นเฟสล็อกลูปใด ๆ อย่างน้อยที่สุดจะเป็นลูปแบบที่ 1 (Type 1) เนื่องจาก VCO เป็นเพอร์เฟคอินทิเกรเตอร์ และถ้าลูปฟิลเตอร์ ประกอบด้วย เพอร์เฟคอินทิเกรเตอร์อีก 1 ตัว ลูปก็จะเป็นแบบที่ 2 ดังนั้น เฟสล็อกลูปอันดับ 2 ที่มีแอกทิฟฟิลเตอร์ ก็จะเป็นลูปแบบที่ 2 โดยฟิลเตอร์เป็นตัวอินทิเกรเตอร์ที่เพิ่มมาในขณะที่เฟสล็อกลูปที่มีฟาสซีฟฟิลเตอร์ เป็นลูปแบบที่ 1

การตอบสนองความถี่ของลูปเกนสูง (High Gain Loop) หมายถึง ลูปที่มี $KoKd T_2 \gg 1$ สำหรับฟาสซีฟ และ $|A| T_1 \gg T_2$ สำหรับแอกทิฟ เมื่อแอมป์แพลคเตอร์เปลี่ยนไป และจะเห็นว่ามีลักษณะเป็นโลว์พาสฟิลเตอร์ ทำงานโดยเฟสอินพุทของลูป

เมื่อเราพิจารณา ความผิดพลาดเชิงเฟส คือ

$$\frac{\theta_o}{\theta_i} = \frac{\theta_1 - \theta_o}{\theta_i} \quad (A25)$$

เพราะฉะนั้น

$$\frac{\theta_o(s)}{\theta_i(s)} = \frac{1 - \frac{k F(s)}{s - k F(s)}}{K} \quad K = KoKd \quad (A26)$$

เราจะได้

$$\theta_o(s) = \frac{s \theta_1}{s + KoKd F(s)} \quad (A27)$$

จากทฤษฎีค่าสุดท้าย (Final Value Theory)

$$\lim_{t \rightarrow \infty} X(t) = \lim_{s \rightarrow 0} s X(s) \quad (A28)$$

$$\lim_{t \rightarrow \infty} e_2(t) = \lim_{s \rightarrow 0} \frac{s^2 e_1(s)}{s + K_0 K_d F(s)} \quad (A29)$$

เมื่อเราพิจารณาภาวะสงบของระบบ เมื่อการเปลี่ยนแปลงอินพุตเป็นชนิด Step ทำให้ e_1 เปลี่ยนไปด้วยขนาด $\Delta\theta$

เพราะฉะนั้น

$$e_1(s) = \frac{\Delta\theta}{s} \quad (A30)$$

ฉะนั้น

$$\lim_{t \rightarrow \infty} e_2(t) = \lim_{s \rightarrow 0} s \left[\frac{1}{s} \frac{s \Delta\theta}{s + K_0 K_d F(s)} \right] = 0 \quad (A31)$$

กรณีนี้จะเห็นได้ว่าในทางทฤษฎีแล้ว ระบบอันดับ 2 จะไม่มีผลของความผิดพลาดในภาวะสงบ (Steady - state error) เนื่องจากเฟสอินพุตเปลี่ยนไปในลักษณะเป็นขั้น

เมื่อพิจารณาความผิดพลาดในภาวะสงบ เนื่องจากการเปลี่ยนแปลงความถี่อินพุตด้วยขนาด W เฟสของสัญญาณอินพุตจะเปลี่ยนไปแบบเชิงลาด (Ramp)

เพราะฉะนั้น

$$e_1(t) = \Delta W t \quad (A32)$$

$$\theta_1(s) = \frac{\Delta W}{s^2} \quad (A33)$$

แทนค่าในสมการ

$$\theta_2(s) = \left[\frac{1}{s^2} \frac{s \Delta W}{(s + KF(s))} \right] \quad (A34)$$

$$\lim_{t \rightarrow \infty} \theta_2(t) = \lim_{s \rightarrow 0} s \left[\frac{1}{s^2} \frac{s \Delta W}{s + KF(s)} \right] \quad (A35)$$

$$= \frac{\Delta W}{KoKd F(s)} \quad (A36)$$

โดย $KoKd F(s)$ เรียกว่า ค่าคงที่ความเร็ว (Velocity Constant) หรือ DC Loop Gain, KV

$$\theta_v = \frac{\Delta W}{KV} \quad (A37)$$

จากสมการที่ A37 จะพบว่า ที่ W ขนาดเดียวกัน แอคทีฟฟิลเตอร์จะให้ขนาดของความผิดพลาดเชิงเฟส ในภาวะสงบน้อยกว่าแบบพาสซีฟ ด้วยค่าของ A เท่า ดังนั้น ตัวเฟสดีเทคเตอร์จะมีการลื่นเปลี่ยนกำลังน้อยกว่า ถ้า F(s) เป็นแบบแอคทีฟ

พิจารณาลักษณะของเฟสดีเทคเตอร์ (PD Tranfer charatoristic)

$$\theta_1 \rightarrow W_1(t) = A_1 \sin Wt \quad (A38)$$

$$\theta_0 \rightarrow W_0(t) = A_0 \sin (W_0 - \phi)t \quad (A39)$$

จะได้

$$\phi_{\pm}(t) = W_1(t)W_0(t) \quad (A40)$$

$$\begin{aligned} \phi_{\pm}(t) &= A_1 A_0 [\sin W_0 t \sin (W_0 - \phi)t] \\ &= \frac{A_1 A_0}{2} WQ \end{aligned} \quad (A41)$$

จะเห็นว่า

$$\phi_{\pm}(t) = 0 \quad \text{เมื่อ} \quad \cos \phi = \frac{\pi}{2}$$

ที่ค่าความต่างเฟสสูงสุด (Maximum phase error $\cos \phi, \cos \pi = 1$)

$$\phi_{\pm} = 1 = \frac{W}{KF(s)} \quad (A42)$$

$$\Delta W = K F(s) \quad \text{เมื่อ} \quad K = K_o K_d \quad (A43)$$

เมื่อ $F(0) = \text{DC Gain ของฟิลเตอร์แบบพาสซีฟ}$ $F(0) = 1$

$$\Delta W_H = K_o K_d \quad (A44)$$

สมการที่ A44 เราเรียกว่าล็อกเรนจ์ (Lock Range) เป็นย่านความถี่ซึ่งลูปสามารถจะติดตามการเปลี่ยนแปลงของความถี่อินพุตได้ บางครั้งอาจจะเรียกว่า แตรกกิ้งเรนจ์ (Tracking Range) หรือ โฮลอินเรนจ์ (Hold in Range) กรณีที่ภาวะเริ่มต้นลูปจะอยู่ในสภาวะล็อก ซึ่งกำหนดจาก DC Loop Gain (KV)

$$W_L = KV = K_o K_d F(0) \quad \text{rad/sec} \quad (A45)$$

ซึ่งจะเห็นว่าไม่ขึ้นกับพารามิเตอร์ของฟิลเตอร์ อย่างไรก็ตาม $F(0)$ ของพาสซีฟฟิลเตอร์ คือ 1 และแอกทีฟฟิลเตอร์ A สังเกตได้ว่าฟิลเตอร์แบบแอกทีฟจะให้ W_L กว้างกว่า และความผิดพลาดเชิงเฟสในสภาวะสงบนิ่ง (Steady state) น้อยกว่า

เราอาจสรุปบล็อกเรอรั้งในทางอุดมคติได้ว่า

ถ้าเป็น แอคทีฟฟิลเตอร์ : $W_H = \alpha$

พาสซีฟฟิลเตอร์ : $W_H = K_o K_d = \text{Loop Gain}$

พิจารณา Initize frequency ก่อน Mold

กำหนดให้

$$\phi_1 = W_1(t) = \sin W_1(t) = \sin (W_o + \Delta W)t \quad (A46)$$

$$\phi_o = W_o(t) = \sin W_o t \quad (A47)$$

ที่เอาท์พุทของเฟสดีเทคเตอร์

$$V_d(t) = K_d \sin (W_o + \Delta W)t \sin W_o t \quad (A48)$$

$$V_d(t) = \frac{K_d}{2} \sin (\Delta W)t$$

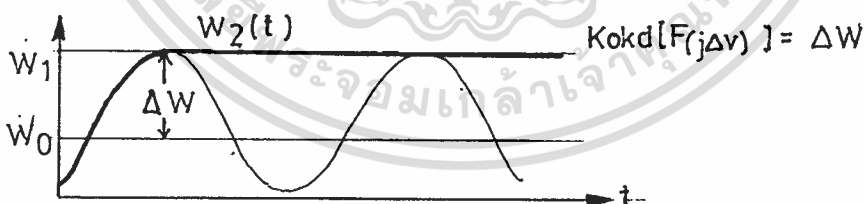
ซึ่ง $V_d(t)$ เป็นอินพุทของลูปฟิลเตอร์และที่เอาท์พุทของลูปฟิลเตอร์

$$V_f(t) = K_d |F(j\Delta W)| \sin W_o t \quad (A49)$$

สมการที่ A49 จะเป็นเหตุให้ VCO ถูกสร้างขึ้นด้วยสมการ

$$\Delta W_c = K_o K_d |F(j\Delta W)| \quad (A50)$$

ซึ่ง $F(jW)$ เป็นการตอบสนองต่อขนาดของโลว์พาสฟิลเตอร์ที่ $W = W_c$



รูป A4 แสดงความถี่เบี่ยงเบน

$$\text{หรือ } |F(j\omega)| = \frac{1}{\omega_c} \quad = RC \quad (A51)$$

ฉะนั้น

$$\Delta\omega_c = K_o K_d \frac{1}{\omega_c} \quad \text{เมื่อ } \omega = \omega_c \quad (A52)$$

$$\omega_c^2 = \frac{K_o K_d}{2}$$

เพราะฉะนั้น

$$\omega_c = \left[\frac{K_o K_d}{2} \right]^{1/2} \quad (A53)$$

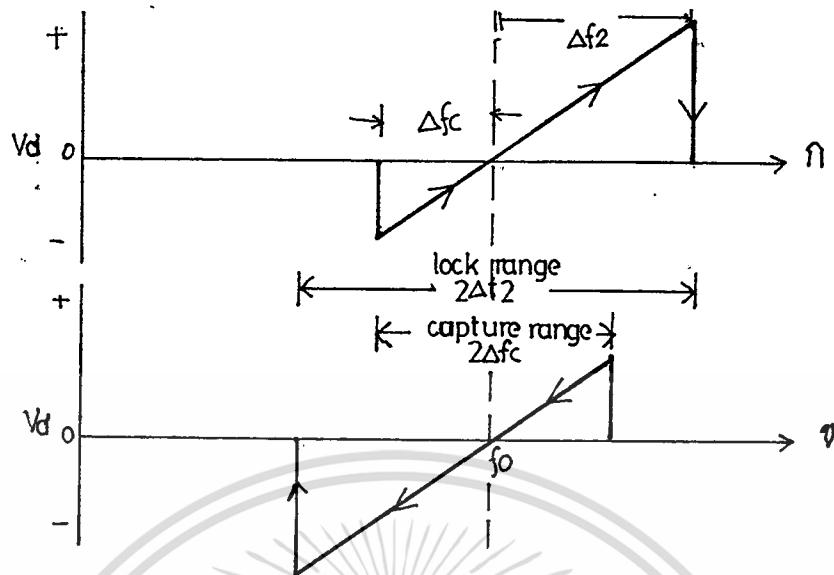
ฉะนั้นจากสมการที่ A53 เราเรียกว่า ภาวะเคปเจอร์เรนจ์ (Capture Range) หรือ ล็อกอินเรนจ์ ซึ่งเป็นสถานะของระบบเมื่ออยู่ในสภาวะล็อกซึ่งจะเห็นได้ว่า เคปเจอร์เรนจ์เมื่อค่าเวลาของวงจรกรองความถี่ต่ำ (Lowpass filter time constant) ลดลงแต่จะไม่มีผลต่อล็อกเรนจ์ แต่อัตราขยายลูปจะมีผลต่อล็อกเรนจ์ดังที่ได้แสดงไว้ในสมการ

จึงอาจจะพอสรุปได้ว่า เคปเจอร์เรนจ์ (ω_c) จะเกี่ยวข้องกับพารามิเตอร์ สำหรับ แล็ก-ลิตเติลเตอร์ จะประมาณได้ว่า

$$\omega_c = \omega_L \left(\frac{R_2}{R_1 + R_2} \right) \quad \text{rad/sec} \quad (A54)$$

และแอดคัพฟิลเตอร์

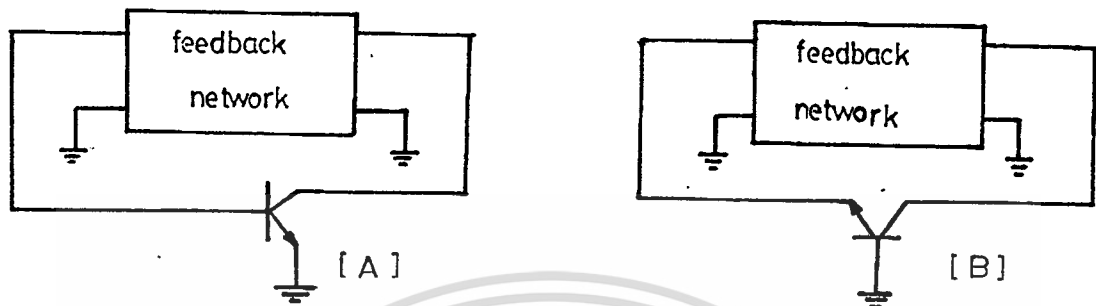
$$\omega_c = \omega_L \left(\frac{R_2}{R_1} \right) \quad (A55)$$



รูปที่ A5 แสดงถึงคุณสมบัติการทรานเฟอ์ของความถี่กับโวลต์เตจของเฟสล็อกกลูบ
 (ก) กรณีความถี่อินพุตเพิ่มขึ้น (ข) ความถี่อินพุตลดลง

2.2 วงจรผลิตความถี่

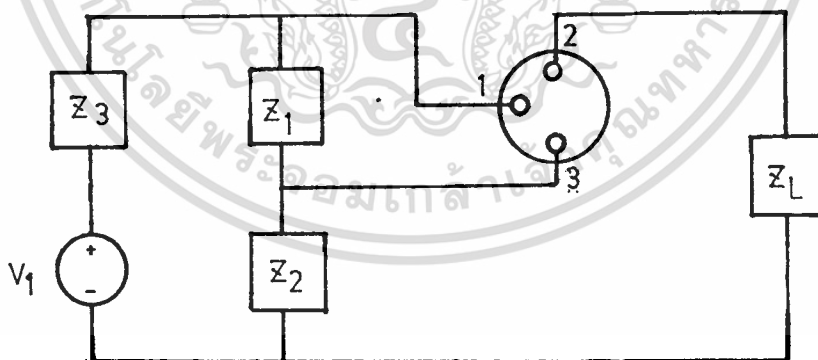
วงจรผลิตความถี่ (Oscillator) จะประกอบด้วย วงจรแอล ซี (LC), วงจรขยายและส่วนป้อนกลับมีลักษณะพื้นฐาน ดังรูป 2.8



รูปที่ 2.8 แสดงวงจรขยายแบบอิมิตเตอร์ร่วม

ถ้าในส่วนของวงจรขยายเราถือเป็นอิมิตเตอร์ร่วม (Common Emitter) หรือ Common Source) ซึ่งจะป้อนกลับจากคอลเลคเตอร์ (Collector) ไปเบส (Base) ดังแสดงในรูป a จะทำให้เฟสของสัญญาณเลื่อนไป 180 องศา ระหว่างขาคอลเลคเตอร์และเบส ถ้าหากต่อแบบเบสร่วม (Common base หรือ Common Gate) ดังในรูป b เฟสของสัญญาณจะไม่เลื่อนเมื่อเทียบกับระหว่างขาคอลเลคเตอร์และอิมิตเตอร์ แต่อย่างไรก็ตามเงื่อนไขการออสซิลเลท สัญญาณอินพุตและเอาต์พุตจะต้องมีเฟสเหมือนเพื่อที่จะทำให้เกิดการเสริมกัน

2.2.1 การวิเคราะห์วงจร

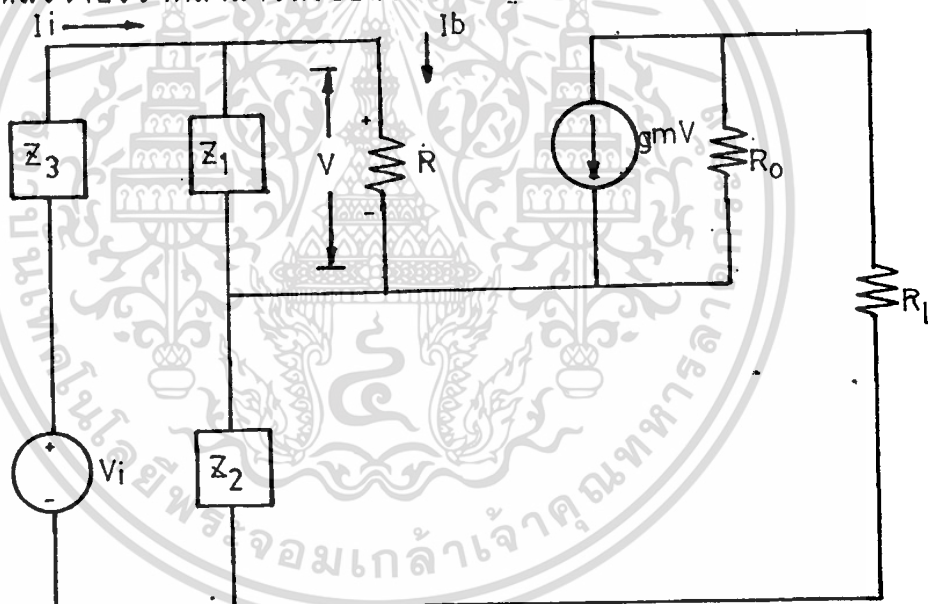


รูป 2.9 ลักษณะทั่วไปของวงจรออสซิลเลเตอร์โดยใช้ทรานซิสเตอร์เป็นวงจรขยาย

วงจรผลิตความถี่จะมีลักษณะการทำงานไม่เป็นเชิงเส้น การวิเคราะห์การทำงานอาจใช้วิธีวิเคราะห์การทำงาน ซึ่งอาจทำได้อีกลักษณะหนึ่งคือวิธีการใช้ความต้านทานลบ (Negative Resistance) ซึ่งเป็นวิธีของ GG.GOURIET ถ้าวงจรเรโซแนนซ์ (Resonant) ในอุดมคติมีค่า Q ไม่จำกัด หมายถึงไม่มีการสูญเสียจากการนำค่าความต้านทานนี้ต่ออนุกรมในวงจร วงจรก็จะสามารถออสซิลเลทได้อย่างต่อเนื่อง ค่าความต้านทานดังกล่าว ทำให้พลังงานจากการออสซิลเลทในช่วงแรก จะลดลงจนหมดไปในที่สุด

ดังนั้นเพื่อแก้ไขปัญหาดังกล่าว เราจะต้องทำให้มีการออสซิลเลทอย่างต่อเนื่อง โดยถ้าการขยายสัญญาณและป้อนกลับแบบบวก เพื่อให้เกิดการออสซิลเลทต่อเนื่องดังรูปเบื้องต้น

จากรูปที่ 2.9 จะประกอบด้วยอุปกรณ์ 3 ส่วนด้วยกัน กล่าวคืออุปกรณ์ส่วนที่ 1 จะต่ออยู่กับขาเบสของทรานซิสเตอร์หรือขาเกตของเฟต (FET) ส่วนที่ 3 จะต่ออยู่ระหว่างขาอีมิเตอร์ กับแหล่งจ่ายเราก็สามารถเขียนวงจรสมมูลย์ (Equivalent Circuit) ได้ดังแสดงในรูป.



รูปที่ 2.10 วงจรสมมูลย์ของรูปที่ 2.9

เราสามารถเขียนสมการได้เป็น

$$V_i = I_1(Z_2 + Z_3) + V + g_m V Z_2 \quad (2.1)$$

และ

$$V = \frac{I_1 Z_1 Z_i}{Z_1 + Z_i}$$

เมื่อวงจรเกิดการออสซิลเลท กระแส I_2 และ I_1 จะไม่เท่ากับ 0
เมื่อ $V_1 = 0$

$$= \begin{vmatrix} Z_2 + Z_3 & 1 + g_m Z_2 \\ Z_1 & -(1 + \frac{Z_1}{Z_i}) \end{vmatrix} \quad (2.2)$$

ให้ 2.2 มีค่าเท่ากับ 0 นั่นคือ

$$\frac{Z_1 + Z_2 + Z_3 + Z_1(Z_2 + Z_3) + g_m Z_1 Z_2}{Z_i} = 0 \quad (2.3)$$

$$(Z_1 + Z_2 + Z_3)Z_i + Z_1 Z_2 + Z_1(Z_2 + Z_3) = 0 \quad (2.4)$$

เมื่อ Z_i เป็นค่าความต้านทานทางด้านอินพุท (Input Impedance) มีค่าเป็นค่าจริง (Real) โดย $Z_i = r$ ค่า Z_i นี้จะขนานอยู่กับ Z_1 ถ้าเราสมมติให้ Z_1 , Z_2 และ Z_3 เป็นค่าความต้านทานที่มีเฉพาะค่ารีแอคทีฟ (Purely Reactive Impedance) และ $Z_i = r$ เราจะได้

$$r(Z_1 + Z_2 + Z_3) = 0 \quad (2.5)$$

และ

$$Z_1(1 + Z_2 + Z_3) = 0 \quad (2.6)$$

ดังนั้น

$$(1 +)Z_2 = -Z_3 \quad (2.7)$$

เมื่อให้ค่า r มีค่าไม่เท่ากับ 0 สมการ 2.5 จะลดได้เท่ากับ

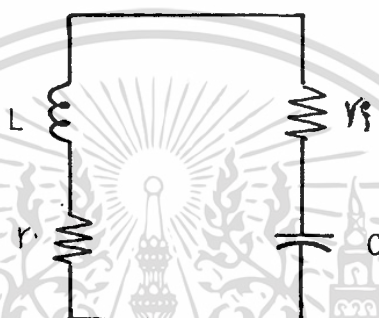
$$Z_1 + Z_2 - (1 +)Z_2 = 0 \quad (2.8)$$

หรือ

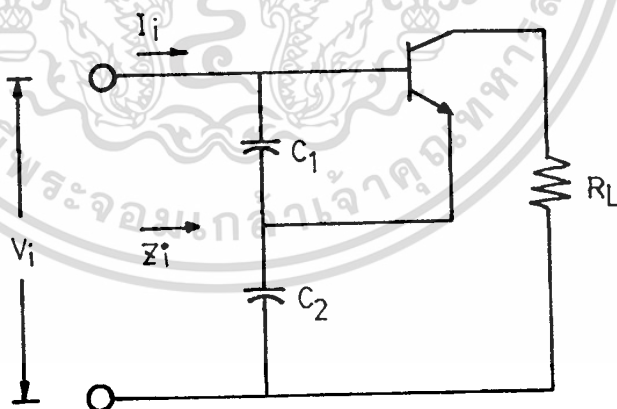
$$Z_1 = Z_2 \quad (2.8)$$

ซึ่งค่า β เป็นค่าอัตราขยายกระแส (hFE) ของทรานซิสเตอร์
 Z_1, Z_2 เป็นค่ารีแอคแตนซ์

ถ้าหาก Z_1 และ Z_2 เป็นคาปาซิเตอร์แล้ว Z_3 จะต้องเป็นตัวอินดักเตอร์ซึ่ง
 จากวงจรที่ได้วิเคราะห์นั้น เราเรียกว่า โคลพิทส์ออสซิลเลเตอร์ (Colpitts
 Oscillator) เพราะฉะนั้นในโครงงานนี้จะกล่าวถึงเฉพาะวงจรโคลพิทส์ ออสซิลเล
 เตอร์ เท่านั้น

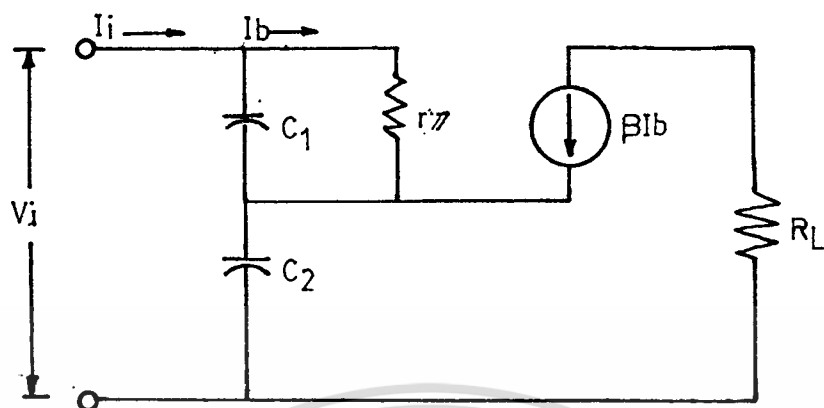


รูป 2.11 วงจรรีโซแนนซ์ ซึ่งจะประกอบด้วยความต้านทานบวกซึ่งสร้างความ
 สูญเสียในวงจรและค่าความต้านทานลบที่สร้างขึ้นเพื่อชดเชย



รูป 2.12 วงจรที่สร้างขึ้นเพื่อสังเคราะห์ความต้านทานลบ

จากรูป 2.12 เราเขียนวงจรสมมูลได้ดังรูป 2.13



รูป 2.13 วงจรสมมูลการขยายสัญญาณขนาดเล็ก

จากรูป 2.13 สมการของลูปที่ภาวะสงบนิ่ง (steady state loop) เขียนได้เป็น

$$V_i = I_i(X_{c1} + X_{c2}) - I_b(X_{c1} - X_{c2}) \quad (2.9)$$

$$0 = -I_i(X_{c1}) + I_b(X_{c1} + r) \quad (2.10)$$

จากสมการที่ (2.9) และ (2.10) โดยการทำให้ I_b หายไป เราจะได้ Z_i เท่ากับ

$$Z_i = \frac{V_i}{I_i} = \frac{(1 + \frac{X_{c1}X_{c2}}{r})X_{c1}X_{c2} + r(X_{c1} + X_{c2})}{X_{c1} + r} \quad (2.11)$$

ถ้า X_{c1} น้อยกว่า r มาก ๆ เราจะสามารถประมาณค่า Z_{in} ได้เท่ากับ

$$Z_i = 1 + \frac{X_{c1}X_{c2} + X_{c1} + X_{c2}}{r} \quad (2.12)$$

$$= \frac{-g_m}{\omega^2 C_1 C_2} + (j\omega(C_1 * C_2))^{-1} \quad (2.13)$$

นั่นคือ Z_{in} ที่แสดงในรูป 2.11 คือค่าความต้านทานลบ (Negative Resister)

$$r_i = \frac{-g_m}{W^2 C_1 C_2} \quad (2.14)$$

และ

$$c_i = \frac{C_1 * C_2}{C_1 + C_2} \quad (2.15)$$

ซึ่งเป็นการรวมกันของคาปาซิเตอร์และก็มีอินดักเตอร์ต่อคร่อมขนานอยู่ ซึ่งจะ
เป็นตัวที่ทำให้เกิดสภาวะออสซิลเลเตอร์ คือ

$$r = \frac{g_m}{W^2 C_1 * C_2} \quad (2.16)$$

และความถี่ที่ผลิตออกมาจะเท่ากับ

$$f_0 = \frac{1}{2\pi \sqrt{L (C_1 C_2)^{1/2} (C_1 + C_2)}} \quad (2.17)$$

ซึ่งค่า X_{C_1} จะมีค่าน้อยกว่า r มาก ๆ ส่วนค่าของ C_1 และ C_2 ควรจะมีค่ามากกว่าค่าเอาท์พุทคาปาซิแตนซ์ของทรานซิสเตอร์ ดังนั้นค่าความจุระหว่างขาของเบส-อีมิเตอร์และคอลเลคเตอร์-อีมิเตอร์ของทรานซิสเตอร์จะมีผลเล็กน้อยกับวงจร อย่างไรก็ตาม สมการ 2.16 จะจำกัดค่าต่ำสุดของ คาปาซิแตนซ์

เมื่อ

$$r = \frac{g_m}{W^2 C_1 C_2} = \frac{G}{W^2 C_1 C_2} \quad (2.19)$$

-G เป็นค่าสูงสุดของ g_m และถ้าให้ $C_1 C_2$ มีค่าต่ำสุดคือ $C_1 = C_2 = C_m$
สมการ 2.19 จะเขียนใหม่ได้เป็น

$$(W C_m)^{-1} = \left(\frac{r}{g_m} \right)^{1/2} \quad (2.19A)$$

2.3 วงจรผลิตความถี่ควบคุมด้วยแรงดัน

Voltage Control Oscillators (VCO)

คุณสมบัติหลักของ VCO ที่ใช้ในเฟสล็อกกลูบ เราพิจารณาได้ดังต่อไปนี้

2.3.1 การเบี่ยงเบนของความถี่ (Frequency Deviation) จุดสูงสุดของ แคปเจอร์เรนจ์จะเท่ากับเกนการขยายของลูปเปิด (open loop gain)

2.3.2 เสถียรภาพทางความถี่ (Frequency Stability) การมีเสถียรภาพทางความถี่มีความจำเป็นอย่างยิ่งสำหรับวงจรสังเคราะห์ความถี่ ความไวของการมอดูเลต (Modulation Sensitivity) ควรจะมีค่าสูง

2.3.4 การตอบสนอง (Response) VCO ควรมีการตอบสนองสัญญาณได้ดีและไม่ควรให้มีผลต่อคุณสมบัติทางด้านเสถียรภาพของลูป

2.3.5 คุณลักษณะของความถี่และแรงดัน (Frequency Voltage Characteristic) VCO จะต้องมียัตราส่วนของความถี่ต่อแรงดัน (F/V) ที่มีความเป็นเชิงเส้น (linear)

2.3.6 Spectral Purity ในการประยุกต์ใช้งาน เช่น การสังเคราะห์ความถี่แบบอนาล็อก วงจรผลิตความถี่ควบคุมโดยแรงดัน (VCO) ควรจะมีสัญญาณเอาต์พุตที่บริสุทธิ์ (pure) คือถ้าเป็นคลื่นรูปไซน์ก็ควรจะเป็นคลื่นที่คงที่สม่ำเสมอ

ในการออกแบบเฟสล็อกกลูบ ออสซิลเลเตอร์ที่ควบคุมด้วยแรงดันมักจะเป็นส่วนที่จะต้องพิจารณามากที่สุด เพราะว่าลักษณะพิเศษของระบบอย่างเช่น เสถียรภาพของระบบ และเสถียรภาพของความถี่รวมทั้งการดีมอดูเลตคลื่นเอฟเอ็ม (F.M. Demodulation) ตามปกติแล้วจะขึ้นอยู่กับการ VCO เพื่อให้เกิดความคล่องตัวมากที่สุด VCO จะต้องมียุทธศาสตร์ดังนี้

2.3.7 ลักษณะการเปลี่ยนแปลงแรงดันเป็นความถี่ที่เป็นเชิงเส้น

2.3.8 เสถียรภาพของความถี่ที่ดี

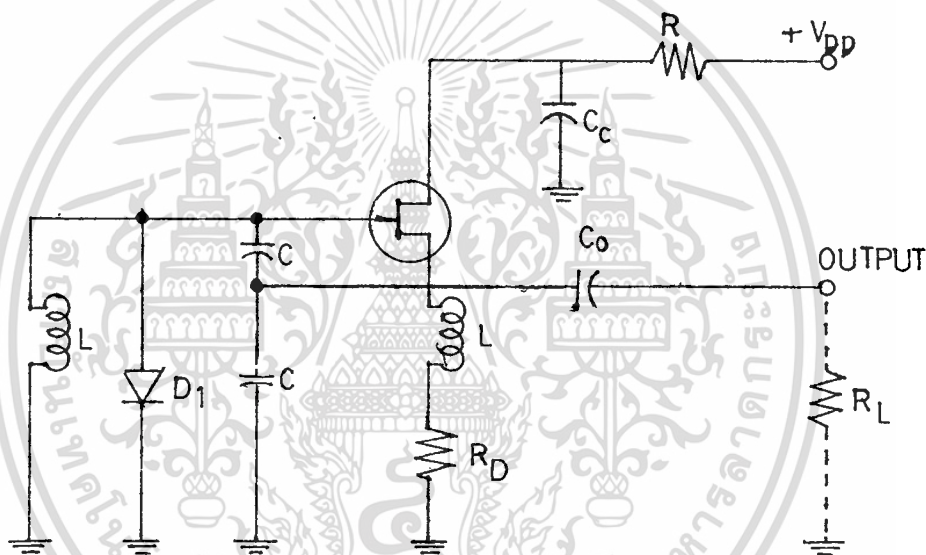
2.3.9 สามารถใช้กับความถี่สูงได้

2.3.10 อัตราการขยายสูง

2.3.11 ฟิลล์การติดตามกว้าง

2.3.12 การตั้งความถี่กระทำได้ง่าย

การวิเคราะห์ที่กล่าวมาจะแสดงให้เห็นเฉพาะวงจรเชิงเอช ในการใช้งานจริงก็ต้องมีการไบอัสทางดีซี เพื่อให้วงจรทำงานได้เอาท์พุทของวงจรสามารถคัปปลิง (coupling) ออกได้ทั้งจุด 1, 2 และ 3 ดังรูป 2.14 ซึ่งโหลด (load) จะมีผลต่อวงจรเช่นกัน การวิเคราะห์ได้แสดงถึงความถี่ของสัญญาณเท่านั้น การออกแบบจะกำหนดให้ลูปเกน (loop gain) ของวงจรที่วิเคราะห์แบบเชิงเส้นมีมากเป็น 3-4 /เท่า เมื่อวงจรเกิดการออสซิลเลทแล้ว gm ของอุปกรณ์แอคทีฟจะลดลงจนถึงภาวะเสถียร ซึ่งในขณะนั้นขนาดของสัญญาณจะคงที่โดยปกติกำลังของสัญญาณที่ได้มักจะไม่เกิน 25% ของกำลังงานดีซีที่วงจรดึงจากแหล่งจ่าย อุปกรณ์แอคทีฟที่ใช้สามารถนำ FET หรือ MOS-FET มาใช้งานก็จะทำงานได้ผลดีเช่นเดียวกัน

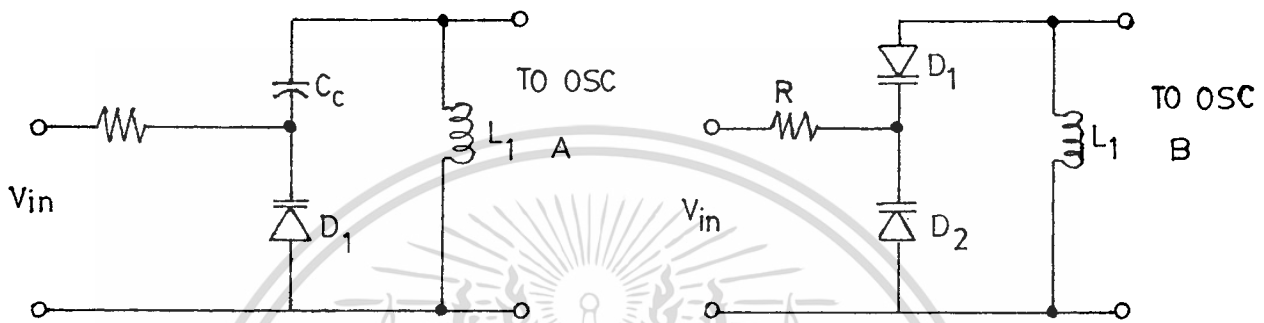


รูปที่ 2.14 แสดงวงจรโคลนิตที่ออสซิลเลเตอร์ซึ่งใช้เพ็ท

วงจรที่ใช้ FET แสดงในรูป 2.14 R_D ทำหน้าที่สร้างแรงดันไบอัส (V_{GS}) ให้กับ FET อาร์เอฟไชค (R.F.Choke) ทำให้ R_D มีค่าอิมพีแดนซ์สูงมากที่ความถี่ใช้งาน ซึ่งจะทำให้ R_D (ปกติมีค่าต่ำ) ไม่มีผลต่อวงจร $D1$ ทำหน้าที่จำกัดขนาดแรงดันเอชที่เกิดจากการออสซิลเลเตอร์ ไม่ให้มีขนาดใหญ่จนเกินไปจนทำให้รอยต่อระหว่างขาเกตและซอร์สของ FET นำกระแสได้ ($V_{GS} = 0.7$) ซึ่งไม่จำเป็นต้องมีในกรณีที่แรงดันเอชมีขนาดเล็กหรือในกรณีที่ เป็น MOS-FET วงจรสามารถรับโหลดที่เป็นค่าความต้านทานสูง ๆ ได้เท่านั้น สำหรับถ้าโหลดมีค่าความต้านทานต่ำ ๆ ค่าของ C_0 จะเล็ก

ลงเพื่อให้ r_{eo} ที่ความถี่ใช้งานมีค่าสูงจนทำให้โหลด ไม่มีผลต่อวงจร ซึ่งอาจทำให้เฟสของสัญญาณที่ได้เลื่อนไปบ้างแต่ไม่มีผลต่อการทำงานของวงจรและ R กับ C ทำหน้าที่บายพาสแรงดันเอซี

วงจร VCO เป็นส่วนประกอบที่สำคัญของระบบเฟสล็อก ความถี่เอาต์พุตของ VCO จะแปรตามแรงดันอินพุตที่ควบคุม ซึ่งจะใช้วิธีเปลี่ยนแรงดันไบอัสให้กับวาริแคป



รูปที่ 2.15 แสดงการใช้วาริแคปกับวงจรออสซิลเลเตอร์

รูปที่ 2.15A คาปาซิเตอร์ จะมีค่าอิมพีแดนซ์(X_c) ต่ำที่ความถี่ใช้งาน ทำหน้าที่แยกแรงดันดีซีออกจากวงจรรีโซแนนท์ วงจรในรูป 2.15 มีข้อจำกัดที่แรงดันเอซีคร่อม $D1$ ต้องมีค่าน้อย (น้อยกว่า 600 mV_{rms}) ไม่เช่นนั้น $D1$ อาจจะทำให้การเรคตีไฟร์แรงดันคร่อม $L1$ ซึ่งจะทำให้ความเพี้ยนเกิดขึ้นกับความถี่ที่ใช้งาน

วิธีแก้ไขทำได้โดยรูปที่ 2.15B ไดโอด $D1, D2$ ต่อกลับกัน ทำให้แก้ปัญหการ เรคตีไฟเออร์ แต่ค่าความจุ (Capacitance) รวมของ $D1, D2$ จะลดลงครึ่งหนึ่ง และ $D1, D2$ ต้องมีคุณสมบัติใกล้เคียงกันมากที่สุดหรืออาจจะรวมกันอยู่ในตัวถังเดียวกัน

เมื่อใช้วาริแคปร่วมกับวงจรออสซิลเลเตอร์ ในรูปที่ 2.14 ค่าความจุของวาริแคปต้องนำไปรวมกับ $C1, C2$ และในทางปฏิบัติ ในกรณีที่ใช้ทรานซิสเตอร์เป็น FET ก็รวมค่าของ C_{iss} (Common Source Input Capacitance) เข้ากับ $C1$ และ C_{oss} (Common Source Output Capacitance) เข้ากับ $C2$ โดยกำหนดว่าค่าจริงของ Y_{11} และ Y_{22} ไม่มีผลกับวงจร

จากสมการ

$$f_o = (r (L * C_T)^{1/2})^{-1} \quad (2.20)$$

โดยที่ C_T คือ

$$C_T = C_o + \frac{(C1 + C_{iss}) * (C2 + C_{oss})}{(C1 + C_{iss}) + (C2 + C_{oss})} \quad (2.21)$$

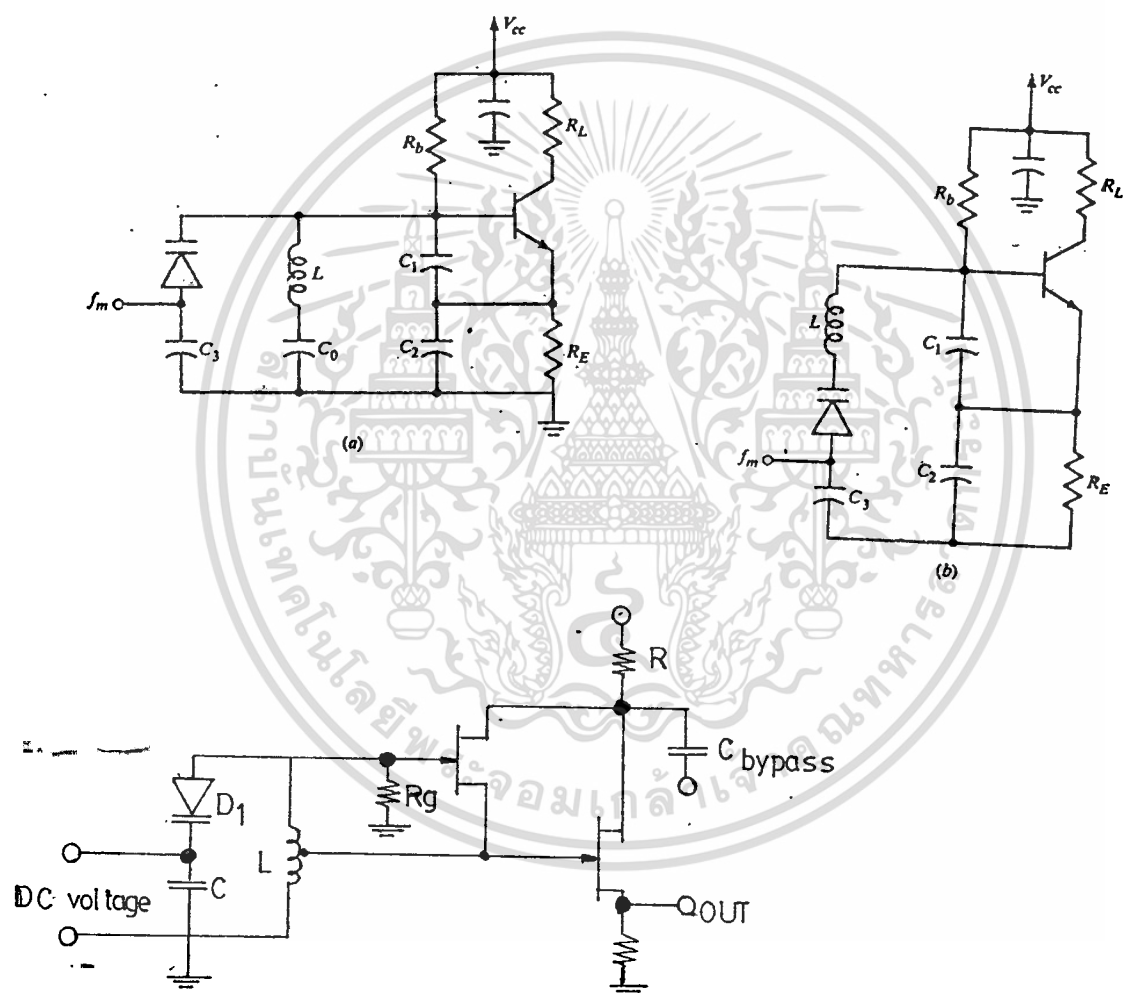
ซึ่ง C_o คือค่าความจุของวารีแคปที่แรงดันอินพุตใด ๆ และเราสามารถกำหนด f_o / V ซึ่งเป็นเกนแฟลคเตอร์ของ VCO ได้จาก

$$K_o = \frac{f_o}{V} = \frac{C * V1 + V1}{8 (L)^{1/2} (C_T (+V2))^{3/2}} \quad (2.22)$$

เมื่อ เป็นแรงดันที่รอยต่อของไดโอด (0.7 V)



รูป 2.16 แสดงความสัมพันธ์ระหว่างความถี่และแรงดันในทางอุดมคติ ตัวอย่างวงจร VCO

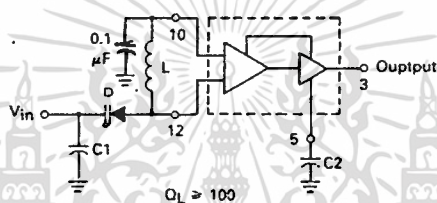


รูป 2.17 แสดงวงจรผลิตความถี่ที่ควบคุมด้วยแรงดัน

2.3A MC₁₆₄₈

MC1648 เป็นไอซี ที่สามารถเป็น vco ได้โดยจะทำการต่อเป็นวงจรแท่งคู่แบบขนาน (parallel tank circuit) ซึ่งจะประกอบด้วย L และ C ไอซีเบอร์นี้จะถูกออกแบบไว้สำหรับใช้ในงานของเฟสล็อกกลุ๊ป ซึ่งสามารถนำไปใช้ประโยชน์ในงานต่าง ๆ ได้อย่างมากมาย

เมื่อเราให้การทำงานเป็นไปในลักษณะการใช้แรงดันควบคุมวงจรออสซิลเลเตอร์ ดังแสดงในรูป 2.17A เราควรจะให้มันแรงดันไบอัส (bias) อย่างน้อยเท่ากับ $2 V_{BE}$ (ประมาณ 3 โวลท์)



รูปที่ 2.17A แสดงการใช้ MC1648 เป็นวงจรผลิตความถี่ควบคุมด้วยแรงดันย่านการจูน (Tuning range) ของออสซิลเลเตอร์ในโหมดการควบคุมแรงดัน (voltage control mode) เราสามารถคำนวณได้จากสมการ

$$\frac{f_{max}}{f_{min}} = \frac{cd_{max} + cs}{cd_{min} + cs} \quad 2.22A$$

$$\text{เมื่อ } f_{min} = \frac{1}{cd_{min} + cs}$$

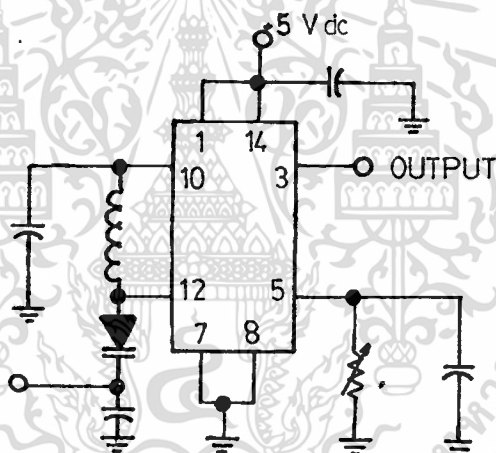
cs: คาปาซิเตอร์ที่ต่อขนาน

cd: วาแรคเตอร์คาปาซิแตนซ์ (varactor capacitance) ที่ขึ้นอยู่
กับแรงดันไบอัส ๆ

คาปาซิเตอร์ C1 และ C2 ใช้สำหรับบายพาสที่จุดเอจิสซี (AGC) และ VCO อินพุท (วาร์แคเตอร์ไดโอด) เพื่อรับประกันสำหรับให้เป็นแรงดันไฟดีซีเท่านั้น

สำหรับที่ความถี่ระหว่าง 1MHz ถึง 50MHz ค่าคาปาซิเตอร์ C1 และ C2 ควรจะให้มิตค่าเท่ากับ 0.1 F ที่สัญญาณความถี่สูงค่านี้ควรจะต่ำและจะมีค่าสูงกว่านี้ถ้ามีความถี่ต่ำ สำหรับที่ความถี่สูงค่าของ บายพาสคาปาซิเตอร์จะขึ้นอยู่กับ physical layout ของระบบ ซึ่งทั้งหมดนี้ถ้าเป็นไปได้ควรจะต่อขาเข้ากับตัวถังให้สั้นที่สุดเพื่อไม่ทำให้เกิดค่าอินดักแตนซ์

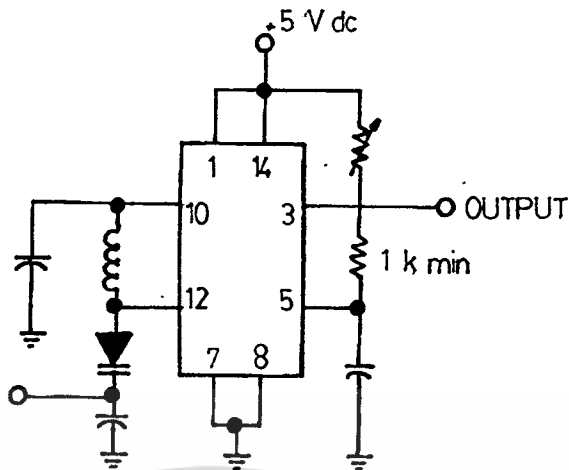
การสริงของวงจรทางคี่นี้จะถูกกำหนดจากวงจรภายในโดยใช้วงจรเอจิสซี แรงดันที่สริงของวงจรทางคี่จะถูกขับออกโดยวงจรบัฟเฟอร์ (buffer) ภายในไอซีค่าแรงดันเอจิสซีนี้จะมีผลต่อสัญญาณเอาท์พุท ซึ่งจะเป็นคลื่นรูปซายน์ (sine wave) หรือคลื่นรูปสี่เหลี่ยม (suar wave) ก็ได้ดังรูป 2.17B, 2.17C



รูปที่ 2.17B รูปวงจรที่ให้เอาท์พุทเป็นคลื่นสี่เหลี่ยม

ที่ความถี่ประมาณ 100 MHz เราก็สามารถจะเพิ่มค่าแรงดันจากยอดถึงยอดของวงจรทางคี่ (Tank circuit peak to peak Voltage) เพื่อให้ได้ขนาดของเอาท์พุทตามต้องการ เราสามารถกระทำได้โดยการต่อ R อนุกรม (ค่าต่ำสุด 1K) จากเอจิสซีไปเข้ากับแหล่งจ่ายไฟ ซึ่งสัญญาณที่ได้จะเป็นคลื่นรูปสี่เหลี่ยม ดังรูปที่ 2.17 B

จากรูปที่ 2.17C แสดงการใช้ MC1648 เป็น VCO ซึ่งให้สัญญาณเอาท์พุทเป็นคลื่นรูปซายน์ โดยการต่อ R เข้ากับ AGC (ขา 5) กับ VEE

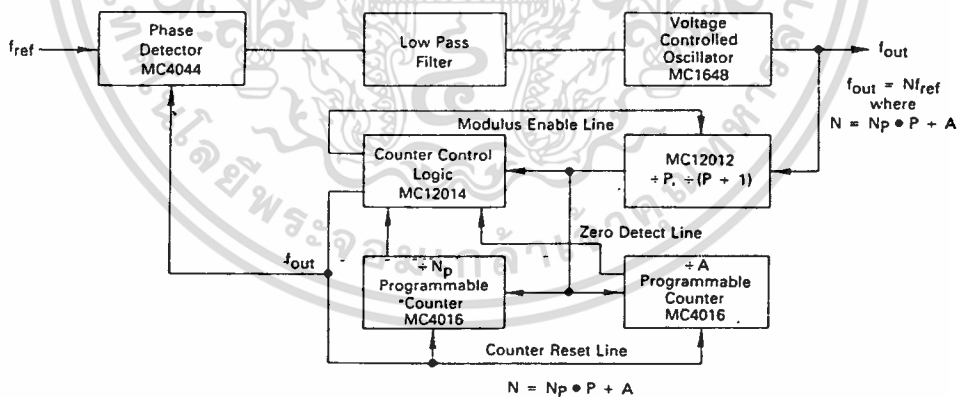


รูปที่ 2.17 วงจรที่ใช้เอาท์พุทเป็นคลื่นรูปซายน์

รูปที่ 2.17 แสดงการใช้ MC1648 เป็น VCO โดยการขยายให้ย่านความถี่มีขนาดสูงขึ้น โดยที่ R จะถูกต่ออยู่ระหว่างวงจร AGC (ขา 5) กับแรงดัน VEE

การประยุกต์ใช้งาน MC1648

เฟสล็อกกลูบที่แสดงในรูป 2.17D เป็นการใช้ MC1648 เป็น VCO รูปที่แสดงนี้เป็นวงจรสังเคราะห์ความถี่ใช้ประโยชน์สำหรับการกระจายเสียงย่านเอฟเอ็ม (FM - Broadcast), ทัว ๆ ไปเกี่ยวกับการบิน (general aviation) วิทยุติดต่อสื่อสารในทะเลหรือเครื่องรับ CB



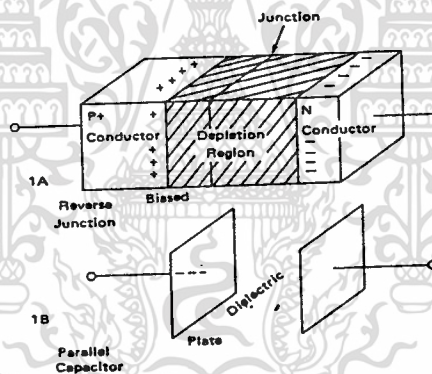
รูปที่ 2.17D การนำไอซี 1648 ใช้งานในวงจรสังเคราะห์ความถี่

2.4 วาริแคป VOLTAGE VARIABLE CAPACITOR DIODE (VARICAP)

วาแรคเตอร์ไดโอด (Varactor diode) ส่วนใหญ่มักจะนำมาใช้เป็นค่าคาปาซิแตนซ์ที่ปรับค่าได้ (vary capacitance) ของวงจรเท้งค์ที่ใช้แอลและซีในการผลิตความถี่ (LC Tank Oscillator)

โดยทั่วไปวาแรคเตอร์เป็นคาปาซิแตนซ์ซึ่งถูกควบคุมโดยการเปลี่ยนค่าของแรงดัน (Voltage Variable Capacitor) สร้างจากสารกึ่งตัวนำ (Semiconductor) ซึ่งสามารถนำมาประยุกต์ใช้ในการจูนของวงจรทางด้านอิเล็กทรอนิกส์ (Electronic Tuning) ได้

การทำงานของวาแรคเตอร์จะอาศัยหลักการของบริเวณรอยต่อ (Region) ระหว่าง Forward Conduction และ Reverse Breakdown เหมือนไดโอดธรรมดา แต่ในการใช้งานจะพิจารณาช่วงคัทออฟ (cutoff, reverse) เท่านั้นจะไม่ใช้ในช่วง forward conduction และ reverse breakdown



รูปที่ 2.18 แสดงโครงสร้างของจูนนิ่งไดโอด

ความกว้างของช่วง Depletion ขึ้นอยู่กับการโด๊ป (Dope) สารกึ่งตัวนำ และแรงดันไบอัสที่ให้แก่อรอยต่อ

ค่าความจุของคาปาซิเตอร์ กำหนดจาก

$$C = \frac{EA}{d} \quad (2.23)$$

เมื่อ E = ค่าคงที่

$$E_0 = 8.85 \times 10^{-12} \text{ F/m}$$

A = พื้นที่หน้าตัด

d = ความกว้างของช่วงดินลึกลง

โดยทั่วไปเราสามารถหาค่า C จากสมการ

$$C = \frac{dQ}{dV} \quad (2.24)$$

เมื่อ Q = ประจุต่อหน่วยพื้นที่โดยกำหนดจาก

$$Q = EE \quad (2.25)$$

เราสามารถกำหนดค่าประจุต่อหน่วยพื้นที่ได้โดย

$$C = \frac{C}{A} = \frac{EdE}{dV} \quad (2.26)$$

จาก M. Norwood และ F. Shetz กำหนดสูตร โดยทั่วไปที่

$$C = \left(\frac{qAE^{m+1}}{(m+2)(V+)} \right)^{1/m+2} \quad (2.27)$$

เมื่อ m = Impurity Exponent

C = Capacitance / Area

2.4.1 อัตราส่วนความเก็บประจุ

อัตราส่วนการจูน (Tuning Ratio) หรืออัตราส่วนความเก็บประจุ

Tr จะแสดงอัตราส่วนค่าความเก็บประจุ ซึ่งได้จากแรงดันไบอัส 2 ค่า

$$\frac{C_i \cdot V_2}{C_i \cdot V_1} = \left(\frac{V_1 +}{V_2 +} \right)^r = Tr \quad (2.28)$$

เมื่อ C, (V1) = ประจุที่รอยต่อที่แรงดัน V1

C, (V2) = ประจุที่รอยต่อที่แรงดัน V2

โดยที่ V1 มากกว่า V2

ในการกำหนดค่า Tr สามารถดูจากตาราง (Data sheet) อุปกรณ์บางเบอร์ใช้แรงดัน 4 โวลต์สำหรับ V_2 อย่างไรก็ตามเพื่อให้ได้ค่าอัตราส่วนการคูณที่มากขึ้น อาจใช้แรงดันไบอัสที่ต่ำกว่า 4 โวลต์โดยให้ค่า Q ลดลงและการใช้แรงดันไบอัสกลับต่ำ ๆ อาจจะทำให้ไดโอดถูกไบอัสตรงได้เมื่อแรงดันเอซีที่คร่อมไดโอดมีค่าสูงและสัญญาณขนาดใหญ่คร่อมไดโอดจะทำให้เกิดการเพี้ยน (distortion) จากปรากฏการณ์ค่าคาปาซิแตนซ์มอดูเลชัน (capacitance modulation)

โดยปกติผลของ และค่าความเก็บประจุจากโครงสร้าง C_c ปกติมีค่าน้อย เราสามารถลดทอนให้ง่ายขึ้นโดย

$$Tr = \frac{CV_{min}}{CV_{max}} = \left(\frac{V_{max}}{V_{min}} \right)^r \quad (2.30)$$

อัตราส่วนความถี่ (Frequency Ratio) จะเท่ากับค่ารากที่สองของอัตราส่วนการคูณ

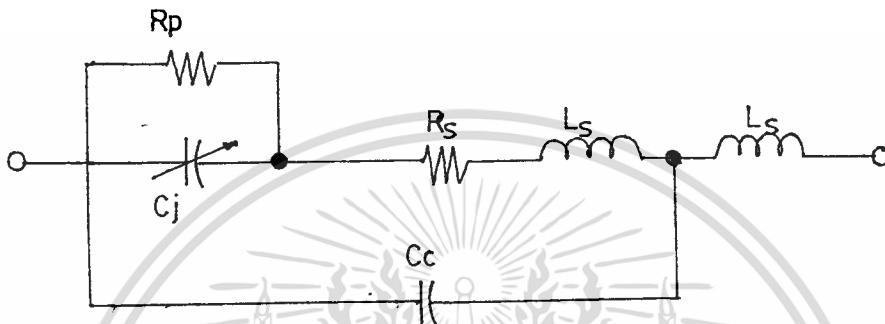
$$Fr = (Tr)^{1/2} \quad (2.31)$$

ในทางกายภาพ r ขึ้นอยู่กับการบิดปसारเชิงเรขาคณิตของไดโอด มีค่าระหว่าง $1/3 - 2$ ซึ่งสามารถกำหนดได้จากเทคนิคการผลิตชนิดของรอยต่อ

2.4.2 ค่า Q

ค่า Q ของวารีแคปจะมีค่าเปลี่ยนไปตามแรงดันไบอัสและความถี่ค่า Q ของวารีแคปจะลดลงที่ความถี่สูง เนื่องจากค่าความต้านทานในเนื้อสารซิลิกอน (R_s) และจะลดลงเช่นกันที่ความถี่ต่ำ เนื่องจากความต้านทานซึ่งขนานอยู่กับ C_i ซึ่งเกิดจากไดโอดถูกไบอัสกลับ

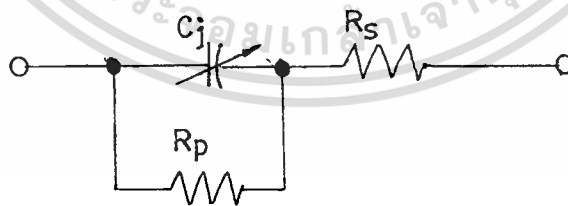
วงจรสมมูลย์ของไดโอด



รูปที่ 2.19 แสดงวงจรสมมูลย์ของไดโอด

เมื่อ R_p เป็นตัวความต้านทานซึ่งขนานอยู่กับ C_i
 R_s เป็นตัวความต้านทานในเนื้อสารซิลิกอน
 L_s เป็นความเหนี่ยวนำจากขาภายนอกของไดโอด
 C_c เป็นค่าความจุของโครงสร้าง (Case Capacitance)

แต่โดยทั่วไปเราไม่คำนึงถึงค่าของ L_s และ C_c จึงทำให้วงจรสมมูลย์สามารถเขียนใหม่ได้ ดังรูป 2.20



รูปที่ 2.20 แสดงวงจรโดยไม่ได้คิดค่าของ L_s และ C_c

ค่า Q สามารถกำหนดจาก

$$Q = \frac{2 f C R_p^2}{R_s + R_p + (2 f C)^2 R_s R_p^2} \quad (2.32)$$

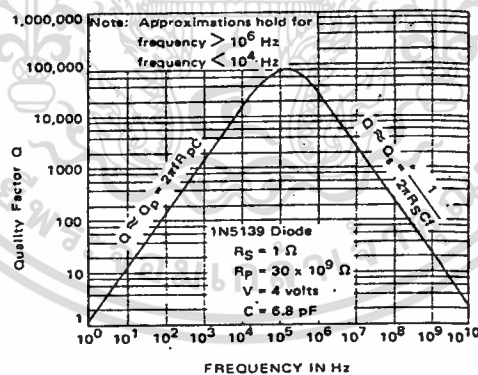
ที่ความถี่สูง ๆ ค่า Q จะกลายเป็น

$$Q = Q_s = \frac{1}{2 f C R_s} \quad (\text{H.F.}) \quad (2.33)$$

และที่ความถี่ต่ำ

$$Q = Q_p = 2 f C R_p \quad (\text{L.P.F.}) \quad (2.34)$$

ค่า Q ก็เปลี่ยนไปตามแรงดันไบอัสด้วย



รูปที่ 2.20ก กราฟแสดงความสัมพันธ์ระหว่างค่า Q กับความถี่

2.4.3 ข้อพิจารณาในการเลือกวารินแคป

เราสามารถหาค่าต่าง ๆ จากสมการต่อไปนี้

2.4.3.1 C_T เป็นค่าคาปาซิเตอร์ที่ใช้งานทั่วไปโดยปกติจะกำหนดค่าแรงดันที่ใช้งานเฉพาะ

2.4.3.2 ค่าอัตราส่วนความจุ

$$T_R = \frac{C_{V(max)}}{C_{V(min)}} = \left(\frac{V_{max}}{V_{min}} \right)^r$$

เมื่อ r = Capacitance exponent

โดยปกติใช้ 0.5 แต่สามารถเลือกได้ระหว่าง 0.3 ถึง 2.0

2.4.3.3 ค่าอัตราส่วนความถี่ $F_R = (T_R)^{1/2}$

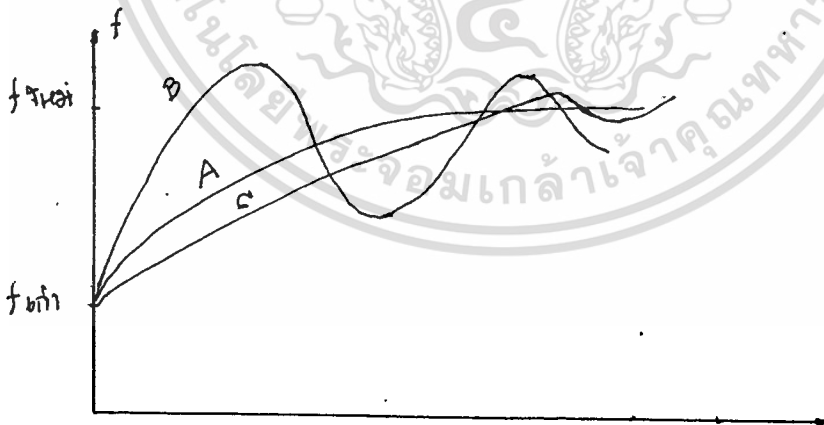


2.5 ลูปฟิลเตอร์ (Loop Filter)

ลูปฟิลเตอร์เป็นส่วนสำคัญอีกส่วนหนึ่งในระบบเฟสล็อกลูป หน้าที่ของวงจรนี้ ได้แก่ การควบคุมการล็อก , แคลเจอร์ , แบนด์วิดและการตอบสนองค่าทรานเซียน (Frequency Response) ของลูป สำหรับลูปฟิลเตอร์ในที่นี้ก็คือวงจรฟิลเตอร์ชนิดโลว์พาสธรรมดาที่เองทำหน้าที่กรองเอาเฉพาะสัญญาณความถี่ต่ำมาควบคุมความถี่ของ VCO โดยทั่วไปมักจะใช้ลูปฟิลเตอร์ประเภทพาสซีฟ ลูปฟิลเตอร์เป็นตัวกำหนดคุณสมบัติการเปลี่ยนแปลงความถี่ก่อนเข้าสู่สภาวะล็อกที่เรียกว่าคุณสมบัติชั่วคราว (Transient) ถ้าเลือกอัตราขยายลูป (Loop Gain) และค่าคงตัวของลูป (Loop Time Constant) ไม่เหมาะสม ความถี่ของเฟสล็อกลูปจะไม่ล็อกและจะเปลี่ยนแปลงอยู่ตลอดเวลา

ดังนั้น ค่าคงตัวของลูปฟิลเตอร์จะต้องไม่มากเกินไป เพราะว่าทุกครั้งที่เปลี่ยนความถี่เฟสล็อกลูปจะล็อกได้เร็ว โดยไม่มีการสละบัต (Over Shoot) หรือใช้เวลานานในการเปลี่ยนความถี่อย่างรวดเร็วแต่ค่าคงตัวของลูปก็ไม่ควรจะน้อยเกินไปจนกระทั่งความถี่สั่นหรือไม่นิ่ง (Jitter) จากรูปที่ 2.21 ซึ่งแสดงการเปลี่ยนความถี่ของ VCO จะเห็นว่าเส้นทางการเปลี่ยนแปลงแรงดันมี 3 เส้นทาง เส้นทาง A เป็นเส้นทางคริติคอลแดมป์ (Critical Damp) ใช้เวลาในการเปลี่ยนเข้าสู่ความถี่ใหม่น้อยที่สุด เส้นทาง B เรียกว่าเส้นทางอันเดอร์แดมป์ (Under Damp) มีการสละบัตเนื่องจากโอเวอร์ชูต เส้นทาง C เป็นเส้นทางโอเวอร์แดมป์ (Over Damp) ไม่มีโอเวอร์ชูตแต่เวลาที่ใช้ในการเข้าสู่ความถี่ใหม่จะช้า

ดังนั้นจะเห็นว่า เส้นทาง A เป็นเส้นทางที่ดีที่สุดในการออกแบบ ค่าคงตัวของลูปของวงจรลูปฟิลเตอร์เพราะใช้เวลาเปลี่ยนความถี่เร็วและไม่มีโอเวอร์ชูต



รูป 2.21 คุณสมบัติในการเปลี่ยนความถี่ของเฟสล็อกลูป

หน้าที่ของโลว์พาสฟิลเตอร์ในเฟสล็อกกลูป มีหน้าที่ใหญ่ ๆ อยู่ 2 ประการคือ

2.5.1.1 ลดค่าความคลาดเคลื่อนที่เป็นความถี่สูงที่ออกจากวงจรเปรียบเทียบเฟส (Phase Comparator) โดยการใช้คุณสมบัติการกำจัดสัญญาณรบกวนและเป็นตัวทำให้เกิดค่าแรงดันเฉลี่ย (Average DC Voltage) เพื่อนำไปควบคุมวงจร VCO

2.5.1.2 ทำหน้าที่ควบคุมการทำงานของลูป ซึ่งขึ้นอยู่กับเงื่อนไขต่าง ๆ ดังนี้

2.5.1.2.1 แคปเจอร์และล็อกเรนจ์

2.5.1.2.2 แบนด์วิด

2.5.1.2.3 การตอบสนองของทรานเซียน

เนื่องจากโลว์พาสฟิลเตอร์ลดค่าแรงดันคลาดเคลื่อนของความถี่ระหว่างลูปมันเป็นตัวควบคุมการแคปเจอร์โดยตรงและคุณสมบัติผลตอบสนองชั่วขณะของเฟสล็อกกลูป

การลดช่วงกว้างของฟิลเตอร์ จะส่งผลไปยังการทำงานของระบบคือ

2.5.1.3.1 ขบวนการแคปเจอร์จะช้าลงและพูลอินไทม์ (Pull in Time)

เพิ่มขึ้น

2.5.1.3.2 ช่วงแคปเจอร์จะลดลง

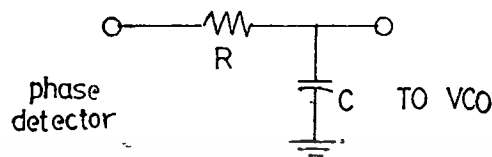
2.5.1.3.3 คุณสมบัติทางอินเตอร์เฟรเรนซ์ (Interference Rejection) ของเฟสล็อกกลูปจะดีขึ้น เพราะค่าแรงดันคลาดเคลื่อนเนื่องจากความถี่ของสัญญาณรบกวนจะถูกลดลงไป

2.5.1.3.4 ผลตอบสนองชั่วขณะของเฟสล็อกกลูปต่อการเปลี่ยนทันทีของสัญญาณเข้าสู่ช่วงความถี่แคปเจอร์จะอยู่ในลักษณะภายใต้การแดมป์

ลูปฟิลเตอร์อาจจะเป็นชนิดพาสซีฟหรือแอคทีฟก็ได้ ขึ้นอยู่กับความจำเป็นของการนำไปใช้งาน

2.5.2 วงจรโลว์พาสฟิลเตอร์

ในระบบเฟสล็อกจะมีโลว์พาสฟิลเตอร์เป็นส่วนประกอบอยู่เสมอ เราจะกล่าวถึงโลว์พาสฟิลเตอร์ที่นิยมใช้กันบ่อย ๆ 3 ชนิด



๙ พท ๖
๙ ๖ พท

รูป 2.22 แสดงโลว์พาสฟิลเตอร์อันดับ 1 โดยใช้ R-C

รูปที่ 2.22 โดยทั่วไปจะต่ออยู่ระหว่างเฟสดีเทคเตอร์กับ VCO ค่าของความถี่คัทออฟ (Cutoff Frequency, ω_{LPF}) สามารถหาได้จากสมการ

$$\omega_{LPF} = 1/RC \quad \text{Rad/Sec} \quad (2.35)$$

ค่าของความถี่ธรรมชาติของลูป (Loop Natural Frequency, ω_n) สามารถหาได้จากความถี่คัทออฟของวงจรกรองความถี่ โดยสมการ

$$\omega_n = (K K_o \omega_{LPF})^{1/2} \Rightarrow \frac{\omega_n^2}{K K_o} = \omega_{LPF} \quad (2.36)$$

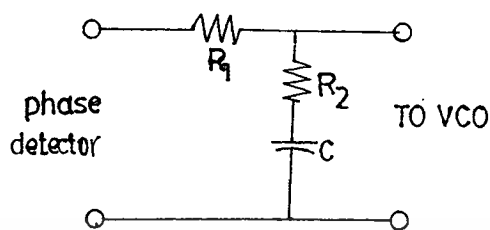
เมื่อ K คอนเวอร์ชันเกน (Conversion Gain) ของเฟสดีเทคเตอร์ (Volt/Sec)

$-K_o$ คอนเวอร์ชันเกนของ VCO (Rad/Sec/Volt)

เมื่อเพิ่มแอมป์ เราสามารถหาค่าของแอมป์เฟคเตอร์จากสมการ

$$\zeta = \frac{1}{2} \frac{\omega_{LPF}^{1/2}}{K K_o} \quad (2.37)$$

นอกจากนี้ยังมีฟาสซีฟฟิลเตอร์อีกชนิดหนึ่งที่เรียกว่า แล็ก-ลีด (Lag-Lead Circuit) ดังแสดงในรูป 2.23



รูป 2.23 แสดงวงจร แล็ก-ลีด อันต์บหนึ่ง

ค่าความถี่คัทออฟสำหรับวงจรกรองความถี่ชนิดนี้หาได้จากสมการ

$$W_{LFF} = \frac{1}{(R_1 + R_2) C} \quad (\text{Rad/Sec}) \quad (2.38)$$

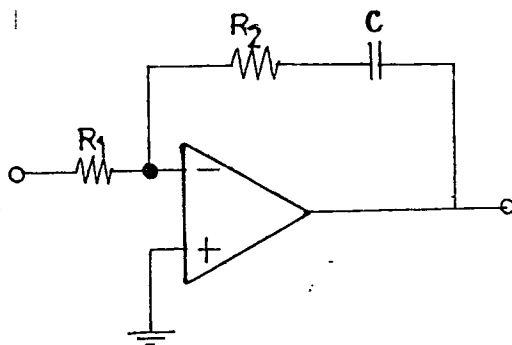
และความถี่ธรรมชาติหาได้จากสมการ

$$W_n = (K K_o W_{LFF})^{1/2} \quad (2.39)$$

และแอมป์ แพคเตอร์หาได้จากสมการ

$$\phi = \frac{W_n}{2} \left(R_2 C + \frac{1}{K K_o} \right) \quad (2.40)$$

จากวงจรฟาสซีฟแบบ แล็ก-ลีด เราสามารถนำมาสร้างเป็นวงจรแอกทีฟฟิลเตอร์ ได้โดยการนำเอาออปแอมป์ (Operational Amplifier) มาต่อร่วมดังรูปที่ 2.24



รูปที่ 2.24 วงจรแอกทีฟฟิลเตอร์
ความถี่คัทออฟหาได้จากสมการ

$$W_{LFF} = \frac{1}{R1C} \quad \text{Rad/Sec} \quad (2.41)$$

ค่าของรูปความถี่ธรรมชาติและแดมปีง แพลเตอร์ สามารถกำหนดได้จาก

สมการ

$$W_n = (K K_o W_{LFF})^{1/2} \quad (2.42)$$

และ

$$\zeta = \frac{1}{2} \frac{(R2 * C)}{2} W_n \quad (2.43)$$

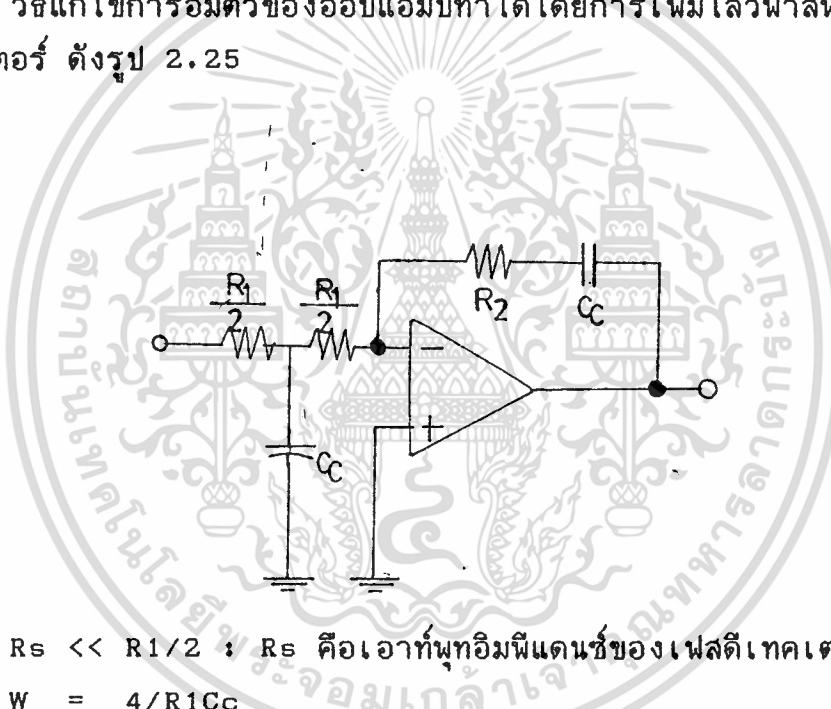
2.5.3 ข้อพิจารณาในการออกแบบฟิลเตอร์

2.5.3.1 เนื่องจากตัวฟิลเตอร์และอินทิเกรเตอร์ที่ใช้โอปแอมป์มีฟังก์ชันเป็นอินเวอร์ตติ้ง (Inverting) ดังนั้นจำเป็นต้องตัดแปลงเพื่อแก้ไขการกลับเฟสนี้ก่อนเพื่อให้ค่าแรงดันคลาดเคลื่อน (Error Voltage) จากฟิลเตอร์สามารถควบคุม VCO ได้ถูกทิศทางกับความผิดพลาดที่เกิดขึ้น ซึ่งทำได้ง่ายที่สุดโดยการสลับอินพุต Fr และ Fv ที่เฟลดีเทคเตอร์

2.5.3.2 กรณีเฟลสดีเทคเตอร์ที่มีเอาต์พุตเป็นดับเบิลเอนด์จะมี $K_d = V_{DD}/2$ ส่วน W_n และ ของลูปจะเหมือนซิงเกิลเอนด์

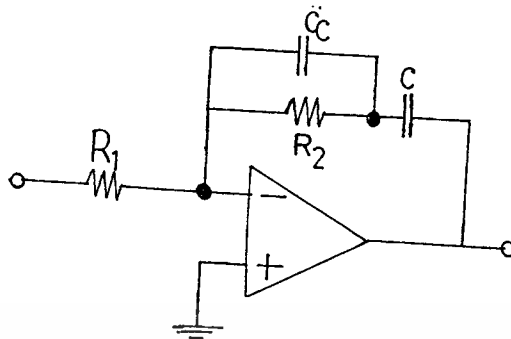
2.5.3.3 วงจรแอกทิฟฟิลเตอร์อาจจะเกิดการอิมพัลส์ถ้าลูปเกิดการผิดพลาดเชิงเฟสที่เฟลสดีเทคเตอร์มีขนาดใหญ่พร้อม ๆ กับเกิดการรบกวนเชิงอินพุตขึ้นในลูป กรณีนี้จะเกิดขึ้นเฉพาะกับลูปที่ใช้เฟลสดีเทคเตอร์เป็นชนิดดิจิตอล เนื่องจากเอาต์พุตของเฟลสดีเทคเตอร์เปลี่ยนแปลงเป็น 0 หรือ 1 ในทันทีทันใด นอกจากนี้ความถี่อินพุตของฟิลเตอร์มักจะมีค่ามาก ดังนั้นถ้าอัตราส่วนของ R_1/R_2 มากกว่า 10 ความถี่นี้จะถูกขยายด้วยอัตราส่วนของ R_1/R_2 ถ้าสามารถทำได้ควรให้อัตราส่วนนี้มีค่าน้อยที่สุด

วิธีแก้ไขการอิมพัลส์ของออปแอมป์ทำได้โดยการเพิ่มโวลต์ฟอสฟิลเตอร์ก่อนวงจรอินทิเกรเตอร์ ดังรูป 2.25



เมื่อ $R_s \ll R_1/2$: R_s คือเอาต์พุตอิมพีแดนซ์ของเฟลสดีเทคเตอร์
 $W_c = 4/R_1 C_c$

รูป 2.25A วิธีแก้การรบกวนด้วย R_1-C_c

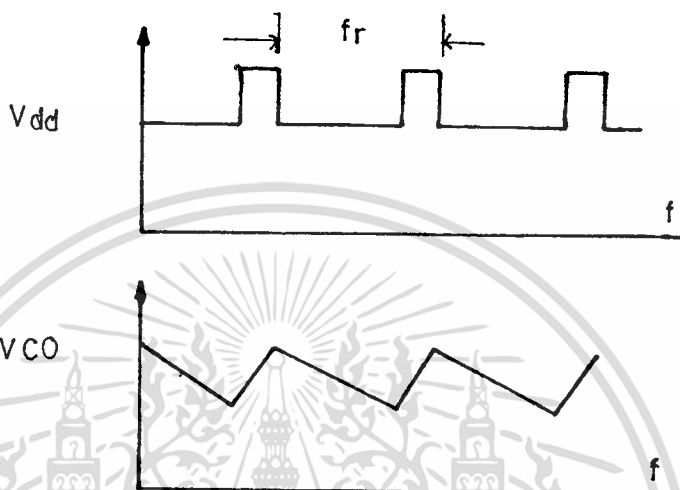


เมื่อ $\omega_c = 1/R_2 C_c$

รูป 2.25B วิธีแก้ทรานเซียนด้วย R_2-C_c

จากรูปที่ 2.25A สามารถคำนวณความถี่คัทออฟได้จาก $4/R_1 * C_c$ ถ้าเฟสดีเทคเตอร์เป็นดิจิตอลเนื่องจากมีความต้านทานเอาต์พุตต่ำ ความถี่คัทออฟของวงจรที่เพิ่มขึ้นถ้าเป็นไปได้อาจจะมากกว่าความถี่ธรรมชาติ 5-10 เท่า เนื่องจากโพลที่เกิดจากวงจรที่เพิ่มขึ้น ถ้าอยู่ใกล้ความถี่ธรรมชาติจะทำให้ลูปเกิดโอเวอร์ชูตมากขึ้นและผลพลอยได้ของฟิลเตอร์ที่เพิ่มขึ้นจะทำให้ความถี่อ้างอิง (Reference Frequency, ω_r) ถูกลดทอนลงด้วยแรงดันที่ไปควบคุม VCO ควรเป็นแรงดันดีซีอย่างเดียว ส่วนประกอบของแรงดันที่ไม่ใช่ดีซีจะทำให้เอาต์พุตของ VCO มีการมอดูเลตด้วยแรงดันที่ไม่ใช่ดีซีสำหรับแรงดันที่มาควบคุม VCO ของส่วนประกอบที่ไม่ใช่ดีซีส่วนใหญ่จะมาจากความถี่อ้างอิงและนอยส์ต่าง ๆ ในวงจรแอดคิฟฟิลเตอร์จะเพิ่มนอยส์ลงไปแรงดันดีซีนี้ด้วย ดังนั้นวงจรขยายที่ใช้ในฟิลเตอร์ควรมีคุณสมบัติในเรื่องสัญญาณรบกวนที่สร้างขึ้นภายในตัวเองที่ดีควรวีซชิตที่มีสัญญาณรบกวนต่ำที่สุดเท่าที่จะทำได้และกระแสไบอัสอินพุตก็ควรน้อยที่สุดเนื่องจากถ้าวงจรดึงกระแสจำนวนหนึ่งจากเฟสดีเทคเตอร์จะทำให้ความผิดพลาดเชิงเฟสเมื่ออยู่ในสภาวะสงบมีค่ามากกว่าศูนย์มาก กรณีที่ใช้ฟิลเตอร์แบบพาสซีฟก็จะมีค่าผิดพลาดในสภาวะสงบ (Steady State Error) มากกว่าแอดคิฟเพราะพาสซีฟฟิลเตอร์จะดึงกระแสไหลมากกว่าแอดคิฟ อย่างไรก็ตามพาสซีฟฟิลเตอร์ไม่เพิ่มนอยส์เข้าไปในลูปเหมือนแอดคิฟฟิลเตอร์และ R_1 ของวงจรพาสซีฟสามารถแบ่งออกเป็น $R_1/2$ แล้วใช้ C_c เพิ่มขึ้นได้เช่นเดียวกับวงจรในรูปที่ 2.25B และใช้วิธีการคำนวณความถี่คัทออฟแบบเดียวกัน

2.5.3.4 แรงดันที่ใช้ควบคุม VCO ควรมีส่วนประกอบที่ไม่ใช่เอชไอแอลที่สุด ส่วนประกอบที่ไม่ใช่ดีซีจะทำให้ความถี่เอาท์พุทของ VCO เกิดเอาท์พุทที่ไม่ต้องการ (Spurious Output) เป็นไซด์แบนด์ของความถี่ตั้งนั้นความถี่อ้างอิงควรถูกกำจัดไปให้มากที่สุด



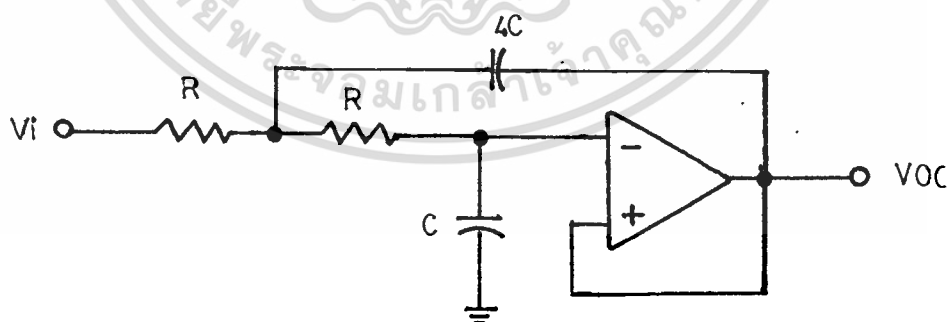
รูป 2.26 แสดงรูปคลื่นเอาท์พุทของเฟสดีเทคเตอร์และอินทิเกรเตอร์

รูปคลื่นจากรูปที่ 2.26 ทำให้เกิดไซด์แบนด์ที่สัมพันธ์กับแคเรียร์ (Carrier) ของ VCO ที่สามารถคาดคะเนโดยประมาณได้จาก

$$\frac{\text{Sideband}}{\text{Carrier}} = \frac{V}{2W_r} K_o \quad (2.44)$$

เมื่อ V คือค่าแรงดันยอด (Peak Value) ของความถี่อ้างอิงที่อินพุทของ

VCO



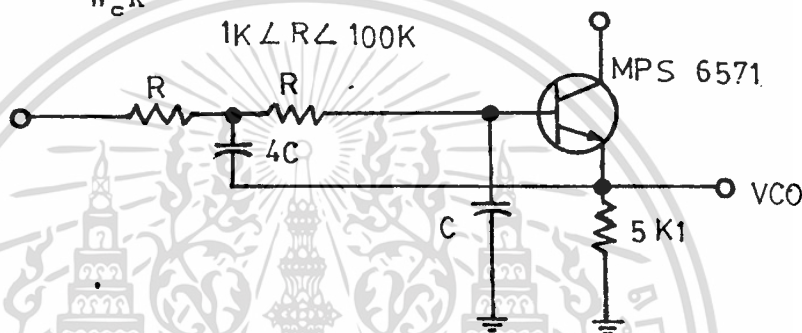
รูปที่ 2.27 แสดงวงจรโลว์พาสฟิลเตอร์อันดับ 2 โดยใช้โอปแอมป์

$$= \frac{C}{4C} = 0.5 \quad (2.45)$$

$$W_c = \frac{0.636}{RC} \quad (2.46)$$

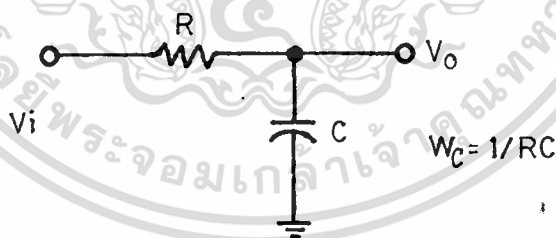
ให้เลือกค่า R $1K < R < 1M$

$$C = \frac{0.5}{W_c R} \quad (2.47)$$



รูปที่ 2.28 แสดงวงจรโลว์พาสฟิลเตอร์อันดับ 2 โดยใช้ทรานซิสเตอร์ต่อแบบอิมิเตอร์
ฟอลโลเวอร์ (Emitter Follower)

ถ้าเอาต์พุตมีค่าน้อยกว่า V_{cc} อยู่ 0.1 V วงจรจะมีความไวต่อสัญญาณ
รบกวนจากแหล่งจ่าย V_{cc}



รูป 2.29 แสดงวงจรพาสซีฟโลว์พาสฟิลเตอร์

สำหรับการใช้เฟสดีเทคเตอร์ MC 4044 ที่เอาต์พุตของเฟสดีเทคเตอร์
จะมีขา U1 และ D1 เราสามารถต่อกับฟิลเตอร์แบบซมมิงเนทเวิร์ค (Summing
Network)

2.6 เฟสดีเทคเตอร์

เฟสดีเทคเตอร์ (Phase Detector) เป็นส่วนหนึ่งของระบบเฟสล็อกกลูป ซึ่งเป็นตัวทำหน้าที่ทำให้เกิดแรงดันที่อนาล็อกหรือดิจิตอลที่เอาต์พุตของตัวมัน ซึ่งค่าแรงดันที่ปรากฏออกมาจะเป็นอัตราที่แปรผันตามความต่างเฟสของสัญญาณอินพุต 2 สัญญาณที่เข้ามาในเฟสดีเทคเตอร์ ←

ลักษณะของวงจรเฟสดีเทคเตอร์สามารถแบ่งการทำงานออกเป็น 2 แบบใหญ่คือ

2.6.1 อนาล็อกเฟสดีเทคเตอร์ (Analog Phase Detector) ได้แก่ การมิกเซอร์ซึ่งเอาท์จะแปรตามขนาดของสัญญาณอินพุต วงจรที่ทำหน้าที่ได้แก่ บาลานซ์มิกเซอร์ (Balance Mixer) และแซมปลิงดีเทคเตอร์ (Sampling Detector) เป็นการกำหนดโดยให้สัญญาณอ้างอิง f_r เป็นสัญญาณพัลส์ซึ่งมีคาบเวลาคงที่ไปทำการสุ่มสัญญาณอินพุต ด้วยช่วงเวลาสั้น ๆ โดยที่เอาท์พุตจะเป็นอัตราส่วนโดยตรงกัน

เฟสดีเทคเตอร์แบบอนาล็อกนั้นขนาดของสัญญาณมีการเปลี่ยนแปลงแบบไม่จำกัด (Infinite) สำหรับในโครงงานนี้จะไม่กล่าวถึงเฟสดีเทคเตอร์แบบอนาล็อกจึงไม่ได้พูดถึงอนาล็อกเฟสดีเทคเตอร์ แต่จะขอลำดับถึงวงจรที่มีขนาดของสัญญาณจำกัด ซึ่งจะ เป็นวงจรแบบดิจิตอลเฟสดีเทคเตอร์

2.6.2 ดิจิตอลเฟสดีเทคเตอร์ (Digital Phase Detector) ดิจิตอลเฟสดีเทคเตอร์มีอยู่หลายชนิดได้แก่

2.6.2.1 เอกคูซิฟออร์เฟสดีเทคเตอร์ (Exclusive OR Phase Detector)

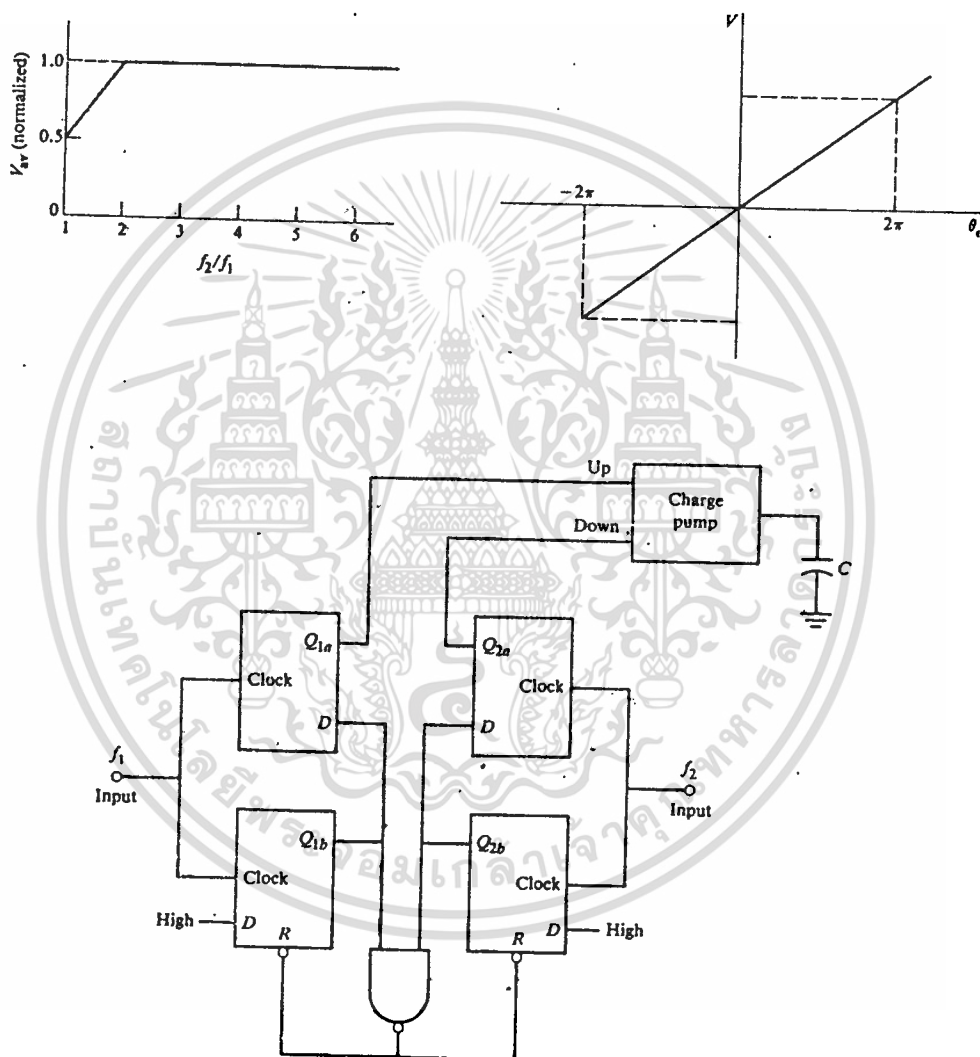
เราสามารถนำเอาเอกคูซิฟออร์เกตมาทำเป็นเฟสดีเทคเตอร์ได้ โดยที่เอาท์พุตเป็น 1 ก็ต่อเมื่อสัญญาณอินพุตมีเฟสต่างกันและเป็นลอจิก 0 เมื่ออินพุตทั้งสองมีเฟสเหมือนกัน แรงดันเฉลี่ยที่เอาท์พุตของเฟสดีเทคเตอร์จะเป็นในลักษณะสมการ

$$V_{o_{avg}} = V_p + D \quad (2.50)$$

โดยที่ V_p = แรงเคลื่อนสูงสุดของลอจิก 1

D = ดิวตีไซเคิล

จากรูปจะเห็นได้ว่าวงจรเฟสดีเทคเตอร์ที่ใช้ทริกด้วยขอบของสัญญาณพัลส์สามารถใช้ช่วงความต่างเฟสได้ตั้งแต่ $0-2\pi$ (เป็น 2 เท่าของแอมพลิจูด) และความถี่ของสัญญาณเอาต์พุตจะเท่ากับอินพุตพัลส์แต่ละลูกซึ่งไม่จำเป็นต้องมีตัวดีไซเกิลเท่ากับ 50 เปอร์เซ็นต์ ส่วนคอนเวอร์ชันแกนจะมีค่าเท่ากับ $V_{DD}/2\pi$



รูปที่ 2.35 เฟสดีเทคเตอร์ที่สร้างจาก D-Flip Flop

2.6.3 เฟส-ฟรีควเอนซีดีเทคเตอร์ (Phase-Frequency Detector)

จะเห็นได้ว่าเฟสดีเทคเตอร์แบบแอดคลูซีฟออร์และแบบฟลิปฟลอปจะเป็นวงจรที่ทำหน้าที่เป็นเฟสดีเทคเตอร์ได้ แต่มีข้อจำกัดอยู่ในตัวเองคือจำเป็นต้องมีการฟิลเตอร์สัญญาณเอาต์พุตที่ดี เพื่อจะแยกค่าเฉลี่ยของแรงดันดีซีที่ต้องการและเมื่อนำไปใช้ในวงจรเฟสล็อกแล้วจะให้ผลตอบสนองช้าเมื่ออินพุตมีความถี่ที่ต่างกันมาก จึงได้มีการพัฒนาเป็นวงจรเฟส-ฟรีควเอนซีดีเทคเตอร์เพื่อแก้ข้อบกพร่องดังกล่าว

วงจรเฟส-ฟรีควเอนซีดีเทคเตอร์จะนิยมใช้กับระบบเฟสล็อกที่ต้องการการตอบสนองในย่านกว้าง เช่นในวงจรสังเคราะห์ความถี่ (Frequency Synthesizer) หรือวงจรควบคุมความเร็วของมอเตอร์ เป็นต้น

สำหรับในโครงงานนี้จะใช้ไอซีเบอร์ MC 4044 ของโมโตโรลา ซึ่งเป็นแบบเฟส-ฟรีควเอนซีดีเทคเตอร์ที่จะได้กล่าวต่อไป



บทที่ 3

การออกแบบวงจร

3.1 การออกแบบวงจรผลิตความถี่อ้างอิง (Reference Frequency Oscillator)

วงจรผลิตความถี่อ้างอิงคงที่เป็นส่วนสำคัญส่วนหนึ่งที่เป็นส่วนประกอบของวงจรสังเคราะห์ความถี่ วงจรส่วนนี้จะต้องมีความเสถียรภาพของความถี่และขนาดมาก เพราะจะมีผลต่อระบบการทำงานของวงจรสังเคราะห์ความถี่ สำหรับในโครงงานนี้จะใช้วงจรผลิตความถี่ที่ใช้คริสตัล (Crystal) ร่วมกับไอซีเบอร์ 74HC 4060 ผลที่ได้ออกมาที่เอาต์พุตของไอซีตัวนี้จะสามารถเลือกได้หลายย่านความถี่ แต่ในที่นี้จะใช้ความถี่อ้างอิงเท่ากับ 10 K_{Hz}

ไอซี 74HC, 4060 เป็นไอซีสำเร็จรูปที่ประกอบด้วยออสซิลเลเตอร์และวงจรหาร เมื่อเราใช้คริสตัล 10.24 M_{Hz} ต่อร่วมกับไอซีตัวนี้ และเราต้องการผลิตความถี่อ้างอิงคงที่เท่ากับ 10 K_{Hz} เพราะฉะนั้นเราต้องเอาความถี่เอาต์พุตที่ขา 15 เนื่องจากเอาต์พุตที่ขา 15 เท่ากับ $(f_{x-TAL}) / 2^{10} = 10 \text{ K}_{Hz}$ ตามต้องการ

สำหรับอุปกรณ์พาสซีฟที่ประกอบรวมกัน ได้แก่ Cs, Ct, Rf, Rs ที่ความถี่ของคริสตัล 10.24 M_{Hz} เราสามารถเลือกใช้ได้ตามเงื่อนไขดังต่อไปนี้

$$5 \text{ M}_{Hz} < Rf < 100 \text{ Mohm}$$

$$Rs = 0-10 \text{ Kohm}$$

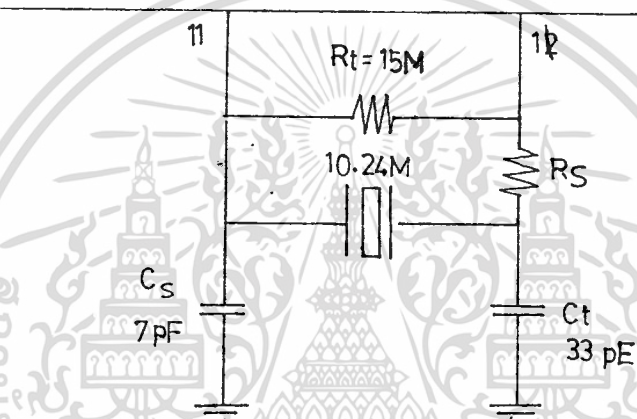
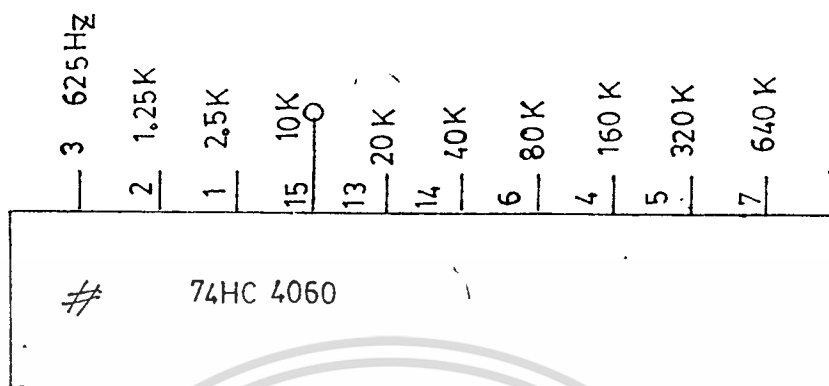
$$Cs < 35 \text{ pF}$$

$$Ct < 35 \text{ pF}$$

$$\text{โดยที่ } Cs * Ct / (Cs + Ct) = C_{L(x-TAL)} \quad (3.1)$$

$$\text{เมื่อ } C_{L(x-TAL)} = 20 \text{ pF}$$

เราควรเลือกใช้ Rs จำกัดแรงดันของคริสตัลให้เหมาะสมโดยถ้าหากเราทดลองลดค่า Rs ลง ความถี่จะเพิ่มขึ้นเล็กน้อยแต่ถ้าเราลดค่า Rs จนทำให้แรงดันของคริสตัลมากเกินไป จะมีผลทำให้เกิดมีการเลื่อนความถี่ไปมาไม่เสถียรภาพ ซึ่งสังเกตได้จากการวัดความถี่ที่เอาต์พุตของไอซี 74HC 4060



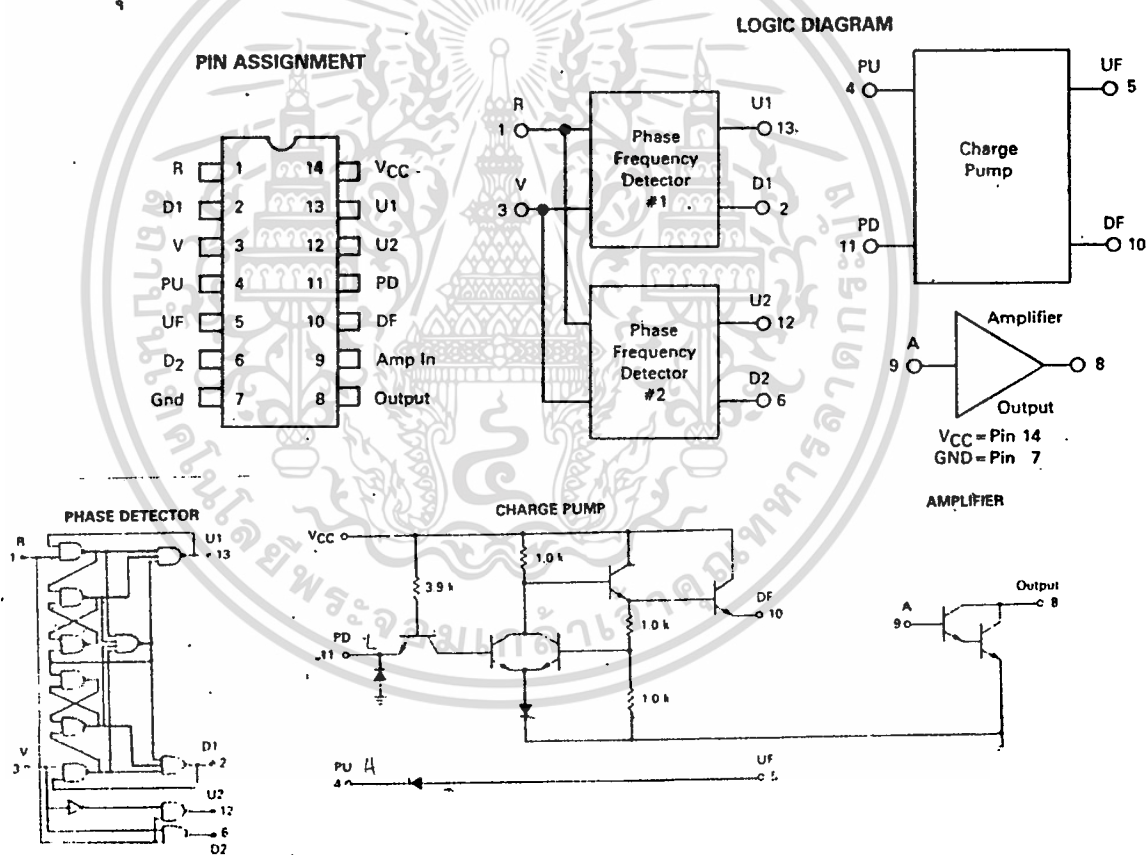
รูป 3.1 แสดงส่วนของวงจรผลิตความถี่อ้างอิง

3.2 เฟสฟรีควเอนซีดีเทคเตอร์

ไอซีเบอร์ MC4044 ประกอบด้วยดิจิตอลเฟสดีเทคเตอร์ (Digital Phase Detector) 2 ตัว, ชาร์จปั๊ม (Charge Pump) 1 ตัว และแอมพลิไฟเออร์ (Amplifier) อีก 1 ตัว ซึ่งมีประโยชน์ในย่านการใช้งานของ PLL โดยให้ค่าแรงดันผิดพลาด (Error Voltage) เป็นสัดส่วนกับความถี่ และ/หรือเฟสที่ต่างกันของอินพุตทั้งสอง

เฟสดีเทคเตอร์ 1 (phase detector#1) ใช้กับระบบที่ต้องการให้เกิดการล็อกเมื่อไม่มีความแตกต่างของความถี่

เฟสดีเทคเตอร์ 2 (phasedetector#2) ใช้กับระบบที่ต้องการล็อกแบบควอดเรเตอร์ล็อก (Quadrature lock) และยังสามารถใช้แสดงช่วงที่เฟสดีเทคเตอร์ 1 หลุดจากการล็อกได้อีกด้วย

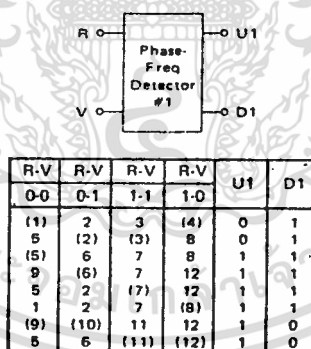


รูปที่ 3.2 แสดง IC # MC4044

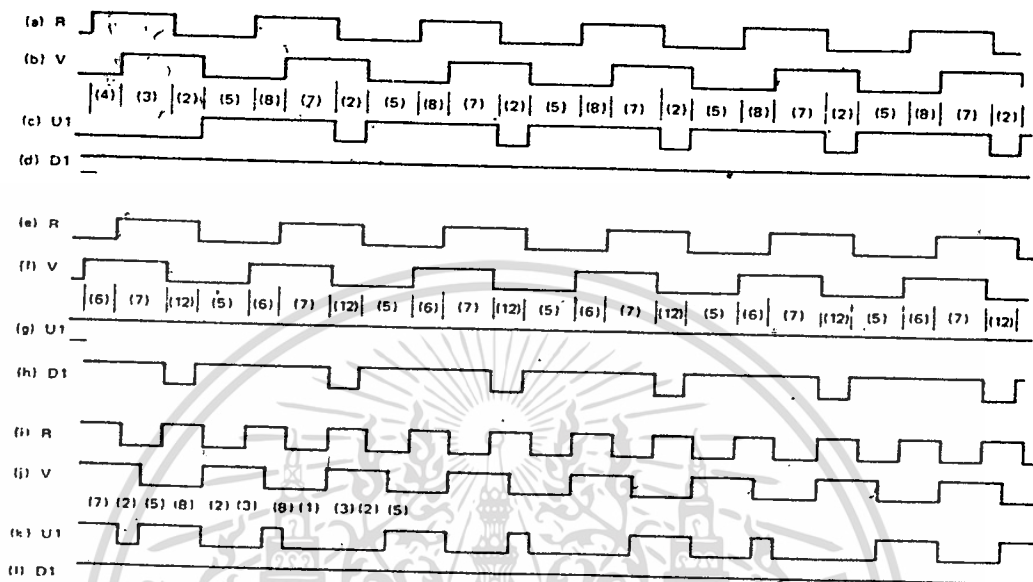
การทำงาน -

เฟลสติเทคเตอร์ 1 จะเป็นวงจรที่ตอบสนองต่อขอบขาลงของสัญญาณ (Negative Transition check) ที่ป้อนมาที่ R และ V โดยไม่สนใจดิวตี้ไซเคิล (Duty Cycle) และขนาด (Amplitude) ของสัญญาณ อินพุตที่นำมาเปรียบเทียบกับกัน ซึ่งเฟลสติเทคเตอร์ 1 นี้ประกอบมาจากวงจรซีควเอนเชียล (Sequential Logic Circuit) ซึ่งมีลำดับการทำงานที่ต้องอาศัยสภาวะเริ่มต้น (Initial Condition) เพื่อกำหนดการทำงานของสถานะต่อไป โดยเราสามารถเช็คลำดับการทำงานตามสภาวะเริ่มต้นได้ดังตารางในรูปที่ 3.3 ซึ่งจะมี 2 กรณี คือสถานะเสถียรภาพ (stable state) และสถานะไม่เสถียรภาพ (unstable state)

โดยสถานะเสถียรคือช่องที่มีตัวเลขที่มีวงเล็บและสถานะไม่เสถียรคือช่องที่ไม่มีตัวเลขแต่ไม่มีวงเล็บ การเปลี่ยนอินพุต R-V ทำได้โดย การเลื่อนเปลี่ยนช่องไปตามแนวนอนไปยังสถานะ R-V ใหม่ที่ต้องการ แต่ถ้าที่ตำแหน่งใหม่นั้นเป็นช่องที่ไม่มีตัวเลขวงเล็บแสดงว่าเป็นช่องที่อยู่ในสถานะไม่เสถียร เราจะต้องทำการเลื่อนต่อไปทางแนวตั้งไปยังค่าตัวเลขเดียวกันแต่มีวงเล็บอยู่ด้วย ดังตัวอย่างการเปลี่ยนแปลงในตารางเวลา (timing diagram) ดังในรูปต่อไปนี้

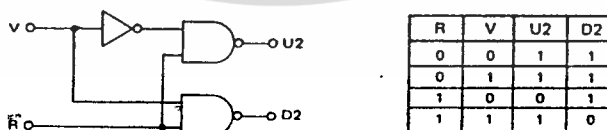


รูปที่ 3.3 แสดงตารางของเฟลสติเทคเตอร์ 1

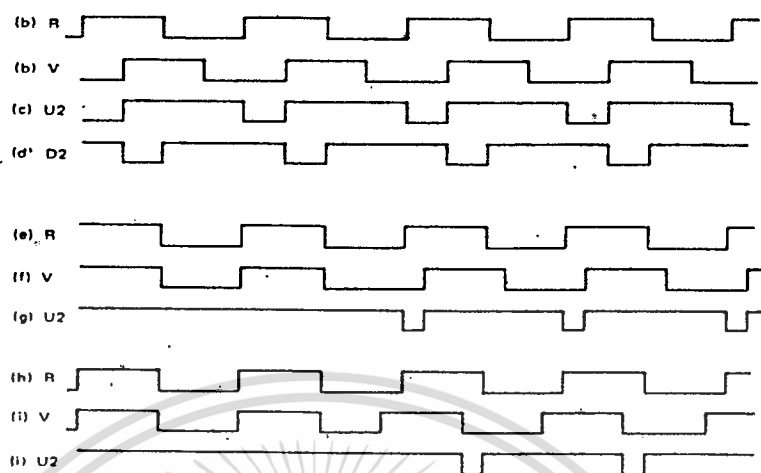


รูปที่ 3.4 แสดงตารางของเฟลตืเทคเตอร์ 2

เฟลตืเทคเตอร์ 2 มีประโยชน์อย่างมากในการแสดงช่วงที่หลุดจากการลือก (เมื่อนำมาใช้ร่วมกับเฟลตืเทคเตอร์ 1 ที่อยู่ในลูปหลัก (Main Loop)) และเนื่องจากเฟลตืเทคเตอร์ 2 ประกอบมาจากคอมไบเนชั่นลอจิก (Combination Logic) ที่ใช้อุปกรณ์จำพวกลอจิกเกต (Logic Gate) เท่านั้น ดังนั้นเราสามารถแสดงการทำงานได้ง่าย ๆ ดังรูปต่อไปนี้



รูปที่ 3.5 A แสดงวงจรและตารางของเฟลตืเทคเตอร์ 2



รูปที่ 3.5 แสดงความสัมพันธ์ของรูปคลื่นที่ตำแหน่งต่าง ๆ ของเฟลติเทคเตอร์ 2

3.2A ชาร์จปั๊ม

ชาร์จปั๊ม (Charge Pump) จะทำหน้าที่กลับเฟสของ D1 จากนั้นทำการเปลี่ยนเป็นระดับแรงดัน ก่อนที่จะส่งไปให้ลูปฟิลเตอร์ต่อไป

การทำงาน เมื่อขา PD อยู่ในสถานะต่ำ (Low) และ PU อยู่ในสถานะสูง (High) ทราานซิสเตอร์ Q1 จะนำกระแสและทำให้ Q2 ไม่นำกระแส (Off) กระแสจะไหลผ่าน Q3 และ CR2 ส่งผลให้ที่ขาเบสของ Q3 จะมีค่าแรงดัน $2 V_{BE}$ ประมาณ 1.5 โวลต์ ($V_{BE} = 0.75 V$) ตัวต้านทาน R ที่ต่อกับขาเบสของ Q3 ทั้งสองตัวนี้มีค่าเท่ากัน ดังนั้นทำให้ขา E ของ Q4 หรือเบสของ Q5 มีค่าแรงดันเท่ากับ 3 โวลต์ ด้วยเหตุนี้ขา E ของ Q5 (DF) จะต่ำกว่าแรงดันค่านี้อยู่เท่ากับ V_{BE} โวลต์ หรือเท่ากับ 2.25 โวลต์ ส่วนที่ขาอินพุตของ PU มีค่าสูง (มากกว่า 2.4 โวลต์) และขา CR1 จะทำการไบอัสกลับ ทำให้ Q5 จ่ายกระแสไปยัง Q6 ส่งผลให้แรงดันที่ขา C ของ Q7 มีค่าต่ำ (ทราานซิสเตอร์จะนำกระแส) มีผลทำให้เกิดสัญญาณผิดพลาด (Error Signal)

ทำให้ความถี่ของ VCO ต่ำลง เรียกสัญญาณลักษณะเช่นนี้ว่าปั๊มดาวน์ (Pump Down)

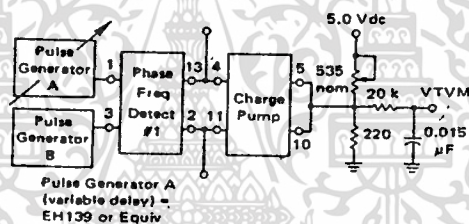
เมื่อ PU มีค่าต่ำและ PD มีค่าสูง CR1 จะได้รับแรงไฟไบอัสตรงและที่ UF จะมีค่าเท่ากับ V_{BE} ส่วน PD จะมีค่าสูง Q1 นำกระแสในทิศทางตรงกันข้าม จ่ายกระแสไปยัง Q2 ในขณะที่ Q2 นำกระแส Q4 จะป้องกันไม่ให้จ่ายไปขับ Q5 ทำให้ Q5 คัทออฟ (ไม่นำกระแส) และ UF มีค่าต่ำทำให้ไม่มีกระแสไหลไปเข้าขาเบสของ Q6 แรงดันที่ขา C ของ Q7 จะมีค่าสูง ทำให้ VCO มีค่าความถี่เพิ่มมากขึ้น เรียกสัญญาณลักษณะเช่นนี้ว่าปั๊มอัพ (Pump Up)

ถ้าสัญญาณอินพุตทั้งคู่มีค่าสูง (เนื่องจากไม่มีความแตกต่างของเฟสขณะเกิดการล็อก) ทั้ง CR1 และที่รอยต่อ (Junction) ของ BE ได้รับแรงดันไบอัสกลับทั้งคู่ ซึ่งจะไม่ส่งผลให้แรงดันผิดพลาด (Error Voltage) เกิดการเปลี่ยนแปลงเลย ทำให้ VCO มีความถี่คงที่ขณะเกิดการล็อก เรียกลักษณะเช่นนี้ว่า ล็อกสเตต (Lock State)

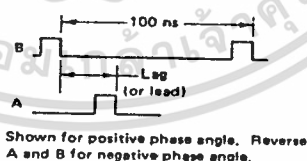
ถ้าอินพุตทั้งคู่มีค่าต่ำ (อาจเนื่องมาจากการลอยขาอินพุต) จะเกิดสัญญาณที่เรียกว่า (no Pump State) จะได้เอาท์พุทเท่ากับ 1.5 โวลต์ ซึ่งที่จุดนี้จะเป็นจุดเทรลโฮล (Threshold Point) ของตัวชาร์จปั๊มนี้

Pd	Pu	State	Output (Volt)
Low	High	Pump Down	0.57
Low	Low	no Pump	1.5
High	LOW	Pump Up	2.25
High	High	Lock	ไม่เปลี่ยนแปลง

ตาราง 3A แสดงการทำงานของชาร์จปั๊ม

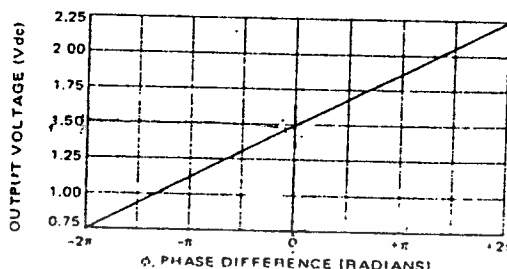


รูปที่ 3.5B แสดงการตรวจสอบเฟสดีเทคเตอร์



รูปที่ 3.5C แสดงสัญญาณพัลส์ กรณีที่มีความต่างเฟสเป็นบวก 0-27

หมายเหตุ ในกรณีที่ความต่างเฟสเป็นลบให้ทำการสลับ A และ B



รูปที่ 3.5D กราฟแสดงความสัมพันธ์ระหว่างความต่างเฟสและแรงดัน

สำหรับเอาต์พุตของซาร์จปั๊มจะเปลี่ยนแปลงอยู่ระหว่าง V_{BE} และ $3V_{BE}$ ด้วยค่าความต่างเฟส R-V ที่เปลี่ยนแปลงจาก -2 จนถึง 2 ถ้าเอาต์พุตของซาร์จปั๊มนี้ได้ถูกกรองเอาส่วนต่าง ๆ ของความถี่สูงออกไป ทรานซิสเตอร์ฟังก์ชันของเฟสดีเทคเตอร์ K จะมีค่า 0.12 V/rad ดังแสดงในรูปที่ผ่านมา

สำหรับค่าของ K อาจจะไม่เท่ากับ 0.12 V/rad ถ้าการออกแบบวงจรขยายที่มาต่อรวมทั่วไปไม่ดี ดังที่กล่าวมาแล้วว่าซาร์จปั๊มนั้นมีการสวิตช์ในช่วงบวกเท่ากับ 2.25 โวลต์และมีการสวิตช์ในช่วงลบเท่ากับ 0.75 โวลต์ และเมื่ออยู่ในสภาวะ nopump จะมีค่า 1.5 โวลต์ ถ้าตัวขยาย (Filter Amplifier) ได้รับแรงดันไบอัสที่ 1.5 โวลต์ นั่นคือจะส่งผลให้การปั๊มอัดและปั๊มดาวน์มีผลเท่า ๆ กัน

สัญญาณปั๊มมีหลักอยู่ที่ V_{BE} ของทรานซิสเตอร์ด้วยการไหลของกระแสมีค่าเป็น มิลลิแอมป์ สำหรับกรณีอื่นที่ใช้ทรานซิสเตอร์มาต่อเพื่อเป็นฟิลเตอร์แอมพลิไฟเออร์ ควรจะให้มิกระแสไหลน้อยมาก ๆ และควรมีค่า V_{BE} ต่ำ ๆ โดยมี V_{BE} 0.6 โวลต์ และสำหรับเทรลโวล 1.2 โวลต์ การเปลี่ยนเทรลโวลไปจากค่า 1.5 โวลต์ จะเป็นการเพิ่มเกนในทิศทางหนึ่งแต่จะไปลดเกนอีกทิศทาง ซึ่งทรานซิสเตอร์ตัวนั้นก็ยังไม่เหมาะสมที่สุด แต่ก็พอจะใช้ได้เพื่อปรับปรุงการตอบสนองของวงจรกรองความถี่ให้ดีขึ้น สภาวะเช่นนี้จะส่งผลทำให้เกิดการตอบสนองที่ไม่สมมาตร (Non Symmetrical Response) เกิดขึ้นด้วย และเมื่อเทรลโวลเป็น 1.8 โวลต์ ทำให้ผลของการสวิตช์ทางด้านบวกถูกจำกัดที่ 0.45 โวลต์ ในขณะที่การสวิตช์ทางด้านลบที่ต่ำกว่าเทรลโวลนั้นมีค่าสูงกว่า 1 โวลต์ทีเดียว นั่นหมายความว่าลูปเกนเมื่อเปลี่ยนจากความถี่สูงไปต่ำจะมีค่า

ต่ำกว่าเมื่อเปลี่ยนในทิศทางตรงกันข้าม

สำหรับชนิด 2 ลูปจะมีผลทำให้โอเวอร์ชูตสูงขึ้นเมื่อเปลี่ยนแปลงความถี่จากค่าต่ำไปสูงและเพิ่มค่าแดมปีงเมื่อลดจากความถี่สูงลงมาที่ความถี่ต่ำ

ปัญหาเหล่านี้และการเลือกส่วนประกอบฟิลเตอร์ภายนอกจะขึ้นอยู่กับความต้องการของระบบ ที่จะต้องนำไปใช้และจะแสดงให้เห็นในรายละเอียดของการออกแบบลูปฟิลเตอร์ต่อไป



3.3 การออกแบบวงจรสังเคราะห์ความถี่

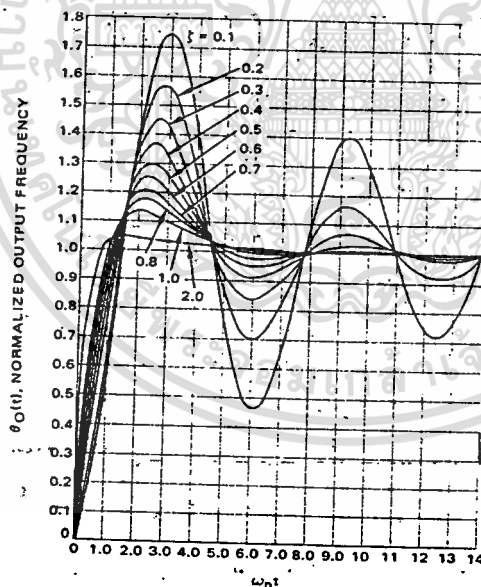
การออกแบบจะต้องกำหนดคุณสมบัติของระบบที่ต้องการเสียก่อน จึงจะสามารถดำเนินการออกแบบได้. คุณสมบัติของลูบที่ต้องกำหนดคือ

- ความถี่แอมพลิฟาย 80-120 MHz
- ความกว้างของแบนด์ 100 KHz (ใช้ $f_r = 10 \text{ KHz}$)
- เวลาที่ใช้ในการสลับระหว่างการเปลี่ยนแบนด์ 10 msec
- โอเวอร์ชูตน้อยกว่า 20 %
- ความสามารถในการลดทอนไซด์แบนด์ต่ำสุด -30 dB

3.3.1 การออกแบบลูบฟิลเตอร์

ดังที่ได้กล่าวมาแล้วว่าวงจรฟิลเตอร์นั้นจะทำหน้าที่เปลี่ยนความผิดพลาดของเฟส (Error Phase) ที่มาจากเฟสดีเทกเตอร์ให้เป็นแรงดันไฟตรงไปควบคุมการผลิตความถี่ของ VCO

เริ่มต้นจากการนิยามคุณสมบัติทางพลศาสตร์ของลูบ โดยนิยามจากการตอบสนองอินพุตรูปสแต็ปของระบบอันดับสอง



รูปที่ 3.6A แสดงขั้นตอนการตอบสนอง (Step Responses) ของระบบอันดับสอง

กำหนดให้ค่าแอมป์ปีงแฟคเตอร์ $= 0.5$ จะได้ค่า $Wnt = 5$ โอเวอร์
 ชูตจะน้อยกว่า 20 % และเวลาการตอบสนองที่ต้องการคือ 10 msec ดังนั้นค่า
 นวนความถี่ธรรมชาติได้จาก

$$\begin{aligned} W_n &= \frac{Wnt}{t} \\ &= \frac{5}{10 \times 10^{-3}} \\ &= 500 \quad \text{rad/sec} \end{aligned} \quad (3.2)$$

กำหนดย่านของตัวหารสูงสุดและต่ำสุดจากสมการ

$$N_{min} = \frac{fvco_{min}}{fr} \quad (3.3)$$

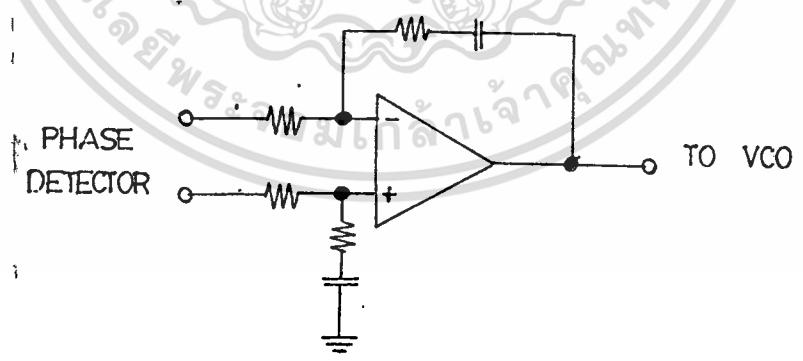
$$= 80 \text{ M} / 10 \text{ K} = 8000$$

$$N_{min} = \frac{fvco_{max}}{fr} \quad (3.4)$$

$$= 120 \text{ M} / 10 \text{ K} = 12000$$

วงจรที่ใช้เป็นลูปฟิลเตอร์ เลือกเป็นแบบดับเบิลเอนด์ (Double Ended)

ดังรูป



รูปที่ 3.6B แสดงวงจรดับเบิลเอนด์

พารามิเตอร์ต่าง ๆ เป็นไปตามความสัมพันธ์ของสมการต่อไปนี้

$$F(s) = \frac{1 + sR2C}{sR1C} \quad (3.5)$$

$$W_n = \frac{[K\phi K_v]}{NCR1} \quad (3.6)$$

$$= \frac{R2C}{2} \frac{K\phi K_v}{NCR1}$$

ดังนั้นเราจะได้

$$R1C = \frac{KdKo}{NW_n^2} \quad (3.7A)$$

และ

$$\begin{aligned} R2C &= \frac{2}{NCR1} \frac{NR1C}{K\phi K_v} \\ &= \frac{2}{W_n} \end{aligned} \quad (3.7B)$$

ต่อไปจะหาค่า $K\phi, Ko$ เพื่อที่จะมาหาค่า $R1, R2, C$ จากสมการลูปลิเตอร์

$$\begin{aligned} T1 &= R1C \\ &= \frac{KdKo}{N_{max} W_n^2} \end{aligned} \quad (3.7C)$$

$$\begin{aligned}
 \text{เมื่อ } K_d &= \frac{(V_{vco_max} - V_{vco_min})}{(2\pi - (-2\pi))} & (3.7D) \\
 &= (15 \text{ V} - 2.5 \text{ V}) / 4\pi \\
 &= 0.99 & \text{Volt/Rad}
 \end{aligned}$$

$$\begin{aligned}
 \text{และ } K_o &= \frac{2\pi (f_{vco_max} - f_{vco_min})}{V_{varactor_max} - V_{varactor_min}} & (3.7E) \\
 &= \frac{2\pi (120 \text{ MHz} - 80 \text{ MHz})}{13.5 \text{ V} - 1 \text{ V}} \\
 &= 20.1 & \text{Mrad/sec/volt}
 \end{aligned}$$

จากสมการที่ 3.7A เราจะได้ :

$$R2C = 2 * 0.5 / 500 = 20 * 10^{-4}$$

และจากสมการที่ 3.7B จะได้

$$\begin{aligned}
 R1C &= (0.99 * 20.1 * 10^6) / (12000 * 500^2) \\
 &= 6.633 * 10^{-9}
 \end{aligned}$$

โดยจะให้ $1K < R1 < 5K$; $R2 > 50 \text{ ohm}$

และ $R2/R1$ รวมทั้ง C ควรเลือกแบบมีการรั่วไหลของประจุต่ำสุด

ถ้าเราเลือก $R1 = 1.2 \text{ K}$ ดังนั้นจะได้

$$\begin{aligned}
 C &= 6.633 * 10^{-9} / 1.2 * 10^3 \\
 &= 3.016 \text{ F}
 \end{aligned}$$

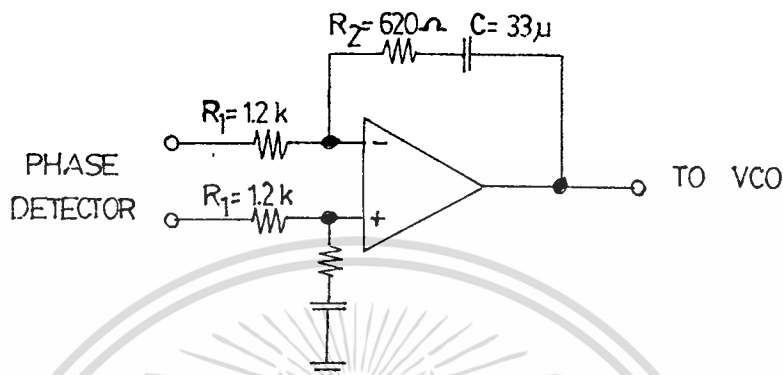
$$\text{และจาก } T2 = R2C = 2 / W_n$$

ดังนั้น

$$\begin{aligned}
 R2 &= 2 * 0.5 / 500 \text{ rad/sec/volt} * 3.3 \text{ F} \\
 &= 606 \text{ ohm}
 \end{aligned}$$

เลือกใช้ค่า $R2 = 620 \text{ ohm}$

เราสามารถเขียนวงจรที่ได้จากการออกแบบ ตามรูปข้างล่าง



รูป 3.7 แสดงวงจรฟิลเตอร์ที่ได้จากการออกแบบ

3.3.2 การปรับแต่ง (Modify) ลูปฟิลเตอร์

การปรับแต่งลูปฟิลเตอร์ มีจุดประสงค์เพื่อทำการปรับปรุงการลดทอนไซด์แบนด์ของลูปฟิลเตอร์ กล่าวคือเมื่อเฟสดีเทคเตอร์เป็นแบบดิจิตอลเฟสดีเทคเตอร์จะมีความต้านทานทางด้านเอาต์พุตต่ำและคงมีแต่ความถี่คutoff ของวงจรที่เพิ่มขึ้น เพราะฉะนั้นควรจะให้ความถี่ธรรมชาติ (ω_n) มีค่าอยู่ระหว่าง 5-10 เท่า เนื่องจากโพลที่เกิดจากวงจรมีมากขึ้น ถ้าอยู่ใกล้ ω_n จะทำให้ลูปเกิดโอเวอร์ชูตและผลพลอยได้ของฟิลเตอร์ที่เพิ่มขึ้นทำให้ ความถี่อ้างอิง (Reference Frequency) ถูกลดทอนลงส่งผลให้ระบบไม่เสถียรภาพ

เพราะฉะนั้นให้เพิ่มจุดคutoff ที่ความถี่ 5 ω_n

$$\begin{aligned}\omega_n &= 5 \omega_n = 5 * 500 \text{ rad/sec} \\ &= 2.5 \text{ Krad/sec}\end{aligned}$$

แต่

$$\omega_c = \frac{4}{R_1 C_1} \quad (3.8)$$

กำหนดให้ $R1 = 1.2 \text{ K}$

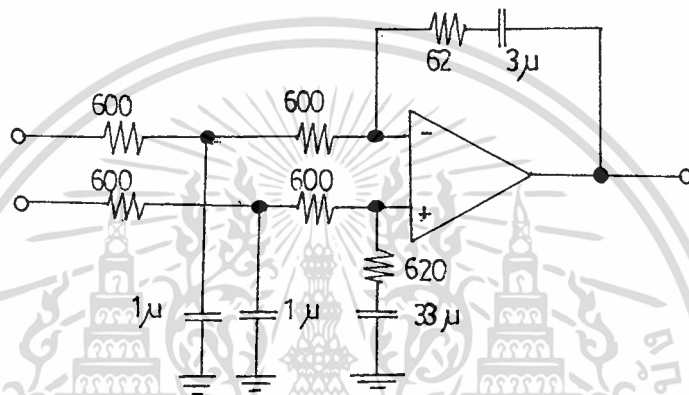
เพราะฉะนั้นเราจะหาค่า C ได้จาก

$$2.5 \text{ Krad/sec} = \frac{4}{1.2 \text{ K} * C_c}$$

$$C = 1.33 \text{ F}$$

เลือกใช้ค่า $C = 1 \text{ F}$ ✓

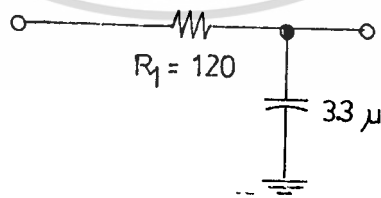
เราจะได่วงจรลูปฟิลเตอร์ที่ปรับปรุงแล้วดังรูป



รูปที่ 3.8 แสดงวงจรฟิลเตอร์ที่ได้ปรับปรุงการลดทอนไซด์แบนด์

3.3.3 ไซด์แบนด์ฟิลเตอร์

วงจรในส่วนนี้ใส่เข้าไประหว่างวงจรอินทิเกรเตอร์กับ VCO เพื่อลดขนาดของ V และเพื่อให้ไซด์แบนด์ที่เกิดขึ้นมีค่าน้อยที่สุด จึงจำเป็นต้องมีฟิลเตอร์ต่อเสริมเข้าไปอีก โดยเราจะเอาอุปกรณ์พาสซีฟต่อเข้าไป ดังรูป 3.9



รูปที่ 3.9 แสดงวงจรไซด์แบนด์พาสซีฟฟิลเตอร์

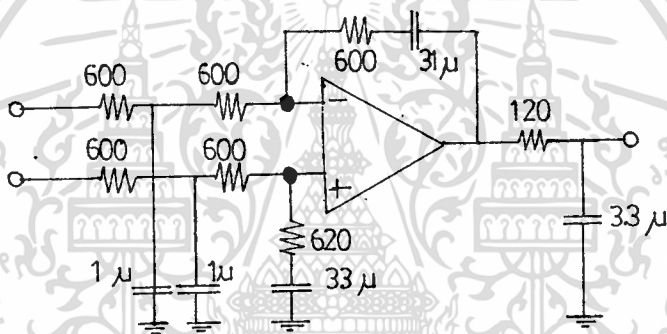
กำหนด $W_c = 1/(R \cdot C)$

ถ้าให้ $C = 3.3 \text{ F}$ และเมื่อ $W_c = 2.5 \text{ Krad/sec}$ เราสามารถที่จะหาค่า R ได้จากสมการ

$$\begin{aligned} R &= \frac{1}{W_c C} \\ &= \frac{1}{2.5 \text{ Krad/sec} * 3.3 \text{ UF}} \\ &= 121.2 \text{ ohm} \end{aligned} \quad (3.9)$$

เลือกใช้ค่า $R = 120 \text{ โอห์ม}$

จากการปรับแต่งทั้งหมดเราสามารถเขียนวงจรฟิลเตอร์ที่สมบูรณ์ให้เห็นได้ดังแสดงในรูปที่ 3.10



รูปที่ 3.10 แสดงวงจรสมบูรณ์ของวงจรฟิลเตอร์

3.3.4 การทดสอบการลดทอนของไซด์แบนด์

การทดสอบการลดทอนของไซด์แบนด์เป็นการทดสอบว่าค่าพารามิเตอร์ต่าง ๆ ที่ได้ออกแบบมานั้นเป็นไปตามข้อกำหนดหรือไม่ เมื่อเราพิจารณาสมการ โดยการกำหนดให้กระแสรั่วไหลของ C และกระแสไบอัสของออปแอมป์รวมกันเท่ากับ 50 nA (ในกรณีแย่ที่สุดที่สามารถจะเป็นไปได้ ซึ่งโดยปกติแล้วจะมีค่าน้อยกว่านี้มาก เพราะเราได้เลือกใช้ออปแอมป์ที่มีอินพุตเป็น MOS-FET และ C ที่มีกระแสรั่วไหลต่ำ ๆ ได้)

ดังนั้นจาก

$$\text{Sideband} = 20 \log R2 \frac{(I_{b_{op-Amp}} + I_{leakของC})}{W_R} \quad (3.10)$$

$$\text{เมื่อ } W_R = 2 f \quad (3.11)$$

$$= 2 * 10K$$

$$= 63 \quad \text{Krad/sec}$$

$$R2 = 620 \quad \text{ohm}$$

$$K_o = 19.33 \quad \text{Mrad/sec/volt}$$

จะได้

$$\text{Sideband} = \frac{20 \log [620 * 50 * 10^{-9} * 19.33 \text{ Mrad/sec/volt}]}{63 \text{ Krad/sec}}$$

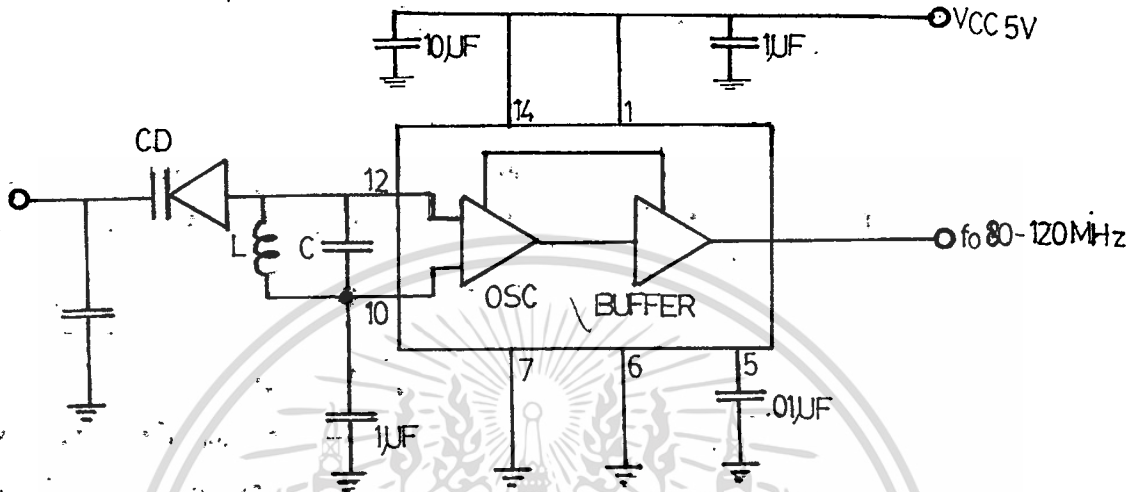
$$\text{Sideband dB} = 40.43 \text{ dB}$$

จะเห็นว่าวงจรนี้สามารถลดทอนไซด์แบนด์ได้มากกว่า -30 เดซิเบลตามที่กำหนดไว้

แต่จากการออกแบบสามารถลดทอนได้มากถึง -40.43 เดซิเบลแสดงว่าวงจรนี้สามารถที่จะนำไปใช้งานได้จริง

3.4 การออกแบบวงจรผลิตความถี่ควบคุมด้วยแรงดัน

MC 1648 เป็นไอซีชนิด ECL สามารถความถี่สูงถึง 225MHz สำหรับ
 ใช้งานนี้จะควบคุมให้ผลิตความถี่อยู่ในช่วง $80\text{--}120\text{MHz}$



รูปที่ 3.11A แสดงวงจร VCO ที่ใช้ในโครงการ

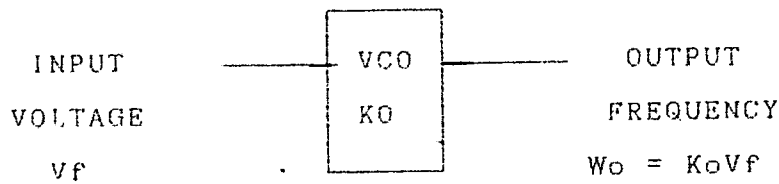
MC 1648 เป็นไอซีที่ต้องการค่า L และ C จากภายนอกมาทำการต่อขาน LC Tank Network ไว้สำหรับกำหนดความถี่ของออสซิลเลเตอร์
 ความถี่ของวงจรผลิตกำหนดได้จากสมการ

$$f_o = \frac{1}{2\pi L(C_d + C + C_s)} \text{ Hz} \quad (3.12)$$

เมื่อ C_d . ค่า C จากวาระเตอร์ที่ได้จากแรงดันไบอัส

C . ค่า C ที่ต่อขานกับ Tank Network

C_s . เป็นค่าอินพุตคาปาซิแตนซ์ของ MC 1648 มีค่า 6 pF



กำหนดความถี่สูงสุดและต่ำสุดของ MC 1648 ได้จากสมการ

$$f_{\max} = \frac{1}{2\pi \sqrt{L (C_{d_{\min}} + C + C_s)}} \text{ Hz} \quad (3.13)$$

$$f_{\min} = \frac{1}{2\pi \sqrt{L (C_{d_{\max}} + C + C_s)}} \text{ Hz} \quad (3.14)$$

ต่อไปพิจารณาในการเลือกใช้อาวาแรคเตอร์สำหรับ Tank Network เพื่อควบคุมให้ VCO ผลิตความถี่ตามที่ต้องการ

กล่าวคือต้องการให้ VCO ผลิตความถี่ตั้งแต่ 80-120 MHz ซึ่งสามารถหาค่าพารามิเตอร์ต่าง ๆ ได้ดังนี้

$$\begin{aligned}
 \text{Frequency Ratio} \quad FR &= \frac{f_{VCO_{\max}}}{f_{VCO_{\min}}} & (3.15) \\
 &= 120/80 \\
 &= 1.5
 \end{aligned}$$

$$\text{จาก} \quad FR = (TR)^{1/2} \quad (3.16)$$

เมื่อ TR คือค่า Tuning Ratio เป็นอัตราส่วนค่าความถี่ประจุ

$$\begin{aligned}
 TR &= (FR)^2 \\
 &= (1.5)^2 \\
 &= 2.25
 \end{aligned}$$

ดังนั้นค่า TR ที่ใช้อาวาแรคเตอร์จะต้องมีค่าไม่น้อยกว่า 2.25

ด้วยเหตุนี้จึงทำการเลือกใช้ MV 2107 ที่มีคาปาซิแตนซ์ ^{cd} 22 pF และมีอัตราส่วนคาปาซิแตนซ์ (CR) ระหว่าง 2.5-3.2 ขึ้นอยู่กับแรงดัน 2 ถึง 30 โวลต์

จากคุณสมบัติในตารางของ MV 2107

$$\text{มีค่า } CD_{\max} = 35 \text{ pF}$$

$$CD_{\min} = 6 \text{ pF}$$

และค่าของ C_s ใน MC 1648 = 6 pF

จาก

$$TR = (FR)^2 = \frac{Cd_{(\max)} + C + C_s}{Cd_{(\min)} + C + C_s}$$

$$2.25 = \frac{35 \text{ pF} + C + 6 \text{ pF}}{6 \text{ pF} + C + 6 \text{ pF}}$$

$$C = 11.2 \text{ pF}$$

เลือกใช้ค่า C 10 pF

$$\text{และ } fc = \frac{(fvco_{\max} + fvco_{\min})}{2} \quad (3.17)$$

$$= \frac{120+80}{2}$$

$$= 100 \text{ MHz}$$

และจาก

$$fo = \frac{1}{2\pi L(Cd + C + C_s)}$$

$$= \frac{1}{2\pi \times 10^{-9} \times (35 + 10 + 6) \times 10^{-12}}$$

แทนค่าเพื่อหาค่าของ L

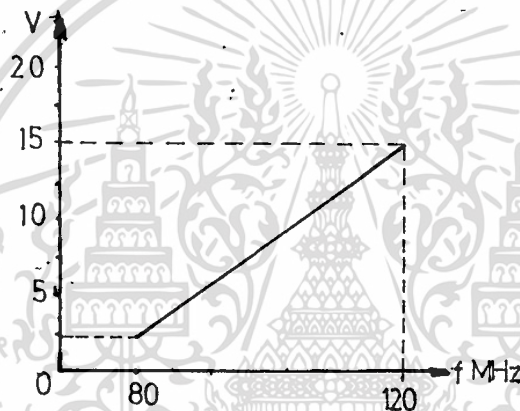
$$L = 0.42 \text{ H}$$

สำหรับค่า Kv (Conversion Gain)

$$K_v = \frac{2\pi (f_{vco_{max}} - f_{vco_{min}})}{V_{varactor_{max}} - V_{varactor_{min}}} \quad (3.18)$$

$$= \frac{2\pi (120 - 80)}{13.5 - 1V}$$

$$= 20.1 \text{ Mrad/sec/volt}$$



รูปที่ 3.11B แสดงคุณสมบัติการผลิตความถี่ของ VCO ที่ความถี่ 80-120 MHz

ต่อไปต้องการ VCO ผลิตความถี่ตั้งแต่ 40-70 MHz

$$FR = \frac{f_{vco_{max}}}{f_{vco_{min}}}$$

$$= 70 \text{ MHz} / 40 \text{ MHz}$$

$$= 1.75$$

$$TR = (FR)^2$$

$$= 3.0625$$

ฉะนั้นจะเห็นได้ว่าเราสามารถใช้อวารีแคปเบอร์ MV 2107 ได้

จาก

$$TR = (FR)^2 = \frac{Cd_{(max)} + C + Cs}{Cd_{(min)} + C + Cs}$$

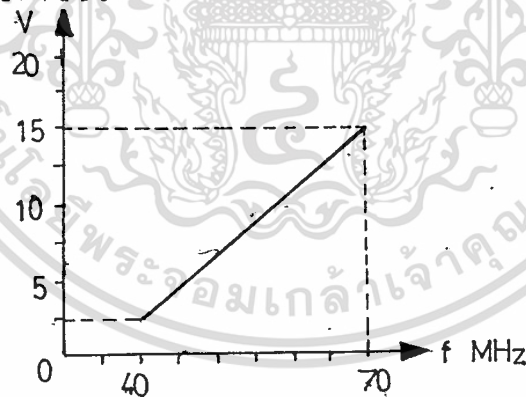
$$3.0625 = \frac{35 \text{ pF} + C + 6 \text{ pF}}{6 \text{ pF} + C + 6 \text{ pF}}$$

$$C = 2.06 \text{ pF}$$

เลือกใช้ค่า C 2 pF

และ $f_c = \frac{70+40}{2}$
 $= 55 \text{ MHz}$

ทำให้สามารถหาค่าของ L ได้เท่ากับ 1.75 MHz และค่าของ Kv เท่ากับ $15.07 \text{ Mrad/sec/volt}$



รูปที่ 3.11C แสดงคอนเวอร์ชันเกนของ VCO ที่ 40-70 MHz

และขั้นตอนสุดท้ายต้องการ VCO ผลิตความถี่ที่ 15-30 MHz ในทำนองเดียวกันกับขั้นตอนที่ผ่านมาจะได้ค่าต่าง ๆ ดังนี้

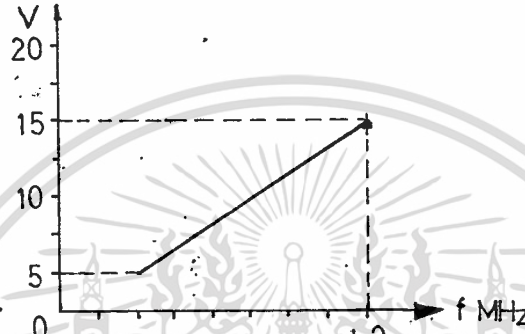
$$FR = 1.5$$

$$TR = 3$$

$$C = 2.5 \text{ pF}$$

$$L = 10 \text{ H}$$

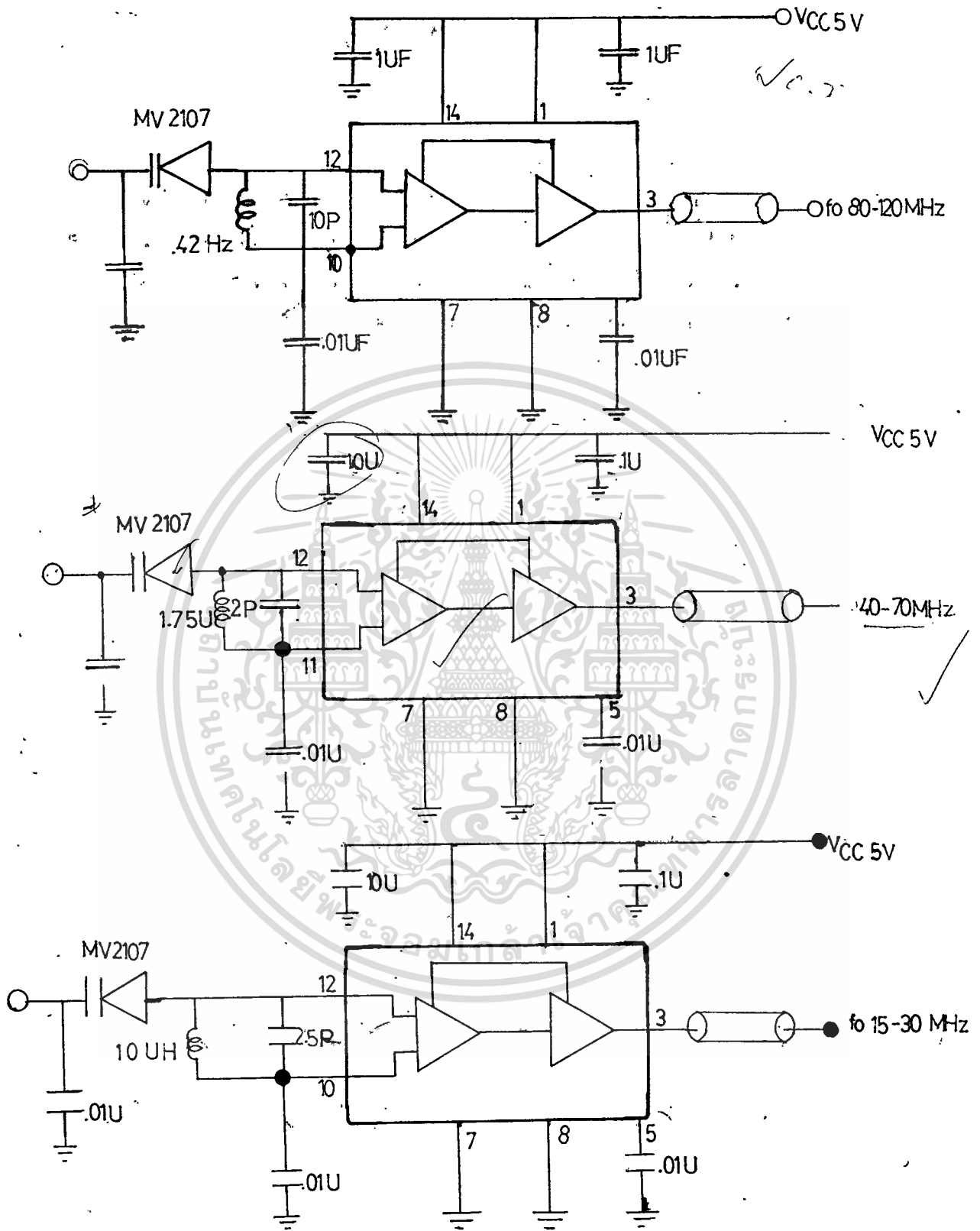
$$K_v = 1.2 \text{ Mrad/sec/volt}$$



รูปที่ 3.11D แสดงค่า K_v ของ VCO ที่ความถี่ 15-30 MHz

จากค่าต่าง ๆ ที่ได้จากการคำนวณสามารถนำมาเขียนวงจรได้ดังแสดงใน

รูปที่ 3.12 โดยจะได้ VCO ออกเป็น 3 ชุดด้วยกัน



รูปที่ 3.12 แสดงวงจรการผลิตความถี่ควบคุมด้วยแรงดันที่ได้จากการออกแบบ

3.5 วงจรพริสเกลเลอร์

วงจรพริสเกลเลอร์เป็นวงจรที่มีความสามารถในการทำงานที่ความถี่สูงกว่าไอซีตระกูลทีทีแอล (TTL) สำหรับในที่นี่จะทำหน้าที่เป็นวงจรสำหรับหารความถี่สูงที่ส่งมาจากภาค VCO ให้ลดลงจนอยู่ในย่านที่อุปกรณ์ภาคต่อไปสามารถจะทำงานได้

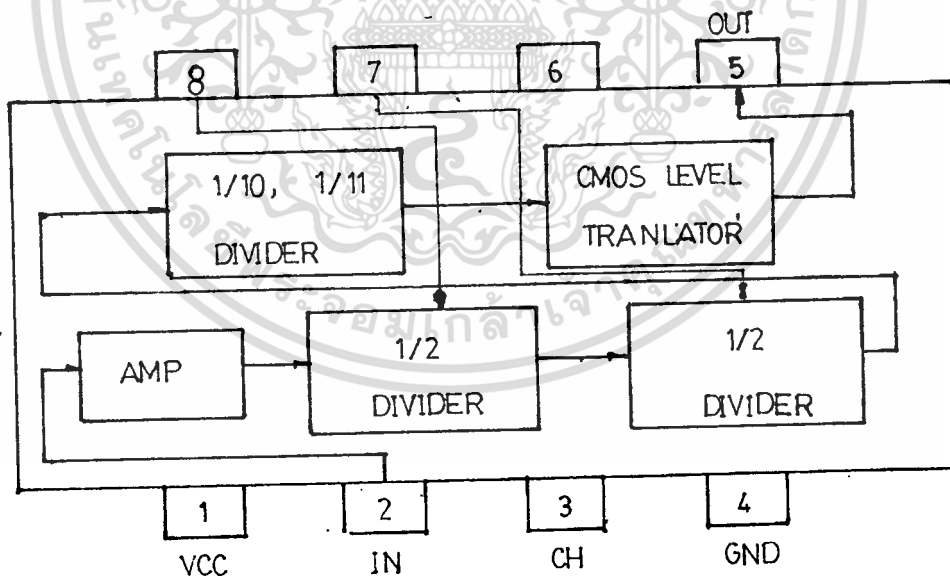
ไอซี PB 551 C เป็นไอซีพริสเกลเลอร์ตัวหนึ่งที่สามารถรับความถี่อินพุตได้สูงถึง $1 \text{ MHz} - 150 \text{ MHz}$ สามารถเลือกตัวหารได้ 6 ระดับคือ $1/10, 1/11, 1/20, 1/22, 1/40$ และ $1/44$ โดยกำหนดระดับลอจิกที่ขา M1, M2 และ M3 ตามตารางที่ 3.2 และจากโครงสร้างภายในจะเห็นว่า เป็นแบบง่าย ๆ มีวงจรขยายทำหน้าที่ขยายสัญญาณเข้ามา ซึ่งก็คือสัญญาณที่เราต้องการหารความถี่ให้ลดลงนั่นเอง ขนาดความแรงของสัญญาณอินพุตต้องไม่น้อยกว่า 150 mVp-p และมีวงจรหารครึ่งอยู่สองภาค วงจรหาร $1/10$ หรือ $1/11$ อีกภาคหนึ่ง วงจรหารทั้งหมดนี้ถูกควบคุมด้วยขาควบคุมอัตราส่วนการหาร คือขา M1, M2 และ M3 สัญญาณเอาต์พุตที่ได้สามารถนำไปขับอุปกรณ์ประเภท CMOS ได้โดยตรง

3.5.1 คุณสมบัติของ PB 551 C

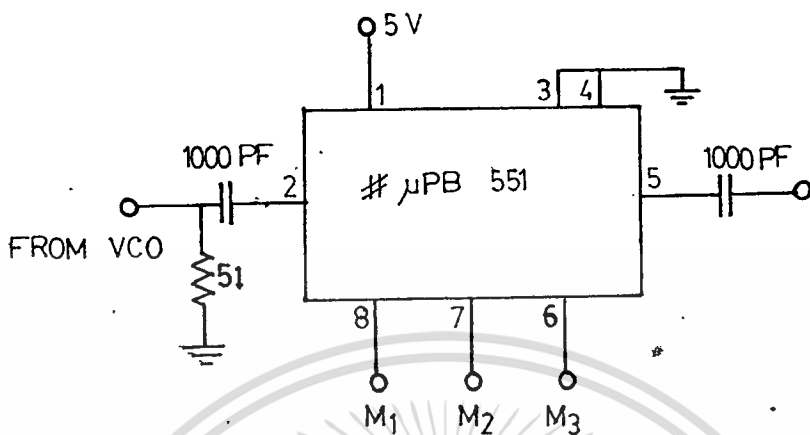
- 3.5.1.1 สามารถหารความถี่ได้สูงสุด 150 MHz
- 3.5.1.2 ความถี่ใช้งานอยู่ในย่าน $1 \text{ MHz} - 150 \text{ MHz}$
- 3.5.1.3 สามารถเลือกอัตราส่วนการหารได้ 6 ระดับ
- 3.5.1.4 สัญญาณอินพุตต่ำสุด 150 mVp-p
- 3.5.1.5 สัญญาณเอาต์พุต 4 Vp-p และสามารถขับอุปกรณ์ CMOS ได้ทันที
- 3.5.1.6 แหล่งจ่ายไฟ 5 โวลต์
- 3.5.1.7 กำลังงานสูญเสีย 190 mW เท่านั้น

ค่าควบคุมอัตราส่วนการหาร			อัตราส่วนการหาร
M1	M2	M3	
GND	GND	LOW	40
GND	GND	HIGH	44
GND	VCC	LOW	20
GND	VCC	HIGH	22
VCC	VCC	LOW	10
VCC	VCC	HIGH	11

ตารางที่ 3.2 แสดงการควบคุมอัตราส่วนการหาร โดยจะระดับลอจิกให้
ขา M1, M2 และ M3
เมื่อ $LOW < 0.2 VCC$



รูปที่ ๓.๒ แสดงโครงสร้างภายในของไอซี $\mu PB 551C$



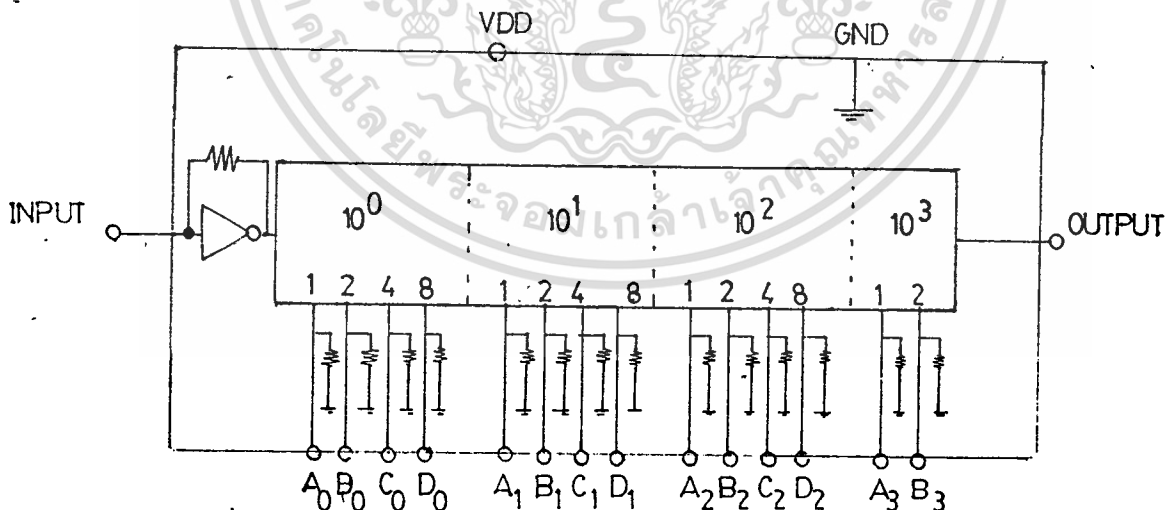
รูปที่ 3.14 แสดงการต่อใช้งานจริงของฟริสเกลเลอร์

3.6 วงจรหารแบบตั้งโปรแกรมได้ (Programmable Divider)

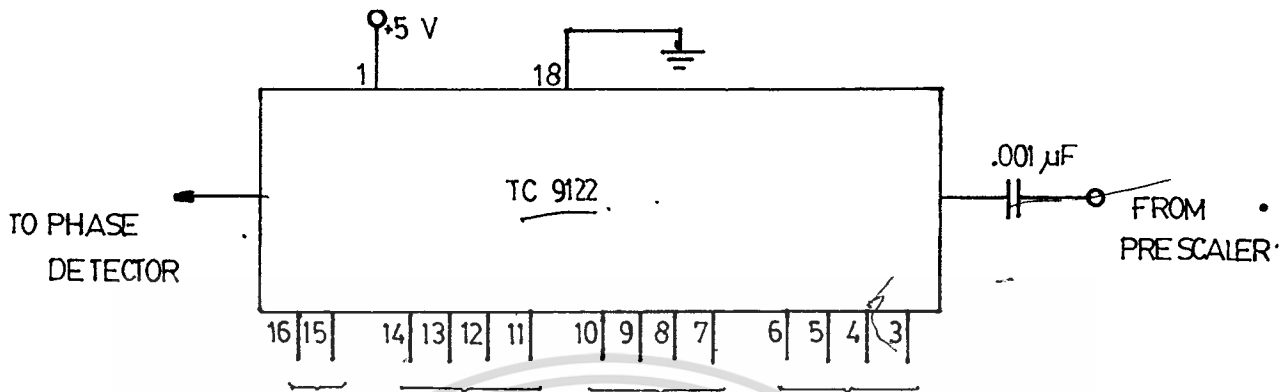
วงจรหารแบบตั้งโปรแกรมได้ เป็นอีกภาคหนึ่งที่มีผลต่อช่วงเวลาที่ใช้ในการล็อกความถี่ นั่นคือภาคหาร N (หรือ Programmable Divider) เวลาที่ใช้ในการล็อกความถี่ เมื่อ N มีค่าน้อยสุดจะไม่เท่ากับเมื่อ N มีค่ามากที่สุด วงจรหาร N เกิดจากวงจรนับสิบ (Decade Counter) หลาย ๆ ชุดมาต่อรวมกับเกทต่างๆ เพื่อให้สามารถเลือกสั่งให้วงจรนับ ทำหน้าที่หารความถี่ได้ตามตัวเลขที่ตั้งไว้

วงจรหาร N นี้ เป็นตัวที่รับคำสั่งเกี่ยวกับความถี่ไปควบคุม VCO เพื่อให้กำเนิดสัญญาณความถี่ที่ต้องการ ค่า N จะเป็นตัวที่กำหนดย่านความถี่และจำนวนช่องความถี่ ปัญหาสำคัญของการสังเคราะห์ความถี่อีกอย่างหนึ่งก็คือ วงจรหาร N (หรือวงจรหารที่ตั้งโปรแกรมได้) ไม่สามารถทำงานที่ความถี่สูงกว่า 25 MHz ได้ ฉะนั้น เราจึงต้องหาทางลดทอนความถี่ที่ป้อนแก่วงจรหาร N ลงเพื่อให้วงจรลอจิกของวงจรหารทำงานได้ สำหรับวิธีที่ใช้ในโครงงานนี้ก็คือ การใช้วิธีรีลเกส เพื่อลดความถี่ที่ส่งมาจาก VCO ลงจนวงจรหารทั่วไปสามารถทำงานได้

สำหรับโครงงานที่ทำการทดลองนี้ ใช้ IC ซึ่งทำหน้าที่เป็นวงจรหาร N ชนิดความเร็วสูง เบอร์ TC 9122 สามารถเลือกตัวหารได้ตั้งแต่ 0 - 3999 (ฐานสิบ) โดยการเลือกโปรแกรมเป็นรหัส BCD ชุดละ 4 บิตจำนวน 3 ชุดและเลข BCD 2 บิตอีก 1 ชุด ซึ่งแสดงหลักนัยสำคัญ แสดงให้เห็นในรูปที่ 3.15



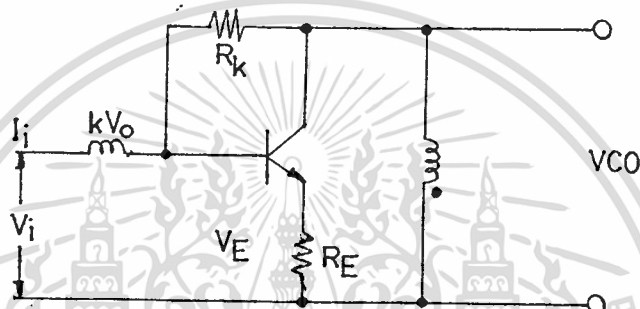
รูปที่ 3.15 แสดงวงจรหาร N ชนิดความเร็วสูง TC 9122



รูปที่ 3.16 แสดงการนำ TC 9122 ไปใช้งาน
ไอซีเบอร์ TC 9122 สามารถหารความถี่ได้ น้อยกว่า 25 MHz สำหรับใน
การทดลองนี้เนื่องจากมีความถี่สูง จึงต้องใช้ ฟริสเกลเลอร์หารความถี่ลงก่อนที่จะนำมา
ป้อนเข้าวงจรหารชุดนี้

3.8 วงจรขยายสัญญาณย่านความถี่กว้าง (Wide-Band Amplifier)

การใช้งานวงจรขยายบางลักษณะจำเป็นต้องใช้วงจรที่สามารถขยายสัญญาณที่มีย่านความถี่กว้างมาก เช่นระบบเคเบิลทีวี (CATV) หรือเครื่องส่งวิทยุชนิดหลายย่านความถี่ วงจรขยายสัญญาณความถี่สูงทั่วไปมักจะให้เกนสูงสุดที่ความถี่เฉพาะที่ออกแบบไว้เท่านั้นและเนื่องจากเกนแบนด์วิดท์โปรดัค (Gain Bandwidth Product) ของทรานซิสเตอร์มีค่าคงที่ ดังนั้นวิธีที่จะเพิ่มแบนด์วิดท์สามารถทำได้โดยการลดเกนของทรานซิสเตอร์ลงด้วยวิธีการป้อนกลับและถ้ามีการออกแบบที่เหมาะสมวิธีการป้อนกลับก็จะทำให้วงจรมีเสถียรภาพดีขึ้น เราสามารถจะแสดงวิธีการป้อนกลับได้ดังรูปที่ 3.21



รูปที่ 3.21 แสดงวงจรขยายป้อนกลับด้วย R_k และ R_E

พิจารณารูปที่ 3.21 จะเห็นได้ว่าขดลวดแทนลักษณะการป้อนกลับ K เป็นค่าคงที่การป้อนกลับและสมมติให้ค่า Y_{12} มีค่าต่ำมาก ๆ

เราจะพบว่า

$$V_1 = K V_o + V_{be} + V_e \quad (3.20)$$

$$I_1 = V_{be} Y_{11} + \frac{V_{cb}}{R_k} \quad (3.21)$$

$$Z_1 = \frac{K V_o + V_{be} + V_e}{V_{be} Y_{11} + \frac{V_{cb}}{R_k}} \quad (3.22)$$

$$\text{เมื่อ } V_e = i_e R_E \quad (3.23)$$

สมมติว่า $i_e = i_c$ และ $f_o < f_t/t_o$

$$i_e = \frac{V_o}{R_L} + \frac{V_{cb}}{R_k} \quad (3.24)$$

1

ฉะนั้นจะได้

$$i_e = \frac{V_o [R_K / (R_L + 1)]}{R_K + R_E} \quad (3.25)$$

ถ้ากำหนดให้ V_{be} มีค่าน้อยมาก ๆ จนสามารถตัดทิ้งได้ เราจะได้สมการอินพุตอิมพีแดนซ์

$$Z_1 = \frac{R_K [K + (R_E / R_L)(R_K + R_L) / (R_E + R_K)]}{1 - (R_E / R_L)(R_K - R_L) / (R_E + R_K)} \quad (3.26)$$

อาจเขียนใหม่ให้ง่ายขึ้นได้เป็น

$$Z_1 = \frac{R_K (K + C)}{1 + C} \quad (3.27)$$

เมื่อ $C = \frac{R_E}{R_L} \frac{R_K + R_L}{R_E + R_K}$ (3.28)

และสามารถกำหนดอัตราขยายแรงดันหรือโวลต์เกนได้จากสมการ

$$A = \frac{1}{K + C} \quad (3.29)$$

3.8.1 วงจรขยายกำลังความถี่วิทยุ (R.F. Power Amplifier)

วงจรขยายกำลังความถี่วิทยุมีอยู่หลายชนิด ซึ่งจะแบ่งออกเป็นคลาส(Class) ต่าง ๆ ได้หลายคลาส ได้แก่ คลาส เอ, เอบี, บี, ซี, ดี และ อี ซึ่งปัจจุบันได้มีการพัฒนา วงจรขยายกำลังให้มีคุณสมบัติที่ดีขึ้น จึงมีวงจรในลักษณะใหม่ ๆ เพิ่มขึ้น ซึ่งอาจแบ่ง เป็นวงจรขยายแบบเชิงเส้น (Linear) และแบบไม่เป็นเชิงเส้น (Nonlinear) สำหรับ วงจรขยายแบบเชิงเส้นทำได้โดยใช้วงจรคลาสเอ, เอบี, บี วงจรแบบนี้ใช้กับเครื่องส่งแบบ ซิงเกิลไซด์แบนด์ (Single Sideband Transmitter) หรือเครื่องส่งแบบย่านความถี่ กว้าง ส่วนวงจรแบบไม่เป็นเชิงเส้น ได้แก่ วงจรแบบคลาส ซี, ดี, อี จะใช้กับเครื่องส่งใน ย่านความถี่แคบ ๆ

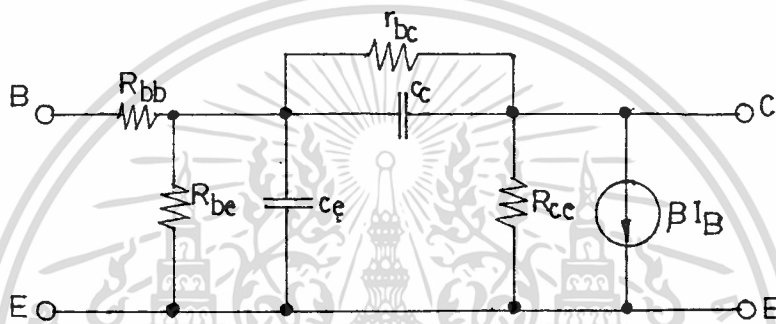
จากรูปข้างล่างจะเป็นตารางแสดงคุณสมบัติของวงจรขยายในคลาสดังกล่าว

คุณสมบัติ	คลาสเอ	คลาสบี	คลาสซี	คลาสดี	คลาสบี+เอฟ	คลาสซี+เอช
ย่านการใช้งาน	AF	AF	RF	AF	RF	AF
ประสิทธิภาพ	<25%	50%	<50%	80-90%	<50%	70-80%
ช่วงการทำงาน	100%	50%	<50%	100%	<50%	50-100%
แอดดีพ1%ไซเคิล						
ความเพี้ยน	<1%	5-10%	10-20	2-5%	<20%	<2%
จำนวนอุปกรณ์	1	1	2	1	2	4
เสถียรภาพ	ไม่ดี	ดีมาก	พอใช้	ดี	ดี	ดีมาก

ตารางที่ 3.3 แสดงการเปรียบเทียบข้อมูลของวงจรขยายคลาสดังกล่าว

3.8.2 วงจรขยายสัญญาณความถี่สูง

วงจรทรานซิสเตอร์ที่ความถี่สูง ในส่วนนี้เราจะกล่าวถึงวงจรเทียบเท่าของทรานซิสเตอร์ที่ความถี่สูง โดยอาศัย Y และ S พารามิเตอร์เป็นตัวช่วยในการคำนวณ อันจะทำให้เราทราบค่าอัตราขยายการป้อนกลับที่เหมาะสม ลักษณะของทรานซิสเตอร์สามารถแทนได้ด้วยวงจรง่าย ๆ ของความต้านทาน คาปาซิเตอร์และอินดักเตอร์ตามรูปที่ 3.22 ซึ่งอาศัยการต่อวงจรแบบไฮบริด-พาย (Hybrid-) โดยนำมาใช้แทนทรานซิสเตอร์แบบวงจรอิมิเตอร์ร่วม



รูปที่ 3.22 แสดงวงจรสมมูลย์ของทรานซิสเตอร์ที่ความถี่สูงแบบไฮบริด-พาย

เมื่อ r_{bb} ความต้านทานที่ขาเบส มีค่าประมาณ 1 Kohm

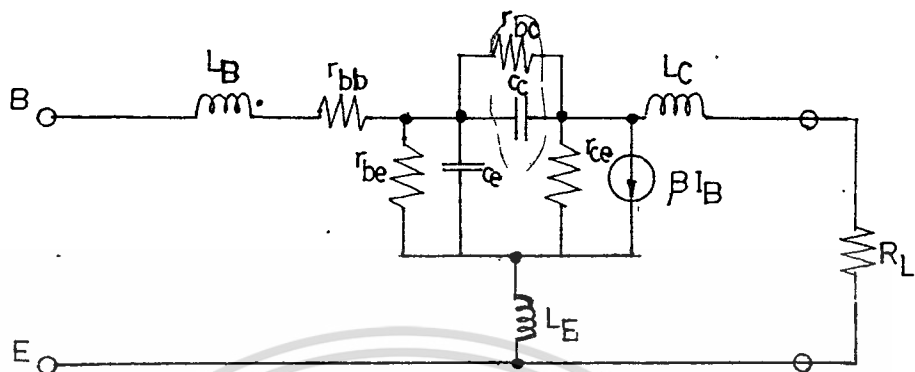
r_{be} ความต้านทานที่ขาเบสกับคอลเลคเตอร์ มีค่าประมาณ 1M-5M

r_{ce} ความต้านทานด้านเอาต์พุตระหว่างขา C กับ E มีค่าประมาณ 100 K

C_e ค่า C ระหว่างรอยต่อและอิมิเตอร์ บางครั้งเรียกว่าดิฟฟิวชันคาปาซิเตอร์ (Diffusion Capacitor) มีค่าประมาณ 100 pF

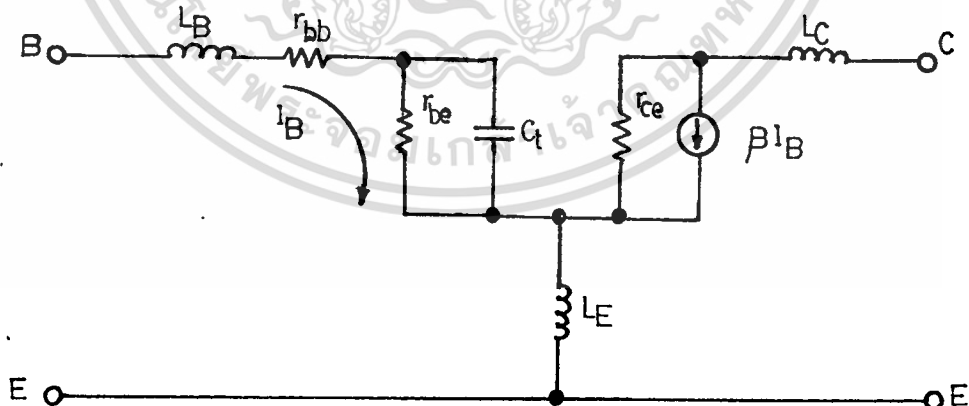
C_c ค่า C ระหว่างขา C กับ B มีค่าประมาณ 3 pF ค่าคาปาซิเตอร์นี้จะทำหน้าที่ป้อนกลับสัญญาณ บางครั้งเรียกว่าฟีดแบ็คคาปาซิเตอร์

จากรูปที่ 3.16 ค่ากระแส I_B ที่เกิดขึ้นจะมีผลทำให้วงจรเคอเรนซ์ซอร์ส (Current Source) จ่ายกระแสที่ขา C มีค่าเท่ากับ I_B จากสมการนี้จะเห็นว่า เป็นสมการที่ใช้งานกันอยู่ทั่วไปที่ความถี่ไม่สูงมากนัก แต่เมื่อความถี่มีค่าสูงขึ้นขาของทรานซิสเตอร์ก็จะมีผลเป็นอินดักเตอร์ขึ้นมาและจะต้องนำค่านี้มาคิดด้วย ดังแสดงในรูปที่ 3.23



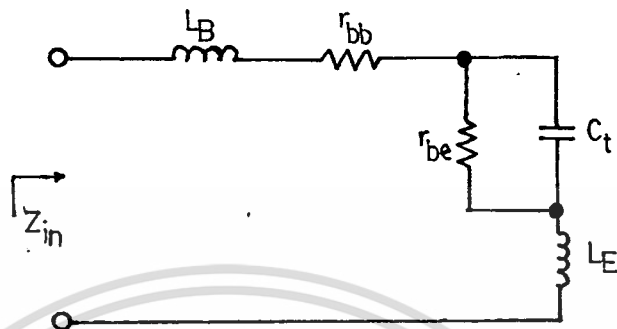
รูปที่ 3.23 แสดงวงจรทรานซิสเตอร์ที่ความถี่สูงจะมีค่าอินดักเตอร์เกิดขึ้นด้วย

ในรูปที่ 3.23 เมื่อต้องการคำนวณหาค่าอินพุทอิมพีแดนซ์และเอาต์พุทอิมพีแดนซ์ ก็สามารถทำได้โดยการมองจากขา B และ C แต่ความยุ่งยากจะเกิดขึ้นเมื่อไม่สามารถแยกได้ว่าค่า r_{bc} จะนำมารวมกับอินพุทอิมพีแดนซ์หรือเอาต์พุทอิมพีแดนซ์ จึงมีผู้คิดวิธีแยกค่า r_{bc} ออกเป็นสองตัว ตัวแรกต่อขนานกับวงจรทางอินพุทส่วนตัวที่สองต่อขนานกับวงจรทางเอาต์พุท การแยกเช่นนี้เรียกว่าวิธีของมิลเลอร์ (Miller Effect) และโดยหลักการเดียวกันก็สามารถแยกค่า C_c ออกเป็นสองส่วนด้วยกันคือทางด้านอินพุทและเอาต์พุท ค่าของ C_c เมื่อใช้การแยกค่าด้วยวิธีของมิลเลอร์จะได้ค่า C_x ใหม่ขนานอยู่กับ C_c โดยจะมีค่าเป็น $C_c(1 - R_L)$ เมื่อค่าของ R_L เป็นค่าของ $C_c + C_x$ ถือเป็นค่า C รวมได้เป็น C_T วงจรทางด้านอินพุทของทรานซิสเตอร์จึงเขียนได้ดังรูปที่ 3.24



รูปที่ 3.24 แสดงวงจรสมมูลย์โดยการใช้วิธีของมิลเลอร์แยกค่า C และ R

เพื่อแยกให้เห็นค่าชัดยิ่งขึ้นจะทำการเขียนแยกเฉพาะทางด้านอินพุต
แสดงให้เห็นในรูปที่ 3.25



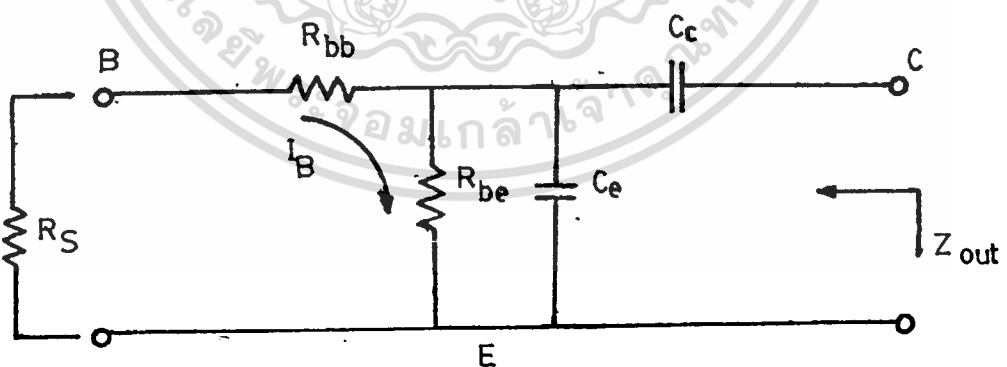
รูปที่ 3.25 แสดงวงจรสมมูลทางด้านอินพุตของทรานซิสเตอร์
ค่าอินพุตอิมพีแดนซ์ สามารถหาได้ดังนี้

$$Z_{in} = \frac{j\omega L_b + r_{bb} + [(1/j\omega C_t) + r_{be}] + j\omega L_e}{[(1/j\omega C_t) + r_{be}]} \quad (3.30)$$

$$= \frac{j\omega(L_b + L_e) + r_{bb} + \frac{r_{be}}{1 + r_{be} j\omega C_t}}{1 + r_{be} j\omega C_t} \quad (3.31)$$

$$= \frac{j\omega L_t + r_{bb} + \frac{r_{be}}{1 + r_{be} (j\omega r_{be} C_t)}}{1 + r_{be} (j\omega r_{be} C_t)} \quad (3.32)$$

ส่วนการหาค่าของเอาต์พุตอิมพีแดนซ์ก็สามารถวิเคราะห์จากรูปที่ 3.25 และ
จะเขียนแยกได้ดังรูปที่ 3.26

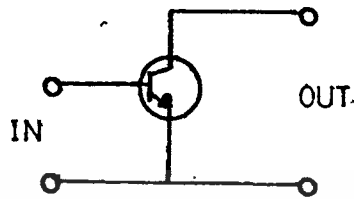


รูปที่ 3.26 แสดงวงจรเมื่อต้องการหาค่าเอาต์พุตอิมพีแดนซ์

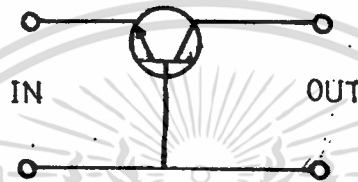
ลักษณะการต่อใช้งานทรานซิสเตอร์ที่ความถี่สูง
ได้ 3 แบบ ดังรูปที่ 3.27

จะมีลักษณะการต่อใช้งาน

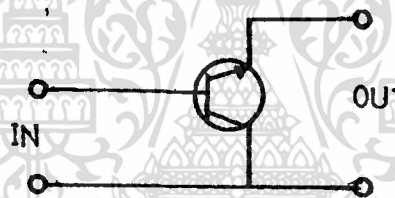
ก. แบบอิมิเตอร์ร่วม



ข. แบบเบสร่วม

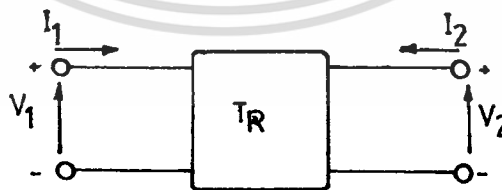


ค. แบบคอลเลคเตอร์ร่วม



รูปที่ 3.27 แสดงลักษณะการต่อวงจรชนิดต่าง ๆ ของทรานซิสเตอร์

จากรูปที่ 3.27 จะเห็นได้ว่าวงจรทรานซิสเตอร์สามารถใช้หลักการของทวิพอร์ตเน็ตเวิร์ค (Two Port Network) มาพิจารณาหาค่าต่าง ๆ ได้ โดยเขียนวงจรทรานซิสเตอร์ให้อยู่ในรูปของทวิพอร์ตแบบแบล็กบ็อกซ์ (Black Box) ดังรูปที่ 3.28



รูป 3.28 แสดงวงจรทรานซิสเตอร์แบบ ทวิพอร์ต-เน็ตเวิร์ค

จากรูปสามารถหาค่า Y พารามิเตอร์ได้โดยอาศัยการจัดวงจรต้านใดต้านหนึ่ง จะได้ค่า Y ดังนี้

$$Y_i = I_1/V_1 \quad \text{เมื่อ} \quad V_2 = 0 \quad (3.33)$$

$$Y_r = I_2/V_1 \quad \text{เมื่อ} \quad V_2 = 0 \quad (3.34)$$

$$Y_f = I_2/V_1 \quad \text{เมื่อ} \quad V_2 = 0 \quad (3.35)$$

$$Y_o = I_2/V_2 \quad \text{เมื่อ} \quad V_1 = 0 \quad (3.36)$$

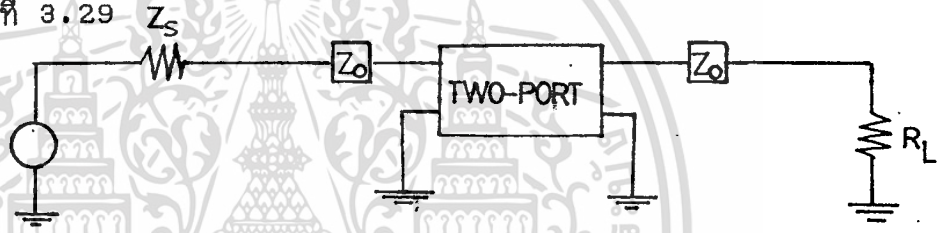
เมื่อกำหนด Y_i = Input Admittance

Y_r = Reverse Transfer Admittance

Y_f = Forward Transfer Admittance

Y_o = Output Admittance

ในบางครั้งจากทวิ-พอร์ทเน็ตเวิร์คก็นิยามหากันในรูปของ S พารามิเตอร์ โดยเขียนวงจรได้ดังรูปที่ 3.29



รูปที่ 3.29 แสดงการส่งคลื่นและสะท้อนคลื่นผ่านวงจรทวิ-พอร์ทเน็ตเวิร์ค

จากรูปที่ 3.29 เป็นสัญญาณที่ส่งจากแหล่งกำเนิดสัญญาณส่งไปยังเอาต์พุต โดยผ่านทวิ-พอร์ทเน็ตเวิร์คและสะท้อนกลับด้วยค่า b_1 ในขณะที่สัญญาณสะท้อนกลับที่โหนดมีค่า a_2 และสะท้อนกลับมีค่า b

ดังนั้นเราสามารถเขียนเป็นสมการได้ดังนี้

$$b_1 = S_{11} a_1 + S_{12} a_2 \quad (3.37)$$

$$b_2 = S_{21} a_1 + S_{22} a_2 \quad (3.38)$$

โดยที่

S_{11} = Input Reflection Coefficient

S_{12} = Reverse Transmission Coefficient

S_{21} = Forward Transmission Coefficient

S_{22} = Output Reflection Coefficient

สำหรับค่าพารามิเตอร์เหล่านี้สามารถดูได้จาก ตารางค่าของทรานซิสเตอร์ ความถี่สูงได้ ซึ่งจะไม่ขอล่าวในที่นี้

3.8.3 การคำนวณหาความมีเสถียรภาพของวงจร

ในการออกแบบวงจรขยายความถี่สูง บางครั้งอาจเกิดการผิดพลาดหรือไม่แน่ใจว่าวงจรที่ออกแบบมาแล้วนั้น สามารถทำงานได้ดีตลอดไปหรือไม่ นอกจากวิธีการทดลองใช้งานจริงแล้ว ยังมีวิธีการคำนวณหาเสถียรภาพของวงจรได้โดยอาศัย พารามิเตอร์ช่วยในการคำนวณ การคำนวณหาความมีเสถียรภาพของวงจรมีใช้อยู่ 2 วิธีคือ

3.8.1 วิธีของลินวิลล์ (Linville)

3.8.2 วิธี Stern Stability Factor

วิธีของลินวิลล์ ใช้ C เป็นตัวแสดงค่า Linville Stability Factor โดย C มีค่าเป็น

$$C = \frac{Y_r Y_f}{2Y_i Y_o - \text{Re}(Y_r Y_f)} \quad (3.39)$$

เมื่อ

Y_r = Reverse Transfer Amittance

Y_f = Forward Transfer Amittance

Y_i = Input Conductance

Y_o = Output Conductance

Re = Real Part of the in Parenthesis

ผลจากการคำนวณค่า C มีค่าน้อยกว่า 1 แสดงว่าวงจรนั้นสามารถทำงานได้ดีแม้ว่าจะมีโหลดหรือซอร์สอิมพีแดนซ์เปลี่ยนไปบ้างเล็กน้อย วงจรจะไม่แสดงอาการออสซิลเลทให้เสียเสถียรภาพของวงจร

แต่ถ้าผลการคำนวณที่ได้ปรากฏว่าค่า C มีค่ามากกว่า 1 วงจรจะมีแนวโน้มการเกิดออสซิลเลท ให้ระวังค่าโหลดและซอร์สอิมพีแดนซ์เปลี่ยนแปลงไป วงจรจะทำให้เกิดการออสซิลเลทได้

๕

ส่วนวิธีของ Stern Stability Factor จะใช้ค่า K เป็นตัวแสดง เสถียรภาพ ซึ่งค่า K คำนวณได้จากสมการ

$$K = \frac{2(Y_1 + G_s)(Y_o + G_l)}{|Y_r Y_f| + \text{Re}(Y_r Y_r)} \quad (3.40)$$

โดยที่ G_s = Source Conductance

G_l = Load Conductance

ถ้าค่า K มีค่ามากกว่า 1 แสดงว่าวงจรทำงานได้อย่างมีเสถียรภาพ แต่ถ้าค่า K มีค่าน้อยกว่า 1 แสดงว่าวงจรมีแนวโน้มจะเกิดการออสซิลเลชันที่บางความถี่

บางครั้งผู้ออกแบบอาจจะสับสนไม่แน่ใจว่าจะคำนวณความเสถียรภาพ จากค่า K หรือค่า C ดี ดังนั้นพอจะสรุปได้ว่า ถ้าต้องการทราบเสถียรภาพของทรานซิสเตอร์ให้ใช้ค่านวนหาค่า C จะดีกว่า แต่ถ้าจะหาเสถียรภาพของวงจรควรเลือกค่านวนหาค่า K จะดีกว่า

ในการออกแบบวงจรขยายสัญญาณยังมีค่าตัวแปรอีกตัวหนึ่งที่มีความสำคัญก็คือ อัตราขยายสัญญาณสูงสุดที่สามารถทำได้ โดยที่วงจรยังมีเสถียรภาพอยู่ การหาอัตราขยายสูงสุดหาได้จากสมการ

$$\text{MAG} = \frac{|Y_{fe}|^2}{4 Y_1 Y_o} \quad (3.41)$$

เมื่อ MAG = อัตราการขยายสูงสุด (Maximum Available Gain)

ค่าของ MAG จะมีค่าสูงสุดเมื่ออยู่ในกรณีของ

$Y_r =$

$Y_l =$ ค่า Complex Conjugate ของ Y_o

$Y_s =$ ค่า Complex Conjugate ของ Y_l

ในทรานซิสเตอร์ค่า Y_r จะเท่ากับ ก็ต่อเมื่อไม่มีการป้อนกลับของสัญญาณเลย ซึ่งในทางปฏิบัตินั้นมักจะทำได้ ดังนั้นในการคำนวณจากสมการ นั้นผลออกแบบจึงมักจะเผื่อค่าไว้พอสมควรเพื่อหลีกเลี่ยงการเกิดออสซิลเลชัน เช่น คำนวณค่าอัตราขยายสูงสุดได้ 30 dB ก็จะใช้จริงแค่ 28 dB เป็นต้น โดยเผื่อค่าการเปลี่ยนแปลงจุดไบอัส อันเนื่องจากการเปลี่ยนแปลงของอุณหภูมิ

ส่วนการหาค่าคอนจูเกต ของ Y_s และ Y_l จะทำให้เกิดการถ่ายทอดค่า สูงสุด การคำนวณทำได้ดังสมการต่อไปนี้

$$G_s = \frac{\{2Y_1Y_0 - \text{Re}(Y_fY_r)\}^2 - |Y_fY_r|^2}{2Y_0} \quad (3.42)$$

$$B_s = j b_1 + [\text{Im}(Y_fY_r)/2Y_0] \quad (3.43)$$

$$G_l = \frac{\{2Y_1Y_0\text{Re}(Y_fY_r)\}^2 - |Y_fY_r|^2}{2Y_1} \quad (3.44)$$

$$G_l = G_s G_0 / Y_1 \quad (3.45)$$

$$B_l = j b_0 + [\text{Im}(Y_fY_r)/2Y_1] \quad (3.46)$$

เมื่อ G_s = Souce Conductance

B_s = Souce Susceptance

G_l = Load Conductance

B_l = Load Susceptance

Im = Imaginary Port of Product in Parenthesis

3.8.4 การออกแบบวงจรขยายกำลังย่านความถี่วิทยุ

3.8.4.1 คุณสมบัติที่สำคัญของทรานซิสเตอร์ขยายกำลังความถี่สูง ที่ทาง โรงงานผลิตทรานซิสเตอร์ต้องให้มาคือความต้านทานขาเข้าและความต้านทานขาออก เมื่อ ใช้ในการขยายสัญญาณที่เข้ามาแรงมาก คุณสมบัติข้อนี้จะทำให้ผู้ออกแบบวงจรสามารถออกแบบวงจรที่จะนำมาต่อกับวงจรขยายกำลังได้เหมาะสมมากที่สุด ถึงแม้ว่าจะไม่มีสเปคจาก โรงงาน เราสามารถวัดค่าได้ตามวิธีการวัดความต้านทานขาเข้าและความต้านทานขาออก ดังจะกล่าวต่อไป

3.8.4.2 การอ่านค่าต่าง ๆ ของทรานซิสเตอร์ขยายกำลังความถี่สูง จากคู่มือทรานซิสเตอร์

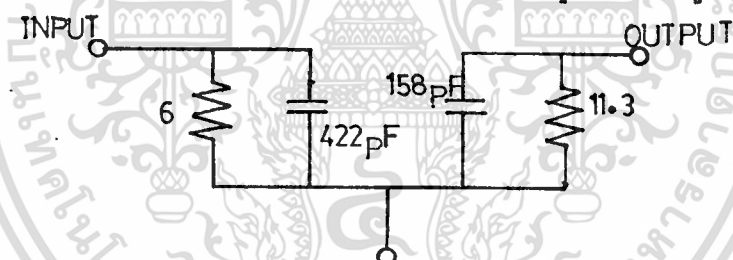
ปกติคู่มือทรานซิสเตอร์ขยายกำลังความถี่สูงจะให้ข้อมูลสำหรับการขยาย สัญญาณที่มีความแรงมาก ๆ และข้อมูลทางด้านกำลังและความถี่มาให้ค่อนข้างละเอียด เช่นคู่มือ ทรานซิสเตอร์ตามรูปที่ X.1 แสดงคุณสมบัติของเบอร์ MRF233 จะบอกถึง ความถี่ที่ทรานซิสเตอร์สามารถทำงานได้อยู่ในช่วง 40-100 MHz เหมาะกับการใช้

งานความถี่ย่านเอฟเอ็ม ให้เอาที่พทได้ถึง 15 วัตต์ มีอัตราขยาย 10 เดซิเบล ในการออกแบบเราจึงควรออกแบบขยายกำลังไม่เกิน 10 วัตต์ ทั้งนี้เพราะจำนวน 15 วัตต์ในคู่มือจะต้องควบคุมอุณหภูมิไม่ให้เกิน 25 องศาเซลเซียส ซึ่งทำได้ยากมากในทางปฏิบัติ และทรานซิสเตอร์ตัวนี้สามารถต่ออนุกรมหรือขนานกับวงจรที่นำมาต่อเพื่อให้ได้ความต้านทานขาเข้าและขาออกตามที่ต้องการได้ ส่วนรูปที่ 5 ในหน้าที่ 3 ของคู่มือจะบอกคุณสมบัติของทรานซิสเตอร์ตัวนี้โดยการพล็อตลงบนสมิทชาร์ต ซึ่งเป็นแบบอินพุตและเอาต์พุตแบบอนุกรม โดยที่การทำงานอยู่ในช่วง 40-100 MHz จากข้อมูลนี้ผู้ออกแบบสามารถอ่านค่าอิมพีแดนซ์ทั้งค่าจริงและค่าเสมือนออกมาได้ เช่นตัวอย่างจากคู่มือจะได้

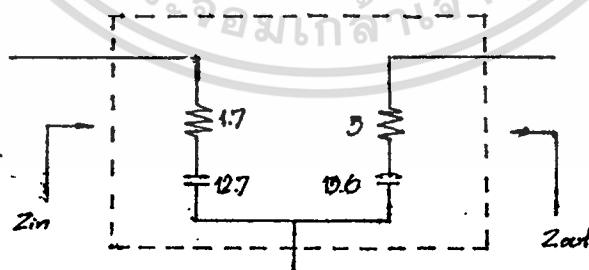
$$Z_{in} = 1.7 - j2.7 \text{ ohm}$$

$$Z_{out} = 5 - j5.6 \text{ ohm}$$

ถ้าเขียนเป็นวงจรเทียบเท่าก็จะได้ตามรูปที่ 7.2 ส่วนรูปที่ 6, 7, 8 และ 9 ของคู่มือทรานซิสเตอร์จะเป็นค่าความต้านทานและคาปาซิแตนซ์ที่ขนานอยู่กับอินพุตเอาต์พุต ตามตัวอย่างจะได้ค่าความต้านทานอินพุต 6 โอห์ม และค่าคาปาซิแตนซ์ 422 pF ในรูปที่ 6, 7 ส่วนรูปที่ 8, 9 จะได้ค่าสัญญาณเอาต์พุต 11.3 โอห์มและคาปาซิเตอร์ 158 pF ทั้งนี้คิดที่ 100 MHz เราสามารถเขียนวงจรสมมูลย์ได้ดังรูปที่ 3.30



รูปที่ 3.30 วงจรสมมูลย์ของทรานซิสเตอร์ # MRF233 ทำงานที่ 100 MHz แบบอนุกรม



รูปที่ 3.31 วงจรสมมูลย์แบบขนาน

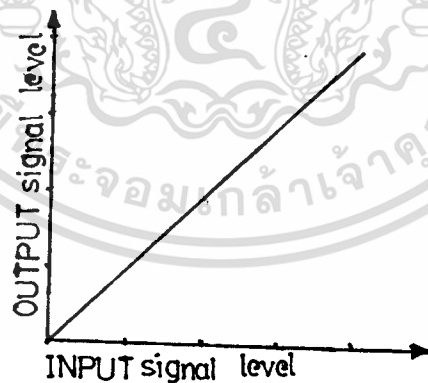
ในรูปหน้า 3 ของคู่มือรูปที่ 2 จะทำให้ทราบถึงกำลังที่จะต้องป้อนให้กับ อินพุตของทรานซิสเตอร์ตัวนี้ เมื่อต้องการกำลังเอาต์พุตค่าต่าง ๆ กัน รูปที่ 3 จะเป็นค่า กำลังงานที่เอาต์พุตโดยเทียบกับความถี่และกำลังงานที่อินพุตที่ป้อนเข้ามา รูปที่ 4 จะทำ ให้ผู้ออกแบบสามารถกำหนดกำลังที่แหล่งจ่ายว่าควรจะต้องใช้ค่าเท่าใดจึงจะได้กำลังงานที่ เอาต์พุตตามต้องการ

3.8.4.3 การไบอัสทรานซิสเตอร์ที่ความถี่สูง

การไบอัสทรานซิสเตอร์ให้ทำงานนั้นมีอยู่หลายแบบด้วยกัน โดยจัดเป็น คลาสต่าง ๆ เช่น คลาส เอ, บี, ซี, ดี, อี เป็นต้น แต่ที่นิยมใช้กันมาก ได้แก่ คลาส เอ, บี และ ซี ดังจะได้กล่าวย่อ ๆ ต่อไป

3.8.4.3.1 วงจรขยายคลาสเอ

วงจรขยายคลาสเอ เป็นวงจรที่มีกระแสเอาต์พุตไหลอยู่ตลอดเวลา ไม่ว่าจะมีสัญญาณที่อินพุตหรือไม่ก็ตาม แต่ความแรงของสัญญาณอินพุตก็จะถูกกำหนดไว้ไม่ให้แรงเกินไปจนทำให้ทรานซิสเตอร์หยุดการทำงานหรืออ้อมตัว ในวงจรคลาสเอโดยทั่วไปจะมีคุณสมบัติของการขยายสัญญาณค่อนข้างเป็นเชิงเส้นจึงมีผู้นิยมใช้มาก แต่มีข้อเสีย คือมีการสูญเสียกำลังมากโดยเฉลี่ยมีประสิทธิภาพต่ำกว่า 25 เปอร์เซ็นต์ของกำลังงานทั้งหมด คุณสมบัติการขยายที่เป็นเชิงเส้นนี้ดูได้จากกราฟในรูปที่ 3.26



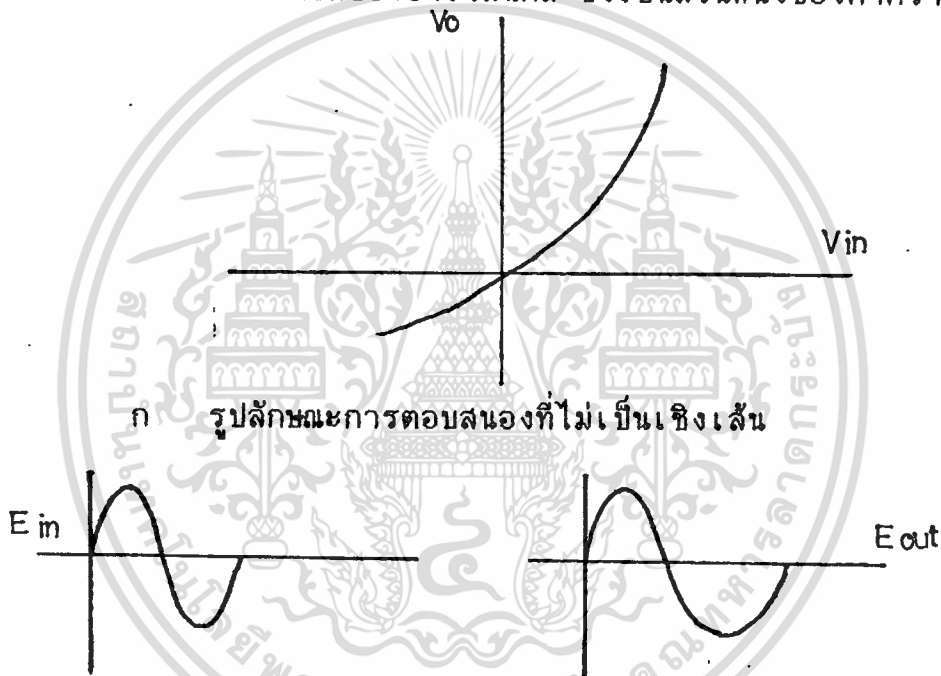
รูปที่ 3.32 แสดงคุณสมบัติของวงจรขยายที่เป็นเชิงเส้น

อีกค่าหนึ่งที่ต้องคำนึงถึงก็คือการบิดเบี้ยวของสัญญาณ เนื่องมาจากความถี่อาร์โมนิคส์และความบิดเบี้ยวเนื่องจากการมอดูเลทภายในตัวอุปกรณ์ ความบิดเบี้ยวทั้งสองอย่างนี้จะทำให้การขยายไม่เป็นเชิงเส้น

การที่วงจรขยายสร้างความถี่ซึ่งไม่ใช่ความถี่ของสัญญาณอินพุตที่เข้ามาและมีความถี่เป็นจำนวน N เท่าของความถี่อินพุต เราเรียกว่าเกิดความถี่ฮาร์โมนิคส์ แสดงให้เห็นดังสมการ

$$V_{out} = A V_{in} + B v_{in} + C V_{in} + \dots$$

เมื่อ $A V_{in}$ คือค่าขยาย A เท่าของสัญญาณอินพุตที่เป็นสัญญาณที่เราต้องการ ส่วน $B V_{in}, C V_{in}$ เป็นเทอมของฮาร์โมนิคส์ ซึ่งเป็นส่วนหนึ่งของค่าความบิดเบี้ยว



ข รูปคลื่นที่ถูกขยายเนื่องจากการไม่เป็นเชิงเส้น

รูปที่ 8.33 แสดงลักษณะของวงจรขยายที่ไม่เป็นเชิงเส้น

อีกปัญหาหนึ่งที่ทำให้เกิดความถี่ของสัญญาณก็คือการเกิดการมอดูเลทภายในวงจรขยาย (Inter Modulation) ปัญหานี้เกิดขึ้นเพราะการป้อนสัญญาณอินพุตหลาย ๆ ความถี่เข้าที่อินพุตในเวลาเดียวกันเข้าไปยังวงจรขยายแบบอัตราขยายไม่เป็นเชิงเส้นสัญญาณจะเข้าไปมอดูเลทกันเองภายใน ทำให้เกิดความถี่แปลกปลอมขึ้น

เราอาจจะเขียนเป็นสมการได้ดังนี้

กำลังงานดิสซิปที่ดึงจากแหล่งจ่าย คือ

$$P_i = V_{cc} I_{cq} = V_{cc}^2 / R \quad (3.47)$$

กำลังงานเอาต์พุต

$$P_o = \frac{V_{om}^2}{2R} < \frac{V_{cc}^2}{2R} \quad (3.48)$$

ประสิทธิภาพของวงจร

$$\eta = \frac{P_o}{P_i} = \frac{V_{om}^2}{2V_{cc}^2} < \frac{1}{2} \quad (3.49)$$

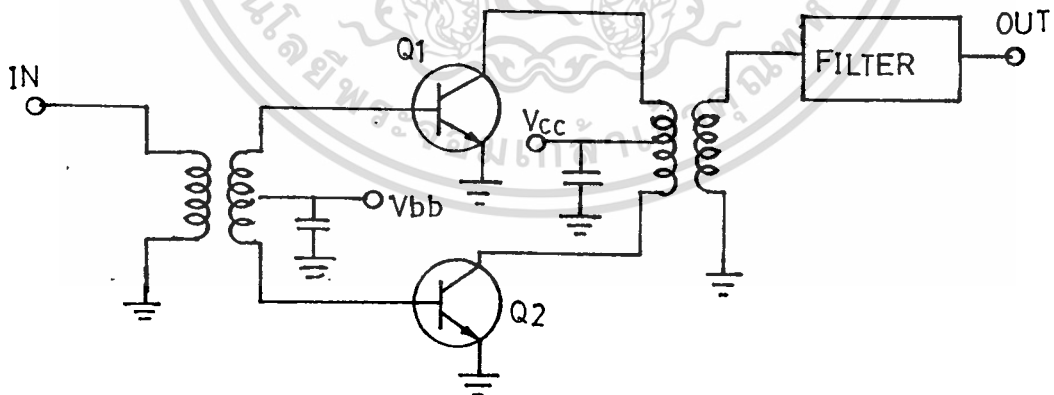
กำลังงานที่สูญเสียในทรานซิสเตอร์

$$P_d = P_i - P_o \quad (3.50)$$

3.8.4.3.2 วงจรขยายคลาสบี

วงจรขยายคลาสบีจะใช้ทรานซิสเตอร์จำนวน 2 ตัวในภาคเอาต์พุต โดยแบ่งกันทำงานตัวละครึ่งไซเคิลคือ 180 องศา มีประสิทธิภาพดีกว่าคลาสเอมาก แต่อย่างไรก็ตามคุณสมบัติความเป็นเชิงเส้นในคลาสบีก็ยังไม่ดี ค่าของความเพี้ยนทางฮาร์โมนิกส์จึงยังปรากฏให้เห็น ต้องใช้วงจรกรองความถี่ทางเอาต์พุตช่วยจึงจะสามารถลดความเพี้ยนทางฮาร์โมนิกส์ได้

วงจรขยายคลาสบีโดยทั่วไปจะเป็นวงจรpush-pullแบบต่าง ๆ ซึ่งเป็นพื้นฐาน โดยจะแสดงให้เห็นดังรูปที่ 3.34



รูปที่ 3.34 วงจรขยายพื้นฐานของคลาสบีแบบpush-pull

คุณสมบัติของวงจรขยายแบบนี้สามารถเขียนในรูปสมการได้ดังนี้
กำลังงานเอาต์พุต

$$P_o = \frac{V_{cm}^2}{2R} < \frac{V_{cc}^2}{2R} = \frac{V_{cc}^2}{2(m^2/n^2)R_o} \quad (3.51)$$

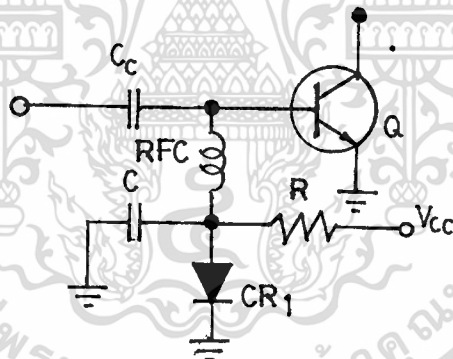
ประสิทธิภาพของวงจร

$$\eta = \frac{P_o}{P_i} = \frac{\pi V_{cm}}{4V_{cc}} < \frac{\pi}{4} = 0.785 \quad (3.52)$$

กำลังสูญเสียในทรานซิสเตอร์ แต่ละค่า คือ

$$P_{d1(max)} = P_{d2(max)} = \frac{V_{cc}^2}{\pi^2 R} \quad (3.53)$$

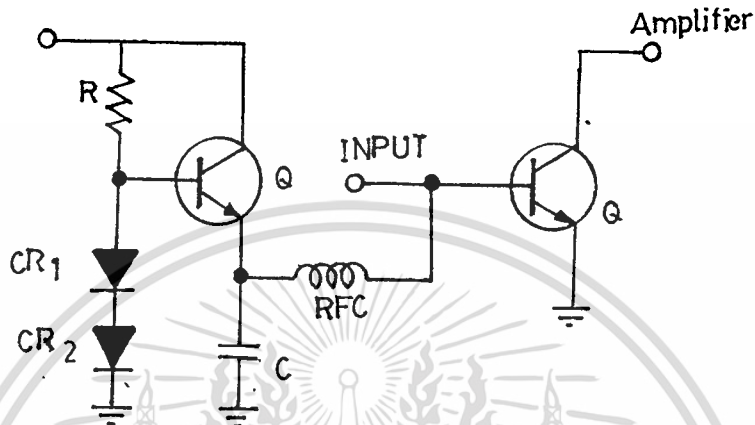
ในบางกรณีอาจจะใช้ทรานซิสเตอร์เพียงตัวเดียวให้ทำงานในคลาสบีได้
เช่น กรณีรีโซแนนซ์หรือกรณีที่ใช้ความถี่สูง ๆ ในงานโทรคมนาคม โดยมีอินดักแทนซ์และ
ไดโอดช่วยไบอัสดังรูปที่ 3.35



รูปที่ 3.35 วงจรไบอัสโดยใช้ R-F โช๊คและไดโอดช่วยในวงจรขยายคลาสบีสำหรับความถี่สูง

ข้อดีของการใช้ไดโอดไบอัสคือวงจรสามารถป้องกันการเกิดการจุดไบอัส
เนื่องจากความร้อน ซึ่งเป็นอันตรายมากสำหรับทรานซิสเตอร์ การแก้ไขทำได้โดยการ
ใช้ตัวไดโอด CR1 ยึดติดกับทรานซิสเตอร์ Q1 เมื่อทรานซิสเตอร์ร้อนขึ้นไดโอดก็จะร้อน

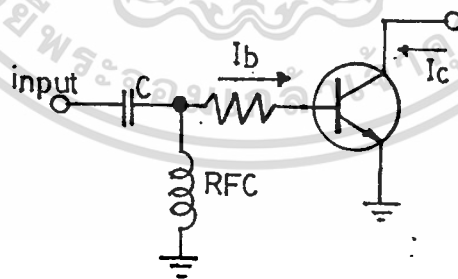
ตามไปด้วย ทำให้ V_{BE} ของทรานซิสเตอร์ลดลงไปด้วย เป็นการชดเชยซึ่งกันและกัน แต่อย่างไรก็ตาม ไดโอดจะต้องเลือกไดโอดที่ทำงานหนักได้เพราะเราจะต้องให้กระแสจำนวนมากไหลผ่านเพื่อทำให้วงจรมีเสถียรภาพ สำหรับในกรณีที่เราหาไดโอดที่ทำงานหนักและมีคุณสมบัติไม่ได้ เราสามารถดัดแปลงวงจรได้ดังรูปที่ 3.36 โดยใช้วงจรขยายแบบอิมิเตอร์ฟอลโลเวอร์(บัฟเฟอร์)ช่วยได้



รูปที่ 3.36 การใช้วงจรอิมิเตอร์ฟอลโลเวอร์ช่วยในการไบอัสวงจรขยายคลาสบี

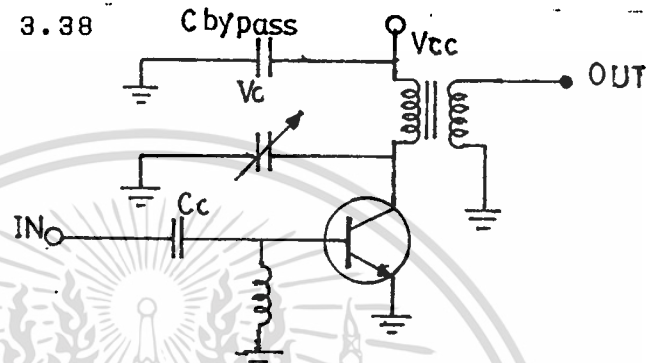
3.8.4.3.2 วงจรขยายคลาสซี

วงจรขยายคลาสซีจะกำหนดจุดไบอัสให้ต่ำกว่าจุดคัทออฟหรือทำงานน้อยกว่า 180 องศา ดังนั้นเมื่อไม่มีสัญญาณอินพุตจะไม่มีกระแสไหลและจะทำงานได้ดีกรณีที่ใช้กับความถี่สูง ๆ เท่านั้น โดยมีประสิทธิภาพประมาณ 85 เปอร์เซ็นต์ ส่วนความเพี้ยนมีมากกว่าวงจรคลาสเอและบี ความเป็นเชิงเส้นของอัตราการขยายเท่ากับวงจรคลาสเอและบี วงจรพื้นฐานของวงจรขยายคลาสซี แสดงให้เห็นดังรูปที่ 3.37



รูปที่ 3.37 วงจรขยายสัญญาณแบบคลาสซี

จากรูปที่ 3.37 จะเห็นว่าการให้ไบอัสในคลาสซีนั้นจะไม่มีกระแสเบสขณะที่ไม่มีความสัญญาณอินพุตเข้ามา ทรานซิสเตอร์ Q1 ก็จะไม่คัทออฟอยู่จนมีความสัญญาณเข้า ที่ครึ่งไซเคิลบวกทรานซิสเตอร์ก็จะทำงาน R-F ไซด์จะรับกระแสส่วนหนึ่งเอาไว้ เมื่อถึงครึ่งไซเคิลลบ อาร์เอฟไซด์ก็จะคายกระแสจ่ายให้กับกับทรานซิสเตอร์ทำให้ทรานซิสเตอร์ยังไม่คัทออฟจนกระทั่งไซเคิลบวกปรากฏอีกครั้ง ในบางครั้งวงจรขยายคลาสซีอาจจะต้องใช้วงจรจูนเอาต์พุตด้วยวงจรที่ใช้หม้อแปลงและคาปาซิเตอร์ประกอบในการทำงาน ส่งผลให้การแมทซิ่งดีขึ้น ดังแสดงในรูปที่ 3.38



รูปที่ 3.38 วงจรคลาสซีแบบ Self Bias

3.8.4.4 การออกแบบวงจรขยายกำลังที่ความถี่สูง

หลักการสำคัญในการออกแบบวงจรขยายกำลังที่ความถี่สูงพอจะแบ่งออกได้เป็น 2 ประเด็น คือ

3.8.4.4.1 การหาค่าโหลดที่เหมาะสม

การหาค่าโหลดสำหรับวงจรขยายกำลังความถี่สูงนี้จำเป็นต้องศึกษาให้ละเอียดเพราะการที่โหลดมีค่าน้อยเกินไป (R_L น้อย) ก็จะทำให้ทรานซิสเตอร์ทำงานหนักอาจเสียหายได้หรือถ้าโหลดมีค่ามาก (R_L มาก) ก็จะทำให้วงจรทำงานได้ไม่เต็มที่ ทำให้เกิดการสิ้นเปลืองโดยใช่เหตุ ดังนั้นเราจะอาศัยคู่มือทรานซิสเตอร์ประกอบและแสดงการคำนวณอย่างง่าย ๆ ตามสมการที่ 3.54 ก็จะทราบค่า R_L ได้

$$R_L = \frac{(V_{CC} - V_{sat})^2}{2P} \quad (3.54)$$

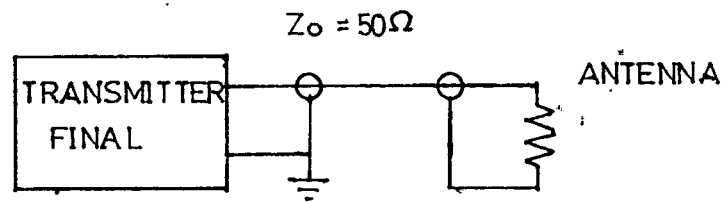
เมื่อ R_L = อิมพีแดนซ์ของโหลด

V_{CC} = แรงดันของแหล่งจ่ายไฟ

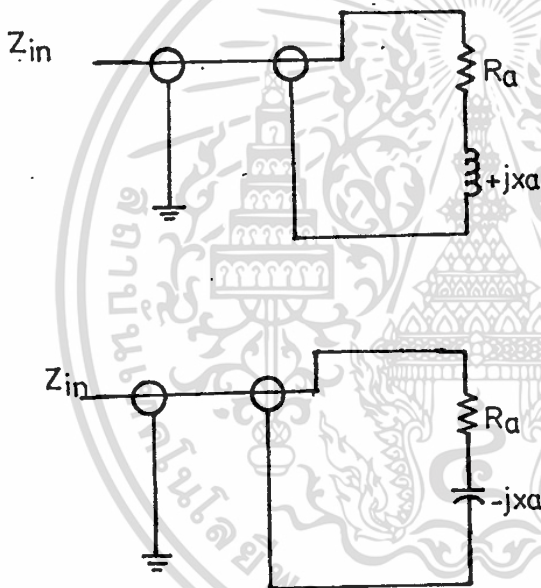
V_{sat} = แรงดันตกคร่อมทรานซิสเตอร์ขณะทำงานเต็มที่

P = ค่ากำลังงานเอาต์พุตที่ต้องการ

3.8.4.4.2 การแมทชิงของสายส่งสัญญาณแบบโคแอกเซียล



รูปที่ 3.39 แสดงการต่อสายส่งสัญญาณระหว่างวงจรขยายสุดท้ายกับสายอากาศ



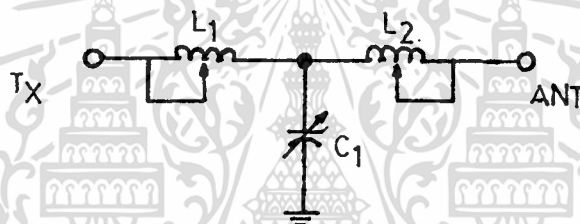
ก. ที่ความถี่สูงกว่ารีโซแนนซ์

ข. ที่ความถี่ต่ำกว่ารีโซแนนซ์

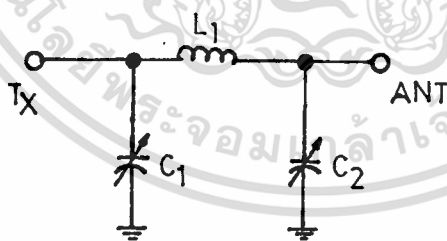
รูปที่ 3.40 แสดงวงจรเทียบเท่าของสามยอากาศที่ความถี่สูงกว่าและความถี่ต่ำกว่าความถี่รีโซแนนซ์

ถ้ามองจากเอาที่พุทของวงจรขยายกำลัง จะเห็นอิมพีแดนซ์ของสายส่งสัญญาณ และสายอากาศ ซึ่งอิมพีแดนซ์ของสายอากาศ จะไม่มีปัญหามากนัก ส่วนอิมพีแดนซ์ของสายส่งสัญญาณจะขึ้นอยู่กับความยาวของสายส่งว่าเป็นเท่าใด ของความยาวคลื่น () เช่น ถ้าตัดสายส่งสัญญาณแบบอิมพีแดนซ์ 50 เท่ากับ $n + 1/2$ ($n=0,1,2,\dots$) ก็จะมีอิมพีแดนซ์ของสายประมาณ 50 แต่จะไม่เป็น 50 เมื่อตัดด้วยความยาวอื่นๆ

จากเหตุผลข้างต้นจะเห็นว่าเป็นไปได้ยาก ถ้าจะให้อิมพีแดนซ์แมชกัน 100 % เพราะนอกจากในการใช้งาน จะใช้ความถี่หลายๆ ความถี่ อันเป็นผลทำให้อิมพีแดนซ์ของสายอากาศเปลี่ยนแล้ว อิมพีแดนซ์ของสายส่งสัญญาณก็เปลี่ยนด้วย การทำวงจรแมชซึ่งใส่เข้าไปจึงจำเป็นต้องมีการปรับจูน ให้ได้ผลเฉลี่ยดีที่สุด ฉะนั้น วงจรที่นิยมใช้ในทางปฏิบัติ แสดงได้ในรูป 3.41



ก. วงจรแบบ T

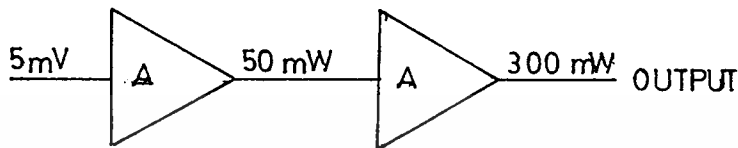


ข. วงจรแบบ π

รูปที่ 3.41 แสดงวงจรแมชชิงของสายส่งสัญญาณแบบปรับค่าได้

4.1 การออกแบบวงจรขยายสัญญาณ

ในการออกแบบนั้นขั้นแรกควรจะกำหนดขีดจำกัดความแรงของสัญญาณที่ต้องการก่อน สำหรับโครงงานนี้ ต้องการกำลังขยายประมาณ 300 mW



รูป 4.1 แสดง Block diagram ของวงจรขยายสัญญาณ

ในวงจรขยายภาคแรกเป็นวงจรขยายที่มีการป้อนกลับ ดังนั้นเพื่อต้องการย่านความถี่กว้างและเสถียรภาพที่ดี

พารามิเตอร์ที่กำหนดสำหรับวงจรขยายภาคแรกคือ โดยการใช้ทรานซิสเตอร์ เบอร์ 2N5179 โดยกำหนดให้ $V_{cc} = 9$ โวลต์; $Z_i = Z_o = 50$ โอห์ม การป้อนกลับ $K = 0.05$ เพื่อให้มีเสถียรภาพทางดีซีไบอัสจะกำหนดให้ $V_{ce} = 8$ โวลต์ การออกแบบวงจรขยายสัญญาณขนาดเล็ก ควรพิจารณาความมีเสถียรภาพของอุปกรณ์

จากแฟคเตอร์ความมีเสถียรภาพของอุปกรณ์จากลินวิลล์

$$C = \frac{(Y_f Y_r)}{Z_{i'so} - R_e(Y_f Y_r)} \quad (4.1)$$

จากข้อมูลในตารางที่ 9 และ 10 ที่ 150 MHz

$$Y_{f_{in}} = 40 - j15 \text{ m}$$

$$Y_{r_{in}} = -0.1 - j0.5 \text{ m}$$

$$Y_{i_{in}} = 1.7 + j6 \text{ m}$$

$$Y_{o_{in}} = 0.2 + j1.5 \text{ m}$$

$$C = 1.79$$

จากการที่ค่า C มีค่ามากกว่า 1 แสดงว่ามีแนวโน้มที่จะไม่เสถียรภาพและอาจจะเกิดการออสซิลเลทได้เมื่อเทียบกับแหล่งกำเนิดสัญญาณและโหลดบางค่า ตัวเลขลีนวิลด์มีค่าไม่มากนัก การป้อนกลับจะช่วยทำให้วงจรมีเสถียรภาพได้

จากสมการ

$$P_o = \frac{V_{om}^2}{2R_o} \quad (4.2)$$

ค่าของ R_o ที่จะทำให้เกิดการส่งถ่ายพลังงานสูงสุดคือ

$$R_o = \frac{64}{2(0.135)} = 213 \text{ โอห์ม}$$

$$\text{หรือ } 1/R_o = G_o = 4.7 \text{ Mmho}$$

พิจารณาความมีเสถียรภาพของวงจรจากสเทอร์แฟคเตอร์ K

$$\begin{aligned} K &= \frac{2(g_1 + G_o)(g_o + G_2)}{Y_F Y_r + R_o(Y_F Y_r)} \\ &= \frac{2(1.7 + 20)(0.2 + 4.7)}{21.8 - 11.5} = 3.96 \end{aligned} \quad (4.3)$$

ซึ่งแสดงว่าที่แหล่งกำเนิดสัญญาณ 50 โอห์มและโหลด 213 โอห์มจะทำให้วงจรทำงานได้อย่างมีเสถียรภาพ

วงจรกำหนด $Z_o = 50$ ดังนั้นจากคอลเลคเตอร์ ไปยังเอาต์พุตต้องใช้หม้อแปลงย่านความถี่กว้าง (Broadband Transmission Line Transformer) ต่อคั่นไว้ จากตาต้าชิตแสดงว่า เกน - แบนด์วิทโปรตัก ช่วงกระแสคอลเลคเตอร์สูงสุดอยู่ระหว่าง 6-20 mA เราจึงเลือกกระแสไบอัสที่ 15 mA กำหนดให้ h_{fe} จากตาต้าชิตเป็น 80 จะต้องให้กระแสไบอัสเบสเท่ากับ 188 A ซึ่งทั้งหมดนี้จะเป็นข้อกำหนดทางปฏิบัติที่จะต้องจัดให้ทรานซิสเตอร์ ($V_{cc} = 9 \text{ V}$, $V_{be} = 8 \text{ V}$).

เพราะฉะนั้น

$$\begin{aligned}
 R_E &= \frac{V_{RE}}{I_C + I_B} & (4.4) \\
 &= \frac{1}{15 \text{ mA} + 188 \text{ A}} \\
 &= 66 \text{ โอห์ม}
 \end{aligned}$$

จากนั้นตรวจสอบดูว่ากำลังสูญเสียที่เกิดขึ้น สามารถใช้ทรานซิสเตอร์ตัวนี้ทำงานได้หรือไม่

$$\begin{aligned}
 P &= V_{CE} I_C & (4.5) \\
 &= 8 * 15 \text{ mA} = 120 \text{ mW}
 \end{aligned}$$

ซึ่งเป็นค่าที่ไม่เกินขีดจำกัดของทรานซิสเตอร์ตัวนี้ (200 mW) แสดงว่าค่าที่คำนวณได้นี้สามารถนำมาใช้ได้

อัตราการขยายแรงดันที่ต้องการ กำหนดเป็น 10 เท่าเพราะฉะนั้น คำนวณ ค่า C จากสมการ

$$A = \frac{1}{K + C} \quad (4.6)$$

$$\text{จะได้ } C = 0.05$$

ให้ $Z_1 = 50$ คำนวณค่า R_x จากสมการ

$$Z_1 = \frac{R_x (K + C)}{1 + C} \quad (4.7)$$

$$R_x = 525$$

สำหรับค่า R_E เสนอว่าจะให้ผลการทำงานของจรดีกว่าเมื่อคำนวณจากสมการ

$$Z_o^2 = R_K R_E \quad (4.8)$$

ดังนั้น

$$\begin{aligned} R_E (ac) &= \frac{Z_o^2}{R_K} \\ &= \frac{2500}{525} = 4.76 \end{aligned}$$

ตัวต้านทานแบ่งแรงดันไบอัสคำนวณได้จาก

$$V_{B2} = I_E R_E + 0.7 \quad (4.9)$$

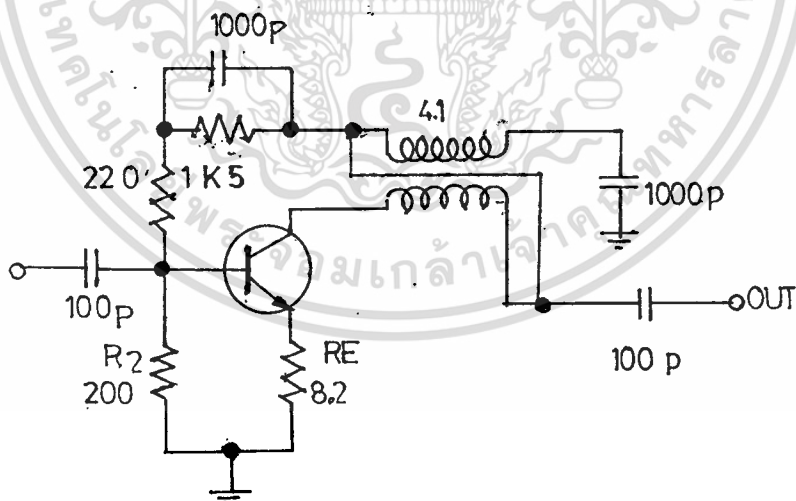
$$I_{B2} = 5 - 7 I_B \quad (4.10)$$

ดังนั้น

$$R_2 = 1.7 / I_B \quad \text{เมื่อ } (I_B = 188 \text{ A}) \quad (4.11)$$

$$\begin{aligned} R_1 &= (9 - 1.7) / 8 I_B \\ &= 4.9 \text{ Kohm} \end{aligned} \quad (4.12)$$

ลักษณะของวงจรที่ใช้จริง



รูปที่ 4.2 แสดงวงจรที่ใช้งานจริง

จากรูป $C_1 - C_E$ มีความต้านทานต่ำมากที่ความถี่ใช้งาน
ดังนั้น

$$\begin{aligned} R_1 &= R'_1 + R_K \\ &= 4854 \quad (\text{เมื่อ } R_K = 500) \end{aligned} \quad (4.13)$$

$$R_E + R'_E = 66 \quad (\text{เมื่อ } R_E = 4.7)$$

และจะได้

$$\begin{aligned} R_1 &= 4854 - 560 \\ &= 4290 \quad \text{เลือกใช้ค่า } 4.3 \text{ K} \\ R_E &= 66 - 4.7 \\ &= 61.3 \quad \text{เลือกใช้ค่า } 56 \text{ โอห์ม} \end{aligned}$$

วงจรขยายภาคที่ 2

วงจรขยายภาคนี้มีวิธีเดียวกันกับในภาคที่ 1 แต่เราต้องการขยายกำลัง
6 เท่า ใช้ทรานซิสเตอร์ เบอร์ 2N3866A

$$\begin{aligned} \text{ข้อกำหนด การป้อนกลับ } K &= 0.5 \\ V_{CC} &= 12.5 \text{ V} \\ V_{EE} &= 12 \text{ V} \\ I_C &= 65 \text{ mA} \\ \beta &= 70 \end{aligned}$$

$$\text{จะได้ } I_E = 0.93 \text{ mA}$$

$$R_E (\text{dc}) = 7.69 \text{ โอห์ม}$$

ถ้าให้กระแสไหลผ่าน $R_2 = 6 \text{ mA}$ จะได้ $R_2 = 200 \text{ โอห์ม}$

$$R_1 = 1780 \text{ โอห์ม}$$

จะได้ค่า $A = 5$ และจากสมการ

$$A = \frac{1}{0.05 + C} \quad (4.14)$$

เพราะฉะนั้น C จะมีค่าเท่ากับ 0.15 F

และได้ค่าของ Z_1 เท่ากับ 50 โอห์ม

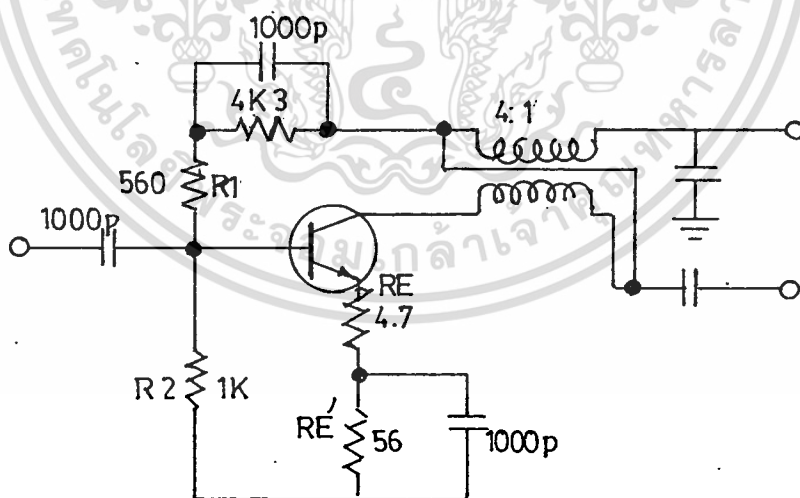
$$\text{จาก } Z_1 = \frac{R_k \cdot (0.20)}{1.15} \quad (4.15)$$

$$= 288 \text{ โอห์ม} \quad \text{เลือกใช้ค่า } 270 \text{ โอห์ม}$$

$$\begin{aligned} \text{จาก } R_E (\text{DC}) &= \frac{Z_o^2}{R_k} \\ &= \frac{2500}{288} = 8.68 \text{ โอห์ม} \end{aligned}$$

$$\text{ให้ } R_E (\text{DC}) = R_E (\text{AC}) = 8.2 \text{ โอห์ม}$$

เนื่องจากที่ขาคอลเลคเตอร์มีความต้านทานเอาท์พุทประมาณ 185 โอห์ม ดังนั้นจะใช้หม้อแปลงควาถึกว้างขนาด $4:1$ ต่อกันไว้ที่เอาท์พุท



รูปที่ 4.3 แสดง

จากที่ได้ทำการออกแบบมาอาจจะพบว่าไม่มีรูปแบบของการออกแบบที่แน่นอน
ทั้งนี้เนื่องมาจากพารามิเตอร์ของอุปกรณ์ที่ใช้มีผลต่อวงจรมากแม้ว่าจะใช้วิธีการป้อนกลับ
ซึ่งจะทำให้วงจรมีอิสระต่อพารามิเตอร์ของอุปกรณ์แล้วก็ตาม

ข้อสังเกตในการออกแบบมีดังนี้

1 กำลังงานทั้งหมดที่จ่ายให้กับโหลดมาจากแหล่งจ่ายโดยผ่านทรานซิสเตอร์
ดังนั้นการไบอัสทางดีซีจะต้องสามารถให้วงจรจ่ายกำลังงานแก่โหลดได้เพียงพอ ซึ่งจะ
ทำได้โดยให้กระแสคอลเลคเตอร์ไหลมากกว่ากำลังงานที่โหลดต้องการ

2 วงจรทั้งหมดเป็นวงจรขยายคลาสเอ R_E มีความจำเป็นสำหรับรักษา
เสถียรภาพการไบอัสทั้งหมดของวงจรโดยให้ $(B + 1)R_E \gg R_1$ ขนานกับ R_2 และ
 R_E ยังขึ้นอยู่กับแรงดัน V_{CE} และกระแสคอลเลคเตอร์ของวงจรด้วย

สำหรับวงจรความถี่สูง R_E อาจทำให้วงจรขาดเสถียรภาพทางการขยาย
โดยอาจทำให้เกิดการออสซิลเลชัน โดยเฉพาะกับวงจรบายพาสทั้งหมด เนื่องจากขาของ
ตัวต้านทานและตัวเก็บประจุจะมีอินดักแตนซ์เกิดขึ้น ซึ่งจะทำให้วงจรขาดเสถียรภาพเพราะ
ค่าอินดักแตนซ์จะทำให้อัตราขยายของวงจรลดลง

สำหรับวงจรทั้ง 2 ภาคเป็นการบายพาสบางส่วน ซึ่งจะมีคุณสมบัติด้าน
เสถียรภาพที่ดีกว่าแต่อาจมีอัตราขยายลดลงเล็กน้อย

หมายเหตุ เนื่องจากเป็นวงจรขยายย่านความถี่กว้าง คุณสมบัติของวงจร
มักจะแตกต่างกันภายในย่านความถี่ที่ใช้งาน ดังนั้นค่าของ V_{SWR} จะเปลี่ยนไปบ้างตาม
ค่าของความถี่พอสมควร

ผลการทดลอง

1. วงจรอ้างอิงความถี่ ความถี่ที่ผลิตออกมาตามค่าที่ต้องการนั้น บางครั้งอาจมีรูปร่างบิดเบี้ยวไป จำเป็นจะต้องปรับค่า C_2 และ R_2 เพื่อให้รูปร่างของสัญญาณทั้งความถี่และขนาดมีค่าคงที่ จากการทดลองนี้ จำเป็นต้องตัดค่า R_2 ออกแล้วจะได้รูปร่างสัญญาณที่สมบูรณ์

2. เฟสฟรีแควนซีดีเทคเตอร์ เป็นส่วนสำคัญที่จะทำให้เกิดแรงดันผิดพลาด ที่เกิดจากการเปรียบเทียบกับเฟสทั้ง 2 อินพุต จากการทดลองเราใช้ PD#1 ของ MC 4044. ซึ่งใช้กับระบบที่ต้องการให้เกิดการล็อกเพื่อไม่ให้มีความแตกต่างของความถี่ ผลที่ได้ออกมาได้เป็นค่าแรงดันที่เป็นเชิงเส้นพอสมควร

3. ลูปฟิลเตอร์ เป็นส่วนของวงจรที่มีการออกแบบ ยุ่งยากพอสมควร ค่าอุปกรณ์ต่างๆที่ออกแบบ อาจจะต้องปรับแต่งเฟสให้ได้ผลการตอบสนองของลูปตามต้องการ ซึ่งบางครั้ง อาจจะมีโอเวอร์ชhootและมีสัญญาณกระเพื่อมมากเกินไปจนทำให้ VCO ผลิตความถี่ไม่เป็นเชิงเส้น

4. VCO เป็นส่วนที่ใช้ผลิตความถี่ให้ได้ค่าตามต้องการ จากการโปรแกรมในส่วนนี้ จำเป็นจะต้องมีการซีลด์ให้ดี เพื่อไม่ให้ความถี่ไปรบกวนการทำงานของวงจรในส่วนต่าง ๆ ค่า L , C ที่คำนวณไว้ จำเป็นต้องปรับค่าเพื่อให้ได้ตามค่าที่กำหนด ซึ่งบางครั้งย่านความถี่ที่ VCO สะแกนไปมีย่านความกว้างออกไปมาก ซึ่งไม่ตรงตามทฤษฎีที่กำหนดไว้โดยเฉพาะที่ความถี่สูงส่วนย่านความถี่ต่ำจะมีย่านแคบทั้งนี้อาจเกิดจากการใช้ลูปฟิลเตอร์วงจรเดียวกัน เพราะฉะนั้นถ้าเป็นไปได้การออกแบบลูปฟิลเตอร์ย่านไดยานหนึ่งโดยเฉพาะจึงจะได้ย่านความถี่ตามที่ต้องการ

5. ฟรีสเกลเลอร์ เป็นส่วนที่ใช้สำหรับหารความถี่ลงมา การดับปลิงจาก VCO มาฟรีสเกลเลอร์ จำเป็นจะต้องใช้สายโคแอกเซียลและแรงดันที่มาจาก VCO จะต้องผ่านบัฟเฟอร์ เพื่อให้มีการขยายสัญญาณสูงขึ้นและสามารถทำให้ฟรีสเกลเลอร์ทำงานได้

ในส่วนของวงจรหารความถี่โปรแกรมได้จะเป็นส่วนสำหรับกำหนดให้ VCO ผลิตความถี่ตามโปรแกรมที่ต้องการ เพราะฉะนั้นแต่ละช่วงจะมีความกว้างของแบนด์แพทช์กับ 100 K_{Hz}

ความผิดพลาดคงที่ของแสงที่ส่องเดร่ายได้ไม่เท่ากันตลอดย่านความถี่
เนื่องจากความสามารถของวงจรการเปลี่ยนไปตามความถี่ที่สูงขึ้น ซึ่งเวลาหนึ่งของ
วงจรจะไม่เท่ากันตลอดย่านความถี่ของ VDU เวลาสมารถที่จะสังเกตการสัอกของ
แสงได้จาก LED จากภาคตีเทตเตอร์ ซึ่งรังความถี่สัอก LED จะดับและถ้าไม่สัอก
LED จะสว่าง



สรุปผลการทดลอง

วงจรที่สร้างขึ้นไม่สามารถออกแบบให้มีประสิทธิภาพสูงตามทฤษฎีได้ ทั้งนี้เนื่องมาจากสาเหตุหลายประการด้วยกัน กล่าวคือ

1 อุปกรณ์ต่าง ๆ ที่ใช้มีค่าไม่ตรงตามที่ต้องการและอาจเกิดจากความผิดพลาดเนื่องจากการคำนวณ

2 ปัญหาสัญญาณรบกวนภายในอุปกรณ์วงจร การเชื่อมต่อในส่วนต่าง ๆ ของวงจรแต่ละภาคโดยเฉพาะ VCO กับพรีแอมป์กับแอมป์ จำเป็นต้องใช้สายโคแอกเซียลตลอดจนปัญหาทางด้านเทคนิคการประกอบวงจรต่าง ๆ ซึ่งจะมีผลต่อสัญญาณรบกวน

3 สเปกตรัมของความถี่ VCO จำเป็นจะต้องมีความบริสุทธิ์สูงจึงจะสามารถใช้ในการสื่อสารได้

4 ปัญหาการแมตช์ระหว่างวงจรขยายกับความถี่กว้าง ซึ่งบางครั้งเมื่อคับปลิงระหว่างภาคทำให้สัญญาณมีขนาดลดลง

5 ความมีเสถียรภาพของวงจรทางขนาดบางครั้งไม่คงที่อาจมีการสละบัดบ้างในบางครั้ง

6 ปัญหาสุดท้ายคือเครื่องมือและอุปกรณ์ที่ใช้ในการทดลองไม่ค่อยสมบูรณ์ เช่นไม่มีสโคปที่จะใช้ในการวัดที่ความถี่สูงได้รวมทั้งฟรีควเอนซีเคาน์เตอร์ แต่จากโครงงานชิ้นนี้แสดงผลโดยใช้ ET Board โดยการเขียนโปรแกรมควบคุมการแสดงผล

หนังสืออ้างอิง

- 1 Roland E. Best, "Phase-Locked Loops Theory, Design, and Applications", McGraw-Hill, 335 p., 1984
- 2 MECL Device Data, "Motorola Inc, 1989
- ๓) สวัสดิ์ บุญยะเวช, "เครื่องส่งวิทยุเอฟเอ็มชนิดสังเคราะห์ความถี่", คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้า เจ้าคุณทหารลาดกระบัง, 146 หน้า, 2531
- 4 กิตติ ตีระเศรษฐ์, "การวิเคราะห์ระบบควบคุมเชิงเส้น เล่ม 2", กทม., 2528
- 5 Vadim Manassewitch, "Frequency Synthesizer Theory and Design ", John Wiley & Son, Newyork, 1987
- 6 Arther H Seidman, "Integrated Circuit Application Handbook", Pratt Institute
- ๗) วงจรรวมเฟสล็อกกลุ๊ป, วิศวกรรมสารลาดกระบัง , เล่ม 1, ปีที่ 9, 2531
- 8 Jack Smit, "Modern Communication Circuit", McGraw-Hill Book Co., Singapore, 1986
- 9 John D. Hatchut, "Phase Locked Loop For RF Frequency Synthesizers", Motorola Inc.
- 10 RF Divice Data, Motorola Tnc, 1985
- 11 Chris Bowick, "RF Circuit Design", Woword W. Sams & Co. Inc, 1982
- 12 สุชาติ กังวาลจิตต์ , "เครื่องรับส่งวิทยุและระบบวิทยุสื่อสาร", บ. ซีเอ็ดยูเคชั่น จำกัด, พิมพ์ครั้งที่ 1, 2531
- 13 บรรณเจต ตันติกัลยาภรณ์ , "เครื่องรับส่ง เล่ม 2, กทม.

กิตติกรรมประกาศ

ผู้จัดทำขอขอบพระคุณอาจารย์ที่ปรึกษา อาจารย์ กฤตากร กล่อมการ ซึ่งได้ให้คำปรึกษาและสนับสนุนในการทำโครงการเป็นอย่างดี รวมทั้งขอขอบคุณเจ้าหน้าที่ห้องคอมพิวเตอร์มหาวิทยาลัยศรีปทุม ที่ให้ความอนุเคราะห์ในการให้ใช้เครื่องคอมพิวเตอร์เป็นอย่างดี



โปรแกรมหลักของวงจรมินิ

แอดเดรส	ออฟโค้ด	มินิอินสตรัคชัน	อธิบาย
2000	ED 56	IM 1	เซตอินเตอร์รัพท์โหมด 1
2002	21 0F 20	LD HL,FERQ1	กำหนดแอดเดรสให้ HL
2005	01 00 00	LD BC,0	เคลียร์ความถี่ให้อินเตอร์รัพท์ได้
2008	FB FREQ	EI	
2009	DB 02	IN,(DIGIT)	ตรวจสอบว่าขา 11 ของ 8255 เป็น 1 หรือไม่
200B	CB 77	BIT 6,A	
200D	28 0E FREQ1	JR Z,FREQ3	
200F	DB 02	IN A,(DIGIT)	
2011	CB 7F	BIT Z,A	ตรวจจับลอจิก 1
2013	28 FA JR	JR Z,FREQ1	
2015	DB 02 FREQ2	IN A,(DIGIT)	
2017	CB 7F	BIT 7,A	ตรวจจับลอจิก 0
2019	20 FA	JR NZ,FREQ2	
201B	03	INC BC	เพิ่มความถี่ขึ้น 1
201C	E9	JP(HL)	ตรวจจับลอจิกรอบใหม่
201D	76 FREQ3	HALT	หยุดรอการอินเตอร์รัพท์รอบต่อไป

โปรแกรมบริการอินเทอร์เน็ต RST38 ที่แอดเดรส 201E

201E	ED 43 F2 3F	LD (HBUF),BC	แปลงความถี่ที่นับด้วยเลข
2022	CD F1 18	CALL H t0 D	ฐาน 16 เป็นเลขฐาน 10
2025	06 03	LD B,3	
2027	21 F4 3F	LD HL,DBUF	
202A	AF	XOR A	
202B	7E INT	LD A,(HL)	ความถี่คูณด้วย 2
202C	8F	ADC A,A'	
202D	27	DAA	
202E	77	LD (HL),A	
202F	23	INC HL	
2030	10 F9	DJNZ INT	
2032	2B	PEC HL	
2033	11 E7 3E	LD DE,DISPY	
2036	CD 76 17	CALL UNPKS	แปลงความถี่ฐาน 10 เป็น
2039	2B	DEC HL	ตัวเลข 7 ส่วน เก็บใน
203A	CD 76 17	CALL UNPKS	DISPLAY BUFFER
203D	2B	DEC HL	
203E	CD 76 17	CALL UNPKS	
2041	21 E7 3F	LD HL,DISPY	
2044	06 05	LD B,5	
2046	7E INT1	LD A,(HL)	ตัวเลขศูนย์ข้างหน้าเหลือ
2047	FE 3F	CP 3FH	หลักสุดท้ายหลักเดียว
2049	20 05	JR NZ INT2	
204B	36 00	LD (HL),0	
204D	23	INC HL	

204E	10 F6	DJNZ INT1	
2050	21 ED 3F	INT2 LD HL ,DISPY+6	
2053	3E 55	LD A,55	ให้แฟล็ก LED ติดทั้งหมด
2055	77	LD (HL) ,A	
2056	2B	DEC HL	ให้จุดหลักสุดท้ายติด
2057	CB FE	SET 7,(HL)	
2059	06 68	LD B,104	แสดงผลพร้อมการตรวจสอบ
205B	CD 6B 20	LD DHOLD	ว่ามีการกดปุ่ม INC หรือไม่
205E	21 0F 20	CALL HL ,FREQ1	กำหนดค่า HL
2061	0E 00	LD C,0	เคลียร์ความถี่
2063	DD 21 08 20	LD IX,FREQ	กำหนดแอดเดรสที่จะกลับ
2067	DD E3	EX (SP),IX	กลับไปโปรแกรมหลักที่
2069	ED AD	RETT	แอดเดรส 2008

D Hold Subroutine

206B	11 00 08	DHOLD LD DE,800	
206E	0E 01	LD C,1	
2070	21 E7 3F	LD HL,DISPY	
2073	CD 2E 17	DHOLD1CALL SCANS	แสดงผล 1 ครั้ง 8 หลัก
2076	1C	INC E	
2077	15	DEC D	
2078	20 F9	JR NZ,DHOLD1	
207A	21 FD 3F	LD HL,SYSFAG	
207D	DB 02	IN A,(DIGIT)	ตรวจสอบปุ่ม INC ถูกกด
207F	CB 6F	BIT 5,A	ใช่หรือไม่
2081	28 0F	JR Z DHOLD2	
2083	0D	DEC C	ปุ่มที่กดปล่อยหรือยัง

2084	20 0C	JR NZ,DHOLD2	
2086	CB 86	RES 0,(HL)	
2088	21 ED 3F	LD HL,DISPY 6	ตรวจสอบการกดปุ่ม
208B	CB 7E	BIT 7,(HL)	INC หรือไม่
208D	20 DC	JR NZ,DHOLD	
208F	10 DA	DJNZ DHOLD	
2091	C9	RET	
2092	CB 46	DHOLD2 BIT 0,(HL)	
2094	20 D5	JR NZ,DHOLD	
2096	CB C6	SET 0,(HL)	
2098	0C	INC C	
2099	21 ED 3F	LD HL ,DISPY + 6	
209C	CB 7E	BIT 7,(HL)	
209E	28 05	JR Z,DHOLD 3	
20A0	3E 55	LD A,55H	
20A2	77	LD (HL) ,A	
20A3	18 C6	JR DHOLD	
20A5	3E FF	DHOLD3 LD A,FFH	
20A7	77	LD HL ,A	
20A8	00	NOP	
20A9	2B 02	IN A,(DIGIT)	
20AB	CB 6F	BIT 5,A	
20AD	CA 00 25	JP Z	Program Divider
20B0	18 B9	JR DHOLD	

โปรแกรมการหาร

2200	XX XX XX	เก็บค่าข้อมูลตัวหาร(ไม่ต้องใส่ตัวเลขเข้าไปก็ได้) ถ้าใส่จะเป็นการเซ็ทค่าเริ่มต้นสำหรับตัวหาร
2300	21 00 22	LDHL ,DATA กำหนดตำแหน่งข้อมูล
2303	11EC 3F	LD DE,DISPY BUFกำหนดตำแหน่งที่จะนำรหัส
2306	0E 03	LD C,3 ไปเก็บจำนวน 3 ไบท์
2308	00	NOP .
2309	DD 21 00 24	LD IX,TABLE กำหนดตำแหน่งตารางเก็บ
230D	7E	LD A,HL เอาข้อมูลออกมา
230E	F5	PUSH AF ทำการแยก 1ไบท์ ออกเป็น
230F	E6 0F	AND A,0F 2 ส่วน แปรครึ่งละครึ่งไบท์
2311	47	LD B,A เพิ่มค่า B เพื่อให้เทียบกับตา
2312	04	INC B รางได้พอดีและเอาค่า B นั้น
2313	DD 23	INC IX มาเป็นจำนวนลูปหมุน IXจน
2315	10 FC	DJNZ,SEGM ตรงกับค่าที่เราต้องการ
2317	DD 73 00	LD A,IX ค่ารหัส SEGMENT ที่แปล
231A	12	LD (DE),A เสร็จแล้วเก็บที่ DISPY BUF
231B	F1	POP AF รหัสตัวหน้า(ตัวที่ 2)ออกมา
231C	06 04	LD B,04
231E	0F	RRCA หมุนมาอยู่ที่ไบท์หลัง
231F	10 FD	DJNZ SEGM1
2321	E6 0F	AND A,0F ตัดเหลือครึ่งไบท์หลังจริง ๆ
2323	47	LD B,A
2324	DD 21 00 24	LD IX,TABLE
2328	1B	DEC DE เทียบตารางแปลตัวที่ 2
2329	04	INC B

232A	DD 23	CALL IX	
232C	10 FC	DJNZ SEGM2	
232E	DD 7E 00	LD A,(IX)	เก็บผลลัพธ์ที่แปลเสร็จแล้ว
2331	12	LD (DE),A	ไว้ที่ DISP BUF
2332	23	INC HL	อ่านไบท์ที่ 2
2333	1B	DEC DE	เลื่อนตำแหน่งที่เก็บใน DISP
2334	0D	DEC C	BUF ลดจำนวนลูป กลับไป
2335	20 D2	JR NZ	ทำไบท์ที่ 2 และ 3
2337	C9	RET	ทำงานครบ 3 ไบท์กลับโปรแกรมหลัก

2400 00,3F,06,5B,4F,66,6D,7D,07,7F,6F ตารางสำหรับเปลี่ยนเลขฐาน 10 เป็น SEGMENT

โปรแกรมหลักสำหรับการหาร

2500	CD 00 23	CALL Dto7 SEGM	
2503	CD 61 25	CALL EXPAN	ขยายบรรทัดให้บรรจุโปรแกรมได้โดย CALL ไปเขียน
2506	00	NOP	บริเวณที่ว่างอยู่(ไม่ต้องหา
2507	00	NOP	ค่า JR RELATIVE ให้ทั้ง
2508	00	NOP	โปรแกรม, ใหม่อีก)
2509	00	NOP	
250A	79	LD A,C	ตรวจสอบว่าเป็น KEY DEC
250B	FE 11	CP A,11	หรือไม่ ถ้าใช่จะทำการลด
250D	28 21	JR Z,SBC	ตัวหาร

250F	79	LD A,C	กด KEY INC ใช่หรือไม่
2510	FE 13	CP A,13	ถ้าใช่จะไปเพิ่มตัวหารขึ้น
2512	28 09	JR Z,ADC	
2514	79	LD A,C	
2515	FE 07	CP A,07	กด KEY 7หรือเปล่าหากใช่
2517	20 EA	JR NZ	จะไปแสดงเวลาที่เอาที่พุด
2519	C3 00 20	JP	ของวงจรเฟลลือกูป
251C	00	NOP	
251D	21 0022LD	HL,DATA	
2520	06 03	LD B,03	
2522	CD 56 25	CALL EXPAN1	ขยายพื้นที่โปรแกรม
2525	8E	ADC A,(HL)	
2526	27	DAA	
2527	77	LD (HL),A	ทำการเพิ่มค่าตัวหารขึ้น
2528	3E 00	LD A,0	
252A	23	INC HL	
252B	10 F8	DJNZ ADC1	
252D	C3 41 25	JP I/O PORT	ทำเสร็จแล้วจะส่งข้อมูลให้
			เอาที่พุดพอร์ท
2530	21 0022	LD HL ,DATA	
2533	06 03	LD B,03	
2535	CD 5B 25	CALL EXPAN 2	ขยายพื้นที่โปรแกรม
2538	7E	LD A,(HL)	
2539	9A	SBC A,D	
253A	27	DAA	ทำการลดค่าตัวหารลง
253B	77	LD (HL) ,A	เสร็จแล้วจะผ่านไป
253C	16 00	LD D,0	OUTPORT ต่อไป
253E	23	INC HL	

253F	10 F7	DJNZ SBC1	
2541	21 0022	LD HL ,DATA	กำหนดตำแหน่งของข้อมูลที่จะนำไปออก PORT
2544	3E 80	LD A,80	กำหนด PORT 8255 เป็น
2546	D3 83	OUT (82),A	PORT OUTPUT ทุก PORT ทั้ง A,B และ C
2548	7E	LD A,(HL)	ข้อมูลตัวแรกออกที่ PORT A
2549	D3 83	OUT (80),A	
254B	23	INC HL	ข้อมูลตัวที่ 2 ออกที่ PORT B
254C	7E	LD A,(HL)	
254D	D3 81	OUT(81),A	
254F	23	INC HL	
2550	7E	LD A,(HL)	ข้อมูลตัวที่ 3 ออกที่ PORT C
2551	D3 80	OUT(80),A	
2553	C3 00 25	JP MAIN	กลับไปเริ่มต้นใหม่อีกครั้ง
2556	AF	XOR A	กำหนดตำแหน่งของข้อมูลที่จะ
2557	3A 00 26	LD A,(nn)	บอกจำนวนขึ้นในการเพิ่มค่า
255A	C9	RET	ในการหาร เช่นครึ่งละ 10
255B	AF	XOR A	กำหนดตำแหน่งจำนวนขึ้น
255C	3A 00 26	LD A,(nn)	ในการลดค่าของตัวหาร
255F	57	LD D,A	เช่น ลดลงครึ่งละ 20
2560	C9	RET	หรือครึ่งละ 10
2561	3E 02	LD A,02	ทำการ SCAN KEY อ่าน
2563	D7	RST 10	รหัสออกมา โดยใช้โปร
2564	FE 15	CP A,15	แกรมย่อย 02 (SCANS)
2566	30 F9	JR NC SCAN	

2568	4F	LD C,A	
2569	FE 05	CP A,05	ทำการตรวจสอบว่ากด KEY
256B	20 05	JR NZ SCAN	5 หรือไม่ หากใช่จะลด
256D	3E 10	LD A,10	หรือเพิ่มค่าตัวหารครั้งละ 10
256F	32 00 26	LD (nn),A	เก็บค่าลำดับขั้นการเพิ่มค่า ตัวหารไว้ที่ 2600 (ในที่นี้ จะเก็บค่า 10 เอาไว้)
2572	79LD A,C		ตรวจสอบว่ากด KEY 6
2573	FE	06CP A,06	หรือไม่ หากใช่จะเพิ่มค่าตัว
2575	20 05	JR NZ ,SCAN	หารครั้งละ 1
2577	3E 01	LD A,01	
2579	32 00 26	LD (nn),A	เก็บค่าลำดับขั้นการเพิ่มไว้ที่ 2600 กรณีนี้จะเก็บค่า 01
257C	C9	RET	กลับไปที่เดิม

2600 XX XX XX เก็บค่าที่ทำให้สามารถเพิ่มจำนวนการหารชั้นและ
10 หรือ 1 ก็ได้ (ไม่ต้องใส่ค่าเข้าไปที่ XX หากต้องการกำหนดจำนวนชั้นในการเพิ่ม
ใหม่ให้ไปแก้ที่แอดเดรส 256D และ 2577 เช่น หากต้องการให้ KEY 5 ทำการเพิ่ม
ครั้งละ 30 ให้แอดเดรส 256D มีค่าใหม่เป็น 3E 30 และหากต้องการให้ KEY 6 มี
การเพิ่มครั้งละ 2 ให้แอดเดรส 2560 มีค่าเป็น 3E 02 เป็นต้น)

การใช้งาน

เริ่มจากเมื่อป้อนไฟเข้าเครื่องเรียบร้อยแล้ว

1 ET Board ควรตั้ง RST 38 ไปที่ 201E (V 2.0 ตั้งที่ 101E)

2 ให้ RUN โปรแกรมที่ 2500

3 การตั้งค่าของตัวหารให้กด INC

4 ต้องการเพิ่มค่าของตัวหารให้กด INC

5 ต้องการลดค่าของตัวหารให้กด DEC

6 หากต้องการเพิ่มหรือลดค่าของตัวหารเร็วขึ้นให้กด INC หรือ DEC คู่กับ

STEP KEY

7 หากต้องการจะตั้ง STEP ในการเพิ่มหรือลดให้เท่ากับ 10 ต่อการกด 1 ครั้งให้กด KEY 5 เพียง 1 ครั้งแล้วกด INC หรือ DEC KEY เหมือนการใช้ปกติ

8 ในทำนองเดียวกันกับข้อที่ 7 หากต้องการเพิ่มค่าครั้งละ 1 ให้กด KEY 6

9 หากต้องการดูค่าความถี่เอาท์พุทของเฟสล็อกกลุ๊ป สามารถทำได้โดยการกด KEY 7

10 ในกรณีที่กำลังอ่านค่าของความถี่หากต้องการเปลี่ยนไปทำการหารให้กด KEY INC 1 ครั้ง

สรุปการใช้งาน KEY ต่าง ๆ

1 KEY INC

1.1 เพิ่มจำนวนตัวหาร

1.2 เปลี่ยนจากโปรแกรมการนับ (Counter) เป็นโปรแกรม

การหาร (Divider)

2 KEY DEC ลดจำนวนการหาร

3 KEY STEP ใช้คู่กับ INC หรือ DEC เพื่อเพิ่มค่าความเร็ว

4 KEY 5 ให้ STEP ของการหารเป็นครั้งละ 10 ต่อการกด 1 ครั้ง

5 KEY 6 ให้ STEP ของการหารเป็นครั้งละ 1 ต่อการกด 1 ครั้ง

6 KEY 7 เปลี่ยนจากโปรแกรมการหารเข้าสู่โปรแกรมการนับ

การนำไปใช้งานร่วมกับเครื่อง ET Board V 2.0

โปรแกรมที่เขียนขึ้นมานี้เป็นโปรแกรมสำหรับ Z80 ET Single Board Microcomputer V 3.0 ของ ITT ซึ่งสามารถนำไปใช้กับ ET V 2.0 ได้โดยการเปลี่ยนแปลงในบางส่วนที่แตกต่างกันอยู่ ดังนี้

การเปลี่ยนแอดเดรส

ค่าแอดเดรสของเวอร์ชัน 3.0 จะมีค่ามากกว่าเวอร์ชัน 2.0 อยู่ 1000 ดังนั้นการกำหนดแอดเดรสของเวอร์ชัน 2.0 ให้นำค่า 1000 ไปลบออกจากค่าแอดเดรสของเวอร์ชัน 3.0 จะได้ค่าเป็นแอดเดรสจริง

การเปลี่ยนรายละเอียดภายใน

สำหรับการเปลี่ยนรายละเอียดภายในที่จะต้องทำการแก้ไขเนื่องมาจากความแตกต่างของค่าแอดเดรสในการอ้างอิงถึงค่าที่แตกต่างกัน

ตัวอย่างที่ 1 โปรแกรมย่อยในมอนิเตอร์โปรแกรม

ชื่อโปรแกรม	V2.0	V3.0
H to D Subroutine	ODEF	18F1
UNPK Subroutine	OC82	1776
SCANS Subroutine	OC3A	172E

ตัวอย่างที่ 2 ตำแหน่งเก็บข้อมูลชั่วคราวใน RAM AREA

	V2.0	V3.0
DISP BUFFER	1FFC	3FEC
HEX BUFFER	1FF2	3FF2
DECI BUFFER	1FF4	3FF4
DISPY BUFFER	1FF7	3FF7
SYSTEM FAG	1FFD	3FFD

เพื่อให้ง่ายและสะดวก จึงสรุปโปรแกรมส่วนต่าง ๆ ที่จะต้องทำการแก้ไขในการนำไปใช้กับเวอร์ชัน 2.0 ดังต่อไปนี้

1 ส่วนของโปรแกรมนับความถี่ที่ต้องทำการแก้ไข

แอดเดรส ส่วนที่ทำการแก้ไข

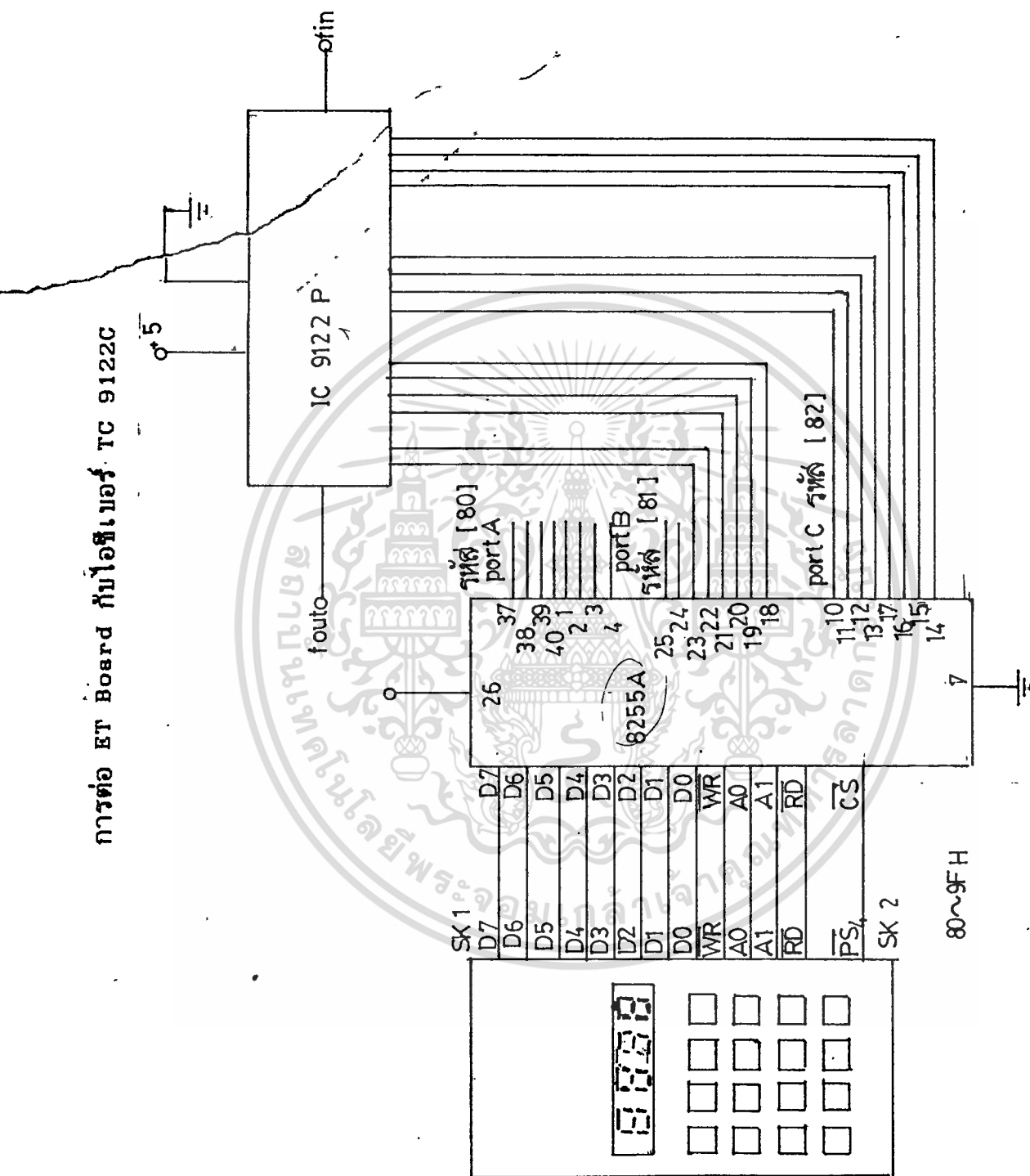
1002	21 0F 10
100E	ED 43 F2 1F
1027	21 F4 1F
1033	11 E7 1F
1036	CD 82 0C
103A	CD 82 0C
203E	CD 82 0C
2041	21 E7 1F
2050	21 ED 1F
105B	CD 6B 10
105E	21 0F 10

1063	DD 21 08 10
1070	21 E7 1F
1073	CD 3A 0C
107A	21 FD 1F
1088	21 ED 1F
1099	21 ED 1F
10AD	CA 00 15

2 ส่วนโปรแกรมการหารที่ต้องทำการแก้ไข

แอดเดรส	ส่วนที่ทำการแก้ไข
1300	21 00 12
1303	11 EC 1F
1309	DD 21 00 14
1324	DD 21 00 14
1500	CD 00 13
1503	CD 61 15
1519	C3 00 10
1522	21 00 12
152D	CD 5B 15
1530	21 00 12
1535	CD 5B 15
1541	21 00 12
1553	C3 00 15
1557	3A 00 16
155C	3A 00 16
156F	32 00 16
1579	32 00 16

การต่อ ET Board กับไอซีเบอร์ TC 9122C



รูปแสดงการนำไอซีเบอร์ TC 9122C มาต่อกับ ET Board

เนื่องจากใช้แรงดัน 5 โวลต์ เท่ากันทำให้สามารถต่อถึงกันโดยตรงซึ่ง ทำให้เพิ่มความสะดวกในการใช้งานเป็นอย่างมาก ดังนั้นเราสามารถควบคุมการหาร ได้ตั้งแต่ 8 - 3999 เท่า

ตัวอย่างโปรแกรม

2000	3E 80	นำค่า 80 ไปให้ส่วนควบคุมพอร์ทเพื่อให้รู้
2002	D3 83	ว่าเป็นการกำหนดให้เอาต์พุตของ 8255
		เป็นเอาต์พุตทั้งหมด (A,B และ C)
2004	3E 99	พอร์ท C หรือชื่อพอร์ท 82 ให้เอาต์พุต
2006	D3 82	เป็น 99 ซึ่งจะทำให้ตัวหารมีอัตราการ
		หารเป็น 99 เท่า ได้ $F_o = F_{in}/99 H_z$
2008	76	HALT

การเขียนโปรแกรมที่จะควบคุมการหารของ TC 9122C นั้นต้องเป็น เลขรหัส BCD ที่แต่ละหลักมีค่าสูงสุดคือ 9 เท่านั้น นั่นคือเราต้องเขียนโปรแกรมให้เอาต์ พูทเป็นเลขฐานสิบ

หมายเหตุ Ps4 ของ ET V2.0 จะอยู่ที่ Socket SK2 แต่ Ps4 ของ V3.0 จะไม่นำมาออกที่ SK2 จึงต้องเปิดคู่มือวงจรของ V3.0 ทำให้ทราบว่า จะต้องต่อเข้ากับวงจรถอดรหัส (Decoder) 74LS138 โดยตรง หรืออีกกรณีหนึ่งคือทำการ เปลี่ยนจากพอร์ท 80-9F ไปเป็นพอร์ท 40-4F ที่ต่อออกมาให้ที่ Socket SK2 แล้ว เปลี่ยนโปรแกรม I/O Port เล็กน้อย

กำหนดค่าเริ่มต้น
ส่งให้ PROGRAM

กำหนดเวลาจับ
ถว้เริ่มหรือห
ลดค่าการห
เท่ากับ 10/ครั้ง

YES

KEY 5
?

NO

YES

KEY 6
?

NO

YES

KEY DEC
?

NO

YES

KEY INC
?

NO

กำหนดค่า
ลำดับขั้นการห
เท่ากับ 1/ครั้ง

ลดค่าตัวหารลง

เพิ่มค่าตัวหารขึ้น
ไป

เปลี่ยน
7segment

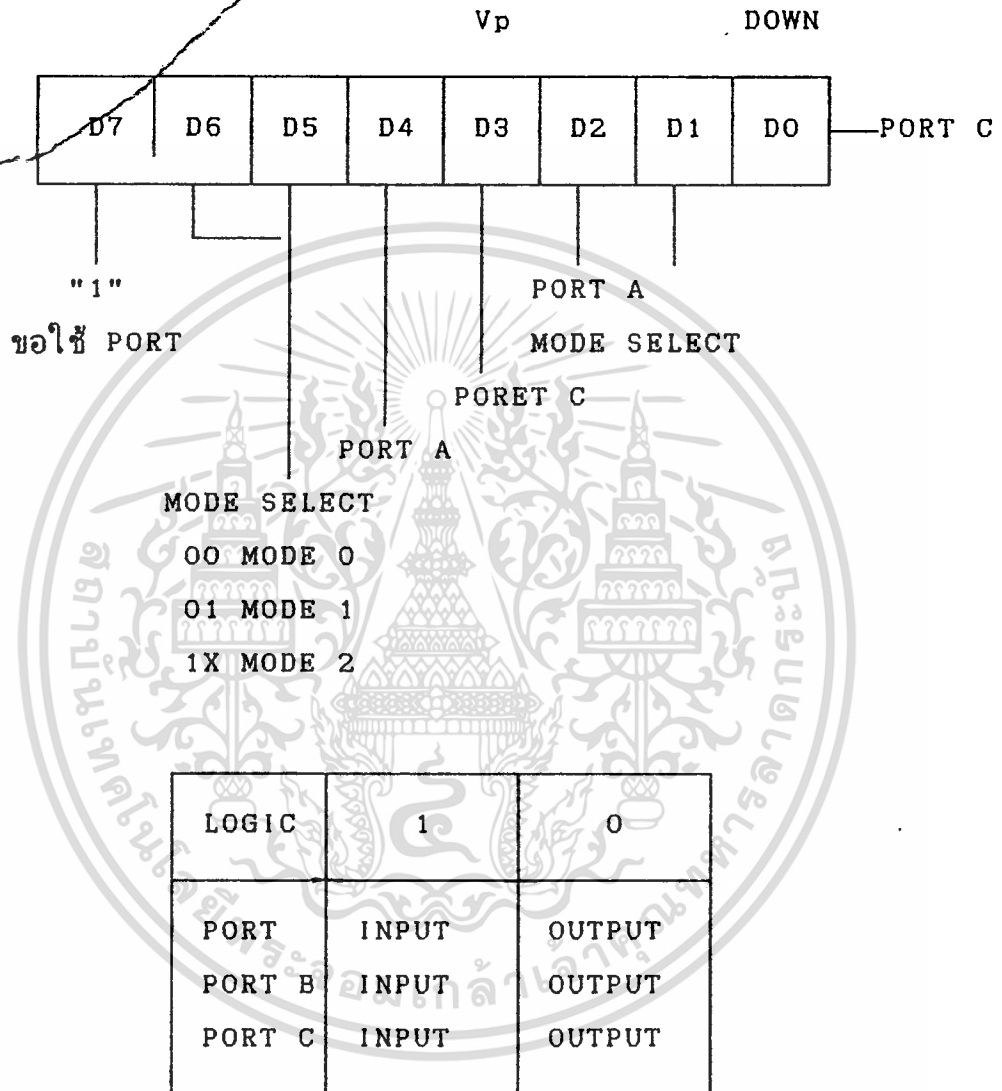
แสดงตัวหารทางจอ

OUTPUT ตัวหาร
ออกไปที่ PORT

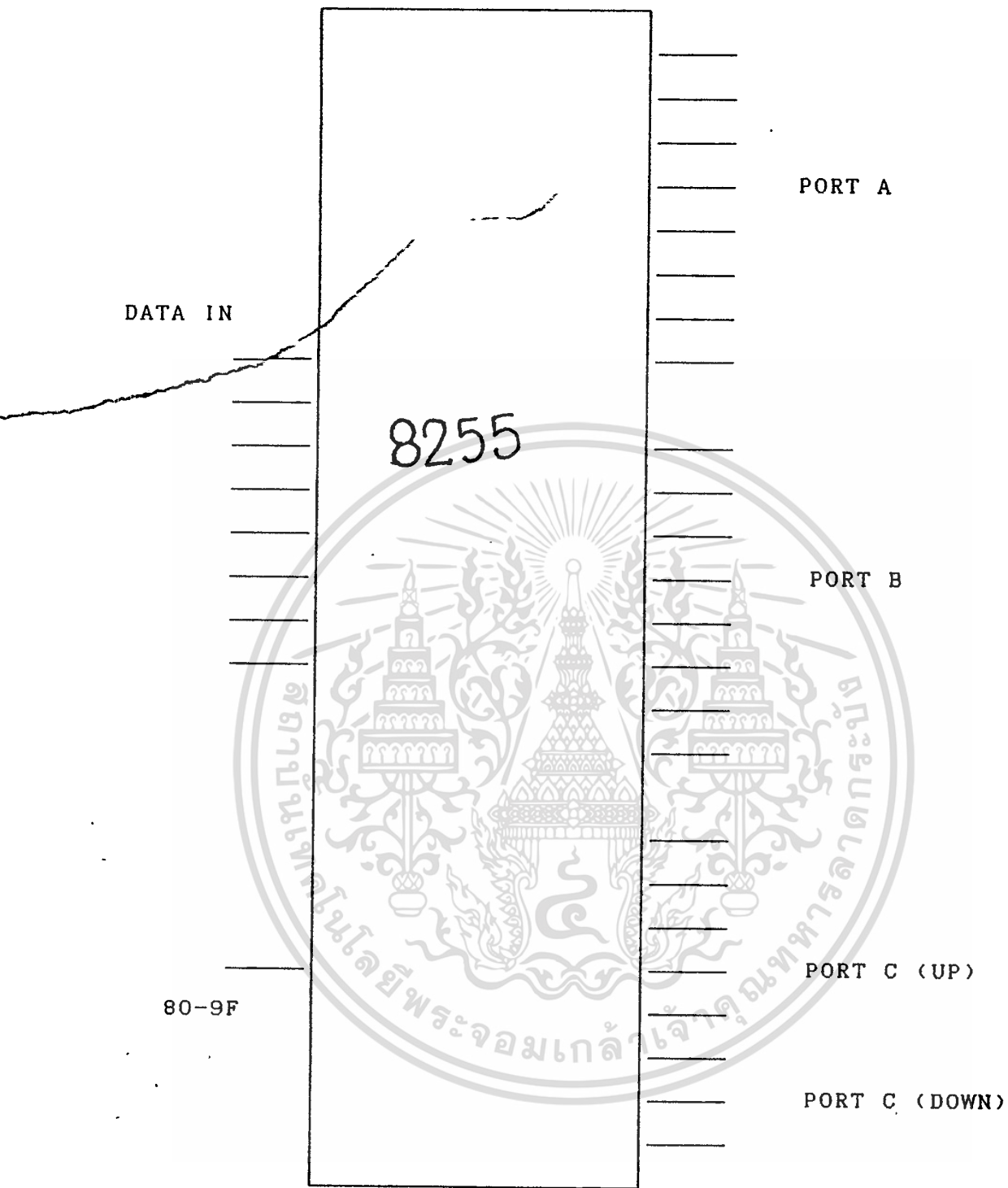
scankeyboard ใช้
scans
02
monitor pro-
gram

การควบคุมพอร์ต (Port Control)

การที่จะนำเอา ET Board ต่อกับ 8255 นั้นจะต้องมีการส่งรหัสไปควบคุมพอร์ตให้รับรู่ว่าจะให้ขา I/O Port เป็นขาอินพุตหรือเอาต์พุตที่กลุ่มใดบ้าง ก่อนที่จะส่งข้อมูลออกไปหรือรับข้อมูลเข้ามาที่พอร์ตดังแสดงให้เห็นในรูปด้านล่าง



รูป แสดงรหัส 8 บิตที่ประกอบด้วยคำสั่งในรูปแบบ Micro-ผสมกันเป็นรหัสควบคุมพอร์ต



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สำหรับการเขียนโปรแกรมควบคุมพอร์ตนั้น เราจะโหลด A เป็นรหัสควบคุมพอร์ต แล้วนำ A ไปออกที่พอร์ต 83 ดังตัวอย่างที่ได้กล่าวมาแล้วนั้น ซึ่งรหัสควบคุมพอร์ตมีค่าเท่ากับ 80 คือการให้พอร์ตทุกพอร์ตเป็นเอาต์พุตทั้งหมด เมื่อเป็นกรณีอื่นที่มีการถอดรหัสออกมาเป็นตัวอื่น เช่น 40-4F ควบคุมพอร์ตจะไปออกที่พอร์ต 43

เช่น

3E 80

D3 43

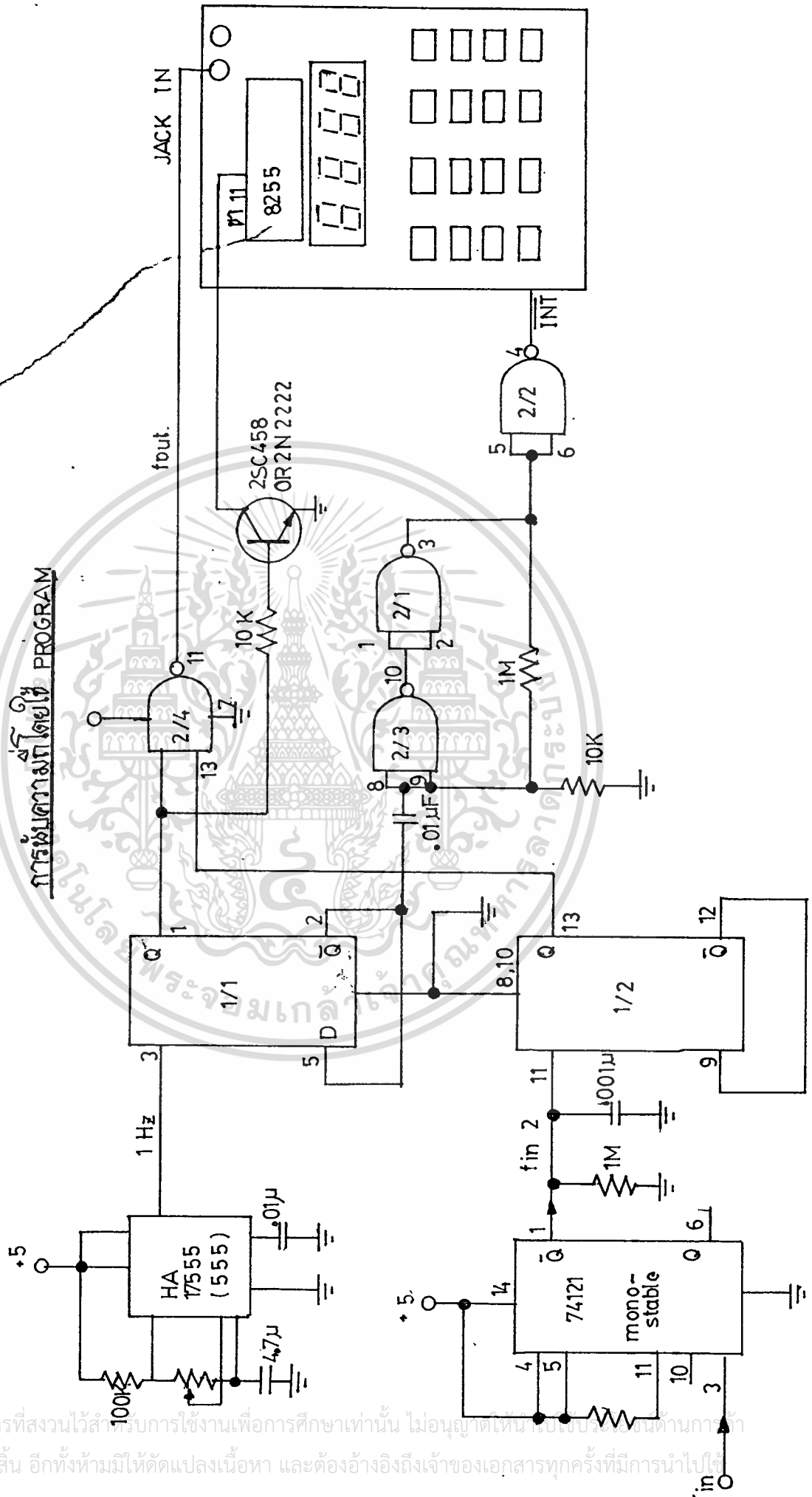
3E FF

D3 40

เป็นต้น



การันตีมงคลโดยโปรแกรม



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้ทำซ้ำโดยไม่ได้รับอนุญาต

ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

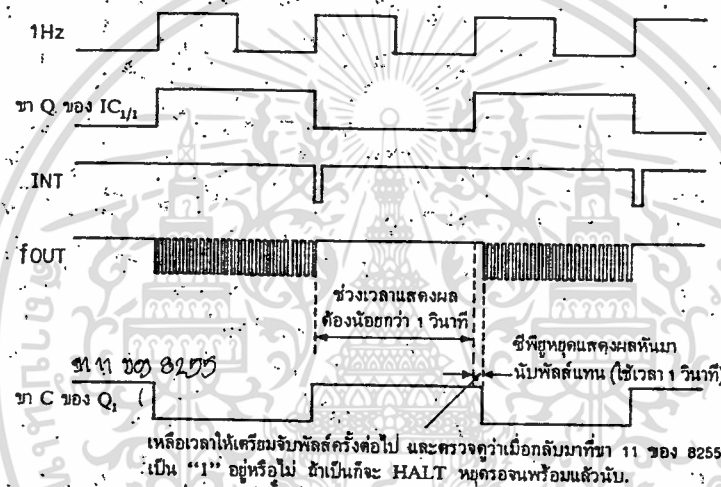
หลักการทั่วไป

สร้างชุดอินเตอร์เฟสทางอินพุตให้กับพอร์ทอินพุตของ ET Board โดยชุดอินเตอร์เฟสจะเป็นตัวรับสัญญาณอินพุตและให้สัญญาณเอาต์พุตที่จำเป็นแก่ ET Board ในช่วงที่กำหนดให้ทำการนับ ชุดอินเตอร์เฟสจะส่งสัญญาณอินพุตที่เป็นพัลส์นับออกมาและในช่วงที่กำหนดให้แสดงผล ชุดอินเตอร์เฟสก็จะส่งสัญญาณอินเตอร์รัทท์ให้กับ ET Board เพื่อนำไปทำการโปรแกรมบริการอินเตอร์รัทท์สำหรับส่วนแสดงผลที่นับได้ทางชุดแสดงผล

ฮาร์ดแวร์

วงจรชุดอินเตอร์เฟสที่เป็นไอซีชนิด D-Flip Flop เป็นการต่อที่ทำให้เกิดการหารสอง โดยใช้ตัวหนึ่งเป็นตัวหารความถี่ฐานเวลาขนาด 1 MHz ให้ได้ความถี่ขนาด 2 Hz แบบสมมาตรและใช้ D- ฟลิปฟลอป อีกตัวหนึ่งหารความถี่ที่มาจากไอซีเบอร์ 74121 ซึ่งเป็นโมโนสเตเบิลมิวไว้เพื่อย้ายรูปคลื่นที่มีค่าดีวติไซเกิลค่าน้อย ๆ ให้มีค่ามากขึ้นเพื่อให้ D ฟลิปฟลอปทำงานได้ทัน สำหรับเหตุผลที่จำเป็นจะต้องมีไอซีเบอร์ 74121 นี้เป็นอย่างมากเนื่องมาจากเราต้องต่อสัญญาณมาจาก TC 9122C ซึ่งเป็นไอซีที่มีสัญญาณพัลส์แคบมากนั่นเอง สำหรับฟลิปฟลอปชนิดนี้มีประโยชน์ที่ทำให้ได้สัญญาณพัลส์ที่มีรูปร่างสวยงามทำให้ CPU สามารถจับสัญญาณพัลส์ได้ทุกลูกเพื่อป้องกันการข้ามไปนั่นเอง จากรูปที่ fin2 จะเห็นว่าถ้าหากนำจุดนี้ไปวัดความถี่และเพื่อให้สามารถวัดได้อย่างไม่ผิดพลาดควรให้สัญญาณพัลส์ที่อินพุตมีคาบเวลาอย่างน้อยที่สุดไม่เกิน 35 T ต่อลอจิก 0 หรือ 1 โดยที่แต่ละ T เท่ากับคาบเวลาของความถี่ที่คริสตอลในเครื่องของ ET Board เมื่อคำนวณออกมาแล้วจะได้ความถี่สูงสุดของพัลส์ที่จะได้เป็น 51136 Hz แต่เนื่องจากที่อินพุตของชุดอินเตอร์เฟสมีฟลิปฟลอปหารสองอยู่ ดังนั้นจึงได้ความถี่ที่สามารถวัดได้เพิ่มเป็นประมาณ 100 KHz ที่ fin2 ส่วน $IC_{2,1}, IC_{2,2}, IC_{2,3}$ ทำหน้าที่เป็นโมโนสเตเบิลให้พัลส์แคบ ๆ 1 ลูกเมื่อพัลส์จากความถี่ฐานเวลา (Time Base) ที่ถูกหารแล้วเปลี่ยนสถานะจาก 1 เป็น 0 เพื่อสร้างสัญญาณ INT ให้ ET Board แสดงผลจำนวนพัลส์ที่นับได้ใน 1 วินาทีที่ผ่านมา $IC_{2,4}$ ใช้กำหนดช่วงเวลาเปิดปิดเวลาให้ความถี่ที่จะนับแก่อินพุตของ ET Board โดยที่ขา 11 ของ $IC_{2,4}$ นี้จะมีพัลส์ที่จะนับเข้ามาเฉพาะช่วงที่พัลส์ฐานเวลา(ที่ถูกหารแล้ว) มีค่าเป็น 1 เท่านั้น

สำหรับขา 1 ของ IC_{1/1} ยังต่อไปขั้วทรานซิสเตอร์อีก 1 ตัว เพื่อไป ขั้วขา 11 ของไอซี 8255 บนอีทีบอร์ด ขา 11 นี้เป็นขาอินพุตพอร์ทโดยขานี้จะถูกตรวจด้วยซอฟต์แวร์ว่ามีสถานะอะไร ถ้าเป็น 1 ก็จะทำให้เริ่มนับได้ ถ้าเป็น 0 แสดงว่าขณะนี้อยู่ใน ช่วงที่ไม่ใช่จุดเริ่มต้นของพัลส์ลูกแรกที่จะนับก็จะให้รอจนเป็น 1 แล้วเริ่มนับได้สำหรับ รูปคลื่นของส่วนต่าง ๆ แสดงให้เห็นดังรูปข้างล่างนี้



รูปที่ 2 แสดงจังหวะของพัลส์ต่างๆ ที่เกี่ยวข้อง

ซอฟต์แวร์

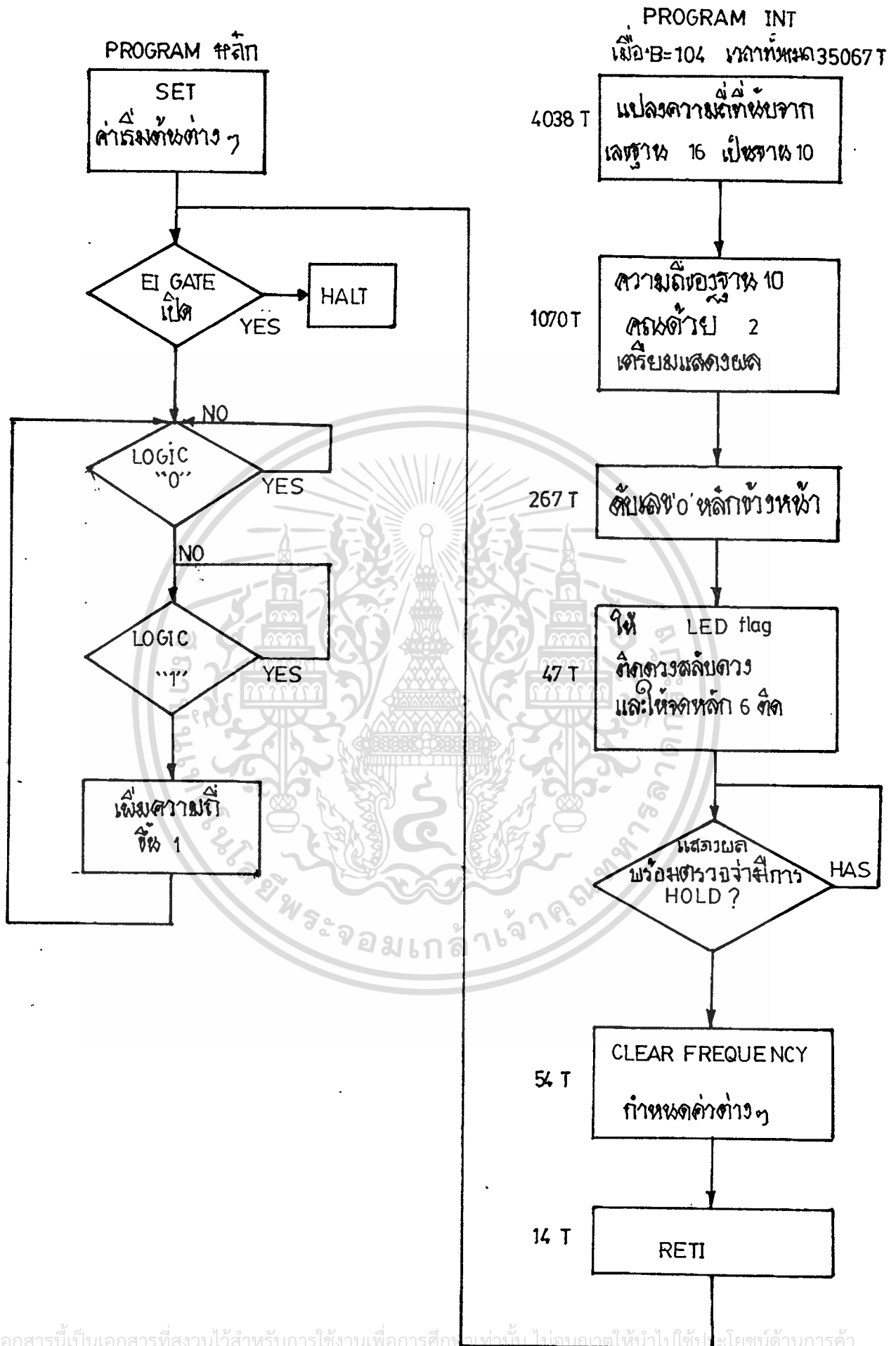
จากโฟลชาร์ทในรูปแสดงการทำงานของโปรแกรมหลักและโปรแกรมบริการอินเตอร์รัพท์ โปรแกรมหลักเริ่มจากการเซตค่าเริ่มต้นต่าง ๆ แล้วอินิเียลให้อินเตอร์รัพท์ได้ จากนั้นตรวจสอบว่ามีสัญญาณอินพุตมาหรือยัง ถ้ายังจะได้หยุดรอต่อเมื่อมีสัญญาณมาแล้วจึงนับ (อันที่จริงจะไปทำการโปรแกรมบริการอินเตอร์รัพท์ก่อนแล้วจึงกลับมานับ) โดยใช้ระยะเวลาการเปลี่ยนแปลงจากลอจิก "0" ไปเป็นลอจิก "1" ของทางอินพุตเมื่อได้ครบตามเงื่อนไข ก็แสดงว่าที่อินพุตได้รับพัลส์มาครบ 1 ลูกแล้ว ต่อ

ไปก็เพิ่มจำนวนของลูกคลื่นเข้าไปในหน่วยความจำ จนกระทั่งเวลาที่กำหนดเอาไว้ให้เป็นช่วงที่ใช้ับสิ้นสุดลง (กำหนดไว้ให้นาน 1 วินาที) สัญญาณอินเตอร์รัพท์ ก็จะถูกส่งไปให้กับขา INT ของชิพยู(CPU) เพื่อให้ชิพยูไปทำโปรแกรมบริการอินเตอร์รัพท์ โปรแกรมนี้ใช้ในการนำค่าที่นับได้มาแสดงผลบนจอ

สำหรับส่วนสุดท้ายเป็นส่วนโฮลด์ (Hold) หรือหยุดการแสดงผลบนจอเอาไว้ โดยที่ไม่สนใจสัญญาณอินพุทเลย(ชิพยูถูกสั่งให้ทำงานแสดงผลอย่างเดียว) เครื่องจะโฮลด์ก็ต่อเมื่อกดปุ่ม INC บนอีทีบอร์ด เมื่อกดปุ่มนี้อีกครั้งเครื่องจะกลับไปนับและแสดงผลอย่างเดิม ซึ่งจากการทดลอง เมื่อทำการรวมโปรแกรมตั้งการหารและโปรแกรมนับความถี่ โปรแกรมนี้จะไม่ค่อยได้ใช้ประโยชน์จากการโฮลด์นี้นัก จึงแก้โปรแกรมโฮลด์ให้ไม่มีการทำงานแล้วนำส่วนเพิ่มเติมเข้าไป ทำให้มีการกระโดดข้ามโปรแกรมระหว่างโปรแกรมตั้งการหารกับโปรแกรมความถี่นี้ ซึ่งดูจะมีประโยชน์มากกว่าการใช้การโฮลด์ให้ตัวแสดงความถี่บนจอค้างอยู่เฉย ๆ

สำหรับวงจรอินเตอร์เฟสจะสามารถวัดความถี่ค่าสูงสุด 100 K_{Hz} ดังนั้นในการนำมาใช้วัดความถี่สูงสามารถวัดได้สูงขึ้นด้วยการใช้วงจรหารทำการหารความถี่ออกมาให้ป้อนเข้าวงจรนี้ให้ได้อย่างมากที่สุดไม่ควรให้เกิน 100 K_{Hz} ซึ่งนั่นคือเหตุผลที่ใช้ PB 551C และ TC 9122C มาต่อเข้าไป โดยสามารถวัดความถี่ได้สูงสุด 225 M_{Hz} ตามค่าความถี่สูงสุดที่พริสเกลเลอร์สามารถทำงานได้ โดยต้องมีการควบคุมการหารให้ TC 9122C ให้เหมาะสมไม่ให้ความถี่ออกมามีค่ามากกว่า 100 K_{Hz} และไม่ควรจะมีค่าต่ำจนเกินไป





การพันขดลวดให้ได้ค่า L ตามต้องการ

ลวดตัวนำที่พันขดขึ้นเป็นคอยล์ (Coil) มักจะใช้ในวงจรที่มีความถี่โวลต์ทำหน้าที่เป็นตัวทำให้เกิด ค่า L ในวงจร แกนของ L มีทั้งที่ทำจากสารแม่เหล็ก เช่น แกนเหล็ก แกนเฟอร์ไรต์หรืออาจจะใช้แกนที่พันจนวนไม่มีคุณสมบัติของสารแม่เหล็ก เช่น พลาสติก หรือ เบเคไลต์ (bakelite) สำหรับเป็นโครงยึดขดลวดในกรณีที่ทำด้วยเส้นลวดเล็ก หรือทำเป็น ลวดเส้นโตๆ ที่พันตัวเปล่า ไม่ต้องมีแกนซึ่งเรียกว่า อินดักเตอร์แกนอากาศ (air core inductance)

อินดักเตอร์มีค่าคงที่ อยู่ค่าหนึ่งซึ่งเราเรียกว่า อินดักแตนซ์ ซึ่งเกิดจากการยุบตัวและพองตัวของสนามแม่เหล็กใน อินดักเตอร์ที่อยู่ในวงจรไฟฟ้าสลับ ทำให้มีคุณสมบัติของวงจรไฟฟ้าที่พยายามจะต่อต้านการเปลี่ยนแปลงของกระแสที่ไหลในวงจร

ค่าของอินดักแตนซ์ขึ้นกับชนิดและขนาดของแกน รวมทั้งลักษณะการพันคอยล์และจำนวนขดลวดของคอยล์ คอยล์ที่ใช้แกนเป็นสารแม่เหล็กจะมีค่าอินดักแตนซ์มากกว่าคอยล์ที่ใช้แกนเป็นฉนวนหรือแกนอากาศมาก สำหรับคอยล์ที่มีจำนวนขดลวดมากจะทำให้มีค่าอินดักแตนซ์มากขึ้นตามไปด้วย

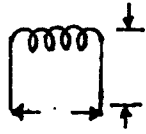
อินดักเตอร์ที่ใช้ในวงจรอิเล็กทรอนิกส์ มีค่าอินดักแตนซ์ในช่วงกว้างมาก เช่น ถ้าอยู่ในวงจรจ่ายไฟ ก็ใช้ค่าหลายเฮนรี่ ซึ่งจะต้องใช้ขดลวดพันบนแกนเหล็ก จึงจะได้ค่ามากๆ ถ้าอยู่ในวงจรที่ความถี่ไม่สูงนัก ค่าอินดักแตนซ์ที่ใช้ จะอยู่ในช่วง มิลลิเฮนรี่ (mH) ถ้าในวงจรความถี่ปานกลางและสูงขึ้นไปค่าอินดักแตนซ์จะอยู่ในช่วง ไมโครเฮนรี่ (H)

ในตัวนำย่อมมีค่าอินดักแตนซ์เสมอแม้ว่าตัวนำนั้นไม่อยู่ในรูปของคอยล์ก็ตาม ลวดตัวนำที่เป็นเส้นตรงสั้นๆ มีค่าอินดักแตนซ์น้อยมาก แต่ถ้าหากมีกระแสที่เปลี่ยนแปลงไหลผ่านตัวมันมากพอ ก็จะทำให้เกิดการเหนี่ยวนำขึ้นได้หรือลวดตัวนำที่ยาวเพียงไม่กี่นิ้ว เราอาจมองข้ามไปได้ ถ้าอยู่ในวงจรความถี่ต่ำๆ แต่ในกรณีที่สูงกว่า 100 MHz ขึ้นไป เส้นลวดอันนี้จะมีผลต่อความถี่ในวงจรได้ ค่าอินดักแตนซ์โดยประมาณของขดลวดที่พันขึ้นเดียวบนแกนอากาศ คำนวณได้จากสูตร

$$L = a^2 n^2$$

$$9a + 10b$$

จะได้จำนวนรอบ $n = \frac{L(9a + 10b)}{a^2}$



L : คือค่าอินดักแตนซ์ (H)

a : คือรัศมีของ คอยล์ (นิ้ว)

b : คือความยาวในการพันขดลวด (นิ้ว)

n : คือจำนวนรอบ

ตัวอย่าง ต้องการพันคอยล์ = 10 H โดยคอยล์มีเส้นผ่าศูนย์กลาง 1 นิ้ว และความยาวของ คอยล์ = 1.25 นิ้ว ดังนั้น $a = 0.5$ นิ้ว $b = 1.25$ นิ้ว และ $L = 10$ แทนค่าในสูตร

$$\begin{aligned} \text{จำนวนรอบ } n &= \frac{L(9a + 10b)}{a^2} \\ &= \frac{10 * (4.5 + 17.5)}{0.5^2} \\ &= 26.1 \text{ รอบ} \end{aligned}$$

ในทางปฏิบัติ เราพันแค่ 26 รอบ ซึ่งเป็นค่าใกล้เคียงกับค่าที่คำนวณได้ เนื่องจากความยาวของคอยล์ที่ต้องการ เท่ากับ 1.25 นิ้ว เราจึงหาค่าจำนวนรอบต่อนิ้ว ได้

$$\begin{aligned} \text{โดยจำนวนรอบต่อนิ้ว} &= \frac{26.1}{1.25} \\ &= 20.9 \text{ รอบ/นิ้ว} \end{aligned}$$

เรานำค่าจำนวนรอบต่อนิ้ว ไปเทียบดูในตารางที่ 1 เพื่อหาค่าเบอร์ลวด จะเห็นว่าค่าเบอร์ลวด AWG 17 และ SWG 18 ในตารางที่ 1 สามารถใช้ได้ เพราะพันได้ถึง 21.1 รอบต่อนิ้ว เป็นค่าที่ใกล้เคียงกับการคำนวณ

สูตรสำหรับหาค่าอินดัคแตนซ์และจำนวนรอบอีกแบบซึ่งเหมือนกับสูตรก่อน แต่อยู่ในรูปแบบที่ต่างกันเท่านั้น คือ

$$L(H) = \frac{d^2 n^2}{18d + 401}$$

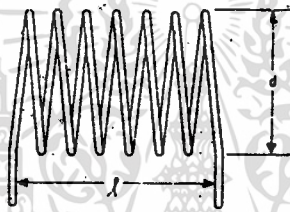
หาจำนวนรอบ $n = \frac{L(18d + 401)}{d^2}$

เมื่อ L ค่าอินดัคเตอร์ (H)

d เส้นผ่าศูนย์กลางของคอยล์ (นิ้ว)

l ความยาวของคอยล์

n จำนวนรอบ



รูปแสดงความหมายของ l และ d

โดยมากแล้วค่าที่หาได้จากสูตร อินดัคแตนซ์ จะไม่ค่อยตรงนัก ถ้านำไปใช้กับคอยล์อันเล็กๆ เช่นในย่าน VHF หรือ ใช้เป็นตัวกรองผ่านความถี่ต่ำ (LPF) เพื่อกันไม่ให้คลื่นอาร์โมนิคส์ออกไปรบกวนโทรศัพท์เพราะความหนาของขดลวดตัวนำไม่มากพอ

ในกราฟรูปที่ 1 และ 2 ใช้หาค่าตัวประกอบการคูณ โดยแกนนอนแสดงค่าความยาวของคอยล์ แกนตั้งแสดงค่าตัวคูณ

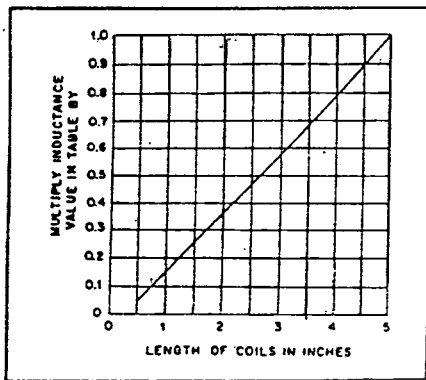
เราหาค่าตัวประกอบการคูณของคอยล์ ได้จากการลากเส้นตรงขึ้นไปจากจุดบนแกนนอน ตามค่าความยาวของคอยล์ที่เราต้องการหาค่าอินดัคแตนซ์ ณ จุดที่ตัดกับเส้น curve ในกราฟ ให้ลากเส้นตรงไปตัดกับแกนตั้ง เป็นจุดค่าตัวคูณที่ต้องการ เราจะเอาค่านี้ไปใช้ในการหาค่าอินดัคแตนซ์ของ คอยล์ ต่อไป

ส่วนตารางข้างล่างกราฟ แสดงค่าเส้นผ่านศูนย์กลาง จำนวนรอบต่อนิ้ว และ
ค่าอินตักแทนซ์ของคอยล์ที่มีความยาว 1 นิ้ว เราหาค่าอินตักแทนซ์ของคอยล์ที่ต้อง
การทราบค่าได้โดยเทียบค่าในตาราง ตรงช่องที่มีค่าเส้นผ่านศูนย์กลางคอยล์และจำ
นวนรอบต่อนิ้วตรงกับคอยล์ของเรา นำค่าอินตักแทนซ์ของคอยล์ที่มีความยาว 1 นิ้ว จาก
ช่องขวาสุด ในตารางมาคูณกับค่าตัวประกอบการคูณที่ได้จากชั้นก่อน ผลลัพธ์ที่ได้เป็นค่า
อินตักแทนซ์ของคอยล์ที่เราต้องการทราบค่า

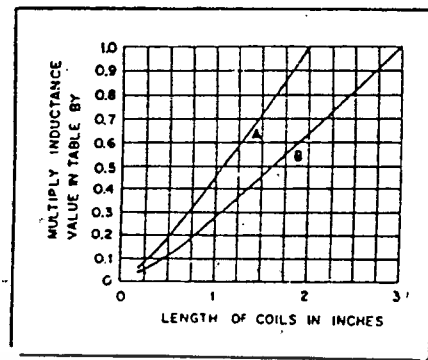


ตารางที่ 1 แสดงคุณสมบัติของลวดเกลือบนำขานเบอร์ต่าง ๆ

เบอร์ลวด AWG	เบอร์ลวด SWG ที่ใกล้เคียง	เส้นผ่าศูนย์กลาง (มม.)	จำนวนรอบ/นิ้ว	จำนวนรอบ ต่อ ค.ร. นิ้ว	ค่า Ω/1000 ฟุต ที่ 25 °C
1	1	7.348	-	-	0.1264
2	3	6.544	-	-	0.1593
3	4	5.827	-	-	0.2009
4	5	5.189	-	-	0.2533
5	7	4.621	-	-	0.3195
6	8	4.115	-	-	0.4028
7	9	3.665	-	-	0.5080
8	10	3.264	7.6	57	0.6405
9	11	2.906	8.6	72	0.8077
10	12	2.588	9.6	90	1.018
11	13	2.305	10.7	113	1.284
12	14	2.053	12.0	141	1.619
13	15	1.828	13.5	177	2.042
14	16	1.628	15.0	221	2.575
15	17	1.450	16.8	277	3.247
16	18	1.291	18.9	348	4.094
17	18	1.150	21.2	437	5.163
18	19	1.024	23.6	548	6.510
19	20	0.912	26.4	681	8.210
20	21	0.812	29.4	852	10.35
21	22	0.723	33.1	1065	13.05
22	23	0.644	37.0	1340	16.46
23	24	0.573	41.3	1665	20.76
24	25	0.511	46.3	2100	26.17
25	26	0.455	51.7	2630	33.00
26	27	0.405	58.0	3320	41.62
27	29	0.361	64.9	4145	52.48
28	30	0.321	72.7	5250	66.17
29	31	0.286	81.6	6510	83.44
30	33	0.255	90.5	8175	105.2
31	34	0.227	101	10,200	132.7
32	36	0.202	113	12,650	167.3
33	37	0.180	127	16,200	211.0
34	38	0.160	143	19,950	266.0
35	38-39	0.143	158	25,000	335
36	39-40	0.127	175	31,700	423
37	41	0.113	198	39,600	533
38	42	0.101	224	49,100	673
39	43	0.090	248	62,600	848
40	44	0.080	282	77,600	1070



รูป 2



รูป 3

เส้น A สำหรับคอยล์ที่มี (A)

เส้น B สำหรับคอยล์ที่มี (B)

φ คอยล์เป็นนิ้ว รอบต่อนิ้ว ค่า L ของคอยล์ยาว 1 นิ้ว

Coll Dia Inches	Turns Per Inch	Inductance In μH
1¼	4	2.75
	6	6.3
	8	11.2
	10	17.5
	16	42.5
1½	4	3.9
	6	8.8
	8	15.6
	10	24.5
	16	63
1¾	4	5.2
	6	11.8
	8	21
	10	33
	16	85
2	4	6.6
	6	15
	8	26.5
	10	42
	16	108
2½	4	10.2
	6	23
	8	41
	10	64
3	4	14
	6	31.5
	8	56
	10	89

φ คอยล์เป็นนิ้ว รอบต่อนิ้ว ค่า L ของคอยล์ยาว 1 นิ้ว

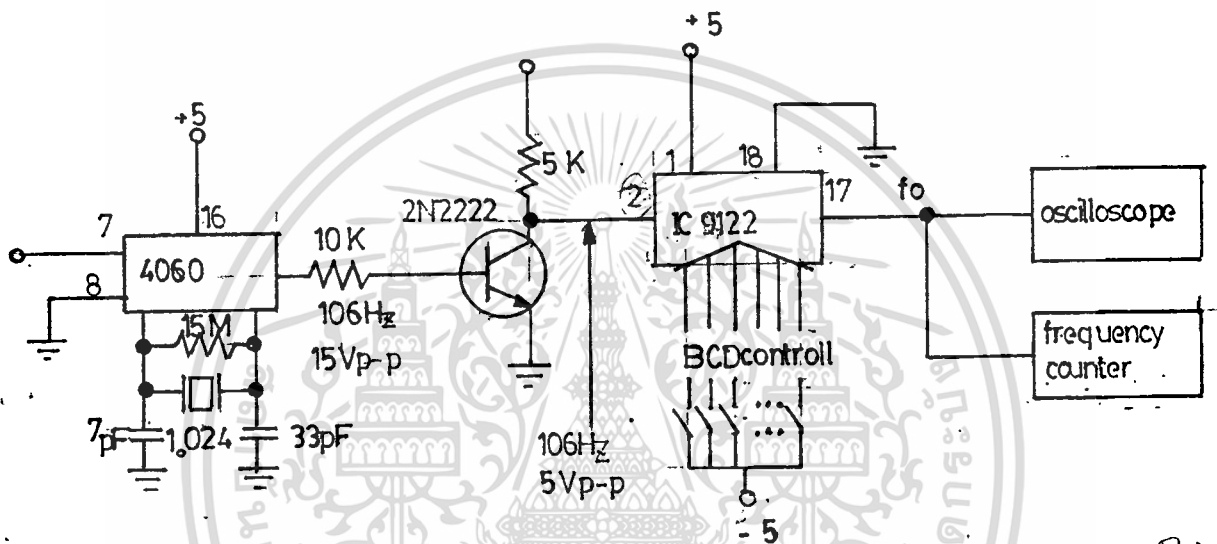
Coll Dia Inches	Turns Per Inch	Inductance In μH
½ (A)	4	0.18
	6	0.40
	8	0.72
	10	1.12
	16	2.9
5/8 (A)	32	12
	4	0.28
	6	0.62
	8	1.1
	10	1.7
¾ (B)	16	4.4
	32	18
	4	0.6
	6	1.35
	8	2.4
1 (B)	10	3.8
	16	9.9
	32	40
	4	1.0
	6	2.3
	8	4.2
	10	6.6
	16	16.9
	32	68

การตรวจสอบโปรแกรมการหาร

การตรวจสอบการหารโดยใช้ไอซีเบอร์ TC 9122C นี้ทำได้โดยการตรวจสอบค่าอัตราส่วนของการหาร (N) เมื่อ

$$N = \frac{f_{in}}{f_{out}}$$

จากนั้นทดลองเปลี่ยนอัตราการหารจะพบว่าเราสามารถทำการหารได้ตั้งแต่ 8 - 3999 เท่า โดยการควบคุมขา BCD ให้เป็นไปตามรหัสต่าง ๆ



รูปแสดงการตรวจสอบการหารโดยใช้ไอซีเบอร์ TC 9122C

การตั้งรหัสควบคุม BCD (BCD Control Code) ที่ควบคุมการหารนี้จะถูกแบ่งออกเป็น 4 หลัก โดยแต่ละหลักสามารถตั้งค่าได้สูงสุดเท่ากับ 9 (ในระบบฐานสิบ) ซึ่งก็คือรหัส 1010 (ในรหัสฐานสอง) ยกเว้นที่หลักนั้นที่ตั้งค่าสูงสุดได้แค่ 3 เท่านั้น แสดงให้เห็นในรูปแบบตามลำดับ

TC 9122 C			
พัน	ร้อย	สิบ	หน่วย

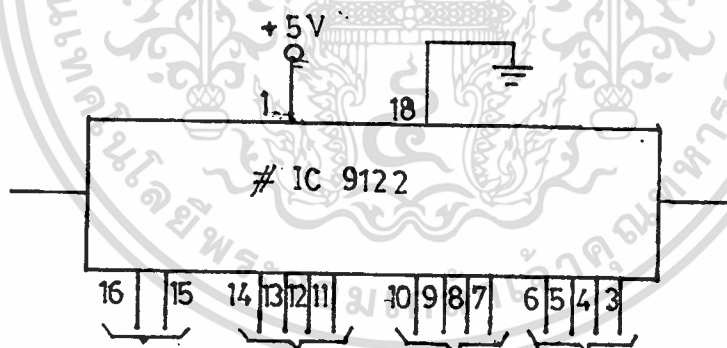
รูปแสดงหลักนิยมสำคัญของชาวควบคุมต่าง ๆ

TC 9122 C			
11	1001	1001	1001
3	9	9	9

รูปแสดงค่าตัวเลขประจำหลัก

หมายเหตุ หากค่าตัวเลขแต่ละหลักมีค่ามากกว่า 9 (A - F ในเลขฐานสิบหก) แล้ว ไอซีเบอร์นี้จะนำค่าน้อยมาใช้เท่านั้น

เช่น 1010 จะให้เป็น 0010₂ = 2 เป็นต้น



ผลการทดลองพรีสเกลเลอร์

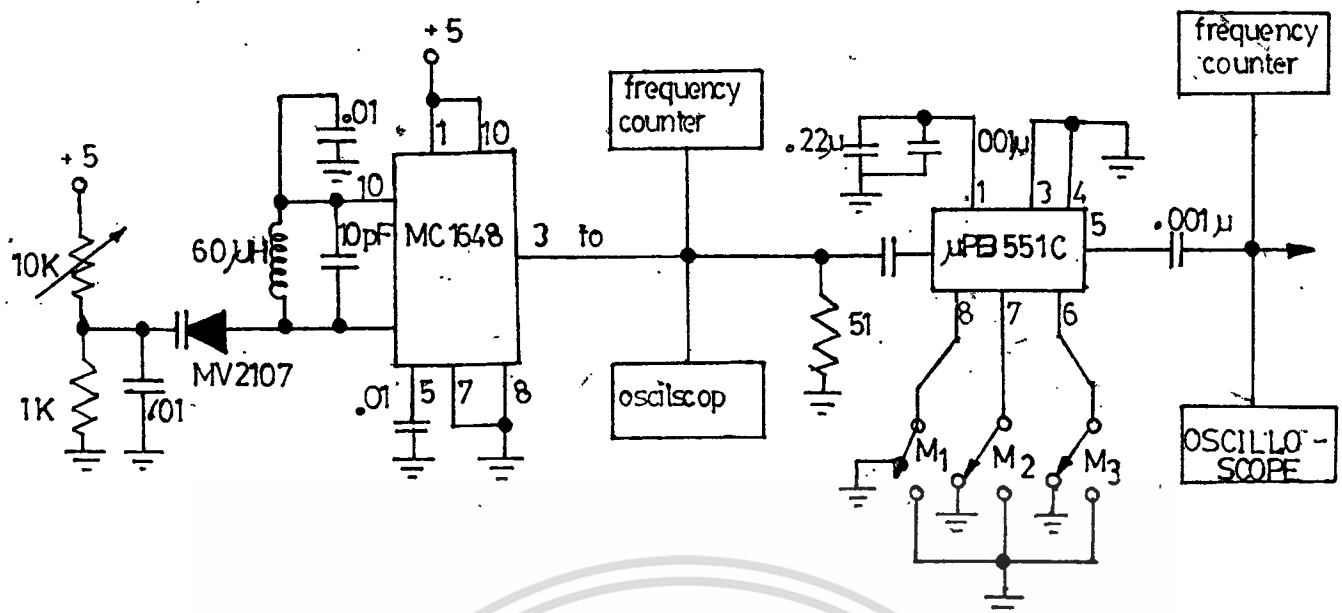
การตรวจสอบการทำงาน เราจะเห็นว่าการควบคุมการหารของ PB 551C นี้ไม่สามารถบสยขาลอย วนกรณที่ต้องการให้อยู่ในสภาวะโลว์ (Low) ได้ ซึ่งต่างจาก TC 9122 ที่ผ่านมา

แต่จะมีข้อบกพร่องที่ขา 6 ซึ่งสามารถบสยขาลอยทิ้งไว้ได้ จึงจะแสดงได้ เห็นในตารางด้านล่าง

เลือกอัตราหาร			อัตราหารที่ได้
M_1	M_2	M_3	
GND	GND	high	44
GND	GND	low	40
GND	VCC	high	22
GND	VCC	low	20
VCC	VCC	high	11
VCC	VCC	low	10

รูปที่ตารางแสดงควบคุมการหารของ PB 551C

สำหรับรูปวงจรเราสามารถแทน VCO ด้วยเครื่องกำเนิดสัญญาณก็ได้ โดย PB 551C นี้สามารถรับสัญญาณอินพุตที่เข้ามาได้จนถึง 5 จวลท์ ในกรณีทีสัญญาณค่าต่ำ ๆ เมื่อทำการหาร 10 จะต้องมีส่วนไม่ต่ำกว่า 180 มิลลิจวลท์ แต่ในการหารด้วยค่าอื่นสามารถรับสัญญาณที่ต่ำได้ถึง 100 มิลลิจวลท์ทีเดียว



รูปแสดงการตรวจสอบการทำงานของฟริสเกลเลเซอร์





MOTOROLA

MC1648

VOLTAGE-CONTROLLED OSCILLATOR

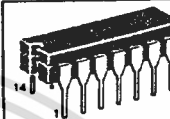
The MC1648 requires an external parallel tank circuit consisting of the inductor (L) and capacitor (C).

A varactor diode may be incorporated into the tank circuit to provide a voltage variable input for the oscillator (VCO). The MC1648 was designed for use in the Motorola Phase-Locked Loop shown in Figure 9. This device may also be used in many other applications requiring a fixed or variable frequency clock source of high spectral purity. (See Figure 2.)

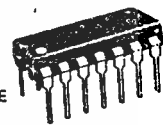
The MC1648 may be operated from a +5.0 Vdc supply or a -5.2 Vdc supply, depending upon system requirements.

Supply Voltage	Gnd Pins	Supply Pins
+5.0 Vdc	7, 8	1, 14
-5.2 Vdc	1, 14	7, 8

VOLTAGE-CONTROLLED OSCILLATOR

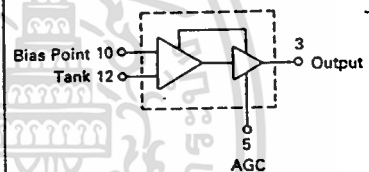


L SUFFIX
CERAMIC PACKAGE
CASE 632



P SUFFIX
PLASTIC PACKAGE
CASE 646

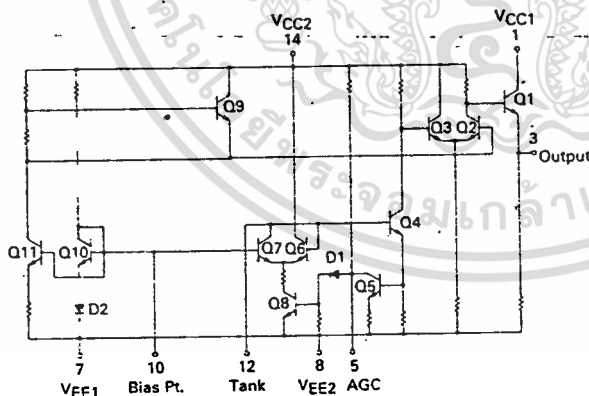
LOGIC DIAGRAM



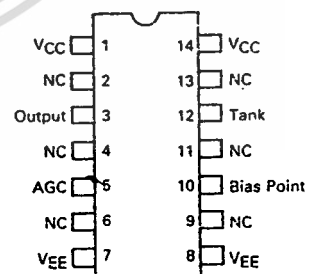
Input Capacitance = 6.0 pF typ
Maximum Series Resistance for L (External Inductance) = 50 Ω typ
Power Dissipation = 150 mW typ/pkg (+5.0 Vdc Supply)
Maximum Output Frequency = 225 MHz typ

VCC1 = Pin-1
VCC2 = Pin 14
VEE = Pin 7

FIGURE 1 — CIRCUIT SCHEMATIC



PIN ASSIGNMENT



MC1648

TEST VOLTAGE/CURRENT VALUES				
@ Test Temperature	(Volts)			mAdc
	V _{IHmax}	V _{ILmin}	V _{CC}	I _L
MC1648				
-30°C	+2.0	+1.5	5.0	-5.0
+25°C	+1.85	+1.35	5.0	-5.0
+85°C	+1.7	+1.2	5.0	-5.0

ELECTRICAL CHARACTERISTICS

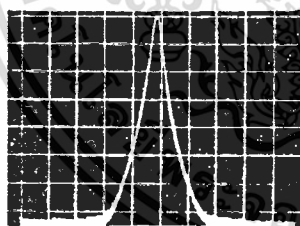
Supply Voltage = +5.0 Volts

Characteristic	Symbol	-30°C		+25°C		+85°C		Unit	Conditions
		Min	Max	Min	Max	Min	Max		
Power Supply Drain Current	I _E	—	—	—	41	—	—	mAdc	Inputs and outputs open.
Logic "1" Output Voltage	V _{OH}	3.955	4.185	4.04	4.25	4.11	4.36	Vdc	V _{ILmin} to Pin 12; I _L @ Pin 3.
Logic "0" Output Voltage	V _{OL}	3.16	3.4	3.2	3.43	3.22	3.475	Vdc	V _{IHmax} to Pin 12; I _L @ Pin 3.
Bias Voltage	V _{Bias} *	1.6	1.9	1.45	1.75	1.3	1.6	Vdc	V _{ILmin} to Pin 12.
		Min	Typ	Max	Min	Typ	Max		
Peak-to-Peak Tank Voltage	V _{p,p}	—	—	—	400	—	—	mV	
Output Duty Cycle	V _{dc}	—	—	—	50	—	—	%	See Figure 3.
Oscillation Frequency	f _{max} **	—	225	—	200	225	—	MHz	

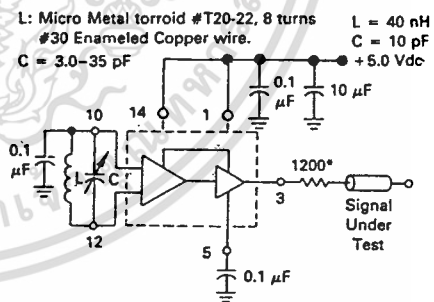
*This measurement guarantees the dc potential at the bias point for purposes of incorporating a varactor turning diode at this point.

**Frequency variation over temperature is a direct function of the ΔC/A Temperature and ΔL/A Temperature.

FIGURE 2 — SPECTRAL PURITY OF SIGNAL OUTPUT FOR 200 MHz TESTING



B.W. = 10 kHz
Center Frequency = 100 MHz
Scan Width = 50 kHz/div
Vertical Scale = 10 dB/div



*The 1200 ohm resistor and the scope termination impedance constitute a 25:1 attenuator probe. Coax shall be CT-070-50 or equivalent.

MC1648

TEST VOLTAGE/CURRENT VALUES				
(a) Test Temperature	(Volts)			mAdc
	V _{IHmax}	V _{ILmin}	V _{CC}	I _L
MC1648				
-30°C	-3.2	-3.7	-5.2	-5.0
+25°C	-3.35	-3.85	-5.2	-5.0
+85°C	-3.5	-4.0	-5.2	-5.0

ELECTRICAL CHARACTERISTICS

Supply Voltage = +5.0 Volts

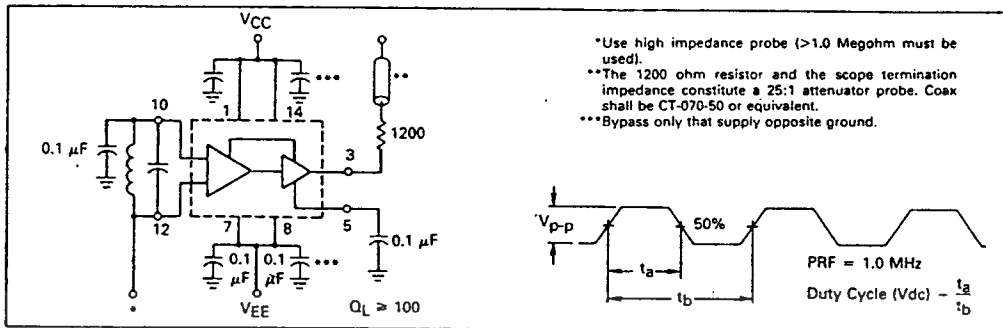
Characteristic	Symbol	-30°C		+25°C		+85°C		Unit	Conditions
		Min	Max	Min	Max	Min	Max		
Power Supply Drain Current	I _E	—	—	—	.41	—	—	mAdc	Inputs and outputs open.
Logic "1" Output Voltage	V _{OH}	-1.045	-0.815	-0.96	-0.75	-0.89	-0.64	Vdc	V _{ILmin} to Pin 12, I _L @ Pin 3.
Logic "0" Output Voltage	V _{OL}	-1.89	-1.65	-1.85	-1.62	-1.83	-1.575	Vdc	V _{IHmax} to Pin 12, I _L @ Pin 3.
Bias Voltage	V _{Bias} *	-3.6	-3.3	-3.75	-3.45	-3.9	-3.6	Vdc	V _{ILmin} to Pin 12.
		Min	Typ	Max	Min	Typ	Max		
Peak-to-Peak Tank Voltage	V _{p.p}	—	—	—	400	—	—	mV	
Output Duty Cycle	V _{dc}	—	—	—	50	—	—	%	See Figure 3.
Oscillation Frequency	f _{max} **	—	225	—	200	225	—	MHz	

*This measurement guarantees the dc potential at the bias point for purposes of incorporating a varactor turning diode at this point.

**Frequency variation over temperature is a direct function of the $\Delta C/\Delta$ Temperature and $\Delta L/\Delta$ Temperature.

MC1648

FIGURE 3 — TEST CIRCUIT AND WAVEFORMS



OPERATING CHARACTERISTICS

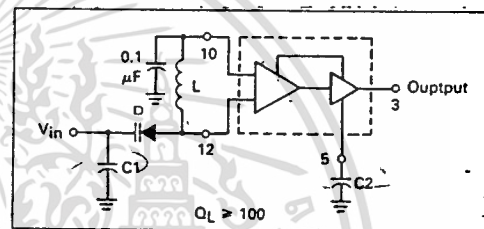
Figure 1 illustrates the circuit schematic for the MC1648. The oscillator incorporates positive feedback by coupling the base of transistor Q6 to the collector of Q7. An automatic gain control (AGC) is incorporated to limit the current through the emitter-coupled pair of transistors (Q7 and Q6) and allow optimum frequency response of the oscillator.

In order to maintain the high Q of the oscillator, and provide high spectral purity at the output, transistor Q4 is used to translate the oscillator signal to the output differential pair Q2 and Q3. Q2 and Q3, in conjunction with output transistor Q1, provides a highly buffered output which produces a square wave. Transistors Q9 and Q11 provide the bias drive for the oscillator and output buffer. Figure 2 indicates the high spectral purity of the oscillator output (pin 3).

When operating the oscillator in the voltage controlled mode (Figure 4), it should be noted that the cathode of the varactor diode (D) should be biased at least "2" VBE above VEE (~1.4 V for positive supply operation).

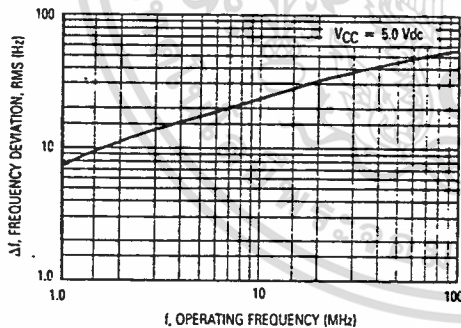
When the MC1648 is used with a constant dc voltage

FIGURE 4 — THE MC1648 OPERATING IN THE VOLTAGE CONTROLLED MODE



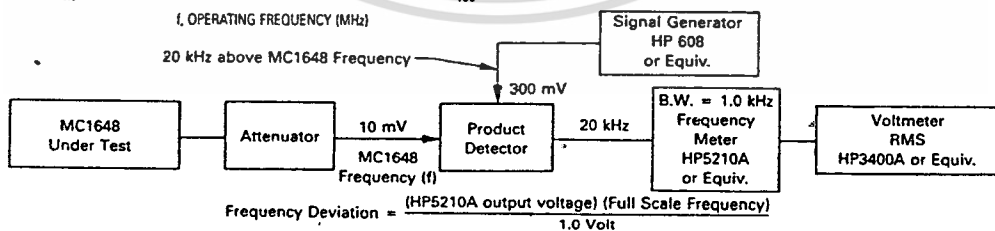
to the varactor diode, the output frequency will vary slightly because of internal noise. This variation is plotted versus operating frequency in Figure 5.

FIGURE 5 — NOISE DEVIATION TEST CIRCUIT AND WAVEFORM



Oscillator Tank Components
 (Circuit of Figure 4)

f MHz	D	L μH
1.0-10	MV2115	100
10-60	MV2116	2.3
60-100	MV2106	0.15



NOTE: Any frequency deviation caused by the signal generator and MC1648 power supply should be determined and minimized prior to testing.

MC1648

TRANSFER CHARACTERISTICS IN THE VOLTAGE CONTROLLED MODE USING EXTERNAL VARACTOR DIODE AND COIL. $T_A = 25^\circ\text{C}$

FIGURE 6

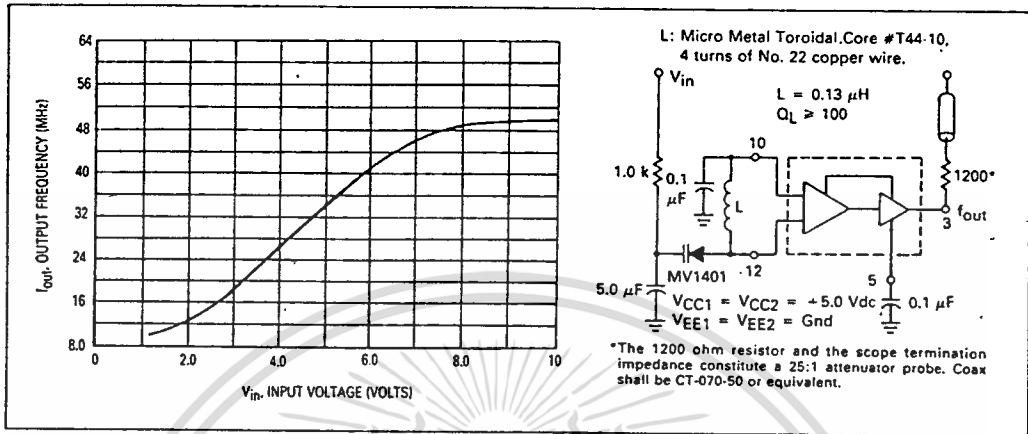


FIGURE 7

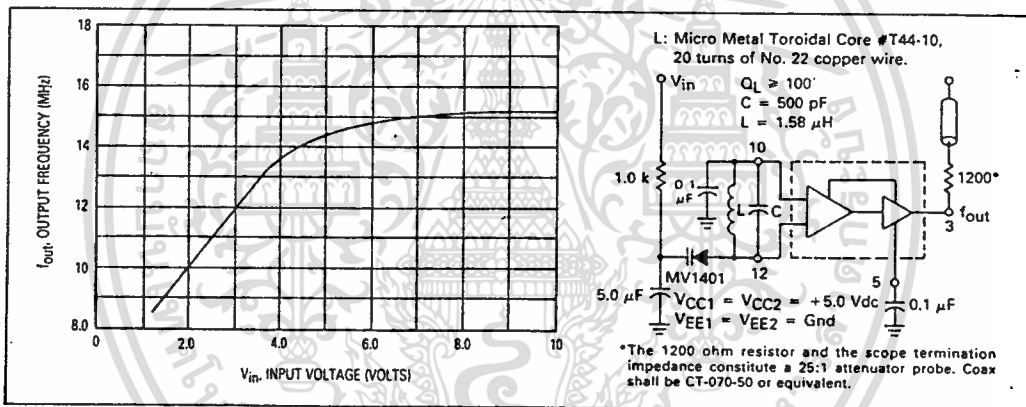
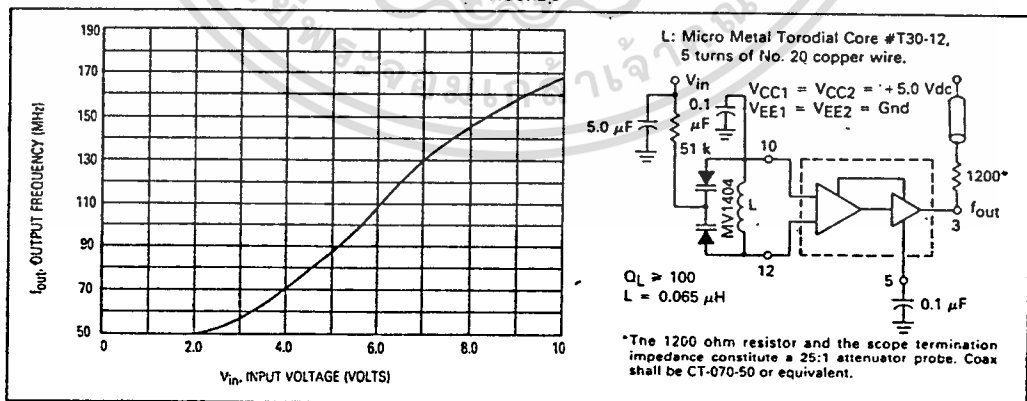


FIGURE 8



MC1648

Typical transfer characteristics for the oscillator in the voltage controlled mode are shown in Figures 6, 7, and 8. Figures 6 and 8 show transfer characteristics employing only the capacitance of the varactor diode (plus the input capacitance of the oscillator, 6.0 pF typical). Figure 7 illustrates the oscillator operating in a voltage controlled mode with the output frequency range limited. This is achieved by adding a capacitor in parallel with the tank circuit as shown. The 1.0 k Ω resistor in Figures 6 and 7 is used to protect the varactor diode during testing. It is not necessary as long as the dc input voltage does not cause the diode to become forward biased. The larger-valued resistor (51 k Ω) in Figure 8 is required to provide isolation for the high-impedance junctions of the two varactor diodes.

The tuning range of the oscillator in the voltage controlled mode may be calculated as:

$$\frac{f_{\max}}{f_{\min}} = \frac{\sqrt{C_D(\max) + C_S}}{\sqrt{C_D(\min) + C_S}}$$

$$\text{where } f_{\min} = \frac{1}{2\pi \sqrt{L(C_D(\max) + C_S)}}$$

C_S = shunt capacitance (input plus external capacitance).

C_D = varactor capacitance as a function of bias voltage.

Good RF and low-frequency bypassing is necessary on the power supply pins. (See Figure 2.)

Capacitors (C1 and C2 of Figure 4) should be used to bypass the AGC point and the VCO input (varactor diode), guaranteeing only dc levels at these points.

For output frequency operation between 1.0 MHz and 50 MHz a 0.1 μ F capacitor is sufficient for C1 and C2. At higher frequencies, smaller values of capacitance should be used; at lower frequencies, larger values of capacitance. At high frequencies the value of bypass capacitors depends directly upon the physical layout of the system. All bypassing should be as close to the package pins as possible to minimize unwanted lead inductance.

The peak-to-peak swing of the tank circuit is set internally by the AGC circuitry. Since voltage swing of the tank circuit provides the drive for the output buffer, the AGC potential directly affects the output waveform. If it is desired to have a sine wave at the output of the MC1648, a series resistor is tied from the AGC point to the most negative power potential (ground if +5.0 volt supply is used, -5.2 volts if a negative supply is used) as shown in Figure 10.

At frequencies above 100 MHz typ, it may be desirable to increase the tank circuit peak-to-peak voltage in order to shape the signal at the output of the MC1648. This is accomplished by tying a series resistor (1.0 k Ω minimum) from the AGC to the most positive power potential (+5.0 volts if a +5.0 volt supply is used, ground if a -5.2 volt supply is used). Figure 11 illustrates this principle.

APPLICATIONS INFORMATION

The phase locked loop shown in Figure 9 illustrates the use of the MC1648 as a voltage controlled oscillator. The figure illustrates a frequency synthesizer useful in tuners for FM broadcast, general aviation, maritime and land-mobile communications, amateur and CB receivers. The system operates from a single +5.0 Vdc supply, and requires no internal translations; since all components are compatible.

Frequency generation of this type offers the advantages of single crystal operation, simple channel selection, and elimination of special circuitry to prevent harmonic lockup. Additional features include dc digital switching (preferable over RF switching with a multiple crystal system), and a broad range of tuning (up to 150 MHz, the range being set by the varactor diode).

The output frequency of the synthesizer loop is determined by the reference frequency and the number programmed at the programmable counter; $f_{\text{out}} = Nf_{\text{ref}}$. The channel spacing is equal to frequency (f_{ref}).

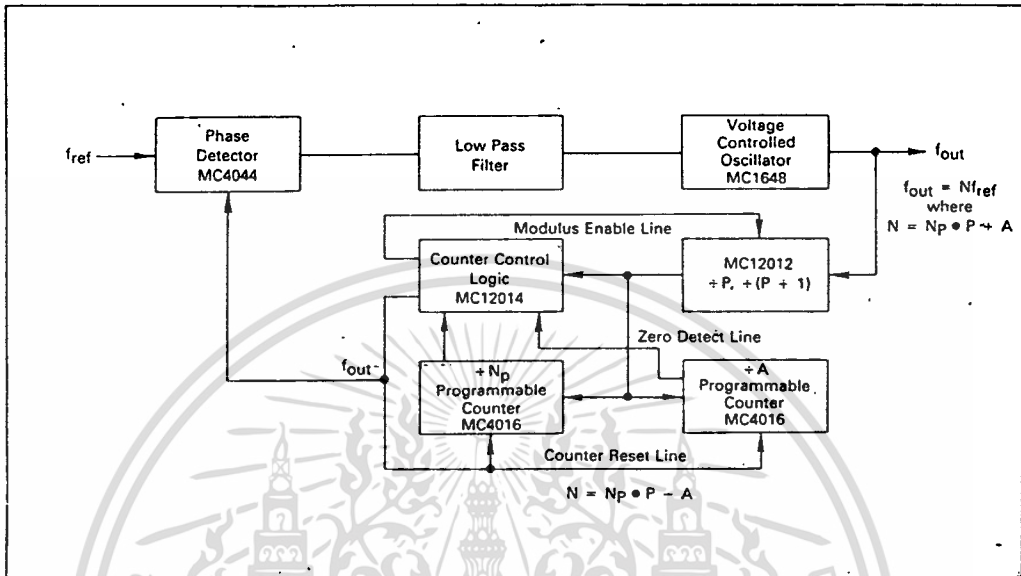
For additional information on applications and designs for phase locked-loops and digital frequency synthesizers, see Motorola Brochure BR504/D, Electronic Tuning Address Systems, (ETAS).

Figure 10 shows the MC1648 in the variable frequency mode operating from a +5.0 Vdc supply. To obtain a sine wave at the output, a resistor is added from the AGC circuit (pin 5) to VEE.

Figure 11 shows the MC1648 in the variable frequency mode operating from a +5.0 Vdc supply. To extend the useful range of the device (maintain a square wave output

MC1648

FIGURE 9 — TYPICAL FREQUENCY SYNTHESIZER APPLICATION



above 175 MHz, a resistor is added to the AGC circuit at pin 5 (1.0 k-ohm minimum).

Figure 12 shows the MC1648 operating from +5.0 Vdc and +9.0 Vdc power supplies. This permits a higher voltage swing and higher output power than is possible from the MECL output (pin 3). Plots of output power versus

total collector load resistance at pin 1 are given in Figures 13 and 14 for 100 MHz and 10 MHz operation. The total collector load includes R in parallel with R_p of L1 and C1 at resonance. The optimum value for R at 100 MHz is approximately 850 ohms.

FIGURE 10 — METHOD OF OBTAINING A SINE-WAVE OUTPUT

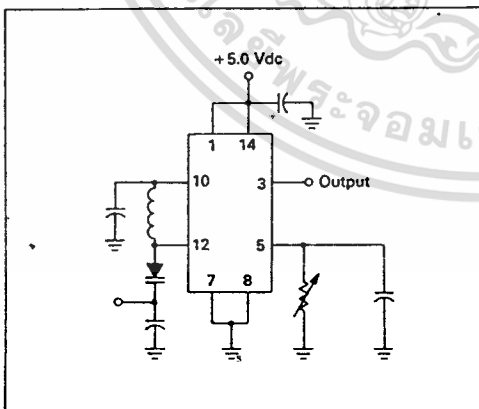


FIGURE 11 — METHOD OF EXTENDING THE USEFUL RANGE OF THE MC1648 (SQUARE WAVE OUTPUT)

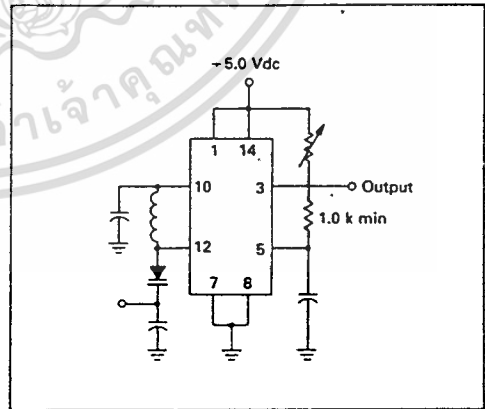


FIGURE 12 — CIRCUIT USED FOR COLLECTOR OUTPUT OPERATION

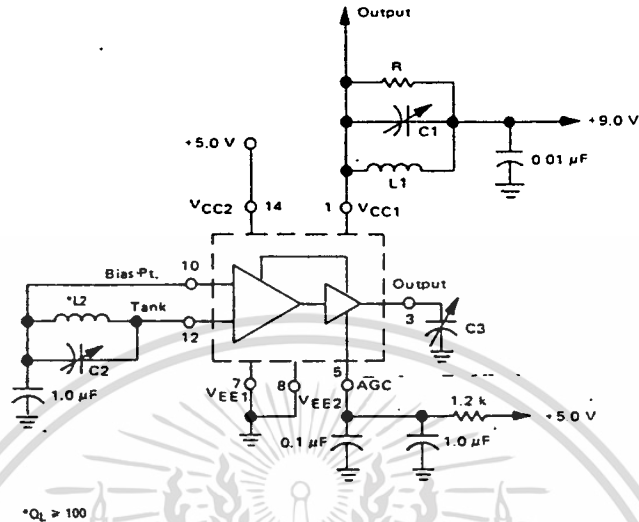


FIGURE 13 — POWER OUTPUT versus COLLECTOR LOAD

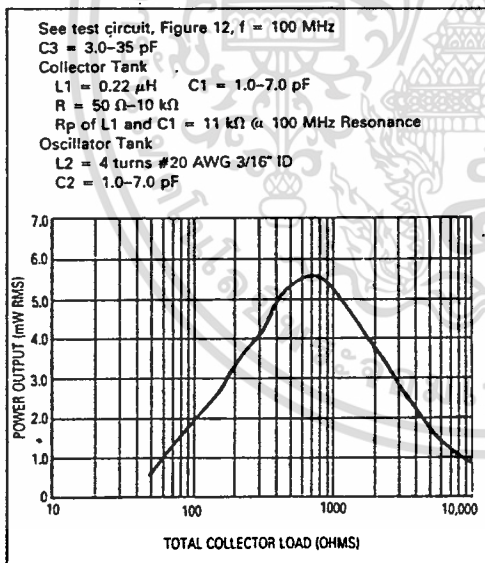
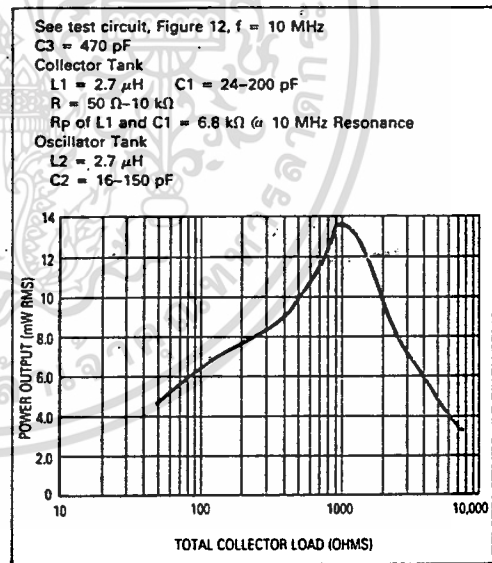
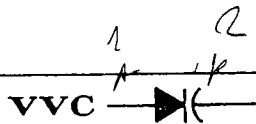


FIGURE 14 — POWER OUTPUT versus COLLECTOR LOAD



MOTOROLA
SEMICONDUCTOR
TECHNICAL DATA



SILICON EPICAP DIODES

... designed in the popular PLASTIC PACKAGE for high volume requirements of FM Radio and TV tuning and AFC, general frequency control and tuning applications; providing solid-state reliability in replacement of mechanical tuning methods.

Also available in Surface Mount package up to 33 pF.

- High Q with Guaranteed Minimum Values
- Controlled and Uniform Tuning Ratio
- Standard Capacitance Tolerance — 10%
- Complete Typical Design Curves

MAXIMUM RATINGS

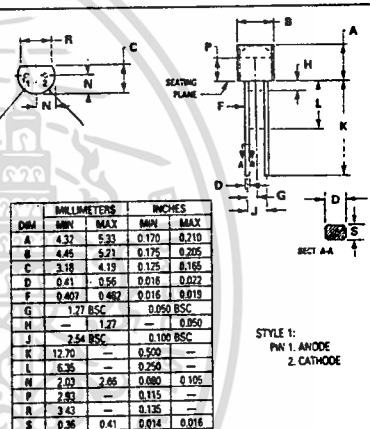
Rating	Symbol	Value		Unit
		MV2101 thru MV2115	MMBV2101 thru MMBV2109	
Reverse Voltage	V_R	30		Volts
Forward Current	I_F	200		mA
Device Dissipation @ $T_A = 25^\circ\text{C}$ Derate above 25°C	P_D	280	200	mW
		2.8	2.0	mW/°C
Junction Temperature	T_J	+125		°C
Storage Temperature Range	T_{stg}	-55 to +150		°C

DEVICE MARKING

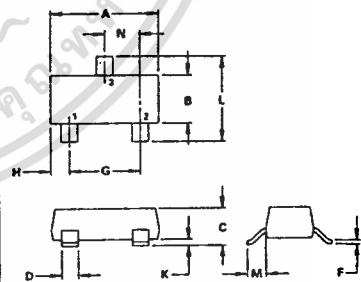
MMBV2101 = 4G
MMBV2109 = 4J
MMBV2102 = 4Y
MMBV2103 = 4H
MMBV2104 = 4Z
MMBV2105 = 4U
MMBV2106 = 4V
MMBV2107 = 4W
MMBV2108 = 4X

MMBV2101 thru
MMBV2109
MV2101 thru MV2115

VOLTAGE-VARIABLE
CAPACITANCE DIODES
6.8–100 pF
30 VOLTS



CASE 182-02, STYLE
MV2101 thru MV2115



CASE 318-05, STYLE
TO-236AA
SOT-23
MMBV2101 thru
MMBV2109

MMBV2101 thru MMBV2109 • MV2101 thru MV2115

ELECTRICAL CHARACTERISTICS ($T_A = 25^\circ\text{C}$ unless otherwise noted)

Characteristic--All Types	Symbol	Min	Typ	Max	Unit
Reverse Breakdown Voltage ($I_R = 10 \mu\text{A}$)	$V_{(BR)R}$	30	—	—	Vdc
Reverse Voltage Leakage Current ($V_R = 25 \text{ Vdc}$, $T_A = 25^\circ\text{C}$)	I_R	—	—	0.10	μA
Diode Capacitance Temperature Coefficient ($V_R = 4.0 \text{ Vdc}$, $f = 1.0 \text{ MHz}$)	TC_C	—	280	—	ppm/ $^\circ\text{C}$

Device	C_T , Diode Capacitance $V_R = 4.0 \text{ Vdc}$, $f = 1.0 \text{ MHz}$ pF			Q , Figure of Merit $V_R = 4.0 \text{ Vdc}$, $f = 50 \text{ MHz}$	TR , Tuning Ratio C_2/C_{30} $f = 1.0 \text{ MHz}$		
	Min	Nom	Max		Min	Typ	Max
MMBV2101 /MV2101	6.1	6.8	7.5	450	2.5	2.7	3.2
MMBV2102 /MV2102	7.4	8.2	9.0	450	2.5	2.8	3.2
MMBV2103 /MV2103	9.0	10.0	11.0	400	2.5	2.9	3.2
MMBV2104 /MV2104	10.8	12.0	13.2	400	2.5	2.9	3.2
MMBV2105 /MV2105	13.5	15.0	16.5	400	2.5	2.9	3.2
MMBV2106 /MV2106	16.2	18.0	19.8	350	2.5	2.9	3.2
MMBV2107 /MV2107	19.8	22.0	24.2	350	2.5	2.9	3.2
MMBV2108 /MV2108	24.3	27.0	29.7	300	2.5	3.0	3.2
MMBV2109 /MV2109	29.7	33.0	36.3	200	2.5	3.0	3.2
MV2110	35.1	39.0	42.9	150	2.5	3.0	3.2
MV2111	42.3	47.0	51.7	150	2.5	3.0	3.2
MV2112	50.4	56.0	61.6	150	2.6	3.0	3.3
MV2113	61.2	68.0	74.8	150	2.6	3.0	3.3
MV2114	73.8	82.0	90.2	100	2.6	3.0	3.3
MV2115	90.0	100.0	110.0	100	2.6	3.0	3.3

PARAMETER TEST METHODS

1. C_T , DIODE CAPACITANCE

($C_T = C_C + C_j$). C_T is measured at 1.0 MHz using a capacitance bridge (Boonton Electronics Model 75A or equivalent).

2. TR , TUNING RATIO

TR is the ratio of C_T measured at 2.0 Vdc divided by C_T measured at 30 Vdc.

3. Q , FIGURE OF MERIT

Q is calculated by taking the G and C readings of an admittance bridge at the specified frequency and substituting in the following equations:

$$Q = \frac{2\pi f C}{G}$$

(Boonton Electronics Model 33AS8). Use Lead Length $\approx 1/16"$.

4. TC_C , DIODE CAPACITANCE TEMPERATURE COEFFICIENT

TC_C is guaranteed by comparing C_T at $V_R = 4.0 \text{ Vdc}$, $f = 1.0 \text{ MHz}$, $T_A = -65^\circ\text{C}$ with C_T at $V_R = 4.0 \text{ Vdc}$, $f = 1.0 \text{ MHz}$, $T_A = +85^\circ\text{C}$ in the following equation which defines TC_C :

$$TC_C = \frac{C_T(+85^\circ\text{C}) - C_T(-65^\circ\text{C})}{85 + 65} \cdot \frac{10^6}{C_R(25^\circ\text{C})}$$

Accuracy limited by measurement of C_T to $\pm 0.1 \text{ pF}$.

MMBV2101 thru MMBV2109 • MV2101 thru MV2115

TYPICAL DEVICE PERFORMANCE

FIGURE 1 – DIODE CAPACITANCE versus REVERSE VOLTAGE

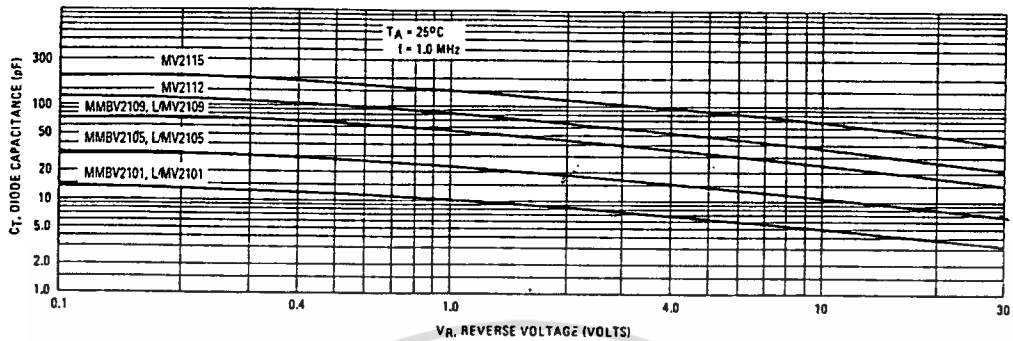


FIGURE 2 – NORMALIZED DIODE CAPACITANCE versus JUNCTION TEMPERATURE

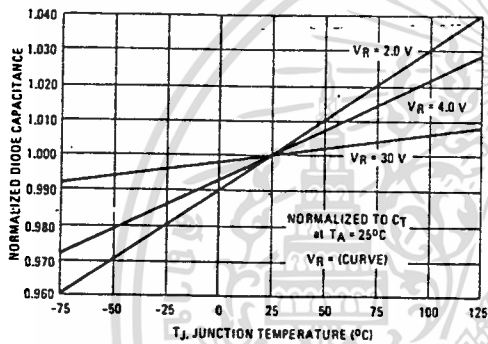


FIGURE 3 – REVERSE CURRENT versus REVERSE BIAS VOLTAGE

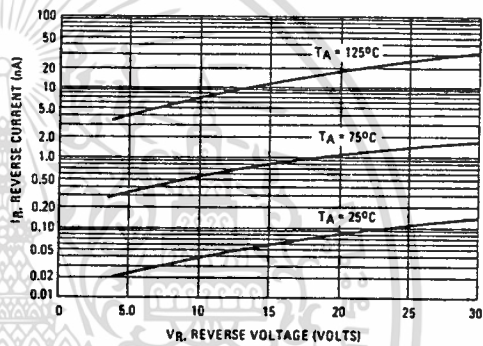


FIGURE 4 – FIGURE OF MERIT versus REVERSE VOLTAGE

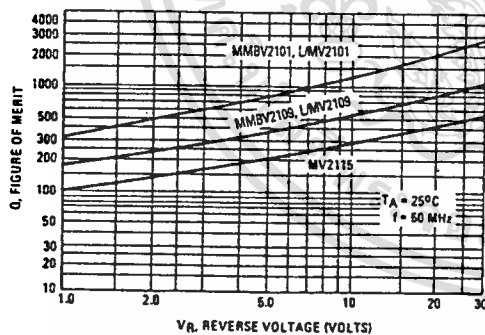
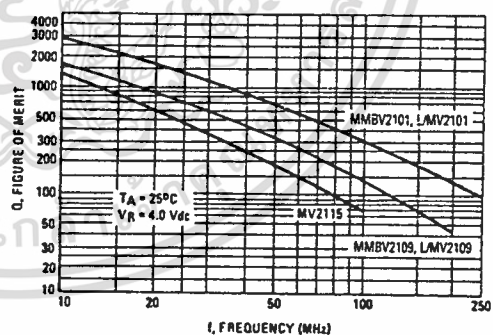


FIGURE 5 – FIGURE OF MERIT versus FREQUENCY



SCL4011B, SCL4012B SCL4023B, SCL4068B

CMOS NAND GATES

SCL4011B — Quad 2-Input NAND
SCL4012B — Dual 4-Input NAND
SCL4023B — Triple 3-Input NAND
SCL4068B — 8-Input NAND

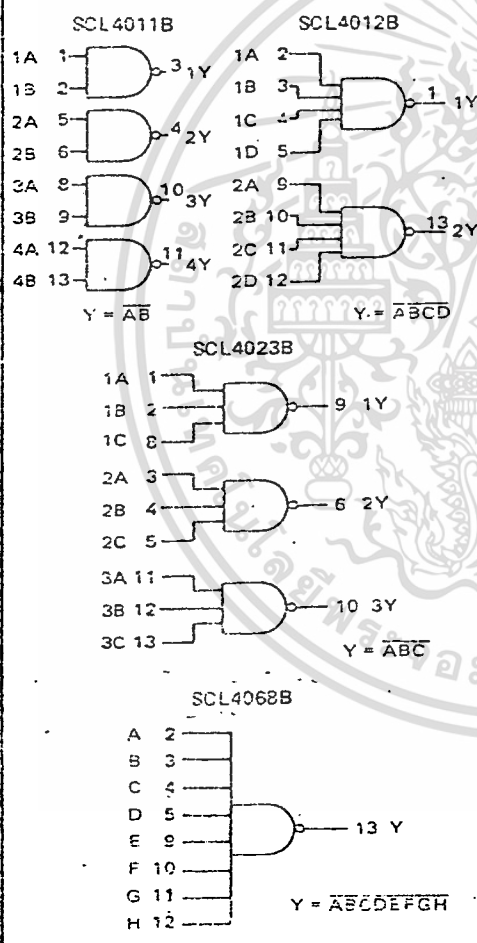
FEATURES

- ◆ Buffered Outputs
- ◆ Diode Protection on all Inputs
- ◆ Fully "B"-Series Compatible
- ◆ Balanced Output Drive Current Specifications

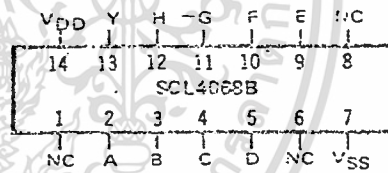
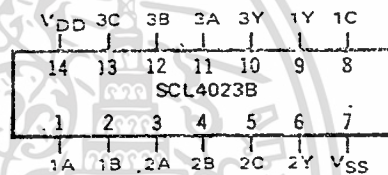
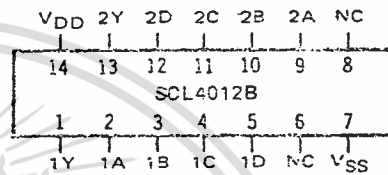
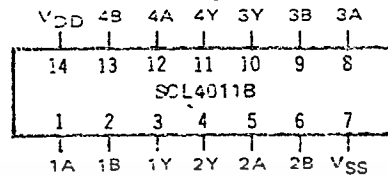
TRUTH TABLE

Inputs	Output
1 1 ... 1	0
All other combinations	1

FUNCTION DIAGRAMS



CONNECTION DIAGRAMS (all packages)



Add suffix to package:

- C 14-pin Cerdip
- D 14-pin Ceramic
- E 14-pin Epoxy
- F 14-pin Flat
- H Chip

RECOMMENDED OPERATING CONDITIONS

For maximum reliability:

DC Supply Voltage	$V_{DD} - V_{SS}$	3 to 15	Vdc
Operating Temperature	T_A	-55 to +125	°C
C, D, E, H Device		-40 to +85	°C
E Device			

SCL4011UB

CMOS NAND GATE (Unbuffered)

FEATURES

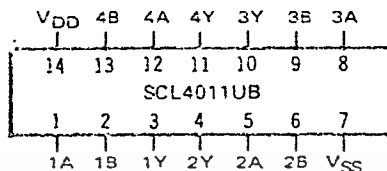
- ◆ Unbuffered Outputs for Quasi-Linear Applications
- ◆ Quad 2-Input NAND Configuration
- ◆ Diode Protection on all Inputs
- ◆ Output Drive Current Compatible with "B" Series
- ◆ Pin Compatible with Buffered SCL4011B
- ◆ Balanced Output Drive Current Specifications

DESCRIPTION

The SCL4011UB consists of four positive-logic NAND gates. The outputs are unbuffered, making the device suitable for quasi-linear applications, such as gated oscillators, multi-vibrators, and pulse shaping circuits.

For digital applications, the buffered SCL4011B is recommended for its higher gain and input pattern insensitivity.

CONNECTION DIAGRAM (all packages)



Add suffix for package:

- C 14-pin Cerdip
- D 14-pin Ceramic
- E 14-pin Epoxy
- F 14-pin Flat
- H Chip

TRUTH TABLE

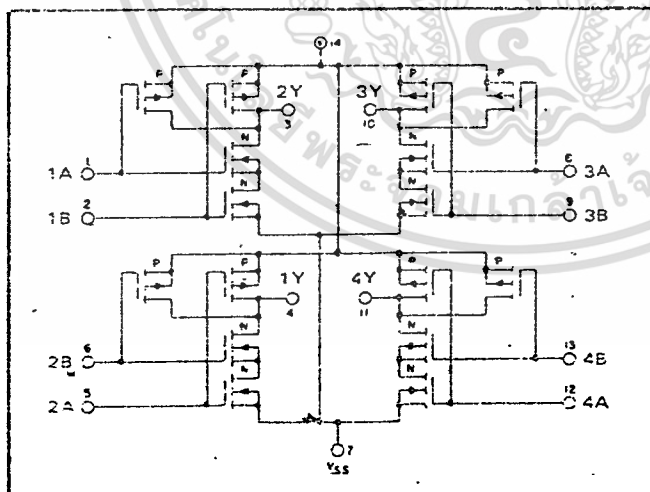
Inputs		Output
1	1	0
All other combinations		1

RECOMMENDED OPERATING CONDITIONS

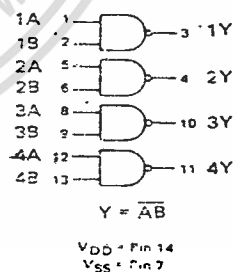
For maximum reliability:

DC Supply Voltage	$V_{DD} - V_{SS}$	3 to 15 Vdc
Operating Temperature	T_A	-55 to +125 °C
C, D, F, H Device		-40 to +85 °C
E Device		

SCHEMATIC DIAGRAM



LOGIC DIAGRAM



ELECTRICAL CHARACTERISTICS

STATIC CHARACTERISTICS

PARAMETER	V _{DD} (Vdc)	CONDITIONS	T _{LOW} ²		+25°C		T _{HIGH} ²		Units
			Min.	Max.	Min.	Typ.	Max.	Min.	
QUIESCENT DEVICE CURRENT	I _{DD}	5 V _{IN} = V _{SS} or V _{DD}	—	0.05	—	0.005	0.05	—	μA
	10	ATI vs. V _{DD} input combinations	—	0.10	—	0.001	0.10	—	
	15		—	0.20	—	0.002	0.20	—	

NOTES: ¹ Retaining Static Electrical Characteristics are listed under "SCL4003B Series Family Specifications".

² T_{LOW} = -55°C for C, D, F, H device.

² T_{LOW} = -40°C for E device.

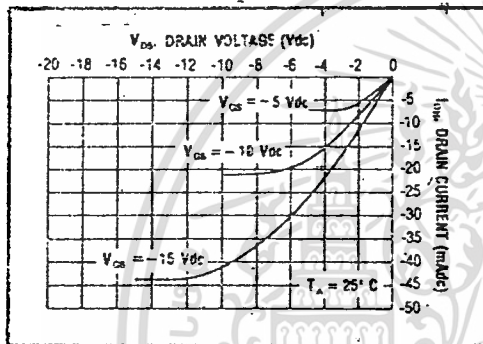
T_{HIGH} = +125°C for C, D, F, H device.

T_{HIGH} = +85°C for E device.

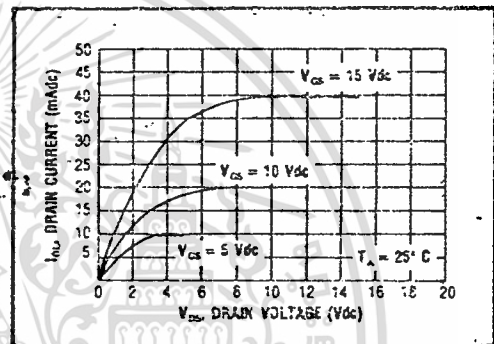
³ These devices have been designed for balanced output drive current specifications. Consult Family Specifications.

DYNAMIC CHARACTERISTICS (C_L = 50pF, T_A = 25°C)

PARAMETER	V _{DD} (Vdc)	Min.	Typ.	Max.	Units
PROPAGATION DELAY TIME	t _{PLH} t _{PHL}	5	125	250	ns
	10	—	60	120	
	15	—	45	90	
OUTPUT TRANSITION TIME	t _{RLH} t _{LHL}	5	100	200	ns
	10	—	50	100	
	15	—	40	80	

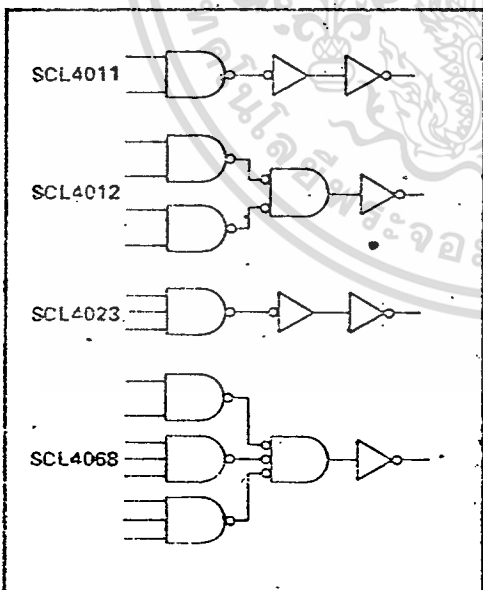


Typical P-Channel
Source Current Characteristics

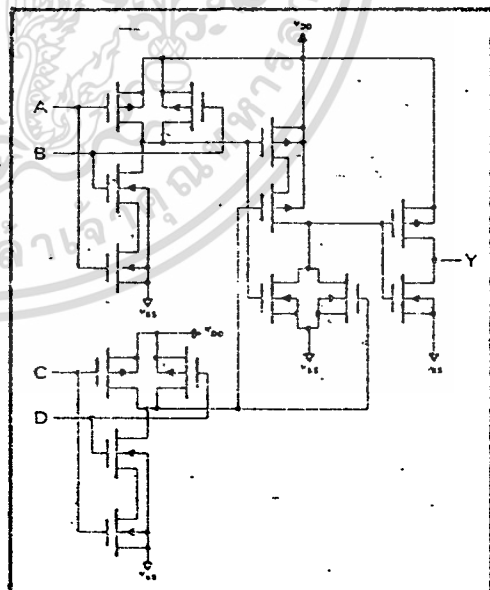


Typical N-Channel
Sink Current Characteristics

LOGIC DIAGRAMS



SCHEMATIC DIAGRAM SCL4012B (1 of 2 gates)



ELECTRICAL CHARACTERISTICS

STATIC CHARACTERISTICS ^{1,3}

PARAMETER	V _{DD} (Vdc)	CONDITIONS	T _{LOW} ²		+25°C			T _{HIGH} ²		Units
			Min.	Max.	Min.	Typ.	Max.	Min.	Max.	
QUIESCENT DEVICE CURRENT	I _{DD}	V _{IN} = V _{SS} or V _{DD} All valid input combinations	—	0.05	—	0.0005	0.05	—	1.5	μAdc
	5		—	0.10	—	0.001	0.10	—	3.0	
	10		—	0.20	—	0.002	0.20	—	6.0	

NOTES: ¹ Remaining Static Electrical Characteristics are listed under "SCL4000B Series Family Specifications".

² T_{LOW} = -55°C for C, D, F, H device.

= -40°C for E device.

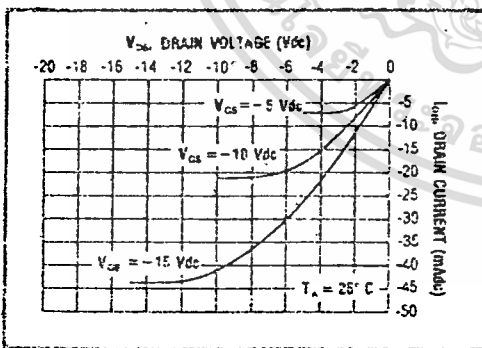
T_{HIGH} = +125°C for C, D, F, H device.

= + 85°C for E device.

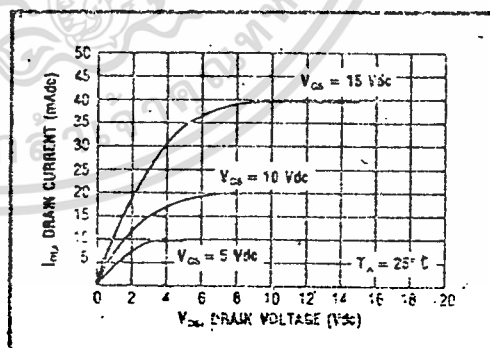
³ This device has been designed for balanced output drive current specifications. Consult Family Specifications.

DYNAMIC CHARACTERISTICS (C_L = 50pF, T_A = 25°C)

PARAMETER		V _{DD} (Vdc)	Min.	Typ.	Max.	Units
PROPAGATION DELAY TIME	t _{PLH} , t _{PML}	5	—	75	150	ns
		10	—	35	70	
		15	—	25	50	
OUTPUT TRANSITION TIME	t _{TLH} , t _{TML}	5	—	100	200	ns
		10	—	50	100	
		15	—	40	80	

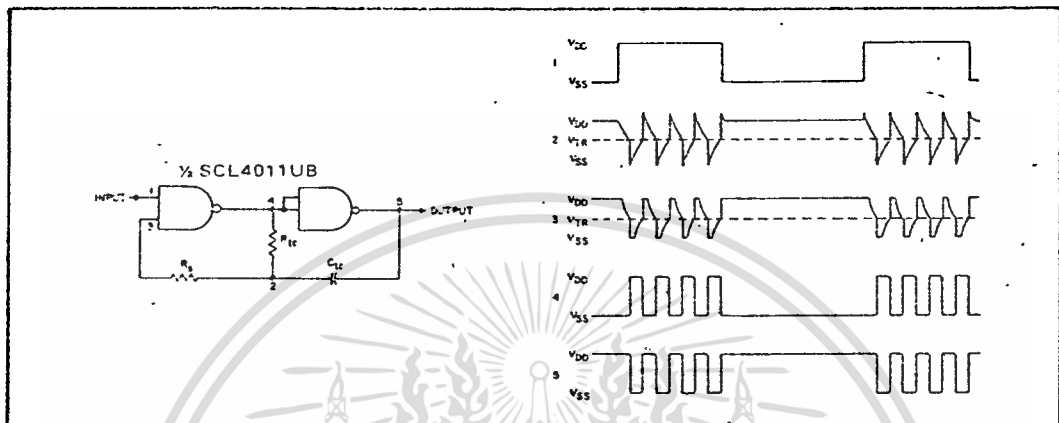


Typical P-Channel
Source Current Characteristics

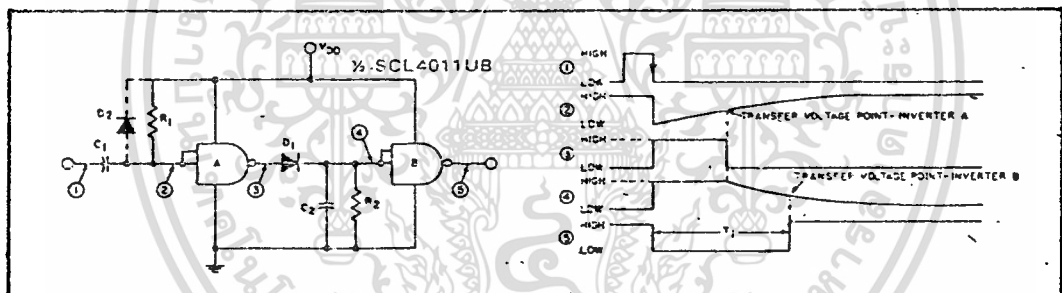


Typical N-Channel
Sink Current Characteristics

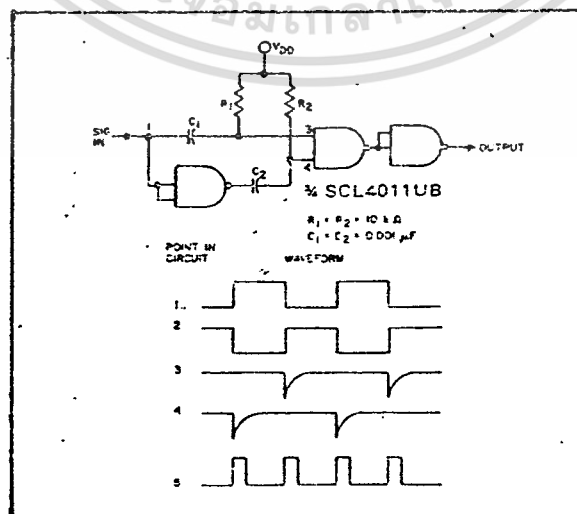
APPLICATIONS INFORMATION



Gated Oscillator



Compensated Monostable Multivibrator
(Independent of Transfer Voltage)



Frequency Doubler

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

SCL4013B

CMOS DUAL D-TYPE FLIP-FLOP

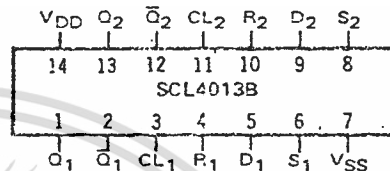
FEATURES

- ◆ Independent Set and Reset Controls
- ◆ Static Operation
- ◆ Logic Edge-Clocked Design
- ◆ 16MHz Toggle Rate @ 10Vdc
- ◆ Balanced Output Drive Current Specifications

DESCRIPTION

The SCL4013B consists of two identical, independent D-type Flip-Flops. These devices can be used for shift register applications, and, by connecting the $\bar{Q}$ output to the Data input, for counter and toggle applications. The logic level present at the D input is transferred to the Q output during the positive-going transition of the Clock pulse. Setting or resetting is independent of the Clock and is accomplished by a high level on the Set or Reset line, respectively.

CONNECTION DIAGRAM (all packages)



Add suffix for package:

- C 14-pin Cardip
- D 14-pin Ceramic
- E 14-pin Epoxy
- F 14-pin Flat
- H Chip

TRUTH TABLE

CL ^A	D	R	S	Q	$\bar{Q}$
0	0	0	0	0	1
1	0	0	0	1	0
x	0	0	0	Q	$\bar{Q}$
x	x	1	0	0	1
x	x	0	1	1	0
x	x	1	1	1	1

NO CHANGE

▲ = Level Change
x = Don't Care

RECOMMENDED OPERATING CONDITIONS

For maximum reliability:

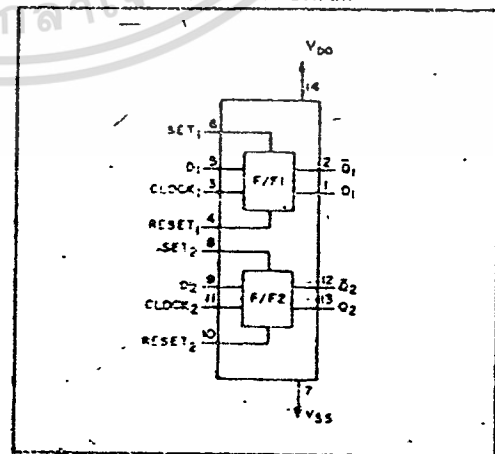
DC Supply Voltage $V_{DD} - V_{SS}$ 3 to 15 Vdc

Operating Temperature T_A -55 to +125 °C

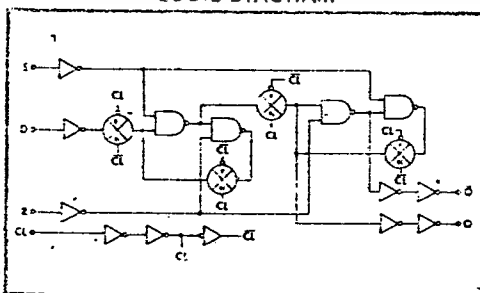
C, D, F, H Device

E Device -40 to +85 °C

BLOCK DIAGRAM



LOGIC DIAGRAM



ELECTRICAL CHARACTERISTICS

STATIC CHARACTERISTICS^{1,2}

PARAMETER	V _{DD} (V _{DC})	CONDITIONS	T _{LOW} ²		+25°C			T _{HIGH} ²		Units
			Min.	Max.	Min.	Typ.	Max.	Min.	Max.	
QUIESCENT DEVICE CURRENT	I _{DD}	5 V _{IN} =V _{SS} or V _{DD}	—	10	—	0.005	1.0	—	30	μA _{DC}
		10 All valid input combinations	—	20	—	0.01	2.0	—	60	
		15	—	40	—	0.02	4.0	—	120	

NOTES: ¹ Remaining Static Electrical Characteristics are listed under "SCL4000E Series Family Specifications".

² T_{LOW} = -55°C for C, D, F, H device.

= -40°C for E device.

T_{HIGH} = +125°C for C, D, F, H device.

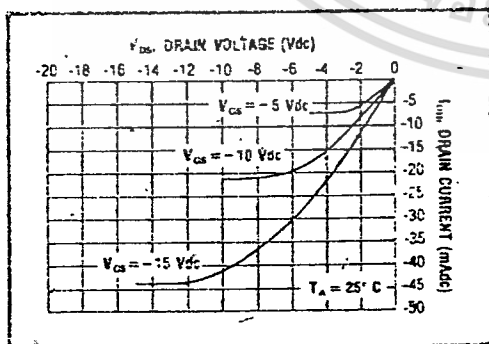
= +85°C for E device.

³ This device has been designed for balanced output drive current specifications. Consult Family Specifications.

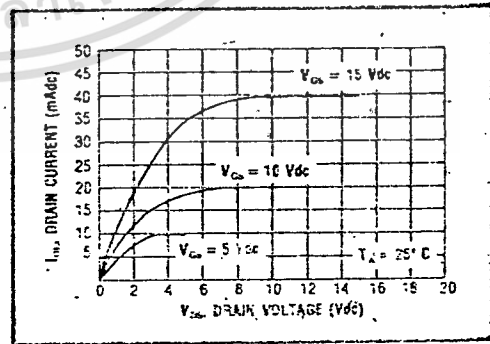
DYNAMIC CHARACTERISTICS (C_L = 50pF, T_A = 25°C)

PARAMETER		V _{DD} (Vdc)	Min.	Typ.	Max.	Units
CLOCKED OPERATION						
PROPAGATION DELAY TIME	t _{PLH} , t _{PHL}	5	—	125	250	ns
		10	—	65	130	
		15	—	45	90	
OUTPUT TRANSITION TIME	t _{TLH} , t _{THL}	5	—	100	200	ns
		10	—	50	100	
		15	—	40	80	
MINIMUM CLOCK PULSE WIDTH	PW _{CL}	5	—	70	140	ns
		10	—	30	60	
		15	—	20	40	
MAXIMUM CLOCK FREQUENCY	f _{CL}	5	3.5	7.0	—	MHz
		10	8.0	16	—	
		15	12.5	25	—	
MAXIMUM CLOCK RISE AND FALL TIME ¹	t _{RCL} , t _{FCL}	5	15	—	—	μs
		10	10	—	—	
		15	5	—	—	
MINIMUM SETUP TIME	t _{setup}	5	—	25	50	ns
		10	—	10	20	
		15	—	7.5	15	
MINIMUM HOLD TIME	t _{hold}	5	—	-25	0	ns
		10	—	-10	0	
		15	—	-5	0	
SET AND RESET OPERATIONS						
PROPAGATION DELAY TIME S to Q, R to Q	t _{PLH}	5	—	125	250	ns
		10	—	65	130	
		15	—	45	90	
MINIMUM SET AND RESET PULSE WIDTH	PW _S , PW _R	5	—	65	130	ns
		10	—	30	60	
		15	—	25	50	
SET AND RESET REMOVAL TIME	t _{rem}	5	—	0	25	ns
		10	—	0	10	
		15	—	0	5	

¹ When units are cascaded, the maximum rise and fall times of the clock input should be equal to or less than the transition times of the data outputs driving data inputs, plus the propagation delay of the output driving stage for the output capacitive load.



Typical P-Channel
Source Current Characteristics



Typical N-Channel
Sink Current Characteristics

SCL4060AB

CMOS 14-STAGE BINARY COUNTER AND OSCILLATOR

FEATURES

- ◆ 14 Fully Static Stages
- ◆ 10 Buffered Outputs Available
- ◆ Common Reset Line
- ◆ 8MHz Counting Rate @ 10Vdc.
- ◆ All Active Oscillator Components on Chip for R-C or Crystal Control

DESCRIPTION

The SCL4060AB consists of an oscillator section and 14 ripple-carry binary counter stages. The oscillator configuration allows design of either R-C or crystal oscillator circuits. A Reset input is provided which resets the counter to the all-0's state. A high level on the Reset line accomplishes the reset function. The state of the counter is advanced one step in binary order on the negative transition of the Clock input ϕ . All inputs and outputs are fully buffered. Outputs are available from stages 4 through 10 and 12 through 14.

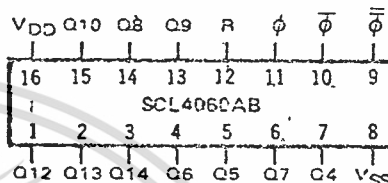
Applications include timers, frequency dividers, delay circuits and counter controls.

TRUTH TABLE

CLOCK	RESET	OUTPUT STATE
	0	No Change
	1	Advance to next state
X	X	All Outputs are 0's

X = Don't Care

CONNECTION DIAGRAM (all packages)



Add suffix for package:

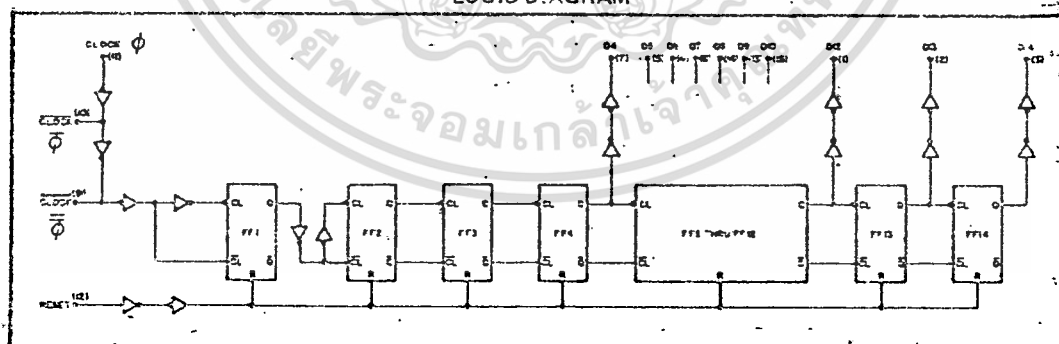
- C 16-pin Cerdip
- D 16-pin Ceramic
- E 16-pin Epoxy
- F 16-pin Flat
- H Chip

RECOMMENDED OPERATING CONDITIONS

For maximum reliability:

DC Supply Voltage	$V_{DD} - V_{SS}$	3 to 15	Vdc
Operating Temperature	T_A	-55 to +125	°C
C, D, F, H Device		-40 to +85	°C
E Device			

LOGIC DIAGRAM



ELECTRICAL CHARACTERISTICS

STATIC CHARACTERISTICS¹

PARAMETER	V _{DD} (V _{DC})	CONDITIONS	T _{LOW} ²		+25°C			T _{HIGH} ²		Units
			Min.	Max.	Min.	Typ.	Max.	Min.	Max.	
QUIESCENT DEVICE CURRENT	I _{DD}	5	V _{IN} =V _{SS} or V _{DD} All valid input combinations	—	5	—	0.05	5	—	150 μ A _{DC}
		10		—	10	—	0.1	10	—	300
		15		—	15	—	0.2	20	—	600
OUTPUT HIGH (SOURCE) CURRENT C, D, F, H device	I _{OH}	5	V _{OH} =4.6V	-0.15	—	-0.12	-0.5	—	-0.08	—
		10	V _{OH} =9.5V	-0.37	—	-0.3	-1.15	—	-0.21	—
		15	V _{OH} =13.5V	-1.25	—	-1.0	-4.5	—	-0.69	—
			V _{IN} =V _{SS} or V _{DD}							
		5	V _{OH} =4.6V	-0.14	—	-0.12	-0.5	—	-0.10	—
		10	V _{OH} =9.5V	-0.35	—	-0.3	-1.15	—	-0.25	—
E device	I _{OH}	15	V _{OH} =13.5V	-1.2	—	-1.0	-4.5	—	-0.85	—
			V _{IN} =V _{SS} or V _{DD}							
		5	V _{OH} =4.6V	-0.14	—	-0.12	-0.5	—	-0.10	—
		10	V _{OH} =9.5V	-0.35	—	-0.3	-1.15	—	-0.25	—
		15	V _{OH} =13.5V	-1.2	—	-1.0	-4.5	—	-0.85	—
			V _{IN} =V _{SS} or V _{DD}							
OUTPUT LOW (SINK) CURRENT C, D, F, H device	I _{OL}	5	V _{OL} =0.4V	0.15	—	0.12	0.5	—	0.08	—
		10	V _{OL} =0.5V	0.37	—	0.3	1.0	—	0.21	—
		15	V _{OL} =1.5V	1.25	—	1.0	5.8	—	0.69	—
E device	I _{OL}		V _{IN} =V _{SS} or V _{DD}							
		5	V _{OL} =0.4V	0.14	—	0.12	0.5	—	0.10	—
		10	V _{OL} =0.5V	0.35	—	0.3	1.0	—	0.25	—
		15	V _{OL} =1.5V	1.2	—	1.0	5.8	—	0.85	—
			V _{IN} =V _{SS} or V _{DD}							

NOTES: ¹ Remaining Static Electrical Characteristics are listed under "SCL4000B Series Family Specifications".

² T_{LOW} = -55°C for C, D, F, H device.

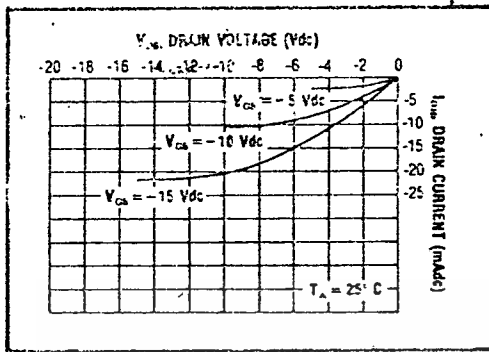
= -40°C for E device.

T_{HIGH} = +125°C for C, D, F, H device.

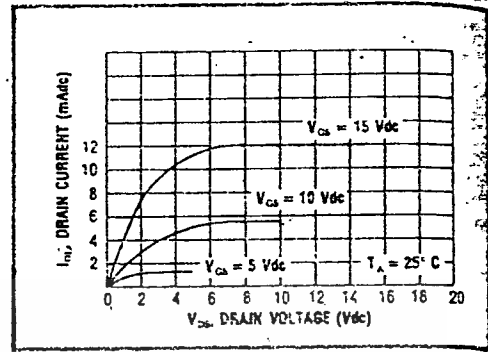
= + 85°C for E device.

DYNAMIC CHARACTERISTICS (C_L = 50pF, T_A = 25°C)

PARAMETER		V _{DD} (V _{DC})	Min.	Typ.	Max.	Units
CLOCKED OPERATION						
PROPAGATION DELAY TIME Clock to Q4 Q _i to Q _i + 1	t _{PLH} , t _{PHL}	5	—	650	1300	ns
		10	—	325	650	
		15	—	250	520	
	t _{PLH} , t _{PHL}	5	—	150	300	ns
		10	—	75	150	
		15	—	60	120	
OUTPUT TRANSITION TIME	t _{TLH} , t _{THL}	5	—	180	360	ns
		10	—	90	180	
		15	—	65	130	
MINIMUM CLOCK PULSE WIDTH	PW _{CL}	5	—	100	200	ns
		10	—	50	100	
		15	—	40	80	
MAXIMUM CLOCK FREQUENCY	f _{CL}	5	2.0	4.0 ³	—	MHz
		10	4.0	8.0 ³	—	
		15	5	10	—	
MAXIMUM CLOCK RISE AND FALL TIME	t _{CL} , t _{CL}	5	15	—	—	μs
		10	15	—	—	
		15	5	—	—	
RESET OPERATION						
PROPAGATION DELAY TIME	t _{PHL}	5	—	300	600	ns
		10	—	150	300	
		15	—	120	240	
MINIMUM RESET PULSE WIDTH	PW _R	5	—	150	300	ns
		10	—	75	150	
		15	—	50	120	
RESET REMOVAL TIME	t _{rem}	5	—	250	500	ns
		10	—	125	250	
		15	—	100	200	

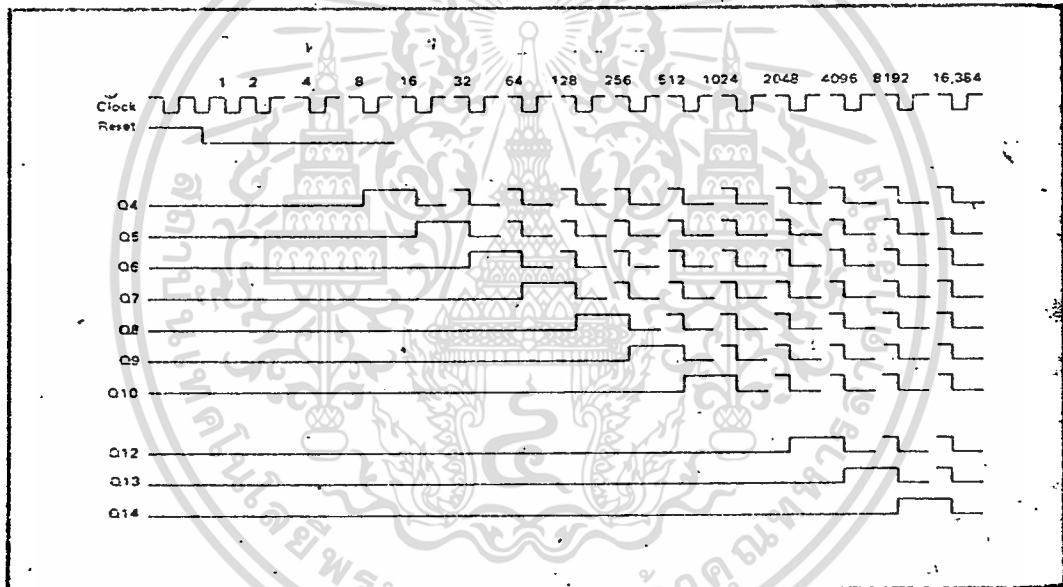


Typical P-Channel
Source Current Characteristics

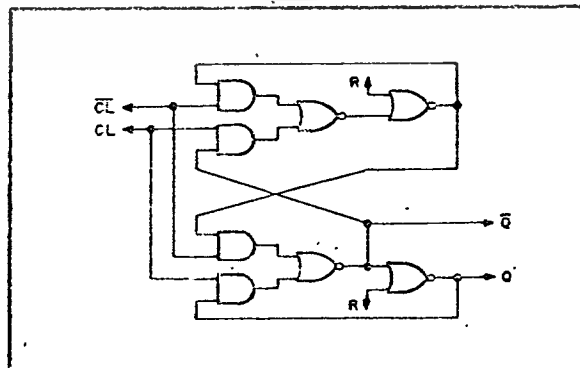


Typical N-Channel
Sink Current Characteristics

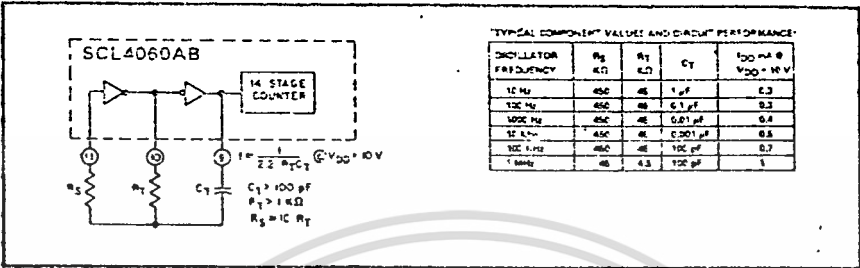
TIMING DIAGRAM



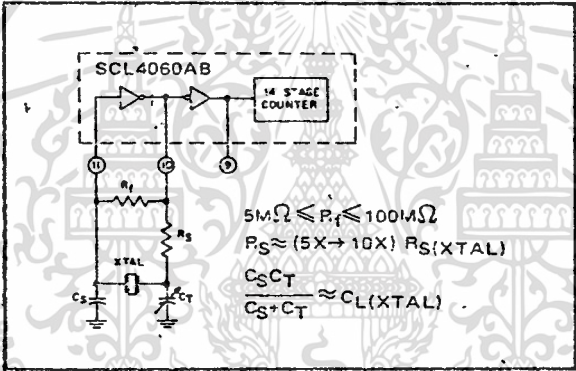
TYPICAL COUNTER STAGE



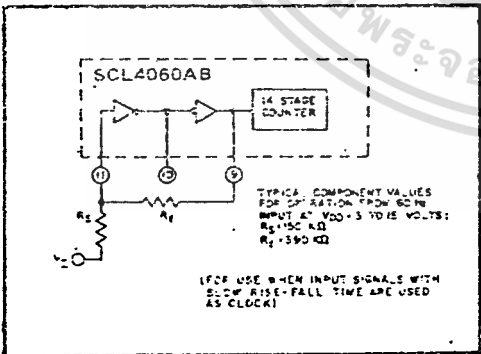
APPLICATIONS INFORMATION



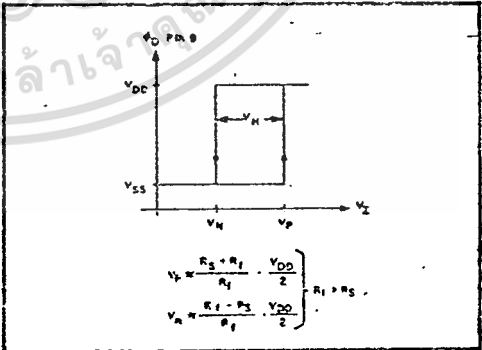
Typical RC oscillator circuit



Typical crystal oscillator circuit



Input pulse-shaping circuit (Schmitt trigger)



Input circuit characteristics for pulse-shaping circuit.

	ALS TTL			AS TTL			FAST TTL		
	Device Type	Package		Device Type	Package		Device Type	Package	
		C P M C F			C P M C F			C P M C F	
TTL	SN54ALS00A	J1							
	SN74ALS00A	J1							
FAST CHILD							FC54F00	DJ	IFJ
							FC74F00	DJ	IFJ
FAST POLA	SN74ALS00	J1					MC54F00	J1	
	SN74ALS00	J1					MC74F00	J1	
N.S.C.	DM74ALS00	J1							
	DM74ALS00	J1							
PHILIPS									
SIGNETICS							554F00	IFJ	
							574F00	IFJ	
SIEMENS									
FUJITSU	MB74ALS00	N1							
HITACHI	HD74ALS00	PJ							
MITSUBISHI									
NEC									
TOSHIBA									

Electrical Characteristics SN54ALS00A/SN74ALS00A

absolute maximum ratings over operating free-air temperature range			
Supply voltage V_{CC}	7V	Operating free-air temperature range	SN54ALS -55°C to 125°C
Input voltage	7V	Temperature range	SN74ALS 0°C to 70°C
		Storage temperature range	-65°C to 150°C

recommended operating conditions

PARAMETER	SN54ALS00A			SN74ALS00A			UNIT
	MIN	NOM	MAX	MIN	NOM	MAX	
Supply voltage V_{CC}	4.5	5	5.5	4.5	5	5.5	V
High-level output current I_{OH}			-400			-400	μ A
Low-level output current I_{OL}			4			4	μ A
Operating free-air temperature T_A	-55		125	0		70	°C

electrical characteristics over recommended operating free-air temperature range

PARAMETER	TEST CONDITIONS	MIN	TYP	MAX	UNIT
V_{IH} High-level input voltage		2			V
V_{IL} Low-level input voltage			0.8		V
V_{OL} Low-level output voltage	$V_{CC} = \text{MIN}$, $I_L = -15 \mu\text{A}$		-1.5		V
V_{OH} High-level output voltage	$V_{CC} = \text{MIN}$, $I_{OH} = \text{MAX}$	2.5	3.4		V
V_{OL} Low-level output voltage	$V_{CC} = \text{MIN}$, $I_{OL} = \text{MAX}$		0.25	0.4	V
Input current at maximum input voltage	$V_{CC} = \text{MAX}$, $V_I = 7\text{V}$		0.1		μ A
High-level input current	$V_{CC} = \text{MAX}$, $V_{IH} = 2.7\text{V}$		20		μ A
Low-level input current	$V_{CC} = \text{MAX}$, $V_{IL} = 0.8\text{V}$		-0.2		μ A
Output current I_O	$V_O = 2.25\text{V}$, $V_{CC} = \text{MAX}$	-10		-60	μ A
I_{OCH} Supply current outputs high	$V_{CC} = \text{MAX}$, $V_I = 0\text{V}$		0.43	0.85	μ A
I_{OCL} Supply current outputs low	$V_{CC} = \text{MAX}$, $V_I = 0.5\text{V}$		1.62	3	μ A
t_{PLH} Propagation delay time low-to-high-level output	$V_{CC} = 4.5-5.5\text{V}$	24ALS: 3	14		ns
		74ALS: 3	11		
t_{PHL} Propagation delay time high-to-low-level output	$C_L = 50\text{pF}$, $R_L = 500\Omega$	24ALS: 3	10		ns
		74ALS: 2	8		

Electrical Characteristics FC54F00/FC74F00

absolute maximum ratings over operating free-air temperature range			
Supply voltage V_{CC}	7V	Operating free-air temperature range	FC54F -55°C to 125°C
Input voltage	7V	Temperature range	FC74F 0°C to 70°C
		Storage temperature range	-65°C to 150°C

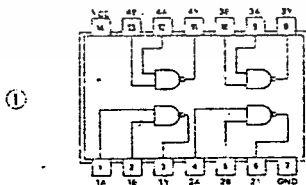
recommended operating conditions

PARAMETER	FC54F00			FC74F00			UNIT
	MIN	NOM	MAX	MIN	NOM	MAX	
Supply voltage V_{CC}	4.5	5	5.5	4.75	5	5.25	V
High-level output current I_{OH}			-1			-1	μ A
Low-level output current I_{OL}			20			20	μ A
Operating free-air temperature T_A	-55		125	0		70	°C

electrical characteristics over recommended operating free-air temperature range

PARAMETER	TEST CONDITIONS	MIN	TYP	MAX	UNIT
V_{IH} High-level input voltage		2			V
V_{IL} Low-level input voltage			0.8		V
V_{OL} Low-level output voltage	$V_{CC} = \text{MIN}$, $I_L = -15 \mu\text{A}$		-1.2		V
V_{OH} High-level output voltage	$V_{CC} = \text{MIN}$, $I_{OH} = \text{MAX}$	2.7	3.4		V
V_{OL} Low-level output voltage	$V_{CC} = \text{MIN}$, $I_{OL} = \text{MAX}$		0.25	0.5	V
Input current at maximum input voltage	$V_{CC} = \text{MAX}$, $V_I = 7\text{V}$		0.1		μ A
High-level input current	$V_{CC} = \text{MAX}$, $V_{IH} = 2.7\text{V}$		20		μ A
Low-level input current	$V_{CC} = \text{MAX}$, $V_{IL} = 0.8\text{V}$		-0.2		μ A
Output current I_O	$V_O = 2.25\text{V}$, $V_{CC} = \text{MAX}$	-60		-150	μ A
I_{OCH} Supply current outputs high	$V_{CC} = \text{MAX}$, $V_I = 0\text{V}$		1.9	2.8	μ A
I_{OCL} Supply current outputs low	$V_{CC} = \text{MAX}$, $V_I = 0.5\text{V}$		6.8	10	μ A
t_{PLH} Propagation delay time low-to-high-level output	$V_{CC} = 5\text{V}$, $T_A = 25^\circ\text{C}$	2.4	3.7	5.0	ns
t_{PHL} Propagation delay time high-to-low-level output	$C_L = 50\text{pF}$, $R_L = 500\Omega$	2.0	3.2	4.5	ns

Pin Assignment (Top View)



5400/7400 Quadrate 2-Input Positive-NAND Gate

	Schottky TTL			High-Speed TTL			Low-Power Schottky TTL			Standard TTL			Low-Power TTL		
	Device Type	Package		Device Type	Package		Device Type	Package		Device Type	Package		Device Type	Package	
T.L	SN5450C	J14	MC	SN5450C	J14	MC	SN5450C	J14	MC	SN5450C	J14	MC	SN5450C	J14	MC
FAIRCHILD	SN7450C	J14	MC	SN7450C	J14	MC	SN7450C	J14	MC	SN7450C	J14	MC	SN7450C	J14	MC
MOTOROLA	PM5450C/PM550C	D14	MS	PM5450C/PM550C	D14	MS	PM5450C/PM550C	D14	MS	PM5450C/PM550C	D14	MS	PM5450C/PM550C	D14	MS
N.S.C.	DM5450C	J14	MC	DM5450C	J14	MC	DM5450C	J14	MC	DM5450C	J14	MC	DM5450C	J14	MC
PHILIPS	DM7450C	J14	MC	DM7450C	J14	MC	DM7450C	J14	MC	DM7450C	J14	MC	DM7450C	J14	MC
SIGNETICS	N7450C	J14	MC	N7450C	J14	MC	N7450C	J14	MC	N7450C	J14	MC	N7450C	J14	MC
SIEMENS	N7450C	J14	MC	N7450C	J14	MC	N7450C	J14	MC	N7450C	J14	MC	N7450C	J14	MC
FLUITSU	MS7450C	J14	MC	MS7450C	J14	MC	MS7450C	J14	MC	MS7450C	J14	MC	MS7450C	J14	MC
HITACHI	HD7450C	J14	MC	HD7450C	J14	MC	HD7450C	J14	MC	HD7450C	J14	MC	HD7450C	J14	MC
MITSUBISHI	MS5450C	J14	MC	MS5450C	J14	MC	MS5450C	J14	MC	MS5450C	J14	MC	MS5450C	J14	MC
NEC	μP5450C	J14	MC	μP5450C	J14	MC	μP5450C	J14	MC	μP5450C	J14	MC	μP5450C	J14	MC
TOSHIBA	TD5450C	J14	MC	TD5450C	J14	MC	TD5450C	J14	MC	TD5450C	J14	MC	TD5450C	J14	MC

Electrical Characteristics SN54LS00 SN74LS00

absolute maximum ratings over operating free-air temperature range

Supply voltage VCC	TV	Operating temperature range	SN54LS	-55°C to 125°C
Input voltage	TV	Storage temperature range	SN74LS	-65°C to 150°C
Intermittent voltage	5.5V	Storage temperature range		-65°C to 150°C

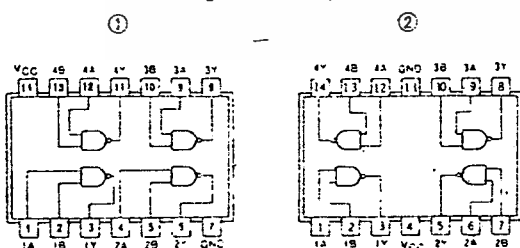
recommended operating conditions

	SN54LS00				SN74LS00				UNIT
	MIN	MAX	MIN	MAX	MIN	MAX	MIN	MAX	
Supply voltage VCC	4.5	5	4.5	5	4.5	5	4.5	5	V
High-level output current IOH		-400		-400		-400		-400	μA
Low-level output current IOL		4		4		4		4	mA
Operating temperature TA	-55	125	-65	150	-55	125	-65	150	°C

electrical characteristics over recommended operating free-air temperature range

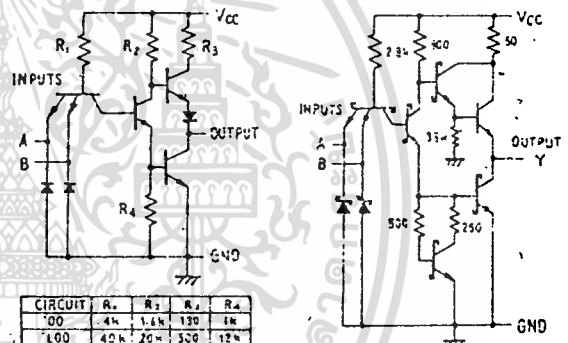
PARAMETER	TEST CONDITIONS	MIN	TYP	MAX	UNIT
V _{IH} High-level input voltage			2		V
V _{IL} Low-level input voltage				0.7	V
V _{IK} Input clamp voltage	VCC = MIN, I _I = -1.5 mA			-1.5	V
V _{OH} High-level output voltage	VCC = MIN, I _O = MAX V _I = V _{IH} max	SN54LS 2.5 74LS 2.7	3.4		V
V _{OL} Low-level output voltage	VCC = MIN, V _{IH} = 2V I _O = MAX	SN54LS 0.25 74LS 0.25	0.4	0.5	V
I _I Input current at maximum input voltage	VCC = MAX, V _I = TV			0.1	mA
I _{IH} High-level input current	VCC = MAX, V _{IH} = 2.7V			20	μA
I _{IL} Low-level input current	VCC = MAX, V _{IL} = 0.7			-0.1	mA
I _{OS} Short-circuit output current	VCC = MAX	SN54LS -20 74LS -20	-100	-100	mA
I _{CC} Supply current	VCC = MAX	Total outputs high	0.8	1.6	mA
I _{CC} Supply current	VCC = MAX	Total outputs low	2.4	4.4	mA
I _{CC} Supply current	VCC = 5V	Average per gate (50% duty cycle)	0.4		mA
t _{PLH} Propagation delay time, low-to-high-level output	VCC = 5V, T _A = 25°C		9	15	ns
t _{PHL} Propagation delay time, high-to-low-level output	C _L = 15pF, P _L = 20Ω		10	15	ns

Pin Assignments (Top View)

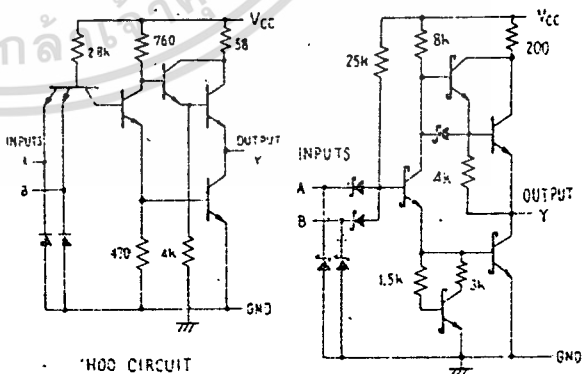


positive logic
V_{CC} = 5V

Schematics (each gate)



Input clamp diodes not on
SN54LS00 / SN74LS00 circuits.
'00, '000 CIRCUITS



Resistor values shown are nominal and in ohms

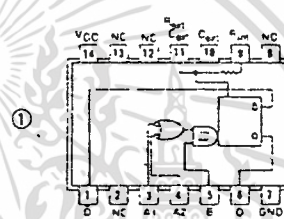
54121/74121 Monostable Multivibrator with Schmitt-Trigger Input

	Schottky TTL				High-Speed TTL				Low-Power Schottky TTL				Standard TTL				Low-Power TTL			
	Device Type		Package		Device Type		Package		Device Type		Package		Device Type		Package		Device Type		Package	
T.I.																				
FAIRCHILD													SN54121	J0			SN54121	J0		
MOTOROLA													SN54121	J0			SN54121	J0		
N.S.C.													SN54121	J0			SN54121	J0		
PHILIPS													SN54121	J0			SN54121	J0		
SIGNETICS													SN54121	J0			SN54121	J0		
SIEMENS													SN54121	J0			SN54121	J0		
FUJITSU													SN54121	J0			SN54121	J0		
HITACHI													SN54121	J0			SN54121	J0		
W.T.S.B. SHI													SN54121	J0			SN54121	J0		
NEC													SN54121	J0			SN54121	J0		
TOSHIBA													SN54121	J0			SN54121	J0		

Electrical Characteristics SN54121 SN74121

absolute maximum ratings over operating free-air temperature range				
supply voltage V_{CC}	18V	storage temperature	55°C to 125°C	
power dissipation	1W	operating temperature	0°C to 70°C	
		storage temperature range	-65°C to 150°C	
recommended operating conditions				
	SN54121	SN74121	unit	
supply voltage V_{CC}	4.5 to 5.5	4.5 to 5.5	V	
maximum output current I_{OL}	-400	-400	mA	
maximum output current I_{OL}	16	16	mA	
rate of rise or fall of output pulse dV/dt	1	1	V/μs	
load capacitance C_L	50	50	pF	
propagation delay time t_{PD}	14	14	ns	
set-up time t_{SU}	6	6	ns	
hold time t_{H}	15	15	ns	
storage time t_{ST}	15	15	ns	
switching time t_{SW}	15	15	ns	
storage time t_{ST}	15	15	ns	
switching time t_{SW}	15	15	ns	
electrical characteristics over recommended operating free-air temperature range				
PARAMETER	TEST CONDITIONS ¹	MIN	TYP ²	MAX
V_T Positive-going threshold voltage	$V_{CC} = \text{MIN}$, A input	1.4	2	V
V_T Negative-going threshold voltage	$V_{CC} = \text{MIN}$, A input	0.8	1.4	V
V_T Positive-going threshold voltage	$V_{CC} = \text{MIN}$, B input	1.55	2	V
V_T Negative-going threshold voltage	$V_{CC} = \text{MIN}$, B input	0.8	1.55	V
V_I Input clamp voltage	$V_{CC} = \text{MIN}$, $I_I = -12 \text{ mA}$	-	-	-1.5
V_O High-level output voltage	$V_{CC} = \text{MIN}$, $I_{OH} = V_{CC}$	2.4	3.4	V
V_{OL} Low-level output voltage	$V_{CC} = \text{MIN}$, $I_{OL} = V_{CC}$	0.2	0.4	V
I_I Input current at maximum input voltage	$V_{CC} = \text{MAX}$, $V_I = 5 \text{ V}$	-	-	1
I_{OH} High-level output current	$V_{CC} = \text{MAX}$, $V_O = 2.4 \text{ V}$	-	-	40
I_{OL} Low-level output current	$V_{CC} = \text{MAX}$, $V_O = 0.4 \text{ V}$	-	-	40
I_{CS} Short-circuit output current ³	$V_{CC} = \text{MAX}$	-	-	54
I_{CC} Supply current	$V_{CC} = \text{MAX}$	-	-	23
t_{PLH} Propagation delay time, low-to-high level, output from either A input	$V_{CC} = 5 \text{ V}$, $T_A = 25^\circ \text{C}$, $C_L = 150 \text{ pF}$, $R_L = 400 \Omega$	-	-	45
t_{PLH} Propagation delay time, low-to-high level, output from B input	$V_{CC} = 5 \text{ V}$, $T_A = 25^\circ \text{C}$, $C_L = 150 \text{ pF}$, $R_L = 400 \Omega$	-	-	35
t_{PHL} Propagation delay time, high-to-low level, output from either A input	$V_{CC} = 5 \text{ V}$, $T_A = 25^\circ \text{C}$, $C_L = 150 \text{ pF}$, $R_L = 400 \Omega$	-	-	50
t_{PHL} Propagation delay time, high-to-low level, output from B input	$V_{CC} = 5 \text{ V}$, $T_A = 25^\circ \text{C}$, $C_L = 150 \text{ pF}$, $R_L = 400 \Omega$	-	-	40
t_{WU} Pulse width obtained using external timing resistor	$V_{CC} = 5 \text{ V}$, $T_A = 25^\circ \text{C}$, $C_{EXT} = 80 \text{ pF}$, $R_{EXT} = V_{CC}$	-	-	70
t_{WU} Pulse width obtained using external timing resistor	$V_{CC} = 5 \text{ V}$, $T_A = 25^\circ \text{C}$, $C_{EXT} = 80 \text{ pF}$, $R_{EXT} = V_{CC}$	-	-	30
t_{WU} Pulse width obtained using external timing resistor	$V_{CC} = 5 \text{ V}$, $T_A = 25^\circ \text{C}$, $C_{EXT} = 80 \text{ pF}$, $R_{EXT} = V_{CC}$	-	-	600
t_{WU} Pulse width obtained using external timing resistor	$V_{CC} = 5 \text{ V}$, $T_A = 25^\circ \text{C}$, $C_{EXT} = 80 \text{ pF}$, $R_{EXT} = V_{CC}$	-	-	6

Pin Assignment (Top view)



NC-No internal connection
121 $R_{INT} = 2 \text{ k}\Omega$ NOM
121 $R_{INT} = 4 \text{ k}\Omega$ NOM

Function Table

INPUTS		OUTPUTS	
A1	A2	Q	Q-bar
L	X	L	H
X	L	L	H
X	X	L	H
H	H	L	H
H	X	L	H
X	H	L	H
L	X	L	H
X	L	L	H

- NOTES 1. H=high level (steady state), L=low level (steady state), T=transition from low to high level, X=transition from high to low level, L=one high level pulse, H=one low level pulse, K=irrelevant (any input including transitions).
2. An external capacitor may be connected between C_{EXT} (positive) and R_{EXT} (negative). For accurate repeatable pulse widths, connect an external resistor between R_{EXT} and V_{CC} or GND as appropriate.
3. To use the internal timing resistor, connect R_{INT} to V_{CC} .
4. To obtain variable pulse widths, connect external timing resistor between R_{INT} or R_{EXT} and V_{CC} .
- The output pulse width is defined as:
 $t_W = C_{EXT} R_T$ for $R_T \geq 0.7 \text{ k}\Omega$
 $t_W = C_{EXT} R_T$ for $R_T < 0.7 \text{ k}\Omega$
 where
 $P_T = 1 \text{ nS}$
 $C_{EXT} = 80 \text{ pF}$
 $R_T = 1 \text{ k}\Omega$

*For conditions shown as MIN, MAX, use the appropriate value specified under recommended operating conditions.
 †Typical values are at $V_{CC} = 5 \text{ V}$, $T_A = 25^\circ \text{C}$.
 *Note: Make sure that one output should be shorted at a time.

MOTOROLA
SEMICONDUCTOR
TECHNICAL DATA

2N3866
2N3866A

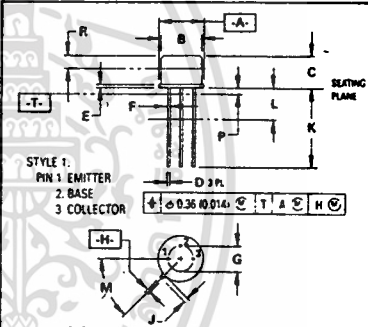
The RF Line

NPN SILICON HIGH FREQUENCY TRANSISTOR

... designed for amplifier and oscillator applications in military and industrial equipment. Suitable for use as output, driver or pre-driver stages in VHF and UHF equipment.

- Specified 400 MHz, 28 Vdc Characteristics —
 Output Power = 1.0 Watt
 Minimum Gain = 10 dB
 Efficiency = 45%
- Large Signal Series Equivalent Impedances
- S-Parameter Characterization

1.0 W – 400 MHz
HIGH FREQUENCY
TRANSISTOR
NPN SILICON



- NOTES:
1. DIMENSIONING AND TOLERANCING PER ANSI Y14.5M, 1982.
 2. CONTROLLING DIMENSION: INCH.
 3. DIMENSION J MEASURED FROM DIMENSION A MAXIMUM.
 4. DIMENSION B SHALL NOT VARY MORE THAN 0.25 (0.010) IN ZONE R. THIS ZONE CONTROLLED FOR AUTOMATIC HANDLING.
 5. DIMENSION F APPLIES BETWEEN DIMENSION P AND L. DIMENSION D APPLIES BETWEEN DIMENSION L AND K. MINIMUM LEAD DIAMETER IS UNCONTROLLED IN DIMENSION P AND BEYOND DIMENSION K MINIMUM.

	MILLIMETERS		INCHES	
DIM	MIN	MAX	MIN	MAX
A	6.51	6.29	0.335	0.370
B	7.75	8.50	0.305	0.335
C	6.10	6.60	0.240	0.260
D	0.41	0.53	0.016	0.021
E	0.23	1.04	0.009	0.041
F	0.41	0.48	0.016	0.019
G	5.08 BSC		0.200 BSC	
H	0.72	0.86	0.028	0.034
J	0.74	1.14	0.029	0.045
K	12.70	19.05	0.500	0.750
L	6.35	—	0.250	—
M	.45° BSC		.45° BSC	
P	—	1.27	—	0.050
R	2.54	—	0.100	—

CASE 79-04
TO-205AD
(TO-39)

***MAXIMUM RATINGS**

Rating	Symbol	Value	Unit
Collector-Emitter Voltage	V_{CEO}	30	Vdc
Collector-Base Voltage	V_{CBO}	55	Vdc
Emitter-Base Voltage	V_{EBO}	3.5	Vdc
Collector Current — Continuous	I_C	0.4	Adc
Total Device Dissipation @ $T_C = 25^\circ\text{C}$ Derate Above 25°C	P_D	5.0 28.6	Watts mW/°C
Storage Temperature Range	T_{stg}	-65 to +200	°C

*Indicates JEDEC Registered Data

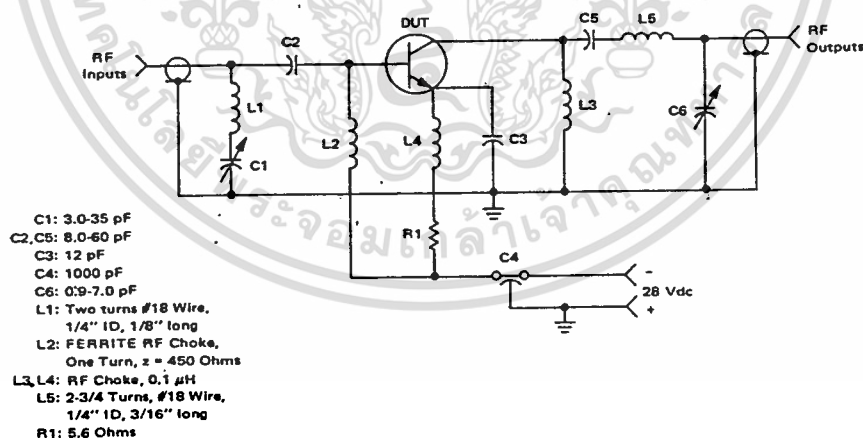
2N3866, 2N3866A

*ELECTRICAL CHARACTERISTICS ($T_C = 25^\circ\text{C}$ unless otherwise noted).

Characteristic	Symbol	Min	Max	Unit
OFF CHARACTERISTICS				
Collector-Emitter Sustaining Voltage ($I_C = 5.0\text{ mA}$, $I_B = 0$)	$V_{CE(sus)}$	30	—	Vdc
Collector-Base Sustaining Voltage ($I_C = 5.0\text{ mA}$, $R_{BE} = 10\ \Omega$)	$V_{CER(sus)}$	55	—	Vdc
Emitter-Base Breakdown Voltage ($I_E = 100\ \mu\text{A}$, $I_C = 0$)	$V_{(BR)EBO}$	3.5	—	Vdc
Collector Cutoff Current ($V_{CE} = 28\text{ Vdc}$, $I_B = 0$)	I_{CEO}	—	0.02	mA
Emitter Cutoff Current ($V_{BE} = 3.5\text{ Vdc}$, $I_C = 0$)	I_{EBO}	—	0.1	mA
Collector Cutoff Current ($V_{CE} = 30\text{ Vdc}$, $V_{BE} = -1.5\text{ Vdc}$ (Rev.), $T_C = 200^\circ\text{C}$) ($V_{CE} = 55\text{ Vdc}$, $V_{BE} = -1.5\text{ Vdc}$ (Rev.))	I_{CEX}	—	5.0 0.1	mA
ON CHARACTERISTICS				
DC Current Gain ($I_C = 360\text{ mA}$, $V_{CE} = 5.0\text{ Vdc}$) ($I_C = 50\text{ mA}$, $V_{CE} = 5.0\text{ Vdc}$)	Both 2N3866 2N3866A	hFE 5.0 10 25	— 200 200	—
Collector-Emitter Saturation Voltage ($I_C = 100\text{ mA}$, $I_B = 20\text{ mA}$)	$V_{CE(sat)}$	—	1.0	Vdc
DYNAMIC CHARACTERISTICS				
Current-Gain — Bandwidth Product ($I_C = 50\text{ mA}$, $V_{CE} = 15\text{ Vdc}$, $f = 200\text{ MHz}$)	2N3866 2N3866A	f_T 500 800	—	MHz
Output Capacitance ($V_{CB} = 28\text{ Vdc}$, $I_E = 0$, $f = 1.0\text{ MHz}$)		C_{ob}	3.0	pF
FUNCTIONAL TESTS				
Common-Emitter Amplifier Power Gain ($V_{CC} = 28\text{ Vdc}$, $P_{out} = 1.0\text{ W}$, $f = 400\text{ MHz}$)		GPE	10	dB
Collector Efficiency ($V_{CC} = 28\text{ Vdc}$, $P_{out} = 1.0\text{ W}$, $f = 400\text{ MHz}$)		η	45	%

*Indicates JEDEC Registered Data.

FIGURE 1 — 400 MHz TEST CIRCUIT SCHEMATIC



2N3866, 2N3866A

FIGURE 2 – POWER OUTPUT versus
FREQUENCY (Class C)

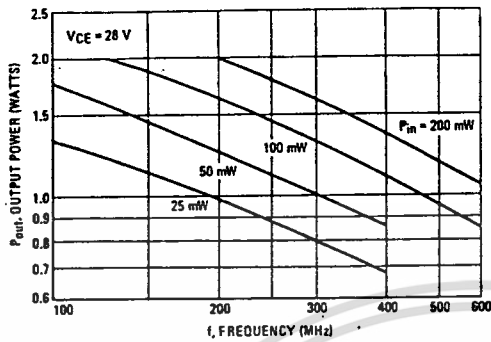


FIGURE 3 – CURRENT-GAIN – BANDWIDTH PRODUCT

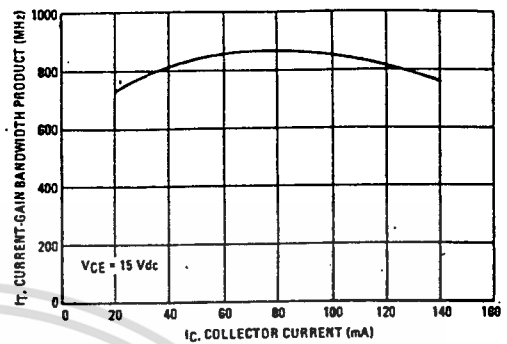


FIGURE 4 – COLLECTOR-BASE TIME CONSTANT

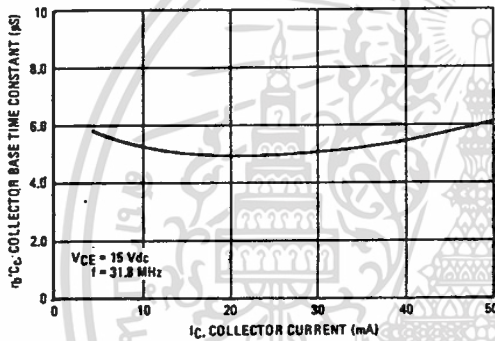


FIGURE 5 – OUTPUT CAPACITANCE

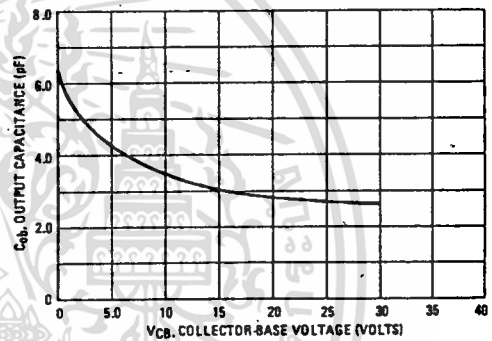


FIGURE 6 – OUTPUT POWER versus INPUT POWER
(CLASS C)

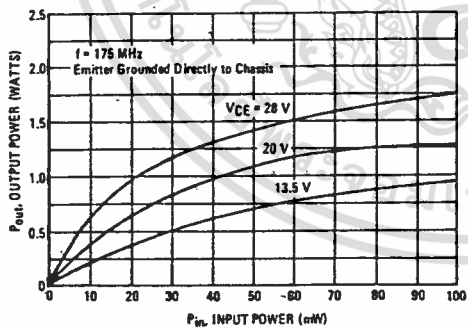
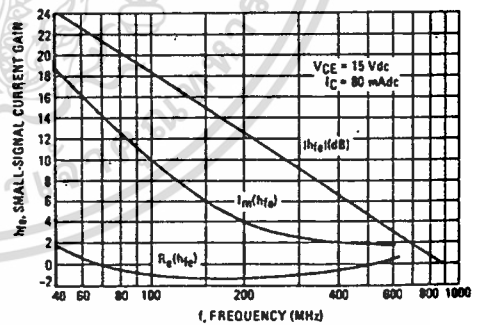


FIGURE 7 – SMALL-SIGNAL CURRENT GAIN



2N3866, 2N3866A

FIGURE 8 - LARGE-SIGNAL SERIES EQUIVALENT IMPEDANCES

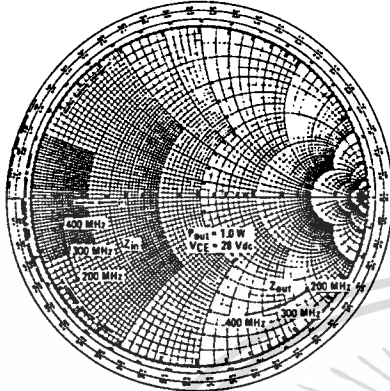


FIGURE 9 - S_{11} AND S_{22} versus FREQUENCY

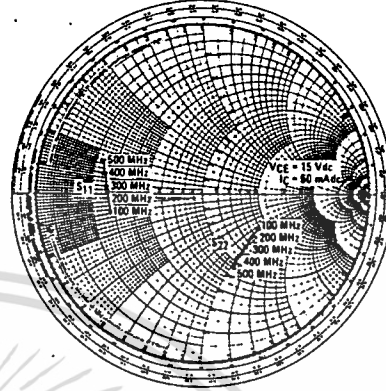


FIGURE 10 - S_{21} versus FREQUENCY

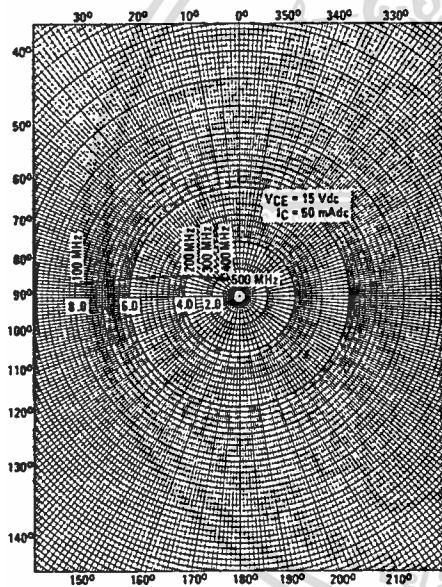
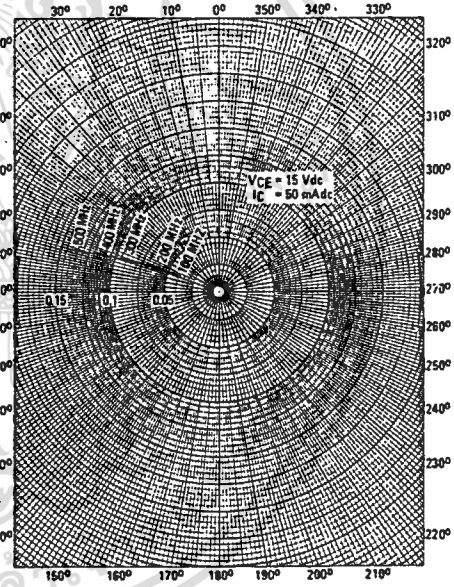


FIGURE 11 - S_{12} versus FREQUENCY



MOTOROLA
SEMICONDUCTOR
TECHNICAL DATA

2N5179

The RF Line

NPN SILICON RF HIGH FREQUENCY TRANSISTOR

... designed primarily for use in high-gain, low-noise amplifier, oscillator, and mixer applications. Can also be used in UHF converter applications.

- High Current-Gain — Bandwidth Product —
 $f_T = 1.4 \text{ GHz (Typ) @ } I_C = 10 \text{ mAdc}$
- Low Collector-Base Time Constant —
 $r_b'C_c = 14 \text{ ps (Max) @ } I_E = 2.0 \text{ mAdc}$
- Characterized with Scattering Parameters
- Low Noise Figure —
 $NF = 4.5 \text{ dB (Max) @ } f = 200 \text{ MHz}$

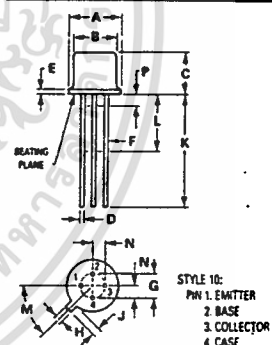
4.5 dB @ 200 MHz
HIGH FREQUENCY
TRANSISTOR
NPN SILICON



***MAXIMUM RATINGS**

Rating	Symbol	Value	Unit
Collector-Emitter Voltage Applicable 1.0 to 20 mAdc	V_{CEO}	12	Vdc
Collector-Base Voltage	V_{CB}	20	Vdc
Emitter-Base Voltage	V_{EB}	2.5	Vdc
Collector Current	I_C	50	mAdc
Total Device Dissipation @ $T_A = 25^\circ\text{C}$ Derate above 25°C	P_D	200 1.14	mW mW/°C
Total Device Dissipation @ $T_C = 25^\circ\text{C}$ Derate above 25°C	P_D	300 1.71	mW mW/°C
Storage Temperature Range	T_{stg}	-65 to +200	°C

*Indicates JEDEC Registered Data.



NOTE: ALL RULES AND NOTES ASSOCIATED WITH TO-72 OUTLINE SHALL APPLY.

DIM	MILLIMETERS		INCHES	
	MIN	MAX	MIN	MAX
A	5.31	5.84	0.209	0.230
B	4.52	4.95	0.178	0.195
C	4.32	5.33	0.170	0.210
D	6.41	6.53	0.252	0.257
E	—	0.26	—	0.010
F	0.41	0.48	0.016	0.019
G	2.54 BSC	—	0.100 BSC	—
H	0.91	1.17	0.036	0.046
J	0.71	1.22	0.028	0.048
K	12.70	—	0.500	—
L	6.35	—	0.250	—
M	45° BSC	—	45° BSC	—
N	1.27 BSC	—	0.050 BSC	—
P	—	1.27	—	0.050

CASE 20-03
TO-206AF
(TO-72)

*ELECTRICAL CHARACTERISTICS ($T_A = 25^\circ\text{C}$ unless otherwise noted)

Characteristic	Symbol	Min	Max	Unit
OFF CHARACTERISTICS				
Collector-Emitter Sustaining Voltage ($I_C = 3.0\text{ mAdc}$, $I_B = 0$)	$V_{CE(sus)}$	12	—	Vdc
Collector-Base Breakdown Voltage ($I_C = 0.001\text{ mAdc}$, $I_E = 0$)	$V_{(BR)CBO}$	20	—	Vdc
Emitter-Base Breakdown Voltage ($I_E = 0.01\text{ mAdc}$, $I_C = 0$)	$V_{(BR)EBO}$	2.5	—	Vdc
Collector Cutoff Current ($V_{CB} = 15\text{ Vdc}$, $I_E = 0$) ($V_{CB} = 15\text{ Vdc}$, $I_E = 0$, $T_A = 150^\circ\text{C}$)	I_{CBO}	— —	0.02 1.0	μA
ON CHARACTERISTICS				
DC Current Gain ($I_C = 3.0\text{ mAdc}$, $V_{CE} = 1.0\text{ Vdc}$)	h_{FE}	25	250	—
Collector-Emitter Saturation Voltage ($I_C = 10\text{ mAdc}$, $I_B = 1.0\text{ mAdc}$)	$V_{CE(sat)}$	—	0.4	Vdc
Base-Emitter Saturation Voltage ($I_C = 10\text{ mAdc}$, $I_B = 1.0\text{ mAdc}$)	$V_{BE(sat)}$	—	1.0	Vdc
DYNAMIC CHARACTERISTICS				
Current-Gain — Bandwidth Product ① ($I_C = 5.0\text{ mAdc}$, $V_{CE} = 6.0\text{ Vdc}$, $f = 100\text{ MHz}$)	f_T	900	2000	MHz
Collector-Base Capacitance ($V_{CB} = 10\text{ Vdc}$, $I_E = 0$, $f = 0.1$ to 1.0 MHz)	C_{cb}	—	1.0	pF
Small-Signal Current Gain ($I_C = 2.0\text{ mAdc}$, $V_{CE} = 6.0\text{ Vdc}$, $f = 1.0\text{ kHz}$)	h_{fe}	25	300	—
Collector-Base Time Constant ($I_E = 2.0\text{ mAdc}$, $V_{CB} = 6.0\text{ Vdc}$, $f = 31.9\text{ MHz}$)	$\tau_b \cdot C_c$	3.0	14	ps
Noise Figure (See Figure 1) ($I_C = 1.5\text{ mAdc}$, $V_{CE} = 6.0\text{ Vdc}$, $R_S = 50\text{ ohms}$, $f = 200\text{ MHz}$)	NF	—	4.5	dB
FUNCTIONAL TEST				
Common-Emitter Amplifier Power Gain (See Figure 1) ($V_{CE} = 6.0\text{ Vdc}$, $I_C = 5.0\text{ mAdc}$, $f = 200\text{ MHz}$)	G_{pe}	15	—	dB
Power Output (See Figure 2) ($V_{CB} = 10\text{ Vdc}$, $I_E = 12\text{ mAdc}$, $f \geq 500\text{ MHz}$)	P_{out}	20	—	mW

*Indicates JEDEC Registered Values.

① f_T is defined as the frequency at which $|h_{fe}|$ extrapolates to unity.

FIGURE 1 – 200 MHz AMPLIFIER POWER GAIN AND NOISE FIGURE CIRCUIT

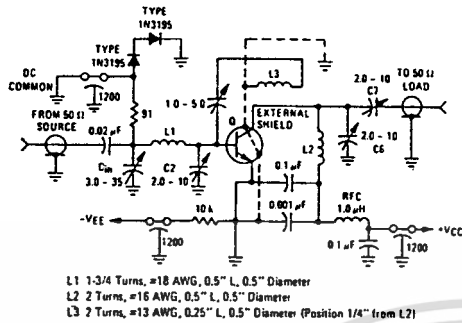


FIGURE 2 – 500 MHz OSCILLATOR CIRCUIT

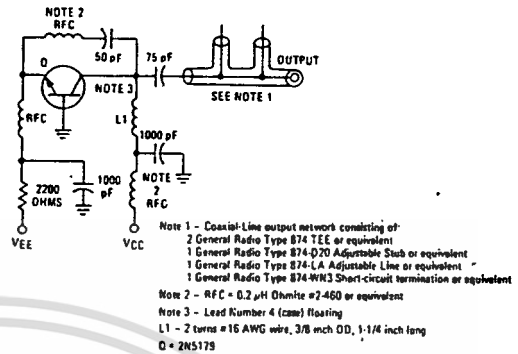


FIGURE 3 – NOISE FIGURE versus FREQUENCY

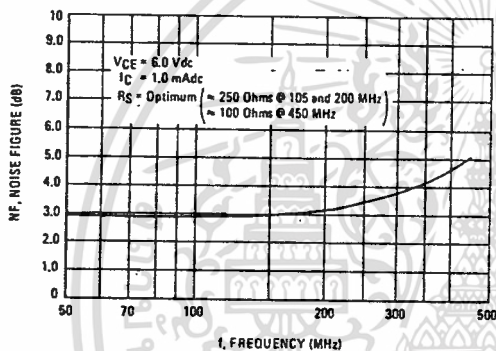


FIGURE 4 – NOISE FIGURE versus SOURCE RESISTANCE and COLLECTOR CURRENT

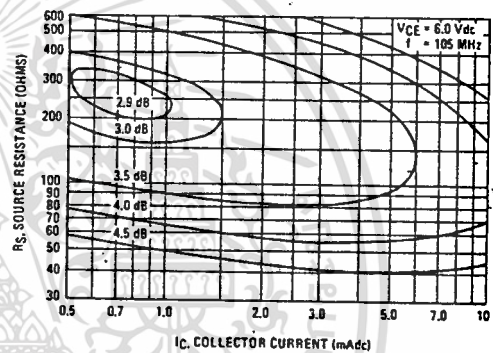
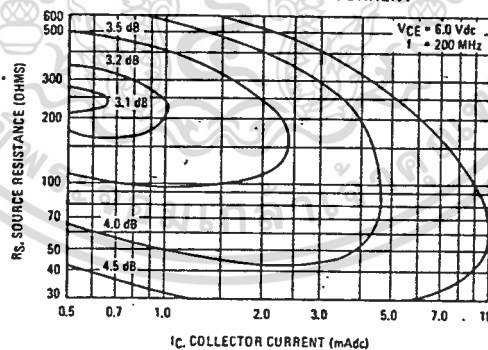


FIGURE 5 – NOISE FIGURE versus SOURCE RESISTANCE and COLLECTOR CURRENT



2N5179

FIGURE 6 - CURRENT-GAIN-BANDWIDTH PRODUCT

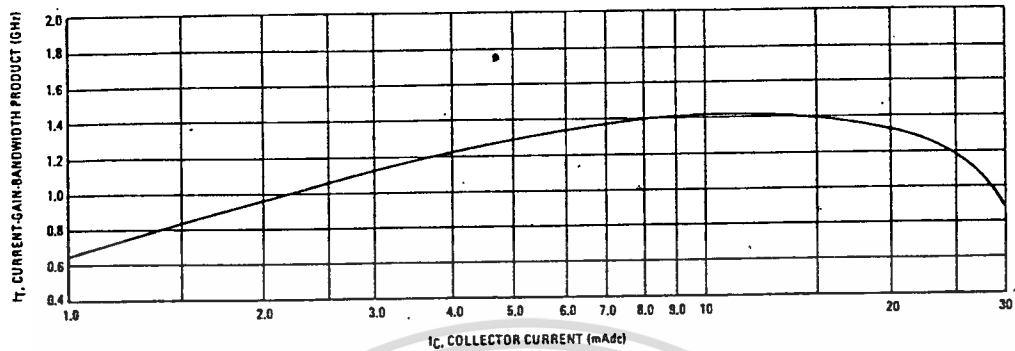


FIGURE 7 - INPUT ADMITTANCE versus FREQUENCY

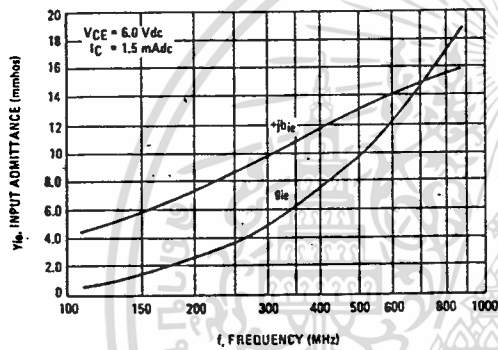


FIGURE 8 - OUTPUT ADMITTANCE versus FREQUENCY

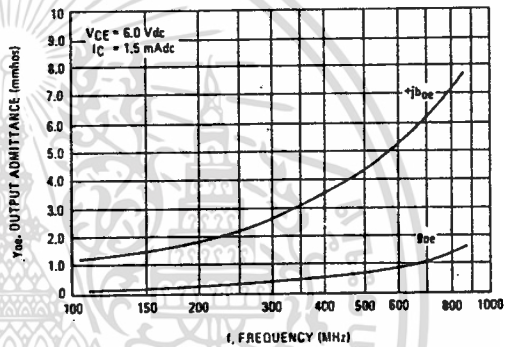


FIGURE 9 - FORWARD TRANSFER ADMITTANCE versus FREQUENCY

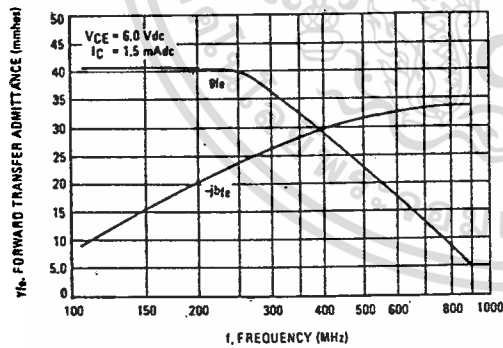


FIGURE 10 - REVERSE TRANSFER ADMITTANCE versus FREQUENCY

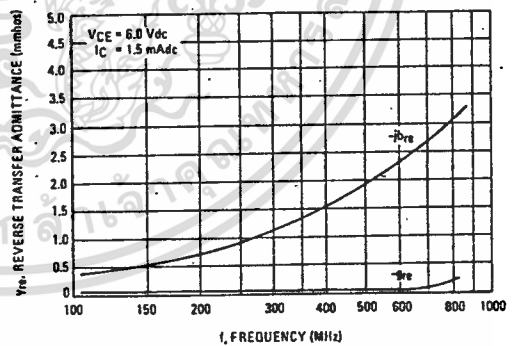


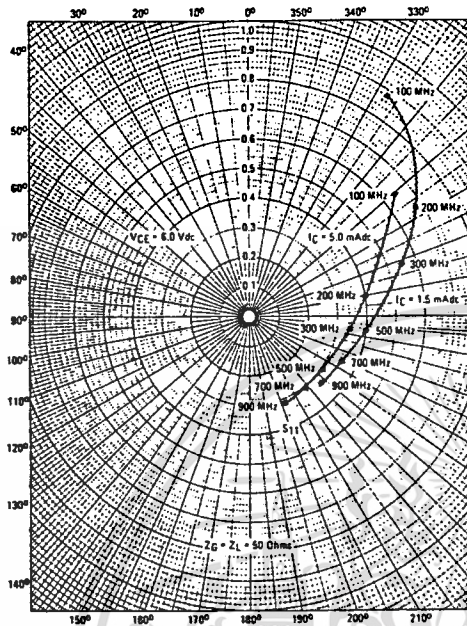
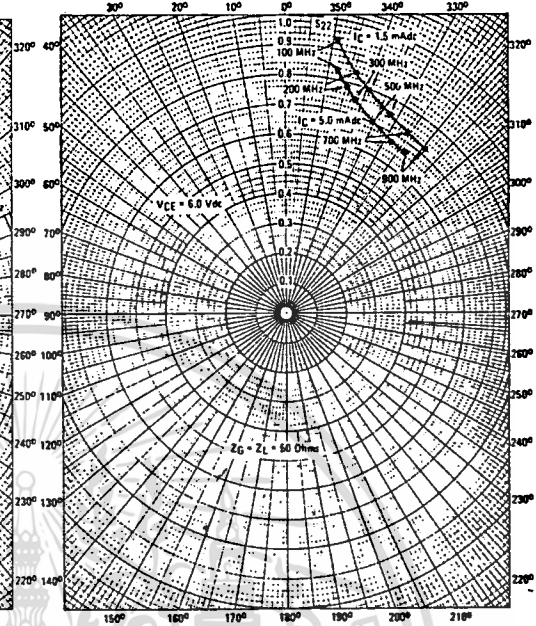
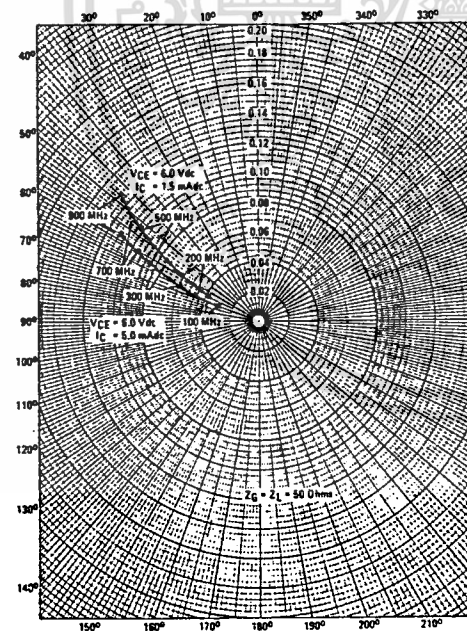
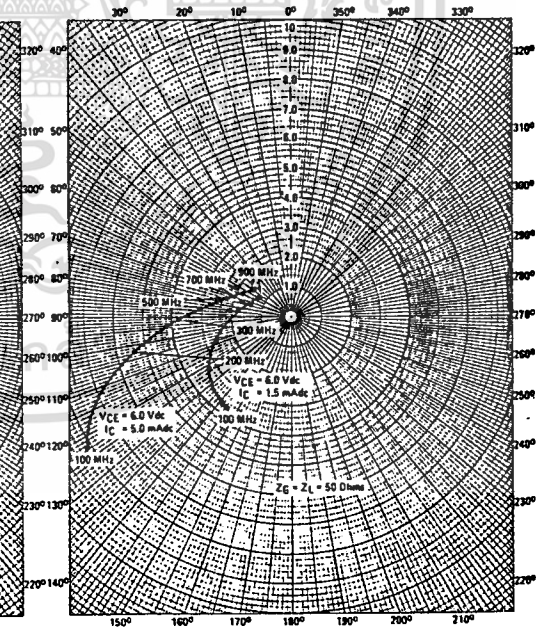
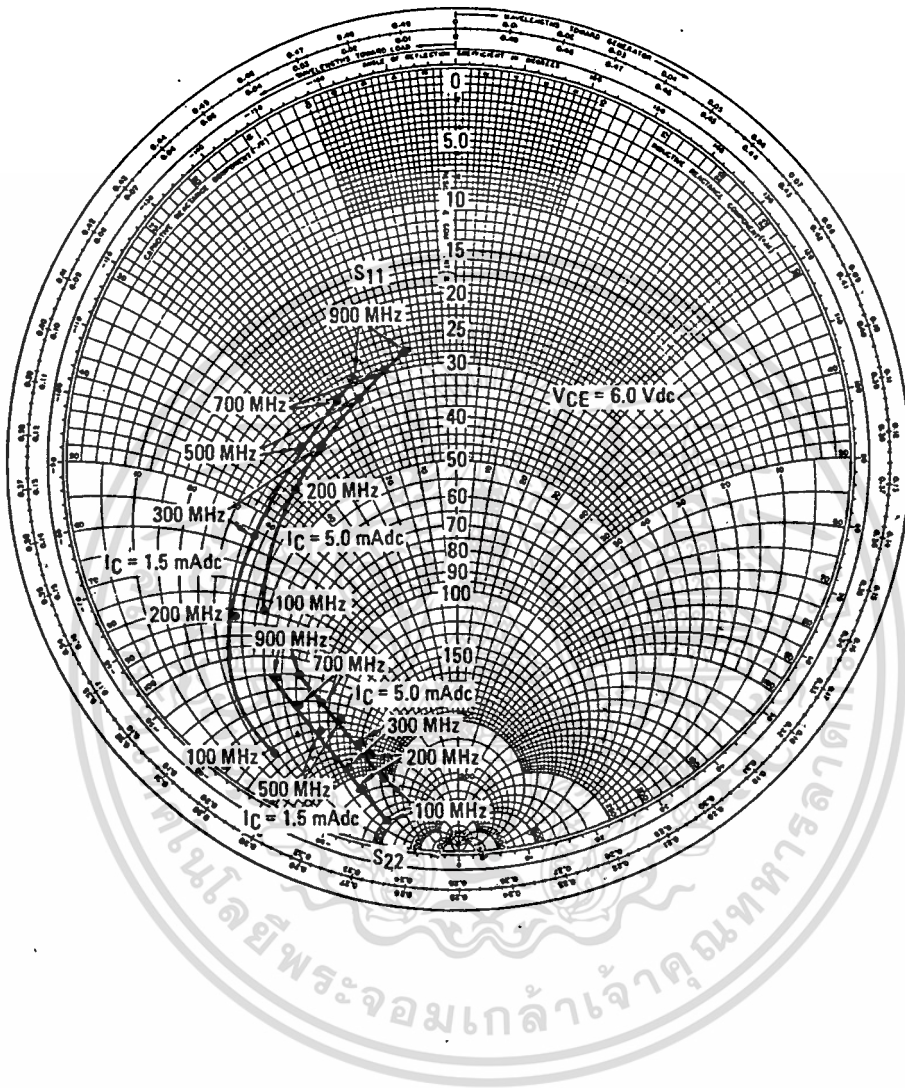
FIGURE 11— S_{11} , INPUT REFLECTION COEFFICIENTFIGURE 12— S_{22} , OUTPUT REFLECTION COEFFICIENTFIGURE 13— S_{12} , REVERSE TRANSMISSION COEFFICIENTFIGURE 14— S_{21} , FORWARD TRANSMISSION COEFFICIENT

FIGURE 15— S_{11} , INPUT REFLECTION COEFFICIENT AND S_{22} , OUTPUT REFLECTION COEFFICIENT

2N5109

FIGURE 3 – CURRENT-GAIN – BANDWIDTH PRODUCT

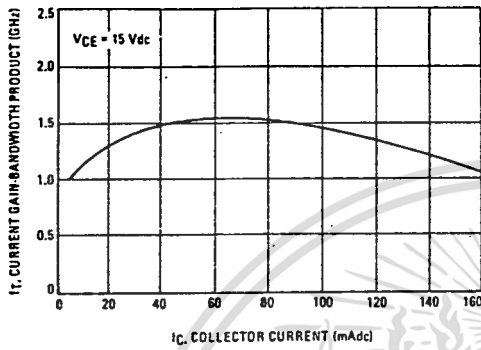


FIGURE 4 – COLLECTOR-BASE TIME CONSTANT

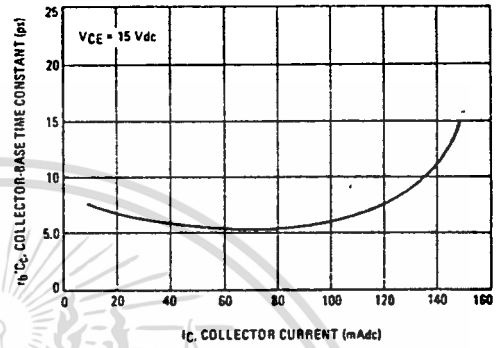


FIGURE 5 – SATURATION VOLTAGES

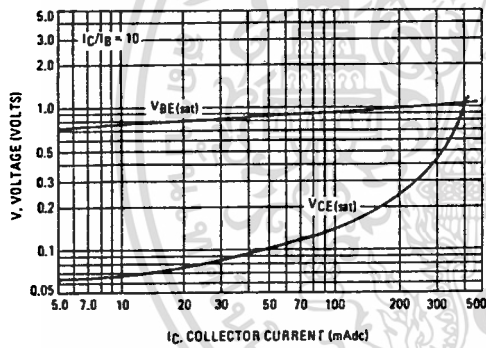


FIGURE 6 – CAPACITANCES versus REVERSE VOLTAGE

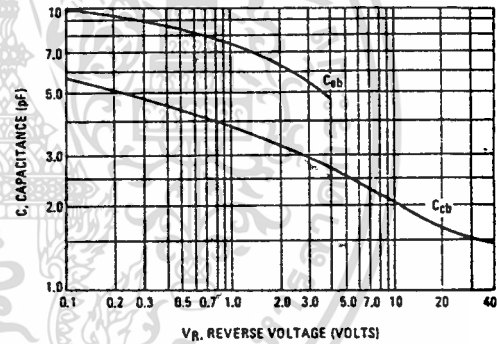


FIGURE 7 – INPUT ADMITTANCE versus FREQUENCY

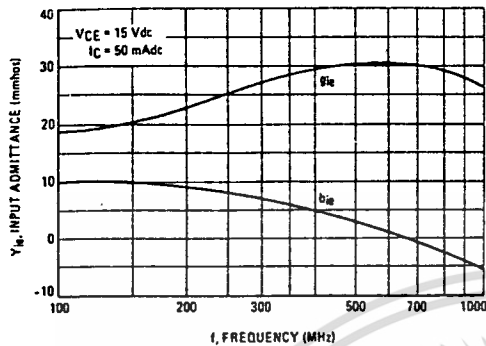


FIGURE 8 – INPUT ADMITTANCE versus COLLECTOR CURRENT

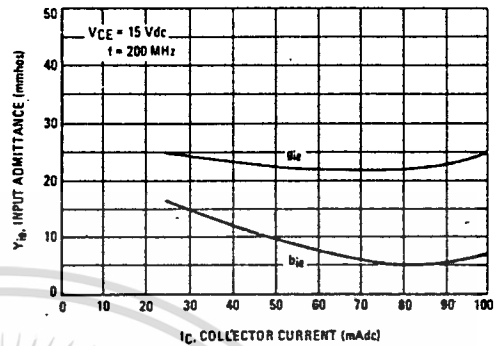


FIGURE 9 – REVERSE TRANSFER ADMITTANCE versus FREQUENCY

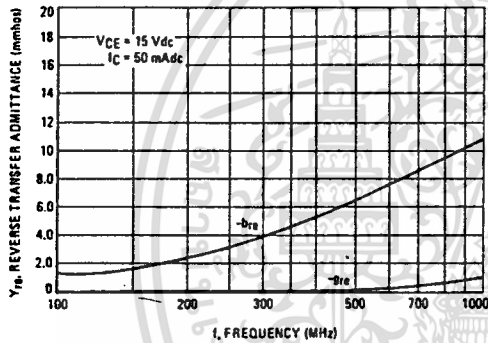


FIGURE 10 – REVERSE TRANSFER ADMITTANCE versus COLLECTOR CURRENT

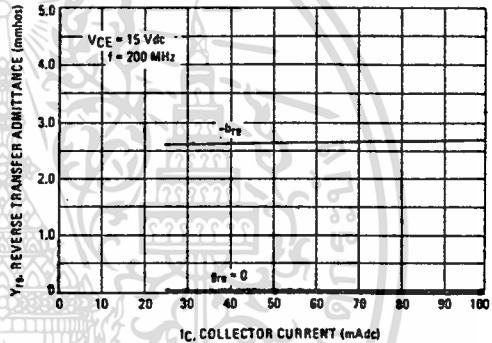


FIGURE 11 – FORWARD TRANSFER ADMITTANCE versus FREQUENCY

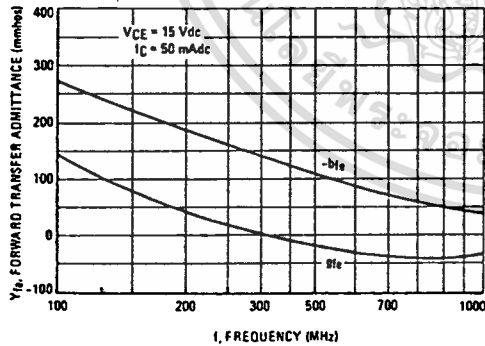
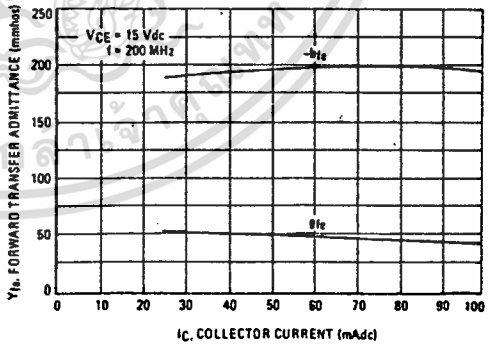


FIGURE 12 – FORWARD TRANSFER ADMITTANCE versus COLLECTOR CURRENT



MOTOROLA SEMICONDUCTOR TECHNICAL DATA

2N5109

The RF Line

NPN SILICON HIGH-FREQUENCY TRANSISTOR

... designed specifically for broadband applications requiring good linearity. Useable as a high frequency current mode switch to 200 mA.

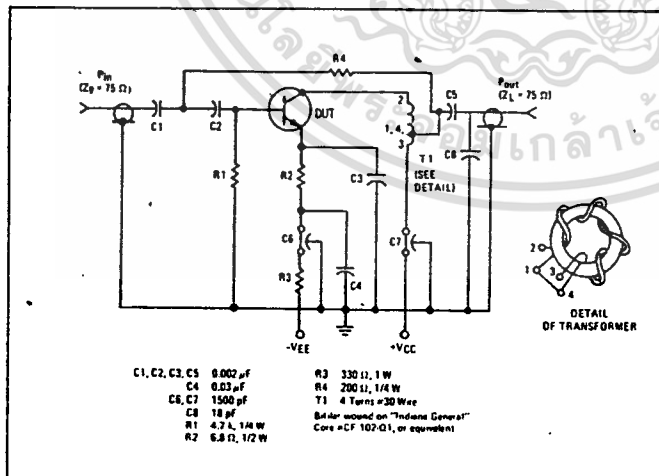
- Low Noise Figure — @ $f = 200$ MHz
NF = 3.0 dB (Typ)
- High Current-Gain — Bandwidth Product —
 $f_T = 1200$ MHz (Min) @ $I_C = 50$ mAdc

*MAXIMUM RATINGS

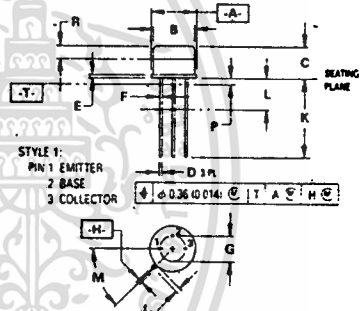
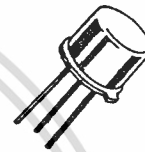
Rating	Symbol	Value	Unit
Collector-Emitter Voltage	V_{CE0}	20	Vdc
Collector-Base Voltage	V_{CB0}	40	Vdc
Emitter-Base Voltage	V_{EB0}	3.0	Vdc
Base Current — Continuous	I_B	400	mAdc
Collector Current — Continuous	I_C	400	mAdc
Total Device Dissipation @ $T_C = 75^\circ\text{C}$ (1) Derate above 25°C	P_D	2.5 20	Watt mW/ $^\circ\text{C}$
Storage Temperature Range	T_{stg}	-65 to +200	$^\circ\text{C}$

- (1) Total Device Dissipation at $T_A = 25^\circ\text{C}$ is 1.0 Watt.
• Indicates JEDEC Registered Data.

FIGURE 1 — RF AMPLIFIER FOR VOLTAGE GAIN TEST CIRCUIT



1.2 GHz @ 50 mAdc
HIGH FREQUENCY
TRANSISTOR
NPN SILICON



NOTES:

1. DIMENSIONING AND TOLERANCING PER ANSI Y14.5M, 1982.
2. CONTROLLING DIMENSION: INCH.
3. DIMENSION J MEASURED FROM DIMENSION A MAXIMUM.
4. DIMENSION B SHALL NOT VARY MORE THAN 0.25 (0.010) IN ZONE R. THIS ZONE CONTROLLED FOR AUTOMATIC HANDLING.
5. DIMENSION F APPLIES BETWEEN DIMENSION P AND L. DIMENSION D APPLIES BETWEEN DIMENSION L AND K MINIMUM. LEAD DIAMETER IS UNCONTROLLED IN DIMENSION P AND BEYOND DIMENSION K MINIMUM.

DIM	MILLIMETERS		INCHES	
	MIN	MAX	MIN	MAX
A	8.51	9.79	0.335	0.370
B	7.75	8.50	0.305	0.335
C	6.10	6.60	0.240	0.260
D	0.41	0.53	0.016	0.021
E	0.23	1.04	0.009	0.041
F	0.41	0.48	0.016	0.019
G	5.08 BSC	5.20 BSC		
H	0.22	0.86	0.009	0.034
J	0.24	1.14	0.009	0.045
K	12.70	19.05	0.500	0.750
L	6.35	—	0.250	—
M	—	—	—	—
P	—	—	—	—
R	2.54	—	0.100	—

CASE 79-04
TO-205AD
(TO-39)

FIGURE 13 – OUTPUT ADMITTANCE versus FREQUENCY

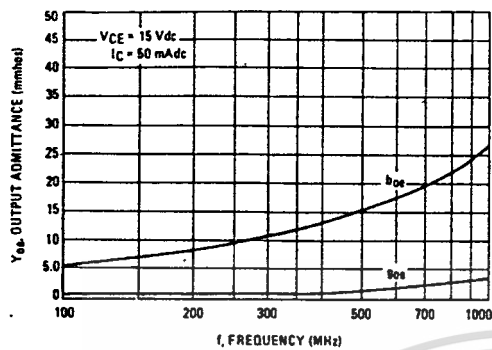


FIGURE 14 – OUTPUT ADMITTANCE versus COLLECTOR CURRENT

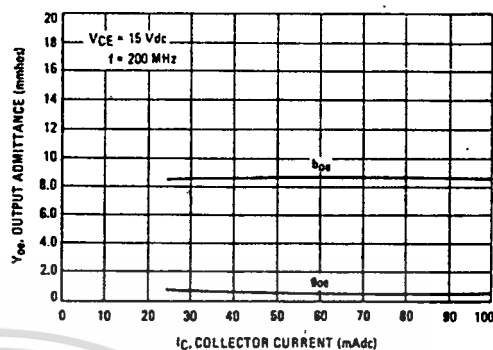


FIGURE 15 – INPUT REFLECTION COEFFICIENT versus FREQUENCY

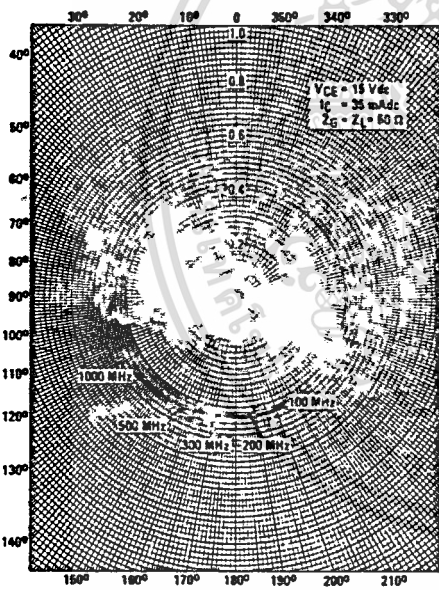
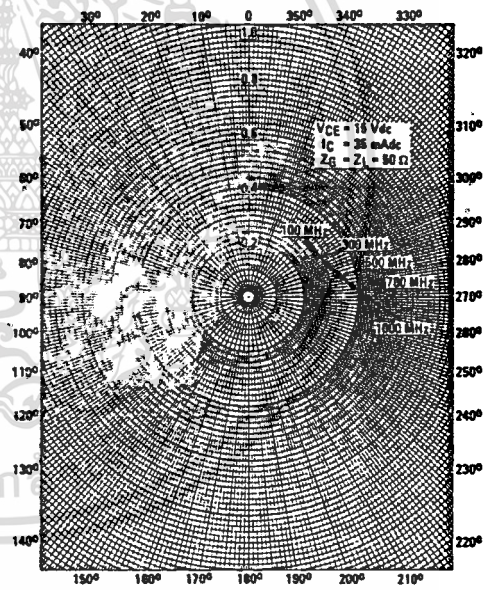


FIGURE 16 – OUTPUT REFLECTION COEFFICIENT versus FREQUENCY



ELECTRICAL CHARACTERISTICS ($T_C = 25^\circ\text{C}$ unless otherwise noted)

Characteristic	Symbol	Min	Typ	Max	Unit
OFF CHARACTERISTICS					
Collector-Emitter Sustaining Voltage ($I_C = 5.0\text{ mA dc}$, $I_B = 0$)	$V_{CEO(sus)}$	20	—	—	Vdc
Collector-Emitter Sustaining Voltage (1) ($I_C = 5.0\text{ mA dc}$, $R_{BE} = 10\ \Omega$)	$V_{CER(sus)}$	40	—	—	Vdc
Collector Cutoff Current ($V_{CE} = 15\text{ Vdc}$, $I_B = 0$)	I_{CEO}	—	—	20	$\mu\text{A dc}$
Collector Cutoff Current ($V_{CE} = 15\text{ Vdc}$, $V_{BE} = -1.5\text{ V}$, $T_C = 150^\circ\text{C}$)	I_{CEX}	—	—	5.0	mA dc
Collector Cutoff Current ($V_{CE} = 35\text{ Vdc}$, $V_{BE} = -1.5\text{ V}$)	I_{CEX}	—	—	5.0	mA dc
Emitter Cutoff Current ($V_{BE} = 3.0\text{ Vdc}$, $I_C = 0$)	I_{EBO}	—	—	100	$\mu\text{A dc}$
ON CHARACTERISTICS					
DC Current Gain ($I_C = 360\text{ mA dc}$, $V_{CE} = 5.0\text{ Vdc}$) ($I_C = 50\text{ mA dc}$, $V_{CE} = 15\text{ Vdc}$)	h_{FE}	5.0 40	— —	— 120	—
DYNAMIC CHARACTERISTICS					
Current-Gain — Bandwidth Product ($I_C = 50\text{ mA dc}$, $V_{CE} = 15\text{ Vdc}$, $f = 200\text{ MHz}$)	f_T	1200	—	—	MHz
Collector-Base Capacitance ($V_{CB} = 15\text{ Vdc}$, $I_E = 0$, $f = 1.0\text{ MHz}$)	C_{cb}	—	1.8	3.5	pF
Noise Figure ($I_C = 10\text{ mA dc}$, $V_{CE} = 15\text{ Vdc}$, $f = 200\text{ MHz}$) (Figure 2)	NF	—	3.0	—	dB
FUNCTIONAL TEST					
Common-Emitter Amplifier Voltage Gain (Figure 1) ($I_C = 50\text{ mA dc}$, $V_{CC} = 15\text{ Vdc}$, $f = 50$ to 216 MHz)	G_{ve}	11	—	—	dB
Power Input (Figure 2) ($I_C = 50\text{ mA dc}$, $V_{CC} = 15\text{ Vdc}$, $R_S = 50\text{ ohms}$, $P_{out} = 1.26\text{ mW}$, $f = 200\text{ MHz}$)	P_{in}	—	—	0.1	mW

*Indicates JEDEC Registered Data.

(1) Pulsed thru a 25 mH inductor; 50% Duty Cycle

FIGURE 2 — 200 MHz TEST CIRCUIT

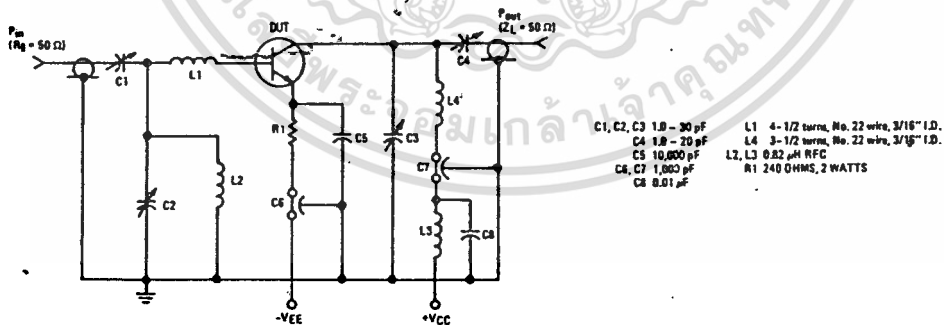


FIGURE 17 – REVERSE TRANSMISSION COEFFICIENT versus FREQUENCY

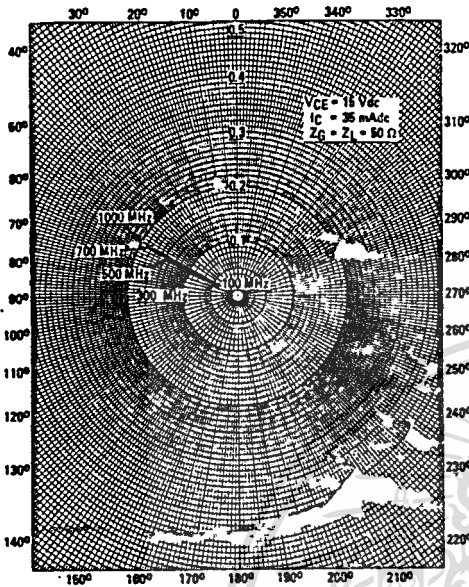


FIGURE 18 – FORWARD TRANSMISSION COEFFICIENT versus FREQUENCY

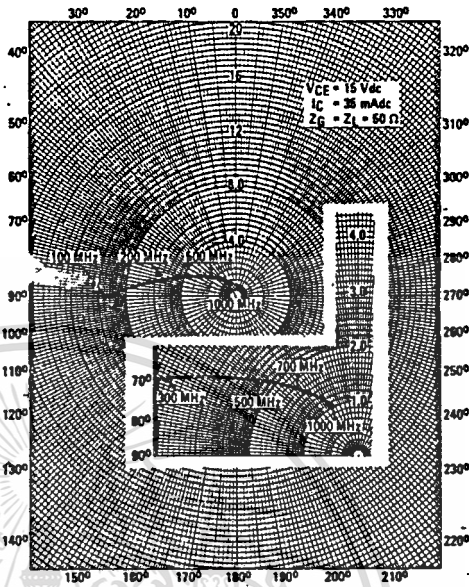
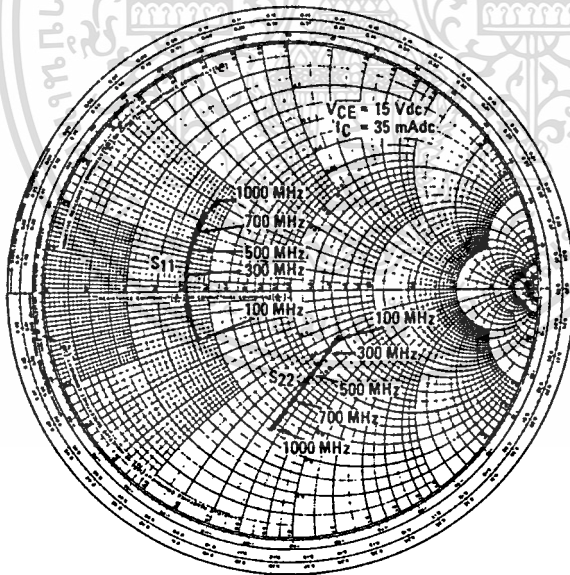
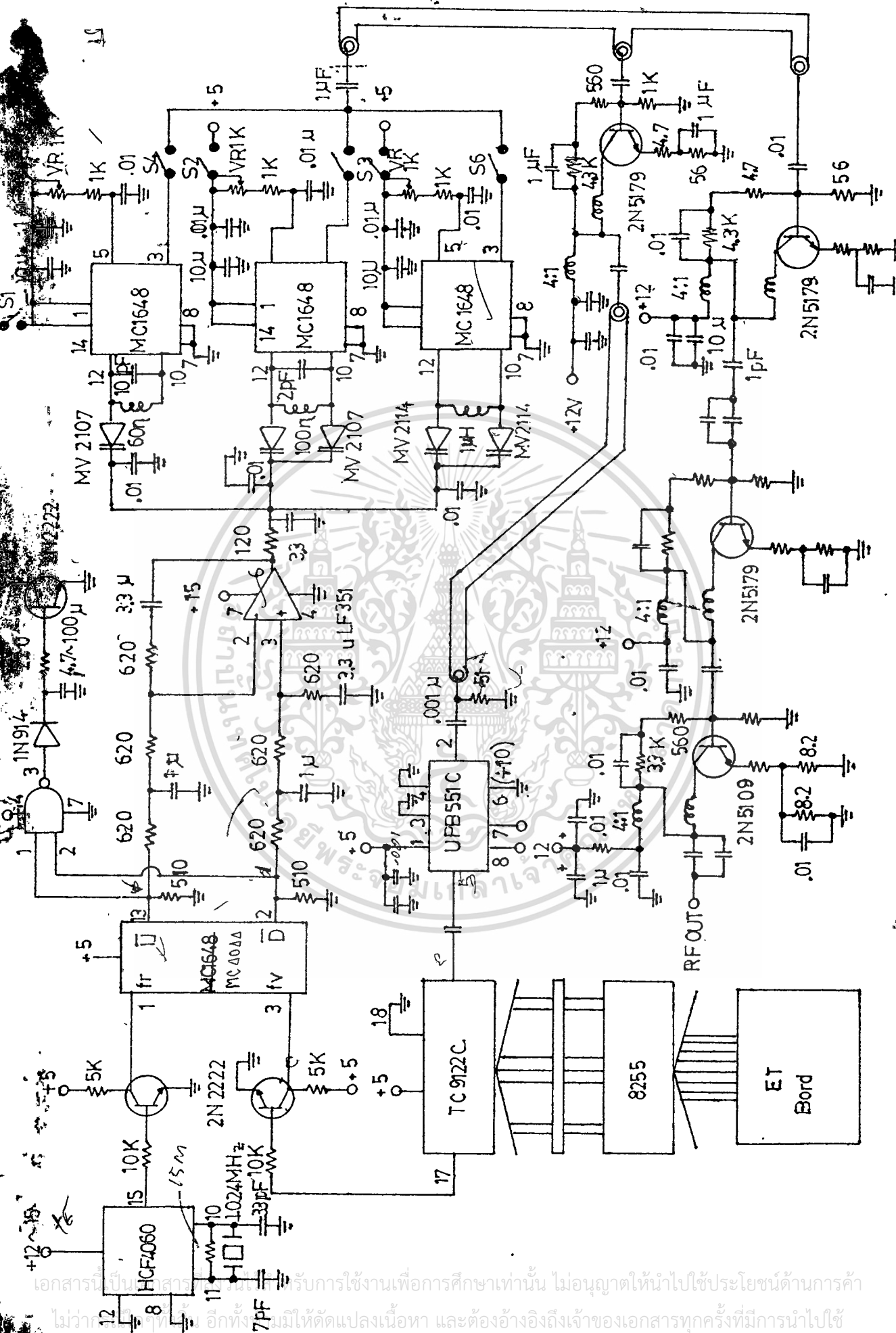


FIGURE 19 – INPUT REFLECTION COEFFICIENT AND OUTPUT REFLECTION COEFFICIENT versus FREQUENCY





เอกสารนี้เป็นเอกสารที่ให้บริการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่าในรูปแบบใดก็ตาม หากมีการเปลี่ยนแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้