ปีการศึกษา 2533

ระบบเตือนภัย ภายในรถยนต์

โดย

ชัญ หลูอารีย์สุวรรณ
ประหยัด สุขหิ้น
รุ่งโรจน์ อนุรักษ์ชนะพล
สุเมธ โกศลสมบัติ

อาจารย์ที่ปรึกษา
ผศ. ดร. กนก เจนจิรพงศ์เวช

027859

12 ต.ค. 2534

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เลขหมู่ T 33026 ถ 2
เลขทะเบียน 027859
วัน, เดือน, ปี 12 ต.ค. 34

ระบบเตือนภัยภายในรถยนต์

ธัญ หลูอารีย์สุวรรณ
ประหยัด สุขหิ้น
รุ่งโรจน์ อนุรักษ์ชนะพล
สุเมธ โกศลสมบัติ

ปีการศึกษา 2533

บทคัดย่อ

รถนั้นเป็นสิ่งล่อใจของพวกมิจฉาชีพ แต่ต่อไปนี้เราจะมีเครื่องระวังภัยไว้คอยขับไล่. สิ่งที่ว่านี้เป็นเครื่องเตือนภัยที่จะซ่อนอยู่ภายในรถซึ่งสามารถใช้ต่อกับแตรรถ โดยตรง หรือแยกต่อกับแตร SIREN ก็ได้ และยังสามารถทำงานร่วมกับระบบแสงสว่างและระบบจุดระเบิดได้อีกด้วย.

ทุกวันนี้เรื่องรถยนต์หายนั้นนับว่าเป็นปัญหาที่มีเพิ่มมากขึ้นทุกวัน, ดังนั้นโรงงานผลิตรถยนต์ทั้งหลายต่างก็ต้องคิดค้นหาวิธีการปรับปรุงคุณภาพของระบบกุญแจ LOCK ประตูให้มีประสิทธิภาพในการ LOCK ดียิ่งขึ้นและยากต่อการงัดแงะวิวัฒนาการใหม่ ๆ เหล่านี้จะติดตั้งมาเสร็จกับรถรุ่นใหม่ ๆ แต่รถรุ่นเก่า ๆ เจ้าของรถก็ยังคงต้องจัดหา ระบบเตือนภัยจากภายนอก เพื่อติดตั้งไว้สำหรับเตือนภัยให้กับรถของเขา.

แต่อย่างไรก็ตามระบบเตือนภัยที่ทำขึ้นนี้ มันช่วยเราได้ดีที่สุดก็ได้เพียงแค่ยับยั้งเท่านั้น เพราะนักโขมยที่มีความชำนาญสามารถเข้าถึงรถและตัดสัญญาณกันโขมยได้ภายในเวลาเพียงไม่กี่วินาทีเท่านั้น. แต่หวังเป็นอย่างยิ่งว่าถ้าเจ้าตัว ALARM นี้สามารถทำได้สำเร็จจริงนั่นคือ มันทำงานของมันสำเร็จแล้วโดยที่เราไม่รู้เลยว่ามันได้ทำหน้าที่ของมันได้ดีที่สุด.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ

		หน้า
1.	บทนำ	2
2.	แผนผังการทำงานของวงจรในแต่ละส่วน	3
	2.1 แผนผังของวงจร รูปที่ 1	6
3.	การทำงานของวงจรทั้งหมด	7
	3.1 แสดงวงจรอย่างละเอียด รูปที่ 2	11
4.	ขั้นตอนในการประกอบวงจร	12
	4.1 รูปอุปกรณ์บนแผงวงจร รูปที่ 3	14
5.	วิธีการตรวจสอบการทำงานของวงจร	15
	5.1 ผังการต่อวงจรเข้ากับรถยนต์ รูปที่ 4	18
6.	การติดตั้งเข้ากับรถยนต์	19
7.	ภาคผนวก	
	- เป็นเนื้อหาประกอบเพื่อการศึกษาการทำงานของ FLIP-FLOPS และ COUNTERS ชนิดต่างๆ	21
	- กิตติกรรมประกาศ	48
	- หนังสืออ้างอิง	49

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทนำ

ผลจากการที่ผู้ออกแบบได้ช่วยกันค้นคิดประดิษฐ์เจ้าเครื่องเตือนภัยตัวนี้ขึ้นมานั้นจะมีสิ่งอำนวยความสะดวกและตัวเลือกหลายๆ อย่างให้ผู้ใช้สามารถเลือกใช้ได้อย่างสะดวกง่ายและรวดเร็ว ถ้าคุณเคยลืมเปิดไฟรถไว้ทั้งวันกว่าจะเลิกงานออกมาก็จะต้องพบว่า แบตเตอรี่ของคุณมันหมดไป แล้วก็สตาทร์เครื่องไม่ได้, ด้วยเหตุนี้คุณจำเป็นที่จะต้องหาทางเลือกทางใดทางหนึ่ง โดยการต่อสายไว้กับ SWITCH ไฟหน้าของรถท่าน เมื่อท่านลืมปิดไฟหลังจากจอดรถ เมื่อท่านดับเครื่องแล้วมิได้ปิดไฟหน้า เจ้าวงจรเตือนภัยนี้จะได้รับสัญญาณ HIGH เข้าวงจรและจะเตือนท่านด้วย ALARM ทำให้ท่านทราบว่า ท่านลืมปิดไฟหน้ารถของท่าน อันที่สองคือ วงจรที่จะทำการเปิดไฟเตือนภายในรถไว้ชั่วขณะหนึ่งหรือจนกว่า ALARM จะหยุดการทำงานระบบ ALARM ทั่วๆไปที่มีขายกันในท้องตลาดนั้น ส่วนใหญ่เจ้าของรถจะต้องมีกุญแจพิเศษสำหรับคอยเปิด-ปิด ALARM ก่อนที่จะ LOCK หรือเปิดเข้าไปในรถ แต่เครื่องเตือนภัยของเราอันนี้ไม่ต้องมีกุญแจพิเศษที่ว่าอย่างไรก็ตาม ถ้าคุณต้องการที่จะติดกุญแจไว้ด้วยก็สามารถที่จะทำได้เช่นกัน, แล้วก็มีความเป็นไปได้ที่จะติดกุญแจ SWITCH อีกอันหนึ่งเข้าไปโดยที่ว่า SWITCH อันนี้ มีระบบการทำงานเกี่ยวพันกับ SWITCH START ของรถท่าน, วิธีไหนที่คุณจะเลือกมันนั้นก็ขึ้นอยู่กับว่าคุณต้องการความปลอดภัยขนาดไหนที่จะทำให้คุณมีความมั่นใจได้ว่ารถคุณนั้นจะปลอดภัยจากการถูกขโมย ในทุกเงื่อนไขที่ว่ามาทั้งหมดนี้ก็มิได้มีความปลอดภัยสูงมากนัก อีกประการหนึ่งที่ไม่ได้คิดเพื่อที่จะนำมาใช้คือ ทางเลือกเพื่อที่จะทำให้ระบบเป็นแบบอัตโนมัติ

ทุกครั้งที่ปิด SWITCH START วงจร ALARM จะทำการ SET ตัวของมันเอง ซึ่งเป็นประโยชน์กับพวกรถส่งของทั้งหลาย แต่มิใช่กับนักขับรถทั่วไป

วงจรขับทาง OUTPUT เป็น RELAY เปิด-ปิด, ดังนั้นสามารถที่จะใช้เป็นตัวขับกำลังให้กับแตรรถหรือไปขับแตร SIREN กับวงจรภายนอก วงจรนี้กินไฟน้อยมากซึ่งกินอยู่ในราว 4 MA, ดังนั้นจึงไม่ต้องการมี SWITCH เพื่อตัด-ต่อไฟ; รถยนต์ทั่วไปซึ่งถ้าไม่สามารถที่จะป้อนกระแสขนาดนี้ได้ นั่นแสดงว่ามันก็ START เครื่องไม่ได้อยู่แล้ว เพื่อที่จะให้เป็นไปตามกฎข้อบังคับวงจร RESET ตัวมันเองหลังจากการปล่อยสัญญาณ ALARM ออกไปชั่วขณะหนึ่ง และจะหน่วงเวลาให้ชั่วขณะหนึ่ง เพื่อให้พอที่จะเข้าหรือออกจากรถ, ด้วยการมีเสียงเตือนทุกครั้งที่ประตูรถถูกเปิดออก มีอยู่หลายทางเลือก เพื่อที่จะดักจับพวกที่จู่โจมเข้าไปในรถ บางอย่างอาจจะดีกว่าอีกอย่างที่จะให้เราเลือก, แต่ทุกทางเลือกเจ้าของรถจำต้องทำการเจาะรูตรงบริเวณตำแหน่งที่เขาพอใจอย่างน้อยหนึ่งรู เครื่องเตือนภัยอันนี้, โดยการตรวจจับค่าระดับ VOLTAGE ภายในรถ, จึงเป็นการลดจำนวนการต่อสายภายนอกลงได้มาก, และในกรณีที่รถนั้นเป็นรถกองกลางใช้งานหลายมือ, จึงต้องการเพียงการเจาะรูเล็กๆ เพียงรูเดียวเพื่อที่จะติด "SET" SWITCH เข้าไปเท่านั้น

จากการออกแบบวงจรมาทั้งหมดและการประกอบต่อสายเข้ากับระบบวงจรภายในรถของท่านให้ดูได้จากรูปที่ 4 และถ้ารถของท่านไม่สามารถเอาวงจรเข้าไปต่อได้ดังรูปแล้วละก็คุณอาจจะต้องทำการดัดแปลงเพียงเล็กน้อยในการต่อสายให้เข้ากับรถของคุณ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

BLOCK DIAGRAM

วงจรทั้งหมดดังแสดงในรูปที่ 1 ตัวควบคุมการ ปิด-เปิดวงจรจะเป็น ENABLE FLIP-FLOP ตัว SET SWITCH จะเป็นตัวเปิดไฟเข้าวงจร, และ SWITCH START รถจะเป็นตัวปิดวงจร

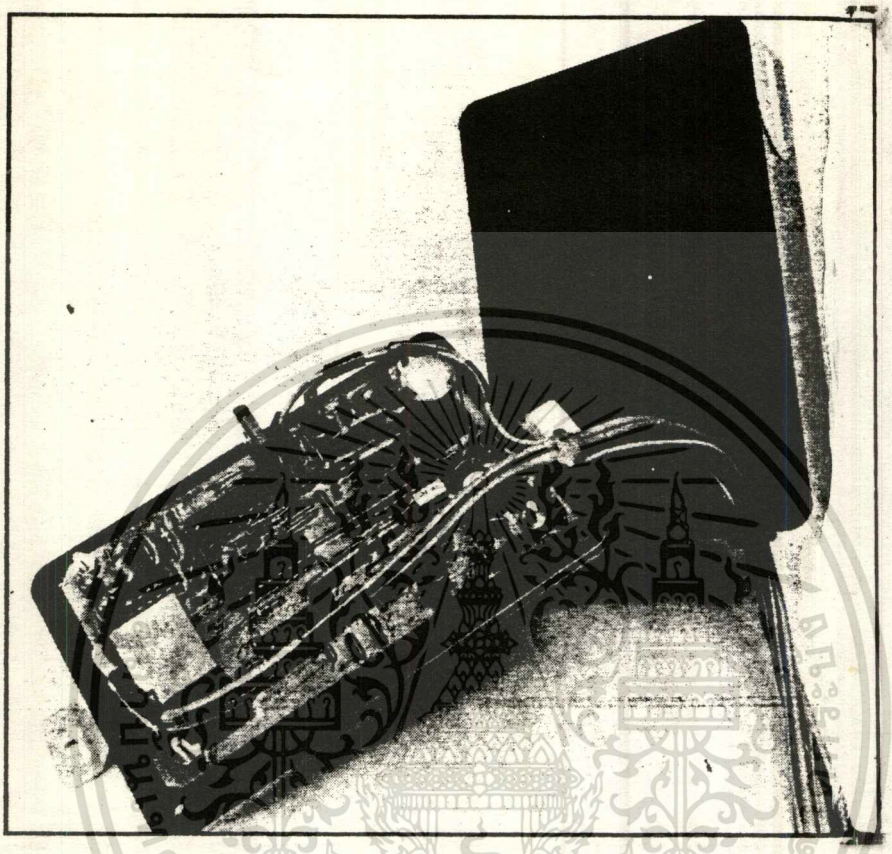
เมื่อวงจรอยู่ในสภาพ OFF ตัวเตือนภายนอกและเจ้าตัว FLIP-FLOP ที่ทำหน้าที่ ในส่วนของการร้องเตือนจะอยู่ในตำแหน่ง RESET การทำงานของ SET SWITCH จะเป็นตัวเตรียมพร้อมอยู่ตลอดเวลา, และจะเป็นตัวควบคุมการทำงานของ BISTABLE ทั้ง 3 ตัวนี้ เมื่อ ALARM ถูก SET ครั้งแรก, ตัว EXIT FLIP-FLOP จะอยู่ในตำแหน่งพร้อมที่จะทำงาน, และการทำงานของมันจะไปทำให้ ALERT FLIP-FLOP ทำงาน OUTPUT จาก ALERT FLIP-FLOP จะอยู่ในตำแหน่ง HIGH, จะไปเปิดไฟภายในรถและทำให้ตัว WARNING OSCILLATOR ทำงาน, และจะไปทำให้ MAIN CLOCK OSC. เริ่มทำงานด้วย วงจรนับ/ ตัวเลือกลำดับจะเริ่มนับเพิ่มขึ้นเริ่มจาก 0 (ศูนย์), และหลังจากช่วงเวลา แสดงการเริ่มผ่านไปที่ OUTPUT จะทำให้ EXIT FLIP-FLOP ปรากฏ HIGH ด้วย ค่า HIGH นี้จะไปเปิดให้ EXIT FLIP-FLOP ทำงาน, ทำให้ค่า HIGH ปรากฏที่ MONOSTABLE, ในขณะเดียวกันก็ทำการ RESET ALERT FLIP-FLOP, และจะ SET ให้ COUNTER ไปที่ 0 ด้วยการ ANDING ให้กับ EXIT FLIP-FLOP ที่ OUTPUT ให้กับ BARK FLIP-FLOP, วงจรจะถูกตัดออกจากการเกิดเสียงด้วย ALARM ตามข้อกำหนดครั้งแรกของช่วงเวลานั้น

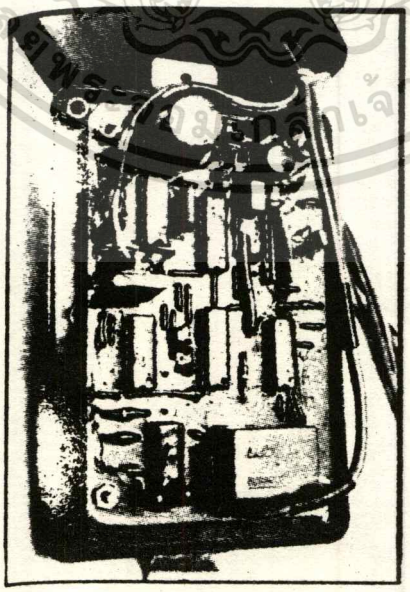
ตัว MONOSTABLE กลับมาอยู่ในสภาพ LOW อย่างรวดเร็ว, เป็นผลให้วงจรอยู่ในสภาพเตรียมพร้อมและพร้อมที่จะเริ่มนับเหมือนกับครั้งก่อน, และขณะนี้วงจรจะอยู่ในสภาพเตรียมพร้อมอีกครั้ง ตัวตรวจจับระดับ VOLTAGE จะทำการตรวจจับ VOLTAGE SUPPLY ที่ค้างอยู่ใน CAPACITOR อยู่ตลอดเวลาทางด้านหนึ่งของ INPUT ของมัน เมื่อไฟเลี้ยงถูกตัดหรือ DROP ลงในทันทีทันใด, ในชั่วขณะเพียงเป็น MILLISECOND และเพียงไม่กี่ร้อย MILLIVOLTS, ตัวตรวจจับจะมองเห็นว่าเกิดการไม่สมดุลย์เกิดขึ้นและจะไปต่อให้กับ ALERT FLIP-FLOP เหมือนกับครั้งก่อน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

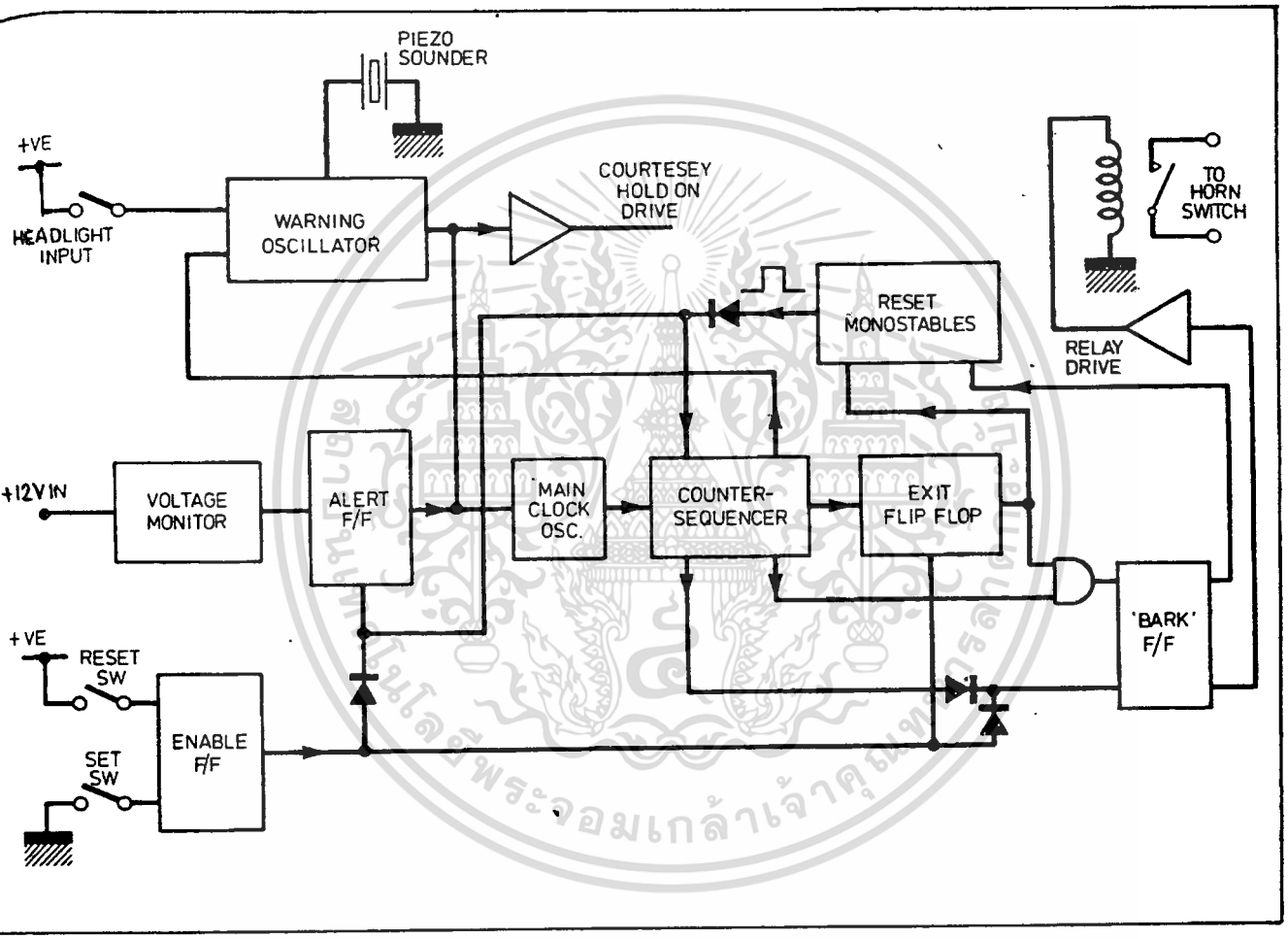
ในช่วงเวลานี้, ถึงแม้ว่า EXIT FLIP-FLOP จะถูกกระตุ้นให้อยู่ในสภาพพร้อมที่จะทำงานแล้วก็ตาม เมื่อ ALARM ถูก SET ครั้งแรก, เมื่อ COUNTER นับถึงจุดสุดท้ายของช่วงเวลาที่ออกจากรถ, ตัว BARK FLIP-FLOP จะถูกกระตุ้น, ALARM จะถูกกระตุ้น, ALARM จะดังขึ้น ในช่วงเวลาที่ ALARM ดังอยู่นี้, ตัว COUNTER จะป้อนค่า HIGH เข้าที่ RESET PIN ของ BARK FLIP-FLOP, ทำการ RESET ตัวมันเองให้อยู่ในสภาวะเตรียมพร้อม, ซึ่งเป็นช่วงที่ไป TRIGGER ตัว RESET MONO, ทำการ RESET วงจรนับและวงจรเตรียมพร้อมเหมือนกับครั้งก่อน วงจรจะกลับมาอยู่ในสภาพเสถียรภาพของตัวมันเอง, สภาวะเตรียมพร้อม, รอคอยสัญญาณตัวต่อไปที่จะผ่านเข้ามาที่วงจร MONITOR ส่วนหนึ่งของวงจร WARNING OSCILLATOR ก็จะทำการตรวจสอบ INPUT จากวงจรแสงสว่างของรถด้วยเช่นกัน เมื่อวงจร WARNING ทำงาน, และ INPUT จากระบบแสงสว่างปรากฏค่า HIGH, นั่นหมายความว่าเมื่อไฟถูกเปิด, ตัว OSCILLATOR จะถูกเปิดอย่างต่อเนื่อง ทำให้เสียง TONE เกิดเป็นช่วงๆ, และก็เช่นกันจะไปแสดงผลออกที่ระบบไฟรถด้วยและยิ่งกว่านั้นจากความเป็นจริงที่ไฟเปิดอยู่จะไม่ไปกระทบกับการทำงานของ ALARM

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้





เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

THE CIRCUIT

ระบบ SWITCH 2 ตัวคือ SET (SI) และ RESET (S2), และทั้งสองตัวนี้จะทำงานรวมกับ ENABLE FLIP-FLOP, TC2b, และครึ่งหนึ่งของ IC4013

SWITCH จะถูกแยกออกจากการต่อตรงด้วย ตัวต้านทานค่า 1K , เพื่อที่จะจำกัดกระแสป้อนให้กับ IC ทั้งหมดในวงจรในกรณีที่อาจเกิดความผิดพลาดขึ้นในวงจร ตัว SET SWITCH จะถูกปะทะและกลับเฟสด้วย IC4b, ก่อนที่ OUTPUT ของมันจะถูกป้อนให้กับ FLIP-FLOP เหตุที่จัดเตรียมไว้เช่นนี้ ก็เพื่อที่จะทำให้การต่อสายไป SWITCH SI นั้นสะดวกและง่ายที่สุดเท่าที่จะทำได้เพื่อสะดวกในตอนติดตั้งวงจร มันมีความจำเป็นเพียงประการเดียวที่จะต้องเดินสายหนึ่งสายจากตัว ALARM ไปที่ SWITCH, อีกทางหนึ่ง ซึ่งสามารถต่อลงตัวมันเองหรือต่อตรงลงตัวรถ จากที่เตรียมไว้ดังที่แสดงให้เห็นในรูปของ 2 INPUT นั้น, สภาวะ LOGIC ที่วงจร OUTPUT จะเป็นเพียงเวลาที่ OUTPUT ที่ PIN 12 จะเป็น LOW เมื่อ INPUT ที่ PIN 10 นั้นเป็น LOW, และ INPUT ที่ PIN 8 จะถูกทำให้เป็น HIGH การเตรียมเช่นนี้ก็เพื่อที่จะทำให้แน่ใจว่า ไม่ว่า SWITCH SET อาจต่อไม่ถูกต้องก็ตาม, มันจะเป็นเพียงการเตรียมตัวป้องกันวงจรและก็เพียง RESET SWITCH (กุญแจ START) เท่านั้นที่สามารถทำให้ระบบนี้หยุดการทำงานได้และก็เช่นกันวงจรจะสามารถ SET ได้ก็เพียง เมื่อ SWITCH START นั้นถูกปิด (OFF) เท่านั้น

เมื่อวงจรถูกปิด (TURNED OFF) ที่ OUTPUT PIN 12 ของ IC2 จะมีสภาวะ HIGH ค่าระดับนี้จะคงอยู่ในสภาวะเตรียมพร้อม, IC2a และตัว COUNTER จะอยู่ในภาวะ RESET ด้วย D4, เข้าระบบการออกจากรถโดย PIN 10, และระบบกำเนิดเสียง, ไป IC7a ต่อไปที่ D7 IC3d จะกลับระดับแรงดัน, และกั้น OUTPUT จากขา 6b, ให้ค่าระดับ LOW เข้าที่ S INPUT ของ ALERT FLIP-FLOP PIN 6 เมื่อ ALARM ถูก SET ที่ PIN 12, IC2b จะมีภาวะ LOW, ป้อนให้กับ FLIP-FLOP 3 ตัว, พร้อมทั้งป้อนเข้าวงจร COUNTER ด้วย OUTPUT จาก GATE 3d มีภาวะ HIGH, และในขณะเดียวกัน ค่า LOGIC ที่ OUTPUT จาก EXIT FLIP-FLOP, PIN 12 จะมีภาวะ HIGH, OUTPUT ของ GATE 6b ก็จะเปลี่ยนเป็นภาวะ HIGH ด้วย ค่าระดับ HIGH ที่ PIN 6 ของ IC2a จะ SET OUTPUT ที่ Q เป็น HIGH และภาวะการเช่นนี้จะเป็นการรวม CLOCK ที่ GATE 3c, C3 และ R12

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในเวลาเดียวกัน TR1 จะถูกกระตุ้นให้ทำงานอย่างรุนแรงผ่าน R10, ไปทำการเปิดไฟภายในรถ, และ D5 จะถูก REVERSE BIASED, ซึ่งจะไปทำให้ WARNING OSCILLATOR เริ่มทำงาน ในขณะที่วงจรระแสงสว่างทำงานอยู่, ค่า INPUT ที่ PIN 8 ของ GATE 4C จะเปลี่ยนสภาวะเป็น HIGH วงจรลดค่า PULSES (วงจรหาร) จะถูกทำงานด้วย COUNTER IC, IC5, คือ เบอร์ 4020, ป้อนเข้าไปที่ INPUT อีกอันหนึ่งที่ PIN 9, ของ GATE 4C, ที่ถูกกลับเฟส, และจากนั้นจะถูกป้อนไปที่ GATE ของ WARNING OSCILLATOR, 4d ที่ PIN 12 โดยวิธีนี้, ถ้าไฟเปิดอยู่เมื่อล่วงเวลาเตือนนั้นยังถูกกระตุ้นอยู่, ตัว WARNING OSCILLATOR จะถูกทำให้เกิดเสียงในอัตราต่ำเหมือนกับเป็นการเปิดไฟเตือน

OUTPUT จาก WARNING OSCILLATOR จะถูกกั้นด้วย GATE 4a, และจะผ่านไปยังแตร SIREN เมื่อใช้กับ SET SWITCH, ขาด้านหนึ่งของแตร SIREN จะถูกตัดจากการต่อลงตัวถังรถ ตัว CLOCK PULSES ที่ผ่าน COUNTER จะถูกนับโดยตลอดและหลังจากนับถึง PULSES ที่ 2049, PIN 11 ของ GATE 6d จะเปลี่ยนสภาวะเป็น HIGH, ซึ่งจะไปกระตุ้น EXIT FLIP-FLOP 7b. PIN 13 เปลี่ยนสภาวะไปเป็น HIGH, และ PIN 12 เปลี่ยนเป็น LOW ด้วยเหตุนี้จะทำให้ GATE 6a ทำงาน โดยใส่ค่า HIGH เข้าที่ PIN 1, เลิกการทำงานของ GATE 6b, PIN 5, และไปทำให้ MONOSTABLE IC8a เริ่มทำงาน OUTPUT ของ MONSTABLE จะเปลี่ยนสภาวะเป็น HIGH ทันทีที่ PIN 6, และจะไป RESET COUNTER ผ่าน D8 ไปจนถึง 0 และทำให้ตัว ALERT BISTABLE เข้าสู่สภาวะเงียบสงบลงได้

GATE 6d และ 6c จะควบคุม BARK FLIP-FLOP ไม่ให้สามารถเกิดการ SET ขึ้นได้ เมื่อ EXIT FLIP-FLOP กำลังทำงานอยู่, ด้วยการจัดให้ GATE ตัวหนึ่งปล่อย PULSE ไปจนถึง 2049 PULSES, และตัว BARK FLIP-FLOP จะถูกกระตุ้นโดย ANDING ด้วยค่า 2048 กับ PULSE 2064 ใน GATE 6a

ด้วยวิธีนี้, ตัว ALARM จะปล่อยให้วงจร ขับนั้น SET ตัวมัน, และไปถึง EXIT FLIP-FLOP ด้วย, แต่ทำได้เพียงครั้งเดียว ด้วยการที่ EXIT FLIP-FLOP นั้น ได้ถูกป้อน CLOCK ด้วยวงจร COUNTER, มีทางเดียวที่มันจะถูก RESET ได้ โดยให้ค่า HIGH เข้าที่ PIN 10, โดยได้มาจาก ENABLE FLIP-FLOP ตัว VOLTAGE SUPPLY จะถูกปิดจากระบบเดินสายภายในรถที่ผ่านแผง FUSE ของวงจรแสงสว่างภายในรถ กรณีนี้ถูกทำให้เรียบโดย DIODER D1, และ C1 และก็เช่นเดียวกันจะป้อนให้กับ D2, กับ ZENER DIODE 5V6 และ R1 ด้วยการนี้จะให้ค่า VOLTAGE โดยประมาณ 7 VOLTS ที่ด้าน ANODE ของ D2, และจะมีค่าต่ำกว่านี้สักนิดหนึ่งที่ PIN 3 ของ IC 301 OP. AMP. ค่า R2 และ R3 จะมีค่าเท่ากัน เพื่อลดผลกระทบจากกระแส OFFSET ที่ INPUT, และทำให้มีความเชื่อมั่นได้ว่า ผลต่างของทั้ง 2 INPUT ของ OP. AMP. นั้นมีค่าน้อยมาก R3 และ C7 จะเป็นตัวสร้างไฟ D.C. เก็บไว้ในวงจร, ซึ่งเป็นตัวชลอเวลาในการเปลี่ยนแปลงค่า VOLTAGE ซึ่งอาจเกิดขึ้นได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตัวต้านทาน R18 จะถูกเลือกค่าเพื่อให้มีความไวต่อการเปลี่ยนแปลงของค่า VOLTAGE นี้, โดยป้อนเข้าเป็นค่าชดเชยเข้าที่ OP. AMP, และค่าของมันจะถูกเลือกในขณะที่ทำการทดสอบการทำงานของวงจร

ดังวิธีการทดลองต่อไปนี้ เมื่อมีการเปลี่ยนแปลงกันทีมาทางค่าต่ำของ VOLTAGE เกิดขึ้นที่ INPUT, ทั้ง 2 INPUT ของ OP. AMP, จะเกิดสภาพไม่สมดุลย์เกิดขึ้นขณะหนึ่ง PIN 3 จะตกไปเป็นค่าต่ำ, ในขณะที่ PIN 2 จะยังคงรักษาระดับ HIGH อยู่ในช่วงหลาย MILLISECONDS เมื่อเหตุเช่นนี้เกิดขึ้นทำให้ที่ OUTPUT ของ IC1 จะเปลี่ยนสภาวะเป็น LOW การเปลี่ยนแปลงนี้จะถูกกลับทาง และจะถูกปะทะโดย IC3b, และยอด PULSE ที่เป็นบวกจะถูกป้อนเข้าไปที่ขา CLOCK PIN 3 ของ ALERT FLIP-FLOP

OUTPUT ของวงจร ALERT จะกระโดดขึ้นเป็นค่าสูง, PIN 1 จะเปลี่ยนสภาวะเป็นสภาวะ LOW CLOCK สัญญาณเตือนและไฟภายในรถจะถูกกระตุ้นให้ทำงานเหมือนกับครั้งก่อน, และ D3 จะถูก FORWARD BASED, โดยการ DISCHARGE จาก C7, และจะเปลี่ยนค่าที่ OUTPUT ของ IC1 กลับไปเป็น HIGH อันนี้เป็นสิ่งจำเป็นเพื่อป้องกันการเกิดการ RETRIG ด้วยตัวของมันเอง ถ้า DIODE D3 นั้นถูกตัดออกหรือไม่ใส่ มันมีความเป็นไปได้อย่างมากที่วงจรจะไม่มีการ RESET, ในเมื่อมันก็กินกระแสจาก BATTERY เช่นกัน

วงจร COUNTER จะนับเพิ่มขึ้นเหมือนครั้งก่อน, และในขณะนี้ตัว BARK FLIP-FLOP จะถูกป้อน CLOCK เข้าที่ PIN 3, แล้วก็ SET PIN 1 ค่า HIGH นี้จะถูก NAND กับค่าที่ถูกแบ่งส่วนลดลงจาก OUTPUT ของวงจร COUNTER, และไปขับ RELAY ด้วย TR2

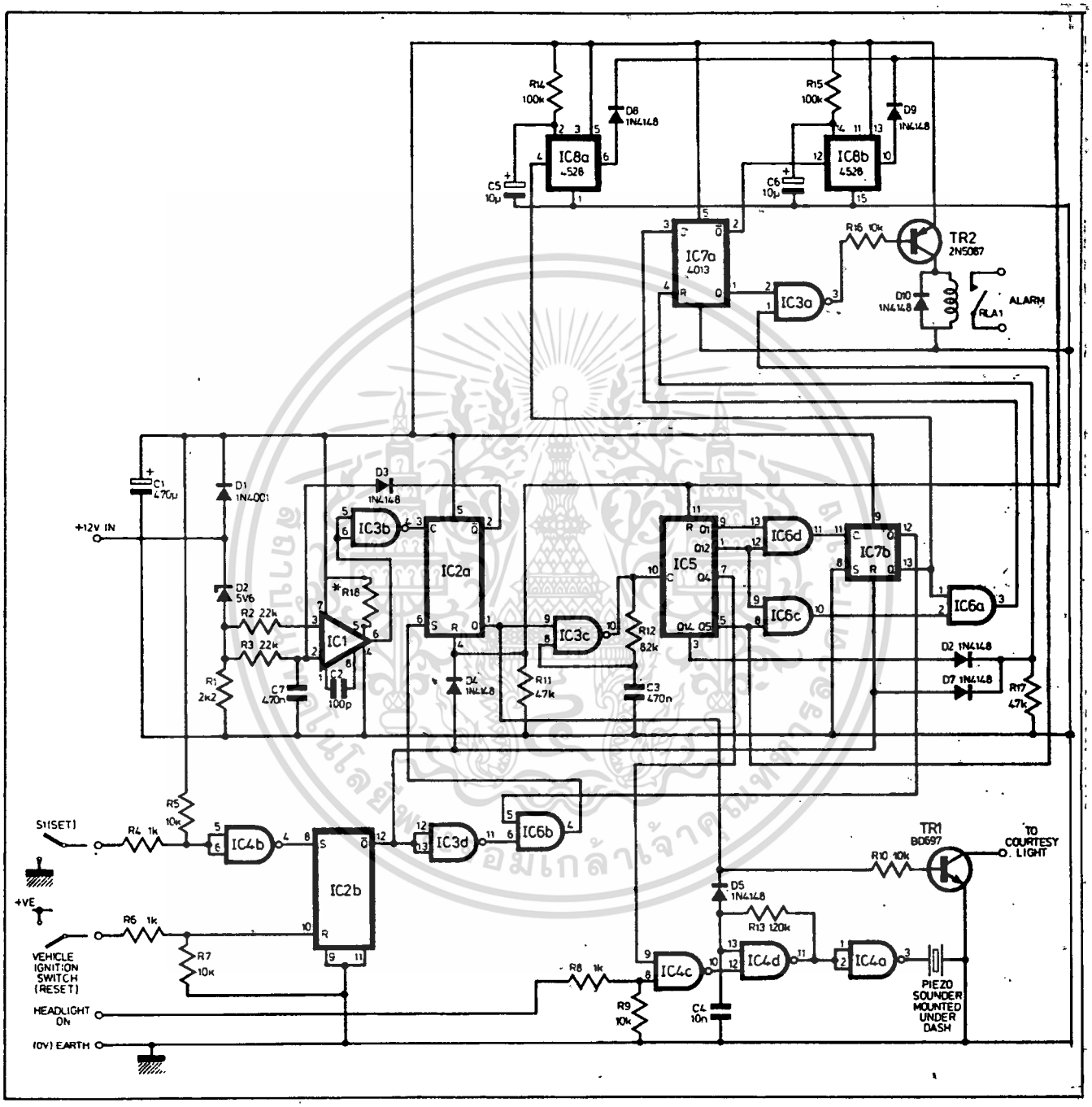
ผลสรุปสุดท้ายจากการออกแบบวงจรมันเป็นไปได้ที่จะตัดจุดต่อไปที่ PIN 1 ของ GATE 3a และต่อ PIN 1 กับ PIN 2 เข้าด้วยกัน, เพื่อที่จะให้ RELAY นั้นสามารถทำการตัดต่อได้ดีโดยไม่เกิดอาการตัดๆ ต่อๆ ตัว OUTPUT ในขณะนี้จะทำการนับอย่างต่อเนื่องจนกระทั่ง PIN 4 ของ Q14 เปลี่ยนสภาวะเป็น HIGH เมื่อสภาวะนี้เกิดขึ้นตัว BARK FLIP-FLOP จะถูก RESET ผ่าน D6, ไปกระตุ้น IC8b, ซึ่ง OUTPUT ของมันเป็นสภาวะ HIGH, ไป RESET วงจร COUNTER และวงจร ALERT อีกครั้งหนึ่ง

มันอาจจะดูเหมือนว่าการใช้ MONOSTABLE แยกกัน 2 ตัวนั้น มันออกจะเกินความจำเป็นสำหรับใช้ในวงจรนี้ซึ่งวงจร DIFFERENTIATING ธรรมดาก็สามารถทำงานได้เช่นกันและให้ผลลัพท์เหมือนกัน แต่ก็ชั่งเถอะเพื่อที่จะรักษาค่า IMPEDANCE ทั้งหมดให้ต่ำที่สุดและเพื่อเป็นการลดสัญญาณรบกวนได้เป็นอย่างดี (เพราะปกติรถยนต์นั้นสามารถเป็นตัวกำเนิดสัญญาณรบกวนได้เป็นอย่างมาก, รวมทั้งทางด้าน ELECTRONIC ด้วย) จากที่ได้จัดเตรียมวงจรแบบนี้จึงเป็นวิธีที่น่าไว้ใจได้มากที่สุด เพื่อนบ้านของคุณน่าที่จะประทับใจกับมันมากไปกว่าคุณเสียอีก

027859
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การที่เรา RESET IC2a PIN 4 ให้มันเป็นสภาวะ HIGH อยู่ประมาณ 2-8 วินาที หลังจากที่เราได้ ปิดวงจร ALARM ไปแล้วนั้นจะทำให้ระบบไฟภายในรถกลับสู่สภาพปกติ ก่อนที่จะให้มันเริ่มทำงานใหม่อีกครั้ง อันนี้มันจะไปเกี่ยวพันกับรูปคลื่น (TIME CONSTANT FORM) ที่ถูกสร้างขึ้นโดย R3 และ C7 เพื่อที่จะให้แน่ใจว่าจะไม่มีการกระตุ้นที่ผิดพลาดเกิดขึ้นกับวงจรนี้ได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

CONSTRUCTION

วงจรทั้งหมดนั้น ประกอบอยู่บน PRINT แผ่นเดียว, การต่อวงจรเข้ากับระบบของรถนั้นจะต้องใช้การบัดกรีทุกจุด เพราะจริงๆ แล้วรถนั้นจะเกิดการสั่นสะเทือนได้ง่ายที่สุด ถ้าเราติดตั้งไม่ดี, ให้ใช้แผ่นรองกันสะเทือนลงให้เหลือน้อยที่สุด

ตัวแผ่นวงจรค่อนข้างจะเล็กได้ตามความต้องการ ดังนั้นกล่องที่ใช้สำหรับเก็บวงจรนี้ จึงมีขนาดเล็กพอที่จะเก็บมันไว้ได้ภายใต้ฝาครอบเครื่องรถยนต์ โดย ALARM จะติดอยู่แถวๆ หลัง BATTERY สูงพอที่จะไม่ทำให้เกิดการชื้นได้จาก BATTERY และห่างจากเครื่องพอประมาณเพื่อลดความร้อน, มันมีไม่กี่จุดที่จะต่อเชื่อมกันกับตัวแผ่นวงจรนี้ แล้วก็ด้วยราคาที่ถูกมากที่ใช้ในการติดตั้ง ดังนั้นให้ติดตั้งตัวนี้ก่อน

รูปการประกอบชิ้นส่วนต่างๆ ดังแสดงไว้อย่างชัดเจน, สังเกตุได้อย่างหนึ่งคือ พวกตัวความต้านทานจะใส่ในแนวตั้งฉากกับ PRINT เพื่อลดพื้นที่บนแผ่น PRINT และ PRINT จะได้เล็กลงด้วย ด้วยการนี้ให้ระวังในการงอขา ตัวต้านทานเพื่อลดการเสียหายที่อาจจะเกิดขึ้นได้ IC ทุกตัวให้บัดกรีโดยตรงลงแผ่น PRINT ไปเลยเพื่อป้องกันการหลุดหรือหลวม ขณะวงจรทำงาน และอาจเกิดจากการกัดกร่อนหรือสนิม OXIDE ต่างๆ ที่อาจเกิดขึ้นได้ ให้แน่ใจว่า IC ทุกตัว เราใส่มันถูกตำแหน่งและถูกทิศทางก่อนที่จะลงมือบัดกรีมัน

ในกรณีถ้าคุณใส่ IC ผิดทางหรือ ผิดตำแหน่งเกิดขึ้น ทางที่ดีที่สุดคุณจะต้องทำคือ ให้ตัดขา IC ทุกขาให้ใกล้ตัว IC ที่สุดออกแล้วค่อยๆ ใช้หัวแร้งจี้เอาขา IC ออกจากแผ่น PRINT ถ้าคุณพยายามที่จะใช้หัวแร้งเพื่อที่จะถอดเอา IC ออก เพื่อที่จะนำมันไปใช้ใหม่ นั้นผลจะไม่ดีเท่าที่ควรเพราะขา IC ได้รับความร้อนเกิน-ขนาดและในที่สุด IC ตัวนั้นก็จะทำงานได้ไม่ดีคือเราไว้ใจมันไม่ได้ เมื่อทุกอย่างถูกประกอบจนเสร็จพร้อมทั้งตรวจสอบจุดต่อต่างๆ ของสายไฟจนเรียบร้อยแล้ว

วิธีการที่จะทำให้ง่ายเข้าหลังจากประกอบวงจรเสร็จคือ การกำหนดสีของสายไฟที่นำมาต่อเชื่อมกับวงจร เพื่อสะดวกในการไล่สายสัญญาณต่างๆ การทดลองก็สามารถทำได้บนโต๊ะทดลองโดยอาศัย POWER SUPPLY โดยไม่ต้องไปทดลองกับรถยนต์จริงๆ

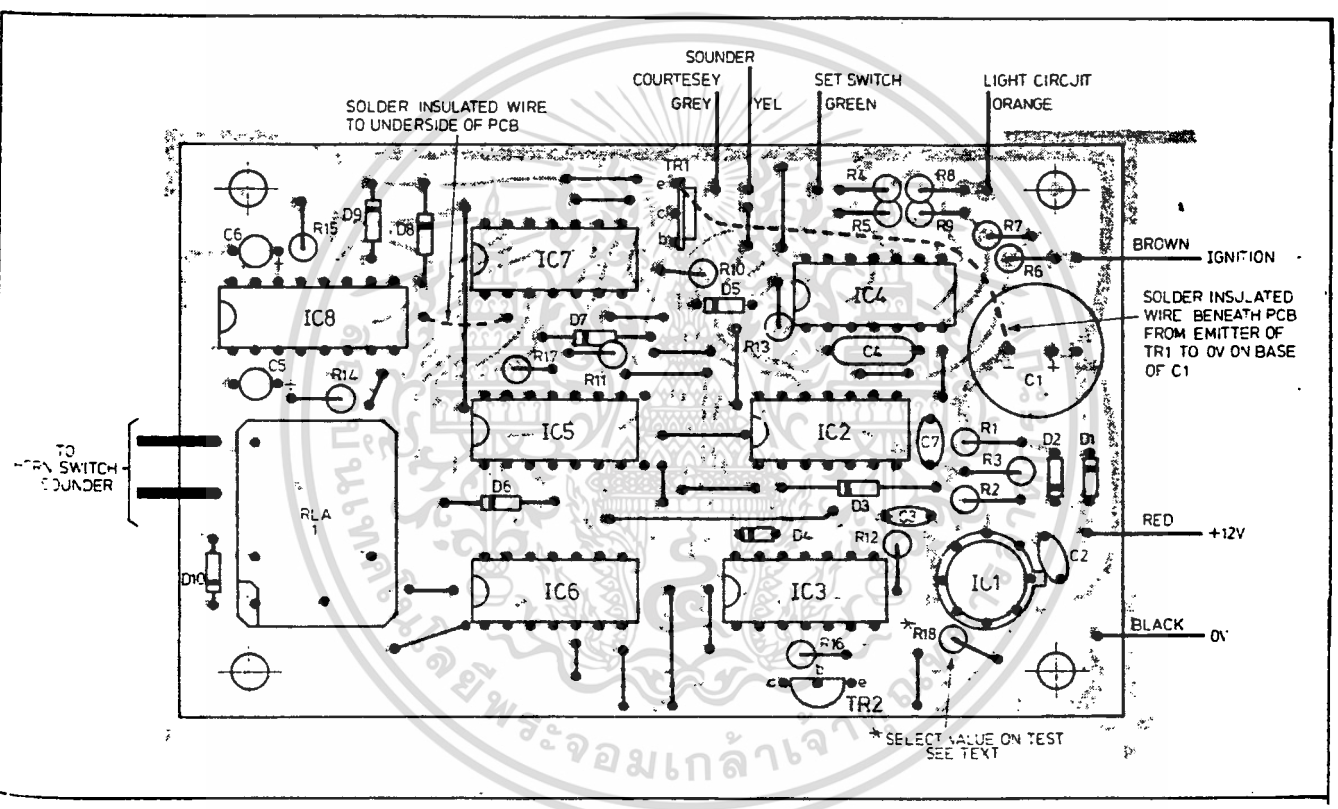
ตัวต้านทาน 1 ตัวคือ R18 ซึ่งเราจะต้องเลือกค่าของมันมาใช้ในขณะทำการทดลอง ดังนั้นจึงยังไม่ต้องนำมันใส่ไปในวงจรเพื่อบัดกรี แต่ใช้วิธีเอาสายไฟมาต่อเชื่อมตรงตำแหน่งของ R18 แทน เพื่อทำการเลือกค่าที่ใช้ได้กับวงจรจริงๆ ของ R18

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เมื่อเลือกค่าของ R18 ได้ตามความเหมาะสมของการทำงานของวงจรแล้วก็ให้นำ R ตัวที่เลือกใส่เข้าไปในตำแหน่งของ R18 บัดกรีให้เรียบร้อยพร้อมทั้งถอดเอาสายไฟที่ต่อไว้ ตอนแรกออกอย่างระมัดระวังเพื่อกันมิให้ PRINT เกิดการเสียหายขึ้นได้

อย่าลืมเชื่อมสายสองเส้นภายใต้แผ่น PRINT คือระหว่าง IC7 และ IC8 และจุดที่สองคือจาก EMITTER ของ TR1 ไปที่ขั้วลบของ C1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TESTING

อุปกรณ์ที่ต้องการใช้ เพื่อทำการทดลองการทำงานของวงจรมีดังนี้

- ชุด POWER SUPPLY, 13V, 500 mA
- MULTIMETER, 20K ohm/V MINIMUM, 20V RANGE, และกระแส 20 MA RANGE หรือ METER ที่ดีกว่านี้ ถ้าคุณสามารถเลือกได้
- OSCILLOSCOPE, หนึ่ง BEAM
- สายจั้มที่มี CLIP ทั้ง 2 ข้าง 4-5 เส้นยาวประมาณเส้นละ 1 ฟุต
- หลอดไฟ 12V, 6 WATTS พร้อมขั้วหลอด
- ค่าตัวต้านทานตั้งแต่ 100 ถึง 1K ประมาณ 10 ค่า

ต่อสาย SUPPLY เข้าวงจรโดยให้ผ่าน METER เพื่อที่จะทดสอบกระแสที่วงจรกินทั้งหมดจะต้องไม่เกิน 10 mA, และจะต้องไม่มีความร้อนเกิดขึ้นบนตัว COMPONENTS ทุกตัวในวงจร จากนั้นถอดสายออกจาก METER และต่อตรงเข้ากับ SUPPLY, ให้วัดค่า VOLTAGE ที่ ANODE ของ D2 จะเป็นค่า V + ระหว่าง 5.6V ถึง 7V

ตัด SUPPLY ชั่วคราวและให้นำเอาตัวต้านทาน 2.2M ต่อเข้าที่ตำแหน่งของ R18 ชั่วคราว จากนั้นให้ต่อสายเข้าไปที่ V + และ CATHODES ของ DIODE D8 และ D9 ต่อสาย SCOPE เข้าที่ PIN 6 ของ IC OP AMP. ให้ระวัง PROBE ของ SCOPE มิให้ไป SHORT กับขา IC ข้างเคียง ป้อนไฟเข้าวงจรพร้อมทั้งจับตาดูที่จอ SCOPE

ที่ OUTPUT ของ IC1 จะต้องมีสภาวะ HIGH ถ้าไม่เป็นเช่นนี้ ให้พยายามลดค่าของ R18 ลงจาก 2.2M ให้เป็น 1M ถ้ายังไม่สามารถทำให้เป็นสภาวะ HIGH ได้ ให้กลับไป CHECK VOLTAGE ที่ตกคร่อม D2, ทิศทางในการใส่ IC1 ว่าถูกต้องหรือไม่, และรวมทั้งตัว COMPONENTS ทั่วๆ ไปด้วย เพื่อจะให้การทำงานเป็นไปอย่างถูกต้องตามเวลาที่พอเหมาะจำเป็นจะต้องรอเวลาให้ C7 ทำการ CHARGE ไฟอยู่ประมาณ 2-3 วินาที ให้มัน CHARGE ให้เต็มประจุ

ตอนนี้คุณกำลังทำอะไรอยู่ก็คือ เลือกค่า R ที่มีความเหมาะสมกับการทำงานของวงจร เพื่อใส่เข้าที่ OUTPUT ของ OP MAP, โดยการเปลี่ยนค่าความต้านทานของ R18 ดังนั้นบนจอ SCOPE จะเปลี่ยนสภาพเมื่อค่า LOAD RESISTOR มีค่าประมาณ 330 OHM สัมผัสกับสาย SUPPLY

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โดยการเปลี่ยนค่าของ R18 ไปเรื่อยๆ จนกว่าจะได้ค่าที่ต้องการ แล้วจะสังเกตุได้บนจอ MONITOR ว่าเกิดการกระตุ้นขึ้นที่ OUTPUT เมื่อเกิดสภาพจริงของ ALARM ขึ้นและจะไม่ทำให้เกิดการสูญเสียกับตัว ALARM เมื่อค่าของ R18 นั้นถูกเลือกเรียบร้อยแล้วก็ให้นำสายต่อชั่วคราวออกแล้วบัดกรีขาของ R18 ให้เรียบร้อย มันเป็นวิธีการที่ดีที่ว่าเราควรจะต้องตรวจสอบการทำงานของวงจร หลังจากได้ใส่ R18 เข้าไปแล้วอีกครั้ง

โดยปกติที่มีการทดลองมาหลายๆ ครั้งผลปรากฏว่า R18 จะมีค่าอยู่ประมาณ 1M, C3 ก็เช่นกัน สามารถเปลี่ยนการหน่วงเวลาในการทำงานของวงจรทั้งหมดด้วยวิธีนี้คุณอาจสามารถโฆษณาได้ว่า เวลาในการออกจากรถนั้นสามารถปรับให้ช้าหรือเร็วได้ ดังตัวอย่าง เช่น คนพิการอาจจะต้องการเวลาในการไปปิด SWITCH ALARM หรือ การออกจากรถมากกว่าปกติ, และสามารถกระทำได้เช่นกัน เวลาที่ ALARM จะเกิดเสียนั้น อย่างไรก็ตามจะยังหน่วงอย่างอยู่ถึง 3 เท่าของเวลาในการออกจากรถ ด้วยเหตุนี้จึงไม่มีเหตุผลที่ผู้มีประสบการณ์ในการติดตั้งว่าทำไมเขาจึงไม่จำเป็นที่จะต้องตรวจสอบเพื่อที่จะลดหรือหดเวลาที่อยู่ภายใต้ของการหน่วง

ค่าที่แนะนำสำหรับ R13 และ C4 คือเพื่อที่จะให้มันเป็นตัวกำหนดความถี่ที่แตร SIREN อยู่ประมาณ 3.5 KHz แต่อย่างไรก็ตามแตร SIREN แต่ละตัวก็มีคุณสมบัติที่แตกต่างกันออกไป ฉะนั้นจึงเป็นการดีที่เราควรจะทดลองระดับเสียงในขณะที่ทำการทดลองวงจรให้เป็นที่พอใจเสียก่อน

ถ้าคุณไม่มี SCOPE ก็สามารถใช้วงจรดังรูปที่ 4C ก็สามารถให้คุณทำการทดลองการทำงานของ OP AMP. ได้เช่นกัน

มาถึงในสภาวะที่ OUTPUT ของ IC1 เป็น HIGH, จับตาดูที่ OUTPUT, ให้ทำการลด SUPPLY ลงด้วยการใช้ค่าความต้านทานค่าต่ำๆ ไปต่ออนุกรมกับ SUPPLY ทดลองใช้ค่า 1K ก่อน โดยการลดค่าของตัวต้านทานนี้ลงไปเรื่อยๆ จนกระทั่งเมื่อถึงจุดหนึ่ง คุณจะสังเกตุได้ว่าที่ OUTPUT ของ OP AMP. นั้นไม่มีการเปลี่ยนค่าอีกต่อไป

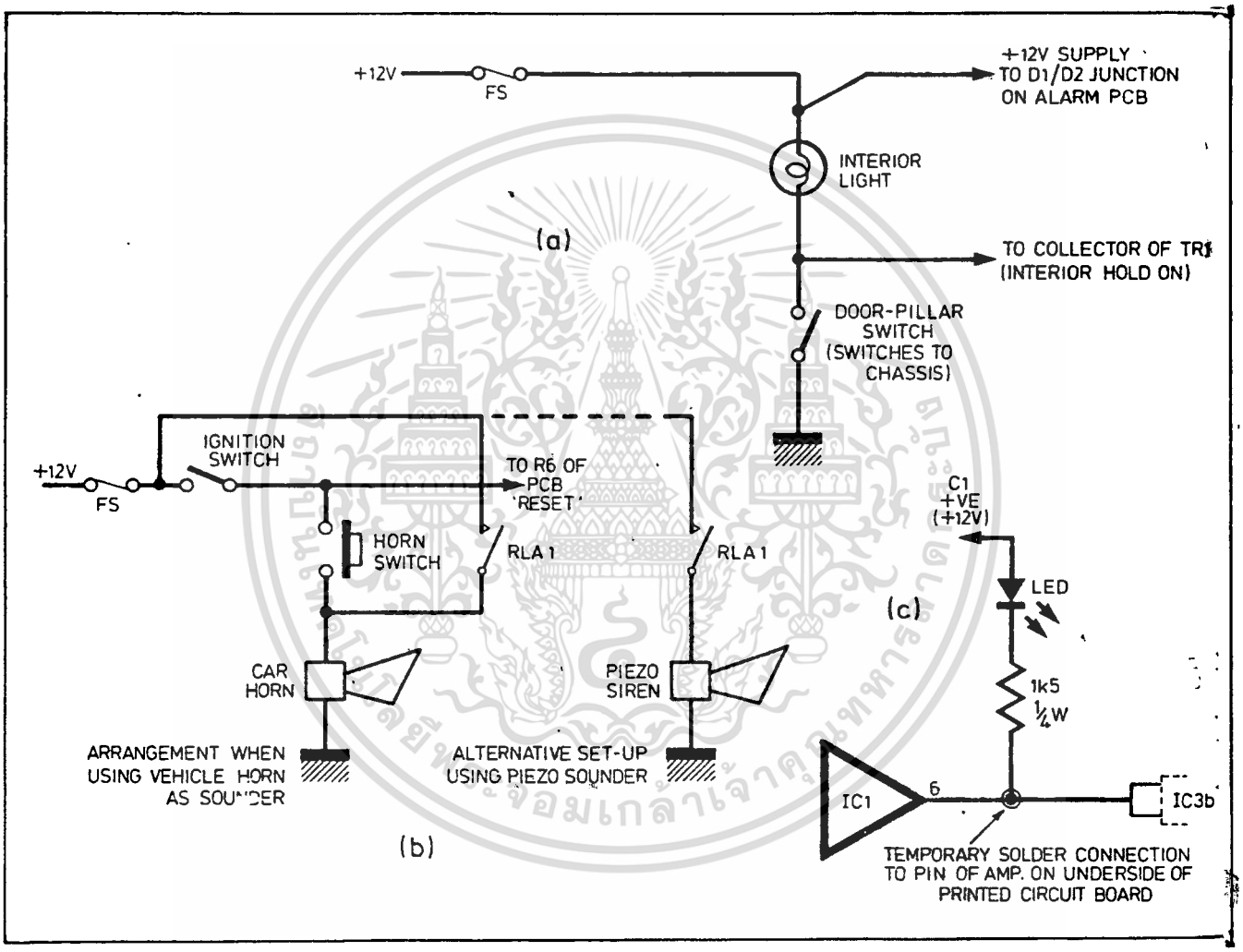
อย่าลืมว่าจะต้องอยู่ในขอบเขตของค่า 3.3M, โดยขึ้นอยู่กับค่าความผิดพลาดของ R2, R1 และ ตัว OP AMP. เองด้วย โดยการเพิ่มค่าของ C7 จะมีผลต่อการเพิ่มความไวของที่ OP AMP. นี้เป็นเพียงจุดเดียวในวงจร ซึ่งต้องการการปรับแต่ง หลังจากนี้วงจรทั้งหมดจะทำงานแบบดิจิตอล, และในบางกรณีจากการติดตั้งอาจจะเกิดปัญหาขึ้นได้ วงจรจะมี OUTPUT ออกมาเป็นสองสภาวะ, คือ เตือนและ ALARM, ในลักษณะ 1:3 เป็นอัตราส่วนกันไป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

แม้ว่าการเปลี่ยนค่า R12 หรือที่ WARNING OSCILLATOR เกิดการผิดปกติขึ้น, ให้ต่อหลอดไฟ 12V เข้าที่ COLLECTOR ของ TR1 ให้ทดสอบว่าไฟจะติดในช่วงเวลาของการออกจากรถ, และในช่วงเตือนและช่วง ALARM ให้ต่อหลอดไฟเข้าที่ OUTPUT ของ RELAY, และตรวจดูว่าไฟจะติดในช่วงของสัญญาณ ALARM, ในขณะนี้ ให้ทำการ RESET โดยการต่อ SUPPLY เข้าที่ R6, และดูว่าสัญญาณ ALARM จะหยุดในทันที, ให้หยอดสาร SILICON จำนวนพอประมาณ เพื่อป้องกันการสะเทือนของสายต่างๆ ที่แผ่นวงจร ต่อสายเข้ากับ SUPPLY และที่ R8 ทดสอบสภาพเงื่อนไขการติดของหลอดไฟ ทดสอบว่า เมื่อวงจรนั้นอาจจะถูกกระทบกระเทือนจากภายนอกจะต้องไม่ไปโดนตัว TR1 ทั้ง 2 ด้าน เพื่อป้องกันการสั่นสะเทือนของแผงวงจรและอาจมีการเสียหายเกิดขึ้นได้ จัดการเก็บสายไฟด้วยปลอกรวมสายให้เรียบร้อย, ไม่ต้องพิถีพิถันมากนัก จากนั้นให้พ่นด้วย LACQUER บนแผงวงจรทั้งหมด ถ้าไม่มี LACQUER, ก็ให้ใช้สารกันชื้นอย่างใดอย่างหนึ่งแทนได้, ประกอบวงจรเข้ากับกล่องที่เตรียมไว้ โดยใช้น็อตยึดให้แน่น แล้วหยอดด้วย SILICON เพื่อกันการหลุดหลวมสอดชุดรวมสายออกทางรูลูกยางมานอกกล่อง แล้วประกอบปิดกล่อง เมื่อทุกอย่างประกอบเข้าที่แล้วสายไฟส่วนที่เหลืออยู่รอบๆ ก็ให้หยอดด้วย SILICON ทับให้ดี จากนั้นก็พร้อมที่ท่านจะนำไปติดตั้งกับรถของท่านได้แล้ว

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

FITTING

เตรียมสายไฟที่ออกจากกล่องยาวประมาณ 1 ฟุต แล้วต่อปลายทุกเส้นด้วยขั้วต่อให้ครบทุกเส้นอาจจะใช้หัวแร้งเพื่อบัดกรีเลยก็ได้ แต่ต้องระมัดระวังเป็นอย่างดี โดยต่อ GROUND ระหว่าง MAIN กับหัวแร้งด้วย ทางที่ดีแนะนำให้ใช้ขั้วโลหะต่อสายโดยการบีบโลหะต่อสายให้แน่นจะดีกว่า เลือกที่ติดตั้งตัว ALARM ให้เหมาะสม, ให้ห่างจากความร้อน, การสะเทือนและติดตั้งกล่องโดยใช้ตัวกันสะเทือนทำเป็นแท่นจุดต่อลง GROUND สามารถต่อตรงจุดนี้ได้เช่นกัน ถอดขั้วลบออกจากขั้ว BATTERY เสียก่อนใช้เข็มขัดเดินสายจัดสายให้ดี เดินสายไปที่ SWITCH ไฟภายในรถที่ติดอยู่ตรงด้านข้างของประตูรถ และปล่อยสายต่ออยู่กับตัว SWITCH ของมันเอง ต่อมาให้ต่อ SUPPLY + 12V. เจาะรูเพื่อติดตั้ง SWITCH S1 ตรงจุดที่เราต้องการให้ใช้กาว 2 หน้า เพื่อติดตัว SIREN (PIEZO) ซึ่งสามารถติดอยู่ใต้ จุดที่ติด S1 ต่อสายเหล่านี้เข้าตัว MAIN ALARM นำเอาสายส่วนที่เหลือต่อลงตัวถังรถ

ต่อสายไปที่ SWITCH START และสายส่วนที่เหลือของวงจรแสงสว่างให้เดินไปตรงจุดที่ ALARM อยู่ต่อขั้ว BATTERY เข้าไป แล้วเปิด SWITCH START, เพื่อทำการ RESET FLIP-FLOP ทุกตัว

ให้ทำการตรวจสอบระบบอย่างรวดเร็ว, ลักษณะพิเศษของวงจรคือ ว่าเมื่อเปิด SWITCH START จะเป็นการหยุดการทำงานของระบบ ALARM, เตรียมทุกอย่างให้พร้อม, ให้ใช้สายไฟโตพอประมาณ (15A) ต่อเข้ากับตัวแตร ALARM อันนี้อาจจะเป็นแตรรถหรือ แตร SIREN ที่แยกต่อต่างหากก็ได้ แต่มิใช่ แตร SIREN ที่ใช้ไฟ A.C. นั่นครับหรือ คุณอาจจะต่อกับไฟฉุกเฉินที่เตรียมไว้ก็ได้ ในกรณีนี้คุณต้องต่อ RELAY เข้าไป 1 ตัว เพื่อแยกกระแสที่จะไปกระทบต่อการทำงานของวงจรอย่างไรก็ตามรถรุ่นใหม่จะใช้ RELAY เป็นตัวตัดต่อไฟให้อยู่แล้วและคุณอาจจะต่อเข้ากับสาย RELAY เลยก็ได้

อย่าลืม เมื่อจะให้ ALARM ทำงาน, ไฟในรถจะต้องติดในขณะที่ประตูรถถูกเปิดออก! บริษัทผู้ผลิตรถยนต์ทั่วไปหรือ ร้านตกแต่งรถยนต์ สามารถที่จะติดตั้ง SWITCH ประตูเพิ่มให้ได้และจะต้องติดอยู่กับประตูหลัง กรณีที่เป็นรถ 4 ประตู

คุณจะพบว่า เมื่อ ALARM และแสงสว่างทำงานพร้อมกันมันจะกินกระแสพอที่จะไปกระตุ้นตัว ALARM นั้นให้สามารถทำงานได้, ในกรณีที่ถูกต้องแล้วก็สามารถที่จะเปิดวิทยุได้ด้วย!! เมื่อไฟถูกเปิดตัว ALARM จะต้อง SET และทำงาน อย่างถูกต้อง ถ้ามันไม่ทำงาน นั่นน่าจะเกิดจากการที่เราตั้งความไวของวงจรสูงเกินไป ขอให้ถอดออกมาทดลองข้างนอกใหม่และพยายามลดค่าของ R18 ลง เพื่อป้องกันการเปิดฝากระโปรงหน้ารถหรือฝาหลังรถก็โดยการติด SWITCH ไว้ทั้งสองจุดแล้วต่อสายเข้ากับระบบไฟภายในรถ ถ้ารถของคุณได้ต่อ SWITCH พวก นี้ไว้ แล้วคุณอาจจะพบว่าตรงจุดนี้สามารถจะเป็นตัวไปกระตุ้นระบบ ALARM ได้เลย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ถ้าใช้ไม่ได้ก็ให้เดินสายไฟเล็กๆ ใหม่ 1 เส้น เพื่อเป็นการตบตาหรือเป็นกลเม็ดของคุณเอง ขณะที่คุณกำลังทำการทดลองอยู่นั้นอย่าลืมว่าเจ้าเสียงจาก ALARM อาจจะกลายเป็นเสียงดนตรีสำหรับหูของคุณก็ได้ แต่มันจะไม่เหมือนกับของชาวบ้านเขา ฉะนั้นขอให้ทดสอบเพื่อความพอใจของคุณและไม่ควรไปรบกวนผู้อื่นเขา

ในบางครั้งเพื่อต้องการความรวดเร็วคุณอาจจะติด SWITCH ไว้ภายนอกเพื่อไว้สำหรับ RESET, ในบริเวณเดียวกับ SWITCH START นี่เป็นสิ่งที่ทำได้ง่ายเพื่อทำให้คุณไม่ลืม และเป็นวิธีที่ดีที่สมควรจะแยก V + ไปที่ SWITCH โดยต่อผ่าน FUSE ค่าต่ำๆ สัก 1 ตัว, เช่น ประมาณ 250 mA; ประกอบ FUSE HOLDER ให้เรียบร้อย เพื่อป้องกันอาการที่สายไฟอาจจะไป SHORT กับตัวถังซึ่งอาจเกิดขึ้นได้

ตัว SWITCH จะต้องติดตั้งอยู่ตรงที่ๆ ห่างจากสิ่งสกปรกหรือ น้ำซึ่งอาจจะเข้าไปที่ขั้วต่อของมันได้ แนะนำให้ใช้ SWITCH จำพวกที่กันน้ำได้จะดีมาก จากที่กล่าวมาแล้วตอนต้นว่าระบบนี้มันจะทำงานโดยอัตโนมัติ ถ้าเราต้องการให้มันอัตโนมัติพยายามทำให้สาย SWITCH SI นั้นสั้นที่สุด เพื่อว่าสัญญาณ INPUT ที่เข้าที่ ALARM จะมีสภาวะเป็น LOW อยู่เสมอ ทุกครั้งที่ SWITCH START ถูกปิดตัว ENABLE FLIP-FLOP จะ SET ตัวมันทุกครั้ง ลักษณะพิเศษนี้จะถูกพบโดยถ้าตัวกำเนิดเสียงเป็นแตรรถยนต์, ผู้ติดตั้งจะพบกับความหนวกหูอย่างแท้จริง

ก็เป็นการเสร็จการติดตั้งอย่างสมบูรณ์ แต่ตอนนี้สิ่งที่คุณจำเป็นจะต้องกระทำทั้งหมดคือ ให้จำไว้ว่าจะต้อง SET มัน และปิดประตูรถทุกบานและ LOCK ประตูทุกบาน และหวังว่าคุณจะสนุกกับมันด้วยการลงทุนที่น้อยมาก ถ้าคุณจะเลือกเอาเจ้าตัว ALARM นี้ ไปใช้ประโยชน์เพื่อไว้เฝ้ารถของคุณ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก

เป็นเนื้อหาประกอบเพื่อศึกษาการทำงาน

ของ FLIP-FLOPS และ COUNTERS ชนิดต่างๆ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

FLIP-FLOPS, COUNTERS, AND REGISTERS

For the clocked circuits discussed throughout the rest of this book, timing is very important. To analyze clocked circuits, you use not only truth tables but also timing diagrams. Timing diagrams are just drawings of the input and output waveforms such as you would see if you looked at the circuit with a multichannel oscilloscope. Figure 4-1*a* and *b* shows the truth table and its timing diagram equivalent for the familiar NOR gate. Note in Figure 4-1*c* that a timing diagram can be drawn to show risetimes and the propagation delays of the gate. An example of why you need diagrams to analyze clocked circuits is shown in Figure 4-2. The input waveforms are the same as in Figure 4-1*b*, but somehow the *B* waveform has been delayed by 30 ns. The resultant output of $Y = \overline{A + B}$ shows 30-ns-wide unwanted pulses, commonly called *glitches*, at points *X* and *Y*. Figure 4-2*b* shows a circuit that will produce this problem. If inputs *C* and *D* are high, gates 1 and 2 simply act as inverters for the *B* signal. Since two inversions cancel, the propagation delays of gates 1 and 2 just delay the *B* signal input to NOR gate 3, as shown in Figure 4-2*a*. One solution is to add equal delay to the *A* signal path. You can do this by adding two inverters or two NAND gates used as inverters in series with the *A* signal.

The main point illustrated by this discussion is the importance of using timing diagrams when you analyze pulsed or clocked logic circuits.

Upon completing this chapter, you should be able to:

1. Write the truth tables for the D latch, D flip-flop, JK flip-flop, and T flip-flop.
2. Show the output waveform produced when given input waveforms are applied to D latches, D flip-flops, and JK flip-flops.
3. Draw the output timing diagram for a 4-bit binary or any modulo counter.
4. Draw a circuit to decode any state of a counter.
5. Draw a circuit to convert a 4-bit binary synchronous counter to any modulo between 2 and 15.
6. Use a schematic diagram to explain the operation of a digital clock.
7. Use a schematic diagram to explain the operation of an MSI or LSI frequency counter.
8. Draw the circuit for a D flip-flop register for temporary storage of parallel data.
9. Draw the schematic for a shift register by using D or JK flip-flops.
10. List the differences between static MOS and dynamic MOS shift registers.
11. Draw a circuit showing how UARTs (universal asynchronous receiver-transmitters) can be used to convert parallel data to serial form or serial data to parallel.
12. Describe the operation of MOS bucket brigades and CCDs (charge-coupled devices).
13. Explain the function of flip-flops, counters, and shift registers from their dependency notation symbols.

LATCHES AND FLIP-FLOPS

Latches and flip-flops are memory circuits that store either a 1 or 0 on their outputs. For all but the simplest of these circuits, the output can change only when a special clock or enable input is pulsed.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

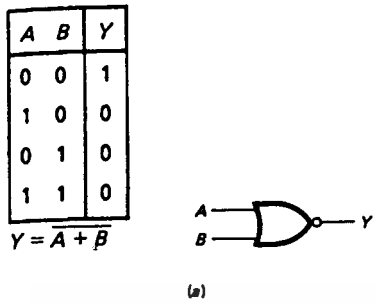


FIGURE 4-1 NOR gate. *(a)* Truth table. *(b)* Ideal timing diagram. *(c)* Timing diagram showing risetimes and propagation delay.

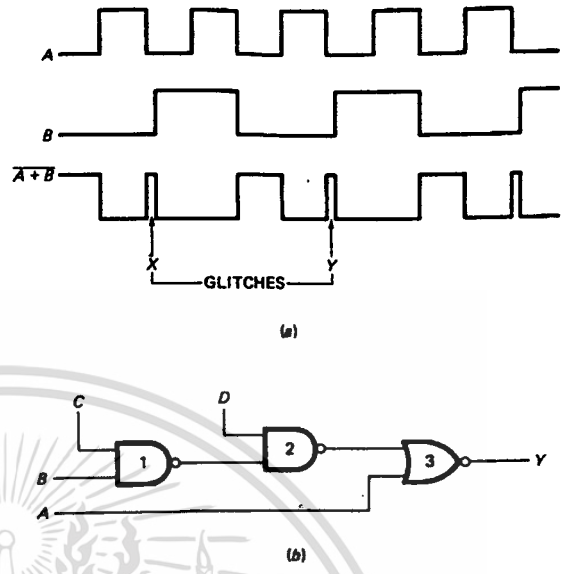


FIGURE 4-2 Glitches. *(a)* Timing diagram showing glitches. *(b)* Circuit that can produce glitches.

NAND LATCH

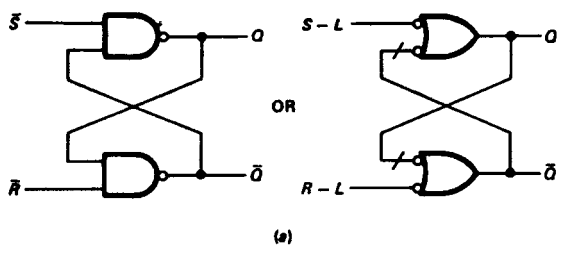
Figure 4-3 shows the schematic, truth table, and timing diagram of a simple NAND latch. First note the input and output labels. Q and $\overline{Q}$ represent complementary outputs. S is the set or preset input, and R is the reset or clear input. Now look at the truth table in Figure 4-3*b*. For S = 0 and R = 1 the Q output is a 1. This 1 on the Q output is described by saying the circuit is *set*. For R = 0 and S = 1, the Q output is a 0, which is referred to as a *reset condition*. Now try S = 0 and R = 0. If you remember the NAND gate trick from Chap. 3 that any low input on a NAND makes the output high, then you can see that both Q and $\overline{Q}$ are high. This violates the definition of Q and $\overline{Q}$ being complementary, so we call this an *indeterminate*, or *prohibited*, *state* and represent this condition in the table as an asterisk (*). In other words, you don't get any useful information on the outputs if both S and R are low. The Q entry in the table for S = 1 and R = 1 tells you that the Q output is going to stay fixed at whatever state it is in until either S or R is made low. This is called the *latched* state.

The following example illustrates how the circuit is used. If both inputs are initially high and Q is low, a low pulse applied to the S input as shown in Figure 4-3*c* will drive the Q output high. Beyond a certain minimum, the width of the pulse to S doesn't matter. The high on the Q output is now held, or "latched," there. The circuit is said to be set. The only way to reset the circuit or change the Q output back to a low is to apply a low pulse to the R input after the S input goes back high, as shown in Figure 4-3*c*. Review the switch debounce circuit in Figure 2-31*b*. Note that it is actually just a NAND latch that takes advantage of the fact that once the output is latched, it doesn't matter what that input does.

RS LATCH WITH ENABLE

The NAND latch circuit just discussed has two major problems. First, you have to make sure the inputs don't both go low at the same time. Second, the circuit is asynchronous, which means that it does not have an input to let you control when the S or R pulse changes the output. An enable input can be added as shown in the circuit of Figure 4-4*a*. In this circuit, as long as the enable input is low, the outputs of the input NAND gates are high and the Q and $\overline{Q}$ outputs are latched. Only when the enable input is high can the R and S inputs affect Q and $\overline{Q}$. The states present on the S and R inputs just before the enable goes low will determine the states latched on the Q and $\overline{Q}$ outputs. Note in the truth table of Figure 4-4*b* that the input NAND gates invert the polarity of the pulse required at S or R to set or reset the latch.

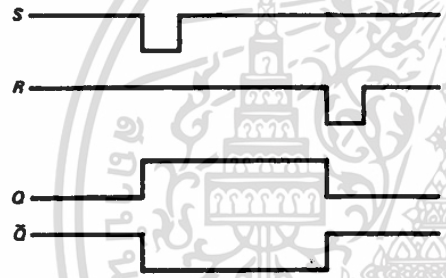
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้
23



(a)

Function	S	R	Q	Q̄
Invalid	0	0	*	*
Set	0	1	1	0
Reset	1	0	0	1
Latch	1	1	Q	Q̄

(b)



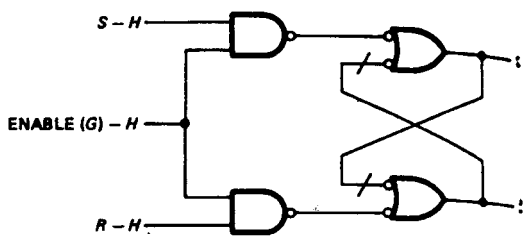
(c)

FIGURE 4-3 Cross-coupled NAND gate latch. *(a)* Schematic. *(b)* Truth table. *(c)* Waveform showing effect of *S* and *R* pulses on outputs.

D LATCH

With the simple RS circuit, there still is the problem of one set of *indeterminate* input conditions when S = 1 and R = 1. For many applications you can employ a circuit that solves this problem by putting an inverter between the S and R inputs, as shown in Figure 4-5*a*. The resulting circuit is called a *D latch*, and it is available as the 7475 quad D latch or the CMOS 4042. As you can see from the truth table in Figure 4-5*b* or from analyzing this circuit, *the Q output follows the D input as long as the enable (G) input is high. The logic state present on the D input just before the enable goes low will be latched on the output.* For latches, the enable input is sometimes called the *strobe*, or *gate*.

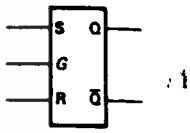
Figure 4-5c shows the schematic symbol, and Figure 4-5*d* gives several important timing parameters for a D latch. Three of these are $t_{PW,MIN}$, the minimum width for the enable pulse; t_{SETUP}, the minimum time for which the data must be valid before the enable goes low; and t_{HOLD}, the minimum time for which the data must be



(a)

G	S	R	Q	Q̄
0	X	X	Q	Q̄
1	0	0	Q	Q̄
1	0	1	0	1
1	1	0	1	0
1	1	1	*	*

(b)



(c)

FIGURE 4-4 Enabled RS latch. *(a)* Internal schematic *(b)* Truth table. *(c)* Schematic symbol.

held constant after the enable goes low. For the example shown in Figure 4-5*d*, you can't be sure that the Q output will catch the low on the D input unless all these times are long enough. For a 7475,

$$t_{PW,MIN} = 20 \text{ ns} \qquad t_{SETUP} = 20 \text{ ns} \qquad t_{HOLD} = 5 \text{ ns}$$

Figure 4-5*d* also shows T_{PLH} and T_{PHL}. Note that these times are measured from the 50 percent point of an input change to the 50 percent point of the corresponding output change. For a 7475, T_{PLH} is a maximum of 80-ns and T_{PHL} is a maximum of 50 ns.

For a brief example of how you might use a D latch, Figure 4-5*e* shows the bouncing output of a switch as data input to a D latch. If you wait to enable the latch until after the bouncing stops, as shown, then none of the bouncing will appear at the Q output. This is another way to "debounce" switch signals. The enable pulse can be produced from the switch transition with two 555 timers used as monostables. (Refer to Figure 2-35 to review the circuit.) A negative switch transition triggers one 555 set for an output time of 10 to 15 ms. The falling edge of this output triggers a second 555 timer to produce an enable pulse of the desired width. *Strobing* is a term often used in place of *enabling* in referring to latches.

D FLIP-FLOP

A device often confused with the D latch is the D flip-flop. As you remember from the previous section, for a D

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้
24

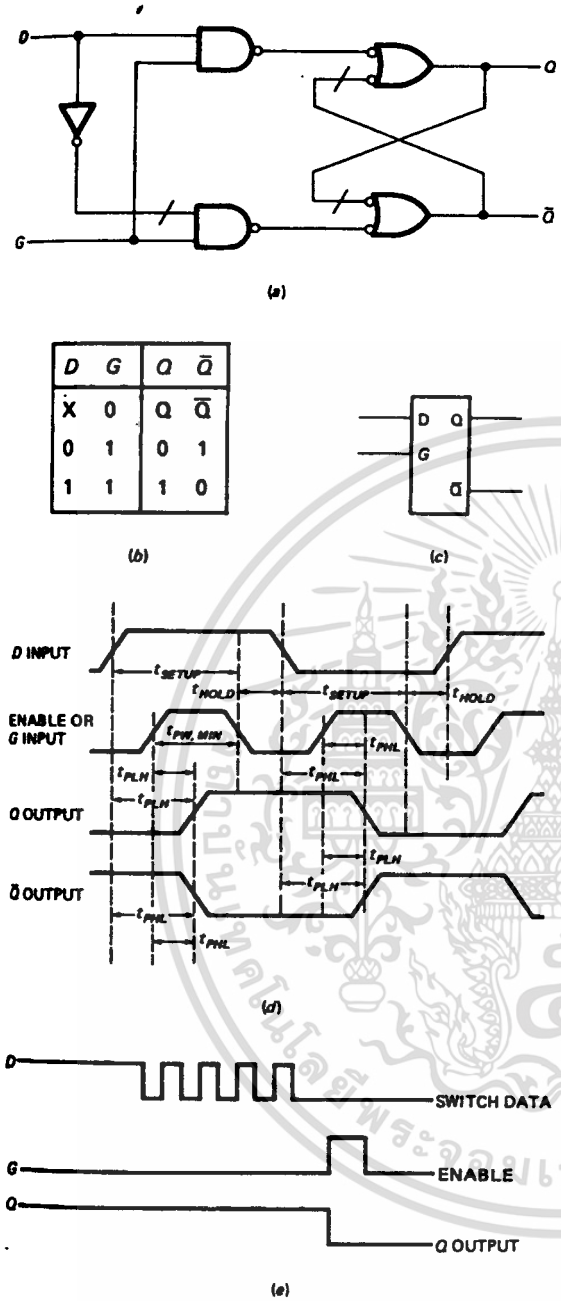


FIGURE 4-5 D latch. *(a)* Internal schematic. *(b)* Truth table. *(c)* Schematic symbol. *(d)* Timing diagram showing setup and hold times. *(e)* Timing for debouncing switch contacts.

latch, the Q output follows the D input as long as the enable input is high. A D flip-flop, however, transfers to the Q output only data which is present on the D input at the time of a positive transition on the clock input. This is shown in Figure 4-6*b*, which is the truth table for a 74175 quad edge-triggered D flip-flop. The two arrows in the clock column of the table show that Q changes to equal D only at the positive transition of the clock.

The third line in the truth table shows that if the clock is at a high state, the D input is a don't-care, as represented by the X in the D column. This means that a change on D will have no effect on the Q or $\overline{Q}$ output. The fourth line in the truth table shows that if the clock input is low, a change on D will have no effect on the Q and $\overline{Q}$ outputs. The last line in the table shows that if the RESET/CLEAR input is made low, the Q output will go to a reset state regardless of the state on the clock and D inputs. Some flip-flops have a direct PRESET input as well as a direct RESET input. These inputs are called *asynchronous* because they directly set or reset the outputs without regard for the state of the clock.

In the connection diagram for the 74175 in Figure 4-6*a*, note that the clock input of each of the four devices in the IC has a small triangle and a small bubble next to it. The triangle indicates that the actual flip-flop is clocked by an edge of the input clock pulse. The bubble indicates that the flip-flop is clocked by the negative (high-to-low) edge of the clock signal. Since the four clock inputs are all driven by an inverter, the positive (low-to-high) edge of the externally applied clock signal will actually clock the flip-flops. If you think of the bubble on the output of the clock line inverter as canceling the bubbles on the flip-flop clock inputs, you can see directly which edge of the clock is active.

Figure 4-6*c* shows the dependency notation logic symbol for the 74175. The indented box at the top of the symbol is a common control block. Control signals that enter this block, unless otherwise indicated, affect all the elements below the control block. If the $\overline{CLR}$ input is asserted, for example, all the flip-flops will be reset. The letter C stands for control dependency. Inputs which have the same identifying number as that after the C will be enabled by the control input. Since in this case the C is in the common control box, it affects all the D inputs. Only one D input needs to be labeled with the 1D label. As indicated by the triangle on the CLK input, data on the D inputs will be transferred to the outputs when the CLK input goes from low to high (positive edge of CLK).

The setup time and hold time for a D flip-flop are measured from the positive edge of the clock, as shown in Figure 4-6*d*. To give you an idea of typical values, a data book lists $t_{SETUP,MIN}$ as 20 ns, $t_{HOLD,MIN}$ as 0 ns, and $t_{CW,MIN}$ ($t_{PW,MIN}$) as 20 ns. The minimum width for a clear pulse is 20 ns, and the clear pulse must return high at least 30 ns before the positive edge of a clock pulse ($t_{SETUP,CLEAR}$). You certainly don't need to memorize these values, but you do need to understand these parameters when you get them from a data book to help you troubleshoot a flip-flop circuit with timing problems. A flip-flop or latch with marginal timing design often shows the frustrating symptom of sometimes giving the correct data out, and sometimes not. A dual-

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

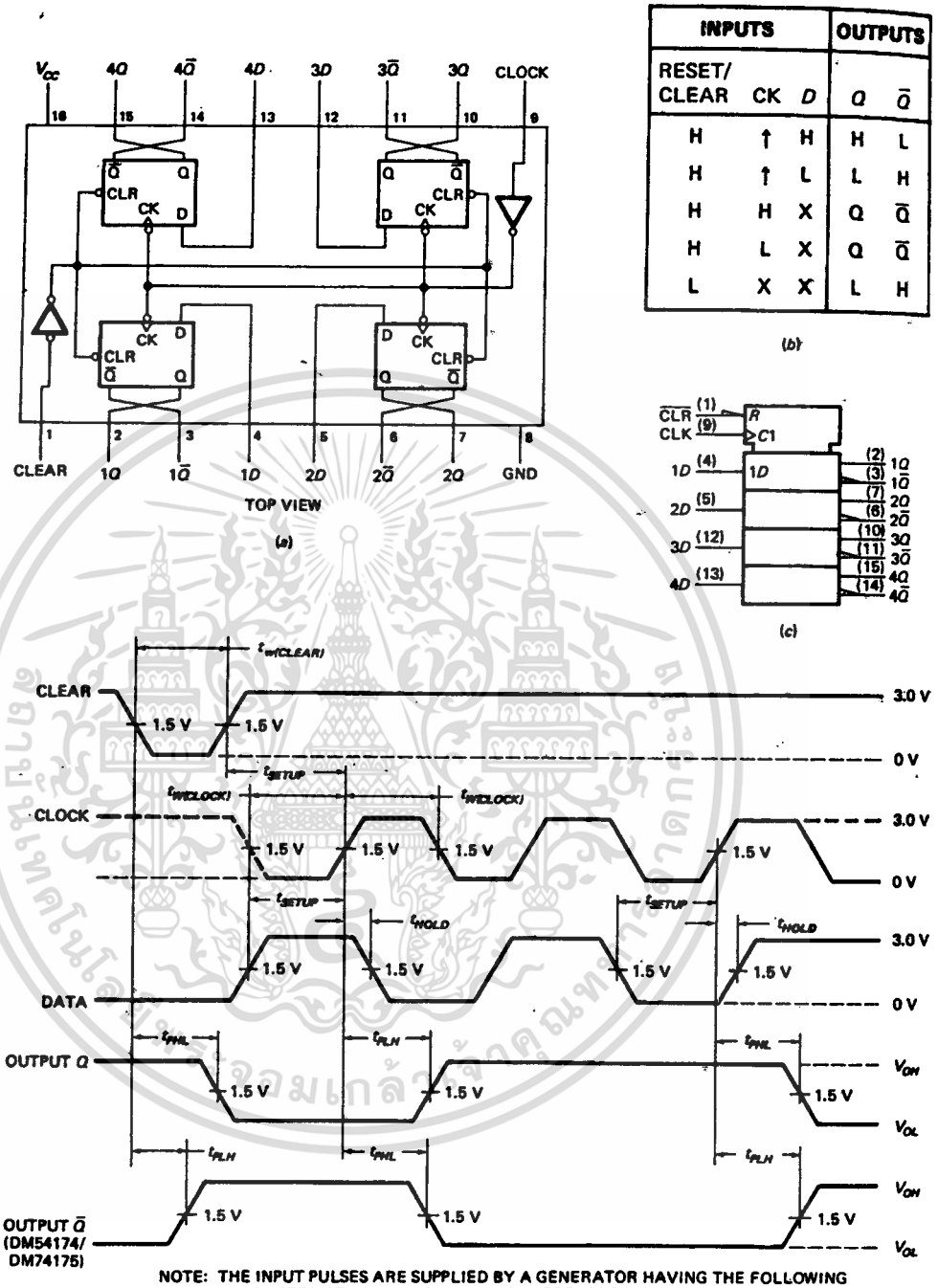


FIGURE 4-6 D flip-flop. *(a)* Connection diagram of 74175 quad D flip-flops. *(b)* Truth table showing positive-edge triggering. *(c)* Dependency notation logic symbol. *(d)* Timing diagram.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้
26

trace-triggered oscilloscope usually will expose the timing problems.

The 4013 is an example of a CMOS quad D flip-flop.

D LATCH AND D FLIP-FLOP OUTPUT WAVEFORMS

Figure 4-7 shows how the D latch and D flip-flop output waveforms differ for the same input D and clock waveforms. On the rising edge of each clock pulse, the D flip-flop updates the Q output to show the state present on the D input at that time. Then this state is held on the Q output until it is updated on the next positive clock edge. The device essentially takes a snapshot of D at each rising clock edge and displays it at Q.

When the clock or enable of a D latch is high, the Q output follows the level on the D input as if D and Q were connected by a piece of wire. When the clock goes low, the state left on Q will be whatever state was on D just before the clock went low.

JK FLIP-FLOP

Before we examine the many applications of flip-flops, there is one more very important type to discuss. This is the JK flip-flop, which eliminates the problem of a prohibited input combination found in RS circuits but still provides two inputs, J and K. There is no need to fill this book or your mind with the many internal circuit variations used to accomplish this. The main points to understand are the truth table for the JK flip-flop and the three types of clocking that it may have.

POSITIVE-EDGE-TRIGGERED JK FLIP-FLOP Figure 4-8*a* shows the truth table for a CMOS 4027 JK flip-flop. The arrows indicate that the output changes to the state determined by the J and K inputs on the positive transition of the clock. Note that for the condition of both inputs high, which is indeterminate in the simple RS, the output of the JK flip-flop simply changes state or toggles on each positive transition of the clock. The other input combinations produce the same result as they did in the simple RS latch. If both J and K are low, the output will not change when a clock pulse occurs. If J is high and K low, Q will be high after a clock pulse; and if J is low and K high, Q will be low after a clock pulse. The direct set and reset inputs are independent of the clock, J, and K inputs. Using these, the Q output can be set to a high or reset to a low at any time. As you can see from Figure 4-8*a*, the set and reset inputs are active high. Both of these cannot be high at the same time. For this type of flip-flop, setup and hold times are measured from the positive edge of the clock.

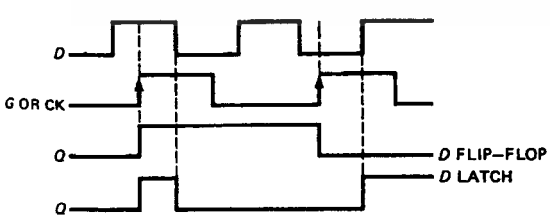


FIGURE 4-7 Diagram comparing D latch and D flip-flop output waveforms for same clock and *D* input signals.

NEGATIVE-EDGE-TRIGGERED JK FLIP-FLOP Figure 4-8*d* shows the truth table for a 74LS76 dual JK flip-flop. The arrows indicate that this device responds to the J and K inputs on the *negative edge* of the clock. However, the J and K inputs still have the same effect on the output as did those of the CMOS 4027. For example, the output will toggle on each clock pulse if J and K are both high. Note that the direct preset and clear (set and reset) inputs for the 74LS76 are active low. Both should not be made low at the same time. Setup and hold times are measured from the negative edge of the clock. Other examples of negative-edge-triggered JK flip-flops are the 74103, 74113, and 74114.

MASTER-SLAVE JK FLIP-FLOP Still another type of JK clocking is shown for a 7476 dual JK flip-flop in Figure 4-8*g*. As with many other JK devices, each flip-flop in the 7476 has two parts, a *master* and a *slave*. The circuitry of the 7476 is designed such that when the clock goes to a high level, the J and K data is gated into the master, or input, portion. When the clock drops low again, the J and K data is passed on to the slave, or output, section and appears at the output. A problem with this level-clocked type is that the J and K inputs must not change while the clock is at a high level or else the output will be unpredictable. To minimize the problem, the clock pulse should be kept as narrow as possible.

Note how the dependency notation differentiates between the negative-edge-triggered 74LS76 in Figure 4-8*f* and the level-triggered 7476 in Figure 4-8*i*.

JK FLIP-FLOP TIMING DIAGRAMS

For JK flip-flops it is important to predict the output Q waveforms for given J and K input waveforms. Figure 4-9 shows the output waveforms produced by each of the three types of JK flip-flop for some J and K input waveforms. At first glance, it might seem difficult to predict these output waveforms, but if they are drawn out one section at a time, they are quite easy.

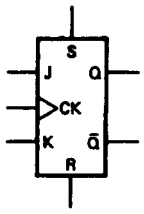
For the positive-edge-triggered JK flip-flop output waveform in Figure 4-9, assume that Q is low initially. At the time of the first positive clock transition, the J input is high and the K input is low. As indicated by the JK truth table, this causes the Q output to go high. If we assume no direct PRESET or CLEAR inputs, the Q output cannot change again until the next positive transition of the clock input at 3. Therefore, the waveform can be drawn as a high from clock edge 1 to clock edge 3. At clock edge 3, J is low and K is high. As indicated in the truth table, this causes the Q output to go low, and it stays at this level at least until clock edge 5. At clock

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

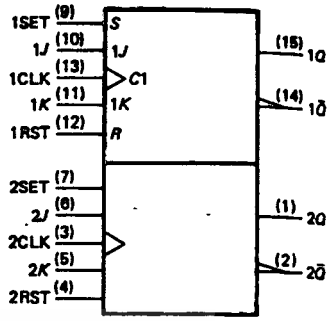
4027

INPUTS					OUTPUTS	
S	*R*	CK	*J*	*K*	*Q*	$\bar{Q}$
L	H	X	X	X	0	1
H	L	X	X	X	1	0
H	H	X	X	X	H*	H*
L	L	↑	L	L	Q0	$\overline{Q0}$
L	L	↑	H	L	H	L
L	L	↑	L	H	L	H
L	L	↑	H	H	TOGGLE	

(a)



(b)

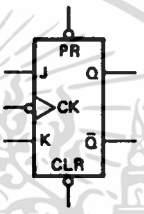


(c)

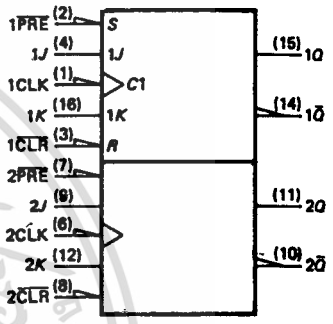
74LS76

INPUTS					OUTPUTS	
PR	CLR	CK	*J*	*K*	*Q*	$\bar{Q}$
L	H	X	X	X	H	L
H	L	X	X	X	L	H
L	L	X	X	X	H*	H*
H	H	↓	L	L	Q0	$\bar{Q}$0
H	H	↓	H	L	H	L
H	H	↓	L	H	L	H
H	H	↓	H	H	TOGGLE	
H	H	H	X	X	Q0	$\bar{Q}$0

(d)



(e)

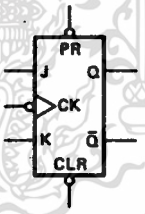


(f)

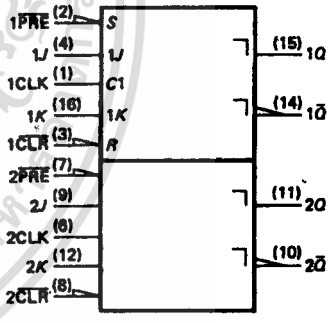
7476, H76

INPUTS					OUTPUTS	
PR	CLR	CK	*J*	*K*	*Q*	$\bar{Q}$
L	H	X	X	X	H	L
H	L	X	X	X	L	H
L	L	X	X	X	H*	H*
H	H	⎍	L	L	Q0	$\bar{Q}$0
H	H	⎍	H	L	H	L
H	H	⎍	L	H	L	H
H	H	⎍	H	H	TOGGLE	

(g)



(h)



(i)

NOTES: ⎍ = high-level pulse; data inputs should be held constant while clock is high; data are transferred to output on the falling edge of the pulse.

Q0 = the level of *Q* before the indicated input conditions were established.

TOGGLE: Each output changes to the complement of its previous level on each active transition (pulse) of the clock.

*This configuration is nonstable; that is, it will not persist when preset and clear inputs return to their inactive (high) level.

FIGURE 4-8 JK flip-flops. *(a)* Positive-edge-triggered 4027 truth table. *(b)* 4027 schematic symbol. *(c)* 4027 dependency notation symbol. *(d)* Negative-edge-triggered 74LS76 truth table. *(e)* 74LS76 schematic symbol. *(f)* 74LS76 dependency notation symbol. *(g)* Level-triggered 7476 truth table. *(h)* 7476 schematic symbol. *(i)* 7476 dependency notation symbol.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้
28

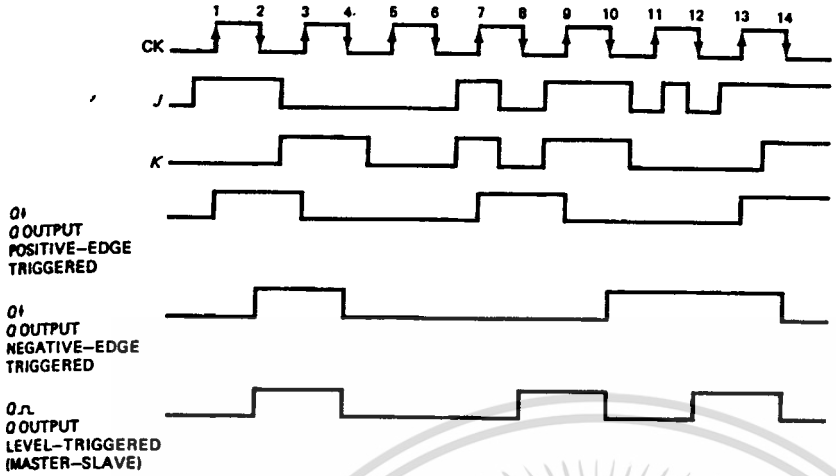


FIGURE 4-9 Output waveforms produced by the three JK flip-flop types for given input clock, *J*, and *K* waveforms.

edge 5 both J and K are low; therefore, the output will not change. At clock edge 7 both J and K are high, so the Q output will toggle, which in this case means change from a low to a high. Again, at clock edge 9 both J and K are high, so Q will toggle again, this time from high to low. At clock edge 11 both J and K are low, so Q will stay the same. Finally, at transition 13 the J input is high and the K input is low, so the Q output will go to a high. The device can be thought of as sampling the J and K inputs on each positive transition of the clock and updating the Q output according to the JK truth table rules. This Q state is then held until the next positive clock transition, when the output is updated again. The waveform then is constructed in segments one clock pulse long.

The waveform for the negative-edge-triggered flip-flop in Figure 4-9 is constructed in the same way except that the updating "snapshot" of the J and K inputs is taken on the falling edge (transition) of the input clock.

To draw the waveform for a JK master-slave flip-flop, you must remember not only the truth table, but also how the master-slave operation works. When the clock is high, data on the J and K inputs updates the output of the master section. When the clock goes low, the state on the output of the master section is transferred to the output of the slave section. Therefore, changes of the output Q will coincide with the falling edge of the clock. The bottom waveform in Figure 4-9 shows how this works. At clock edge 1, J is high and K is low, so the master is set. At clock edge 2, the set state is transferred to the output. At clock edge 3, J is low and K is high, so the master is reset. At clock edge 4, the reset state is transferred to the output. For the pulse from edge 5 to edge 6, both J and K remain low, so the output is not changed. However, at clock edge 7, both J and K are high, so the master toggles high. While the clock is high, both J and K go low, latching the high on the master. At clock edge 8, the output reflects the toggle to a high. Again, at clock edge 9, both J and K are high, so the master toggles to a low. The output changes to a low at edge 10. At clock edge 11, both J and K are low, which should retain the reset state. Between clock edges 11 and 12, however, K is low and J pulses high. This combination sets the master section of the device. When the clock goes low at 12, this set state is transferred to the Q output as shown. It does not matter that J went low again before the clock went low because for J and K low no change can take place. The unpredictable output caused by J or K changing while the clock is high is sometimes called *1's catching*. Between edges 13 and 14 in Figure 4-9, J is a high and K changes to a high. This causes the output Q to toggle on the negative edge of the clock as shown.

FLIP-FLOP PROBLEMS

Flip-flops and latches have three common types of problems:

1. The Q output does not change to the state predicted by the D or by the J and K inputs when clocked. Usually this is caused by a defective IC or by the output being short-circuited to V_{CC}, to ground, or to another trace on the PC board.
2. The output sets or resets at random times. Often this is caused by the set or reset input of the IC being left open. When left open, these inputs may pick up pulses from other lines. Unused set or reset inputs should be tied to ground or to V_{CC}, whichever voltage holds them in the inactive state.
3. The output is sometimes correct and sometimes incorrect. This may be caused by a defective IC or by violations of the setup and/or hold time requirements of the device. If an input data change occurs too close to a clock edge, the output may or may not get the level you want. Since these time parameters vary with temperature and from IC to IC, marginal timing problems can be hard to trace. For example, an instrument works fine with its cover off, but

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5 min after the cover is on, it shows wrong data on its display. What you do, then, is connect an oscilloscope to look at the input and the clock of the suspected IC to find out whether the timing is marginal. Next bring a heat source near the IC to see whether this causes a malfunction. If it produces a malfunction, you can determine from the oscilloscope display whether the chip is faulty (setup or hold time is longer than minimum value on data sheet) or whether the circuit design is marginal. It is bad to just replace ICs in a case like this because you may find an IC that will make the instrument work fine until it gets to Phoenix.

Other problems are clock pulses or reset pulses that are too narrow. Also, if a risetime of a reset or set pulse is not fast enough, the output of the flip-flop may oscillate and give several pulses out.

ASYNCHRONOUS OR RIPPLE COUNTERS

A JK flip-flop with J and K inputs tied high, or a D flip-flop with the $\overline{Q}$ output connected to the D input as shown in Figure 4-10*a*, forms what is sometimes called a *T*, or *toggle, flip-flop*. This name refers to the fact that for either configuration the output state will change or toggle for each clock pulse. Since it takes two input clock pulses to produce one output cycle (Figure 4-10*b*), the output frequency is half that of the input clock. Two T flip-flops can be connected in series or cascaded to give an additional output frequency equal to the input frequency divided by 4. Adding a third T flip-flop in series gives an $f_{IN}/8$ output, and adding a fourth flip-flop gives an $f_{IN}/16$ output.

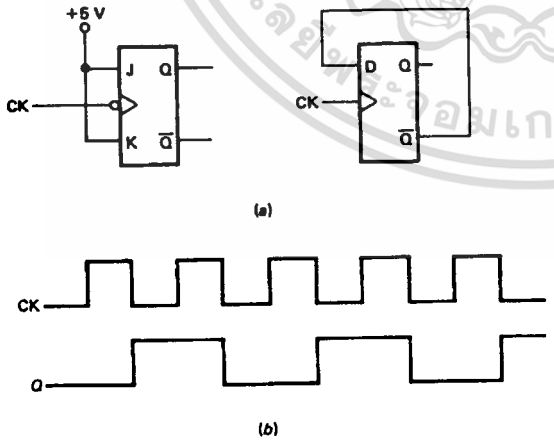


FIGURE 4-10 T flip-flops made from JK and D flip-flops. *(a)* Circuits. *(b)* Waveforms for T flip-flops made from negative-edge-triggered JK.

Figure 4-11*a* shows the 7493 four-stage binary divider or 4-bit binary ripple counter, which is effectively four T flip-flops in series. As a divider, one or more of the outputs is used to get a frequency that is some fraction of the input frequency. It is called a *counter* because, as shown by the ideal waveforms in Figure 4-11*c*, all four outputs together represent a binary number between 0 and 15. The negative edge of each input clock pulse increments the counter to the next-higher binary number. When the counter reaches count 15, or binary 1111, the outputs all roll back to 0 on the next negative clock edge. The count sequence then starts over.

The dependency notation logic symbol for the 7493 in Figure 4-11*b* shows that the device is made up of two sections, a divide-by-2 section and a divide-by-8 section. The plus symbols near the clock inputs indicate that the counter sections increment (count up) by 1 on the falling edge of each clock pulse. If R0(1) and R0(2) are asserted (H), the output count will be forced to all 0's.

Counters can be cascaded (connected in series) to get a higher count or more bits. The CMOS 4060, for example, has 14 binary divider stages in a single IC package.

The term *ripple* indicates that the effect of a clock pulse propagates sequentially or ripples down through the chain of flip-flops. For the circuit in Figure 4-11*a*, the output of the last flip-flop will not change until four flip-flop propagation delays after a negative edge of the input clock. This means the counter is *asynchronous* because the outputs are not directly in "sync" with the clock. In a later section we discuss the problems caused by this ripple delay in some circuits.

USING RIPPLE COUNTERS AS MODULO-*N* DIVIDERS

Flip-flops may be cascaded to produce a counter that gives output frequencies equal to $f_{IN}/2^N$, where N is the number of flip-flops. For example, the CD4044 CMOS 14-stage binary divider will have a final stage output frequency of $f_{IN}/2^{14}$, or $f_{IN}/16{,}384$.

The ratio of the input frequency to the output frequency of a counter is called its *modulo*. A single flip-flop is a modulo-2 divider or counter because the input frequency is 2 times the output frequency. The 7493 counter in Figure 4-11*a* has a maximum modulo of 16 since the input frequency is 16 times the lowest output frequency. For unmodified ripple counters, the modulo always will be some integral power of 2, such as 2, 4, 8, 16, 32, etc. Many applications of counters as frequency dividers (digital clocks, for example) require some other modulo such as 6 or 10. To produce a modulo less than the maximum for a given counter, you use digital feedback to reset the counter to zero before it can reach its maximum count.

Figure 4-12*a* shows how a 7493 can be converted to a modulo-10 counter or frequency divider. Starting with 0's on all the outputs, the 7493 counts up in a binary sequence similar to that of Figure 4-11*c* until the outputs reach the binary state 1010. The high on the Q8 output NANDed with the high on the Q2 output by the

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้
30

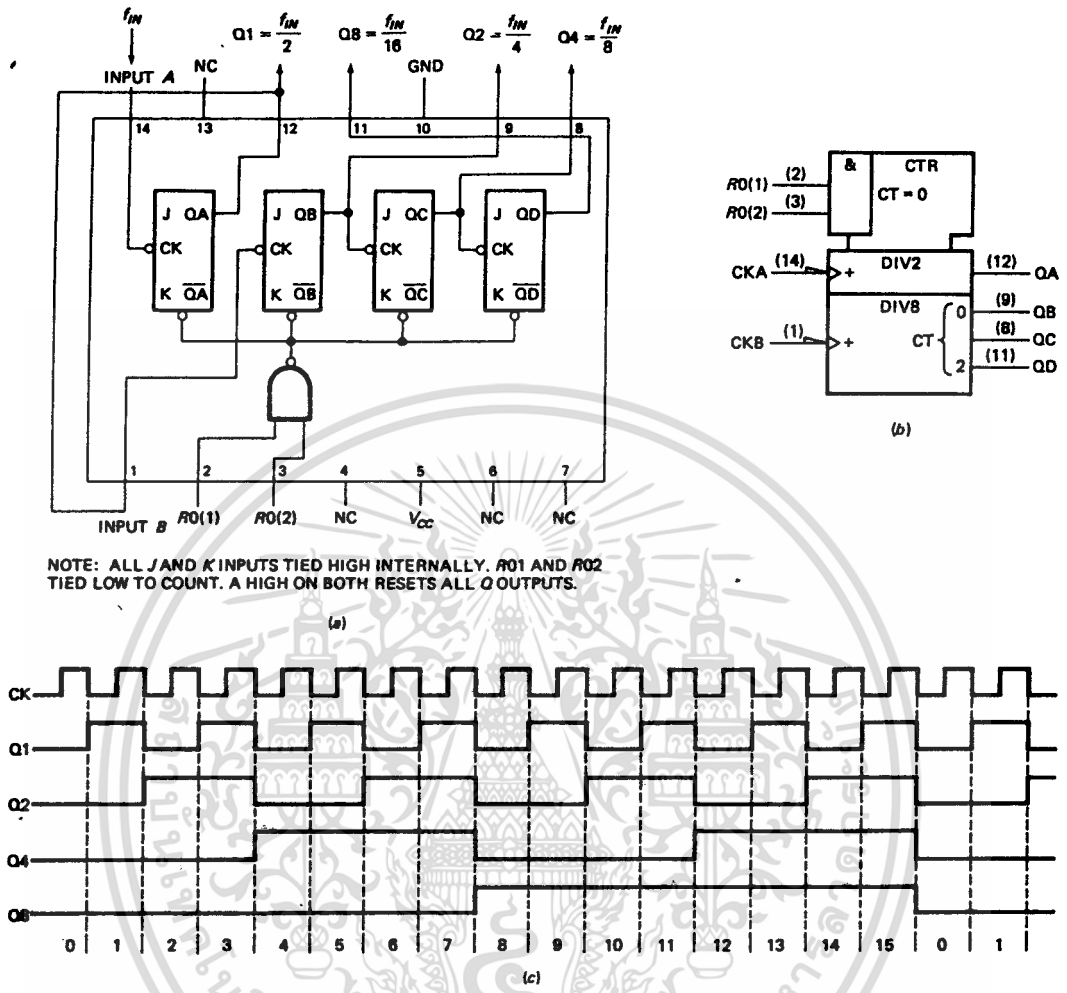


FIGURE 4-11 *(a)* Diagram for 7493 connected as a four-stage binary divider or counter. *(b)* Dependency notation symbol for 7493. *(c)* Clock and output waveforms.

internal NAND gate quickly resets all the outputs to 0's. Then the count sequence starts over. Figure 4-12*b* shows the clock waveform and the resulting output waveforms. As you can see from the waveforms, 10 clock pulses are required to produce one Q8 output pulse. Using the clock as input and Q8 as the output, then, makes this a modulo-10 frequency divider. Using the clock as input and all four Q outputs together for your output makes this a decade, or modulo-10, counter. The outputs count through the 10 states—0 through 9—much like the cylinders in a car odometer. Note that an eleventh state is present but only for the 30 or 40 ns necessary to reset the outputs to zero. For many applications, such as driving displays for a digital clock, this extra state is too brief to be visible and so doesn't matter. In any application in which the unwanted pulse could cause a problem, synchronous counters are used. Synchronous counters are discussed later in this chapter.

Actually you usually don't have to synthesize a decade counter because it is available ready-made in TTL as the 7490. The 7490 has a divide-by-5 section and a T flip-flop divide-by-2 section. If the input signal is routed through the divide-by-2 section and then through the divide-by-5 section, the outputs will count up in a BCD sequence (same as binary 0 through 9). If an input signal is routed first through the divide-by-5 section and then through the flip-flop, the final output will be a symmetric square wave with a frequency of one-tenth the input frequency. A divide-by-12 circuit is available in TTL as the 7492 ripple counter.

A scheme similar to that in Figure 4-12*a* can be used with a 7493 to divide an input frequency by any integer between 2 and 16. The trick is to decode the next-higher

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

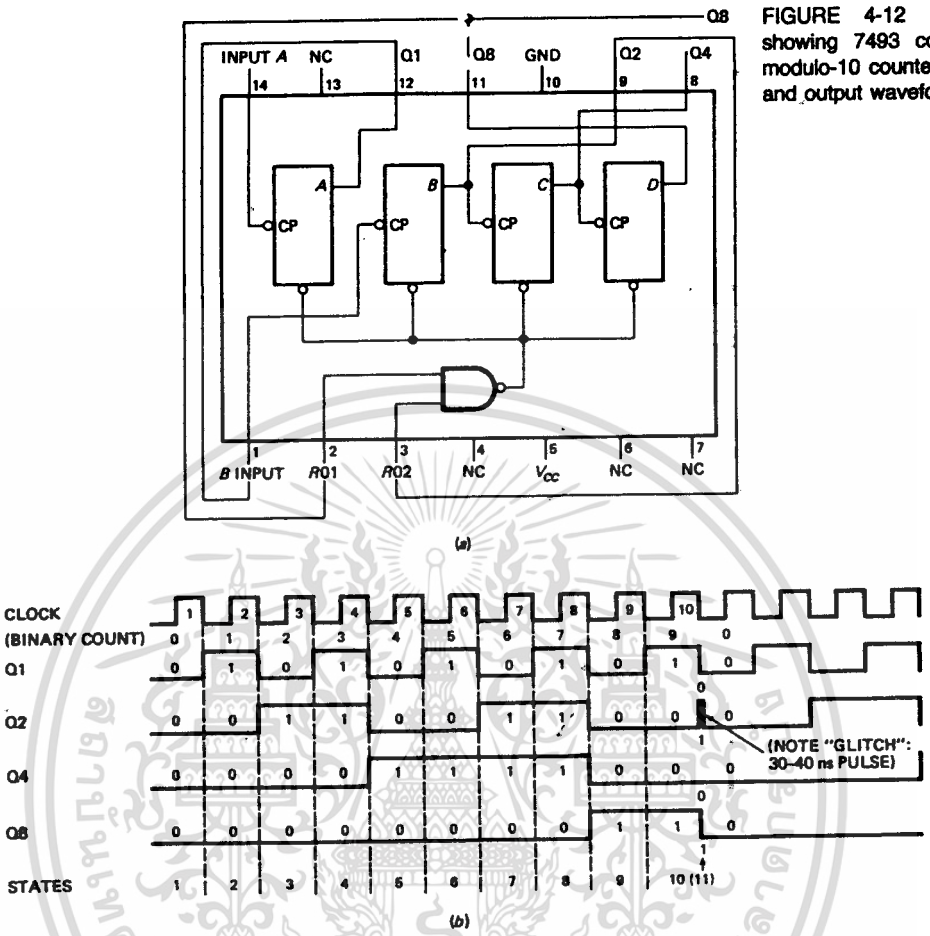


FIGURE 4-12 *(a)* Circuit showing 7493 converted to modulo-10 counter. *(b)* Clock and output waveforms.

state and use this to reset the outputs to 0's. This trick may not work with a counter made from discrete flip-flops because a *race* condition is created. The decoded output state tries to reset the counter outputs to 0's. As soon as one output resets, the decoded output state may disappear. If the decoded output state is not present at the reset input long enough, then some flip-flops may not get reset. This, then, is the race. Can all the flip-flops get reset before the decoded output reset pulse goes away? Integrated-circuit counters are designed so that race problems are eliminated for the most part.

Figure 4-13 shows the circuit for a divide-by-11, or modulo-11, counter using a 7493. Note that the modulo-11 circuit requires an external gate because 1's on QA, QB, and QD must be detected.

For modulos above 16 you can cascade two or more counters. You can perform the same trick of decoding the state equal to the modulo you want and using this to reset all the outputs to 0's. Two 7493s can be used to divide an input frequency by any number up to 256.

SOME APPLICATIONS OF RIPPLE COUNTERS

ELECTRONIC ORGAN Western music is based on an equally tempered chromatic scale of 12 notes per octave. Notes within an octave have a precise mathematical relationship to one another, and the frequency of a note in one octave is exactly half the frequency of the same note in the octave above. For example, a standard "A" is 440 Hz, and the "A" in the next-lower octave is 220 Hz. The next-lower "A" is 110 Hz, and the "A" below that is 55 Hz. For an instrument such as an electronic organ, all the required frequencies can be produced by dividing down from a single reference frequency, as shown in Figure 4-14*a*. The national MM5833 and MM5832 chromatic frequency generators produce the 12 notes for the top octave with 12 parallel divider chains driven by a master clock of 2.00024 MHz. One of these internal divider chains, for example, divides the 2.00024-MHz master frequency by 284 to give a fre-

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

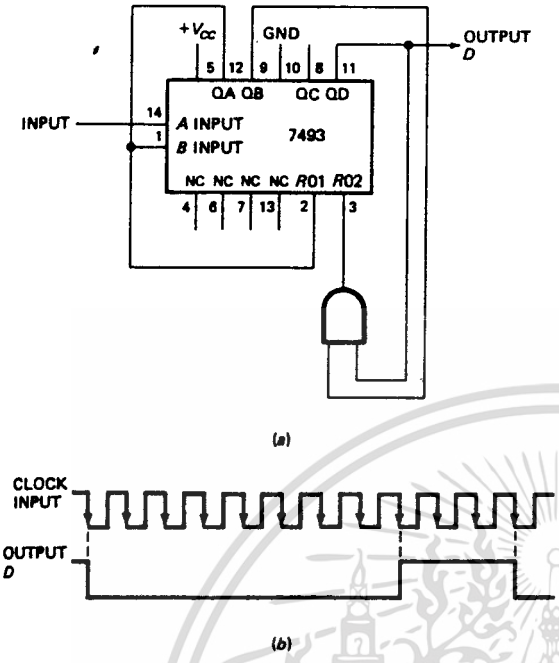


FIGURE 4-13 *(a)* Circuit for 7493 as modulo-11 counter. *(b)* Clock and output *D* waveforms.

quency of 7043 Hz, which is very close to the high "A" of 7040 Hz. Figure 4-14*b* shows the divider modulos and the output frequencies of the MM5832 and MM5833. For comparison, the standard frequencies of the notes in the equally tempered scale (ETS) are given. The frequencies for lower octaves can be derived by dividing each of the top octave frequencies down further with simple binary divider chains. The National MM5824 contains a six-stage binary divider chain. Therefore, the circuit shown in Figure 4-14*a* produces the frequencies for seven complete octaves plus an extra "C," C9. These fourteen ICs give you all 85 frequencies—all you need to build an electronic organ or a synthesizer. Note the nonstandard voltages—typical for PMOS devices—in the circuit shown.

The outputs are all square waves which, if amplified and played through a speaker, sound somewhat like a clarinet. To produce other sounds, these notes are mixed with their harmonics and passed through formant filters. To avoid a monotonous tone, a slight vibrato or frequency modulation is applied to the master 2.00024-MHz oscillator.

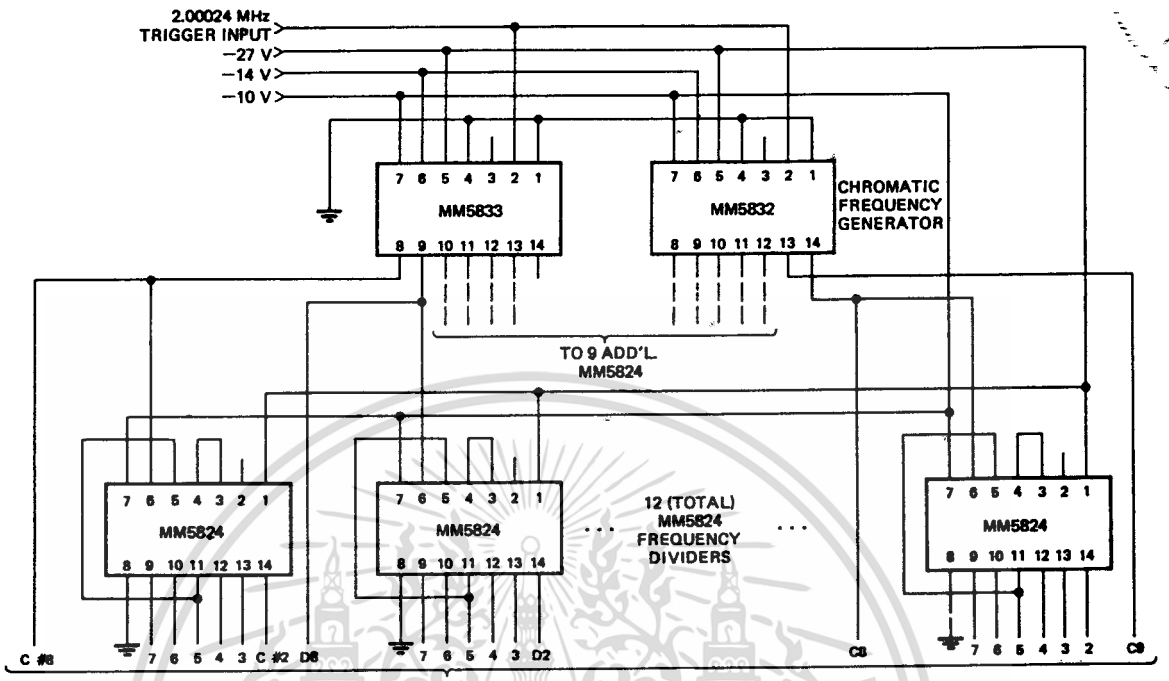
COUNTING UNITS AND DIGITAL CLOCKS Figure 4-15 shows how 7490 decade counters can be joined with 7447 BCD-to-seven segment decoders and common-anode, seven-segment LED displays to form decimal-counting units. Each display will show the decimal number between 0 and 9 corresponding to the binary-coded decimal (BCD) output of the counter. The counter output will show the number of clock pulses input. As the least significant counter rolls over from 9 to 0, the falling edge of the QD output increments the next counter by one count. More counters can be added to count to as high a number as you want. You might use a light source and a phototransistor as a source of pulses on the input of a circuit such as this to count the number of cans passing on a conveyor belt or the number of people entering a baseball game. *Note:* The order of the display in Figure 4-15 is reversed from the way numbers usually are written.

If you apply a clock with a frequency of one pulse per second, or 1 Hz, to the input of the circuit of Figure 4-15, the display will show elapsed time in seconds. This is a digital readout clock, but not in the familiar format of hours, minutes, and seconds. Figure 4-16 shows how, by changing the modulo of some of the counters to 6 or 12, you can build a clock with digital readouts of hours, minutes, and seconds. The only difficulties with this clock are that it requires a large number of IC packages and dissipates considerable power. Both problems are solved by using one of the many MOS clock ICs such as the National MM53108. As shown by the MM53108 block diagram in Figure 4-17*a*, this IC contains not only the counters and decoders necessary for a basic clock, but also circuitry for AM and PM, an alarm, a snooze alarm, and a sleep timer to turn off a radio after you go to sleep. Figure 4-17*b* shows the circuit for a complete digital alarm clock using the MM53108. The only additional input needed is a 50- or 60-Hz pulse. This pulse is supplied to the chip through a 100-kΩ resistor from a tap on the power transformer. It can be produced also by dividing down the output from a crystal oscillator. The clock IC of Figure 4-17*a* does not display seconds unless the seconds button is pushed, but other clock ICs such as the MM5309 do.

PROBLEMS OF RIPPLE OR ASYNCHRONOUS COUNTERS

Most problems with ripple counters are caused by the delay between the time at which the first flip-flop in a chain changes its output state and the time at which a later stage changes its output state. We use the familiar 7493 to illustrate two of these possible problems. The first problem is errors in the output count. Figure 4-18 shows a timing diagram for a 7493 with a 12.5-MHz input clock. Compare this timing diagram, which includes flip-flop propagation delays, with the ideal 7493 timing diagram in Figure 4-11*c*. Note the binary states that the outputs show for the 12.5-MHz input. These erroneous states are always produced by a ripple counter, but for low-frequency applications such as driving a clock display they are not visible because they represent such a small part of a cycle. At 12.5 MHz the time for one cycle of the input clock is 80 ns, as shown. This is about the same order of magnitude as the propagation delay of the flip-flops in the counter, so the error states become overwhelming. The output count has

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้
33



TYPICAL ORGAN TONE GENERATOR

(a)

MM5832

NOTE	DIVISOR	OUTPUT FREQUENCY	E.T.S FREQUENCY	% ERROR
C8	478	4184.61	4186.01	−0.565
C9	239	8369.21	8372.02	−0.565
B8	253	7906.09	7902.13	0.842
A #8	268	7463.58	7458.62	1.119
A8	284	7043.10	7040.00	0.740
G #8	301	6645.32	6644.88	0.112
G8	319	6270.34	6271.93	−0.424

MM5833

NOTE	DIVISOR	OUTPUT FREQUENCY	E.T.S FREQUENCY	% ERROR
F #8	338	5917.87	5919.91	−0.580
F8	358	5587.26	5587.65	−0.117
E8	379	5277.68	5274.04	1.160
D #8	402	4975.72	4978.03	−0.780
D8	426	4695.40	4698.64	−1.159
C #8	451	4435.12	4434.92	0.076

(b)

FIGURE 4-14 *(a)* Schematic for electronic organ tone generator using National MM5833 chromatic frequency generator and MM5824 six-stage binary dividers. *(b)* Comparison of equally tempered scale (ETS) frequencies with those produced by chromatic generator.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

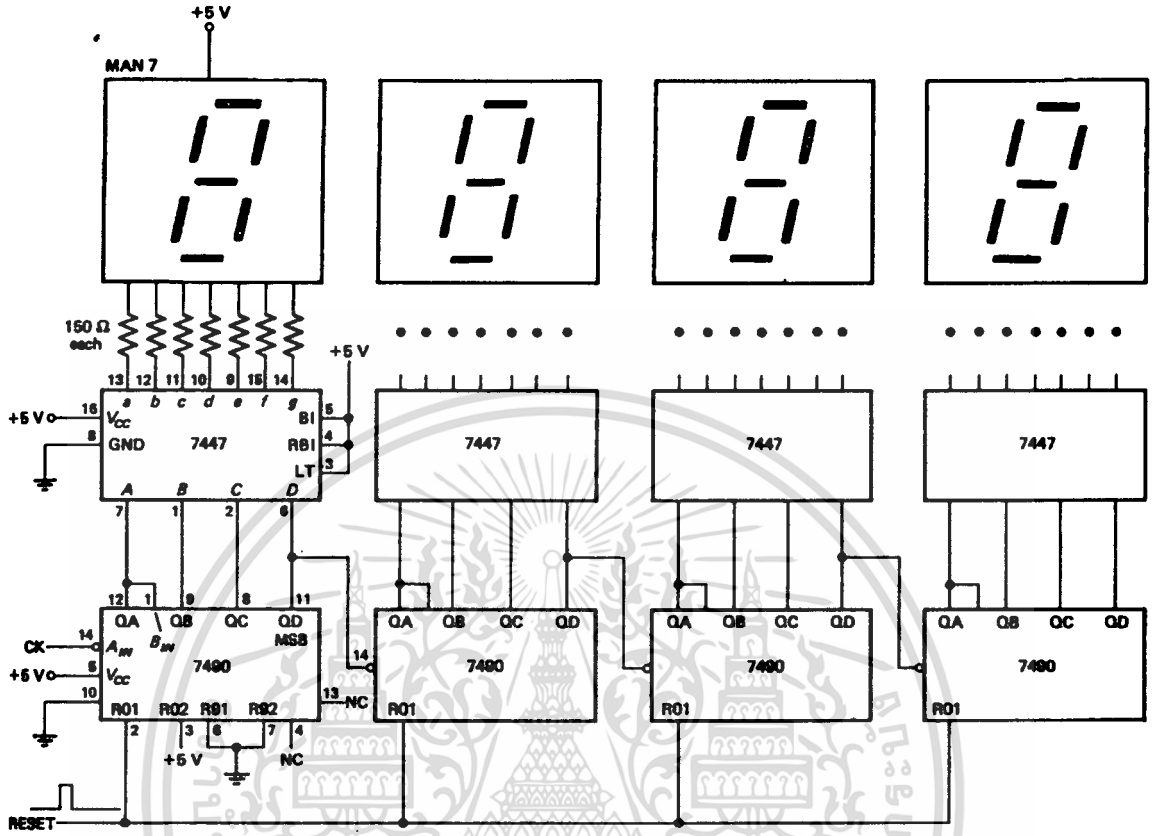


FIGURE 4-15 Decimal counting units made with 74190s, 7447s, and LED displays.

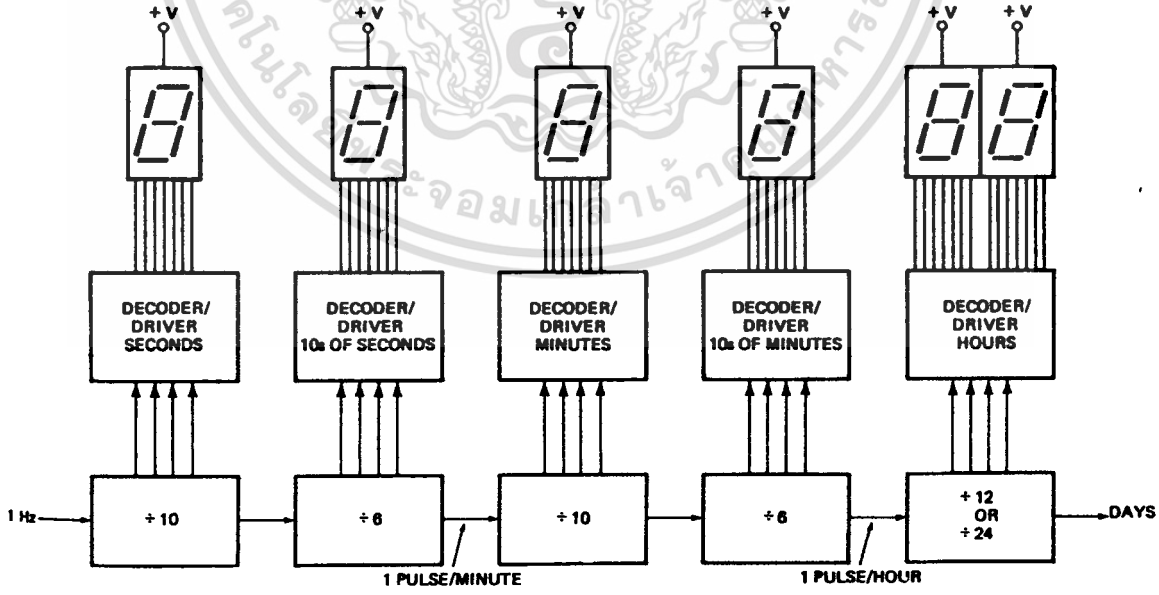


FIGURE 4-16 Block diagram of a digital clock with seven-segment readout.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

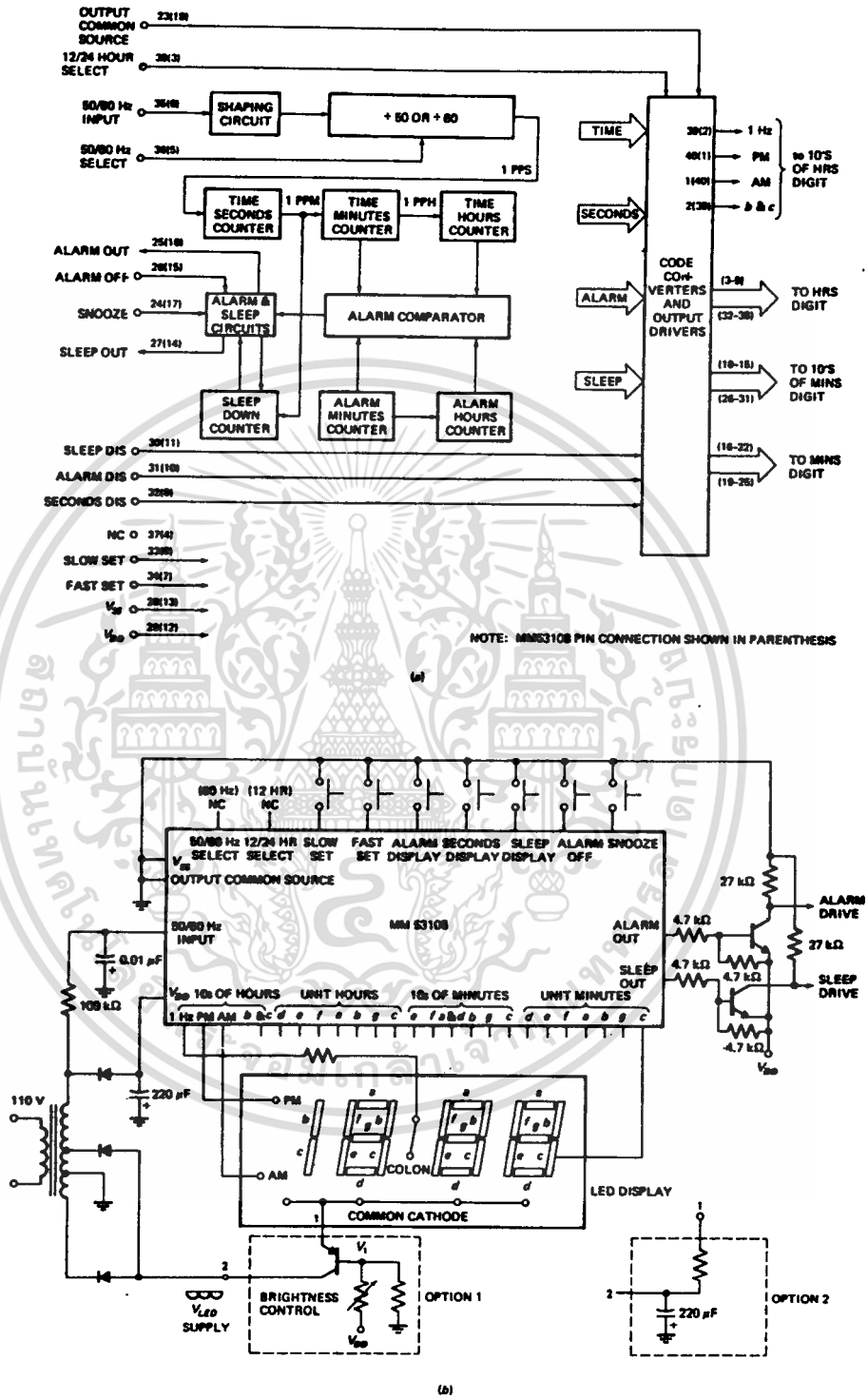
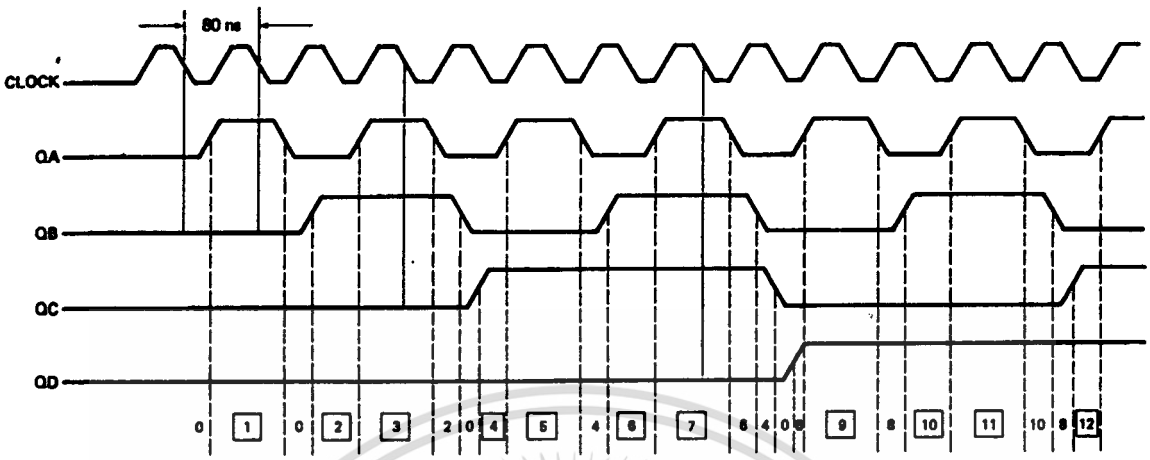


FIGURE 4-17 Large-scale integration digital clock. *(a)* Block diagram of MM53108 clock IC. *(b)* Complete schematic of digital alarm clock using MM53108. *(National Semiconductor.)*

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



PROPAGATION DELAY TIME FROM NEGATIVE GOING INPUT CLOCK EDGE TO:

	7493	7493A
QA LOW TO HIGH OR HIGH TO LOW	35 ns	18 ns
QB " "	60 ns	39 ns
QC " "	80 ns	53 ns
QD " "	100 ns	70 ns

FIGURE 4-18 Timing diagram for 7493 counter showing unwanted count states.

little relation to the number of pulses. The device, therefore, is of no use in higher-frequency counter applications, but it is still useful as a frequency divider. You can see on the timing diagram that the frequency of QA is exactly half the clock frequency, QB is $\frac{1}{4}f_C$, QC is $\frac{1}{8}f_C$, and QD is $\frac{1}{16}f_C$.

The second problem with ripple counters is produced by these error states or counts when you try to decode. *To decode a counter is to detect a given state of the counter and produce an output pulse when that state is detected.* The four-input NOR gate in Figure 4-19 will give a pulse out each time all the outputs of the counter are 0's. Ideally, this should happen only once for each 16 input clock pulses. The timing diagram in Figure 4-18 shows that this counter goes through a state of all 0 outputs four times for each 16 clock pulses! This will be true at any frequency of operation. The NOR gate will give out one pulse representing the true zero and three 20-ns-wide unwanted pulses or glitches. The glitches occur during the output 1-to-2 transition, the 3-to-4 transition, and the 7-to-8 transition. The point to remember here is that any asynchronous or ripple circuit almost always produces glitches when it is decoded. The extra pulses or glitches may be only 20 or 30 ns wide, but they often cause problems. Watch for them. As discussed in Chap. 1, a delayed sweep-time base on an oscilloscope can help you spot them in the actual circuit.

Both these problems would be eliminated if the circuitry could be changed so that the outputs of all the flip-flops changed at the same time. This is exactly what is done in the synchronous counters discussed next.

SYNCHRONOUS COUNTERS

A *synchronous* counter is one in which all the outputs change at the same time because all the flip-flops are directly clocked at the same time by the input clock. Figure 4-20*a* shows the schematic of a 4-bit synchronous counter made with four JK master-slave flip-flops. Remember, when the J and K inputs are low on a JK flip-flop, the output does not change when the flip-flop is clocked; and if J and K are high, the flip-flop toggles when it is clocked. Now you can work your way through

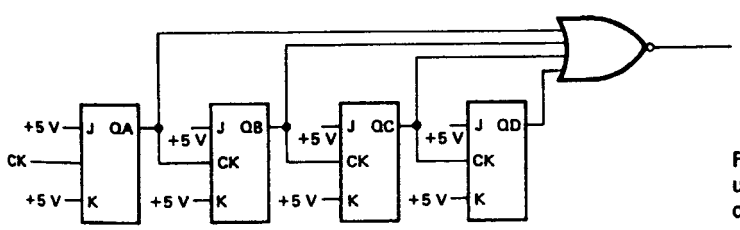
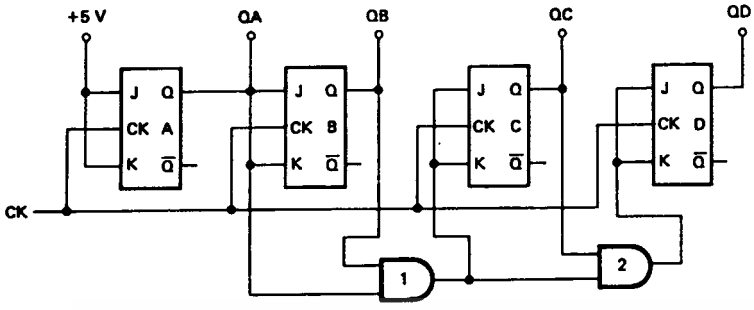
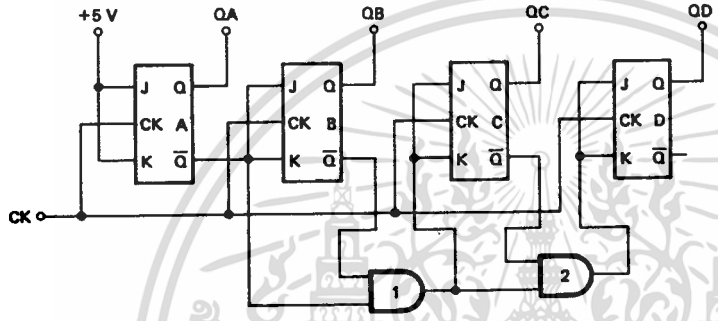


FIGURE 4-19 Four-input NOR gate used to decode 0 state for ripple counter.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



(a)



(b)

FIGURE 4-20 Synchronous counters made with JK flip-flops. *(a)* Binary up counter. *(b)* Binary down counter.

a count sequence to see how this circuit works. Starting with a reset condition of all 0's on the outputs, you can see that the J and K inputs of flip-flops B, C, and D are all low; therefore, a clock pulse at this time will not change their outputs. Flip-flop *A*, however, has its J and K inputs tied to a permanent high, so the first clock pulse will toggle its output from a 0 to a 1 state. Since the J and K inputs of flip-flop *B* are now high, the next clock pulse will change QB to a 1 and QA back to a 0 to give an output count of 2. With QA now low, only flip-flop *A* can change on the next clock pulse. This gives an output count of 0011, or 3. Since QA and QB are both high, AND gate 1 will put a high on the J and K inputs of flip-flop *C* so that it will change to 1 on the next clock pulse. The rest of the count sequence follows a similar pattern. At count 7 when QA, QB, and QC are all 1's, the AND gates enable flip-flop *D* to toggle to a 1 for count 8. At count 15 all the flip-flops are enabled, so their outputs will all toggle back to 0 on the next clock pulse.

MODULO-*N* DIVIDERS AND COUNTERS

The trick of synchronous counters is that the output states are decoded and used to set up the J and K inputs. Then the next clock pulse will toggle or not toggle each flip-flop to the desired output state. This very powerful technique can be used to produce counters of any modulo or output count sequence.

To analyze a JK flip-flop circuit with feedback, start with known output states. Trace these states through the decoding logic (feedback gates) to determine the states that are produced on the J and K inputs of the flip-flops. Knowing the J and K inputs will allow you to predict the output state of each flip-flop after a clock pulse. Then these outputs can be traced through the decoding logic to the J and K inputs to predict what the output states will be after the next clock pulse. Repeat the process until, when the flip-flops are clocked, their outputs return to the starting states. In App. A we discuss logic state diagrams that are often used to show the sequence of states in a circuit such as this one.

Figure 4-20*b* shows the circuit for another useful synchronous counter. Try to trace its count sequence. To start, observe that when the outputs are all 0's in this circuit, the flip-flops are all enabled to toggle to a 1 on the next clock pulse.

The counter in Figure 4-20*b* is, as you probably discovered, a 4-bit binary down counter. Fortunately, you do not need to synthesize a synchronous counter every time you need one. Several types are readily available. The TTL 74193 and the CMOS 74C193 and CD40193 are synchronous 4-bit up/down binary counters. The TTL 74192 and the CMOS 74C192 and CD40192 are synchronous 4-bit up/down decade counters, respectively. The 74161 is a synchronous binary up counter, and the 74160 is a synchronous decade up counter. All the standard TTL versions of these counters can give a proper count out with an input frequency of 20 MHz or more. When decoded, they produce only very small

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

glitches that are caused by variations in the propagation delays of the flip-flops and the difference between the time from a low to a high output and the time from a high to a low output.

The pin diagram, dependency notation logic symbol, and typical count-sequence diagram of a common 4-bit binary synchronous counter, the 74193, are shown in Figure 4-21. From these you can determine much about its characteristics. This counter has the advantage that it can count up if the clock is routed to the count-up input and count down if the clock is routed to the count-down input. The counter increments or decrements on the positive edge of the clock. The unused input must be held high. When it is counting up, a terminal count of 15 produces a low-going pulse on the carry or terminal count-up output. This occurs on the falling edge of the input clock. When it is counting down, a terminal count of 0 produces a low-going pulse on the borrow or terminal count-down output. The bubbles on these outputs in Figure 4-21*a* indicate that the output pulse is negative or active low. The bubble on the load input indicates that a low state on this input loads the counter. The clear input is asynchronous, which means that when the clear input is made high, all the outputs will be cleared or reset to 0 with no regard for the state of the clock.

The counter is presettable, which means that a binary number placed on the four data inputs will be loaded onto the outputs as soon as the load input is made low. The output count sequence will proceed upward or downward from the loaded number. This feature can be used to convert this counter to any modulo between 1 and the maximum number of states for the counter. Figure 4-22 shows how this is done. The counter is connected to count down, and the terminal count-down or borrow output is connected to the parallel load input. If you want a modulo-11 counter, for example, just hardwire a binary eleven (1011) on the data inputs as shown. The counter will count down from eleven to 0. When the output count reaches 0, a pulse will be put out on the BORROW output. This pulse will load the 11 from the data inputs onto the counter outputs. The next clock pulses decrement the counter from 11 to 0 again, at which point another terminal count-down pulse is produced to repeat the cycle. The circuit is a modulo-11 divider because it produces one output pulse on the BORROW output for each 11 input pulses.

Figure 4-22*b* shows the timing waveforms for a 74193 used as a modulo-11 divider. There are three important points to note in these waveforms. First, since BORROW OUT is connected to LOAD, as soon as BORROW OUT goes low, LOAD will go low. This will load 1011 onto the Q outputs and immediately make BORROW OUT high again. The resultant BORROW LOAD pulse will be only 30 to 40 ns wide.

Second, if you count the number of states that are present on the Q outputs, you will find that there are 12 states, 0 through 11. However, since state 0 and state 11 are present for only one-half clock cycle each, the total number of input clock cycles between BORROW output pulses is 11. Because of the presence of these two half-cycle states the circuit cannot be used as a counter in some applications, but it can be used as a frequency divider.

Third, for this circuit the QC and QD outputs both produce one output pulse for each 11 input clock cycles. Since they have closer to a 50 percent duty cycle, often they are more useful than the BORROW OUT pulse.

You can produce any other modulo by simply hardwiring the binary equivalent of the desired modulo onto the data inputs. A modulo greater than 15 can be produced by cascading two or more counters, as shown in Figure 4-22*c*. When the terminal count is reached, the BORROW OUT of the most significant counter produces the LOAD pulse, which reloads all the counters.

Now that gates, latches, and counters have been discussed, we will show how these components can be combined in a circuit to build a frequency counter giving a digital readout of the frequency of input pulses.

FREQUENCY COUNTERS: AN MSI COUNTER

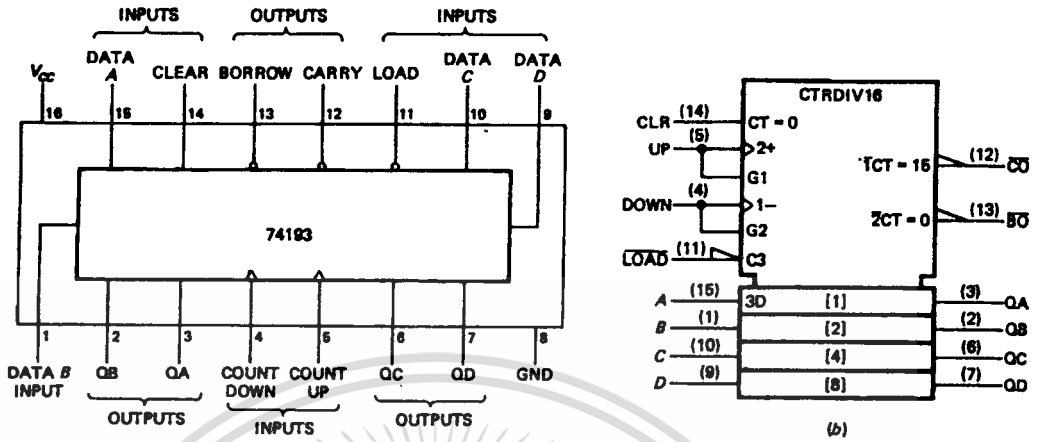
Figure 4-23 is a schematic for a frequency counter using readily available TTL parts. Since this is a fairly large, complex schematic with many ICs, the trick is to simplify it by looking for familiar "landmarks," or blocks of circuitry whose function you recognize. In this frequency counter, first you might recognize the 1-MHz crystal oscillator and the chain of decade counters used to divide this reference frequency down to the needed output frequencies. Next you might notice the synchronous divider chain of decade counters, each with a 74175 four-bit D flip-flop, a 7447 BCD-to-seven-segment decoder, and a seven-segment LED display. This big block of circuitry is simply a unit counter, to count and display any number up to 999,999.

The 74160 counters, incidentally, are connected so that all the counters after the first one on the left function as one large synchronous counter. This feature allows the counter section to accurately count higher input frequencies.

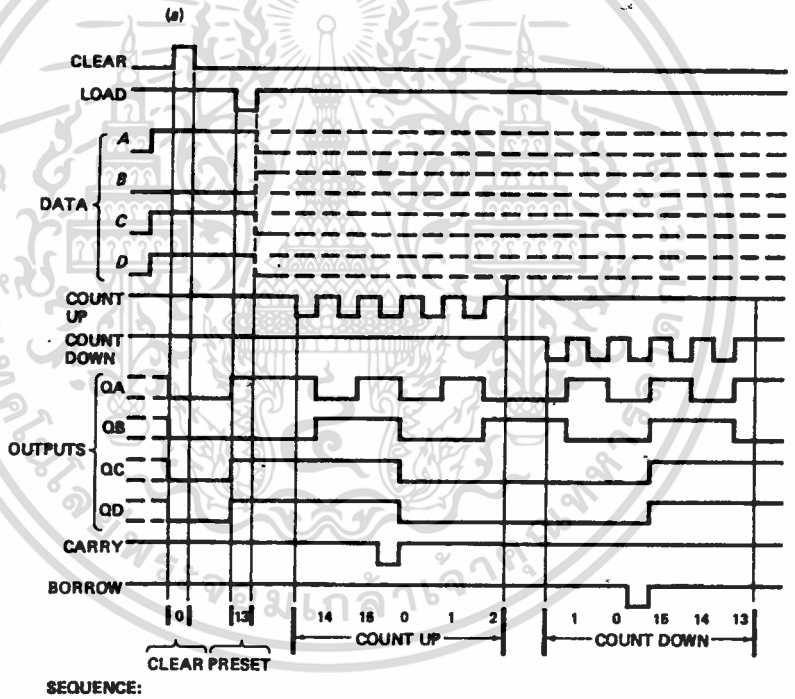
Now that you have figured out the large blocks of circuitry, you can start looking at the small pieces that tie these together. Note that the unknown frequency is gated into the counting section by a NAND gate. The unknown frequency pulses can get in to be counted only if the pin 1 input of this NAND gate is high. If this gate input is made high for exactly 1 s, then the display will read out the number of unknown input pulses counted in 1 s. This is, of course, the frequency of the unknown (in hertz). Now look to see how this 1-s *count window* is produced. A square-wave pulse with a time high of 1 s has a 0.5-Hz frequency. The divider chain on the crystal oscillator has a 1-Hz output which goes to the clock input of a JK flip-flop. The 7476 JK flip-flop with J and K tied high will give a symmetric square wave out at half the input frequency. The JK flip-flop then produces the precise 1-s count window.

The next part of the circuitry to approach is the 74121 monostable. It is connected so that the negative edge of the count window pulse triggers it to produce a positive pulse. The leading edge of this positive pulse clocks the output states of the counters onto the outputs of the

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



NOTE: LOW INPUT TO LOAD SETS QA = *A*, QB = *B*, QC = *C*, AND QD = *D*.



SEQUENCE:

(1) CLEAR OUTPUTS TO ZERO.

(2) LOAD (PRESET) TO BINARY THIRTEEN.

(3) COUNT UP TO FOURTEEN, FIFTEEN, CARRY, ZERO, ONE, AND TWO.

(4) COUNT DOWN TO ONE, ZERO, BORROW, FIFTEEN, FOURTEEN, AND THIRTEEN.

NOTES:

(A) CLEAR OVERRIDES LOAD, DATA, AND COUNT INPUTS.

(B) WHEN COUNTING UP, COUNTDOWN INPUT MUST BE HIGH; WHEN COUNTING DOWN, COUNT-UP INPUT MUST BE HIGH.

(c)

FIGURE 4-21 74193 binary up/down counter. *(a)* Connection diagram. *(b)* Dependency notation logic diagram. *(c)* Typical clear, load, and count sequences.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

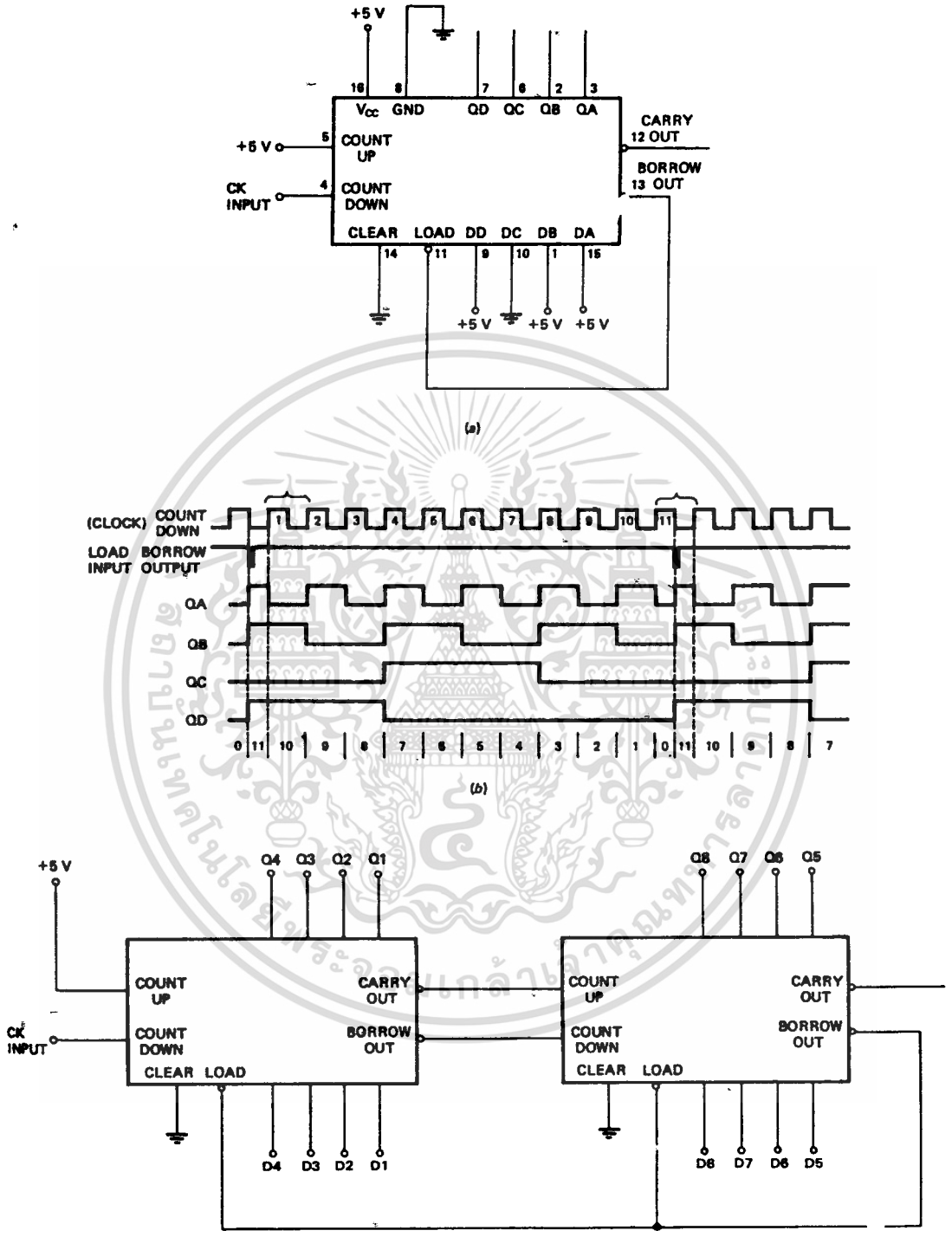


FIGURE 4-22 Modulo-*N* counter/divider made with the 74193. *(a)* Modulo-11 schematic. *(b)* Modulo-11 waveforms. *(c)* Circuit for modulos greater than 16.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

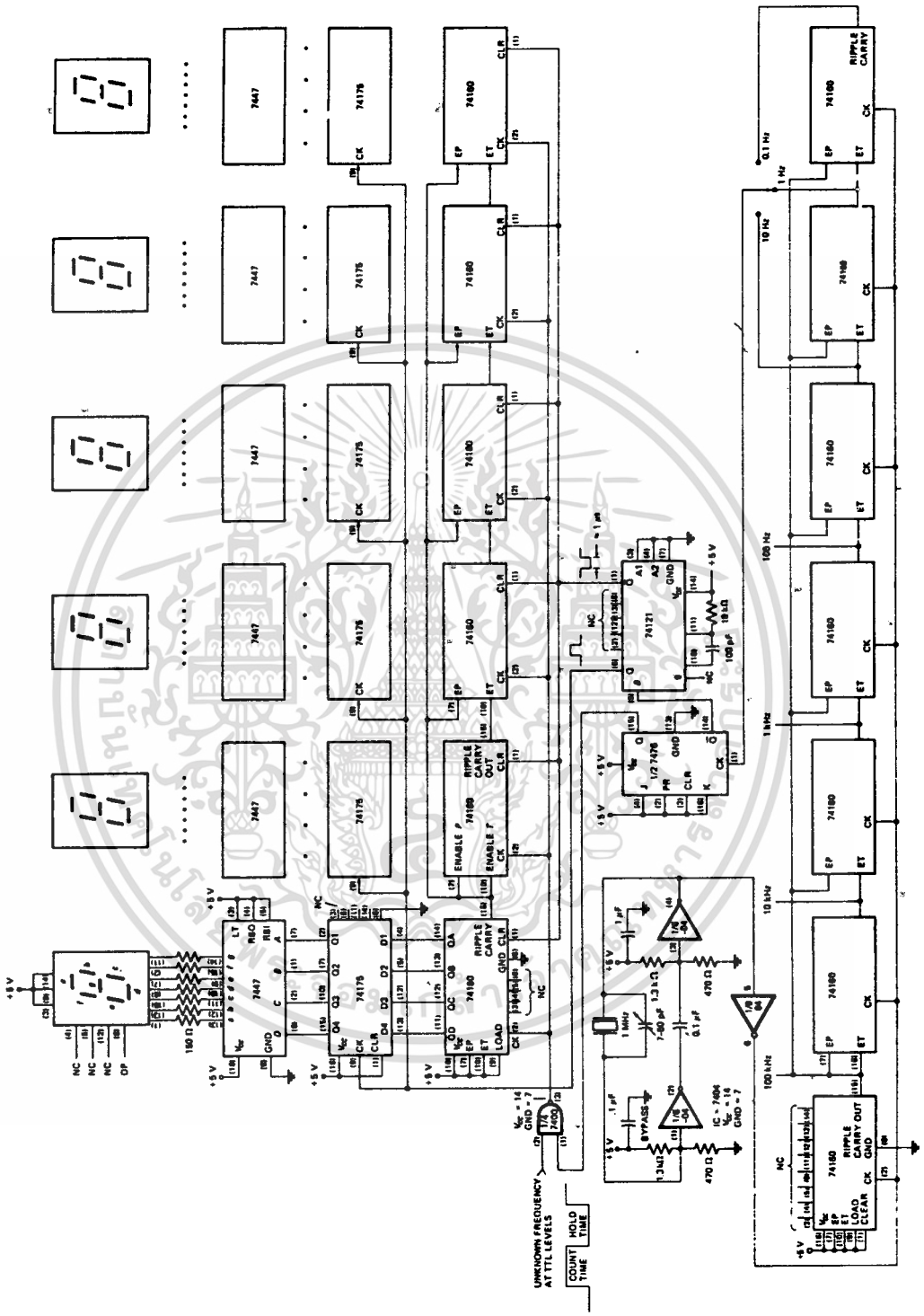


FIGURE 4-23 Complete schematic for an MSI frequency counter.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

74175 D flip-flops. Then the flip-flops hold stable data for the entire count cycle. Without the flip-flops the display would alternate between 1 s of garbage during a count and 1 s of reading during the hold time of the window pulse. This would make the display very hard to read. The flip-flops hold the display data constant except for the few nanoseconds every 2 s when the flip-flops are clocked to update the display.

The $\overline{Q}$ pulse from the 74121 is used to reset all the counters to 0 so they are ready for the start of the next count sequence. Figure 4-24 shows the timing of these pulses.

The counter with a 1-s count window and six digits, as shown, can only measure a frequency up to 999,999 Hz before the counter overflows. By adding a decimal point to the display, it can be made to read in kilohertz, with the maximum frequency of 999.999 displayed as 999.999 kHz. The frequency range of the instrument can be extended upward to about 10 MHz by shortening the count-window time to 0.1 s and moving the decimal point so that the display shows up to 9999.99 kHz. Since the count window is only one-tenth as long, 10 times as high a frequency can be put in without overflowing the counters.

Another way to increase the range is to add another decade counter, decoder, and display. To extend the range to still higher input frequencies, you can use one or more prescalers. A *prescaler* is simply a very high speed decade counter, such as the 74S196, which is put in series with the input signal to divide the input signal frequency down to a frequency range that the counter chain can count. A section of a switch used to switch in the prescaler for high-frequency measurement also can move the decimal point so the display reads correctly. The prescalers do not have displays connected directly to them.

For low-frequency measurement, a 1-s window gives poor resolution. At 20 Hz, for example, a 1-s window gives a resolution of only ±1 Hz since the counters cannot count fractions of hertz. This is an error of ±5 percent. If you extend the count window to 10 s and move the decimal point accordingly, the resolution is improved to ±0.1 Hz because it is now counting 200 cycles ±1.

Another improvement you can make to the basic frequency counter is input signal conditioning. The circuit as shown requires TTL input levels. A high-speed comparator such as the AM 686 can be added in front of the counters to convert small sine waves or other waveforms to TTL levels. The threshold of the comparator can be made adjustable so that the trigger voltage level can be set above noise pulses.

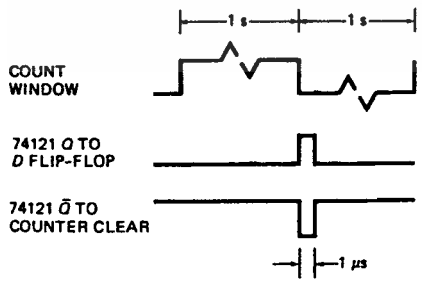


FIGURE 4-24 Timing waveforms for frequency counter control circuitry of Fig. 4-23.

This summarizes the operation of the circuit. Figure 4-23 shows component values and pin numbers, so you can build the circuit and verify its operation if you wish. *Note:* In the schematic, the *least* significant digit is on the left.

MULTIPLEXED DISPLAYS The circuit in Figure 4-23 works well, but from a practical standpoint it has two problems. It uses both a large number of IC packages and a fairly large amount of current. Both problems can be solved quite easily. For the power problem, the first place to look is the displays, since this is where the most power is dissipated. Assuming 20 mA per segment times a maximum of seven segments per digit gives 140 mA per digit. Six digits give a total maximum current of 840 mA just for the displays. The six 7447s add another 260 mA, for a total of 1.1 A. This total can be cut drastically by multiplexing the display. Multiplexing, as you may remember from Chap. 3, is interleaving segments of several signals onto the same wire. The trick used to produce a multiplexed display is the same one used in Chap. 3 to produce eight oscilloscope traces with a single beam. Only one input is displayed at any given instant; but if you chop or alternate fast enough between inputs, your eyes see the result as a continuous display. With the LED displays only one digit is lighted at a time.

Figure 4-25 shows the counter, flip-flop, and multiplexed display sections of a seven-digit frequency counter. Here, four 74151 eight-input multiplexers multiplex the outputs of the seven 74175 quad flip-flops into a single 7447 BCD-to-seven-segment decoder. Then each output of the 7447 goes to the corresponding segment inputs on all the seven-segment displays. Thus when the seven-segment code for a 5 is on the outputs of the 7447, it is bussed to all the displays. However, since only one of the PNP transistors in series with each display is turned on at a time, only one display will show this 5.

The outputs of a 3-bit binary counter select which decade counter's outputs the four 74151s will route to the 7447. The same 3-bit counter outputs connect to a 74LS138 one-of-eight low decoder, which selects which driver transistor is turned on and therefore which display is lighted. The 74LS138 and the 74151s are synchronized, so that, for example, when the 74151s are sending data from the least significant digit counter to the displays the 74LS138 turns on the digit driver transistor for the least significant digit of the display. Each digit should be refreshed or pulsed on at a rate of 50 to 200 Hz.

The power saving with this multiplexing scheme is about 600 mA. The saving would be greater except that when you multiplex LED displays, you have to at least

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

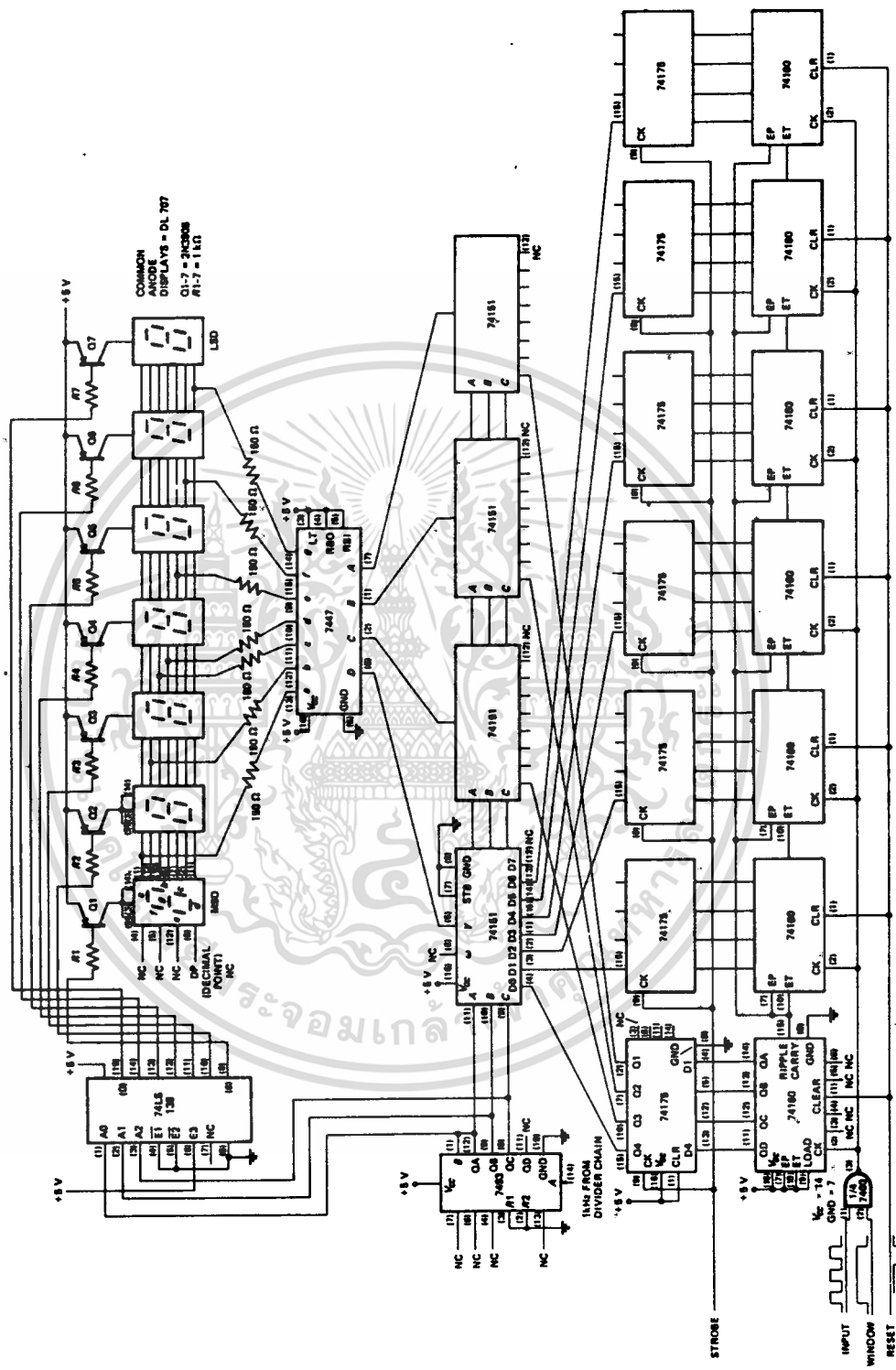


FIGURE 4-25 Schematic of MSI frequency counter with multiplexed displays.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

double the current per segment to increase display brightness. The circuit uses as many ICs but saves 36 resistors and much wiring.

TROUBLESHOOTING AN MSI FREQUENCY COUNTER The time base and control circuitry from Figure 4-23 can be combined with the counter, flip-flop, and display section of Figure 4-25 to make a functioning MSI frequency counter. We refer to this circuit to discuss systematic troubleshooting of a digital system. The details of every system are different, but the basic approach is the same. The major points are:

1. Analyze first.
2. Divide and conquer.

To prototype a circuit such as this one, begin by analyzing the schematic to find which sections can be built separately and tested easily. For example, you might start with the crystal oscillator. Then, when it is working correctly, add and test each counter of the time-base divider chain. The next step would be to build and test the 7476 window generator and the 74121 control-pulse generator.

After this, you can build the display section and test it as a separate module. To determine whether the segments are wired correctly, temporarily hard-wire the BCD code for 2 or 5 on the inputs of the 7447. As the end of each digit driver's base resistor is grounded or made low, that digit should display the correct number. When the 74LS138 and 7493 address counter are added, all the displays should show this number.

Next, build the main counter chain as a module. The count window input can be temporarily tied high instead of to the 7476, and a 1-MHz signal applied to the unknown frequency input. Then the counters will receive a signal continuously. Counters can be added one at a time and checked just as those in the time-base chain were.

Finally, add the flip-flops and multiplexers. Connect the count window, latch strobe, and reset signals to the correct points and see whether the counter functions as a whole. If it does, great! Take a coffee break. If not, this final section can be traced on a static basis as follows. Lift out the 7493, and temporarily hard-wire the QA, QB, and QC output pins to ground. The least significant digit of the display should be enabled now, and the multiplexer inputs all pointed to the least significant 74175 flip-flop on the left. Lift the strobe lead from the 74121 and connect it to ground. Lift the reset lead from the 74121 and connect it to +5 V. Lift the count window lead from the 7476, and apply a 1-MHz signal to the count input to load a count into the counters. Then connect the window input to ground. A count should be present now on the outputs of the counters. This count can be transferred to the outputs of the 74175 flip-flops by briefly lifting the clock input lead from ground. The logic states on the least significant counter now should be present on the outputs of the leftmost 74175 and on the outputs of the four 74151s. The major point here is that since all these levels are held fixed, they can be checked with a voltmeter or logic probe. This is much easier than trying to decipher the confusing array of pulses that would be seen if the circuit were operating with normal clocks and pulses.

The 74151 multiplexers can be stepped to pick up the outputs of the next 74175 by simply changing the jumpers you put in place of the 7493 to QA = +5 V, QB = ground, and QC = ground. In this way, the connections from each counter to the 7447 inputs can be checked on a dc basis with a logic probe.

TROUBLESHOOTING A PREVIOUSLY FUNCTIONING INSTRUMENT The procedure for troubleshooting a previously functioning instrument is somewhat different because usually you can assume that the wiring is correct. There is not space here to detail all the possible symptoms and cures, but a few will show you how to go about it.

Start by analyzing the schematic and/or block diagram of the system so that you understand the operation of the major parts. It is not necessary to initially determine the function of every IC. For most instruments or systems, this would take far too much time. Once you isolate a problem to a particular section, you can focus on the details of that section.

If the counter counts but shows erratic counts, one thing to check is that the power-supply voltage is within specifications. TTL devices function erratically with low supply voltages.

If one digit of the display is brightly lit but the others are dark, this is caused by failure of the 74LS138 digit-scanning circuitry. Either the 74LS138 is defective or the 7493 is not supplying sequential addresses to it. An oscilloscope will quickly show you whether the problem is in the 74LS138, the 7493, or the clock pulse coming to the 7493. Since the clock signal to the 7493 comes from the time-base divider chain, no signal here will lead you back to the divider chain and possibly to the nonfunctioning master oscillator. This illustrates that in a digital system, often the cause of a problem is far removed from the section exhibiting it.

If all digits are lighted equally but the numbers do not change when the input frequency is changed, the problem may be no count window or no clock pulse to the 74175 flip-flops. If the digits are all lighted equally but the count constantly changes to random numbers, the counters may not be getting a reset pulse. The point here is to check the control or timing signals. In this system the strobe and reset pulses are very narrow compared with the count window. Using the delayed sweep function of an oscilloscope as described in Chap. 1 will make these pulses clearly visible.

If there is a problem in the counter, flip-flop, and multiplexer section, remove the 7493, 74121, and 7476. Then add jumpers as described earlier so that you can check the levels through this section as static signals.

In summary, the point of systematic troubleshooting is to analyze the symptoms and the schematic and then devise tests you can perform to narrow the problem to a small enough area that it is easily found.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

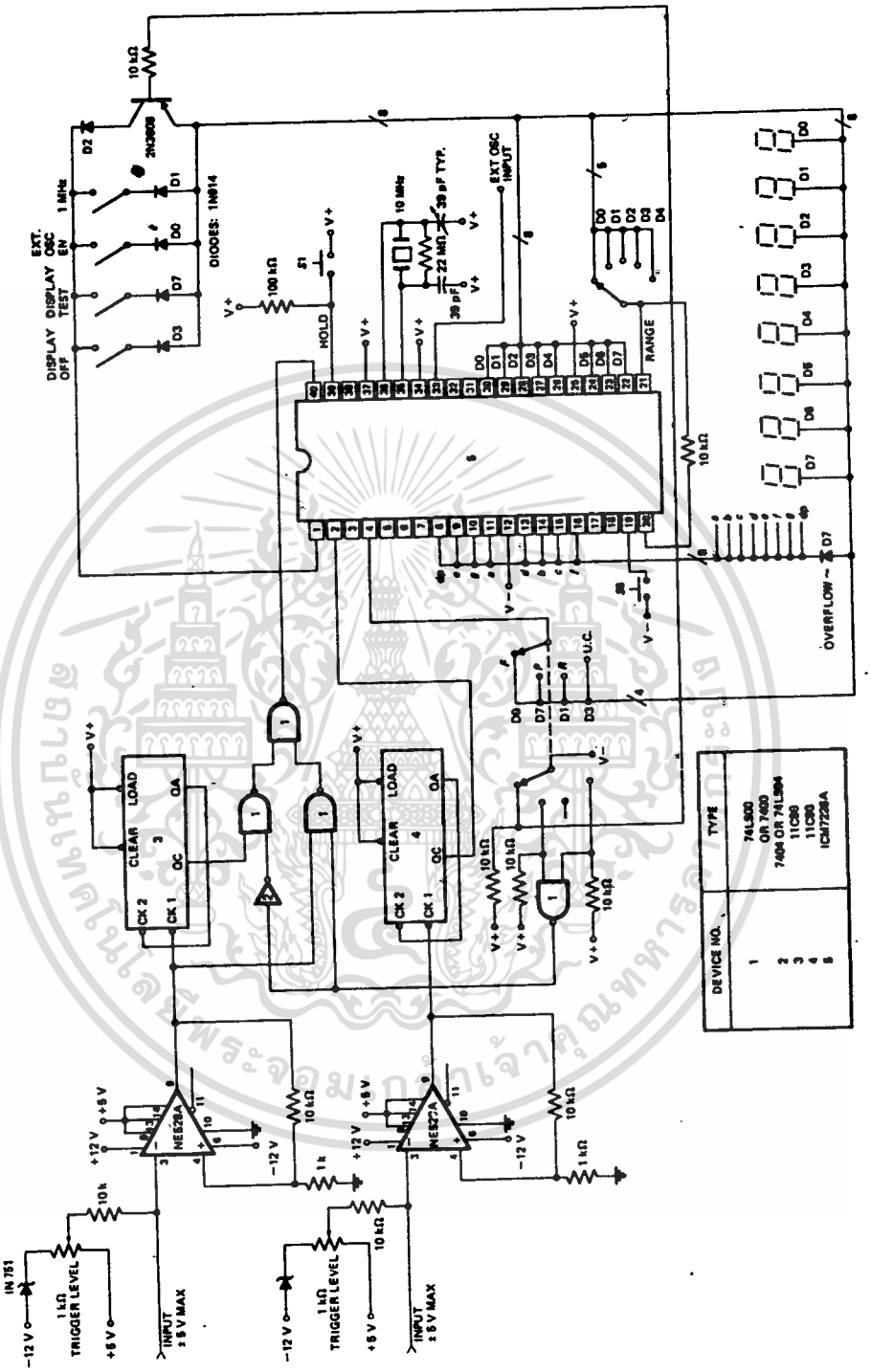
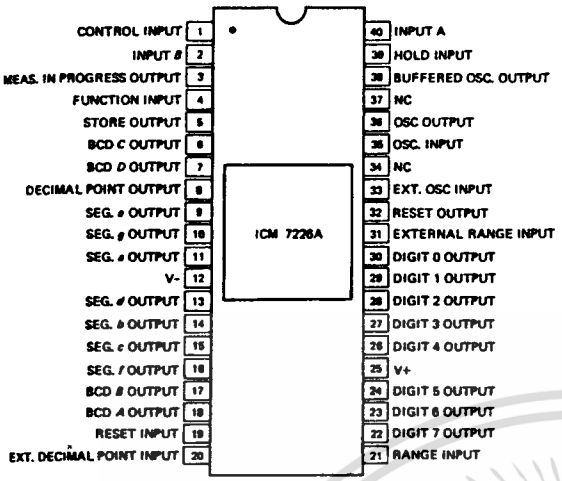


FIGURE 4-26 A 100-MHz multifunction counter using the Intersil ICM7226A. *(a)* Schematic diagram.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า



(b)

INPUT	FUNCTION	DIGIT
FUNCTION INPUT	Frequency	D0
PIN 4	Period	D7
	Frequency ratio	D1
	Time interval	D4
	Unit Counter	D3
	Oscillator Frequency	D2
RANGE INPUT	0.01 s/1 cycle	D0
PIN 21	0.1 s/10 cycles	D1
	1 s/100 cycles	D2
	10 s/1k cycles	D3
EXTERNAL RANGE INPUT PIN 31	Enabled	D4
CONTROL INPUT	Blank display	D3 & Hold
PIN 1	Display test	D7
	1 MHz select	D1
	External oscillator enable	D0
	External decimal point enable	D2
	Test	D4
EXTERNAL DECIMAL POINT INPUT, PIN 20	Decimal point is output for same digit that is connected to this input.	

(c)

FIGURE 4-26 *(continued)* *(b)* Pinouts for the ICM7226A. *(c)* Digit strobe connections for range, function, and control inputs of the ICM7226A.

AN LSI FREQUENCY COUNTER The circuit shown in Figure 4-25 works well, but it is a 1970s-style frequency counter. Since most parts of the circuit operate at relatively low frequency, CMOS and MOS LSI have made it possible to put most of a frequency counter in one or two IC packages. Figure 4-26*a* shows the schematic for a 100-MHz multifunction counter using the Intersil ICM 7226A. The CMOS 7226 contains a 10-MHz reference oscillator, time-base divider chain, input signal counter chains, latches, decoders, segment drivers, digit drivers, control circuitry, and multiplex circuitry for an eight-digit common-anode display counter system. The NE529A comparators are for input signal conditioning, and the 11C90 high-speed decade counters are used as prescalers. The prescalers extend the frequency range of the unit from the 10 MHz of the 7226A up to 100 MHz.

The ICM7226A is a very versatile IC. Note that it has two signal inputs, A and B. In addition to frequency, the 7226 can measure period, the ratio of two frequencies, time intervals, or just total counts. For frequency, period, or units, the signal is applied to the A input. The A input can count up to 10 MHz. For frequency ratio and time interval measurement, one signal is applied to the A input and the other to the B input. The B input can count up to 2 MHz. For time interval measurement, the 7226 measures the time between a high-to-low transition on the A input and a high-to-low transition on the B input with a resolution of 0.1 μs.

Figure 4-26*b* shows the complete pinouts for the ICM7226A. Note that the device has multiplexed BCD outputs as well as the multiplexed seven-segment and digit-driver outputs. Each segment driver can sink up to 25 mA, and each digit driver can source up to 170 mA. With the displays off, however, the 7226A itself only uses 5 mA from a +5-V supply.

Observe in the schematic of Figure 4-26*a* how the eight digit-strobe lines and the eight segment-drive lines are shown as single lines. This is often done when the connections are obvious because it makes the schematic much easier to read.

Another unique feature of the 7226A is the way in which the function, range, and control signals are multiplexed into the device. As shown in Figure 4-26*a*, digit-strobe lines are connected to the range, function, and control switches. Internal circuitry detects which digit-strobe line is connected to, for example, the range input on pin 21. Then it sets the proper window and decimal point position for that range. Figure 4-26*c* shows the digit-strobe connections for all the ranges, functions, and controls. This scheme sharply reduces the number of pins needed to get all these signals into the device. Also, if the mechanical range and function switches are replaced with an analog multiplexer such as the CD4051, the selected range and function are determined by the binary word on the address inputs of the multiplexer. In other words, the measurement function and range are programmable with binary words from, for example, a microcomputer or computer.

REGISTERS AND SHIFT REGISTERS

A register is a parallel group of flip-flops, usually D type, that are used for the temporary storage of data bits. Reg-

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กิตติกรรมประกาศ

โครงงานนี้ สามารถทำให้สำเร็จลุล่วงไปด้วยดีนั้น โดยได้รับความช่วยเหลือและแนะนำจาก ผศ. ดร. กนก เจนจิรพงศ์เวช ที่ช่วยกรุณา ให้คำปรึกษาในการจัดหาข้อมูล พร้อมทั้งให้คำปรึกษาทางด้าน เทคนิคต่างๆ จนเสร็จสมบูรณ์.

สุดท้ายนี้ทางคณะผู้จัดทำต้องขอขอบพระคุณ คณาจารย์ ทุกท่าน ที่ได้ประสิทธิ์ประสาทวิชาความรู้ ให้กับทางกลุ่ม จนกระทั่งทุกคนมีความสามารถที่จะออกไปปฏิบัติงานตามความรู้ที่ศึกษามาได้เป็นอย่างดี.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หนังสืออ้างอิง

"PRACTICAL ELECTRONIC" APRIL, 1987

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้