PROJECT II

AIRCRAFT PHONE LINK TELEPHONE

จัดทำโดย ...

1 นายเกื้อกูล หาสาสน์ศรี
2 นายวินัย สงวนพร้อม
3 นายสมศักดิ์ อัศกิจธนานนท์
4 นายสุรจิตร มณีโชติ
5 นายสุรพร สมบูรณ์
6 นายนพสินธุ์ หล่อสุพรรณพร

ปริญญานิพนธ์สำหรับการศึกษาตามหลักสูตรปริญญาตรี
ภาควิชาเทคนิคอุตสหกรรม สาขาเทคโนโลยีอิเล็กทรอนิคส์
คณะวิศวกรรมศาสตร์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง
ปีการศึกษา 2533

027857

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

12 ก.ค. 2534

ปริญญานิพนธ์ ปีการศึกษา 2533

ภาควิชา เทคนิคอุตสาหกรรม

สาขา เทคโนโลยีอิเล็กทรอนิคส์

คณะ วิศวกรรมศาสตร์

เรื่อง AIRCRAFT PHONE LINK TELEPHONE

นายเกื้อกูล หาสาสน์ศรี

นายวินัย สงวนพร้อม

นายสมศักดิ์ อัศกิจธนานนท์

นายสุรจิตร มณีโชติ

นายสุรพร สมบรูณ์

นายนพสินธุ์ หล่อสุพรรณพร

อาจารย์ที่ปรึกษา

ผศ. นิกร สุขุตมต้นติ

เลขหมู่ T3302A 78

เลขทะเบียน 027857

วัน, เดือน, ปี 12 ก.ค. 34

027857

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

คำนำ

การสื่อสารผ่านโทรศัพท์เมื่อเทียบกับการสื่อสารอย่างอื่นแล้ว นับว่าเป็นระบบสื่อสารที่สะดวกและรวดเร็ว สามารถติดต่อกันได้ทั่วโลกในเวลาอันรวดเร็ว แต่ก็มีข้อจำกัดอย่างหนึ่ง คือ การติดต่อนั้นจะสามารถติดต่อได้กรณีที่มีคู่สายโทรศัพท์เท่านั้น กรณีที่ต่างจังหวัดหรือแถวชานเมืองที่ยังไม่มีระบบโทรศัพท์ใช้ ตลอดจนในรถยนต์, เครื่องบินนั้น ถึงแม้ว่าจะมีระบบโทรศัพท์ใช้แล้วก็ตาม แต่ก็ยังมีราคาสูงอยู่เกินความสามารถที่คนทั่วไปจะนำระบบนี้มาใช้ในชีวิตประจำวัน สำหรับการติดต่อสื่อสารได้ กลุ่มผู้จัดทำจึงได้เล็งเห็นถึงจุดนี้ตรงที่ว่า จะทำอย่างไร เราถึงจะนำระบบนี้มาใช้ได้ด้วยราคาที่ถูก และมีประสิทธิภาพ จึงได้ร่วมกันจัดทำระบบนี้ขึ้นมาโดยใช้หลักการนำเอาเครื่อง รับ-ส่ง วิทยุเป็นพาหะสัญญาณต่าง ๆ ถ้าเครื่องส่งมีกำลัง WATT สูง ๆ และเครื่องรับ-ส่ง มีค่าความถี่ที่แตกต่างกันแล้วก็จะทำให้ระบบนี้สมบูรณ์แบบมากเลยทีเดียว ซึ่งเรียกว่า FULL DOUPLEX ส่วนกรณีที่ใช้เครื่องรับ-ส่งที่มีความถี่เดียวกัน ก็จะทำให้ระบบจะเป็นลักษณะผลัดกันรับ-ผลัดกันส่ง ซึ่งเรียกว่า HALF DOUPLEX นอกจากนี้ ขณะที่ระบบทำงานอยู่จะมี DISPLAY แสดงผลของ STATUS การใช้งานอยู่ด้วย ซึ่งมี CPU เบอร์ NS87P50D-11 เป็นตัวควบคุมการทำงานของระบบทั้งหมดจะทำให้ผู้มีความสะดวกต่อการใช้งานมากยิ่งขึ้นด้วย

คณะผู้จัดทำ

1/APRIL/1991

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ

เรื่อง	หน้า
บทคัดย่อ	ก
บทนำ	1
บทที่ 1 การทำงานของเครื่องโดยสังเขป	2
บทที่ 2 ลูกข่าย (SLAVE UNIT)	5
บทที่ 3 ตัวแม่ (MASTER UNIT)	7
3.1 FLOW CHART การทำงานของตัวแม่(MASTER UNIT)	11
3.2 PROGRAM การทำงานของระบบ	16
3.3 TIMMING DIAGRAM ของระบบ	22
บทที่ 4 PHONE PATCH	24
4.1 การทำงานในสภาวะ TRANSMITTER	29
4.2 การทำงานในสภาวะ RECEIVER	32
บทที่ 5 TRANSCEIVER 27 MHz	34
บทที่ 6 COMPRESSION AMP AND AUDIO POWER AMP	37
บทที่ 7 DTMF DECODER	41
บทที่ 8 DETECT สัญญาณโทรศัพท์	43
บทที่ 9 POWER SUPPLY	47
บทที่ 10 ผลการทดลอง	51

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รายการอุปกรณ์

- วงจร PHONE PATCH 64

- วงจร COMPRESSION AMP AND AUDIO POWER AMP 67

DATA SHEET

- IC MT8870 69

- CPU NS87P50D-11 74

ภาคผนวก

กิตติกรรมประกาศ 94

บรรณานุกรม 95

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ปริญญานิพนธ์ AIRCRAFT PHONE LINK TELEPHONE

ปีการศึกษา 2533

นายเกื้อกูล หาสาสน์ศรี
นายวินัย สงวนพร้อม
นายสมศักดิ์ อัศกิจธนานนท์
นายสุรจิตร มณีโชติ
นายสุรพร สมบรูณ์
นายนพสินธุ์ หล่อสุพรรณพร

อาจารย์ที่ปรึกษา
ผศ.นิกร สุขุตมตันติ

บทคัดย่อ

รายงานเรื่อง AIRCRAFT PHONE LINK TELEPHONE เป็นโครงงานที่ผู้จัดทำสร้างขึ้นมา เพื่อเป็นระบบสื่อสารระหว่างอากาศยาน กับภาคพื้นดิน โดยอาศัยคลื่นวิทยุแม่เหล็กไฟฟ้าเป็นพาหะในการติดต่อสื่อสาร เป็นการใช้งานร่วมกัน ระหว่างเครื่องโทรศัพท์ที่ติดตั้งบนเครื่องบินกับสถานีภาคพื้นดินในระดับนักธุรกิจ ที่ต้องใช้เวลาเดินทางบนอากาศยานเป็นเวลานานหลายๆ ชั่วโมง ซึ่งอาจมีความจำเป็นต้องใช้โทรศัพท์ติดต่อไปยังจุดหมายปลายทางต่างๆ โดยอาศัยระบบบริการโทรศัพท์บนเครื่องบินเป็นข่ายสื่อสารได้ พร้อมกันนั้นอาจปรับปรุงเป็นระบบโทรศัพท์ ในท้องถิ่นชนบทที่ยังไม่มีคู่สายโทรศัพท์ขององค์การไปถึง โดยอาศัยคลื่นวิทยุในระบบ HALF DUPLEX ซึ่งอาจเป็นย่านความถี่ HF,VHF และ UHF เป็นพาหะในการสื่อสาร แต่ในโครงงานนี้ได้สร้างเครื่องรับ-ส่งย่าน CITIZEN-BAND ความถี่ 27 MHz เนื่องจากหาอุปรณ์และสร้างขึ้นใช้งานเองได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่อนุญาตให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทนำ

การสื่อสารระหว่างเครื่องบินกับสถานีภาคพื้น จะใช้คลื่นวิทยุเป็นตัวเชื่อมโยงการสื่อสาร แต่ในบางครั้งมีความจำเป็นต้องต่อเข้าระบบโทรศัพท์เพื่อติดต่อสื่อสารได้ทั่วโลก สำหรับระบบสื่อสารสมัยใหม่เราจึงต้องมีวงจรควบคุมระบบ INTERFACE ระหว่างเครื่องรับ-ส่งวิทยุกับชุมสายขององค์การโทรศัพท์แบบอัตโนมัติ เพื่อความสะดวกและรวดเร็ว และนอกจากนี้เรายังสามารถดัดแปลงเป็นวิทยุ-โทรศัพท์ ระยะทางไกลในสถานที่ยังไม่มีคู่สายขององค์การโทรศัพท์ไปถึง แต่เป็นระบบ HALF DUPLEX คือ ผลัดกันรับ ผลัดกันส่ง ซึ่งมีข้อดีคือ สามารถใช้เครื่องส่งกำลังสูง เพราะเครื่องส่งกำลังสูง เพราะเครื่องจะหยุดไม่ได้ KEY ON ตลอดเวลา เหมือน FULL-DUPLEX ดังนั้นในโครงงานนี้จะเป็นการศึกษาออกแบบ และสร้างระบบ INTERFACE แบบอัตโนมัติระหว่าง ระบบวิทยุรับ-ส่ง กับคู่สายขององค์การโทรศัพท์ โดยจะมี MICOPROCESSOR เป็นตัวควบคุมการทำงานของระบบทั้งหมด

หมายเหตุ ระบบวิทยุสื่อสารอาจเป็นย่าน HF, VHF, UHF ซึ่งถ้าเป็นวิทยุ HF LONG RANGE แบบ SIDE BAND จะสามารถสื่อสารไปได้ในระยะทางไกลมาก ๆ แต่ในโครงการนี้เราจะใช้วิทยุรับส่งย่านความถี่ CITIZEN BAND คือ ความถี่ 27 MHz ซึ่งสามารถหาอุปกรณ์สร้างขึ้นใช้งานเองได้ง่าย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

บทที่ 1
การทำงานเครื่องโดยสังเขป

การทำงานของเครื่องอธิบายจาก BLOCK DIAGRAM ได้ดังนี้ คือ

1. เครื่องรับและส่ง จะทำงานที่ความถี่เดียวกับทั้ง 2 ชุด และเป็นลักษณะผลัดกันรับ ผลัดกันส่ง

2. ตัวลูกข่าย(จาก BLOCK DIAGRAM หมายถึง ส่วนที่เขียนว่า ON AIRCRAFT)
   - ทางเครื่องส่งจะมีสัญญาณจาก DTMF GENERATOR และสัญญาณจาก MIC ต่อเข้า TRANSMIT COMBINE AMP แล้วป้อนเป็น MODULATED ให้เครื่องส่งจะมี VOX (VOICE OPERATED SWITCH)เป็น PTT ให้เครื่องส่ง
   - ส่วนทางเครื่องรับ จะต่อ OUTPUT AUDIO ผ่าน ATTEN-AMP เข้าหูฟัง (EAR)

3. ตัว INTERFACE ทางสถานีภาคพื้นจะประกอบด้วยส่วนต่าง ๆ ดังนี้
   - TRANSMITTER ซึ่งรับ MODULATED ผ่านทาง TRANSMIT AMP และถูก PTT เพื่อ KEY ON โดยการควบคุมจาก TRANSMIT VOX
   - RECEIVER จะส่ง AUDIO เข้า RECEIVEMUTE SW. ในส่วนของ PHONE PATCH
   - PHONE PATCH เป็นลักษณะ AUDIO PROCESSING SIGNAL ระหว่าง TRANSMITTER ,RECEIVER เข้ากับ TELEPHONE LINE ซึ่งมีส่วนประกอบดังนี้ คือ
     1. TRANSMIT AMP , LINE DRIVER SW , COMPRESS AMP AND TRANSMIT AUDIO GATE
     2. RECEIVE MUTE SW , COMPRESS AMP , OUTPUT MUTE STAGE ,RECEIVE OUTPUT AMP,RECEIVE MUTE STAGE, RECEIVE AUDIO GATE ,RECEIVE VOX

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3. RECEIVE-TRANSMIT SWITCH ,ANLOG SWITCH

- RINGING TONE DETECTOR เป็นวงจรตรวจสอบสัญญาณเรียกเข้า และต่อ OUTPUT เป็น INPUTให้กับ CENTRAL LOGIC CONTROL ,RINGING TONE จากองค์การโทรศัพท์ จะเป็นไฟประมาณ 80-120 Vac.
- 48 V. DETECTOR VOLTAGE เป็นวงจรตรวจสอบการวางหู (48 V.) การยกหู(9 V.) เพื่อตรวจสอบการทำงานของ TELEPHONE INTERCONNECTER อีกทางหนึ่ง
- MONITOR TELEPHONE เป็นโทรศัพท์ เมื่อต้องการใช้โทรศัพท์

4. KEYBOARD , TELEPHONE NUMBER RECORDER , COUNTER TIMER DTMF RECORDER 2 เป็น OPTION พิเศษเพื่อบันทึกหมายเลขโทรศัพท์, บันทึกระยะเวลาที่ใช้งาน โดยใช้ SOFT WARE ร่วมกับ HARD WARE

5. CALL TONE เป็นลักษณะ 1KHz + 330 Hz GERERATOR เพื่อกำเนิดสัญญาณเรียกวิทยุลูกข่าย โดยทำงานร่วมกับ PHONE PATCH

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

STEP การทำงาน

1. ในกรณี Rx จะมีสัญญาณเสียงออก SPEAKER และสัญญาณอีกส่วนหนึ่งต่อเข้า PHONE PATCH เพื่อ INTERFACE เข้ากับชุดโทรศัพท์ DTMF ได้สัญญาณจาก EAR ซึ่งสภาวะนี้ Rx-VOX ใน PHONE PATCH จะบังคับไม่ให้ MIC ทำงาน คือ ภาคส่ง (Tx) จะยังทำงานไม่ได้ จนกว่าสัญญาณเสียงจาก AUDIO OUT จะหายไป
2. ในกรณี Tx โดยการกดปุ่ม DTMF หรือพูดกรอกใส่ MIC ของชุดโทรศัพท์ จะมีสัญญาณเข้า PHONE IN ซึ่งจะทำให้ Tx-VOX ทำงานได้สัญญาณ PTT (เป็น LOGIC "0") ไปควบคุมให้เครื่องส่ง ออกอากาศ พร้อมกันนั้นจะมีสัญญาณออกจาก PHONE PATCH (ขา Tx O/P) เป็น AUDIO ไป MODULATED ในภาคส่งของ TRANCEIVER ในสภาวะนี้ Tx-VOX จะไปควบคุมไม่ให้สัญญาณ Rx ออก EAR จนกว่าจะหยุดส่ง Rx จึงจะทำงานปกติ
3. ในกรณีที่ตัว MASTER เรียกมาจะมีความถี่ AUDIO 1 KHz ออกทาง SP. และมีชุด NE 567 1 KHz TONE DECODER DETECTR ได้สัญญาณ (LOGIC "0") ไปควบคุม RINGING TONE OSCILLATOR กำเนิดสัญญาณกริ่ง (เกิดเสียงกริ่งประมาณ 3-5 วินาที ซึ่งควบคุมจาก MASTER)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 2

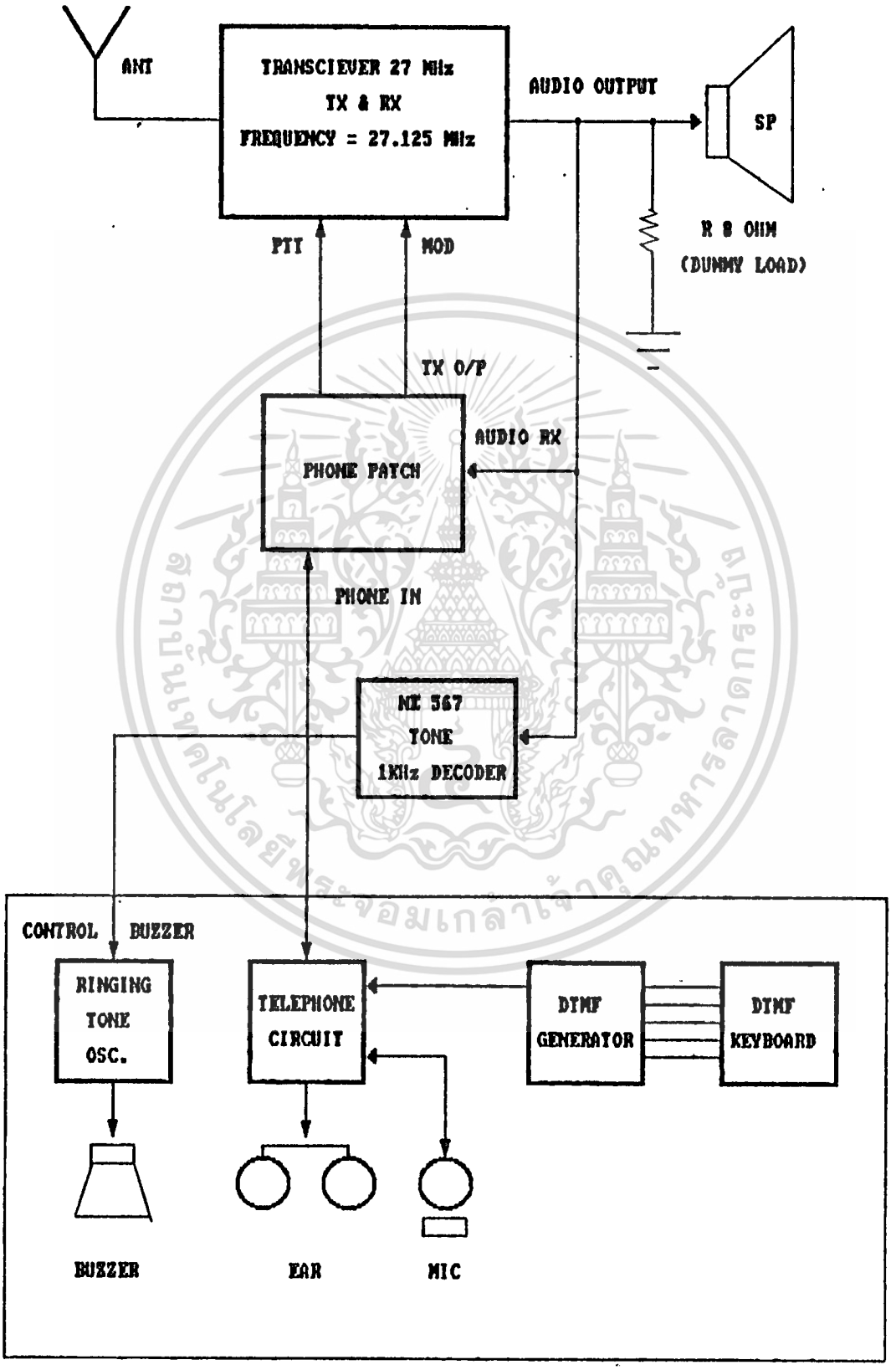
ลูกข่าย (SLAVE UNIT)

ลูกข่าย (SLAVE UNIT) เป็น REMOTE TELEPHONE ที่ไร้สาย ซึ่งอาจจะเป็นโทรศัพท์บนเครื่องบินหรือสถานที่ที่ไม่มีคู่สายโทรศัพท์ใช้ดังกล่าว ดังรูปที่ 1 เป็น BLOCK DIAGRAM ของลูกข่าย ซึ่งมีหลักการทำงานดังนี้

เมื่อมีการกด KEY BOARD หรือมีการพูดผ่าน MICROPHONE จะทำให้ PHONE PATCH สร้างสัญญาณไป KEY ON ให้เครื่องส่ง ส่งสัญญาณออกไปยังเครื่องรับของตัวแม่ (MASTER UNIT)

ส่วนกรณีที่เครื่องรับของ TRANSCIEVER ทำงาน จะมีสัญญาณส่วนหนึ่งไปบอกให้ PHONE PATCH รับรู้ เพื่อที่จะไป DISENABLE PTT ทางเครื่องส่งไม่ให้ทำงาน สัญญาณนี้ถ้าเป็น RINGING TONE จะถูก DETECT โดย TONE DETECTOR แล้วส่งสัญญาณให้เครื่องรับโทรศัพท์รับรู้ได้ แต่ถ้าหากว่าเป็นเสียงพูด จะมีสัญญาณเสียงผ่าน PHONE PATCH ไปยังหูฟังของโทรศัพท์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 1 BLOCK DIAGRAM OF SLAVE UNIT

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 3

การทำงานของ CPU BOARD

วงจรนี้เป็นวงจรหลักของระบบทั้งหมดคือวงจรที่จะใช้ CPU เบอร์ NS 87P50D-11 (8050) เป็นตัวควบคุมการทำงานของระบบทั้งหมด

การทำงานของ AIRCRAFT PHONE LINK TELEPHONE ในตอนแรก CPU จะคอยตรวจ CHECK ดูว่า มีสัญญาณเรียาเข้าจากลูกข่ายหรือสัญญาณ RINGING TONE หรือไม่ โดยจะมีการอ่านสัญญาณเรียกที่ Port 1 ของ CPU bit 0 และ bit ที่ 5 ตามลำดับ ปกติสัญญาณที่ Port 1 นี้จะเป็น High หมดทุก bit เมื่อสัญญาณทั้งสอง bitใด bit หนึ่งเป็น LOW แสดงว่า มีสัญญาณเรียกเข้ามา ซึ่งมีอยู่สองกรณีด้วยกันคือ

1> กรณีที่ลูกข่ายเรียกเข้ามา เพื่อที่จะขอใช้ระบบ จะทำให้bit0 ของ Port1 (P10) เป็น LOW CPU ก็จะทำการ Check รหัสที่ลูกข่ายเรียกเข้ามา 3 ตัวว่าถูกต้องหรือไม่ โดยมีสัญญาณ Strobe (STB) เป็นตัวบอกจำนวนครั้งในการกด KEY และผลที่ได้จากรหัสในการกด KEY ว่าถูกต้องหรือไม่ จะตรวจ CHECK ได้จาก P12 ซึ่งเป็นสัญญาณ PASSWORD ถ้าเป็น LOW ก็แสดงว่า ผลการเข้ารหัสถูกต้อง แต่ถ้าไม่ถูกต้อง CPU ก็จะกลับไปเริ่มการทำงานใหม่ จากนั้น CPU ก็จะ CHECK ว่าสายว่างหรือไม่ โดยการตรวจสอบจาก P13 ของ CPU ซึ่งเป็นสัญญาณ 48 V.DETECTOR ถ้า bit นี้เป็น LOW แสดงว่าคู่สายว่าง แต่ถ้าเป็น HIGH แสดงว่าสายไม่ว่าง CPU ก็จะส่งสัญญาณ LOW ไปที่ DB5 เพื่อไป CONTROL BUSY GENERATOR เป็นเวลา 5 SEC จากนั้น CPU ก็จะกลับไปเริ่มทำงานใหม่ สำหรับกรณีที่ CPU รู้ว่าคู่สายว่างนั้น CPU ก็จะส่งสัญญาณ OUT Port ออกไป CONNECT LINE ก็จะมีสัญญาณ DIAL TONE ส่งกลับไปยังผู้ที่เรียกเข้า ผู้เรียกก็จะทำการกดหมายเลขโทรศัพท์ได้ทั้งไกลและใกล้ เมื่อกดหมายเลขเสร็จ CPU จะคอย CHECK ว่าผลการโทรออกเป็นอย่างไร คือ ไม่ว่าง,รับสายหรือไม่มีผู้เช่า

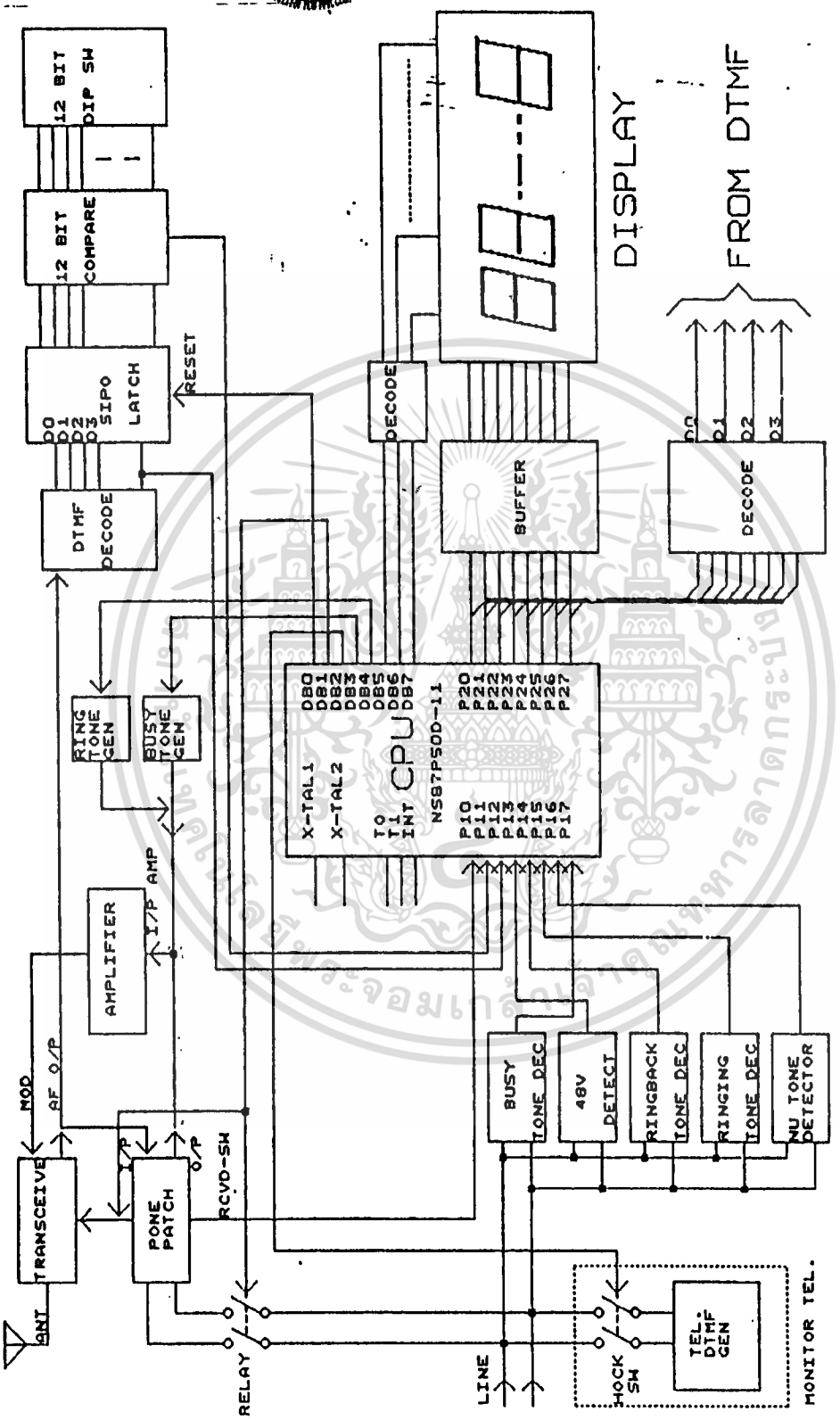
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กรณีสายไม่ว่างก็จะมี BUSY TONE ส่งกลับไปยังผู้เรียก เป็นเวลา 10 SEC CPU ก็จะกลับไปเริ่มต้นทำงานใหม่

กรณีที่มีคนรับสาย ก็จะทำให้ขา P10 ของ CPU เป็น LOW ก็จะคุยโต้ตอบกันได้ ช่วงนี้จะมีการตรวจ CHECK ดูว่าเลิกโต้ตอบกันหรือยัง โดย CHECK จาก P16 ซึ่งเป็นสัญญาณที่ได้จากการเอา VOX ทางด้านรับ (RCVD) และ VOX ทางด้านส่ง(PTT) มา AND กัน ถ้าไม่มีการโต้ตอบหรือพูดติดต่อกันเป็นเวลา 10 SEC จะทำให้ P16 เป็น HIGH ติดต่อกันก็จะทำให้ CPU กลับไป START การทำงานใหม่

2> กรณีที่ภายนอกเรียกเข้ามาที่จะติดต่อกับลูกข่าย โดยจะมีสัญญาณ RINGING TONE มาที่ P15 และสัญญาณ RINGING TONE นี้จะถูกส่งผ่านไปยังลูกข่ายด้วย ขณะเดียวกัน CPU ก็จะคอย CHECK ว่าลูกข่ายรับสายหรือไม่ โดยการตรวจ CHECK จาก P10 ถ้า bit นี้เป็น LOW แสดงว่ามีการรับสาย แต่ถ้าหากว่าไม่มีการรับสายเป็นเวลา 10 SEC CPU ก็จะกลับไปเริ่มการทำงานใหม่ ส่วนกรณีที่มีการรับสาย CPU ก็จะ CHECK การโต้ตอบได้จาก ขา P10 ถ้า bit นี้เป็น LOW แสดงว่ายังมีการพูดโต้ตอบกันอยู่ แต่ถ้าหากว่าไม่มีการโต้ตอบกันเป็นเลา 10 SEC จะถือว่าหยุดการติดต่อแล้ว หรือว่างหูไปแล้ว CPU ก็จะไปเริ่มการทำงานใหม่

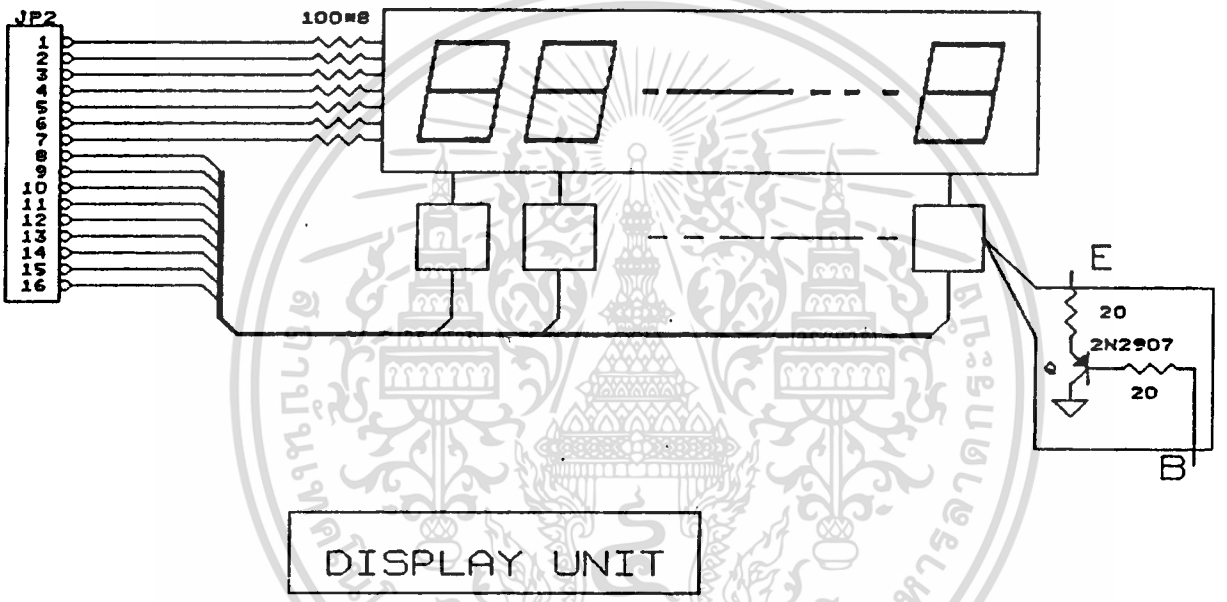
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2 BLOCK DIAGRAM OF MASTER UNIT

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

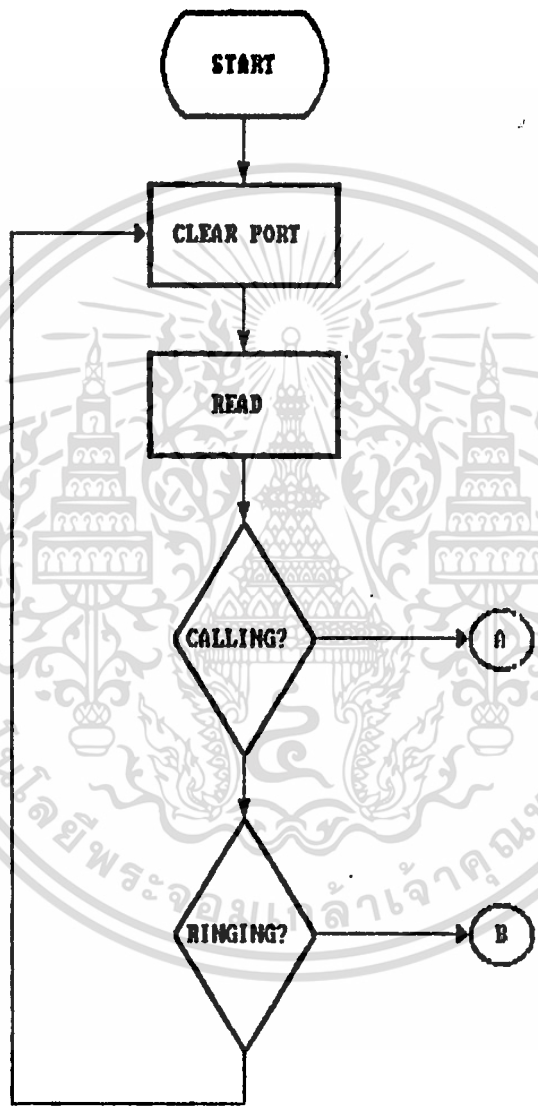
027857



รูปที่ 2.1 DRIVER DISPLAY 7 SEGMENT

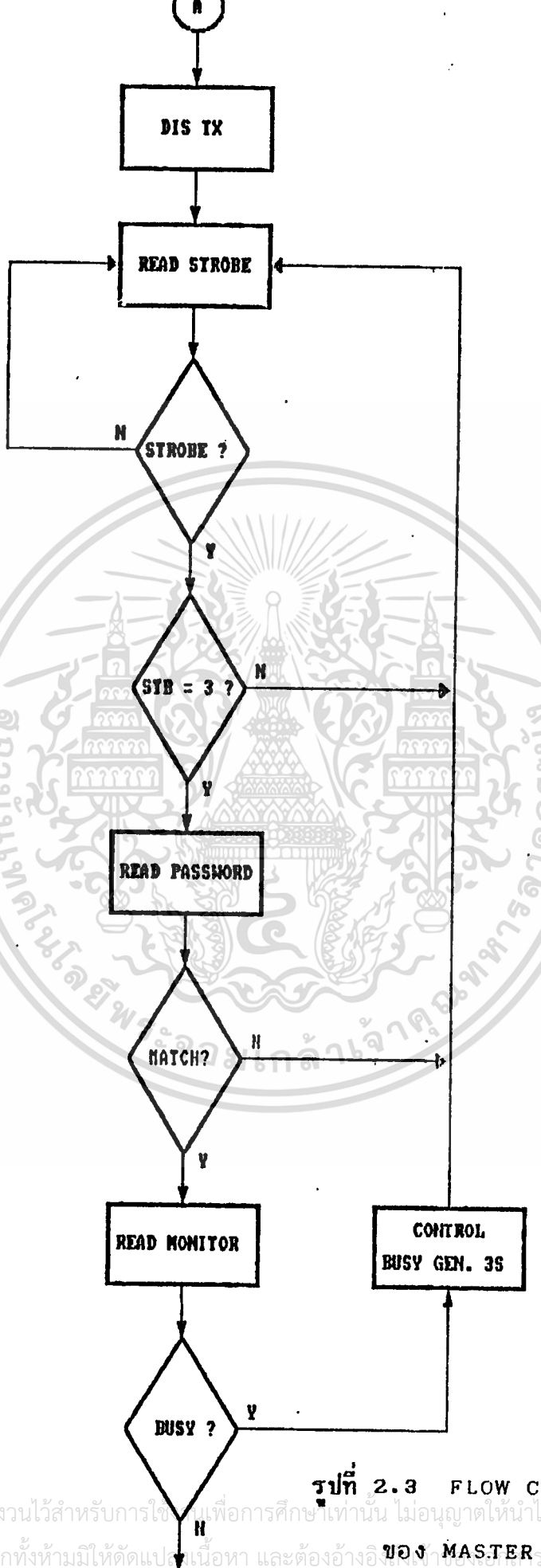
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.1 FLOW CHART FOR MASTER UNIT



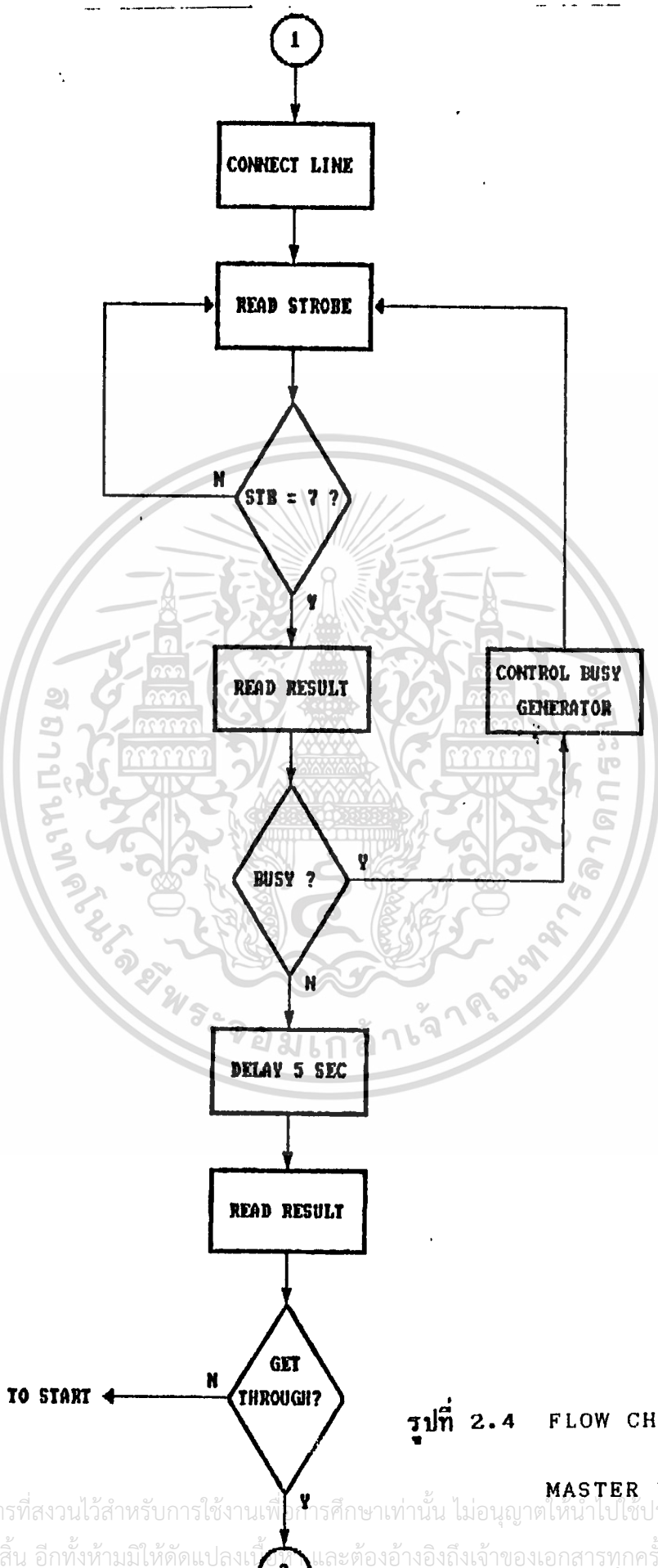
รูปที่ 2.2 FLOW CHART PROGRAM ของ MASTER UNIT

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



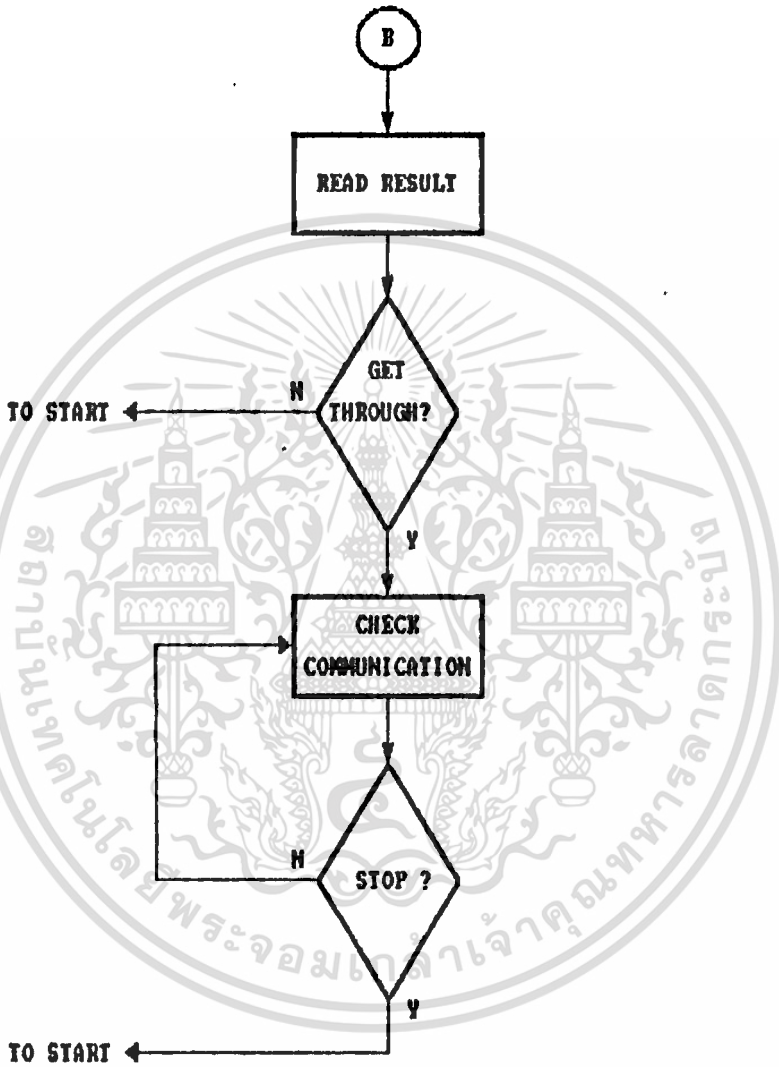
รูปที่ 2.3 FLOW CHART PROGRAM ของ MASTER UNIT ต่อ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



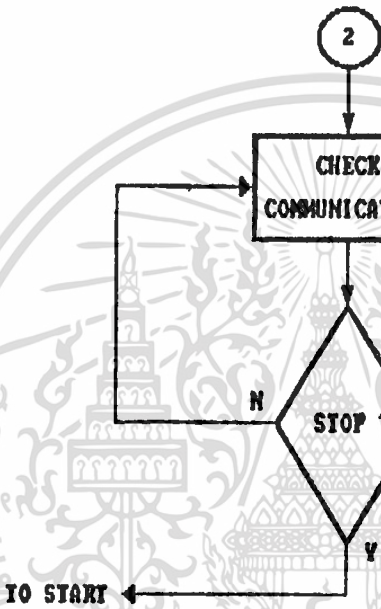
รูปที่ 2.4 FLOW CHART PROGRAM ของ MASTER UNIT ต่อ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.5 FLOW CHART PROGRAM ของ MASTER UNIT ต่อ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.6 FLOW CHART PROGRAM ของ MASTER UNIT ต่อ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.2 PROGRAM FOR MASTER UNIT

```
0001  0000                .ORG 0000H
0002  0000                SETDATA   .EQU 0FFH ;DATA SET BIT TO HIGH
0003  0000                ONRELAY   .EQU 02FH ;DATA ON RELAY & CONTROL HOOK
0004  0000                RELAYTX   .EQU 06FH ;DATA ON RINGING
0005  0000                HOOK      .EQU 0F7H ;DATA CONTROL MONITOR
0006  0000                DISTX     .EQU 0BFH ;DATA DIS-TX
0007  0000                ONBUSY    .EQU 0DFH ;DATA TO CONTROL BUSY TONE
0008  0000                RSTDTMF   .EQU 37H  ;RST DTMF & DIS TX
0009  0000                TIME330   .EQU 01H  ;DATA TIME 330 mS
0010  0000                TIME1     .EQU 03H  ;DATA TIME 1  SEC
0011  0000                TIME4     .EQU 0FH  ;DATA TIME 4  SEC
0012  0000                TIME5     .EQU 13H  ;DATA TIME 5  SEC
0013  0000                TIME10    .EQU 26H  ;DATA TIME 10 SEC
0014  0000                ;
0015  0000                ;*************************************************
0016  0000                ;          MAIN PROGRAM
0017  0000                ;*************************************************
0018  0000 15              DIS I
0019  0010                START     .ORG 0010H ;START ADDRRSS
0020  0010 23 FF           MOV A,#SETDATA       ;SET A TO HIGH
0021  0012 02              OUTL BUS,A           ;DISCONNECT LINE
0022  0013 14 CC           INIT  CALL DELAY20M ;DELAY 20 mS
0023  0015 23 FF           MOV A,#SETDATA       ;SET A TO HIGH
0024  0017 09              IN A,P1
0025  0018 37              CPL A
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
0026   0019 12 1F   JBO CALLING    ;IF P10=0 -->CALLING
0027   001B B2 6A   JB5 RINGING    ;IF P15=0 -->RINGING
0028   001D 04 13   JMP INIT       ;LOOP IF NOT USE TEL.
0029   001F         ;*****************************************
0030   001F 23 BF   CALLING  MOV A,#DISTX     ;SET DATA TO DIS-TX
0031   0021 02      OUTL BUS,A     ;DIS-TX LATCH
0032   0022 00      NOP
0033   0023 BD 03   MOV R5,#03H    ;COUNTER STB=3
0034   0025 09      STBX  IN A,P1 ;READ STROBE
0035   0026 00      NOP
0036   0027 32 25   JB1 STBX       ;LOOP IF NO STROBE
0037   0029 14 A9   CALL DELAY330 ;WAIT KEY = 330 mS
0038   002B 23 FF   MOV A,#SETDATA
0039   002D ED 25   DJNZ R5,STBX  ;LOOP UNTIL STB=3
0040   002F 14 AD   CALL DELAY1    ;WAIT
0041   0031 23 FF   MOV A,#SETDATA
0042   0033 09      IN A,P1        ;READ PASSWORD
0043   0034 52 10   JB2 START      ;PASSWORD NOT MATCH JUMP
0044   0036 72 5F   JB3 MONITOR    ;BUSY JUMP
0045   0038 23 2F   MOV A,#ONRELAY  ;DATA CONTROL RELAY & MONITOR
0046   003A 02      OUTL BUS,A     ;CONTROL RELAY,TX,HOOK SW.
0047   003B 00      NOP
0048   003C 23 FF   MOV A,#SETDATA
0049   003E BD 07   MOV R5,#07H    ;COUNTER TEL NO.
0050   0040 09      STB2  IN A,P1 ;READ STROBE AGAIN
0051   0041 00      NOP
0052   0042 32 40   JB1 STB2       ;NO STROBE LOOP
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
0053   0044 14 A9   CALL DELAY330 ;WAIT KEY = 330 mS
0054   0046 23 FF   MOV A,#SETDATA
0055   0048 ED 40   DJNZ R5,STB2  ;UNTIL 7 NUMBERS
0056   004A 14 B5   CALL DELAY5
0057   004C 23 FF   MOV A,#SETDATA ;SET A TO HIGH
0058   004E 09      IN A,P1        ;READ TONE
0059   004F 37      CPL A
0060   0050 F2 7C   JB7 BUSY       ;BUSY TONE JUMP
0061   0052 BD FA   MOV R5,#0FAH   ;DATA TIME DISPLAY 5 SEC
0062   0054 14 CC   WAIT2  CALL DELAY20M
0063   0056 09      IN A,P1
0064   0057 12 5B   JB0 WAIT3
0065   0059 04 84   JMP RTHROUGH
0066   005B ED 54   WAIT3  DJNZ R5,WAIT2
0067   005D 04 A1   JMP NTHROUGH
0068   005F         ;*********************************************
0069   005F BD FA   MONITOR  MOV R5,#0FAH  ;DATA OF SOUND 5 SEC
0070   0061 23 DF   MOV A,#ONBUSY ;DATA CONTROL BUSY TONE
0071   0063 02      LOOPM  OUTL BUS,A      ;CONTROL ON BUSY
0072   0064 14 CC   CALL DELAY20M
0073   0066 ED 63   DJNZ R5,LOOPM          ;UNTIL 5 SEC
0074   0068 04 10   JMP START
0075   006A         ;*********************************************
0076   006A BD FA   RINGING  MOV R5,#0FAH  ;DATA DISPLAY 10 SEC
0077   006C BE 02   MOV R6,#02H
0078   006E 14 CC   RINGD  CALL DELAY20M
0079   0070 09      IN A,P1
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
0080   0071 37        CPL A
0081   0072 12 84     JBO RTHROUGH          ;JUMP IF GET THROUGH
0082   0074 ED 6E     DJNZ R5,RINGD         ;DISPLAY UNTIL 5 SEC
0083   0076 BD FA     MOV R5,#0FAH
0084   0078 EE 6E     DJNZ R6,RINGD         ;UNTIL 10 SEC
0085   007A 04 A1     JMP NTHROUGH          ;ELSE NOT GOT THROUGH
0086   007C           ;*************************************
0087   007C BD FA     BUSY  MOV R5,#0FAH    ;DATA TIME DISPLAY 5 SEC
0088   007E 14 CC     BUSYX  CALL DELAY20M  ;DISPLAY "BUSY"
0089   0080 ED 7E     DJNZ R5,BUSYX         ;UNTIL 3 SEC
0090   0082 04 10     JMP START
0091   0084           ;*************************************
0092   0084 23 6F     RTHROUGH  MOV A,#RELAYTX
0093   0086 02        OUTL BUS,A    ;OUT PORT LATCH
0094   0087 04 89     JMP THROUGH
0095   0089           ;*************************************
0096   0089 BE FA     THROUGH  MOV R6,#0FAH
0097   008B BD 02     MOV R5,#02H
0098   008D 23 FF     MOV A,#SETDATA
0099   008F 14 CC     LOOPTH2  CALL DELAY20M
0100   0091 09        IN A,P1
0101   0092 37        CPL A
0102   0093 D2 89     JB6 THROUGH           ;DURING COMM LOOP
0103   0095 23 FF     MOV A,#SETDATA
0104   0097 EE 8F     DJNZ R6,LOOPTH2       ;NOT COMM 5 SEC
0105   0099 BE FA     MOV R6,#0FAH
0106   009B 23 FF     MOV A,#SETDATA
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
0107   009D ED 8F   DJNZ R5,LOOPTH2          ;UNTIL 10 SEC
0108   009F 04 10   JMP START
0109   00A1         ;*************************************************
0110   00A1 BD 96   NTHROUGH  MOV R5,#96H     ;DATA DISPLAY 3 SEC
0111   00A3 14 CC   LOOPNT  CALL DELAY20M     ;DISPLAY "SORRY"
0112   00A5 ED A3   DJNZ R5,LOOPNT            ;DISPLAY UNTIL 2 SEC
0113   00A7 04 10   JMP START
0114   00A9         ;*************************************************
0115   00A9         ;This case is the delay time used X-Tal 10 Mhz
0116   00A9         ; Time = Cycle * Data * 0.5
0117   00A9         ;*************************************************
0118   00A9 BC 01   DELAY330  MOV R4,#TIME330  ;DELAY 330 mS
0119   00AB 04 BD   JMP DELAY
0120   00AD BC 03   DELAY1  MOV R4,#TIME1    ;DELAY 1  SEC
0121   00AF 04 BD   JMP DELAY
0122   00B1 BC 0F   DELAY4  MOV R4,#TIME4    ;DELAY 4  SEC
0123   00B3 04 BD   JMP DELAY
0124   00B5 BC 13   DELAY5  MOV R4,#TIME5    ;DELAY 5  SEC
0125   00B7 04 BD   JMP DELAY
0126   00B9 BC 26   DELAY10  MOV R4,#TIME10 ;DELAY 10 SEC
0127   00BB 04 BD   JMP DELAY
0128   00BD BA FF   DELAY  MOV R2,#0FFH
0129   00BF BB FF   MOV R3,#0FFH
0130   00C1 EA C1   LOOPD  DJNZ R2,LOOPD
0131   00C3 BA FF   MOV R2,#0FFH
0132   00C5 EB C1   DJNZ R3,LOOPD
0133   00C7 BB FF   MOV R3,#0FFH
```

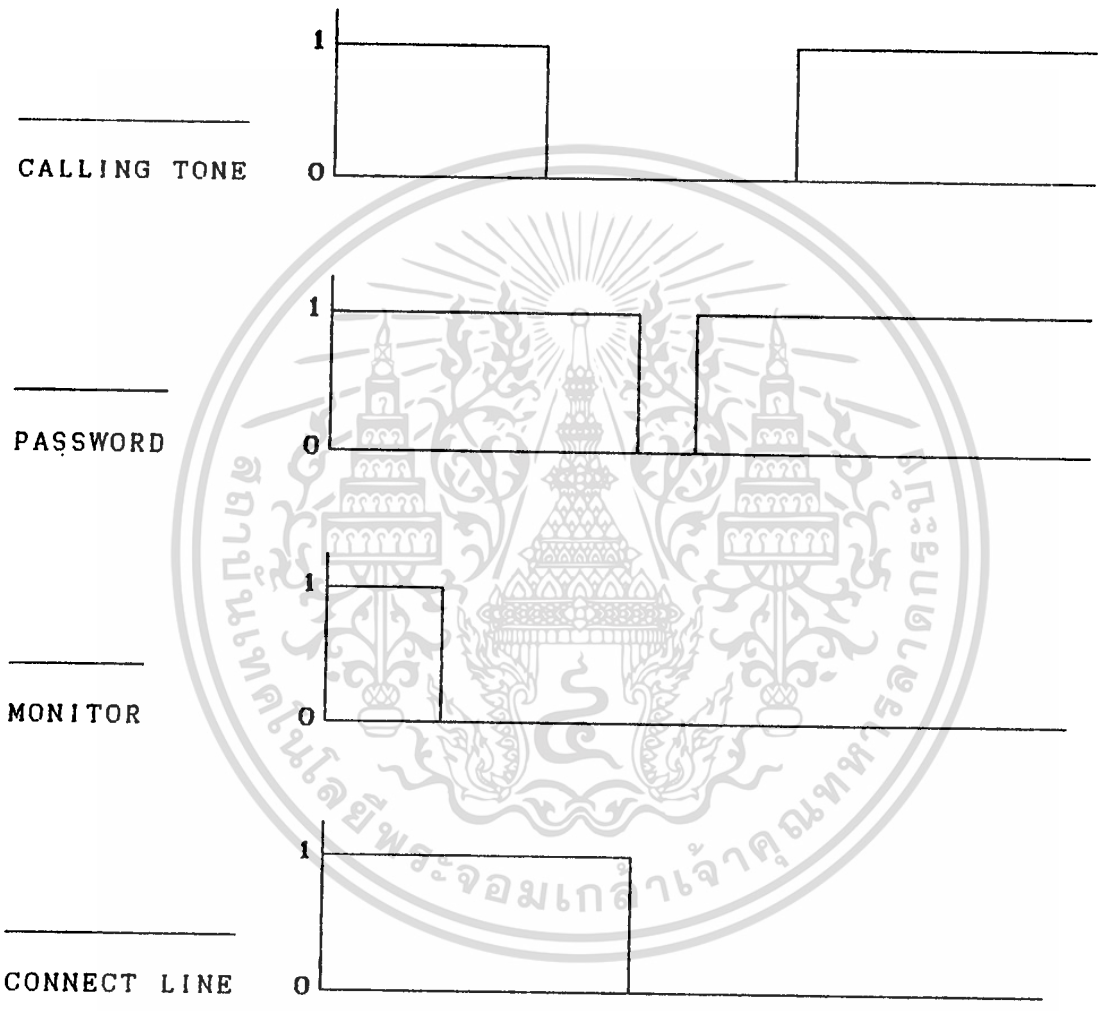
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
0134    00C9 EC C1    DJNZ R4,LOOPD
0135    00CB 83       RET
0136    00CC          ;
0137    00CC BC FF    DELAY20M  MOV R4,#0FFH    ;20 mS
0138    00CE BB 28    MOV R3,#28H
0139    00D0 EC D0    LOOP20  DJNZ R4,LOOP20
0140    00D2 BC FF    MOV R4,#0FFH
0141    00D4 EB D0    DJNZ R3,LOOP20
0142    00D6 83       RET
0143    00D7          ;
0144    00D7          .END
tasm: Number of errors = 0
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.3 TIMING DIAGRAM ของวงจร

1. CALLING FROM SLAVE

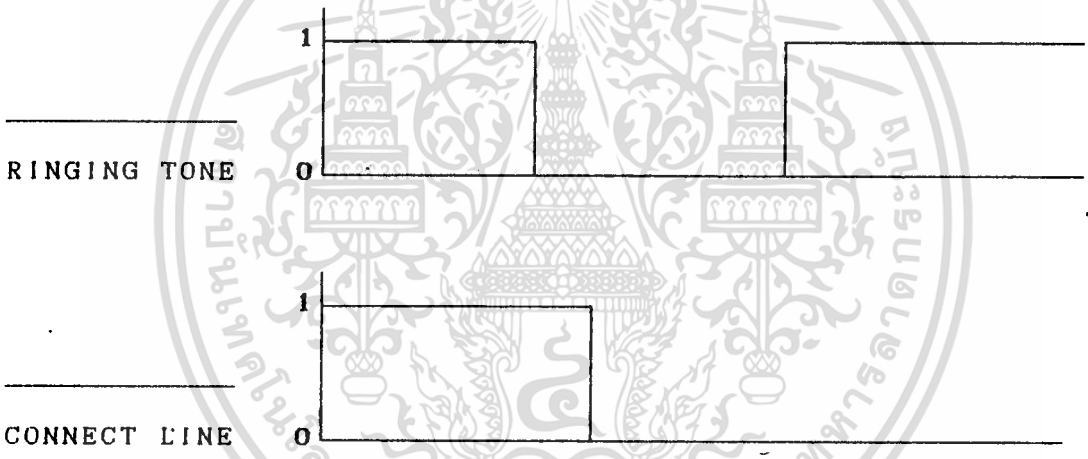


รูปที่ 3 TIMMING OF CALLING FROM SLAVE

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากรูปที่ 3 เป็น TIMMING การทำงานของระบบในกรณีที่ลูกข่าย-เรียกเข้ามา CPU จะตรวจ CHECK สัญญาณนี้ได้จากการ IN PORT จากนั้นมา CHECK PASS WORD ดูว่าถูกต้องหรือไม่ ถ้าถูกต้องจะได้สัญญาณเป็น LOW แล้วมา CHECK MONITOR TELEPHONE ดูว่ามีการใช้คู่สายหรือว่างหรือไม่ ถ้าคู่สายว่าง จะได้ LOGIC LOW ดังรูปที่ 3 CPU ก็จะสั่ง CONNECT LINE ได้

2. RINGING TONE



รูปที่ 4 TIMMING OF RINGING TONE

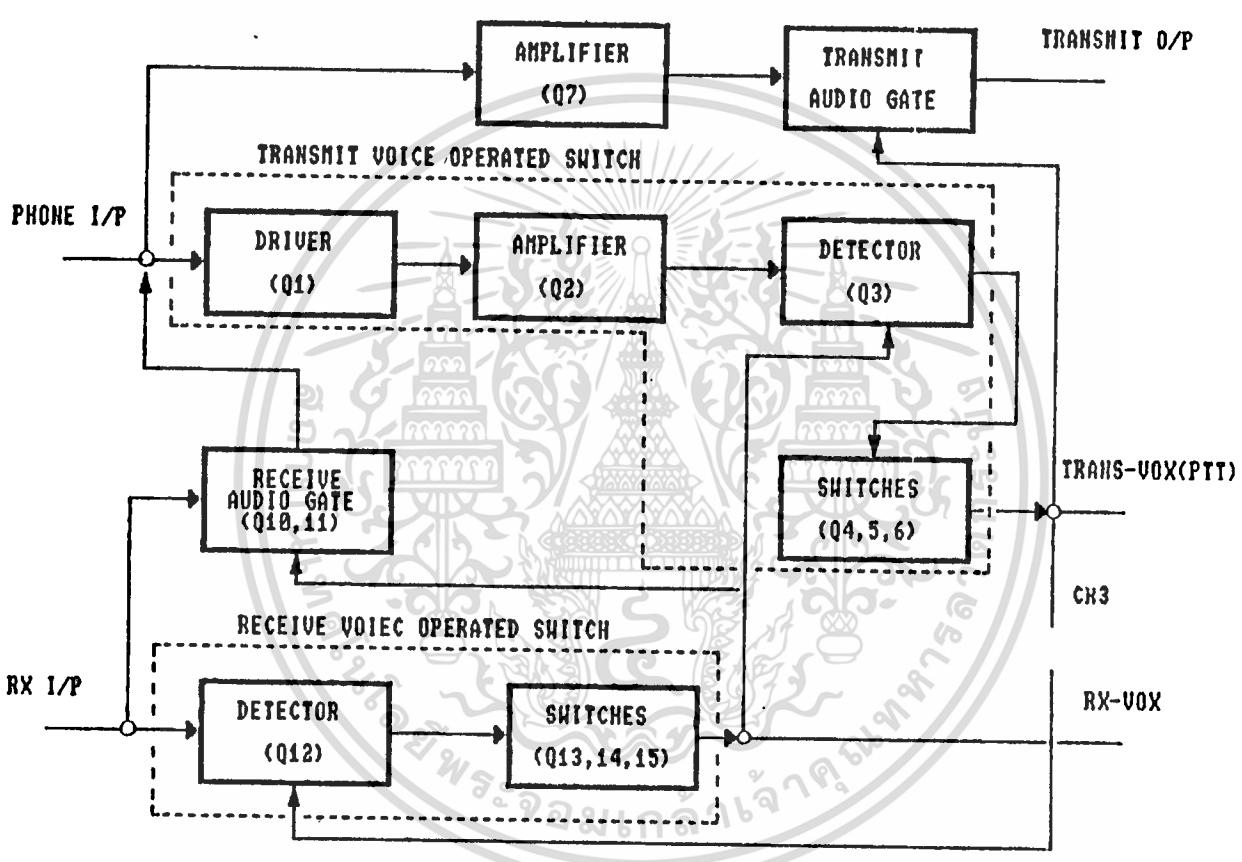
จากรูปที่ 4 เป็น TIMING การทำงานกรณีที่มีสัญญาณเรียกจากภายนอกเข้ามาหาลูกข่าย โดยผ่านตัวแม่เมื่อ CPU ตรวจ CHECK เจอสัญญาณนี้ก็จะทำการ CONNECT LINE ไปยัง SLAVE ดังรูปที่ 4

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 4

PHONE PATCH

ทฤษฎีการทำงานของ PHONE PATCH



รูปที่ 5 BLOCK DIAGRAM OF PHONE PATCH UNIT

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากรูปที่ 5 ส่วนของ TRANSMIT VOICE OPERATED SWITCH ประกอบด้วย

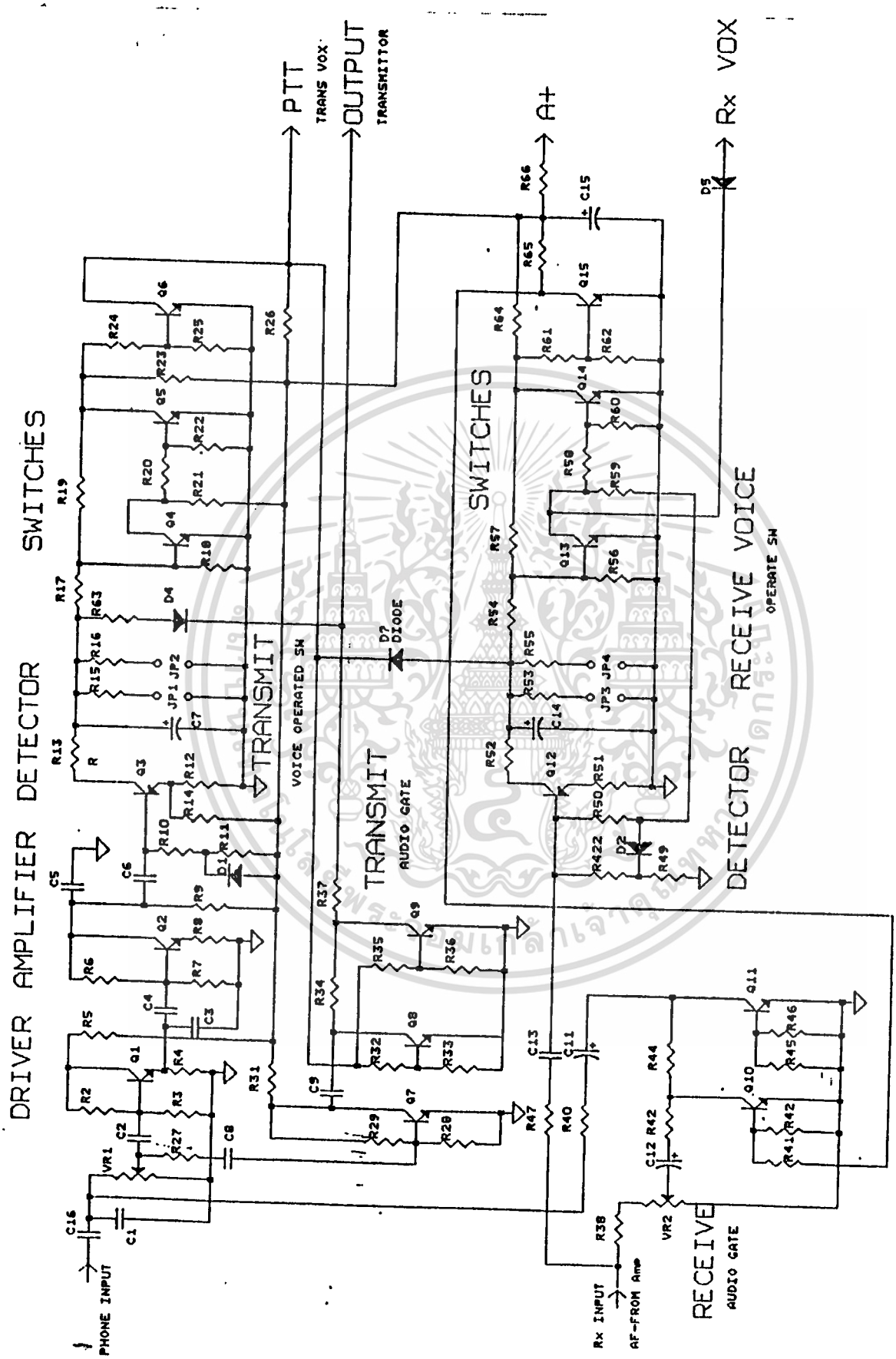
- DRIVER (Q1)
- AMPLIFIER (Q2)
- DETECTOR (Q3)
- SWITCHES (Q4,Q5,Q6)

และส่วนของ RECEIVER VOIVE OPERATE SWITCH ประกอบด้วย

- DETECTOR (Q12)
- SWITCHES (Q13,Q14,Q15)

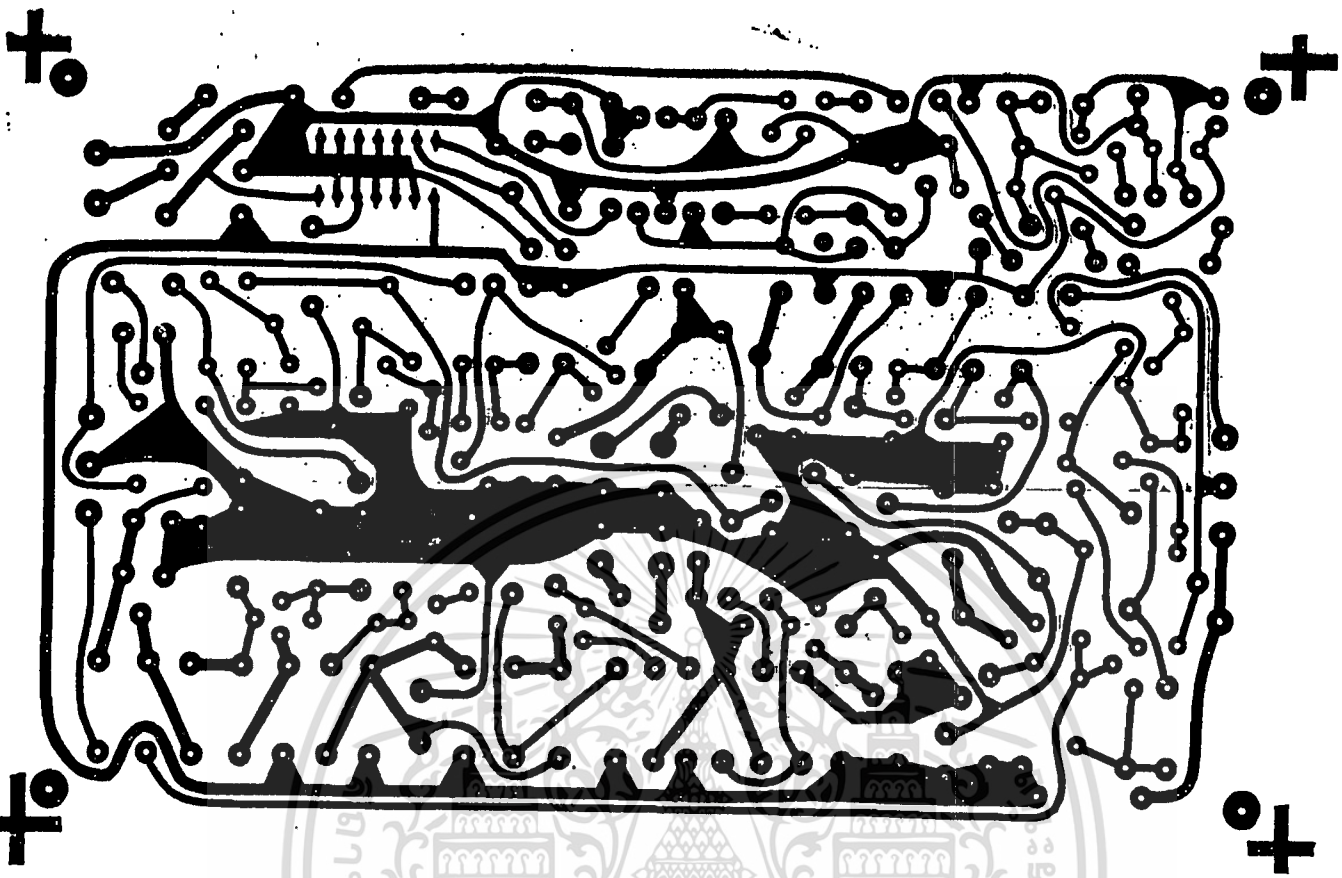
ซึ่งการทำงานของวงจรอธิบายได้ดังนี้

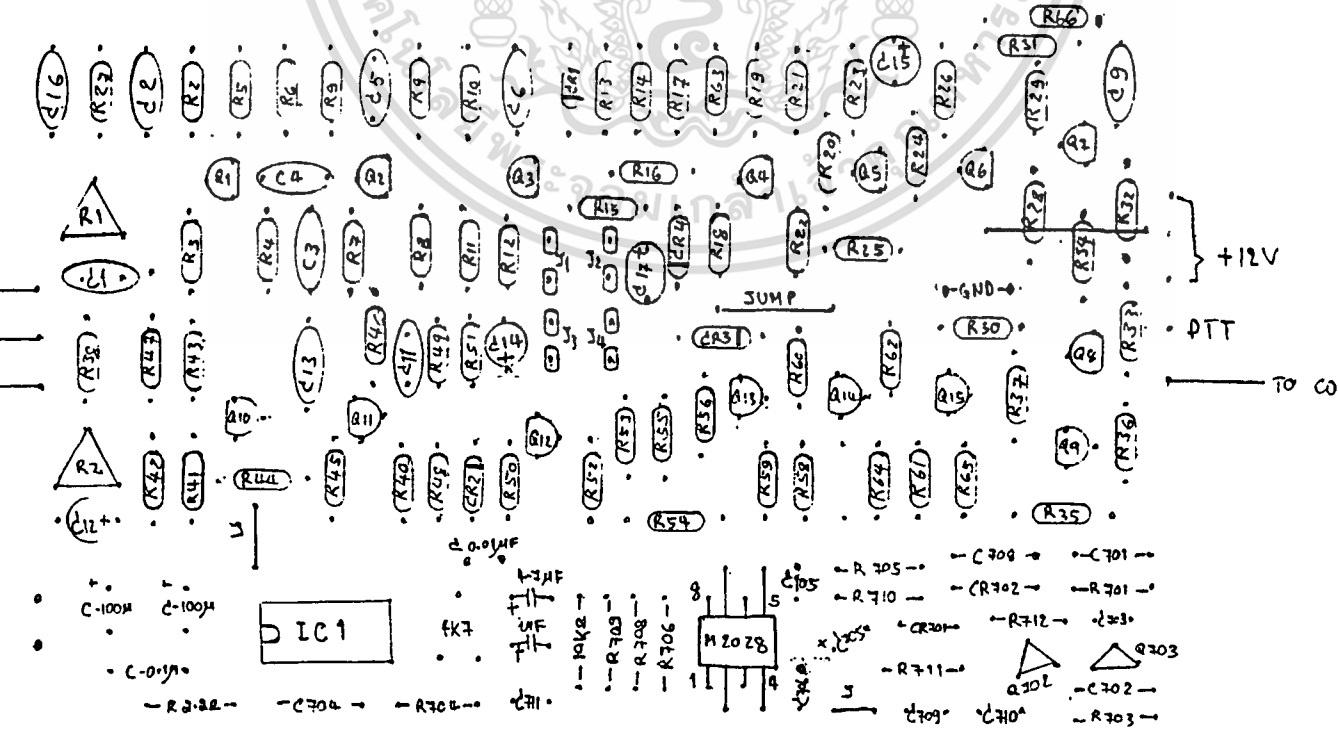
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 6 CIRCUIT DIAGRAM OF PHONE PATCH UNIT

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของลิขสิทธิ์ทุกครั้งที่มีการนำไปใช้





เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Transmitter Condition (Voltage)								Receiver Condition (Voltage)							
Q#	B	C	E	Q#	B	C	E	Q#	B	C	E	Q#	B	C	E
Q1	5.40	11.8	4.80	Q9	0.04	0	0	Q1	5.40	11.8	4.80	Q9	0.70	0	0
Q2	0.68	5.80	0.03	Q10	0.70	0	0	Q2	0.68	5.80	0.03	Q10	0	3.20	0
Q3	11.3	3.20	11.2	Q11	1.10	0.47	0	Q3	1103	0	11.2	Q11	0	0.32	0
Q4	0.64	0.09	0	Q12	11.4	2.20	10.2	Q4	0	6.00	0	Q12	11.6	10.4	11.0
Q5	0.07	6.20	0.04	Q13	0.90	6.60	0	Q5	0.72	0.04	0	Q13	0.64	0.04	0
Q6	0.78	0.05	0	Q14	0.72	0.05	0	Q6	0.04	12.6	0	Q14	0.03	6.30	0
Q7	0.94	5.20	0.27	Q15	0.05	7.60	0	Q7	0.94	5.20	0.27	Q15	0.76	0	0
Q8	0.04	0	0	Q16	-	-	-	Q8	0.70	0	0	Q16	-	-	-

รูปที่ 7 แสดงตารางการทำงานของ Transistor Q1-Q15

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การทำงานของวงจร PHONE PATCH จากรูปที่ 6 สามารถแบ่งการทำงานออกเป็น 2 ส่วน คือ

1. ในสภาวะ TRANSMIT ซึ่งเกิดจากการป้อนสัญญาณเสียงเข้าที่ PHONE UNIT
2. สภาวะ RECEIVER เกิดจากการป้อนสัญญาณเสียงเข้าที่ Rx INPUT ขนาดประมาณ 300 mV rms. ซึ่งได้จาก OUTPUT AMPLIFIER ของเครื่องรับวิทยุ

การทำงานในสภาวะ TRANSMIT

1. วงจร DRIVER โดยอาศัย Q1 เป็น AMPLIFIER ขยายสัญญาณจาก PHONE INPUT ให้มี AMPLITUDE สูงขึ้น และส่งต่อให้ Q2
2. Q2 เป็น AMPLIFIER ขยายสัญญาณเสียงต่อจาก Q1 และเป็นป้อนเข้าวงจร DETECTEOR โดยระดับของ TRANSMIT VOICE OPERATED SWITCH SIGNAL ขึ้นอยู่กับ R1 ซึ่งสามารถปรับค่าได้
3. วงจร DETECTEOR อาศัย Q3 ตั้งระดับ DC BIAS ที่ขา BASE ไว้ที่ 11.3 V. และเมื่อมีสัญญาณเสียงเข้ามาทาง PHONE INPUT จะทำให้ Q3 สามารถนำกระแสได้ ทำให้ VOLTAGE ที่ขา C เป็น 3.2 V.
4. เมื่อที่ COLLECTOR ของ Q3 เป็น HIGH (3.2 V.) จะทำให้วงจร SWITCH Q4 "ON", Q5 "OFFO", Q6 "ON"
5. เมื่อ COLLECTOR ของ Q6 "ON" จะเป็นขา TRANSISTOR SWITCH หรือ PTT ให้กับภาคส่งของเครื่องส่งวิทยุ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

6. เมื่อ COLLECTOR ของ Q6 "OFF" จะทำให้ Q8,Q9 ไม่มี BIAS ทำให้ Q8,Q9 "OFF" จึงไม่เกิดการ BY PASS สัญญาณ ดังนั้นสัญญาณเสียงจากขากลางของ R1 จะสามารถผ่าน R27,C8 ไปยังขา BASE ของ Q7 ได้ และ Q7 จะ AMPLIFIER สัญญาณเสียงให้แรงขึ้น แล้ว COUPLING สัญญาณเสียงออกทาง COLLECTOR ผ่าน C9, R34 และ R37 ออกทางขา TRANS OUTPUT เพื่อเป็น AUDIO ที่จะนำไป MODULATE ในภาคส่งของเครื่องส่งวิทยุ แบบ AM ต่อไป

7. ในขณะที่ขา C ของ Q3 เป็น LOGIC HIGH (3.2 V) จะทำให้เกิด FORWARD BIAS ที่ขา BASE Q10 และ Q11 ทำให้เกิด BY PASS สัญญาณเสียงที่มาจาก Rx INPUT ลง GROUND ทำให้ไม่มีสัญญาณเสียง ผ่านจากC13, R47 ไปยัง PHONE INPUTได้ ซึ่งขณะนี้ ที่หูฟังของเครื่องโทรศัพท์จะเงียบ

8. C7,R15,R16 และ JU1,JU2 เป็น DROP OUTPUT TIME เพื่อยืดเวลาให้กับ TRANSMIT VOX ซึ่งสามารถตั้งได้จาก JU1,JU2 ดังรูปที่ 8

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วงจร Phone Patch รูปที่ 7 Voltage ในสภาวะ Transmit ขณะที่เป็นสัญญาณ Sine ความถี่1000 Hz ขนาด 15 mVrms ที่ Input Phone In และ Voltage ในสภาวะ Receive ขณะที่ป้อนสัญญาณ Sine ความถี่ 1000 Hz ขนาด 300 mVrms ที่ Rx Input

Drop Out Time	Jumper Status			
	Transmitter		Receiver	
	JU1	JU2	JU3	JU4
1.0 Sec	In	In	In	In
1.5 Sec	Cut	In	Cut	In
3.0 Sec	Cut	Cut	Cut	Cut

รูปที่ 8 แสดง Delay Time ของ Transmit VOX และ Receive VOX

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การทำงานในสภาวะ RECEIVER

1. สัญญาณเสียงจาก Rx INPUT จะผ่าน R40,C11 ไปยังขา BASE ของ Q12 ซึ่งเป็นวงจร DETECTOR ถ้าสัญญาณเสียงมีความแรงพอ จะทำให้ Q12 สามารถนำกระแสได้ ทำให้ขา COLLECTOR ของ Q12 มีค่า 10.4 V
2. เมื่อขา COLLECTOR ของ Q12 มีค่า 10.4V จะทำให้วงจร SWITCHS Q13 "ON",Q14 "OFF" และ Q15 "ON"
3. เมื่อ Q15 "ON" จะทำให้ขา COLLECTOR เป็น LOGIC LOW (0 V) ทำให้ Q10 และ Q11 ไม่มี BIAS ทำให้ Q10 และ Q11 "OFF" ทั้งคู่ จึงไม่เกิดการ BY PASS ของสัญญาณเสียงที่มาจาก Rx INPUT ดังนั้น สัญญาณเสียงที่มาจาก Rx INPUT นี้ จะผ่าน R38,R39,C12,R42, R44,C13,R47 ไปยัง PHONE INPUT ทำให้เกิดเสียงที่หูฟังของเครื่องรับโทรศัพท์
4. เมื่อขา C ของ Q15 เป็น LOGIC LOW จะทำให้ CR4 CONDUCT เป็นผลให้ที่ BASE ของ Q4 เป็น 0 V,Q4 จึง OFF และทำให้ Q5 "ON" ในที่ สุด Q6 จะ "OFF" จนกว่าสัญญาณเสียงจาก Rx INPUT จะหายไป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5. ในขณะที่ Q6 "OFF" จะทำให้ขา C มีไฟประมาณ 12.6 V. ซึ่งจะไปเป็น FORWARD BIAS ให้ Q8 และ Q9 ทำให้ Q8,Q9 "ON" ทั้งคู่ จึงทำให้สัญญาณเสียงที่มาจากขา C ของ Q7 ถูก BY PASS ลง GROUND เป็นผลทำให้ไม่มีสัญญาณเสียงจาก PHONE INPUT ออกทางขา TRANS OUTPUT ของ PHONE PATCH INPUT นี้ได้

6. สำหรับ C14,R53,R55,JU3 และ JU4 เป็นส่วนของวงจร DROP OUT TIME ซึ่งจะตั้งเวลาสำหรับ RECEIVER VOX ให้ยืดเวลาออกไปอีกขณะหนึ่ง (มื่อสัญญาณเสียงจาก Rx INPUT หายไปแล้ว) ซึ่งค่าเวลาที่ DELAY นี้จะปรับแต่งได้จาก JU3 และJU4 ดังตารางในรูปที่ 8

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

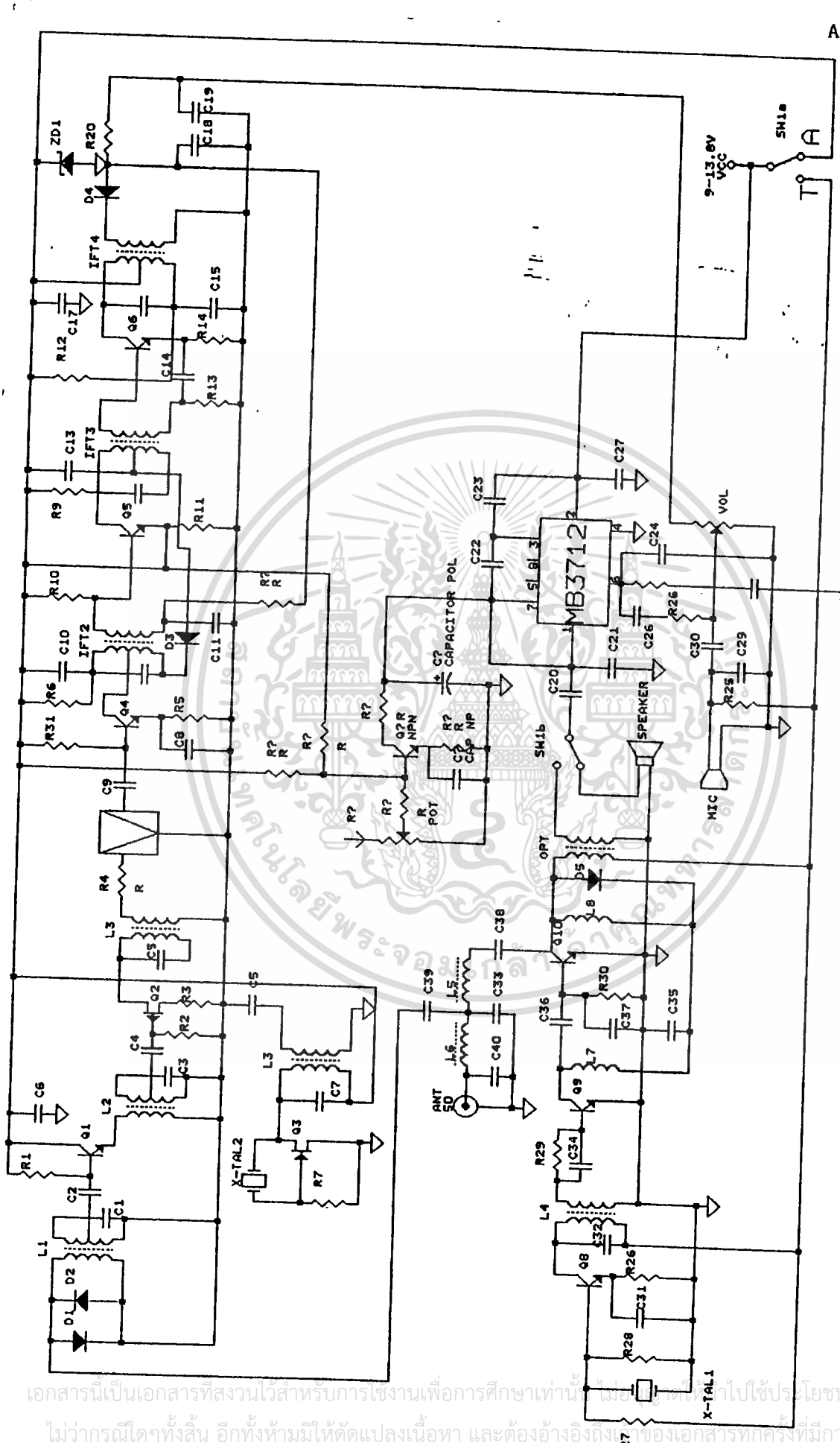
บทที่ 5

TRANSCEIVER 27 MHz

SPECIFICATION ของ TRANSCEIVER

1.OPERATING FREQ	27.125 MHz ย่าน CITIZEN BAND
2.MODURATION แบบ AM - MOD	โดยมีเปอร์เซนต์การ MOD MAX 90% ที่ AUDIO 1 KHz 0 dB I/P
3.TRANSMITTER RF POWER	2 WATT / 50 Ohm LOAD
4.SENSITIVITY	2 μV.
5.SINAD	-15.2 dBm ที่ 2 μV.
6.POWER SOURCE MAX	10 WATT

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



ภาพที่ 9 TRANSCEIVER 27 MHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การทำงาน

อาศัย Q8, Q9, Q10 และ X-TAL1 โดยมีการทำงานดังนี้

- X-TAL1, Q8 และ L4 เป็นวงจร OSCILLATOR กำเนิดความถี่ 27.125 MHz COUPLING ออกทาง L4 ซึ่งต่อกับ C32 เป็น TUNE TANK CIRCUIT ได้ SIGNAL ออกทาง SECONDARY ป้อนให้ Q9 ส่วน Q8 ได้ BIAS จาก R27, R28 และ R26
- Q9 ทำหน้าที่เป็น DRIVER AMP เพิ่ม AMPLITUDE แล้ว COUPLING ผ่าน L-C COULPING (L7,C36) ไปให้ Q10 เป็น AMPLIFIER ต่อไป
- Q10 ทำหน้าที่เป็น RF POWER AMP ขยายสัญญาณ RF ให้ได้ POWER ประมาณ 1-3 WATT แล้ว COUPLING ผ่าน HARMONIC FILTER ออก ANTENNA ต่อไป
- HARMONIC FILTER ประกอบด้วย C38,L5,C33,L6,C40 โดย C38, L5 ทำหน้าที่เป็น SERIES TUNED RESONANCE และ L6,C33,C40 ทำหน้าที่เป็นวงจร PARALLEL TUNED RESONANCE เพื่อให้ความถี่ 27.125 MHz ออกอากาศได้ MAXIMUM แต่จะกัน HARMONIC ที่ 2,3,...ไม่ให้ออกกาศ เพื่อประหยัด POWER และไม่ไปรบกวนคลื่นความถี่อื่น และยังทำให้ MODULATION ไม่เกิด DISTORTION ด้วย
- ลักษณะการ MODULATION เป็น COLLECTOR MODULATION ที่ขา COLLECTOR ของ Q9 และ Q10 โดยใช้OPT(OUTPUT TRANSFORMER) COUPLING AUDIO ที่ได้จาก IC #MB3712

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 6

COMPRESSION และ AUDIO POWER AMP

จากรูปที่ 10 เป็นวงจรการทำงานของ COMPRESSION AMP AND AUDIO POWER AMP อธิบายเป็นขั้นตอนดังนี้

1. U1,Q2 และ Q1 เป็นส่วนประกอบสำคัญของวงจร COMPRESSION AMP โดยที่ U1 เป็นลักษณะ LOW NOISE AMP ซึ่งกำหนด GAIN ด้วย R6 และ R7 ดังสมการข้างล่างนี้ คือ

$$Av = 1 + \frac{R6}{R7}$$

OUTPUT (ขา 7)ของ U1 จะ COUPLING ผ่าน R8,C8,D1,D2, R9,C9,C10 ไปยังขา BASE ของ Q2 ซึ่ง Q2 จะทำงานร่วมกับ Q1 เป็นวงจร AUDIO AGC เพื่อควบคุมระดับสัญญาณที่ INPUT ขา 3 ของ U1 ให้มี AMPLITUDE MAXIMUM ไม่เกิน 1 mV rms. ในขณะที่ INPUT (TRANSMIT INPUT) มี SIGNAL เปลี่ยนแปลงในช่วง 2 mV - 1 Vrms. ซึ่งจะทำให้ได้ระดับสัญญาณออกจาก OUTPUT ขา 7 ของ U7 ประมาณ 0.67 Vrms. โดยไม่เกิด DISTORTION (ทดสอบที่ความถี่ 1 KHz SINE WAVE) ดังนั้นจึงคำนวณ MAXIMUM dB SIGNAL ที่ได้จากวงจร COMPRESS AMP ตามสมการข้างล่าง คือ

$$dB = 20 \log \frac{V2}{V1}$$

$$= 20 \log \frac{0.76\ V.}{0.001V.}$$

$$= 57.61 \quad dB.$$

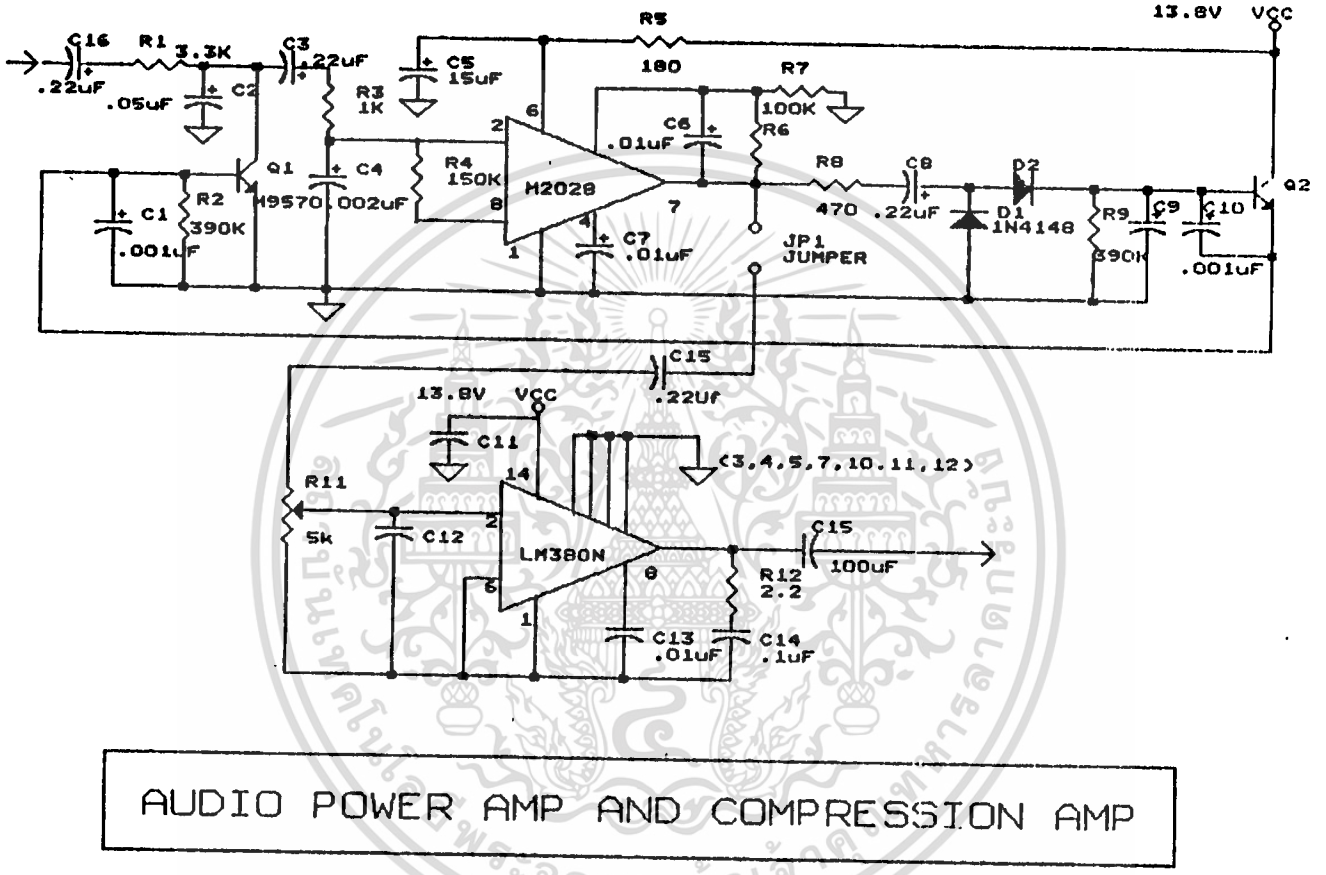
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2. TRANSMIT INPUT ของ COMPRESS AMP จะต่อเข้ากับ TRANSMIT OUTPUT ของวงจร PHONE PATCH UNIT ตามรูปและ OUTPUT ขา 7 ของ U1 จะต่อผ่าน C16,R11 ไปขา 2 ของ U2 ซึ่งเป็น AUDIO POWER AMP ให้ POWER ออกทาง OUTPUT ขา 8 ประมาณ 2 WATT ที่ LOAD 8 ohm และไฟเลี้ยงประมาณ 12 V. OUTPUT ขา 8 ของ U2 จะ COUPLING ผ่าน C15 ไปยัง OPT (OUTPUT TRANSFORMER)ของภาคส่ง เครื่องส่งวิทยุ เพื่อนำ AUDIO SIGNAL นี้ไป MODULATION กับ RF-CARRIER ในลักษณะ AM MODULATION

3. วงจร COMPRESS AMP ทำหน้าที่ควบคุมให้ระดับ AF ที่จะนำไป MOD กับเครื่องส่งให้มีระดับพอเหมาะ เพื่อป้องกัน OVER MODULATION ซึ่งจะมีผลเสียหายหลายอย่าง ซึ่งจะอธิบายในส่วนของวงจรรับส่ง 27 MHz ต่อไป

4. R11 เป็นส่วนของวงจรปรับแต่งระดับ MODULATION ให้กับภาคส่งของเครื่องส่งวิทยุ 27 MHz โดยเราจะตั้งไว้ที่ระดับ 90 % MODULATION โดยการป้อน INPUT SIGNAL ที่ขา TRANSMIT INPUT ประมาณ 100 mV และ MONITOR สัญญาณ RF ที่ MODULATE กับ AF แล้วปรับให้ 90 % (อ่านค่า % MODULATION ได้จาก SCOPE 100 MHz ซึ่งจะอธิบายไว้ในส่วนของวงจรรับส่ง 27 MHz ต่อไป)

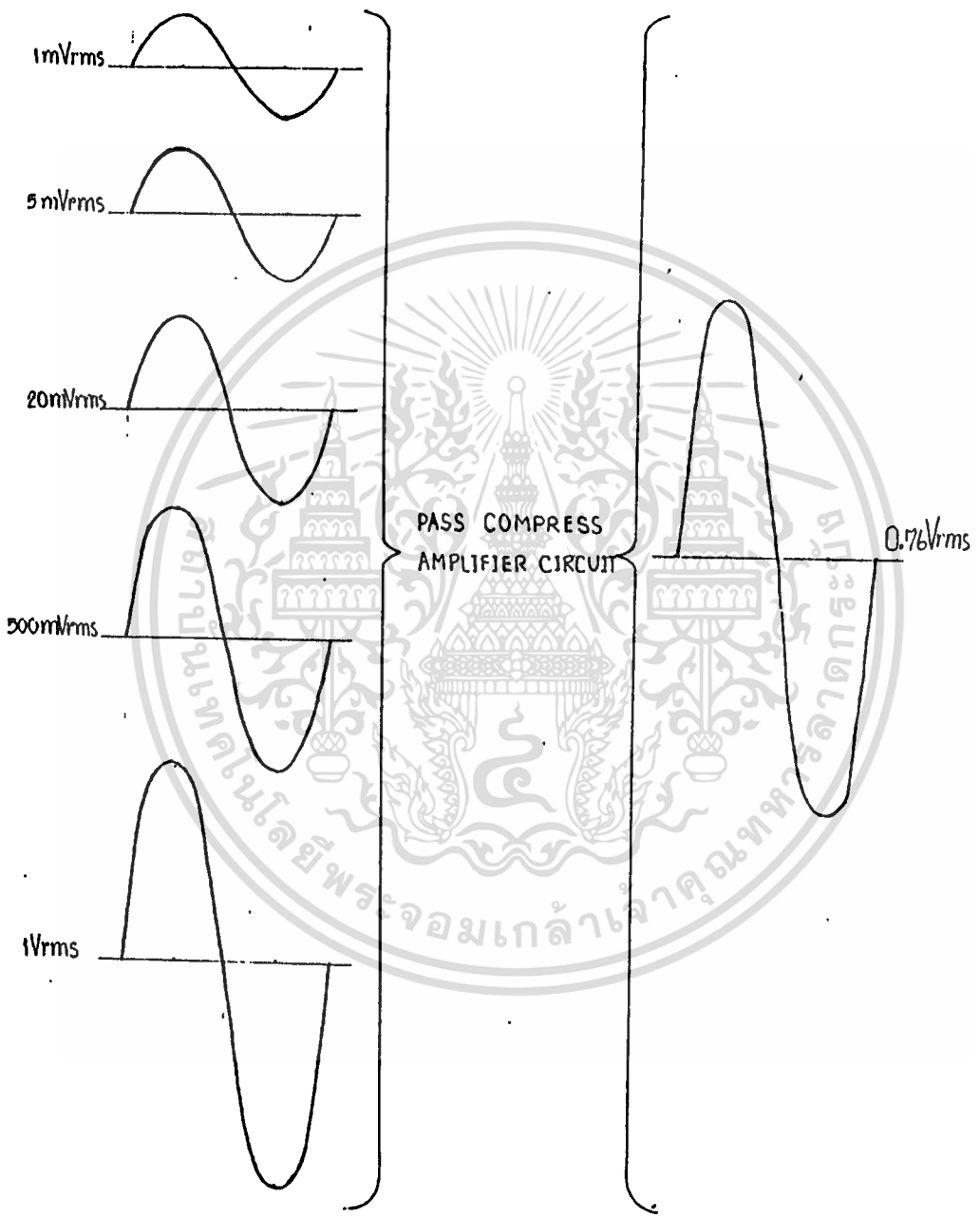
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



AUDIO POWER AMP AND COMPRESSION AMP

รูปที่ 10 AUDIO POWER AMP AND COMPRESSION AMP

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 11 แสดงระดับสัญญาณ INPUT ขนาดต่างๆ และ OUTPUT ที่ได้จาก ขา 7 ของ U1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

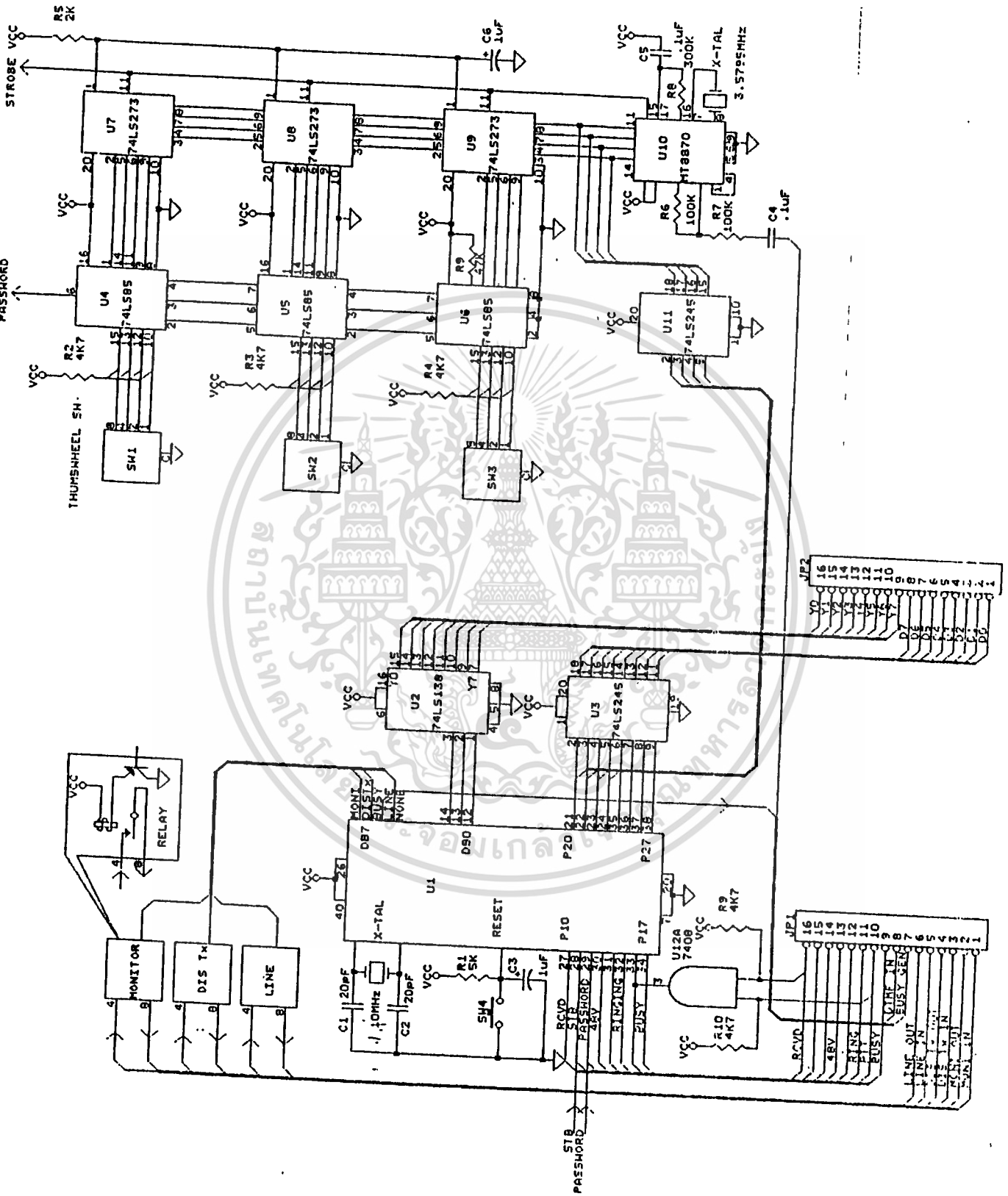
บทที่ 7

DTMF DECODER

จากรูปที่ 12 เป็นวงจรการ DECODE สัญญาณการกด KEY ของ SLAVE ซึ่งสัญญาณได้มาจากภาครับของ TRANSCEIVER ของ MASTER UNIT สัญญาณที่ได้จากการ DECODE นั้นมี 2 ลักษณะ คือ 3 ตัวแรกจะเป็น PASSWORD การขอใช้ระบบ ถ้า PASSWORD ไม่ตรงกัน ก็จะเข้าระบบไม่ได้ แต่ถ้าหากว่า PASSWORD ตรงกันระหว่าง SLAVE และ MASTER UNIT ก็จะสามารถใช้ระบบได้ โดยมี CPU เป็นตัวควบคุม สำหรับรายละเอียดของวงจรเป็นดังนี้

IC MT8870 เป็น TONE DECODER ของการกด KEY โดยจะมี I/P รับสัญญาณจาก Rx ที่ขา 2 และ 3 เมื่อมีการกด KEY ทาง SLAVE UNIT ก็จะถูก DECODE ออกทาง OUTPUT ของ IC ตัวนี้ ค่าที่ได้จะเป็น BCD 8421 หรือเรียกลักษณะการทำงานนี้ว่า SIPO (SERIAL IN PARALLEL OUT) เมื่อมีการกด KEY จาก SLAVE ครั้งแรกจะถูก DETECT โดยสัญญาณ STROBE ขา 15 ของ MT8870 BCD ที่ได้จะถูก LATCH อยู่ที่ 74LS273 ตัวแรก แต่เมื่อมีการกด KEY ครั้งที่ 2 และครั้งที่ 3 จนครบ 3 ครั้ง DATA ก็จะถูก SHIFT LATCH อยู่ที่ IC 74LS273 ทั้ง 3 ตัว แล้ว DATA ที่ได้นี้จะมาถูก COMPARE กับ DATA ของ PASS WORD 3 ค่าที่ถูก SET ไว้โดย THUMB WHEEL SWITCH ที่ IC 74LS273 ทั้ง 3 ตัว ถ้าผลการ COMPARE เหมือนกันทุกอย่าง ก็หมายความว่ากด PASSWORD ถูกต้อง จะมีสัญญาณ OUTPUT ที่ขา6 ไปบอกให้ CPU รับรู้ได้ ก็หมายความว่าสามารถใช้ระบบได้ CPU ก็จะควบคุมการต่อคู่สายให้ จากนั้นจะมี DIAL TONE ตอบกลับไปยัง SLAVE UNIT เพื่อให้กด KEY และเมื่อมีการกด KEY IC MT8870 ก็จะ DECODE TONE ออกมาบอกให้ CPU รับรู้การกด KEY แล้วแสดงผลออกมาทาง DISPLAY

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 12 CPU & DTMF DECODER

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งไม่อนุญาตให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 8

วงจร DETECT สัญญาณโทรศัพท์

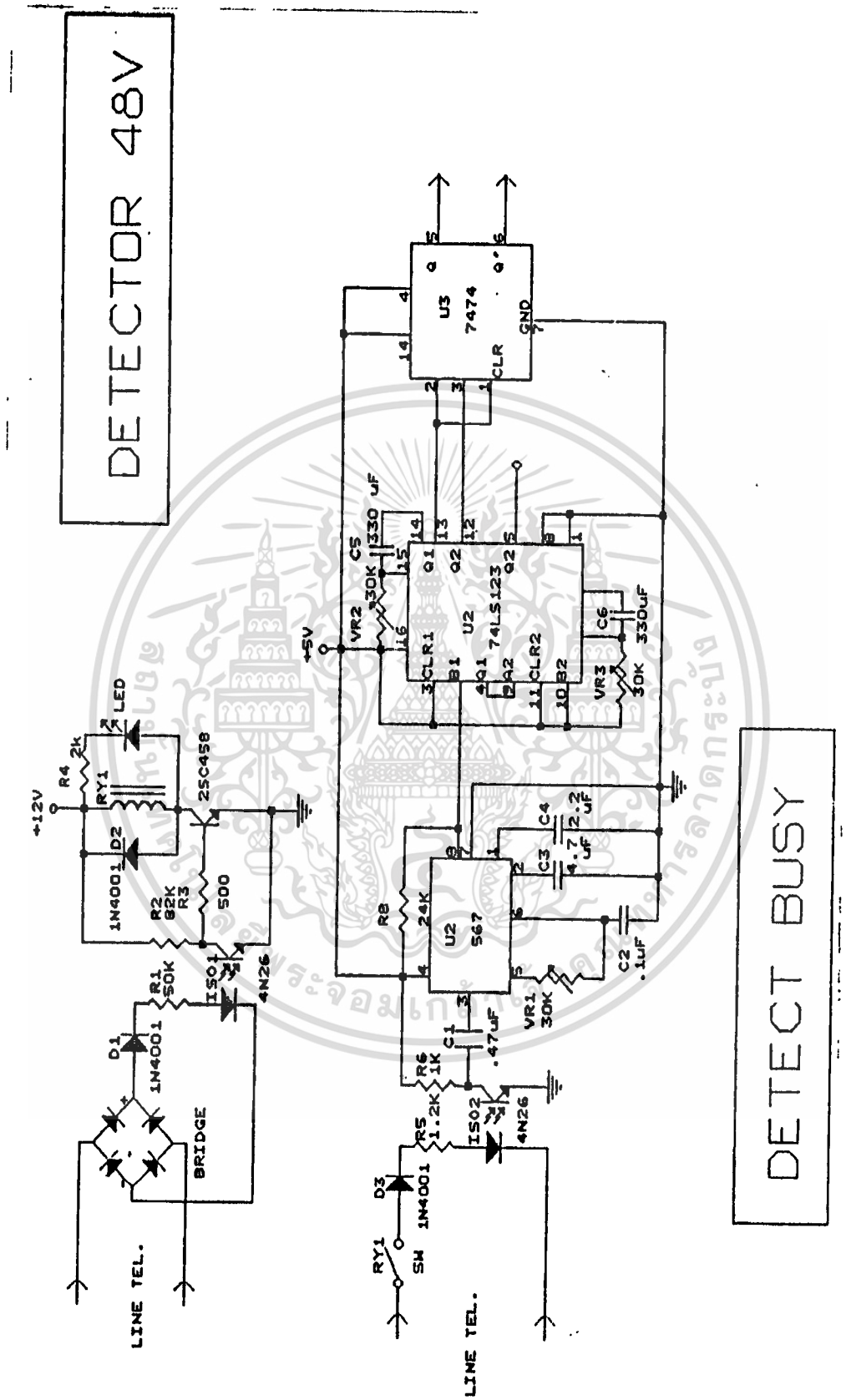
1> วงจร 48 V.DETECT

วงจร 48 V.DETECT เป็นวงจรตรวจจับการยกหูซึ่งทำหน้าที่ตรวจสอบสภาวะการใช้งานของคู่สายโทรศัพท์ และเมื่อวงจรตรวจจับการยกหูทำงาน จะทำให้รีเลย์ทางต้นวงจรตรวจจับสัญญาณทำงาน ทั้งนี้เพื่อป้องกันสัญญาณกระดิ่งไม่ให้ผ่านเข้ามาในวงจรตรวจจับสัญญาณได้ เนื่องจากวงจรตรวจจับสัญญาณจะทำการตรวจจับสัญญาณที่มีค่าต่ำเป็นมิลลิโวลท์ แต่สัญญาณกระดิ่งจะมีค่าสูงเป็นร้อยโวลท์ ถ้าปล่อยให้สัญญาณกระดิ่งผ่านเข้ามา ก็จะทำความเสียหายได้ ดังนั้นจึงจำเป็นต้องควบคุมให้รีเลย์ทำงานต่อสัญญาณให้กับวงจรตรวจจับสัญญาณก็ต่อเมื่อมีการยกหูโทรศัพท์แล้วเท่านั้น

2> วงจรตรวจจับสัญญาณ

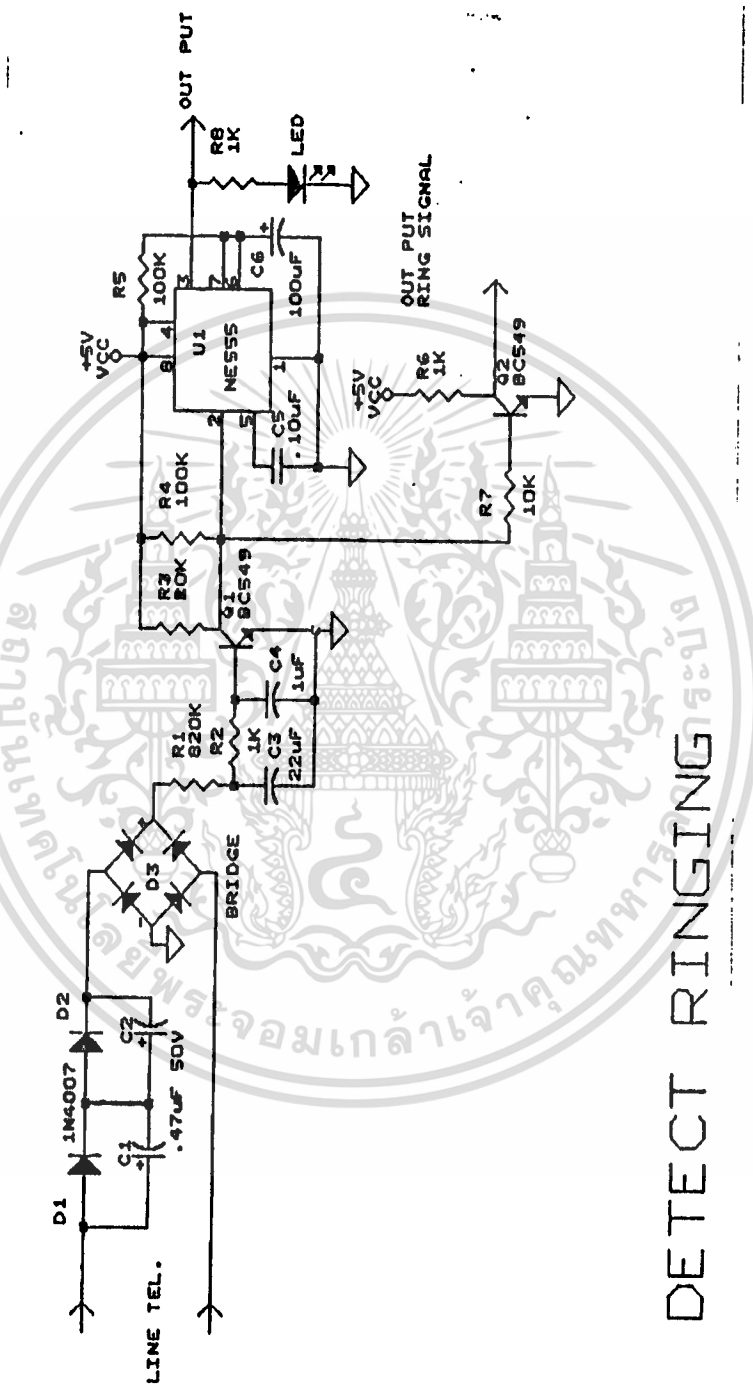
วงจรตรวจจับสัญญาณจะทำการตรวจจับสัญญาณต่างๆ ของคู่สายโทรศัพท์ เพื่อบอกสถานะของสัญญาณให้กับวงจรควบคุมการทำงานของรีเลย์ โดยจะทำการตรวจจับสัญญาณสายไม่ว่าง(BUSY TONE) ซึ่งการป้องกันสัญญาณกระดิ่งไม่ให้เข้ามาในวงจรตรวจจับสัญญาณรีเลย์ จะต้องทำงานก็ต่อเมื่อมีการยกหูแล้วเท่านั้น และความจำเป็นที่ต้องแยกกราวด์ออกจากกัน จึงจำเป็นต้องใช้ไอซีเบอร์ 4N26 ซึ่งเป็นตัวเชื่อมโยงทางแสงแบบโฟโต้ทรานสิสเตอร์(PHOTO TRANSISTOR) โดยใช้คุณสมบัติ 2 สถานะที่นำกระแสเต็มที่จนอิ่มตัว(ON) และในสถานะที่ไม่นำกระแส(OFF) ทำหน้าที่เสมือน SWITCH เมื่อรีเลย์ทำงานจะต่อสายโทรศัพท์เข้ากับวงจรตรวจจับสัญญาณ การทำงานของรีเลย์จะทำงานตามเอาท์พุทของส่วนเชื่อมโยงทางแสง หากโฟโต้ทรานซิสเตอร์นำกระแสเต็มที่จนอิ่มตัว ทรานซิสเตอร์ Q1 จะไม่นำกระแส เนื่องจากแรงดันต่ำกว่า 0.6 โวลท์ รีเลย์ก็ยังไม่ทำงาน แต่เมื่อมีการยกหู โฟโต้ทรานซิสเตอร์จะหยุดนำกระแส ทำให้มีกระแสไหลผ่านทรานซิสเตอร์ Q1 รีเลย์ก็จะทำการต่อสายโทรศัพท์เข้ากับสัญญาณทันที

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



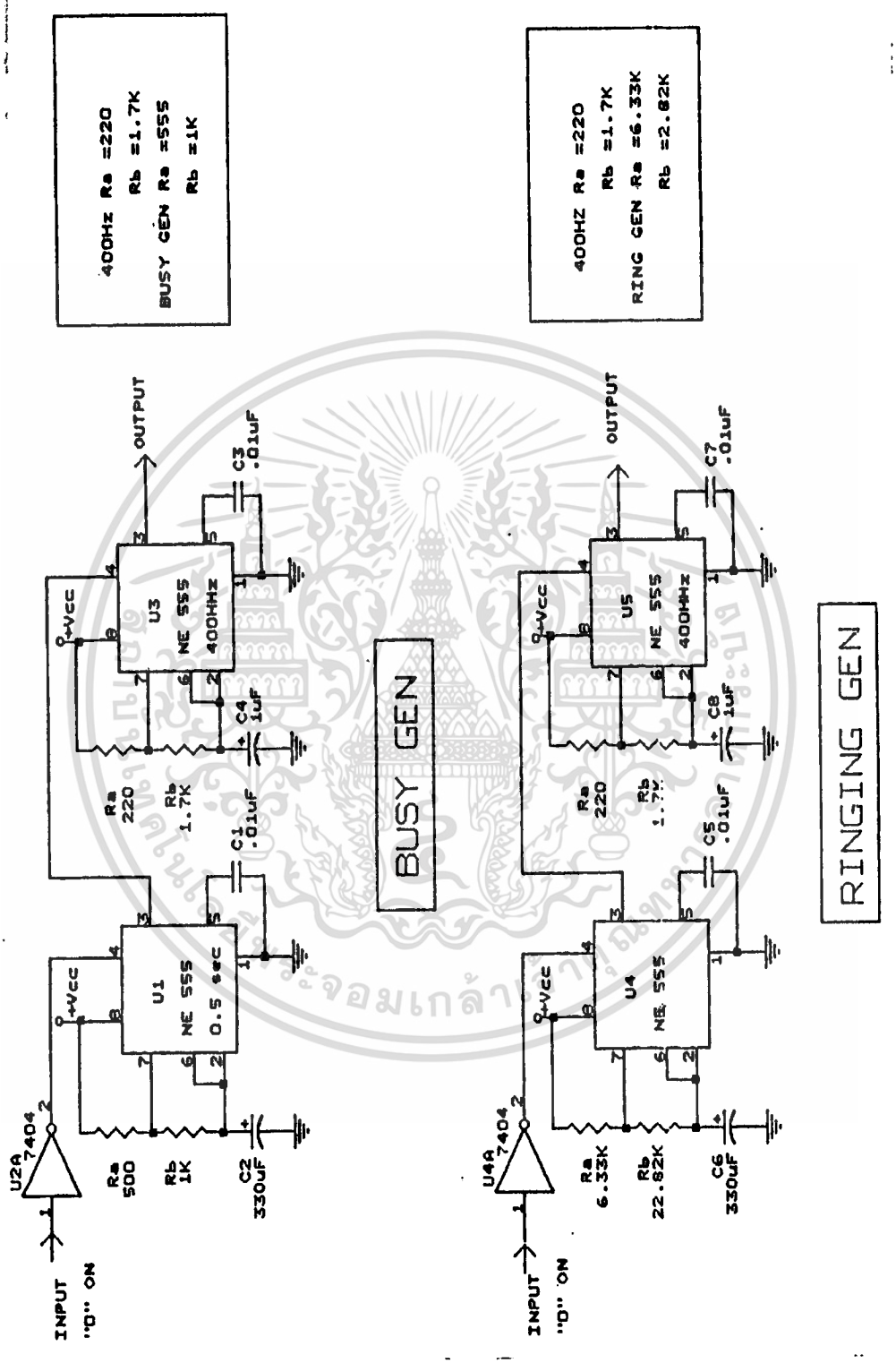
รูปที่ 13 CIRCUIT OF DETECTOR BUSY AND DETECTOR 48 V.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 14 CIRCUIT OF DETECTOR RINGING

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 15 CIRCUIT OF BUSY GEN AND RINGING GEN

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

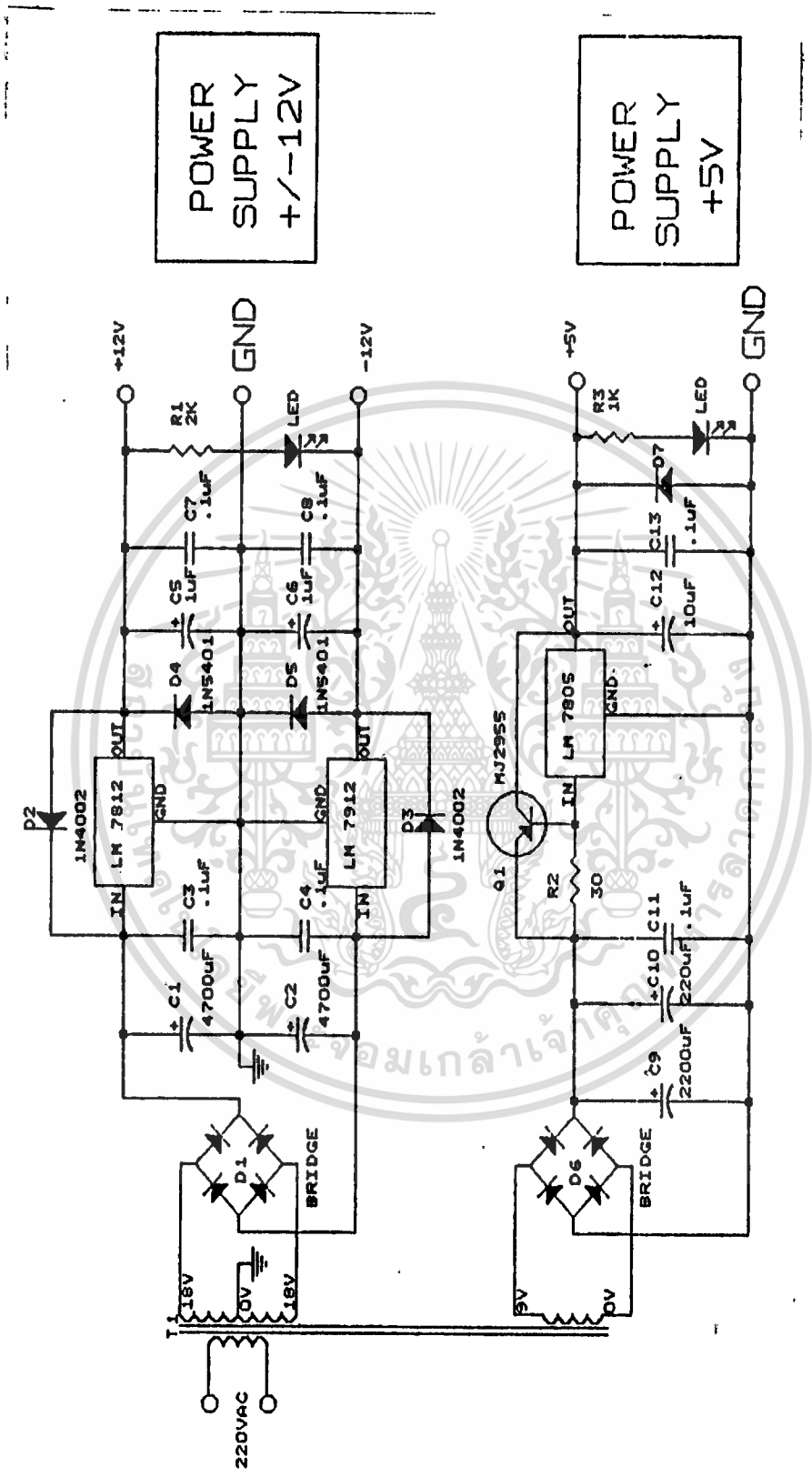
บทที่ 9

POWER SUPPLY

POWER SUPPLY ที่ใช้ มีดังนี้

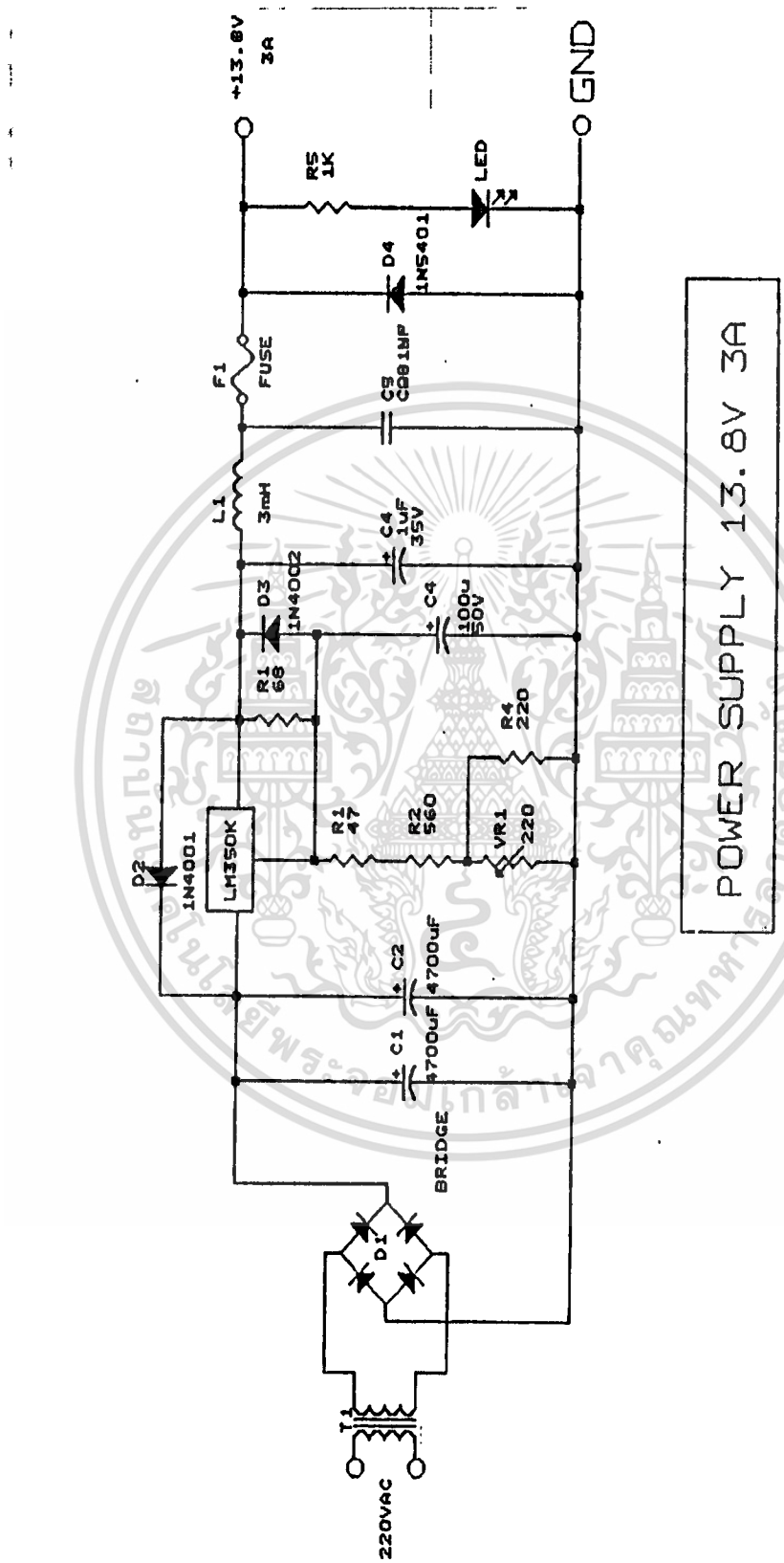
1. POWER SUPPLY + 5 V. ไฟเลี้ยงสำหรับ MASTER UNIT, DETECTOR BUSY, DETECT RINGING, BUSY GEN, RINGING GEN, DTMF DECODER
2. POWER SUPPLY +/-12 V. ไฟเลี้ยงสำหรับ RELAY,
3. POWER SUPPLY +13.8 V. ไฟเลี้ยงสำหรับ เครื่องวิทยุรับ-ส่ง, วงจร AUDIO POWER AMP, COMPRESSION AMP

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 16 CIRCUIT OF POWER SUPPLY FOR MASTER UNIT

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 17 CIRCUIT OF POWER SUPPLY FOR MASTER UNIT AND SLAVE

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากรูปที่ 16 เป็นชุด DC REGULATOR POWER SUPPLY + 5 V. และ +/- 12 V. ซึ่งใช้ IC REGULATE เบอร์ 7805,7812 และ7912 โดยทางด้าน + 5 V. จะต่อร่วมกับ TRANSISTOR MJ2955 เพื่อให้ได้กระแส 5 AMP. และทางด้าน +/-12 V. สามารถจ่ายกระแสได้ 1 AMP.

จากรูปที่ 17 เป็นชุด DC REGULATOR POWER SUPPLY ให้ DC-OUTPUT ขนาด +13.8 V. โดยจ่ายกระแสได้สูงสุดประมาณ 3 AMPS โดยที่แรงดัน OUTPUT คำนวณได้จากสมการ ข้างล่าง คือ

$$Vo = 1.25\left(1+\frac{Rb}{Ra}\right)$$

โดยที่ Ra คือ RESISTOR ที่ต่อจาก Refference ของ IC# LM 350K ไปยังขา OUTPUT ของ LM350

Rb คือ RESISTOR ที่ต่อจาก Refference ของ IC# LM 350K ลง GROUND

สำหรับ IC REGULATOR #LM 350K จะมีวงจร SHORT CIRCUIT PROTECTION ในตัว และส่วนประกอบของ L ของ C จะช่วยทำให้ผลการ REGULATION ดีขึ้น และทำให้ OUTPUT RIPPLE ต่ำที่สุดด้วย

DC SUPPLY ชุดนี้จะใช้สำหรับเป็นไฟเลี้ยงให้ เครื่องวิทยุรับ-ส่ง 27 MHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 10

ผลการทดลอง

สรุปได้ดังต่อไปนี้

10.1 วงจร CPU

10.2 วงจร DTMF DECODER

10.3 วงจร DETECT SIGNAL และ TONE GENERATOR

- 10.3.1 วงจร 48 V. DETECTOR
- 10.3.2 วงจร RINGING TONE DETECTOR
- 10.3.3 วงจร BUSY TONE GENERATOR
- 10.3.4 วงจร RINGING TONE GENERATOR

10.4 TRANSCEIVER

10.5 PHONE PATCH

10.6 AMPLIFIER

10.7 SLAVE UNIT

10.8 POWER SUPPLY

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

10.1 วงจร CPU

วงจรชุดนี้ จะเป็นวงจรส่วนที่ทำหน้าที่ควบคุมการทำงานของระบบบทั้งหมด โดยใช้ CPU เบอร์ NS 87P50D-11 (8050) เป็นตัวควบคุมการทำงาน โดยมี Port ต่อใช้งานทั้งหมด 3 PORT ดังนี้

- PORT1 : ใช้เป็น INPUT PORT คอยตรวจสอบ INPUT SIGNAL ต่างๆ
- PORT2 : ใช้เป็น OUTPUT PORT ในการแสดงผลที่ 7 SEGMENT เพื่อบอกสภาวะการทำงานของระบบ
- PORT DATA BUS : ใช้เป็น OUTPUT PORT ในการ OUT DATA ออกไป CONTROL ระบบ และยังใช้เป็นตัวเลือก DIGIT ของ DISPLAY ในการแสดงผลต่างๆ อีกด้วย

ขั้นตอนการทดสอบวงจร กรณีลูกข่ายเรียกเข้ามา

1. เปิดเครื่องให้วงจรทำงาน ตอนนี้ CPU จะคอย CHECK สัญญาณ 2 อย่างคือ RINGING TONE และ RCVD SIGNAL (สัญญาณเรียกจากลูกข่าย) ซึ่งปกติสัญญาณทั้งสองนี้จะเป็น LOGIC "HIGH"
2. ให้สมมุติว่ามี RCVD เข้ามาที่ขา P10 ของ CPU โดยการ LOGIC "LOW" ที่ขา P10 ของ CPU จะทำให้ RELAY ตัวที่ทำหน้าที่ DIS Tx ทำงานเพื่อ DISENABLE เครื่องส่งมิให้ทำงาน
3. ให้ต่อสัญญาณ DTMF ไปให้ INPUT ของวงจร DTMF DECODER เพราะในช่วงนี้ CPU จะคอย CHECK การกด PASSWORK จำนวน 3 ตัว จากลูกว่าถูกต้องหรือไม่
4. ถ้า PASSWORD ไม่ถูกต้อง CPU ก็จะ RESET ตัวเอง กลับไปเริ่มต้นการทำงานใหม่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5. แต่ถ้า PASSWORD ถูกต้อง CPU ก็จะต้อง CHECK ดูว่าคู่สายว่างหรือไม่ จาก P13 ถ้าขานี้เป็น "LOW" แสดงว่าคู่สายว่าง แต่ถ้าขานี้เป็น LOGIC "HIGH" แสดงว่าคู่สายไม่ว่าง CPU ก็จะต้อง CONTROL สัญญาณให้ทำงาน โดยส่ง LOGIC "LOW" ไปที่ DB5 เพื่อไป CONTROL วงจร BUSY GENERAOR ให้ทำงานเป็นเวลา 10 SEC จากนั้นก็จะเริ่มการทำงานใหม่ สำหรับกรณีที่คู่สายว่างนั้น ก็จะส่ง LOGIC "LOW" ไปที่ขา DB7 และ DB4 เพื่อไป CONTROL HOOK SWITCH และ CONNECT LINE ตามลำดับ

6. ช่วงนี้ CPU ก็จะคอย CHECK การกด KEY โทรศัพท์ เป็นจำนวนน 7 เลขหมาย เมื่อกดเสร็จจะคอย CHECK ดูว่ามีการรับสายหรือไม่จากสัญญาณ RCVD

7. ช่วงนี้จะมีสัญญาณตอบกลับมายังลูกข่ายว่าเป็นสัญญาณอะไร ถ้าเป็นสัญญาณต่างหรือ RINGING TONE แล้วไม่มีการรับสายเป็นเวลา 15 SEC CPU ก็จะ RESET ตัวเองกลับไปเริ่มการทำงานใหม่

8. ถ้ามีการรับสายจะทำให้มีการโต้ตอบกันได้ CPU ก็จะทำการ CONNECT LINE และ CONTROL HOOK SWITCH ให้

9. ช่วงที่มีการสนทนากันนี้ ถ้าไม่มีการสนทนากันเป็นเวลา 10 SEC CPU ก็จะ RESET ตัวเองให้เริ่มต้นการทำงานใหม่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ขั้นตอนการทดสอบวงจร กรณีโทรศัพท์เรียกไปยังลูกข่าย

1> เปิดเครื่องให้วงจรทำงาน ตอนนี้ CPU จะคอย CHECK สัญญาณ RINGING TONE และ RCVD

2> ให้สมมุติว่ามี RINGING TONE เข้ามาที่ขา P10 เป็น "LOW" เพื่อที่จะเรียกไปยังลูกข่าย

3> ตอนนี้ CPU จะคอย CHECK ดูว่าลูกข่ายมีการรับสายหรือไม่ โดยการ CHECK จากสัญญาณ RCVD

4> ถ้าไม่มีการตอบรับเป็นเวลา 15 SEC CPU ก็จะ RESET ตัวเอง

5> ถ้ามีการรับสาย CPU ก็จะทำการ CONNECT LINE และ CONTROL HOOK SWITCH ให้ โดยการส่งสัญญาณ LOGIC "LOW" ไปที่ DB4 และ DB7 ตามลำดับ

6> ช่วงนี้จะมีการคุยโต้ตอบกันได้ CPU ก็จะคอย CHECK การวางหู คือ ถ้าไม่มีการสนทนาเป็นเวลา 10 SEC ติดต่อกัน จะถือว่าสิ้นสุดการติดต่อ CPU ก็จะ RESET ตัวเองไปเริ่มการทำงานใหม่

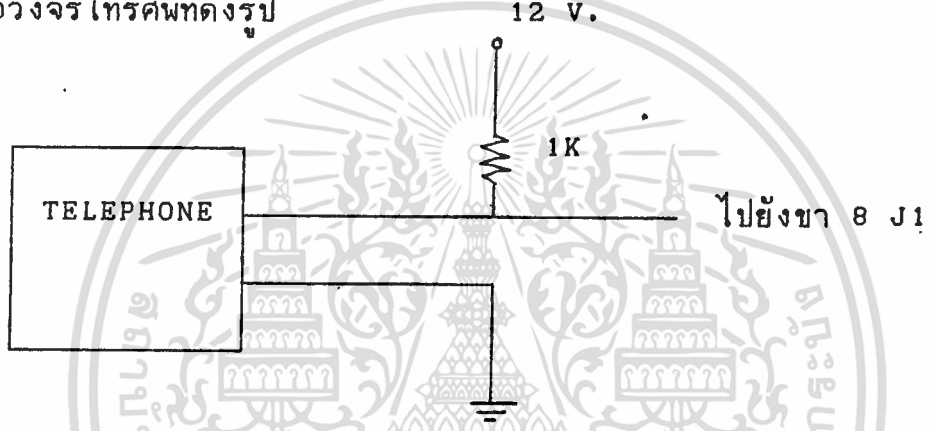
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

10.2 วงจร DTMF DECODER

วงจรนี้เป็นวงจรส่วนที่ทำหน้าที่คอย CHECK สัญญาณ PASSWORD จากลูกข่ายว่าถูกต้องหรือไม่ ถ้าผลของถูกต้องก็จะมี OUTPUT เป็น LOGIC "HIGH" ที่ขา 6 ของ U4 และในการกด KEY ทุกครั้ง จะมีสัญญาณ STROBE เป็น LOGIC "LOW" มาที่ขา 15 ของ U10 เสมอ

ขั้นตอนการทดสอบวงจร

1> ต่อวงจรโทรศัพท์ดังรูป



2> เปิด SWITCH ของวงจร แล้วทำการกด KEY โทรศัพท์ให้มีค่า PASS-WORD ตรงกับ THUMB WHEEL SWITCH ถ้าวงจรทำงานถูกต้อง จะให้ OUTPUT ที่ขา 6 ของ U4 หรือถ้าต่อกับ LED ก็จะทำให้ LEDติดสว่าง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

10.3 วงจร DETECT SIGNAL และ TONE GENERATOR

10.3.1 วงจร 48 V. DETECTOR

1> ต่อ LINE โทรศัพท์เข้ากับวงจร

2> ขณะโทรศัพท์วางหูอยู่ OPTO TRANSISTOR "ON" ทำให้ TRANSISTOR 2SC458 "OFF" วัด VOLT ที่ขา COLLECTOR จะต้องได้ประมาณ 10 V.

3> ยกหูโทรศัพท์ขึ้น แล้ววัด VOLT ที่ขา COLLECTOR ของ TRANSISTOR 2SC458 จะต้องได้ VOLTAGE ประมาณ 0.6 V. และช่วงนี้ RELAY ก็จะ ON ด้วย

10.3.2 วงจร RINGING TONE DETECTOR

1> ต่อ LINE โทรศัพท์เข้ากับวงจร

2> ในสภาวะปกติที่ไม่มี RINGING TONE เข้ามา จะทำให้ Q1 "OFF" เป็นผลให้ขา 3 ของ U1 เป็น "LOW" LED ก็จะไม่ติดสว่าง

3> ให้โทรเรียกเข้ามาที่คู่สายที่ใช้อยู่ โดยโทรศัพท์เครื่องอื่นๆ จะทำให้มี RINGING TONE เข้ามาที่ LINE เป็นผลให้ Q1 "ON" และขา 3 ของ U1 ก็จะเป็น "HIGH" ก็จะทำสัญญาณนี้ไปผ่าน INVERTER แล้วส่งให้ CPU ได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

10.3.3 วงจร BUSY TONE GENERATOR

วงจรนี้จะเป็นวงจรสร้างสัญญาณ BUSY TONE เพื่อที่จะออกอากาศส่งให้ลูกข่าย กรณีที่ลูกข่ายเรียกเข้ามาแล้วคู่สายไม่ว่าง CPU ก็จะ CONTROL ก็จะ CONTROL ให้วงจรนี้ทำงาน โดยการ CONTROL ที่ขา 4 ของ U1

1> จ่าย SUPPLY ให้กับวงจรดังรูป

2> ป้อน LOGIC "LOW" ที่ขา 1 ของ U_2A จะทำให้ขา 3 ของ U3 มีความถี่ประมาณ 400 Hz ออกมาเป็นเวลา 0.5 SEC และหยุด 0.5 SEC สลับกันไป

10.3.4 RINGING TONE GENERATOR

วงจรนี้จะมีลักษณะการทำงานเหมือนกับวงจร BUSY TONE จะต่างกันตรงที่ว่า ช่วงเวลา "ON" และ "OFF" ของสัญญาณเท่านั้น

1> จ่าย SUPPLY ให้กับวงจร

2> ป้อน LOGIC "LOW" ที่ขา 2 ของ U_4A จะทำให้ขา 3 ของ U5 มีความถี่ประมาณ 400 Hz เป็นเวลา 4 SEC และ"OFF" เป็นเวลา 1 SEC สลับกันไป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

10.4 TRANSCEIVER

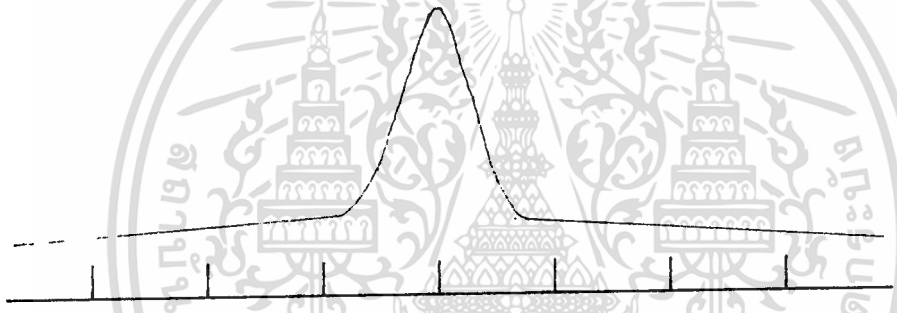
1> NOISE ที่เกิดขึ้นที่ภาค RECEIVER 27 MHz จะสูงมาก โดยเฉพาะเมื่อต่อ RF-OUTPUT เข้ากับชุดสายอากาศ (ANTENNA) เนื่องจากธรรมชาติของความถี่ย่าน HF จะมี NOISE เกิดขึ้นได้ง่าย ถึงแม้เราจะมีวงจร SEQUENCER ก็ช่วยอะไรไม่ได้มาก ดังนั้นในโครงงานนี้จะใช้ DUMMY LOAD ทำการ TERMINATED ไว้ที่ RF-OUTPUT ซึ่งเป็นผลทำให้ NOISE ดังกล่าวหายไป แต่มีผลทำให้การรับ-ส่ง ระหว่างตัว MASTER RADIO กับตัว SLAVE RADIO มีระยะทางในการติดต่อสั้นลง แต่ก็เพียงพอที่จะทำการทดลองได้ในระยะทางไม่ไกลนัก (ประมาณ 50 เมตร)

2> ความไวในการรับของภาค RECEIVER 27 MHz จะไม่ค่อยดี แต่ผู้จัดทำโครงงานได้ใช้ TRANSISTER ที่มี GAIN การขยายสูงและเป็นชนิดมาใช้สำหรับภาค RF AMP และภาค IF AMP และโดยการ ALIGHMENT IF TRANSFORMER และ COIL ต่างๆ ในภาค RF AMP ทำให้ได้ SENSITIVITY ประมาณ 1 uV. ที่ -12 dBm *(SINAD) ตรง AF OUT-PUT

3> ภาค TRANSCEIVER 27 MHz เป็นจุดหนึ่งที่มีปัญหามาก เพราะจากการทดลองแล้วที่วัดได้จะมีค่าต่ำ เช่น ประมาณ 200-300 mW. ในขณะที่กระแสในวงจรสูงมาก เช่น 1.2 AMP (TRANSMITTER จะทำงานเมื่อทำการ PTT หรือ PUSH TO TALK) แต่ผู้สร้างได้แก้ไขโดยการใช้ TRAN-SISTER ที่มี GAIN การขยายสูง และเป็นชนิด HIGH FREQUENCY พร้อมกับใช้ CAPACITOR ชนิด CERAMIC และพัน COIL ให้ MATCHING กับวงจร BAND PASS FILTTER ต่างๆ ในวงจรเป็นผลทำให้ได้ RF POWER OUTPUT ประมาณ 1.5 WATTS ในขณะที่วงจรกินกระแสไม่ถึง 1 AMP. ซึ่งทำให้ความร้อนที่เกิดขึ้นที่ตัว RF POWER AMP มีไม่มาก เป็นผลทำให้ติด HEAT SINK ขนาดเล็กๆ ได้

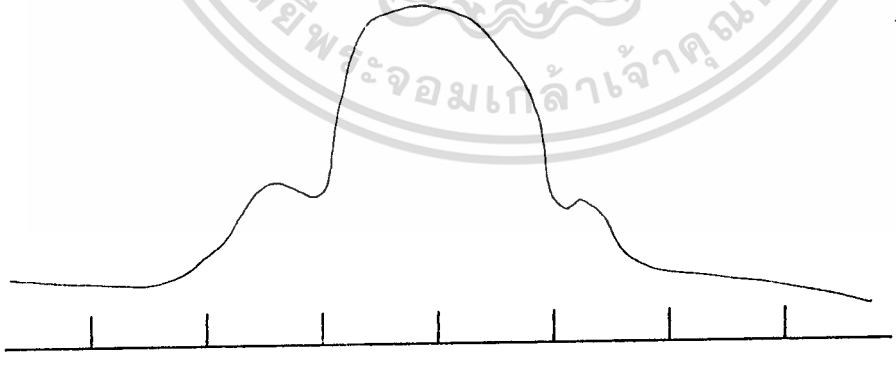
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาค TRANSMITTER 27 MHz การ ALIGHTMENT ถ้าทำไม่ถูกต้องจะทำให้ MODULATION ผิดเพี้ยนได้ง่าย และอาจทำให้เกิด HARMONIC แพร่กระจายออกอากาศไปด้วย เป็นผลทำให้เกิดการรบกวนเครื่องรับวิทยุและเครื่องรับโทรทัศน์ภายนอก แต่ในโครงงานนี้ผู้สร้างได้ทำการ ALIGHTMENT ภาค TRANSMITTER กับเครื่อง SPECTRUM ANLYZER ซึ่งในขณะที่ไม่ทำการ MODULATION จะไม่มี HARMONIC เกิดขึ้นเลย และเมื่อทำการ MODULATION แล้ว HARMONIC ก็ไม่เกิดขึ้นตามภาพข้างล่าง



27.125 MHz

SCALE 10 MHz/DIV ขณะที่ยังไม่มี MODULATION



27.125 MHz

SCALE 10 MHz/DIV ขณะที่มี MODULATION ประมาณ 90 %

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

10.5 วงจร PHONE PATCH

PHONE PATCH เป็นส่วนหนึ่งที่สำคัญมากในการทำงานของโครงงานนี้ เพราะว่าเป็นชุด INTERFACE ระหว่าง TELEPHONE กับชุด TRANSCEIVER ซึ่งการรับและส่ง จะถูกควบคุม Rx-VOX และ Tx-VOX ในชุด PHONE PATCH จังหวะที่ RECEIVER 27MHz รับสัญญาณจากภายนอกจะมี AUDIO ต่อเข้าไปยังชุด PHONE PATCH ทำให้ Rx-VOX ทำงาน และวงจรจะถูก DISABLE ชั่วขณะ จนกว่าสัญญาณที่ RECEIVER 27 MHz จะหายไป และในทำนองเดียวกับ เมื่อมี AUDIO เกิดขึ้นที่ TELEPHONE LINE จะเป็นผลทำให้ Tx-VOX ทำงาน และวงจร Rx-VOX จะถูก DISABLE ชั่วขณะจนกว่าสัญญาณที่ TELEPHONE LINE จะหายไป ดังนั้น Tx-VOX และจะเกิดขึ้นในเวลาต่างกัน

การทำงานของ PHONE PATCH จากการทดลอง ไม่พบปัญหาใดๆ จนกระทั่ง เมื่อต่อ PHONE PATCH เข้ากับ TRANSCEIVER พบว่าในขณะที่ Tx-VOX ทำงาน และเมื่อ Tx-VOX เริ่มหยุดทำงาน (เมื่อไม่มี AUDIO ใน TEL. LINE) พบว่าเกิดการ FEED BACK จาก AUDIO POWER AMP ในวงจรรูปที่ 10 เป็นผลทำให้เกิดภาวะการ ON และ OFF ของ Tx-VOX เป็นช่วงๆ ซึ่งผู้สร้างได้แก้ปัญหาโดยใช้สายชีลล์ที่จุดต่างๆ ของชุด PHONE PATCH และชุด AUDIO POWER AMP พร้อมทั้งตั้งระดับ Tx-VOX (ที่ VR1) ให้สูงขึ้น ปัญหาดังกล่าวจึงหายไป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

10.6 AUDIO POWER AMP AND COMPRESSION AMP

จากการทดลอง ใช้ IC #M2028 เป็น OP-AMP ชนิด LOW NOISE AMP & HIGH SLEW RATE ที่ซึ่งทำงานร่วมกับอุปกรณ์ภายนอก ในวงจร เพื่อทำหน้าที่เป็น COMPRESSION AMP จากการทดลองป้อน AUDIO FREQ 1 KHz LEVEL ของสัญญาณ 1 mVrms - 1 Vrms จะได้ AUDIO ออก ที่ OUTPUT (ขา 3P1)เท่ากับ 0.76 Vrms ซึ่งพบว่าสามารถควบคุม GAIN ได้ในช่วงกว้างมาก และเมื่อต่อ JP1 เข้าด้วยกัน ก็จะทำให้ AUDIO AMP ซึ่งใช้ IC#LM380N เป็น MODULATION AMPLIFIER ให้กับภาค TRANSMITTER 27MHz โดยสามารถให้ MAXIMUN MODULATION ได้สูงสุด เท่ากับ 90 % เพื่อป้องกันการเกิด MODULATION

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

10.7 SLAVE RADIO UNIT

จากทดลองพูดใส่ MIC ของ TEL หรือกดปุ่ม DTMF จะเกิด AUDIO หรือ DTMF TONE ที่หูฟัง และมีสัญญาณป้อนให้ PHONE INPUT ของชุด PHONE PATCH ทำให้มีสัญญาณออกจาก PHONE OUTPUT ไปเข้า AUDIO AMP & COMPRESSION AMP แล้วไป MODULATION กับ TRANSMITTER พร้อมกันนั้น PTT จะ ACTION LOW (นั่นคือภาวะที่ทำงาน) ขณะนี้ Rx-VOX จะถูก DISABLE

ในขณะที่มีสัญญาณเสียงออกจาก OUTPUT ของ RECEIVER จะทำให้ Rx-VOX ทำงาน เป็นผลทำให้ Tx-VOX ถูก DISABLE และขณะนี้จะได้สัญญาณเสียงออกจาก PHONE PATCH ที่ขา PHONE I/P ไปเข้า TELEPHONE ทำให้เกิดเสียงขึ้นที่หูฟังโทรศัพท์

จากการทดลองได้ผลดังนี้

TRANSMITTER ได้

RF POWER OUTPUT : 1 WATT ที่ 50 โอหม์ DUMMY LOAD

: MAXIMUM MODULATION ประมาณ 90 %

RECEIVER ได้

SENSITIVITY : 1 uV.

SINAD : -12dBm ที่ 1uV. RF I/P

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

10.8 POWER SUPPLY

จากการทดลอง ไม่มีปัญหาอะไร เนื่องจากใช้ IC REGULATE จึงทำงานได้ถูกต้อง ทั้ง +5 V., +/- 12 V. และ +13.8 V.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รายการอุปกรณ์

รายการอุปกรณ์ของวงจร PHONE PATCH

	CAPACITOR		TRANSISTOR		
C1	0.001 uF 100 V.		Q1	NPN	M9570
C2	0.22 uF 50 V.		Q2	NPN	M9594
C3	0.1 uF 50 V.		Q3	PNP	M9571
C4	0.22 uF 50 V.		Q4	NPN	M9570
C5	0.1 uF 50 V.		Q5	NPN	M9570
C6	0.22 uF 50 V.		Q6	NPN	M9568
C7	15 uF 25 V. $\pm$ 20 %		Q7	NPN	M9570
C8	0.22 uF 50 V.		Q8	NPN	M9528
C9	0.1 uF 50 V.		Q9	NPN	M9528
C10	0.1 uF 50 V.		Q10	NPN	M9570
C11	0.22 uF 50 V.		Q11	NPN	M9570
C12	10 uF 50 V.		Q12	PNP	M9571
C13	10 uF 50 V.		Q13	NPN	M9570
C14	15 uF 50 V.		Q14	NPN	M9570
C15	100 uF 50 V.		Q15	NPN	M9570

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

RESISTOR 1/4 W. 5 %

R1	PRESET 25 K ohm	R21	5.6 K ohm
R2	27 K ohm	R22	47 K ohm
R3	27 K ohm	R23	680 ohm 1/2 W.
R4	1 K ohm	R24	680 ohm 1/2 W.
R5	33 ohm	R25	4 K ohm
R6	150 K ohm	R26	1 K ohm
R7	27 K ohm	R27	12 K ohm
R8	10 ohm	R28	47 K ohm
R9	1.5 K ohm	R29	100 K ohm
R10	12 K ohm	R30	100 K ohm
R11	3.3 K ohm	R31	2.2 K ohm
R12	2.2 K ohm	R32	10 K ohm
R13	680 ohm	R33	47 K ohm
R14	150 ohm	R34	330 ohm
R15	100 K ohm	R35	10 K ohm
R16	100 K ohm	R36	47 K ohm
R17	120 K ohm	R37	15 K ohm
R18	100 K ohm	R38	820 ohm
R19	47 K ohm	R39	PRESET 1K ohm
R20	5.6 K ohm	R40	6.8 K ohm

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

R41	4.7	K ohm	R56	100	K ohm
R42	1	K ohm	R57	470	K ohm
R43	47	K ohm	R58	5.6	K ohm
R44	330	ohm	R59	5.6	K ohm
R45	4.7	K ohm	R60	47	K ohm
R46	47	K ohm	R61	680	ohm 1/2 W.
R47	1	K ohm	R62	47	K ohm
R48	12	K ohm	R63	33	ohm
R49	3.3	K ohm	R64	680	ohm 1/2 W.
R50	150	ohm	R65	22	ohm 1/2 W.
R51	2.2	K ohm			
R52	680	ohm			
R53	100	K ohm			
R54	120	K ohm			
R55	100	K ohm			

DIODE

CR1	1N4148
CR2	1N4148
CR3	1N4148
CR4	1N4148
CR5	1N4148

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รายการอุปกร์ของวงจร

COMPRESSSION AMP และ AUDIO POWER AMP

INTEGRATED CIRCUIT

U1	M 2028
U2	LM 380N

TRANSISTOR

Q1	M 9570
Q2	M 9570

RESISTOR

R1	3.3 K ohm
R2	390 K ohm
R3	1 K ohm
R4	150 K ohm
R5	180 ohm
R6	100 K ohm
R7	100 ohm
R8	470 ohm
R9	390 K ohm
R10	1 K ohm
R11	PRESET 4.7 K ohm
R12	2.2 ohm 1/2 W.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

CAPACITOR

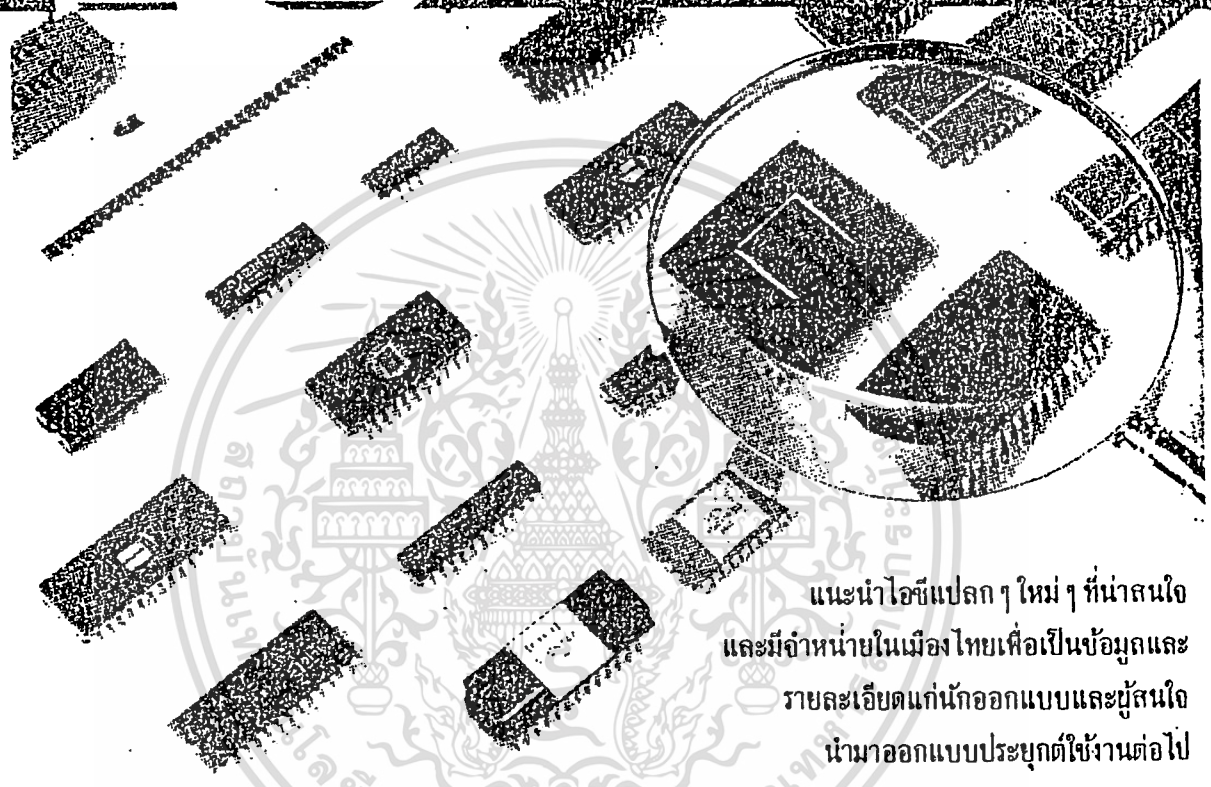
C1	0.001	uF	50	V.
C2	0.05	uF	50	V.
C3	0.22	uF	50	V.
C4	0.002	uF	50	V.
C5	22	uF	50	V.
C6	0.01	uF	50	V.
C7	0.01	uF	50	V.
C8	0.22	uF	50	V.
C9	10	uF	50	V.
C10	0.001	uF	50	V.
C11	100	uF	50	V.
C12	0.001	uF	50	V.
C13	1	uF	50	V.
C14	0.1	uF	50	V.
C15	100	uF	50	V.
C16	1	uF	50	V.

DIODE

D1	1N4148
D2	1N4148

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

IC น่าสน



แนะนำไอซีแปลก ๆ ใหม่ ๆ ที่น่าสนใจ
และมีจำหน่ายในเมืองไทยเพื่อเป็นข้อมูลและ
รายละเอียดแก่นักออกแบบและผู้สนใจ
นำมาออกแบบประยุกต์ใช้งานต่อไป

MT 8870

ใช้ถอดรหัสความถี่ของโทรศัพท์ชนิดกดปุ่ม (DTMF)
ให้เป็นตัวเลข BCD ขนาด 4 บิต
โดยใช้งานร่วมกับคริสตอล 3.579 MHz เท่านั้น

คอลัมน์ "ไอซีน่าสน" มีจุดประสงค์ในการนำรายละเอียด, ข้อมูลทางเทคนิค, การออกแบบ, ตลอดจนการประยุกต์ใช้งานของไอซีที่มีคุณสมบัติและความสามารถที่น่าสนใจเป็นพิเศษ มาเผยแพร่ต่อผู้อ่าน เพื่อการนำไปออกแบบใช้งานให้เป็นประโยชน์โดยกว้างขวางต่อไป

หากบริษัท, ร้านค้า หรือผู้จำหน่ายไอซี มีไอซีแปลกใหม่ มีจุดเด่นที่น่าสนใจ และต้องการเผยแพร่ โปรดส่งรายละเอียดข้อมูลทางเทคนิค (data) และแนวทางการออกแบบใช้งาน (application) พร้อมตัวอย่างไอซีหรือวงจรใช้งาน ไปยัง *คอลัมน์ "ไอซีน่าสน" วารสาร เซมิคอนดักเตอร์ อิเลคทรอนิคส์ บริษัท ซีเอ็ดยูเคชั่น จำกัด 800/43-45 ซอยพระโขนงสุข ถนนอโศก-ดินแดง ห้วยขวาง กรุงเทพฯ 10400*

MT8870 ไอซีถอดรหัสความถี่โทรศัพท์ (Integrated DTMF Receiver)

เมื่อเอ่ยถึงไอซีทางโทรศัพท์ ช่าง หรือวิศวกรส่วนใหญ่มักจะส่ายหน้า สาเหตุก็เนื่องมาจากบ้านเราไม่ค่อยมีผู้นำเข้ามาจำหน่าย หายาก คู่มือไม่มี ขาดการเผยแพร่ ทั้ง ๆ ที่ในปัจจุบันโทรศัพท์มีส่วนสำคัญกับชีวิตประจำวันของเรา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MT 8870

☐ ใช้ในเครื่องชุมสายขนาดย่อย หรือ PABX

☐ ใช้กับงานทางด้านโทรศัพท์ทั่วไป

☐ เครื่องกันขโมย

☐ การควบคุมอุปกรณ์ทางโทรศัพท์

☐ ใช้ทำเครื่องสอบถามทางโทรศัพท์

โครงสร้างของ MT8870

โครงสร้างภายในของ MT8870 ประกอบไปด้วยวงจรกรองความถี่และวงจรถอดรหัสฟังก์ชันทางดิจิตอล เป็นไอซีที่สร้างโดยใช้เทคโนโลยี ISO²-CMOS ในส่วนของวงจรกรองความถี่ใช้เทคนิคของสวิตช์คาปาซิเตอร์ฟิลเตอร์ สำหรับกรองความถี่สูงและต่ำ ส่วนวงจรถอดรหัสใช้เทคนิคการนับทางดิจิตอลเพื่อตรวจจับและถอดรหัสทั้ง 16 ความถี่ออกเป็นเลขฐานสองขนาด 4 บิต และเช็คช่วงเวลาที่สัญญาณเข้ามา ส่วนภาคอินพุตเป็นออปแอมป์ ซึ่งสามารถปรับอัตราขยายได้โดยต่ออุปกรณ์ภายนอก เอาต์พุตเป็นวงจรแลตช์ 3 สถานะ รูปที่ 1 แสดงขาของ MT8870 และรูปที่ 2 แสดงโครงสร้างภายในของ MT8870

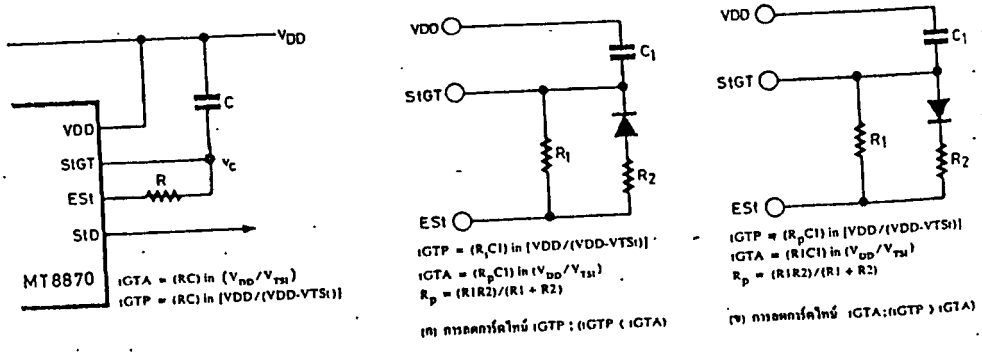
F_{LOW}	F_{HIGH}	NO	TOE	Q_4	Q_3	Q_2	Q_1
697	1209	1	H	0	0	0	1
697	1336	2	H	0	0	1	0
697	1477	3	H	0	0	1	1
770	1209	4	H	0	1	0	0
770	1336	5	H	0	1	0	1
770	1477	6	H	0	1	1	0
852	1209	7	H	0	1	1	1
852	1336	8	H	1	0	0	0
852	1477	9	H	1	0	0	1
941	1336	0	H	1	0	1	0
941	1209	*	H	1	0	1	1
941	1477	#	H	1	1	0	0
697	1633	A	H	1	1	0	1
770	1633	B	H	1	1	1	0
852	1633	C	H	1	1	1	1
941	1633	D	H	0	0	0	0
-	-	ANY	L	Z	Z	Z	Z

รูปที่ 4 แสดงค่าที่ถอดรหัสได้จากความถี่ต่าง ๆ

ฟังก์ชันการทำงานภายใน MT8870

ภายใน MT8870 ประกอบด้วยส่วนสำคัญ 5 ส่วน คือ

- ภาคกรองความถี่ (filter section)
- ภาคถอดรหัส (decoder section)
- ภาคตรวจสอบสัญญาณ (steering circuit)
- ภาคขยายสัญญาณความแตกต่าง (differential input)
- ภาคกำเนิดความถี่ (oscillator)

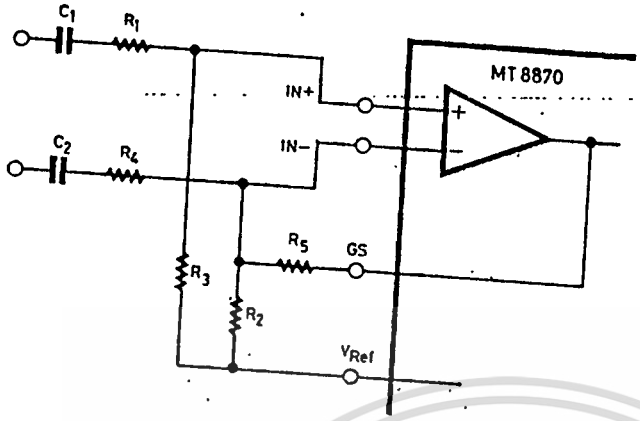


รูปที่ 5 แสดงวงจรตรวจสอบสัญญาณอย่างง่ายและแสดงการกำหนดเวลาการ์ดไทม์ (gard time) พร้อมวิธีคำนวณ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

IC น่าสน

MT 8870



ภาคขยายความแตกต่างด้านอินพุต

$C_1 = C_2 = 10$ nF

$R_1 = R_4 = R_5 = 100K\Omega$ ค่าผิดพลาด ±1%

$R_2 = 60K\Omega$, $R_3 = 37.5$ KΩ ค่าผิดพลาด ±5%

$$R_3 = \frac{R_2 R_5}{R_2 + R_5}$$

อัตราขยายแรงดัน (A_V diff) $= \frac{R_5}{R_1}$

อินพุตอิมพีแดนซ์

$$(Z_{INDIFF}) = 2\sqrt{R_1^2 + \left(\frac{1}{\omega C}\right)^2}$$

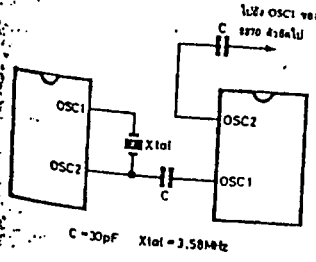
รูปที่ 6 แสดงการต่อวงจรภาคอินพุต

ภาคกรองสัญญาณความถี่

ในส่วนนี้จะแยกสัญญาณ DTMF ที่เข้ามาออกเป็น 2 กลุ่มความถี่ คือ ช่วงความถี่สูงและช่วงความถี่ต่ำ โดยใช้วงจรกรองแถบความถี่อันดับ 6 ชนิดสวิตช์คาปาซิเตอร์ (six-order switched capacitor band pass filter) ซึ่งความถี่ที่แยกได้มี 2 ช่วง คือช่วงความถี่สูงและช่วงความถี่ต่ำ

ภาคถอดรหัส

ความถี่ DTMF ที่ถูกกรองเรียบร้อยแล้วจะผ่านเข้าวงจรถอดรหัสความถี่ออกเป็นตัวเลข โดยใช้เทคนิคการนับแบบดิจิตอล และมีการตรวจสอบความถี่ที่เข้ามาว่าเป็นความถี่มาตรฐาน DTMF หรือไม่ เพื่อป้องกันความถี่อื่นเข้ามาผสม

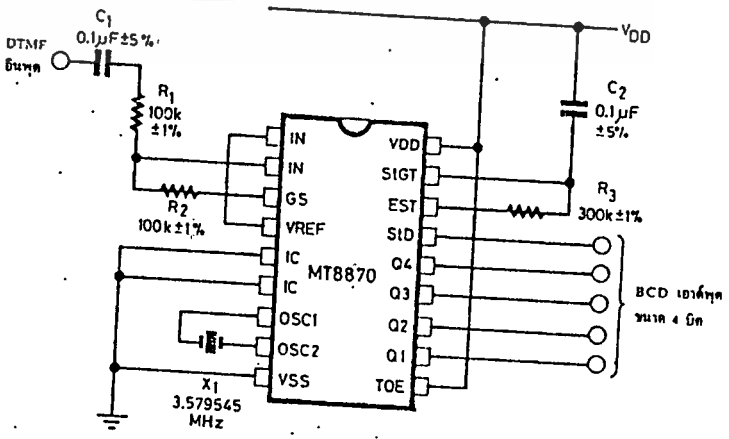


รูปที่ 7 แสดงการต่อวงจรผลิตความถี่

เมื่อตรวจสอบว่าความถี่นั้นถูกต้อง สัญญาณที่ขา ESt (early steering) ก็จะแอคทีฟ สำหรับค่าที่ถอดรหัสได้จากความถี่ต่าง ๆ นั้น แสดงในรูปที่ 4

ภาคตรวจสอบสัญญาณ

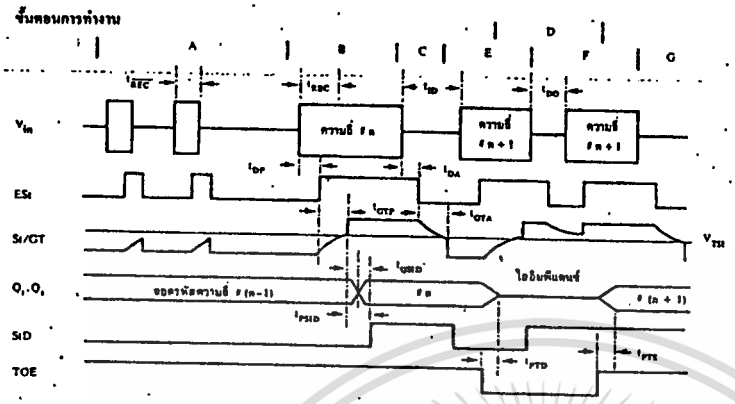
ก่อนที่จะมีการถอดรหัสความถี่ออกไปที่เอาต์พุต จะมีการตรวจสอบช่วงความถี่ที่เข้ามาว่ามีระยะเวลาตามที่กำหนดหรือไม่ โดยสังเกตจากระยะเวลาการกดปุ่มโทรศัพท์ ซึ่งต้องกดปุ่มให้มีความถี่ออกมาเป็นช่วงเวลาพอสมควร มิฉะนั้นวงจรส่วนนี้จะไม่รับ โดยถือว่าสัญญาณนั้นไม่ถูกต้อง ส่วนช่วงเวลายาวเท่าใดสามารถตั้งได้โดยใช้ RC ต่อภายนอก สัญญาณที่ขา ESt จะเป็น "High" นานใกล้เคียงกับระยะเวลาที่มีความถี่ DTMF เข้ามา จากรูปที่ 5 เมื่อขา ESt เป็น "High" ทำให้ V_C สูงขึ้น ตัวเก็บประจุ C จะคายประจุทำให้แรงดัน V_C สูงขึ้นจนถึงค่าเทรชโฮลด์ วงจรถอดรหัส จึงจะถอดรหัสออกเป็นตัวเลขขนาด 4 บิต รายละเอียดการทำงานของให้ดูจากแผนภูมิเวลาหรือไทมิ่งไดอะแกรม (timing diagram) ในรูปที่ 9 จะเข้าใจได้ง่ายกว่า



รูปที่ 8 แสดงวงจรใช้งานเบื้องต้นของ MT8870

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

MT 8870



อธิบายขั้นตอนการทำงาน

A - ตรวจพบความถี่เข้ามา แต่คาบเวลาไม่ถูกต้อง เอาต์พุตไม่เปลี่ยน

B - ความถี่ # n ถูกตรวจพบและมีคาบเวลาที่ถูกต้อง ความถี่ถูกถอดรหัส และแลตช์ไว้ที่เอาต์พุต

C - จบความถี่ # n ช่วงห่างถูกต้อง เอาต์พุตยังคงแลตช์อยู่จนกว่าจะได้รับความถี่ที่ถูกต้องใหม่

D - เอาต์พุตเปลี่ยนเป็นไฮอิมพีแดนซ์

E - ความถี่ # n + 1 ถูกตรวจพบ คาบเวลาถูกต้อง ความถี่ถูกถอดรหัสและแลตช์ไว้

F - ความถี่ # n + 1 หายไป ช่วงห่างไม่ถูกต้อง เอาต์พุตยังคงแลตช์อยู่

C - จบความถี่ # n + 1 ช่วงห่างถูกต้อง เอาต์พุตยังแลตช์อยู่จนถึงความถี่ใหม่ที่ถูกต้อง

อธิบายคำศัพท์

V_{in} - สัญญาณความถี่ DTMF ที่เข้ามา

ESt - Early Sterring output ใช้แสดงความถี่ที่ถูกต้อง

St/GT - Steering input/Guard Time output สำหรับต่อกับ RC ภายนอก

Q_1-Q_4 - เอาต์พุต BCD ขนาด 4 บิต

StD - Delayed Steering output ใช้แสดงว่าความถี่ที่ได้รับหรือหายไป มีคาบเวลาตามที่กำหนด เพื่อแสดงความถูกต้องของสัญญาณ

TOE - Tone Output Enable (input) ใช้ควบคุม Q_1-Q_4 ให้เป็นไฮอิมพีแดนซ์

$t_{\overline{REC}}$ - คาบเวลานานสุดที่ตรวจพบความถี่ DTMF แล้วยังไม่ถูกต้อง

t_{REC} - คาบเวลาสั้นสุดที่ต้องการเพื่อแสดงว่าสัญญาณถูกต้อง

t_{ID} - เวลาสั้นสุดระหว่างสัญญาณ DTMF ที่ถูกต้อง 2 สัญญาณ

t_{DO} - เวลานานสุดที่ยอมให้สัญญาณหายไปได้ในคาบเวลาความถี่ที่ถูกต้อง

t_{DP} - เวลาที่ใช้ในการตรวจพบสัญญาณความถี่ DTMF ที่ถูกต้อง

t_{DA} - เวลาที่ใช้ในการตรวจการหายไปของสัญญาณความถี่ DTMF ที่ถูกต้อง

t_{GTP} - การ์ดไทม์ของการปรากฏความถี่ DTMF

t_{GTA} - การ์ดไทม์ของการหายไปของความถี่ DTMF

รูปที่ 9 แสดงแผนภูมิเวลา (timing diagram) ของ MT8870

สำหรับคำว่าการ์ดไทม์ (gard time) นั้นหมายถึง ช่วงคาบเวลาของความถี่ที่เข้ามา ซึ่งจะต้องนานเท่ากับหรือมากกว่าช่วงเวลาที่เราตั้งไว้ จึงจะได้รับการยอมรับว่าสัญญาณความถี่นั้นถูกต้อง หรือพูดได้ว่าเวลาที่เราตั้งไว้โดย RC ก็คือการ์ดไทม์นั่นเอง เมื่อสัญญาณความถี่เข้ามานานเท่าหรือมากกว่าเวลาที่ตั้งไว้จึงจะสามารถแปลงเป็นตัวเลขได้ ถ้าสัญญาณความถี่เข้ามาสั้นกว่าก็จะไม่มีการถอดรหัสเป็นตัวเลขออกไป การตั้งเวลาและคำนวณเวลาดูได้จากรูปที่ 5

ภาคขยายสัญญาณความแตกต่าง

วงจรส่วนอินพุตของ MT8870 เป็นภาคขยายออปแอมป์ที่สามารถปรับอัตราขยายโดยต่อวงจรภายนอกเพิ่มเข้าไป รูปที่ 6 แสดงการต่อวงจรภายนอกเข้ากับอินพุตซึ่งสามารถคำนวณอัตราขยายความแตกต่างของอินพุตและอิมพีแดนซ์ได้ ดังนี้

อัตราขยาย $(A_v diff) = \frac{R_s}{R_i}$

อินพุตอิมพีแดนซ์ $(Z_{in} diff) = 2\sqrt{R_i^2 + (\frac{1}{\omega C})^2}$

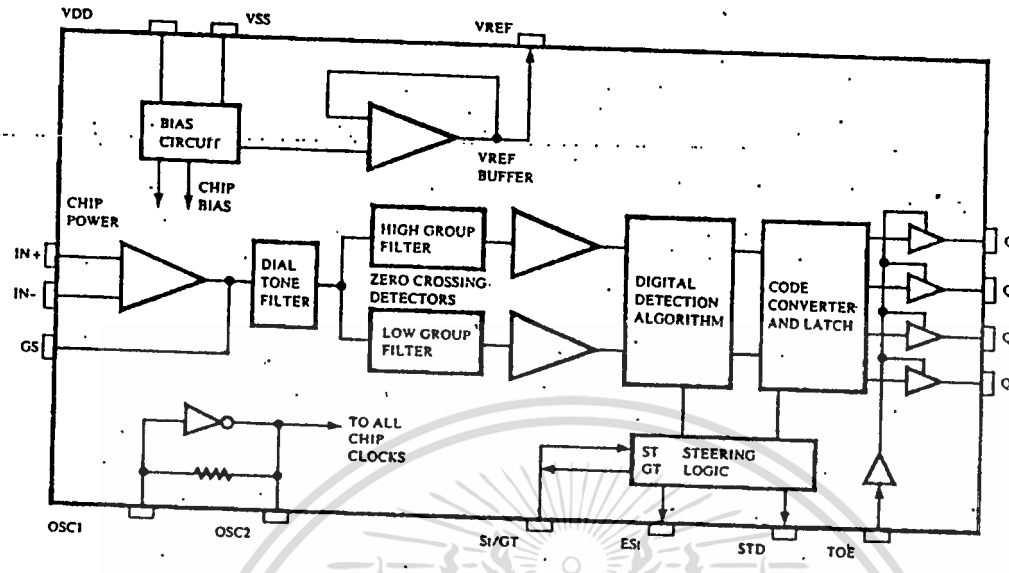
ภาคกำเนิดความถี่

ในภาคนี้ภายในไอซีจะมีวงจรเวลาอยู่ภายใน เพียงแต่ต่อแร่คริสตอลขนาด 3.58 MHz ก็สามารถใช้งานได้ทันที การต่อวงจรกำเนิดความถี่แสดงในรูปที่ 7

ไอซีถอดรหัสสัญญาณโทรศัพท์เบอร์ MT8870 นี้ มีจำหน่ายที่บริษัท อิเล็กทรอนิกส์ซอร์ส จำกัด เลขที่ 138 ถนนบ้านหม้อ กรุงเทพฯ 10200 โทรศัพท์ 225-6986 และที่บริษัท อิเล็กทรอนิกส์ ไอซีซัพพลาย เลขที่ 8 ถนนพระพิทักษ์ บ้านหม้อ กรุงเทพฯ 10200 โทรศัพท์ 2234409 ถ้าต้องการรายละเอียดหรือข้อมูลเพิ่มเติมโปรดติดต่อกับผู้จำหน่ายโดยตรง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

MT8870



รูปที่ 2 แสดงโครงสร้างภายในของ MT8870

อย่างมากมาย และนับวันก็จะยิ่งทวีความสำคัญเพิ่มมากขึ้นทุกที และอุตสาหกรรมทางด้านโทรศัพท์ และการสื่อสารก็ขยายตัวขึ้นอย่างรวดเร็ว ดังนั้นช่างหรือวิศวกรอย่างพวกเราก็น่าจะมาศึกษาเอาไว้ เพื่อจะได้นำมาใช้งานได้ในโอกาสต่อไป

ก่อนอื่นขอให้ความหมายของคำว่า *ถอดรหัสความถี่โทรศัพท์* อันหมายถึง การแปลงสัญญาณความถี่ซึ่งเกิดจากการกดปุ่มตัวเลขของโทรศัพท์ชนิดกดปุ่ม (ชนิด Tone หรือ DTMF) ให้เป็นระบบตัวเลขทางดิจิตอล ซึ่งไอซี MT8870 ใช้แปลงความถี่โทรศัพท์ให้เป็นเลขฐานสองขนาด 4 บิต

ในยุคก่อน การออกแบบวงจรถอดรหัสความถี่ของโทรศัพท์ มักใช้ไอซีจำพวกเฟสล็อกลูปซึ่งสร้างปัญหาสารพัด ไม่ว่าเรื่องของความถี่ที่เปลี่ยนแปลงไป การปรับแต่งวงจร ขนาดของวงจรที่ใหญ่ เพราะต้องใช้ไอซีจำนวนมาก

คุณสมบัติของ MT8870

☐ เป็นตัวรับและถอดรหัสความถี่ (DTMF receiver)

☐ กินไฟน้อย ใช้ไฟเลี้ยงระดับเดียวกับ TTL

☐ สามารถตั้งอัตราขยายภายในตัวไอซีได้

☐ สามารถปรับการ์ดไทม์ (Guard time) ได้

☐ เป็นไอซีคุณภาพสูง

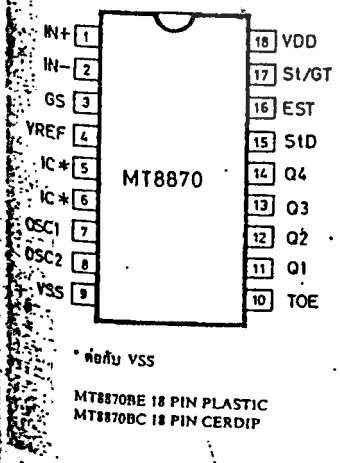
การนำ MT8870 ไปใช้งาน

☐ นำไปใช้งานด้านรีโมตคอนโทรล

☐ เครื่องป้องกันโทรศัพท์ทางไกล

☐ ใช้ในงานเกี่ยวกับเครดิตการ์ด

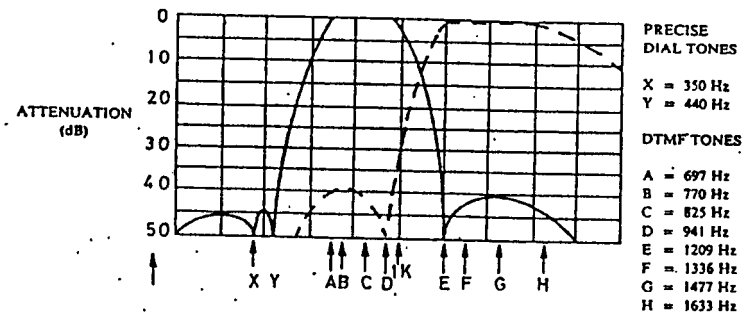
☐ ใช้งานร่วมกับคอมพิวเตอร์



* ต่อกับ VSS

MT8870BE 18 PIN PLASTIC
MT8870BC 18 PIN CERDIP

ตารางที่ 1 แสดงรายละเอียดขาของ MT8870



รูปที่ 3 แสดงความถี่ที่ได้จากภาคกรองความถี่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

National Semiconductor

October 1980

INS8048-Series Microcomputer/Microprocessor Family

General Description

The INS8048/49/50-Series microcomputers and the INS8035/39/40-Series microprocessors (hereinafter referred to as the 48-Series) are self contained, 8-bit parallel, 40-pin, dual in-line devices fabricated using National Semiconductor's scaled N-channel, silicon gate MOS process, XMOS. The 48-Series devices contain the system timing, control logic, ROM (where applicable) program memory, RAM data memory and 27 I/O lines necessary to implement dedicated control functions. All 48-Series devices are pin compatible, differing only in the size of on-board ROM (where applicable) and RAM as shown below:

DEVICE	RAM ARRAY	ROM ARRAY
INS8048	64 x 8	1K x 8
INS8049	128 x 8	2K x 8
INS8050	256 x 8	4K x 8
INS8035	64 x 8	N/A
INS8039	128 x 8	N/A
INS8040	256 x 8	N/A

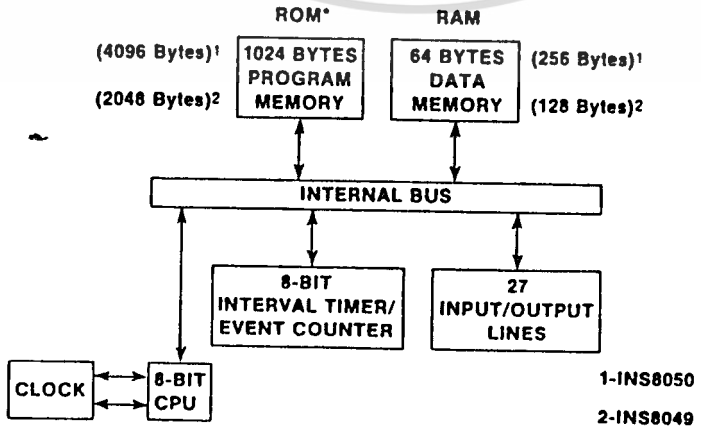
The devices are designed to be efficient controllers. They have extensive bit handling capability as well as facilities for both binary and BCD arithmetic. Efficient use of program memory is derived from an instruction set comprised predominantly of single bytes. The remaining instructions are two bytes in length. Additional external memory may be added up to a maximum of 4K bytes of program memory and 256 bytes of data memory without paging.

Features

- 8-Bit CPU, RAM, ROM, I/O in Single Package
- 2.5 μsec Cycle, 6 MHz Clock; 1.36 μsec Cycle, 11 MHz Clock
- On-Chip Oscillator Circuit and Clock (or External Source)
- 27 I/O Lines
- Expandable Memory and I/O
- 8-Bit Timer Counter
- Single Level Interrupt
- Interrupt has Schmitt Trigger with Hysteresis*
- Over 90 Instructions (Most Single Byte)
- Binary and BCD Arithmetic
- Single +5V Power Supply
- Low Standby Power Mode*
- Low Voltage Standby (2.2V Min)*
- On-Chip Battery Charging*

*NOTE: *Transparent improvements over industry standard part.*

48-Series Block Diagram



*Not Applicable to INS8035/39/40

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Absolute Maximum Ratings

Temperature Under Bias ..... 0°C to +70°C
Storage Temperature..... -65°C to +150°C
All Input or Output Voltages with respect V_{SS} ..... -0.5V to +7.0V
Power Dissipation..... 1.5 Watt

NOTE: *Absolute maximum ratings indicate limits beyond which permanent damage may occur. Continuous operation at these limits is not intended; operation should be limited to those conditions specified under DC Electrical Characteristics.*

DC Electrical Characteristics

T_A = 0° C to +70° C, V_{CC} = +5V ±10%, V_{SS} = 0V, unless otherwise specified.

Symbol	Parameter	Min	Typ	Max	Units	Test Conditions
V_{IL}	Input Low Voltage (All except XTAL1, XTAL2)	-0.5		0.8	V	
V_{IL1}	Input Low Voltage (XTAL1, XTAL2)	-0.5		0.6	V	
V_{IH}	Input High Voltage	2.0		V_{CC}	V	
V_{IH1}	Input High Voltage ($\overline{RESET}$, XTAL1, XTAL2)	3.0		V_{CC}	V	
V_{OL}	Output Low Voltage			0.4	V	I_{OL} = 2.0mA
V_{OH}	Output High Voltage All except ports 1 and 2	3.0		V_{CC}	V	I_{OH} = 100 μA
V_{OH1}	Port TTL	2.4			V	$I_{OH} \geq$ 125 μA
I_{IL}	Input Leakage Current (T1, EA, $\overline{INT}$)			±10	μA	$V_{SS} \leq V_{IN} \leq V_{CC}$
I_{OL}	Output Leakage Current (BUS, T0) (High Impedance State)			-10.0	μA	$V_{CC} \geq V_{IN} \geq V_{SS}$ + 0.45
$I_{DD\ (64)}$	64 words on Standby Current (2)			2.5	mA	8048
$I_{DD\ (128)}$	128 words on Standby Current (2)			4.5	mA	8049
$I_{DD\ (256)}$	256 words on Standby Current (2)			8.5	mA	8050
$I_{DD}+I_{CC}$	Total Supply Current 8048		30	65	mA	T_A = 25°C
$I_{DD}+I_{CC}$	Total Supply Current 8048L		25	40	mA	T_A = 25°C
$I_{DD}+I_{CC}$	Total Supply Current 8049		32	70	mA	T_A = 25°C
$I_{DD}+I_{CC}$	Total Supply Current 8049L		30	45	mA	T_A = 25°C
$I_{DD}+I_{CC}$	Total Supply Current 8050		35	75	mA	T_A = 25°C
$I_{DD}+I_{CC}$	Total Supply Current 8050L		35	50	mA	T_A = 25°C
I_{DDC}	Battery Charging Current			TBD	mA	See *Figure 5*
V_{DD}	Standby Power Supply	2.4		V_{CC}	V	See *Figure 5*

Notes: 1. The Series-48 family of parts are also available in Industrial Temperature Range -40°C to +80°C. Industrial Temperature Range versions are denoted with an I following the part number (i.e., INS8048-6XXX/NI).

2. The low power versions (L parts), and the Industrial Temperature Range (I parts), are currently available throughout the Series-48 Family.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

AC Electrical Characteristics - INS80XX-6 (1-6 MHz part)

T_A = 0° C to +70° C, V_{CC} = +5V ±10%, V_{SS} = 0V, unless otherwise specified.

Symbol	Parameter	Min	Typ	Max	Units	Test Conditions
t_{LL}	ALE Pulse Width	400			ns	Note 1
t_{AL}	Address Setup to ALE	150			ns	Note 1
t_{LA}	Address Hold from ALE	80			ns	Note 1
t_{CC}	Control Pulse Width $\overline{PSEN}$, $\overline{RD}$, $\overline{WR}$	700			ns	Note 1
t_{DW}	Data Set-Up Before $\overline{WR}$	500			ns	Note 1
t_{WD}	Data Hold After $\overline{WR}$	120			ns	C_L = 20 pF
t_{CY}	Cycle Time	2.5		15.0	μs	1 to 6 MHz XTAL
t_{DR}	Data Hold	0		200	ns	Note 1
t_{RD}	$\overline{PSEN}$, $\overline{RD}$ to Data In			500	ns	Note 1
t_{AW}	Address Setup to $\overline{WR}$	230			ns	Note 1
t_{AD}	Address Setup to Data In			950	ns	Note 1
t_{AFC}	Address Float to $\overline{RD}$, $\overline{PSEN}$	0			ns	Note 1
t_{CA}	Control Pulse to ALE	10			ns	Note 1

Port 2 Timing

Symbol	Parameter	Min	Typ	Max	Units	Test Conditions
t_{CP}	Port Control Setup before Falling Edge of PROG	110			ns	Note 1
t_{PC}	Port Control Hold after Falling Edge of PROG	140			ns	Note 1
t_{PR}	PROG to Time P2 Input must be Valid			810	ns	Note 1
t_{DP}	Output Data Setup Time	250			ns	Note 1
t_{PD}	Output Data Hold Time	65			ns	Note 1
t_{PF}	Input Data Hold Time	0		150	ns	Note 1
t_{PP}	PROG Pulse Width	1510			ns	Note 1
t_{PL}	Port 2 I/O Data Setup	400			ns	Note 1
t_{LP}	Port 2 I/O Data Hold	150			ns	Note 1

AC Electrical Characteristics - INS80XX-11 (4-11 MHz Part)

T_A = 0° C to +70° C, +5V ±10%, V_{SS} = 0V, unless otherwise specified.

Symbol	Parameter	Min	Typ	Max	Units	Test Conditions
t_{LL}	ALE Pulse Width	150			ns	Note 1
t_{AL}	Address Setup to ALE	70			ns	Note 1
t_{LA}	Address Hold from ALE	50			ns	Note 1
t_{CC}	Control Pulse Width $\overline{PSEN}$, $\overline{RD}$, $\overline{WR}$	300			ns	Note 1
t_{DW}	Data Set-Up Before $\overline{WR}$	250			ns	Note 1
t_{WD}	Data Hold After $\overline{WR}$	40			ns	C_L = 20 pF
t_{CY}	Cycle Time	1.36		3.75	μs	4 to 11 MHz XTAL
t_{DR}	Data Hold	0		100	ns	Note 1
t_{RD}	$\overline{PSEN}$, $\overline{RD}$ to Data In			200	ns	Note 1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

AC Electrical Characteristics - INS80XX-11 (Cont'd.)

Symbol	Parameter	Min	Typ	Max	Units	Test Conditions
t_{AW}	Address Set-Up to $\overline{WR}$	200			ns	Note 1
t_{AD}	Address Set-up to Data In			400	ns	Note 1
t_{AFC}	Address Float to $\overline{RD}$, $\overline{PSEN}$	-10			ns	Note 1
t_{CA}	Control Pulse to ALE	10			ns	Note 1

Port 2 Timing

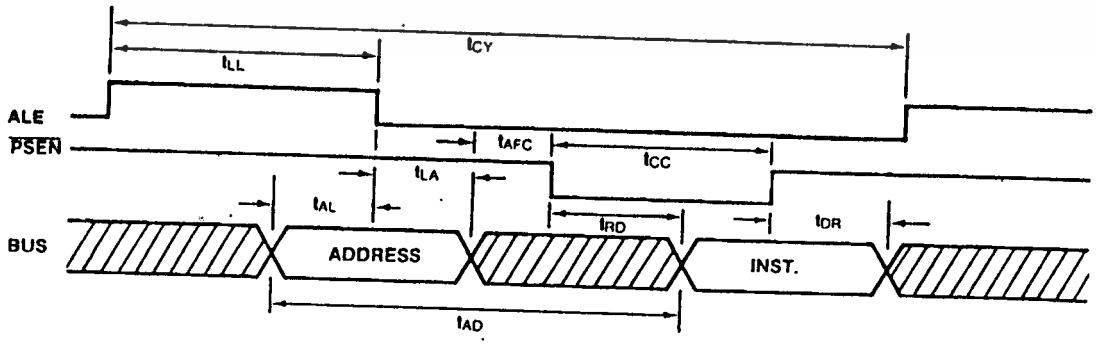
Symbol	Parameter	Min	Typ	Max	Units	Test Conditions
t_{CP}	Port Control Setup before Falling Edge of PROG	100			ns	Note 1
t_{PC}	Port Control Hold after Falling Edge of PROG	60			ns	Note 1
t_{PR}	PROG to Time P2 Input must be Valid			650	ns	Note 1
t_{DP}	Output Data Setup Time	200			ns	Note 1
t_{PD}	Output Data Hold Time	20			ns	Note 1
t_{PF}	Input Data Hold Time	0		150	ns	Note 1
t_{PP}	PROG Pulse Width	700			ns	Note 1
t_{PL}	Port 2 I/O Data Setup	150			ns	Note 1
t_{LP}	Port 2 I/O Data Hold	20			ns	Note 1

Note 1. Control outputs C_L = 80 pF; Bus outputs C_L = 150 pF

Capacitance $T_A = 25°\ C,\ V_{CC} = V_{SS} = 0V$

Symbol	Parameter	Min	Typ	Max	Units	Test Conditions
C_{IN}	Input Capacitance		6	10	pF	f_c = 1 MHz
C_{OUT}	OUTPUT AND $\overline{RESET}$ Capacitance		10	20	pF	Unmeasured pins returned to V_{SS}

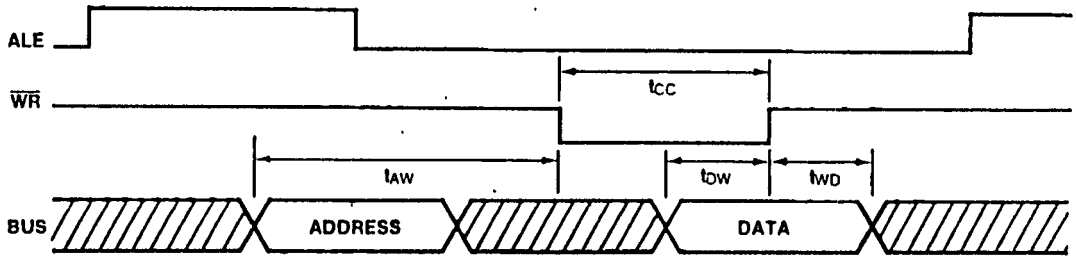
Timing Waveforms



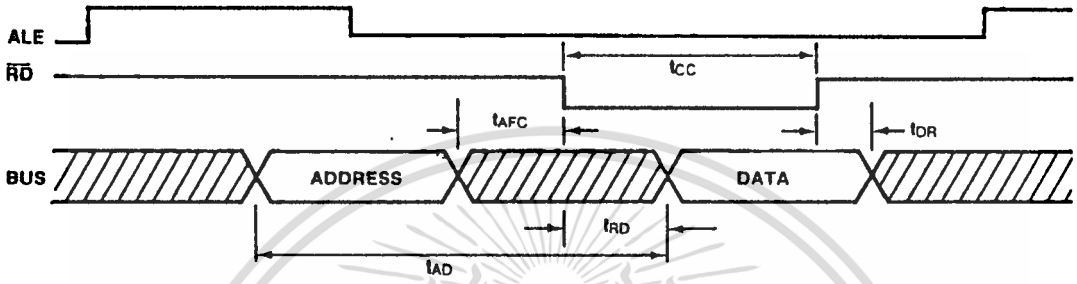
Instruction Fetch from External Program Memory 12-14

NOTE: Diagonal lines indicate interval of high impedance.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

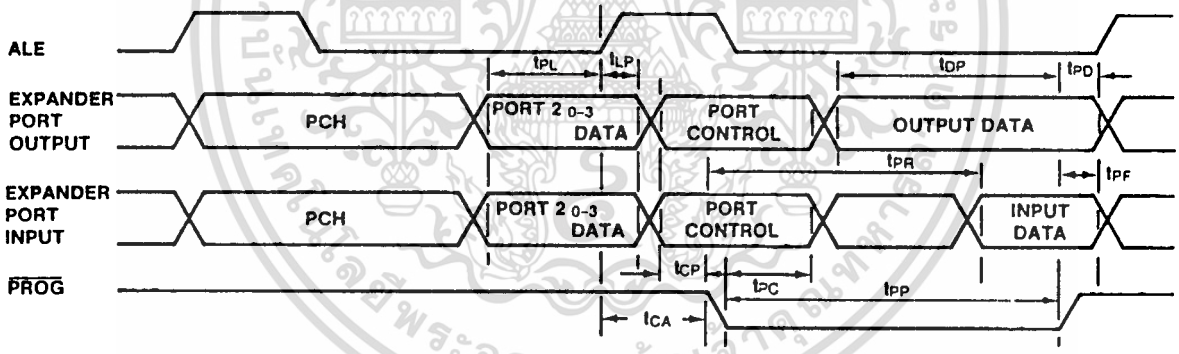


Write to External Data Memory 12-15



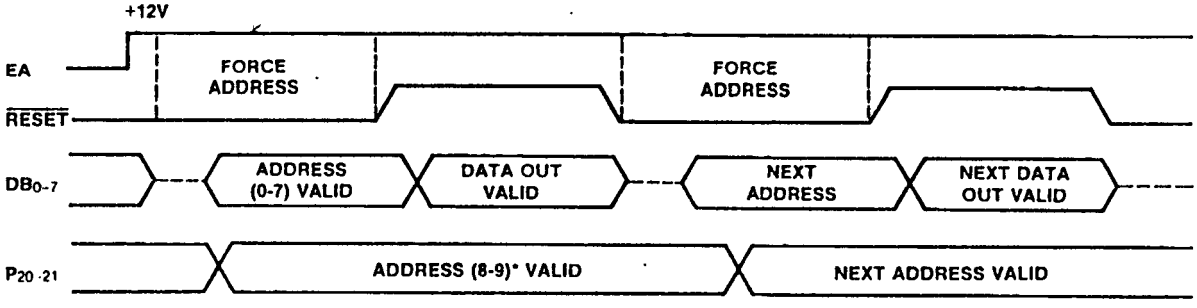
Read from External Data Memory

NOTE: Diagonal lines indicate interval of high impedance. 12-11



12-12

Port 2 Timing



*8049 = 8-10
8050 = 8-11

Verify Mode Timing 12-13

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Functional Pin Description

INPUT SIGNALS

Reset ($\overline{RESET}$): An active low (0) input that initializes the processor and is used to verify program memory. (See note #1.)

Single Step ($\overline{SS}$): Active low (0) input which, in conjunction with ALE, can single step the processor through each instruction.

External Access (EA): An active high (1) input that forces all program memory fetches to reference external program memory.

Testable Input 0 (T_0): Testable input pin using conditional branch functions JT0 (T_0 1) or JNT0 (T_0 · 0). T_0 can be designated as the clock output using instruction ENT0 CLK.

Testable Input 1 (T_1): Testable input pin using conditional branch functions JT1 (T_1 = 1) or JNT1 (T_1 = 0). T_1 can be designated as the Timer/Counter input from an external source using instruction STRT CNT.

Interrupt ($\overline{INT}$): An active low input that initiates an interrupt when interrupt is enabled. Interrupt is disabled after a reset. Also can be tested with instruction JNI (INT 0). (See Note 2).

OUTPUT SIGNALS

Read Strobe ($\overline{RD}$): An active low output strobe activated during a Bus read. Can be used to enable data onto the BUS from an external device. Used as a Read Strobe to External Data Memory.

Write Strobe ($\overline{WR}$): An active low output strobe activated during a Bus write. Used as a Write Strobe to External Data Memory.

Program Store Enable ($\overline{PSEN}$): An active low output that occurs only during an external program memory fetch.

Address Latch Enable (ALE): An active high output that occurs once during each cycle and is useful as a clock output. The negative going edge of ALE strobes the address into external data or program memory

Program (PROG): This output (active high) provides the output strobe for INS8243 I/O Expander.

INPUT/OUTPUT SIGNALS

Crystal Input (XTAL1, XTAL2): These two pins con-nect the crystal for internal oscillator operation. XTAL1 is the timing input for external source.

Port 1 (P10-P17): 8-bit quasi-bidirectional port.

Port 2 (P20-P27): 8-bit quasi-bidirectional port. During an external program memory fetch, the four high-order program counter bits occur at P20-P23. They also serve as a 4-bit I/O expander bus when the INS8243 I/O Expander is used. (See note 3).

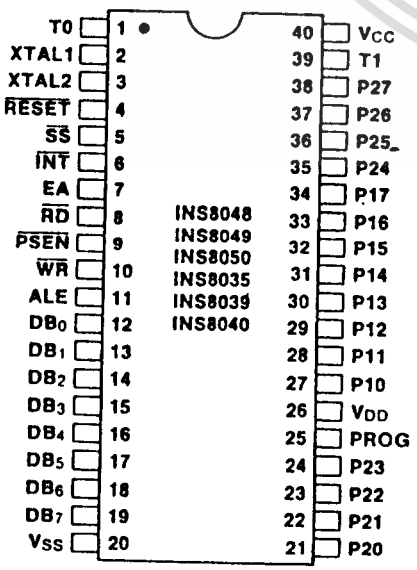
BUS (DB_0-DB_7): True bidirectional port, either statically latched or synchronous. Can be written to using $\overline{WR}$ Strobe, or Read from using $\overline{RD}$ Strobe. During an external program memory fetch, the 8 lower order program counter bits are preset at this port. The addressed instruction appears on this bus when $\overline{PSEN}$ is low. During an external RAM data store instruction. This port presents address and data under control of ALE, $\overline{RD}$, and $\overline{WR}$.

V_{SS}: Processor Ground potential.

V_{DD}: V_{DD} functions as the Low Power Stand-by Voltage and can vary from 2.2V to 5.5V.

V_{CC}: Pin 40: Primary Power Source for 48-Series Devices.

Pin Configuration



Functional Description

The following paragraphs contain the functional description of the major elements of the 48-Series microcomputer/microprocessor. *Figure 1* is a block diagram of the 48-Series devices. The data paths are illustrated in simplified form to show how the various logic elements communicate with each other to implement the instruction set common to all devices.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

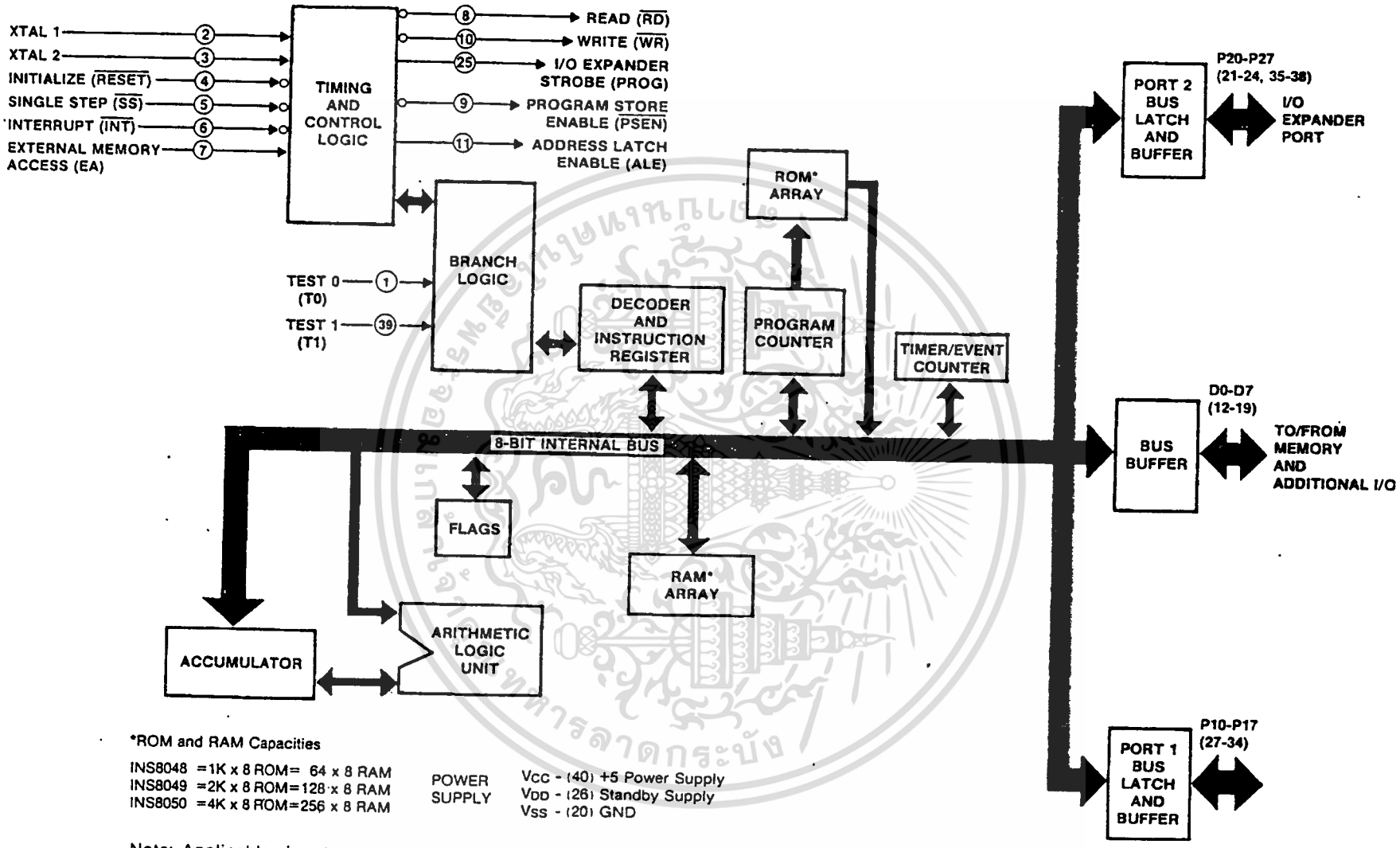


FIGURE 1. 48-Series Block Diagram

87-28

AIRCRAFT

The Program Memory (ROM) contained on the INS8048/49/50 devices is comprised of 1024, 2048 or 4096 8-bit bytes, respectively. As is seen by examining the 48-Series instruction set, these bytes may be program instructions, program data or ROM addressing data. The ROM for the above devices must be mask programmed at the National Semiconductor factory. The ROMless microprocessors, INS8035, INS8039 and INS8040 use external program memory. This makes program development straightforward using standard UV erasable PROMs to emulate a possible future single chip (using the on-board ROM) system. ROM addressing, up to a maximum of 4K, is accomplished by a 12-bit Program Counter (PC). The INS8048 and INS8049 will automatically address external memory when the boundary of their internal memories, 1K and 2K respectively, are exceeded. The binary value of the address selects one of the 8-bit bytes contained in ROM. A new address is loaded into the PC register during each instruction cycle. Unless the instruction is a transfer of control instruction, the PC register is loaded with the next sequential binary count value.

With reference to the Program Memory Map (see *Figure 2*) there are three ROM addresses which provide for the control of the microcomputer.

1. Memory Location 0000 - Resetting the Reset (negative true) input to the microcomputer forces the first instruction to be fetched from address 0000.

2. Memory Location 0003 - Asserting the Interrupt (negative true) input to the microcomputer (when interrupt is enabled) forces a jump to subroutine.

3. Memory Location 0007 - A timer/counter interrupt that results from timer/counter overflow (when enabled) forcing a jump to subroutine.

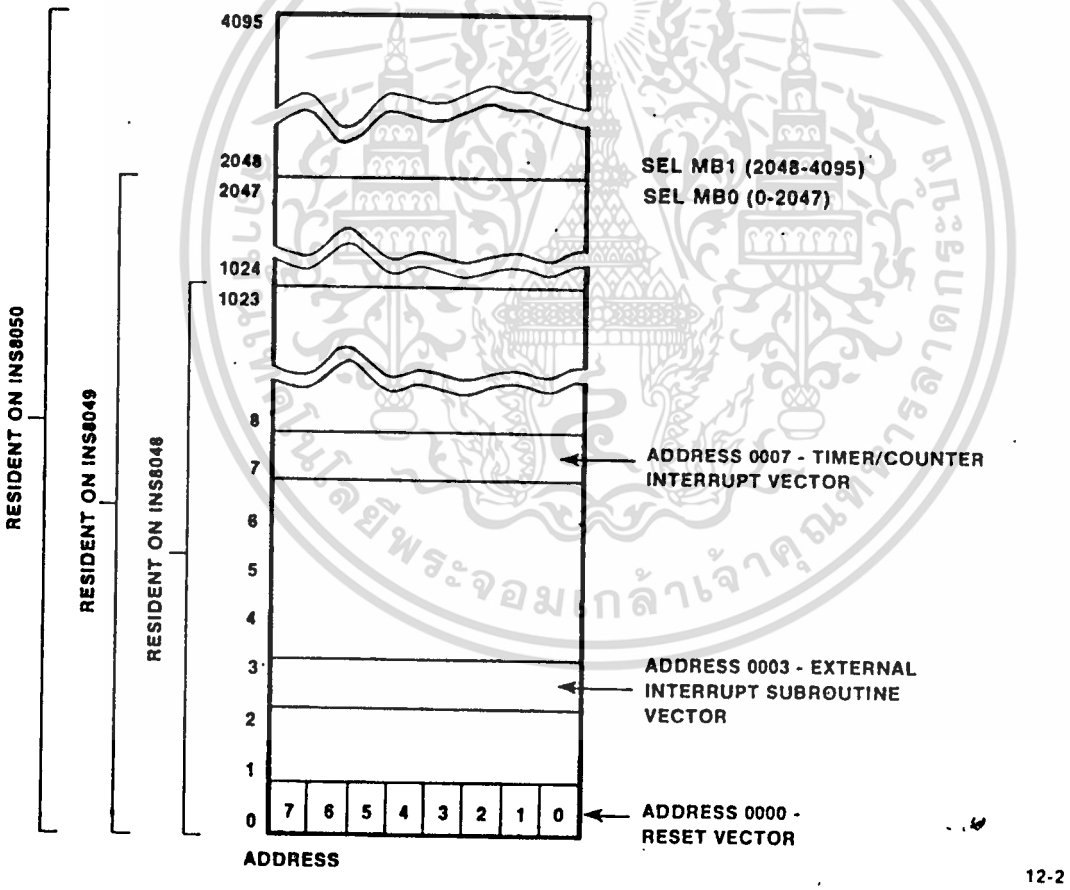


FIGURE 2. INS8048/49/50 Resident ROM Program Memory Map

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Data Memory (RAM)

The resident RAM data memory is arranged as 64 (INS8035/8048), 128 (INS8039/8049) or 256 (INS8040/8050) bytes. RAM addressing is implemented indirectly via either of two 8-bit RAM pointer registers R0 and R1. These pointer registers are essentially the first two locations in the RAM (see *Figure 3*), addresses 000 and 001. RAM addressing may also be performed directly by 11 direct register instructions. The pointer register area of the RAM array is made up of eight working registers that occupy either the first bank (0), locations (0 to 7), or the second bank (1), locations 24-31. The second bank of working registers is selected by using the Register Bank Switch instruction (SEL RB). If this bank is not used for working registers, it can be used as user RAM.

There is an 8-level stack after Bank 0 that occupies address locations 8 to 23. These RAM locations are addressed indirectly through R0, R1 or the 3-bit Stack Pointer (SP). The stack pointer keeps track of the return address and pushes each return address down into the stack. There are 8 levels of subroutine nesting possible in the stack because each address occupies 10 bits or more using two bytes in RAM. When the level of subroutine nesting is less than 8, the stacks not used may be utilized as user RAM locations.

Input/Output

The 48-Series devices have 27 lines of input output organized as three, 8-bit ports plus three test inputs. The three ports may be used as inputs, outputs or bidirectional ports. Ports 1 and 2 differ from port 3 (Bus Port) in that they are quasi-bidirectional ports. Ports 1 and 2 can be used as input and output while being statically latched. If more I/O lines are required, Port 2 can also serve as a 4-bit I/O bus expander when used in con-junction with the INS8243 I/O Expander.

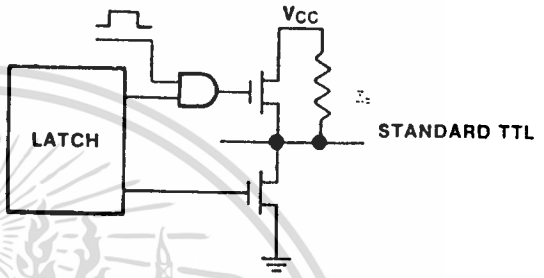


FIGURE 4. Input/Output Options

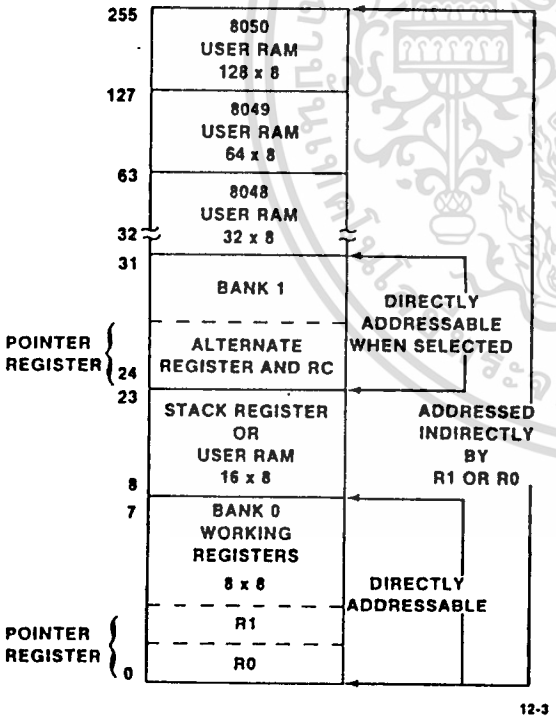


FIGURE 3. 48-Series Resident RAM Data Memory Map

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

The bus port is a true bidirectional port and is either statically latched or synchronous. It can be written to using $\overline{WR}$ strobe or read from using $\overline{RD}$ strobe. During an external program memory fetch, the 8 lower order program counter bits are preset at this port. The addressed instruction appears on this bus when $\overline{PSEN}$ is low. During an external RAM data store instruction, this port presents address and data under control of ALE, $\overline{RD}$, and $\overline{WR}$.

Transparent Improvements

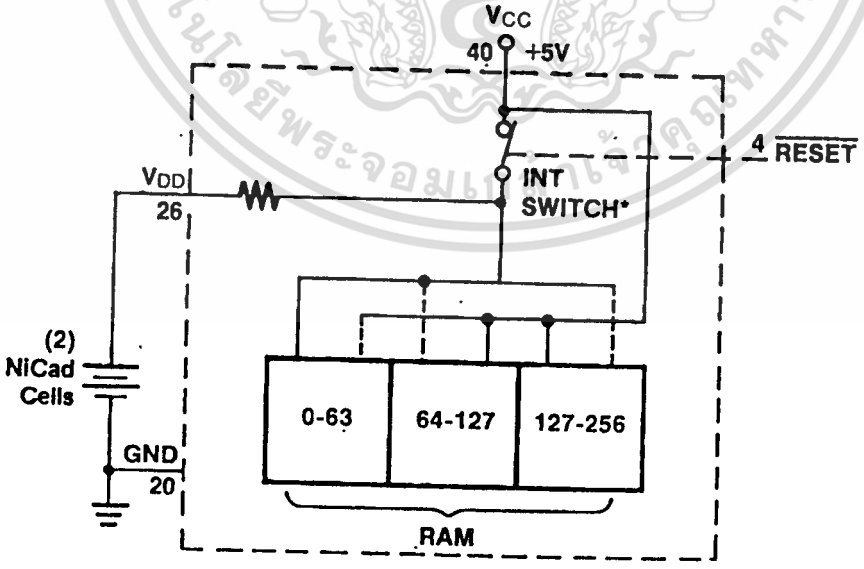
National has made some additional improvements to the standard industry parts. These include a battery charging circuit, and interrupt pin with hysteresis. Also, these improvements are transparent to the user. See *Figure 5.*

Power Down Mode

During the power down mode, V_{DD} which normally maintains the RAM cells, is the only pin that receives power. V_{CC}, which serves the CPU and ports is dropped from nominal 5 volts to 0 volt, after the CPU is reset, so that the RAM cells are unaltered by the loss of power. When power is restored, the processor goes through the normal power-on procedure.

Battery Charging Circuit

All 48-Series devices contain a circuit to provide external battery charging capabilities. Power for all on-board circuits are provided by V_{CC} (pin 40). As shown in *Figure 5* under normal operating conditions the RESET input is a logic high holding the internal switch in the closed position. V_{CC} is supplied to the program selectable portion of the RAM array through the closed contact of the internal switch. The normally closed contacts of the switch also provide charging power to the external NiCad cells. In the event of power failure, the RESET pin must be pulled low before V_{CC} drops below 4.5 volts in order to guarantee the RAM will not loose data. When the RESET pin becomes a logic low (0V) the internal switch is forced to the open condition. DC power to sustain the desired RAM data is provided by the two NiCad batteries (approximately 2.2 volts). Normally, approximately 5 volts are required to provide RAM data protection in the event of a power failure. National's innovative advances in NMOS technology provide the user with a RAM that requires 50% less voltage and 10% of the power to protect data during power failure. The on-chip charging circuit and lower RAM power requirements provide the user with a twofold saving; no external circuits required for the battery charging and only 2 NiCad cells as opposed to the normal requirement of 4 to 5 NiCad cells.



12-5

FIGURE 5. INS8049 Battery Charging Circuit

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Instruction Set

Table 1 details the 96 instructions common to both the microcomputers and the microprocessors. The table provides the mnemonic, function and description, instruction code, number of cycles and, where applicable, flag settings.

Table 1 Instruction Set

MNEMONIC	FUNCTION	DESCRIPTION	CYCLES	BYTES	FLAGS C	AC	F0	F1
		CONTROL						
EN I		Enable the External Interrupt input.	1	1				
DIS I		Disable the External Interrupt input.	1	1				
ENT0 CLK		Enable T0 as the Clock Output.	1	1				
SEL MB0	(DBF) ← 0	Select Bank 0 (locations 0 - 2047) of Program Memory.	1	1				
SEL MB1	(DBF) ← 1	Select Bank 1 (locations 2048 - 4095) of Program Memory.	1	1				
SEL RB0	(BS) ← 0	Select Bank 0 (locations 0 - 7) of Data Memory.	1	1				
SEL RB1	(BS) ← 1	Select Bank 1 (locations 24 - 31) of Data Memory.	1	1				
		DATA MOVES						
MOV A, #data	(A) ← data	Move Immediate the specified data into the Accumulator.	2	2				
MOV A, Rr	(A) ← (Rr); r = 0 - 7	Move the contents of the designated registers into the Accumulator.	1	1				
MOV A, @ Rr	(A) ← ((Rr)); r = 0 - 1	Move Indirect the contents of data memory location into the Accumulator.	1	1				
MOV A, PSW	(A) ← (PSW)	Move contents of the Program Status Word into the Accumulator.	1	1				
MOV Rr, #data	(Rr) ← data; r = 0 - 7	Move Immediate the specified data into the designated register.	2	2				
MOV Rr, A	(Rr) ← (A); r = 0 - 7	Move Accumulator contents into the designated register.	1	1				
MOV @ Rr, A	((Rr)) ← (A); r = 0 - 1	Move Indirect Accumulator contents into data memory location.	1	1				
MOV @ Rr, #data	((Rr)) ← data; r = 0 - 1	Move Immediate the specified data into data memory.	2	2				
MOV PSW, A	(PSW) ← (A)	Move contents of Accumulator into the Program Status Word.	1	1	•	•	•	
MOVP A, @ A	(PC 0 - 7) ← (A) (A) ← ((PC))	Move the content of program memory location in the current page addressed by the content of accumulator into the accumulator.	2	1				
MOVP3 A, @ A	(PC 0 - 7) ← (A) (PC 8 - 10) ← 011 (A) ← ((PC))	Move the content of program memory location in page 3 address by the content of accumulator into the accumulator.	2	1				
MOVX A, @ R	(A) ← ((Rr)); r - 0 - 1	Move Indirect the contents of external data memory into the Accumulator.	2	1				

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Table 1. Instruction Set (Cont'd.)

MNEMONIC	FUNCTION	DESCRIPTION	CYCLES	BYTES	FLAGS C	AC	F0	F1
		DATA MOVES (Cont'd.)						
MOVX @ R, A	((Rr)) ← (A): r = 0 - 1	Move Indirect the contents of the Accumulator into external data memory.	2	1				
XCH A, Rr	(A) ↔ (Rr): r 0 - 7	Exchange the Accumulator and designated register's contents.	1	1				
XCH A, @ Rr	(A) ↔ ((Rr)): r 0 - 1	Exchange Indirect contents of Accumulator and location in data memory.	1	1				
XCHD A, @ Rr	(A0 - A3) ↔ (((Rr)) 0 - 3): r 0 - 1	Exchange Indirect 4-bit contents of Accumulator and data memory.	1	1				
		TIMER COUNTER						
EN TCNTI		Enable Internal Interrupt Flag for Timer Counter output.	1	1				
DIS TCNTI		Disable Internal Interrupt Flag for Timer Counter output.	1	1				
MOV A, T	(A) ← (T)	Move contents of Timer/Counter into Accumulator.	1	1				
MOV T, A	(T) ← (A)	Move contents of Accumulator into Timer/Counter.	1	1				
STOP TCNT		Stop Count for Event Counter.	1	1				
STRT CNT		Start Count for Event Counter.	1	1				
STRT T		Start Count for Timer.	1	1				
		ACCUMULATOR						
ADD A, #data	(A) ← (A) + data	Add Immediate the specified Data to the Accumulator.	2	2	•	•		
ADD A, Rr	(A) ← (A) + (Rr) for r = 0 - 7	Add contents of designated register to the Accumulator.	1	1	•	•		
ADD A, @ Rr	(A) ← (A) + ((Rr)) for r = 0 - 1	Add Indirect the contents the data memory location to the Accumulator.	1	1	•	•		
ADDC A, #data	(A) ← (A) (C) + data	Add Immediate with carry the specified data to the Accumulator.	2	2	•	•		
ADDC A, Rr	(A) ← (A) + (C) + (Rr) for r = 0 - 7	Add with carry the contents of the designated register to the Accumulator.	1	1	•	•		
ADDC A, @ Rr	(A) ← (A) + (C) + ((Rr)) for r = 0 - 1	Add Indirect with carry the contents of data memory location to the Accumulator.	1	1	•	•		
ANL A, #data	(A) ← (A) AND data	Logical AND specified Immediate Data with Accumulator.	2	2				
ANL A, Rr	(A) ← (A) AND (Rr) for r = 0 - 7	Logical AND contents of designated register with Accumulator.	1	1				
ANL A, @ Rr	(A) ← (A) AND ((Rr)) for r = 0 - 1	Logical AND Indirect the contents of data memory with Accumulator.	1	1				
CPL A	(A) ← NOT (A)	Complement the contents of the Accumulator.	1	1				
CLR A	(A) ← 0	CLEAR the contents of the Accumulator.	1	1				
DA A		DECIMAL ADJUST the contents of the Accumulator.	1	1	•			
DEC A	(A) ← (A) - 1	DECREMENT by 1 the accumulator's contents.	1	1				
INC A	(A) ← (A) + 1	Increment by 1 the accumulator's contents	1	1				
ORL A #data	(A) ← (A) OR data	Logical OR specified immediate data with Accumulator.	2	2				
ORL A, Rr	(A) ← (A) OR (Rr) for r 0 - 7	Logical OR contents of designated register with Accumulator.	1	1				
ORL A, @ Rr	(A) ← (A) OR ((Rr)) for r 0 - 1	Logical OR Indirect the contents of data memory location with Accumulator.	1	1				

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Table 1. Instruction Set (Cont'd.)

MNEMONIC	FUNCTION	DESCRIPTION	CYCLES	BYTES	FLAGS C	AC	F0	F1
		ACCUMULATOR (Cont'd.)						
RLA	(An + 1) ← (An) for n 0 - 6 (A0) ← (A7)	Rotate Accumulator left by 1-bit without carry.	1	1				
RLC A	(An+1) ← (An); n 0-6 (A0) ← (C) (C) ← (A7)	Rotate Accumulator left by 1-bit through carry.	1	1	•			
RR A	(An) ← (An+1); n 0-6 (A7) ← (A0)	Rotate Accumulator right by 1-bit without without carry.	1	1				
RRC A.	(An) ← (An+1); n + 0-6 (A7) ← (C) (C) ← (A0)	Rotate Accumulator right by 1-bit through carry.	1	1	•			
SWAP A	(A4-A7) ← (A0 - A3)	Swap the 2. 4-bit nibbles in the Accumulator.	1	1				
XRL A, #data	(A) ← (A) XOR data	Logical XOR immediate specified data with Accumulator.	2	2				
XRL A, Rr	(A) ← (A) XOR (Rr) for r = 0 - 7	Logical XOR contents of designated register with Accumulator.	1	1				
XRL A, @ Rr	(A) ← (A) XOR ((Rr)) for r = 0 - 1	Logical XOR Indirect the contents of data memory location with Accumulator.	1	1				
		BRANCH						
DJNZ Rr, addr	(Rr) ← (Rr) -1; r = 0-7 if (Rr) ≠ 0; (PC 0-7) ← addr	Decrement the specified register and test contents.	2	2				
JBb addr	(PC 0-7) ← addr if Bb = 1 (PC) ← (PC) + 2 if Bb = 0	Jump to specified address if Accumulator bit is set.	2	2				
JC addr	(PC 0-7) ← addr if C = 1 (PC) ← (PC) +2 if C = 0	Jump to specified address if carry flag is set.	2	2				
JF0 addr	(PC 0-7) ← addr if F0 = 1 (PC) ← (PC) + 2 if F0 = 0	Jump to specified address if Flag F0 is set.	2	2				
JFI addr	(PC 0-7) ← addr if F1 = 1 (PC) ← (PC) + 2 if F1 = 0	Jump to specified address if Flag F1 is set.	2	2				
JMP addr	(PC 8-10) ← addr 8-10 (PC 0-7) ← addr 0-7 (PC 11) ← DBF	Direct Jump to specified address within the 2K address block.	2	2				
JMPP @ A	(PC 0-7) ← ((A))	Jump indirect to specified address pointed to by the accumulator in current page.	2	1				
JNC addr	(PC 0-7) ← addr if C = 0 (PC) ← (PC) + 2 if C = 1	Jump to specified address if carry flag is low.	2	2				
JNI addr	(PC 0-7) ← addr if I = 0 (PC) ← (PC) + 2 if I = 1	Jump to specified address if interrupt is low.	2	2				
JNT0 addr	(PC 0-7) ← addr if T0 = 0 (PC) ← (PC) + 2 if T0 1	Jump to specified address if Test 0 is low.	2	2				
JNT1 addr	(PC 0-7) ← addr if T1 0 (PC) ← (PC) + 2 if T1 1	Jump to specified address if Test 1 is low.	2	2				
JNZ addr	(PC 0-7) ← addr if A / 0 (PC) ← (PC) + 2 if A = 0	Jump to specified address if accumulator is non-zero.	2	2				
JTF addr	(PC 0-7) ← addr if TF = 1 (PC) ← (PC) + 2 if TF 0	jump to specified address if Timer Flag is set to 1.	2	2				
JT0 addr	(PC 0-7) ← addr if T0 1 (PC) ← (PC) + 2 if T0 0	Jump to specified address if Test 0 is a 1.	2	2				
JT1 addr	(PC 0-7) ← addr if T1 1 (PC) ← (PC) + 2 if T1 0	Jump to specified address if Test 1 is a 1.	2	2				
JZ addr	(PC 0-7) ← addr if A 0 (PC) ← (PC) + 2 if A 1	Jump to specified address if Accumulator is 0.	2	2				

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Table 1. Instruction Set (Cont'd.)

MNEMONIC	FUNCTION	DESCRIPTION	CYCLES	BYTES	FLAGS C	AC	F0	F1
		INPUT/OUTPUT						
ANL BUS, data	(BUS) ← (BUS) AND data	Logical AND Immediate specified data with contents of BUS.	2	2				
ANL Pp, data	(Pp) ← (Pp) AND data; p 1 - 2	Logical AND immediate specified data with designated port (1 or 2).	2	2				
ANLD Pp, A	(Pp) ←(Pp) AND (A0 - A3); p 4-7	Logical AND contents of Accumulator with designated port (4 - 7).	2	1				
IN A, Pp	(A) ← (Pp); p 1-2	Input data from designated port (1 - 2) into Accumulator.	2	1				
INS A, BUS	(A) ← (BUS)	Input strobed BUS data into Accumulator	2	1				
MOVD A, Pp	(A0-A3) ← (Pp); p 4-7 (A4-A7) ← 0	Move contents of designated port (4 - 7) into Accumulator.	2	1				
MOVD Pp, A	(Pp) ← (A0 - A3); p 4 - 7	Move contents of Accumulator to designated port (4 - 7).	2	1				
ORL BUS, #data	(BUS) ← (BUS) OR data	Logical OR Immediate specified data with contents of BUS.	2	2				
ORLD Pp, A	(Pp) ← (Pp) OR (A0 - A3): p 4-7.	Logical OR contents of Accumulator with designated port (4 - 7).	2	1				
ORL Pp, #data	(Pp) ← (Pp) OR data; p 1 - 2.	Logical OR Immediate specified data with designated port (1 - 2).	2	2				
OUTL BUS, A	(BUS) ← (A)	Output contents of Accumulator onto BUS.	2	1				
OUTL Pp, A	(Pp) ← (A); p 1 - 2	Output contents of Accumulator to designated port (1 - 2).	1	1				
		REGISTERS						
DEC Rr	(Rr) ← (Rr) -1; r 0-7	Decrement by 1 contents of designated register.	1	1				
INC Rr	(Rr) ← (Rr) + 1; r 0-7	Increment by 1 contents of designated register.	1	1				
INC @ Rr	((Rr)) ← ((Rr)) + 1; r 0-1	Increment Indirect by 1 the contents of data memory location.	1	1				
		SUBROUTINE						
CALL addr	((SP)) ← (PC) ((SP)) ←(PSW 4-7) (SP) ← (SP) + 1 (PC8-10) ← addr 8-10 (PC 0-7)← addr 0-7 (PC 11) ← DBF	Call designated Subroutine.	2	2				
RET	(SP) ← (SP) - 1 (PC) ← ((SP))	Return from Subroutine without restoring Program Status Word.	2	1				
RETR	(SP) ← (SP) - 1 (PC) ← ((SP)) (PSW 4-7) ← ((SP))	Return from Subroutine restoring Program Status Word.	2	1	•	•		
		FLAGS						
CPL C	(C) ← NOT (C)	Complement Content of carry bit.	1	1	•			
CPL F0	(F0) ← NOT (F0)	Complement Content of Flag F0.	1	1			•	
CPL F1	(F1) ← NOT (F1)	Complement Content of Flag F1.	1	1				•
CLR C	(C) ← 0	Clear content of carry bit to 0.	1	1	•			
CLR F0	(F0) ← 0.	Clear content of Flag 0 to 0.	1	1			•	
CLR F1	(F1) ← 0	Clear content of Flag 1 to 0.	1	1				•
		MISCELLANEOUS						
NOP		No operation	1	1				

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Symbol Definitions

SYMBOL	DESCRIPTION
A	The Accumulator
AC	The Auxiliary Carry Flag
addr	Program Memory Address (12 bits)
b	Bit Designator (b = 0 - 7)
BS	The Bank Switch
BUS	The BUS Port
C	Carry Flag
CLK	Clock Signal
CNT	Event Counter
D	Nibble Designator (4 bits)
data	Number or Expression (8 bits)
DBF	Memory Bank Flip-Flop
F_0 F_1	Flags 0, 1
I	Interrupt
P	"In-Page" Operation Designator

SYMBOL	DESCRIPTION
P	Port Designator (p = 1, 2 or 4 - 7)
PSW	Program Status Word
r	Register Designator (r = 0, 1 or 0 - 7)
SP	Stack Pointer
T	Timer
TF	Timer Flag
T_0 T_1	Testable Flags 0, 1
X	External RAM
#	Prefix for Immediate Data
@	Prefix for Indirect Address
$	Program Counter's Current Value
(x)	Contents of External RAM Location
((xx))	Contents of Memory Location Addressed by the Contents of External RAM Location.
←	Replaced By

TYPICAL APPLICATIONS

Figure 6 shows a typical way to use the 48-Series Microcomputers in a stand-alone system.

- Crystal used is:
  - Series resonant
  - AT cut
  - 1 to 6 MHz or 4 to 11 MHz

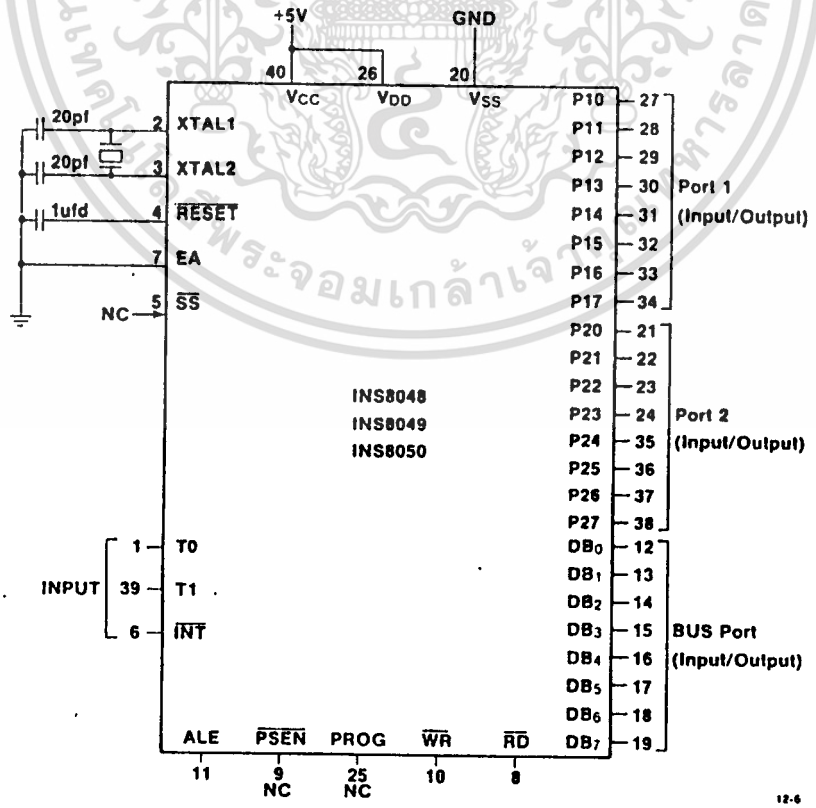


FIGURE 6. Stand-alone INS8048/49/50

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TYPICAL APPLICATIONS (Cont'd)

Figure 7 shows a typical remote data acquisition system with an INS8250 Programmable Asynchronous Communication System which can receive commands or update information from a supervisory computer. The figure also shows an INS8294 CMOS DVM that receives data at V_{IN} and displays the data on the 7-segment local display unit. Data are transferred from the INS8294 to the INS8049 via National's MICROBUS™.

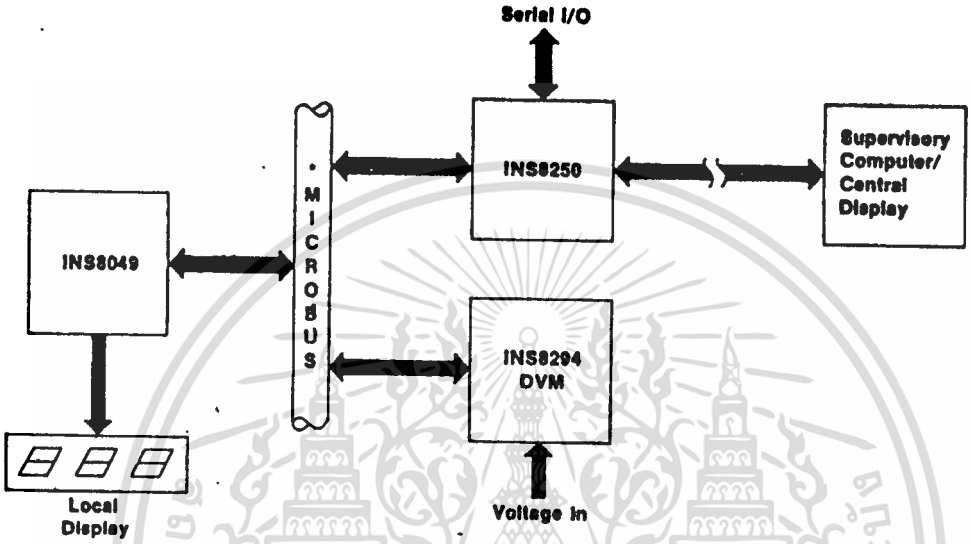


FIGURE 7. Data Acquisition System 12-7

TYPICAL APPLICATIONS (Cont'd)

Figure 8 shows a typical way to add a Input/Output Expander and Programmable Interval Timer to the 48-Series Microprocessors.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

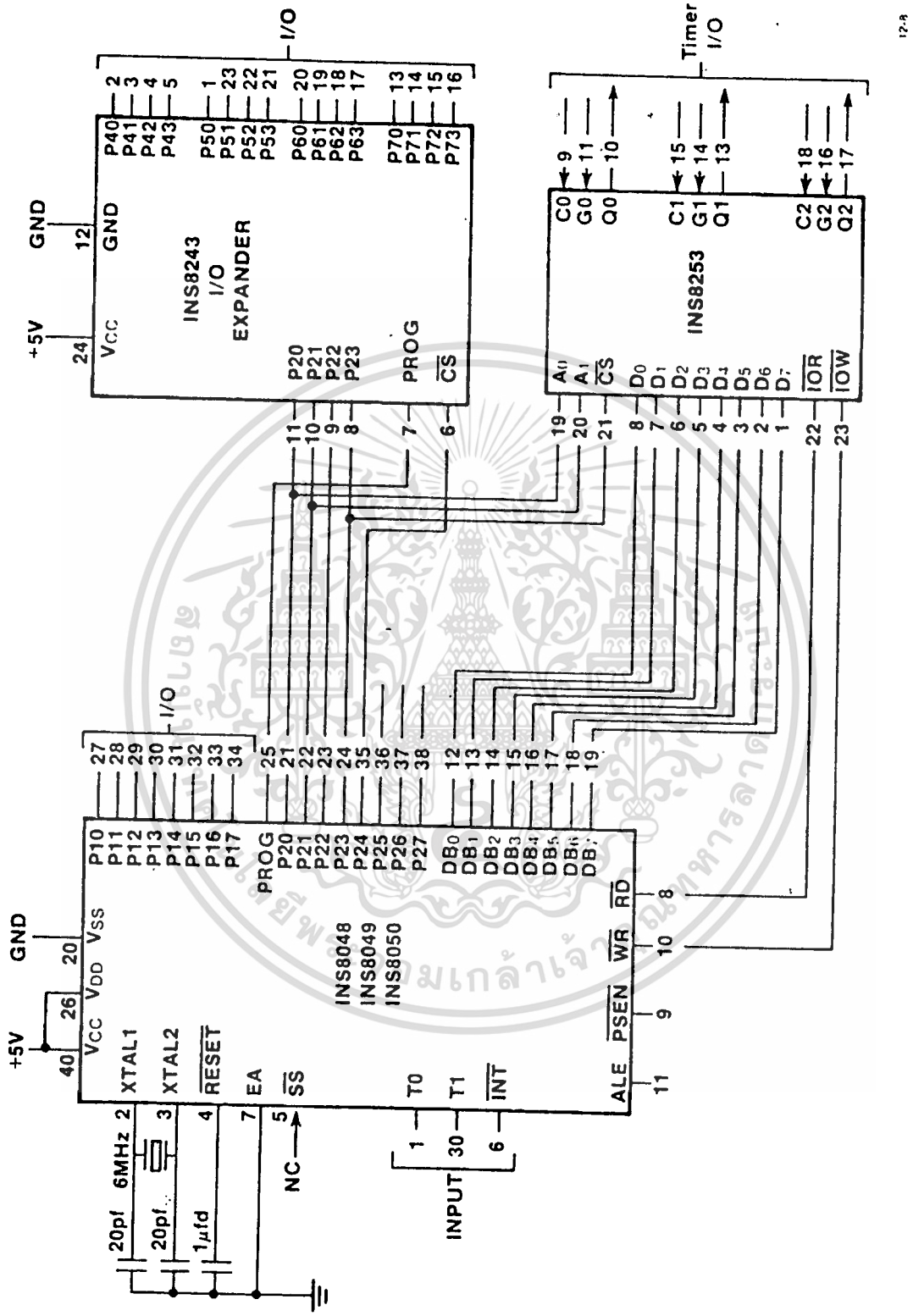


FIGURE 8. INS8253 Interval Timer

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

APPROVED FORMATS FOR CUSTOM PROGRAMMED PARTS

INPUT MEDIUM:

2716 EPROM
2708 EPROM
PAPER TAPE

IMPORTANT - EPROM LABELLING

Only one customer program may be included in a single order. The following method must be used to identify the EPROMs comprising a program.

a) The EPROMs used for storing a custom program are designated as shown:

2716:	Block A	0-2047
2708:	Block A	0-1023
	Block B	1024-2047

b) All EPROMs must be labelled (stickers, paint, etc.) with this block designation plus a customer assigned print or identification number.

Example:

1) Customer Data
- Custom Program Length - 2K
- Medium - Two 2708's
- Customer Print or I.D. No. C123-45

2) EPROM Labels

C123-45 A 0-1023

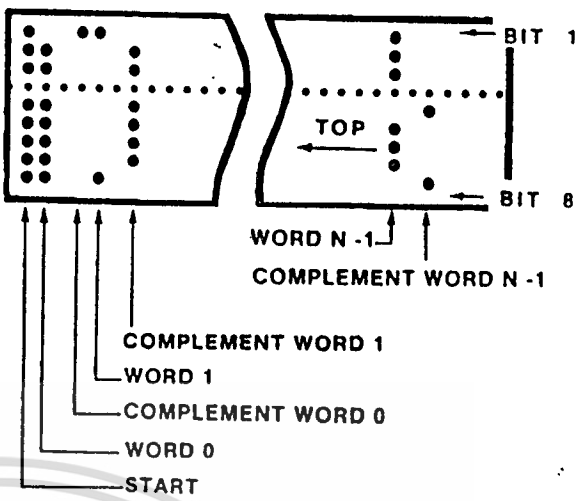
C123-45 B 1024-2047

Paper Tape

Tapes may only be submitted in binary complement format. The following information should be written on the paper tape.

Company Name
Customer Print or I.D. No.
NSC Part No.
A Punch = ("1" or "0")
This is _____ logic (POS or NEG)

BINARY COMPLEMENT FORMAT



NOTE 1: Tape must be blank except for the data words.
NOTE 2: Tape must start with a rubout character.
NOTE 3: Data is comprised of two words, the first being the actual data and the second being the complement of the data.

Verification

You will receive a listing of the options ordered and the input data. If you also wish to receive EPROMs for verification, please send additional blank EPROMs as necessary for this purpose. You can use software (the listing) or hardware (EPROMs) to verify the program.

You will be asked for a GO/NO GO response within one week after you receive the listing.

VERIFICATION LISTING

The verification listing has six sections:

1. A cover sheet with provision for "STOP, DO NOT PROCEED" or "VERIFICATION CERTIFIED" signatures.
2. Description of the options you have chosen.
3. A description of the log designations and assumptions used to process the data.
4. A listing of the data you have submitted.
5. An error summary.
6. A definition of the standard logic definitions for the ROM and the reduced form of the data. This list shows the output word corresponding to each address coded in binary.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Ordering Information for Custom Programmed Parts

The following information must be submitted with each customer microcomputer program. An order will not be processed unless it is accompanied by this information. This form acts as a Traveler from Customer through Customer Service to ROM programming. Please retain a copy of this form to compare against the verification listing. The form will be sent back to the customer by Customer Service.

	National Microcomputer Part Number
	ROM Letter Code (National Use Only)
Name	Date
Address	Customer Print or I.D. No.
City State Zip	Purchase Order No.
Telephone ( )	Name of person National can contact (Print)
Authorized Signature	Date

OPTIONS

1. Device Type (Circle One)

   8048-6 (6 MHz) 8049-6 8050-6

   8048-11 (11 MHz) 8049-11

A. Input Medium (Circle One)

   48 Series Part: 8048 8748

   EPROM: 2708 2716 2758A 2732 2758B

   Total number of EPROMs: _____

B. Verification Medium: The user will be sent one or more of the following media to verify National's reception of valid date. If any EPROM is selected. blank EPROMs must be submitted with this form.

Circle One or More

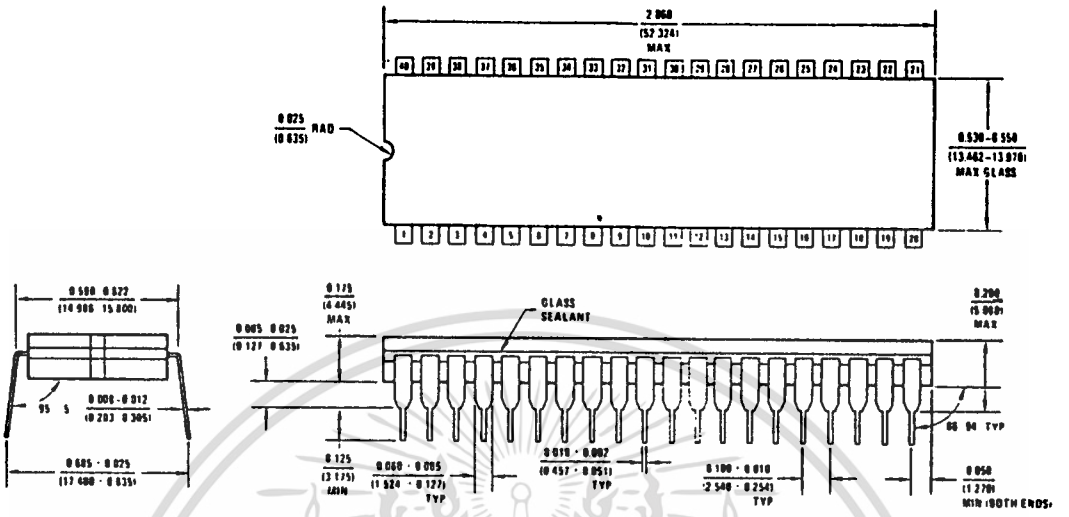
Listing: Binary MPS Format EPROM: 2708 2716 2758A 2732 2758B 8748
Hexadecimal Format

Total Number of EPROMs: _____

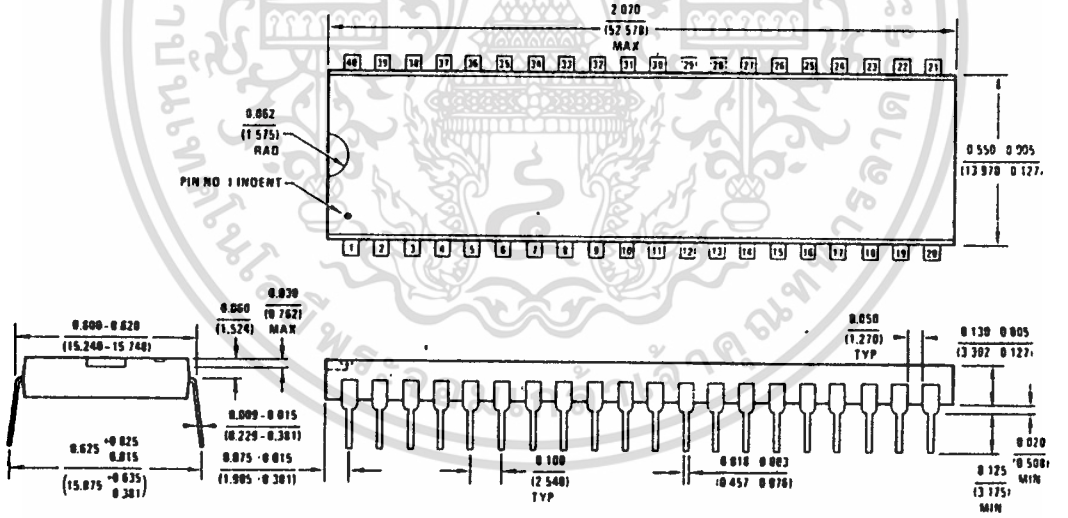
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Physical Dimensions

inches (millimeters)



Ceramic Dual-in-Line Package (J)
Order Number INS8048J



Plastic Dual-in-Line Package (N)
Order Number INS8048N

National Semiconductor Corporation
2900 Semiconductor Drive
Santa Clara, California 95051
Tel: (408) 737-5000
TWX: (910) 339-9240

National Semiconductor GmbH
Eisenheimerstrasse 61/II
8000 Munchen 21
West Germany
Tel: (089) 57-6091
Telex: 05-22772

NS International Inc., Japan
Miyake Building
1-9 Yotsuya, Shinjuku-ku 160
Tokyo, Japan
Tel: (03) 355-3711
TWX: 232-2015 NSCJ J

National Semiconductor (Hong Kong) Ltd
8th Floor
Cheung Kong Electronic Bldg
4 Hing Yip Street
Kwun Tong
Kowloon, Hong Kong
Tel: J-899235
Telex: 73866 NSI HX HX
Cable: NATSEMI

NS Electronics Do Brasil
Avda Brigadeiro Faria Lima 844
11 Andar Conjunto 1104
Jardim Paulistano
Sao Paulo, Brasil
Telex:
1121008 CABINE SAO PAULO

NS Electronics Pty Ltd
Cnr. Stud Rd. & Mtn. Highway
Bayswater, Victoria 3153
Australia
Tel: 03 729 6333
Telex: 32096

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของลิขสิทธิ์ทุกครั้งที่มีการนำไปใช้

National does not assume any responsibility for use of any circuitry described, no circuit patent licenses are implied and National reserves the right at any time without notice to change said circuitry

กิตติกรรมประกาศ

การทำปริญญานิพนธ์ เรื่อง AIRCRAFT PHONE LINK TELEPHONE ผู้จัดทำต้องขอขอบคุณ ผู้ช่วยศาตราจารย์ นิกร สุขุตมตันติ ในฐานะอาจารย์ที่ปรึกษา ในการทำปริญญานิพนธ์ครั้งนี้ ที่ให้คำแนะนำและแนวทางแก้ไข จนทำให้ปริญญานิพนธ์ฉบับนี้สำเร็จลงได้ด้วยดี

นายเกื้อกูล หาสาสน์ศรี
นายวินัย สงวนพร้อม
นายสมศักดิ์ อัศกิจธนานนท์
นายสุรจิตร มณีโชติ
นายสุรพร สมบรูณ์
นายนพลินธุ์ หล่อสุพรรณพร

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บรรณานุกรม

1. 48-SERIES MICROPROCESSORS HAND BOOK. NATIONAL SEMICONDUCTOR.

2. วารสาร เซมิคอนดัคเตอร์ อิเล็กทรอนิกส์. ซีเอ็ด ยูเคชั่น, เล่มที่ 88, หน้า 210-214.

3. RADIO HAND BOOK P.7.1-7.26,1980.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้