ปีการศึกษา 2533

การออกแบบวงจรรวมขนาดใหญ่มาก

(Very Large Scale Integrated Circuit Design)

จัดทำโดย

นาย พีรพล แดงสุภา 30.1197

นาย ศิริศักดิ์ วินิจสร 30.1277

อาจารย์ที่ปรึกษา

อ.บรรจง ปิยชำรง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

027850

12 ก.ค. 2534

ปริญญานิพนธ์ปีการศึกษา 2533

ภาควิชา วิศวกรรมคอมพิวเตอร์

คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้า เจ้าคุณทหาร ลาดกระบัง

เรื่อง การออกแบบวงจรรวมขนาดใหญ่มาก

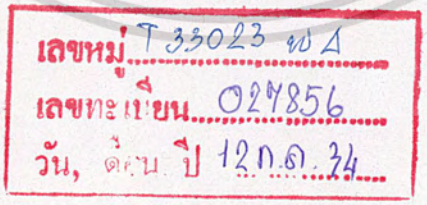
คณะผู้จัดทำ

1. นาย พีรพล แดงสุภา 30.1197

2. นาย ศิริศักดิ์ วินิจสร 30.1277

_____ อาจารย์ที่ปรึกษา

(อ.บรรจง ปิยธำรง)



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การออกแบบวงจรรวมขนาดใหญ่มาก

(Very Large Scale Integrated Circuit Design)

โดย

นาย พีรพล แดงสุภา

นาย ศิริศักดิ์ วินิจสร

อาจารย์ที่ปรึกษา

อ.บรรจง ปิยธำรง

ปริญญานิพนธ์สำหรับปริญญาวิศวกรรมศาสตร์บัณฑิต

สาขาวิชา วิศวกรรมคอมพิวเตอร์

คณะวิศวกรรมศาสตร์

สถาบันเทคโนโลยีพระจอมเกล้า เจ้าคุณทหาร ลาดกระบัง

ปีการศึกษา 2533

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบาญ

บทคัดย่อ

ABSTRACT

บทที่ 1 บทนำ 1

บทที่ 2 ทฤษฎี ไอซี 6845 3

บทที่ 3 หลักการออกแบบวงจร 13

บทที่ 4 ความรู้ทั่วไปเกี่ยวกับ พีแอลดี (PLD) 19

บทที่ 5 ผลการออกแบบวงจร 27

บทที่ 6 สรุปผลและวิจารณ์ 53

ภาคผนวก 54

กิตติกรรมประกาศ 74

บรรณานุกรม 75

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การออกแบบวงจรรวมขนาดใหญ่มาก

อ.บรรจง ปิยธำรง อาจารย์ที่ปรึกษา
พิรพล แดงสุภา
ศิริศักดิ์ วินิจสร
ปีการศึกษา 2533

บทคัดย่อ

ในปริญญานิพนธ์ฉบับนี้ ขอนำเสนอการประยุกต์ใช้เทคโนโลยี การออกแบบวงจรรวมขนาดใหญ่ (Very Large Scale Integrated Circuit Design : VLSI) เพื่อทำการออกแบบวงจรควบคุมจอภาพ โดยเลียนแบบการทำงานชิพ (Chip) ไอซี (Integrated Circuit : IC) ตระกูล 6845 โดยใช้ซอฟท์แวร์ออร์แคดเอสดีที (OrCAD Schematic Design Tools : OrCAD SDT) ช่วยในการเขียนวงจรระดับโลจิก (Logic) และใช้ซอฟท์แวร์ออร์แคดวีเอสที (OrCAD Verification and Simulation Tools : OrCAD VST) ทำการจำลองการทำงาน (Simulate) จากนั้นนำวงจรโลจิกที่ได้ไปทำไอซี โดยใช้เทคนิคการทำพีแอลดี (Programmable Logic Device : PLD) ซึ่งจะได้ชิพไอซีออกมา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Very Large Scale Integrated Circuit Design

Bunjong Piyatamrong Advisor

Peerapol Dangsupa

Sirisak Vinijsorn

1991

Abstract

This thesis presents an application of a Very Large Scale Integreted Circuit Designs (VLSI) technique in implementing a Cathode-Ray Tube (CRT) controlled circuit by imitating the functions of 6845 Integrated Circuit (IC) chip .

First, the controlled circuit is written into a logic form by using the Schematic Design Tools (OrCAD SDT) software and then simulated its operation by the Verification and Simulation Tools(OrCAD VST) software . After the logic state, it is finally built into an IC form by using Programmable Logic Devices (PLD) technique.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 1

บทนำ

จากอดีตจนถึงปัจจุบัน เทคนิคการทำไอซีได้มีการพัฒนาขึ้นมาก คือ สามารถแบ่งไอซีต่าง ๆ ได้ 4 ช่วง โดยบนชิพหนึ่ง ๆ มีจำนวนทรานซิสเตอร์ (Transistor) ตั้งแต่ 2 ตัว จนกระทั่งถึง 50,000 ตัว โดยที่วงจรทรานซิสเตอร์นี้ได้ถูกนำมารวมเป็นวงจรทางอิเลคโทรนิคส์ (Electronic circuit) ซึ่งเรียกว่า ชิพ (Chip) หรือ ไอซี (IC : Integreted Circuit)

อาจจำแนกไอซีได้ตามขนาดความจุของจำนวนชิ้นส่วนที่รวมอยู่ในชิพได้ดังนี้

1.วงจรรวมขนาดเล็ก (Small Scale Integrations) ได้แก่ไอซีที่มีจำนวน ทรานซิสเตอร์ประมาณไม่เกิน 100 ตัว เช่น เกท (Gate) ต่าง ๆ

2.วงจรรวมขนาดกลาง (Medium Scale Integrations) ได้แก่ไอซีที่มีจำนวนทรานซิสเตอร์ประมาณ 100 - 1,000 ตัว เช่นพวกวงจรนับ (Counter), มัลติเพลกเซอร์ (Multiplexer) และ แอดเดอร์ (Adder)

3.วงจรรวมขนาดใหญ่ (Large Scale Integrations) ได้แก่ ไอซีที่มีจำนวน ทรานซิสเตอร์ประมาณ 1,000 - 20,000 ตัว เช่น พวกไมโครโปรเซสเซอร์ (Microprocessor) ขนาด 8 บิท ,รอม (ROM : Read Only Memory) และแรม (RAM : Random Access Memory)

4.วงจรรวมขนาดใหญ่มาก (Very Large Scale Integrations)ได้แก่ ไอซีที่มีจำนวนทรานซิสเตอร์ประมาณ 20,000 - 50,000 ตัว เช่น พวกไมโครโปรเซสเซอร์ขนาด 16 และ 32 บิท วงจรรวมชนิดนี้มักเรียกว่า วีแอลเอสไอชิพ (VLSI chip)

นอกจากนี้ยังมีการคาดว่าในอีกไม่กี่ปีข้างหน้า ตัวโปรเซสเซอร์ชนิดพิเศษจะประกอบด้วยทรานซิสเตอร์ซึ่งมากกว่า 500,000 ตัว

เทคโนโลยี (Technology) การออกแบบชิพนั้นได้แบ่งตามลักษณะการออกแบบซึ่งสามารถแบ่งออกได้เป็น 4 ลักษณะ คือ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

1.การออกแบบในลักษณะฟูลล์คัสตอม (Full Custom Dedisn) เป็นการออกแบบในระดับทรานซิสเตอร์ (Transister Level) มีจุดประสงค์เพื่อออกแบบพัฒนาให้ชิพที่ต้องการนั้นมีประสิทธิภาพสูงสุดเนื่องจากการออกแบบจะสามารถใช้เนื้อที่ได้อย่างมีประสิทธิภาพ แต่การวางอุปกรณ์ที่ใช้ออกแบบนั้นมีราคาแพง

2.การออกแบบในลักษณะสแตนดาร์ดเซล(Standard Cell) จะมีเซล (Cell) ที่ทำงานเป็นเกท (Gate) ต่าง ๆ เช่น ดีฟลิปฟลอป (D-Flipflop),อินเวอร์ทเตอร์ (Inverter) ฯลฯ ไว้ให้เลือกในการออกแบบเหมือนการออกแบบไอซีทั่วไป

การทำงานจะเริ่มจากการออกแบบสกีเมติกไฟล์ (Schematic File) ลงบนเวอร์คสเตชั่น (Work Station)และคอมไพล์ (Compile)เป็นเน็ตลิสท์ไฟล์ (Netlist File) และทำการเชื่อมต่อส่วนที่ออกแบบไว้โดยการลากสายอัตโนมัติ

การออกแบบในลักษณะเซลมาตรฐาน จะมีพื้นที่ที่ใช้จัดวางอุปกรณ์ที่แน่นอน และต้องใช้เนื้อที่ในการลากสายเชื่อมโยง ดังนั้นจึงทำให้ต้องใช้เนื้อที่สิ้นเปลือง

3.การออกแบบในลักษณะเกทอาร์เรย์ (Gate Array) มีลักษณะในการออกแบบคล้ายกับการออกแบบในลักษณะสแตนดาร์ดเซล

4.การออกแบบในลักษณะยูสเซอร์คอนฟิกกูเรเบิ้ลอาร์เรย์ (User Configurable Array) อุปกรณ์เหล่านี้คือพวกพีแอลเอ (PLA : Programmable Logic Array) และอีพีแอลดี (EPLD : Erasable Programmable Logic Devices)

อุปกรณ์อีพีแอลดีของบริษัทออลเทอรา (Altera) ใช้อีพรอม (EPROM : Erasable Programable Read Only Memory) ในการโปรแกรม เพื่อประโยชน์ในการแก้ไขข้อมูล สามารถทำได้โดยง่าย

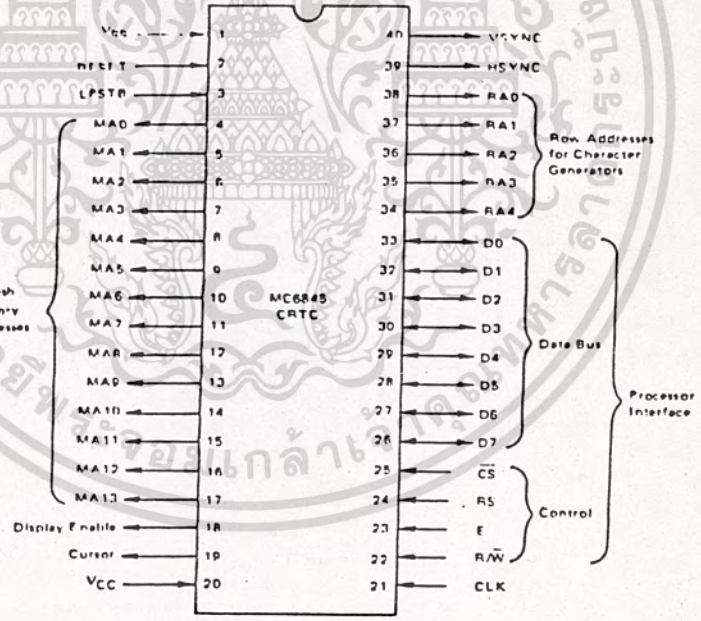
ในการทำงานในครั้งนี้ คณะผู้จัดทำได้นำวิธีของบริษัทออลเทอรามาใช้ โดยออกแบบวงจรเป็นระดับโลจิก และทำการโปรแกรมลงบนอีพีแอลดี ซึ่งกำหนดให้อีพีแอลดีนั้นมีลักษณะการทำงานเลียนแบบชิพไอซี 6845 ซึ่งเป็นชิพไอซีควบคุมการทำงานจอภาพ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 2

ทฤษฎีไอซี 6845

6845 เป็นไอซีขนาด 40 ขาสัญญาณ ที่ใช้ในการควบคุมการทำงานของจอภาพ (Cathode-Ray Tube Controller : CRTC) ได้ทั้งแบบตัวอักษร (Text) และแบบกราฟิก (Graphic) โดยการโปรแกรมค่ากำหนดพารามิเตอร์ (Parameter) การทำงานต่าง ๆ ผ่านไปทางรีจิสเตอร์ภายใน (Internal Register)ทำให้มีความคล่องตัวที่จะโปรแกรมโหมด (Mode) ต่าง ๆ ตามต้องการได้ การจัดวางขา 40 ขา แสดงไว้ดังรูปที่ 2.1



รูปที่ 2.1 ลักษณะขาสัญญาณของไอซี 6845

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ขาสัญญาณทั้ง 40 ขา ที่ใช้งานแยกเป็น 3 กลุ่ม คือ

1. กลุ่มที่เชื่อมโยงกับโปรเซสเซอร์ (Processor Interface)
2. กลุ่มที่ใช้ควบคุมซีอาร์ที (CRT Control)
3. กลุ่มที่เชื่อมต่อกับหน่วยความจำแสดงผล (Refresh Memory/Character Generator Addresss)

1. กลุ่มที่เชื่อมโยงกับโปรเซสเซอร์ (Processor Interface)

6845 เชื่อมโยงกับโปรเซสเซอร์โดยใช้บัสข้อมูล (Data Bus) 2 ทิศทาง ซึ่งใช้สัญญาณควบคุมคือสัญญาณชิพซีเลคท์ (Chip Select : CS) , สัญญาณรีจิสเตอร์ซีเลคท์ (Register Select), สัญญาณอีนาเบิล (Enable : E) และ สัญญาณอ่านหรือเขียน (Read/Write : R/W)

บัสข้อมูล (Data Bus : D_0-D_7) เป็นส่วนเชื่อมต่อกับบัสข้อมูลเพราะส่วนนี้เป็นแบบสองทิศทางเพื่อเชื่อมต่อกับบัสของซีพียู (Central Processor Unit : CPU) เพื่อให้ซีพียูส่งข้อมูลมายังรีจิสเตอร์ภายในของ 6845 หรืออ่านข้อมูลไปตรวจสอบได้

ชิพซีเลคท์ (Chip Select : CS) เป็นขาที่ใช้สำหรับเลือกชิพ ในการเลือกการติดต่อกับไอซี 6845 จะต้องส่งสัญญาณมาเลือกชิพผ่านทางขานี้

รีจิสเตอร์ซีเลคท์ (Register Select : RS) เป็นสัญญาณเลือกรีจิสเตอร์ที่อยู่ภายในไอซี 6845 ซึ่งมีรีจิสเตอร์อยู่ 19 ตัว

อ่าน/เขียน (READ/WRITE : R/W) เป็นสัญญาณสำหรับบอกไอซี 6845 ในการทำงานในโหมดเขียนหรืออ่าน ค่าที่อยู่ในรีจิสเตอร์ภายใน

อีนาเบิล (ENABLE : E) เป็นสัญญาณอีนาเบิล ใช้สำหรับอีนาเบิลบัฟเฟอร์ (Buffer) ที่อยู่ภายในไอซี 6845 และสัญญาณนาฬิกา (CLOCK) ให้ติดต่อเข้าและออกจากรีจิสเตอร์ภายในผ่านบัสข้อมูล

สัญญาณนาฬิกา (Clock : CLK) เป็นสัญญาณนาฬิกาที่ใช้ภายนอกควบคุมจุดภาพเพื่อการทำงานซิงโครไนซ์ (Synchronize) กับการทำงานภายใน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รีเซ็ต (Reset) เป็นสัญญาณที่ใช้เพื่อกำหนดการทำงานใหม่ หรือกำหนดค่าเริ่มต้น ดังนี้

1.วงจรนับทุกตัวภายในไอซี 6845 จะถูกรีเซ็ตให้เป็นศูนย์ และจะหยุดการแสดงผล

2.เอาท์พุท (Output) ทุกตัวจะถูกรีเซ็ตให้เป็นศูนย์

หมายเหตุ : สัญญาณซิงค์ในแนวนอน (Horizontal Synchronous) จะไม่แสดงค่าใด ๆ จนกว่ารีจิสเตอร์อาร์ 2 (R_2) จะถูกโปรแกรม

3.ค่าในรีจิสเตอร์ควบคุม (Control Register) จะไม่เปลี่ยนแปลง

2.กลุ่มที่ใช้ควบคุมจอภาพซีอาร์ที (CRT Control)

ขาสัญญาณซิงโครนัสในแนวนอน(Horizontal Synchronous : HSYNC) เป็นสัญญาณซิงค์จอภาพในแนวราบ

ขาสัญญาณซิงโครนัสในแนวตั้ง(Vertical Synchronous : VSYNC) เป็นสัญญาณซิงค์จอภาพในแนวดิ่ง

ดิสเพลอีนาเบิล (Display Enable : DISPEN) เป็นสัญญาณใช้สำหรับการแสดงผล ถ้าสัญญาณนี้เป็น "1" จะแสดงผลบนจอตามปกติ แต่ถ้าเป็น "0" จะไม่มีภาพปรากฏบนจอ

เคอร์เซอร์ (Cursor) เป็นสัญญาณที่จะบอกตำแหน่งที่ซิงโครไนซ์กับแอดเดรส (Address)ของเมมโมรีแอดเดรส (Memory Address : MA_0-MA_{13}) เพื่อให้กำหนดตำแหน่งเคอร์เซอร์บนจอภาพ

ไลท์เพ็นสโตรบ (Light Pen Strobe : LPSTB) เป็นสัญญาณที่ใช้บอกตำแหน่งของปากกาแสง (Light Pen) ที่จ่ออยู่บนจอภาพ เมื่อมีแสงเข้ามาในจังหวะที่ต้องการแสดงหาจะทำให้อินพุทขานี้ มาสโตรบแอดเดรสที่ซิงโครไนซ์ไว้ เพื่อให้โปรแกรมอ่านไปตรวจสอบได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.<u>กลุ่มที่เชื่อมต่อกับหน่วยความจำแสดงผล</u> (Refresh Memory/Character Generater)

<u>เมมโมรีแอดเดรส</u> (Memory Address : MA_0-MA_{13}) เป็นสัญญาณเอาท์พุทกำหนดแอดเดรสของไอซี 6845 ที่จะบอกว่าขณะนี้การแสดงผลใช้ข้อมูลในหน่วยความจำแสดงผลแอดเดรสใด ค่าของแอดเดรสจะเปลี่ยนแปลงไปตามจังหวะของการแสดงผล และเนื่องจากไอซี 6845 มีแอดเดรส MA_0-MA_{13} จึงใช้ควบคุมหน่วยความจำแสดงผลได้ 16 กิโลไบท์ (kB)

<u>ราสเตอร์แอดเดรส</u> (Raster Address : RA_0-RA_4) เป็นสัญญาณเอาท์พุทเพื่อบอกว่าขณะแสดงผลนั้นอยู่ในแถวที่เท่าใดของตัวอักษร ดังนั้นสัญญาณ RA_0-RA_4 นี้จึงใช้สำหรับการส่งไปควบคุมแหล่งกำเนิดตัวอักษร (Character Generater) เพื่อเรียกข้อมูลจากแหล่งกำเนิดตัวอักษร (Character Generater) เพื่อส่งต่อไปยังจอภาพ สัญญาณนี้มี 5 เส้นจึงกำหนดรายละเอียดตัวอักษรได้ทั้งสิ้น 32 เส้น

จากรูปที่ 2.2 เป็นบล็อกไดอะแกรม (Block Diagram) ของวงจรภายในของไอซี 6845

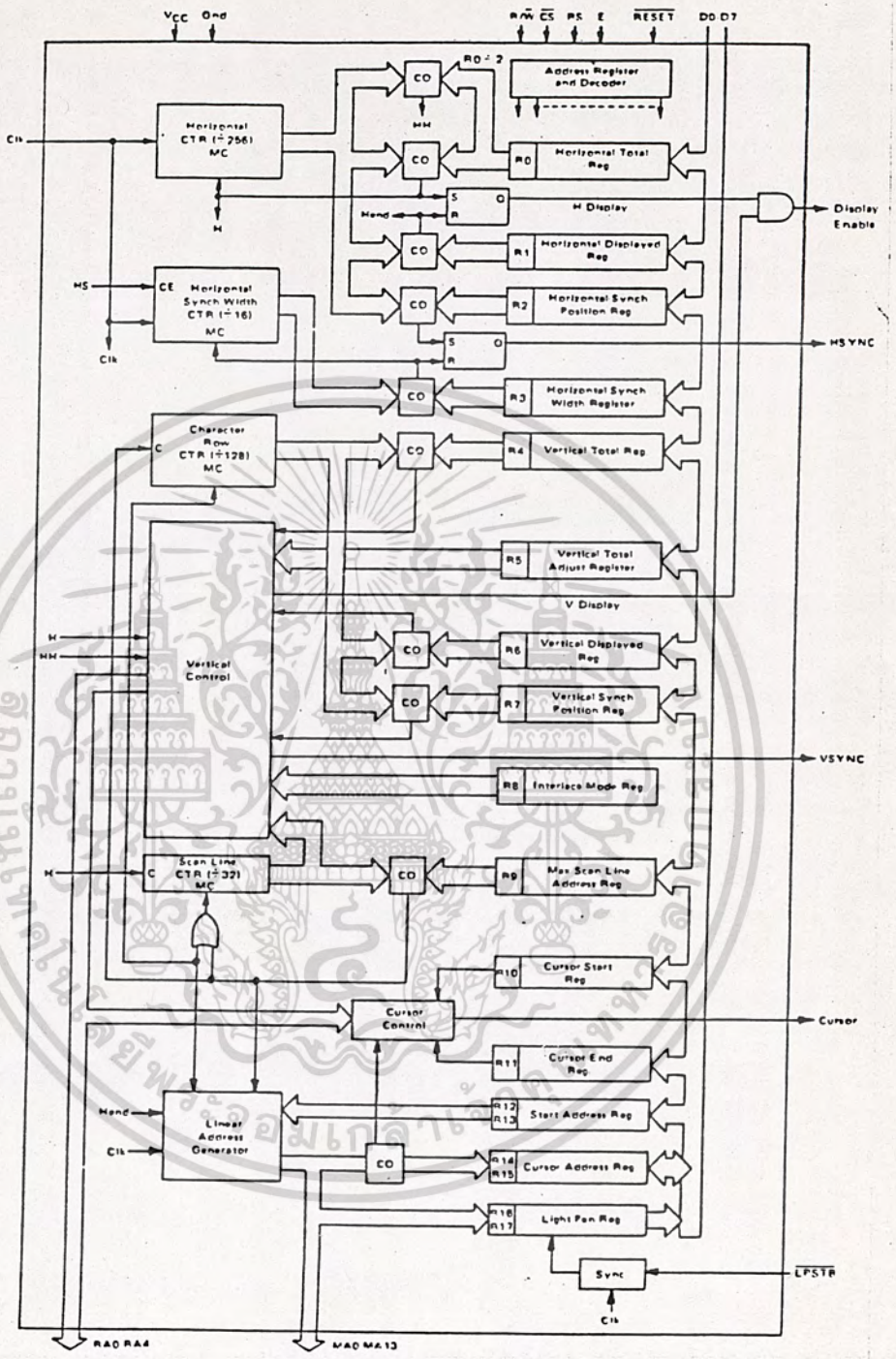
การทำงานจะเป็นไปตามสัญญาณนาฬิกา โดยทั่วไปสัญญาณดังกล่าวจะเกิดจากสัญญาณภายนอกที่ใช้ควบคุมจุดภาพ วงจรโคอินซิเดนซ์ (Coincidence Circuit : CO) จะทำการเปรียบเทียบค่าของวงจรนับ กับข้อมูลในรีจิสเตอร์ R_0-R_{17} อย่างต่อเนื่อง

ผลของการเปรียบเทียบ จะมีผลต่อตัวกำเนิดสัญญาณทางแนวนอน(Horizontal Generater) ดังนี้

1.ทำให้เกิดพัลส์สัญญาณซิงค์ทางแนวนอน(Horizontal Sync Pulse : HS) ที่มีความถี่ (frequency) ตำแหน่ง (position) และความกว้างของสัญญาณ (width) ที่ถูกกำหนดโดยรีจิสเตอร์

2.ทำให้เกิดสัญญาณแสดงผลทางแนวนอน (Horizontal Display Signal) ที่มีความถี่ ตำแหน่ง และระยะเวลาที่กำหนดโดยรีจิสเตอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.2 แสดงบล็อคไดอะแกรมภายในของไอซี 6845

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วงจรนับสัญญาณแนวนอน (Horizontal Counter) กำเนิดสัญญาณเอช (H) ซึ่งเป็นสัญญาณนาฬิกาที่ป้อนให้กับ วงจรนับเส้นสแกน (Scan Line Counter) และ ตัวควบคุมทางแนวตั้ง (Vertical Control)

ค่าของวงจรนับราสเตอร์ (Raster Counter) จะถูกเปรียบเทียบกับค่าเส้นสแกนที่สูงที่สุดที่ถูกโปรแกรมไว้ในรีจิสเตอร์ ถ้าเปรียบเทียบได้ตรงกันวงจรนับราสเตอร์จะถูกรีเซ็ต และวงจรนับทางแนวตั้ง (Vertical Counter) จะได้รับสัญญาณนาฬิกา

ผลการเปรียบเทียบ ค่าภายในของวงจรนับทางแนวตั้ง กับค่าภายในรีจิสเตอร์แนวตั้ง (Vertical Register)

1.ทำให้เกิดสัญญาณซิงค์ทางแนวตั้ง (Vertical Sync Pulse : VS) ที่มีความถี่และตำแหน่งกำหนดโดยรีจีสเตอร์ ส่วนความกว้างของพัลส์ (Pulse) จะถูกกำหนดตายตัวไม่สามารถโปรแกรมได้

2.การแสดงตำแหน่งทางแนวตั้ง ความถี่ของภาพทางแนวตั้ง จะถูกกำหนดโดยรีจีสเตอร์

หน้าที่ของโลจิกควบคุมทางแนวตั้ง (Vertical Control Logic)

1.เป็นตัวกำหนดสัญญาณเลือกแถว (Row Select) รีจิสเตอร์ R_0-R_4 จากวงจรนับราสเตอร์ ทั้งในโหมดการแสดงผลแบบอินเทอร์เลส (Interlace) และนอนอินเทอร์เลส (Non-interlace)

2.เพิ่มจำนวนเส้นแสนในแนวตั้ง จากจำนวนเดิมที่โปรแกรมไว้ในรีจิสเตอร์ R_5

วงจรกำเนิดแอดเดรสเชิงเส้น (Linear Address Generator) จะทำงานได้เมื่อได้รับสัญญาณ ทำหน้าที่กำหนดตำแหน่งตัวอักษร (Character)ในหน่วยความจำที่จะไปปรากฏบนจอภาพ แอดเดรสทั้งหมด 14 เส้น (MA_0-MA_{13}) สามารถให้ตำแหน่งตัวอักษรตั้งแต่ ขนาดตัวอักษร 4กิโลไบท์ 4 หน้า (Pages) และ 2 กิโลไบท์ 8 หน้า ฯลฯและสามารถใช้กับตัวอักษรขนาด 16กิโลไบท์ ได้ถ้าใช้ สตาร์ทแอดเดรสรีจิสเตอร์ (Start Address Register) เข้ามาช่วย

วงจรกำเนิดแอดเดรสเชิงเส้น (Linear Address Generator) จะให้ค่า

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

แอดเดรสของตัวอักษร (Character) ที่เหมือนกันสำหรับเส้นสแกนทุกเส้น

Cursor Logic เป็นตัวกำหนดตำแหน่งของ Cursor ขนาดและอัตราการกระพริบของ Cursor บนจอภาพ โดยการโปรแกรมเข้าไป

เมื่อ Light Pen Strobe มีพัลส์ high เข้ามา จะทำให้ค่าของ Address Counter ในขณะนั้นจะถูกเก็บเข้าไปใน Light Pen Register หลังจากนั้นค่านี้จะถูกอ่านได้โดยโปรเซสเซอร์ (Processor)

รีจิสเตอร์ภายในไอซี 6845 จะถูกโปรแกรมโดยโปรเซสเซอร์ โดยผ่านทางบัสข้อมูล (D_0-D_7) และควบคุมด้วยสัญญาณ R/W,CS,RS,E

หน้าที่ของรีจิสเตอร์ภายในไอซี 6845

TABLE 2 – CRTC INTERNAL REGISTER ASSIGNMENT

CS	RS	Address Register 4	3	2	1	0	Register #	Register File	Program Unit	Read	Write	Number of Bits 7	6	5	4	3	2	1	0
1	X	X	X	X	X	X	X	–	–	–	–								
0	0	X	X	X	X	X	X	Address Register	–	No	Yes								
0	1	0	0	0	0	0	R0	Horizontal Total	Char.	No	Yes								
0	1	0	0	0	0	1	R1	Horizontal Displayed	Char.	No	Yes								
0	1	0	0	0	1	0	R2	H. Sync Position	Char.	No	Yes								
0	1	0	0	0	1	1	R3	H. Sync Width	Char.	No	Yes								
0	1	0	0	1	0	0	R4	Vertical Total	Char. Row	No	Yes								
0	1	0	0	1	0	1	R5	V. Total Adjust	Scan Line	No	Yes								
0	1	0	0	1	1	0	R6	Vertical Displayed	Char. Row	No	Yes								
0	1	0	0	1	1	1	R7	V. Sync Position	Char. Row	No	Yes								
0	1	0	1	0	0	0	R8	Interlace Mode	–	No	Yes								
0	1	0	1	0	0	1	R9	Max Scan Line Address	Scan Line	No	Yes								
0	1	0	1	0	1	0	R10	Cursor Start	Scan Line	No	Yes		B	P				(Note 1)	
0	1	0	1	0	1	1	R11	Cursor End	Scan Line	No	Yes								
0	1	0	1	1	0	0	R12	Start Address (H)	–	No	Yes								
0	1	0	1	1	0	1	R13	Start Address (L)	–	No	Yes								
0	1	0	1	1	1	0	R14	Cursor (H)	–	Yes	Yes								
0	1	0	1	1	1	1	R15	Cursor (L)	–	Yes	Yes								
0	1	1	0	0	0	0	R16	Light Pen (H)	–	Yes	No								
0	1	1	0	0	0	1	R17	Light Pen (L)	–	Yes	No								

Note (1) Bit 5 of the Cursor Start Raster Register is used for blink period control, and Bit 6 is used to select blink or non blink.

รูป 2.3 แสดงลักษณะรีจิสเตอร์ภายในของไอซี 6845

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

027856

Horizontal Total Register (R_0) ใช้กำหนดความถี่ของ Horizontal Sync Pulse

Horizontal Displayed Register (R_1) ใช้กำหนดจำนวนตัวอักษรที่จะแสดงต่อบรรทัด

Horizontal Sync Position Register (R_2) ควบคุมตำแหน่งของ Horizontal Sync (HS) กรณีที่ค่าในรีจิสเตอร์เพิ่มขึ้น การแสดงผลข้อมูลจะถูกเลื่อนไปทางซ้าย ถ้ามีค่าลดลงจะเลื่อนไปทางขวา

Horizontal Sync Width Register (R_3) ใช้กำหนดความกว้างของ Horizontal Sync (HS) ส่วนความกว้างของ Vertical Sync (VS) จะถูกกำหนดค่าไว้ตายตัว เท่ากับเวลาที่ใช้ในการสแกน 16เส้นสแกน

Vertical Total Register (R_4) and Vertical Total Adjust Register (R_5) ใช้กำหนดความถี่ของ Vertical Sync โดยมี R_5 เป็นตัวปรับความถี่ในกรณีที่ใช้แหล่งจ่ายไฟที่มีความถี่ไม่เท่ากัน

Vertical Displayed Register (R_6) ใช้กำหนดจำนวนแถว(Character Row) ที่จะปรากฏบนจอภาพ

Vertical Sync Position (R_7) ใช้ควบคุมตำแหน่งของ VS เมื่อค่าที่อยู่ในรีจิสเตอร์มีค่าเพิ่มขึ้น ตำแหน่งที่แสดงอยู่บนจอภาพจะเลื่อนขึ้น ถ้าลดลงตำแหน่งจะเลื่อนลง

Interlace Mode And Skew Register (R_8) ใช้ควบคุมการแสดงภาพแบบอินเทอร์เลส และนอนอินเทอร์เลส โดยการโปรแกรมในรีจิสเตอร์ 2 บิท ดังแสดงในตารางที่ 2.1

Max Scan Line Address Register (R_9) การกำหนดจำนวนเส้นสแกนต่อ 1 Character Row และทำการควบคุม Row Address Counter ค่าที่ถูกโปรแกรมไว้คือค่าสูงสุด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Interlace Mode Register

Bit 1	Bit 0	Mode
0 1	0 0	Normal Sync Mode (Non-Interlace)
0	1	Interlace Sync Mode
1	1	Interlace Sync & Video Mode

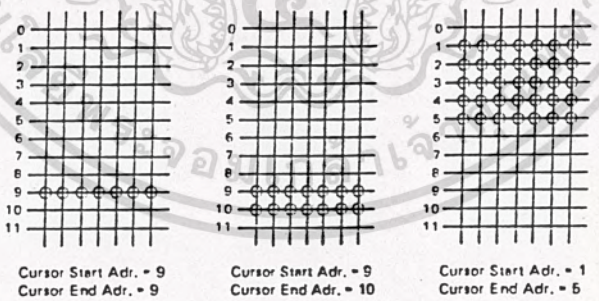
ตารางที่ 2.1 แสดงโหมดอินเทอร์เลส

Cursor Start Register (R_{10}) ควบคุมรูปแบบ Cursor โดยบิทที่ 5 ใช้ควบคุมความเร็วในการกระพริบของ Cursor บิทที่ 6 เป็นโหมดใช้เลือกให้มีการกระพริบ ส่วน 5 บิทล่าง ใช้สำหรับเซ็ต ค่า Cursor Start Scan Line ดังตารางที่ 2.2

Cursor Start Register

B Bit 6	P Bit 5	Cursor Display Mode
0	0	Non-Blink
0	1	Cursor Non-Display
1	0	Blink, 1/16 Field Rate
1	1	Blink, 1/32 Field Rate

Example of Cursor Display Mode



Cursor Start Adr. = 9
Cursor End Adr. = 9

Cursor Start Adr. = 9
Cursor End Adr. = 10

Cursor Start Adr. = 1
Cursor End Adr. = 5

ตารางที่ 2.2 แสดง Cursor Start Register

Cursor End Register (R_{11}) ใช้เซ็ต Cursor End Scan Line

Start Address Register (R_{12}) ใช้กำหนดแอดเดรสแรกที่เริ่มแสดงผล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Cursor Register (R_{14},R_{15}) ใช้เก็บตำแหน่งของ Cursor

Light Pen Register (R_{16},$_{17}$) ใช้เก็บค่าของ Address Register เมื่อ ขาสัญญาณ LPSTB มีพัลส์เข้ามา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 3

หลักการออกแบบวงจร

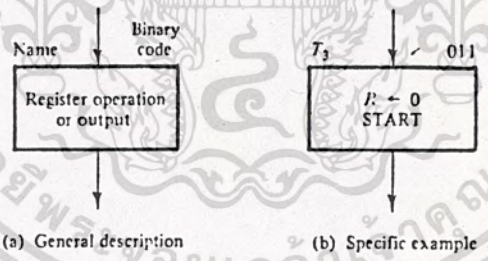
สำหรับทฤษฎีที่ได้ทำการศึกษามานั้น พอที่จะสรุปได้ดังนี้

ในการออกแบบวงจรควบคุมโลจิก (Control logic) นั้น อาศัยโฟลว์ชาร์ท (flowchart) ซึ่งใช้กำหนดค่าโลจิกทางฮาร์ดแวร์ (Hardware) ซึ่งเรียกว่า เอเอสเอ็ม ชาร์ท (Algorithmic State Machine chart : ASM Chart)

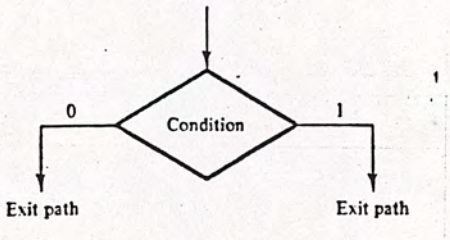
เอเอสเอ็ม ชาร์ท มีส่วนประกอบ 3 ส่วน คือ

1. ส่วนแสดงสถานะ (State box)
2. ส่วนแสดงการตัดสินใจ (Decision box)
3. ส่วนแสดงลักษณะ (Conditional box)

ดังรูปที่ 3.1, 3.2, และ 3.3 ตามลำดับ

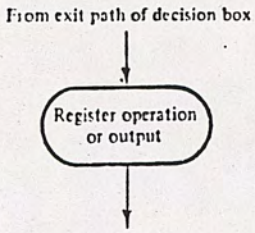


รูปที่ 3.1 แสดงส่วนสถานะ

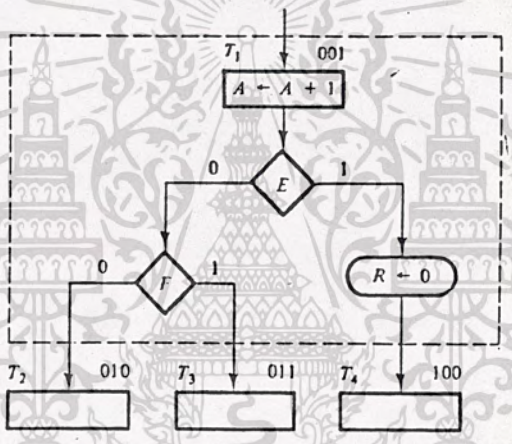


รูปที่ 3.2 แสดงส่วนการตัดสินใจ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.3 แสดงส่วนลักษณะ



รูปที่ 3.4 แสดงตัวอย่างการทำงาน

ดังรูปที่ 3.4 นั้นจะมีการทำงานระหว่างที่เกิดสัญญาณพัลส์นาฬิกา (clock pulse) ขึ้น 1 ลูกและจะให้ค่าไปควบคุมสถานะ T_2,T_3 หรือ T_4 อย่างใดอย่างหนึ่ง แล้วแต่ค่าของ E และ F

<u>ตัวอย่างการออกแบบ</u>

ต้องการออกแบบวงจรที่มี ฟลิปฟลอป 2 ตัวคือ E และ F วงจรนับไบนารี (Binary Counter) 4 บิทโดยชื่อ A ฟลิปฟลอปแต่ละตัวใน A กำหนดเป็น A_4,A_3,A_2,

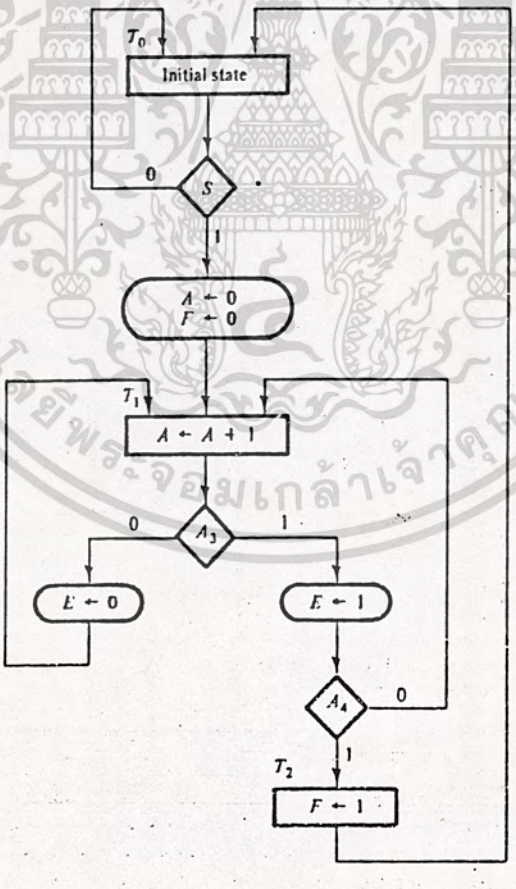
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

A_1 โดยที่ A_4 เป็นบิทที่มากสุด สัญญาณ S เป็นตัวเริ่มการทำงานของระบบ โดยการเริ่มวงจรนับ A และฟลิปฟลอป F หลังจากนั้น วงจรนับจึงเริ่มนับเพิ่มทีละ 1 ในสัญญาณพัลส์นาฬิกาลูกต่อไปและนับต่อไปจนกว่าการทำงานจะหยุด โดยที่ A_3,A_4 จะมีลักษณะการทำงานเป็นลำดับดังนี้

ถ้า $A_3 = 0$, E จะถูกทำให้มีค่าเป็น 0 และ ทำการนับต่อไป

ถ้า $A_3 = 1$, E จะถูกทำให้มีค่าเป็น 1 และ ถ้า $A_4 = 0$, วงจรนับจะทำการนับต่อไป แต่ถ้า $A_4 = 1$, F ถูกทำให้ค่าเป็น 1 ในสัญญาณพัลส์นาฬิกา ลูกต่อไป และระบบจะหยุดการนับ

ซึ่งจากโจทย์สามารถสร้างเป็น เอเอสเอ็ม ชาร์ท ได้ดังรูปที่ 3.5



รูปที่ 3.5 แสดง เอเอสเอ็มชาร์ตในการออกแบบตัวอย่าง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากรูปที่ 3.5 ระบบจะอยู่ในสถานะเริ่มต้น T_0 จนกว่าจะมีสัญญาณ S = 1 วงจรนับ A และ ฟลิปฟลอป F จะถูกทำให้มีค่าเป็น 0 และจะเข้าสู่สถานะ T_1

ในสถานะ T_1 นั้น วงจรนับ A จะนับเพิ่มขึ้น ทุก ๆ สัญญาณพัลส์นาฬิกา และที่เวลาเดียวกันจะมีการตัดสินใจว่า จะให้ค่าควบคุมไปยัง สถานะ T_2 หรือ ยังทำงานอยู่ที่สถานะ T_1 อยู่ ดังนี้

ถ้า $A_3 = 0$,E จะถูกทำให้มีค่าเป็น 0 และยังอยู่ในสถานะ T_1

ถ้า $A_3A_4 = 10$,E จะถูกทำให้มีค่าเป็น 1 และอยู่ใน สถานะ T_1

ถ้า $A_3A_4 = 11$,E จะถูก ทำให้มีค่าเป็น 1 และไปยัง สถานะ T_2

เมื่ออยู่ที่ สถานะ T_2 ฟลิปฟลอป F ถูก ทำให้มีค่าเป็น 1 และจะวนไปยังสถานะเริ่มต้น

จากรูปที่ 3.5 สามารถนำมาเขียนตารางแสดงค่า ไบนารีของวงจรนับ และฟลิปฟลอป ดังตารางที่ 3.1 และนำมาเขียนเป็นรูปแสดงดาตาโปรเซสเซอร์ (Data processor) ได้ดังรูปที่ 3.6 ซึ่งใช้แสดงส่วนควบคุมย่อย (Control subsystem) เพียงสัญญาณอินท์พุท และเอาท์พุท

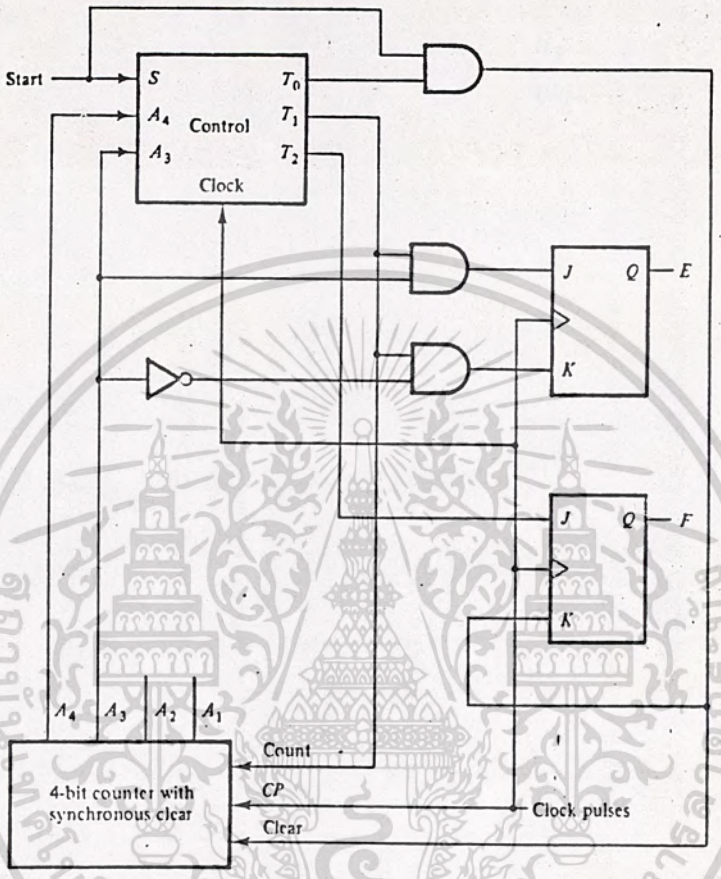
Counter				Flip-flops		Conditions	State
A_4	A_3	A_2	A_1	E	F		
0	0	0	0	1	0	$A_3 = 0, A_4 = 0$	T_1
0	0	0	1	0	0		
0	0	1	0	0	0		
0	0	1	1	0	0		
0	1	0	0	0	0	$A_3 = 1, A_4 = 0$	
0	1	0	1	1	0		
0	1	1	0	1	0		
0	1	1	1	1	0		
1	0	0	0	1	0	$A_3 = 0, A_4 = 1$	
1	0	0	1	0	0		
1	0	1	0	0	0		
1	0	1	1	0	0		
1	1	0	0	0	0	$A_3 = 1, A_4 = 1$	
1	1	0	1	1	0		T_2
1	1	0	1	1	1		T_0

ตารางที่ 3.1 แสดงลำดับการทำงาน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

State table for control

Present state symbol	Present state G_1	G_2	Inputs S	A_3	A_4	Next state G_1	G_2	Outputs T_0	T_1	T_2
T_0	0	0	0	X	X	0	0	1	0	0
T_0	0	0	1	X	X	0	1	1	0	0
T_1	0	1	X	0	X	0	1	0	1	0
T_1	0	1	X	1	0	0	1	0	1	0
T_1	0	1	X	1	1	1	1	0	1	0
T_2	1	1	X	X	X	0	0	0	0	1



รูป 3.6 แสดงถึง Data Processor ของตัวอย่าง

ต่อไปจะเป็นการออกแบบในส่วนควบคุมย่อย ซึ่งจากรูปที่ 3.5 และ รูปที่ 3.6 นั้นสามารถกำหนด สถานะ ได้ 3 สถานะ คือ T_0 = 00 , T_1 = 01, T_2 = 11 ส่วน สถานะ 10 ไม่ได้ใช้ กำหนดเป็นอะไรก็ได้ (Don't care term)

(หมายเหตุ: ฟลิปฟลอป n ตัวสามารถเขียนได้ 2^n สถานะ)

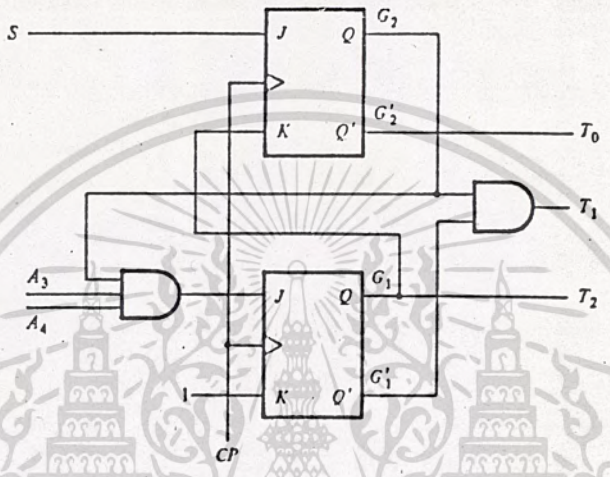
จากตารางสถานะ (State table) สามารถนำมาเขียนเป็นโลจิกไดอะแกรม (logic diagram) โดยใช้ เจเค ฟลิปฟลอป (JK Flipflop) ได้ดังนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$J_{G1} = G_2A_3A_4$ $J_{G2} = S$ $T_0 = G_2'$ $T_2 = G_1$

$K_{G1} = 1$ $K_{G2} = G_1$ $T_1 = G_1'G_2$

จากสมการข้างบนสามารถนำมาเขียนเป็นวงจรได้ดังรูปที่ 3.7



รูปที่ 3.7 แสดงวงจรโลจิกที่ใช้เจเคฟลิปฟลอป

นอกจากวิธีที่ใช้ เจเค ฟลิปฟลอป แล้วยังมีวิธีอื่น ๆ อีกคือ ใช้ ฟลิปฟลอป 1 ตัว ต่อ 1 สถานะ ซึ่งไม่ขอกล่าวไว้ ณ ที่นี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 4

ความรู้ทั่วไปเกี่ยวกับ พีแอลดี (PLD)

4.1 บทนำ

พีแอลดี เป็นการรวมเอาวงจรดิจิตอลมารวมกัน โดยการนำมา โปรแกรม ซึ่งสามารถรวมเอาฟังก์ชั่น (function) ตรรกต่าง ๆ มาใช้ได้ การโปรแกรมอาจอยู่ในรูปชิพ ,อีพรอม,อีอีพรอม,หรือ แรมพีแอลดี สามารถนำไปใช้ในงานพิเศษหลาย ๆ อย่าง ซึ่งมีความแตกต่างตรงที่ว่า สามารถโปรแกรมลงในชิพได้เลย ในที่นี้จะใช้พรอม (PROM) ที่มีความเร็วสูงมาทำพีแอลดี ในกรณีที่ช้ากว่าแต่มีความจุมากกว่า เช่น ตระกูล มอส/ซีมอส (อีพรอม และ อีอีพรอม) ก็สามารถใช้ได้ มอส และ อีพรอมบางตัว ก็สามารถนำมาใช้ได้เหมือนกันแต่จะมีเวลาการทำงาน (Access Time) ที่ช้ากว่า -200 นาโนวินาที (nS) หรือไม่ก็มากกว่านั้น ซึ่งทำให้ไม่เหมาะสมในการใช้งานพีแอลดี มาในรูปแบบต่าง ๆ ซึ่งสถาปัตยกรรมของพีแอลดี เหล่านี้มาใช้กับวงจรในระบบใหญ่ ๆ และ ย่อย ๆ นับไม่ถ้วน ซึ่งสถาปัตยกรรม และรูปแบบของพีแอลดี แตกต่างกันไปตามความเร็ว,การใช้กำลังไฟ, การทนความร้อน ซึ่งแล้วแต่ว่าจะเลือกใช้งานใด

4.2 เหตุผลในการใช้พีแอลดี

ปัจจุบันนี้ในการออกแบบวงจรเราสามารถเลือกได้ 6 วิธี

-STANDARD SSI/MSI DEVICES

-STANDARD LSI/VLSI DEVICES

-GATE ARRAY DEVICES

-STANDARD - CELL DEVICES

-FULL - CUSTOM DEVICES

-PROGRAMMABLE LOGIC DEVICES

ซึ่งจะอธิบายถึงวิธีคร่าว ๆ ดังนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

STANDARD SSI/MSI DEVICES เป็นการรวมวงจรระดับเล็ก หรือระดับกลาง ซึ่งเห็นอยู่ทั่วไป มีราคาถูกซึ่งอุปกรณ์เหล่านี้เป็นพื้นฐานของระบบดิจิตอลทั่วไป เป็นที่นิยมในปัจจุบันซึ่งได้แก่ ชิฟท์เฟอร์ (Shifter),ชิฟรีจิสเตอร์ (Shift Register),วงจรนับ, เกท และ ฟังก์ชั่นลอจิกอื่น ๆ

STANDARD LSI/VLSI DEVICES เป็นการรวมวงจรขนาดใหญ่ และใหญ่มาก ซึ่งรวมถึงอุปกรณ์ไมโครโปรเซสเซอร์ การผลิตมากพอสมควรทำให้ต้นทุนต่ำลง เช่น 8 บิต เซดแปดศูนย์ไมโครโปรเซสเซอร์ (Z-80 Microprocessor)

วิธีนี้ให้ราคาต้นทุนต่อเกทดีที่สุดเทียบกับวิธีการออกแบบในลักษณะฟูลคัสตอม ซึ่งใช้พื้นที่ของซิลิกอน อย่างมีประสิทธิภาพมีเพียงเกทที่จำเป็นใช้เท่านั้น จะไม่รวมพวกที่ไม่ใช้ซึ่งต่างจาก พีแอลดี

GATE ARRAY DEVICES ประกอบด้วยบรรดาเกทต่าง ๆ รวมกัน ความนิยมในการใช้เพิ่มขึ้น ซึ่งทำให้ราคาลดลง และได้มีการพัฒนาโปรแกรมในการใช้ที่เร็วขึ้นและมีราคาถูกลง อุปกรณ์เหล่านี้จะถูกแฟบริเกท ไว้ก่อนด้วยซิลิกอน แต่ชั้นของโลหะที่เหลือจะถูกเว้นไว้ซึ่งชั้นเหล่านี้จะเป็นตัวเชื่อมเกทเข้าด้วยกัน ในรูปของอาร์เรย์ มีตั้งแต่ 1000 เกท ถึง 50,000 หรือ มากกว่านั้น ที่นิยมใช้ได้แก่ 10.000 เกท หรือ ต่ำกว่านั้น

ในการออกแบบเกทประมาณ 2000 เกท อาจต้องใช้ เกทอาร์เรย์ ถึง 5000 ตัว ในการใช้งานจริง ๆ แล้ว ประมาณ 40% จะถูกใช้แต่ในการออกแบบที่ทันสมัยสามารถใช้ได้ถึง 75% เพราะว่าต้องมีการออกแบบการเชื่อมต่อของเกทจึงต้องเสียค่าอุปกรณ์ และการออกแบบ ซึ่งอาจจะมีราคาแพง เพราะว่า ค่าออกแบบสูงมาก จึงต้องผลิตอย่างน้อย 5000 ตัวจึงจะคุ้ม และหลังจากการออกแบบแล้วต้องรออีก 2-3 อาทิตย์ แล้วแต่ความซับซ้อน, เทคนิค, การทดสอบ และจำนวนที่สั่งทำ

STANDARD-CELL DEVICES คล้ายกับ เกทอาร์เรย์ตรงที่เป็นอุปกรณ์เซมิคลาสตอมซึ่งต้องมีการออกแบบ แตกต่างกันตรงที่ไม่ต้องแฟบริเกทไว้ก่อน และไม่มีเกทต่างๆอยู่ในการออกแบบโดยใช้แคด (CAD) ซึ่งมีเซลไรเบอร์รี่ (Cell library) ซึ่งมีบล็อกฟังก์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ชั่นตามมาตราฐานเอสเอสไอ(SSI),เอ็นเอสไอ(NSI),และแอลเอสไอ(LSI) หลังจากการออกแบบโดยการนำเอาวงจรมาประกอบกันบนจอภาพแล้ว คอมพิวเตอร์จะสร้างมาส์ค (Mask) ที่เหมาะสมในการผลิตอุปกรณ์ต่างๆเช่นแซดแปดศูนย์ สามารถนำมาต่อกันเป็นระบบเดียวแล้วมาทำเป็นชิพ ที่อาจจะแทนบอร์ดคอมพิวเตอร์ได้ทั้งเครื่องซึ่งคุ้มค่ามากถ้ามีการผลิตครั้งละมาก ๆ ในการออกแบบวิธีนี้สามารถใช้เนื้อที่ซิลิกอนได้อย่างมีประสิทธิภาพ ซึ่งในกรณีที่มีการผลิตสูงขึ้น STANDARD Cell DEVICES ก็จะมีการใช้เหมือน แอลเอสไอ, วีแอลเอสไอ ทุกประการ

FULL-CUSTOM DEVICES วิธีนี้มีต้นทุนในการออกแบบสูงมากที่สุด และใช้เวลานานที่สุดเหมาะกับการออกแบบทีละมาก ๆ เช่น วงจรเครื่องคิดเลข หรือนาฬิกาดิจิตอล วิธีนี้สามารถใช้เนื้อที่ได้อย่างมีประสิทธิภาพมาก

PROGRAMMABLE LOGIC DEVICES พีแอลดี จะรวมคุณสมบัติที่พบในอุปกรณ์มาตรฐาน และ เกทอาร์เรย์ รวมกันเหมือนกับอุปกรณ์อื่น ๆ ที่ถูกผลิตในจำนวนสูงซึ่งทำให้ต้นทุนต่ำลง และสามารถออกแบบให้ทำงานได้ต่าง ๆ กันแล้วแต่วิธีการใช้งาน

4.3 <u>การเปรียบเทียบอุปกรณ์ต่าง ๆ</u>

ในขณะที่มีความคล้ายคลึงระหว่างเกทอาร์เรย์ และพีแอลดี แต่พีแอลดี ส่วนมากไม่ได้ประกอบไปด้วยเกทอาร์เรย์ ซึ่งจะแตกต่างกันไปตามตระกูลของ พีแอลดี แต่เทียบกันแล้วก็มีทั้งข้อดีข้อเสีย ประการแรก ค่าใช้จ่ายในการออกแบบ พีแอลดี น้อยมาก เพราะสามารถแก้ไขได้ง่ายและรวดเร็ว โดยไม่เสียค่าใช้จ่าย ประการที่สอง ในการผลิต พีแอลดี ตั้งแต่ขั้นออกแบบจนสำเร็จนั้น เร็วมากซึ่งเทียบกับเกทอาร์เรย์ ซึ่งใช้เวลาหลายสัปดาห์ และประการสุดท้าย พีแอลดี สามารถใช้กับการออกแบบวงจรขนาดเล็ก หรือผลิตทีละน้อยก็ได้ แต่ก็ยังมีปัญหาตรงความจุของจำนวน GATE ใน พีแอลดี ซึ่งน้อยกว่าเกทอาร์เรย์ และถ้าเทียบจำนวนการผลิตครั้งละมาก ๆ เกทอาร์เรย์ อาจมีต้นทุนการผลิตที่ต่ำกว่า

อีพีแอลดี ถูกเปิดตัวเป็นครั้งแรก โดยบริษัทออลเทอร์รา ซึ่งอยู่ในตระกูล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

CMOSUB-erasable PLD ซึ่งรวมถึงการใช้เทคโนโลยีอีพรอม ในทางคล้ายกันอีพีแอลดี ถูกคิดขึ้นโดยใช้อุปกรณ์ อีอีพีแอลดี ซึ่งลบได้โดยใช้ไฟฟ้า ตั้งแต่เริ่มต้น บริษัทออลเทอร์รา เป็นผู้คิดค้นพีแอลดี ที่มีความจุสูงและสามารถนำมาโปรแกรมใหม่ได้ ซึ่งใช้เทคโนโลยีในแขนงนี้ อีพรอม นับว่าเป็นตัวที่ใช้เนื้อที่ได้อย่างมีประสิทธิภาพมากที่สุด ดังนั้นจึงจุวงจรได้มากกว่าอีอีพีพรอม ซึ่งจุได้ตั้งแต่ 300 - 5,000 เกท ยกตัวอย่าง PAL 16 L8 จุได้ประมาณ 100 - 150 GATE ในขณะที่ PAL 22 V 10 จุได้ประมาณ 500 - 600 GATE

4.4 เอพลัสโปรแกรมาเบิลโลจิก (A + PLUS PROGRAMABLE LOGIC)

เพื่อที่จะสนับสนุนซีมอสอีพีแอลดี บริษัทออลเทอร์รา ได้พัฒนาชุดซอฟท์แวร์เอพลัส แต่ เอพลัส อยู่ในระดับเดียวกับภาษา พีแอลดี ชุดที่ 3 ถ้าเทียบกันถึงประสิทธิภาพ ซึ่งแตกต่างกับ ผู้ผลิต พีแอลดี ส่วนใหญ่ที่เน้น ในการพัฒนาอุปกรณ์ใหม่ขึ้นมา โดยมี ซอฟท์แวร์ ประกอบ ซึ่งมีกลุ่มคนส่วนน้อยใช้ได้เท่านั้น แต่ บริษัทออลเทอร์รา ได้เน้นถึงความสัมพันธ์ของซอฟท์แวร์ที่ดี สามารถนำโลจิกเกท ที่มีภายในอุปกรณ์มาใช้ได้อย่างมีประสิทธิภาพ จึงได้มีการนำ เอพลัส ช่วยในการออกแบบในรูปแบบต่าง ๆ รวมทั้งสมการ รูทีน, การป้อนสถานะของเครื่องจักร, การป้อนเนทลิสท์, และการสร้างสกีเมติก เพื่อสร้างจากโปรแกรมอื่นได้

นอกจากนี้ยังมีซอฟท์แวร์ ตัวอื่น ๆ อีก เช่น ไอพีแอลดีเอสทู(i PLDS II) ซึ่งบริษัทอินเทล (INTEL) ได้ผลิตขึ้นมาเพื่อช่วยในการ โปรแกรมอีพีแอลดี ซึ่งคล้ายกับระบบของ บริษัทออลเทอร์รา ในตอนต้น ๆ แต่ภายหลังได้แก้ไขพัฒนาให้มีความแตกต่างออกไป

4.5 พีแอลดี เทียบกับการออกแบบโลจิก วิธีอื่น

ในการออกแบบวิธีต่าง ๆ ได้แก่

-STANDARD SSI/MSI DEVICES

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

-STANDARD LSI/VLSI DEVICES

-GATE ARRAY DEVICES

-STANDARD - CELL DEVICES

-FULL - CUSTOM DEVICES

-PROGRAMMABLE LOGIC DEVICES

แต่ละวิธีมีทั้งข้อดีและข้อเสีย ดังนั้นในการออกแบบวงจรดิจิตอล ส่วนมากจะใช้วิธีเหล่านี้รวมกัน

ในการตัดสินใจใช้ วิธีการออกแบบวงจรที่ดีที่สุดนั้น นักออกแบบต้องคำนึงถึงความสัมพันธ์ระหว่าง สถาปัตยกรรมของวงจร ที่ว่างบน บอร์ด เวลาในการออกแบบ จำนวนการผลิตที่คาดไว้ และต้นทุนการผลิต นอกจากนี้ต้องคำนึงถึง ความเร็วในการทำงาน และกำลังงานที่ใช้ เมื่อคำนึงถึงต้นทุนของวิธีต่าง ๆ นักออกแบบต้องคิดรวมเอาต้นทุนทั้งหมด

FULL CUSTOM DEVICES ใช้เนื้อที่น้อยที่สุด และต้นทุนในการผลิตทีละมาก ๆ นั้นต่ำที่สุด แต่ใช้เวลาในการผลิตนานที่สุด รวมทั้งค่าออกแบบที่สูงที่สุด

STANDARD CELL DEVICES คุณสมบัติคล้ายกับ FULL CUSTOM DEVICES ซึ่งใช้เนื้อที่และต้นทุนน้อย แต่มีข้อจำกัดเรื่อง การประกอบของวงจร เวลาในการผลิต และต้นทุนในการออกแบบนั้น น้อยกว่าวิธีแบบ FULL CUSTOM DEVIDES เล็กน้อย แต่ยังนับว่ามากกว่า GATE ARRAY DEVICES และพีแอลดี สำหรับ STANDARD CELL DEVICES นั้นต้องผลิตทีละมาก ๆ

GATE ARRAY DEVICES ใช้เวลาในการผลิตน้อย และใช้ต้นทุนในการออกแบบนั้นน้อยกว่า FULL CUSTOM DEVICES และ STANDARD CELL DEVICES แต่สิ้นเปลืองเนื้อที่ซิลิกอน ดังนั้น จึงมีต้นทุนการผลิตสูงกว่า แต่สำหรับการผลิตจำนวนมากแล้ว GATE ARRAY DEVICES ยังมีต้นทุนที่ต่ำกว่า พีแอลดี

พีแอลดี นั้นเสียบค่าใช้จ่ายในการออกแบบน้อยที่สุด ซึ่งจะเป็นประโยชน์ถ้าผลิตครั้งละน้อย ๆ ในการแก้ไขดัดแปลงวงจรนั้นใช้เวลาน้อยและมีความยุ่งยากน้อยกว่า

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เพราะสามารถนำมาโปรแกรมใหม่ได้

SSI/NSI DEVICES ไม่ต้องเสียเวลาในการผลิต รวมทั้งค่าใช้จ่ายในการออกแบบ แต่ทำให้เสียเนื้อที่ในการสร้างวงจรบน บอร์ด จึงทำให้ต้นทุนสูง ที่เป็นผลทางอ้อมคือ พีแอลดี DEVICES สามารถนำมาแทน SSI/NSI ได้หลายตัว จึงทำให้การทดสอบและต้นทุนอื่น ๆ ต่ำลง

LSI/VLSI DEVICES นับว่าเป็นวิธีที่สมบูรณ์เพราะ ไม่ต้องเสียเวลาในการผลิต และค่าใช้จ่ายในการออกแบบ และใช้เนื้อที่ของซิลิกอนได้อย่างมีประสิทธิภาพมากที่สุด ซึ่งมีต้นทุนในการผลิตต่ำไม่ว่าจะผลิตจำนวนมากหรือน้อย ดังนั้นในการสร้างวงจรทั่ว ๆ ไป ควรใช้ LSI/VLSI ให้มากที่สุด ในตารางได้สรุปถึง ข้อเปรียบเทียบระหว่างวิธีสร้างวงจรต่าง ๆ ซึ่งนักออกแบบต้องทำการตัดสินใจ เลือกอุปกรณ์ที่จะใช้ ซึ่งบ่อยครั้งจะรวมเอาหลายวิธีมาใช้

4.6 <u>การเลือก พีแอลดี ที่เหมาะสม</u>

ผู้ออกแบบวงจรต้องเลือกอุปกรณ์ที่เหมาะสมที่สุด สำหรับงานซึ่งอาจจะใช้พีแอลดี ต่าง ๆ รวมกัน ซึ่งควรจะคำนึงถึงคุณสมบัติ 3 ประการดังนี้

1.ฟังก์ชั่นการทำงาน

2.วิธีการออกแบบและพัฒนา

3.ขบวนการผลิต

แต่ถึงอย่างไรสิ่งที่สำคัญคือฟังก์ชั่น ในการทำงานที่เหมาะสมที่สุด เพื่อจะได้ใช้ประโยชน์จากโปรแกรมาเบิลโลจิก (Programmable Logic) ได้อย่างเต็มที่

4.7 <u>ฟังก์ชั่นการทำงาน</u>

ต้องตั้งเป้าหมายและจุดประสงค์ของการทำงานของอุปกรณ์ คือ สถาปัตยกรรม, ความเร็ว, การกินไฟ, รูปแบบของเอาท์พุท, จำนวนขาอินพุท/เอาท์พุท และอุณหภูมิในการทำงาน อาจมีคุณสมบัติพิเศษอื่น ๆ สำหรับงานเฉพาะอย่าง เช่น สามารถลบได้ หรือ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สามารถโปรแกรมบนวงจรได้เลย

ในวงจรที่ซับซ้อนมีสัญญาณเข้าและออกมากมาย ผู้ออกแบบอาจเลือกอุปกรณ์ที่มีหลายขาสัญญาณ หรืออาจแบ่งวงจรให้เล็กลงมาเพื่อใส่อุปกรณ์หลายตัว เพื่ออาจได้เปรียบด้านความเร็ว ถ้าเป็นวงจรที่ง่าย ๆ สามารถนำมาใส่ในอุปกรณ์ได้เลย ซึ่งมี 20, 24 หรือ 28 ในกรณีนี้ไม่จำเป็นต้องคำนึงถึง การแบ่งส่วนของวงจร การออกแบบบางอย่างอาจต้องใช้การโปรแกรมซ้ำอีกที ซึ่ง พีแอลดี ที่มีอยู่มี 2 ประเภท คือ แบบ แรม และแบบอีพรอม

4.8 การออกแบบและพัฒนา

หลังจากที่ได้เลือกว่าจะใช้ พีแอลดี ตัวไหนแล้ว ผู้ออกแบบต้องดูว่ามีเครื่องมือที่ช่วยในการออกแบบและพัฒนาอยู่ด้วย ซึ่งบางทีอาจจะเป็นเครื่องมือทางฮาร์ดแวร์บ้างก็ได้ จึงต้องคำนึงถึงต้นทุนเหล่านี้ด้วย ซึ่งนับได้ว่าเป็นการลงทุนไปในครั้งเดียว ในการเลือกคุณภาพของซอฟท์แวร์นั้น ต้องเข้ากับวิธีการออกแบบ และควรจะมีระบบการย่อวงจรและสามารถทดสอบการทำงานได้

อีกแบบของเครื่องมือที่ช่วยในการพัฒนา อยู่ในรูปของ พีแอลดี ที่ลบได้ ในการผลิต พีแอลดี ที่ลบได้นั้นทำให้ต้นทุนการผลิตสูงขึ้น แต่ถึงอย่างไรในระหว่างการออกแบบวงจร ที่ต้องมีการแก้ไขบ่อย ๆ จำเป็นต้องอาศัย พีแอลดี ที่สามารถลบได้ แล้วนำมาโปรแกรมใหม่ จะได้ไม่ต้องเสียโปรแกรมไปโดยเปล่าประโยชน์

4.9 การผลิต

องค์ประกอบต่าง ๆ ในการผลิตที่มีผลต่อการตัดสินใจ คือ จำนวนการผลิต, เวลาที่ใช้ในการผลิต, คุณภาพ, ความปลอดภัยต่าง ๆ ต้นทุนของอุปกรณ์นั้นอาจเป็นสิ่งที่ควรคำนึงถึงผลมากที่สุดราคาต่อหน่วยอย่างเดียวอาจไม่พอ ที่ใช้ในการตัดสินใจถึงต้นทุนในการเลือกใช้อุปกรณ์ใด ต้องคำนึงถึงปัจจัยในการผลิตอื่น ๆ ด้วย คือ สิ่งจำเป็นในการโปรแกรมต้องดูว่าอุปกรณ์ที่ใช้ในการโปรแกรมนั้นพร้อมที่จะใช้อยู่ตลอดหรือไม่ อุปกรณ์นั้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สามารถถูกโปรแกรมได้อย่างมีประสิทธิภาพในเวลาที่รวดเร็วหรือไม่ สามารถออกแบบส่วนต่างๆที่จะประหยัดต้นทุนได้หรือไม่ ความเชื่อถือและสามารถนำมาทดสอบ ก็เป็นสิ่งจำเป็นที่ควรคำนึงถึง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 5

ผลการออกแบบวงจร

วงจรที่ได้ทำการออกแบบสามารถแบ่งออกเป็น

1.วงจรในส่วน Data part ประกอบด้วย

1.1 วงจรถอดรหัส (Decode register file)

1.2 วงจร Coincidence

1.3 วงจรนับ (Counter)

1.1 การออกแบบวงจร (Decode register file)

หลังจากที่ทำการศึกษาการทำงานของไอซี 6845 จนเป็นที่เข้าใจแล้วจึงออกแบบวงจรจากบล็อกไดอะแกรม รูปที่ 5.1 เราจะทำการออกแบบวงจรถอดรหัส โดยที่เรากำหนดเอาท์พุตของวงจรดังนี้

D7	D6	D5	D4	D3	D2	D1	D0	SR[0..17]
X	X	X	0	0	0	0	0	1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 0
X	X	X	0	0	0	0	1	1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 0 1
X	X	X	0	0	0	1	0	1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 0 1 1
X	X	X	0	0	0	1	1	1 1 1 1 1 1 1 1 1 1 1 1 1 1 0 1 1 1
X	X	X	0	0	1	0	0	1 1 1 1 1 1 1 1 1 1 1 1 1 0 1 1 1 1
X	X	X	0	0	1	0	1	1 1 1 1 1 1 1 1 1 1 1 1 0 1 1 1 1 1
X	X	X	0	0	1	1	0	1 1 1 1 1 1 1 1 1 1 1 0 1 1 1 1 1 1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

D7	D6	D5	D4	D3	D2	D1	D0	SR[0..17]
X	X	X	0	0	1	1	1	1 1 1 1 1 1 1 1 1 1 0 1 1 1 1 1 1 1
X	X	X	0	1	0	0	0	1 1 1 1 1 1 1 1 1 1 0 1 1 1 1 1 1 1
X	X	X	0	1	0	0	1	1 1 1 1 1 1 1 1 1 0 1 1 1 1 1 1 1 1
X	X	X	0	1	0	1	0	1 1 1 1 1 1 1 1 0 1 1 1 1 1 1 1 1 1
X	X	X	0	1	0	1	1	1 1 1 1 1 1 1 0 1 1 1 1 1 1 1 1 1 1
X	X	X	0	1	1	0	0	1 1 1 1 1 1 0 1 1 1 1 1 1 1 1 1 1 1
X	X	X	0	1	1	0	1	1 1 1 1 1 0 1 1 1 1 1 1 1 1 1 1 1 1
X	X	X	0	1	1	1	0	1 1 1 1 0 1 1 1 1 1 1 1 1 1 1 1 1 1
X	X	X	0	1	1	1	1	1 1 1 0 1 1 1 1 1 1 1 1 1 1 1 1 1 1
X	X	X	1	0	0	0	0	1 1 0 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1
X	X	X	0	0	0	0	1	0 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1

จากตาราง เราสามารถสร้างวงจรได้ โดยใช้วิธีคาร์นอร์แม็พ ซึ่งจะได้วงจรดังรูปที่ 5.2

1.2 การออกแบบวงจร Coincidence

วงจรนี้เป็นวงจรที่ใช้ในการเปรียบเทียบค่าบิท ข้อมูลทุก ๆ บิท โดยถ้ามีค่าที่ตรงกันจะให้ค่าโลจิก "1" ออกมาดังนั้นจึงใช้เอ็กครูซีพนอร์ (exclusive nor) ในการเปรียบเทียบทุก ๆ บิทข้อมูล ซึ่งจะได้ยกตัวอย่างดังรูปที่ 5.3

1.3 วงจรนับ (Counter)

วงจรที่ออกแบบนั้น เป็นวงจรที่ทำงานแบบซิงโครนัส (Synchronous) ซึ่งใช้เจเค ฟลิปฟลอป (JK fliplfop) ในการออกแบบวงจร และจะได้วงจรออกมาดังรูปที่ 5.4

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.วงจรในส่วน Control logic

2.1 วงจร Vertical control

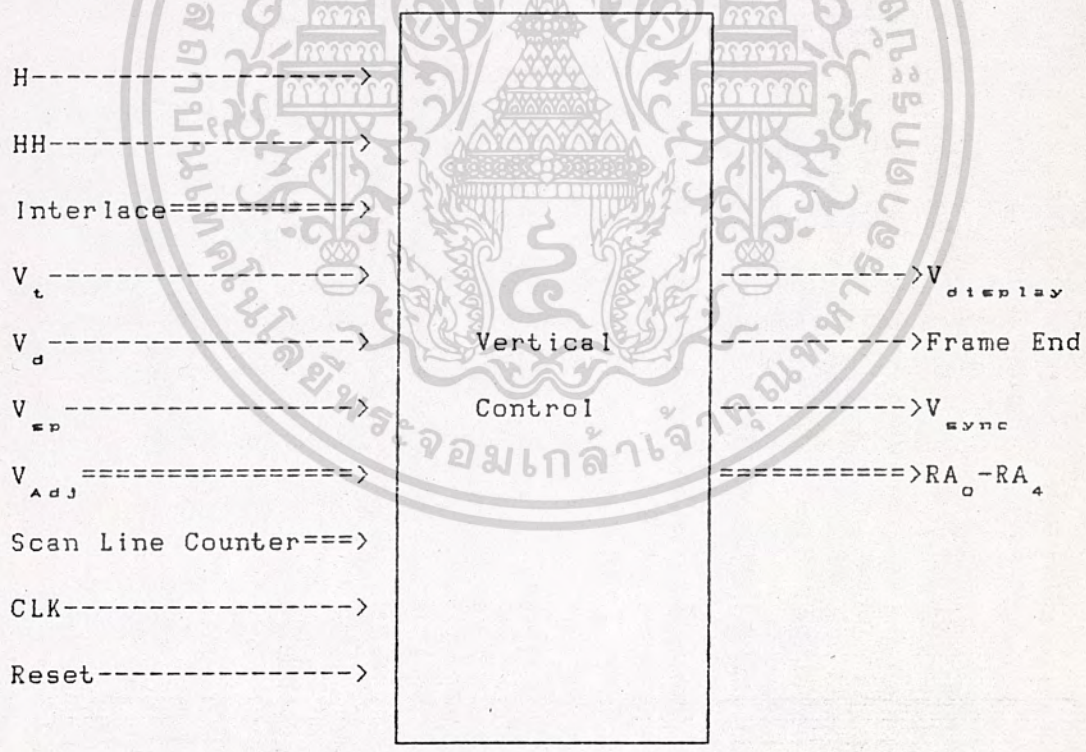
2.2 วงจร Linear address generator

2.3 วงจร Cursor control

2.4 วงจร Sync สัญญาณ Light pen strobe

2.1 วงจร Vertical control

จากการศึกษาทฤษฎีไอซี 6845 CRT controller จะพบว่าในส่วนของ Vertical control มีสัญญาณอินพุท, เอาท์พุท ดังแสดงในรูปที่ 5.5



รูปที่ 5.5 แสดงสัญญาณอินพุท และเอาท์พุท ที่เกี่ยวข้องกับ Vertical control

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

H : คือสัญญาณสแกนในแนวราบ Active High ความกว้าง 1 Clock

HH : คือสัญญาณแสดงว่าการสแกน ถึงครึ่งหนึ่งในการสแกนในแนวราบ

Interlace Mode : โหมดในการแสดงผล

V_t : คือสัญญาณแสดงว่าจบการสแกนในแนวดิ่ง Active High กว้าง 1 บรรทัด

V_d : คือสัญญาณแสดงว่าจบการแสดงผลในแนวดิ่ง Active High กว้าง 1 บรรทัด

V_{sp} : คือสัญญาณแสดงตำแหน่งในการเกิดสัญญาณ Vertical Sync Active High กว้าง 1 บรรทัด

V_{adj} : คือสัญญาณแสดงจำนวน Scan Line ที่จะต้องปรับ

Scan Line Counter : เป็นการนับจำนวนครั้งในการสแกนแต่จะมีค่าไม่เกิน Max Scan Line

CLK : Character clock

$V_{display}$: เป็นสัญญาณบอกถึงการอนุญาติให้แสดงผลในแนวดิ่ง Active High

Frame End : หมายถึงการแสดงผลครบ 1 frame มีความกว้าง 1 clock,Ative High

V_{sync} : คือสัญญาณซิงค์ในแนวดิ่ง Active High กว้าง 16 Scan Line

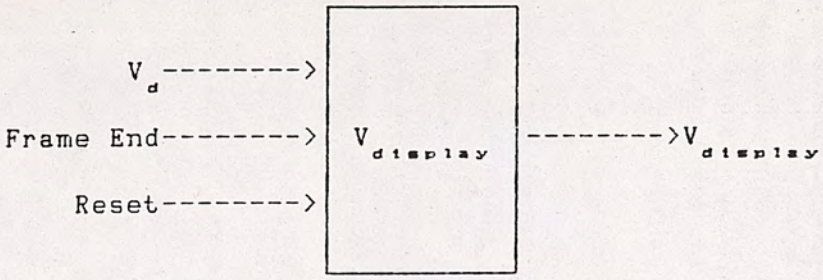
RA_0-RA_4 : บอกถึง Raster Address หมายถึงแถวที่ใช้ในการแสดงผลใน 1 บรรทัดว่ากำลังสแกนแถวใดอยู่

จากบล็อกของ Vertical control เราสามารถแยกเป็นบล็อกย่อย ๆ ได้ 4 บล็อก ตามสัญญาณเอาท์พุทได้ดังนี้

2.1.1 $V_{display}$

มีสัญญาณที่เกี่ยวข้องดังแสดงในรูปที่ 5.6

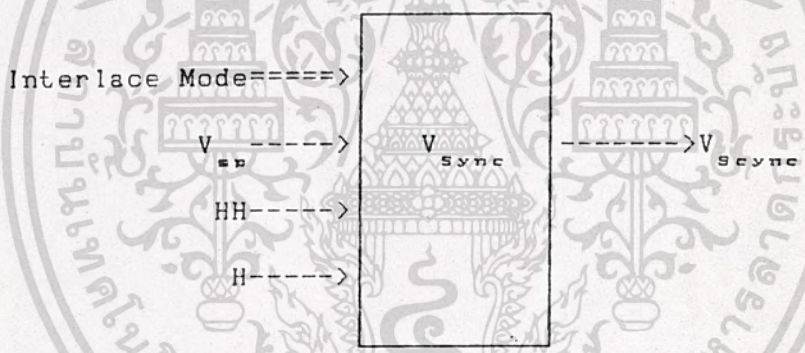
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 5.6

2.1.2 V_{sync}

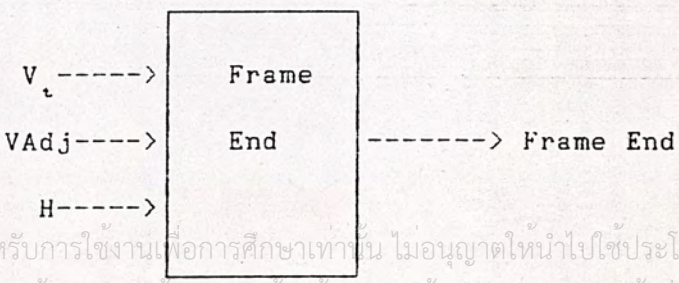
มีสัญญาณที่เกี่ยวข้องดังแสดงในรูปที่ 5.7



รูปที่ 5.7

2.1.3 Frame End

มีสัญญาณที่เกี่ยวข้องดังแสดงในรูปที่ 5.8

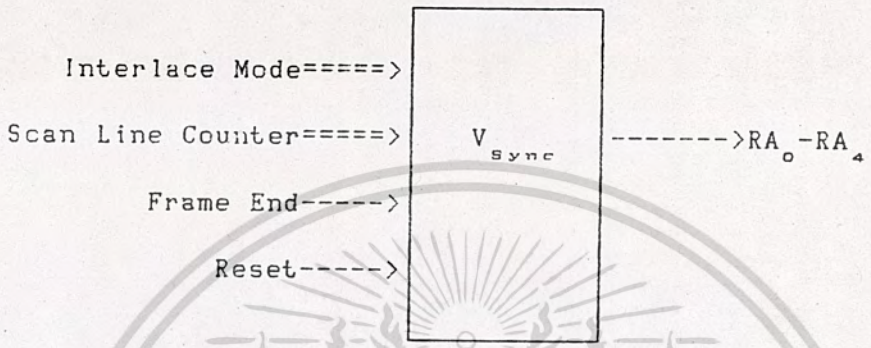


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 5.8

2.1.4 Raster Address

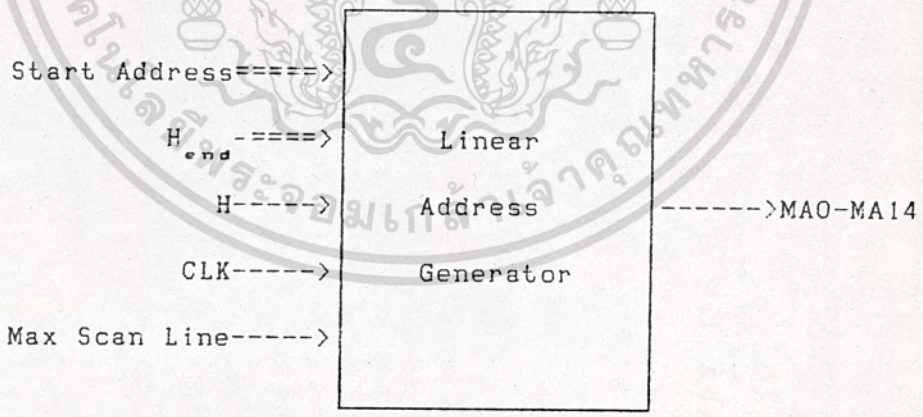
มีสัญญาณที่เกี่ยวข้องดังแสดงในรูปที่ 5.9



รูปที่ 5.9

2.2 วงจร Linear address generator

มีสัญญาณที่เกี่ยวข้องดังแสดงในรูปที่ 5.10

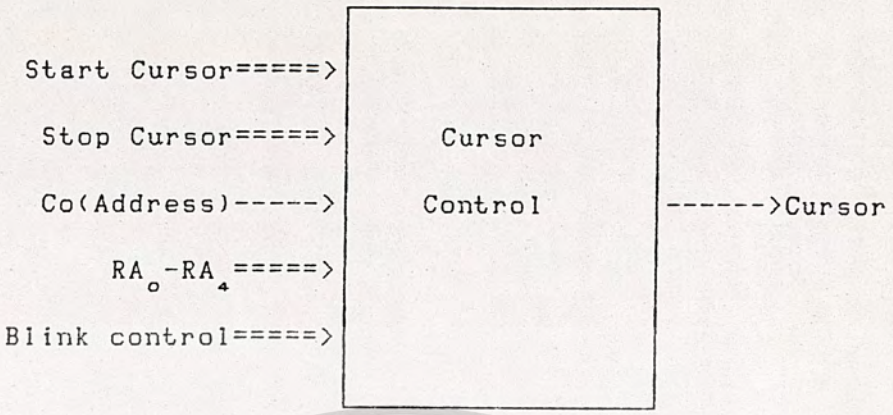


รูปที่ 5.10

2.3 วงจร Cursor control

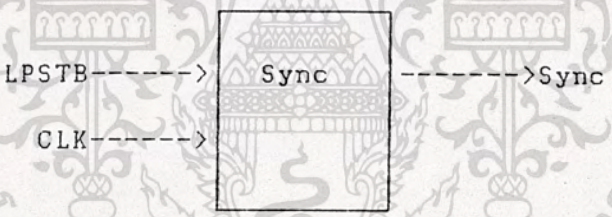
มีสัญญาณที่เกี่ยวข้องดังแสดงในรูปที่ 5.11

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



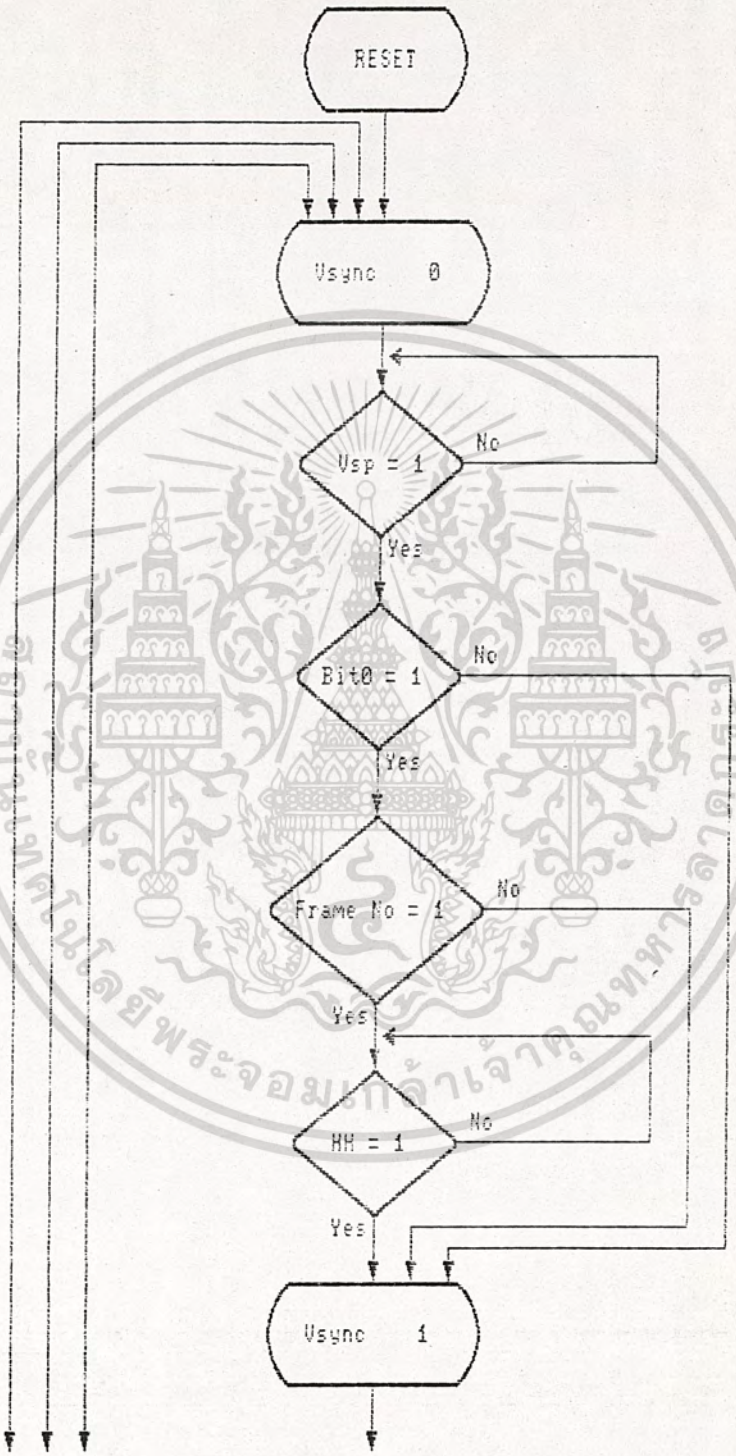
รูปที่ 5.11

2.4 วงจร Sync สัญญาณ Light pen strobe มีสัญญาณที่เกี่ยวข้องดังแสดงในรูปที่ 5.12

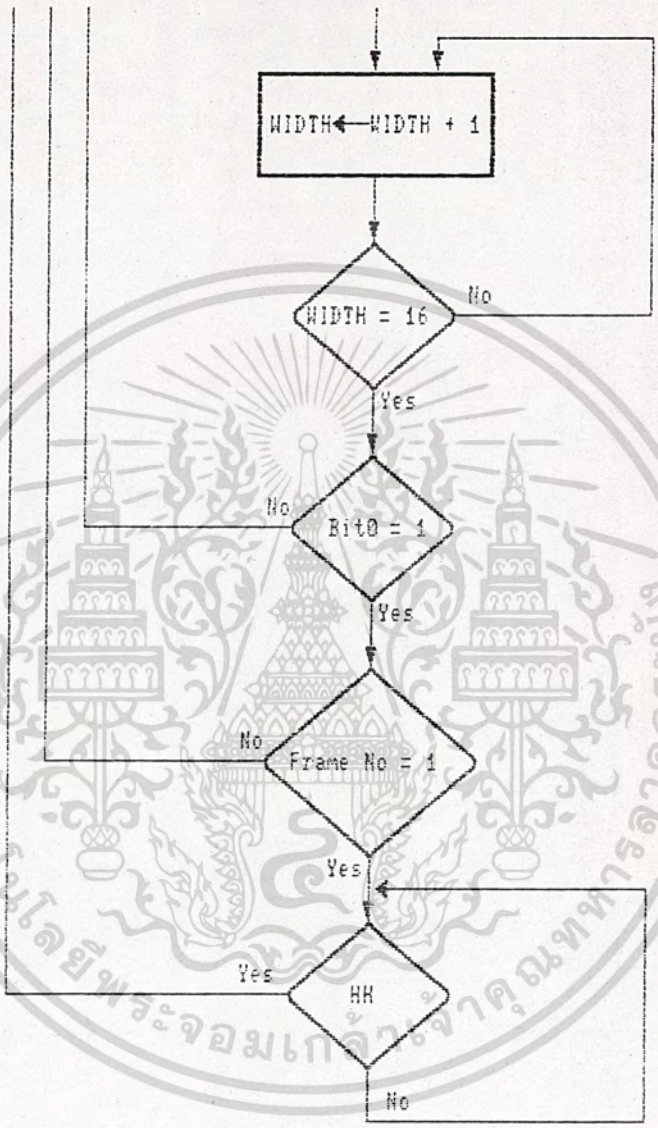


รูปที่ 5.12

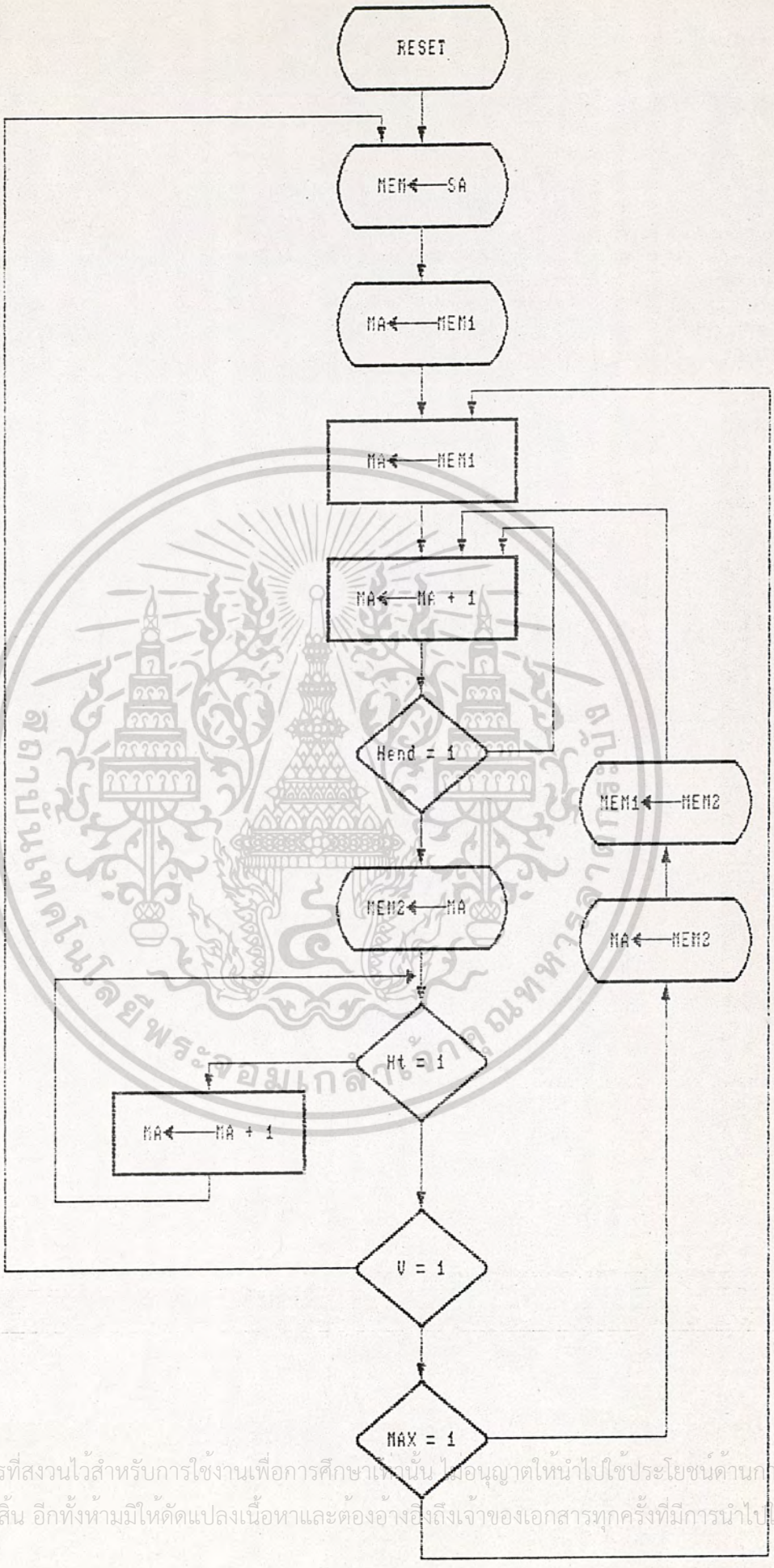
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



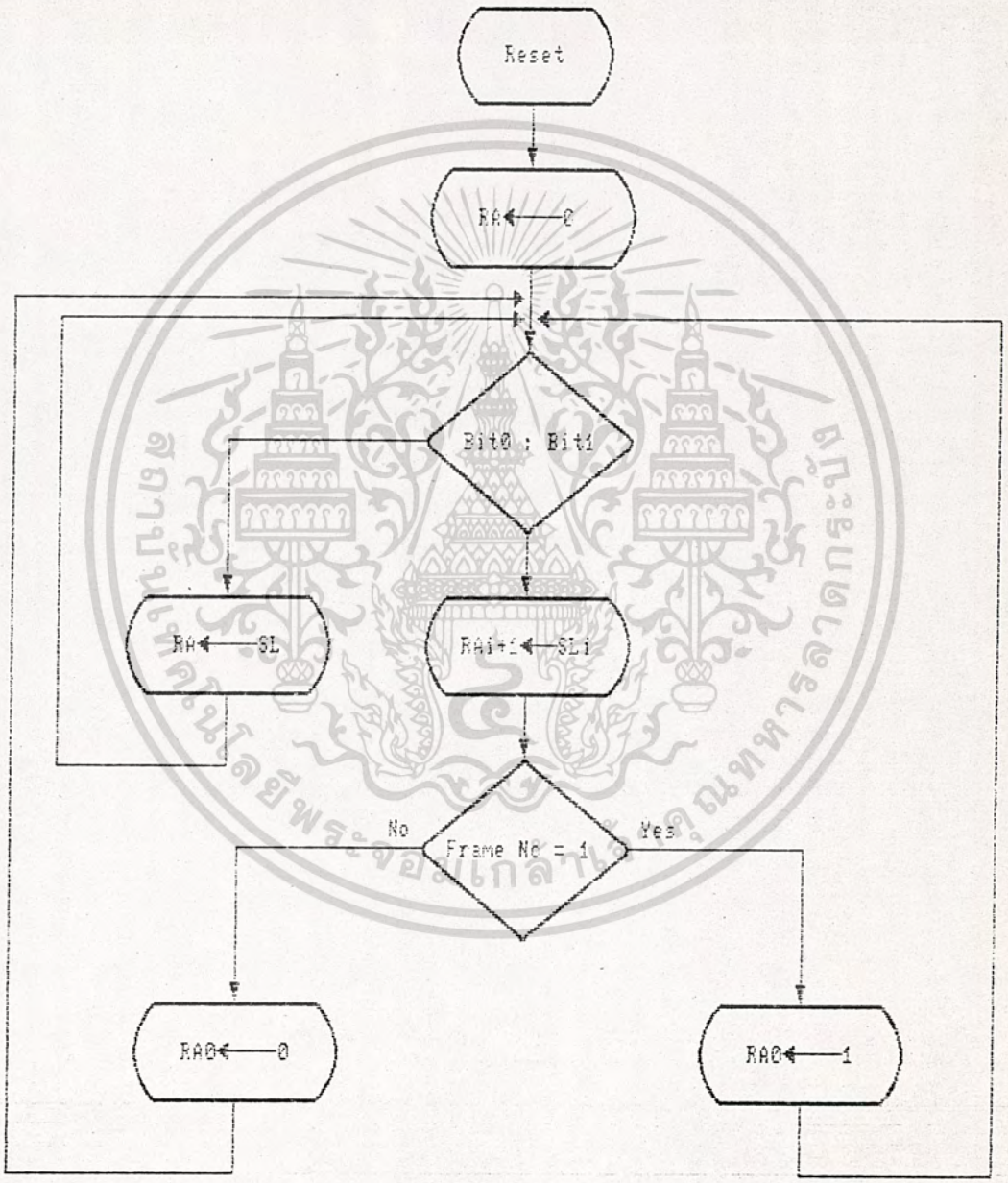
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



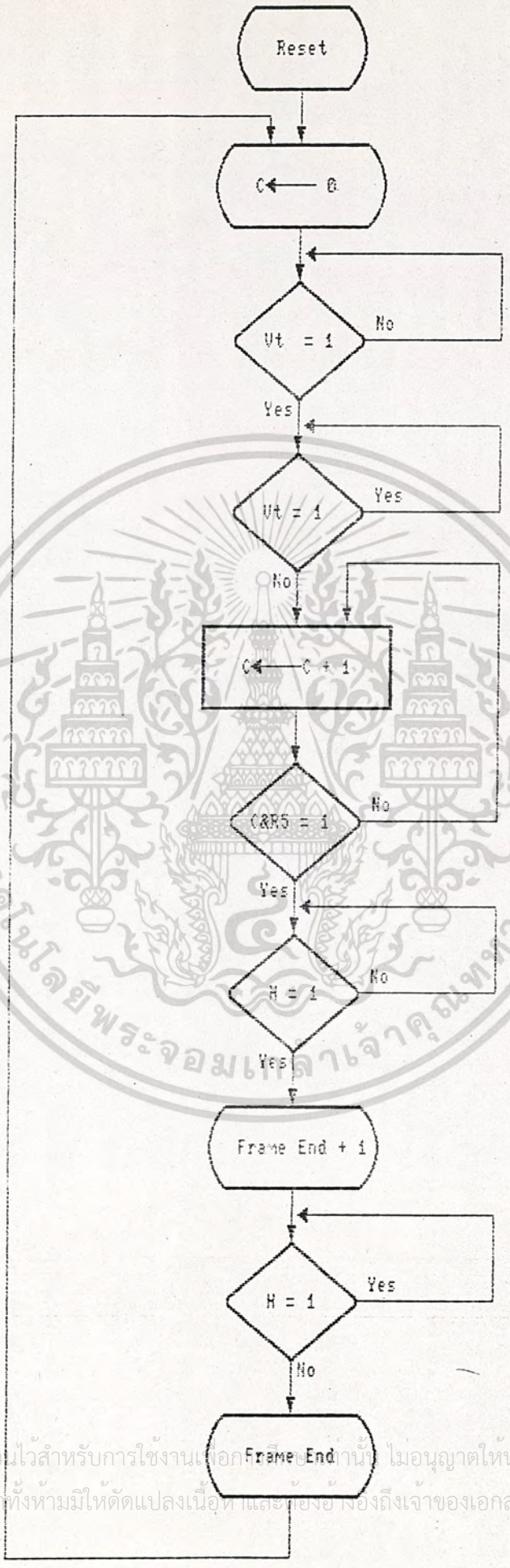
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



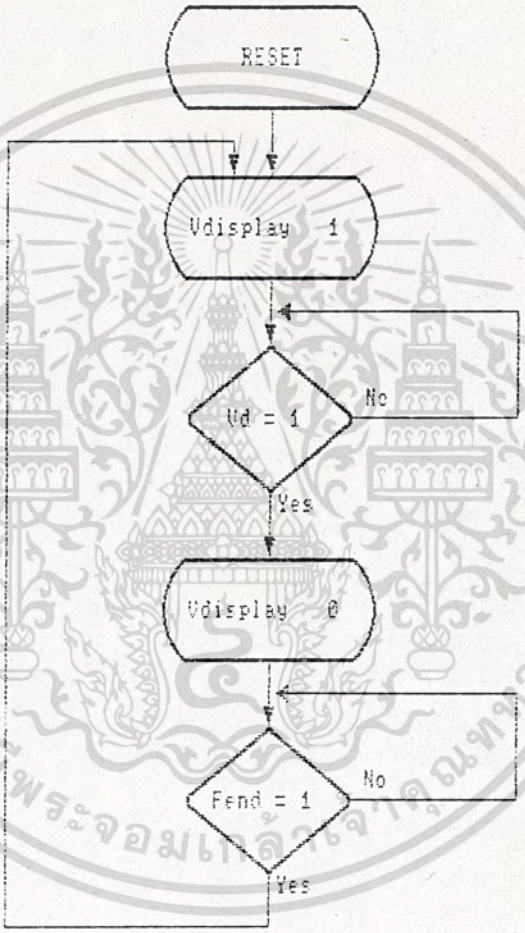
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



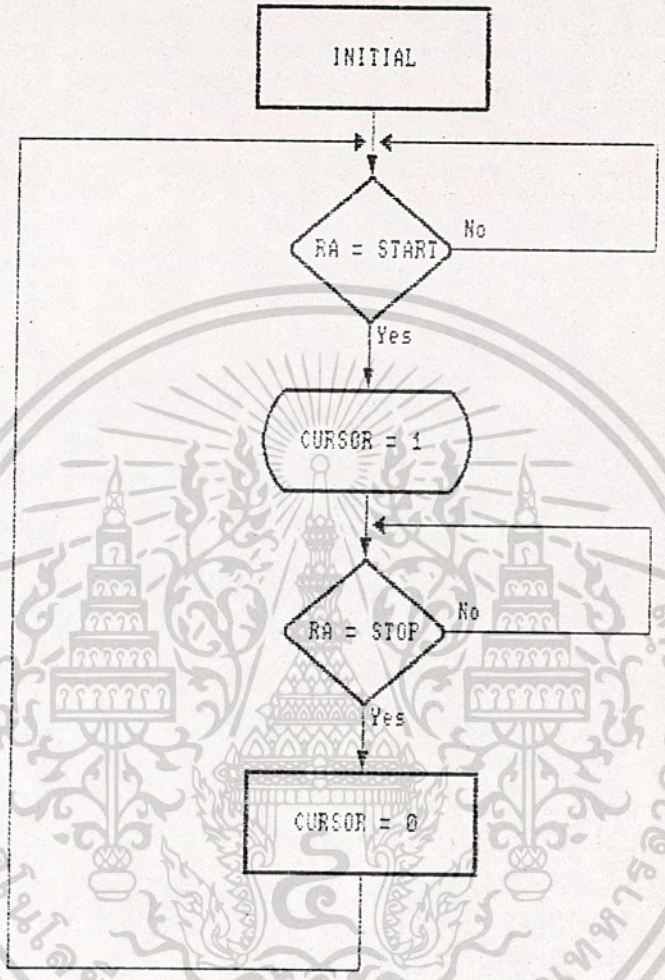
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



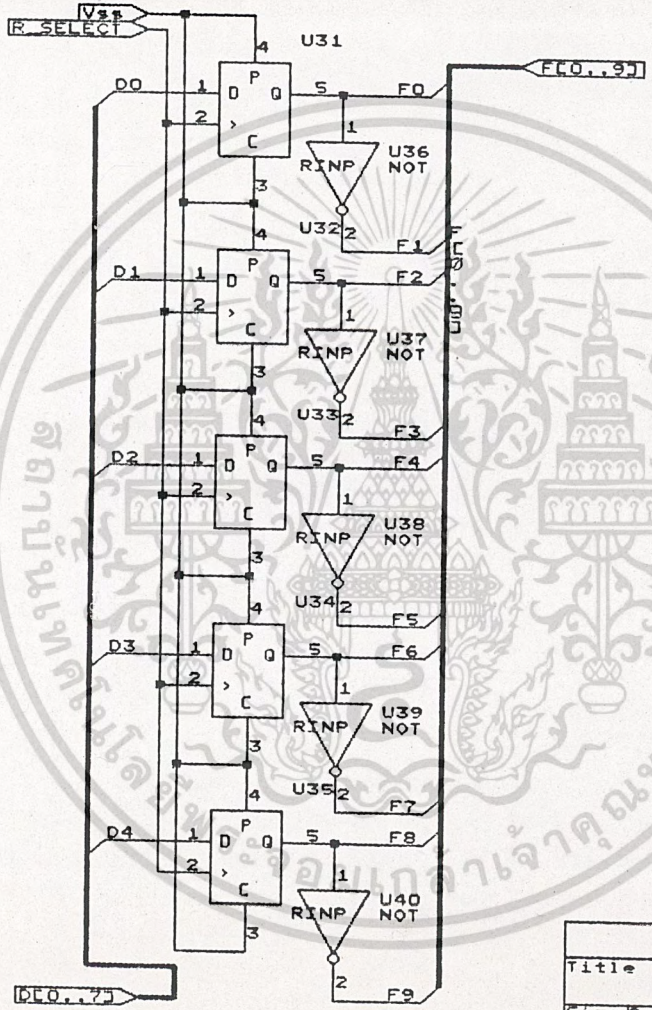
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



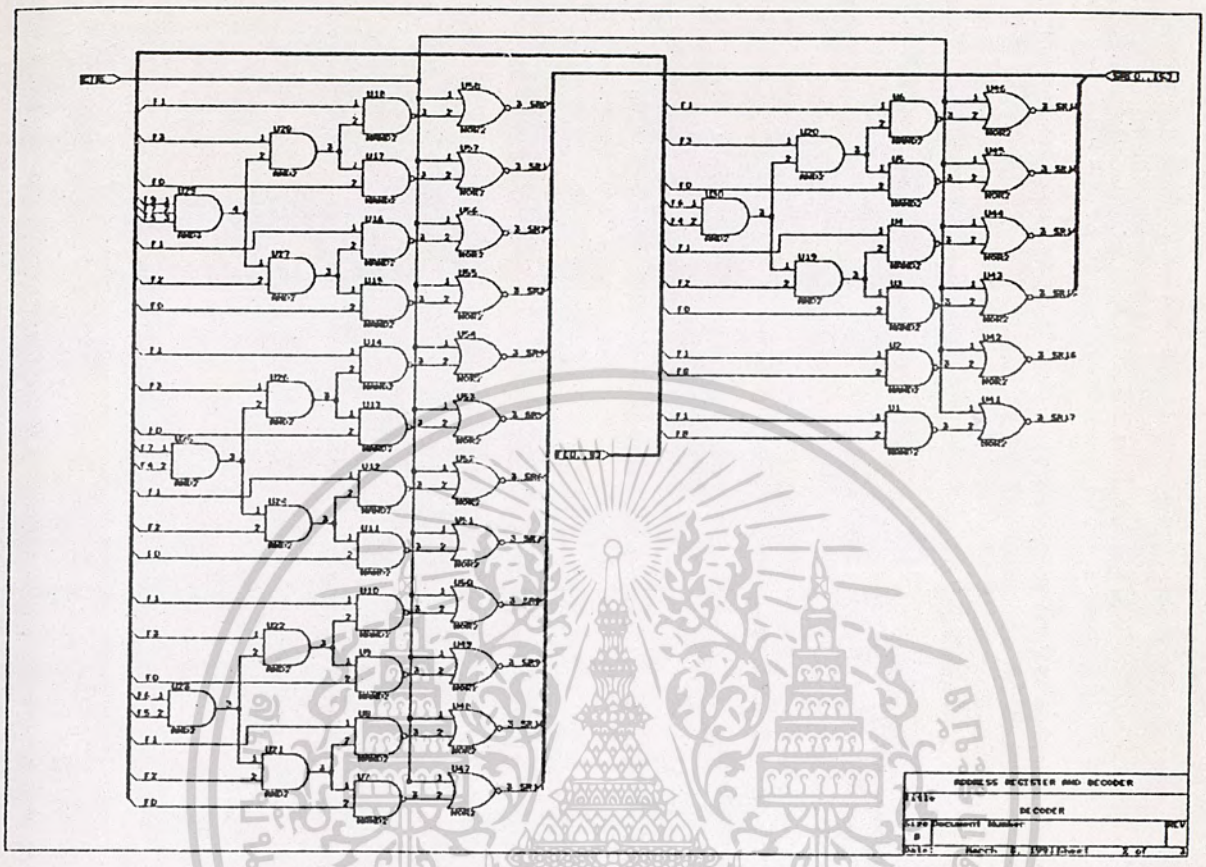
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



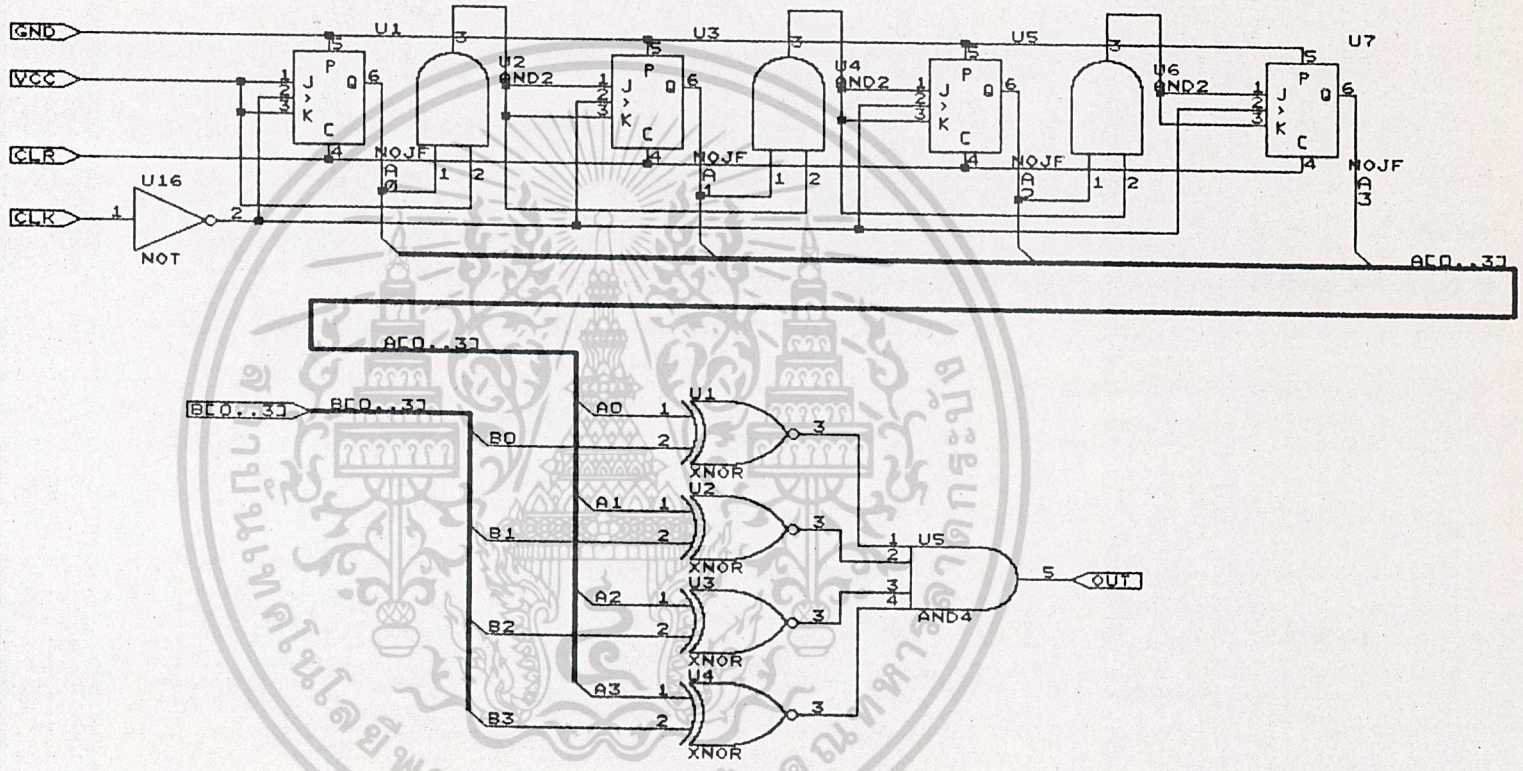
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



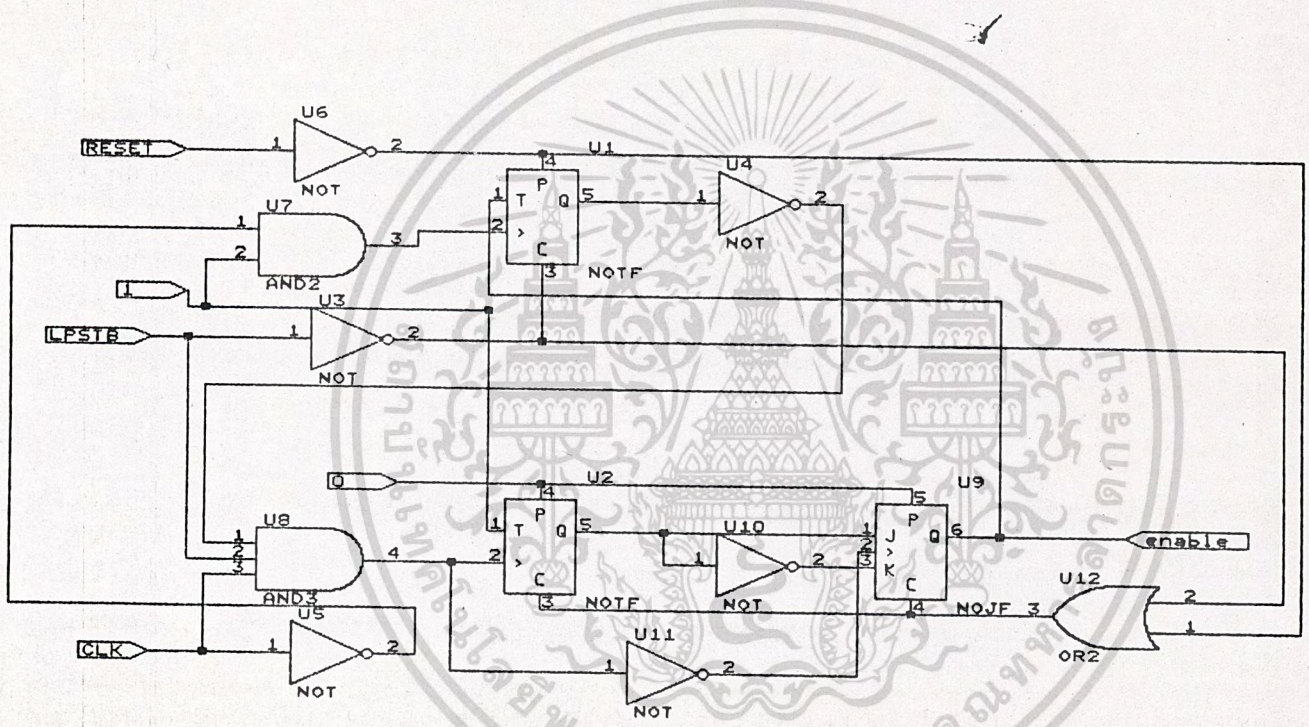
ADDRESS REGISTER AND DECODER		
Title: REGISTER SELECTOR		
Size: A	Document Number	REV
Date: March 8, 1991	Sheet 1 of 3	



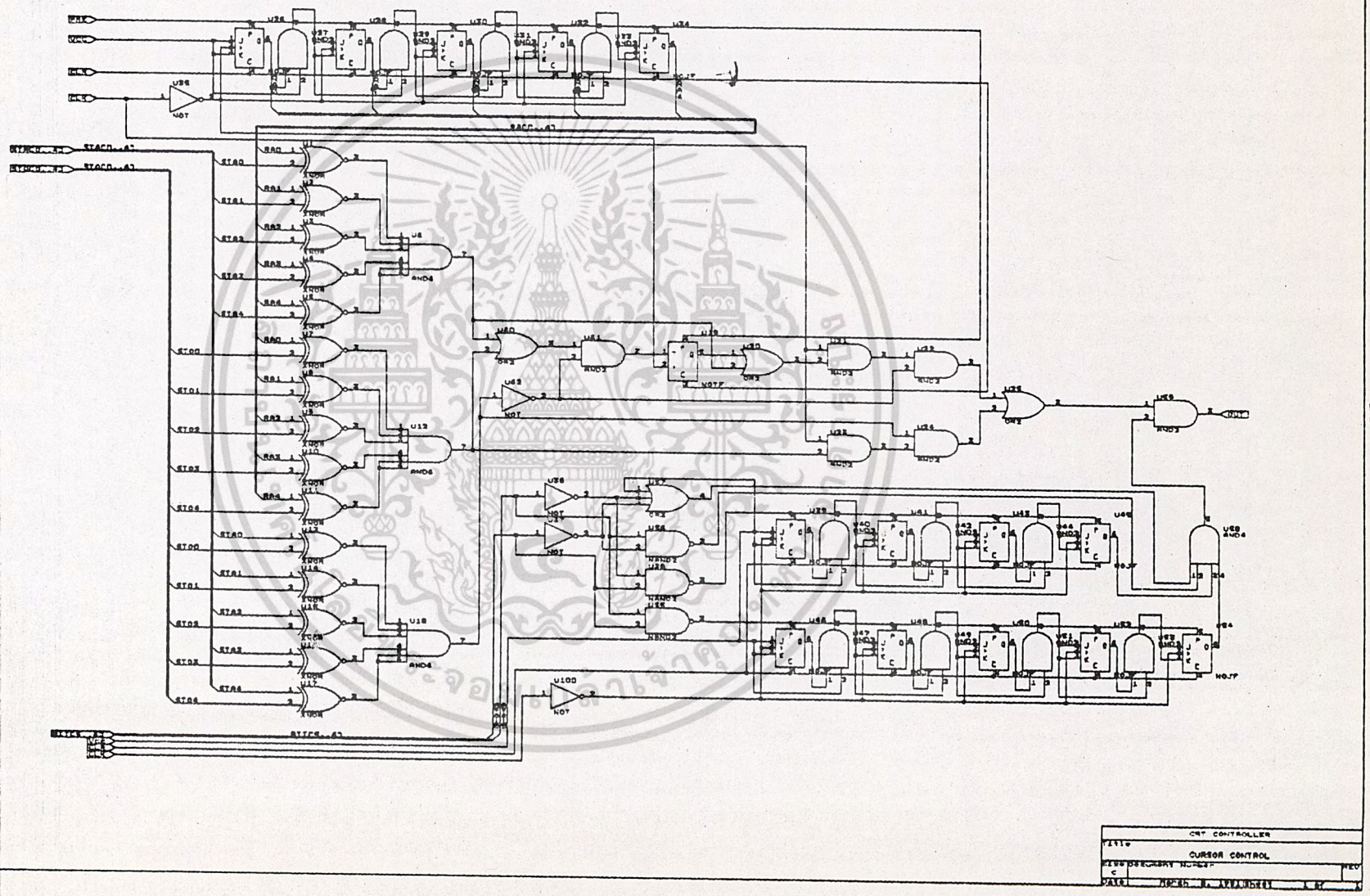
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

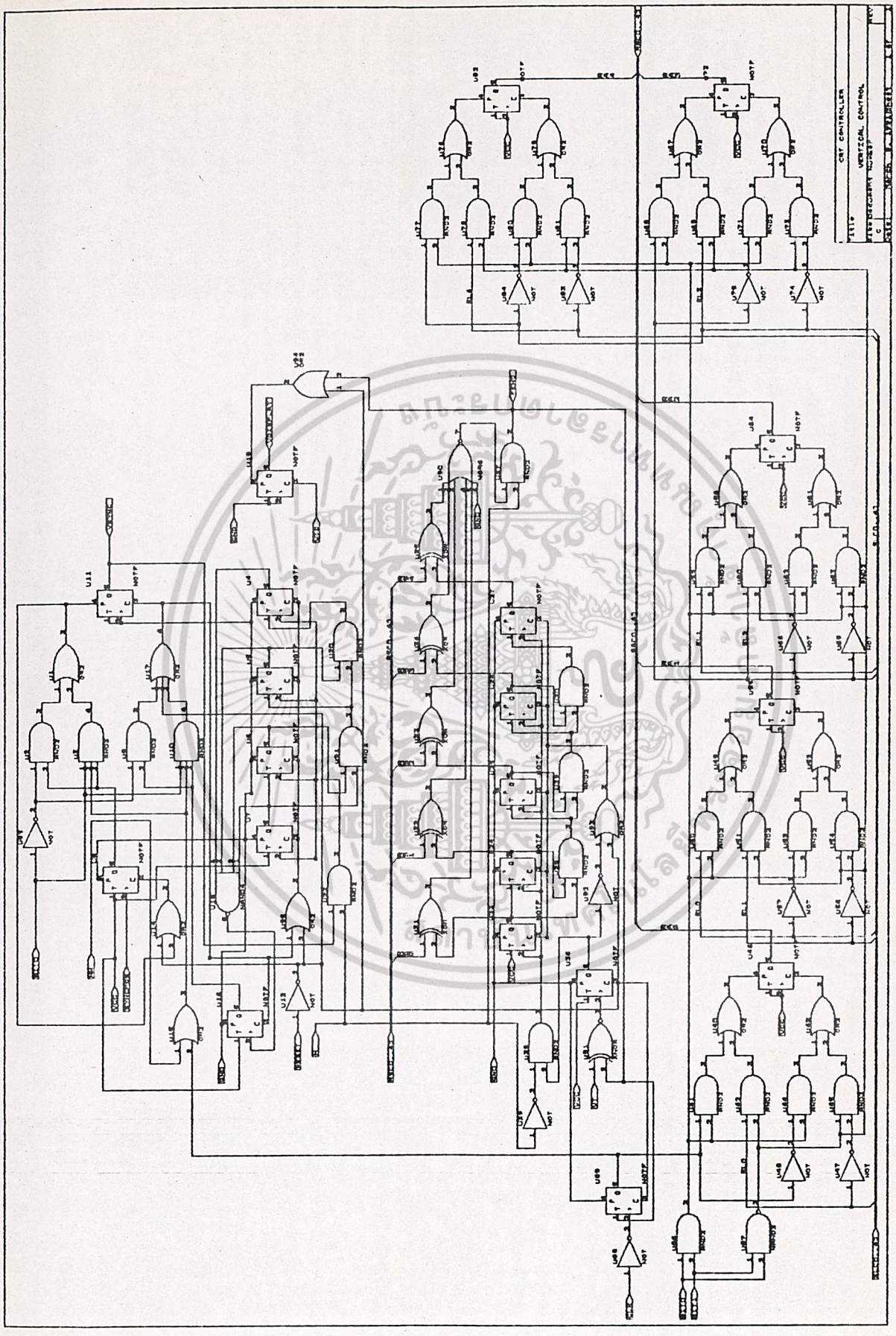


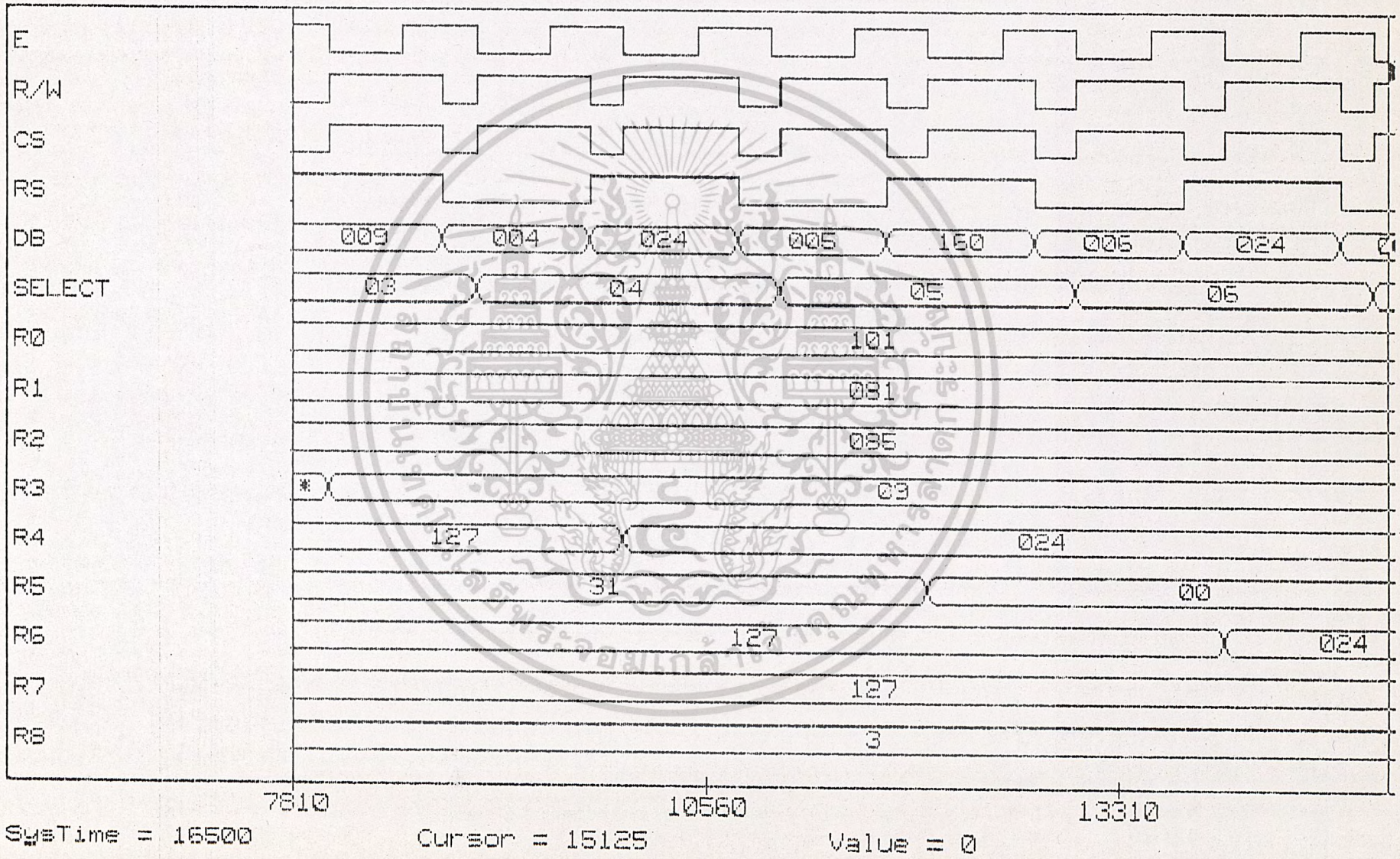
CRT CONTROLLER		
Title: COINCIDENT AND COUNTER		
Size: A	Document Number: 1	REV
Date: March 6, 1991	Sheet 1 of 1	

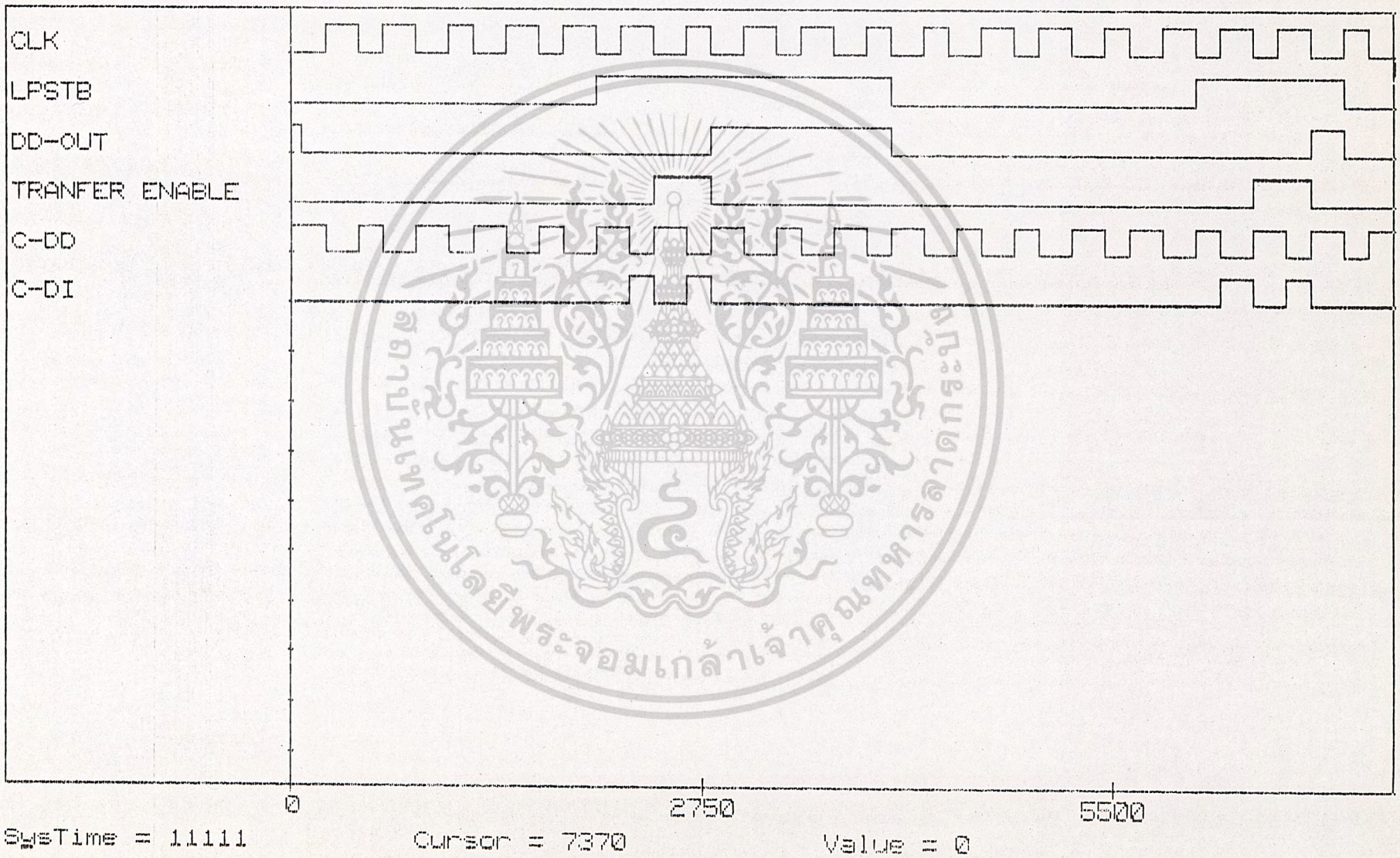


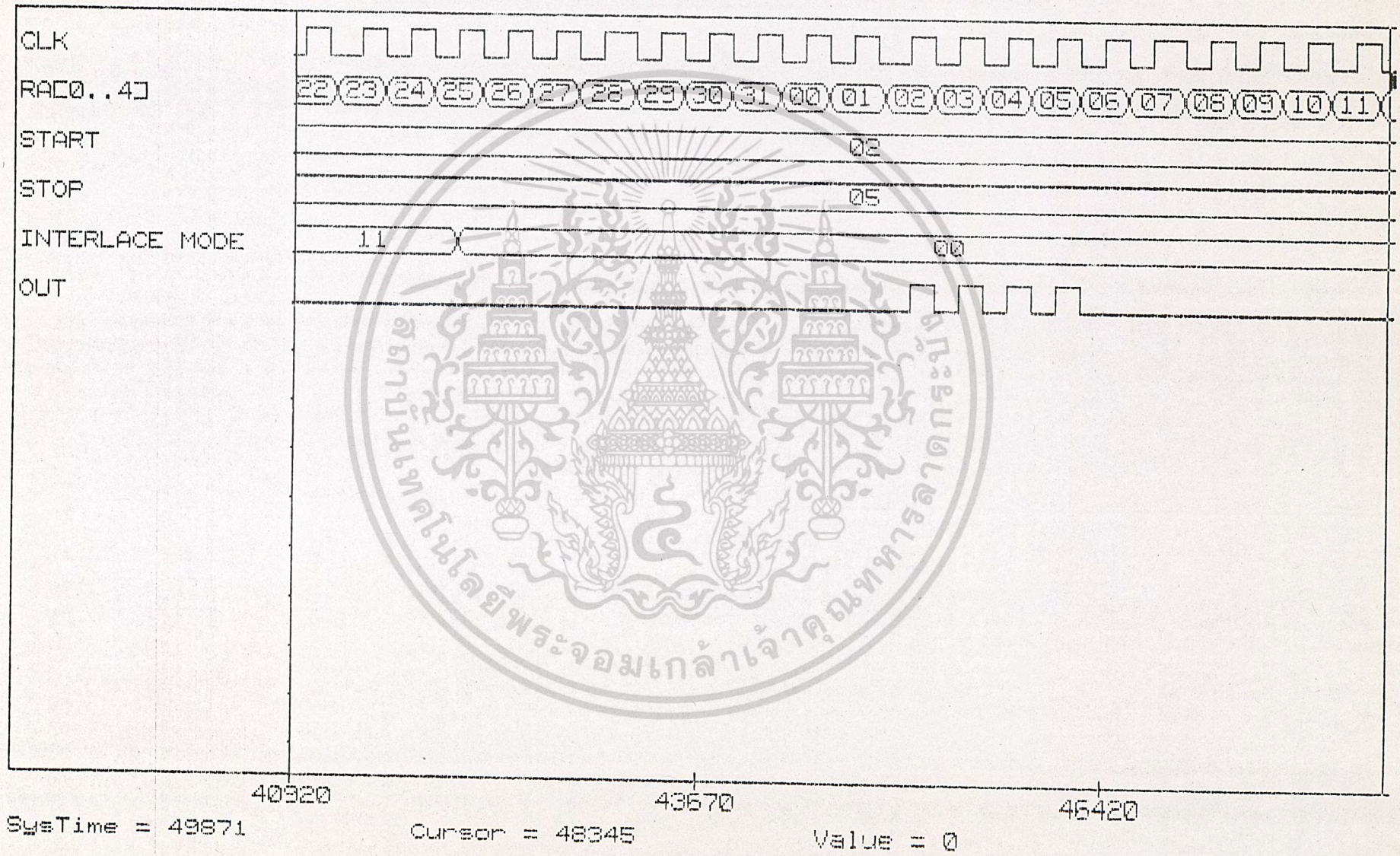
CRT CONTROLLER		
Title: LIGHT PEN STROBE		
Size: A	Document Number	REV
Date: March 8, 1991	Sheet 1 of 1	

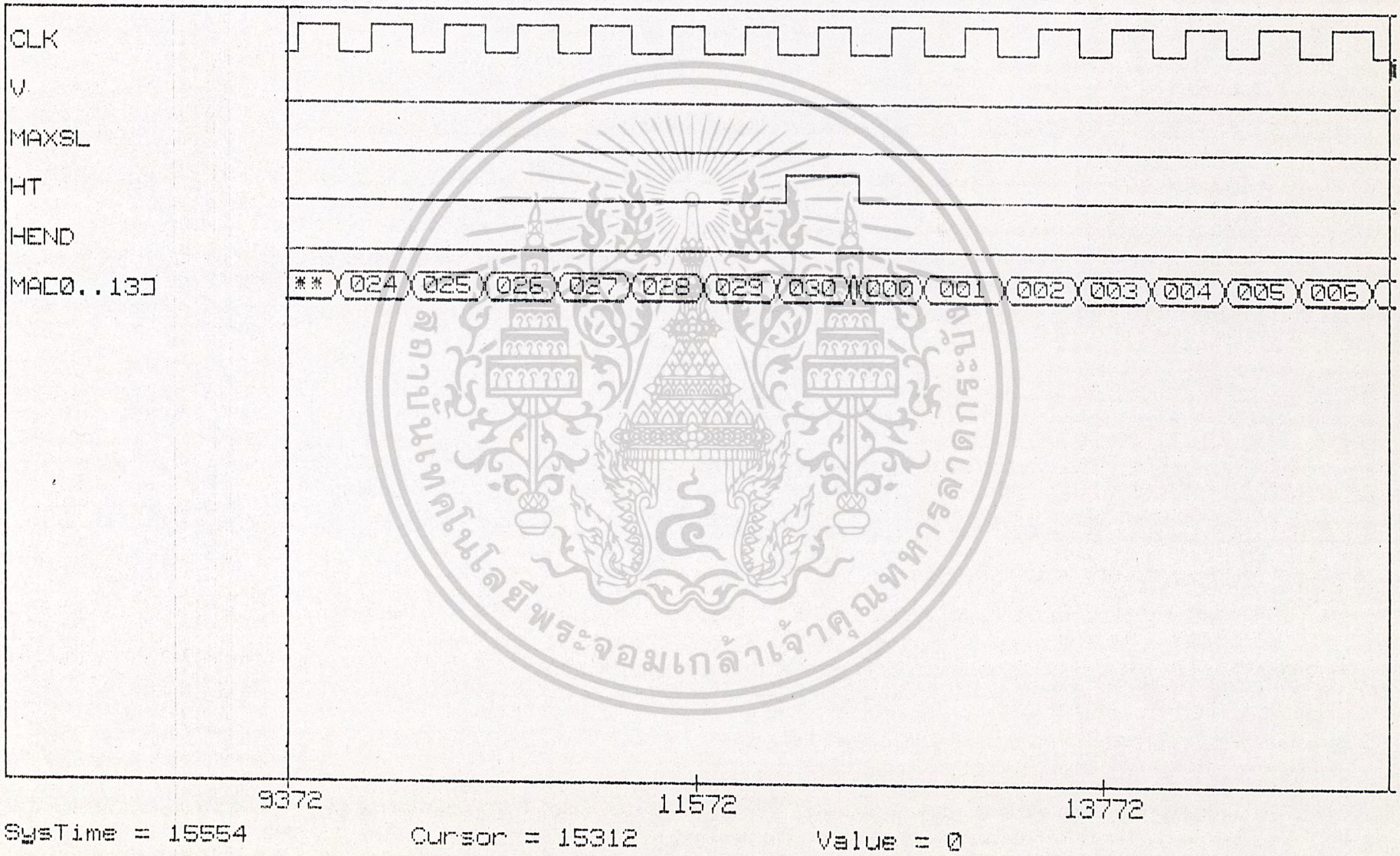

CRT CONTROLLER
CURSOR CONTROL


CRT CONTROLLER
VERTICAL CONTROL

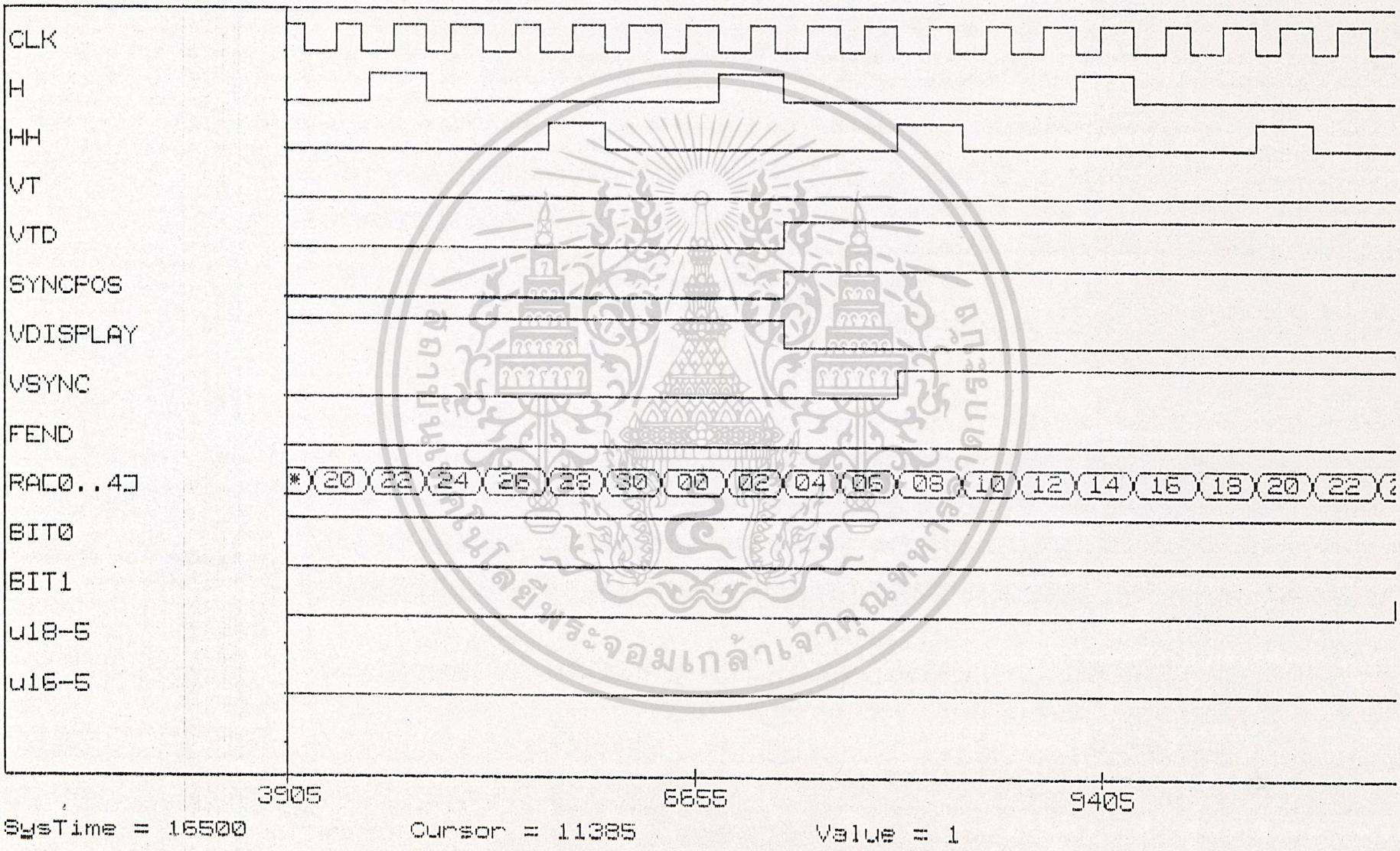

E
R/W
CS
RS
DB
SELECT
R0
R1
R2
R3
R4
R5
R6
R7
R8
009
004
024
005
150
006
024
08
04
05
06
101
081
085
03
127
024
31
00
127
024
127
3
7810
10560
13310
SysTime = 16500
Cursor = 15125
Value = 0

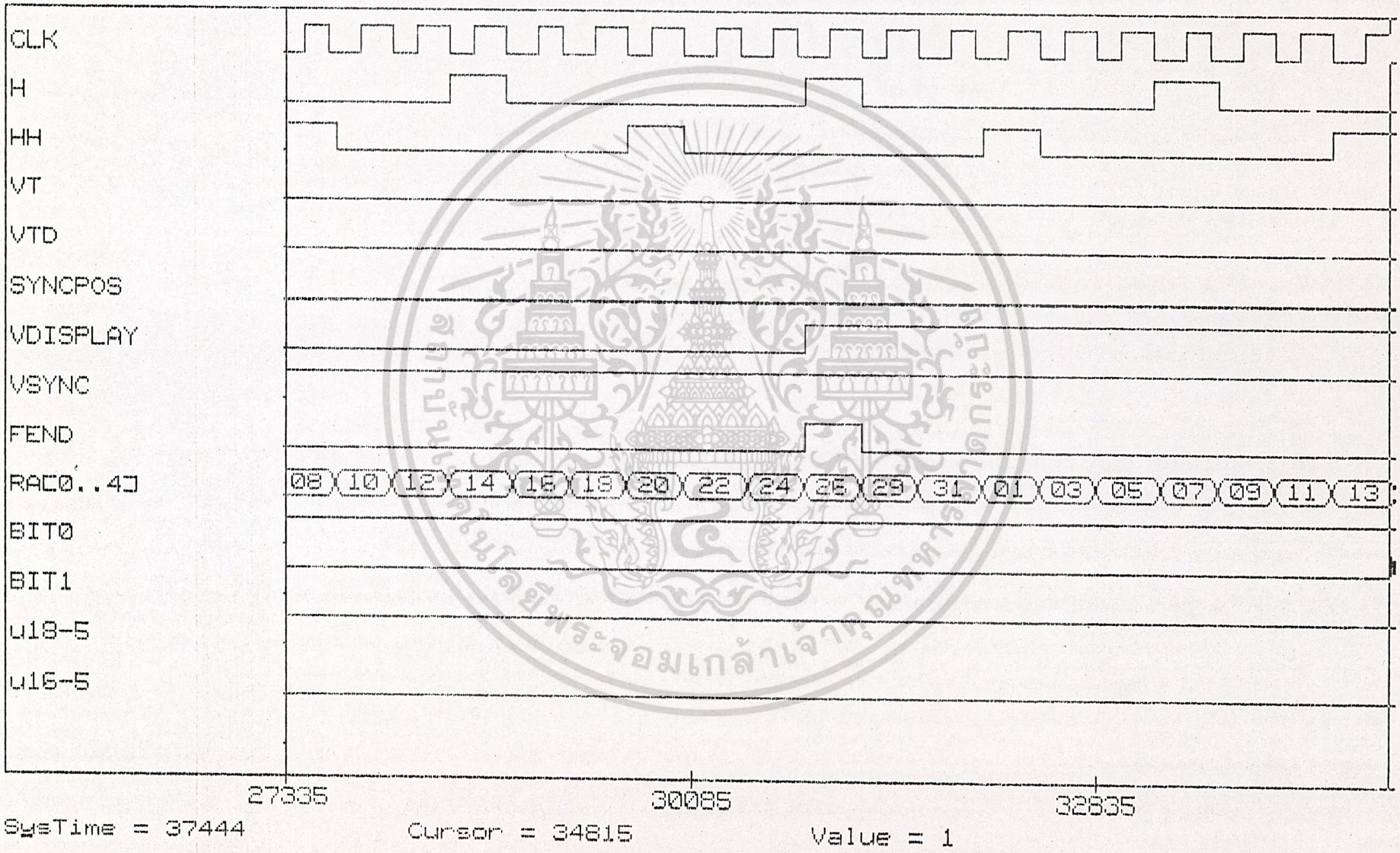

CLK
LPSTB
DD-OUT
TRANFER ENABLE
C-DD
C-DI
0
2750
5500
SysTime = 11111
Cursor = 7370
Value = 0


CLK
RA[0..4]
22 23 24 25 26 27 28 29 30 31 00 01 02 03 04 05 06 07 08 09 10 11
START
02
STOP
05
INTERLACE MODE
11
00
OUT
40920
43670
46420
SysTime = 49871
Cursor = 48345
Value = 0



สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง


CLK
H
HH
VT
VTD
SYNCPOS
VDISPLAY
VSYNC
FEND
RA[0..4]
*
20
22
24
26
28
30
00
02
04
06
08
10
12
14
16
18
20
22
BIT0
BIT1
u18-5
u16-5
3905
6655
9405
SysTime = 16500
Cursor = 11385
Value = 1


CLK
H
HH
VT
VTD
SYNCPOS
VDISPLAY
VSYNC
FEND
RAC0..4]
08 10 12 14 16 18 20 22 24 26 28 31 01 03 05 07 09 11 13
BIT0
BIT1
u18-5
u16-5
27335
30085
32835
SysTime = 37444
Cursor = 34815
Value = 1

บทที่ 6

สรุปผลและวิจารณ์

ในการออกแบบวงจรรวมขนาดใหญ่องวงจรควบคุมจอภาพ ที่ได้ทำมานั้นสามารถทำได้ตามวัตถุประสงค์คือ สามารถเลียนแบบการทำงานของไอซี เบอร์ 6845 ได้ แต่จะมีความสามารถที่สูงกว่า คือ ทำงานได้เร็วกว่า

ข้อเสียในการใช้ซอฟท์แวร์ออกแบบวงจรรวมขนาดใหญ่ คือ ไม่สามารถจำลองการสูญเสียพลังงานในเกทแต่ละตัวได้ คือ จำลองได้เฉพาะระดับโลจิก 0 และ 1 เท่านั้น วงจรที่ได้จะต้องนำไปโปรแกรมลงอีพีแอลดี เพื่อตรวจสอบดูว่าวงจรที่ออกแบบบสามารถทำงานได้จริงหรือไม่ ในการออกแบบวงจรที่ได้ทำมานั้น เราจำเป็นจะต้องศึกษารายละเอียด การทำงานของวงจรควบคุมจอภาพอย่างลึกซึ้ง โดยเฉพาะสัญญาณควบคุมต่าง ๆ ซึ่งเราจะต้องแยก การออกแบบเป็นส่วน ๆ จากนั้นนำมาพิจารณาและออกแบบ

สิ่งที่เป็นปัญหาในการออกแบบ คือ แม้ว่าแต่ละส่วนที่ทำการออกแบบจะทำงานได้ แต่เมื่อนำมารวมกันอาจจะเกิดปัญหาขึ้นได้ เช่น การแปลงสภาวะจากสถานะหนึ่งไปยังอีกสถานะหนึ่งนั้น อาจจะมีผลกระทบกระเทือนกับส่วนอื่น ๆ ได้ ซึ่งจะทำให้วงจรทำงานผิดพลาดได้ ซึ่งการติดตามดูผลกระทบข้างเคียงนี้ จะต้องใช้เวลามากพอสมควร

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MOTOROLA

MC6845

Advance Information

MOS

(N-Channel, Silicon-Gate)

CRT CONTROLLER (CRTC)

CRT CONTROLLER (CRTC)

The MC6845 CRT Controller performs the interface to raster scan CRT displays. It is intended for use in processor-based controllers for CRT terminals in stand-alone or cluster configurations.

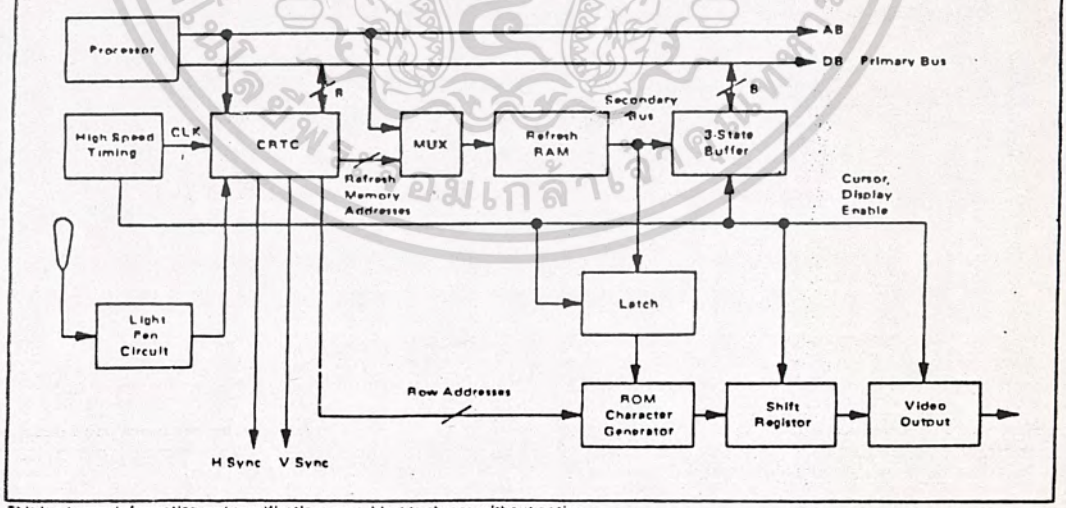
The CRTC is optimized for hardware/software balance in order to achieve integration of all key functions and maintain flexibility. For instance, all keyboard functions, R/W, cursor movements, and editing are under processor control, whereas the CRTC provides video timing and Refresh Memory Addressing.

- Applications include "glass teletype," smart, programmable, intelligent CRT terminals; video games; information display.
- Alphanumeric, semi-graphic, and full graphic capability.
- Fully programmable via processor data bus. Can generate timing for almost any alphanumeric screen density, e.g. 80 x 24, 72 x 64, 132 x 20, etc.
- Single +5 volt supply. TTL/6800 compatible I/O.
- Hardware scroll (paging or by line or by character)
- Compatible with CPU's and MPU's which provide a means for synchronizing external devices.
- Cursor register and compare circuitry.
- Cursor format and blink are programmable.
- Light pen register.
- Line buffer-less operation. No external DMA required. Refresh Memory is multiplexed between CRTC and MPU.
- Programmable interlace or non-interlace scan.
- 14-bit wide refresh address.

L SUFFIX
CERAMIC PACKAGE
CASE 715

NOT SHOWN:
P SUFFIX
PLASTIC PACKAGE
CASE 711

FIGURE 1 – TYPICAL CRT CONTROLLER APPLICATION



This is advance information and specifications are subject to change without notice.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

SYSTEM BLOCK DIAGRAM DESCRIPTION

As shown in Figure 1, the primary function of the CRTC is to generate refresh addresses (MA0-MA13), row selects (RA0-RA4), and video monitor timing (HSYNC, VSYNC) and Display Enable. Other functions include an internal cursor register which generates a Cursor output when its contents compare to the current Refresh Address. A light-pen strobe input signal allows capture of Refresh Address in an internal light pen register.

All timing in the CRTC is derived from the Clk input. In alphanumeric terminals, this signal is the character rate. Character rate is divided down from video rate by external High Speed Timing when the video frequency is greater than 3 MHz. Shift Register, Latch, and MUX Control signals are also provided by external High Speed Timing.

The processor communicates with the CRTC through a buffered 8-bit Data Bus by reading/writing into the 18-register file of the CRTC.

The Refresh Memory address is multiplexed between the Processor and CRTC. Data appears on a Secondary Bus which is buffered from the processor Primary Bus. A number of approaches are possible for solving contentions for the Refresh Memory.

1. Processor always gets priority.
2. Processor gets priority access anytime, but can be synchronized by an interrupt to perform accesses only during horizontal and vertical retrace times.
3. Synchronize processor by memory wait cycles.
4. Synchronize processor to character rate (See Figure 2). The 6800 MPU family lends itself to this configuration because it has constant cycle lengths. This method provides zero burden on the processor because there is never a contention for memory. All accesses are *"transparent."*

The secondary data bus concept in no way precludes using the Refresh RAM for other purposes. It looks like any other RAM to the Processor. For example, using Approach 4, a 64K byte RAM Refresh Memory could perform refresh and program storage functions transparently.

MAXIMUM RATINGS

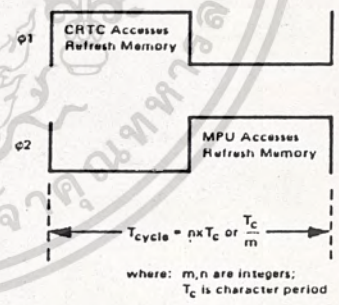
Rating	Symbol	Value	Unit
Supply Voltage	V_{CC}*	-0.3 to +7.0	Vdc
Input Voltage	V_{in}*	-0.3 to +7.0	Vdc
Operating Temperature Range	T_A	0 to +70	°C
Storage Temperature Range	T_{stg}	-55 to +150	°C

*With respect to V_{SS} (Gnd).

RECOMMENDED OPERATING CONDITIONS

Characteristics	Symbol	Min	Typ	Max	Unit
Supply Voltage	V_{CC}	4.75	5.0	5.25	Vdc
Input Low Voltage	V_{IL}	-0.3	–	0.8	Vdc
Input High Voltage	V_{IH}	2.0	–	V_{CC}	Vdc

FIGURE 2 – TRANSPARENT REFRESH MEMORY CONFIGURATION TIMING USING 6800 MPU FAMILY



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ELECTRICAL CHARACTERISTICS (V_{CC} = 5.0 V ±5%, V_{SS} = 0, T_A = 0 to 70°C unless otherwise noted)

Characteristic		Symbol	Min	Typ	Max	Unit
Input High Voltage		V_{IH}	2.0	–	V_{CC}	Vdc
Input Low Voltage		V_{IL}	-0.3	–	0.8	Vdc
Input Leakage Current		I_{in}	–	1.0	2.5	μAdc
Three State (V_{CC} = 5.25 V) (V_{in} = 0.4 to 2.4 V)		I_{TSI}	-10	2.0	10	μAdc
Output High Voltage (I_{load} = -205 μA)	D0-D7	V_{OH}	2.4	–	–	Vdc
(I_{load} = -100 μA)	Other Outputs		2.4	–	–	
Output Low Voltage (I_{load} = 1.6 mA)		V_{OL}	–	–	0.4	Vdc
Power Dissipation		P_D	–	600	–	mW
Input Capacitance	D0-D7	C_{in}	–	–	12.5	pF
	All others		–	–	10	
Output Capacitance	All Outputs	C_{out}	–	–	10	pF
Minimum Clock Pulse Width, Low		P_{WCL}	160	–	–	ns
Minimum Clock Pulse Width, High		P_{WCH}	200	–	–	ns
Clock Frequency		f_c	–	–	2.5	MHz
Rise and Fall Time for Clock Input		t_{cr}, t_{cf}	–	–	20	ns
Memory Address Delay Time		t_{MAD}	–	–	160	ns
Raster Address Delay Time		t_{RAD}	–	–	160	ns
Display Timing Delay Time		t_{DTD}	–	–	300	ns
Horizontal Sync Delay Time		t_{HSD}	–	–	300	ns
Vertical Sync Delay Time		t_{VSD}	–	–	300	ns
Cursor Display Timing Delay Time		t_{CDD}	–	–	300	ns
Light Pen Strobe Minimum Pulse Width		PW_{LPH}	100	–	–	ns
Light Pen Strobe Disable Time		t_{LPD1}	–	–	120	ns
		t_{LPD2}	–	–	0	ns

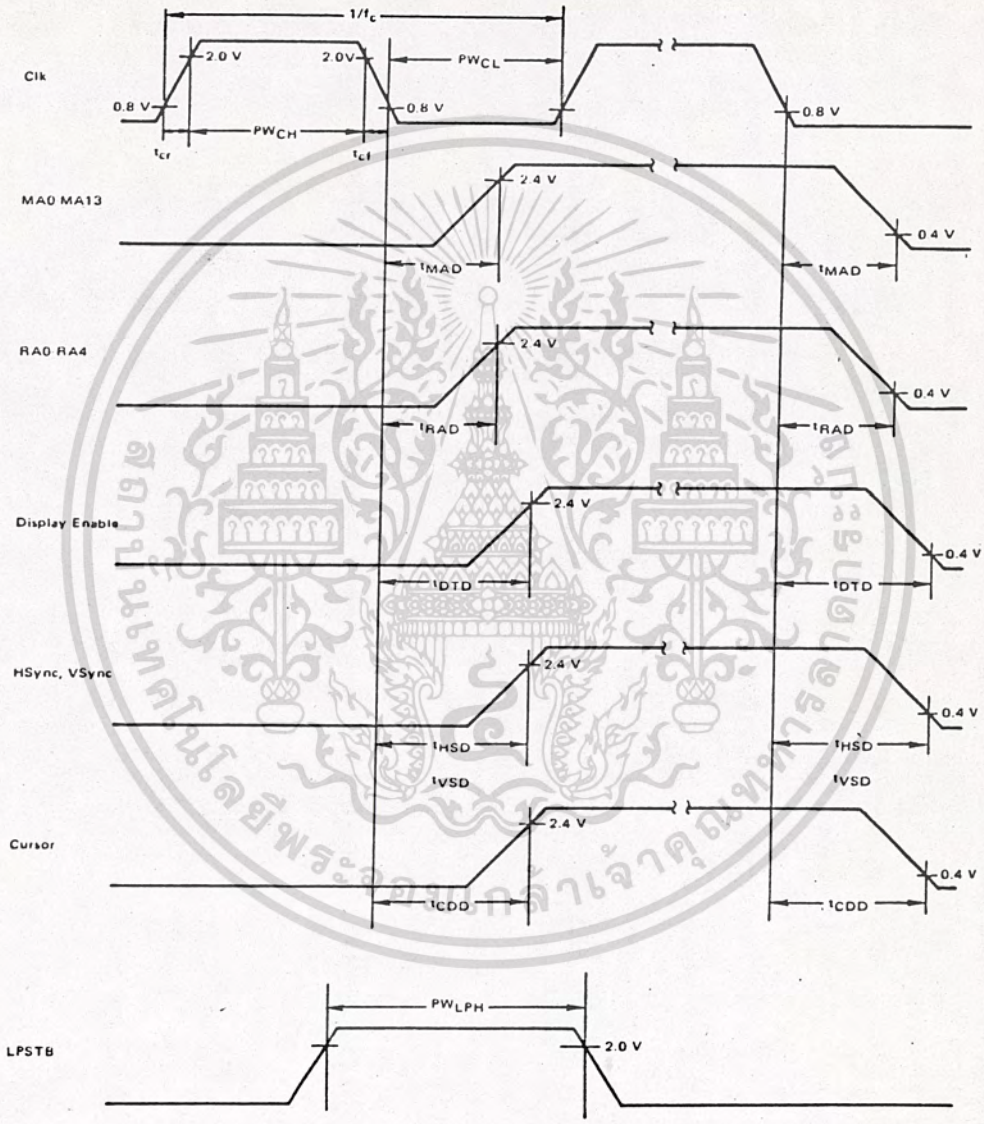
Note The light pen strobe must fall to low level before VSYNC pulse rises.

BUS TIMING CHARACTERISTICS

Characteristic	Symbol	Min	Max	Unit
READ/WRITE				
Enable Cycle Time	t_{cycE}	1.0	–	μs
Enable Pulse Width, High	PW_{EH}	0.45	25	μs
Enable Pulse Width, Low	PW_{EL}	0.43	–	μs
Setup Time, CS and RS valid to enable positive transition	t_{AS}	160	–	ns
Data Delay Time	t_{DDR}	–	320	ns
Data Hold Time (Read)	t_H	10	–	ns
(write)		10	–	
Address Hold Time	t_{AH}	10	–	ns
Rise and Fall Time for Enable Input	t_{Er}, t_{Ef}	–	25	ns
Data Setup Time	t_{DSW}	195	–	ns
Data Access Time	t_{ACC}	–	480	ns

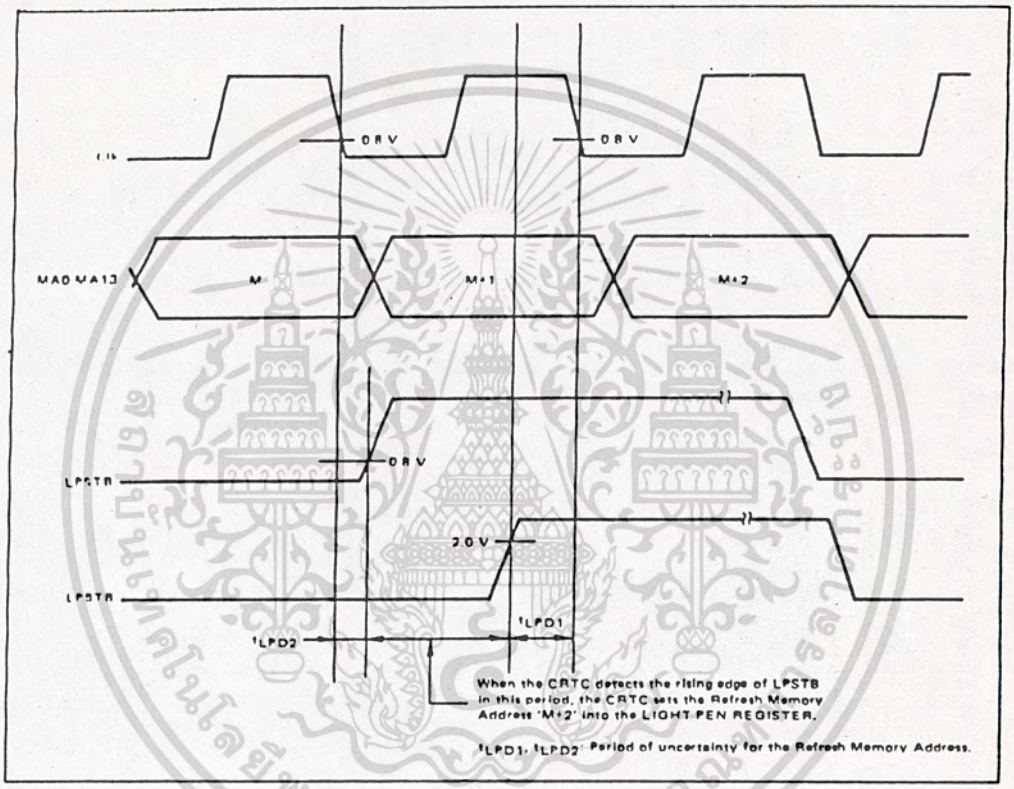
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

FIGURE 3 – CRTC TIMING CHART



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

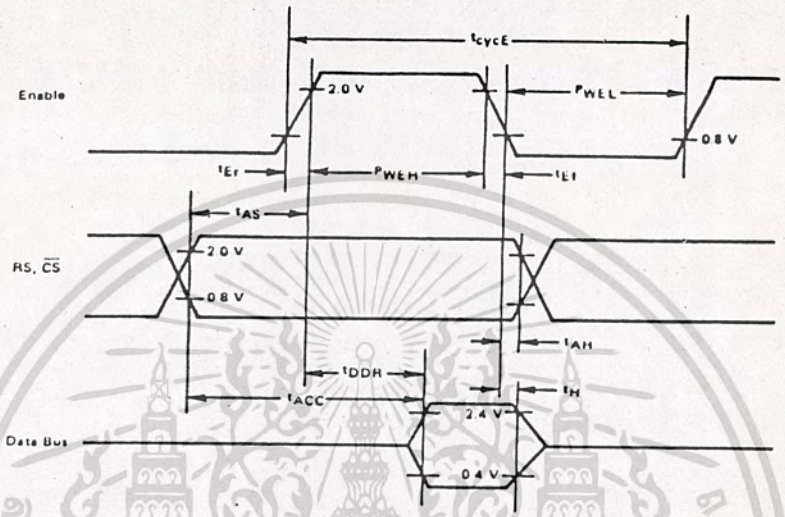
FIGURE 4 – RELATION BETWEEN LPSTB AND REFRESH MEMORY ADDRESS



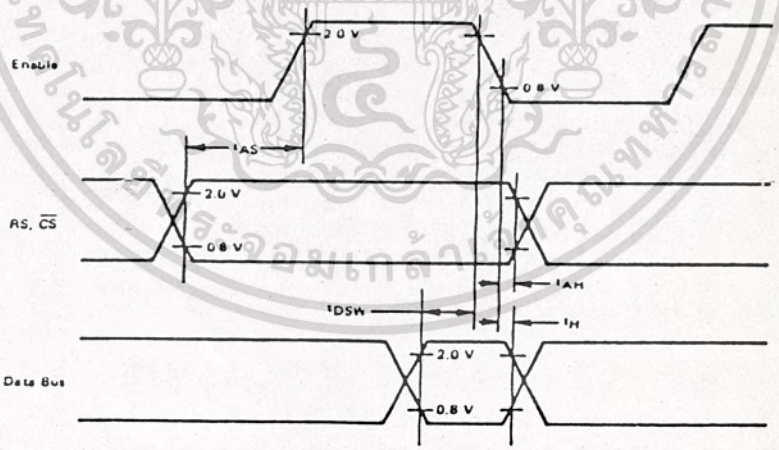
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

FIGURE 5 – BUS TIMING CHART

5a – Bus Read Timing (Read Information From CRTC)



5b – Bus Write Timing (Write Information Into CRTC)



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

FIGURE 6 – BUS TIMING TEST LOAD

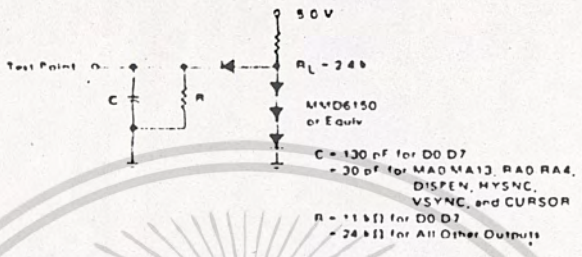
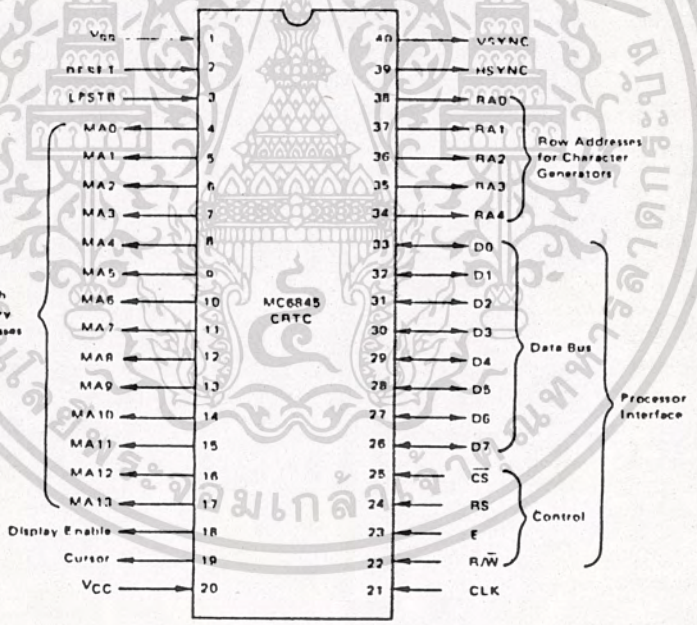


FIGURE 7 – PIN ASSIGNMENT



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

PIN DESCRIPTION

PROCESSOR INTERFACE

The CRTC interfaces to a processor bus on the bidirectional data bus (D0-D7) using $\overline{CS}$, RS, E, and R/W for control signals.

Data Bus (D0-D7) – The bidirectional data lines (D0-D7) allow data transfers between the CRTC internal Register File and the processor. Data bus output drivers are 3-state buffers which remain in the high impedance state except when the processor performs a CRTC read operation. A high level on a data pin is a logical "1."

Enable (E) – The Enable signal is a high impedance TTL/MOS compatible input which enables the data bus input/output buffers and clocks data to and from the CRTC. This signal is usually derived from the processor clock, and the high to low transition is the active edge.

Chip Select ($\overline{CS}$) – The $\overline{CS}$ line is a high impedance TTL/MOS compatible input which selects the CRTC when low to read or write the internal Register File. This signal should only be active when there is a valid stable address being decoded from the processor.

Register Select (RS) – The RS line is a high impedance TTL/MOS compatible input which selects either the Address Register (RS = "0") or one of the Data Registers (RS = "1") of the internal Register File.

Read/Write (R/$\overline{W}$) – The R/$\overline{W}$ line is a high impedance TTL/MOS compatible input which determines whether the internal Register File gets written or read. A write is active low ("0").

CRT CONTROL

The CRTC provides horizontal sync (HS), vertical sync (VS), and Display Enable signals.

Vertical Sync (V SYNC) – This TTL compatible output is an active high signal which drives the monitor directly or is fed to Video Processing Logic for composite generation. This signal determines the vertical position of the displayed text.

Horizontal Sync (H SYNC) – This TTL compatible output is an active high signal which drives the monitor directly or is fed to Video Processing Logic for composite generation. This signal determines the horizontal position of the displayed text.

Display Enable – This TTL compatible output is an active high signal which indicates the CRTC is providing addressing in the active Display Area.

REFRESH MEMORY/CHARACTER GENERATOR ADDRESSING

The CRTC provides Memory Addresses (MA0-MA13) to scan the Refresh RAM. Also provided are Raster Addresses (RA0-RA4) for the character ROM.

Refresh Memory Addresses (MA0-MA13) – These 14 outputs are used to refresh the CRT screen with pages of data located within a 16K block of refresh memory. These outputs drive a TTL load and 30pF. A high level on MA0-MA13 is a logical "1."

Raster Addresses (RA0-RA4) – These 5 outputs from the internal Raster Counter address the Character ROM for the row of a character. These outputs drive a TTL load and 30pF. A high level (on RA0-RA4) is a logical "1."

OTHER PINS

Cursor – This TTL compatible output indicates Cursor Display to external Video Processing Logic. Active high signal.

Clock (CLK) – The CLK TTL/MOS compatible input is used to synchronize all CRT control signals. An external dot counter is used to derive this signal which is usually the character rate in an alphanumeric CRT. The active transition is high to low.

Light Pen Strobe (LPSTB) – This high impedance TTL/MOS compatible input latches the current Refresh Addresses in the Register File. Latching is on the low to high edge and is synchronized internally to character clock.

V_{CC}, Gnd

$\overline{RES}$ – The $\overline{RES}$ input is used to Reset the CRTC. An input low level on $\overline{RES}$ forces CRTC into following status:

(A) All the counters in CRTC are cleared and the device stops the display operation.
(B) All the outputs go down to low level.
(C) Control registers in CRTC are not affected and remain unchanged.

This signal is different from other M6800 family in the following functions:

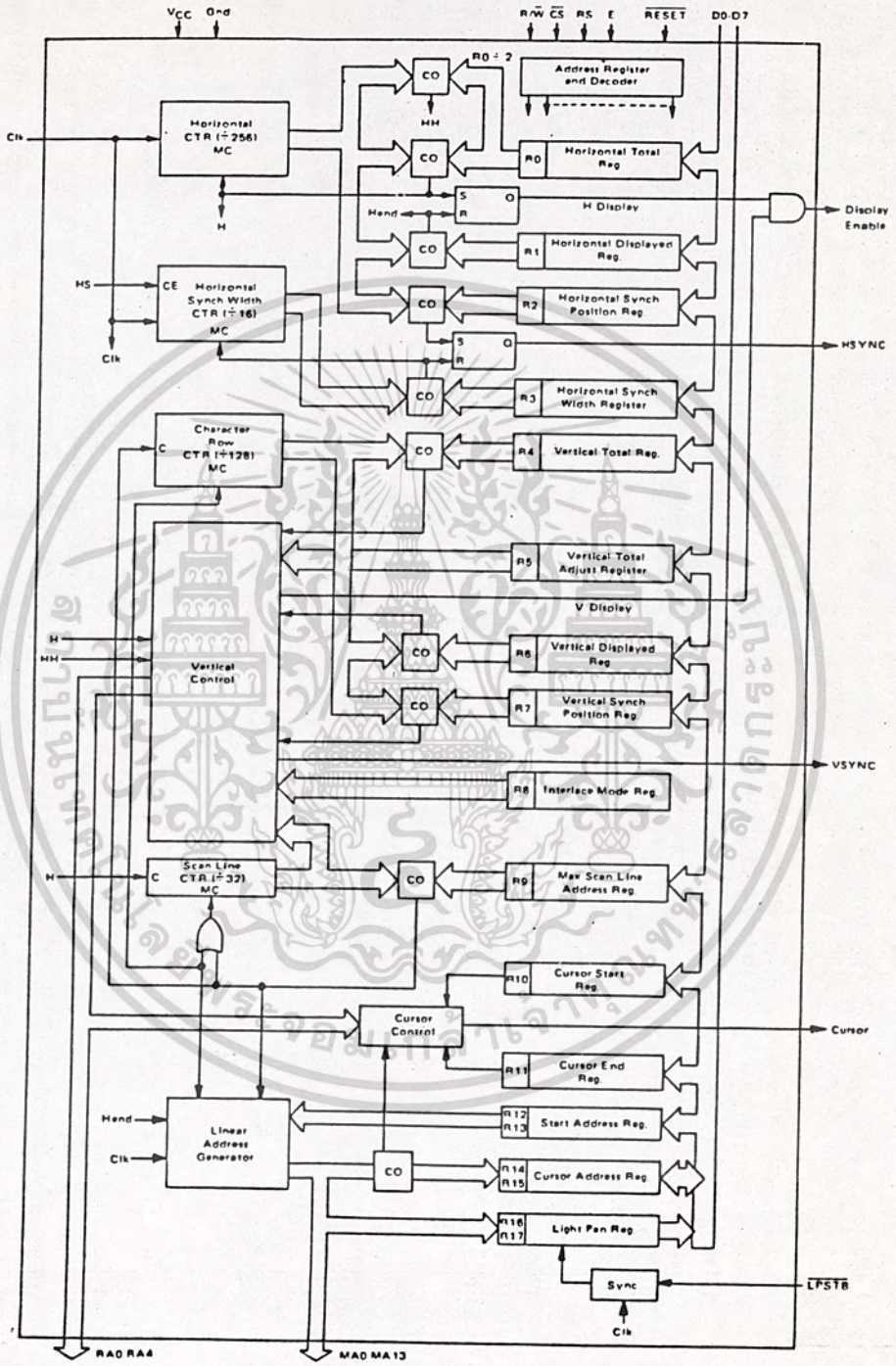
(A) $\overline{RES}$ signal has capability of reset function only when LPSTB is at low level.
(B) After $\overline{RES}$ has gone down to low level, output signals of MA0-MA13 and RA0-RA4, synchronizing with CLK low level, goes down to low level. (At least 1 cycle CLK signal is necessary for reset.)
(C) The CRTC starts the Display operation immediately after the release of $\overline{RES}$ signal.

TABLE 1 – CRTC Operating Mode

$\overline{RES}$	LPSTB	OPERATING MODE
0	0	Reset
0	1	Test Mode
1	0	Normal Mode
1	1	Normal Mode

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

FIGURE 8 – CRTC FUNCTIONAL BLOCK DIAGRAM



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

CRTC DESCRIPTION
(Figure 8: CRTC Block Diagram)

The CRTC consists of programmable horizontal and vertical timing generators, programmable linear address register, programmable cursor logic, light pen capture register, and control circuitry for interface to a processor bus.

All CRTC timing is derived from CLK, usually the output of an external dot rate counter. Coincidence (CO) circuits continuously compare counter contents to the contents of the programmable register file, R0-R17. For horizontal timing generation, comparisons result in: 1) Horizontal sync pulse (HS) of a frequency, position, and width determined by the registers, 2) Horizontal Display Signal of a frequency, position, and duration determined by the registers.

The Horizontal counter produces H clock which drives the Scan Line Counter and Vertical Control. The contents of the Raster Counter are continuously compared to the Max Scan Line Address Register. A coincidence resets the Raster Counter and clocks the Vertical Counter.

Comparisons of Vertical Counter contents and Vertical Registers result in: 1) Vertical sync pulse (VS) of a frequency and positon determined by the registers—the width is fixed at 16 raster lines in the vertical control section and is not programmable, 2) Vertical Display of a frequency and position determined by the registers.

The Vertical Control Logic has other functions.

1. Generate row selects, RA0-RA4, from the Raster Count for the corresponding interlace or non-interlace modes.
2. Extend the number of scan lines in the vertical total by the amount programmed in the Vertical Total Adjust Register.

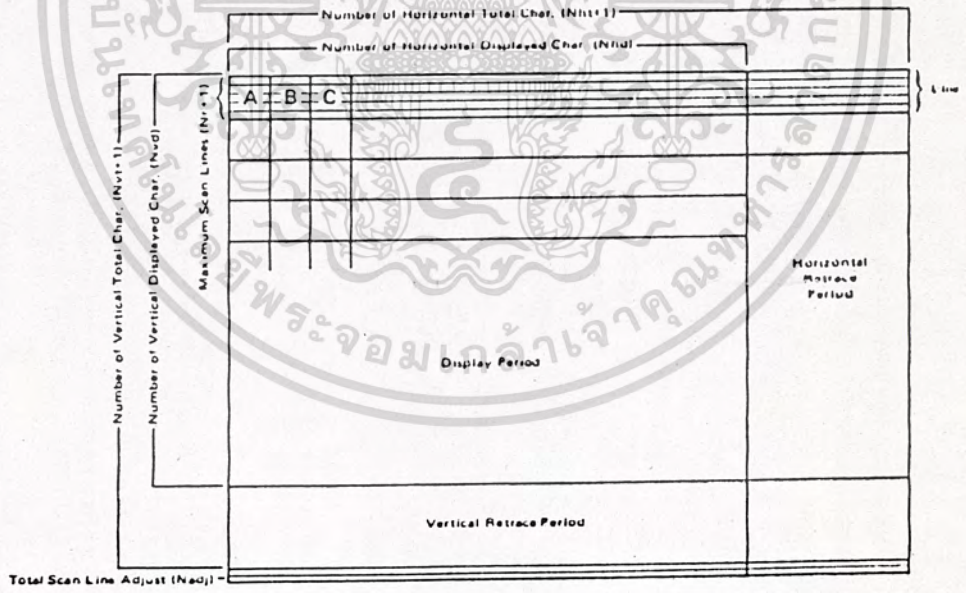
The Linear Address Generator is driven by CLK and locates the relative positions of characters in memory with their positions on the screen. Fourteen lines, MA0-MA13, are available for addressing up to four pages of 4K characters, 8 pages of 2K characters, etc. Using the Start Address Register, hardware scrolling through 16K characters is possible. The Linear Address Generator repeats the same sequence of addresses for each scan line of a character row.

The cursor logic determines the cursor location, size, and blinking rate on the screen. All are programmable.

The light pen strobe going high causes the current contents of the Address Counter to be latched in the Light Pen Register. The contents of the Light Pen Register are subsequently read by the Processor.

Internal CRTC registers are programmed by the processor through the data bus, D0-D7, and the control signals—R/$\overline{W}$, $\overline{CS}$, RS and E.

FIGURE 9 – ILLUSTRATION OF THE CRT SCREEN FORMAT



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

REGISTER FILE DESCRIPTION
(See Table 2)

Nineteen registers in the CRTC can be accessed by means of the data bus. Register addressing and lengths are shown in Table 2.

ADDRESS REGISTER

The Address Register is a 5 bit write-only register used as an "indirect" or "pointer" register. Its contents are the address of one of the other 18 registers in the file. When RS and $\overline{CS}$ are low, the Address Register itself is addressed. When RS is high, the Register File is accessed.

HORIZONTAL TIMING REGISTERS R0, R1, R2, and R3

Figure 9 shows the visible display area of a typical CRT monitor giving the point of reference for horizontal registers as the left most displayed character position. Horizontal registers are programmed in "character time" units with respect to the reference.

Horizontal Total Register (R0) – This 8 bit write-only register determines the horizontal frequency of HS. It is the total of displayed plus non-displayed character time units minus one.

Horizontal Displayed Register (R1) – This 8 bit write-only register determines the number of displayed characters per horizontal line.

Horizontal Sync Position Register (R2) – This 8 bit write-only register determines the horizontal sync postiion on the horizontal line.

Horizontal Sync Width Register (R3) – This 4 bit write-only register determines the width of the HS pulse. It may not be apparent why this width needs to be programmed. However, consider that all timing widths must be programmed as multiples of the character clock period which varies. If HS width were fixed as an integral number of character times, it would vary with character rate and be out of tolerance for certain monitors. The rate programmable feature allows compensating HS width.

VERTICAL TIMING REGISTERS R4, R5, R6, R7, R8, and R9

The point of reference for vertical registers is the top character position displayed. Vertical registers are programmed in character row times or scan line times.

Vertical Total Register (R4) and Vertical Total Adjust Register (R5) – The vertical frequency of VS is determined by both R4 and R5. The calculated number of character line times is usually an integer plus a fraction to get exactly a 50 or 60 Hz vertical refresh rate. The integer number of character line times minus one is programmed in the 7 bit write-only Vertical Total Register; the fraction is programmed in the 5 bit write-only Vertical Scan Adjust Register as a number of scan line times.

Vertical Displayed Register (R6) – This 7 bit write-only register determines the number of displayed character rows on the CRT screen, and is programmed in character row times.

Vertical Sync Position (R7) – This 7 bit write-only register determines the vertical sync position with respect

TABLE 2 – CRTC INTERNAL REGISTER ASSIGNMENT

$\overline{CS}$	RS	Address Register 4	3	2	1	0	Register #	Register File	Program Unit	Read	Write	Number of Bits 7	6	5	4	3	2	1	0
1	X	X	X	X	X	X	X	–	–	–	–								
0	0	X	X	X	X	X	X	Address Register	–	No	Yes								
0	1	0	0	0	0	0	R0	Horizontal Total	Char.	No	Yes								
0	1	0	0	0	0	1	R1	Horizontal Displayed	Char	No	Yes								
0	1	0	0	0	1	0	R2	H. Sync Position	Char.	No	Yes								
0	1	0	0	0	1	1	R3	H. Sync Width	Char.	No	Yes								
0	1	0	0	1	0	0	R4	Vertical Total	Char. Row	No	Yes								
0	1	0	0	1	0	1	R5	V. Total Adjust	Scan Line	No	Yes								
0	1	0	0	1	1	0	R6	Vertical Displayed	Char. Row	No	Yes								
0	1	0	0	1	1	1	R7	V. Sync Position	Char. Row	No	Yes								
0	1	0	1	0	0	0	R8	Interlace Mode	–	No	Yes								
0	1	0	1	0	0	1	R9	Max Scan Line Address	Scan Line	No	Yes								
0	1	0	1	0	1	0	R10	Cursor Start	Scan Line	No	Yes		B	P				(Note 1)	
0	1	0	1	0	1	1	R11	Cursor End	Scan Line	No	Yes								
0	1	0	1	1	0	0	R12	Start Address (H)	–	No	Yes								
0	1	0	1	1	0	1	R13	Start Address (L)	–	No	Yes								
0	1	0	1	1	1	0	R14	Cursor (H)	–	Yes	Yes								
0	1	0	1	1	1	1	R15	Cursor (L)	–	Yes	Yes								
0	1	1	0	0	0	0	R16	Light Pen (H)	–	Yes	No								
0	1	1	0	0	0	1	R17	Light Pen (L)	–	Yes	No								

Note (1): Bit 5 of the Cursor Start Raster Register is used for blink period control, and Bit 6 is used to select blink or non-blink.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

to the reference. It is programmed in character row times.

Interlace Mode Register (R8) — This 2 bit write-only register controls the raster scan mode (see Figure 11). When bit 0 and bit 1 are reset, or bit 0 is reset and bit 1 set, the non-interlace raster scan mode is selected. Two interlace modes are available. Both are interlaced 2 fields per frame. When bit 0 is set and bit 1 is reset, the interlace sync raster scan mode is selected. Also when bit 0 and bit 1 are set, the interlace sync and video raster scan mode is selected.

Maximum Scan Line Address Register (R9) — This 5 bit write-only register determines the number of scan lines per character row including spacing. The programmed value is a max address and is one less than the number of scan lines.

OTHER REGISTERS

Cursor Start Register (R10) — This 7 bit write-only register controls the cursor format (see Figure 10). Bit 5 is the blink timing control. When bit 5 is low, the blink frequency is 1/16 of the vertical field rate, and when bit 5 is high, the blink frequency is 1/32 of the vertical field rate. Bit 6 is used to enable a blink. The cursor start scan line is set by the lower 5 bits.

Cursor End Register (R11) — This 5 bit write-only register sets the cursor end scan line.

Start Address Register (H & L) (R12, R13) — Start Address Register is a 14 bit write-only register which determines the first address put out as a refresh address after vertical blanking. It consists of an 8 bit lower register, and a 6 bit higher register.

Light Pen Register (H & L) (R16, R17) — This 14 bit read-only register is used to store the contents of the Address Register (H & L) when the LPSTB input pulses high. This register consists of an 8 bit lower and 6 bit higher register.

Cursor Register (H & L) (R14, R15) — This 14 bit read/write register stores the cursor location. This register consists of an 8 bit lower and 6 bit higher register.

CURSOR

The Cursor Start and End Registers allow a cursor of up to 32 scan lines in height to be placed on any scan lines of the character block as shown in Figure 10. Using Bits 5 & 6 of the Cursor Start Register, the cursor is programmed with blink periods of 16 or 32 times the field period. Optional non-blink and non-display modes can also be selected. When an external 2X blink on characters is required, it may be necessary to perform cursor blink externally as well so that both blink rates are synchronized. Note that an invert/non-invert cursor is easily implemented by programming the CRTC for blinking cursor and externally inverting the video signal with an exclusive-OR.

The cursor is positioned by changing the contents of registers R14 and R15. The cursor can be placed at any of 16K character positions, thus facilitating hardware paging and scrolling through memory without loss of the cursor's original position.

INTERLACE/NON-INTERLACE DISPLAY MODES

An illustration of the 3 raster scan modes of operation is shown in Figure 11. Normal sync mode is non-interlace. In this mode, each scan line is refreshed at the vertical field rate (e.g., 50 or 60 Hz). Frame time is divided into even and odd alternating fields. The horizontal and vertical timing relationship results in the displacement of scan lines in the odd field with respect to the even field. When the same information is painted in both fields, the mode is called "Interlace Sync;" this is a useful mode for enhancing readability by filling in a character. When the even lines of a character are displayed in the even field and the odd lines in the odd field, the mode is called "Interlace Sync and Video." This last mode effectively doubles the character density on a monitor of a given bandwidth. The disadvantage of both interlace modes is an apparent flicker effect, which can be reduced by careful monitor design.

There are restrictions on the programming of CRTC registers for interlace operation:

1) Horizontal total character count, N_{ht} must be odd (i.e., an even number of character times)
2) For Interlace Sync and Video mode only, the max scan line address, N_{sl}, must be odd (i.e., an even number of scan lines)
3) For Interlace Sync and Video mode only, the Vertical Displayed Total characters must be even. The programmed number, N_{vd}, must be *one-half* the actual number required.
4) For Interlace Sync & Video mode only, the Cursor START and Cursor End Registers must both be even or both odd.

LIGHT PEN

The contents of the CRTC Address Counter are strobed into R16/R17 Light Pen Registers on the next high to low CLK transition after LPSTB goes high. In most systems, the light pen signal would also cause a processor interrupt routine to read R16/R17. Slow light pen response requires the processor software to modify the captured address read from R16/R17 by a calibration factor.

PROGRAMMING CONSIDERATIONS

Initialization — Registers R0-R15 must be initialized after power is turned on. The processor normally loads the CRTC registers sequentially from a firmware table. Henceforth, R0-R11 are not changed in most systems. The 6800 program in Table 3 and Figure 12 shows a typical CRTC initialization.

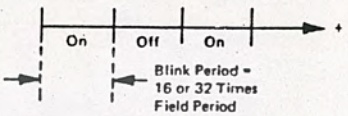
Hardware Scrolling — Registers R12/R13 contents determine which memory location is the first displayed character on the screen. Since the CRTC Linear Address Generator counts from this beginning count, the displayed portion of the screen may be a window on any continuous string of characters within a 16K block or refresh memory. By centering the R12/R13 pointer in the middle of the available memory space, scrolling up or down is possible . . . by line, page, or character.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

FIGURE 10 – CURSOR CONTROL

Cursor Start Register

B P Bit 6	Bit 5	Cursor Display Mode
0	0	Non-Blink
0	1	Cursor Non-Display
1	0	Blink, 1/16 Field Rate
1	1	Blink, 1/32 Field Rate

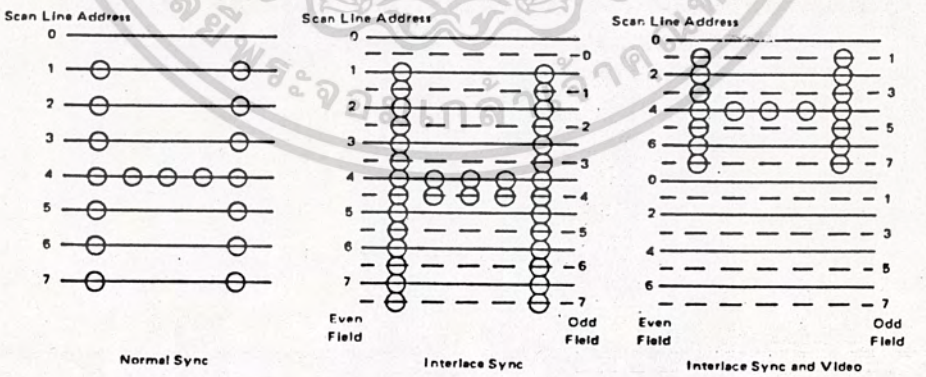


Example of Cursor Display Mode

FIGURE 11 – INTERFACE CONTROL

Interlace Mode Register

Bit 1	Bit 0	Mode
0 1	0 0	Normal Sync Mode (Non-Interlace)
0	1	Interlace Sync Mode
1	1	Interlace Sync & Video Mode



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TABLE 3 – Typical 80 x 24 Screen Format Initialization of CRTC

Reg. #	Register File	Program Unit	Calculation*	Programmed Value	
				Decimal	Hex
R0	H Total	T_c	102 x .527 = 53.76 μs	102 - 1 = 101	N_{ht} = $65
R1	H Displayed	T_c	80 x .527 = 42.16 μs	80	N_{hd} = $50
R2	H Sync Position	T_c	86 x .527 = 45.32 μs	86	N_{hsp} = $56
R3	H Sync Width	T_c	9 x .527 = 4.74 μs	9	N_{hsw} = $09
R4	V Total	T_{cr}	25 x 645.12 = 16.13 ms	25 - 1 = 24	N_{vt} = $18
R5	V Total Adjust	T_{sl}	10 x 53.76 = .54 ms	10	N_{adj} = $0A
R6	V Displayed	T_{cr}	24 x 645.12 = 15.48 ms	24	N_{vd} = $18
R7	V Sync Position	T_{cr}	24 x 645.12 = 15.48 ms	24	N_{vsp} = $18
R8	Interlace Mode	–		–	$00
R9	Max Scan Line Address	T_{sl}		11	N_{sl} = $0B
R10	Cursor Start	T_{sl}		0	$00
R11	Cursor End	T_{sl}		11	$0B
R12	Start Address (H)	–		128	$00
R13	Start Address (L)	–			$80
R14	Cursor (H)	–		128	$00
R15	Cursor (L)	–			$80

Clock Period = T_c = .527 μs

Scan Line Period = T_{sl} = (N_{ht} + 1) x T_c = 102 x .527 μs = 53.76 μs

Character Row Period = T_{cr} = N_{sl} x T_{sl} = 12 x 53.76 μs = 645.12 μs

*These are typical values for the Motorola M3000 Monitor; values may vary for other monitors.

FIGURE 12 – INITIALIZATION OF CRTC FOR 80x24 SCREEN FORMAT IN TABLE 3

```
PAGE  001   CRTINT

00001                        NAM   CRTINT
00002 0000                   ORG   $0
00003 0000 5F                CLR B             CLEAR COUNTER
00004 0001 CE 0020           LDX   #$20
00005 0004 F7 9000 CRTII     STA B $9000       CRTC ADDR REG
00006 0007 A6 00             LDA A 0,X
00007 0009 B7 9001           STA A $9001       ACC TO CRTC REG
00008 000C 08                INX
00009 000D 5C                INC B             INC COUNTER
00010 000E C1 10             CMP B #$10        LAST CRTC REG?
00011 0010 26 F2             BNE   CRTII
00012 0012 3F                SWI
00013 0020                   ORG   $20
00014 0020 65        CRTTAB  FCB   $65,$50,$56,$9
00015 0024 18                FCB   $18,$0A,$18,$18
00016 0028 00                FCB   0,$0B,0,$0B
00017 002C 0080              FDB   $80,$80
00018      0000              END
CRTII  0004 CRTTAB 0020

TOTAL ERRORS 00000
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

OPERATION OF THE CRTC

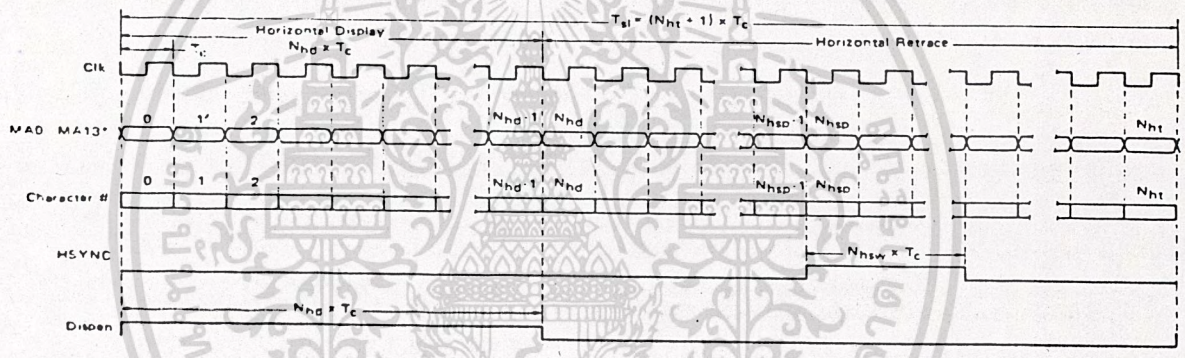
Timing Chart of the CRT Interface Signals — Timing charts of CRT interface signals are illustrated in this section with the aid of programmed example of the CRTC. When values listed in Table 4 are programmed into CRTC control registers, the device provides the outputs as shown in the Timing Diagrams (Figures 13 through 15). The screen format of this example is shown in Figure 9. Figure 16 is an illustration of the relation between Refresh Memory Address (MA0-MA13), Raster Address (RA0-RA4) and the position on the screen. In this example, the start address is assumed to be "0".

TABLE 4 – Values Programmed Into CRTC Registers

Reg. #	Register Name	Value	Programmed Value
R0	H. Total	$N_{ht}+1$	N_{ht}
R1	H. Displayed	N_{hd}	N_{hd}
R2	H. Sync Position	N_{hsp}	N_{hsp}
R3	H. Sync Width	N_{hsw}	N_{hsw}
R4	V. Total	$N_{vt}+1$	N_{vt}
R5	V. Scan Line Adjust	N_{adj}	N_{adj}
R6	V. Displayed	N_{vd}	N_{vd}
R7	V. Sync Position	N_{vsp}	N_{vsp}
R8	Interlace Mode		
R9	Max. Scan Line Address	N_{sl}	N_{sl}
R10	Cursor Start		
R11	Cursor End		
R12	Start Address (H)	0	
R13	Start Address (L)	0	
R14	Cursor (H)		
R15	Cursor (L)		
R16	Light Pen (H)		
R17	Light Pen (L)		

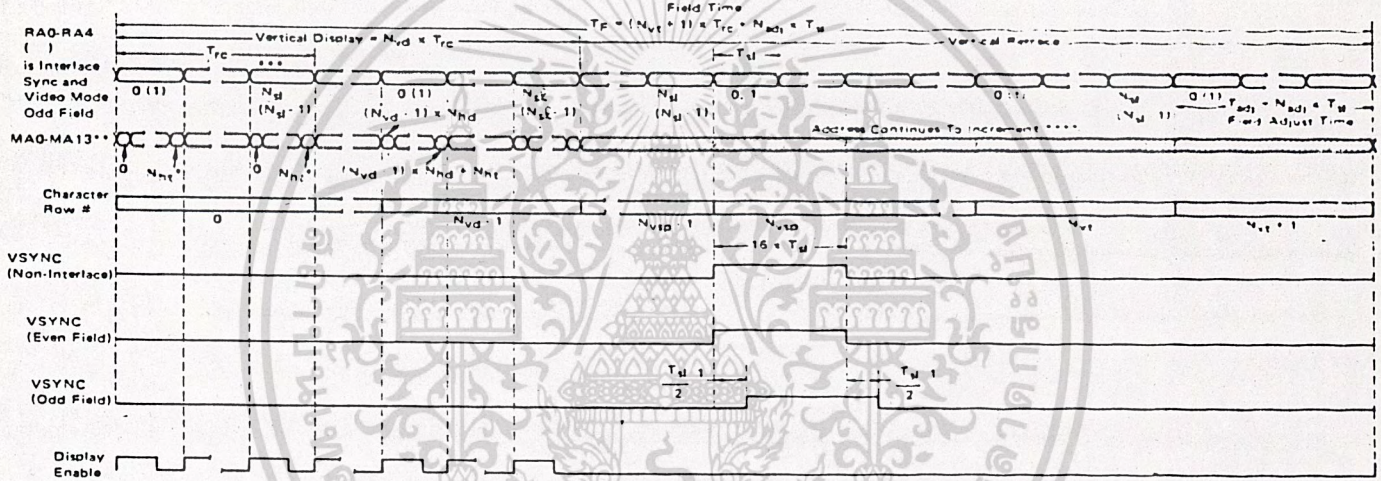
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

FIGURE 13 – CRTC HORIZONTAL TIMING



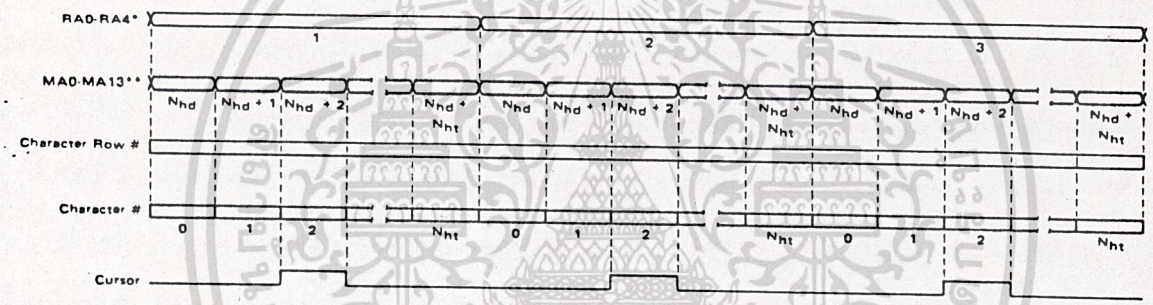
*Timing is shown for first displayed scan row only. See Chart in Figure 16 for other rows. The initial MA is determined by the contents of Start Address Register, R12/R13. Timing is shown for R12/R13 = 0.

FIGURE 14 – CRTC VERTICAL TIMING



*N_{ht} must be an odd number for both interlace modes.
**Initial MA is determined by R12/R13 (Start Address Register), which is zero in this timing example.
***N_{sl} must be an odd number for Interlace Sync and Video Mode.
****The present CRTC freezes MA addresses at $N_{vd} \times N_{hd}$ during vertical retrace. A design change is pending to allow MA to free run during vertical retrace time.

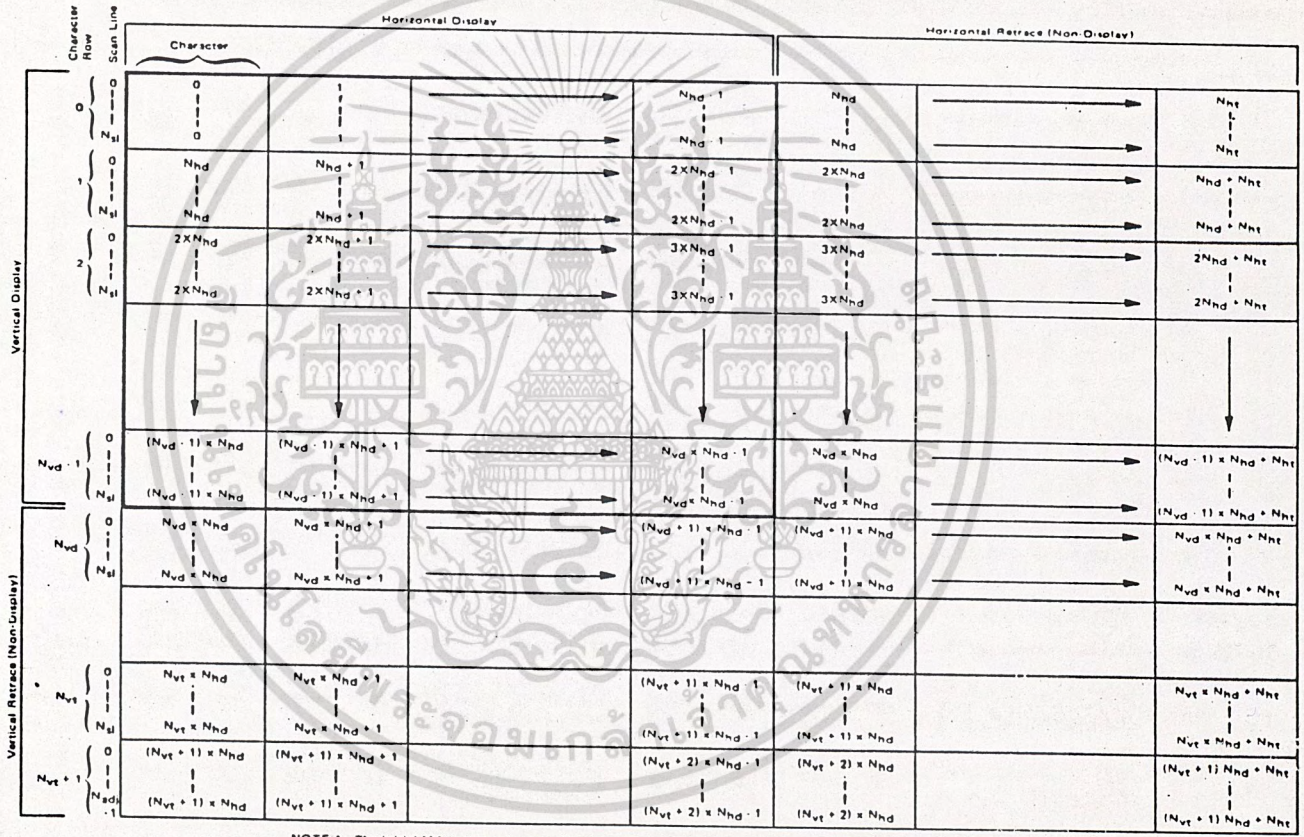
FIGURE 15 – CURSOR TIMING



*Timing is shown for non-interlace and interlace sync modes.
Example shown has cursor programmed as:
Cursor Register = N_{hd} + 2
Cursor Start = 1
Cursor End = 3

** The initial MA is determined by the contents of Start Address Register, R12/R13. Timing is shown for R12/R13 = 0.

FIGURE 16 – REFRESH MEMORY ADDRESSING (MA0-MA13) STATE CHART



NOTE 1 The initial MA is determined by the contents of start address register, R12/R13. Timing is shown for R12/R13 = 0. Only Non-Interlace and Interlace Sync Modes are shown.

NOTE 2 The present CRTC freezes MA addresses at $N_{vd} \times N_{hd}$ during vertical retrace. A design change is pending to allow MA to free run during vertical retrace time.

กิตติกรรมประกาศ

การทำงานในครั้งนี้ สามารถสำเร็จลุล่วงไปด้วยดี เนื่องจากได้รับความช่วยเหลือจากบุคคลหลายฝ่าย ซึ่งประกอบด้วยคำแนะนำจากท่านอาจารย์ที่ปรึกษา, คณาจารย์ทุกท่านที่ประสิทธิประสาทวิชาความรู้ รวมทั้งเพื่อนนักศึกษาที่ให้ความช่วยเหลือซึ่งกันและกันเป็นอย่างดี ตลอดจนบุคคลต่าง ๆ ที่มิได้กล่าวถึง ณ ที่นี้ ผู้จัดทำขอขอบคุณอย่างยิ่ง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บรรณานุกรม

1. ดร. โคทม อารียา, "วงจรอิเล็กทรอนิกส์ เล่ม 1: วงจรเชิงเลข", ซีเอ็ด, 526 หน้า, 2529

2. รศ. ชม กิ้มปาน, "ดิจิตอลอิเล็กทรอนิกส์ และการออกแบบทางตรรก", อิเล็กทรอนิกส์ เวิลด์, 250 หน้า, 2530

3. LOUIS NASHELSKY, "INTRODUCTION TO DIGITAL TECHNOLOGY", THIRD EDITION, 536 หน้า

4. M. MORIS MANO, "DIGITAL DESIGN", Prentice / hall International, 429 หน้า, 1984

5. M. MORIS MANO, "Computer Engineering Haedware Design", Prentice / hall International, 434 หน้า, 1988

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้