ปีการศึกษา 2533

การออกแบบวงจรรวมขนาดใหญ่มาก

(Very Larg Scale Integreted Circuit Design)

โดย

1. นาย จิรากร เกียรติมานะโรจน์

2. นาย ปิติพงศ์ วีระกมลมาลย์

3. นาย สมบูรณ์ มีสมบัติ

อาจารย์ที่ปรึกษา

อ. บรรจง ปิยธำรง

ปริญญานิพนธ์ปีการศึกษา 2533

ภาควิชา วิศวกรรมคอมพิวเตอร์

คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้า เจ้าคุณทหาร ลาดกระบัง

เรื่องการออกแบบวงจรรวมขนาดใหญ่มาก

ผู้จัดทำ

1. นาย จิรากร เกียรติมานะโรจน์
2. นาย ปิติพงศ์ วีระกมลมาลย์
3. นาย สมบูรณ์ มีสมบัติ

อาจารย์ที่ปรึกษา

(อ. บรรจง ปิยธำรง)

เลขหมู่ T330224 A
เลขทะเบียน 027855
วัน, เดือน, ปี 12 ก.ค. 34

027855

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การออกแบบวงจรรวมขนาดใหญ่มาก

VLSI Design

โดย

1. นาย จิรากร เกียรติมานะโรจน์

2. นาย ปิติพงศ์ วีระกมลมาลย์

3. นาย สมบูรณ์ มีสมบัติ

อาจารย์ที่ปรึกษา

อ. บรรจง ปิยธำรง

วิทยานิพนธ์สำหรับปริญญาวิศวกรรมศาสตร์บัณฑิต

สาขาวิชา วิศวกรรมคอมพิวเตอร์

คณะวิศวกรรมศาสตร์

สถาบันเทคโนโลยีพระจอมเกล้า เจ้าคุณทหาร ลาดกระบัง

ปีการศึกษา 2533

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ

บทคัดย่อ

ABSTRACT

บทที่ 1 บทนำ.....1

บทที่ 2 วัตถุประสงค์.....5

บทที่ 3 วงจรการทำงานของการ์ดโมโนโครมกราฟฟิค.....6

บทที่ 4 การออกแบบโดยใช้เอเอสไอซีดีไวท์ (ASIC DEVICE).....27

บทที่ 5 การเลือกใช้เทคโนโลยีและขั้นตอนการออกแบบวงจร.....30

บทที่ 6 การออกแบบวงจรรวมโมโนโครมกราฟฟิค.....36

บทที่ 7 การทดสอบวงจร.....40

บทที่ 8 สรุป.....45

กิตติกรรมประกาศ

เอกสารอ้างอิง

ภาคผนวก ก วงจรรวมโมโนโครมกราฟฟิค

ภาคผนวก ข วงจรที่ใช้ชิพวิแอลเอสไอ

ภาคผนวก ค วงจรทดสอบการทำงานของการ์ด

ภาคผนวก ง วงจรโมโนโครมกราฟฟิค

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การออกแบบวงจรรวมขนาดใหญ่มาก

อ.บรรจง ปิยอำรง อาจารย์ที่ปรึกษา
จิรากร เกรียติมานะโรจน์
ปิติพงศ์ วิระกมลมาลย์
สมบูรณ์ มีสมบัติ
ปีการศึกษา 2533

บทคัดย่อ

เทคโนโลยีการออกแบบวงจรรวมขนาดใหญ่ เป็นการนำเอาวงจรลอจิกมาออกแบบรวมกันในไอซี เพื่อให้ได้ขนาดของวงจรที่เล็กที่สุดและมีความเร็วในการทำงานสูง โดยออกแบบให้มีการใช้เนื้อที่ภายในไอซีได้อย่างมีประสิทธิภาพสูงสุด

วิทยานิพนธ์ฉบับนี้ ขอนำเสนอการประยุกต์ใช้เทคโนโลยีนี้กับการออบแบบวงจรรวมขนาดใหญ่มากของวงจรควบคุมการทำงานของจอภาพ โดยใช้ซอร์ฟแวร์ในการออกแบบวงจรและทดสอบรูปแบบของสัญญาณ เพื่อให้ได้แบบจำลองการทำงานที่ถูกต้อง จากนั้นนำวงจรลอจิกที่ได้ไปทำไอซีโดยใช้เทคนิคในการทำ PLD (Programmable Logic Device) ซึ่งจะได้ชิ้นไอซีที่มีการทำงานเหมือนการ์ดวงจรควบคุมจอภาพ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

V L S I Design

Banjong Piyatamrong Adviser

Jirakorn Kiatimanarod

Pitipong Veerakamolmal

Somboon Meesombat

YEAR 1990

Abstract

The VLSI (Very Large Scale Integrated Circuit) technology integrates logic circuits into chips to produce the smallest and fastest circuit by making the most efficient use of the silicon space in the chip.

This thesis presents the application of the VLSI technology in designing IBM PC Monochrome Graphic Adapter Display Circuit by using application software to design and simulate signals to produce the right timing combination of signals of the circuit. The VLSI chip is produced by programming the circuit into the chip by the use of PLD (Programmable Logic Device) Package.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 1

บทนำ

1.1 เทคโนโลยีของไอซี

ในระบบไฟฟ้า - อิเลคทรอนิคส์ ส่วนประกอบที่สำคัญยิ่งคือ ชิ้นส่วนอิเลคทรอนิคส์ ซึ่งได้รับการพัฒนามาอย่างต่อเนื่อง โดยเฉพาะชิ้นส่วนอิเลคทรอนิคส์ แบบแอคทีฟ (electronic active devices) เริ่มตั้งแต่หลอดสุญญากาศ (vacum tube) ซึ่งใช้เป็นชิ้นส่วนอิเลคทรอนิคส์พื้นฐาน ในงานระบบอิเลคทรอนิคส์ในยุคแรก จนกระทั่งถึงปี ค.ศ.1950 จึงมีการนำเอาทรานซิสเตอร์ ซึ่งค้นพบในปี ค.ศ. 1947 มาใช้แทนหลอดสุญญากาศ ทำให้ระบบอิเลคทรอนิคส์เปลี่ยนแปลงโฉมหน้าไปโดยสิ้นเชิง เนื่องจากคุณสมบัติของทรานซิสเตอร์มีประสิทธิภาพการทำงานที่ดีกว่า กินกำลังไฟน้อยกว่า น้ำหนักเบากว่า ขนาดเล็ก และ ราคาถูกกว่า อย่างไรก็ดี ทรานซิสเตอร์ก็ได้รับการพัฒนาอย่างต่อเนื่องมา และราวปี ค.ศ. 1960 ก็มีการค้นพบเทคโนโลยีของการสร้างวงจรรวม (Integrated circuits Technology) กล่าวคือ สามารถสร้างทรานซิสเตอร์จำนวนหลาย ๆ ตัว ลงบนชิ้นของสารกึ่งตัวนำซิลิกอนชิ้นเล็ก ๆ ที่มีขนาดประมาณ 5 ม.ม. * 5ม.ม. รวมทั้งชิ้นส่วนแบบพาสซีฟ (passive devices) และชิ้นสารกึ่งตัวนำดังกล่าวเรียกว่า ชิพไอซี (IC chip) เทคโนดลยีของการสร้างวงจรรวม หรือ เทคโนโลยีของไอซี นับว่าเป็นเทคโนโลยีระดับสูง ซึ่งต้องอาศัยความรู้ความสามารถ และความชำนาญจากผู้รู้หลาย ๆ สาขาร่วมกัน เพราะเป็นเทคโนโลยีที่ละเอียดอ่อนและสลับซับซ้อน

หลังจากที่มีการผลิตไอซี หรือ วงจรรวม ไอซีก็มีบทบาทแทนทรานซิสเตอร์ ทั้งนี้ก็เพราะประสิทธิภาพการทำงานที่ดีเยี่ยม ขนาดที่เล็กกระทัดรัด น้ำหนักเบา รวมถึงราคาที่ถูกกว่าของไอซีเอง

1.2 ยุคของวงจรรวม (ไอซี)

ตั้งแต่ที่มีไอซีตัวแรกได้รับการประดิษฐ์ขึ้นมาใช้งาน และถูกพัฒนามาจนกระทั่งถึงยุคปัจจุบัน เราสามารถแบ่งไอซีต่าง ๆ ได้ 4 ช่วง โดยที่บนชิพหนึ่ง ๆ มีจำนวนทรานซิเตอร์ตั่งแต่ 2 ตัว

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จนกระทั่งถึง 500,000 ตัว ภายในช่วงเวลาราว 20 ปี ของการพัฒนา นับว่าเป็นอัตราการเพิ่มที่รวดเร็วมาก

ทรานซิสเตอร์ตัวแรกซึ่งทำมาจากสารกึ่งตัวนำ นับเป็นต้นกำเนิดของยุคอุปกรณ์สารกึ่งงตัวนำซึ่งเริ่มจากธาตุเยอรมันเนียม และต่อมาไม่นานนักซิลิกอนก็เข้ามาแทนที่ซึ่งช่วงนี้เองทำให้เกิดเทคโนโลยีของไอซีขึ้นได้ โดยที่ชิ้นส่วนอิเลคทรอนิคส์ต่าง ๆ เช่น ตัวความต้านทาน , ตัวเก็บประจุไฟฟ้า ,ไดโอด และทรานซิสเตอร์จำนวนมากมายจะถูกสร้างขึ้นบนชิ้นของผลึกซิลิกอนชิ้นเล็ก ๆ และต่อมาภายในร่วมกันเป็นวงจรอิเลคทรอนิคส์ ซึ่งเราเรียกชิ้นสารนี้ว่า ชิพ (chip) หรือ ไอซี (IC) โดยย่อมาจากคำว่า Integrated Circuits หรือที่เราเรียกว่า "วงจรรวม" เราอาจจำแนกไดซีได้ตามขนาดความจุของจำนวนชิ้นส่วนที่รวมอยู่ในชิพได้ดังนี้

1) วงจรรวมขนาดเล็ก (Small Scale Integrations) ได้แก่ไอซีที่มีจำนวนทรานซิสเตอร์ประมาณไม่เกิน 100 ตัว เช่น เกทต่าง ๆ

2) วงจรรวมขนาดกลาง (Medium Scale Integrations) ได้แก่ไอซีที่มีจำนวนทรานซิสเตอร์ประมาณ 100-1,000 ตัว เช่นพวกเคาน์เตอร์ , มันติเพลกเซอร์ และ แอดเดอร์

3) วงจรรวมขนาดใหญ่ (Large Scale Integrations) ได้แก่ไอซีที่มีจำนวนทรานซิสเตอร์ประมาณ 1,000-20,000 ตัว เช่นพวกไมโครโปรเซสเซอร์ขนาด 8 บิท , รอม (ROM) และแรม (RAM)

4) วงจรรวมขนาดใหญ่มาก (Very Large Scale Integrations) ได้แก่ไอซีที่มีจำนวน ทรานซิสเตอร์ประมาณ 20,000-50,000 ตัว เช่น พวกไมโครโปรเซสเซอร์ขนาด 16 และ 32 บิท วงจรรวมชนิดนี้มักเรียกว่า (VLSI chip)

นอกจากนี้ยังมีการคาดว่าในอีกไม่กี่ปีข้างหน้า ตัวโปรเซสเซอร์ชนิดพิเศษจะประกอบด้วยทรานซิสเตอร์ซึ่งมากกว่า 500,000 ตัว เราอาจเรียกไอซีนี้ว่า Ultra Large Scale Integration (ULSI)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

1.3 เทคโนโลยีการสร้างไอซีอาจจัดแบ่งได้ 2 แบบ

1. เทคโนโลยีของมอส (MOS Technology)

2. เทคโนโลยีของไบโพล่า (Bipolar Technlogy)

1.3.1 เทคโนโลยีของ มอส วีแอลเอสไอ(MOS VLSI)

เทคโนโลยีของวีแอลเอสไอ หมายถึงเทคโนโลยีที่ใช้สำหรับกระบวนการออกแบบ และสร้างวงจรรวมขนาดใหญ่มาก หรือ วีแฮสเอสไอ ซึ่งก็คือเทคโนโลยีของมอสนั่นเอง ชิ้นส่วนอิเลคทรอนิคส์หลักที่อยู่ในชิพของวงจรรวมแบบนี้ ได้แก่ ทรานซิสเตอร์แบบมอส ซึ่งอาจจะเป็นทรานซิสเตอร์แบบมอสชนิด เอ็นแชนแนล , พีแชนแนล หรือทั้ง 2 ชนิดรวมกันก็ได้ ดังนั้นเราแบ่งเทคโนโลยีของ มอสวีแอลเอสไอ ออกได้เป็น 3 แบบ คือ

1) เทคโนโลยีแบบ เอ็นมอส (nMOS)

หมายถึงเทคโนโลยีที่ใช้ทรานซิสเตอร์แบบมอส ชนิดเอ็นแชนแนล เป็นชิ้นส่วนหลักสำหรับกระบวนการออกแบบ และ สร้างวงจรรวม เทคโนโลยีนี้มีข้อดีตรงที่สามารถสร้างวงจรรวมที่มีความเร็วในการทำงานสูง

2) เทคโนโลยีแบบ พีมอส (PMOS)

หมายถึงเทคโนโลยีที่ใช้ทรานซิสเตอร์แบบมอส ชนิดเอ็นแชนแนล เป็นชิ้นส่วนหลักสำหรับกระบวนการออกแบบ และ สร้างวงจรรวม เทคโนโลยีนี้มีข้อดีตรงที่สามารถสร้างได้ง่าย

3) เทคโนโลยีแบบ ซีมอส (CMOS)

CMOS ย่อมาจาก Complementary MOS หมายถึงเทคโนโลยีที่ใช้ทรานซิสเตอร์แบบ MOS ชนิด Complementary ซึ่งมีทั้งชนิดเอ็น และ พีแชนแนล ต่อร่วมกัน เป็นชิ้นส่วนหลักสำหรับกระบวนการออกแบบ และ สร้างวงจรรวม เทคโนโลยีนี้มีข้อดีตรงที่ ทำให้วงจรรวมที่กินไฟน้อยมากทำให้ประหยัด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

1.3.2 เทคโนโลยีของเอ็นมอสวีแอลเอสไอ (nMOS VLSI)

ถึงแม้ว่าเทคโนโลยีของมอส จะจัดแบ่งออกเป็นแบบต่าง ๆ 3 แบบ คือ เทคโนโลยีแบบเอ็นมอส แบบ พีมอส (pMOS) และแบบ ซีมอส (cMOS) ซึ่งแต่ละแบบก็มีคุณสมบัติพิเศษเฉพาะแบบ ตอนนี้เราจะศึกษากันเฉพาะเทคโนโลยีแบบ เอ็นม่อส เป็นอันดับแรกเนื่องจาก

1) เทคนิคการออกแบบไอซีโดยใช้เทคโนโลยีแบบเอ็นมอส เป็นเทคนิคที่ง่ายสำหรับผู้เริ่มต้นศึกษา และเป็นเทคนิคพื้นฐานที่จะนำไปสู่เทคนิคที่มีความสลับซับซ้อนมากขึ้น

2) เทคโนโลยีแบบเอ็นมอส จัดว่าเป็นเทคโนโลยีมาตราฐานแบบหนึ่งสำหรับการสร้างวงจรรวม

3) เทคโนโลยีแบบเอ็นมอส สามารถสร้างวงจรรวมที่มีคุณภาพทั้งด้านความเร็วของการทำงาน และการเพิ่มความหนาแน่นของชิ้นส่วนที่บรรจุในชิน จึงเหมาะแก่งานของวงจรรวมขนาดใหญ่มาก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

บทที่ 2
วัตถุประสงค์

จากการพัฒนาของเทคโนโลยีที่ใช้ผลิตชิน ซึ่งจะเห็นว่าในปัจจุบันเราสามารถผลิตชินไอซีที่มีทรานซิสเตอร์บรรจุอยู่ในตัวชินมากกว่า 1,000,000 ตัวได้แล้ว คือ intel i486 จากวงจรเครื่องรับโทรทัศน์ในอดีตที่ใช้ทรานซิสเตอร์ภายในเครื่องแค่ 4 ตัว จะเห็นได้ว่าเทคโนโลยีทางด้านนี้ได้ก้าวไปไกลมาก และในการนำแกลเลียมอาร์เซไนด์ มาใช้ หรือการใช้โจเซฟชั่นจังค์ชั่นที่ใช้เทคโนโลยีของซูเปอร์คอนดัคเตอร์ ในการผลิตชินทำให้การผลิตชินไอซี ในอนาคตจะมีความซับซ้อนและสามารถทำงานในฟังค์ชั่นที่มากกว่าปัจจุบัน ดังนั้นการศึกษาทั้งเทคโนดลยีเหล่านี้เป็นสิ่งจำเป็น

การศึกษาถึงการออกแบบวงจรที่ภายในชิน การตรวจสอบการทำงานของชินที่ได้ออกแบบว่าสามารถทำงานได้ตามฟังค์ชั่นที่ได้ออกแบบหรือเปล่า การผลิตเป็นชินไอซี และการทดสอบชินไอซีนั้นว่าสามารถทำงานในวงจรจริงได้หรือเปล่า เป็นสิ่งที่เราจะได้เรียนรู้ในการทำโปรเจคนี้

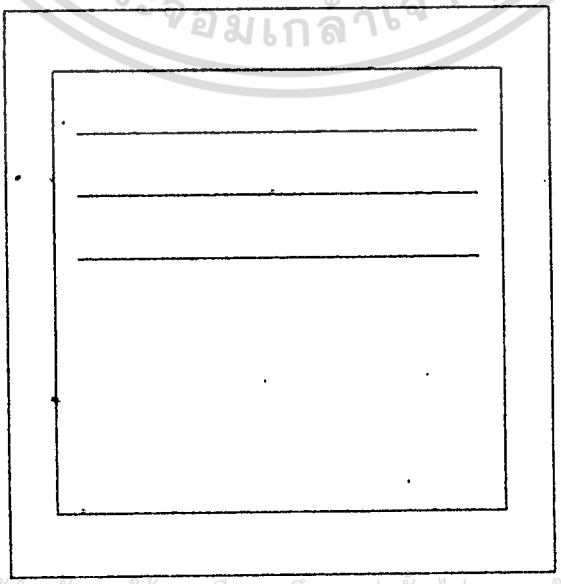
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 3

การทำงานของการ์ดโมโนโครมกราฟฟิค

3.1 การทำงานของจอภาพ

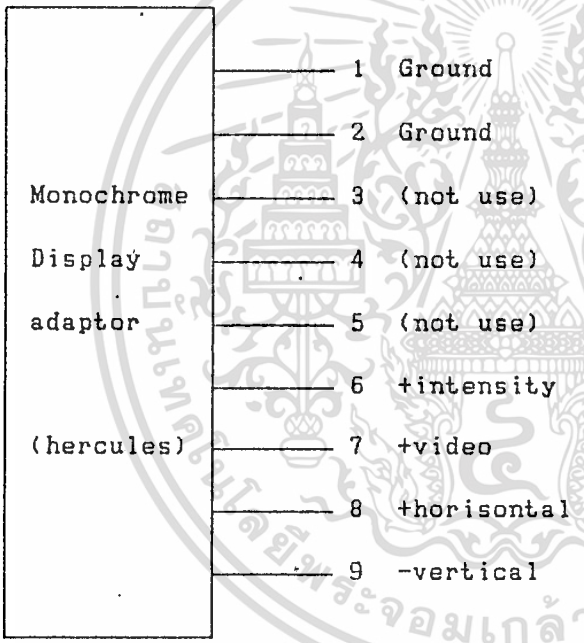
วิธีการสร้างภาพบนจอโมโนโครมนั้นเป็นแบบที่เรียกว่า ลาสเตอร์สแกน (Raster Scan) โดยหลอดภาพแบบ ตาร์โทดเรย์ทิว (Cathode Ray Tube) จะยิงอิเลคตรอนกวาดเป็นเส้นๆเรียงกันจนเป็นภาพโดยแต่ละภาพจะใช้เวลาประมาณ 1/50 วินาที เริ่มต้นปืนอิเลคตรอนจะยิงจุดภาพจุดแรกไปยังมุมซ้ายบนสุด จากนั้นจะเป็นจุดที่อยู่ถัดไปทางขวาของจุดแรกไปเรื่อยๆเป็นเส้นไปจนสุดหน้าจอก็จะวนกลับมาเริ่มเส้นใหม่ไปเรื่อยๆ การวกกลับจากตำแหน่งขวาสุดของจอไปยังตำแหน่งซ้ายสุดของเส้นภาพที่อยู่ถัดลงไปเกิดขึ้นด้วยสัญญาณซิงค์แนวนอน (HSYNC) จนถึงเส้นที่อยู่ข้างล่างสุดก็จะเริ่มวนอีกรอบหนึ่งด้วยสัญญาณซิงค์แนวดิ่ง (VSYNC) กระบวนการนี้เรียกว่า เวอร์ติคอร์รีแทค (Vertical Retrace) การทำงานนี้คล้ายกับการทำงานของโทรทัศน์นั่นเอง แต่จะแตกต่างกันที่สัญญาณซิงค์ทั้งแนวราบและแนวดิ่ง โทรทัศน์จะสร้างขึ้นเองจากสัญญาณวิดิโอ ส่วนจอโมโนโครมนอกจากจะมีสัญญาณวิดิโอแล้ว จะต้องได้รับสัญญาณ ซิงค์แนวนอน และสัญญาณซิงค์แนวดิ่งด้วย



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

3.2 หน้าที่ของการ์ดโมโนโครมกราฟฟิก

การ์ดโมโนโครมกราฟฟิกมีหน้าที่สร้างสัญญาณวิดิโอ 2 ระดับ ขาว/ดำสัญญาณความเข้ม (INTENSITY) สัญญาณซิงค์แนวนอนและสัญญาณซิงค์แนวดิ่ง โดยมีกราวนด์ร่วมกันสัญญาณต่างๆนี้ถูกส่งไปยังจอภาพด้วย 9 pin D-connector ดังรูป



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตารางอธิบายสัญญาณของ 6845

	ชื่อขา	คำอธิบาย	ชนิด
ขาที่ต่อกับไมโครโปรเซสเซอร์	D_0-D_7	บัสข้อมูล	สองทิศทาง
	CS	อนุญาตการทำงานของชิพ	อินพุท
	RS	เลือกรีจิสเตอร์	อินพุท
	R / W	เลือกระหว่างการเขียน หรือการอ่าน	อินพุท
	E	อนุญาตการซิงโครไนซ์	อินพุท
	CLK	สัญญาณนาฬิกา	อินพุท
	RESET	เริ่มทำงานใหม่ตั้งแต่ต้น	อินพุท
	V_{cc} V_{ss}	แหล่งจ่ายไฟเลี้ยง	อินพุท
ขาที่ต่อกับหน่วยความจำแสดงผลและCG	MA_0-MA_{13}	แอดเดรสของหน่วนความจำ	เอาต์พุต
	RA_0-RA_4	สัญญาณกำหนดแอดเดรสราสเตอร์	เอาต์พุต
สัญญาณที่ต่อกับจอมอนิเตอร์	HSYNC	สัญญาณซิงโครไนซ์ทางแนวราบ	เอาต์พุต
	VSYNC	สัญญาณซิงโครไนซ์ทางแนวดิ่ง	เอาต์พุต
	DISPEN	อนุญาตการแสดงผล	เอาต์พุต
	CURSOR	อนุญาตการแสดง cursor	เอาต์พุต
	LPSTB	สโตรบปากกาแสง	อินพุท

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สัตยาบุคคณะวิศวกรรมศาสตร์ ในพระบรมราชูปถัมภ์ สมเด็จพระเจ้าลูกเธอ เจ้าฟ้าจุฬาภรณวลัยลักษณ์ อัครราชกุมารี กรมหลวงนราธิวาสราชนครินทร์

สัญญาณที่ติดต่อกับไมโครโปรเซสเซอร์

D_0–D_7 เป็นส่วนเชื่อมต่อกับบัสข้อมูลแบบสองทิศทาง. เพื่อเชื่อมต่อกับบัสของไมโครโปรเซสเซอร์ เพื่อให้ไมโครโปรเซสเซอร์ส่งข้อมูลมายังริจิสเตอร์ภายในของ 6845 หรืออ่านข้อมูลไปตรวจสอบได้

CS เป็นขาที่ใช้สำหรับเลือกชิพ 6845

RS เป็นสัญญาณเลือกรีจิสเตอร์ภายใน 6845 ซึ่งมีอยู่ 19 รีจิสเตอร์

R/W เป็นสัญญาณสำหรับบอก 6845 ในการทำงานในโหมดเขียนหรืออ่านรีจิสเตอร์ภายใน

E คือ Synchronizing Clock หรือสัญญาณอินาเบิ้ล สัญญาณนี้ใช้สำหรับอินาเบิ้ลบัฟเฟอร์ภายในของ 6845 และสัญญาณนาฬิกาให้ติดต่อเข้าและออกจากริจิสเตอร์ภาย ในผ่านบัสข้อมูล

CLK สัญญาณนาฬิกาที่ใช้กับ 6845 ปกติคือสัญญาณภายนอกที่ใช้ควบคุมจุดภาพเพื่อการซิงโครไนซ์กับการทำงานภายใน

RESET สัญญาณรีเซต 6845 เพื่อกำหนดการทำงานใหม่ หรือกำหนดค่าเริ่มต้น

V_{cc}. V_{ss} ขาแหล่งจ่ายไฟเลี้ยง

สัญญาณที่เชื่อมต่อกับหน่วยความจำแสดงผล

สัญญาณที่เชื่อมต่อกับหน่วยความจำแสดงผลที่ออกจาก 6845 มีสองชุด คือสัญญาณ MA_0 - MA_{13} และ RA_0 - RA_4 สัญญาณทั้งสองชุดนี้เป็นเอาท์พุตออกจาก 6845

MA_0 -MA_{13} เป็นสัญญาณกำหนดแอดเดรสของ 6845 ที่จะบอกว่าขณะเวลานี้การแสดงผลใช้ข้อมูลในหน่วยความจำแสดงผลแอดเดรสใด ค่าของแอดเดรสจะเปลี่ยนแปลงไปตามจังหวะของการแสดงผลเนื่องจาก 6845มีแอดเดรส MA_0-MA_{13}จึงใช้ควบคุมหน่วยความจำแสดงผลได้ 16 Kb.

027855

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

RA_0 -RA_4 เป็นสัญญาณที่ใช้บอกว่าขณะแสดงผลนั้นอยู่ในแถวที่เท่าใดของตัวอักษรดังนั้นสัญญาณRA_0-RA_4 นี้จึงใช้สำหรับการส่งไปควบคุมซีจี เพื่อเรียกข้อมูลจากซีจีส่งต่อไปยังซีอาร์ทีมอนิเตอร์ สัญญาณนี้มี5 เส้น ดังนั้นจึงกำหนดรายละเอียดของตัวอักษรที่แสดงได้ทั้งสิ้น 2^5 = 32 เส้น

สัญญาณเชื่อมต่อกับซีอาร์ทีมอนิเตอร์

6845 ให้สัญญาณเชื่อมต่อกับมอนิเตอร์ได้โดยตรง สัญญาณที่ใช้ควบคุมมอนิเตอร์ได้แก่ สัญญาณซิงค์จอภาพในแนวนอน และสัญญาณซิงค์ภาพในแนวดิ่งตามลำดับ สัญญาณนี้จะได้รับการโปรแกรมผ่านค่าในรีจิสเตอร์ของ 6845

DISPEN เป็นสัญญาณใช้สำหรับ ดิสเพลเอ็นเอเบิล (Display Enable) กล่าวคือสัญญาณนี้เป็น "1"เพื่อให้การแสดงผลบนจอเป็นไปตามปกติ แต่ถ้าเป็น "0" การแสดงผลบนจอภาพจะถูกดิสเอเบิล คือไม่มีภาพใดปรากฏบนจอภาพ

CURSOR เป็นสัญญาณที่จะบอกตำแหน่งที่ซิงโครไนซ์กับแอดเดรสของ MA_0 -MA_{13} เพื่อให้กำหนดตำแหน่งเคอร์เซอร์บนจอภาพ

รีจิสเตอร์ภายใน 6845

ภายใน 6845 มีรีจิสเตอร์อยู่ 19 ตัว ซึ่งสามารถโปรแกรมผ่านบัสข้อมูลได้แต่จะต้องกำหนดตำแหน่งรีจิสเตอร์ภายในก่อน จึงเขียนหรืออ่านค่าในรีจิสเตอร์

ค่าของรีจิสเตอร์ที่ได้รับการกำหนดโดยโปรแกรมจะเป็นตัวกำหนดภาวะการทำงานของระบบซึ่งค่าเหล่านี้จะต้องถูกกำหนดให้กับ 6845 ก่อน ดังตาราง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตารางแสดงรีจิสเตอร์ของ 6845

	รีจิสเตอร์		เขียน(W)/อ่าน(R) จำนวนบิต	ค่าที่โปรแกรมโหมด (ฐานสิบหก)		หน่วย
	เลข	ชื่อ/หน้าที่		ตัวอักษร	กราฟฟิค	
การกำหนดช่วงเวลาแนวราบ	0	ช่วงเวลาแนวราบทั้งหมด	W 8	61	35	1-256 คล็อก
	1	จำนวนตัวอักษรต่อบรรทัด	W 8	50	2D	1-256 คล็อก
	2	ตำแหน่ง HSYNC	W 8	52	2E	1-256 คล็อก
	3	ความกว้าง HSYNC	W 4	0F	07	1-16 คล็อก
การกำหนดช่วงเวลาแนวดิ่ง	4	ช่วงเวลาทั้งหมดแนวดิ่ง	W 7	19	5B	1-128 แถว
	5	ปรับ VSYNC	W 5	06	02	1-32 สแกน
	6	จำนวนบรรทัดต่อเฟรม	W 7	19	59	1-128 แถว
	7	ตำแหน่ง VSYNC	W 7	19	59	1-128 แถว
	8	โหมด interlace	W 2	02	02	0-3
	9	จำนวนแสกนต่อบรรทัด	W 5	0D	09	1-32 สแกน
รีจิสเตอร์กำหนดการทำงานพื้นฐาน	10	ตำแหน่งแถวเริ่มต้นเคอเซอร์	W 7	0B	00	1-32 สแกน
	11	ตำแหน่งแถวสุดท้ายเคอเซอร์	W 5	0C	00	1-32 สแกน
	12	(MSB)แอดเดรสเริ่มต้น	W 6	00	00	1 -
	13	(LSB)แอดเดรสเริ่มต้น	W 8	00	00	16384
	14	(MSB)ตำแหน่งเคอเซอร์	R/W 6	00	00	0 -
	15	(LSB)ตำแหน่งเคอเซอร์	R/W 8	00	00	16384
	16	(MSB)ตำแหน่งปากกาแสง	R 6	-	-	0 -
	17	(LSB)ตำแหน่งปากกาแสง	R 8	-	-	16384

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

รีจิสเตอร์ 1 คือจำนวนตัวอักษรที่ปรากฏบนจอใน 1 เส้นภาพ (โหมดตัวอักษร = 720/9 = 80)

รีจิสเตอร์ 2 จะเป็นตัวกำหนดว่าสัญญาณ HSYNC จะเริ่มต้นเมื่อใด

รีจิสเตอร์ 3 จะเป็นตัวกำหนดความกว้างของสัญญาณ HSYNC

รีจิสเตอร์ 4 เป็นตัวกำหนดเวลาในการวาดภาพทั้งจอ

รีจิสเตอร์ 6 เป็นค่าจำนวนบรรทัดทั้งหมดบนหน้าจอ

รีจิสเตอร์ 7 เป็นตัวบอกว่าเริ่มทำการ เวอร์ติคอลรีเทค (Vertical Retrace) เมื่อไร

รีจิสเตอร์ 9 เป็นตัวบอกว่าในตัวอักษรตัวหนึ่งจะมีเส้นภาพกี่เส้น

รีจิสเตอร์10เป็นตัวบอกแถวเริ่มต้นในการแสดงเคอเซอร์โดยเมื่อนับจากแถวล่างสุดจะมีค่า 0Ch แถวบนสุดจะมีค่าได้เป็น 00h

รีจิสเตอร์ 11 เป็นตัวบอกแถวสุดท้ายในการแสดงเคอเซอร์ โดยเมื่อนับจากแถวล่างสุดที่สามารถกำหนดได้คือ 0Bh แถวบนสุดจะมีค่าได้เป็น 00h

เมื่อ R10 เป็น 0Ch และ R11 เป็น 0Bh จะได้เคอเซอร์เป็นเส้นขีดเดียว

รีจิสเตอร์ 12 และ 13 กำหนดตำแหน่งหน่วยความจำที่จะแสดงที่มุมซ้ายบนสุดของจอภาพ และเรียงกันไปเรื่อยๆจนถึงตำแหน่งสุดท้ายของหน่วยความจำโดยอาจยังไม่ใช่ตัวอักษรที่มุมขวาล่างของจอภาพ ถ้าเป็นเช่นนั้นก็วนไปที่ตำแหน่งแรกของหน่วยความจำแสดงผล(4กิโลไบท์)และตำแหน่งต่อๆไปจนหมดหน้าจอ รีจิสเตอร์ 4 ตัวแรก (0-3) นั้นใช้ในการสร้างสัญญาณที่จัดการเกี่ยวกับการควบคุมสัญญาณตามแนวนอน โดยจะนำเอา CCLK มาคำนวณด้วย

CCLK จะมีค่าความถี่ = DOT CLOCK / 9 ในโหมดตัวอักษรและหารด้วย 16 ในโหมดกราฟฟิก

เมื่อรู้หน้าที่ของรีจิสเตอร์ต่างๆ แล้วก็สามารถโปรแกรมให้ 6845 สร้างสัญญาณภาพออกมาได้ เนื่องจากเวลาในการวาดทั้งหน้าจอเท่ากับ 1/50 วินาที จึงจำเป็นจะต้องโปรแกรมค่าในรีจิสเตอร์ให้ ดอทคล็อก (DOTCLK) เป็นเวลาที่เท่ากันด้วย จำนวนดอทคล็อกหาได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

จากสูตร

จำนวน DOTCLK * เวลาต่อ 1 DOTCLK = 1/50 วินาที

N * 1/16 MHz = 1/50 วินาที

N = 320,000 จุด

จำนวนจุดก็อาจหาได้จากสูตร

จำนวนตัวอักษรบนจอ * ขนาดของตัวอักษร = จำนวนดอทคล็อกบนจอ

โดยในโหมดตัวอักษรจะมีขนาด 9*14 ซึ่งการกำหนดค่าในรีจิสเตอร์ 0 4 และ 5 นั้นจะเป็นการกำหนดจุดจริงๆทั้งหมดบนจอ ซึ่งจะเผื่อไว้สำหรับสัญญาณซิงค์แนวนอน และ สัญญาณซิงค์แนวดิ่ง จากตารางจะเห็นว่ารีจิสเตอร์ 0 และ 4 นั้น เป็นจำนวนแถวของตัวอักษรและจำนวนคอลัมน์ของตัวอักษร แต่เนื่องจากอาจจะไม่เท่ากับ 320,000 จุดโดยพอดีแล้ว จึงต้องมีรีจิสเตอร์ 5 ไว้คอยปรับให้มีจำนวนจุดใกล้เคียง 320,000 จุด เพราะฉะนั้นการคำนวณจุดต่างๆจะหาได้จาก

Dot total = (nc * Ch) * (nr * Cv + A)

โดยที่

nc = จำนวนตัวอักษรต่อเส้นภาพ (รีจิสเตอร์ 0)

nr = จำนวนแถวของตัวอักษรใน จอภาพ (รีจิสเตอร์ 4)

Ch = ความกว้างของตัวอักษรในหน่วยจุด (โหมดตัวอักษร 9)

Cv = ความสูงของตัวอักษรในหน่วยจุด (โหมดตัวอักษร 14)

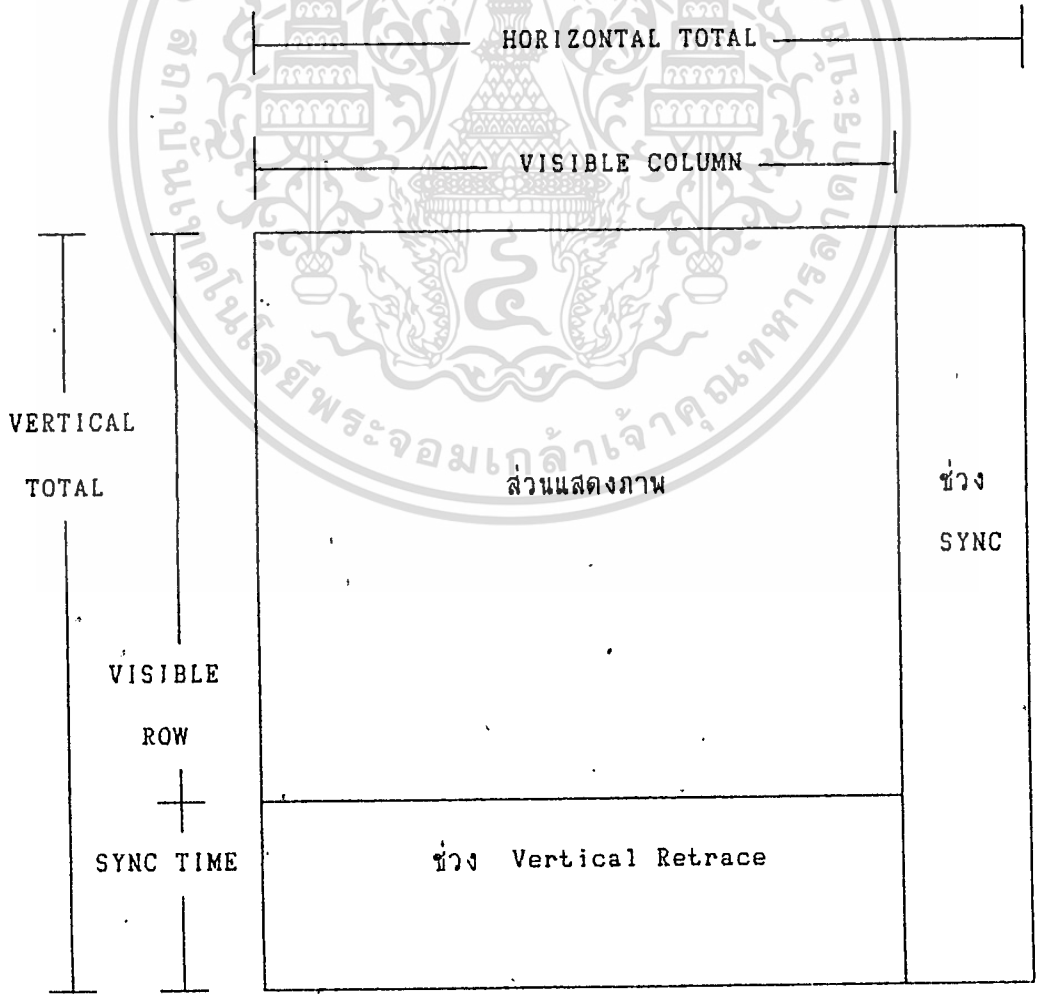
A = จำนวนเส้นภาพที่จะปรับเพื่อให้เป็น 320,000 จุด หรือใกล้เคียงหน่วยเป็นเส้นภาพ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

การจำนวนตัวอักษรต่างๆที่กล่าวมานั้น จะไม่สามารถนำขึ้นจอภาพได้ ยังต้องมีการโปรแกรม วิสซิเบิลคาร์แรกเตอร์ (Visible Character) คือ รีจิสเตอร์ 1 และ 4 ก่อน

การโปรแกรมที่กล่าวมาแล้วนั้นยังไม่ใช่ตัวอักษรจริงๆ เนียงแต่เป็นการโปรแกรมให้ ดอทคล็อก เท่ากับ 320,000 จุดต่อหน้าจอเท่านั้น ซึ่งจะเกิดอาการ SYNC และจอภาพจะนิ่ง แต่ยังไม่เป็นภาพที่จะขึ้นจอจริงๆได้ เพราะยังไม่ได้โปรแกรมวิสซิเบิลคาร์แรกเตอร์ ก็คือส่วนที่มองเห็นนั่นเอง

วิสซิเบิลคาร์แรกเตอร์ จะเป็นช่วงเวลาที่พอจะให้ตัวอักษรขึ้นจอได้ โดยการบิดเบี้ยวเนื่องจากการ ซิงค์ ซึ่งมักเกี่ยวพันกับรีจิสเตอร์เกือบทั้งหมด และไม่สามารถคำนวณได้ขึ้นกับวงจรของจอภาพแต่ละตัว โดยแสดงดังรูป

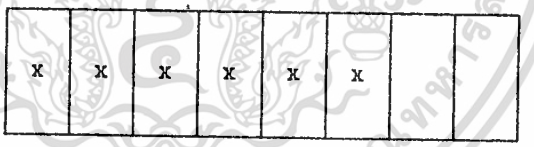


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

จากรูปจะเห็นว่าแถวที่มองเห็นได้ คือส่วนที่เหลือจากซิงค์ทาร์ท (Vsync Time) โดยหักออกจาก เวอร์ติคอร์โทเทอร์ (Verticle Total) และ วิสซิเบอร์คอล์ลัม (Visible Column) คือส่วนที่เหลือจากความกว้างเฮสซิงค์ (hsync width) หักออกจากฮอร์ริซอนทอร์โทโทล Horizontal Total (Horizontal Total - Hsync Width) ค่าต่ำสุดของ Hsync Width = 8 ตัวอักษร Vsync Time = 6 สแกน และ วิสซิเบอร์คาร์แลคเตอร์ อาจมีจำนวนน้อยกว่าจำนวนที่เหลือก็ได้ Hsync Position และ Vsync Position เป็นจุดที่จะเริ่มทำการส่งสัญญาณ HSYNC VSYNC ว่าจะเริ่มเป็นตัวคอลัมน์หรือแถวที่เท่าไร จึงเริ่มทำการSync ได้ มักจะอยู่ถัดจากอักษรท้ายสุดของแถวหรือคอลัมน์ไปประมาณ 1-2 ตัว

อินเตอร์เลซกับนอนอินเตอร์เลซ

รีจิสเตอร์ ของ 6845 ได้รับการกำหนดไว้สำหรับการโปรแกรมอินเตอร์เลซหรือนอนอินเตอร์เลซโดยใช้เนียง 2 บิตสุดท้าย ค่าที่โปรแกรมได้จึงมี 4 ค่า



ค่าที่โปรแกรมได้

x0 โหมดปกติ หรือ นอนอินเตอร์เลซ (Normal mode)

01 อินเตอร์เลซซิงค์ (Interlace mode)

11 อินเตอร์เลซและวิดีโอ (Video Interlace mode)

โหมดของการทำงานแต่ละโหมดจะสัมพันธ์ระหว่าง RA0 - RA3 กับการซิงค์ที่เกิดขึ้นในแนวดิ่ง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

นอนอินเตอร์เลซโหมด โหมดนี้เป็นโหมดปกติที่การ์ดควบคุมจอภาพใช้งานอยู่ การแสดงผลจะแสดงแบบเรียงเส้นจากบนลงล่างไปเรื่อยๆ เช่นจอโมโนโครมแต่ละ บรรทัดมี 14 เส้นก็แสดงทีละเส้นจนครบ 350 เส้น

ในโหมดนี้จะมีการสแกนทีละเส้นจากบนลงล่างจนครบเฟรมแล้วจึงกำเนิดสัญญาณซิงค์แนวดิ่ง เพื่อเริ่มการสแกนเฟรมใหม่ การสแกนนี้สัญญาณซิงค์แนวนอน แต่ละ เปลี่ยนค่า RA0 - RA3 จนถึงค่าสูงสุด และกลับมาเริ่มต้น RA0 - RA3 ใหม่วนไปจนครบจำนวนเส้นใน 1 เฟรม

โหมดอินเตอร์เลซ ซิงค์ ในโหมดนี้การกวาดแสดงผลรอบแรกจะกวาดเฉพาะฟิลด์เส้นคู่ โดยเริ่มจากมุมบนซ้ายของจอภาพ เมื่อครบแล้วจะกวากเส้นคู่โดยเริ่มจากบนลงล่างอีก ลักษณะของการกวาดนี้จะใช้ข้อมูลชุดเดิม เมื่อรวมกันก็จะได้รูปร่างเหมือนเดิม แต่มีความละเอียดเพิ่มมากขึ้น

โหมดอินเตอร์เลซซิงค์ที่ไม่ซ้ำเส้น ในโหมดนี้จะมีรายละเอียดที่แตกต่างกันออกไป กล่าวคือ ข้อมูลแต่ละเส้นของการกวาดเส้นคู่กับเส้นคี่จะไม่เหมือนกัน

เคอร์เซอร์

ขนาดของเคอร์เซอร์กำหนดในรีจิสเตอร์ 10 และ 11 ค่าที่เป็นได้คือ 00h -0Dh ถ้าตำแหน่งแถวเริ่มต้นเคอเซอร์มีค่าน้อยกว่าตำแหน่งแถวสุดท้ายเคอเซอร์เคอเซอร์ จะไม่ปรากฏบนจอภาพสามารถกำหนดตำแหน่งของเคอเซอร์บนจอภาพได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

3.3 <u>การกำหนดพอร์ทบนการ์ดแสดงผล</u>

ตามมาตรฐานของ ไอบีเอ็ม (IBM) ได้กำหนดพอร์ตของการ์ดโมโนโครมไว้ที่ 3B0 - 3BF ดังตารางข้างล่าง

พอร์ท	หน้าที่
3B0	ไม่ใช้
3B1	ไม่ใช้
3B2	ไม่ใช้
3B3	ไม่ใช้
3B4	เป็นตัวเลือกรีจิสเตอร์ของ 6845
3B5	ใช้ส่งข้อมูลลงรีจิสเตอร์
3B6	ไม่ใช้
3B7	ไม่ใช้
3B8	ควบคุมซีอาร์ทีพอร์ท
3B9	สงวนไว้
3BA	แสดงสถานะของซีอาร์ที
3BB	สงวนไว้
3BC	พอร์ทขนานสำหรับข้อมูล
3BD	พอร์ทแสดงสถานะของเครื่องพิมพ์
3BE	พอร์ทควบคุมเครื่องพิมพ์
3BF	ไม่ใช้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.4 หน่วยความจำบนการ์ด

บนการ์ดมีหน่วยความจำขนาด 64 กิโลไบต์ โดยมีแอดเดรสที่ B0000 -BFFFF ในโหมดกราฟฟิคแบ่งเป็น 2 หน้า คือ 0 และ 1

หน้า 0 เริ่มที่ตำแหน่ง B000:0000

หน้า 1 เริ่มที่ตำแหน่ง B800:0000

โดยมีเนื้อที่หน้าละ 32 Kbyte

หน่วยความจำบนการ์ดเออคิวลิสนี้ ซีพียู จะเห็นเป็น 1 เซกเมนต์ที่ตำแหน่ง B0000 - BFFFF ก็เห็นหน่วยความจำชุดนี้ได้โดยใช้แอดเดรส MA_0 - MA_{11} ขนาด 4K ต่อ 1 หน้า ถ้าเป็นกราฟฟิก จะต้องใช้หน่วยความจำ = 720 * 348 บิต

เนื่องจากหน่วยความจำที่ใช้เป็นไดนามิกแรม การเลือกแอดเดรสจะมีการเลือกทางแถวและ คอลลัม และการกำหนดหน้าที่แสดงผลวงจรดังรูป 8

ซีพียู กับ ซีอาร์ทีซี ใช้หน่วยความจำบนการ์ดเออคิวลิสร่วมกันจึงต้องมีการควบคุมการเขียนหรืออ่านว่ามาจากทางใด สัญญาณ XXXRASEN คือสัญญาณ ENABLE ทางแถว ส่วน XXXCASEN เป็นสัญญาณ ENABLE ทาง COLUMN สัญญาณ I/O READY เป็นสัญญาณที่จะบอกว่าซีอาร์ทีซี ติดต่อกับหน่วยความจำอยู่หรือไม่ ถ้าติดต่ออยู่ ซีพียูต้องรอ

3.5 การทำงานของการ์ดโมโนโครม

การ์ดโมโนโครมมีการทำงาน 2 โหมด

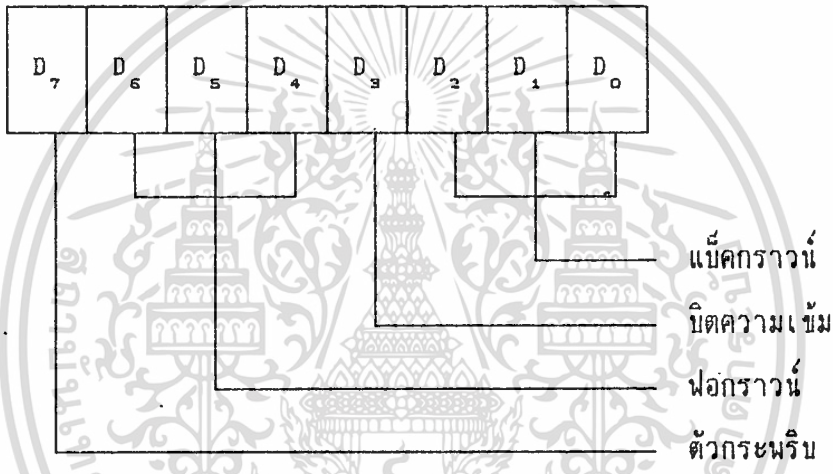
3.5.1 text mode

โหมดตัวอักษร แสดงได้ 80 * 25 ตัวอักษรมีขนาด 9 * 14 dot สำหรับการแสดงผลตัวอักษรสามารถปรับความเข้มได้ 2 ระดับ สามารถทำให้ตัวอักษรกระพริบได้ สามารถขีดเส้นใต้ตัวอักษรได้ และ รีเวอร์ส

ไอบีเอ็ม ได้กำหนดรูปแบบการเก็บตัวอักษรไว้แล้ว โดยตัวอักษรแต่ละตัวจะใช้เนื้อที่ในการเก็บ 2 ไบต์ ไบต์แรกเก็บรหัส แอสกี้ ไบต์ที่สองเก็บรหัสแอตทริบิวต์

แอสกี้ที่ใช้อยู่ในช่วง 0 - 255 ประกอบด้วยตัวอักษรนิมน์เล็ก ตัวอักษรนิมน์ใหญ่ ตัวเลข เครื่องหมาย ตัวอักษรกราฟิก

แอตทริบิวต์แต่ละบิตแสดงความหมายของการแสดงผลต่างกัน



บิต D_3 เป็นบิตความเข้ม

0 ตัวอักษรปกติ

1 ตัวอักษรเข้ม

บิต D_7 สำหรับตัวกระพริบ

0 ตัวอักษรปกติ

1 ตัวอักษรกระพริบ

บิต	D_6	D_5	D_4	D_2	D_1	D_0	
	0	0	0	0	0	0	ไม่แสดงผล
	0	0	0	0	0	1	ขีดเส้นใต้
	0	0	0	1	1	1	ปกติ
	1	1	1	0	0	0	รีเวิร์ส

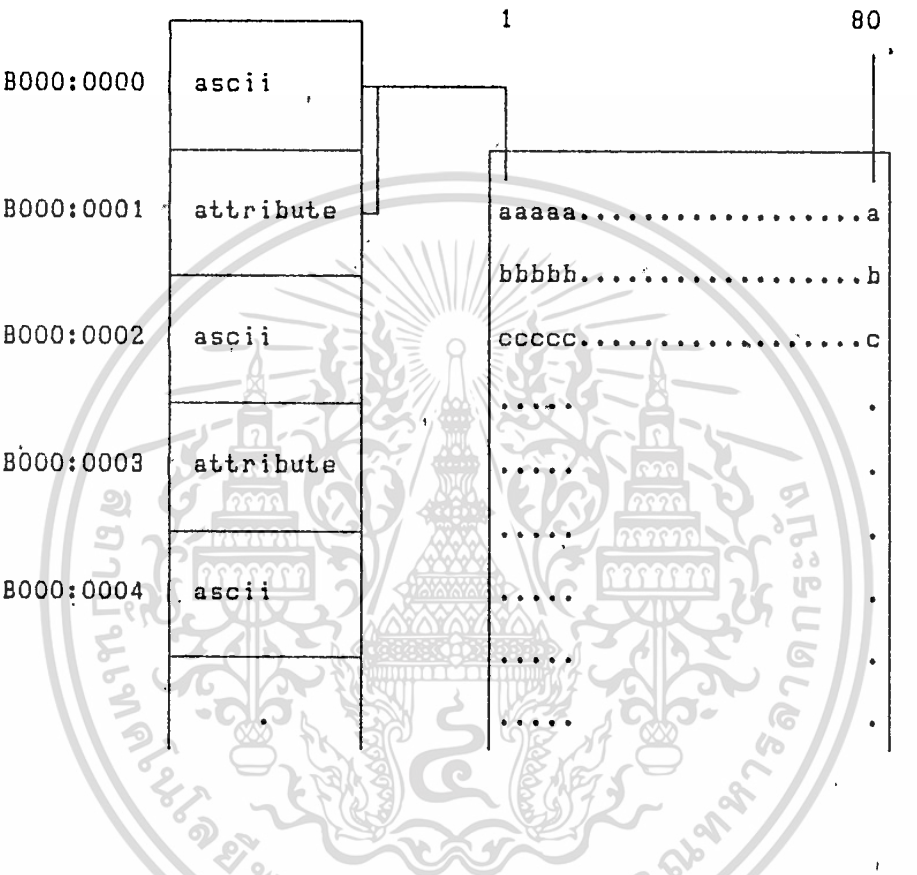
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

ตารางแสดงลักษณะแอตทริบิวต์ที่เป็นไปได้

ลักษณะตัวอักษร	แอตทริบิวต์
ไม่แสดงตัวอักษร	00
ตัวจาง	07
ตัวเข้ม	0F
ตัวจางขีดเส้นใต้	01
ตัวเข้มขีดเส้นใต้	09
ตัวจางรีเวอร์ส	70
ตัวเข้มรีเวอร์ส	78
ตัวจางกระพริบ	17
ตัวเข้มกระพริบ	1F
ตัวจางขีดเส้นใต้กระพริบ	81
ตัวเข้มขีดเส้นใต้กระพริบ	89
ตัวจางรีเวอร์สกระพริบ	F0
ตัวเข้มรีเวอร์สกระพริบ	F8

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

รูปแสดงหน้าจอภาพ แมบ (map) กับหน่วยความจำ



การหา ออฟเซต (off set) ของตัวอักษรบนจอภาพในโหมดเท็ก (mode text) สามารถหาได้จากสมการ

off set of character code

= 160 * (line - 1) + 2 * (column - 1)

off set of attribute for character

= 160 * (line - 1) + (2 * column) -1

โดยที่ บรรทัด มีค่าระหว่าง 1 - 25 และ คอลลัม มีค่าระหว่าง 1 - 80

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

3.5.2 กราฟฟิค (graphic mode)

มีการแสดงผลด้วยความละเอียด 720เส้น ๆ ละ 348 จุด โดยใช้หน่วยความจำ 1 ไบต์ ในการเก็บจุด 8 จุดตามแนวนอน ดังนั้นจึงต้องใช้

หน่วยความจำ = 720*348*8 ไบต์

หน่วยความจำบนการ์ดถูกแบ่งเป็น 2 page คือ B0000 - B7FFF กับ B8000 - BFFFF สำหรับการเลือก หน้าจะกล่าวถัดไป

การหาออฟเซต ของตัวอักษรบนจอภาพในโหมดกราฟฟิค สามารถหาได้จากสมการ

ออฟเซต ของจุด (X , Y)

= [2000h*(Y mod 4)] + [90*integer(Y/4)] + [integer(X/8)

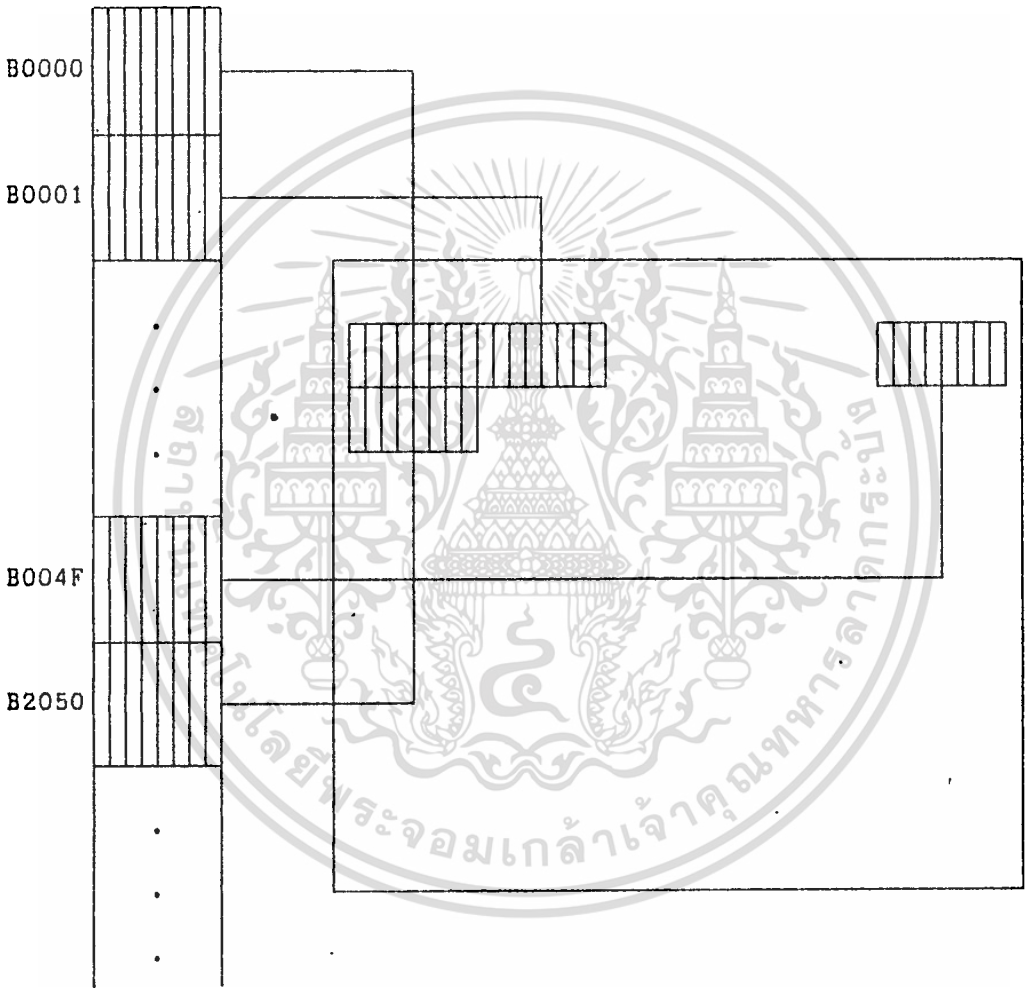
และตำแหน่งบิตในไบต์นั้น

= 7 - (X mod 8)

X มีค่าตั้งแต่ 0 - 719 Y มีค่าตั้งแต่ 0 - 347

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปแสดงหน้าจอภาน แมบ กับหน่วยความจำ



สำหรับการ์ดโมโนโครมรู้จักกันในนามของ "การ์ดเฮอคิวลิส" แตกต่างจากการ์ดโมโนโครมโดยมีสามารถอธิบายได้ดังนี้

3B8 Control Port

3BF Configuration Port

3BA CRT Status Port

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

Config Port นี้ใช้ในการ switch ไปเลียนแบบ IBM โดยสามารถควบคุมจากการโปรแกรมบิตต่างๆ ดังนี้

บิต 0 ใช้ในการอนุญาตการเปลี่ยนเป็น โหมดกราฟฟิค

0 ไม่อนุญาตให้เปลี่ยนเป็น โหมดกราฟฟิค

1 อนุญาตให้เปลี่ยนเป็น โหมดกราฟฟิค

บิต 1 ใช้ป้องกันหน่วยความจำหน้า 1 ซึ่งอยู่ที่ addr$B8000

0 เครื่องไม่สามารถมองเห็นหน่วยความจำตำแหน่งนี้ได้

คอนโทรลพอร์ท ใช้ควบคุมการทำงานของการ์ดในโหมดเท็ก หรือ โหมดกราฟฟิค

บิต 1

0 แสดงผลแบบ เท็ค

1 แสดงผลแบบ กราฟฟิค

บิต 3 ใช้ในการดับจอภาพ เนื่องจากการเปลี่ยนโหมด การทำงานจากโหมดเท็ค เป็น โหมดกราฟฟิค จะเกิดการแสวบ อย่างรุนแรงจึงต้องทำการดับจอภาพก่อน

0 เปิดจอภาพ

1 ดับจอภาพ

บิต 5 ใช้อนุญาตให้เกิดการกระพริบ

0 ไม่อนุญาตให้กระพริบ

1 อนุญาตให้กระพริบ

บิต 7 ใช้เลือกหน้า ใน กราฟฟิคโหมด

0 ใช้ หน้าที่ 0 addr $B0000

1 ใช้ หน้าที่ 1 addr $B8000

ดิสเพล์เสตตัสพอร์ท (Display Status Port) ใช้เป็นพอร์ทแสดงสถานะของจอภาพ

บิต 0

0 normal character

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

1ช่วงเวลานี้การซิงค์ จะทำให้จอภาพว่างไปชั่วขณะ จนมีเวลาพอที่จะอ่านเขียน วีดีโอแรม (Videc Ram) ได้ แม้จะน้อยกว่าการเวอร์ติคอลริแทค บิต 1 และบิต 2 ใช้ตรวจสอบการทำงานของ Light Pen

บิต 3 สำหรับใช้ตรวจสอบว่าจอภาพได้รับสัญญานนั้นไปจริงหรือไม่

บิต 7

0 Vertical Retrace

1 ACtive Display

ในขณะที่ ซีพียู มีการอ่านหรือเขียนค่าใน วีดีโอแรมนั้นหากอยู่ในช่วงที่ 6845 ต้องการอ่านค่าจากแรม พร้อมๆกันแล้ว โครงสร้างทางฮาร์ดแวร์จะให้ซีพียูได้รับการแอสเซต ต่อแรม เพราะฉะนั้นจะทำให้เกิด สโนท์ (snow) บนจอภาพ ในกรณีของจอโมโนโครมจะเกิด สโนท์ น้อยจนมองไม่ค่อยเห็น แต่ถ้ามีการติดต่อกับ วีดีโอแรม มากๆแล้ว สโนท์ก็จะพอมองเห็นได้ ซึ่งสามารถป้องกันได้โดยการตรวจบิตนี้

3.6 ข้อผิดพลาดของวงจรที่พบ

1 วงจรซีเควนเชียลของระบบดังรูป ถ้าเราทำการเขียน ไทร์มิ่งไดแกรม (timing diagram) แล้วจะพบว่า สัญญาณ CCLK- ที่จะนำไปป้อนให้ 6845 ซึ่งตามจริงแล้วจะต้องนำ DOTCLK หาร 9 แต่ในวงจรนี้ CCLK- จะเกิดจาก DOT CLK หาร 8 เท่านั้น เป็นผลให้สัญญาณซิงค์ ที่สร้างจาก 6845 มีความถี่มากขึ้น ทำให้การแสดงผลขึ้นจอภาพผิดพลาดไป ดังนั้นจึงได้ทำการแก้ไขวงจรในส่วนนี้ใหม่ โดยเดิมที่ขา CLK ของ JK-FF (U41 ขา 1) เดิมป้อน DOTCLK- เข้าไป ให้เปลี่ยนเป็นDOTCLK+ และในส่วนของขา CLK ของ JK-FF อีกตัว (U41 ขา 13) เดิมป้อนสัญญาณ DOTCLK- ให้แก้เป็นป้อนสัญญาณเป็น DOTCLK+ แต่ต้องนำมาจากจุดขา 9 ของ S04 (U2) ซึ่งมาจาก X-Tal โดยตรง เพราะ JK-FF จะทริกที่ขอบขาขึ้น ถ้าเรานำ DOTCLK+ ที่มาจากขา 10 ของ S04 (U42) มาใช้ JK-FF จะทริกสัญญาณไม่ได้ตามที่เขียน ไทร์มิ่งไดแกรม เพราะจะเกิดดิเลไทร์ม เกิดขึ้นบนตัวเกต S04 ทำให้ DOTCLK+ ที่ป้อนเข้าไปเลื่อนออกไปจึงต้องนำ DOTCLK+ จากจุดขา 9 ของ U2 มาใช้แทนเพราะจะได้ไม่เกิดดีเลไทร์มทำให้ JK-FF ทริกสัญญาณได้ถูกต้องตาม ไทร์มิ่งไดแกรม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารนี้ทุกครั้งที่มีการนำไปใช้

2 ในส่วนที่ใช้สร้างสัญญาณ RAS จากรูปซึ่งใช้ไอซี S112 (U58) ที่ขา K เดิมจากรูปป้อนสัญญาณ 2Q เข้าไป ต้องเปลี่ยนเป็นสัญญาณ 2Q ซึ่งดูได้จากไทร์มมิ่งไดแกรมซึ่งถ้าใช้ 2Q แล้วสัญญาณ RAS จะเป็นในแบบที่ถูกต้อง

3 วงจรในส่วนที่ใช้ควบคุมการใช้หน่วนความจำ ที่ใช้ไอซี LS155 (U33) ซึ่งทำหน้าที่แบ่งการทำงานระหว่างซีพียู กับ 6845 ให้สามารถสลับการทำงานกันได้ไม่ทำ งานชนกันโดยขาสัญญาณที่ป้อนเข้าขา 2G จะเห็นว่ามีแต่ส่วนที่เป็นอินพุทเข้าไอซีเกตต่างๆ แต่ไม่มีส่วนของสัญญาณว่าเข้ามาจากจุดไหน

เมื่อพิจารณาแล้วจะพบว่าการทำงานของ U33 สัญญาณอินพุทที่จะใช้ป้อนให้ขา 1G บ 2G จะต้องเป็น 1 และ 0 สลับกัน และ 2G จะเป็น 0 เมื่อซีพียู ไม่ต้องการใช้หน่วยความจำตำแหน่งนี้ จากวงจรจะเห็นว่า เมื่อซีพียู ไม่ต้องการใช้หน่วยความจำสัญญาณ -CPUMSEL จะเป็น 1 เมื่อผ่าน S04 (U64) แล้วจะเป็น 0 ป้อนเข้า JK-FF (U34) จะทำให้ที่ขา Q มีค่าเป็น 0 ดังนั้นจึงนำสัญญาณจากขา Q นี้เป็นตัวป้อนเข้า 2G และที่ขา 1G ก็ป้อนสัญญาณ Q เข้าไปอยู่แล้ว ดังนั้นการทำงานก็จะสลับกันตามต้องการ

3.7 <u>สรุปการทำงานวงจร</u>

วงจรที่ได้ทำมามีข้อผิดพลาดอยู่หลายจุด ซึ่งได้แก้ไขในส่วนที่หานบไปแล้ว

สำหรับการ์ดที่สร้างนั้นสามารถทำงานได้ ทั้งเท็กซ์ และกราฟฟิคโหมด ซึ่งเราสามารถนำไปใช้แทนการ์ดเออร์คิวลิสต์ได้

รายละเอียดของวงจรทั้งหมดดูได้จากภาคผนวก ง วงจรไอบีเอ็มโมโนโครมกราฟฟิค

บทที่ 4
การออกแบบโดยใช้เอเอลไอซีดีไวท์

4.1 บทนำ

พีแอลดี (PLD) เป็นการรวมเอาวงจรดิจิตอล มารวมกัน โดยการนำมาโปรแกรมซึ่งสามารถรวมเอาฟังค์ชั่นตรรกต่าง ๆ มาใช้ได้ การโปรแกรมอาจอยู่ในรูปของ ออนชิพฟิวส์ (ON-CHIP FUSES),อีพรอม (EPROM),อีอีพรอม (EEPROM), หรือ แรม (RAM) พีแอลดีสามารถนำไปใช้ในงานพิเศษหลาย ๆ อย่าง ซึ่งมีความแตกต่างตรงที่ว่าสามารถโปรแกรมลงในชิพ ได้เลย ในที่นี้จะใช้ พีรอม ที่มีความเร็วสูงมาทำพีแอลดี ในกรณีที่ช้ากว่าแต่มีความจุมากกว่า เช่น ตระกูล มอส/ซีมอล (อีพรอม และ อีอีพรอม) ก็สามารถใช้ได้ มอส และ อีพรอม บางตัว ก็สามารถนำมาใช้ได้เหมือนกันแต่จะมี แอสเซสไทร์ม (ACCESS TIME) ที่ช้ากว่า -200 nS หรือไม่ก็มากกว่านั้น ซึ่งทำให้ไม่เหมาะสมในการใช้งานพีแอลดี มาในรูปแบบต่าง ๆ ซึ่งสถาปัตยกรรมของพีแอลดี เหล่านี้มาใช้กับวงจรในระบบใหญ่ ๆ และ ย่อย ๆ นับไม่ถ้วน ซึ่งสถาปัตยกรรม และรูปแบบของพีแอลดีแตกต่างกันไปตามความเร็ว,การใช้กำลังไฟ,การทนความร้อน ซึ่งแล้วแต่ว่าจะเลือกใช้งานใด

4.2 ทำไมถึงใช้ พีแอลดี

เดี๋ยวนี้ในการออกแบบวงจรเราสามารถเลือกได้ 6 วิธี

-STANDARD SSI/MSI DEVICES

-STANDARD LSI/VLSI DEVICES

-GATE ARRAY DEVICES

-STANDARD - CELL DEVICES

-FULL - CUSTOM DEVICES

-PROGRAMMABLE LOGIC DEVICES

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

28

ซึ่งจะอธิบายถึงวิธีคร่าว ๆ ดังนี้

Standard SSI/MSI DEVICES เป็นการรวมวงจรระดับเล็ก หรือระดับกลาง ซึ่งเห็นอยู่ทั่วไป มีราคาถูกซึ่งอุปกรณ์เหล่านี้เป็นพื้นฐานของระบบดิจิตอลทั่วไป เป็นที่นิยมในปัจจุบันซึ่งได้แก่ ชิฟเฟอร์, ชิฟรีจิสเตอร์, เคาร์เตอร์, เกต และ ฟังก์ชั่นลอจิกอื่น ๆ

Standard LSI/VLSI DEVICES เป็นการรวมวงจรขนาดใหญ่ และใหญ่มาก ซึ่งรวมถึงอุปกรณ์ไมโครโปรเซสเซอร์ , ยูอาร์ท (UART) ,ดีเอ็นเอคอลโทรเลอร์ (DNA controller) การผลิตมากพอสมควรทำให้ต้นทุนต่ำลง เช่น 8บิต เซดแปดศูนย์ไมโครโปรเซสเซอร์ ราคาประมาณ 1 เหรียญ

วิธีนี้ให้ราคาต้นทุนต่อเกตดีที่สุดเทียบกับวิธีการออกแบบฟลูคลาสต้อม(FULL-CUSTOM) ซึ่งใช้พื้นที่ของซิลิกอน อย่างมีประสิทธิภาพมีเพียงเกตที่จำเป็นใช้เท่านั้น จะไม่รวมพวกที่ไม่ใช้ซึ่งต่างจากพีแอลดี

เกทอาร์เรย์ดีไวท์ (GATE ARRAY DEVICES) ประกอบด้วยบรรดาเกท ต่าง ๆ รวมกัน ความนิยม ในการใช้เพิ่มขึ้นซึ่งทำให้ราคาลดลง ได้มีการพัฒนาโปรแกรม ในการใช้ที่เร็วขึ้นและถูกลง อุปกรณ์เหล่านี้จะถูก แฟบริเกต ไว้ก่อนด้วยซิลิกอน แต่ชั้นของโลหะที่เหลือจะถูกเว้นไว้ซึ่งชั้นเหล่านี้จะเป็นตัวเชื่อมเกทเข้าด้วยกัน ในรูปของอาร์เรย์ มีตั่งแต่ 1000 เกท ถึง 5 หมื่น หรือมากกว่านั้นที่นิยมใช้ได้แก่ 1 หมื่น เกท หรือ ต่ำกว่านั้น

ในการออกแบบ เกท ซัก 2000 เกทอาจต้องใช้ เกทอาเรย์ ถึง 5000 ตัว ในการใช้งานจริง ๆ แล้ว ประมาณ 40% จะถูกใช้แต่ในการออกแบบที่ทันสมัยสามารถ ใช้ได้ถึง 75% เพราะว่าต้องมีการออกแบบการเชื่อมต่อของ เกทจึงต้องเสียค่าอุปกรณ์ และการ ดีไซน์ ซึ่งอาจจะมีราคาตั่งแต่ 1หมื่น ถึง 5หมื่น เหรียญ หรือบางทีอาจสูงถึง 2แสน 5หมื่นเหรียญ เพราะว่า ค่าออกแบบสูงมากจึงต้องผลิตอย่างน้อย 5000 ตัวจึงจะคุ้ม และหลังจากการออกแบบแล้วต้องรออีก 2-3 อาทิตย์ แล้วแต่ความซับซ้อน, เทคนิค, การทดสอบ และจำนวนที่สั่งทำ

STANDARD-CELL DEVICES คล้ายกับ เกทอาร์เรย์ตรงที่เป็นอุปกรณ์ เซมิคลาสต้อม ซึ่งต้องมีการออกแบบ แตกต่างกันตรงที่ไม่ต้องแฟบริเกทไว้ก่อน และไม่มีเกตต่าง ๆ อยู่ใน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การออกแบบ โดยใช้ แคด มี เซลไร์เบอร์รี่ ซึ่งมี บล็อกฟังก์ชั่น ตามมาตราฐาน เอสเอสไอ, เอ็นเอสไอ,และ แอลเอสไอ หลังจากการออกแบบโดยการนำเอาวงจรมาประกอบกันบนจอภาพ แล้วคอมพิวเตอร์จะสร้าง มาส์ค ที่เหมาะสม ในการผลิตอุปกรณ์ต่าง ๆ เช่น แซดแปดศูนย์ , ดี เอ็นเอ คอนโทรเลอร์ สามารถนำมาต่อกันเป็นระบบเดียว แล้วมาทำเป็น ชิพ ที่อาจจะแทน บอร์ทคอมพิวเตอร์ได้ทั้งเครื่องซึ่งคุ้มค่ามากถ้ามีการผลิตครั้งละมาก ๆ ในการออกแบบวิธีนี้สา มารถใช้เนื้อที่ซิลิกอนได้อย่างมีประสิทธิภาพซึ่ง ในกรณีที่มีการผลิตสูงขึ้น Standard Cell DEVICES ก็จะมีการใช้เหมือน แอลเอสไอ, วีแอลเอสไอ ทุกประการ

FULL-CUSTOM DEVICES วิธีนี้มีต้นทุนในการออกแบบสูงมากที่สุด และ ใช้เวลา นานที่สุดเหมาะกับการออกแบบทีละมาก ๆ เช่น วงจรเครื่องคิดเลข หรือนาฬิกาดิจิตอล วิธีนี้ สามารถใช้เนื้อที่ได้อย่างมีประสิทธิภาพมาก

PROGRAMMABLE LOGIC DEVICES พีแอลดีจะรวมคุณสมบัติที่พบใน STANDARD DEVICES และ เกทอาร์เรย์ รวมกันเหมือนกับอุปกรณ์อื่น ๆ ที่ถูกผลิตในจำนวนสูงซึ่งทำให้ต้น ทุนต่ำลง และสามารถออกแบบให้ทำงานได้ต่าง ๆ กันแล้วแต่วิธีการใช้งาน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

บทที่ 5

การเลือกใช้เทคนโลยีและขั้นตอนการออกแบบวงจร

5.1 การเปรียบเทียบอุปกรณ์ต่าง ๆ

ในขณะที่มีความคลายคลิงระหว่าง เกทอาร์เรย์ (GATE ARRAY) และ พีแอลดี (PLD) แต่ พีแอลดี ส่วนมากไม่ได้ประกอบไปด้วย เกทอาร์เรย์ ซึ่งจะแตกก่างกันไปตามตระกูลของ พีแอลดี แต่เทียบกันแล้วก็มีทั้งข้อดีข้อเสีย ประการแรก ค่าใช้จ่ายในการออกแบบ พีแอลดี น้อยมาก เพราะสามารถแก้ไขได้ง่ายและรวดเร็ว โดยไม่เสียค่าใช้จ่าย ประการที่สอง ในการผลิต พีแอลดี ตั้งแต่ขั้นออกแบบจนสำเร็จนั้น เร็วมากซึ่งเทียบกับ เกทอาร์เรย์ ซึ่งใช้เวลาหลายสัปดาห์ และประการสุดท้าย พีแอลดี สามารถใช้กับการออกแบบวงจรขนาดเล็ก หรือผลิตทีละน้อยก็ได้ แต่ก็ยังมีปัญหาตรงความจุของจำนวน เกท ในพีแอลดี ซึ่งน้อยกว่า เกทอาร์เรย์ และถ้าเทียบจำนวนการผลิตครั้งละมาก ๆ เกทอาร์เรย์ อาจมีต้นทุนการผลิตที่ต่ำกว่า

อีพีแอลดี (ERASABLE PROGRAMMABLE LOGIC DEVICES) อีพีแอลดี ถูกเปิดตัวเป็นครั้งแรกโดย ออลทีล่าร์ (ALTERA) ซึ่งอยู่ในตระกูล ซีมอสซับอีลาสท์เอแบิลพีแอลดี (CMOSUB-erasablePLD) ซึ่งรวมถึงการใช้เทคโนโลยี อีพรอม (EPROM) ในทางคล้ายกันอีพีแอลดีถูกคิดขึ้นโดยใช้อุปกรณ์ อีอีพรอม (EEPROM) ซึ่งลบได้โดยใช้ไฟฟ้า ตั้งแต่เริ่มต้นอ่อลทีล่าร์เป็นผู้คิดค้นพีแอลดี ที่มีความจุสูงและสามรถนำมา โปรแกรมใหม่ได้ซึ่งใช้เทคโนโลยี ในแขนงนี้อีพรอมนับว่าเป็นตัวที่ใช้เนื้อที่ได้อย่างมีประสิทธิภาพ มากที่สุด ดังนั้นจึงจุวงจรได้มากกว่า อีอีพรอม ซึ่งจุได้ตั้งแต่ 300 - 5,000 GATE ยกตัวอย่างพีเอแอล (PAL) 16 L8 จุได้ประมาณ 100 - 150 GATE ในขณะที่ PAL 22 V 10 จุได้ประมาณ 500 - 600 GATE

พีแอลดี (PLD) เทียบกับการออกแบบลอจิก (LOGIC) วิธีอื่น

ในการออกแบบวิธีต่าง ๆ ได้แก่

-STANDARD SSI/MSI DEVICES

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

-STANDARD LSI/VLSI DEVICES

-GATE ARRAY DEVICES

-STANDARD - CELL DEVICES

-FUUL - CUSTOM DEVICES

-PROGRAMMABLE LOGIC DEVICES

แต่ละวิธีมีทั้งข้อดีและข้อเสีย ดังนั้นในการออกแบบวงจรดิจิตอล ส่วนมากจะใช้วิธีเหล่านี้รวมกัน

ในการตัดสินใจใช้ วิธีการออกแบบวงจรที่ดีที่สุดนั้น นักออกแบบต้องคำนึงถึง ความสัมพันธ์ระหว่าง สถาปัตยกรรมของวงจร ที่ว่างบนบอร์ทเวลาในการออกแบบ จำนวนการผลิตที่คาดไว้ และต้นทุนการผลิต นอกจากนี้ต้องคำนึงถึง ความเร็วในการทำงาน และกำลังงานที่ใช้ เมื่อคำนึงถึงต้นทุนของวิธีต่าง ๆ นักออกแบบต้องคิดรวมเอาต้นทุนทั้งหมด

FULL CUSTOM DEVICES ใช้เนื้อที่น้อยที่สุด และต้นทุนในการผลิตทีละมาก ๆ นั้นต่ำที่สุด แต่ใช้เวลาในการผลิตนานที่สุด รวมทั้งค่าออกแบบที่สูงที่สุด

STANDARD CELL DEVICES คุณสมบัติคล้ายกับ FULL CUSTOM DEVICES ซึ่งใช้เนื้อที่และต้นทุนน้อย แต่มีข้อจำกัดเรื่อง การประกอบของวงจร เวลาในการผลิต และต้นทุนในการออกแบบนั้น น้อยกว่าวิธีแบบ FULL CUSTOM DEVIDES เล็กน้อย แต่ยังนับว่ามากกว่าเกทอาร์เรย์ดิไวท์ และ พีแอลดี สำหรับ STANDARD CELL DEVICES นั้นต้องผลิตทีละมาก ๆ

GATE ARRAY DEVICES ใช้เวลาในการผลิตน้อย และใช้ต้นทุนในการออกแบบนั้นน้อยกว่า FULL CUSTOM DEVICES และ STANDARD CELL DEVICES แต่สิ้นเปลืองเนื้อที่ซิลิกอน ดังนั้นจึงมีต้นทุนการผลิตสูงกว่า แต่สำหรับการผลิตจำนวนมากแล้ว GATE ARRAY DEVICES ยังมีต้นทุนที่ต่ำกว่า พีแอลดี

พีแอลดี นั้นเสียบค่าใช้จ่ายในการออกแบบน้อยที่สุด ซึ่งจะเป็นประโยชน์ถ้าผลิตครั้งละน้อย ๆ ในการแก้ไขดัดแปลงวงจรนั้นใช้เวลาน้อยและมีความยุ่งยากน้อยกว่า เพราะสามารถนำมาโปรแกรมใหม่ได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

SSI/NSI DEVICESไม่ต้องเสียเวลาในการผลิต รวมทั้งค่าใช้จ่ายในการออกแบบ แต่ทำให้เสียเนื้อที่ในการสร้างวงจรบน BOARD จึงทำให้ต้นทุนสูง ที่เป็นผลทางอ้อมคือ พีแอลดีดีไวท์สามารถนำมาแทน เอสเอสไอ/เอ็นเอสไอ (SSI/NSI) ได้หลายตัว จึงทำให้การทดสอบและต้นทุนอื่น ๆ ต่ำลง

LSI/VLSI DEVICES นับว่าเป็นวิธีที่สมบูรณ์เพราะ ไม่ต้องเสียเวลาในการผลิต และค่าใช้จ่ายในการออกแบบ และใช้เนื้อที่ของซิลิกอนได้อย่างมีประสิทธิภาพมากที่สุด ซึ่งมีต้นทุนในการผลิตต่ำไม่ว่าจะผลิตจำนวนมากหรือน้อย ดังนั้นในการสร้างวงจรทั่ว ๆ ไป ควรใช้แอลเอสไอ/วีเอลเอสไอ ให้มากที่สุด ในตารางได้สรุปถึง ข้อเปรียบเทียบระหว่างวิธีสร้างวงจรต่าง ๆ ซึ่งนักออกแบบต้องทำการตัดสินใจ เลือกอุปกรณ์ที่จะใช้ ซึ่งบ่อยครั้งจะรวมเอาหลายวิธีมาใช้

การเลือกพีแอลดี ที่เหมาะสม

ผู้ออกแบบวงจรต้องเลือกอุปกรณ์ที่เหมาะสมที่สุดสำหรับงาน ซึ่งอาจจะใช้พีแอลดีต่าง ๆ รวมกัน ซึ่งควรจะคำนึงถึงคุณสมบัติ 3 ประการดังนี้

1.ฟังก์ชั่นการทำงาน

2.วิธีการออกแบบและพัฒนา

3.ขบวนการผลิต

แต่ถึงอย่างไรสิ่งที่สำคัญคือ ฟังก์ชั่น ในการทำงานที่เหมาะสมที่สุด เพื่อจะได้ใช้ประโยชน์โปรแกรมเอเบิลลอจิก (PROGRAMMABLE LOGIC) ได้อย่างเต็มที่

ฟังค์ชั่นการทำงาน

ต้องตั้งเป้าหมาย และจุดประสงค์ของการทำงานของอุปกรณ์ คือ สถาปัตยกรรม,ความเร็ว,การกินไฟ,รูปแบบของ เอาท์พุท,จำนวนขาไอ/โอ และอุณหภูมิในการทำงาน อาจมีคุณสมบัตินิเศษอื่น ๆ สำหรับงานเฉพาะอย่าง เช่น สามารถลบได้ หรือสามารถโปรแกรมบนวงจรได้เลย

ในวงจรที่ซับซ้อนมีสัญญาณเข้าและออก มากมาย ผู้ออกแบบอาจเลือกอุปกรณ์ที่มีหลายขาสัญญาณ หรืออาจแบ่งวงจร ให้เล็กลงมาใส่อุปกรณ์หลายตัว เพื่ออาจได้เปรียบด้านความเร็ว ถ้าเป็นวงจรที่ง่าย ๆ สามารถนำมาใส่ในอุปกรณ์ได้เลย ซึ่งมี 20,24 หรือ 28 ในกรณีนี้ไม่จำเป็น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

ต้องคำนึงถึง การแบ่งส่วนของวงจร การออกแบบบางอย่าง อาจต้องใช้การโปรแกรมซ้ำอีกที ซึ่ง พีแอลดี ที่มีอยู่มี 2 ประเภท คือ แบบ แรม เช่น แอลซีเอเอส (LCAs) และ แอ็มแอ็มไอ (MMI) และ อีอีพรอม ของ ลาสติก (Lattic)

การออกแบบและพัฒนา

หลังจากที่ได้เลือกว่าจะใช้พีแอลดี ตัวไหนแล้ว ผู้ออกแบบต้องดูว่ามีเครื่องมือที่ช่วยในการออกแบบและพัฒนาอยู่ด้วย ซึ่งบางทีอาจจะเป็นเครื่องมือทางฮาร์ดแวร์บ้างก็ได้ จึงต้องคำนึงถึงต้นทุนเหล่านี้ด้วย ซึ่งนับได้ว่าเป็นการลงทุนไปในครั้งเดียว ในการเลือกคุณภาพของซอฟท์แวร์นั้น ต้องเข้ากับวิธีการออกแบบ และควรจะมีระบบการย่อวงจร และสามารถทดสอบการทำงานได้

อีกแบบของเครื่องมือที่ช่วยในการพัฒนา อยู่ในรูปของพีแอลดี ที่ลบได้ ในการผลิต พีแอลดีที่ลบได้นั้นทำให้ต้นทุนการผลิตสูงขึ้น แต่ถึงอย่างไรในระหว่างการออกแบบวงจร ที่ต้องมีการแก้ไขบ่อย ๆ จำเป็นต้องอาศัย พีแอลดี ที่สามารถลบได้ แล้วนำมาโปรแกรมใหม่ จะได้ไม่ต้องเสียโปรแกรมไปโดยเปล่าประโยชน์

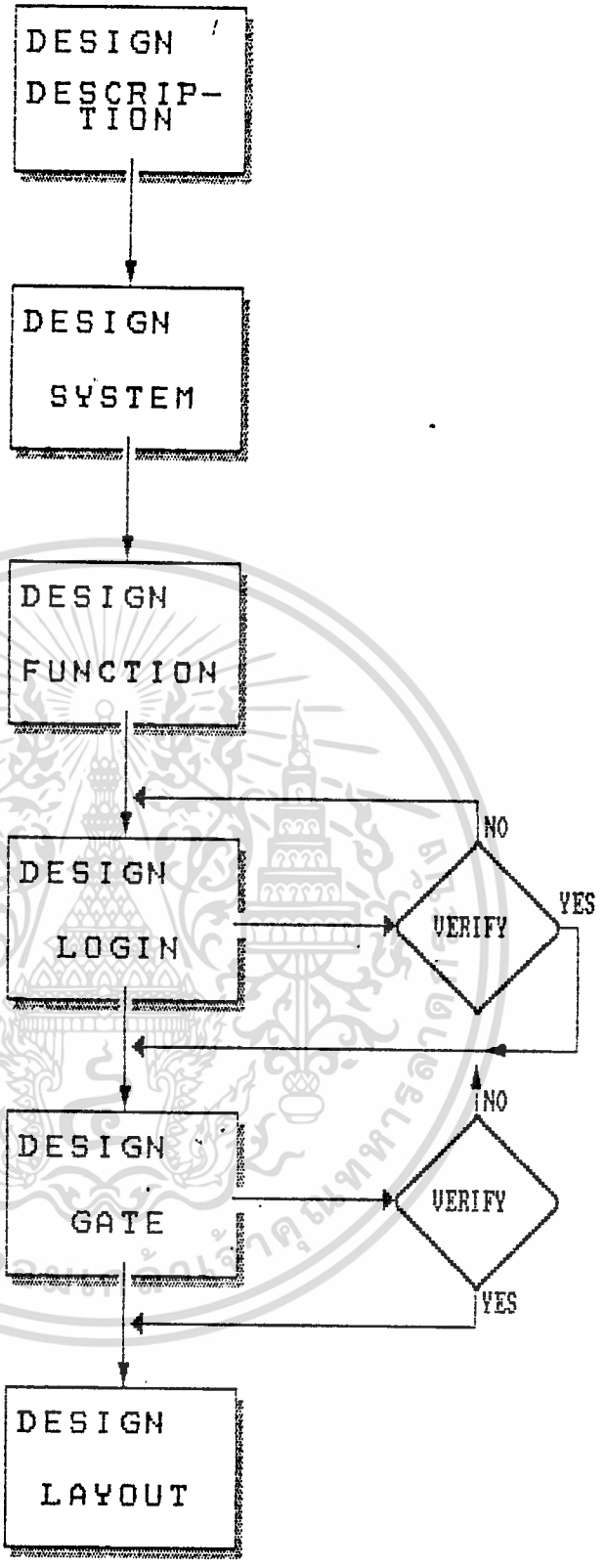
การผลิต

องค์ประกอบต่างๆในการผลิตที่มีผลต่อการตัดสินใจคือจำนวนการผลิต, เวลาที่ใช้ในการผลิต, คุณภาพ, ความปลอดภัยต่าง ๆ ต้นทุนของอุปกรณ์นั้นอาจเป็นสิ่งที่ควรคำนึงถึงผลมากที่สุดราคาต่อหน่วยอย่างเดียวอาจไม่พอ ที่ใช้ในการตัดสินใจถึงต้นทุนในการเลือกใช้อุปกรณ์ใด ต้องคำนึงถึงปัจจัยในการผลิตอื่น ๆ ด้วย คือ สิ่งจำเป็นในการโปรแกรมต้องดูว่าอุปกรณ์ที่ใช้ในการโปรแกรมนั้นพร้อมที่จะใช้อยู่ตลอดหรือไม่ อุปกรณ์นั้นสามารถถูกโปรแกรมได้อย่างมีประสิทธิภาพในเวลาที่รวดเร็วหรือไม่ สามารถออกแบบส่วนต่างๆที่จะประหยัดต้นทุนได้หรือไม่ ความเชื่อถือและสามารถนำมาทดสอบ ก็เป็นสิ่งจำเป็นที่ควรคำนึงถึง

5.2 <u>การออกแบบวงจร Schematic</u>

ในการออกแบบวงจร วีแอลไอสไอ เราสามารถเขียนถึงขั้นตอนการทำการออกแบบ ได้ดังนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า



TOP-DOWN DESIGN

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

ขั้นตอนการทำงานต่าง ๆ มีดังนี้

- Design Description เป็นการกล่าวถึงรายละเอียดทั้งหมดของวงจรที่ต้องการ ดีไซน์
- Design logic ออกแบบวงจรด้วย ไอซี ให้สามารถทำงานตามรายละเอียดที่ต้องการ
- Verify ตรวจสอบการทำงานของวงจร
- Circuit เป็นการดีไซน์ วงจรด้วยทรานซิสเตอร์ ก่อนที่จะนำไปทำเรย์เอาท์
- Layout เป็นขั้นตอนการสร้าง เกทอาร์เรย์ โดยใช้ทรานซิสเตอร์
- IC Manufacture ขั้นตอนการทำงานในโรงงาน

ในส่วนการทำงานของโปรเจ็ค นี้ คือการออกแบบ ลอจิก และ ตรวจสอบการทำงานให้ถูกต้องก่อนทำการรวมวงจรบางส่วนเข้าด้วยกับเพื่อทำเป็น ชิพวีแอลเอสไอ(Chip VLSI)

5.3 A + PLUS ALTERA PROGRAMABLE LOGIC USER SYSTEM (ALTERA)

เพื่อที่จะสนับสนุน ซีมอส อีพีแอลดี ออลทีล่าร์(CMOS EPLD ALTERA) ได้พัฒนาชุดซอฟท์แวร์ เอพลัส (A + PLUS) แต่ เอพลัส อยู่ในระดับเดียวกับภาษาพีแอลดี ชุดที่ 3 (เช่น ซียูทีแอล (CUPL) และ เอบีอีแอล(ABEL)) ถ้าเทียบกันถึงประสิทธิภาพ ซึ่งแตกต่างกับ ผู้ผลิตพีแอลดี ส่วนใหญ่ที่เน้น ในการพัฒนาอุปกรณ์ใหม่ขึ้นมา โดยมีซอฟแวร์ ประกอบ ซึ่งมีกลุ่มคนส่วนน้อยใช้ได้เท่านั้น แต่ ออลทีล่าร์ ได้เน้นถึงความสัมพันธ์ของ ซอร์ฟแวร์ (SOFEWARE)ที่ดีสามารถนำเกทลอจิก (GATE LOGIC) ที่มีภายในอุปกรณ์มาใช้ได้อย่างมีประสิทธิภาพ จึงได้มีการนำเอพลัสพลัส ช่วยในการออกแบบในรูปแบบต่าง ๆ รวมทั้งสมการ รูทีน, การป้อนสถานะของเครื่องจักร, การป้อน เนทลิส (NETLIST), และการสร้าง ซีกิมเมติก (SCHEMATIC) เพื่อสร้างจากโปรแกรมอื่นได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

นอกจากนี้ยังมี ซอฟแวร์ ตัวอื่น ๆ อีก เช่น ไอ พีแอลดีเอสทู (i PLDS II) ซึ่งบริษัท อินเทล (INTEL) ได้ผลิตขึ้นมาเพื่อช่วยในการโปรแกรมพีแอลดี ซึ่งคล้ายกับระบบของออลทีล่ร่า ในตอนต้น ๆ แต่ภายหลังได้แก้ไขพัฒนาให้มีความแตกต่างออกไป และERAIC DEVELOPING SYSTEM (Exel) ซึ่งถูกผลิตขึ้นมาประกอบการใช้งานกับซอฟแวร์ มาตรฐานในวงการอุตสาหกรรมที่มีอยู่แล้วคือ เอแบล (ABEL)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 6

การออกแบบวงจรรวมโมโนโครมกราฟฟิค

จากวงจรโมโนโครมกราฟฟิคอแด็บเตอร์ ที่ได้ออกแบบมานั้น เมื่อได้ทำการทดสอบการทำงานของวงจรและได้ทำการออกแบบปรับปรุงการทำงานของวงจรจนสามารถทำงานได้ เมื่อทดสอบต่อวงจรกับสล็อตบนเมนบอร์ดแทนเออร์คิวลิสการ์ด วงจรที่ได้ออกแบบมานี้จะนำมาออกแบบใหม่โดยยุบรวมจำนวนชิพบนบอร์ดให้เหลือน้อยที่สุดเท่าที่สามารถออกแบบได้ ชิพส่วนใหญ่ที่ถูกยุบรวมเข้าด้วยกันนั้น จะเป็นชิพที่มีเกทการทำงานพื้นฐานต่าง ๆ เช่น อินเวอร์เตอร์ แอนเกท ฯลฯ โดยชิพที่จะมาทำงานแทนนั้นจะรวมการทำงานของชิพต่าง ๆ ในชิพเพียงตัวเดียวซึ่งชิพที่ได้ออกแบบมาแทนคือ เอเอสไอซี (ASIC)

6.1 การยุบรวมวงจรภายในเอเอสไอซี

จากรายละเอียดของวงจรทั้งหมดที่ได้กล่าวมาแล้วนั้น เมื่อนำมาออกแบบใหม่โดยยุบรวมเกทการทำงานพื้นฐานต่าง ๆ เข้าด้วยกัน โดยการยุบรวมวงจรภายในเอเอสไอซีนั้นต้องคำนึงถึงมารวมภายในชิพเอเอสไอซีดังนี้คือ

- บัฟเฟอร์ (Buffer) เพื่อให้สามารถจ่ายกระแสเพียงพอต่อชิพที่ทำงานร่วมกันในบอร์ด
- รอม (ROM) อาจมีการเปลี่ยนแปลงโปรแกรมภายใน
- แรม (RAM) เป็นปัญหาในการดีไซน์
- ส่วนสร้างสัญญาณคล็อก (CLOCK) แตกหักได้ง่าย
- พราสซีบดีไวท์ (Passive Device) มีพลังงานสะสมสูงเป็นเหตุให้ชิพเกิดเป็นอันตรายได้

จากวงจรที่ออกแบบมา ไอซีที่ได้แยกออกจาก วีแอลเอสไอชิพ มีดังนี้คือ

บัฟเฟอร์

- ไอซี เบอร์ 74245 , 74244 , 74374

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

รอม เบอร์ 2732

แรม เบอร์ 4164

วงจรกำเนิดสัญญาณ

- ไอซี เบอร์ 7404 , ออสซิเลเตอร์ (Osilater) 16 MHz , คริสตอล 16 MHz

พราสซีนดีไวท์

- ตัวความต้านทาน 820 โอม , ตัวเก็บประจุ 0.001 μF

ซีอาร์ทีคอนโทรเลอร์ (CRT CONTROLLER) 6845

จากวงจรเอเอสไอซีทั้งหมดที่ได้รวมเข้าด้วยกันนั้น จะประกอบด้วยเกท และ ชิน ดังแสดงในภาคผนวก ก

6.2 วงจรรวมและการทำงานในชิพเอเอสไอซี

จากวงจรที่ได้รวมเป็นชิพเอเอสไอซีแล้วนั้น เราแยกได้ชิพเอเอสไอซี 2 ตัวตามการทำงานภายในชิพ ซึ่งเราจะกล่าวรวมเป็นชิพตัวเดียวกัน ดังนี้คือ

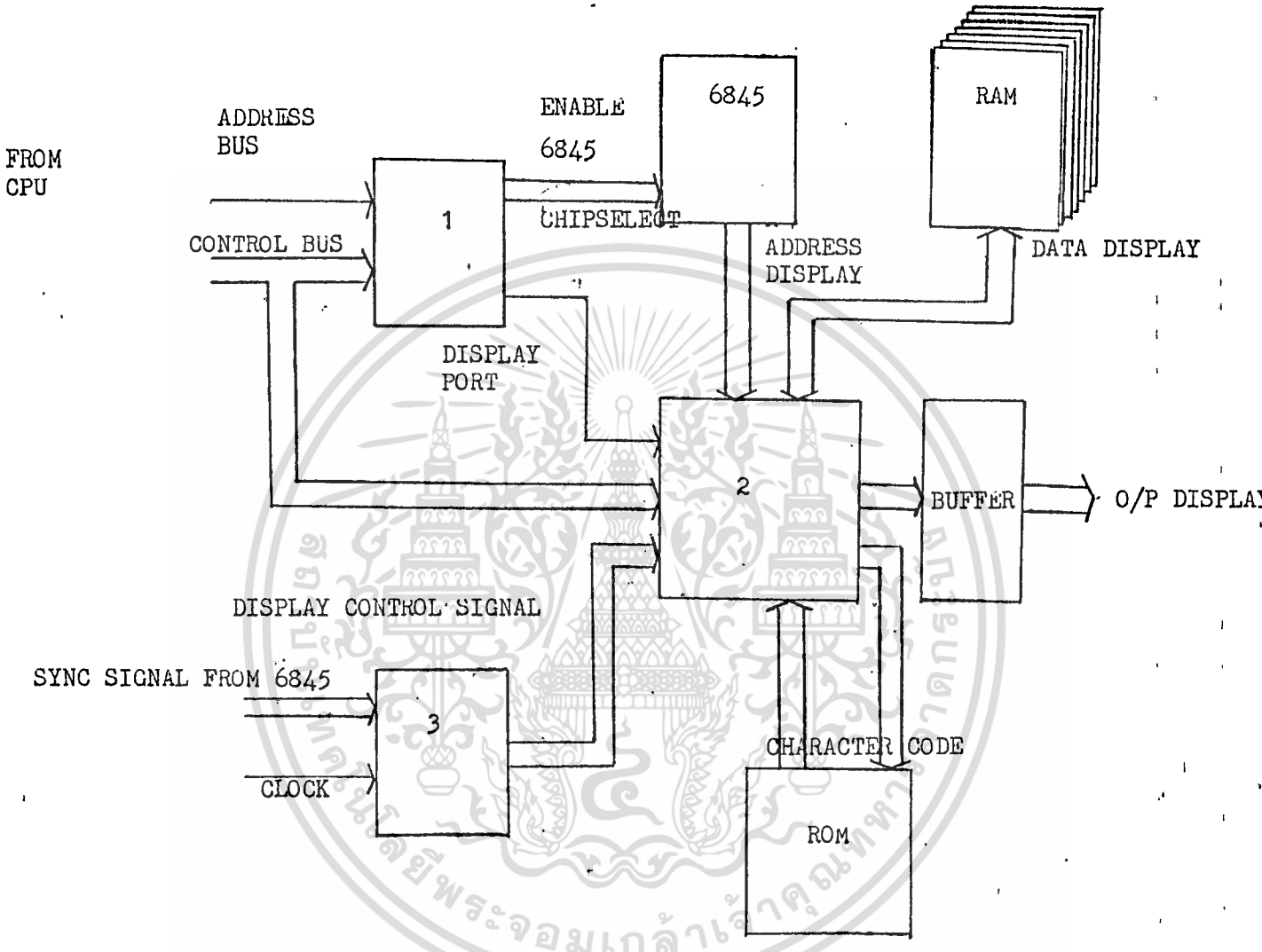
จากการออกแบบวงจรภายในพีแอลดีชิพ (PLD chip) ที่ได้รวมเอาไอซีทีทีแอล (IC TTL ในวงจร โมโนโครมกราฟฟิค นั้นเราสามารถเขียนเป็น บล็อคไดแกรม การทำงานในรูป 1 ซึ่งจะเห็นว่าได้แยก บล็อกไดแกรมรูปที่ 1 เป็นสามส่วน คือ

1. ดีโค็ด (Decode)และเอ็นโค็ด (Encode) สัญญาณที่ใช้ควบคุมวงจรต่างๆ ในชิป

2. ส่วนแสดงผล ซึ่งจะควบคุมการแสดงผลทั้งใน กราฟฟิคโหมด (Graphic mode)และเท็คโหมด (Text mode)

3. ในส่วนสุดท้าย จะจัดการและจะควบคุมการแสดงผลหน้าจอ การจัดการหน่วยความจำแสดงผล และ การกำหนดสัญญาณคล็อก ในชิพ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้


FROM CPU
ADDRESS BUS
CONTROL BUS
1
ENABLE 6845
CHIPSELECT
6845
RAM
ADDRESS DISPLAY
DATA DISPLAY
DISPLAY PORT
2
BUFFER
O/P DISPLAY
DISPLAY CONTROL SIGNAL
SYNC SIGNAL FROM 6845
3
CLOCK
CHARACTER CODE
ROM

6.3 การออกแบบพีแอลดีชิพ

จากบล็อกไดแกรมรูปที่ 2 ที่ออกแบบมรจะแยกการทำงานได้สามส่วน ดังที่ได้กล่าวมาแล้ว และ จะแยกย่อยในรายละเอียด ดังนี้คือ

1. ส่วนที่ ดิโค็ดและเอ็นโค็ด ควบคุมสถานะต่างๆ ในชิป ซึ่งในการทำงานในส่วนนี้จะแยกย่อยการทำงานได้ดังนี้ คือ

- ถอดระหัสหน่วยความจำแสดงผล
- ถอดระหัสหมายเลขพอร์ท
- การเลือกข้อมูลแสดงผล
- Enable 6845
- กำหนดสถานะพอร์ทที่ใช้แสดงผล

ซึ่งจำนวนไอซีที่ยุบรวมในส่วนนี้มี 17 ตัว

2. ส่วนแสดงผล ซึ่งในส่วนนี้จะควบคุมหน่วยความจำและกำหนดแอดเดรส ในการแสดงผลทั้งในเท็คโหมด และ กราฟฟิคโหมด เขียนเป็น บล็อกไดแกรมแสดงการทำงานได้ดังนี้

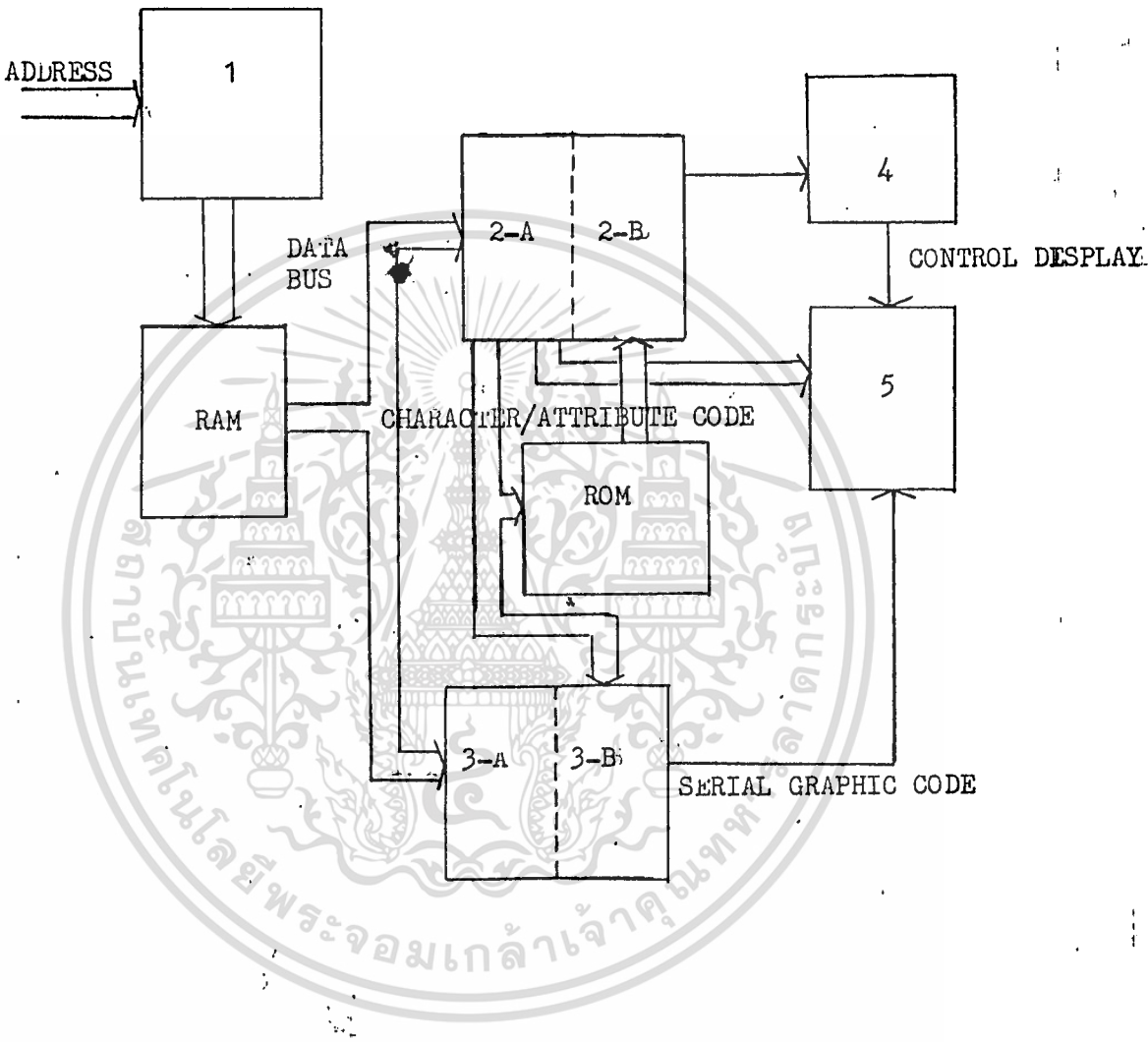
1)การเมวรท์ติเพิร์กแอดเดรส เพื่อใช้ในการแสดงผลโดยที่จะมี แอดเดรสที่ต้องควบคุมว่ามาจาก ซีพียู หรือ ซีอาที ในการแสดงผล

2)ในส่วนนี้จะเป็นการแสดงผลใน test mode (2)-A ข้อมูลที่รับเข้ามาจะมีทั้งแอสกิโค็ด และหน่วยความจำ แอตทิบิวท์แอสกิโค็ด (Attribute ascii code) จะถูกส่งไปยังรอม เพื่อเปลี่ยนเป็น คาร์แลคเตอร์โค็ด (Character code) ที่ใช้ในการแสดงผล ก่อนส่งมายัง (2)-B เพื่อใช้แสดงผลต่อไป ในส่วนของหน่วนความจำแอดทริบิว นั้นจะส่งไปแสดงผลเพื่อกำหนดลักษณะตัวอักษร

3)กราฟฟิคโหมด จะนำข้อมูลจากหน่วยความจำมาแสดงผลโดยตรง และจะไม่ใช้ข้อมูลส่วนไบต์ ที่ต้องควบคุมว่ามาจาก ซีพียู หรือ ซีอาร์ที ในการแสดงผล

4)ควบคุมหน่วยความจำแสดงผลว่าขณะที่แสดงนั้น การแสดงผลมาจาก ซีพียูหรือ ซีอาร์ที

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

5)รับสัญญาณจาก 6845 เพื่อใช้จัดการแสดงผลทางหน้าจอภาพ

6.4 สัญญาณที่เข้าออกจากชิพ

จากวงจรทั้งหมดจะเห็นว่ามีสัญญาณที่เกี่ยวข้องกับชิพอื่น ๆ ภายนอกหลายสัญญาณซึ่งสัญญาณเหล่านี้จะถูกกำหนดให้เป็นขาอินพุท์ เอาท์พุท สำหรับสัญญาณในการติดต่อกับชิพอื่น ๆ เราแยกสัญญาณที่เป็นขาอินพุท์ เอาท์พุท ของชิพซึ่งได้ให้รายระเอียดในภาคผนวก ก

6.5 วงจรของโมโนโครมกราฟฟิคการ์ดที่ใช้ชิพเอเอสไอซี

จากวงจร โมโนโครมกราฟฟิค ได้ทำการยุบรวมวงจรทั้งหมดให้อยู่ใน ชิพตัวเดียวตามบล็อกไดแกรม ที่ได้ออกแบบไปในเดือนมกราคมแล้วนั้นไม่สามารถทำได้ เนื่องจากจำนวนขาไอ/โอที่เข้าออกจากchipมีจำนวนมากเกินไป จึงไม่สามารถรวมวงจรทั้งหมดในชิพเพียงตัวเดียวได้ ดังนั้น จากวงจรที่ออกแบบเดิม เราจึงทำการแยกวงจรการทำงานเป็น 2 ส่วน เพื่อทำการแยกชิพเป็น 2 ตัว ซึ่งชิพ ที่ได้แยกเป็น 2 ส่วนนี้ เราได้ยึดหลักการที่ว่า

_จำนวนขาที่ต่อระหว่างชิพ 2 ตัวให้น้อยที่สุด

_หน้าที่การทำงานภายในชิพ ต้องเกี่ยวข้องกัน

ดังนั้น ชิพตัวที่ 1 เราให้การทำงานภายในเป็นบล็อกไดแกรมที่ 1 และ 3 เป็นส่วนควบคุมการแสดงผลบนจอภาพ

ชิพตัวที่ 2 การทำงานภายในชิพ เป็นบล็อกไดแกรมที่ 2 เป็นส่วนที่จะนำข้อมูลไปแสดงผลบนจอภาพ

ซึ่งจากชิพเอเอสไอซี ออกแบบมานี้จะมีเกทและขาสำหรับสัญญาณเข้าออก ให้เรานำมาออกแบบเพิ่มเติม หรือนำมาแก้ไขวงจรภายหลังได้อีก

เมื่อนำชิพเอเอสไอซี ไปแทนที่เกทต่าง ๆ จะได้วงจรใหม่ตามรายระเอียดในภาคผนวก ข

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

บทที่ 7

การทดสอบวงจร

7.1 ระดับของการทดสอบ

ในระบบทั่ว ๆ ไปนั้นจะประกอบด้วย ระบบการทำงานที่สามารถแบ่งแยก รายละเอียดตามลำดับซึ่งเรียงตั้งแต่ในระดับล่างสุด(CHIP = SRRU) จนถึงระดับที่สูงสุด(ระบบ) ยังรวมถึงระดับต่าง ๆ เช่น MODUL , CARD , BOARD ฯลฯ ซึ่งสาวนมากเป็น FIELD-REPLACEABLE UNIT SRRU

ในที่นี้ส่วนต่าง ๆ จะถูกแสดง ในรูปปิรามิด ซึ่งแสดงถึง

A) ในแนวตั้ง (คอลลั่ม) แต่ละส่วนจะรวมส่วนที่อยู่ข้างใต้ลงไป เช่น ในการทดสอบแบบของ BOARD เมื่อได้ผลลัพธ์ว่าผ่าน / ไม่ผ่าน สำหรับแต่ละ chip หมายความว่า ผลลัพธ์ นั้น จะใช้กับ MODOL , CARD , BOARD ได้โดยอัตโนมัต ในทางเดียวกัน ในการทดสอบระบบ ถ้าได้ผลการทดสอบ CHIP ก็ รวมไปถึงทั้ง MODUL ,CARD ,BOARD เลย

B) ในทิศทาง ขวา-ล่าง ในแต่ละส่วนนั้นจะรวมถึงส่วนต่าง ๆ ที่อยู่ใต้ลงไป เช่น ในการทดสอบแบบของ BOARD ถ้าได้ผลลัพท์ จากการทดสอบแต่ละ MODUL ก็ไม่จำเป็นที่จะทดสอบ CARD หรือ MODUL ต่าง ๆ ใน BOARD ของรูปอื่น

C) ในทิศทาง ซ้าย-ล่าง แต่ละส่วนอาจจะสำคัญกว่า ส่วนอื่น ๆ ที่อยู่ข้างล่าง ลงไป ในที่นี้การเปรียบเทียบระหว่าง ส่วนต่าง ๆ อาจไม่แน่นอนแล้วแต่ การมองของแต่ละคน ตัวอย่างเช่น สำหรับวิศวกรระบบ การทดสอบความสามารถของระบบ ว่าจะให้ผลลัพธ์อย่างไร ที่ระดับ MODUL (ระดับ FRU ที่ต่ำที่สุด) หรือไม่ก็ แม้ในระดับ Board (ระดับ FRU ที่สูงที่สุด) ถ้าไม่มีอะไรที่ดีกว่านี้ก็คงจะ ดีกว่าการทดสอบ ในระดับ CHIP ซึ่งการซ่อมบำรุงอาจคิด ในทางตรงกันข้าม แต่มีอยู่อย่างหนึ่งที่แน่นอนคือ ในการทดสอบระบบ ถ้าให้ผลลัพธ์ของ CHIP จะทำให้ทั้ง 2 คนพอใจได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

ในทางทฤษฎีการจัดคุณภาพของการทดสอบนั้น ค่อนข้างง่าย ก่อนอื่นควรจะคิดว่าค่าใช้จ่ายในการดำเนินงานเหมือนกัน แล้วจับคู่ว่าคู่ไหนเป็นประโยชน์มากกว่า แต่ในการกระทำซึ่งต้องคิดถึงต้นทุนด้วย คงจะตัดสินใจยากขึ้น

MODUL ที่ประกอบด้วย CHIP หลายตัว และถือว่าเป็น MODUL แบบ FRU สามารถออกแบบโดยตั้งเป้าได้ 4 ระดับ สามารถจัดการทดสอบระบบภายนอกของ MODUL ซึ่งให้แต่ระดับ MODUL ซึ่งก็พอสำกรับการทดสอบการผลิตของ MODUL

B) ให้ผลลัพธ์สำหรับ CHIP ต่าง ๆ ใน MODUL มีประโยชน์ ในการทดสอบแก้ไข MODUL เท่านั้น

C) สามารถทดสอบระบบภายใน MODUL ซึ่งให้ผลลัพธ์ ในระดับ MODUL สามารถใช้ในการทดสอบส่วนต่าง ๆ ของระบบ เพื่อหา FRU ที่บกพร่อง เพื่อจะได้แก้ไข

D) ให้ผลลัพธ์สำหรับ CHIP ต่าง ๆ ใน MODUL

ถ้าเทียบระหว่าง A กับ B ฉนั่นอนกว่า และใช้ได้ดีกว่า A เพราะว่าเมื่อมีการระบุถึง CHIP ที่มีการทำงานผิดพลาด ก็จะบอกถึง MOD ที่ทำงานผิดซึ่งมี CHIP นั้นอยู่ ในทางเดียวกันเทียบ C และ D D ใช้ดีกว่า C โดยการออกแบบที่ดีการทดสอบระบบภายในนั้น รวมถึงการทดสอบระบบภายในนั้น รวมถึงการทดสอบระบบภายนอก

ดังนั้นเราจะเห็นว่าความสามารถในการทดสอบระดับต่าง ๆ กันนี้ การทดสอบระบบภายในกับ CHIP (SRRU) จะอยู่ในระดับสูงสุด ในขณะที่การทดสอบระบบภายนอก กับ MODUL (FRU) อยู่ ในระดับล่างสุด

7.2 ไดอะแกรมเวลาของสัญญาณที่สำคัญในวงจรซีเควนเชียล

การถอดรหัสบนการ์ดมี 2 ส่วน ส่วนหนึ่งสำหรับหน่วยความจำแสดงผล 64 Kเริ่มจาก B0000 - BFFFF

เมื่อซีพียู ต้องการติดต่อกับหน่วยความจำที่เซกเมนต์ BA_{19} A_{18} A_{17} A_{16} มีค่าเป็น 1011 ถอดรหัสด้วย 74LS138 จะได้สัญญาณCPUMSEL- ออกมา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

การถอดรหัสทางด้าน อินพุต/เอาท์พุต ตามการกำหนดหมายเลขพอร์ตขั้นต้นด้วย 3BX ซึ่งก็คือ 0011101 1XXX 74LS138 ตัวแรกเป็นตัวถอดรหัส 3B ออกมาเป็น IOSEL- ส่วน 74LS138 ตัวที่ 2 เป็นตัวสร้างพอร์ตให้กับส่วนการแสดงผลโดยพอร์ตเอาท์พุต SELI เป็นการเลือกอินเด็กรีจิสเตอร์ และข้อมูล STATUSSEL เป็นตัวเลือกสถานะของวงจรแสดงผล

ส่วนการกำเนิดสัญญาณนาฬิกา

จุดแต่ละจุดบนจอภาพถูกควบคุมด้วยแหล่งกำเนิดความถี่ตัวหนึ่งเรียกว่า DOTCLK จุดแต่ละจุดมีขนาดคงที่ไม่ว่าจะแสดงรูปแบบใดๆ บนจอภาพ สำหรับจอโมโนโครมทั่วไปจะใช้ความถี่ 50 Hz (50 เฟรมต่อ 1 วินาที) แต่ใช้ DOTCLK มีความถี่เป็น16 MHz การกวาด 1 หน้าจอจะใช้ DOTCLK ประมาณ 320,000 ลูก แต่ใช้ในการสร้างภาพประมาณ 250,000 ลูก เท่านั้น DOTCLK จะถูกนำไปใช้ในการสร้าง CCLK ซึ่งเกิดจากการเอา DOTCLK/จำนวน DOT ต่อความกว้างของหนึ่งตัวอักษร (9)

วงจรกำเนิดสัญญาณนาฬิกา 16 MHz

DOTCLK เป็นสัญญาณพื้นฐานตัวแรก สัญญาณที่สำคัญอื่นๆ จะถูกสร้างจากวงจรชิเควนเชียล

วงจรสร้างสัญญาณ

IO เป็นสัญญาณโหลดแอตทริบิวต์

CAS เป็นสัญญาณรีเฟรชหน่วยความจำ

LCCLK เป็นสัญญาณโหลดตัวอักษรจากหน่วยความจำ

DOTCLK คือสัญญาณกำหนดจุด

S/L เป็นสัญญาณ shift/load เพื่อการเลือกข้อมูลทีละจุดตามการแสดงผล ROMAII เป็นตัวอินาเบิ้ล รอมกำเนิดตัวอักษร

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เนื่องจากใช้หน่วยความจำแบบไดนามิก จึงจำเป็นต้องมีการรีเฟรช การรีเฟรชให้สัญญาณ CAS และ RAS ซึ่ง RAS สามารถสร้างได้

หน่วยความจำที่อยู่บนการ์ดนี้ ซีพียูจะเห็นว่าอยู่ที่แอดเดรส B0000-BFFFF ส่วน 6845 เห็นได้โดยใช้แอดเดรส MA_0 - MA_{11} ซึ่งมีขนาด 4k เท่านั้น แต่เป็น 4k ที่ตำแหน่งต่างๆได้ ถ้าเป็นโหมดกราฟฟิกต้องใช้หน่วยความจำ 720 * 348 บิต

การเลือกแอดเดรสของไดนามิกแรม ต้องเลือกทั้งทางคอลัมน์และทางแถวสัญญาณที่ใช้ได้

หน่วยความจำแสดงผลเป็นส่วนที่ใช้ร่วมกันทั้ง ซีพียู และ 6845 จึงต้องมีการควบคุมการเขียนหรืออ่านว่ามาจากทางใด สัญญาณ XXXRASEN คือสัญญาณอีนาเบิ้ลแอดเดรสทางแถว XXXCASEN คือสัญญาณอีนาเบิ้ลทางคอลัมน์ ส่วนตอนล่างเป็นส่วนสร้างแอดเดรส MA_{11}, MA_{12}, MA_{13} สำหรับการแสดงผลกราฟฟิก เนื่องจากต้องใช้หน่วยความจำมากกว่าการแสดงผลด้วยตัวอักษร การกำหนดแอดเดรสใช้ RMA_0 - RMA_7 โดยมัลติเพล็กซ์ทางแถวและคอลัมน์ เมื่อ CPUจะอ่านข้อมูลก็จะส่งแอดเดรสมาทาง 74LS244 2 ตัว และจะส่ง CPURDDATA - มาแลตช์ข้อมูลที่ 74LS374 ถ้า 6845 จะติดต่อกับหน่วยความจำก็จะส่งแอดเดรสมาแลตช์ไว้ที่ 74LS374 2 ตัว ตัวบนเป็นแอดเดรสต่ำ ตัวล่างเป็นแอดเดรสสูง เลือกหน้าแสดงผลได้

การเลือกพอร์ตของ 6845 จะใช้สัญญาณที่ถอดรหัสอีกทีหนึ่ง

การแสดงผล Serial Dot ในโหมดตัวอักษรเมื่อ 6845 ส่งแอดเดรสมาให้หน่วยความจำ 4164 ก็จะมีข้อมูลออกมาทาง MD_0 - MD_7 ส่วนของข้อมูลที่จะซิงโครไนซ์กับแอดเดรสที่ต้องการแสดงผล 6845 จะส่งแอดเดรสและ RA_0 - RA_7 ออกมาเพื่อนำเอา RA_0 - RA_7 ผนวกกับข้อมูลในหน่วยความจำกำหนดแอดเดรสของ รอมกำเนิดตัวอักษร

การแสดงผลเริ่มจากการอ่านข้อมูลจากแรม ข้อมูลออกมาทาง MD_0 - MD_7 โดยใช้สัญญาณ LCCLK เป็นตัวแลตช์ไว้ ข้อมูลถูกอ่านมา 2 ไบต์ คือ แอลฟ้าและแอตทริบิวต์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

การนำข้อมูลจากหน่วยความจำส่งอนุกรมออกไปด้วย74LS166 เลื่อนข้อมูลออกไปทีละบิต ในโหมดตัวอักษรใช้ข้อมูลจากรอมกำเนิดตัวอักษรเป็นข้อมูล 8 บิต แต่การแสดงผลต้องใช้ 9 จุดต่อตัวอักษร ซึ่งกำหนดให้เป็น "0" ลงไปเลยไม่ได้ เพราะ เมื่อใช้ตัวกราฟฟิกจะไม่เป็นเส้นต่อเนื่องจึงต้องใช้การสร้างขึ้นมาสำหรับASCII บางตัวเพื่อความสะดวกจึงกำหนดให้ตัวกราฟฟิกที่จะใช้จุดที่ 9 มีรหัส แอสกี้เป็น CX , DX เท่านั้น การสร้างจุดที่ 9 จึงใช้ CC6X , CC7X และ D_7 เข้า AND GATE แล้วไป OR กับ CC5X อีกทีหนึ่ง

ส่วนแอตทริบิวต์ใช้ IQ เพื่อแลตช์สัญญาณแอตทริบิวต์ แอตทริบิวต์นั้น IBMกำหนดไว้แล้ว ซึ่งการถอดรหัสก็เป็นไปตามนั้น แล้วไปควบคุมการทำงานในภาคแสดงผลต่อไป

ข้อมูลทางGRADOT และVIDEO2C2และใช้ VIDEOASEL,VIDEOBSEL ให้เอาท์พุต +B/W

การแสดงผลกราฟฟิกบิตแมบ

การแสดงผลในโหมดนี้ไม่ใช้ รอมกำเนิดตัวอักษรไม่ใช้แอตทริบิวต์ จะใช้ 74LS166 เลื่อนข้อมูลออกไปทีละ 16 บิต ไม่มีการสร้างบิตที่ 9 การนำข้อมูลแสดงผล การเลือกแอตทริบิวต์ยังมี AT7X ซึ่งเป็นตัวสร้างตัวเข้ม ใช้ในการสร้าง VIDEOASEL VIDEOBSEL

ส่วนควบคุมเคอร์เซอร์ , สัญญาณซิงค์ในแนวนอน , สัญญาณซิงค์ในแนวดิ่ง

สัญญาณสำคัญที่ 6845 สร้างหลายตัวสามารถใช้โปรแกรมควบคุมได้ โดยการกำหนดค่ารีจิสเตอร์ใน 6845 เช่นเคอร์เซอร์ ; DISPEN (อนุญาตให้แสดงผล)

เมื่อ 6845 กำหนดสัญญาณนี้แล้วจำเป็นต้องนำสัญญาณนี้ไปปรุงแต่ง เพื่อให้การแสดงผลเป็นตามต้องการ เช่นสัญญาณเคอร์เซอร์แอคทีฟในจังหวะที่ 6845 สแกนแอดเดรสไปยังแอดเดรสที่กำหนดตำแหน่งเคอเซอร์ สัญญาณนี้จะปรากฏออกมา รูปเคอเซอร์เป็นไปตามโปรแกรม ส่วนการกระพริบขึ้นกับฮาร์ดแวร์ วงจรเหล่านี้แสดงได้

ดูวงจรที่ได้จากการชิมมูเลตที่ภาคผนวก ค

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 8

สรุป

การออกแบบโดยใช้เอเอสไอซี (ASIC) ในการนำมาออกแบบวงจรรวมทำให้ เราสามารถยุบรวมดีไวท์ภายในบอร์ดให้มีจำนวนชิพน้อยลง โดยใช้ เอเอสไอซีให้ทำงานแทนที่ชิพเหล่านั้น แต่การ่ออกแบบเอเอสไอซีโดยใช้ อีพีเอลดี (EPLD) เป็นดีไวท์นั้น เนื่องจาก อีพีแอลดี มีราคาแพง เมื่อเทียบกับการ์ด การนำมาใช้จริงจิงไม่เหมาะสม ทั้งทางด้านการทำงานและราคา

แต่วัตถุประสงค์ของเราคือศึกษาการออกแบบวงจร วีแอลเอสไอ และถ้าเรานำวงจรเหล่านี้ไปทำออกแบบ โดยการแพร่สารเป็นชิพ (FULL CUSTOM) ราคาต่อหน่วยของ เอเอสไอซีดีไวท์ก่จะลดลงมาก และการที่เรานำอีพีแอลดีดีไวท์มาใช้แทนที่จะส่งไปแพร่สารนั้น เนื่องจากเวลาที่เราใช้นั้น การแพร่สารยังประเทศออสเตรเลียใช้เวลานานมากกว่าจะได้ชิพกลับมาทดสอบการทำงาน แต่การใช้ อีพีแอลดีนั้น เวลาในการทำชิพสามารถตรวจสอบ การทำงานได้รวดเร็วกว่า การแพร่สารมาก ดังนั้นเราจึงใช้อีพีแอลดีดีไวท์ ในการออกแบบเป็นชิพเบองต้นก่อนและทดสอบ การทำงานของชิพจนแน่ใจ และเราสามารถออกแบบโดยใช้วงจรหา อีพีแอลดีที่สามารถทำงานจริงได้ โดยใช้การแพร่สาร เพื่อทำชิพ ในการนำไปพัฒนาต่อได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กิตติกรรมประกาศ

การทำงานในครั้งนี้ สามารถสำเร็จลุล่วงไปด้วยดี เนื่องจากได้รับความช่วยเหลือจากบุคคลหลายฝ่าย ซึ่งประกอบด้วยคำแนะนำจากท่านอาจารย์ที่ปรึกษา, คณาจารย์ทุกท่านที่ประสิทธิประสาทวิชาความรู้ รวมทั้งเพื่อนนักศึกษาที่ให้ความช่วยเหลือซึ่งกันและกันเป็นอย่างดี ตลอดจนบุคคลต่าง ๆ ที่มิได้กล่าวถึง ณ ที่นี้ ผู้จัดทำขอขอบคุณอย่างยิ่ง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

เอกสารอ้างอิง

1. รศ.ดร.สมเกียรติ ศุภเดช , รศ.มนัส สังวรศิลป์ , ดร.บุญวัฒน์ อัตชู , อ.วิสุทธิ์ ฐิติรุ่งเรือง , อ.สมศักดิ์ ชุ่มช่วย "การฝึกอบรมเชิงปฏิบัติการเรื่อง VLSI DESIGN TECNOLOGY" สำนักวิจัยและบริการคอมพิวเตอร์สถาบันเทคโนโลยีพระจอมเกล้า เจ้าคุณทหารลาดกระบัง, 2531

2. ยืน ภู่วรวรรณ ,"ควบคุมจอภาพด้วย 6845" เซมิคอนดัคเตอร์ เล่มที่ 92 ฉบับเดือนมิถุนายน , พ.ศ.2532

3. ยืน ภู่วรวรรณ ,"ควบคุมจอภาพด้วย 6845 ตอน 2" เซมิคอนดัคเตอร์ เล่มที่ 93 ฉบับเดือนกรกฎาคม , พ.ศ.2532

4. ยืน ภู่วรวรรณ , ชัยยงค์ วงค์ชัยสุวัฒน์ , ไพศาล สงวนหมู่ "เทคโนโลยี ไมโครคอมพิวเตอร์ 16 บิต" สำนักพิมพ์ซีเอ็ดยูเคชั่น , พ.ศ.2530

5. ไมโครคอมพิวเตอร์ฉบับพิเศษ ยูทิลิตี้ สำนักพิมพ์ซีเอ็ดยูเคชั่น , พ.ศ.2531

6. Frank F.Tsui "LSI/VLSI testabiility Design" McGraw Hill , 1988

7. Roger C. Alford , "Programable Logic Designer's Guide" Howard W.Sams & Company ,1989

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

ภาคผนวก ก วงจรรวม-โมโนโครมกราฟฟิค

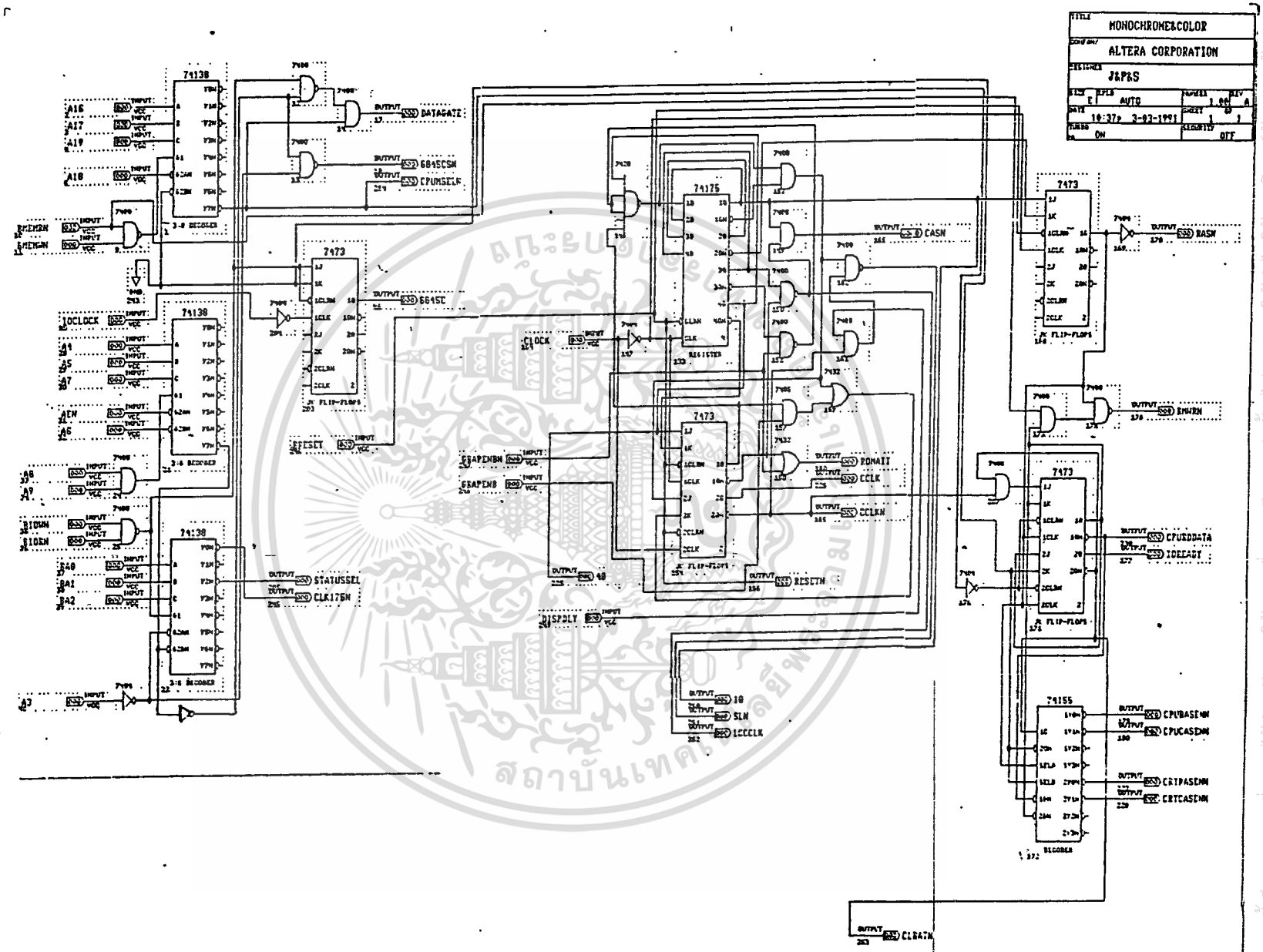
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

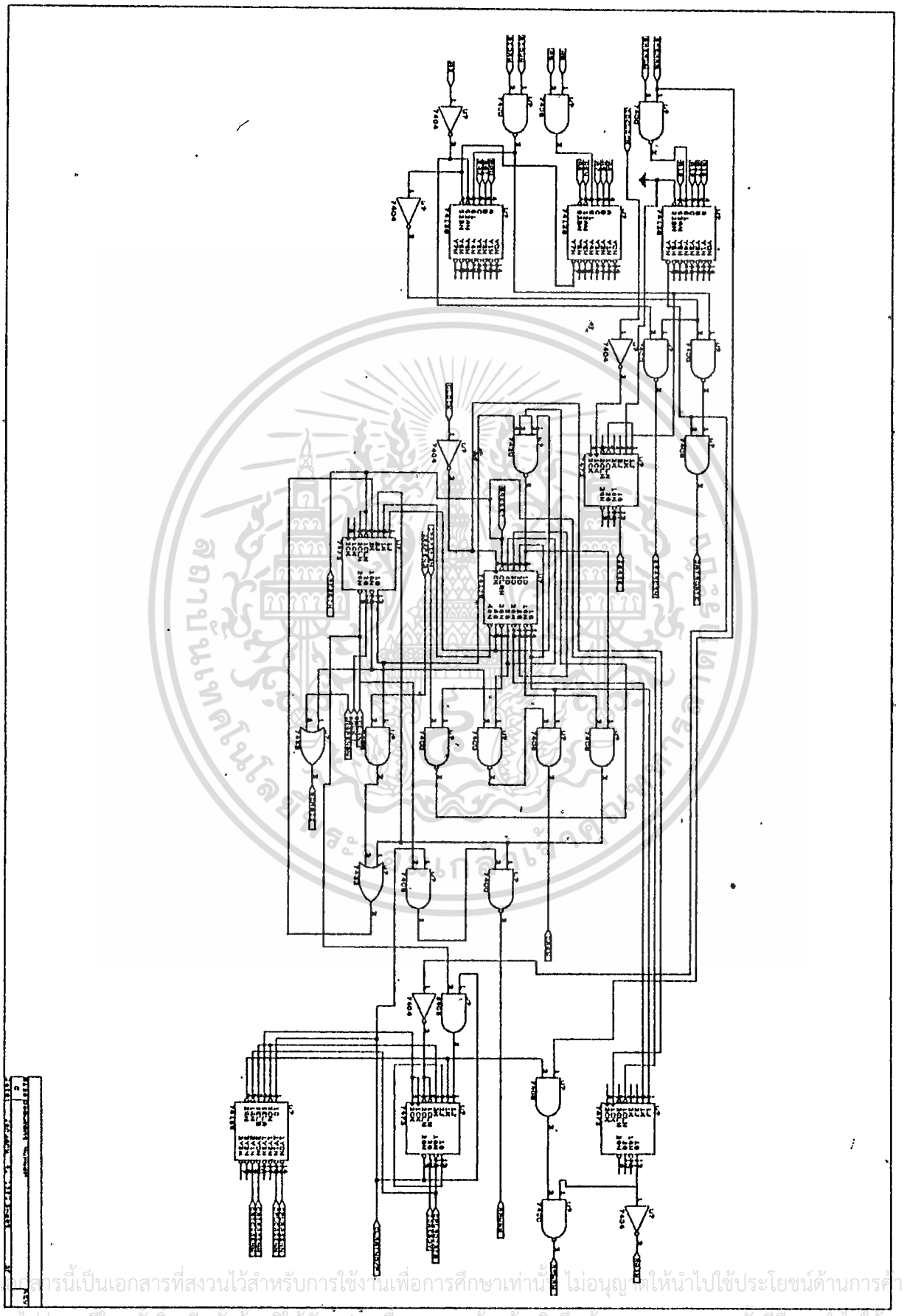
MAX+PLUS Compiler Report File
Version 2.01 11/06/89

***** Design compiled without errors

Title: MONOCHROME&COLOR
Company: ALTERA CORPORATION
Designer: J&P&S
Rev: A
Date: 10:37p 3-03-1991
Turbo: ON
Security: OFF

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้


TITLE
MONOCHROME&COLOR
COMPANY
ALTERA CORPORATION
DESIGNER
J&P&S
SIZE E
SPLD AUTO
NUMBER 1.00
REV A
DATE 10:37p 3-03-1991
SHEET 1 OF 1
TIMING ON
SECURITY OFF
74138
74175
7473
74155
DATAGATE
6845CSN
CPUNSELN
6845E
CASN
RASN
EMAIRN
ROMAII
CCLK
CCLKN
RESETN
STATUSSEL
CLK175N
CPUEDDATA
IOREADY
CPUBASEMN
CPUCASEMN
CRTBASEMN
CRTCASEMN
CLR47N
RESET
CLOCK
DISPDLY
IOCLOCK
MEMRN
MEMWN
IOWN
IORN
AEN
BIOWN
BIORN
EGAPENBN
EGAPENB



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

** RESOURCE USAGE **

Logic Array Block		Macrocells	I/O Pins	Expanders	External Interconnect
A:	MC1 - MC16	0/16(0%)	8/ 8(100%)	0/32(0%)	0/24(0%)
B:	MC17 - MC32	0/16(0%)	0/ 5(0%)	0/32(0%)	0/24(0%)
C:	MC33 - MC48	0/16(0%)	0/ 5(0%)	0/32(0%)	0/24(0%)
D:	MC49 - MC64	8/16(50%)	8/ 8(100%)	1/32(3%)	2/24(8%)
E:	MC65 - MC80	9/16(56%)	8/ 8(100%)	1/32(3%)	4/24(16%)
F:	MC81 - MC96	0/16(0%)	4/ 5(80%)	0/32(0%)	0/24(0%)
G:	MC97 - MC112	0/16(0%)	5/ 5(100%)	0/32(0%)	0/24(0%)
H:	MC113 - MC128	10/16(62%)	8/ 8(100%)	2/32(6%)	15/24(62%)

Total dedicated input pins used:	8/ 8 (100%)
Total I/O pins used:	41/ 52 (78%)
Total macrocells used:	27/128 (21%)
Total expanders used:	4/256 (1%)
Total input pins required:	25
Total output pins required:	24
Total bidirectional pins required:	0
Total macrocells required:	27
Total expanders in database:	4
Synthesized macrocells:	0/128 (0%)

** FILE HIERARCHY **

¦7404:204¦
¦7408:207¦
¦7408:173¦
¦7408:161¦
¦7408:157¦
¦7408:152¦
¦7408:149¦
¦7408:14¦
¦7408:24¦
¦7420:146¦
¦74175:133¦
¦7400:174¦
¦7400:162¦
¦7400:151¦
¦7400:150¦
¦7400:12¦
¦7400:13¦
¦7400:25¦
¦7400:9¦
¦74138:22¦
¦74138:21¦
¦74138:1¦
¦74155:172¦
¦7432:159¦
¦7432:158¦
¦7473:171¦
¦7473:168¦
¦7473:154¦
¦7473:203¦
¦7404:176¦
¦7404:169¦
¦7404:147¦
¦7404:27¦
¦7404:26¦

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

** INPUTS **

Pin	MCell	LAB	Primitive	Expanders Total	Expanders Shared	Fan-In INP	Fan-In FBK	Name
4	(1)	(A)	INPUT	0	0	0	0	AEN
5	(2)	(A)	INPUT	0	0	0	0	A3
6	(3)	(A)	INPUT	0	0	0	0	A4
7	(4)	(A)	INPUT	0	0	0	0	A5
8	(5)	(A)	INPUT	0	0	0	0	A6
9	(6)	(A)	INPUT	0	0	0	0	A7
10	(7)	(A)	INPUT	0	0	0	0	A8
11	(8)	(A)	INPUT	0	0	0	0	A9
68	-	-	INPUT	0	0	0	0	A16
66	-	-	INPUT	0	0	0	0	A17
36	-	-	INPUT	0	0	0	0	A18
35	-	-	INPUT	0	0	0	0	A19
52	(97)	(G)	INPUT	0	0	0	0	BA0
53	(98)	(G)	INPUT	0	0	0	0	BA1
55	(99)	(G)	INPUT	0	0	0	0	BA2
56	(100)	(G)	INPUT	0	0	0	0	BIORN
57	(101)	(G)	INPUT	0	0	0	0	BIOWN
34	-	-	INPUT	0	0	0	0	BMEMRN
32	-	-	INPUT	0	0	0	0	BMEMWN
2	-	-	INPUT	0	0	0	0	BRESET
1	-	-	INPUT	0	0	0	0	CLOCK
46	(81)	(F)	INPUT	0	0	0	0	DISPDLY
47	(82)	(F)	INPUT	0	0	0	0	GRAPENB
48	(83)	(F)	INPUT	0	0	0	0	GRAPENBN
49	(84)	(F)	INPUT	0	0	0	0	IOCLOCK

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

** OUTPUTS **

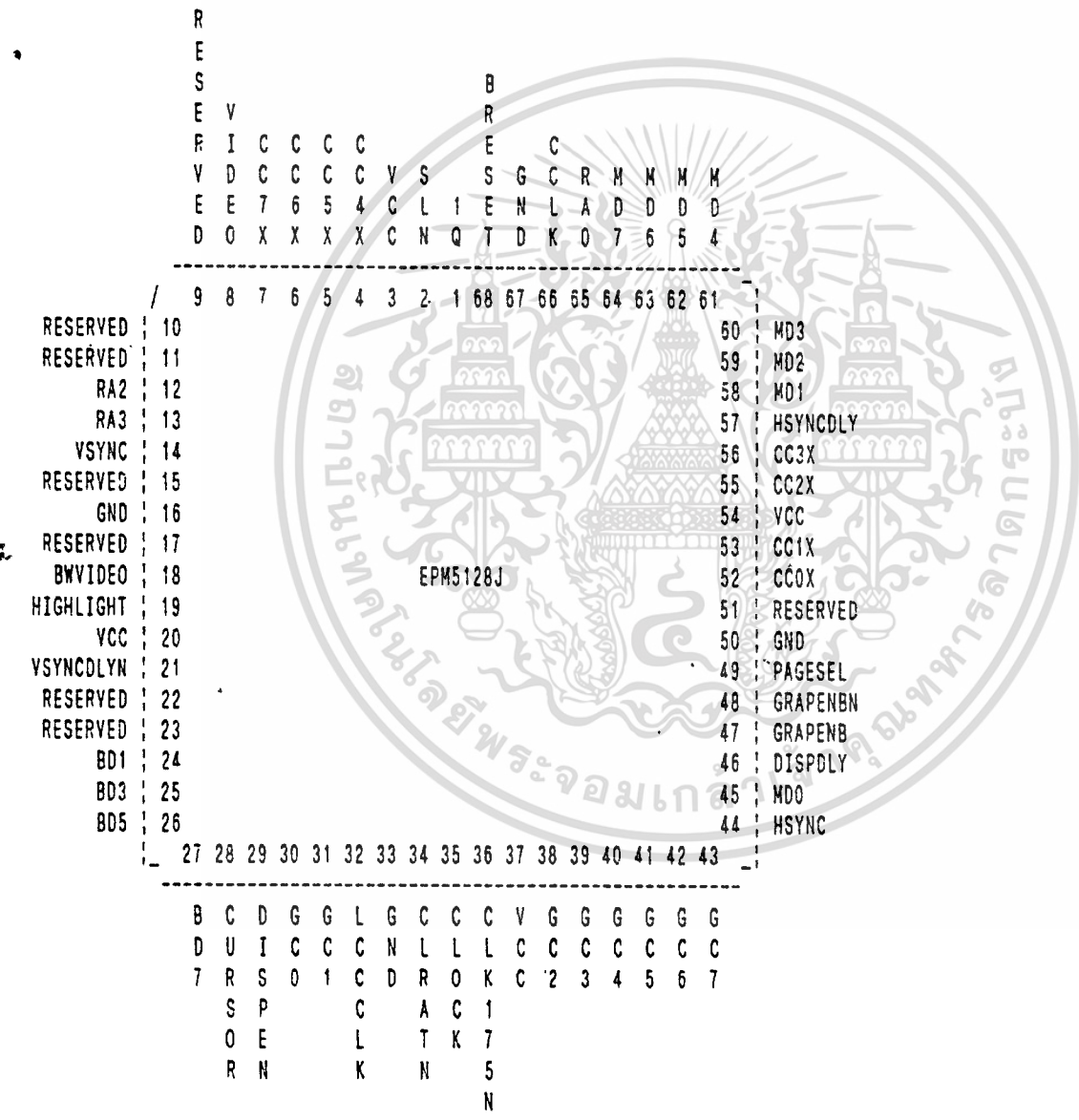
Pin	MCell	LAB	Primitive	Expanders Total	Expanders Shared	Fan-In INP	Fan-In FBK	Name
38	65	E	OUTPUT	0	0	0	3	CASN
39	66	E	DFF	1	1	4	5	CCLK
40	67	E	DFF	1	1	4	4	CCLKN
58	113	H	OUTPUT	0	0	13	0	CLK175N
24	49	D	DFF	1	1	6	3	CLRATN
25	50	D	OUTPUT	0	0	0	3	CPUCASENN
26	51	D	OUTPUT	0	0	6	0	CPUMSELN
27	52	D	OUTPUT	0	0	0	3	CPURASENN
28	53	D	DFF	1	1	6	3	CPURDDATA
59	114	H	OUTPUT	0	0	0	0	CRTCASENN
60	115	H	OUTPUT	0	0	0	0	CRTRASENN
61	116	H	OUTPUT	1	0	15	0	DATAGATE
29	54	D	DFF	1	1	6	2	IOREADY
41	68	E	OUTPUT	0	0	0	2	LCCCLK
62	117	H	DFF	0	0	2	2	RASN
30	55	D	OUTPUT	0	0	1	0	RESETN
31	56	D	OUTPUT	0	0	1	1	RMWRN
42	69	E	OUTPUT	0	0	1	1	ROMAII
43	70	E	OUTPUT	0	0	2	5	SLN
63	118	H	OUTPUT	0	0	13	0	STATUSSEL
44	71	E	DFF	0	0	3	3	1Q
45	72	E	DFF	0	0	2	1	4Q
64	119	H	OUTPUT	0	0	8	0	6845CSN
65	120	H	DFF	1	0	3	0	6845E

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

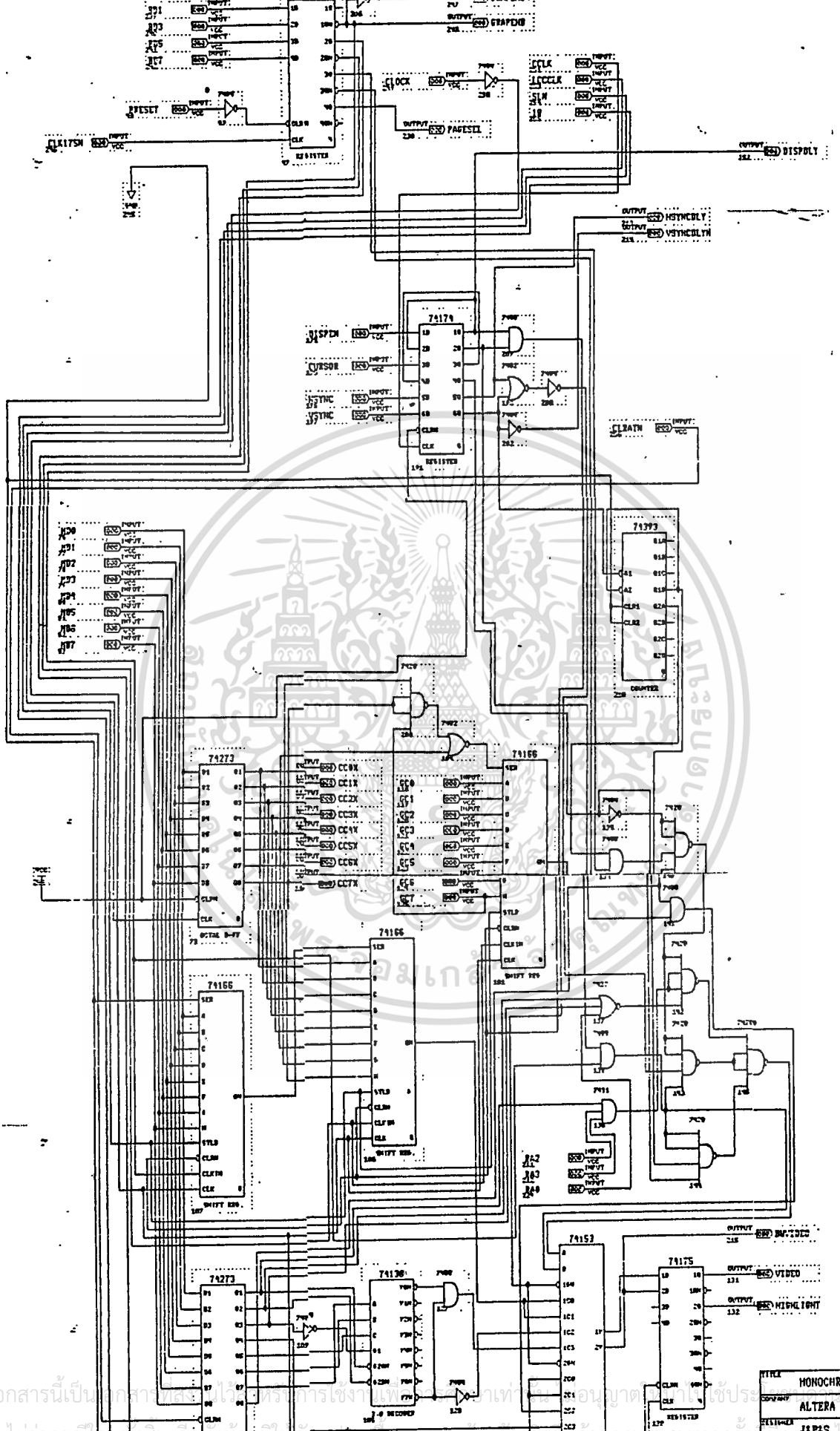
MAX+PLUS Compiler Report File
Version 2.01 11/06/89

***** Design compiled without errors

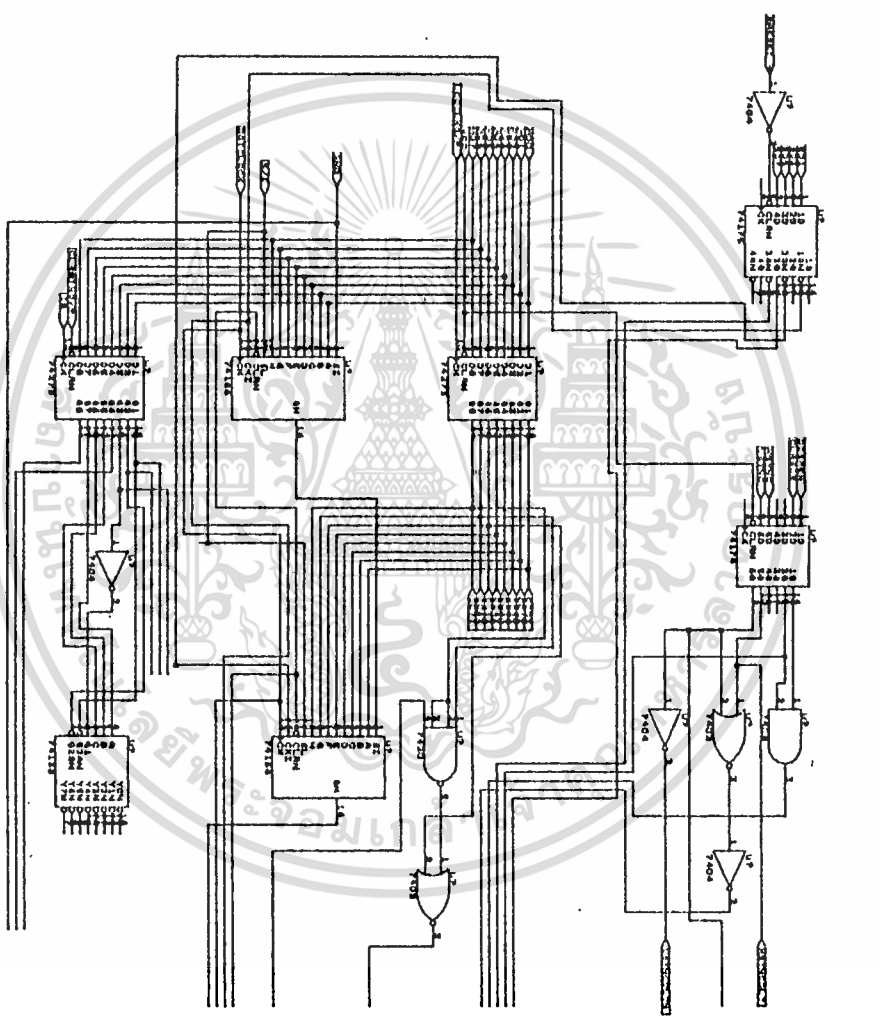
Title: MONOCHROME&COLOR
Company: ALTERA CORPORATION
Designer: J&P&S
Rev: A
Date: 6:33a 1-03-1980
Turbo: ON
Security: OFF



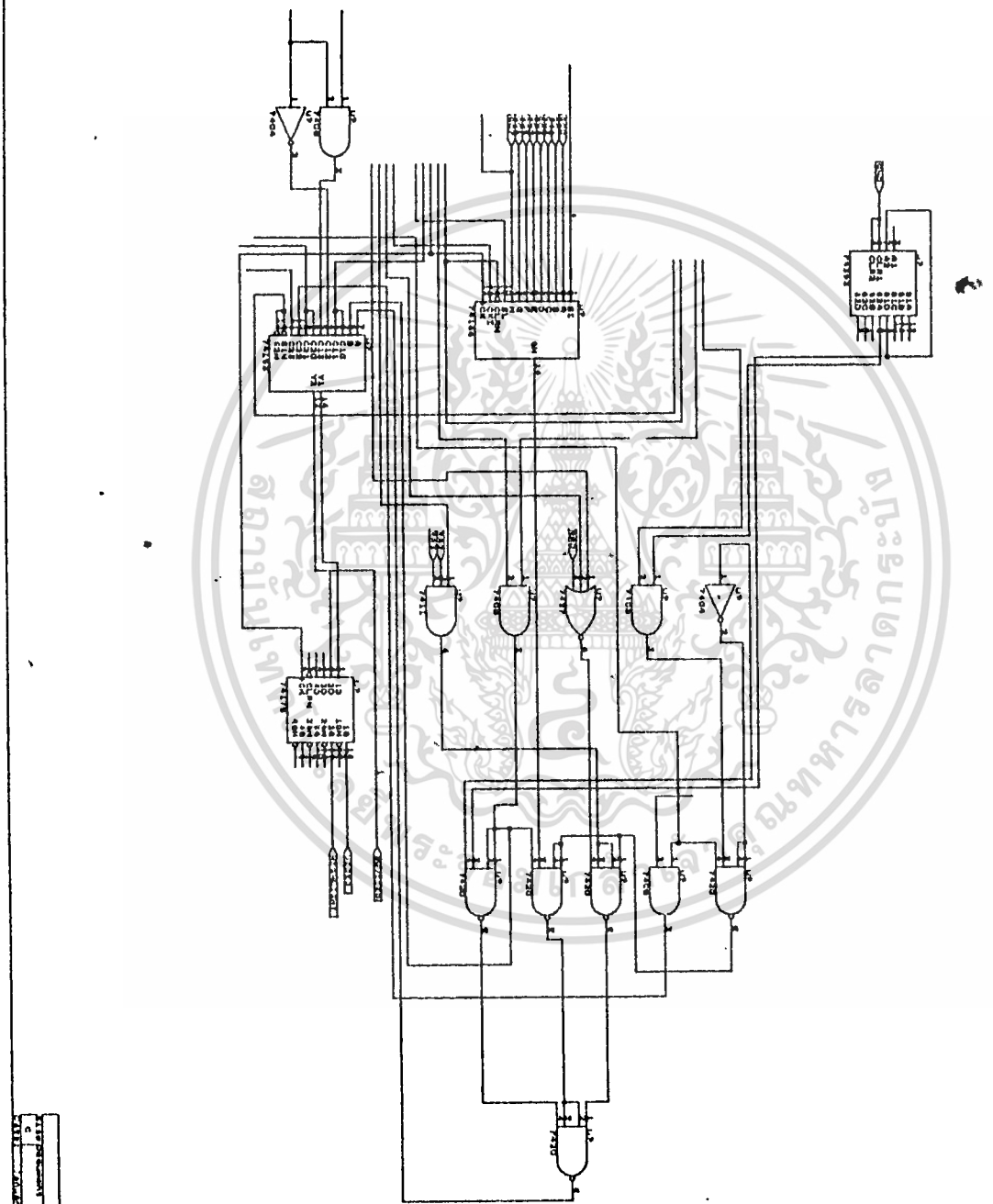
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

C:\MAXPLUS\ASIC2\HERN2.RPT

** RESOURCE USAGE **

Logic Array Block	Macrocells	I/O Pins	Expanders	External Interconnect
A: MC1 - MC16	16/16(100%)	5/ 8(62%)	28/32(87%)	23/24(95%)
B: MC17 - MC32	0/16(0%)	3/ 5(60%)	0/32(0%)	0/24(0%)
C: MC33 - MC48	16/16(100%)	3/ 5(60%)	21/32(65%)	18/24(75%)
D: MC49 - MC64	0/16(0%)	8/ 8(100%)	0/32(0%)	0/24(0%)
E: MC65 - MC80	0/16(0%)	8/ 8(100%)	0/32(0%)	0/24(0%)
F: MC81 - MC96	11/16(68%)	4/ 5(80%)	1/32(3%)	9/24(37%)
G: MC97 - MC112	16/16(100%)	5/ 5(100%)	1/32(3%)	16/24(66%)
H: MC113 - MC128	0/16(0%)	8/ 8(100%)	0/32(0%)	0/24(0%)

Total dedicated input pins used: 8/ 8 (100%)
Total I/O pins used: 44/ 52 (84%)
Total macrocells used: 59/128 (46%)
Total expanders used: 51/256 (19%)

Total input pins required: 35
Total output pins required: 17
Total bidirectional pins required: 0
Total macrocells required: 59
Total expanders in database: 49

Synthesized macrocells: 0/128 (0%)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

C:\MAXPLUS\ASIC2\HERN2.RPT

** FILE HIERARCHY **

|74393:210|
|7404:250|
|7404:206|
|7404:202|
|7404:200|
|7404:135|
|7404:109|
|7404:128|
|7404:49|
|7408:141|
|7408:134|
|7408:138|
|7408:127|
|7408:209|
|7420:208|
|7420:140|
|7420:145|
|7420:144|
|7420:143|
|7420:142|
|74175:47|
|74175:130|
|7402:198|
|7402:104|
|74174:191|
|7427:137|
|7411:136|
|74153:129|
|74273:108|
|74273:73|
|74166:107|
|74166:106|
|74166:101|
|74138:105|

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

** INPUTS **

Pin	MCell	LAB	Primitive	Expanders Total	Expanders Shared	Fan-In INP	Fan-In FBK	Name
24	(49)	(D)	INPUT	0	0	0	0	BD1
25	(50)	(D)	INPUT	0	0	0	0	BD3
26	(51)	(D)	INPUT	0	0	0	0	BD5
27	(52)	(D)	INPUT	0	0	0	0	BD7
68	-	-	INPUT	0	0	0	0	BRESET
66	-	-	INPUT	0	0	0	0	CCLK
36	-	-	INPUT	0	0	0	0	CLK175N
35	-	-	INPUT	0	0	0	0	CLOCK
34	-	-	INPUT	0	0	0	0	CLRATN
28	(53)	(D)	INPUT	0	0	0	0	CURSOR
29	(54)	(D)	INPUT	0	0	0	0	DISPEN
30	(55)	(D)	INPUT	0	0	0	0	GC0
31	(56)	(D)	INPUT	0	0	0	0	GC1
38	(65)	(E)	INPUT	0	0	0	0	GC2
39	(66)	(E)	INPUT	0	0	0	0	GC3
40	(67)	(E)	INPUT	0	0	0	0	GC4
41	(68)	(E)	INPUT	0	0	0	0	GC5
42	(69)	(E)	INPUT	0	0	0	0	GC6
43	(70)	(E)	INPUT	0	0	0	0	GC7
44	(71)	(E)	INPUT	0	0	0	0	HSYNC
32	-	-	INPUT	0	0	0	0	LCCCLK
45	(72)	(E)	INPUT	0	0	0	0	MD0
58	(113)	(H)	INPUT	0	0	0	0	MD1
59	(114)	(H)	INPUT	0	0	0	0	MD2
60	(115)	(H)	INPUT	0	0	0	0	MD3
61	(116)	(H)	INPUT	0	0	0	0	MD4
62	(117)	(H)	INPUT	0	0	0	0	MD5
63	(118)	(H)	INPUT	0	0	0	0	MD6
64	(119)	(H)	INPUT	0	0	0	0	MD7
65	(120)	(H)	INPUT	0	0	0	0	RA0
12	(17)	(B)	INPUT	0	0	0	0	RA2
13	(18)	(B)	INPUT	0	0	0	0	RA3
2	-	-	INPUT	0	0	0	0	SLN
14	(19)	(B)	INPUT	0	0	0	0	VSYNC
1	-	-	INPUT	0	0	0	0	1Q

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

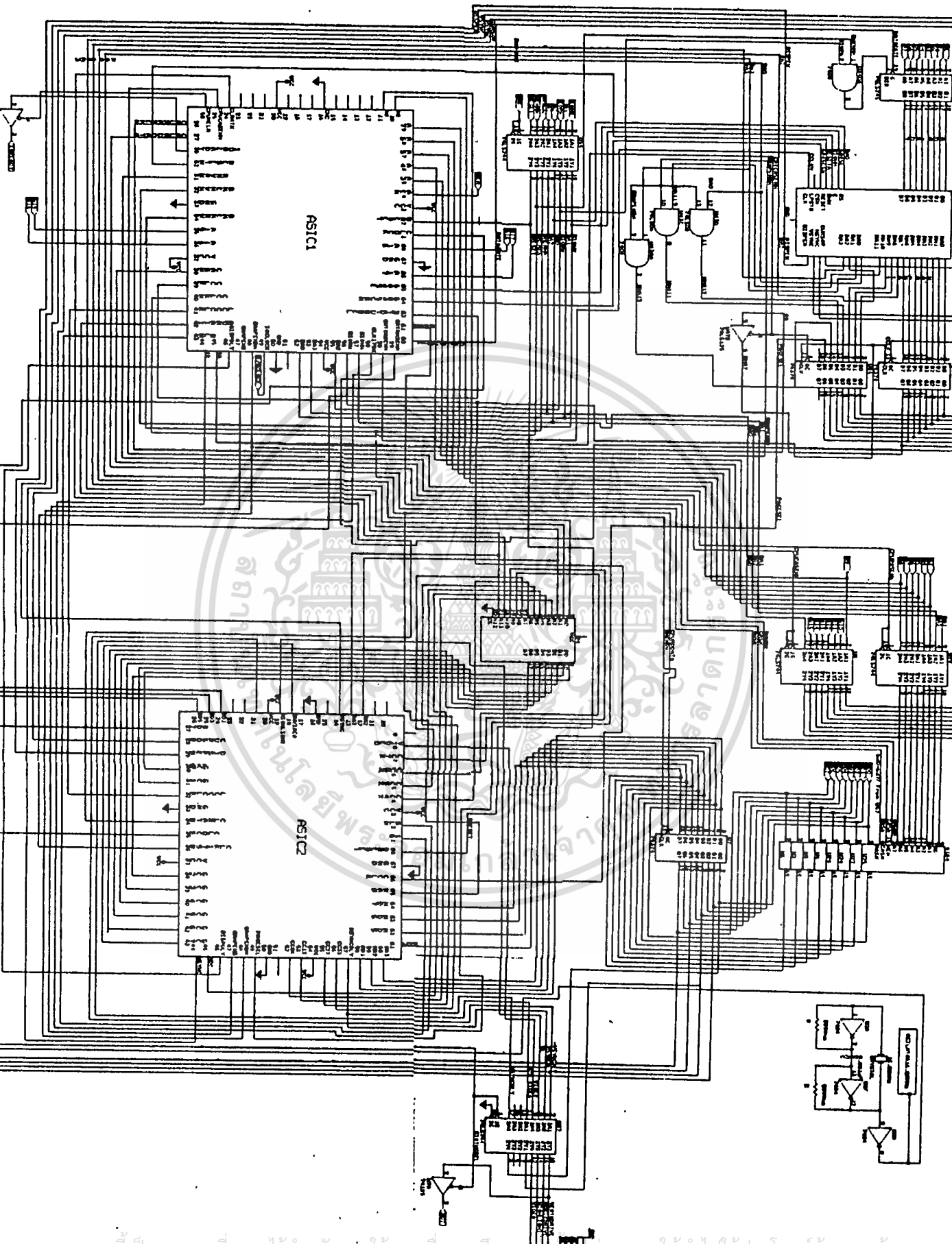
** OUTPUTS **

				Expanders		Fan-In		
Pin	MCell	LAB	Primitive	Total	Shared	INP	FBK	Name
18	33	C	OUTPUT	20	20	3	14	BWVIDEO
52	97	G	DFF	0	0	2	0	CC0X
53	98	G	DFF	0	0	2	0	CC1X
55	99	G	DFF	0	0	2	0	CC2X
56	100	G	DFF	0	0	2	0	CC3X
4	1	A	DFF	0	0	2	0	CC4X
5	2	A	DFF	0	0	2	0	CC5X
6	3	A	DFF	0	0	2	0	CC6X
7	4	A	DFF	0	0	2	0	CC7X
46	81	F	DFF	0	0	2	0	DISPDLY
47	82	F	DFF	0	0	3	0	GRAPENB
48	83	F	DFF	0	0	3	0	GRAPENBN
19	34	C	DFF	20	20	4	15	HIGHLIGHT
57	101	G	DFF	0	0	2	0	HSYNCDLY
49	84	F	DFF	0	0	3	0	PAGESEL
8	5	A	DFF	27	0	4	18	VIDEO
21	35	C	DFF	0	0	2	0	VSYNCDLYN

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

ภาคผนวก ข วงจรที่ใช้ชิพวีแอลเอสไอ

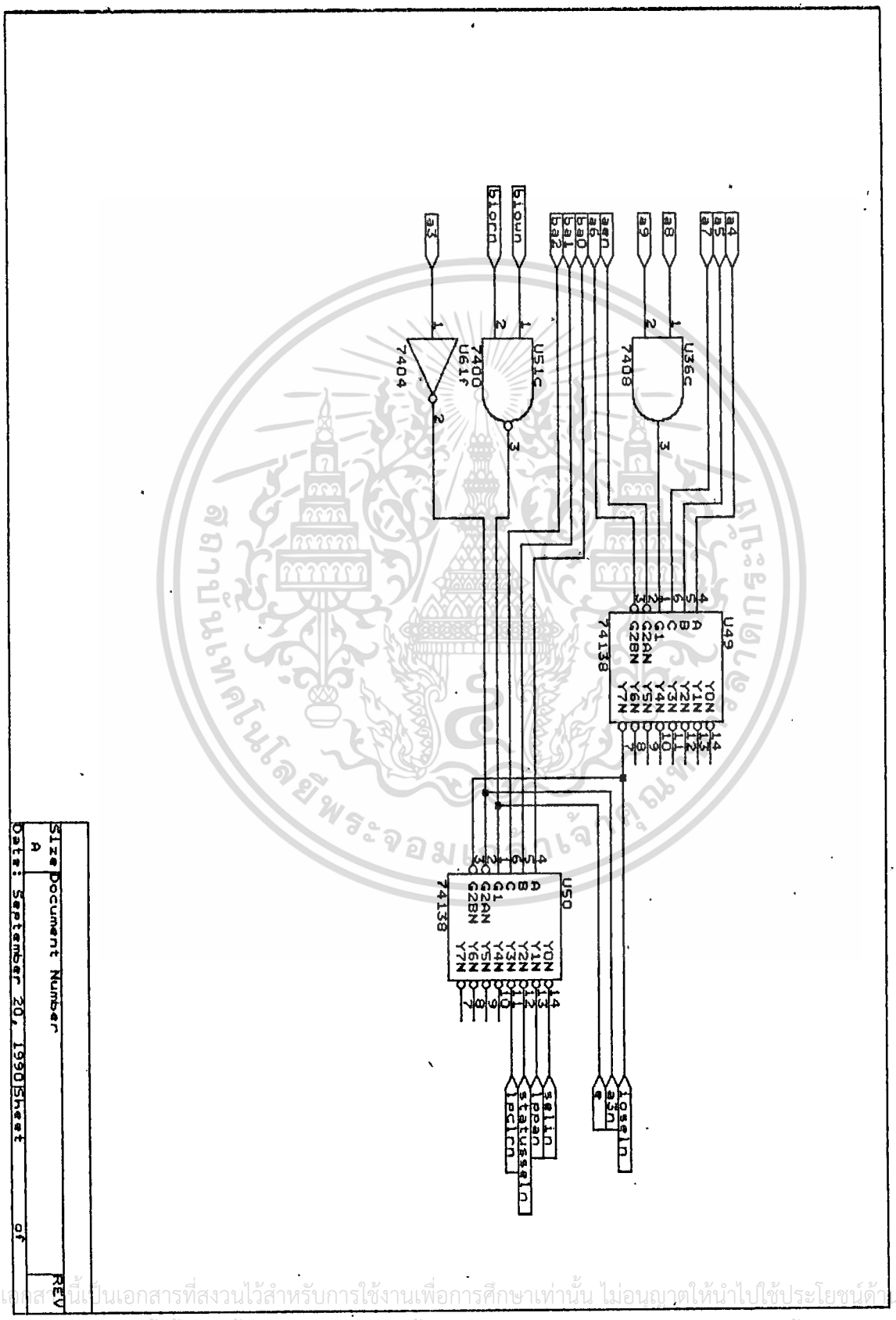
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่อนุญาตให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



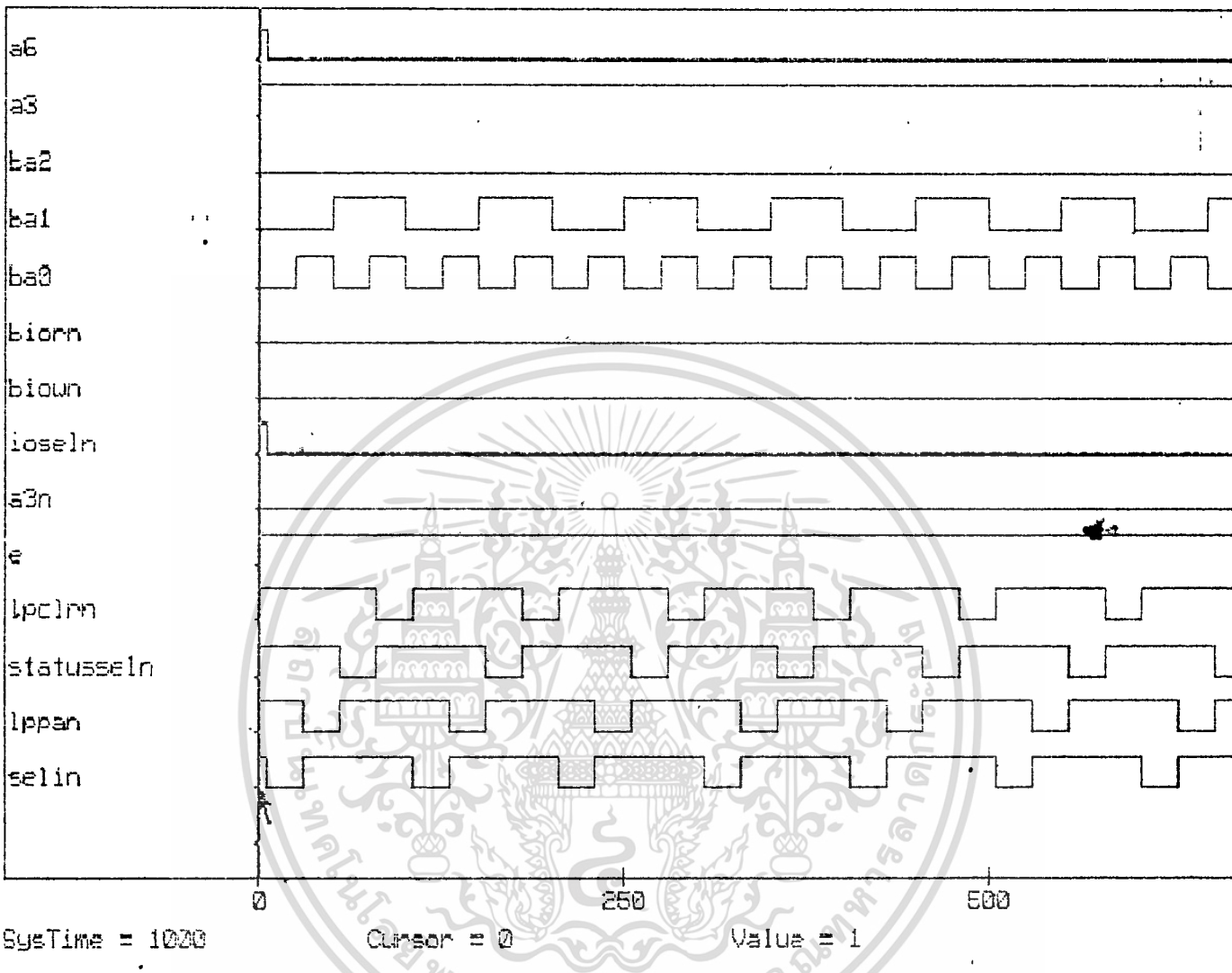
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก ค วงจรทดสอบการทำงานของการ์ด

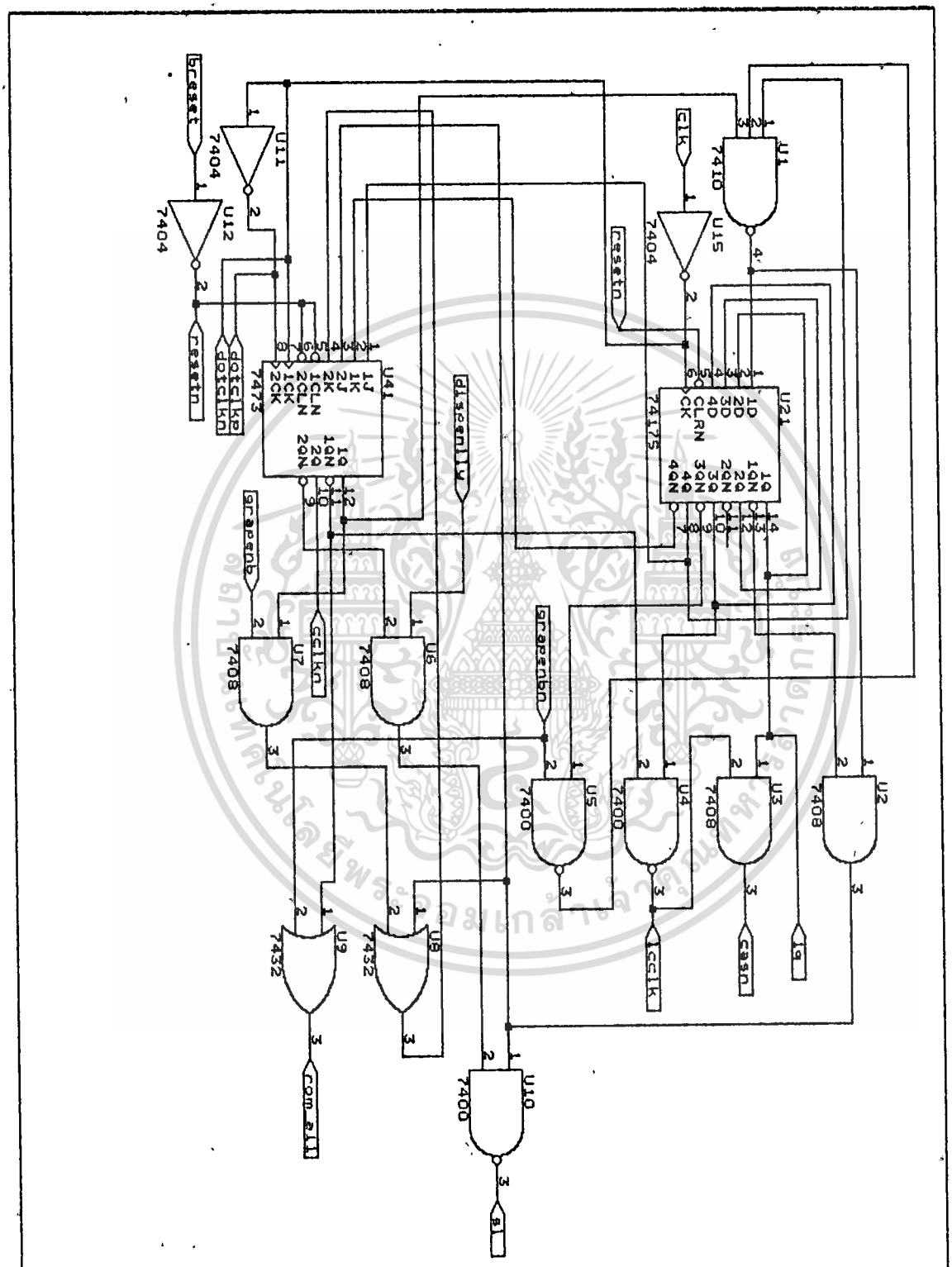
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า



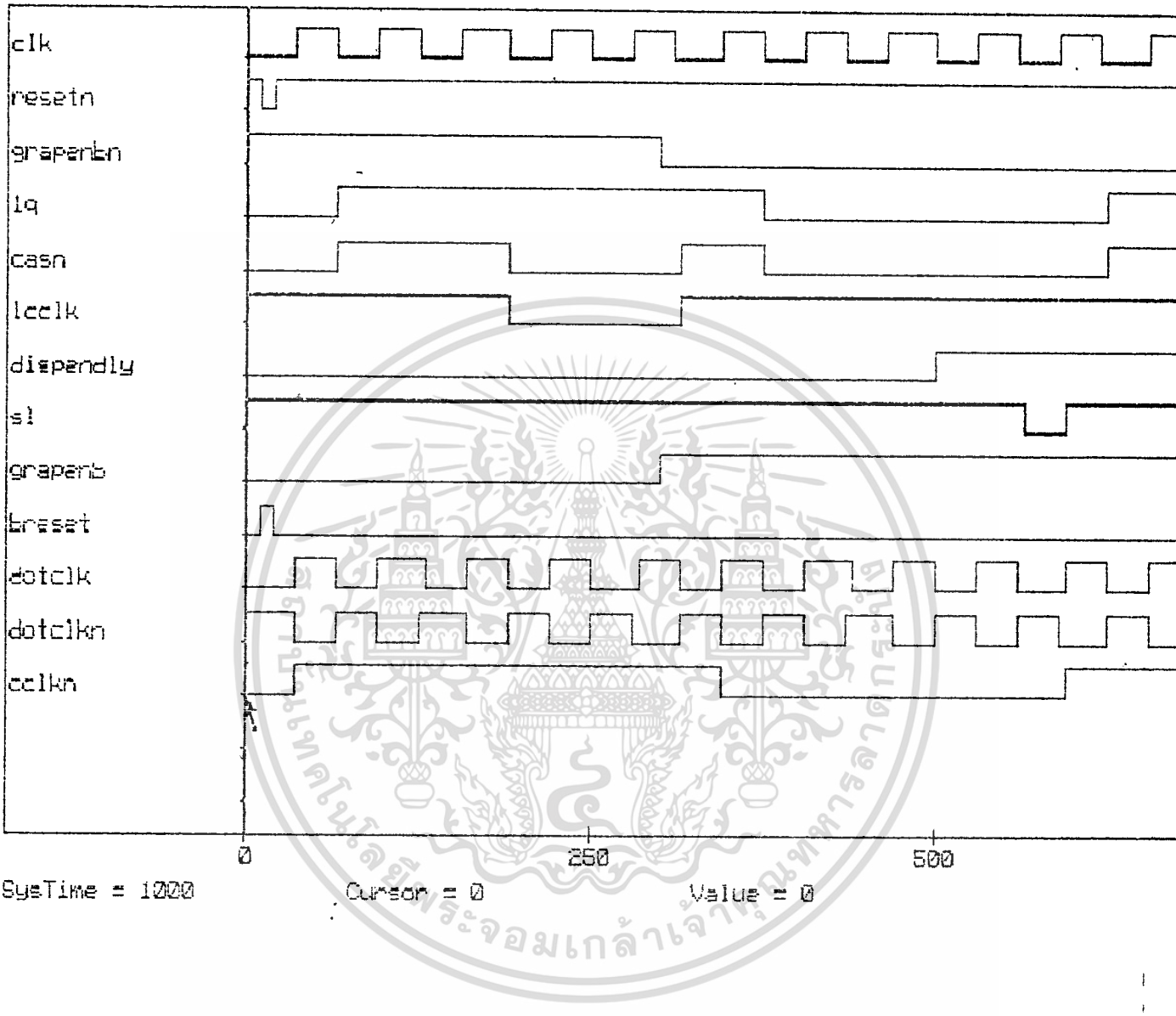
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่อนุญาตให้ทำซ้ำ ดัดแปลง ใช้ในเชิงพาณิชย์ หรือเผยแพร่ต่อสาธารณชน ก่อนได้รับอนุญาตเป็นลายลักษณ์อักษรจากมหาวิทยาลัยเทคโนโลยีพระจอมเกล้าธนบุรี



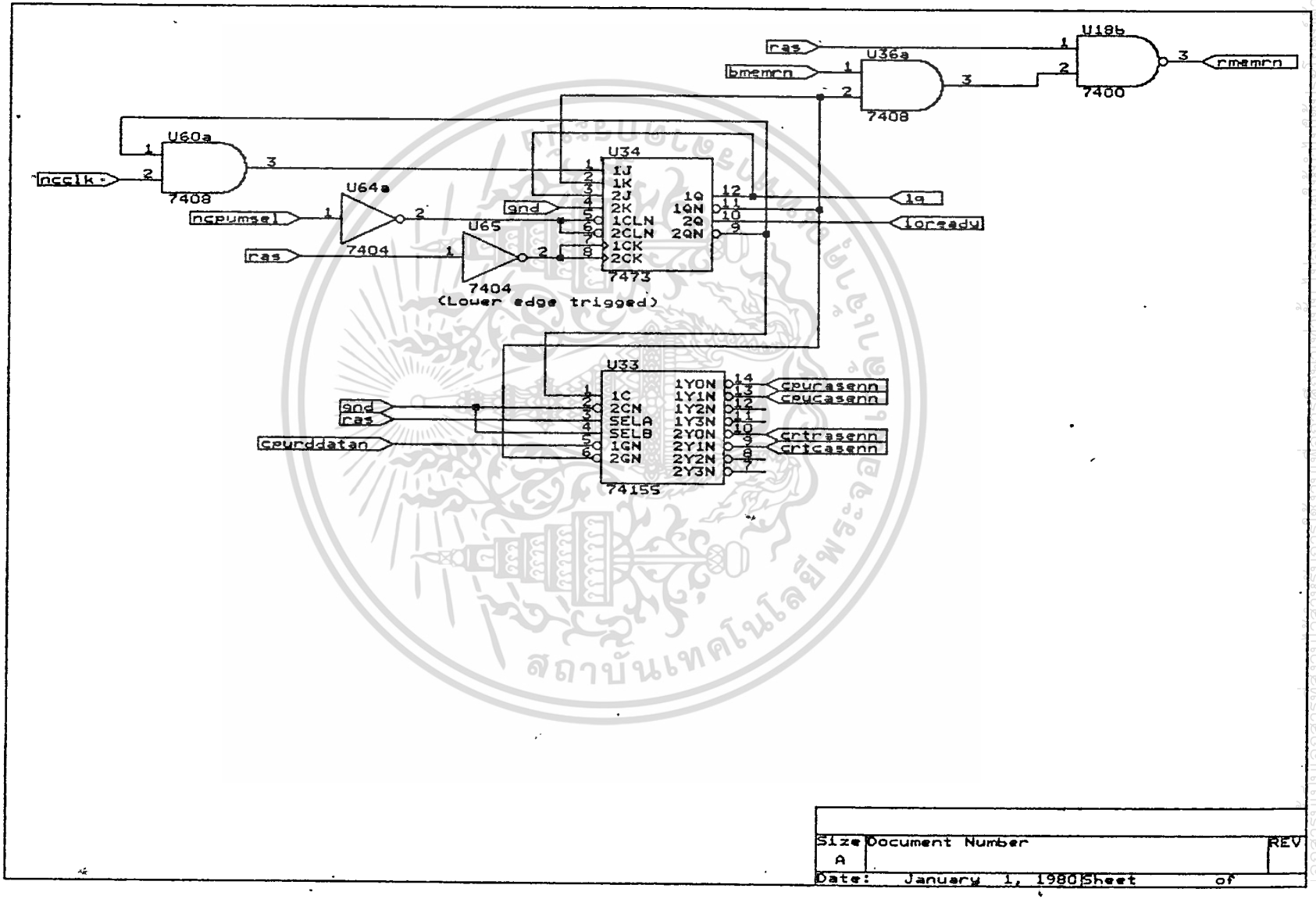
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

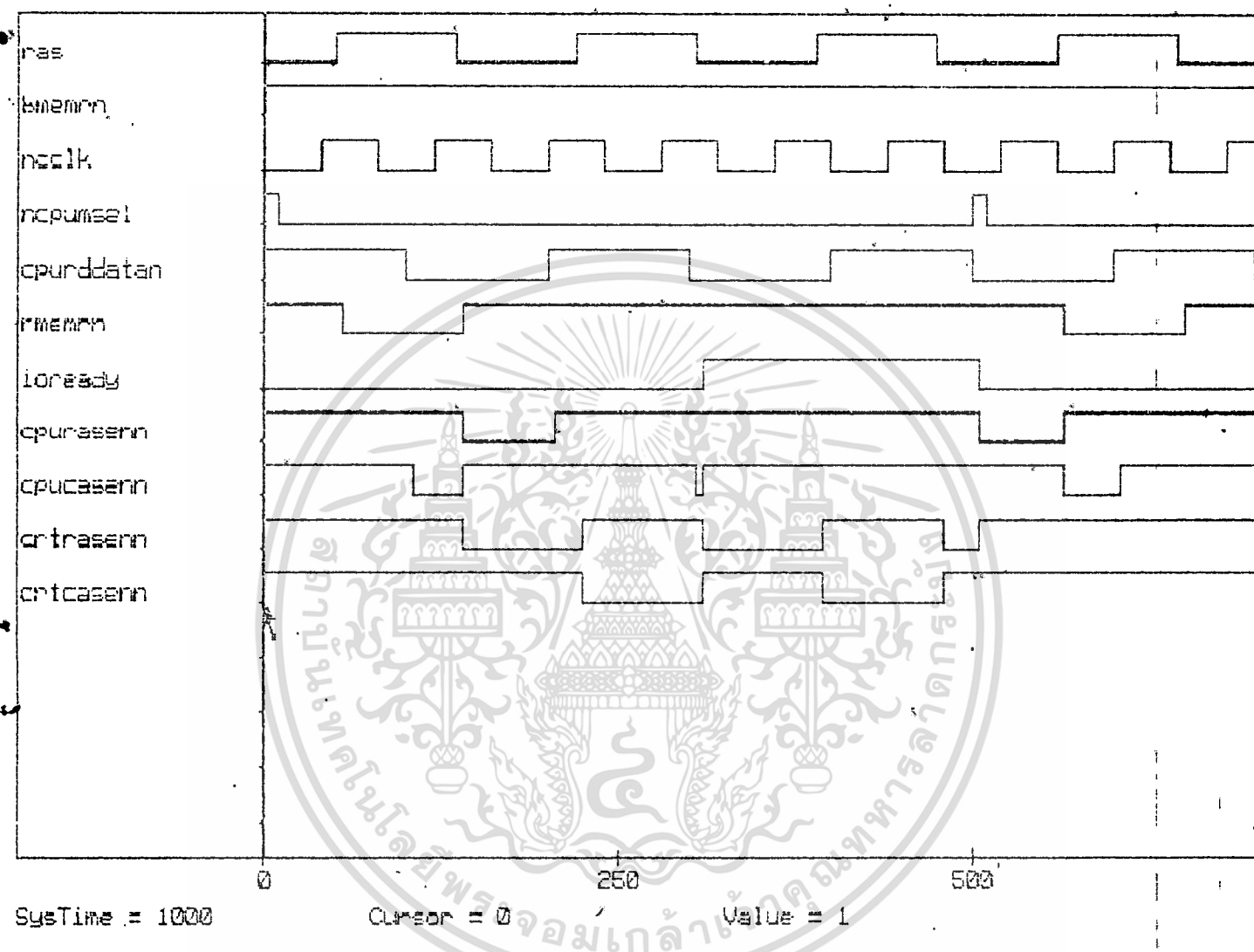


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

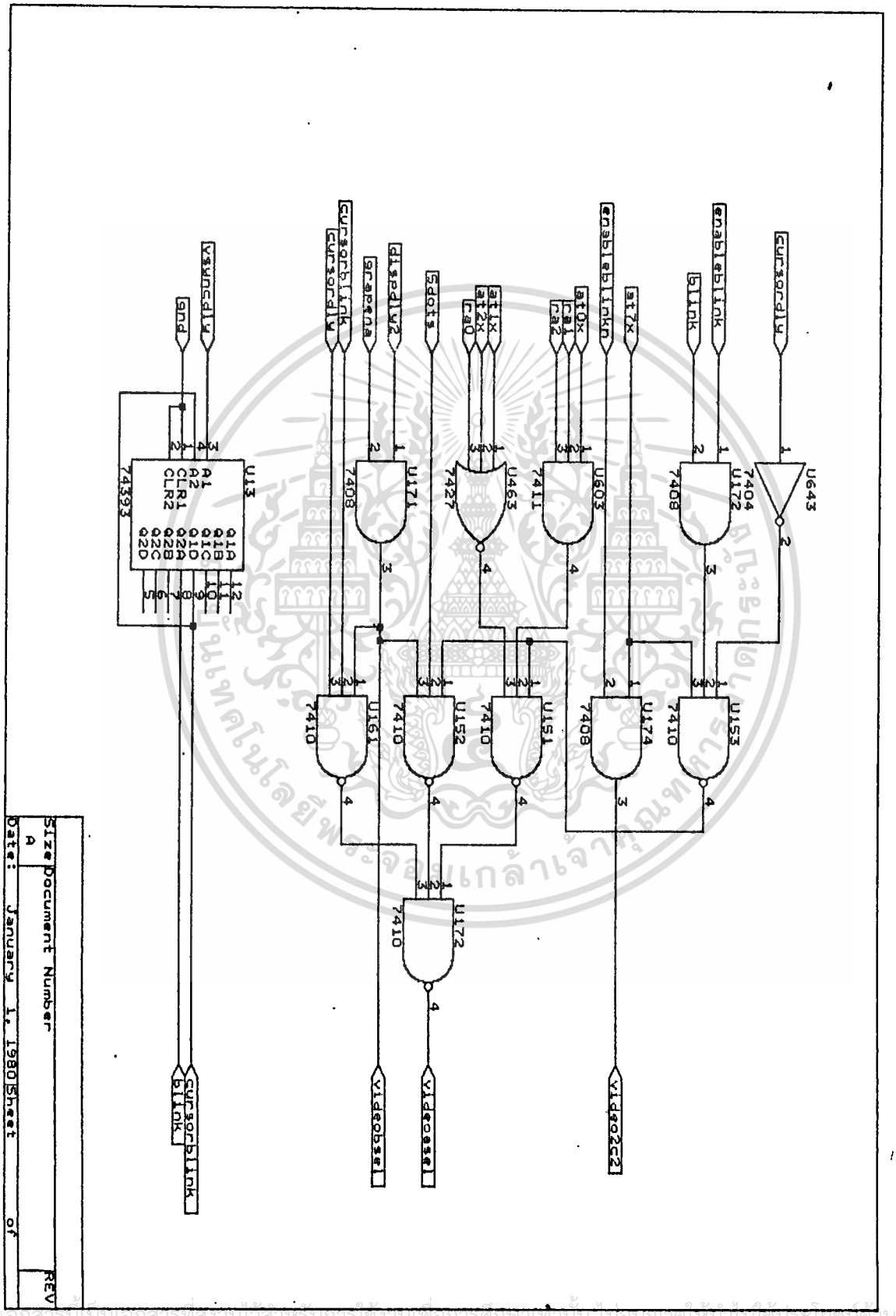


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

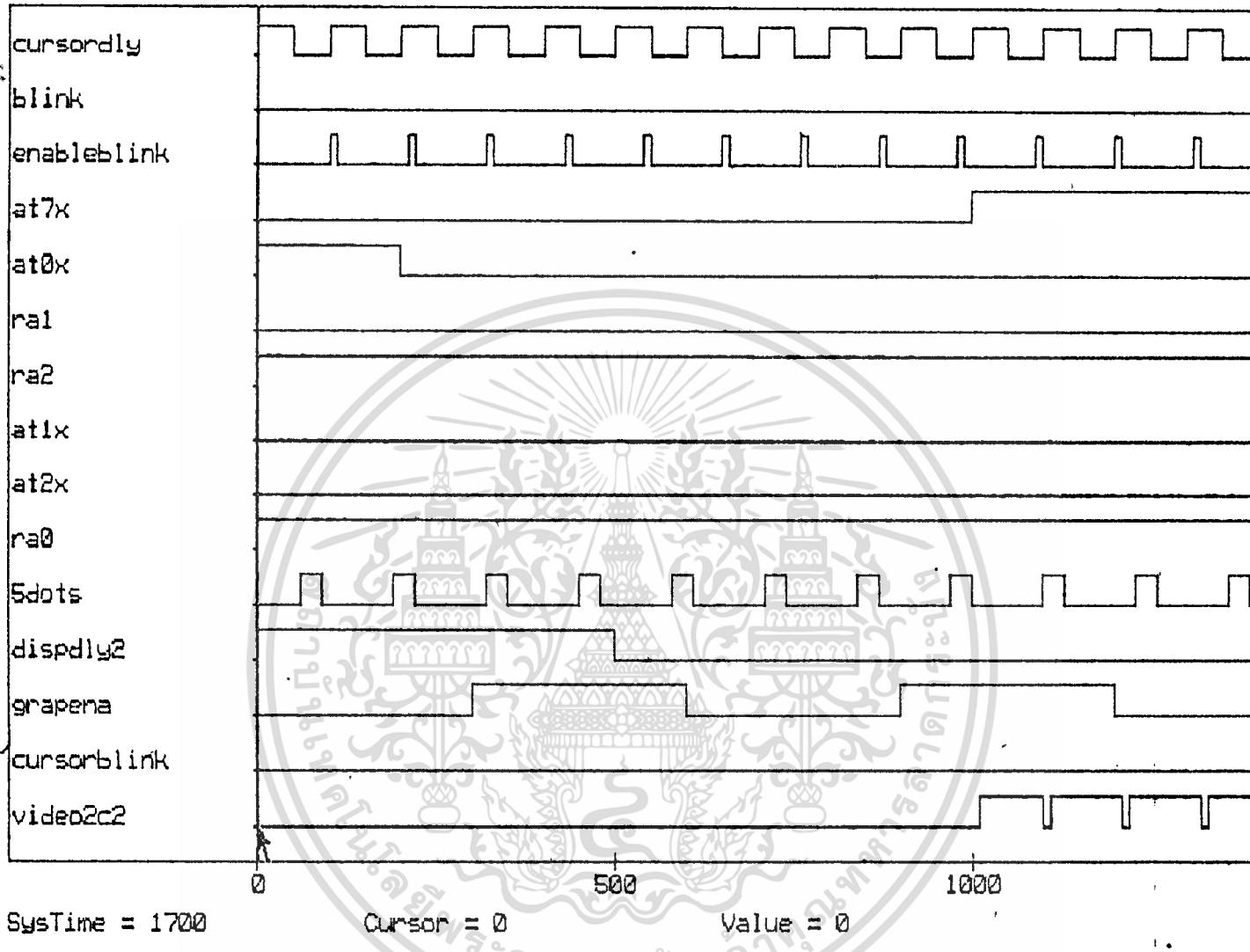

ras
bmemrn
U36a
7408
U18b
7400
rmemrn
U60a
7408
ncclk
U64a
7404
ncpumsel
gnd
U65
7404
(Lower edge trigged)
ras
U34
1J
1K
2J
2K
1CLN
2CLN
1CK
2CK
1Q
1QN
2Q
2QN
7473
lq
lorreadw
U33
1C
2CN
SELA
SELB
1GN
2GN
1Y0N
1Y1N
1Y2N
1Y3N
2Y0N
2Y1N
2Y2N
2Y3N
74155
gnd
ras
cpurddatan
cpurasenn
cpucasenn
crtrasenn
crtcasenn
Size
A
Document Number
REV
Date: January 1, 1980
Sheet
of



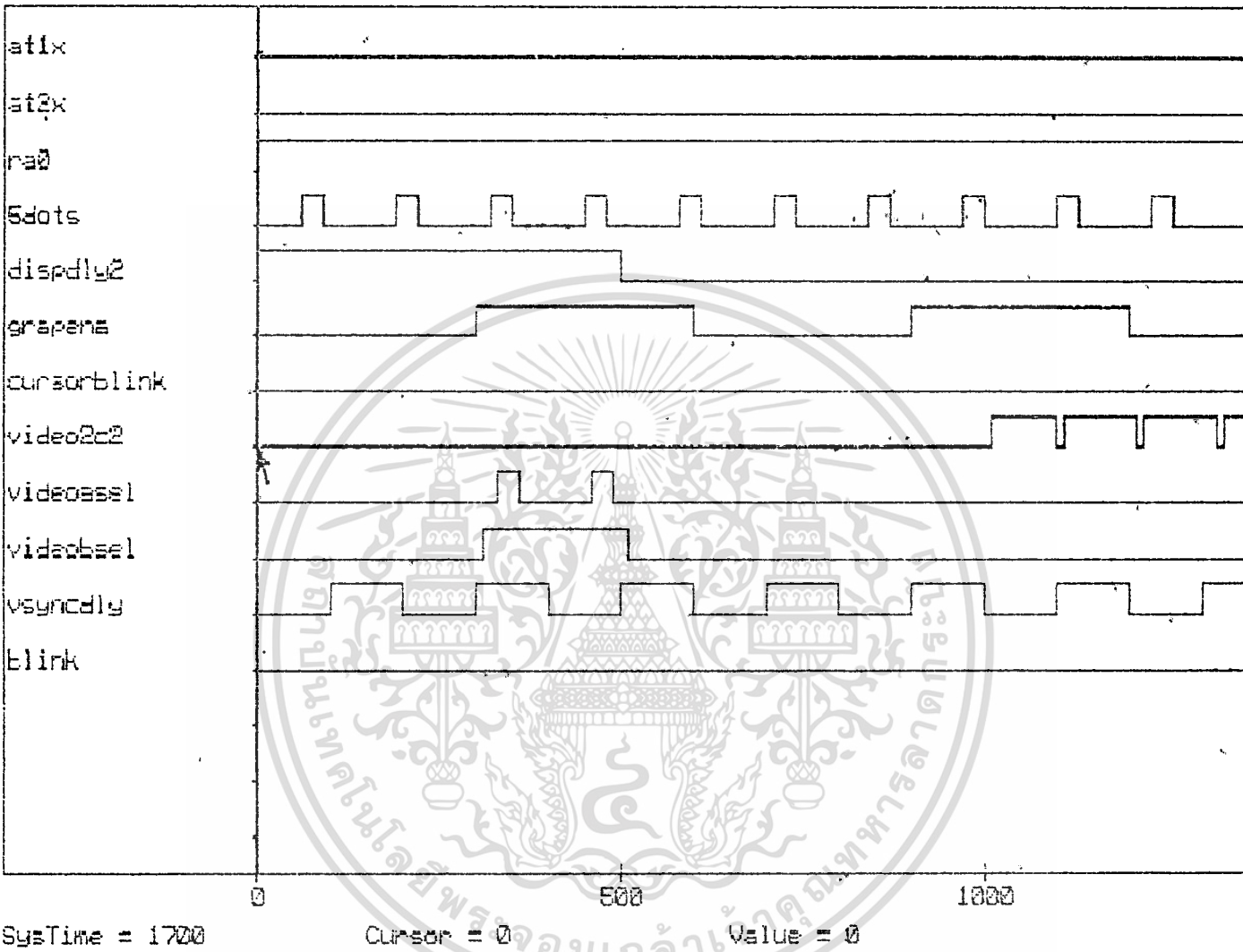
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



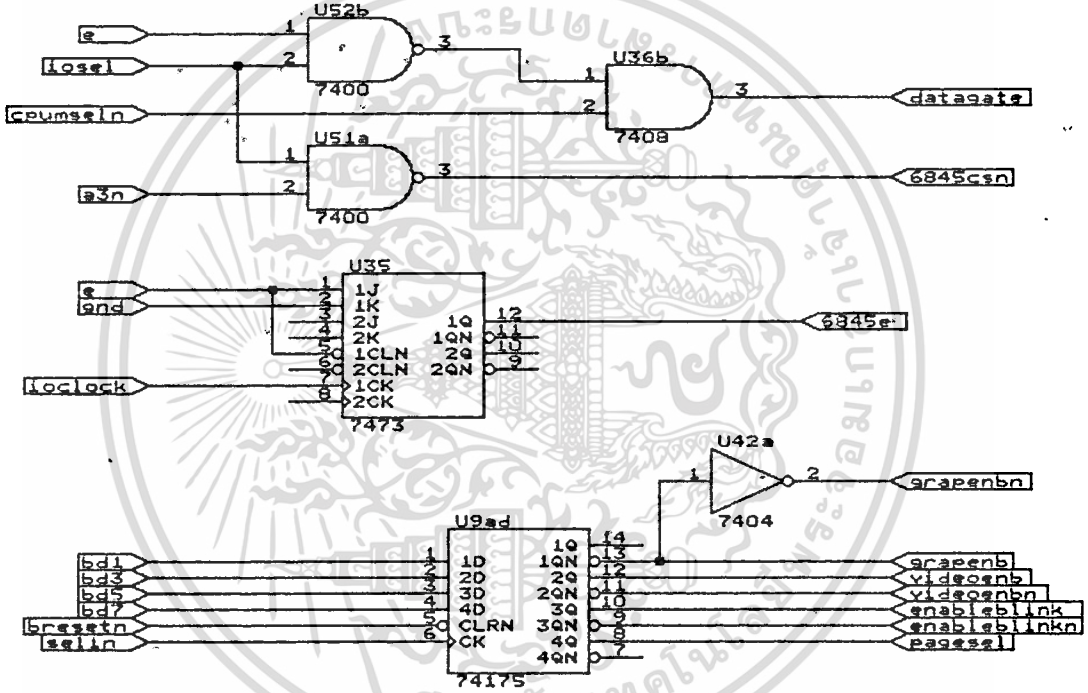
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



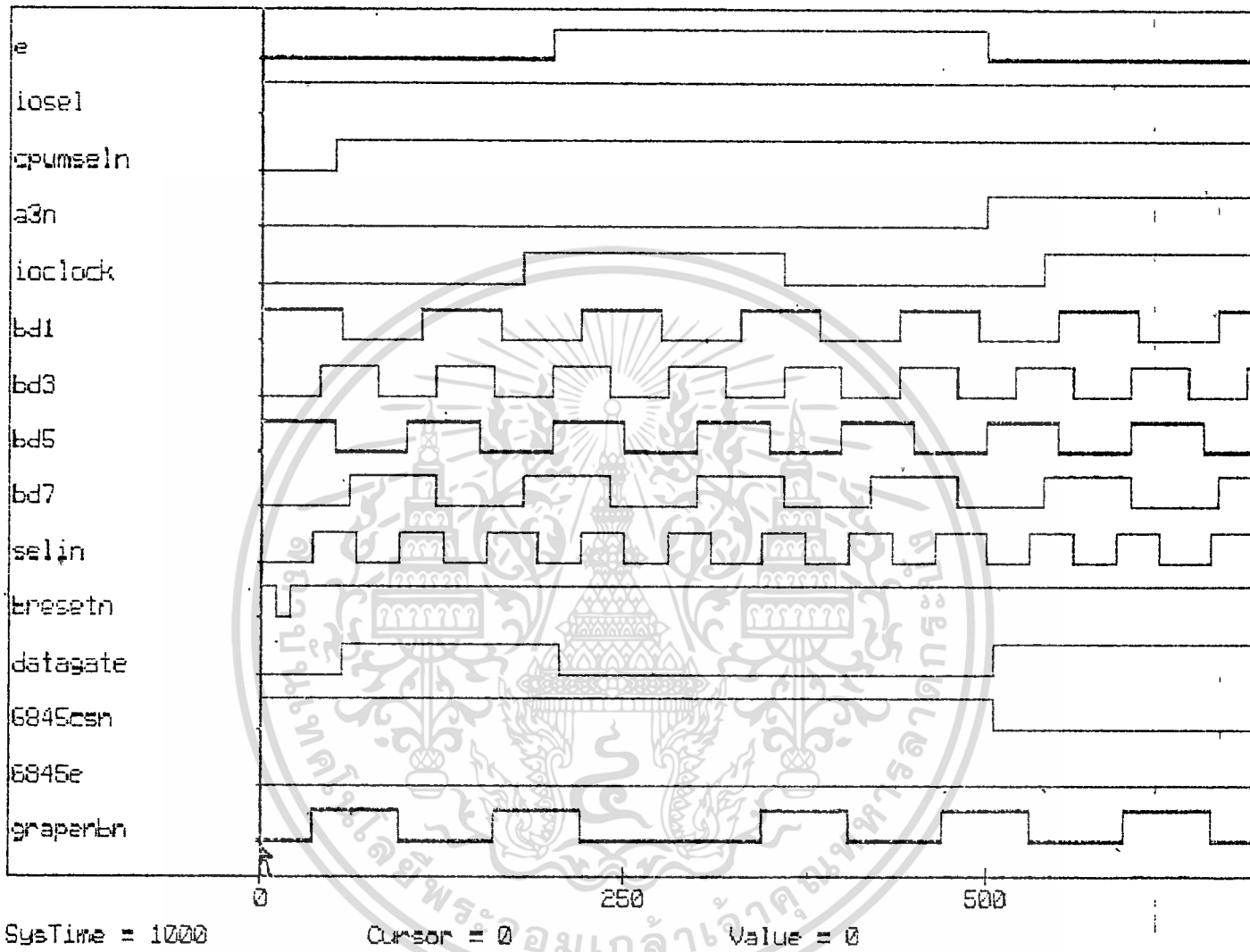
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า



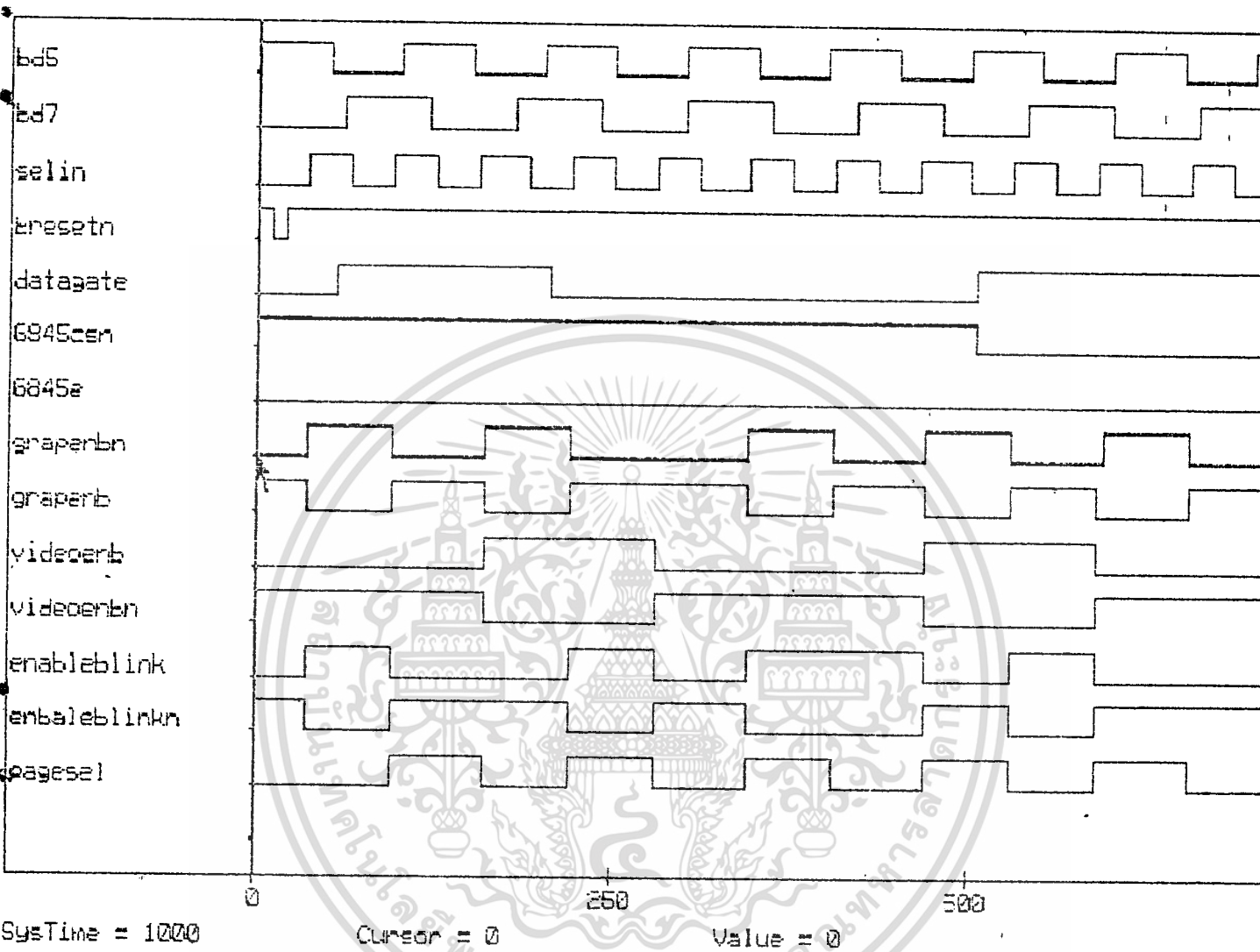
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



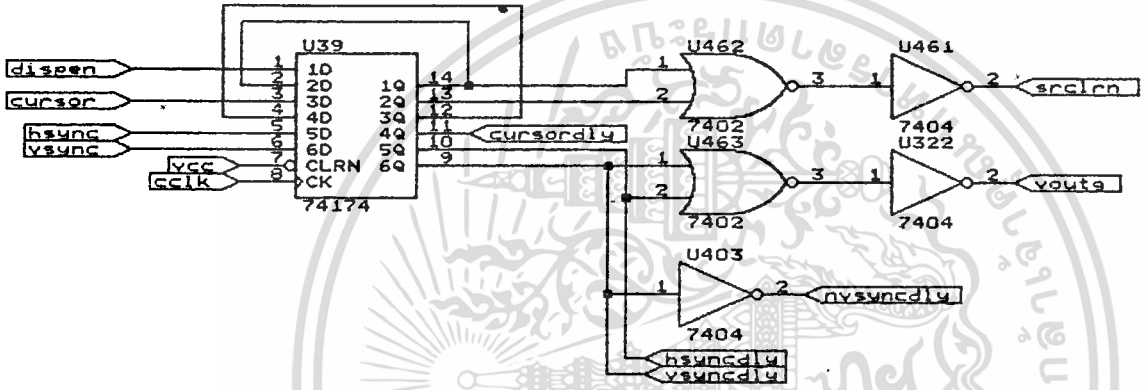
Size	Document Number	REV
A		
Date: January 4, 1980	Sheet of	



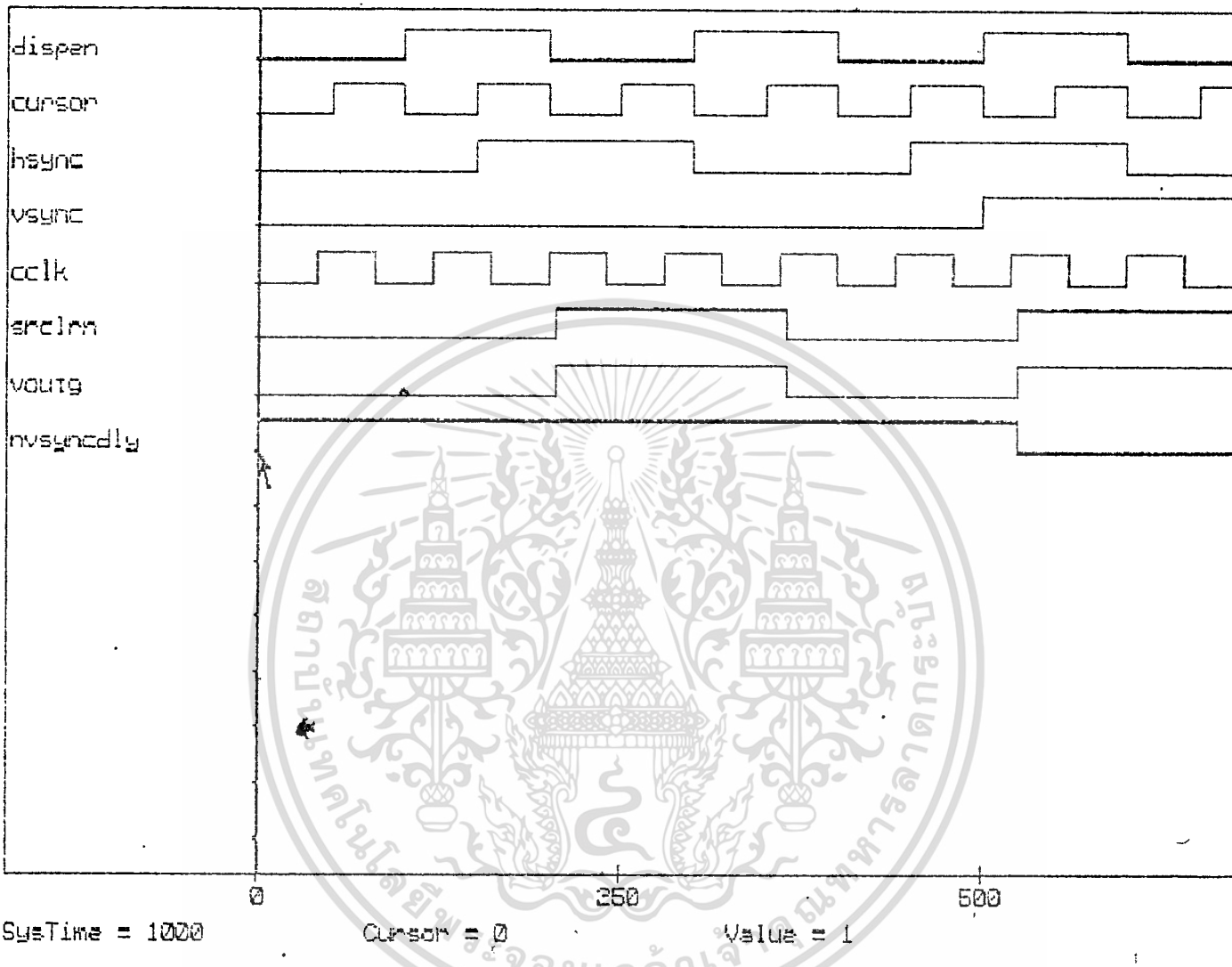
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า



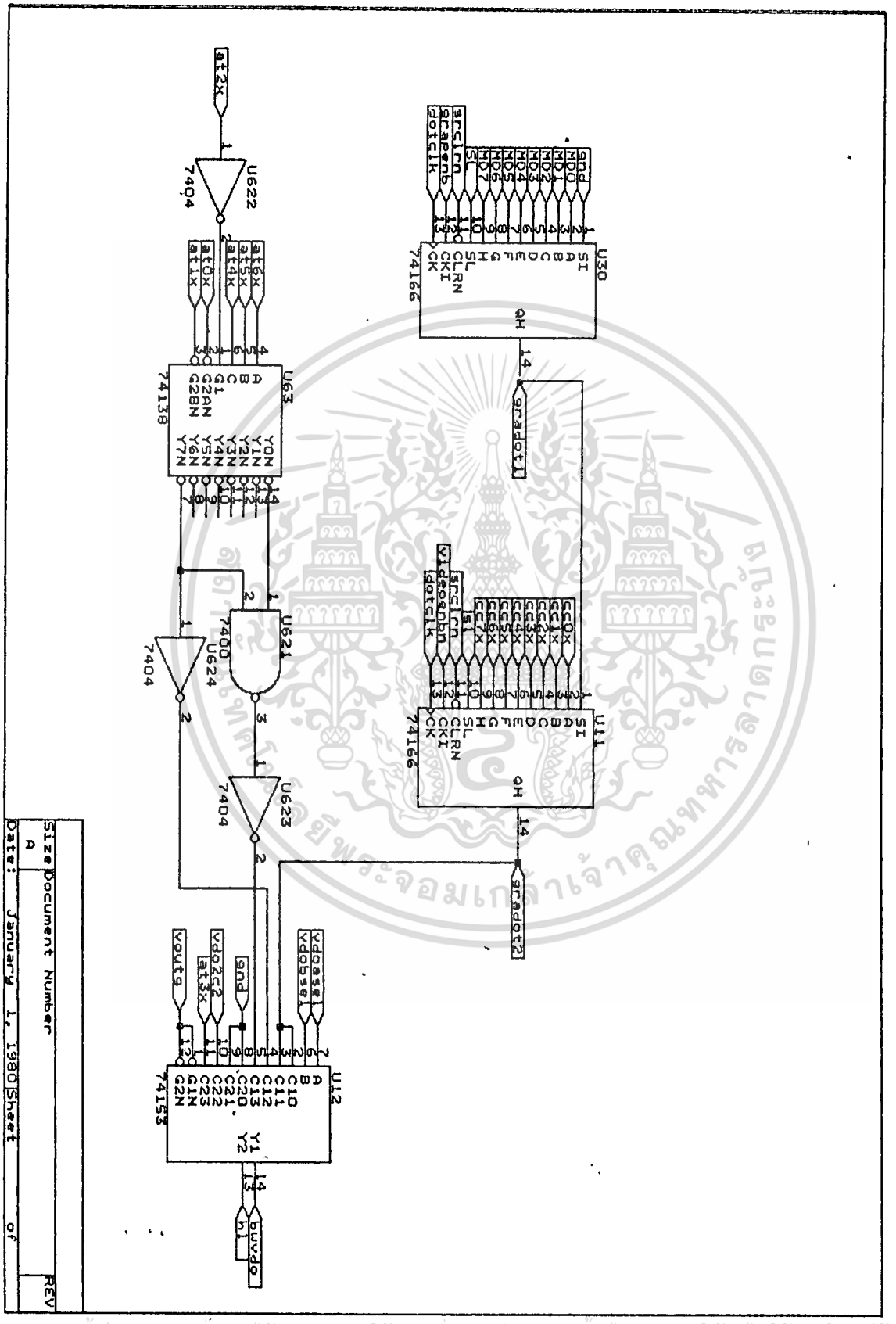
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



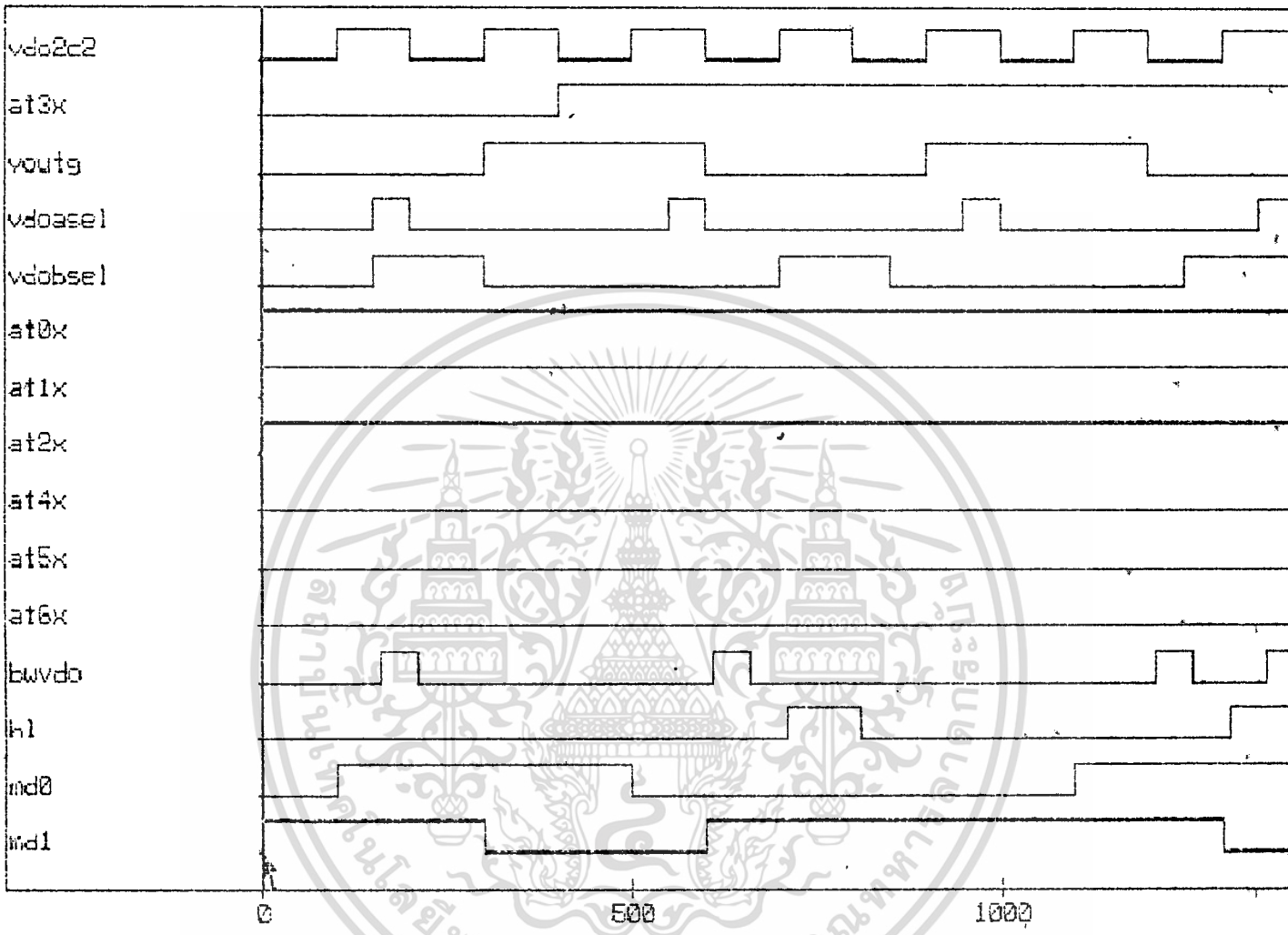
Size	Document Number	REV
A		
Date: January 1, 1980	Sheet of	



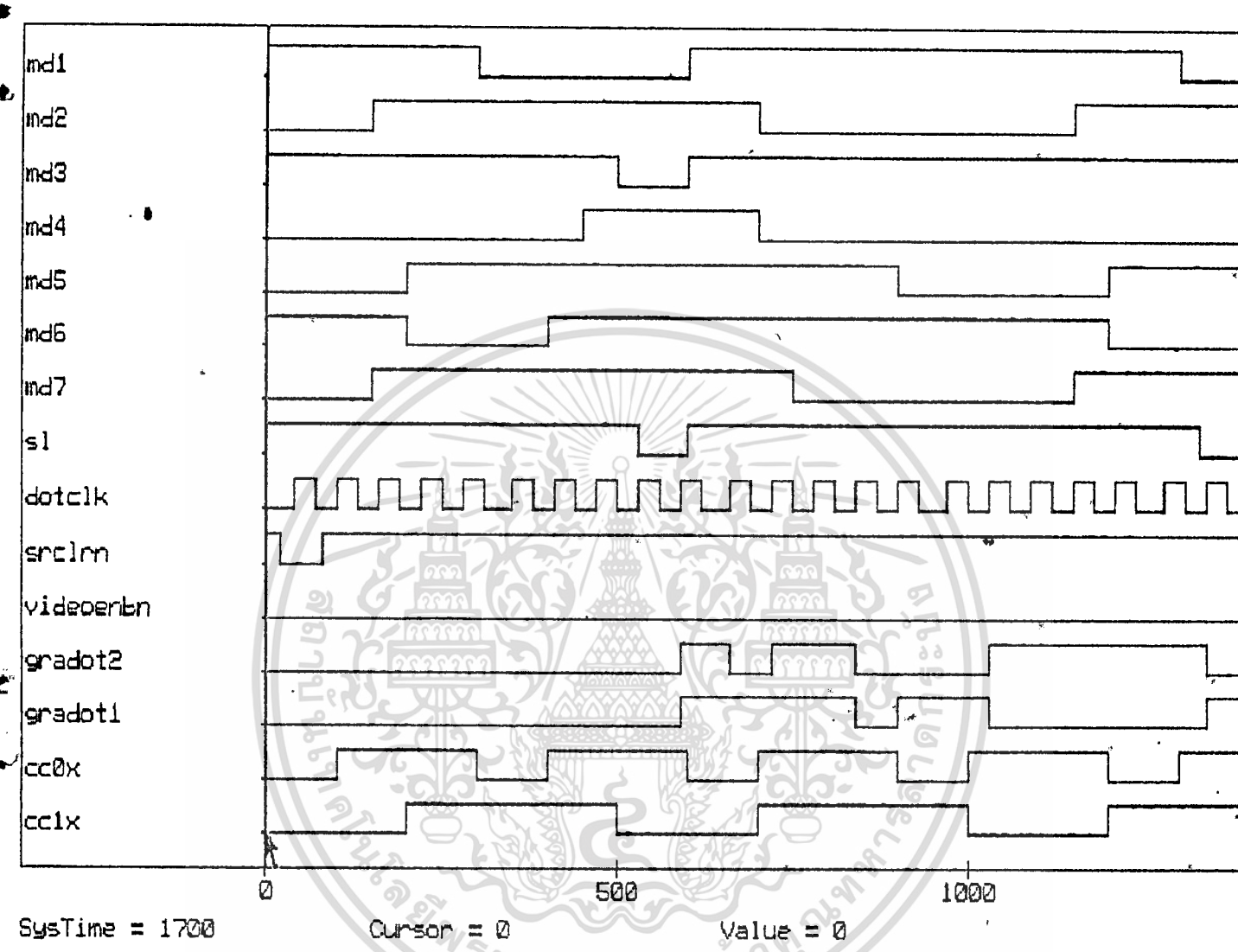
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า



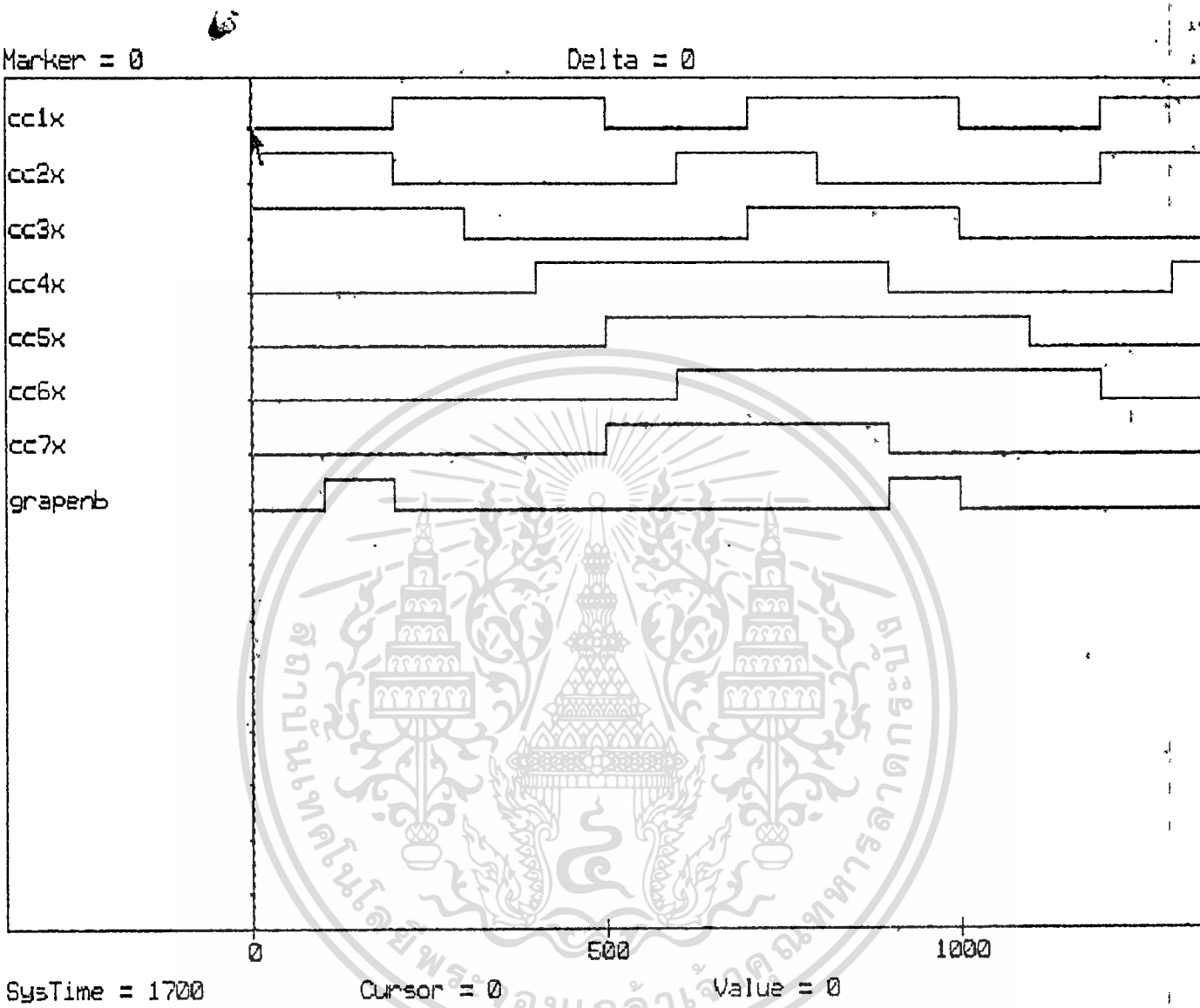
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า



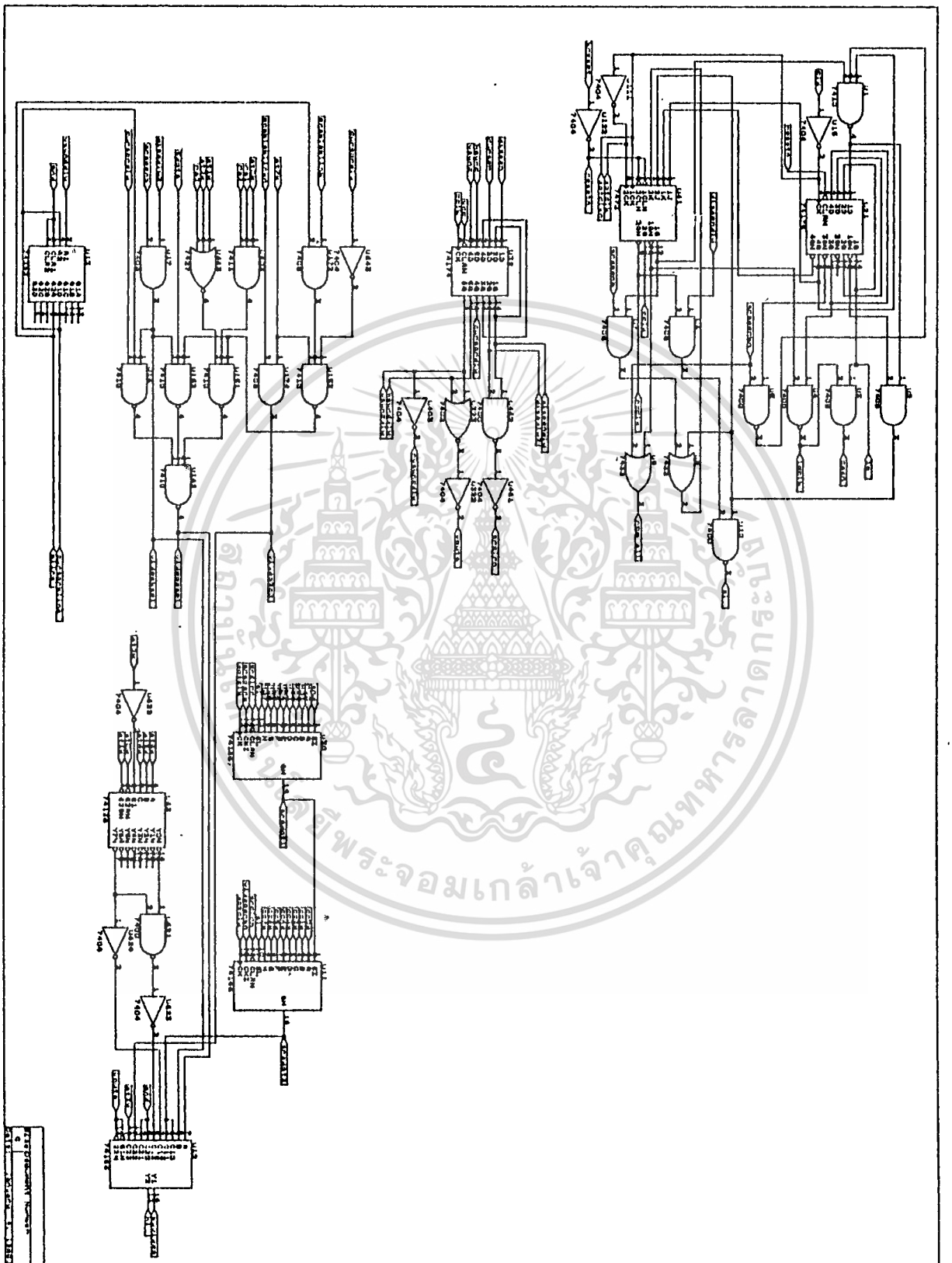
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า



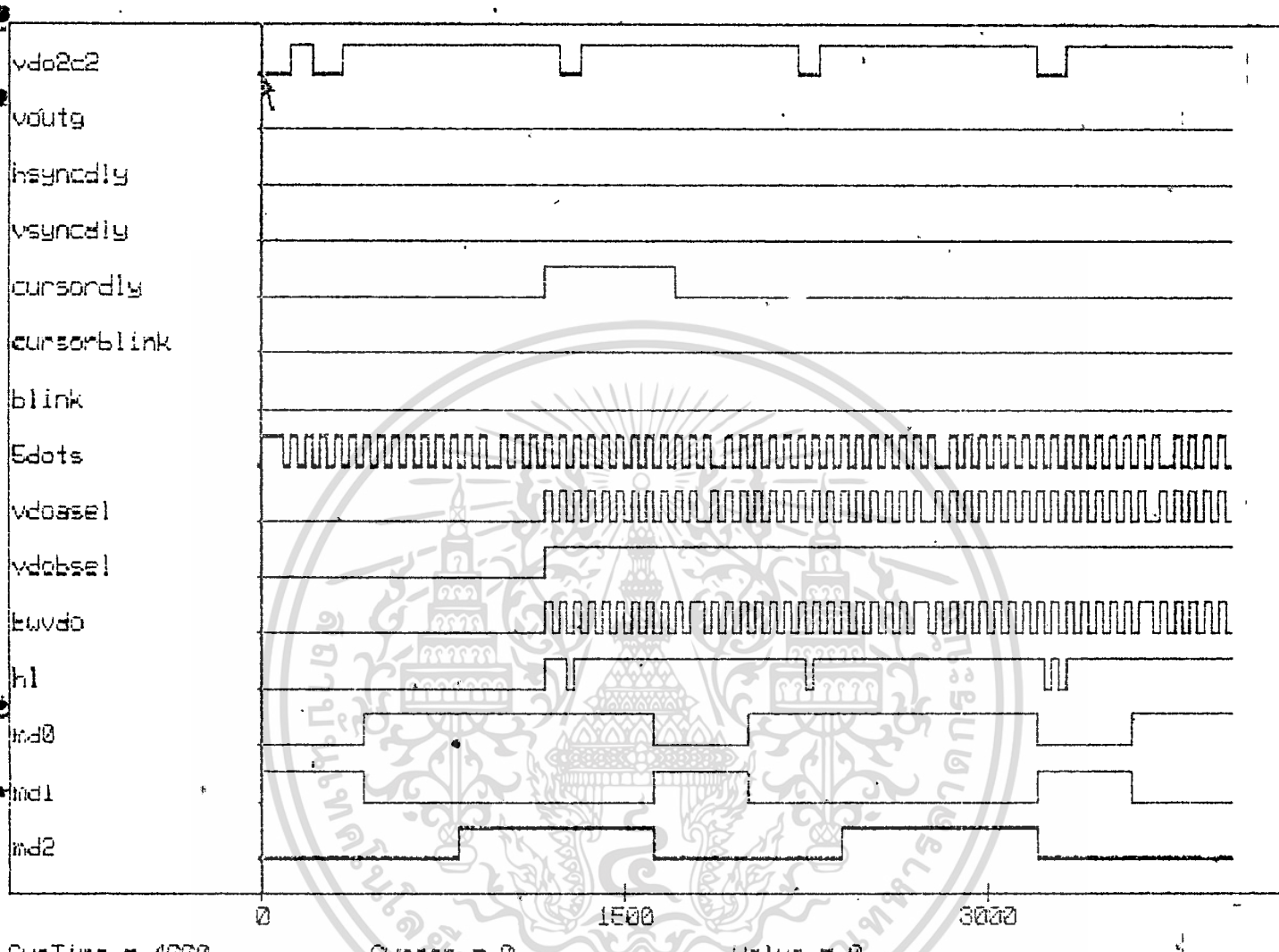
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า



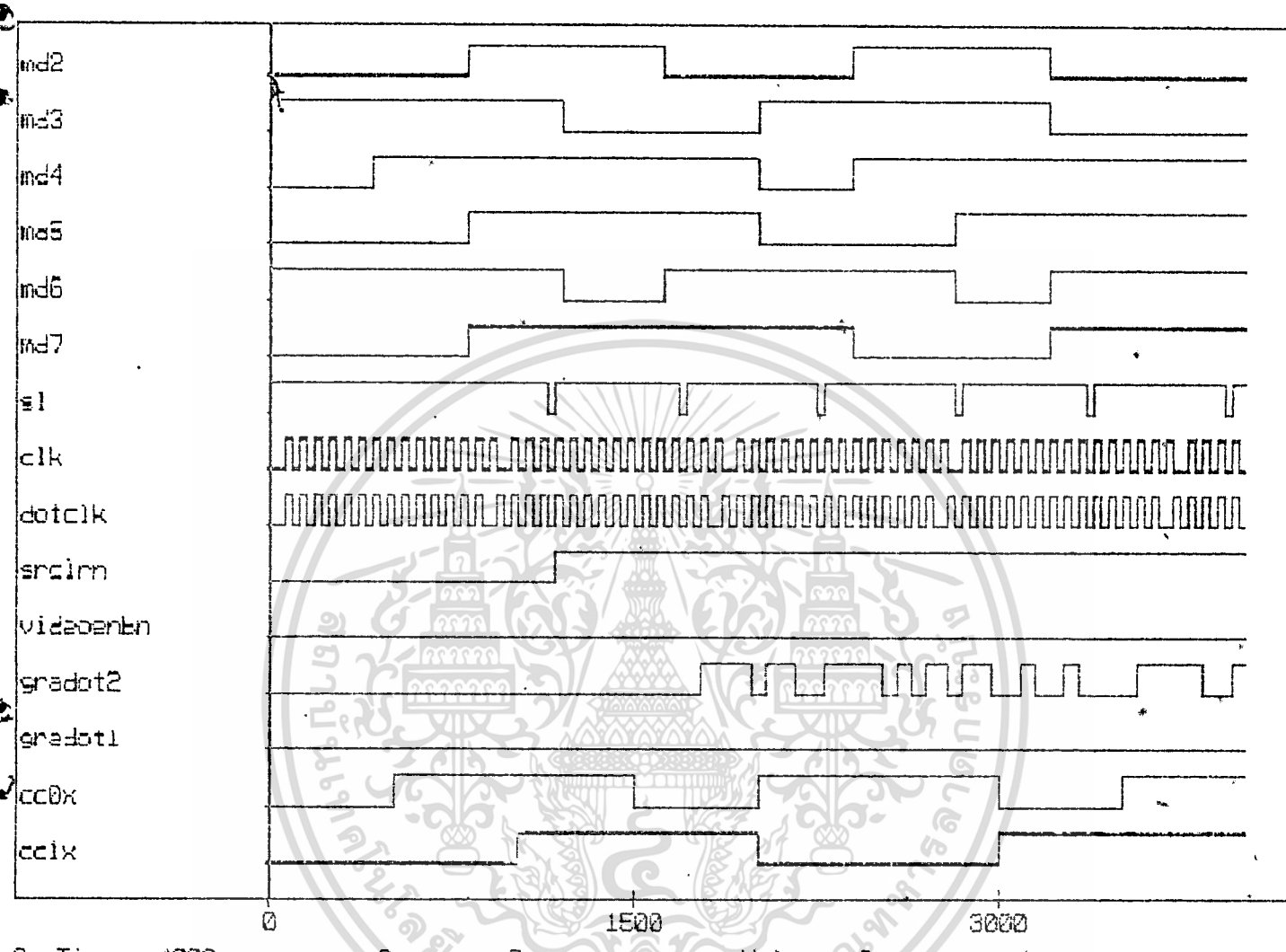
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



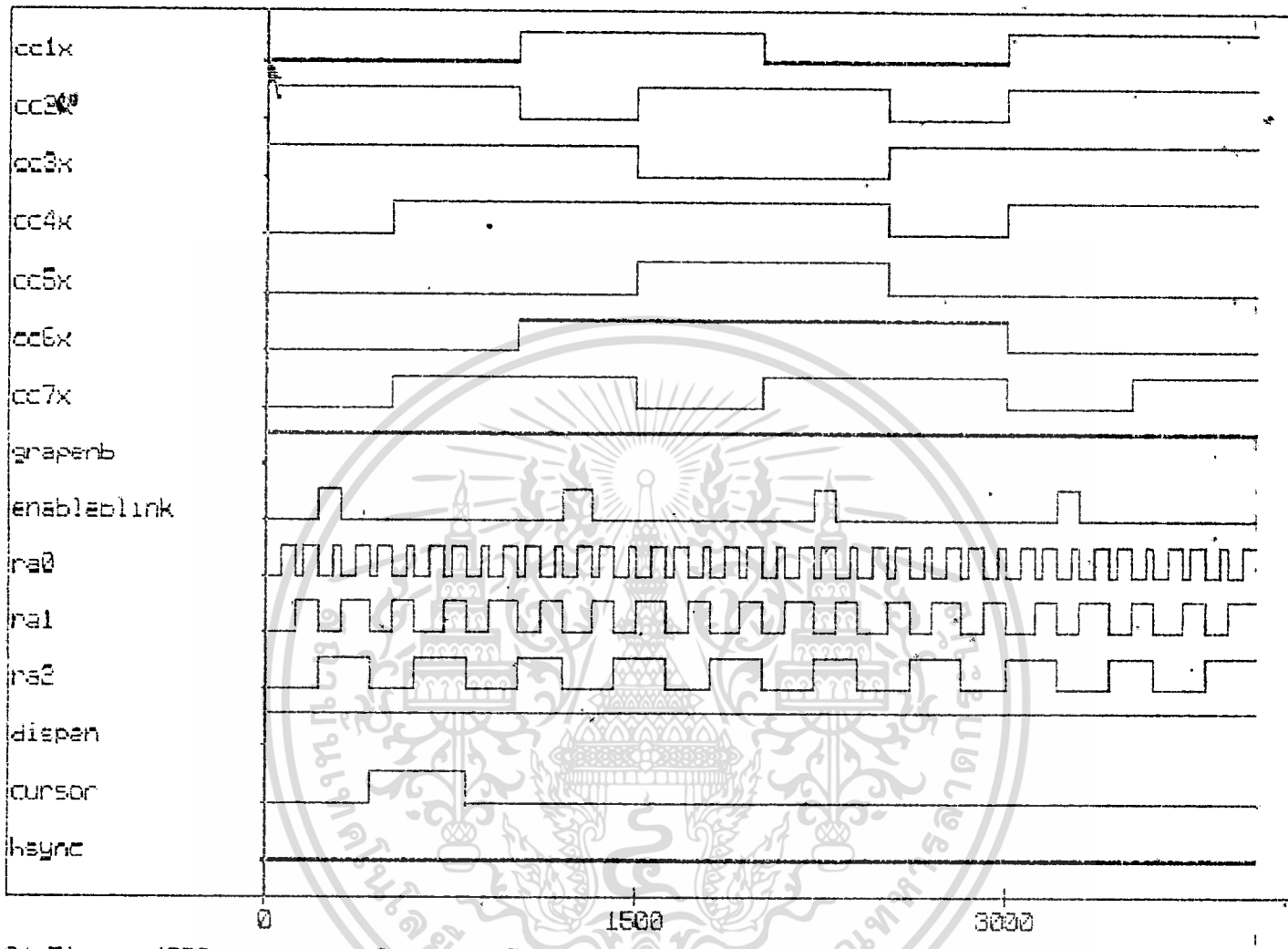
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า



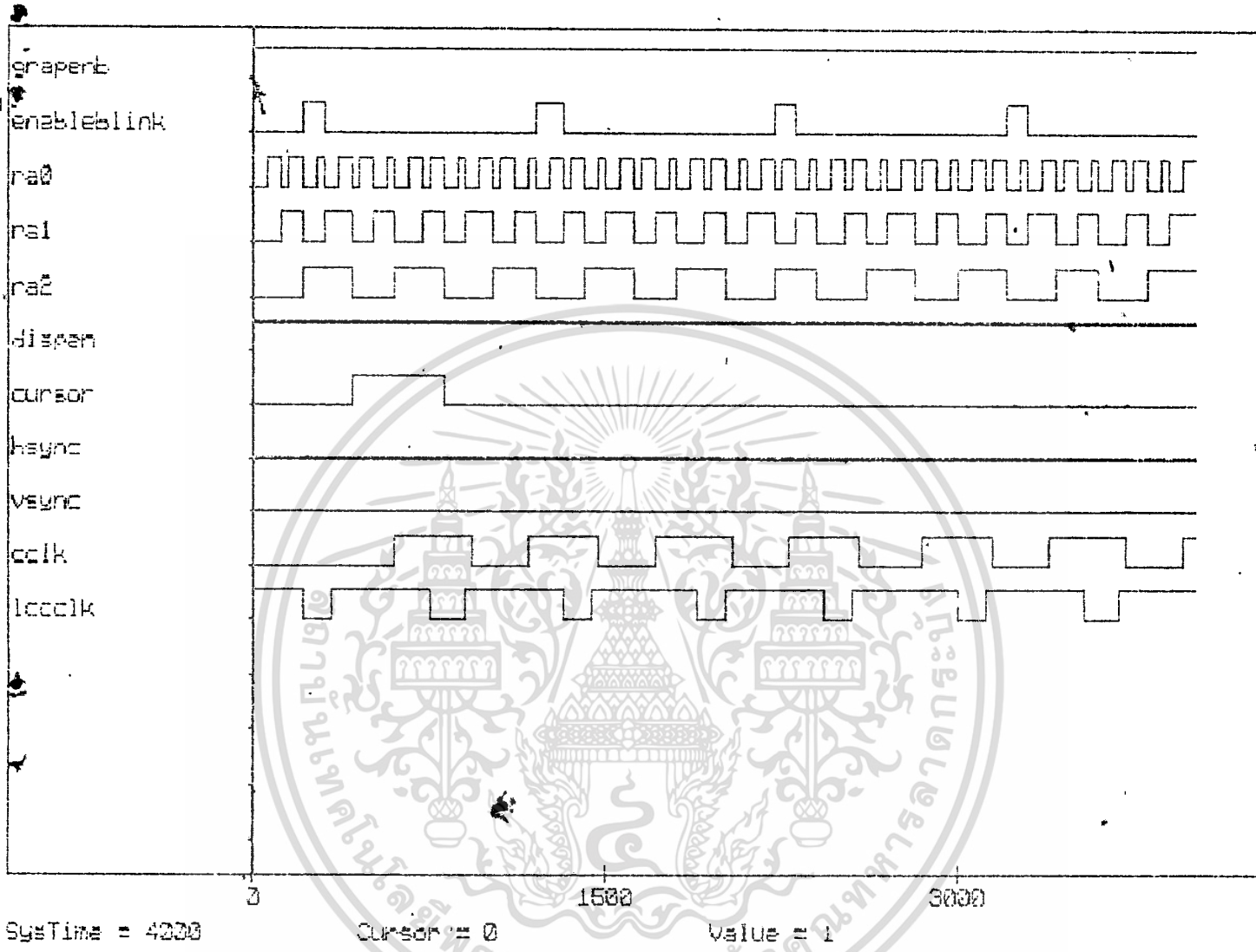
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า



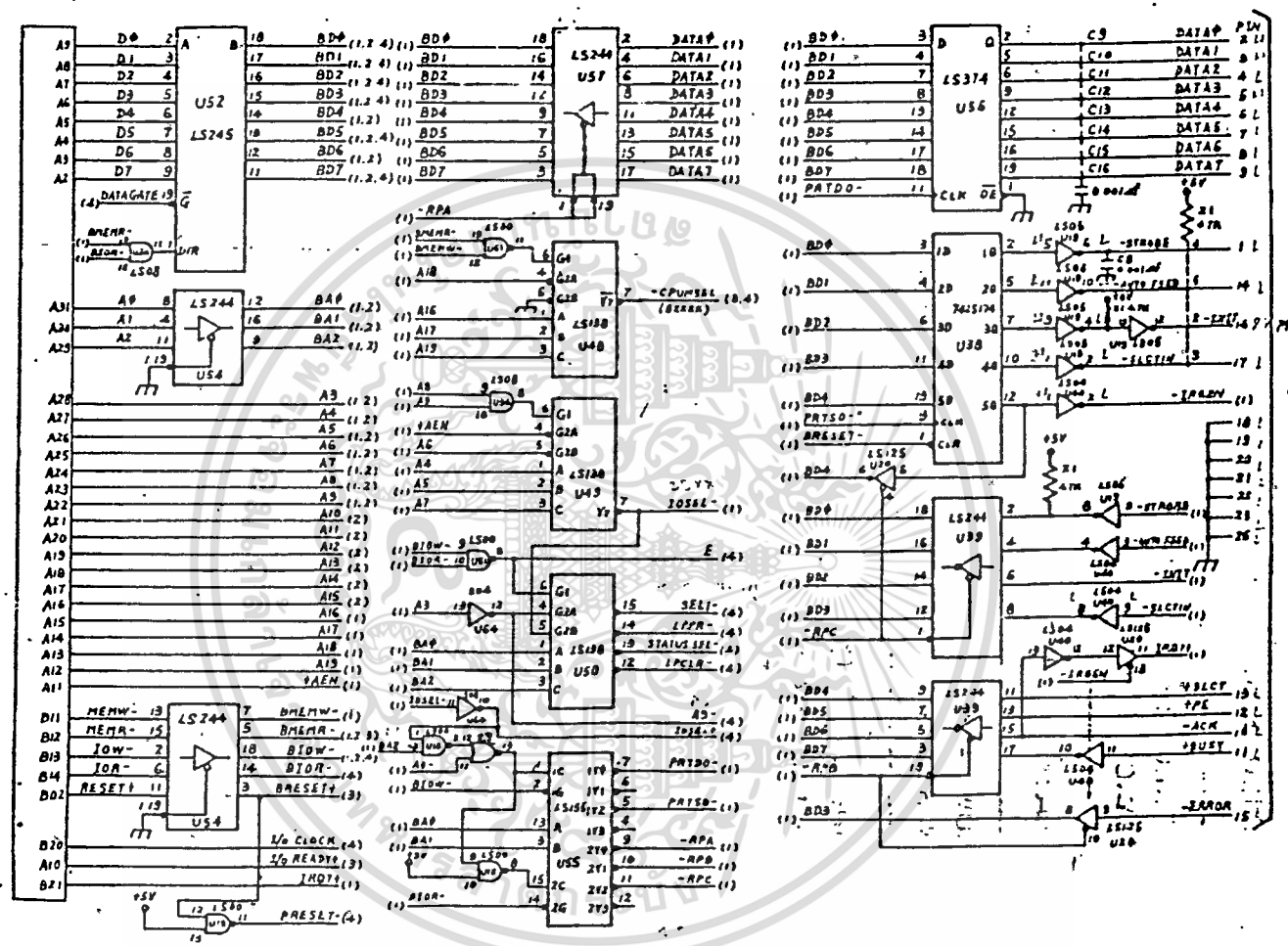
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

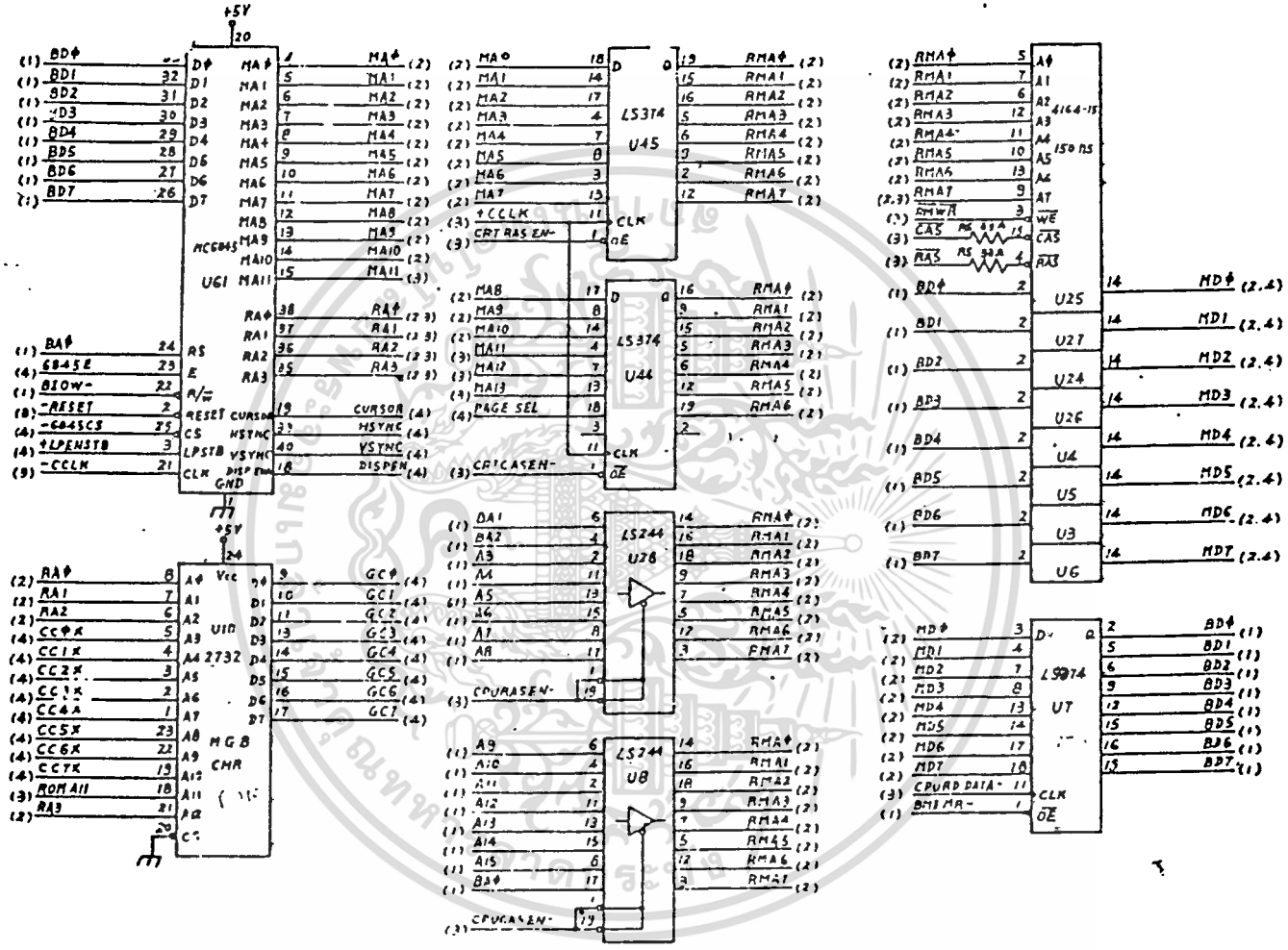
ภาคผนวก ง วงจรโมโนโครมกราฟฟิค.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



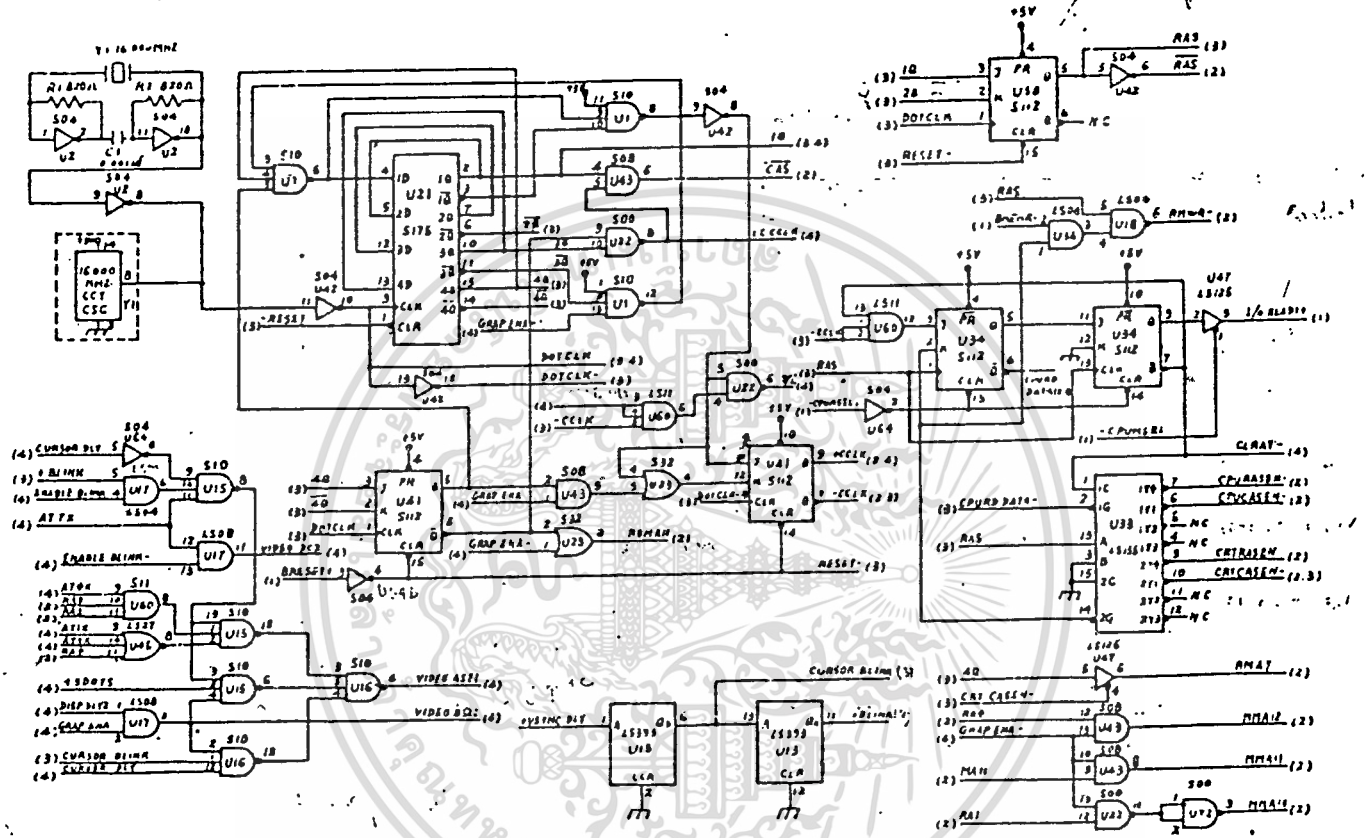
MONOCHROME GRAPHICS CARD

SHEET 1 OF 4

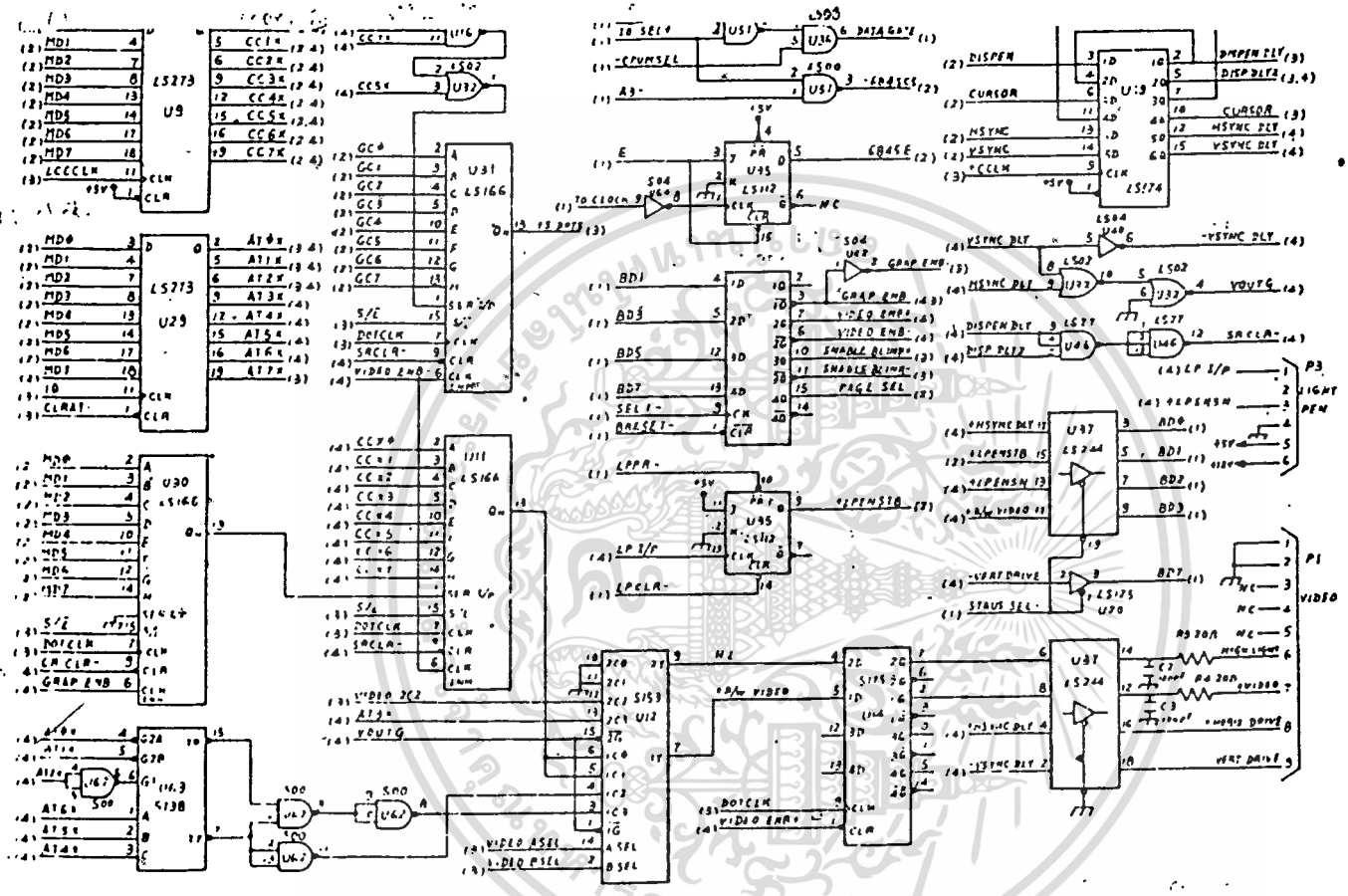


MONOCHROME GRAPHICS CARD

SHEET 2 OF 4



MONOCHROME GRAPHICS CARD SHEET 3 OF 4



MONOCHROME GRAPHICS CARD SHEET 4 OF 4