ปีการศึกษา 2533

การออกแบบแผ่นวงจรพิมพ์
(Print Circuit Board designs)

โดย

นาย ธรรมศักดิ์ อำนวยวัฒนา 301089
นาย พงษ์ระพี เตชพาหพงษ์ 301165
นาย พรเทพ เพื่องธารทิพย์ 301180

อาจารย์ที่ปรึกษา

อาจารย์ บรรจง ปิยธำรง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

การออกแบบแผ่นวงจรพิมพ์

(Print Circuit Board designs)

โดย

นาย ธรรมศักดิ์ อำนวยวัฒนา 301089

นาย พงษ์ระพี เตชพาหพงษ์ 301165

นาย พรเทพ เฟื่องธารทิพย์ 301180

อาจารย์ที่ปรึกษา

อาจารย์ บรรจง ปิยธำรง

วิทยานิพนธ์สำหรับปริญญาวิศวกรรมศาสตร์บัณฑิต

สาขาวิศวกรรมคอมพิวเตอร์

คณะวิศวกรรมศาสตร์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2533

เลขหมู่ T 330208 ก 4

เลขทะเบียน 024853

วัน, เดือน, ปี 12 ก.ค. 34

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ปริญญานิพนธ์ ปีการศึกษา 2533

ภาควิชาวิศวกรรมคอมพิวเตอร์

คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เรื่อง Print Circuit Board designs

ผู้จัดทำ

1. นาย ธรรมศักดิ์ อำนวยวัฒนา 301089
2. นาย พงษ์ระพี เตชพาหพงษ์ 301165
3. นาย พรเทพ เฟื่องธารทิพย์ 301180

..... อาจารย์ที่ปรึกษา

(อาจารย์ บรรจง ปิยธำรง)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การออกแบบแผ่นวงจรพิมพ์

ธรรมศักดิ์ อำนวยวัฒนา
พงษ์ระพี เตชพาหพงษ์
พรเทพ เฟื่องธารทิพย์
อ. บรรจง ปิยธำรง อาจารย์ที่ปรึกษา

บทคัดย่อ

ในปัจจุบันนี้อุตสาหกรรมทั่วๆไปจะประกอบด้วยอุปกรณ์ทางด้านอิเล็กทรอนิกส์เป็นจำนวนไม่น้อยเลยทีเดียว งานทางด้านการออกแบบแผ่นวงจรพิมพ์ซึ่งเป็นหัวใจหลักของอุตสาหกรรมอิเลกทรอนิกส์และคอมพิวเตอร์ ก็มีความสลับซับซ้อนของแผ่นวงจรมากขึ้นเพราะวงจรที่ออกแบบมามีความซับซ้อนมาก ฉะนั้นจึงได้มีการเอาคอมพิวเตอร์มาช่วยในการออกแบบ โดยใช้ซอฟต์แวร์ประเภท CAD (Computer Aids Design) ซึ่งเป็นซอฟต์แวร์ที่เขียนขึ้นมาเฉพาะเพื่อใช้ช่วยการออกแบบแผ่นวงจรพิมพ์

การใช้คอมพิวเตอร์ช่วยในการออกแบบแผ่นวงจรพิมพ์นั้น สามารถช่วยลดเวลาในการออกแบบ เพิ่มประสิทธิภาพ และความถูกต้องของการออกแบบ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Print Circuit Board designs

Thammasak Amnuaywattana
Pongrapee Tachapahapont
Pornthep Fuangtharnthip
Bunjong Piyathamrong Advisor

Abstact

By now, General industrial have comprised of electronic devices which have so many.PCB (Print Circuit Board) which the main of electronic and computer have many complicated circuit therefore there is use computer to help man to design PCB by use CAD software (CAD for PCB design)

CAD (Computer Aided Design) for PCB design is uses computer to help man design PCB and can reduce time to design and increase productivity and rialiability.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ

หน้า

บทที่ 1 บทนำ 1

บทที่ 2 ทฤษฎี 4

2.1 แผ่นวงจรพิมพ์ 4

2.2 วัสดุใช้ทำแผ่นฉนวนเคลือบ 4

2.3 SMT (Surface Mount Technology) 5

2.4 ขั้นตอนในการผลิตแผ่นวงจรพิมพ์ 10

2.5 วิธีการวางอุปกรณ์ลงแผ่นวงจรพิมพ์ 11

2.6 การสร้างลายเส้นวงจร 12

บทที่ 3 ฮาร์ดแวร์ ซอฟต์แวร์ และทฤษฎีในการออกแบบ 15

3.1 CAD 15

3.2 ฮาร์ดแวร์ 15

3.3 ซอฟต์แวร์ 16

3.4 รายละเอียดของ Mentor Graphics 20

- NETED 21
- SYMED 23
- EXPAND_PCB 24
- LIBRARIAN 25
- PACKAGE 39
- LAYOUT 42
- FABLINK 54

บทที่ 4 ขั้นตอนการทำงาน 60

4.1 วงจรที่ใช้ในการออกแบบแผ่นวงจรพิมพ์ 60

4.2 ส่วนการสร้าง Schematics 60

4.3 ส่วนการสร้างสัญญลักษณ์ 64

4.4 ส่วนการสร้างไลบรารีพาร์ท 66

4.5 ส่วนการทำแมปปิ้งและแคตาล็อกไฟล์ 68

4.6 ส่วนการทำ Packaging 71

4.7 ส่วนการ Placement 73

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.8 ส่วนการ Routing 75
4.9 ส่วนการ Manufacturing Output 77
บทที่ 5 สรุปและวิจารณ์ 81
ภาคผนวก
หนังสืออ้างอิง
กิตติกรรมประกาศ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูป

		หน้า
รูป 2.1	แสดงการยึดติดคอมโพเนนท์ลงบนบอร์ด	5
รูป 2.2	แสดง Interconnectivity ของไอซีแบบต่างๆ	7
รูป 2.3	แสดงตัวอย่างของ SMCs	8
รูป 2.4	แสดงตัวอย่างของ Surface Mount Resistor	8
รูป 2.5	แสดงตัวอย่างของตัวเก็บประจุแบบ Surface Mount	9
รูป 2.6	แสดงตัวอย่างของตัวเหนี่ยวนำแบบ Surface Mount	9
รูป 2.7	แสดงตัวอย่างการวางอุปกรณ์บนแผ่นวงจรพิมพ์	12
รูป 2.8	แสดงตัวอย่างการหักมุมรายเส้น	13
รูป 2.9	แสดงตัวเก็บประจุฉนวนที่เกิดขึ้น	14
รูป 3.1	โครงสร้างไดเรกทอรีที่ใช้ในการออกแบบ	20
รูป 3.2	วงจรขบวนการออกแบบทางวิศวกรรม	21
รูป 3.3	ตัวอย่าง Shcematics Sheet	22
รูป 3.4	ไลบรารีคอมโพเนนท์มาตรฐานของ NETED	22
รูป 3.5	ตัวอย่างสัญญลักษณ์คอมโพเนนท์	23
รูป 3.6	แสดงส่วนต่างๆของสัญญลักษณ์คอมโพเนนท์	24
รูป 3.7	แสดงขั้นตอนการทำงานในส่วนของบอร์ดสเตชั่น	25
รูป 3.8	ไลบรารีพาร์ทดาต้า	26
รูป 3.9	ผังงานแสดงขั้นตอนในการสร้างพาร์ท	27
รูป 3.10	คุณสมบัติของสัญญลักษณ์	28
รูป 3.11	จีโอเมตรี	29
รูป 3.12	แอตตริบิวส์ของจีโอเมตรี	30
รูป 3.13	เลเยอร์	31
รูป 3.14	คุณลักษณะของเลเยอร์	32
รูป 3.15	โครงสร้างของแพดสแตกชนิด Through-pin	33
รูป 3.16	โครงสร้างของแพดสแตกชนิด Surface Mount	33
รูป 3.17	คอมโพเนนท์จีโอเมตรี	34
รูป 3.18	แมปปิ้งไฟล์	35
รูป 3.19	โครงสร้างแคตาล็อกไฟล์	37

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูป 3.20	บอร์ดจีโอเมตรี	38
รูป 3.21	ขั้นตอนขบวนการ Build Process เพื่อสร้างพาร์ทไฟล์	40
รูป 3.22	ส่วนประกอบต่างๆของพาร์ทไฟล์	41
รูป 3.23	เทคนิคการวางคอมโพเนนท์	43
รูป 3.24	ตัวอย่างอิสโตแกรมของการวางคอมโพเนนท์	44
รูป 3.25	การวางคอมโพเนนท์ลงข้างบอร์ดก่อนที่จะแมปลงบอร์ด	45
รูป 3.26	การปรับตำแหน่งของคอมโพเนนท์	47
รูป 3.27	การปรับตำแหน่งของเกตในคอมโพเนนท์	48
รูป 3.28	การปรับตำแหน่งของพินในคอมโพเนนท์	48
รูป 3.29	กฎการออกแบบลายเส้นสัญญาณ	49
รูป 3.30	Guide Wires	50
รูป 3.31	อัลกอริธึมแบบ Maze-Runner ในการ Route	51
รูป 3.32	อัลกอริธึมแบบ Cost-Driver ในการ Route	52
รูป 3.33	อัลกอริธึมแบบ Rip-Up และ Reroute ในการ Route	52
รูป 3.34	อัลกอริธึมแบบ Squeeze-Through และ Shove-Aside	53
รูป 3.35	Artwork Data	54
รูป 3.36	Drill Data	55
รูป 3.37	Milling Data	55
รูป 3.38	ตัวอย่าง Fabrication Drawing	56
รูป 3.39	ตัวอย่าง Assembly Drawing	56
รูป 3.40	ตัวอย่าง Bill of Material	57
รูป 3.41	ตัวอย่าง Net Connection List	58
รูป 3.42	ตัวอย่าง Net Lenghts Reports	59
รูป 4.1	ผังงานแสดงขั้นตอนการสร้าง Schematics	60
รูป 4.2	แสดงวิธีเซตการพล็อทชีท	62
รูป 4.3	ตัวอย่างผลการ Check ชีท	62
รูป 4.4	ตัวอย่างแสดงสัญญลักษณ์ของ $OFFPAG.OUT และ $OFFPAG.IN	63
รูป 4.5	ผังงานแสดงขั้นตอนการทำงานของส่วนสร้างสัญญลักษณ์	65
รูป 4.6	ส่วนประกอบของแมปปิ้งไฟล์	68
รูป 4.7	ตัวอย่างการแมป	69

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูป 4.8 ตัวอย่างของแคตาล็อกไฟล์ 70
รูป 4.9 ผังงานแสดงการทำ Packaging 71
รูป 4.10 ผังงานวิธีการเรียกแก้ไขข้อมูล 72
รูป 4.11 ผังงานวิธีการเลือกวางคอมโพเนนท์ 73
รูป 4.12 ผังงานวิธีการเลือกวางโดยวิธีใช้บัส 74
รูป 4.13 ผังงานวิธีการ route แบบ interactive 75
รูป 4.14 ผังงานวิธีการ route แบบ Automatic 76
รูป 4.15 ผังงานแสดงการทำอาร์ทเวิร์ท 77
รูป 4.16 ผังงานแสดงการทำ Drill Data 78
รูป 4.17 ผังงานแสดงการทำ Mill Data 79

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญตาราง

หน้า

ตาราง 2.1 แสดงการเปรียบเทียบขนาดของ SMCs และ THCs 6

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 1
บทนำ

ในปัจจุบันนี้จากสภาพที่ประเทศของเราเริ่มที่จะก้าวเข้าไปสู่ยุคของการเปลี่ยนแปลงจากการผลิตในแนวทางเกษตรกรรมมาเป็นแนวทางของอุตสาหกรรมมากขึ้นจึงทำให้มีความจำเป็นที่จะต้องพัฒนาสิ่งต่างๆ ทุกๆอย่างทั้งทางด้านเทคนิคและ วิทยาการสมัยใหม่แบบต่างๆ ซึ่งการนำคอมพิวเตอร์มาใช้งานก็เป็นวิธีการหนึ่ง ในการเพิ่มประสิทธิภาพของการทำงานขึ้น จากเทคโนโลยีในปัจจุบัน เราสามารถที่จะนำคอมพิวเตอร์มาใช้งานในหลายรูปแบบเช่นการนำไปช่วยประมวลผลเก็บข้อมูลต่างๆช่วยในการคำนวณผลทางคณิตศาสตร์ ช่วยวิเคราะห์งานที่ยุ่งยากบางอย่าง ช่วยในการออกแบบวงจรต่างๆ เป็นต้นจากความสามารถต่างๆนี้จึงทำให้มีการศึกษาและนำคอมพิวเตอร์ มาใช้งานอย่างมากมาย

สำหรับในงานของการออกแบบต่างๆนั้น คอมพิวเตอร์สามารถที่จะช่วยให้เราเกิดความสะดวกสบายในการทำงานทั้งในขณะของการออกแบบและการแก้ไขรวมทั้งอาจจะมีการจำลองการทำงานของวงจรได้ในเครื่องที่มีขนาดใหญ่ หรือในส่วนของการทำงานของโปรแกรมที่ดีพอสมควร ซึ่งจะทำให้เรารู้ถึงสภาวะของการทำงานภายในของวงจรที่ออกแบบได้เป็นอย่างดี รวมทั้งถึงการออกแบบลายวงจรด้วยเช่นกัน ในงานการออกแบบลายวงจรนั้นคอมพิวเตอร์สามารถที่จะช่วยให้เราออกแบบลายวงจรในแบบต่างๆ หาทางที่ประหยัดหรือทำให้สิ้นเปลืองค่าใช้จ่ายน้อยที่สุดในการสร้างได้ง่ายกว่าการใช้บุคคลทั่วไปในการออกแบบรวมถึงการสิ้นเปลืองเวลาน้อยกว่าด้วย ซึ่งจะเป็นประโยชน์มากต่อการทำเป็นแบบอุตสาหกรรมต่อไปในอนาคต

ในการทำโครงงานเรื่องของการออกแบบ PCB (Printed Circuit Board)หรือแผ่นวงจรพิมพ์นี้ นั้นนั้นเป็นเรื่องของการเชื่อมต่อส่วนต่างๆ โดยการใช้ลายทองแดงลากผ่านไปยังส่วนที่จะเชื่อมต่อให้ถึงกัน เพื่อที่จะให้ได้วงจรที่ทำงานตามต้องการ โดยจะเชื่อมต่อให้ถึงกัน อาจจะเป็นการเชื่อมต่อกับ ขาของตัวไอซี, สล็อต, ตัวต้านทาน, ตัวเก็บประจุ,ทรานซิสเตอร์, สวิตช์ ก็จะมีลักษณะของการเชื่อมต่อที่คล้ายกัน อาจจะแตกต่างกันที่ขนาดของเส้นลายทองแดงได้ ในการออกแบบแผ่นวงจรพิมพ์ นั้นก็เพื่อที่จะใช้ในลักษณะของอุตสาหกรรมเป็นหลัก เนื่องจากจะต้องทำเป็นจำนวนมาก เพราะฉะนั้นการที่จะออกแบบผลิตภัณฑ์ต่างๆโดยการใช้วิธีการพัน หรือต่อสายไฟเป็นเส้นๆ จะทำได้ยุ่งยาก เสียเวลา และค่าใช้จ่ายเป็นจำนวน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งไม่อนุญาตให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

มากนั้น เราจะทำการออกแบบแผ่นวงจรพิมพ์ต้นฉบับเพียงครั้งเดียว แล้วนำรูปแบบของต้นฉบับนั้นมาทำการผลิตได้เป็นจำนวนครั้งละมากๆ โดยมีคุณสมบัติที่ใกล้เคียงกับตัวต้นแบบที่สุด ทั้งยังประหยัดเวลาและลดค่าใช้จ่ายอันเนื่องมาจาก ผลิตภัณฑ์ วงจรที่ไม่ได้คุณภาพ หรือเสียหายอีกด้วย ซึ่งในปัจจุบันนี้ ลักษณะของวงจรต่างๆ ส่วนใหญ่จะต้องทำแผ่นวงจรพิมพ์แล้วนำอุปกรณ์ต่างๆ ของวงจรมาประกอบบนแผ่นวงจรพิมพ์ อีกทีหนึ่งเป็นจำนวนมาก มีอยู่เพียงเล็กน้อยเท่านั้น ที่ยังคงใช้วิธี ต่อสายไฟเป็นเส้นๆ อยู่ทั้งนี้เพื่อผลประโยชน์ทางธุรกิจอย่างอื่นของบริษัทนั้น

สำหรับในแผ่นวงจรพิมพ์นั้น มีส่วนต่างๆ ประกอบเช่นส่วนของบอร์ดที่เป็นพื้นฐานสำคัญในการรองรับส่วนประกอบอื่นๆ ของวงจรได้มีเส้นทองแดงบนตัวบอร์ด เพื่อนำกระแสของการเชื่อมต่อกันทางไฟฟ้ามีส่วนของแถบทองแดงเพื่อเชื่อมต่อเป็นลักษณะของสล็อต ส่วนของการเชื่อมต่อระหว่างอุปกรณ์ภายนอก รูที่เจาะเอาไว้เพื่อเชื่อมต่อระหว่างด้านทั้งสองของบอร์ด โดยการใช้รูทองแดงหรือบางครั้งก็ใช้ตะกั่วเช่นกัน รวมทั้งรูสำหรับเป็นตัวเสียบอุปกรณ์ต่างๆ เพื่อที่จะให้ยึดติดกับตัวบอร์ด โดยการใช้การบัดกรีช่วยยึดและนำกระแสไฟฟ้าเข้าหรือออกจากขาของอุปกรณ์นั้นๆ ด้วย

เนื่องจากการทำแผ่นวงจรพิมพ์นั้นเป็นงานที่ทำขึ้นเพื่อที่จะใช้ในลักษณะของอุตสาหกรรมและด้านของธุรกิจ ซึ่งจะต้องทำเป็นจำนวนมากๆ รวมทั้งยังต้องคำนึงถึงผลทางด้านค่าใช้จ่ายด้วย ดังนั้นการทำบอร์ดให้เล็กกระทัดรัด แต่ยังคงซึ่งประสิทธิภาพเหมือนเดิม จึงจำเป็นอย่างยิ่ง ทำให้เราเริ่มที่จะหาเครื่องมือมาช่วยในการทำงานชนิดนี้มากขึ้นและคอมพิวเตอร์ โดยเฉพาะอย่างยิ่งเครื่องระดับเวิร์คสเตชั่น (Work Station) จึงเข้ามามีบทบาทสำคัญในการช่วยการออกแบบแผ่นวงจรพิมพ์ การพัฒนารูปแบบหรือซอฟต์แวร์แบบต่างๆ ออกมาเป็นจำนวนมาก เพื่อเพิ่มประสิทธิภาพในการออกแบบแผ่นวงจรพิมพ์ในมากขึ้นในคอมพิวเตอร์ แบบต่างๆ ทำให้เราสามารถที่จะใช้งานในการออกแบบได้สะดวกและรวดเร็วขึ้น แต่ทั้งนี้ไม่ได้หมายความว่าเครื่องเวิร์คสเตชั่นสามารถทำได้เพียงแค่การออกแบบแผ่นวงจรพิมพ์เท่านั้น แต่ยังสามารถช่วยทำงานในส่วนอื่นๆ ได้เช่นเดียวกัน

ในส่วนของการออกแบบแผ่นวงจรพิมพ์ในวิทยานิพนธ์ฉบับนี้นั้น เราได้ทำการออกแบบโดยการใช้เครื่องเวิร์คสเตชั่นช่วยในการทำงาน ซึ่งมีลักษณะของการออกแบบเป็นขั้นตอน กล่าวคือ เริ่มจากการออกแบบส่วนของวงจรจริงในระดับของวงจรไอซีแล้วทำการเขียนวงจรลงไปในส่วนของเซอร์กิต (Circuit) โดยการใช้โปรแกรมในส่วนของเซอร์กิต ซึ่งจะมีการ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เก็บข้อมูลของตัวอุปกรณ์ต่างๆ ที่เราจะทำการเรียกใช้ถ้าไม่มีเราจะต้องทำการสร้างขึ้นเองต่อไป จากนั้นการทำการตรวจสอบวงจรโดยวิธีต่างๆซึ่งมีให้ใช้ได้หลายวิธี แล้วทำการส่งผ่านไปยังส่วนของการทำบอร์ด ซึ่งจะใช้โปรแกรมในส่วนของบอร์ดต่อไป สำหรับขั้นตอนการทำโดยละเอียดนั้นจะได้กล่าวในบทต่อๆ ไป อีกครั้ง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 2
ทฤษฎี

2.1 แผ่นวงจรพิมพ์

แผ่นวงจรพิมพ์เป็นอุปกรณ์ที่ใช้ในการสร้างวงจรใช้งานทางอิเลคทรอนิกส์ต่างๆ โดยจะมีสารนำไฟฟ้าพิมพ์ หรือฉาบเป็นลายวงจรอยู่บนแผ่นฉนวนเคลือบ (Dielectric Substrate) แผ่นฉนวนเคลือบที่มีสารนำไฟฟ้าเดินเป็นลายวงจรแล้วนี้เรียกว่า แผ่นวงจรพิมพ์การสร้างวงจรทำได้ โดยนำอุปกรณ์อิเลคทรอนิกส์มาประกอบเข้ากับแผ่นวงจรพิมพ์ที่ถูกต้องก็จะได้วงจรตามต้องการแผ่นวงจรพิมพ์แบ่งออกได้ 3 แบบ คือ

2.2.1 Single sided boards คือแผ่นวงจรพิมพ์ที่มีลายวงจรของสารตัวนำไฟฟ้าอยู่เพียงด้านเดียว อาจมีการเจาะรูเพื่อใช้ยึดหรือเสียบอุปกรณ์อิเลกทรอนิกส์หรือไม่มีก็ได้

2.2.2 Double sided boards คือแผ่นวงจรพิมพ์ที่เดินลายวงจรเอาไว้ ทั้งสองด้าน ลายวงจรของทั้งสองด้านที่เชื่อมต่อถึงกันนั้นจะเชื่อมต่อกันโดยการเจาะรูแล้วฉาบสารนำไฟฟ้าเชื่อมวงจรทั้งสองด้านผ่านรูที่เจาะนั้น

2.2.3 Multilayer boards คือแผ่นวงจรพิมพ์ที่มี แผ่นฉนวนเคลือบตั้งแต่สองแผ่น ขึ้นไปเรียงซ้อนๆกันเป็นชั้นๆ แต่ละชั้นจะมีการเดินลายวงจรเอาไว้แล้วทุกแผ่นและจุดที่เชื่อมต่อ ระหว่างวงจรของแต่ละชั้นก็ทำการเชื่อมต่อ โดยการเจาะรูทะลุถึงกันในตำแหน่งที่เหมาะสม แล้วฉาบสารตัวนำไฟฟ้าเชื่อมต่อกันระหว่างวงจร รูที่เจาะไว้เหล่านั้น

2.2 วัสดุที่ใช้ทำแผ่นฉนวนเคลือบ

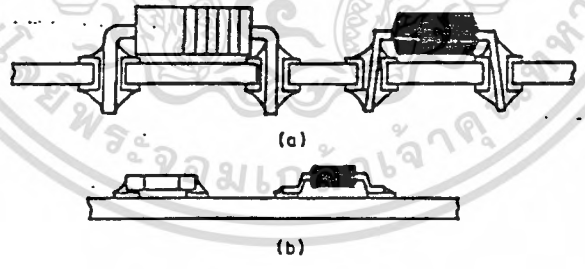
แผ่นฉนวนเคลือบส่วนใหญ่จะผลิตมาจากแผ่นไฟเบอร์กลาส (Fiberglass)ซึ่งฉาบทองแดงด้วย อิพอกซีเรซิน (Epoxy Resin) เรียกว่าแผ่นฉนวนเคลือบแบบอิพอกซีไฟเบอร์กลาส (Epoxy/Fiberglass) นอกจากนี้วัสดุที่นำมาใช้ทำแผ่นฉนวนเคลือบอาจเป็นกลาสกับโพลิไมด์ (Polyimide) , เทฟลอน หรือ ไทร์อาซิน เรซิน (Triazine Resin)หรือเป็นกระดาษเคลือบด้วยฟินอลิกเรซิน ทั้งหมดนี้จะมีแผ่นทองแดงบางๆ ฉาบอยู่ทั้งสองด้านด้วยเรซิน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ปัจจุบันอุตสาหกรรมการผลิตทางด้านอิเลคทรอนิกส์ได้พัฒนาก้าวหน้าไปอย่างรวดเร็ว จากวิวัฒนาการทางด้านอุปกรณ์ที่ใช้สารกึ่งตัวนำเข้ามาแทนได้แก่ ไดโอดทรานซิสเตอร์ ชนิดต่างๆ จนกลายเป็นวงจรรวมบรรจุอยู่ในที่เดียวกันและมีขนาดเล็กมาก แต่มีขีดความสามารถทำงานได้มากกว่า และดีกว่าโดยการนำเอาวงจรรวมนี้มาประกอบกับอุปกรณ์ขึ้นเป็นวงจรโดยใช้พื้นที่เพียงเล็กน้อยได้อย่างสะดวกรวดเร็ว สามารถทำรวมกันได้โดยใช้แผ่นวงจรพิมพ์ วัสดุที่ใช้ทำแผ่นวงจรพิมพ์ทำจากแผ่นทองแดงบางๆ ปะติดอยู่กับสารที่เป็นฉนวนที่ เป็นแผ่นบาง ๆ ฉนวนที่ใช้อาจจะเป็นกระดาษ ฟินอลิก หรือ อีปอกซี่กลาสแล้วมาผ่านกระบวนการสร้างลายวงจรบนแผ่นซึ่งมีทั้งชนิดหน้าเดียว สองหน้า จนถึงแบบหลายเลเยอร์ หรือหลายชั้น ซึ่งกำลังเป็นที่นิยมใช้กันในวงจรเครื่องคอมพิวเตอร์ในปัจจุบันนี้

2.3 SMT(Surface Mount Technology)

คอมโพเนนท์แบบ SMT ทุกตัวจะยึดติดกับบอร์ด โดยการปะติดกับทองแดงบน บอร์ด แทนที่จะต้องเจาะรูทะลุบอร์ด แล้วนำขาคอมโพเนนท์เสียบเข้าไปในรูแล้วเชื่อม ติดบอร์ดด้วยตะกั่วที่หยอดเข้าไปในรู ซึ่ง SMT มีแนวโน้มที่จะนำมาใช้ในอย่างกว้างขวางในอนาคต



รูปที่ 2.1 แสดงการยึดติดคอมโพเนนท์ลงบนบอร์ด

a) แบบ Through Hole

b) แบบ Surface Mount

ในเทคโนโลยีด้านแผ่นวงจรพิมพ์ประกอบด้วยปัจจัยที่ต้องคำนึงถึงคือ ขนาดของบอร์ด ต้นทุนในการผลิตและคุณภาพผลิตภัณฑ์ ซึ่งถ้าใช้ SMT ในการออกแบบและการผลิตแผ่นวงจรพิมพ์จะได้ผลดีกว่าการใช้ THT (Through-hole Technology) ในทุก ๆ ด้าน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า แสวงหากำไรในทุกกรณี ทั้งนี้ห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.3.1 ขนาด

จากการเปรียบเทียบการผลิตแผ่นวงจรพิมพ์ โดยใช้ SMT กับ THT พบว่าการใช้ SMT จะสามารถผลิตแผ่นวงจรพิมพ์ที่มีขนาดเล็กกว่าถึง 30-50 % ทั้งนี้เป็นผลมาจากที่คอมโพเนนท์แบบ SMT (SMCs) มีขนาดเล็กกว่า ข้อดีของ SMT อีกประการหนึ่งคือ ไม่มีการเจาะรูทะลุบอร์ด ทำให้สามารถวางอุปกรณ์ได้ทั้งสองด้านของบอร์ด ข้อได้เปรียบที่ตามมาคือเวีย (via) ของแผ่นวงจรพิมพ์แบบ SMT จะเล็กกว่าเวียของแผ่นวงจรพิมพ์แบบ THT เส้นผ่าศูนย์กลางของรูที่เจาะบนแผ่นวงจรพิมพ์แบบ SMT จะมีขนาดเล็กกว่าดังตารางที่ 2.1แสดงการเปรียบเทียบขนาดของ SMCs และ THCs (Through-hole Components)

Component type	Required land pattern area, in²	
	Surface mount	Through-hole
⅛-W resistor	0.009	0.0475
0.1-μF ceramic capacitor (X7R dielectric)	0.014	0.025
1000-μH inductor	0.025	0.046
Small-signal transistor	0.012	0.026
16-lead digital IC	0.096	0.248
68-lead digital IC	0.990	2.972*

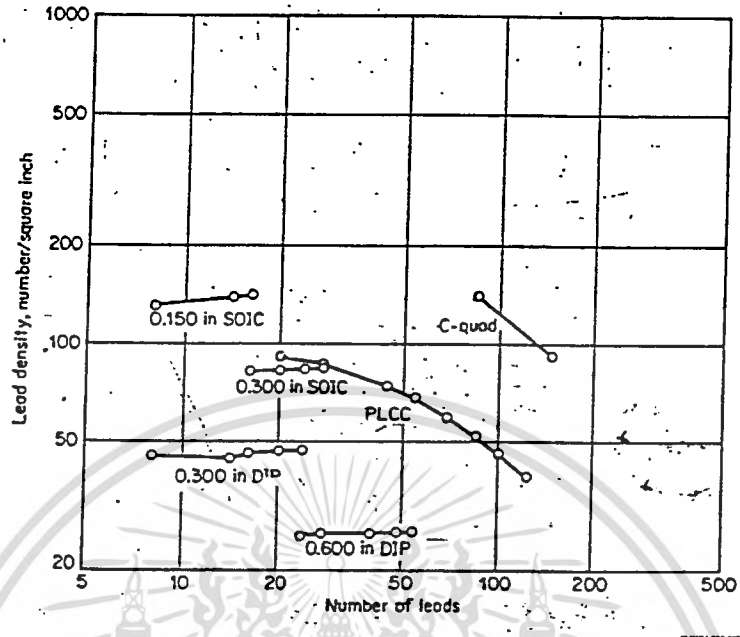
*64-lead DIP package.

ตารางที่ 2.1 แสดงการเปรียบเทียบขนาดของ SMCs และ THCs

2.3.2 การเชื่อมต่อสัญญาณระหว่างคอมโพเนนท์ (Interconnectivity)

ขนาดของคอมโพเนนท์มีส่วนสำคัญอย่างมากต่อ Interconnectivity ซึ่ง Interconnectivity เป็นสิ่งสำคัญอย่างมากที่ต้องคำนึงถึงเป็นอย่างมาก เมื่อไอซีบนบอร์ดมีจำนวนมาก ขาไอซีที่เป็น SMCs จะมีขนาดเล็ก และมีอยู่ทั้งสี่ด้านของตัว ไอซีทำให้ ไอซีขนาดเล็กมีจำนวนขาหนาแน่นมากเป็นการเพิ่ม Interconnectivity ของคอมโพเนนท์ Interconnectivity สามารถเปรียบเทียบกันได้ โดยแสดงหน่วยในรูปของ Per Unit Area บนแผ่นวงจรพิมพ์ ดังรูปที่ 2.2 แสดง Interconnectivity ของไอซี แบบต่าง ๆ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.2 แสดง Interconnectivity ของ ไอซี แบบต่าง ๆ

2.3.3 Performance

ขาของ SMCs สั้นทำให้ลด Parasitic Inductance และ Parasitic Capacitance ซึ่งจะมีค่าสูงในวงจรดิจิตอลและวงจรอนาล็อกที่มีความถี่สูง เหตุผลนี้จึงทำให้วงจรดิจิตอลและวงจรอนาล็อก ที่มีความถี่สูง ๆ นิยมใช้ SMT วงจรที่ใช้ THT จะสามารถทำงานได้ที่ความถี่ไม่เกิน 500 MHZ แต่ถ้าใช้ SMT จะสามารถทำงานได้ที่ความถี่ที่สูงกว่า 3 GHZ ได้

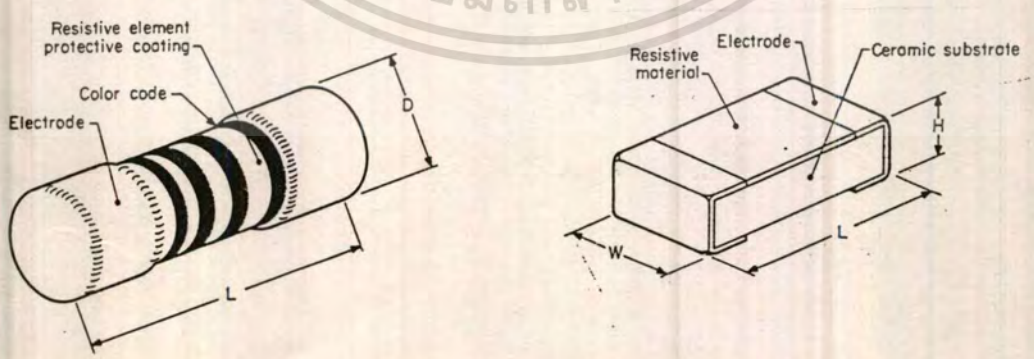
และยังเป็นการช่วยลดเวลาหน่วง ซึ่งเวลาหน่วงจะเป็นอุปสรรคสำคัญ ในวงจรที่มีการทำงานแบบซิงโครนัส เช่น ในวงจรดิจิตอล ถ้าสายสัญญาณคล็อก มีความยิ่งถี่สูงจะยิ่งถูกลดทอนมากทำให้ เวลาหน่วงมากจะทำให้สัญญาณคล็อก ที่ส่งไปถึงคอมโพเนนท์แต่ละตัวไม่พร้อมกัน เป็นเหตุให้วงจรทำงานผิดพลาด SMT จะช่วยให้วงจรดิจิตอล ทำงานได้ที่ความถี่ที่มี คล็อก สูงกว่า 10 MHZ ได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น

ข้อดีอื่น ๆ ก็คือสามารถเพิ่มการป้องกันการกระแทกการสั่นสะเทือน และการรบกวน

ของสนามแม่เหล็กไฟฟ้าของ SMT Assemblies ได้ เพราะแผ่นวงจรพิมพ์และ SMCs มีขนาดเล็กและน้ำหนักเบา

รูปที่ 2.3 แสดงตัวอย่างของ SMCs

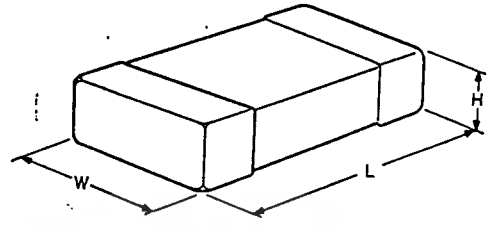


รูปที่ 2.4 แสดงตัวอย่างของ Surface Mount Resistor

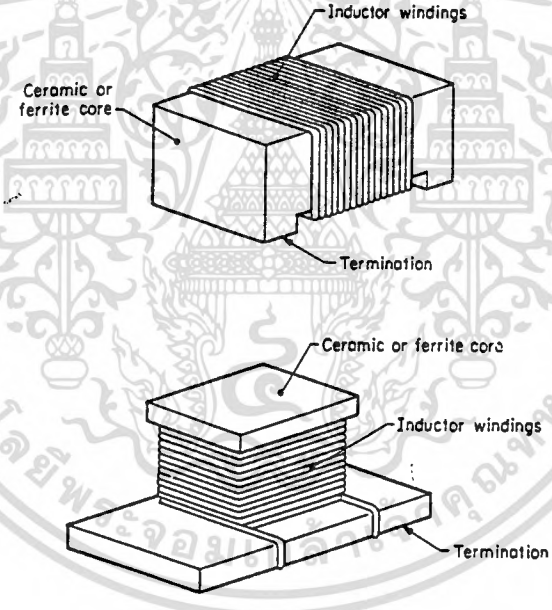
a) แบบ Rectangular Chip Resistor

b) แบบ Metal Electrode Face

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.5 แสดงตัวอย่างของ ตัวเก็บประจุ แบบ Surface Mount



รูปที่ 2.6 แสดงตัวอย่างของ Inductors แบบ Surface Mount

ปัจจุบันอุตสาหกรรมการผลิตทางด้านอิเลคทรอนิกส์ได้พัฒนาก้าวหน้าไป อย่างรวดเร็ว จากวิวัฒนาการทางด้านอุปกรณ์ที่ใช้สารกึ่งตัวนำเข้ามาแทนได้แก่ ไดโอด ทรานซิสเตอร์ ชนิด ต่าง ๆ จนกลายเป็นวงจรรวมบรรจุอยู่ในที่เดียวกันและมีขนาดเล็กมาก แต่มีขีดความสามารถทำงานได้มากกว่าและดีกว่า โดยการนำเอาวงจรรวมนี้มาประกอบกับอุปกรณ์ขึ้นเป็นวงจรโดยใช้พื้นที่เพียงเล็กน้อยได้อย่างสะดวกรวดเร็ว สามารถทำงานตามที่ต้องการได้ จึงทำให้วงจรที่มีหน้าที่การทำงานที่สลับซับซ้อนยุ่งยาก สามารถรวมกันได้โดยใช้แผ่นวงจรพิมพ์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้ง

027853

วัสดุที่ใช้ทำแผ่นวงจรพิมพ์ทำจากแผ่นทองแดงบาง ๆ ปะติดอยู่กับสารที่เป็นฉนวน เป็นแผ่นบาง ๆ ฉนวนที่ใช้อาจจะเป็นกระดาษฟีนอลิก หรือกลาสอีปอกซี่ แล้วมาผ่านกระบวนการสร้างลายวงจรบนแผ่นซึ่งมีทั้งชนิดหน้าเดียว สองหน้า จนถึงแบบมัลติเลเยอร์หรือหลายชั้น ซึ่งกำลังเป็นที่นิยมใช้กันในวงจรเครื่องคอมพิวเตอร์ในปัจจุบันนี้

2.4 ขั้นตอนในการผลิต แผ่นวงจรพิมพ์

2.4.1 การออกแบบวงจรที่ต้องการนำมาทำแผ่นวงจรพิมพ์ การออกแบบจะต้องใช้ความรู้ ทางด้านไฟฟ้าในการออกแบบวงจร

2.4.2 สร้างแผนผังของวงจรที่ต้องการทำแผ่นวงจรพิมพ์ โดยในการสร้างแผนผังควร ใช้สัญญลักษณ์ที่เป็นมาตรฐานตามแบบสากล และง่ายต่อการเข้าใจ

2.4.3 ออกแบบลายวงจรของวงจรที่จะติดอยู่บนแผ่นวงจรพิมพ์ โดยสเกลที่ใช้จะต้องถูกต้องตามความจริง ในปัจจุบันการทำแผนผังของวงจรและการออกแบบ ลายวงจรสามารถนำคอมพิวเตอร์มาช่วยในการทำงาน

2.4.4 นำลายวงจรที่ออกแบบมาทำอาร์ทเวิร์คบนแผ่นฟิล์ม โดยส่วนที่เป็นลายวงจรจะเป็น สีดำ พื้นเป็นสีใส

2.4.5 จะทำการเจาะรูบนแผ่นที่จะทำวงจรพิมพ์ในตำแหน่งที่ต้องทำการเจาะ จากนั้นจะทำการเคลือบทองแดงเข้าในผนังรอบ ๆ รูที่เจาะทุกรู ขั้นตอนนี้เราเรียกว่า Plating Through Hole จะมีประโยชน์ในการทำการเชื่อมเส้นลายวงจรที่อยู่คนละชั้นในการทำแผ่นวงจรพิมพ์ที่มากกว่าหนึ่งด้านขึ้นไป

การผลิตในอุตสาหกรรมการเจาะจะใช้Numerical Control Drilling Machine ซึ่งทำการเจาะแบบอัตโนมัติ และเลือกขนาดของรูที่เจาะได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.4.5.1 ทำ Silk screening คือการ screen ลายวงจรให้ติดไปบนแผ่นวัสดุที่ใช้ทำแผ่นวงจรพิมพ์ เพื่อให้ได้แผ่นวงจรพิมพ์จำนวนมากและเหมือนกัน

2.4.5.2 ทำการกัดทองแดงในส่วนที่ไม่ต้องการออกด้วยสารละลายเช่นSulfuric acid hydrogen peroxide เพื่อให้ได้แผ่นวงจรพิมพ์ตามต้องการ

2.4.5.3 นำแผ่นวงจรที่ได้มาตรวจสอบข้อผิดพลาด

2.4.5.4 แก้ไขข้อผิดพลาด

ในการทำงานของวงจรบนแผ่นวงจรพิมพ์ มักพบปัญหาเล็ก ๆ น้อย ๆ ที่เกิดจากแผ่นวงจรพิมพ์อยู่บ่อยครั้ง เช่น มีการทำงานผิดพลาด มีสัญญาณรบกวนเกิดขึ้นเองเป็นบางครั้งบางคราว โดยหาสาเหตุไม่พบ ทำให้เสียเวลา แรงงาน ความคิดและไม่มีประสิทธิภาพเท่าที่ควรปัญหาที่เกิด จะครั้งแรกบนวงจรต้นแบบเท่านั้น เพื่อไม่ให้เกิดปัญหาดังกล่าวนี้ ควรมีการออกแบบแผ่นวงจรพิมพ์อย่างถูกต้อง

2.5 วิธีการวางอุปกรณ์ลงบน แผ่นวงจรพิมพ์

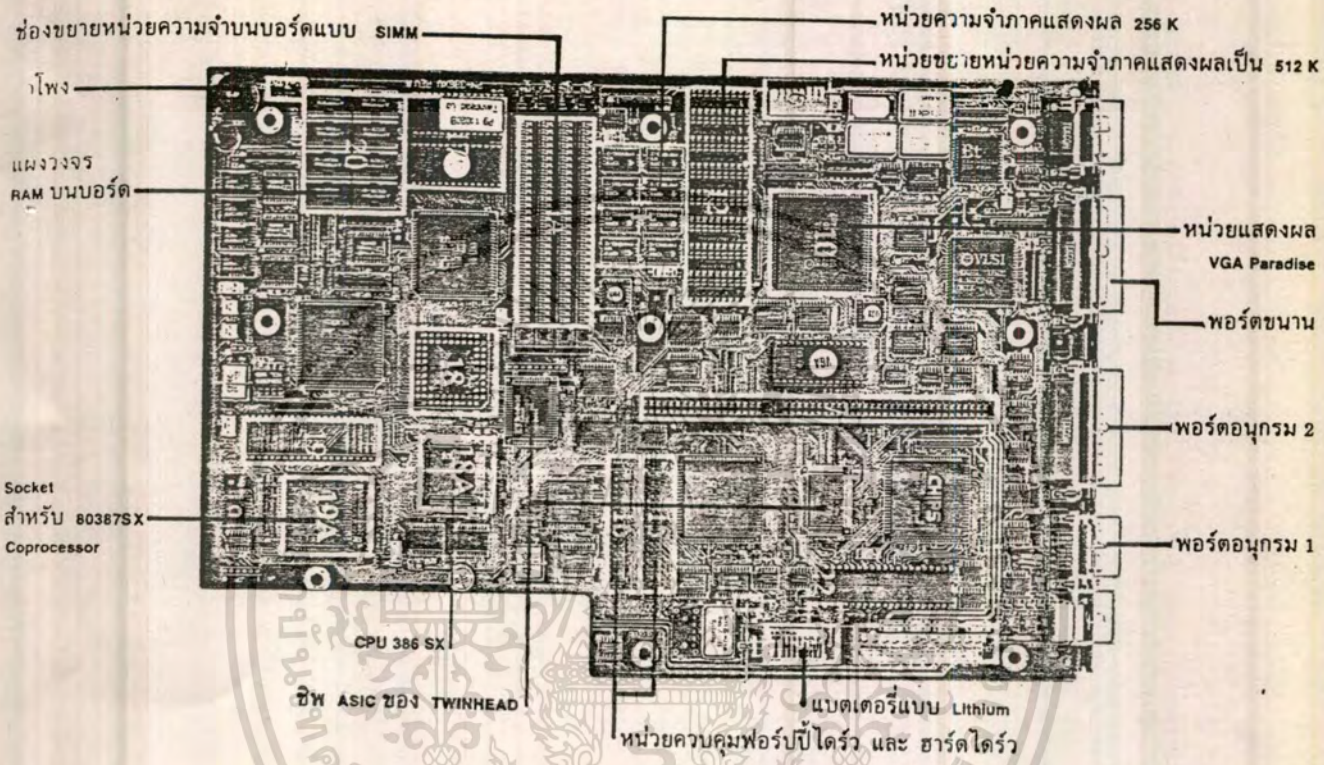
2.5.1 อุปกรณ์ที่ทำงานร่วมกันควรวางให้อยู่รวมกัน เป็นกลุ่มเดียวกันบนแผ่นวงจรพิมพ์ เช่น วงจรหนึ่งประกอบด้วยหน่วยความจำ 8 ตัว ในการวางอุปกรณ์หน่วยความจำทั้ง 8 ตัว ลงบนแผ่นวงจรพิมพ์ ควรวางติดเป็นกลุ่มเดียวกัน ดังรูป 2.7

2.5.2 อุปกรณ์ที่มีสายสัญญาณเชื่อมต่อถึงกัน ควรวางอยู่ใกล้กันในการวางอุปกรณ์ลงบนแผ่นวงจรพิมพ์ เพื่อในการเดินลายเส้นของสัญญาณจะสามารถเดินได้สั้นที่สุด

2.5.3 ในการวางอุปกรณ์ลงบนแผ่นวงจรพิมพ์ ควรวางโดยใช้เนื้อที่น้อยที่สุดเพื่อประหยัด วัตถุดิบในการผลิตและสามารถเดินลายเส้นของวงจรได้สั้นที่สุด

2.5.4 อุปกรณ์ทุกตัวที่วางอยู่บนแผ่นวงจรพิมพ์ ควรวางอยู่ในแนวเดียวกัน เช่น วางอยู่ในแนวดิ่ง หรือในแนวราบ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่อนุญาตให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูป 2.7 แสดงตัวอย่างการวางอุปกรณ์บน PCB

2.6 การสร้างลายเส้นวงจร

2.6.1 เส้นวงจรแต่ละเส้นนั้นควรจะมีระยะห่างช่วงละเท่า ๆ กัน และเพื่อไม่ให้เกิดความหนาแน่นของลายเส้นวงจรบางบริเวณมากเกินไป

2.6.2 ในการเดินลายเส้นวงจรที่สำคัญควรเดินให้สั้นที่สุด เพื่อทำให้เกิดการรบกวนและการลดทอนของสัญญาณน้อยที่สุด เช่น สัญญาณคล็อกในวงจรดิจิตอล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.6.3 ลายเส้นวงจรที่ปินข้ามกันนั้นต้องน้อยที่สุด เพื่อลดระยะทางของลาย เส้น จากการ เดินวกวนเสียพื้นที่น้อยลงและลดปัญหาของลายเส้นอื่นด้วย ถ้าใช้แผ่นวงจรพิมพ์ชนิดสองหน้า ขึ้นไปใช้การทำ PTH (Plated Through Holes) แทนการโยงสาย

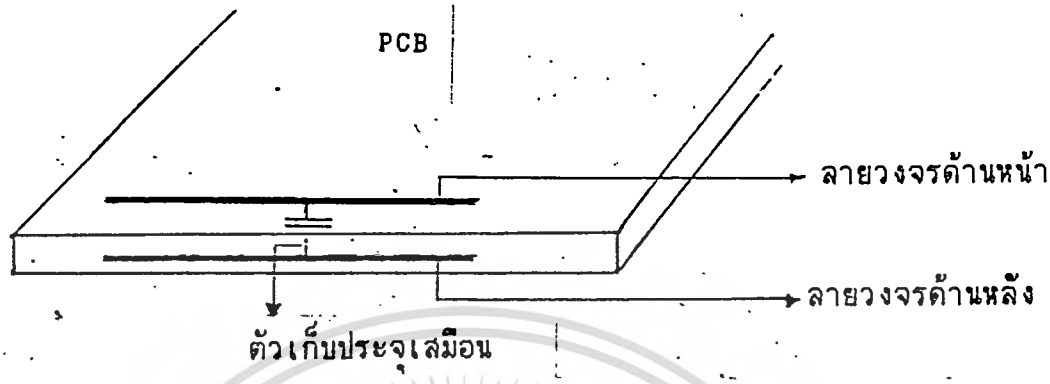
◘ ในกรณีที่ลายเส้นวงจรต้องหักมุมเลี้ยวเบนนั้น ไม่ควรจะหักเป็นมุมฉากหรือเป็นรูปตัว v เพราะจะมีปัญหาทางด้านการใช้สารละลายเกลือ หรือกรดกัดทองแดงส่วนที่ไม่ต้องการออกไม่หมด และยังจะทำให้เกิดปัญหาหลุดออกจากปลายแผ่นวงจรพิมพ์ได้ง่าย เช่น ในกรณีที่ได้รับความร้อนจากหลายหัวแร้งบัดกรี หรือในกรณีที่มีกระแสไหลผ่านตัว v มาก วิธีที่ดีในการ เลี้ยวเบนลายวงจรนั้นควรจะค่อย ๆ โค้งให้ได้ระยะห่างระหว่างลายเส้นเท่า ๆ กัน หรือจะทำให้เป็นลายเส้นวงจรหักเป็นช่วง ๆ ดังรูป 2.8

รูป 2.8 แสดงตัวอย่างการหักมุมลายเส้น

◘ ขนาดของลายเส้นวงจรนั้นควรจะพิจารณาตามปริมาณของ กระแสไฟฟ้าที่ไหลผ่านลายเส้นวงจรที่มีขนาดเล็กมากนั้น ย่อมจะมีค่าความต้านทานมากกว่าลายเส้นวงจรที่มีขนาดใหญ่ และระยะความยาวของลายเส้นวงจรที่เพิ่มขึ้นจะทำให้มีค่าความต้านทานมากขึ้นด้วย ซึ่งจะมีผลทำให้แรงดันของสัญญาณไฟฟ้าขณะที่ถูกโหลดนั้นสูญเสียไปกับลายเส้นวงจร ลายเส้นวงจรที่มีปริมาณกระแสไหลผ่านมากควรมีขนาดใหญ่ ลายเส้นวงจรที่มีปริมาณกระแสไหลผ่านน้อยควรมีขนาดเล็ก เช่น เส้นลายของ Power ควรมีขนาดใหญ่

◘ ในกรณีแผ่นวงจรพิมพ์สองหน้า แนวของลายวงจรที่อยู่ในแต่ละหน้าควรอยู่ในแนวที่ตั้งฉากกัน เพื่อหลีกเลี่ยงปัญหาการเกิด ค่า C Coupling ในวงจรที่มีความถี่เข้ามาเกี่ยวข้อง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ในเชิงพาณิชย์ ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูป 2.9 แสดงตัวเก็บประจุเสมือนที่เกิดขึ้น

- กราวด์ (Ground) ในวงจรควรเป็นจุดเดียวเพื่อลดปัญหา Stray Inductance ในวงจรดิจิตอลสามารถเดินกราวด์ เป็นแถบที่กว้างและยาวเพื่อลดปัญหานี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 3
อาร์ดแวร์ ซอฟต์แวร์ และทฤษฎีในการออกแบบ

3.1 CAD

ปัจจุบันการใช้คอมพิวเตอร์ช่วยในการออกแบบหรือที่เรียกว่า CAD (Computer Aid Design) ได้พัฒนาก้าวล้ำไปไกลมาก ซึ่งก็เป็นเครื่องไม้เครื่องมือที่สำคัญสำหรับวิศวกรและนักออกแบบทั่วไป วิทยาการนี้เกี่ยวข้องกับการใช้คอมพิวเตอร์มาเป็นเครื่องมือสำหรับช่วยในการในการวิเคราะห์และเขียนแบบทางวิศวกรรม ดังนั้นหน้าที่หลักของ CAD ก็คืออำนวยความสะดวกในการเขียนแบบที่ต้องการตัดความยุ่งยากจากการเขียนบนกระดาษ และจำลองแบบการทำงานจริงของชิ้นงานที่ได้ออกแบบไว้ในสภาวะต่างๆหรือวิเคราะห์ประสิทธิภาพหรือคุณภาพของชิ้นงานนั้น โดยไม่ต้องสร้างชิ้นงานต้นแบบขึ้นมาทดลองจริงและไม่ต้องเสียเวลามานั่งคำนวณด้วยตนเอง

CAD ยังสามารถแบ่งออกไปอีกได้หลายอย่างเช่น CAD ทางการออกแบบโครงสร้างอาคาร CAD ทางด้านการออกแบบวงจรอิเลคทรอนิกส์ เป็นต้น สำหรับโครงงานที่ทางกลุ่มได้ทำก็เกี่ยวข้องกับ CAD ทางด้านการออกแบบ แผ่นวงจรพิมพ์

ความสามารถของ CAD ของการออกแบบแผ่นวงจรพิมพ์สามารถทำได้ตั้งแต่ออกแบบ Schematic จำลองการทำงานของวงจร และออกแบบเป็นลายวงจรบน แผ่นวงจรพิมพ์ โดยลายละเอียดการทำงานของแต่ละส่วน และอุปกรณ์อาร์ดแวร์ซอฟต์แวร์จะกล่าวในหัวข้อถัดไป

3.2 อาร์ดแวร์

ย้อนหลังไปประมาณสิบกว่าปีก่อน พวกวิศวกรมืออาชีพ สถาปนิก และนักออกแบบก็ได้มีการนำคอมพิวเตอร์มาช่วยในการออกแบบและการคำนวณกันแล้ว และบรรดาพวกมืออาชีพเหล่านี้ก็ได้เผชิญกับปัญหาในการที่จะใช้คอมพิวเตอร์ 2 ประการคือประการแรกความสามารถอันจำกัดของเครื่องไมโครคอมพิวเตอร์ และประการหลังคือการที่ราคาของเครื่องมินิคอมพิวเตอร์ สูงเกินไป แม้จะมีความสามารถได้ตามความต้องการทุกอย่างก็ตาม ไมโครคอมพิวเตอร์นั้นนอกจาก CPU จะไม่มีความสามารถเพียงพอแล้ว หน่วยความจำ ทรัพยากรที่จะใช้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งไม่อนุญาตให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ร่วมกัน และความละเอียดของจอภาพก็ยังไม่เพียงพออีกด้วย ส่วนระบบมินิคอมพิวเตอร์นั้นสนองความต้องการได้ทุกอย่าง แต่ราคาค่อนข้างแพงมาก และยังไม่สามารถจะตอบสนองในลักษณะโต้ตอบฉับพลัน (interactive) ได้รวมทั้งยังไม่มีลักษณะที่เป็นส่วนตัวอีกด้วย

เนื่องจากเทคโนโลยีทางด้านฮาร์ดแวร์ได้เจริญรุดหน้าไปอย่างรวดเร็ว จึงทำให้ช่องว่างที่เกิดขึ้นดังกล่าวแล้วนั้นได้ถูกถมให้หมดไปโดยเมื่อปี 1981 บริษัท Apollo Computer และบริษัท Sun Microsystems ได้ผลิตเครื่องคอมพิวเตอร์แบบเวิร์คสเตชันซึ่งเป็นเครื่องคอมพิวเตอร์ที่ออกแบบมาเฉพาะสำหรับวิศวกรหรือนักออกแบบทั้งหลายสามารถทำงานเฉพาะด้านได้เช่น วิศวกรรมอิเล็กทรอนิกส์ CAD งานทางด้าน AI การช่วยเขียนซอฟต์แวร์ทางด้านวิศวกรรม ช่วยงานพิมพ์ งานสร้างภาพ 3 มิติ และแม้กระทั่งนำมาใช้บริการทางด้านการเงินต่างๆ

จะเห็นได้ว่างานทางด้าน CAD ช่วยในการออกแบบแผ่นวงจรพิมพ์ก็ต้องใช้เครื่องคอมพิวเตอร์ที่มีประสิทธิภาพสูงดังเช่น **เวิร์คสเตชัน** ทางกลุ่มก็ได้เลือกใช้เวิร์คสเตชัน Apollo model 3500 จากบริษัท Hellet-Packart เป็นคอมพิวเตอร์ในการออกแบบ ส่วนซอฟต์แวร์ ด้าน CAD ก็ใช้ Mentor Graphic จากบริษัท Mentor Graphic

3.3 ซอฟต์แวร์

ซอฟต์แวร์ด้าน CAD ที่ใช้ในการออกแบบแผ่นวงจรพิมพ์ทางกลุ่มได้ใช้ซอฟต์แวร์ Mentor Graphic ซึ่งเป็นซอฟต์แวร์ที่ค่อนข้างสมบูรณ์มาก โดยจะแบ่งออกเป็นโปรแกรมย่อยๆอีกหลายตัวเพื่อใช้งานในแต่ละส่วนของการออกแบบ

3.3.1 ขั้นตอนการออกแบบ

สำหรับการออกแบบแผ่นวงจรพิมพ์ของ Mentor Graphic จะแบ่งขั้นตอนออกเป็น 10 ขั้นตอนหลักๆ ดังนี้

1. Entry Schematic :

ส่วนแรกจะเป็นการออกแบบวงจร (Schematics) ที่ต้องการ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2. Creat symbol library :

สร้าง symbol ที่ต้องการ ปกติ Mentor Graphics จะมี Library มาตรฐานของ symbol มาให้ แต่ในกรณีที่ไม่มี symbol ที่ต้องการ ก็ต้องสร้างขึ้นมาเอง เช่น 80386SX, 80387SX ฯลฯ

3. Prepaing the Schematics for Board Station :

เป็นการสร้างอินฟอร์เมชันใหม่เพื่อใช้ในโปรเซสต่อไปของ PCB design

4. Creating PCB Parts for the Design :

เป็นการกำหนด physical geometry ของคอมโพเนนท์เช่น กำหนด thru-pin , via padstacks, graphics layers รวมถึงการสร้างเมนบอร์ดด้วย

5. Preparing the Packaging Supports Data :

เป็นการกำหนดข้อมูล Mapping file เพื่อเก็บข้อมูลว่า symbol instances ที่บรรจุใน components package และ Catalog file เก็บคอมโพเนนท์ที่ใช้ในการออกแบบ PCB

6. Assigning Symbols to Components (Packaging) :

เป็นการกำหนด symbol บน schematic เป็นฟิสิคอลคอมโพเนนท์

7. Placing Components on the Board :

เป็นการวางคอมโพเนนท์ต่างๆลงบนเมนบอร์ด

8. Routing the Component Pin Connectionms :

เป็นการ rout สายต่างๆของวงจร โดยใช้ซอฟต์แวร์ LAYOUT

9. Generating the Manufacturing Data :

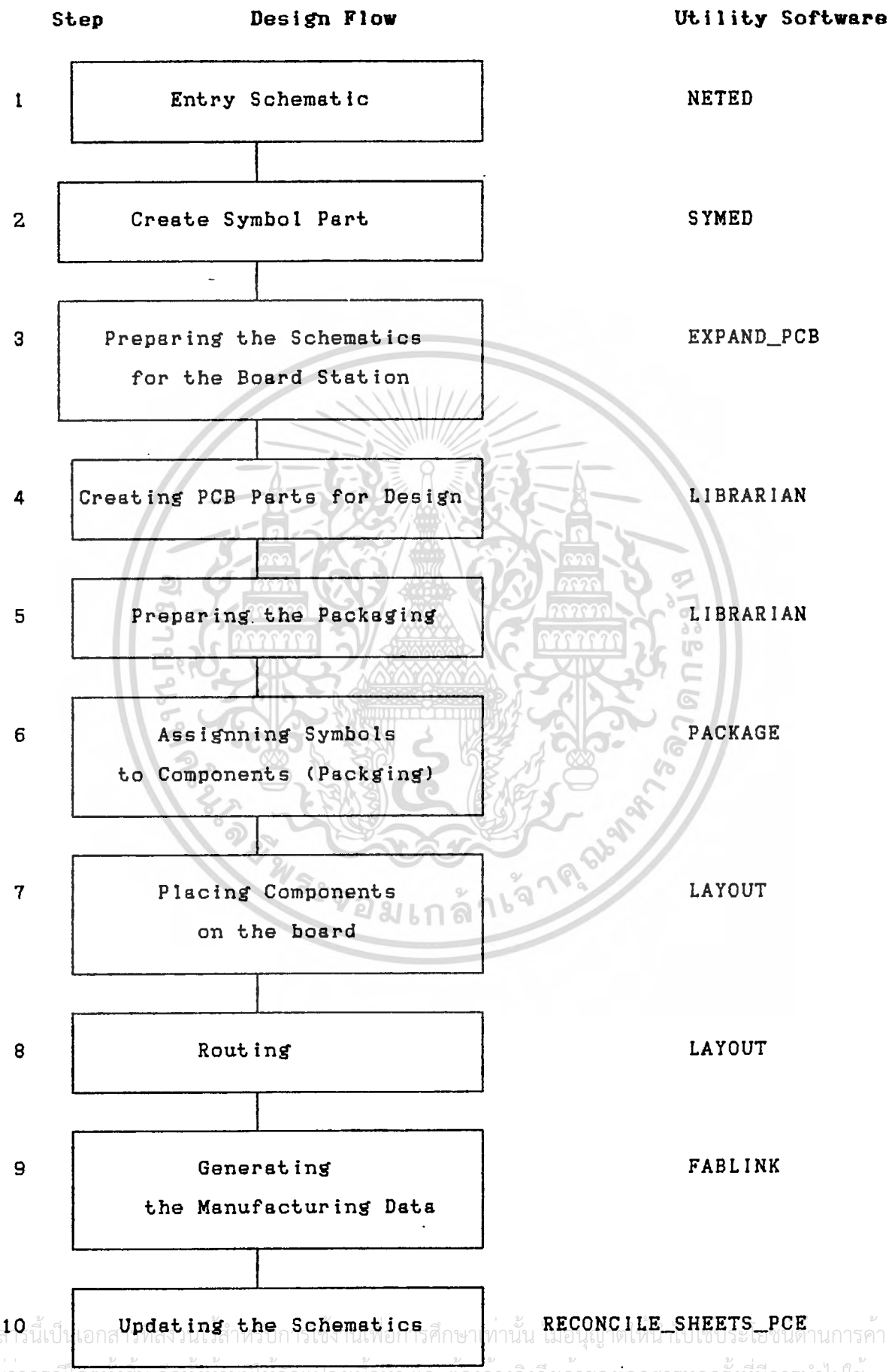
สร้างรายงานต่างๆที่จำเป็นต่อการส่งไปทำ Fabrication

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

10. Updating the Schematics :

อัปเดท Schematic

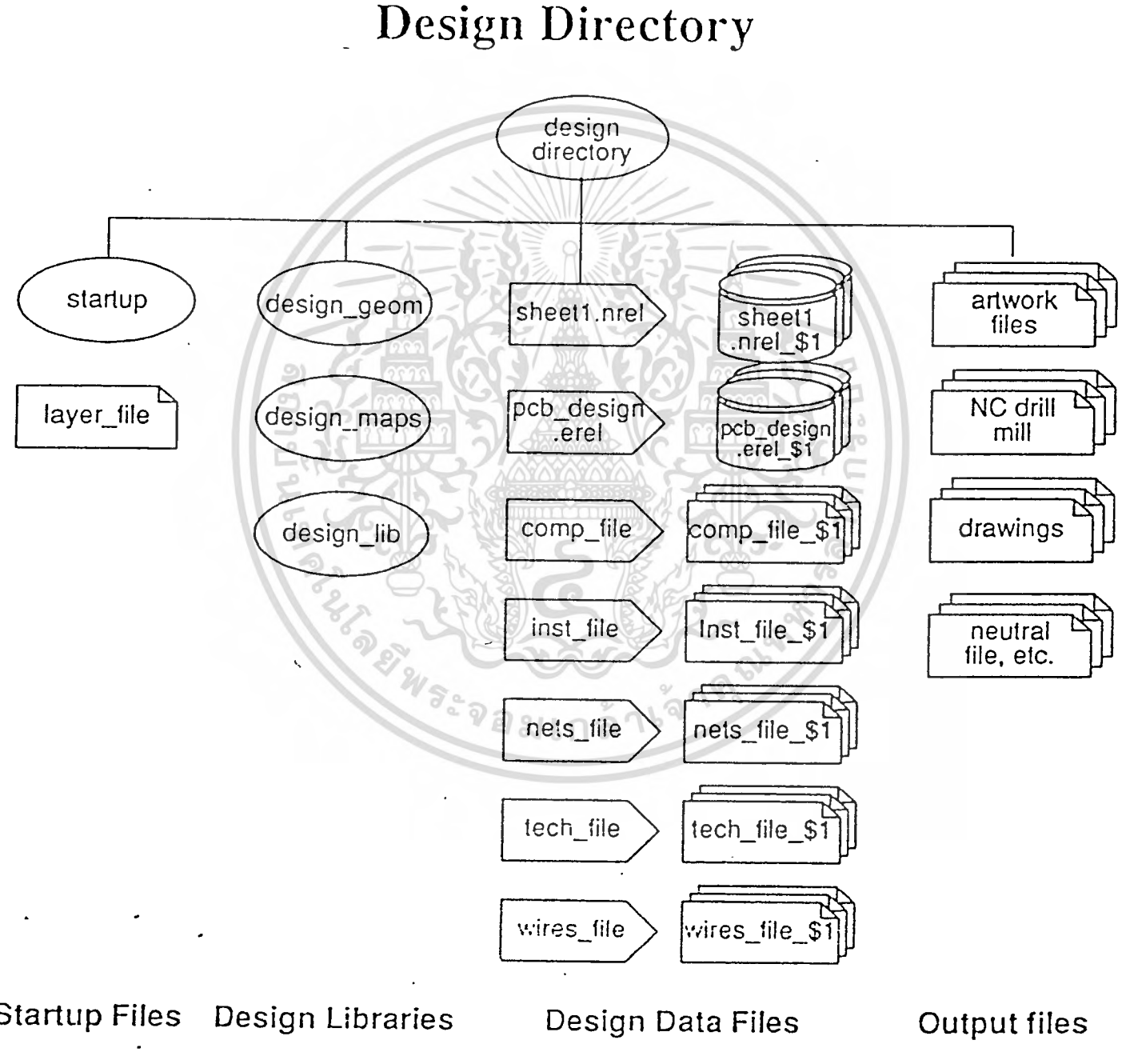
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.4 รายละเอียดของ Mentor Graphics

เมื่อทราบรายละเอียดของขั้นตอนการออกแบบแล้วต่อไปจะเป็นอธิบายถึงความสามารถและการใช้งานของโปรแกรมแต่ละตัวของ Mentor Graphics

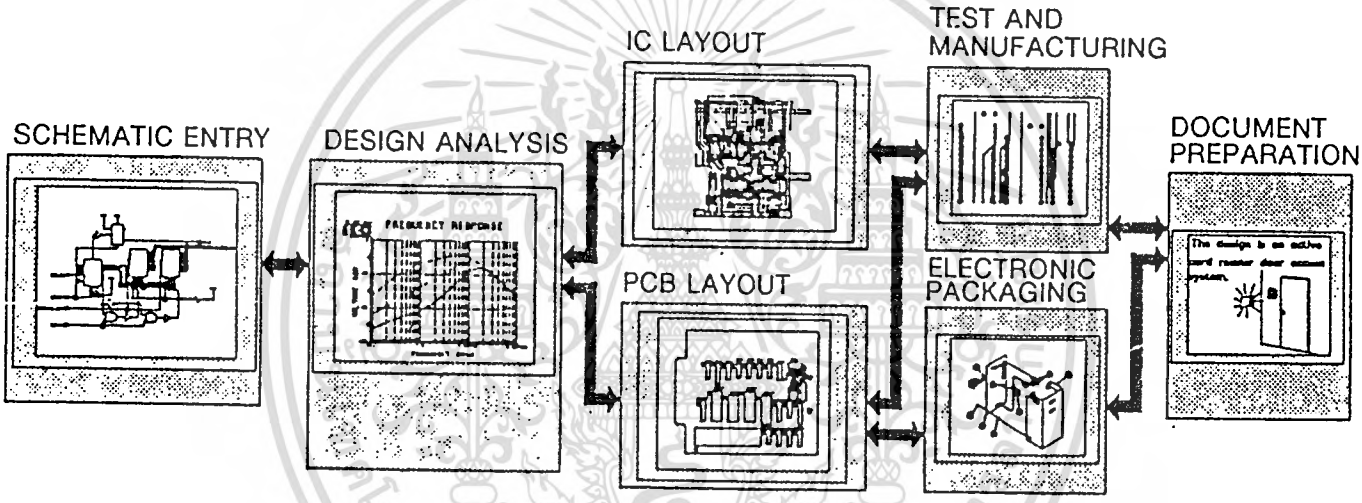


รูป 3.1 โครงสร้างไดเรกทอรีที่ใช้ในการออกแบบ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.4.1 NETED

โปรแกรมนี้เป็นส่วนแรกที่ต้องใช้ในการออกแบบ โดยมันสามารถให้คุณวาดสัญญลักษณ์ทางไฟฟ้ามาประกอบกันเป็นวงจรทางไฟฟ้าตามที่ออกแบบ เมื่อเรียก NETED ใช้งานแล้ว ก็สามารถเรียกคอมโพเนนท์ซึ่งอยู่ในไลบรารีมาตรฐานของ NETED ซึ่งประกอบไปด้วยคอมโพเนนท์มาตรฐานที่ใช้งานกันทั่วไปเช่น อนุกรมของ 74LS, 74ALS , CMOS, ECL และคอมโพเนนท์อนาลอกอื่นๆ ออกมาลากสายเชื่อมต่อกันเพื่อเป็นวงจรที่ออกแบบ



รูป 3.2 วงจรขบวนการออกแบบทางวิศวกรรม

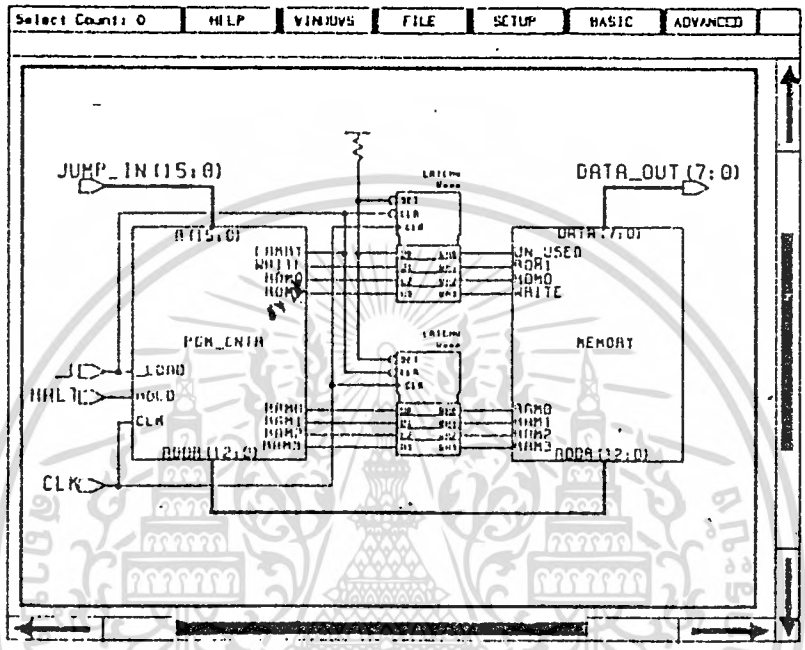
ฟังก์ชันหลักๆที่ใช้ใน NETED

- ไลบรารีมาตรฐานต่างๆของคอมโพเนนท์
- ย่อขยายขนาดของชีท และวิวชีทเป็นพื้นที่เฉพาะได้
- พล็อทชีท เพื่อใช้ในการอ้างอิงตรวจสอบ หรือแก้ไขซึ่งสามารถกำหนดสเกลได้
- การ Copy Move Rotate และ Delete คอมโพเนนท์
- การลากสายสัญญาณทางไฟฟ้า
- การตรวจสอบ (Check) Schematic ซึ่งเป็นการตรวจสอบว่ามีข้อผิดพลาดอะ

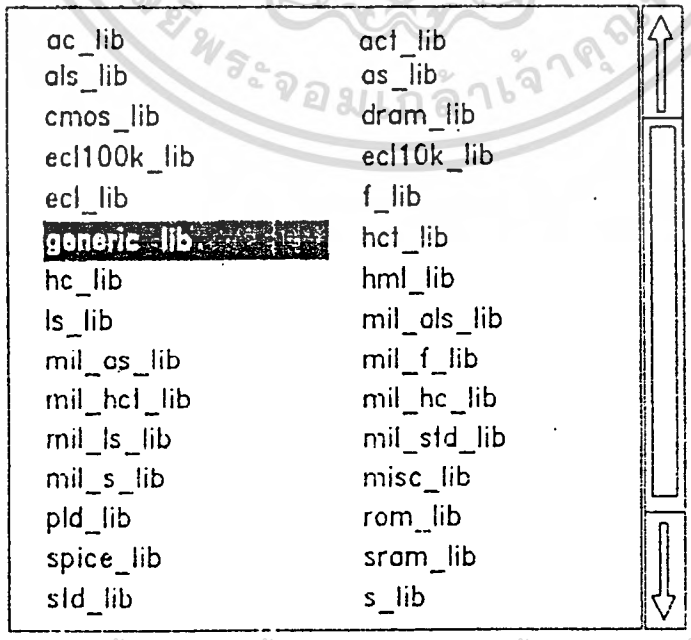
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งไม่อนุญาตให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ไรเกิดขึ้นในการเขียน Schematic

- ถ้าวงจรมีขนาดใหญ่สามารถแบ่งออกเป็นชีทย่อยๆมาต่อกันได้ (Multi Sheet)
- สามารถเซตขนาดกริดระยะห่างของกริดเพื่อสะดวกในการสร้าง Schematic



รูป 3.3 ตัวอย่าง Schematic Sheet



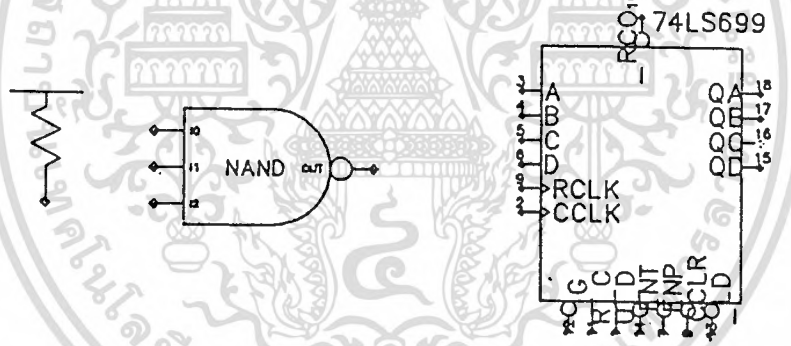
รูป 3.34 ไลบรารีคอมโพเนนท์มาตรฐานของ NETED

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งไม่อนุญาตให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.4.2 SYMED

ในการสร้าง Schematics ต้องใช้หลายคอมโพเนนท์มาเชื่อมต่อกัน ในบางกรณีต้องใช้คอมโพเนนท์พิเศษซึ่งไม่มีในไลบรารีของ NETED ก็จำเป็นต้องสร้างขึ้นมาใช้งานเองโดยสามารถที่จะสร้างได้โดยใช้โปรแกรม SYMED

SYMED เป็นคำย่อของ Symbol Editor ซึ่งเป็นเครื่องมือที่ใช้ในการสร้างและอีดิตสัญญลักษณ์คอมโพเนนท์ เพื่อใช้ในส่วนของ NETED ตัวอย่างเช่น i860 ซึ่งเป็นคอมโพเนนท์ที่ออกมาใหม่ยังไม่มีในไลบรารีของ NETED ก็สามารถใช้ SYMED สร้างขึ้นมาโดยต้องรู้คุณสมบัติของ คอมโพเนนท์ i860



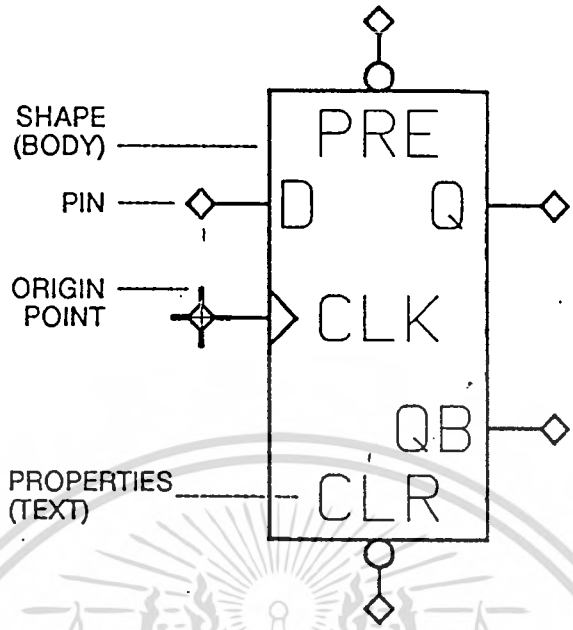
รูป 3.5 ตัวอย่างสัญญลักษณ์คอมโพเนนท์

ส่วนประกอบคอมโพเนนท์

คอมโพเนนท์ที่ต้องการสร้างนั้นจะประกอบด้วย 4 ส่วนใหญ่ ๆ คือ

- Shape (body) จะเป็นส่วนที่ปรากฏให้เห็นใน Schematic
- Pin เป็นจุดซึ่งมีไว้สำหรับการเชื่อมต่อทางไฟฟ้า
- Origin Point เป็นจุดอ้างอิงสำหรับการวางตัว Component
- Properties เป็น Text ที่เอาไว้ใช้อ้างอิงของตัว Component

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูป 3.6 แสดงส่วนต่างๆของสัญญลักษณ์คอมโพเนนท์

ฟังก์ชันหลักๆที่ใช้ใน SYMED

- การ Copy Move Rotate และ Delete คอมโพเนนท์จะเหมือน NETED
- ย่อขยายขนาดของชีท และวิวชีทเป็นพื้นที่เฉพาะได้
- สามารถเซตขนาดกริด ระยะห่างของกริด เพื่อสะดวกในการสร้างคอมโพเนนท์
- การลากเส้นเพื่อสร้างเป็นตัวคอมโพเนนท์ ซึ่งการวาดสามารถวาดได้ทั้งรูปสี่เหลี่ยม เส้นตรง และส่วนโค้ง และมีเส้นแบบต่างๆให้เรียกใช้เช่น เส้นธรรมดา เส้นทึบ เส้นประ เป็นต้น
- การ Check คอมโพเนนท์ซึ่งเป็นการตรวจสอบว่ามีข้อผิดพลาดอะไรเกิดขึ้นในการสร้างคอมโพเนนท์

3.4.3 EXPAND_PCB

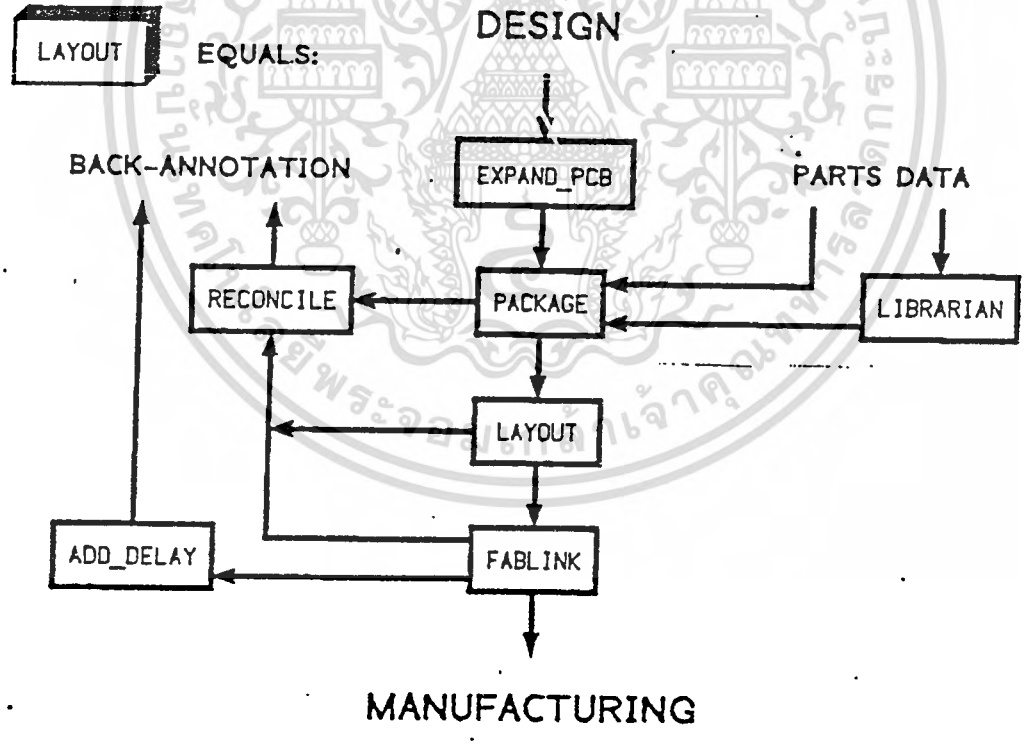
ส่วนนี้จะเป็นการแปลงอินฟอร์เมชันในรูปที่เก็บแบบ Schematic ให้เป็นในอีกแบบหนึ่ง เพื่อจะนำอินฟอร์เมชั่นส่วนนี้ไปใช้ต่อในขั้นตอนการทำบอร์ดสเตชั่น (Board Station)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.4.4 LIBRARIAN

ขั้นตอนนับตั้งแต่นี้ไปจะเป็นการทำในส่วนของบอร์ดสเตชั่นซึ่งบอร์ดสเตชั่นเป็นเซตของโปรแกรมที่ใช้ในการออกแบบแผ่นวงจรพิมพ์และเอาท์พุทจากบอร์ดสเตชั่นก็ เป็นอินฟอร์เมชั่นและข้อมูลที่ใช้ในการสร้างแผงวงจรจริงๆ

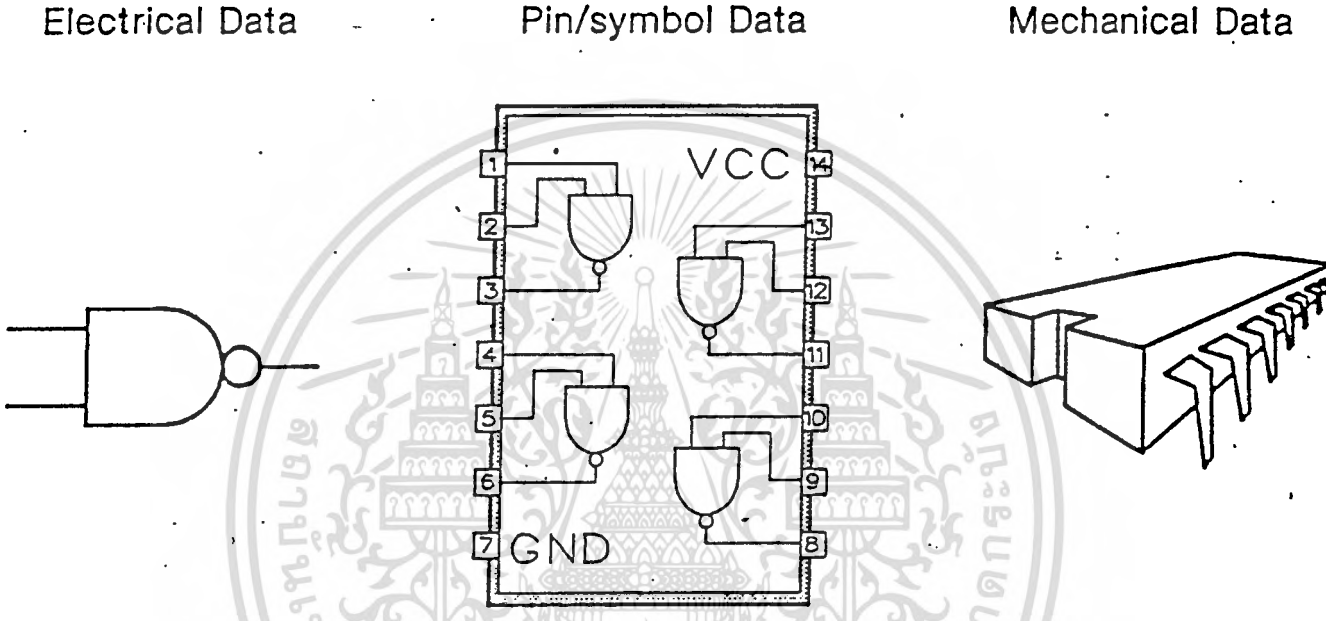
เซตของโปรแกรมในส่วนบอร์ดสเตชั่นประกอบด้วย LIBARIAN, PACKAGE, LAYOUT, Fablink



รูป 3.7 รูปแสดงขั้นตอนการทำงานในส่วนของบอร์ดสเตชั่น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

LIBRARIAN เป็นโปรแกรมแรกในส่วนบอร์ดสเตชั่นโดยมันสามารถสร้างส่วน parts ที่คุณออกแบบ ซึ่งรวมถึงการสร้าง บอร์ด, จิโอเมตรี (geometry), แพด และ เวีย ต่อไปจะเป็นการกล่าวถึงส่วนประกอบสำคัญที่ต้องศึกษาก่อนใช้โปรแกรม LIBRARIAN



รูป 3.8 Library Part Data

Library Parts Data จะประกอบไปด้วย 3 ส่วนคือ

- Electrical data

  เป็นข้อมูลทางไฟฟ้าที่ใช้ในการออกแบบที่มีผลต่อวงจร เช่นเวลาหน่วงของพิน ของแนนเกต

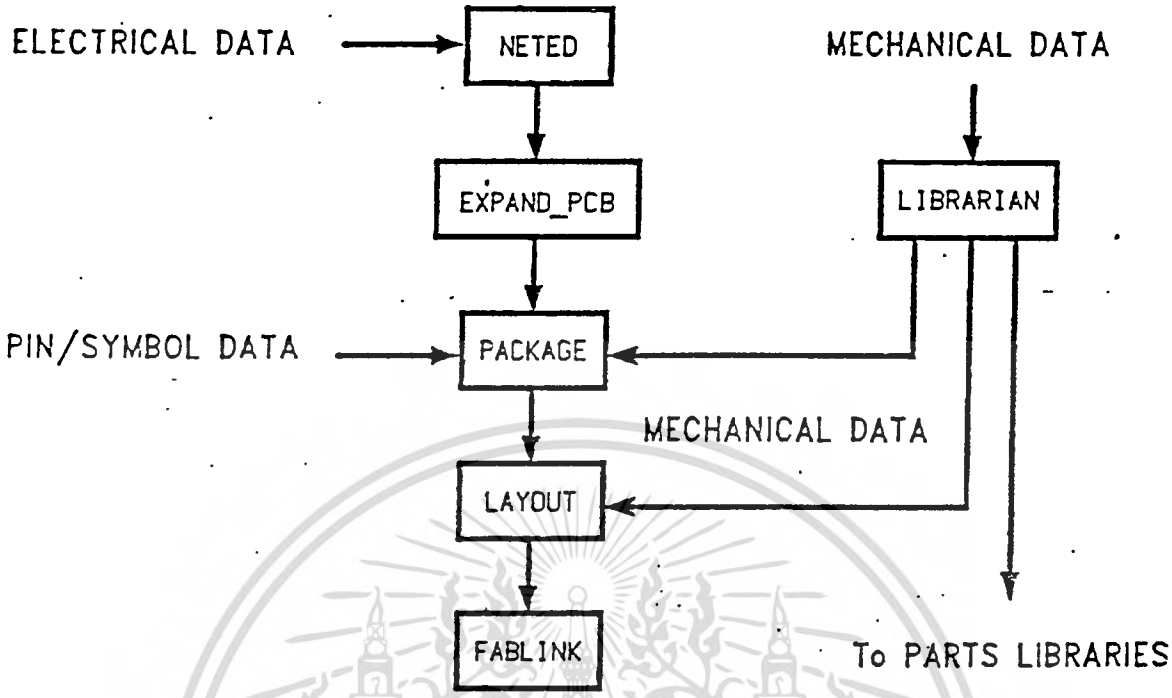
- พินและสัญญลักษณ์ข้อมูล (Symbol Data)

  พินและสัญญลักษณ์ข้อมูลใช้ในการอธิบายว่าฟังก์ชันทางไฟฟ้าอยู่ที่ตำแหน่งใดใน physical package

- Mechanical Data

  ใช้ในการอธิบายขนาดและรูปร่างของ physical package

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

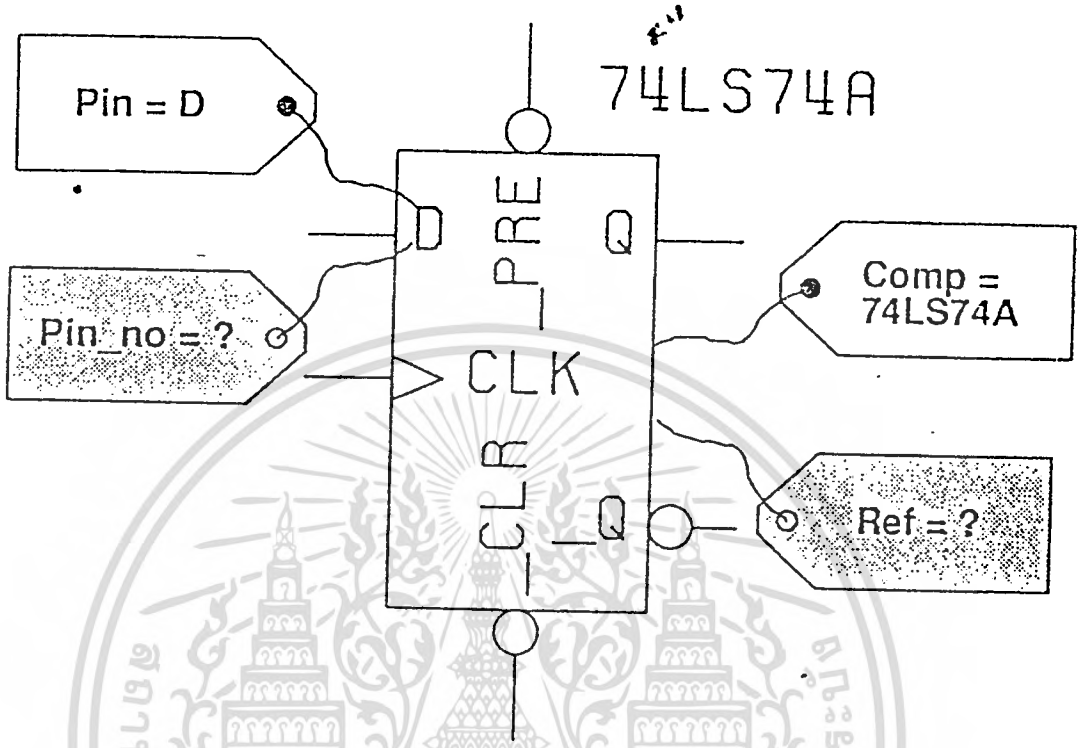


รูป 3.9 ผังงานแสดงขั้นตอนในการสร้างพาร์ท

Parts Data Flow จะกล่าวถึงขั้นตอนในการสร้างพาร์ท

- พินและสัญญลักษณ์ข้อมูลจะต้องถูกสร้างเป็นไฟล์แมปปิ้งซึ่งไฟล์เหล่านี้จะประกอบไปด้วยอินฟอร์เมชั่นซึ่งอธิบายความสัมพันธ์ของสัญญลักษณ์บน Schematic
- mechanical data จะอยู่ในส่วนไลบรารีพาร์ทซึ่งส่วนนี้จะเก็บในไฟล์จีโอเมตรี ซึ่งไฟล์นี้จะอธิบายถึง ขนาด รูปร่าง ตำแหน่งของพินและข้อมูลการวาดส่วนอื่น
- ไฟล์คาตาล็อกจะอธิบายทุกส่วนของหมายเลขพาร์ทในไลบรารี ซึ่งแต่ละหมายเลขพาร์ท จะมีความสัมพันธ์กับรูปแบบจีโอเมตรี และไฟล์แมปปิ้ง
- PACKAGE จะใช้ไฟล์แคตาล็อกในการหาอินฟอร์เมชั่น ซึ่งจะอธิบายว่าสัญญลักษณ์บน Schematic กำหนดบน physical package อย่างไร
- ไฟล์จีโอเมตรีและไฟล์แคตาล็อกจะถูกโปรเซสใน PACKAGE ซึ่งมันจะผลิตข้อมูลสำหรับใช้ในโปรแกรม LAYOUT

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

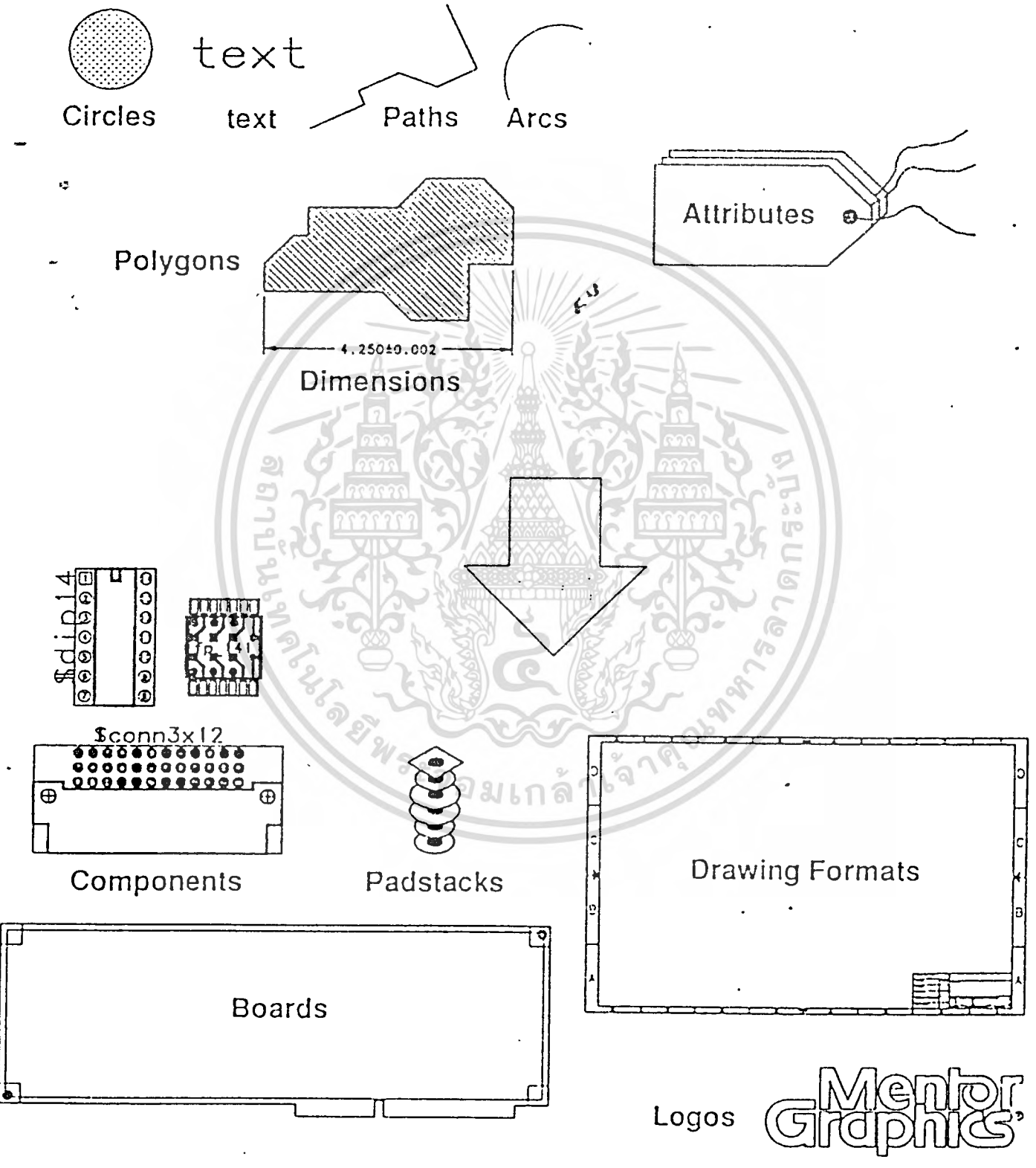


รูป 3.10 คุณสมบัติของสัญญลักษณ์

คุณสมบัติของสัญญลักษณ์

- ต้องมีคุณสมบัติแสดงตัวของสัญญลักษณ์ตัวอย่างเช่นคุณสมบัติ Ref เท่ากับ U10
- คุณสมบัติเท็กซ์ ซึ่งมีคุณสมบัติดังนี้ (visibility, orientation, height, justification
- สำหรับ PCB layout แล้วสัญญลักษณ์จะต้องมีพินและคุณสมบัติคอมพ์ (comp)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

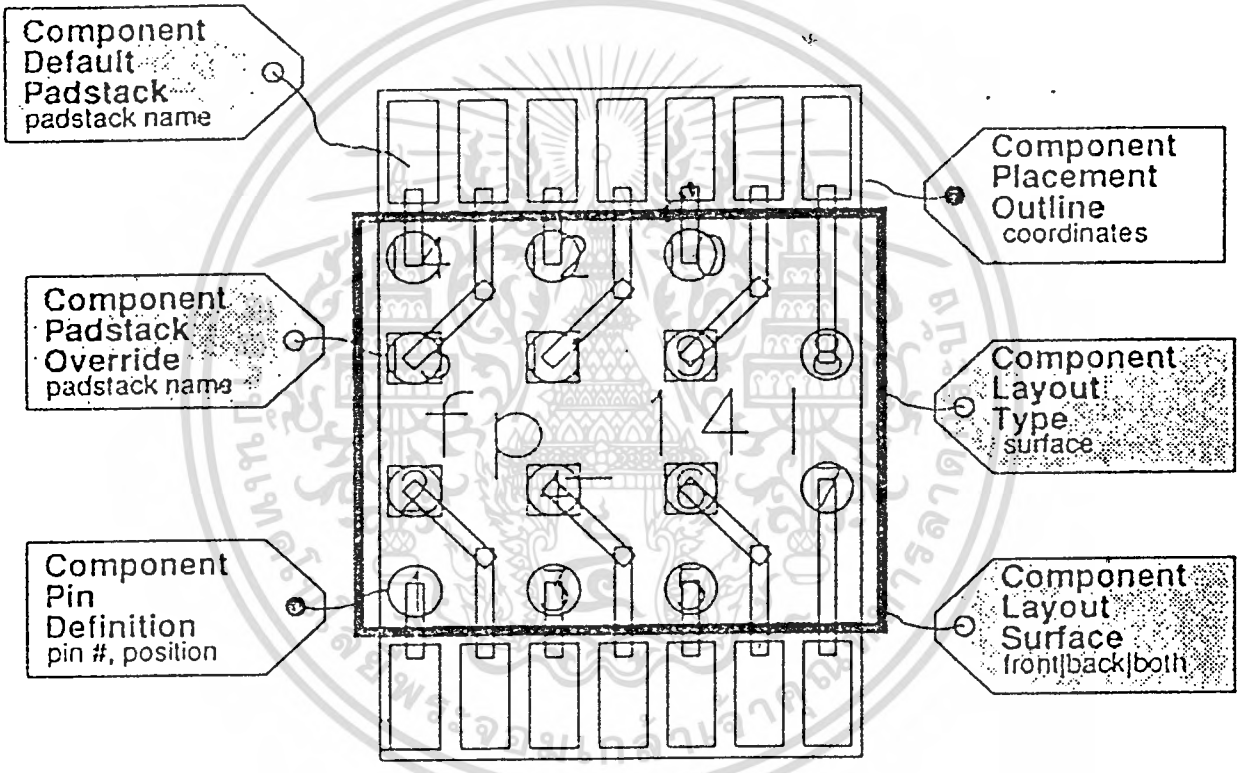


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูป 3.11 จิโอเมตรี

จีโอเมตรี

- สามารถวาดวงกลม เส้นโค้ง รูปหลายเหลี่ยม หรือเท็กซ์ เพื่อสร้างบอร์ดคอมโพเนนท์ และ แพดสแตก หรือจะวาดฟอร์แมต โลโก และ จีโอเมตรีอื่นๆได้
- สามารถสร้างเลเยอร์ใช้งานได้ถึง 256 เลเยอร์
- สามารถที่จะสร้าง วิว และแก้ไขได้
- หน่วยที่ใช้มี cm, mm, mils และนิ้ว ซึ่งมีความละเอียดถึง .00005 นิ้ว



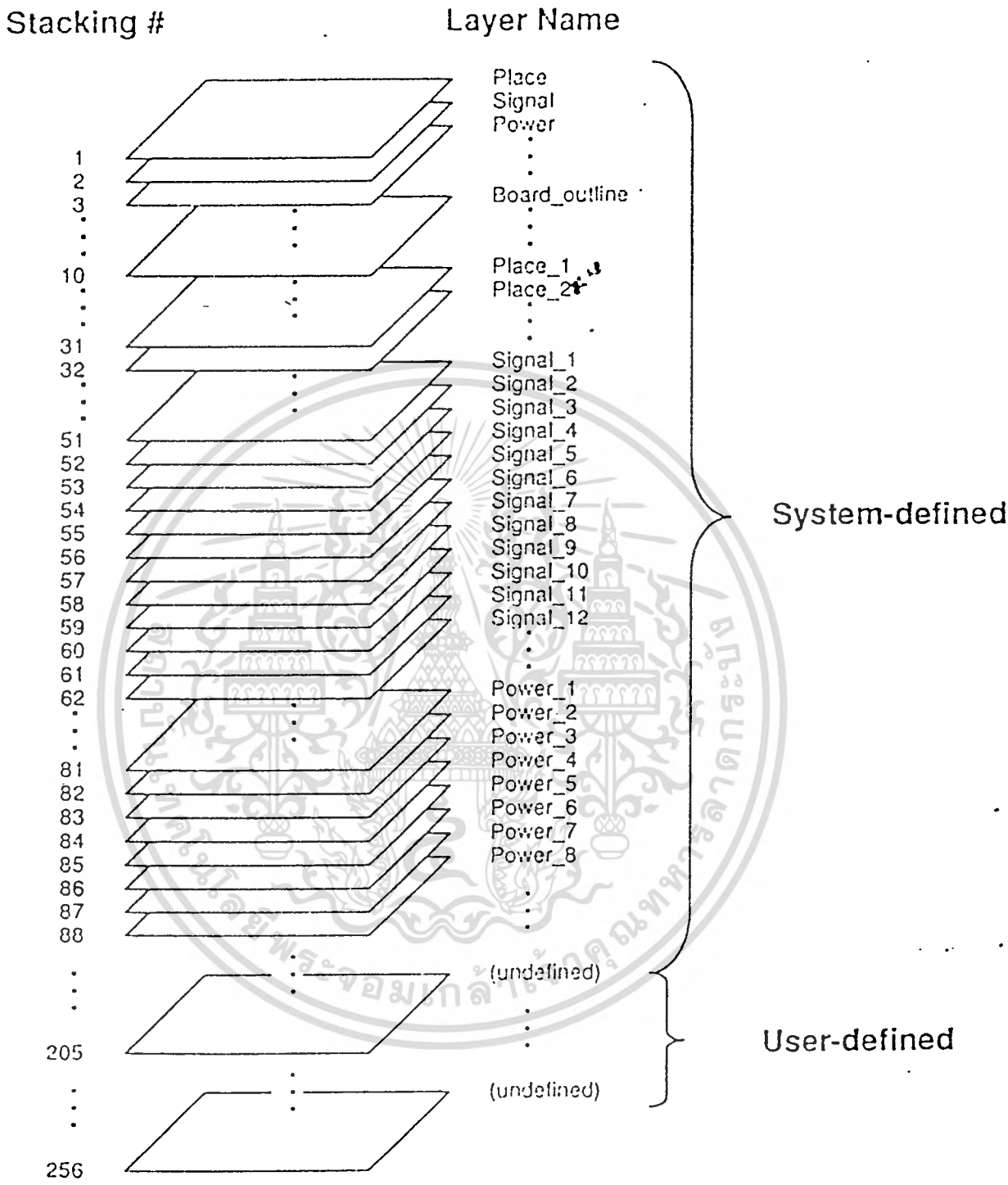
รูป 3.12 แอสตริบิวส์ของจีโอเมตรี (Geometry Attributes)

แอสตริบิวส์ของจีโอเมตรี

แอตตริบิวต์เป็นลักษณะที่ต้องกำหนด สำหรับใช้ในการ placement และ routing

- แอตตริบิวต์มีความสัมพันธ์กับรูปแบบ geometry
- บางแอตตริบิวต์จำเป็นต้องมี และบางแอตตริบิวต์เป็นออปชั่นให้เลือกใส่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูป 3.13 เลเยอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เลเยอร์

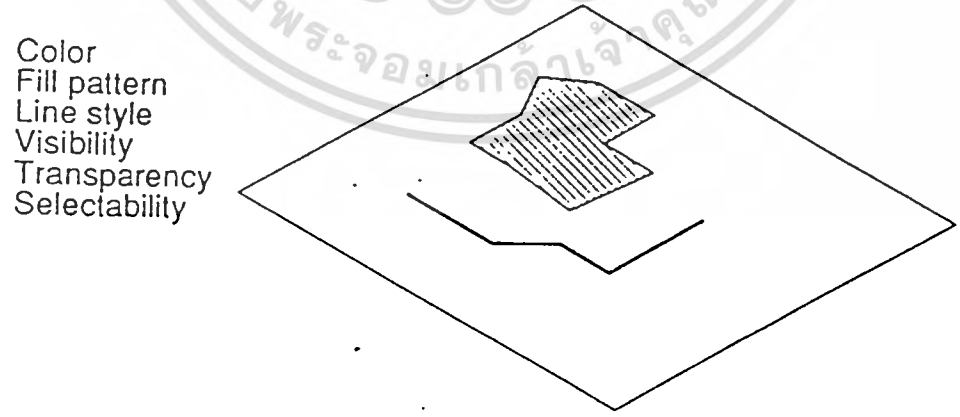
Mentor Graphics สามารถให้ออกแบบ PCB ให้มีเลเยอร์ถึง 256 เลเยอร์แต่ในทางจริงก็ไม่ได้ใช้ถึงขนาดนั้น

- เลเยอร์ทั้ง 256 เลเยอร์สามารถตั้งชื่ออื่นได้
- เลเยอร์จะประกอบด้วยลักษณะดังนี้: สี, ชื่อ, หมายเลขชั้น, transparency, fill pattern และ line style
- บางเลเยอร์ระบบจะเป็นตัวกำหนดการใช้งาน หรือก็สามารถที่จะกำหนดการใช้งานเองก็ได้

พฤติกรรมของเลเยอร์ (Layer Behavior)

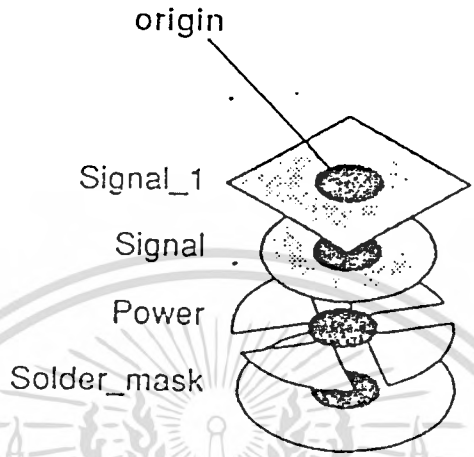
พฤติกรรมของเลเยอร์ถูกควบคุมโดยการ display characteristics และ mapping characteristics:

- สี, visibility, line style, fil pattern สามารถกำหนดได้ในแต่ละเลเยอร์



รูป 3.14 คุณลักษณะของเลเยอร์

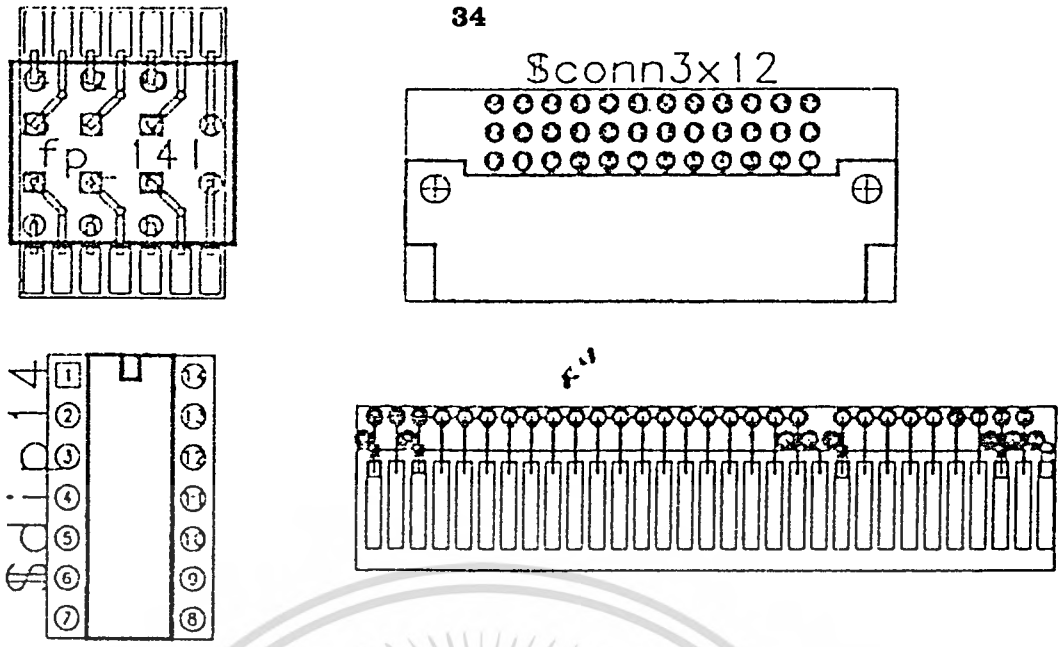
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูป 3.15 โครงสร้างของแพดสแตกชนิด through pin

รูป 3.16 โครงสร้างของแพดสแตกชนิด surface mount

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้




```
create component $dip14
attr 'COMPONENT_PLACEMENT_OUTLINE' "" -scale 0.35 0.05 -0.05 ...
attr 'COMPONENT_PIN_DEFINITION' '14' -scale 0.3 0.0
attr 'COMPONENT_PIN_DEFINITION' '13' -scale 0.3 -0.1
attr 'COMPONENT_PIN_DEFINITION' '12' -scale 0.3 -0.2
attr 'COMPONENT_PIN_DEFINITION' '11' -scale 0.3 -0.3
attr 'COMPONENT_PIN_DEFINITION' '10' -scale 0.3 -0.4
attr 'COMPONENT_PIN_DEFINITION' '9' -scale 0.3 -0.5
attr 'COMPONENT_PIN_DEFINITION' '8' -scale 0.3 -0.6
attr 'COMPONENT_PIN_DEFINITION' '7' -scale 0.0 -0.6
attr 'COMPONENT_PIN_DEFINITION' '6' -scale 0.0 -0.5
attr 'COMPONENT_PIN_DEFINITION' '5' -scale 0.0 -0.4
attr 'COMPONENT_PIN_DEFINITION' '4' -scale 0.0 -0.3
attr 'COMPONENT_PIN_DEFINITION' '3' -scale 0.0 -0.2
attr 'COMPONENT_PIN_DEFINITION' '2' -scale 0.0 -0.1
attr 'COMPONENT_PIN_DEFINITION' '1' -scale 0.0 0.0
path SILKSCREEN 0.01 0.05 0.05 0.05 -0.65 0.25 -0.65 0.25 0.05 ...
path SILKSCREEN 0.01 0.17 0.05 0.17 -0.01 0.13 -0.01 0.13 0.05
text SILKSCREEN "$ref" -0.05 0.05 0.1 BR 90 1.00 0.01 "std"
```

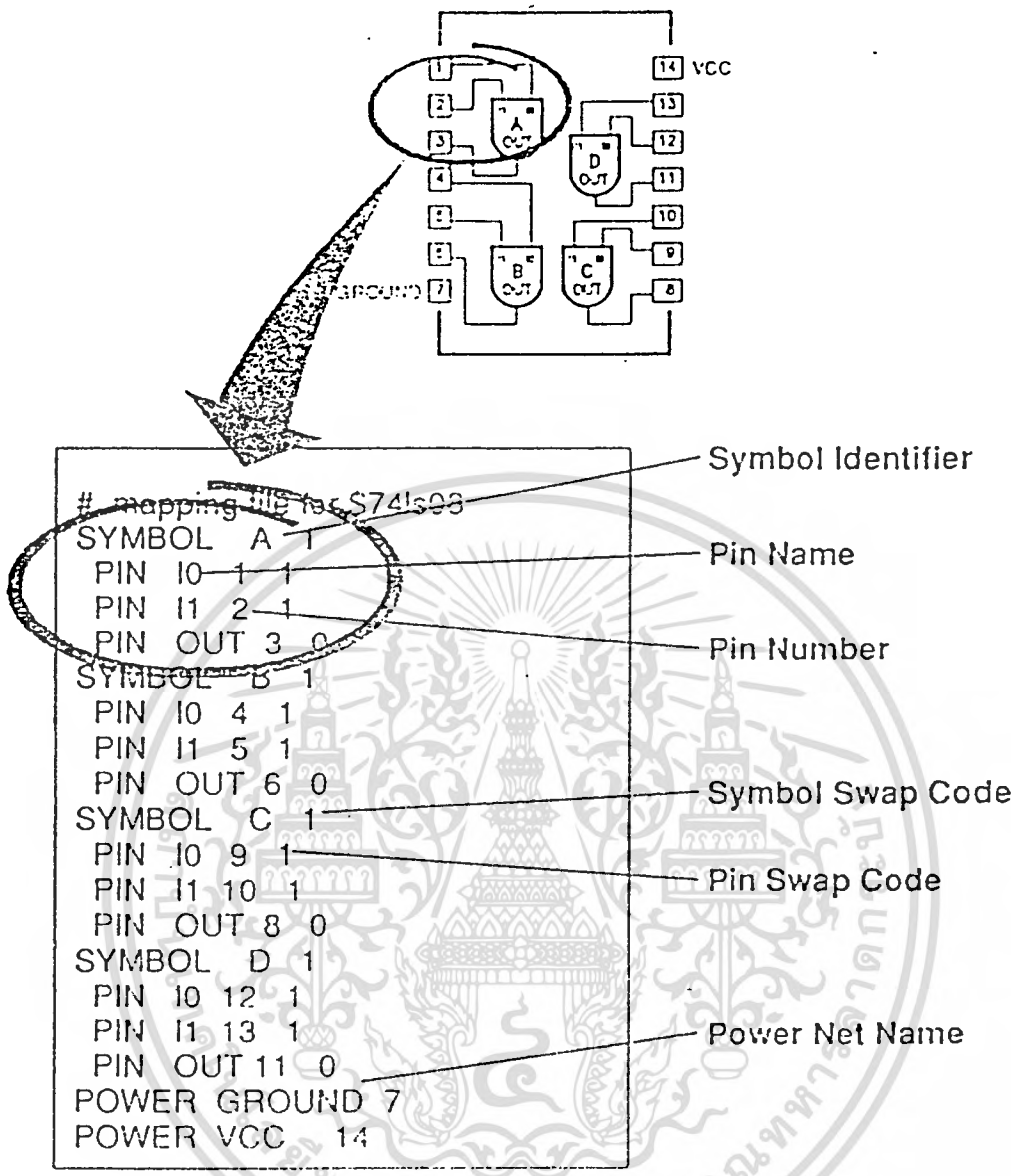
รูป 3.17 คอมโพเนนท์จีโอเมตรี (Component Geometry)

คอมโพเนนท์จีโอเมตรี

Component Geometries ถูกสร้างทุกๆคอมโพเนนท์

- มันจะประกอบไปด้วย placement outline, pins, silkscreen outline และ reference designator
- มีรูปแบบมาตรฐานของคอมโพเนนท์จีโอเมตรีคือ through pin และ surface mount
- จุดเริ่มต้นของ component geometry จะกำหนดที่ตำแหน่งใดๆก็ได้
- หมายเลขพินสามารถเป็น alpha-numeric, non-sequential ได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูป 3.18 แมปปิ้งไฟล์ (Mapping File)

แมปปิ้งไฟล์

mapping files จะอธิบายถึงความสัมพันธ์ระหว่าง logical และ physical pin โดย mapping file จะกำหนด:

- ความสัมพันธ์ของพิน
- จำนวนของเกตต่อแพกเกจ
- การสแวปของเกต พิน และ พินเซต
- พินปกติ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

แคตาล็อกไฟล์

แคตาล็อกไฟล์จะเก็บรายละเอียดของคอมโพเนนท์พาร์ทดังนี้

- จำนวนเกตต่อแพกเกจ
- ชื่อของคอมโพเนนท์จีโอเมตรี
- คุณสมบัติคอมพ์ของสัญญลักษณ์
- ชื่อของแมปปิ้งไฟล์
- คุณสมบัติอื่นๆ

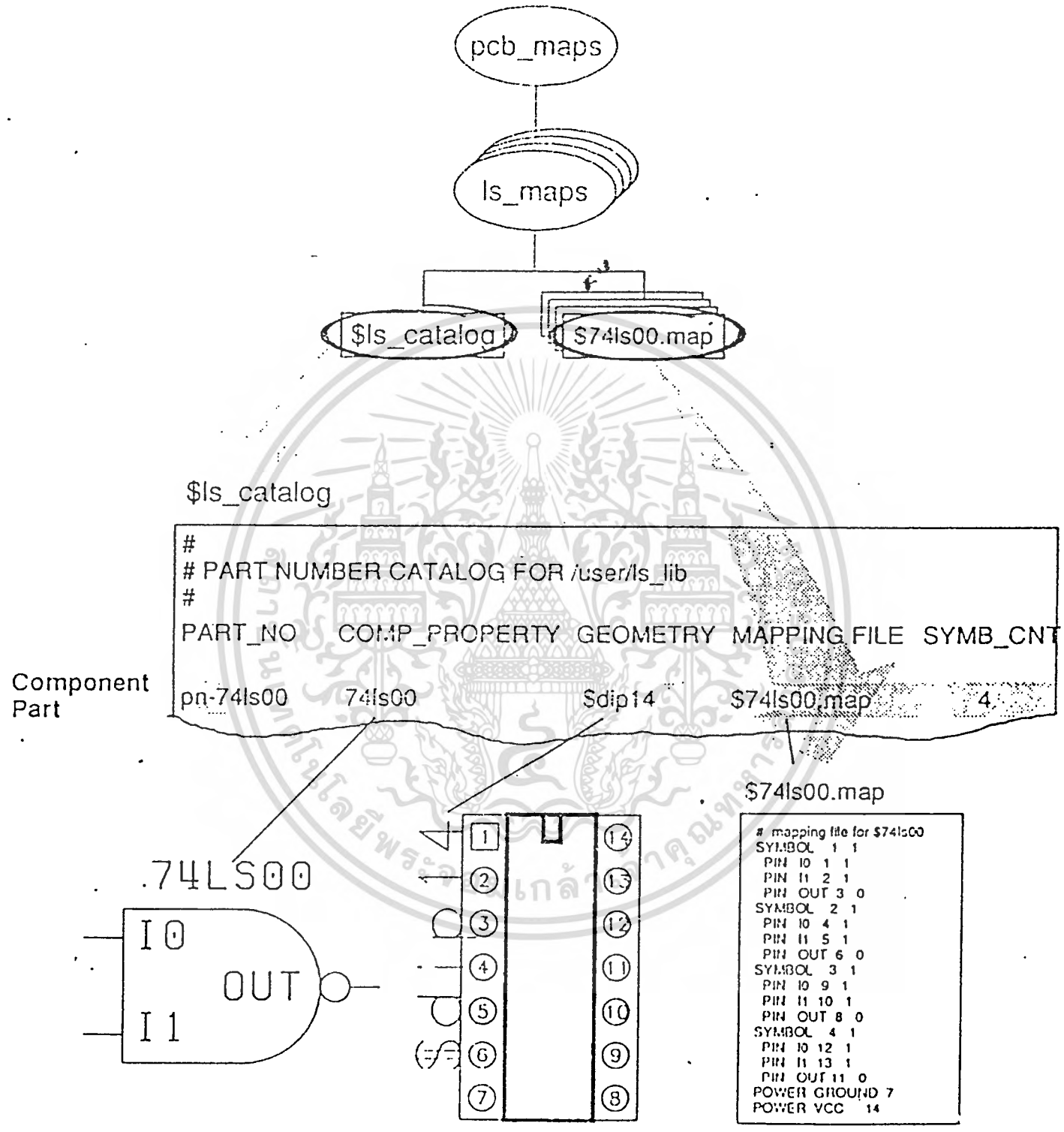
บอร์ดจีโอเมตรี (Board Geometries)

บอร์ดจิโอเมตรีสร้างได้ใน LIBRARIAN หรือ สร้างใน Package Station (3D และ Design) แต่ไม่สามารถสร้างได้ใน LAYOUT

- บอร์ดจีโอเมตรีจะประกอบไปด้วยกฎการออกแบบในรูปของแอตตริบิวต์ ซึ่งสามารถแก้ไขเปลี่ยนแปลงได้ใน LAYOUT
- บอร์ดจีโอเมตรีประกอบด้วย routing และ placement keepout ด้วยซึ่งอยู่ในรูปของแอตตริบิวต์
- จุดกำเนิดของบอร์ดมีผลต่อการแสดงของกริดต่างๆ และ datum point

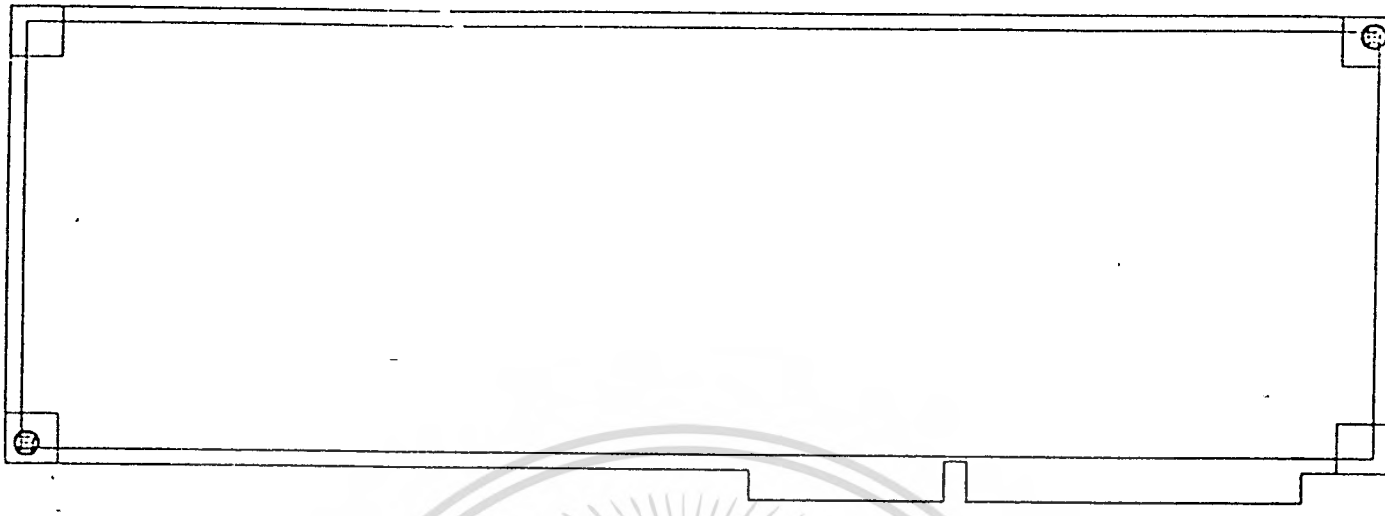
เมื่อทราบรายละเอียดต่างๆที่มีความสำคัญในการใช้โปรแกรม LIBRARIAN แล้ว ก็สามารถที่จะสร้าง พิน เวีย คอมโพเนนท์จีโอเมตรี บอร์ดได้ ตามที่ออกแบบไว้ในส่วนของ Schematic

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูป 3.19 โครงสร้างแคตาล็อกไฟล์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



Shapes

```
create board  BOARD
attr 'BOARD_DEFINITION_IDENTIFIER' '' 0 0
path BOARD_OUTLINE 0.001 8.975 0.0 7.15 0.0
attr 'BOARD_ROUTING_OUTLINE' '' -scale 0.15 0.45 13.1 0.45 ...
attr 'BOARD_PLACEMENT_OUTLINE' '' -scale 0.15 0.45 13.1 0.45 ...
attr 'BOARD_PLACEMENT_KEEPOUT' '' -scale 12.75 4.8 13.25 4.8 ...
attr 'BOARD_PLACEMENT_KEEPOUT' '' -scale 0.0 4.8 0.5 4.8 ...
attr 'BOARD_PLACEMENT_KEEPOUT' '' -scale 0.0 0.8 0.5 0.8 ...
attr 'BOARD_PLACEMENT_KEEPOUT' '' -scale 12.75 0.8 13.25 ...
circ POWER 13.05 4.6 0.255 0.0
circ POWER 0.2 0.5 0.255 0.0
circ SOLDER_MASK 13.05 4.6 0.2 0.0
circ SOLDER_MASK 0.2 0.5 0.2 0.0
attr 'DRILL_DEFINITION_UNPLATED' '0.125' -scale 0.2 0.5 ...
attr 'DRILL_DEFINITION_UNPLATED' '0.125' -scale 13.05 4.6 ...
```

sign Rules

```
attr 'BOARD_PLACEMENT_GRID' '' -scale 0.05
attr 'DEFAULT_TRACE_SIZE' '' -scale 0.01
attr 'DEFAULT_VIA_SIZE' '' -scale 0.05
attr 'DEFAULT_PAD_SIZE' '' -scale 0.05
attr 'BOARD_DEFAULT_PADSTACK' 'PAD_050'
attr 'DEFAULT_ROUTING_CLEARANCE' '' -scale 0.01
attr 'BOARD_PLACEMENT_CLEARANCE' '' -scale 0.0
attr 'POWER_NET_NAMES' 'VCC,GROUND' 0 0
attr 'BOARD_ROUTING_LAYERS' '' 2
attr 'BOARD_ROUTING_DIRECTION' 'HORIZONTAL' 1
attr 'BOARD_ROUTING_DIRECTION' 'VERTICAL' 2
attr 'ORTHOGONAL_PLACEMENT_ONLY' '' 0 0
attr 'TJUNCTIONS_ALLOWED' 'yes' 0 0
attr 'DIAGONAL_ROUTING_ALLOWED' 'yes' 0 0
attr 'DEFAULT_PADSTACK_CLEARANCE' '' -scale 0.01
```

รูป 3.20 บอร์ดจิโอเมตรี (Board Geometry)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.4.5 PACKAGE

การทำงานของโปรแกรม PACKAGE จะเป็นการสร้างอินฟอร์เมชั่นเพื่อใช้ในส่วนของโปรแกรม LAYOUT โดยก่อนทำ PACKAGE จะต้องมีส่วนต่างๆที่สร้างไว้แล้วเพื่อจะนำมาใช้งานดังนี้

- จีโอเมตรีพาร์ทไฟล์สร้างจากส่วน LIBRARIAN ซึ่งประกอบด้วยส่วนแพดสแตก คอมโพเนนท์ บอร์ด
- พาร์ทแมปปิ้งไฟล์และแคตาล็อกไฟล์ซึ่งจะประกอบด้วยข้อมูลเกี่ยวกับการทำ Package ของตัวสัญญลักษณ์ทางลอจิก
  - Package Configuration File จะเป็นส่วนไฟล์ ASCII ซึ่งถูกสร้างโดยอัตโนมัติในส่วนของ LIBRARIAN
  - Design File (peb-design.erel) จะประกอบด้วยข้อมูลส่วนเชื่อมต่อซึ่งถูกสร้างจากการ Expand_PCB

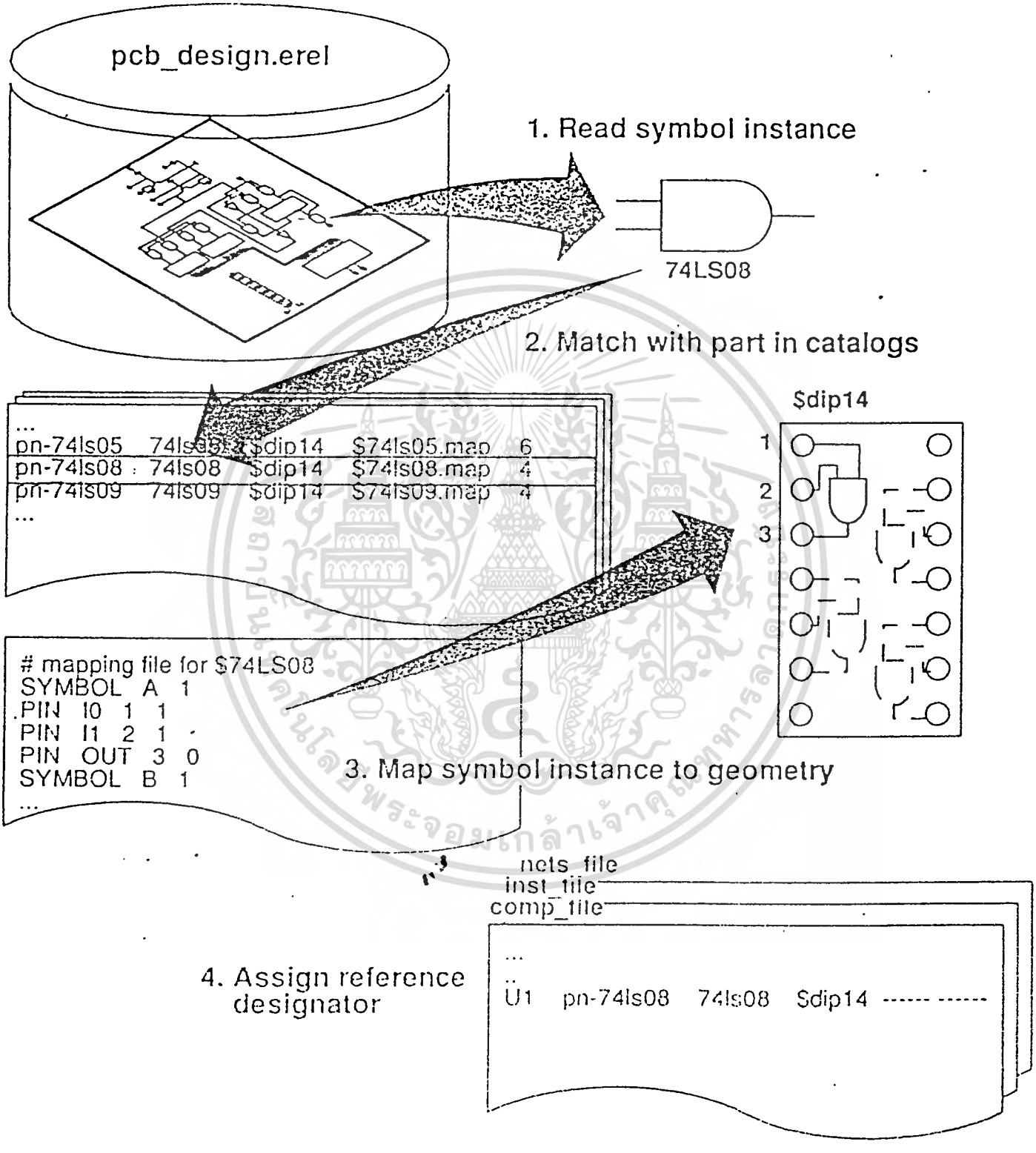
เมื่อมีส่วนต่างๆที่กล่าวมาแล้ว ก็สามารถทำการ build process เพื่อสร้าง parts file เพื่อใช้ในโปรแกรม LAYOUT ได้เลย

พาร์ทไฟล์ (Parts File)

พาร์ทไฟล์จะประกอบไปด้วยจีโอเมตรีทั้งหมด ที่ใช้ในการออกแบบ

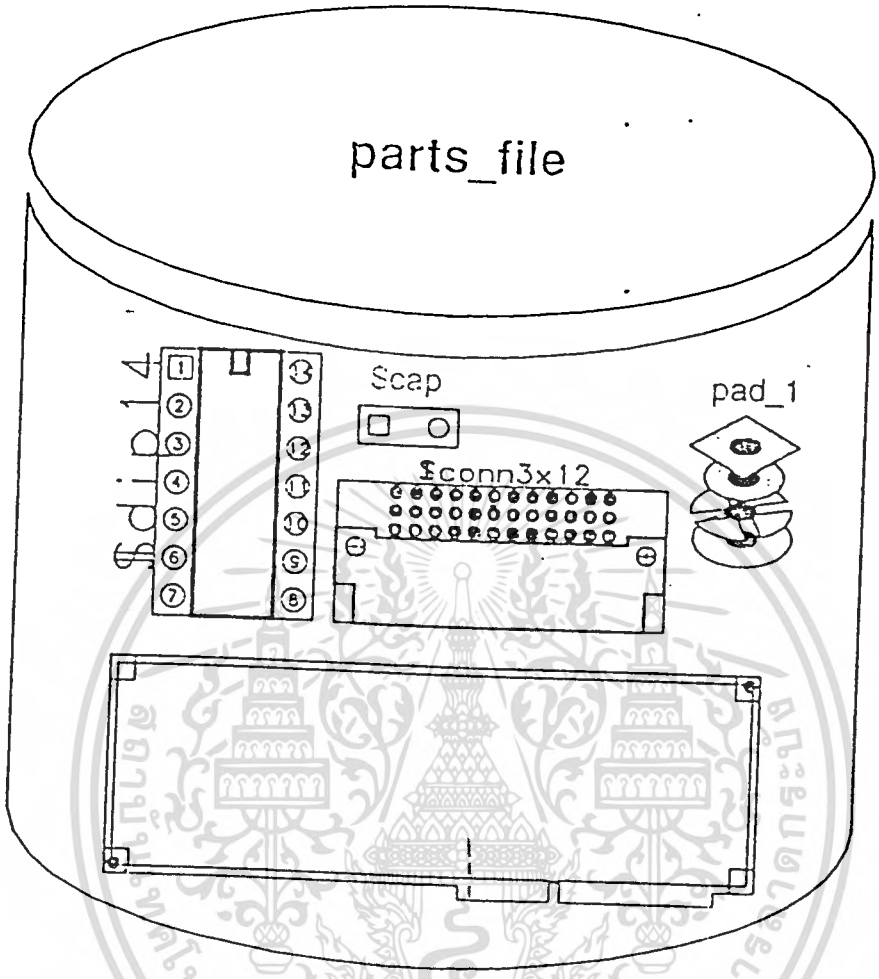
- พาร์ทไฟล์จะเป็นอินพุทในโปรแกรม LAYOUT และ Fablink
- มันจะต้องประกอบไปด้วยเพียงหนึ่งบอร์ดจีโอเมตรี
- จีโอเมตรีอื่น เช่น drill symbol, mechanical part geometry, panel, artwork stackups, drawing borders และ test coupon จะต้องเก็บในพาร์ทไฟล์
- พาร์ทไฟล์จะเก็บใน binary form แต่คุณสามารถที่จะสร้างเป็น ASCII ได้ตามที่ต้องการ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูป 3.21 ขั้นตอนขบวนการ Build Process เพื่อสร้างพาร์ทไฟล์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูป 3.22 ส่วนประกอบต่างๆของพาร์ทไฟล์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.4.6 LAYOUT

ขั้นตอนนี้จะเป็นการนำคอมโพเนนท์ที่ใช้ในวงจรมาวางบนบอร์ดที่ได้สร้างไว้ในตำแหน่งต่างๆและทำการลากสายสัญญาณตามที่ออกแบบ

การทำงานของโปรแกรม LAYOUT จะแบ่งออกเป็น 2 ส่วนใหญ่ๆคือ

- การวางคอมโพเนนท์ (Placement)
- การลากสายสัญญาณ (Rouing)

การวางคอมโพเนนท์

การออกแบบ PCB ที่ดีส่วนใหญ่ก็ขึ้นอยู่กับการวางคอมโพเนนท์ที่ดีด้วย การวางคอมโพเนนท์ที่ดีจะทำให้ง่ายต่อการลากสายสัญญาณ

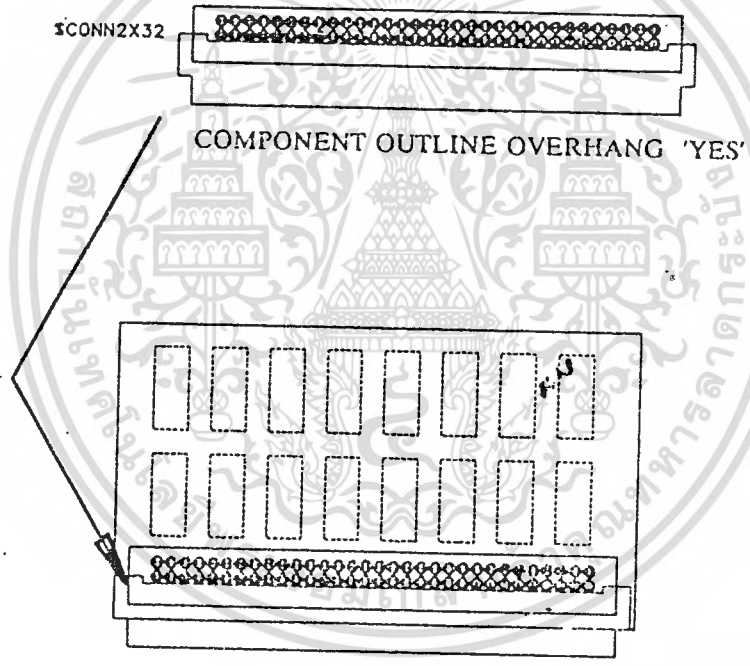
การวางคอมโพเนนท์ที่ดีควรจะมีลักษณะดังนี้

- ต้องคำนวนว่าขนาดของบอร์ดต้องเล็กที่สุดเท่าที่เป็นไปได้
- ต้องใช้จำนวนเลเยอร์ในการลากสายสัญญาณน้อยที่สุด
- สายสัญญาณที่ลากควรจะต้องสั้นที่สุดเท่าที่จะเป็นไปได้
- ใช้เวียให้น้อยที่สุด
- ผลของมันก็คือจะทำให้ง่ายและเร็วในการลากสายสัญญาณ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เทคนิคการวางคอมโพเนนท์

- อย่างแรกควรวางคอมโพเนนท์ที่อยู่ในตำแหน่งเฉพาะ เช่น connector
- ต่อไปควรวางคอมโพเนนท์ให้อยู่เป็นกลุ่มๆด้วยกัน
- ต่อไปควรวางคอมโพเนนท์ซึ่งต้องสัมพันธ์กับคอมโพเนนท์ที่วางอยู่ก่อนแล้ว
- ต่อไปวางคอมโพเนนท์ที่เหลือให้หมดยกเว้นดิสครีสคอมโพเนนท์
- สุดท้ายปรับปรุงแก้ไขการวางให้ดีขึ้น



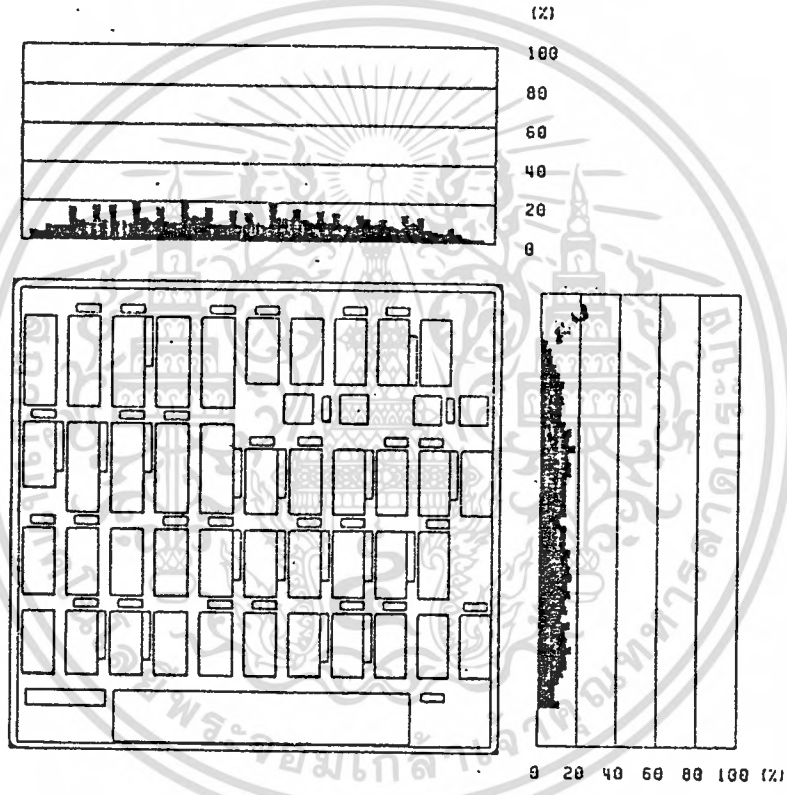
รูป 3.23 เทคนิคการวางคอมโพเนนท์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

อิสโตแกรม

LAYOUT มีเครื่องมือในการคำนวนอิสโตแกรมของการวางคอมโพเนนท์เพื่อให้เราสามารถวางคอมโพเนนท์ให้ดีที่สุด และสามารถลากสายสัญญาณได้ดี คอมโพเนนท์แต่ละส่วนจะไม่แน่นไปในจุดๆเดียว

- อิสโตแกรมที่แสดงจะแสดงเป็น 100 เปอร์เซ็นต์ทั้งทางด้านแกนตั้งและแกนนอน
- การวางที่ดีควรจะให้อิสโตแกรมแต่ละแกนไม่เกิน 40 เปอร์เซ็นต์



รูป 3.24 ตัวอย่างอิสโตแกรมของการวางคอมโพเนนท์

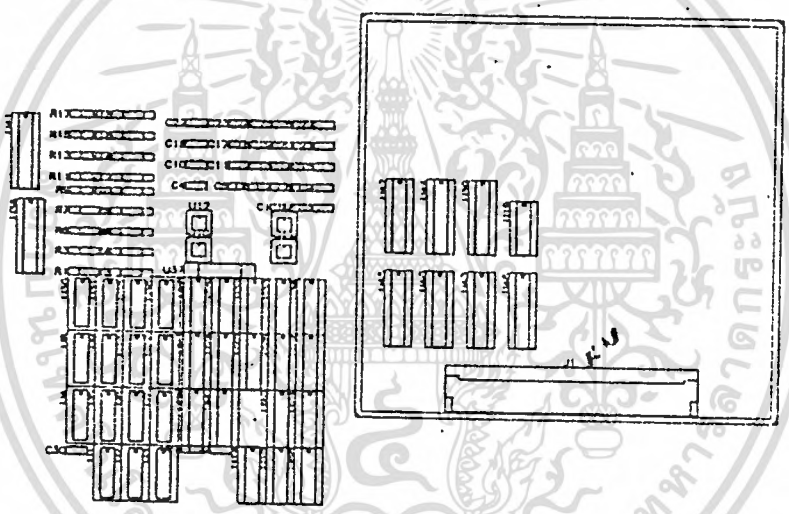
เมื่อเราสร้างอินฟอร์เมชั่นทุกอย่างตามขั้นตอนก่อนหน้านี้ เราจะมีบอร์ดและจีโอเมตริของคอมโพเนนท์ทุกตัวจากนั้นต้องแมปคอมโพเนนท์ทุกตัวที่ใช้ในการออกแบบลงบนบอร์ดโดยจะต้องใช้โปรแกรม LAYOUT เรียกบอร์ดขึ้นมาก่อนแล้วจึงแมปคอมโพเนนท์ทุกตัวลงข้างบอร์ด

ในการวางคอมโพเนนท์ลงบอร์ดโปรแกรม LAYOUT มีฟีเจอร์ให้เลือก 2 ฟีเจอร์คือให้

- Manual Placement
- Auto Placement

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Manual Placement: จะเป็นการวางคอมโพเนนท์ลงบอร์ดโดยให้ผู้ออกแบบเลือกตำแหน่งที่จะวางลงบนบอร์ดเอง ซึ่งโปรแกรม LAYOUT มีฟังก์ชันในการวางคอมโพเนนท์อยู่ เหตุที่ต้องเลือกคอมโพเนนท์ที่ออกแบบมาวางเอง เพราะว่าการออกแบบบางครั้งจะต้องมีการวางกลุ่มชนิดของคอมโพเนนท์ให้อยู่เป็นกลุ่มๆ เช่น RAM และคอมโพเนนท์บางชนิด ต้องกำหนดที่ค่อนข้างตายตัวสำหรับการวางคอมโพเนนท์ เช่น คอนเนคเตอร์การวางคอมโพเนนท์แบบ Manual Placement นั้นจะใช้ในช่วงแรกๆ เพื่อจัดตำแหน่งของคอมโพเนนท์ที่สำคัญให้ถูกที่แล้วต่อไปจะเป็นการให้เครื่องทำการวางโดยอัตโนมัติซึ่งเรียกว่า Auto Placement



รูป 3.25 การวางคอมโพเนนท์ลงข้างบอร์ดก่อนที่จะแมปลงบอร์ด

Auto Placement: เป็นการวางคอมโพเนนท์ลงบนบอร์ดโดยให้เครื่องทำการคำนวนตำแหน่งที่จะวางเอง การวางคอมโพเนนท์แบบ Auto Placement จะใช้ในกรณีที่ทำการวางคอมโพเนนท์ตัวอื่นในตำแหน่งที่ต้องการแล้ว เหลือคอมโพเนนท์ที่ไม่จำเป็นต้องกำหนดตำแหน่งแน่นอนบนบอร์ด เช่น ตัวต้านทาน ตัวเก็บประจุ และ ทรานซิสเตอร์ต่างๆ การวางคอมโพเนนท์แบบนี้จะไม่เสียเวลามากนัก

ความสามารถของโปรแกรม LAYOUT ในการวางคอมโพเนนท์แบบ Auto Placement อีกคือ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- กำหนดให้วางเป็นกลุ่มของคอมโพเนนท์ได้เช่น ให้ Auto Placement เฉพาะ RAM ก่อนได้
- สามารถกำหนด priority ของคอมโพเนนท์ในการวางได้

การจัดปรับตำแหน่งการวางคอมโพเนนท์ (Improving Placement)

เมื่อวางคอมโพเนนท์ทุกตัวลงบนบอร์ดแล้ว ยังสามารถที่จะจัดปรับตำแหน่งของคอมโพเนนท์ได้อีกเพื่อให้การวางมีประสิทธิภาพที่สุดโดยมีอัลกอริธึมในการปรับการวางคอมโพเนนท์อยู่ 4 อย่างคือ

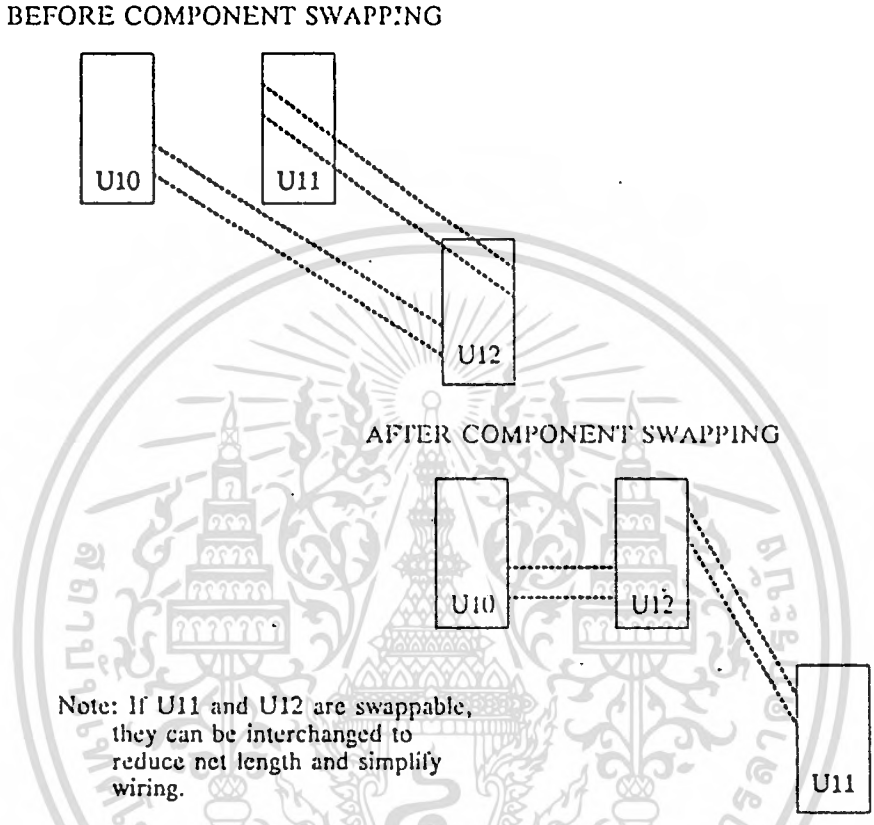
- คอมโพเนนท์
- เกต
- พินเซต
- พิน

เราสามารถที่จะเลือกการปรับการวางคอมโพเนนท์ได้ โดยเลือกจากเมนูของโปรแกรม LAYOUT ว่าจะปรับตำแหน่งของคอมโพเนนท์ โดยโปรแกรม LAYOUT จะตรวจสอบ identical component geometry และ สแวป มันถ้าผลของมันสามารถที่จะลดความยาวของสายสัญญาณได้

สามารถปรับตำแหน่งของเกตโดยโปรแกรม LAYOUT จะตรวจสอบและจะสแวปภายในคอมโพเนนท์ ถ้าผลของมันสามารถที่จะลดความยาวของสายสัญญาณได้สแวปเกต

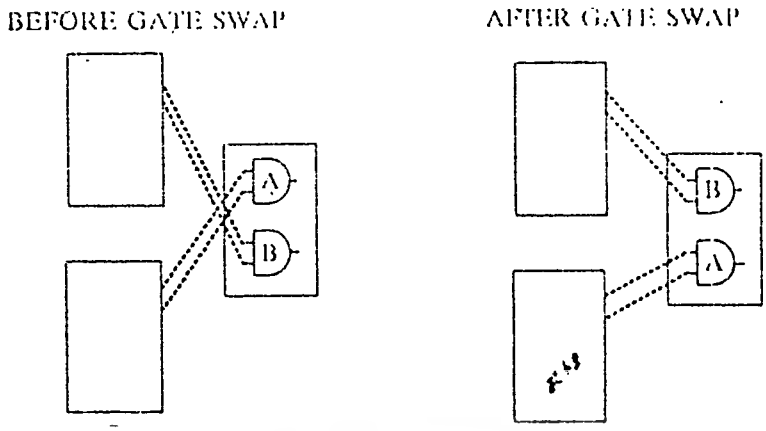
สามารถปรับตำแหน่งของพินและพินเซตโดยโปรแกรม LAYOUT จะตรวจสอบและจะสแวปพินภายในคอมโพเนนท์ มันถ้าผลของมันสามารถที่จะลดความยาวของสายสัญญาณได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



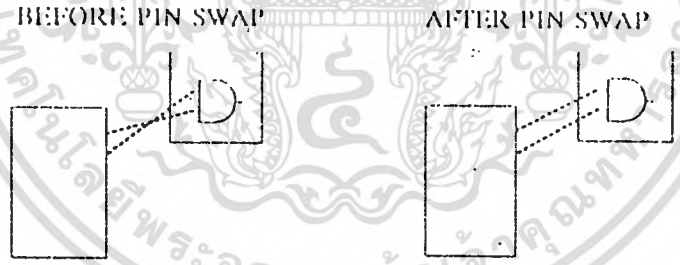
รูป 3.26 การปรับตำแหน่งของคอมโพเนนท์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



NOTE: If gates A and B are swappable, they can be interchanged to shorten the guide length and simplify wiring.

รูป 3.27 การปรับตำแหน่งของเกตในคอมโพเนนท์



NOTE: If the pins are swappable, they can be interchanged to shorten guide length and simplify wiring.

รูป 3.28 การปรับตำแหน่งของพินในคอมโพเนนท์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

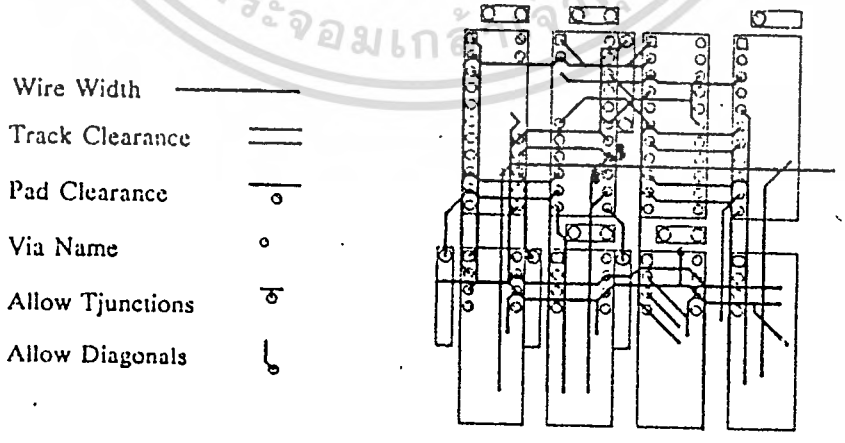
การลากสายสัญญาณ (Routing)

เมื่อวางคอมโพเนนท์ทุกตัวลงบนบอร์ดที่ออกแบบแล้ว ขั้นตอนต่อไปจะเป็นการลากสายสัญญาณ หรือที่เรียกกันว่าการลากสายสัญญาณ

Routing Design Rules

ก่อนที่จะทำการ route จะต้องทำความเข้าใจเกี่ยวกับกฎของการ route เสียก่อน design rules จะทำการตรวจสอบ:

- Wire Width: เป็นเซตของความหนาของสายสัญญาณ
- Track Clearance: เป็นเซตของ clearance ที่น้อยที่สุดระหว่างสายสัญญาณกับสายสัญญาณ และเวียและ สายสัญญาณ และ keepout area
- Pad Clearance: เป็นเซตของ clearance ที่น้อยที่สุดระหว่างแพดกับแพดและเวีย และแพดกับสายสัญญาณ
- Via Name: เซตของ default via
- Allow Tjunctions: ข้อกำหนดพิเศษของ Tjunction ในการ trace
- Allow diagonals: ข้อกำหนดพิเศษของ diagonal route ที่กำหนดไว้

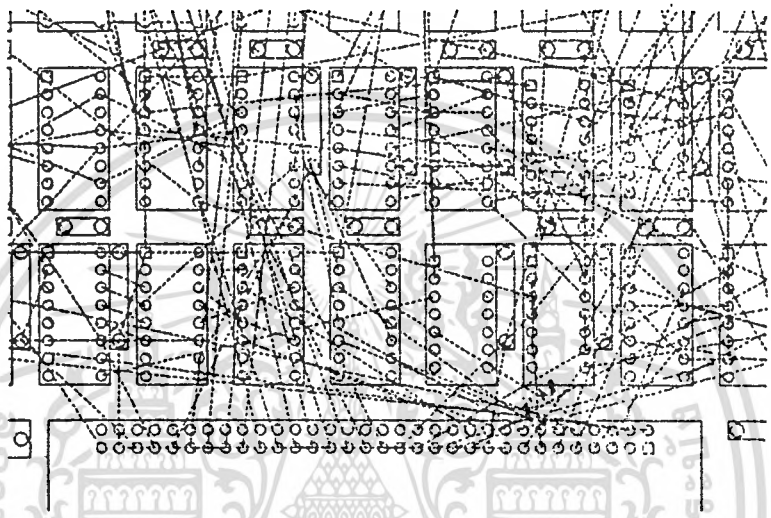


รูป 3.29 กฎการออกแบบลากเส้นสัญญาณ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Guide Wires

ในการ route เราสามารถดูสายสัญญาณที่ยังไม่ทำการ route ได้โดยสิ่งที่แสดงจะเป็น Guide Wires ต่อระหว่างพินแต่ละคอมโพเนนท์ที่เชื่อมกันอยู่ เพื่อให้เราสามารถดูเป็นแนวทางในการ route



รูป 3.30 Guide Wires

การ route

ในการ route โปรแกรม LAYOUT มีฟีเจอร์ให้เลือก 2 ฟีเจอร์เหมือนการวางคอมโพเนนท์โดยมีดังนี้

- Automatic Routing
- Manual Routing

Automatic Routing

Automatic Routing จะเป็นการลากสายสัญญาณโดยเครื่องจะทำการคำนวนและเลือกเส้นทางเดินของสายสัญญาณที่เหมาะสมให้

ลักษณะพื้นฐานของการ Automatic Router

- Maze-Runner: แต่ละคอนเนกชั่นในการ ลากสายสัญญาณ จาก "source" ไปยัง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

"target" การลากสายสัญญาณจะลากสายสัญญาณตาม gride point ที่เซตเอาไว้

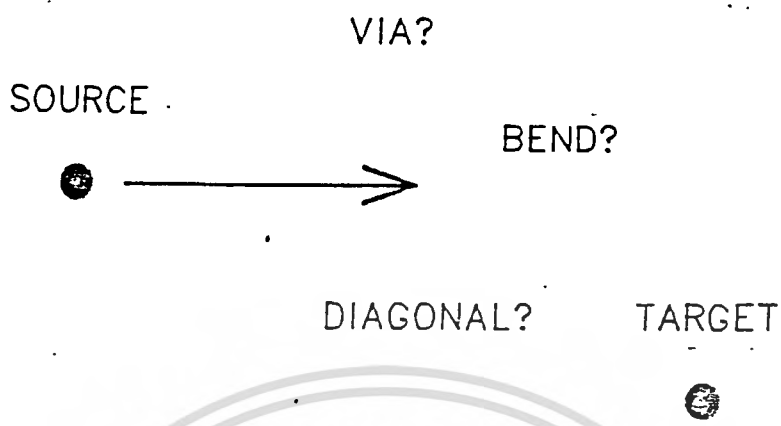
รูป 3.31 อัลกอริธึมแบบ Max-Runner ในการ route

- Cost-Driven: การลากสายสัญญาณจะตัดสินใจบนพื้นฐานของราคาเป็นหลัก การลากสายสัญญาณ ที่สมบูรณ์ราคาต้องเป็นศูนย์ ซึ่งก็คือการลากสายสัญญาณจาก "source" ไปยัง "target" ต้องไม่มี เวีย bend หรือ intersection

Routing cost Factors:

- Via
- Excess
- Way
- Diagonal
- Bend
- Site
- Intersection

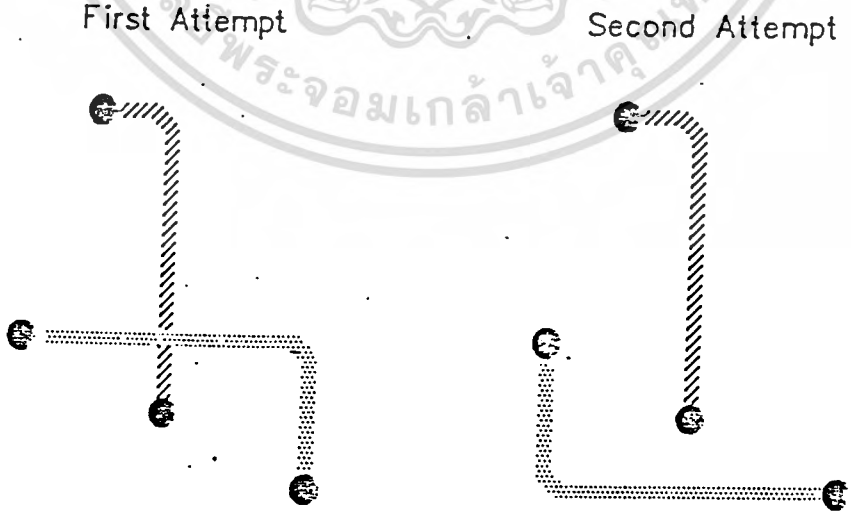
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูป 3.32 อัลกอริธึมแบบ Cost-Driven ในการ route

- Iterative และ Evolutionary: การ ลากสายสัญญาณ จะใช้ multiple pass ในการแก้ปัญหาการ ลากสายสัญญาณ

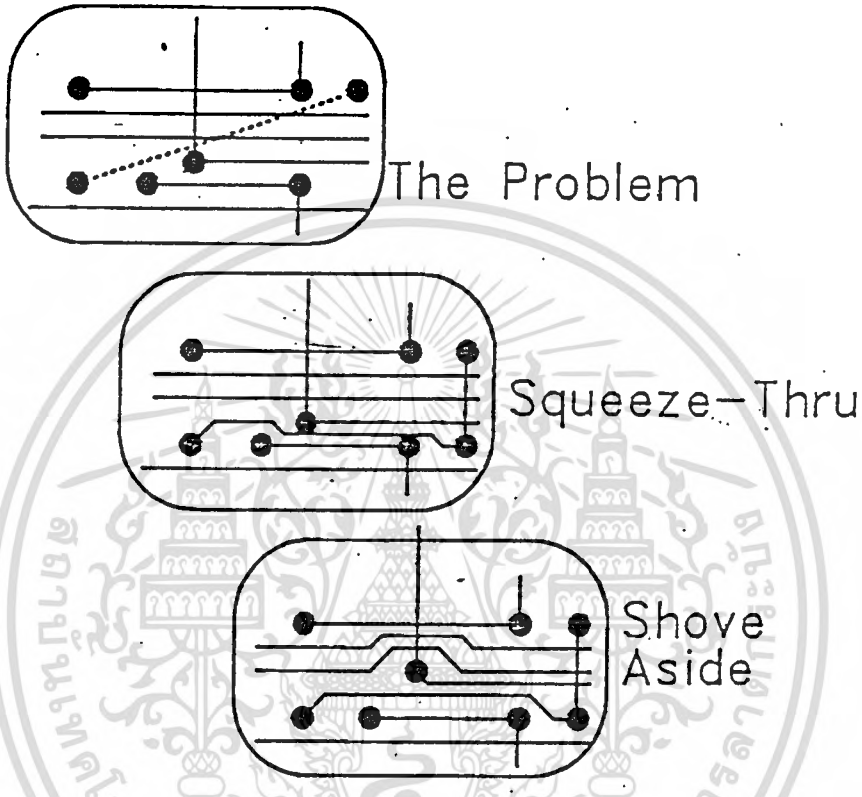
- Rip-Up และ Re-Route: จะใช้ Rip-Up และ Re-route หลังจากแต่ละ pass แล้วยังไม่พอใจ คอนเนกชั่นก็สามารถถูก rip และ reroute



รูป 3.33 อัลกอริธึมแบบ Rip-Up และ Re-Route ในการ route

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- Squeeze-Through และ Shove-Aside: จะมีอัลกอริธึมพิเศษอยู่ในการ "see and fix"



รูป 3.34 อัลกอริธึมแบบ Squeeze-Through และ Shove-Aside

Manual Routing

Manual Routing จะเป็นการลากสายสัญญาณโดยกำหนดเส้นทางเดินของสายสัญญาณเองจะใช้ในกรณีที่ต้องการกำหนด เส้นทางสายสัญญาณเองเช่นสายสัญญาณคล็อก หรืออาจใช้ในกรณีที่ต้องการปรับปรุง สายสัญญาณที่ได้จากการ Automatic Routingแล้วสิ่งที่ได้ยังไม่เป็นที่พอใจ

เมื่อใช้โปรแกรม LAYOUT ทำการลากสายสัญญาณ ไม่ว่าจะเป็นการ ลากสายสัญญาณโดยการใช้วิธี Automatic Routing หรือ Manual Routing หรือจะใช้ทั้งสองอย่างผสมกัน ผลลัพธ์การลากสายสัญญาณ ที่สมบูรณ์จะต้องได้เปอร์เซ็นต์ของการ ลากสายสัญญาณเท่ากับ 100 เปอร์เซ็นต์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

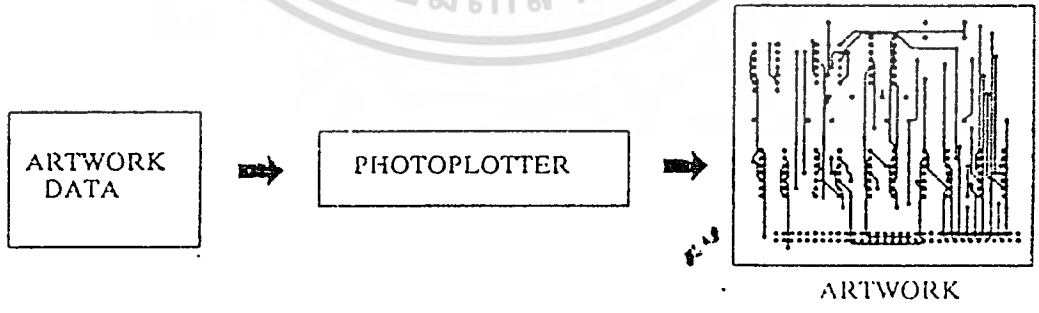
3.4.7 Fablink

ส่วนนี้จะเป็นการทำงานในส่วนสุดท้าย โดยจะเป็นการสร้างเอาท์พุทอินฟอร์เมชั่นสำหรับส่งไปทำ fabrication โดยก่อนที่จะทำ Fablink จะต้องมี

- บอร์ดได้ทำการวางคอมโพเนนท์หมดทุกตัว
- บอร์ดได้ทำการ ลากสายสัญญาณ สายสัญญาณทุกสายสัญญาณ
- บอร์ดจะต้องเก็บไฟล์ใน design directory ดังนี้
  - comp_file เก็บ component placement information
  - wire_file เก็บ wiring information

เอาท์พุท จาก Fablink

- Artwork Data: เป็นข้อมูลที่ใช้กับ photoplotter โดยปกติจะเป็นฟอร์แมต Gerber ซึ่งเป็นฟอร์แมตมาตรฐาน เมื่อสร้าง artwork data ขึ้นมาแล้วจะใช้ในขบวนการ photolithographic process เพื่อนำไปทำ fabricate บอร์ด PCB ส่วนใหญ่ที่ทำ manufacture จะใช้ photolithographic process



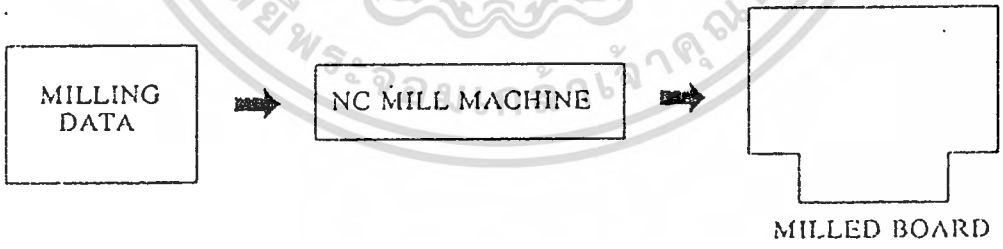
รูป 3.35 Artwork Data

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- Drill Data: ข้อมูลต่อไปสำหรับทำ fabricate คือ drill data ซึ่งข้อมูลส่วนนี้จะนำไปควบคุมเครื่องเจาะในการเจาะรู thru-pin และ via hole

รูป 3.36 Drill Data

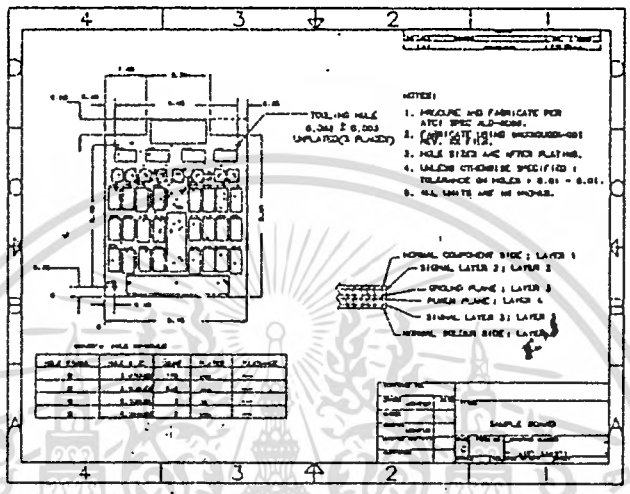
- Milling Data: ข้อมูลส่วนนี้จะนำไปให้ milling machine เพื่อตัดวัสดุ และรูปร่างของบอร์ดตามที่ได้ออกแบบไว้



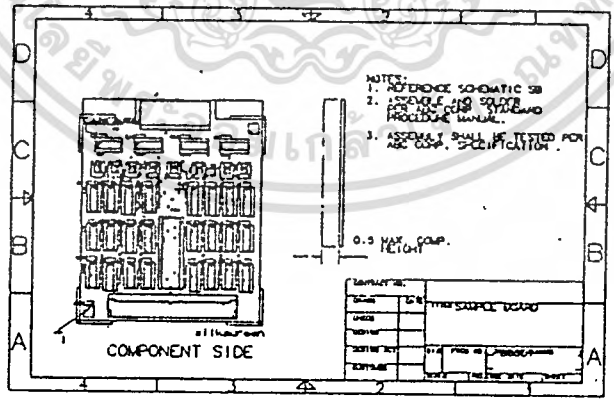
รูป 3.37 Milling Data

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- Drawing Data: ข้อมูลส่วนนี้จะแสดง fabrication drawing และ assembly drawing โดยการพล็อทใส่กระดาษออกมา



รูป 3.38 ตัวอย่าง Fabrication Drawing



รูป 3.39 ตัวอย่าง Assembly Drawing

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- reports: ข้อมูลส่วนนี้จะรายงานของการออกแบบทั้งหมดโดยจะประกอบไปด้วย
  - Bill of Materials: จะเป็นการลิสคอมโพเนนท์ทั้งหมดที่ออกแบบ BOM จะใช้ในการสั่งซื้อคอมโพเนนท์เพื่อมาประกอบบนบอร์ด

Item Number	Company Part No.	Count	Description	Reference
1	PN-7408	1	7408, $DIP14	U1
2	PN-7432	4	7432, $DIP14	U2 U3 U4 U5
3	PN-7474	2	7474, $DIP14	U6 U7
4	PN-PULLUP	2	PULLUP, $RC07	U14 U15
5	PN-74LS151	1	74LS151, $DIP16_P	U8
6	PN-CONN2X32	1	EDGE, $CONN2X32	J1
7	PN-CAPACITOR	5	CAPACITOR, $CS13A	U9 U10 U11 U12 U13

Reference	Item Number	Company Part No.	Description
J1	6	PN-CONN2X32	EDGE, $CONN2X32
U1	1	PN-7408	7408, $DIP14
U2	2	PN-7432	7432, $DIP14
U3	2	PN-7432	7432, $DIP14
U4	2	PN-7432	7432, $DIP14
U5	2	PN-7432	7432, $DIP14
U6	3	PN-7474	7474, $DIP14
U7	3	PN-7474	7474, $DIP14
U8	5	PN-74LS151	74LS151, $DIP16_P
U9	7	PN-CAPACITOR	CAPACITOR, $CS13A
U10	7	PN-CAPACITOR	CAPACITOR, $CS13A
U11	7	PN-CAPACITOR	CAPACITOR, $CS13A
U12	7	PN-CAPACITOR	CAPACITOR, $CS13A
U13	7	PN-CAPACITOR	CAPACITOR, $CS13A
U14	4	PN-PULLUP	PULLUP, $RC07
U15	4	PN-PULLUP	PULLUP, $RC07

รูป 3.40 ตัวอย่าง Bill of Material

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- Net Conection List: จะให้ตำแหน่งของพินแต่ละคอมโพเนนท์บนบอร์ด

NET NAME	TERMINALS				
/A0	J1-10	7366000	762000	U5-9	6604000 5080000
	U4-4	2794000	2794000	U5-1	5842000 6350000
	U4-1	2794000	3556000		
/N$1	U3-2	4318000	3302000	U3-11	5080000 2794000
/N$4	U2-2	5842000	3302000	U2-6	5842000 2286000
/N$7	U3-5	4318000	2540000	U3-8	5080000 2032000
/DBIN	J1-8	7874000	762000	U2-12	6604000 3048000
	U3-4	4318000	2794000	U3-1	4318000 3556000
	U2-1	5842000	3556000		
/N$10	U2-13	6604000	3302000	U2-8	6604000 2032000
/N$15	U4-13	3556000	3302000	U3-3	4318000 3048000
/N$18	U5-5	5842000	5334000	U2-3	5842000 3048000
/N$21	U4-10	3556000	2540000	U3-6	4318000 2286000
/N$24	U5-13	6604000	6096000	U2-11	6604000 2794000
/N$25	U4-2	2794000	3302000	U4-11	3556000 2794000
/N$28	U5-2	5842000	6096000	U5-6	5842000 5080000
/N$31	U4-5	2794000	2540000	U4-8	3556000 2032000
/N$34	U5-10	6604000	5334000	U5-11	6604000 5588000
/N$82	U6-4	7366000	5588000	U6-1	7366000 6350000
	U7-10	5080000	5334000	U7-1	4318000 6350000
	U6-10	8128000	5334000	U6-13	8128000 6096000
	U15-1	9906000	4826000		

รูป 3.41 ตัวอย่าง Net Connection List

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- Net Lenghts Report: จะแสดง trace length ของแต่ละ net อินฟอร์เมชั่นในรายงานนี้จะถูกใช้ในการ resimulation ของการออกแบบ

VCC	22567706
GROUND	25292598
HIGH_EVEN_MSB	1629210
LOW_EVEN_MSB	1331631
HIGH_ODD_LSB	9354420
LOW_ODD_MSB	7532841
WE_CRU_CLK	5816470
HIGH_BYTE	5903630
LOW_BYTE	5203261
DAB_OUT	3153210
CLK_OUT	11912470
SELECT	1226420
DA_BIT	6727262
N$155	2812051
N$115	5098051
N$112	762000
N$109	1375210
N$106	1077631
N$100	1839631
DA_EN	10432050
N$95	3889682
N$92	972420
N$90	3753657
N$84	2645210
N$82	8715680
N$34	254000
N$31	972421
N$28	1121210
N$25	972421
N$24	3617630
N$21	867210
N$18	2391210
N$15	867210
N$10	1375210
DBIN	9180103
N$7	972421
N$4	1375210
N$1	972421
A0	15276101

รูป 3.42 ตัวอย่าง Net Lenghts Report

- Neutral File: จะประกอบไปด้วย
  - ตำแหน่ง, orientation แต่ละคอมโพเนนท์
  - ตำแหน่งและขนาดของแพด

เมื่อผลิตเอาท์พุททั้งหมดโดยโปรแกรม Fablink ตอนนี้ก็สามารถนำข้อมูลทั้งหมดส่งไปทำ Fabricate เพื่อผลิตแผ่นวงจรพิมพ์ออกมาซึ่งเป็นการสิ้นสุดขั้นตอนการออกแบบ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

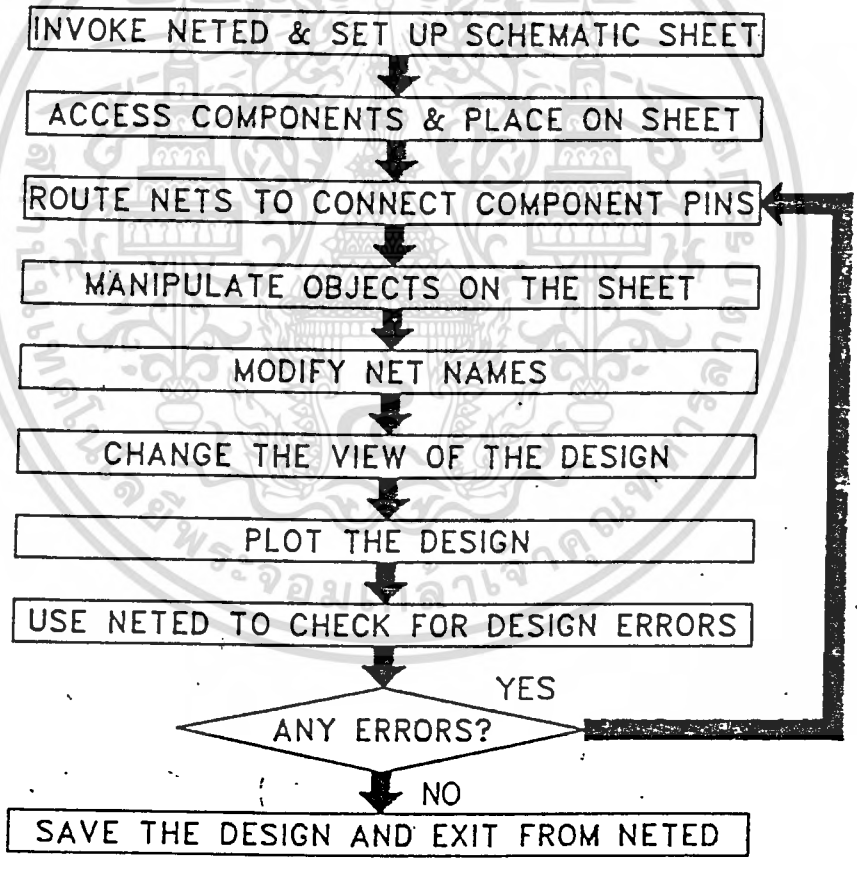
บทที่ 4
ขั้นตอนการทำงาน

4.1 วงจรที่ใช้ในการออกแบบแผ่นวงจรพิมพ์

ในการออกแบบแผ่นวงจรพิมพ์นี้วงจรที่ใช้ในการออกแบบคือวงจรของเมนบอร์ด 386SX

4.2 ส่วนการสร้าง Schematics

ในการสร้างส่วน Schematics ของวงจรเมนบอร์ด 386SX นี้ได้ใช้โปรแกรม ที่มีชื่อว่า NETED ของ Mentor Graphics ซึ่งมีวิธีการลำดับขั้นตอนดังนี้ คือ



รูป 4.1 ผังงานแสดงขั้นตอนการสร้าง Schematics

4.2.1 เรียกใช้โปรแกรมและทำการเซทซีท Schematics ในส่วนของขนาดซีทที่จะใช้เขียนวงจร ขนาดของเท็กซ์ ตัวคอมโพเนนท์ของสกรีนกริด (Screen Grid)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น และไม่อนุญาตให้ดัดแปลงเนื้อหา หรือนำไปเผยแพร่ต่อ

4.2.2 เรียกใช้ตัวคอมโพเนนท์และทำการวางบนชีท ในการเรียกตัวคอมโพเนนท์ขึ้น จะเรียกมาจากส่วนของคอมโพเนนท์ ไลบรารี ซึ่งจะมี ไลบรารี มาตราฐานให้อยู่แล้วหลายชนิด เช่น Als_Lib , Ls_Lib อย่างในส่วนของ Ls_Lib จะบรรจุตัว Ls พาร์ทต่างๆ เช่น $74LS151,$74LS152 เป็นต้น (สำหรับตัว คอมโพเนนท์ ซึ่งจะได้กล่าวไว้ในตัวข้อต่อไป) เมื่อได้ตัวคอมโพเนนท์ที่ต้องการแล้วก็จะทำการวางตัวคอมโพเนนท์ นั้นลงบนชีทตามตำแหน่งที่ต้องการ ในการวางนี้อาจจะใช้คำสั่งก็อปปีเรียกใช้ได้ด้วย

4.2.3 ทำการเชื่อมขาของคอมโพเนนท์ตามวงจรที่ต้องการซึ่งมีตั้งแต่การเชื่อมต่อขาโดยตรงระหว่างขาต่อขา การเชื่อมโดยผ่านรอยต่อ (Junction) การเชื่อมโดยใช้บัส ซึ่งในการใช้บัสเชื่อมต่อนั้น จะต้องมีการกำหนดหมายเลขขาของบัสด้วยเพื่อเป็นการอ้างอิงได้อย่างถูกต้อง

4.2.4 การแก้ไขออปเจ็กต์ต่างๆ บนชีท ในการแก้ไขนี้มีวิธีต่างๆ ที่สามารถเรียกใช้ได้เช่น การเคลื่อนย้าย ก็อปปี หมุน พลิก (Flip) หรือ การลบ ซึ่งขั้นตอนในการแก้ไขออปเจ็กต์ นี้มีด้วยกัน 3 ขั้นตอน คือ

1. เลือกออปเจ็กต์ที่จะแก้ไข
2. ทำการแก้ไขด้วยวิธีต่างๆ เช่น เคลื่อนย้าย ลบ เป็นต้น
3. ยกเลิกออปเจ็กต์ที่แก้ไข

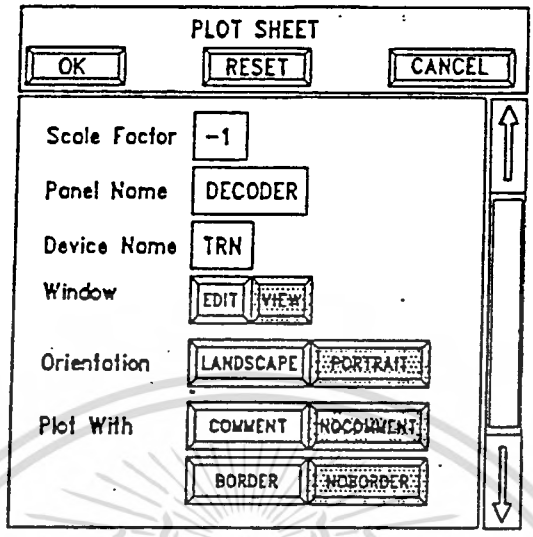
สำหรับในการเลือกออปเจ็กต์สามารถทำได้ทั้งแบบเลือกตัวเดียว (Single Object) และแบบเลือกหลายตัวพร้อมกัน (Muliple Object)

4.2.5 การเปลี่ยนแปลงแก้ไขชื่อของสายที่เชื่อมต่อในวงจร ซึ่งในส่วนนี้จะใช้ในการ Simulation วงจร และเพื่อให้ง่ายในการอ้างอิงในส่วนของบัส

4.2.6 การวิววงจรซึ่งมีทั้งการ ขยายออก สำหรับไว้ใช้ในการแก้ไขการ วิวดูเฉพาะที่เป็นต้น

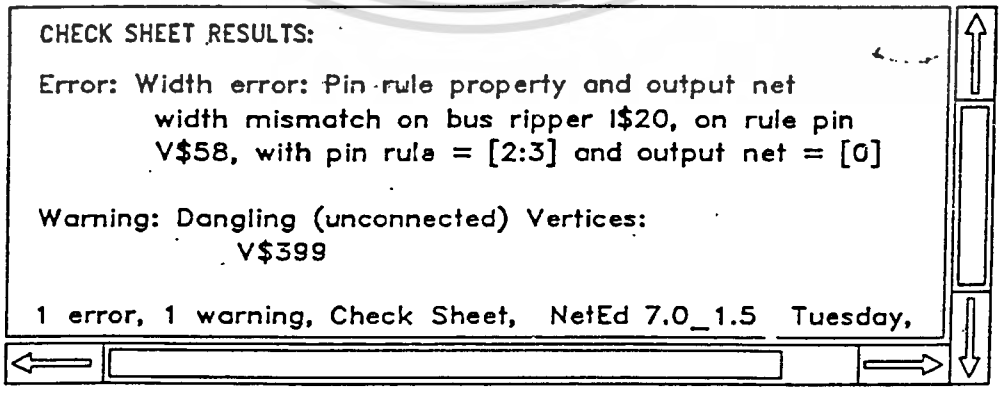
4.2.7 ทำการพล็อทชีท เพื่อใช้ในการอ้างอิงตรวจสอบ หรือแก้ไขซึ่งสามารถกำหนดสเกล กำหนดชื่อชีทดีไวซ์ ที่ใช้ว่าเป็น เครื่องพิมพ์ ,พล็อตเตอร์ หรือ ดีไวซ์ชนิดอื่นๆ ได้ สามารถ หมุน ให้พล็อทได้ รวมทั้งมีวิธีการอื่นๆ ในการพล็อทชีท อีกมากมาย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ในเชิงพาณิชย์ ไม่ว่ากรณีใดๆ ทั้งสิ้น ไม่อนุญาตให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารนำไปใช้



รูป 4.2 แสดงวิธีเซตการพล็อทชีท

4.2.8 ทำการ Check วงจร Schematic ในการทำแผ่นวงจรพิมพ์ขั้นตอนของการทำ Schematic นั้นจำเป็นที่จะต้อง Check ทั้งหมดให้ผ่านเสียก่อนจึงจะทำต่อไปได้โดยในการ Check นี้จะมีทั้งที่เป็น Error และ Warning โดยจะต้องทำการแก้ไข จนกระทั่งไม่เกิด Error เลยจึงจะผ่านขั้นตอนนี้ไปได้



รูป 4.3 ตัวอย่างผลการ Check ชีท

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

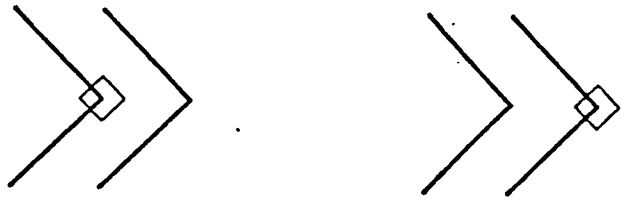
ในการ Check ชีทนี้จะมีฟังก์ชั่นการทำงานดังนี้ เช่น

1. ค่าของ Property or References ผิดปกติ
2. มีขา คอมโพเนนท์ ที่ยังไม่ได้ต่อ
3. มีเส้นที่ต่อลอยอยู่ ไม่ได้เชื่อมกับเส้นอื่น
4. มีชื่อที่แตกต่างกันในสายเส้นเดียวกัน
5. ผิดกฎของการเชื่อมต่อแบบบัส
6. จำนวนขาของสัญญลักษณ์ผิด
7. ชื่อของสายที่ต่อผิด
8. สายบัสกับจำนวนขาไม่เท่ากัน
9. Block ใน Diagram ผิดพลาด

ซึ่งเมื่อทำการ Check แล้วไม่ว่าจะเกิด Error หรือ Warning จะมีข้อความ (Messages) ออกมาเตือนหรือบอกให้รู้ว่าเป็น Error หรือ Warning ในเรื่องใดที่ตำแหน่งใด แล้วจึงไปทำการแก้ไขต่อไป

4.2.9 ทำการเซฟ Schematic แล้วออกจากโปรแกรม NETED ซึ่งถือว่าเป็นการเสร็จในขั้นตอนของการสร้างวงจร Schematic

สำหรับในการทำ Schematic ของวงจรเมนบอร์ด 386SX นี้ เนื่องจากวงจรมีขนาดใหญ่จึงแบ่งวงจรออกเป็นชีทย่อยๆ 6 ชีท ซึ่งในการทำวงจร Schematics จึงต้องใช้การออกแบบโดยวิธีมัลติชีทซึ่งจำเป็นต้องใช้ตัวคอมโพเนนท์ในการเชื่อมต่อข้ามชีทซึ่งมี 2 ตัวด้วยกันคือ $OFFPAG.OUT และ $OFFPAG.IN สำหรับข้อมูลที่ออกจากชีทและเข้าชีท ตามลำดับ



$OFFPAG.OUT SYMBOL $OFFPAG.IN SYMBOL

รูป 4.4 ตัวอย่างแสดงสัญญลักษณ์ของ $OFFPAG.OUT และ $OFFPAG.IN

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งไม่อนุญาตให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารนี้ทุกครั้งที่มีการนำไปใช้

4.3 ส่วนการสร้างสัญญลักษณ์

ในส่วนของการสร้างสัญญลักษณ์นั้นจะเรียกใช้โปรแกรมตที่มีชื่อว่า SYMED ของMentor Graphics ซึ่งเป็นเครื่องมือที่ไว้ใช้สร้างและแก้ไขสัญญลักษณ์ คอมโพเนนท์ โดยจะนำไปใช้ในส่วนของการสร้าง Schematic ใน NETED

สัญญลักษณ์คอมโพเนนท์จะประกอบด้วย 4 ส่วนใหญ่ ๆ คือ

1. Shape จะเป็นส่วนที่ปรากฏให้เห็นใน Schematic
2. พินเป็นจุดซึ่งมีไว้สำหรับการเชื่อมต่อทางไฟฟ้า
3. จุดเริ่มต้นเป็นจุดอ้างอิงสำหรับการวางตัวคอมโพเนนท์
4. Properties เป็นเท็กซ์ที่เอาไว้ใช้อ้างอิงของตัว คอมโพเนนท์

สำหรับสัญญลักษณ์คอมโพเนนท์ ที่มีอยู่แล้วสามารถเรียกใช้ได้จากในส่วนของคอมโพเนนท์ไลบรารี ส่วนสัญญลักษณ์คอมโพเนนท์ ที่ไม่มีอยู่ในไลบรารี จะสามารถสร้างขึ้นได้ ในขั้นตอนดังต่อไปนี้

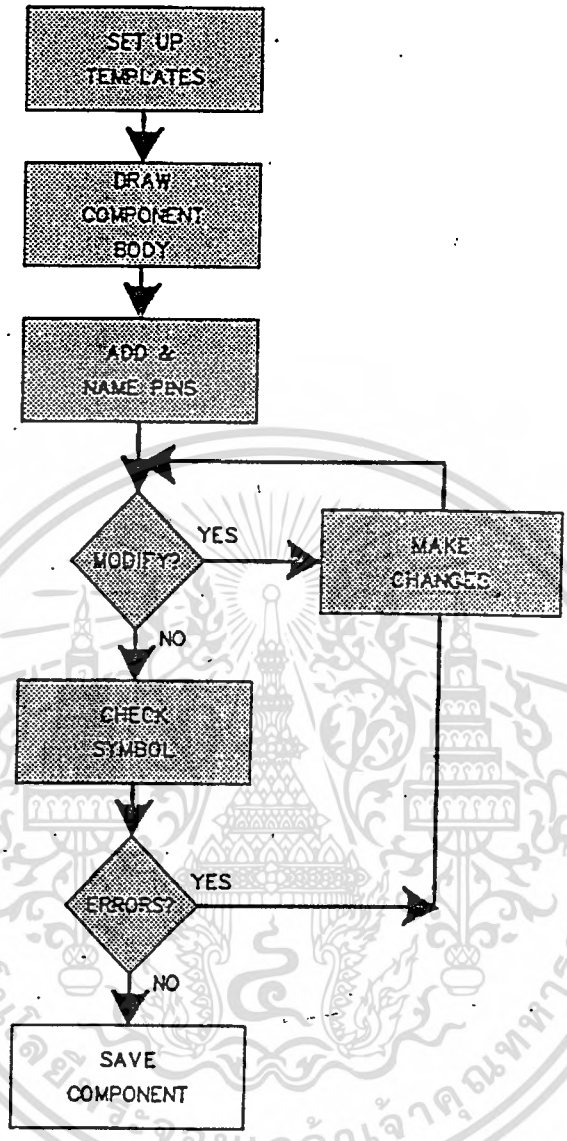
4.3.1 ทำการเซต Templates ซึ่งจะประกอบด้วย

- การเซตขนาดเพจเช่น ขนาด A4 ,A3 เป็นต้น
- การเซตกริดระยะห่างของกริดทั้งแกน X และแกน Y
- ระยะห่างของพิน

4.3.2 ทำการวาดส่วนสัญญลักษณ์ Body ซึ่งสามารถวาดทั้งรูปสี่เหลี่ยม, เส้นตรงและ ส่วนโค้ง โดยมีเส้นแบบต่างๆ ให้เรียกใช้ เช่น เส้นธรรมดา เส้นทึบ เส้นประเป็นต้น

4.3.3 ใส่พิน และ ชื่อพินโดยในการวางพินจะต้องวางบนพินกริดและมีระยะระหว่างพินไม่น้อยกว่าที่ได้เซตเอาไว้ในตัวข้อที่ 4.3.1 รวมทั้งต้องคำนึงถึงระยะของพิน ในส่วนของการสร้าง Schematics ด้วย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูป 4.5 ผังแสดงขั้นตอนการทำงานของส่วนสร้างสัญญลักษณ์

4.3.4 ส่วนของการเปลี่ยนแปลงแก้ไขซึ่งมีด้วยกัน 3 ขั้นตอนเช่นเดียวกัน กับของโปรแกรม NETED คือ

1. เลือกออปเจ็กต์
2. เปลี่ยนแปลงแก้ไข
3. ยกเลิกการเลือกออปเจ็กต์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเอกสารนี้ทุกครั้งที่มีการนำไปใช้

4.3.5 ทำการ Check ตามกฎของการสร้างสัญญลักษณ์โดยจะต้องทำการตรวจ

สอบให้เรียบร้อยก่อนทำการเซฟลงดิสก์ ถ้าในการ Check มี Error จะต้องทำการแก้ไขให้ถูกต้องทั้งหมดเสียก่อน จึงจะนำไปใช้ในโปรแกรม NETED สำหรับการสร้าง Schematic ต่อไปได้

สำหรับ Error ที่สามารถจะเกิดในการสร้างสัญญลักษณ์ได้มีดังนี้ คือ

- ไม่มีพินในตัวคอมโพเนนท์
- มีชื่อพินซ้ำ
- ค่าของ Property ผิดปกติ

4.3.6 ทำการเซฟสัญญลักษณ์คอมโพเนนท์ แล้วออกจากโปรแกรม SYMED ซึ่งถือว่าเป็นการเสร็จสิ้นในส่วนของการสร้างสัญญลักษณ์นั้น ๆ

4.4 ส่วนการสร้าง ไลบรารีพาร์ท

ในส่วนของการสร้างไลบรารีพาร์ท (จีโอเมตรี) ซึ่งจะเรียกใช้โปรแกรมที่มีชื่อว่า LIBRARIAN ของ Mentor Graphics ซึ่งเป็นเครื่องมือที่ไว้ใช้ในการสร้าง และแก้ไขไลบรารีพาร์ท ในการทำงานครั้งนี้ ได้ทำการแบ่งชนิดของไลบรารีพาร์ทออกเป็น 3 พาร์ทใหญ่ๆ ด้วยกัน คือ

1. คอมโพเนนท์พาร์ท
2. บอร์ดพาร์ท
3. แพดสแตกพาร์ท

สำหรับรายละเอียดขั้นตอนการสร้าง และสิ่งที่ต้องการของแต่ละส่วนนี้ จะเป็นดังนี้คือ

4.4.1 คอมโพเนนท์พาร์ทในพาร์ท นี้จะเป็นส่วนที่บอกถึงตำแหน่งโครงสร้างของพินบนตัวอุปกรณ์ชนิดของรูเจาะ ขนาดที่แท้จริงของอุปกรณ์จึงทำให้ก่อนที่จะทำการสร้างในส่วนคอมโพเนนท์พาร์ท จะต้องรู้ถึงสิ่งต่อไปนี้คือ

- รายละเอียดของพินบนตัวอุปกรณ์ทุกๆ พิน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- ขนาดของตัวอุปกรณ์ (Placement Outline)
- สัญลักษณ์บนแผ่นวงจรพิมพ์ (Silkscreen Marking)
- Reference Designator

ซึ่งขั้นตอนในการออกแบบสร้างส่วนของคอมโพเนนท์พาร์ท เมื่อได้ทราบข้อมูลทั้งหมดดังกล่าวข้างต้นแล้ว คือ

1. ทำการวางขา (พิน) ของตัว คอมโพเนนท์ ตามตำแหน่งที่ถูกต้อง
2. ทำการกำหนดชนิดของแพดสแตก (สำหรับวิธีการสร้างแพดสแตกจะกล่าวโดยละเอียดในตัวข้อ 4.4.3)
3. วาดสัญลักษณ์บนแผ่นวงจรพิมพ์โดยเขียนลงบนตำแหน่งของซิลสกรีนเลเยอร์
4. วาดเส้นกำหนดขนาดตัวอุปกรณ์ (Placement Outline)
5. กำหนดเท็กซ์เพื่อเป็นตัวอ้างอิงเช่น *DIP14
6. ในตัวคอมโพเนนท์บางตัวอาจต้องมีการกำหนดพื้นที่ห้ามการ Routing ด้วย เพราะฉะนั้นจะต้องมีการกำหนดขอบเขตนี้ด้วย เรียกว่า Routing Keepout
7. ทำการเซฟพาร์ท เพื่อนำไปใช้งานต่อไป

4.4.2 บอร์ดพาร์ท ในพาร์ทส่วนนี้จะเป็นส่วนที่บอกถึงเนื้อที่ของการวางตัวคอมโพเนนท์ เนื้อที่ของการลากสายสัญญาน โดยกฎของการ Layout ต่างๆ จะถูกกำหนดอยู่ในส่วนของ บอร์ดพาร์ทนี้ด้วย ก่อนที่จะสร้างส่วนนี้ มีความจำเป็นที่จะต้องรู้ถึงสิ่งต่างๆ ของ บอร์ด ดังต่อไปนี้

- ขนาดของ บอร์ด
- ส่วนของการวางอุปกรณ์
- ส่วนของการ Routing
- ตำแหน่งและขนาดรูที่จะเจาะ

สำหรับขั้นตอนในการออกแบบส่วนของบอร์ดพาร์ท มีดังต่อไปนี้คือ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

• กำหนดขนาดของบอร์ดทั้งด้านกว้างและด้านยาวขนาดของสายที่จะใช้ลาก กำหนดจำนวนเลเยอร์ที่จะใช้ และทิศทางของ การ Route ของแต่ละเลเยอร์

• กำหนดพื้นที่สำหรับการวางตัวคอมโพเนนท์

• กำหนดพื้นที่สำหรับการ Routing และพื้นที่ห้าม Routing

• เจาะรู (Drill-Holes) ตามตำแหน่งและขนาดของรูตามที่กำหนด

• ทำการ เซฟ บอร์ด พาร์ท เพื่อนำไปใช้งานต่อไป

4.4.3 แพดสแตกพาร์ทในพาร์ท ส่วนนี้จะแบ่งออกได้เป็น 2 ส่วนใหญ่ๆ คือ

1. พินแพดสแตกจะบอกถึงขนาดและรูปร่างของที่สำหรับขาของคอมโพเนนท์โดยในส่วนนี้ยังแบ่งได้เป็น Thru-pin, Surface หรือ Blind แพดสแตก
2. เวียแพดสแตกจะบอกถึงขนาดและรูปร่างของพื้นที่สำหรับการเชื่อมต่อลายเส้นสัญญาณระหว่าง เลเยอร์ ที่แตกต่างกัน

สิ่งจำเป็นที่จะต้องรู้ก่อนที่จะสร้างส่วน แพดสแตก คือ

• ชนิดของแพดสแตกที่จะสร้าง

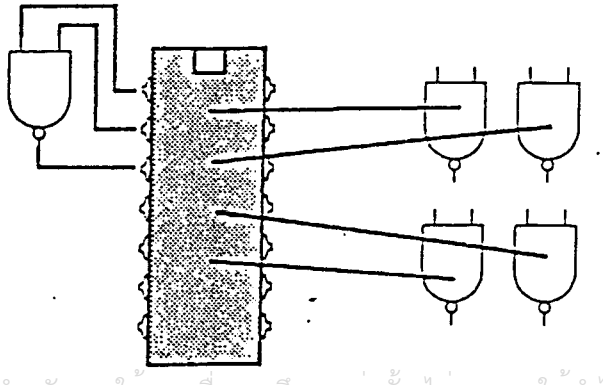
• ขนาดของรูที่จะใช้ (Drill Size)

• พื้นที่เชื่อมสัญญานในชั้นสัญญาณ

• พื้นที่ป้องกันสัญญานในชั้นพาวเวอร์

4.5 ส่วนการทำแมปปิ้ง และแคตาล็อกไฟล์

ในส่วนการสร้างแมปปิ้งไฟล์และแคตาล็อกไฟล์นั้นจะเรียกใช้โปรแกรมที่มีชื่อว่า LIBRARIAN ของ Mentor Graphics ซึ่งเป็นโปรแกรมตัวเดียวกับที่ใช้ในการสร้างตัว ไลบรารีพาร์ท ในหัวข้อนี้จะแยกอธิบายวิธีการของแต่ละตัวได้ดังนี้ คือ



รูป 4.6 ส่วนประกอบของแมปปิ้งไฟล์

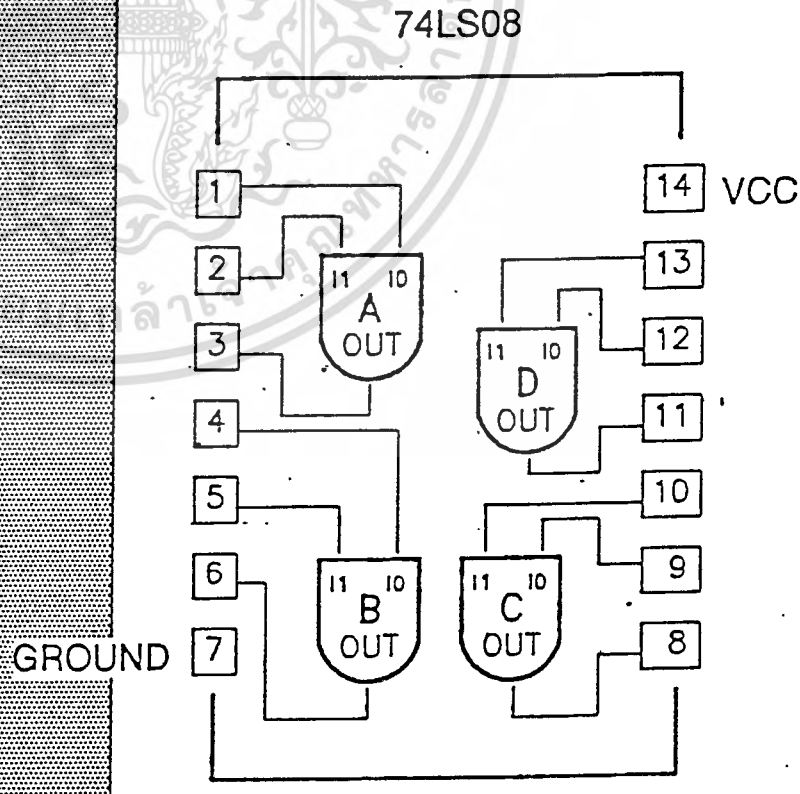
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.5.1 **แมปปิ้งไฟล์** จะเป็นตัวที่เชื่อมโยงระหว่างสัญญลักษณ์ ที่สร้างขึ้นกับลักษณะทางกายภาพของตัวคอมโพเนนท์ โดยจะบอกถึงข้อมูลเกี่ยวกับการสแวปของเกตและพินในตัวคอมโพเนนท์ สำหรับขั้นตอนของการสร้างส่วนแมปปิ้งไฟล์ มีดังนี้คือ

1. ศึกษาข้อมูลตัวคอมโพเนนท์ที่จะทำการแมปจาก Data Book
2. กำหนดตัวสัญญลักษณ์ และตัวจีโอเมตรี
3. สร้างส่วนหมายเลขพาร์ท ซึ่งจะประกอบด้วยส่วนที่จำเป็นดังนี้
   - ชื่อ หมายเลขพาร์ท (pn-74ls00)
   - ชื่อ แคตาล็อกไฟล์ที่จะเก็บ (Design Catalog)
   - ชื่อ จีโอเมตรี ($dip14)
   - สัญญลักษณ์ลอจิก ($74ls00)
   - จำนวนสัญญลักษณ์ในจีโอเมตรี เช่น ตัว 74ls00 มีได้ 4 ตัว เป็นต้น

```
$74LS08.MAP

# An Example of a Mapping File
# All lines beginning with
# a "#" sign are comments
#
SYMBOL   A  1
  PIN  IO  1  1
  PIN  I1  2  1
  PIN  OUT 3  0
SYMBOL   B  1
  PIN  IO  4  1
  PIN  I1  5  1
  PIN  OUT 6  0
SYMBOL   C  1
  PIN  IO  9  1
  PIN  I1 10  1
  PIN  OUT 8  0
SYMBOL   D  1
  PIN  IO 12  1
  PIN  I1 13  1
  PIN  OUT 11  0
POWER GROUND 7
POWER VCC   14
```



รูป 4.7 ตัวอย่างการแมป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4. กำหนดขาของสัญญลักษณ์ในตัวจิโอเมตรี
5. กำหนดขาพาวเวอร์ เช่น VCC, Ground
6. ทำการ Check หมายเลขพาร์ทให้ถูกต้อง
7. ทำการเก็บข้อมูลในส่วนของแคตาล็อกไฟล์ซึ่งจะได้กล่าวต่อไป โดยในการเก็บนี้จะสร้างส่วนที่เป็นแมปปิ้งไฟล์ขึ้นด้วย

4.5.2 **แคตาล็อกไฟล์** ทุกๆ สัญญลักษณ์ในวงจร Schematic จะต้องมีข้อมูลอยู่ในส่วนของแคตาล็อกไฟล์ซึ่งจะประกอบด้วย

1. ชื่อของหมายเลข พาร์ท
2. ชื่อของคอมโพเนนท์
3. ชื่อของจิโอเมตรีที่ใช้
4. แมปปิ้งไฟล์
5. สัญญลักษณ์ จำนวนเกต ในตัวคอมโพเนนท์

สำหรับการสร้างไฟล์นี้จะมาจากการสร้างตอนแรกเท่านั้น หลังจากชั้นข้อมูลในแคตาล็อกไฟล์จะมีเพิ่มขึ้น ได้มาจากในส่วนของการทำแมปปิ้งไฟล์ ซึ่งทุกๆครั้งที่ทำการเซฟในส่วนของการแมป ก็จะเป็นการอัปเดทในตัวที่มีอยู่แล้วในแคตาล็อกไฟล์และเป็นการเพิ่มในตัวที่ยังไม่มีอยู่ในส่วนของแคตาล็อกไฟล์นั้นเอง

training.catalog

```
#  This is an example of a Library Catalog File
#
#  Note:  the next line of text is not a COMMENT
#
PART_NO  COMP_PROP  GEOMETRY  MAPPING  SYMB_CNT
#
PN-00374  74LS374  $DIP20    $74LS374-MAP   1
PN-00000  74LS00   $DIP14    $74LS00-MAP    4
```

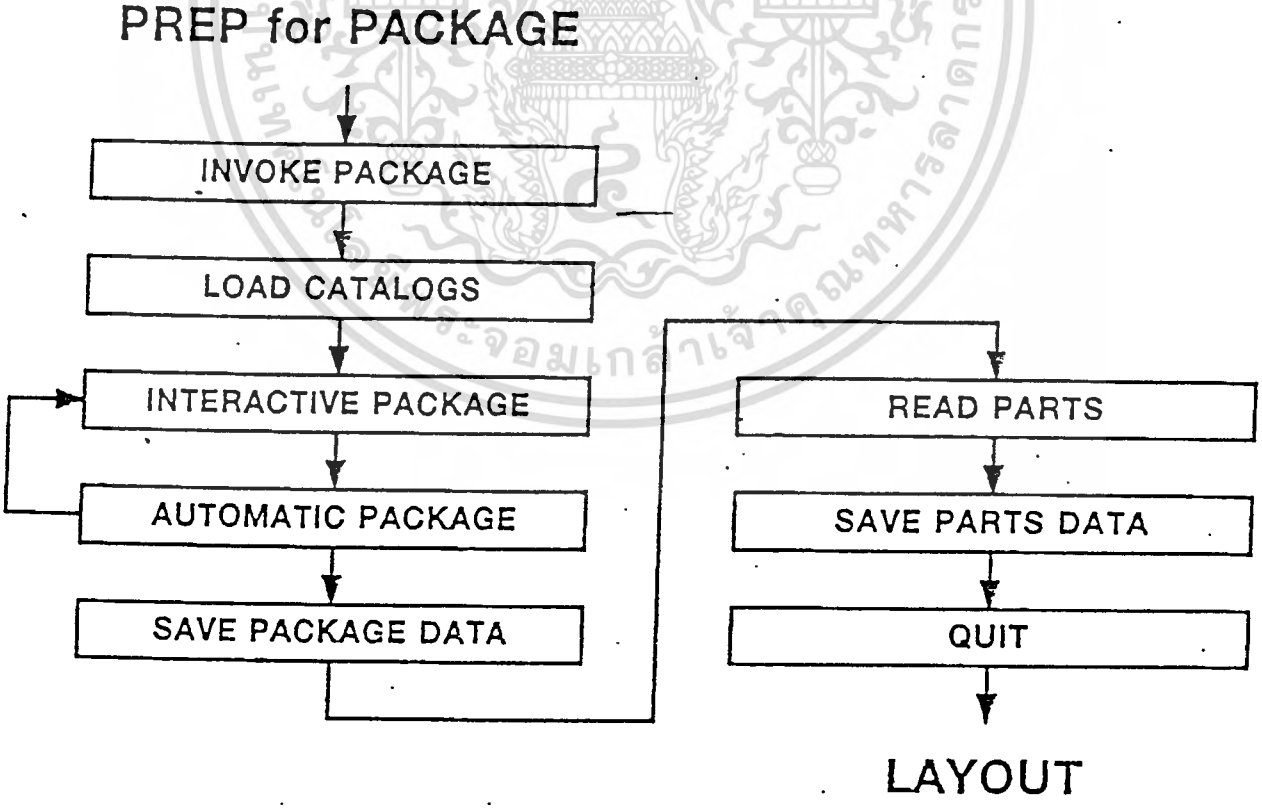
รูป 4.8 ตัวอย่างของแคตาล็อกไฟล์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.6 ส่วนการทำ Packaging

ในส่วนของการทำ Packaging นั้นจะเรียกใช้โปรแกรมที่มีชื่อว่า PACKAGE ของ Mentor Graphics โดยก่อนที่จะเริ่มทำส่วนของ PACKAGE ได้จำเป็นที่จะต้องมีส่วนต่างๆ ที่สร้างไว้แล้ว เพื่อที่จะนำมาใช้งาน คือ

- จิโอเมตรีพาร์ทไฟล์ สร้างจากส่วน LIBRARAIN ซึ่งประกอบด้วย ส่วนแพดสแตกs, คอมโพเนนท์, บอร์ด
- พาร์ทแมปปิ้งไฟล์ และแคตาล็อกไฟล์ ซึ่งจะประกอบด้วยข้อมูลเกี่ยวกับการทำ PACKAGE ของตัวสัญญลักษณ์ลอจิก
- PACKAGE Configuration File จะเป็นส่วนไฟล์ ASCII ซึ่งถูกสร้างโดยอัตโนมัติในส่วนของ LIBRARAIN
- Design File (peb-design.erel) จะประกอบด้วยข้อมูลส่วนเชื่อมต่อ ซึ่งถูกสร้างจากการ Expand_PCB



รูป 4.9 ผังงานการทำ Packaging

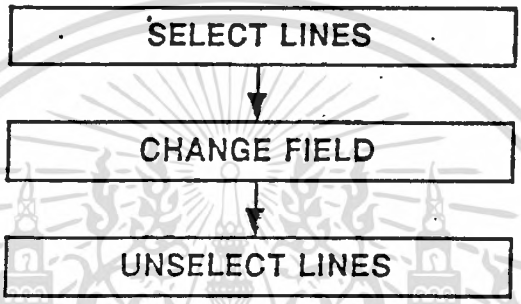
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สำหรับลำดับขั้นตอนการ Packaging มีดังต่อไปนี้คือ

4.6.1 เรียกใช้โปรแกรม PACKAGE

4.6.2 Load ส่วนของ แคตาล็อก ที่จำเป็นสำหรับการทำ PACKAGE

4.6.3 ทำการเปลี่ยนแปลงแก้ไขข้อมูลที่ต้องการโดยใช้หลักการของการเลือกแก้ไข แล้วยกเลิกการเลือก



รูป 4.10 ผังงานวิธีการเรียกแก้ไขข้อมูล

4.6.4 ทำการ Packaging อัตโนมัติโดยเรียกใช้คำสั่ง Build

4.6.5 ทำการเซฟในส่วนของ PACKAGE ซึ่งจะทำให้เกิดไฟล์ต่างๆ ดังต่อไปนี้คือ

- Component File (Comp_File) เป็นข้อมูลเกี่ยวกับคอมโพเนนท์ทุกตัวที่ใช้
- Nets File (Nets_File) เป็นข้อมูลของชื่อ Net และ พินทั้งหมด
- Instance File (Inst_File) เป็นข้อมูลของสัญญลักษณ์ และพินของเกต
- Spares File (Spares_File) เป็นข้อมูลของเกตที่เหลืออยู่ยังไม่ได้ใช้งาน
- Package File (Pkags_File) เป็นจำนวนและชนิดของจีโอเมตริที่ใช้
- Notes File (Notes_File) เป็นข้อมูลของการแก้ไขใน Nets , พินต่างๆ ของ Schematic

4.6.6 ทำการอ่านพาร์ทต่างๆที่จะใช้ใน PACKAGE แล้วทำการ Check ให้ถูกต้อง

4.6.7 ทำการเซฟพาร์ทสำหรับไว้ใช้ในการ Placement และการ Routing ต่อไป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

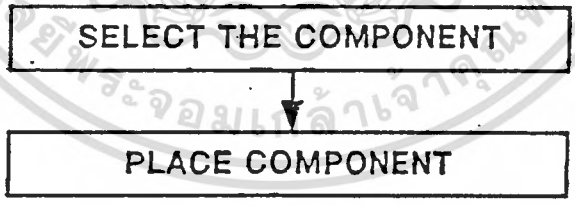
4.6.8 ออกจากโปรแกรม PACKAGE ซึ่งถือว่าเป็นการเสร็จสิ้นในส่วนของการทำ Packaging

4.7 ส่วนการ Placement

ในส่วนของการวางคอมโพเนนท์จะเรียกใช้โปรแกรมที่มีชื่อว่า LAYOUT ของ Mentor Graphics ซึ่งจะเป็นการวางจีโอเมตรี ของตัวคอมโพเนนท์ลงบนตำแหน่งของบอร์ดเอาท์ไลน์ซึ่งได้กำหนดไว้ในส่วนของการทำบอร์ดพาร์ท โดยสามารถวางได้ทั้งด้านบน ด้านล่างหรือทั้งสองด้านของบอร์ดได้

สำหรับวิธีในการ Placement นั้นจะมีด้วยกันหลายวิธีและแต่ละวิธีจะมีขั้นตอนการทำงานดังต่อไปนี้

4.7.1 วิธีเลือก Placement เฉพาะตัวที่ต้องการโดยวิธีการจะต้องเลือกตัวคอมโพเนนท์ที่ต้องการแล้วนำมาวางไว้บนบอร์ดตามตำแหน่งที่ต้องการ โดยวิธีเลือกตัวคอมโพเนนท์อาจจะเลือกได้จากค่า Property ของตัวคอมโพเนนท์ ซึ่งได้แก่

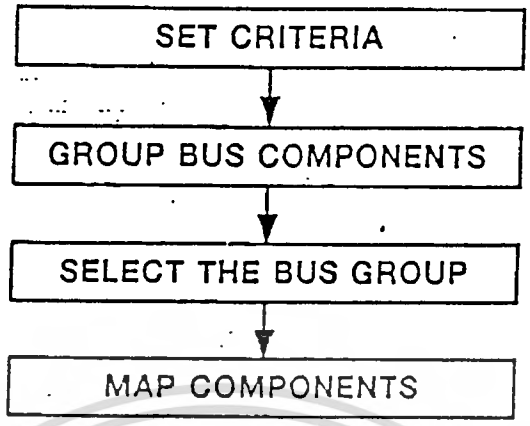


รูป 4.11 ผังงานวิธีการเลือกวางคอมโพเนนท์

- ค่าของ Reference เช่น U1, J1 เป็นต้น
- ตัวคอมโพเนนท์
- ตัวจีโอเมตรี

4.7.2 วิธีเลือก Placement สำหรับสายบัสซึ่งจะทำให้ได้ตัวคอมโพเนนท์ที่มีสายบัสเดียวกัน อยู่ในกลุ่มของคอมโพเนนท์เดียวกันซึ่งมีวิธีการทำงานดังต่อไปนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่อนุญาตให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารนี้ทุกครั้งที่มีการนำไปใช้



รูป 4.12 ผังงานวิธีการเลือกวางโดยวิธีการใช้บัส

1. Set Criteria ซึ่งจะเป็นการกำหนดค่าต่ำสุดของจำนวนคอมโพเนนท์และสายของแต่ละคอมโพเนนท์ สำหรับการพิจารณาของสายบัส

2. สร้างกลุ่มของตัวคอมโพเนนท์ ตามจำนวนที่ได้เซตไว้ในหัวข้อที่ 1 ซึ่งในแต่ละกลุ่มจะมีสายสัญญาณบัสเชื่อมต่อกันเป็นสายเดียวกัน

3. ทำการเลือกกลุ่มของตัวคอมโพเนนท์ที่ต้องการโดยการใส่ชื่อที่ต้องการของกลุ่มของบัส

4. ทำการแมปตัวคอมโพเนนท์ลงบนบอร์ด ซึ่งมีวิธีการแมปหลายวิธีการดังต่อไปนี้คือ

- ออโตเมติกแมปปิ้ง ลงบนพื้นที่ที่กำหนดให้
- ออโตเมติกแมปปิ้ง ภายในบอร์ด
- เลือกแมปตัวคอมโพเนนท์เป็นตัวๆ ไปภายในกลุ่มบัส

4.7.3 วิธีเลือก Placement โดยอัตโนมัติทั้งหมดให้วางลงบนบอร์ดได้ หรืออาจจะวางโดยอัตโนมัติเป็นตัวๆ ไปก็ได้

เมื่อมีการวางตัวคอมโพเนนท์ทั้งหมดแล้วลงบนบอร์ด เราก็ยังสามารถที่จะแก้ไขการ Placement ได้โดยการใช้คำสั่งเคลื่อนย้าย, หมุน เป็นต้น หลังจากวางตัวคอมโพเนนท์ลงบอร์ดเสร็จสิ้นเรียบร้อยแล้วก็จะทำการเซฟซึ่งเป็นขั้นตอนสุดท้ายสำหรับขั้นตอนการ Placement

เอกสารนี้มีลิขสิทธิ์ ห้ามนำไปใช้ในการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

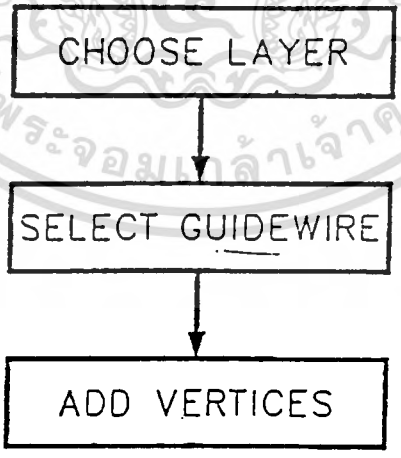
4.8 ส่วนการ Routing

ในส่วนของการ Routing จะเรียกใช้โปรแกรมที่ชื่อว่า LAYOUT เช่นเดียวกับในส่วนของการ Placement โดยสามารถที่จะทำการ Route ได้ทั้งหลังจากวางตัวคอมโพเนนท์ทั้งหมดลงบอร์ดแล้ว หรือจะมีคอมโพเนนท์เพียงบางตัวเท่านั้นก็ได้ สำหรับวิธีการและขั้นตอนของการ Route มีด้วยกันหลายวิธี แต่ก่อนที่จะได้กล่าวโดยละเอียดต่อไป จะกล่าวถึงกฎที่จำเป็นต้องกำหนดไว้ก่อนที่จะทำการ Route สายสัญญาณ เช่น

- ขนาดความกว้างของสายสัญญาณ
- ระยะห่างระหว่างทางเดินของสายสัญญาณ
- ระยะห่างระหว่างแพด
- ขนาดและชนิดของเวีย
- รูปแบบการ Route

วิธีการและขั้นตอนการ Route มีดังนี้

4.8.1 Interactive Routing เป็นการ Route สายสัญญาณทีละเส้น ตามแนวทางที่ต้องการมีขั้นตอนดังต่อไปนี้ คือ



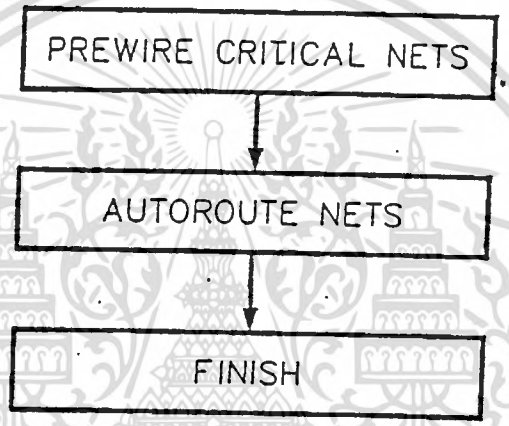
รูป 4.13 ผังงานวิธีการ route แบบ interactive

- เลื่อนเคอร์เซอร์ไปยังตำแหน่งของสายสัญญาณที่ต้องการ Route
- ทำการเลือกสายสัญญาณขึ้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- เลื่อนเคอร์เซอร์ไปยังตำแหน่งที่ต้องการ Route สาย (Vertex)
- ถ้าต้องการเปลี่ยนเลเยอร์ก็ให้ใส่เวียเข้าไป
- ทำเช่นนี้ไปเรื่อยๆ จนกระทั่งเชื่อมสัญญาณเส้นนั้นเรียบร้อย

4.8.2 **Automatic Routing** ถึงแม้ว่าจะเป็นการทำงานโดยอัตโนมัติแต่จะต้องมีการควบคุมการทำงานของมัน ซึ่งจะทำในส่วนของการ Set Autorouter โดยสิ่งที่เราจำเป็นต้องควบคุมได้แก่



รูป 4.14 ผังงานวิธีการ route แบบ automatic

- สายสัญญาณที่เลือกให้ทำการ Route (อาจจะเลือกทั้งหมดเลยก็ได้)
- เลเยอร์ ที่ใช้ในการ Route (จำนวน และชั้นของ เลเยอร์)
- พื้นที่สำหรับการ Route สายสัญญาณ (อาจจะทั้ง บอร์ด เลยก็ได้)
- จำนวนรอบของการ Route
- กำหนดวิธีการและความสำคัญของการ Route
- ชนิดของรอบที่ทำการ Autorouting ซึ่งมีด้วยกัน 3 ชนิดคือ

1. Pattern เป็นการ Route ที่จะให้สายสัญญาณแต่ละเส้น ลากสายอยู่ภายในเลเยอร์ เดียวกัน
2. Automatic เป็นการ Route โดยวิธีทั่ว ๆ ไป
3. Manufacturing เป็นการ Route สาย โดยพยายามที่จะทำให้เกิดเวียและ Bends ให้น้อยที่สุดซึ่งจะเรียกว่า Cleanup

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

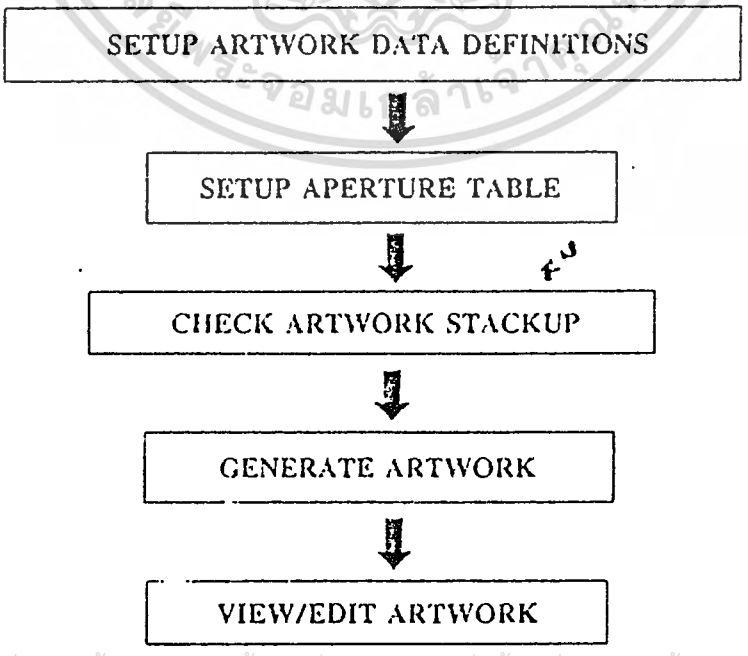
4.9 การทำ Manufacturing Output

ในส่วนนี้จะใช้โปรแกรมที่มีชื่อว่า Fablink โดยข้อมูลที่จะเกิดจากส่วนนี้คือ

1. ข้อมูล Photoplot
2. ข้อมูล Drill Machine
3. ข้อมูล Milling Machine
4. Drawings
5. Document และ Reports
6. ไฟล์ ของข้อมูลที่แก้ไข

สำหรับรายละเอียดวิธีการของข้อมูลต่างๆ ที่ได้กล่าวมาแล้วนั้นจะขอกล่าวถึงเฉพาะข้อมูลที่อยู่ในขั้นตอนการทำงานเท่านั้น คือ

4.9.1 Photoplot Data จะเป็นส่วนของการทำอาร์คเวิร์คไฟล์ซึ่งจะใช้ในส่วนของการทำ Manufacturing โดยในแผ่นฟิล์มของอาร์คเวิร์คจะเป็นเลเยอร์แต่ละชั้นของแผ่นวงจรพิมพ์ โดยขั้นตอนการสร้างข้อมูลทางอาร์คเวิร์คมีดังต่อไปนี้ คือ



รูป 4.15 ผังงานแสดงการทำอาร์คเวิร์ค

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเอกสารทุกครั้งที่มีการนำไปใช้

1. ทำการเซตข้อกำหนดต่างๆ ของอาร์คเวิร์ค เช่น ขนาดของฟิล์ม ข้อมูลที่จะต้องการเขียน

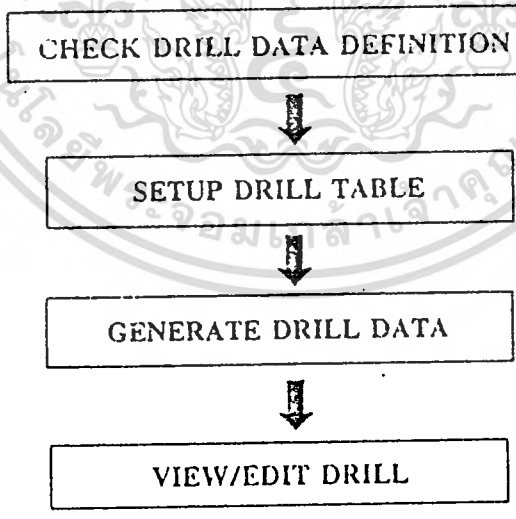
2. ทำการเซตตารางของ Photoplotter Aperture โดยกำหนดรูปร่างและขนาดของส่วนต่างๆ ที่จะวาดลงบนอาร์คเวิร์คฟิล์ม

3. ทำการ Check อาร์คเวิร์คสแตกซึ่งเป็นเลเยอร์ที่ใช้ทำลงไปใน อาร์คเวิร์คไฟล์

4. ทำการสร้างอาร์คเวิร์ค ซึ่งเราสามารถที่จะกำหนดชนิดและรูปแบบที่แตกต่างกันได้

5. หลังจากสร้างเรียบร้อยแล้ว เราสามารถที่จะวิว และ อิดิตได้ ก่อนที่จะทำ Photoplot

4.9.2 Drill Machine Data ซึ่งจะเป็นส่วนที่บอกตำแหน่งและขนาดของรูเจาะต่างๆ ในแผ่นวงจรพิมพ์ ไม่ว่าจะเป็น Thru-Pin หรือ เวียโอลโดยขั้นตอนการสร้าง Drill Data มีดังต่อไปนี้



รูป 4.16 ผังงานแสดงการทำ Drill Data

1. ทำการ Check ข้อกำหนดต่าง ๆ ของ Drill Data

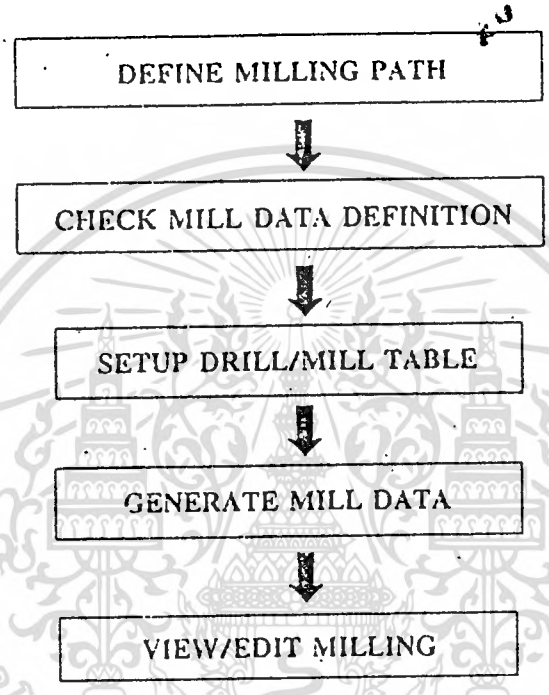
2. ทำการเซตตารางของ Drill ซึ่งจะเป็นการกำหนดขนาดและตำแหน่งของ Drill Bit

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3. ทำการ Generate Drill เหมือนกันที่ทำในอาร์คเวิร์ค

4. ทำการวิว และแก้ไข ก่อนทำ Photoplot

4.9.3 **Milling Machines Data** เป็นข้อมูลสำหรับเอาไว้ใช้ในการตัดบอร์ด ออกเป็นแผ่น ๆ ตามขนาดที่ต้องการ มีวิธีการทำ Mill Data ดังต่อไปนี้



รูป 4.17 ผังงานแสดงการทำ Mill Data

1. กำหนด Path ของ Mill Data ใน Softwore Fablink

2. ทำการ Check ข้อกำหนดต่าง ๆ ของ Mill Data

3. ทำการเซตตารางของ Drill และ Mill

4. ทำการสร้าง Mill Data

5. ทำการวิวและถ้าต้องการก็สามารถแก้ไขได้ด้วย

4.9.4 **Drawing** ในการทำส่วนของ Manufacturing Drawing สามารถที่ทำได้หลายวิธีการเช่น

1. ใช้ Drawing Template มาตราฐานตามต้องการ (size A ถึง F)

2. ในส่วนภาพของบอร์ดกับเลเยอร์ที่เลือกสามารถทำเป็นส่วน Drawing ได้โดยอัตโนมัติ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3. ไดเมนชั่นสามารถใส่ได้โดยกำหนดจุดเริ่มต้นและจุดสิ้นสุด

4. Drill Hole จะปรากฏเองโดยอัตโนมัติ

4.9.5 **Document & Report** ในส่วนของการทำ Manufacturing รายงานที่ได้จาก Fablink มีด้วยกันหลายแบบ เช่น

1. Bill of Material จะเป็นรายละเอียดของส่วนคอมโพเนนท์ที่ใช้ในการออกแบบ

2. Net Connection List จะบอกถึงตำแหน่งของแต่ละคอมโพเนนท์พินบนแผ่นวงจรพิมพ์ โดยจะมีตำแหน่งอ้างอิงอยู่ตำแหน่งหนึ่งบนเซอร์กิตบอร์ด

3. Net Lengths Report เป็นรายละเอียดของความยาวในแต่ละ Net

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 5
สรุปและวิจารณ์

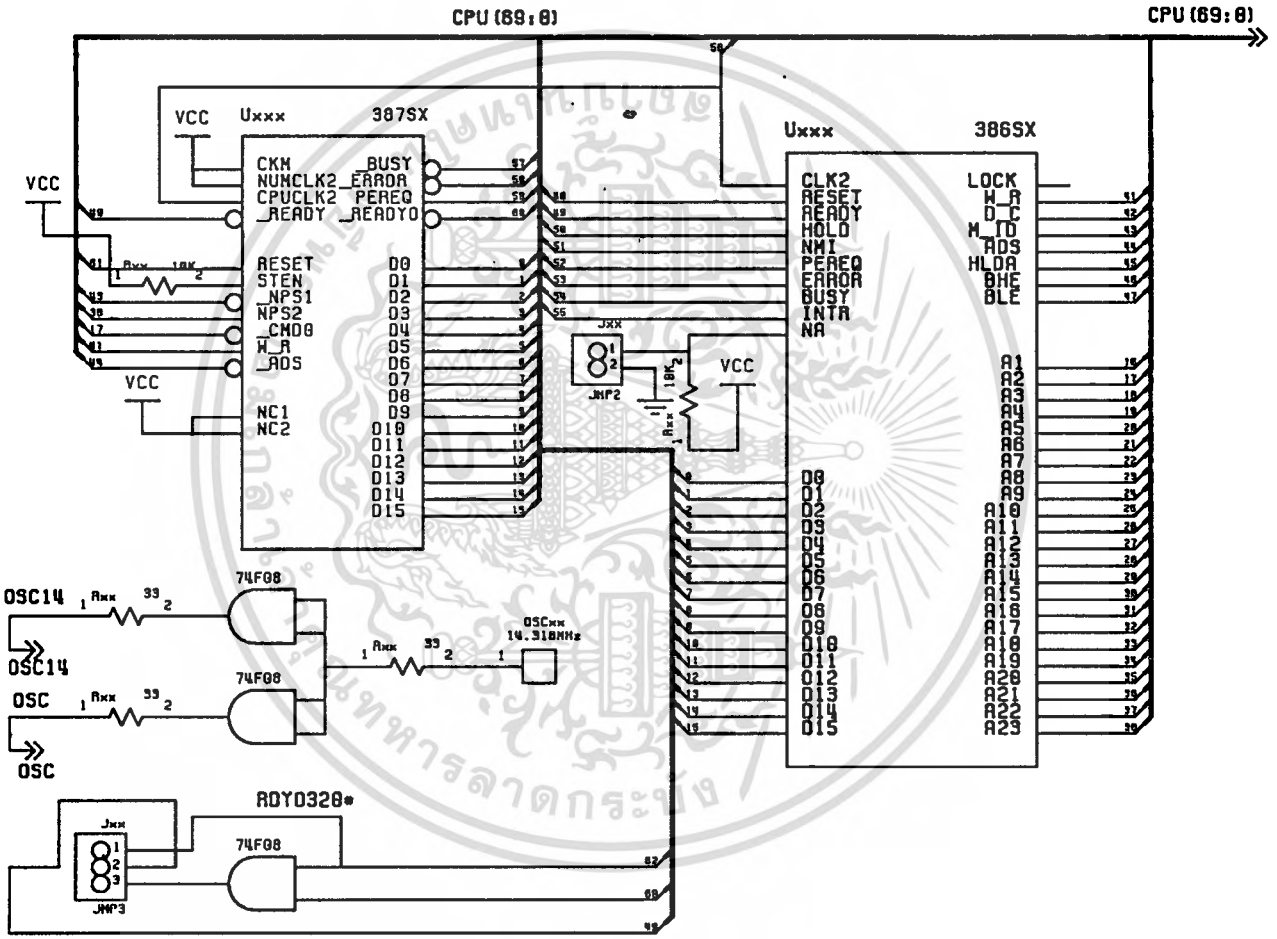
เนื่องจากในปัจจุบันนี้อุตสาหกรรมต่างๆ เริ่มมีการนำเอาเทคโนโลยีสมัยใหม่เข้ามาใช้งานมากยิ่งขึ้น ทั้งนี้เพื่อทำการเพิ่มคุณภาพ และลดต้นทุนการผลิตลง สิ่งหนึ่งที่เริ่มเข้ามามีบทบาทอย่างมากก็คือ คอมพิวเตอร์นั่นเอง อย่างเช่นการออกแบบวงจร หรือลายวงจร ภายในของอุตสาหกรรมการผลิตวงจรอิเลคทรอนิคส์และคอมพิวเตอร์เริ่มมีการนำเอาโปรแกรมช่วยแบบต่างๆ มาใช้งาน และเครื่องคอมพิวเตอร์ชนิดที่ช่วยในการออกแบบงานต่างๆ ที่เริ่มนิยมนำเข้ามา โดยในขั้นต้นนี้ยังอยู่ในขั้นของการศึกษาอยู่ ก็คือเครื่องจำพวกเวิร์คสเตชั่น โดยเครื่องจำพวกนี้สร้างขึ้นมาเพื่อช่วยในทางด้านการออกแบบทางวิศวกรรมแบบต่างๆ โดยเฉพาะโดยมีข้อเด่นในด้านของพวกความละเอียดของจอภาพ ขนาดของหน่วยความจำ ความเร็วในการทำงาน และโปรแกรมโดยเฉพาะของงานแต่ละแบบ จากการออกแบบและทำการทดลองการทำแผ่นวงจรพิมพ์ โดยการใช้เครื่องเวิร์คสเตชั่นช่วยในการทำงานมาทั้งหมดโดยตลอดแล้วนั้นพบว่า สามารถที่จะช่วยให้เกิดความรวดเร็ว ง่ายต่อการตรวจสอบและแก้ไขข้อผิดพลาด ลดลายวงจรได้กะทัดรัดมาก

ประสิทธิภาพต่างๆ ของซอฟต์แวร์ที่ใช้ในการออกแบบนั้นสามารถที่จะนำส่วนประกอบต่างๆ จากไลบรารี่ที่มีอยู่แล้วมาใช้งานได้ แต่ถ้าไม่มีก็ยังสามารถสร้างไลบรารี่เพิ่มเติมขึ้นได้อีกด้วยในขณะเชื่อมสายในวงจรจะมีการตรวจสอบส่วนของอินพุทเอาท์พุท มีส่วนของการตรวจสอบการเชื่อมเส้นว่าเชื่อมติดกันหรือไม่ สามารถที่จะอ้างอิงข้ามหน้ากันได้ภายในไฟล์เดียวกัน

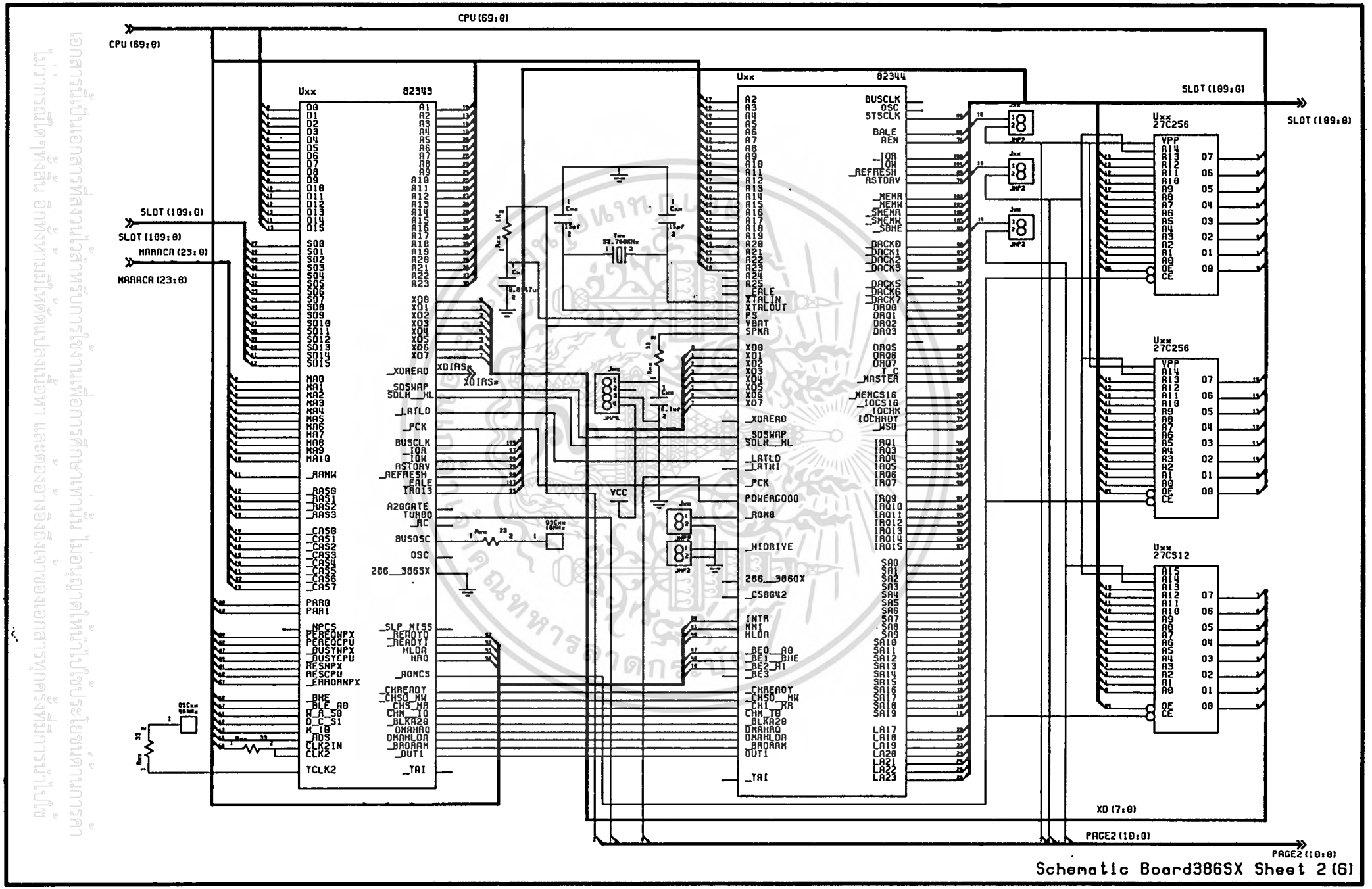
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

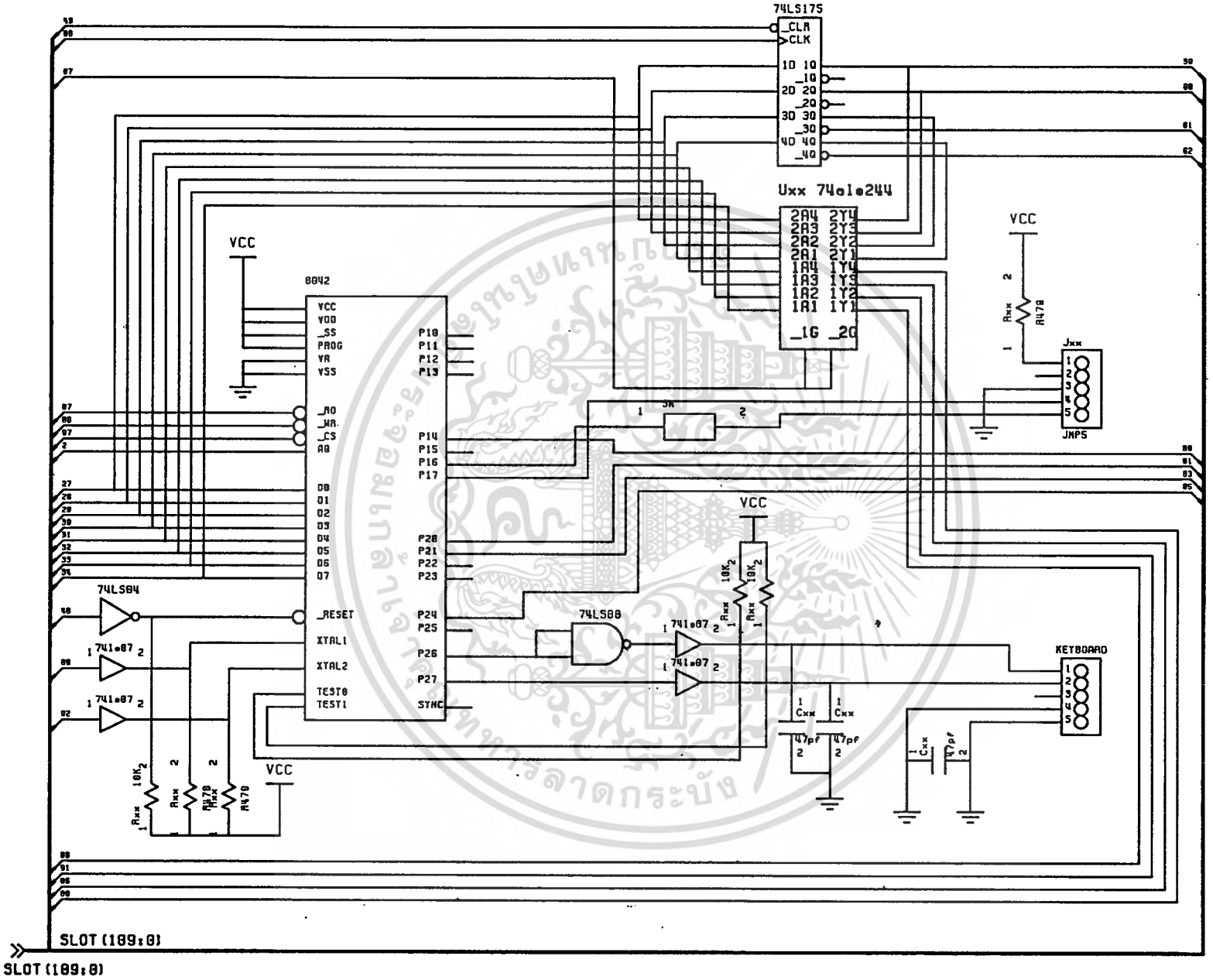
ภาคผนวก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

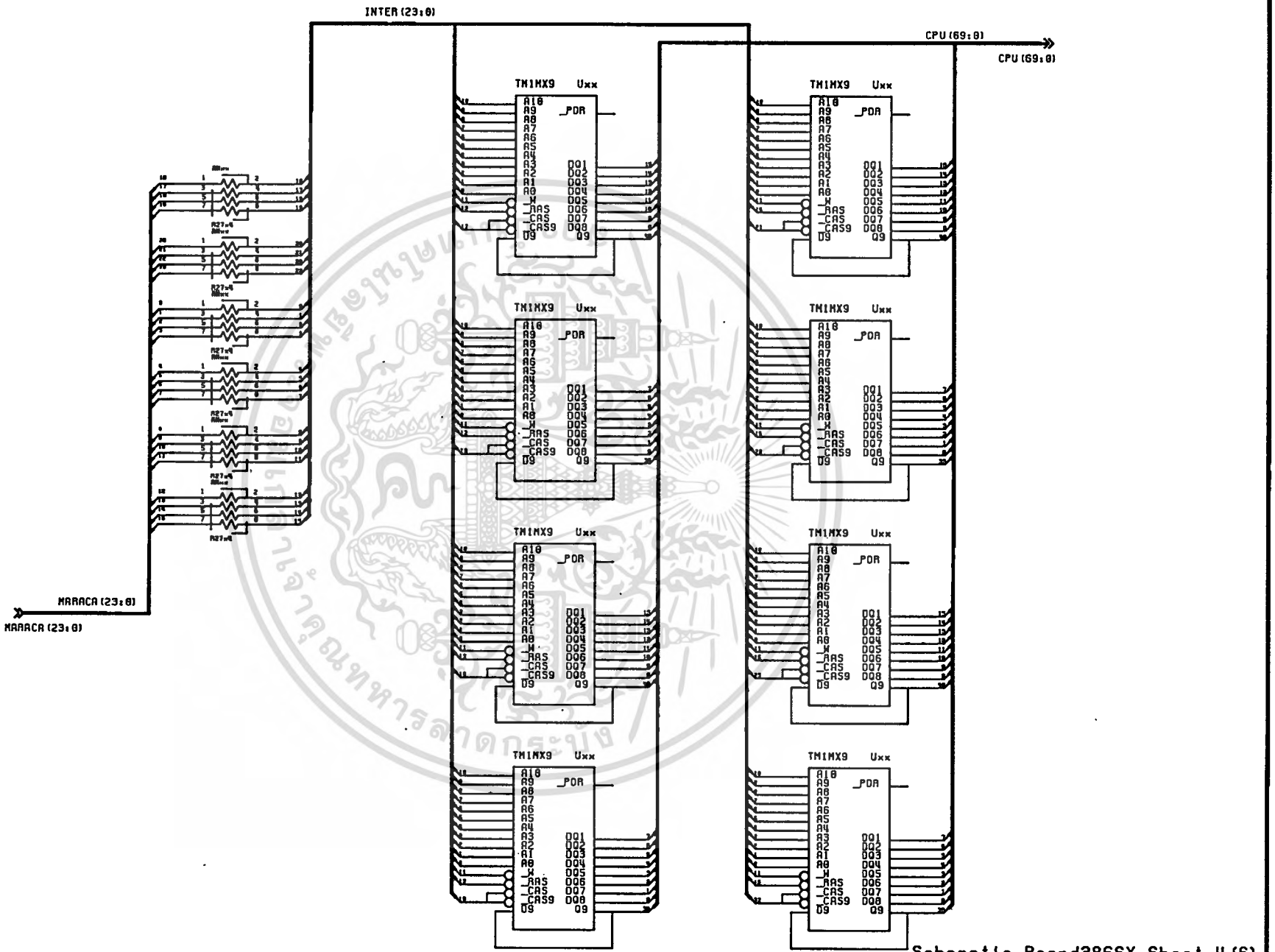


Project PCB Designs
Dept. Computer Engineering
Engineering KMITL
Schematic Board386SX Sheet 1 (6)

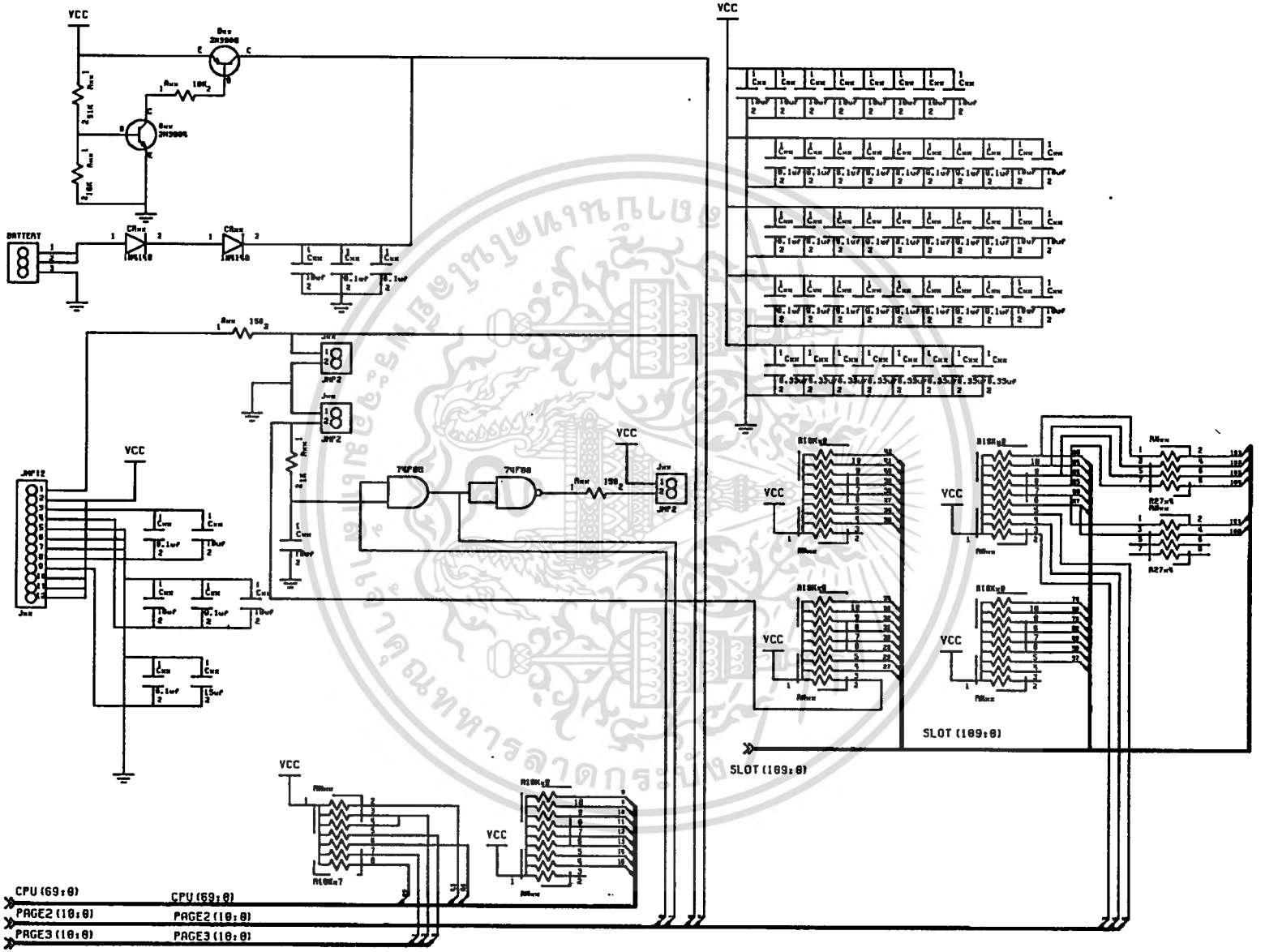

CPU (69:0)
SLOT (109:0)
MAAACA (23:0)
Uxx
82343
82344
XDIAS
VCC
XD (7:0)
PAGE2 (10:0)
Uxx
27C256
Uxx
27C256
Uxx
27CS12
Schematic Board386SX Sheet 2 (6)



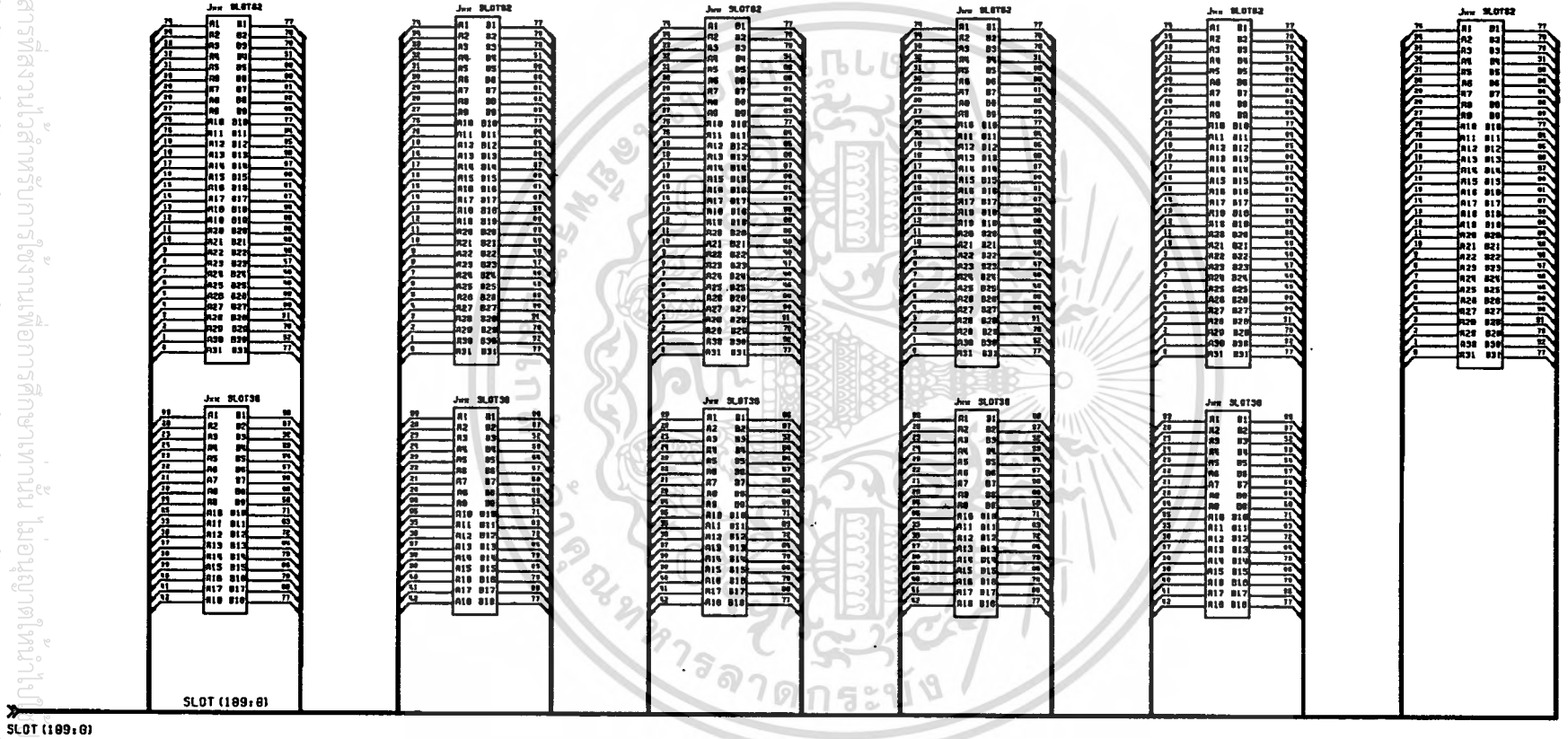
Schematic Board386SX Sheet 3(6)



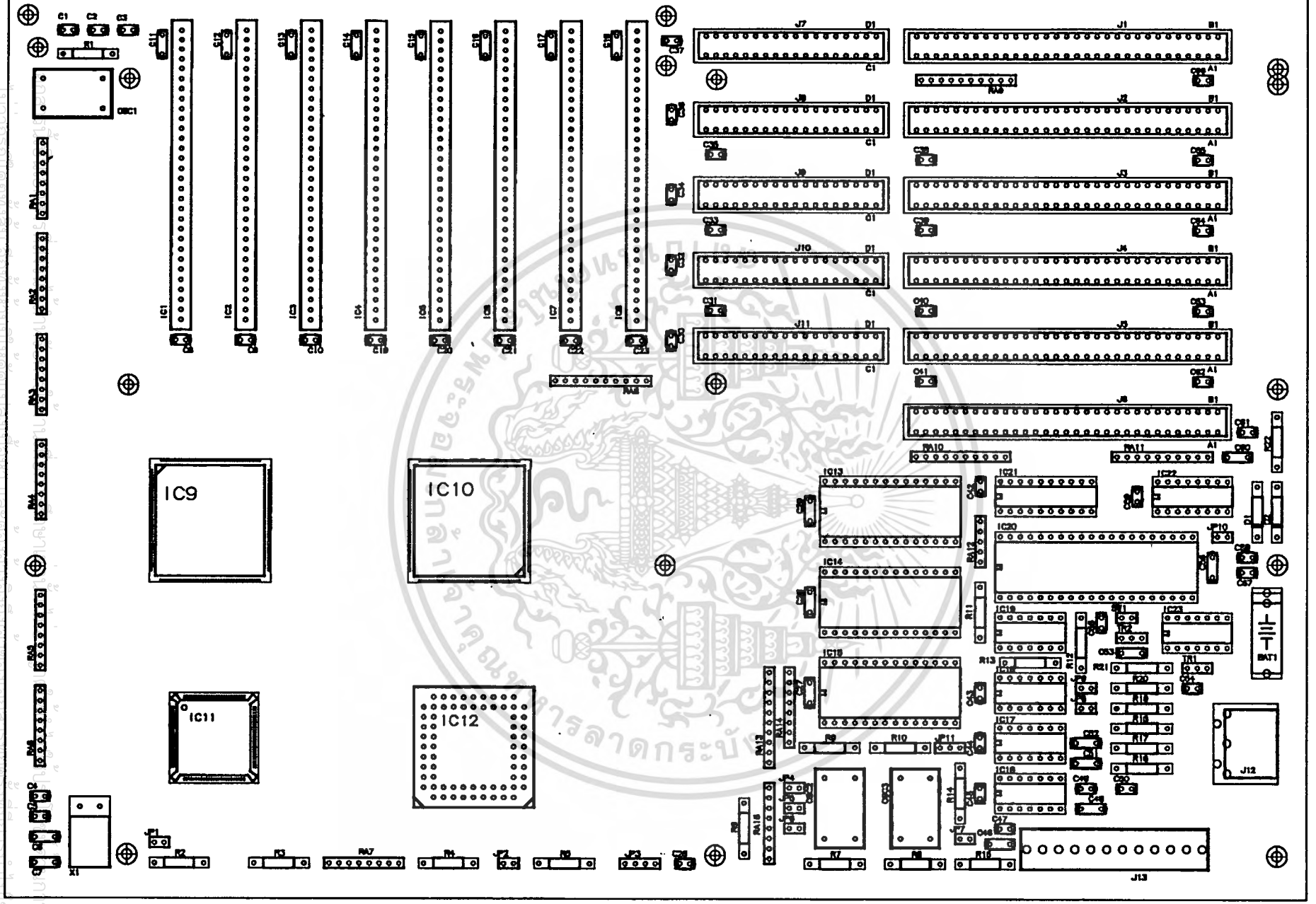
Schematic Board386SX Sheet 4(6)



Schematic Board386SX Sheet 5 (6)

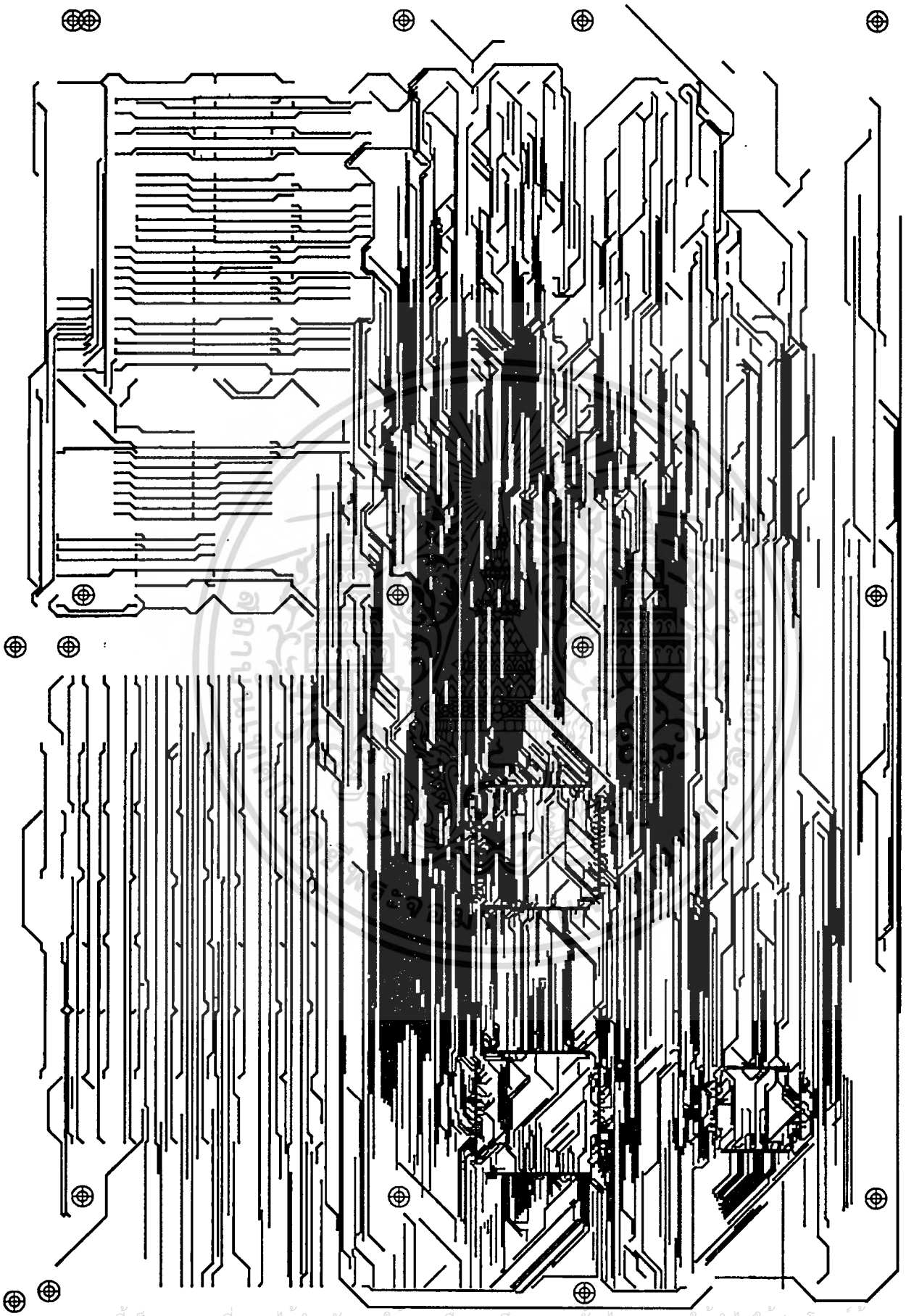


Schematic Board386SX Sheet 6 (6)

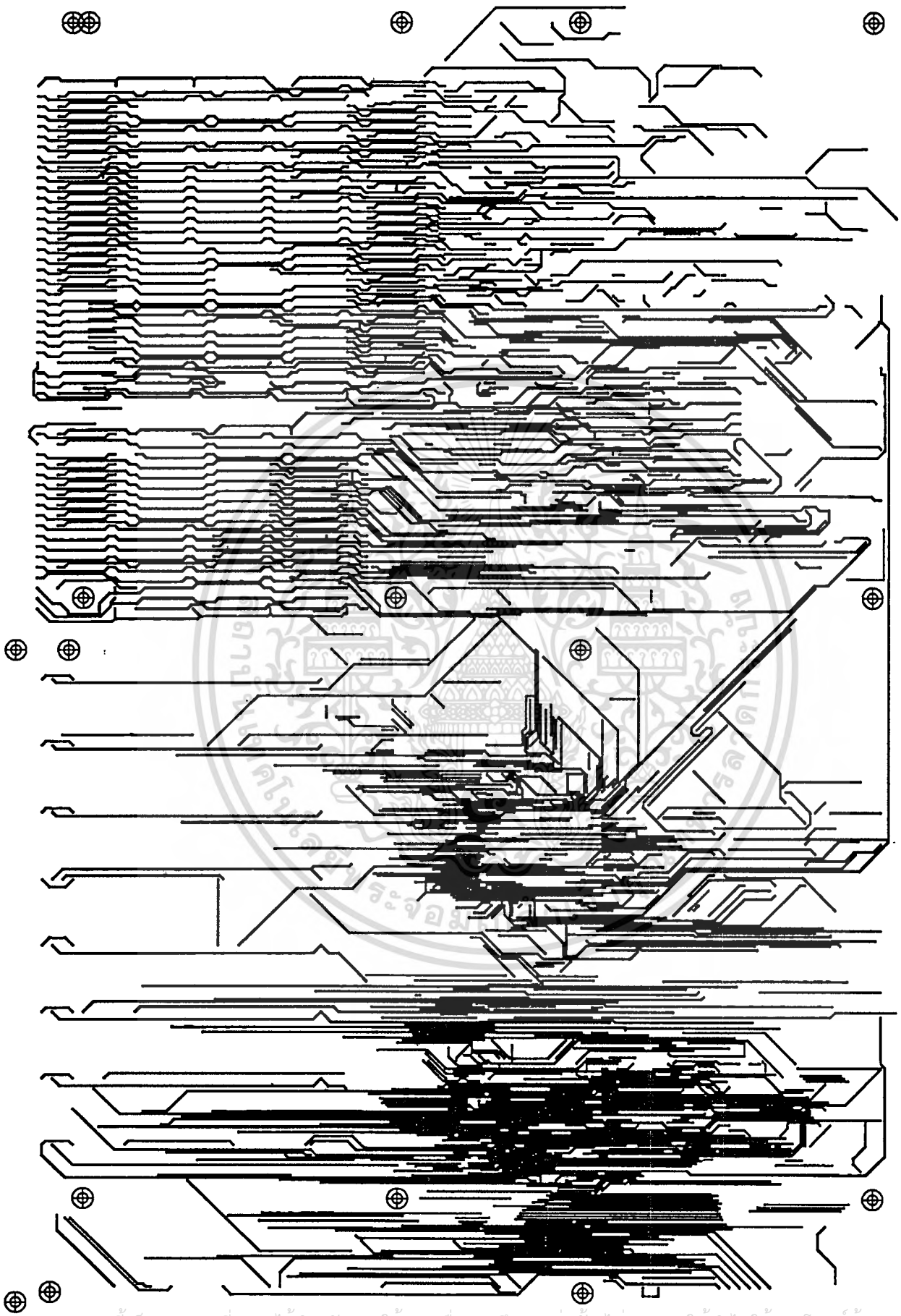


386SX_board

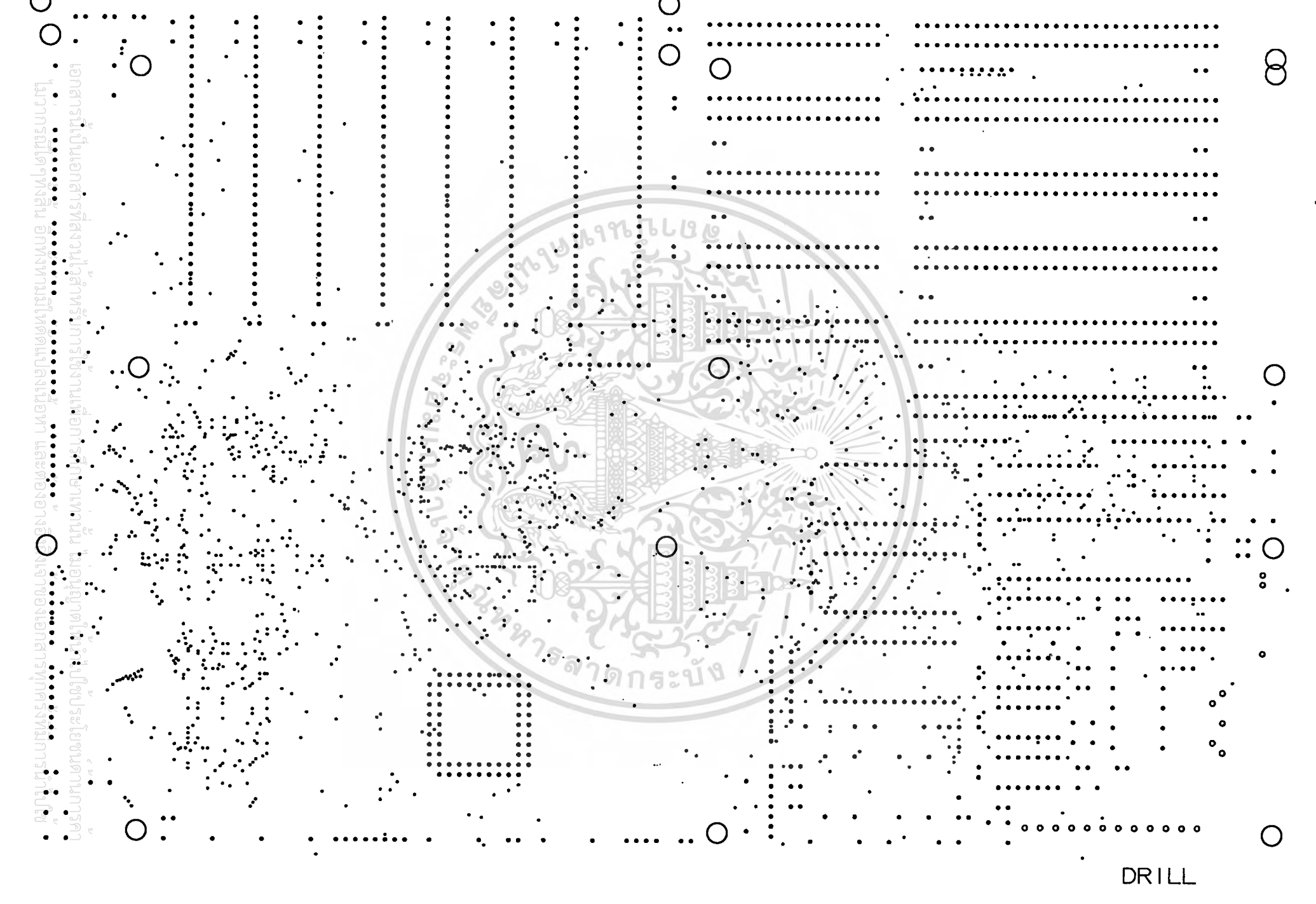
Project PCB Designs
Dept. Computer Engineering
K M I T L



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

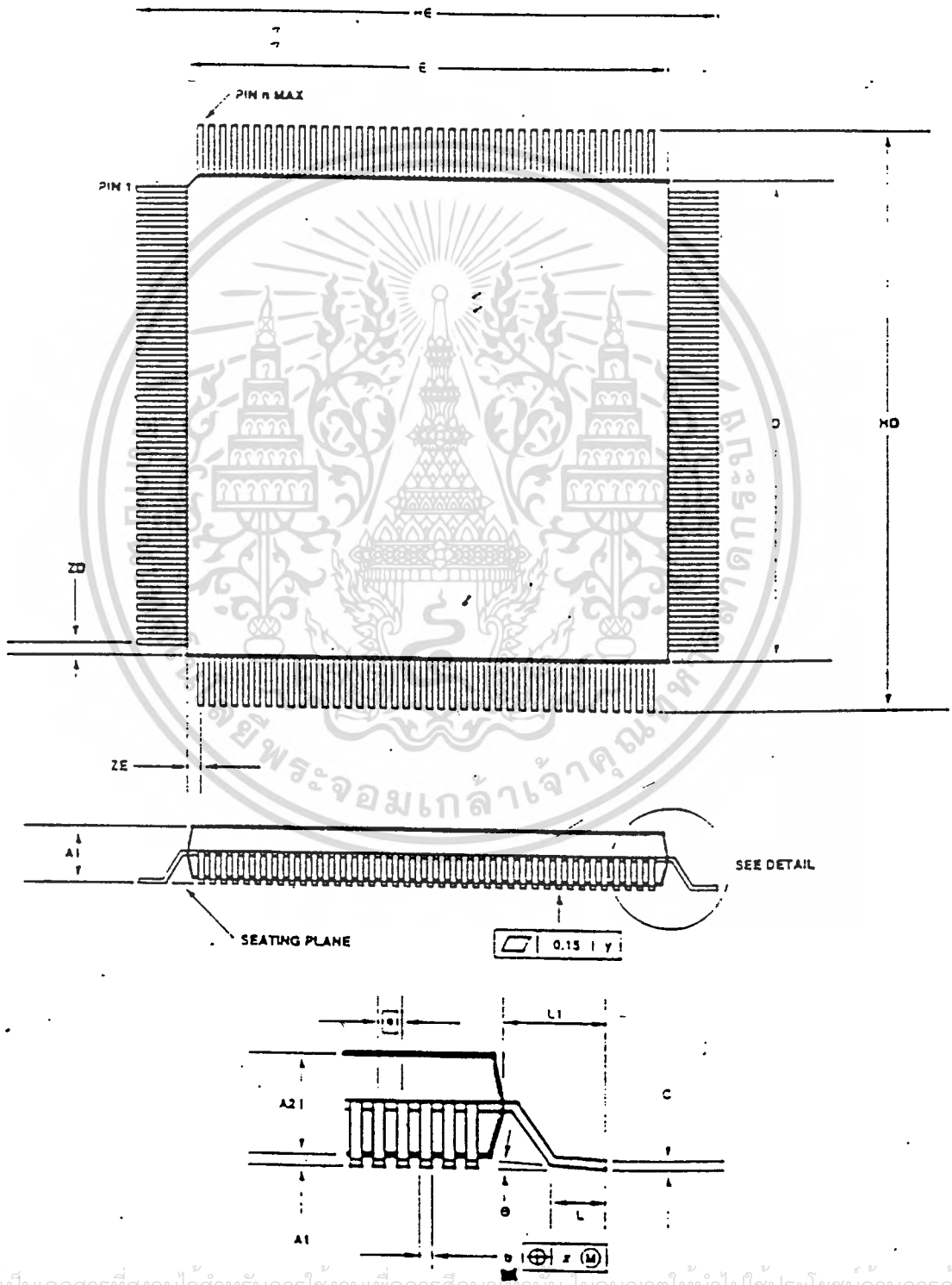


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้


DRILL

PACKAGE OUTLINES:

128-LEAD, 160-LEAD QUAD FLAT PACK



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

PLASTIC JAPANESE QUAD FLAT PACKAGES AND CERAMIC JAPANESE QUAD FLAT PACKAGES:

	128-Lead Quad Flat Pack			160-Lead Quad Flat Pack		
Symbol	Min	Typical	Max	Min	Typical	Max
A			0.140 (3.56)			0.140 (3.56)
A1	0.000 (0.00)	0.004 (0.10)	0.010 (0.25)	0.000 (0.00)	0.004 (0.10)	0.010 (0.25)
A2	0.120 (3.06)	0.126 (3.21)	0.140 (3.56)	0.120 (3.06)	0.126 (3.21)	0.140 (3.56)
B	0.010 (0.25)	0.014 (0.35)	0.018 (0.45)	0.008 (0.20)	0.012 (0.30)	0.016 (0.40)
C	0.005 (0.13)	0.006 (0.15)	0.008 (0.20)	0.005 (0.13)	0.006 (0.15)	0.008 (0.20)
D	1.096 (27.85)	1.102 (28.00)	1.108 (28.15)	1.096 (27.85)	1.102 (28.00)	1.108 (28.15)
E	1.096 (27.85)	1.102 (28.00)	1.108 (28.15)	1.096 (27.85)	1.102 (28.00)	1.108 (28.15)
e1		0.0315 (0.80)			0.026 (0.65)	
HD	1.205 (30.60)	1.228 (31.20)	1.252 (31.80)	1.205 (30.60)	1.228 (31.20)	1.252 (31.80)
HE	1.205 (30.60)	1.228 (31.20)	1.252 (31.80)	1.205 (30.60)	1.228 (31.20)	1.252 (31.80)
L	0.012 (0.30)	0.026 (0.65)	0.039 (1.00)	0.012 (0.30)	0.026 (0.65)	0.039 (1.00)
L1	0.047 (1.20)	0.063 (1.60)	0.079 (2.00)	0.047 (1.20)	0.063 (1.60)	0.079 (2.00)
y			0.006 (0.15)			0.006 (0.15)
ZD		0.063 (1.60)			0.052 (1.33)	
ZE		0.063 (1.60)			0.052 (1.33)	
θ	0	5	10	0	5	10
n		128			160	
x			0.006 (0.16)			0.005 (0.13)

Notes:

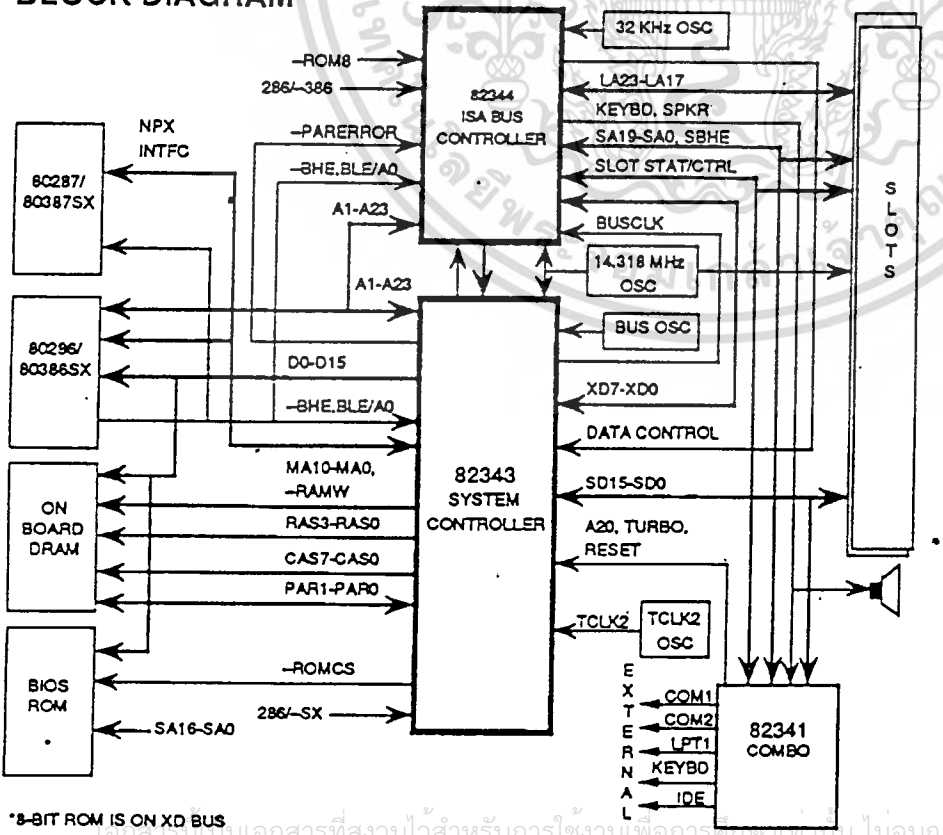
1. The CJQFP are currently used only for prototype builds.
2. All dimensions are in inches (mm). Controlling dimension is metric.
3. CJQFP are epoxy die attached and epoxy sealed.
4. The value of θ (theta) is measured in degrees.
5. PJQFP shall be manufactured with one of the following direct materials:
   Leadframe: Alloy 42, Copper OLIN194
   Die attach material: Hitachi CHE EN-4000, KASEI EPINAR 4110
   Mold Compound: SUMITOMO 6300, KASEI CEL 4000

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

FEATURES

- Two chip PC/AT-compatible chip set capable of use in 286- or 386SX-based systems up to 20 MHz
- Both chips are 160 quad flatpacks, 1.0- and 1.5-micron CMOS
- Memory control of one to four banks of 16 bit DRAM using 256K, 1M, or 4M components allowing 32M bytes on system board
- Page mode DRAM operation on any number of banks
- Two/four-way interleaving or direct access on system board memory
- Programmable option for block or word interleave
- Programmable DRAM timing parameters
- Remap option allows logical reordering of system board DRAM banks
- System board refresh optionally decoupled from slot bus refresh
- Staggered refresh minimizes power supply load variations
- Built–in "sleep" mode features, including use of slow refresh DRAMS in power critical operations
- EMS hardware supports full LIM EMS 4.0® spec over entire 32M byte memory map with backfill to 256K - includes two sets of 36 mapping registers each
- Shadow RAM support in 16K increments over entire 640K to 1M range
- Support for 287 or 387SX numerical coprocessors
- Software coprocessor reset can be disabled
- Internal switching and programmable CLK2 support for slow and "turbo" modes
- Programmable drive on DRAM and slot bus interface signals allows direct drive tailored to system size
- Asynchronous or synchronous slot bus operation with programmable bus clock divider
- Bus "quiet" mode assures that slot bus signal lines are driven only during slot accesses
- Integrated peripheral functions:
  - Two 82C37A DMA controllers
  - Two 82C59A interrupt controllers
  - One 82C54 timer
  - One 146818 real time clock
- Supports 8- or 16-bit wide BIOS ROMs
- I/O decode programmable for 10- or 16-bit addresses
- Separate parity generators/checkers for high speed operation
- Designed for systems with up to 12 MHz backplane operation
- Three-state control pins added for board level testability
- Compatible with Lotus 1-2-3® version 3.0 in 1M systems

BLOCK DIAGRAM



*8-BIT ROM IS ON XD BUS

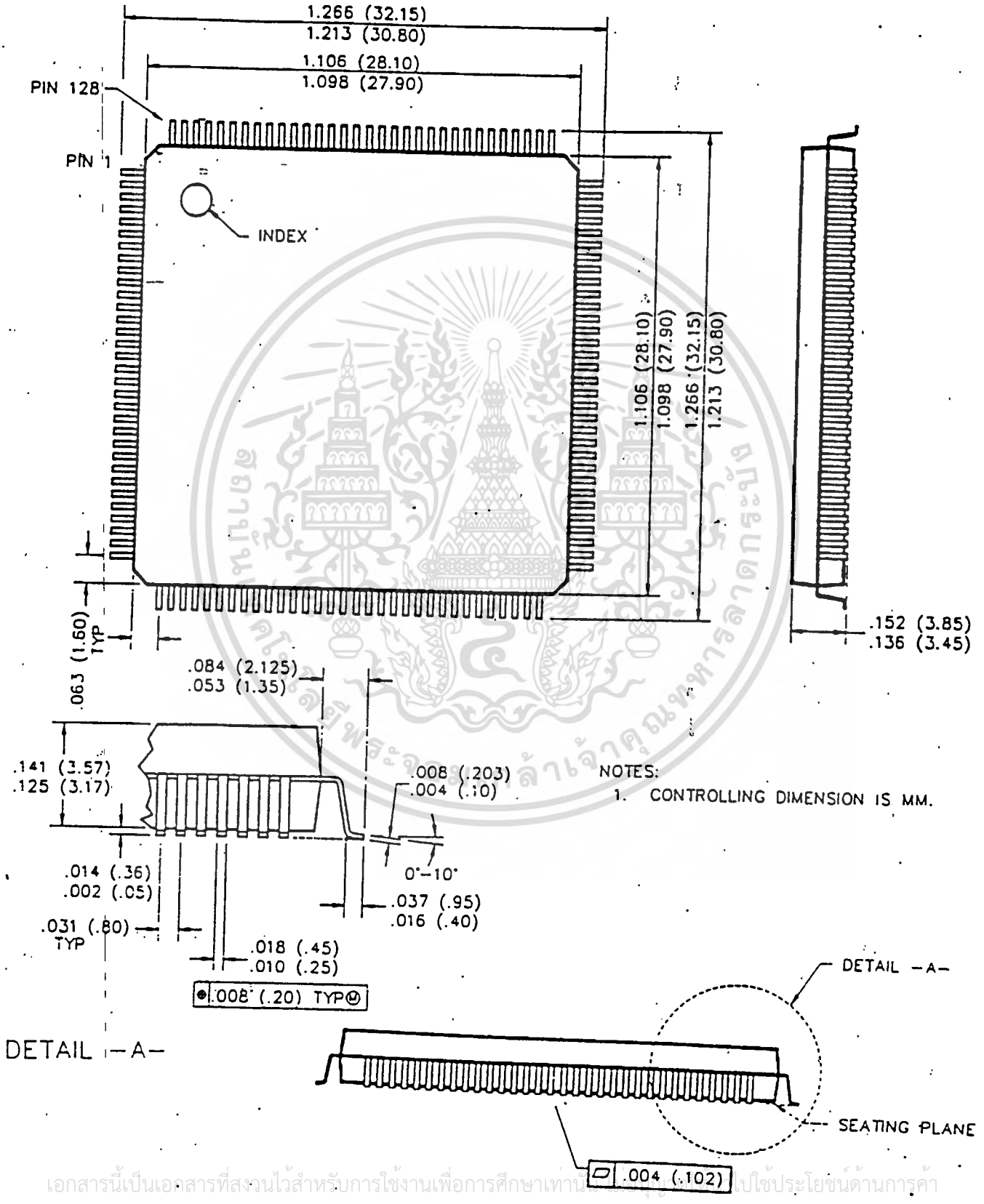
Lotus 1-2-3® is a registered trademark of Lotus Development Corp.

LIM EMS 4.0® is a registered trademark of Lotus Development Corp., Intel Corp. and Microsoft Corp.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

PACKAGE OUTLINES:

128-LEAD PLASTIC QUAD FLAT PACK

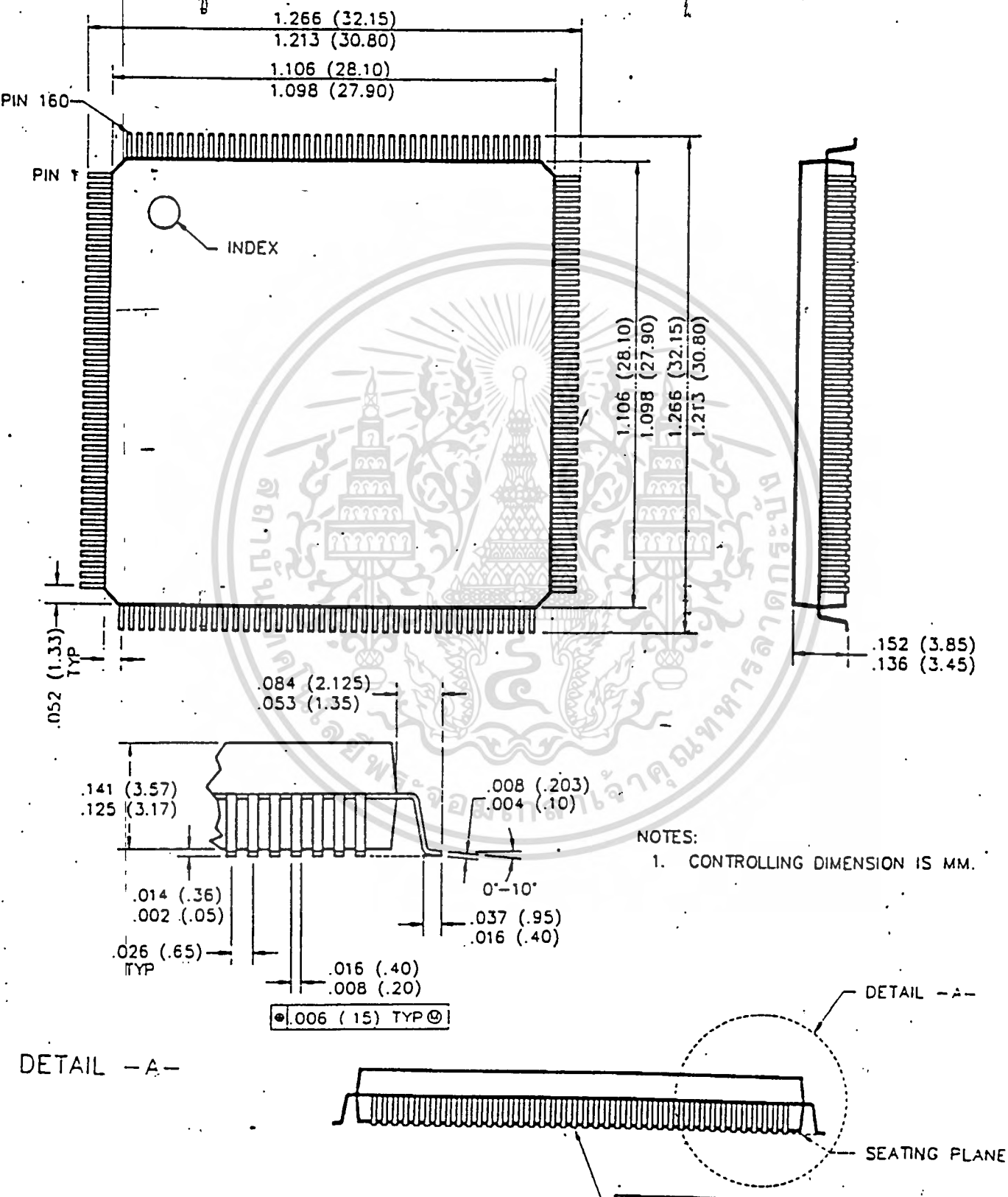


NOTES:
1. CONTROLLING DIMENSION IS MM.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

PACKAGE OUTLINES:

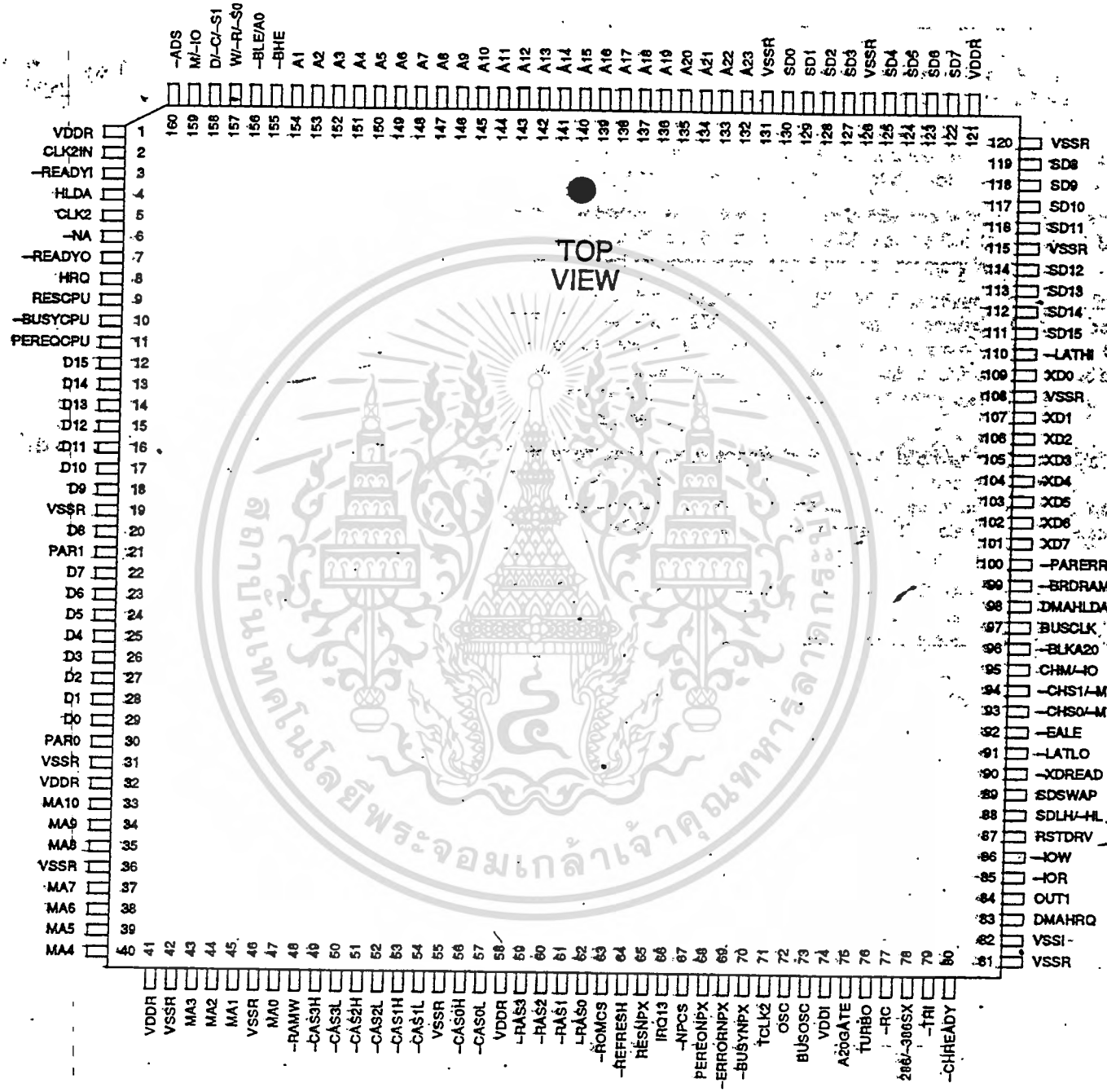
160-LEAD PLASTIC QUAD FLAT PACK



NOTES:

1. CONTROLLING DIMENSION IS MM.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

.1 PHYSICAL DIMENSIONS

" QFP "

.1.1 Case Outline

ll PQFP case outlines are being presented as standards to the JEDEC. See Tables 4-1 rough 4-2b and Figures 4-1 through 4-5. Figure 4-6 shows a typical board land pattern otprint.

.1.2 Typical Board Footprint Area

Lead Count	A (Width) (Inch)	B (Length) (Inch)
84	0.800	0.800
100	0.900	0.900
132	1.100	1.100
164	1.300	1.300
196	1.500	1.500

Table 4-1. Symbol List for Plastic Quad Flat Pack

Letter or Symbol	Description of Dimensions
A	Package height: distance from seating plane to highest point of body
A1	Standoff: Distance from seating plane to base plane
D/E	Overall package dimension: lead tip to lead tip
D1/E1	Plastic body dimension
D2/E2	Bumper distance
D3/E3	Footprint
L1	Foot length
N	Total number of leads

IOTES:

. All dimensions and tolerance conform to ANSI Y14.5M-1982.
. Datum plane -H- located at the mold parting line and coincident with the bottom of the lead where lead exits plastic body.
. Datums A-B and -D- to be determined where center leads exit plastic body at datum plane -H-.
. Controlling Dimension, Inch.
. Dimensions D1, D2, E1, and E2 are measured at the mold parting line and do not include mold protrusion. Allowable mold protrusion is 0.18 mm (0.007 in) per side.
. Pin 1 identifier is located within one of the two zones indicated.
. Measured at datum plane -H-.
. Measured at seating plane datum -C-.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Table 4-2a. Intel® Case Outline Drawings — Plastic Quad Flat Pack (PQFP) 0.025 Inch (.635 mm) Pitch

INCH

Sym.	Description	Min.	Max.	Min.	Max.	Min.	Max.	Min.	Max.	Min.	Max.	Min.	Max.
N	Lead count	68		84		100		132		164		196	
A	Package height	.160	.170	.160	.170	.160	.170	.160	.170	.160	.170	.160	.170
A1	Standoff	.020	.030	.020	.030	.020	.030	.020	.030	.020	.030	.020	.030
D, E	Terminal dimension	.675	.685	.775	.785	.875	.885	1.075	1.085	1.275	1.285	1.475	1.485
D1, E1	Package body	.547	.553	.647	.653	.747	.753	.947	.953	1.147	1.153	1.347	1.353
D2, E2	Bumper distance	.697	.703	.797	.803	.897	.903	1.097	1.103	1.297	1.303	1.497	1.503
D3, E3	Lead dimension	.400 ref.		.500 ref.		.600 ref.		.800 ref.		1.000 ref.		1.200 ref.	
D4, E4	Foot radius location	.623	.637	.723	.737	.823	.837	1.023	1.037	1.223	1.237	1.423	1.437
L1	Foot length	.020	.030	.020	.030	.020	.030	.020	.030	.020	.030	.020	.030

Table 4-2b. Intel® Case Outline Drawings — Plastic Quad Flat Pack (PQFP) 0.025 Inch (.635 mm) Pitch

MM

Sym.	Description	Min.	Max.	Min.	Max.	Min.	Max.	Min.	Max.	Min.	Max.	Min.	Max.
N	Lead count	68		84		100		132		164		196	
A	Package height	4.06	4.32	4.06	4.32	4.06	4.32	4.06	4.32	4.06	4.32	4.06	4.32
A1	Standoff	0.51	0.76	0.51	0.76	0.51	0.76	0.51	0.76	0.51	0.76	0.51	0.76
D, E	Terminal dimension	17.15	17.40	19.69	19.94	22.23	22.48	27.31	27.56	32.39	32.64	37.47	37.72
D1, E1	Package body	13.89	14.05	16.43	16.59	18.97	19.13	24.05	24.21	29.13	29.29	34.21	34.37
D2, E2	Bumper distance	17.70	17.85	20.24	20.39	22.78	22.93	27.86	28.01	32.94	33.09	38.02	38.18
D3, E3	Lead dimension	10.16 ref.		12.70 ref.		15.24 ref.		20.32 ref.		25.40 ref.		30.48 ref.	
D4, E4	Foot radius location	15.82	16.17	18.36	18.71	20.90	21.25	25.89	26.33	31.06	31.41	36.14	36.49
L1	Foot length	0.51	0.76	0.51	0.76	0.51	0.76	0.51	0.76	0.51	0.76	0.51	0.76

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

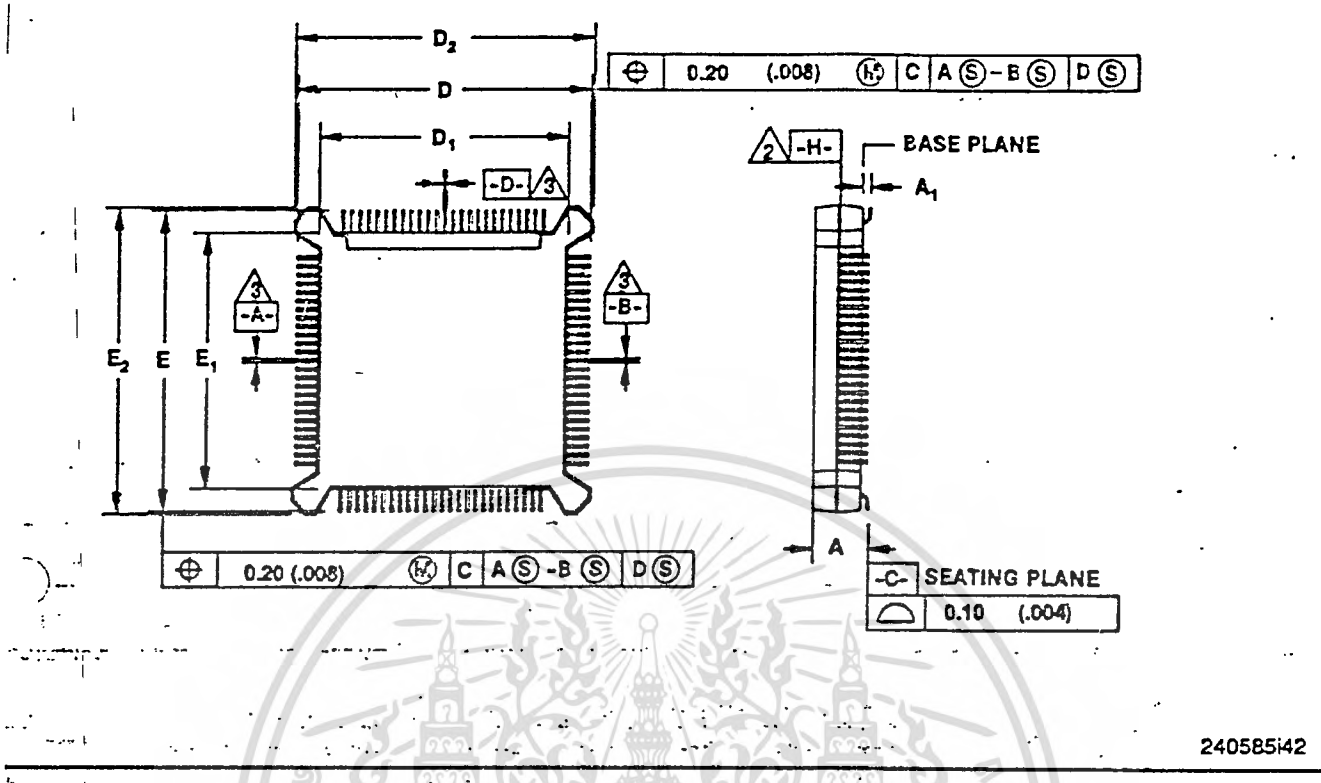
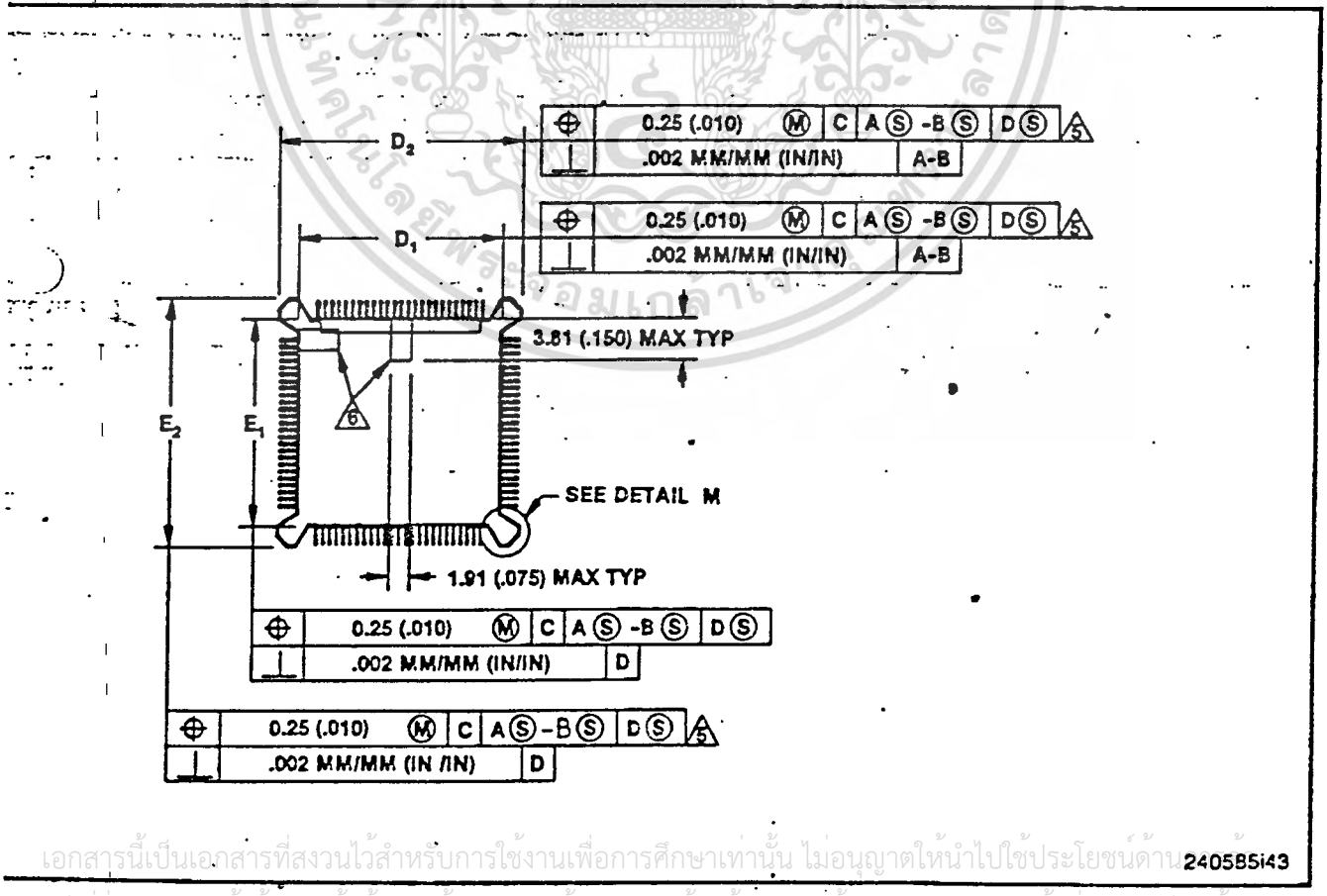
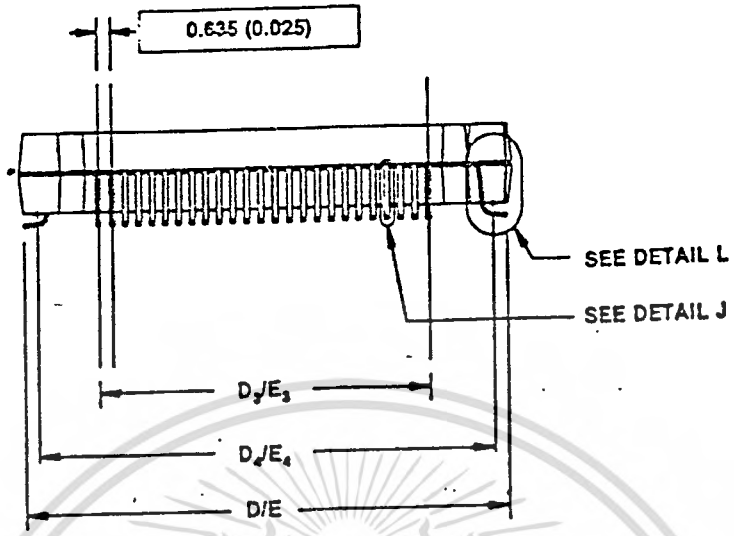


Figure 4-1. Principal Dimensions and Datums



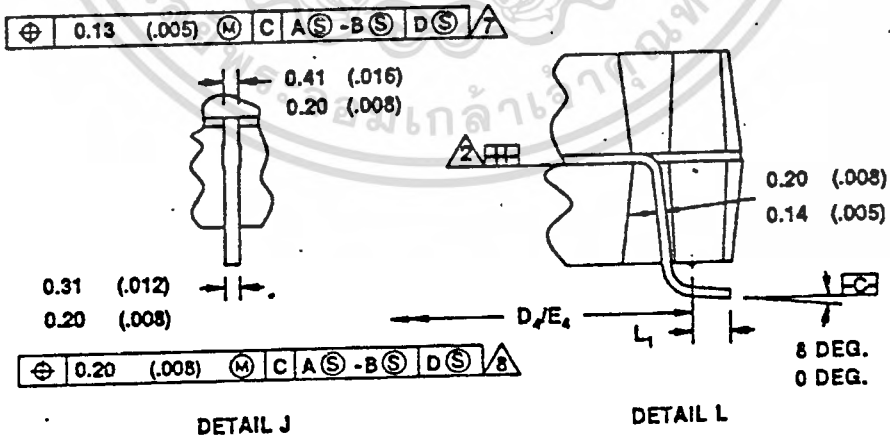
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Figure 4-2. Molded Details



240585i4

Figure 4-3. Terminal Details



TYPICAL LEAD

mm (inch)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

240585i

Figure 4-4. Typical Lead

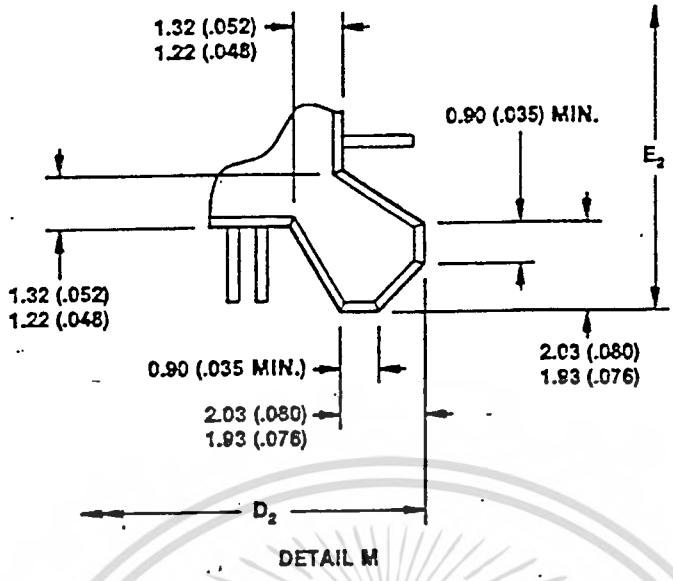


Figure 4-5. Protective Bumper

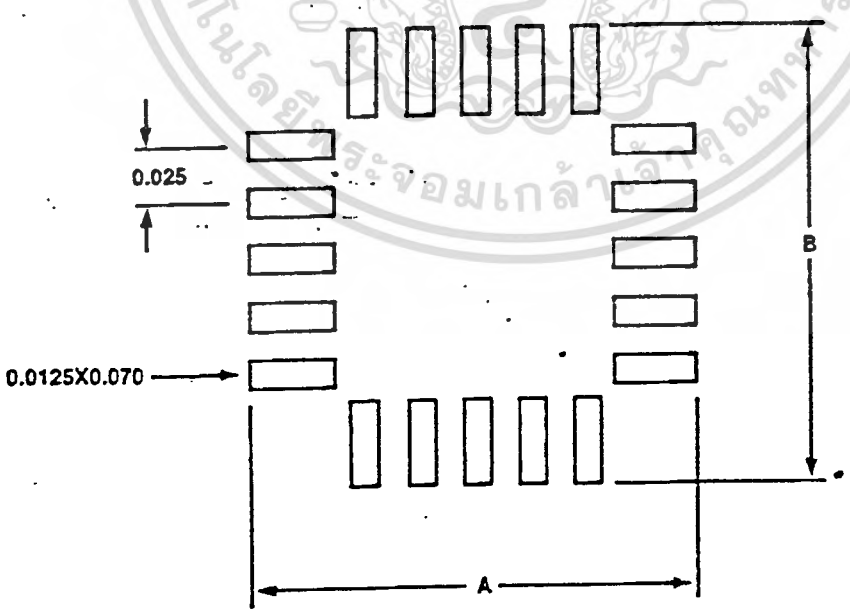


Figure 4-6. Typical PQFP Footprint for Board Layout

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น และต้องอ้างอิงถึงลิขสิทธิ์ของ ครั้งที่มีการนำไปใช้

4.1.3 Component Volume

Lead Count	Max. Overall Height (Inch)	Volume ($Inch^3$)
84	.170	.110
100	.170	.139
132	.170	.207
164	.170	.289
196	.170	.384

4.1.4 Component Weight

Average weight of a component by lead count.

Lead Count	Weight
84	—
100	2.8 gm
132	4.2 gm
164	—
196	—

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

1.0 PIN DESCRIPTION

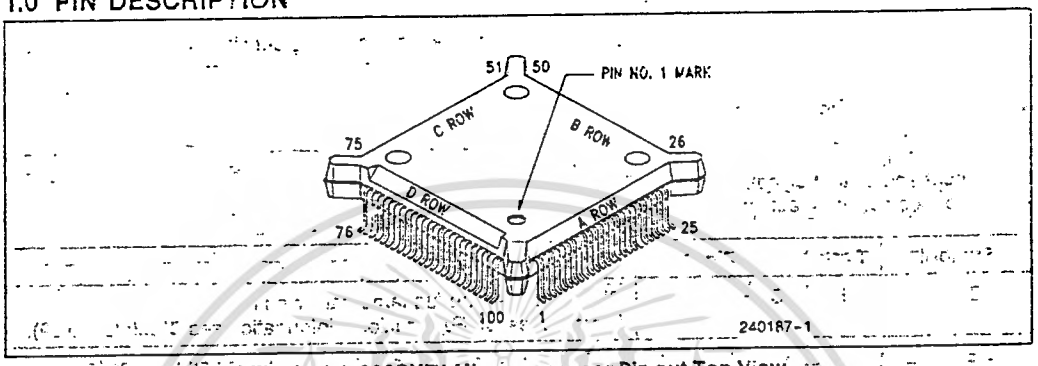


Figure 1.1. 386SX™ Microprocessor Pin out Top View

Table 1.1. Pin Assignments

A Row		B Row		C Row		D Row	
Pin	Label	Pin	Label	Pin	Label	Pin	Label
1	D_0	26	LOCK#	51	A_2	76	A_{21}
2	V_{SS}	27	N/C	52	A_3	77	V_{SS}
3	HLDA	28	N/C	53	A_4	78	V_{SS}
4	HOLD	29	N/C	54	A_5	79	A_{22}
5	V_{SS}	30	N/C	55	A_6	80	A_{23}
6	NA#	31	N/C	56	A_7	81	D_{15}
7	READY#	32	V_{CC}	57	V_{CC}	82	D_{14}
8	V_{CC}	33	RESET	58	A_8	83	D_{13}
9	V_{CC}	34	BUSY#	59	A_9	84	V_{CC}
10	V_{CC}	35	V_{SS}	60	A_{10}	85	V_{SS}
11	V_{SS}	36	ERROR#	61	A_{11}	86	D_{12}
12	V_{SS}	37	PEREQ	62	A_{12}	87	D_{11}
13	V_{SS}	38	NMI	63	V_{SS}	88	D_{10}
14	V_{SS}	39	V_{CC}	64	A_{13}	89	D_9
15	CLK2	40	INTR	65	A_{14}	90	D_8
16	ADS#	41	V_{SS}	66	A_{15}	91	V_{CC}
17	BLE#	42	V_{CC}	67	V_{SS}	92	D_7
18	A_1	43	N/C	68	V_{SS}	93	D_6
19	BHE#	44	N/C	69	V_{CC}	94	D_5
20	N/C	45	N/C	70	A_{16}	95	D_4
21	V_{CC}	46	N/C	71	V_{CC}	96	D_3
22	V_{SS}	47	N/C	72	A_{17}	97	V_{CC}
23	M/IO#	48	V_{CC}	73	A_{18}	98	V_{SS}
24	D/C#	49	V_{SS}	74	A_{19}	99	D_2
25	W/R#	50	V_{SS}	75	A_{20}	100	D_1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

5.0 MECHANICAL DATA

Figure 5-1 shows the locations of pins on the chip package. Table 5-1 helps to locate pin identifiers in Figure 5-1.

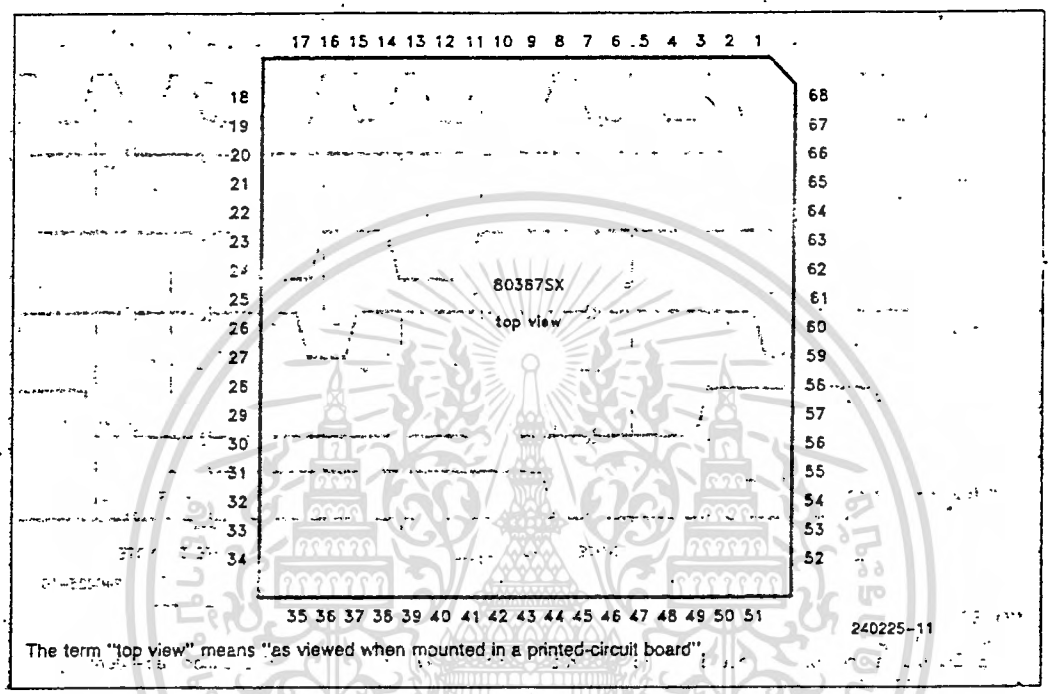


Figure 5-1. PLCC Pin Configuration

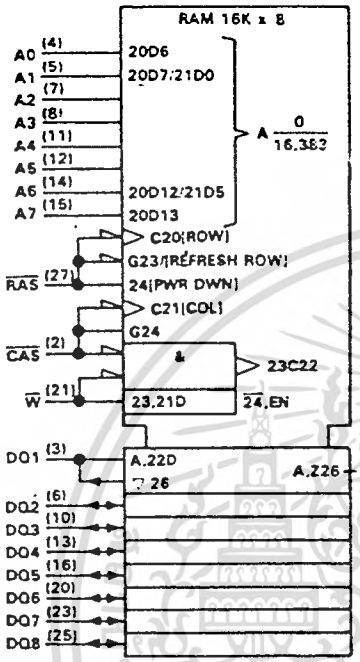
Table 5-1. Pin Cross-Reference

1 — n.c.	18 — n.c.	35 — ERROR#	52 — n.c.
2 — D07	19 — D00	36 — BUSY#	53 — NUMCLK2
3 — D06	20 — D01	37 — V_{CC}	54 — CPUCLK2
4 — V_{CC}	21 — V_{SS}	38 — V_{SS}	55 — V_{SS}
5 — V_{SS}	22 — V_{CC}	39 — V_{CC}	56 — PEREQ
6 — D05	23 — D02	40 — STEN	57 — READYO#
7 — D04	24 — D08	41 — W/R#	58 — V_{CC}
8 — D03	25 — V_{SS}	42 — V_{SS}	59 — CKM
9 — V_{CC}	26 — V_{CC}	43 — V_{CC}	60 — V_{SS}
10 — n.c.	27 — V_{SS}	44 — NPS1#	61 — V_{SS}
11 — D15	28 — D09	45 — NPS2	62 — V_{CC}
12 — D14	29 — D10	46 — V_{CC}	63 — V_{SS}
13 — V_{CC}	30 — D11	47 — ADS#	64 — V_{CC}
14 — V_{SS}	31 — V_{CC}	48 — CMD0#	65 — n.c.
15 — D13	32 — V_{SS}	49 — READY#	66 — V_{SS}
16 — D12	33 — V_{CC}	50 — V_{CC}	67 — n.c.
17 — n.c.	34 — V_{SS}	51 — RESETIN	68 — n.c.

n.c.—The corresponding pins of the 80387SX are left unconnected.

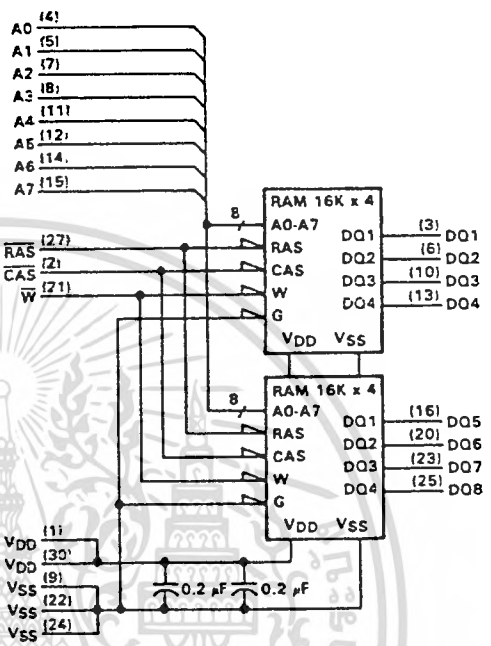
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

logic symbol†



†This symbol is in accordance with ANSI/IEEE Std 91-1984 and IEC Publication 617-12.

functional block diagram



absolute maximum ratings over operating free-air temperature range (unless otherwise noted)†

Voltage range for any pin except V_{DD} and data out (see Note 1) . . . . . −1.5 V to 10 V
Voltage range for V_{DD} supply and data out with respect to V_{SS} . . . . . −1 V to 6 V
Short circuit output current . . . . . 50 mA
Power dissipation . . . . . 2 W
Operating free-air temperature range . . . . . 0°C to 70°C
Storage temperature range . . . . . −65°C to 150°C

†Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. This is a stress rating only and functional operation of the device at these or any other conditions beyond those indicated in the "Recommended Operating Conditions" section of this specification is not implied. Exposure to absolute-maximum-rated conditions for extended periods may affect device reliability.

NOTES: 1. All voltage values in this data sheet are with respect to V_{SS}.
2. Additional information concerning the handling of ESD sensitive devices is available in a document entitled "Guidelines for Handling Electrostatic-Discharge-Sensitive (ESDS) Devices and Assemblies" in Section 12.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

chip by the column-address strobe ($\overline{CAS}$). All addresses must be stable on or before the falling edges of $\overline{RAS}$ and $\overline{CAS}$. $\overline{RAS}$ is similar to a chip enable in that it activates the sense amplifiers as well as the row decoder. $\overline{CAS}$ is used as a chip select activating the column decoder and the input and output buffers.

write enable ($\overline{W}$)

The read or write mode is selected through the write-enable ($\overline{W}$ input. A logic high on the $\overline{W}$ input selects the read mode and a logic low selects the write mode. The write-enable terminal can be driven from standard TTL circuits without a pull-up resistor. The data inputs are disabled when the read mode is selected. The grounded output-enable ($\overline{G}$) dictates the use of early write cycles to prevent contention on DQ. When $\overline{W}$ goes low prior to $\overline{CAS}$, the data outputs will remain in the high-impedance state for the entire cycle permitting common I/O operation.

data in (DQ1-DQ8)

Data is written during a write cycle. The falling edge of $\overline{CAS}$ strobes data into the on-chip data latches. These latches can be driven from standard TTL circuits without a pull-up resistor. In the early write cycle, $\overline{W}$ is brought low prior to $\overline{CAS}$ and the data is strobed in by $\overline{CAS}$ with setup and hold times referenced to this signal.

data out (DQ1-DQ8)

The three-state output buffer provides direct TTL compatibility (no pull-up resistor required) with a fan-out of two Series 74 TTL loads for each output. Data out is the same polarity as data in. In a read cycle the outputs go active after the access time interval $t_{a(C)}$ that begins with the negative transition of $\overline{CAS}$ as long as $t_{a(R)}$ is satisfied. The outputs become valid after the access time has elapsed and remain valid while $\overline{CAS}$ is low; $\overline{CAS}$ going high returns it to a high-impedance state. In the early write cycle, the outputs are always in the high-impedance state. In the early write cycle, the outputs are always in the high-impedance state, a necessity due to the grounded output enable.

refresh

A refresh operation must be performed at least every four milliseconds to retain data. Since the output buffers are in the high-impedance state unless $\overline{CAS}$ is applied, the $\overline{RAS}$-only refresh sequence avoids any output during refresh. Strobing each of the 256 row addresses (A0 through A7) with $\overline{RAS}$ causes all bits in each row to be refreshed. $\overline{CAS}$ can remain high (inactive) for this refresh sequence to conserve power.

page mode

Page-mode operation allows effectively faster memory access by keeping the same row address and strobing successive column addresses onto the chip. Thus, the time required to setup and strobe sequential row addresses for the same page is eliminated. To extend beyond the 64 column locations on a single module, the row address and $\overline{RAS}$ are applied to multiple modules. $\overline{CAS}$ is then decoded to select the proper module.

power up

After power up, the power supply must remain at its steady-state value for 1 ms. In addition, the $\overline{RAS}$ input must remain high for 100 μs immediately prior to initialization. Initialization consists of performing eight $\overline{RAS}$ cycles before proper device operation is achieved.

single-in-line package and components

PC substrate: 0,79 mm (0.031 inch) minimum thickness
Bypass capacitor: Multilayer ceramic
Contact area for socketable devices: Nickel plate and solder plate on top of copper

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TM4416KU8
16,384 BY 8-BIT DYNAMIC RAM MODULE

SEPTEMBER 1985 — REVISED NOVEMBER 1988

- 16,384 X 8 Organization
- Single 5-V Supply (10% Tolerance)
- 30-Pin Single-In-Line Package (SIP)
- Utilizes Two 16K X 4 Dynamic RAMs in Plastic Chip Carrier
- Long Refresh Period . . . 4 ms (256 Cycles)
- All Inputs, Outputs, Clocks Fully TTL Compatible
- 3-State Outputs
- Performance Ranges:

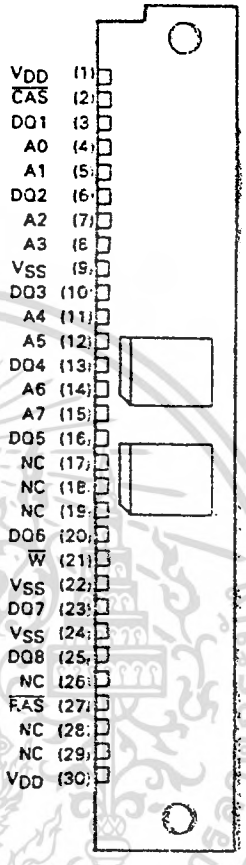
	ACCESS TIME ROW ADDRESS (MAX)	ACCESS TIME COLUMN ADDRESS (MAX)	READ OR WRITE CYCLE (MIN)
TM4416KU8-12	120 ns	70 ns	230 ns
TM4416KU8-15	150 ns	80 ns	260 ns

- Low Power Dissipation:

	OPERATING (TYP)	STANDBY (TYP)
TM4416KU8-12	400 mW	30 mW
TM4416KU8-15	350 mW	30 mW

- Operating Free-Air Temperature . . . 0°C to 70°C

U SINGLE-IN-LINE PACKAGE
(TOP VIEW)



PIN NOMENCLATURE	
A0-A7	Address Inputs
$\overline{CAS}$	Column-Address Strobe
DQ1-DQ8	Data In/Data Out
NC	No Connection
$\overline{RAS}$	Row-Address Strobe
V_{DD}	5-V Supply
V_{SS}	Ground
$\overline{W}$	Write Enable

description

The TM4416KU8 is a 128K, dynamic random-access memory module organized as 16,384 × 8 bits in a 30-pin single-in-line package comprising two TMS4416FPL, 16,384 × 4 bit dynamic RAM's in 18-lead plastic chip carriers mounted on top of a substrate together with two 0.2 µF decoupling capacitors mounted beneath the chip carriers. The onboard capacitors eliminate the need for bypassing on the motherboard and offer superior performance over equivalent leaded capacitors due to reduced lead inductance.

operation

address (A0 through A7)

Fourteen address bits are required to decode 1 of 16,384 storage locations. Eight row-address bits are set up on pins A0 through A7 and latched onto the chip by the row-address strobe ($\overline{RAS}$). Then the six column-address bits are set up on pins A1 through A6 and latched onto the

ADVANCE INFORMATION documents contain information on new products in the sampling or preproduction phase of development. Characteristic data and other specifications are subject to change without notice.

Copyright © 1985, Texas Instruments Incorporated

TEXAS INSTRUMENTS

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

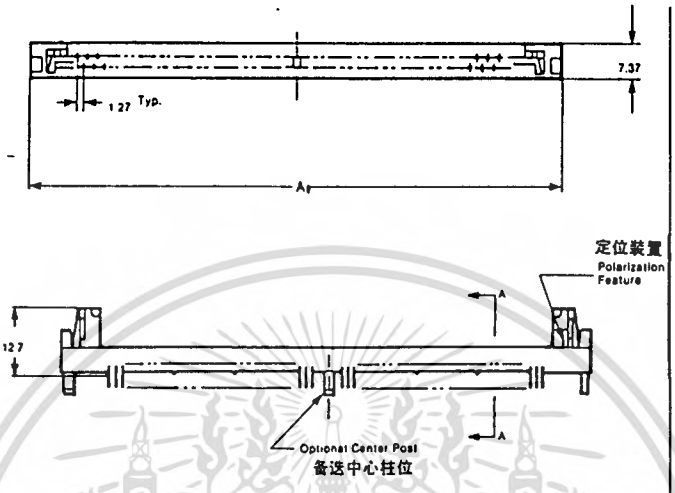
MICRO-EDGE* 单列记忆模件 (SIMM)插座 1.27mm轴线位距

MICRO-EDGE* SIMM Connectors 1.27mm Centerline

Vertical Single Row 垂直单行

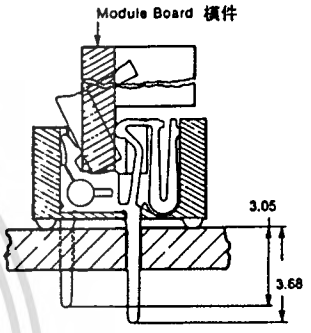
材料及护层：

壳体—液晶体聚合物，UL94V-0级
触点—镀锡磷青铜



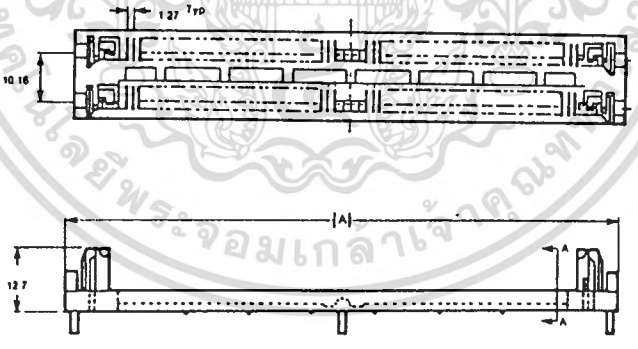
Materials and Finish:

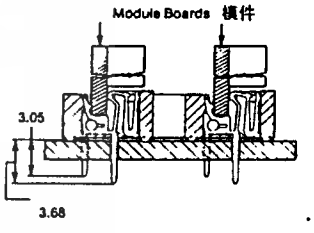
Housing–Liquid crystal polymer, UL 94V-0 rated
Contact–Phosphor bronze, Tin-plated



Section A—A
A-A切面图

Vertical Dual Row 垂直双行





Section A—A
A-A切面图

No. of Positions 位数	Dimensions 尺寸 mm	Part Numbers 型号	
		Single Row 单行	Double Row 双行
64	105.41	821824-6	821826-6
68	110.49	821824-7	821826-7
72	115.57	821824-8	821826-8
80	125.73	821824-9	821826-9
100	151.13	1-821824-0	1-821826-0

Note: Tin-plated, Without Center Post type. Other versions please contact AMP.
附注：型号为镀锡，无中心柱位插座，尚有其他类型，请与AMP联络

เอกสารนี้เป็นเอกสารที่สงวนลิขสิทธิ์ไว้ ห้ามมิให้ผู้ใดนำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ผู้ใดลบข้อความนี้ออก ไม่ว่าจะเป็นการทุกครั้งที่มีการนำไปใช้

หนังสืออ้างอิง

1. Mentor Graphics ,"STUDENT WORKBOOK Software V.7",
   BOARD STATION, July 1989
2. Mentor Graphics ,"PRODUCT TRAINING", IDEA STATION,
   July 1989
3. Raymond H. Clark, "Handbook of princed circuit
   manufacturing", 1985, Van Nostrand Reinhold Company Inc.
4. Clude F Coombs, Jr. " Printed circuits handbook",
   1988, Mcgraw-hill book company.
5. IBM, "PC/AT Technical Reference", 1984

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กิตติกรรมประกาศ

วิทยานิพนธ์ฉบับนี้สำเร็จลุล่วงไปได้ด้วยดี เนื่องจากได้รับความช่วยเหลือในการแก้ไขปัญหาต่างๆที่เกิดขึ้นระหว่างทำงาน จากอาจารย์ บรรจง ปิยธำรง อาจารย์ที่ปรึกษาและอาจารย์ท่านอื่นที่ได้คอยช่วยเหลือโดยดีมาตลอด

ผู้จัดทำ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้