ปีการศึกษา 2533

SWITCHING BOX AND PRINTER BUFFER

โดย

นายการุณ อังกุลดี 32.6401

นายวีระยุทธ ศิรามังคลานนท์ 32.6424

นายสมชาย แสงนภาฉาย 32.6426

อาจารย์ที่ปรึกษา

อ.ภากร หุตะสังกาศ

ปริญญานิพนธ์ ปีการศึกษา 2533

สาขา เทคโนโลยีคอมพิวเตอร์อุตสาหกรรม

ภาควิชา เทคโนโลยีการวัดคุมทางอุตสาหกรรม

คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เรื่อง SWITCHING BOX AND PRINTER BUFFER

ผู้จัดทำ

1. นายการุณ อังกุลดี 32.6401

2. นายวีระยุทธ ดิรามังคลานนท์ 32.6424

3. นายสมชาย แสงนภาฉาย 32.6426

.....อาจารย์ที่ปรึกษา

(.....)

เลขหมู่ T 33014 ก ข
เลขทะเบียน 027847
วัน, เดือน, ปี 12 ก.ค. 34

027847

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

SWITCHING BOX AND PRINTER BUFFER

การุณ อังกุลดี

วีระยุทธ ศิรามังคลานนท์

สมชาย แสงนภาฉาย

อ.ภากร หุตะสังกาศ อาจารย์ที่ปรึกษา

ปีการศึกษา 2533

บทคัดย่อ

ในปัจจุบันนี้เทคโนโลยีทางด้านคอมพิวเตอร์ ได้พัฒนาไปอย่างรวดเร็ว มีการนำเอาคอมพิวเตอร์ไปใช้งานในด้านอุตสาหกรรม และวงการธุรกิจอย่างมากมาย ซึ่งในวงการเหล่านี้เมื่อมีการใช้คอมพิวเตอร์ก็ย่อมจะต้องมีปัญหาที่เกี่ยวกับระบบคอมพิวเตอร์ได้เช่นเดียวกันปัญหาที่พบเสมอก็คือเรื่องความเร็วในการทำงาน ซึ่งในวงการธุรกิจแล้วจะถือว่าเวลาเป็นสิ่งสำคัญ อย่างเช่น ในระบบคอมพิวเตอร์มักจะทำงานช้า เช่นการทำงานของเครื่องพิมพ์ เมื่อเปรียบเทียบกันในด้านความเร็วมนการทำงานกับตัวคอมพิวเตอร์แล้ว เครื่องพิมพ์จะทำงานช้ากว่ามาก ด้วยเหตุนี้จึงต้องหาอุปกรณ์ที่จะช่วยประหยัดเวลาคอมพิวเตอร์ ในการส่งข้อมูลให้พับเครื่องพิมพ์ อุปกรณ์นั้นก็คือ สวิทช์ชิ่ง บล๊อก และปริ้นท์เตอร์ บัฟเฟอร์ ซึ่ง สวิทช์ชิ่ง บล๊อก และปริ้นท์เตอร์ บัฟเฟอร์ นี้ จะรับข้อมูลจากคอมพิวเตอร์และทำหน้าที่ส่งข้อมูลเหล่านั้นให้กับเครื่องพิมพ์อีกทีหนึ่ง ในระหว่างนี้เราก็สามารถใช้คอมพิวเตอร์ไปทำงานอย่างอื่นได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

SWITCHING BOX AND PRINTER BUFFER

KARUN UNGRULDEE
WEERAYUTH SIRAMUNGKLANON
SOMCHAI SANGNAPACHAY

PHAKORN HUTASANGKAS ADVISER

ostract

Computer is a common device in all industries and commercial rms. Nevertheless, the development of computer technology themendous predictable. Also, the difficulters of the computer those fields may seldom occur, the most frequently detectable is the rking-speed. It is however essential that the time is being punctual trading. In the computer system, for instance, it is examined that the computer works so rapidly than the other peripheral device sush , a printer. In its speed relation the printer is much less pidity. Therefore "SWITCHING BOX AND PRINTER BUFFER" the device that rvers the data transterring to the printer is obviously required. It ceives data from the computer and then transter them to the printer. this moment the computer is free for other tasks.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ

บทที่ 1	บทนำ	1
บทที่ 2	การอินเตอร์เฟสของไมโครคอมพิวเตอร์	3
	2.1 การอินเตอร์เฟสแบบอนุกรม	5
	2.2 การอินเตอร์เฟสแบบขนาน	10
บทที่ 3	หลักการทำงานและโครงสร้างของปริ้นท์เตอร์บัฟเฟอร์	22
	3.1 โครงสร้างของเครื่องพิมพ์ข้อมูล	22
	3.2 หลักการทำงานของปริ้นท์เตอร์บัฟเฟอร์	23
	3.3 การใช้ ROM กับ Z80	32
บทที่ 4	การใช้ Z80 กับ STATIC RAM	35
	4.1 ลักษณะการทำงานของ STATIC RAM	35
	4.2 ขั้นตอนที่เกิดขึ้นเมื่อทำการอ่าน RAM	37
	4.3 ขั้นตอนที่เกิดขึ้นเมื่อทำการเขียนข้อมูลเข้าไปใน RAM	38
	4.4 อุปกรณ์หน่วยความจำที่ใช้งานจริง	39
	4.5 ลำดับขั้นตอนการเขียนข้อมูลเข้าไปในตัว 6264	42
	4.6 ลำดับขั้นตอนการอ่านข้อมูลออกจาก 6264	43
	4.7 การต่อ ADDRESS LINE เข้ากับ Z80	43
	4.8 การต่อบัสข้อมูลโดยไม่ใช้บัฟเฟอร์	46
	4.9 การสร้าง CONTROL LINE สำหรับการอ่านและเขียนหน่วยความจำ	47
	4.10 การใช้บัฟเฟอร์บนบัสข้อมูล STATIC RAM	49
บทที่ 5	การใช้ 8255 กับ Z80	52
	5.1 รายละเอียดการจัดเรียงขาของ 8255	53
	5.2 การต่อ 8255 กับ Z80	54
	5.3 8255 BEAK และ WITE REG	54
	5.4 การใช้ 8255 ในโหมด 0	57
บทที่ 6	บทวิจารณ์และสรุป	
	ภาคผนวก	
	กิตติกรรมประกาศ	
	หนังสืออ้างอิง	

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 1

บทนำ

ในปัจจุบันคอมพิวเตอร์ได้เข้ามามีบทบาทในการทำงานเป็นอย่างมาก เพราะสามารถที่จะใช้งานในด้านต่าง ๆ อย่างกว้างขวาง เช่นในด้านการคำนวณ การออกแบบ การจัดการบริหาร การกระทำระบบงานและอื่น อีกมากมาย อุปกรณ์อย่างหนึ่งที่เข้ามามีส่วนเกี่ยวข้องกับการสนับสนุนการทำงานของคอมพิวเตอร์ ก็คือ เครื่องพิมพ์ (Printer) ซึ่งใช้ในการพิมพ์ข้อมูลต่าง ๆ ออกมาให้อยู่ในรูปของการรายงาน หรือรูปแบบอื่น ๆ ตามที่ต้องการ แต่ในการพิมพ์ข้อมูลจากคอมพิวเตอร์นั้น ถ้าข้อมูลมีจำนวนมากเครื่องพิมพ์จะใช้เวลาในการพิมพ์นั้นมากตามไปด้วย เพราะเครื่องพิมพ์ไม่สามารถรับข้อมูลมาจากคอมพิวเตอร์ได้ ขณะที่คอมพิวเตอร์สามารถส่งข้อมูลได้เร็วมาก แต่เครื่องพิมพ์นั้นรับข้อมูลได้ช้ากว่ามาก ดังนั้นเราจึงไม่สามารถใช้คอมพิวเตอร์ได้อย่างเต็มที่

เรามีวิธีที่จะแก้ไขปัญหานี้ได้ โดยการสร้างสวิทช์ชิ่ง บล๊อก และปริ้นท์เตอร์ บัฟเฟอร์ มาทำการต่อระหว่างคอมพิวเตอร์กับปริ้นท์เตอร์ เพื่อให้สวิทช์ชิ่งบล๊อกและปริ้นท์เตอร์บัฟเฟอร์ นี้ทำการรับข้อมูลที่ส่งมาจากคอมพิวเตอร์มาเก็บไว้ในหน่วยความจำเสียก่อน ด้วยความเร็ว ในการรับข้อมูลที่ใกล้เคียงกับความเร็วของการส่งข้อมูลจากคอมพิวเตอร์ แล้วจึงส่งข้อมูลไปยังเครื่องพิมพ์อีกทีหนึ่ง

การที่จะทำให้หน่วยความจำดังที่กล่าวมาแล้วนั้นทำงานได้ตามจุดประสงค์ที่ต้องการ จึงทำเป็นอย่างยิ่งที่จะต้องศึกษาระบบการติดต่อรับส่งข้อมูลของคอมพิวเตอร์ กับเครื่องพิมพ์ในลักษณะต่าง ๆ รวมไปถึงการศึกษาระบบการทำงานของไมโครโปรเซสเซอร์ เพื่อนำมาควบคุมการทำงานของหน่วยความจำนี้ และควบคุมขบวนการรับส่งข้อมูล เพื่อให้สวิทช์ชิ่ง บล๊อก และปริ้นท์เตอร์ บัฟเฟอร์ นี้มีความเร็วในการรับข้อมูลใกล้เคียงกับการส่งข้อมูลของคอมพิวเตอร์

1.1 เพื่อเป็นการศึกษาการทำงานของไมโครคอมพิวเตอร์ และไมโครโปรเซสเซอร์ไปในขณะเดียวกัน เพราะการออกแบบจะต้องอาศัยพื้นฐานเกี่ยวกับไมโครคอมพิวเตอร์ และไมโครโปรเซสเซอร์ด้วย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

1.2 ศึกษาการติดต่อของเครื่องพิมพ์กับคอมพิวเตอร์

1.3 เพื่อเพิ่มประสิทธิภาพในการใช้งานคอมพิวเตอร์ ให้มีประสิทธิภาพและคุ้มค่าที่สุด

1.4 เพื่อให้สะดวกในการพิมพ์ข้อมูลจำนวนมาก ๆ

1.5 ทำให้การทำงานของคอมพิวเตอร์เป็นอิสระจากเครื่องพิมพ์ ซึ่งจะทำให้สามารถทำโปรแกรมอื่น ๆ ต่อไปได้โดยไม่ต้องรอให้เครื่องพิมพ์ทำงานเสร็จ

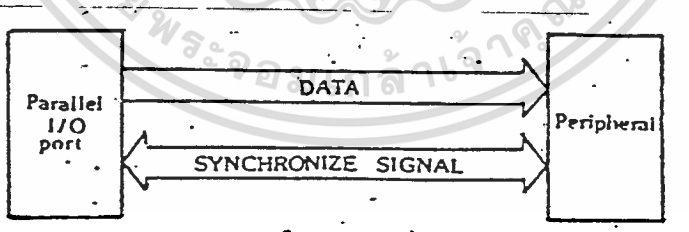
1.6 สามารถใช้กับคอมพิวเตอร์ที่มีระบบการส่งข้อมูลแบบอนุกรมและแบบขนาดเซ็นโทรนิค

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 2

การอินเตอร์เฟสของไมโครคอมพิวเตอร์

ขบวนการทางคณิตศาสตร์และลอจิกของระบบคอมพิวเตอร์ เกิดขึ้นจากการทำงานของหน่วยประมวลผลกลางหรือที่เรียกว่า "ซีพียู" (Central Processing Unit : CPU) โดยจะต่ออยู่ร่วมกับอุปกรณ์อื่น ๆ เช่นหน่วยความจำ ROM (Read Only Menory) ; RAM (Randow Access Memory) และอุปกรณ์อื่น ๆ ดังนั้น การอินเตอร์เฟสไมโครก็คือ การทำงานร่วมกันระหว่างหน่วยประมวลผลกลาง (CPU) กับหน่วยอุปกรณ์อื่นๆ การโอนย้ายข้อมูลระหว่างอุปกรณ์ต่าง ๆ นั้นเอง นอกจากนั้นแล้วยังต้องมีการอินเตอร์เฟสเข้ากับอุปกรณ์อินพุท (Input) ; เอาท์พุท (Output) ต่าง ๆ อีกด้วย เพื่อเพิ่มประสิทธิภาพในการทำงานให้สมบูรณ์ยิ่งขึ้น ในขบวนการต่าง ๆ ของการทำงานร่วมกันของอุปกรณ์อิเล็คทรอนิคส์จะต่อเนื่องกันเป็นลูกโซ่ เช่นการส่งข้อมูลจากหน่วยประมวลผลกลางไปยังอุปกรณ์อื่น ๆ เป็นต้น



รูปที่ 2.1 แสดงการอินเตอร์เฟสไมโครคอมพิวเตอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ข้อมูลที่จะโอนย้ายนั้นจะต้องมีแหล่งส่งข้อมูลและแหล่งรับข้อมูล ซึ่งในขบวนการต่าง ๆ จะมีหลักสำคัญอยู่ว่าข้อมูลนั้นเป็นแอดแดรส (Address) หรือ ดาต้า (Data) จะส่งไปยังจุดไหน เช่นส่งไปยังหน่วยความจำหรืออุปกรณ์อินพุท,เอาท์พุท และจะส่งเมื่อใดขบวนการเหล่านี้โดยทั่ว ๆ ไปจะต้องมีสัญญาณตรวจสอบความพร้อมของอุปกรณ์ต่าง ๆ เสมอ ข้อมูลที่จะโอนย้ายนั้นจะอยู่ในลักษณะเลขฐานสอง (Binary) อาจจะเป็น 8 bit หรือ 16 bit ก็ขึ้นอยู่กับระบบนั้น ๆ

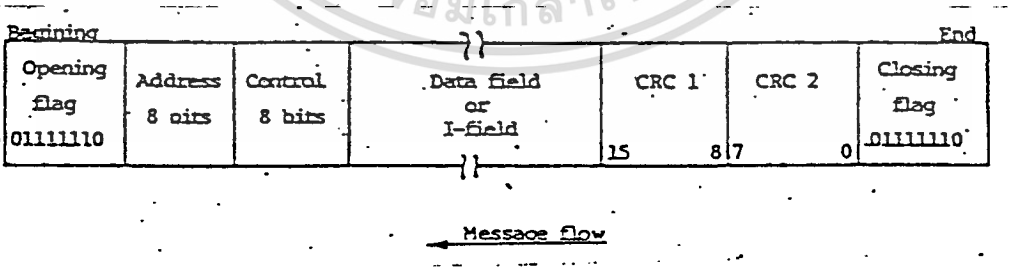
วงจรอินเตอร์เฟสนี้ โดยปกติจะทำหน้าที่สำคัญ 4 ประการ คือ เป็นบัฟเฟอร์ (Buffer) ถอดรหัสแอดเดรส (Adderss Decoding), ถอดรหัสคำสั่ง (Command Decoding) และทำหน้าที่ควบคุมกำหนดไทม์มิง (Timing Control)

ลักษณะของการอินเตอร์เฟสไมโครคอมพิวเตอร์แบ่งเป็นลักษณะ 2 อย่าง คือ การอินเตอร์เฟสแบบอนุกรม และแบบขนาน

2.1 การอินเตอร์เฟสแบบอนุกรม

การอินเตอร์เฟสแบบอนุกรม เป็นการรับส่งข้อมูลที่แต่ละบิท จะถูกส่งเรียงกันออกไปเป็นลำดับต่อเนื่องกันทีละบิท โดยสายส่งข้อมูลจะมีอยู่เพียงเส้นเดียว การอินเตอร์เฟสแบบอนุกรมนี้ยังแบ่งออกเป็น 2 แบบ คือ ซิงโครนัส (Synchronous) และอะซิงโครนัส (Asynchronous)

การรับส่งข้อมูลแบบซิงโครนัส คือระบบส่งที่ข้อมูลแต่ละเวิร์ดถูกส่งออกไปตามเวลาที่แน่นอน การส่งข้อมูลแบบนี้จะไม่มีสัญญาณกำกับ แต่จะมีการซิงโครนัสกับสัญญาณนาฬิกา ซึ่งจะควบคุมจำนวนบิทที่ส่งมาและนับทุก ๆ 8 บิท เป็น 1 ไบท์

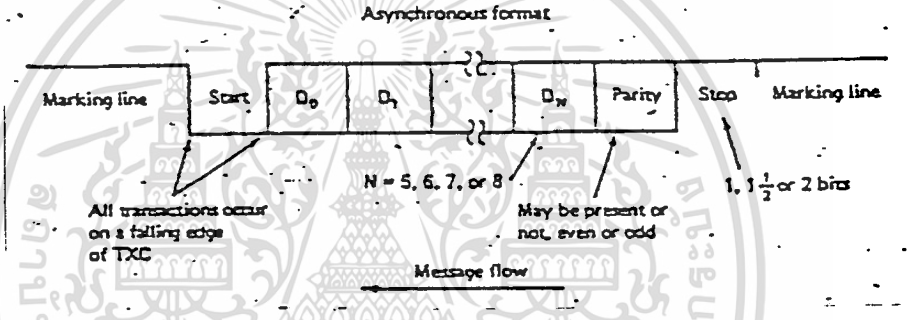


รูปที่ 2.2 แสงดการส่งข้อมูลแบบซิงโครนัส

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การรับส่งข้อมูลแบบอะซิงโครนัส คือ ระบบการรับส่งที่ข้อมูลแต่ละคำถูกส่งออกไปอย่างแบบไม่มีกำหนดเวลาแน่นอน นั้นคือ ระยะเวลาระหว่างข้อมูลแต่ละคำสั่งที่ถูกส่งออกไปมีค่าไม่แน่นอน ดังนั้นสิ่งที่กำหนดเวลาในการส่งข้อมูลก็คือ ความพร้อมของอุปกรณ์ในการส่งและรับข้อมูล

การส่งข้อมูลอนุกรมแบบอะซิงโครนัสนั้น โครงสร้างของข้อมูลที่จะส่งมีลักษณะเป็นบล็อก ซึ่งแต่ละบล็อกประกอบด้วยบิทเริ่มต้น (Start Bit) ส่วนของข้อมูลและบิทสุดท้ายคือ บิทสิ้นสุดข้อมูล (Stop Bit) โดยบิทเริ่มต้นจะแสดงถึงการเริ่มต้นของกลุ่มข้อมูล ตามด้วยส่วนของกลุ่มข้อมูล และในบางกรณีอาจจะมีการเพิ่มบิทพาริตี้ (Parity) เพิ่มใช้ตรวจสอบความถูกต้องของข้อมูลและบิทสิ้นสุดของข้อมูลจะเป็นการบอกว่าข้อมูลในแต่ละบล็อกนั้นหมดลงแล้ว



รูปที่ 2.3 แสดงการส่งข้อมูลแบบอะซิงโครนัส

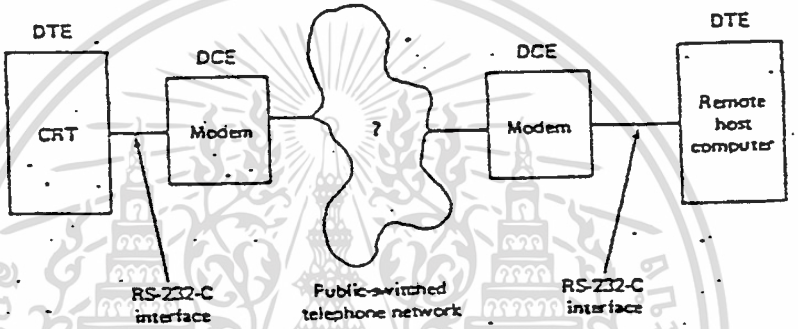
การอินเตอร์เฟสแบบอนุกรมยังแบ่งออกเป็นมาตรฐานต่าง ๆ อีกหลายอย่างเช่น RS-232-C, RS-423,RS-422,20 mA Current Loop ในที่นี้จะขอกล่าวถึงรายละเอียดพอสังเขป

2.1.1 การอินเตอร์เฟสตามมาตรฐาน RS-232-C เป็นมาตรฐานของ Electronics Indrustries Association ซึ่ง RS ย่อมาจาก "Reccommendes Standard" เป็นแบบที่ได้รับความนิยมมากเป็นมาตรฐานที่ได้รับการพัฒนาและใช้งานกันอย่างแพร่หลาย RS-232-C ใช้เชื่อมต่อ DTE (Data Terminal Equipment) เข้ากับ DCE (Tata Communication Equipment เช่นการต่อ เทอร์มินัล (Terminal) เข้ากับโมเด็ม (Modem คุณสมบัติของสัญญาณไฟฟ้าและคุณสมบัติทางกลของการอินเตอร์เฟสต้องเป็นไปตามมาตรฐาน RS-232-C ซึ่งกำหนดโดย EIA ตัวอย่างของอุปกรณ์ที่ใช้ในการอินเตอร์เฟสตามมาตรฐาน RS-232-C ได้แก่ เทอร์มินัล (Terminal), พล็อตเตอร์ (Plotter), ลอจิกอนาไลเซอร์ (Logic Analyzer) และเครื่องพิมพ์ (Printer)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ลักษณะสัญญาณไฟฟ้าที่ใช้ในการอินเตอร์เฟส

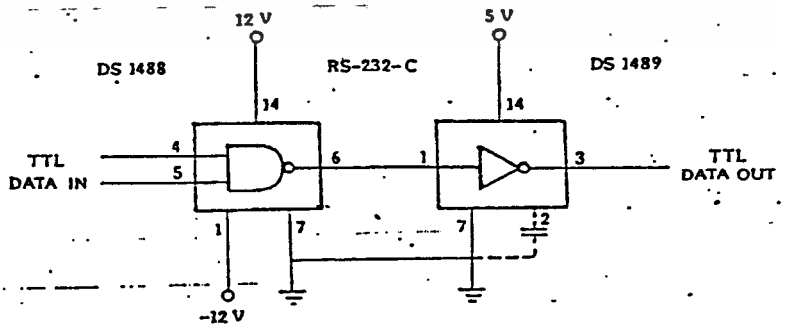
มาตรฐาน RS-232-C ใช้สายสัญญาเพียงเส้นเดียวในการส่งสัญญาณ โดยสัญญาณที่ส่งจะส่งไปในทิศทางเดียว กรณีที่อัตราการส่งข้อมูลมีค่าเท่ากับ 20 กิโลบิทต่อวินาที ซึ่งค่านี้เป็นค่าสูงสุดที่ใช้ในการส่งข้อมูล ระยะทางที่ใช้ส่งข้อมูลไปควรเกิน 5 ฟุต สำหรับการแทนแรงดันของระดับสัญญาณ มีข้อกำหนดดังนี้ ลอจิก "1" แทนค่าระดับแรงดันที่มีค่าระหว่าง +9 โวลท์ ถึง +15 โวลท์ ลอจิก "0" แทนระดับแรงดันที่มีค่าระหว่าง -5 โวลท์ ถึง -15 โวลท์



รูปที่ 2.4 แสดงลักษณะของระบบที่ใช้ RS-232-C

วงจรแปลงระดับแรงดันของมาตรฐาน RS-232-C

ตัวอย่างของวงจรที่ใช้แปลงระดับแรงดัน TTL ไปเป็นระดับสัญญาณที่กำหนดไว้เป็นมาตรฐาน RS-232-C และแปลงกลับจากแรงดัน ในมาตรฐาน RS-232-C ไปเป็นระดับสัญญาณ TTL แสดงไว้ในรูปที่ 2.5



รูปที่ 2.5 แสดงวงจรขับและรับสัญญาณที่ใช้กับมาตรฐาน RS-232-C

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.1.2 การอินเตอร์เฟส ตามมาตรฐาน RS-423

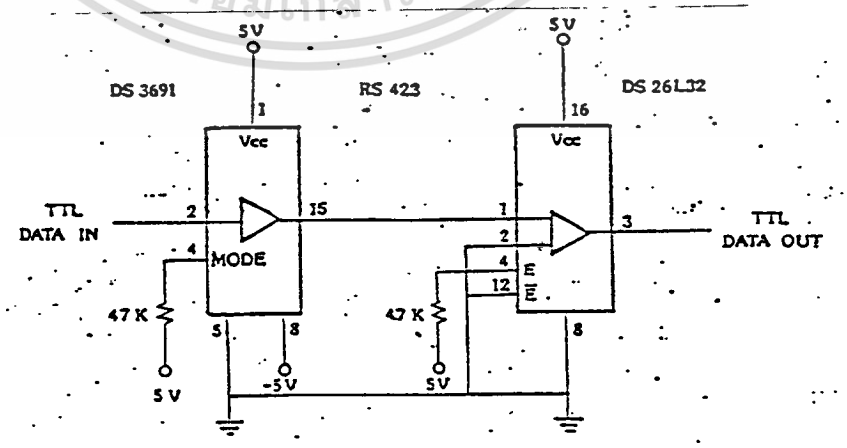
มาตรฐาน RS-423 เป็นมาตรฐานที่ได้รับการพัฒนามาจากมาตรฐาน RS-232-C อุปกรณ์ที่ผลิตขึ้นมาใหม่มักจะใช้การอินเตอร์เฟสแบบนี้ โดยเฉพาะอุปกรณ์ที่ต้องการให้อัตราเร็วในการส่งข้อมูลที่มีค่าสูง

ลักษณะสัญญาณไฟฟ้าที่ใช้ในการอินเตอร์เฟส

มาตรฐาน RS-423ใช้สายเส้นเดียว ในการส่งสัญญาณโดยสัญญาณที่ส่งไปในทิศทางเดียวอัตราเร็วในการส่งข้อมูลมีค่าสูงถึง 100 Kbit/sec ที่ระยะห่าง 40 ฟุตตัวรับข้อมูลเป็นแบบ Balanecedline ดังนั้นตัวรับข้อมูล (Receiver) จึงรับข้อมูลแบบขยายความแตกต่างของสัญญาณระหว่างสายกราวนด์ กับตัวรับสัญญาณ (Driver)การทำเช่นนี้จะทำให้ช่วยแก้ปัญหาในกรณีที่เกิดความแตกต่างระหว่างแรงดันที่กราวนด์ของตัวรับข้อมูลกับตัวรับสัญญาณ สำหรับการแทนระดับแรงดันนั้น ลอจิก "1" แทนระดับแรงดันที่อยู่ระหว่าง +4 Volt ถึง +6 Volt ส่วนลอจิก "0" แทนระดับแรงดันที่มีต่ำระหว่าง -4 Volt ถึง -6 Volt

วงจรแปลงระดับแรงดันของมาตรฐาน RS-423

วงจรที่ใช้แปลงระดับแรงดันจากระดับสัญญาณ TTL ไปเป็นระดับสัญญาณที่ใช้ในมาตรฐาน RS-423 และแปลงระดับสัญญาณจาก RS-423 กลับไปเป็นระดับสัญญาณ TTL แสดงไว้ในรูปที่ 2.6



รูปที่ 2.6 วงจรขับและรับสัญญาณที่ใช้กับมาตรฐาน RS-423

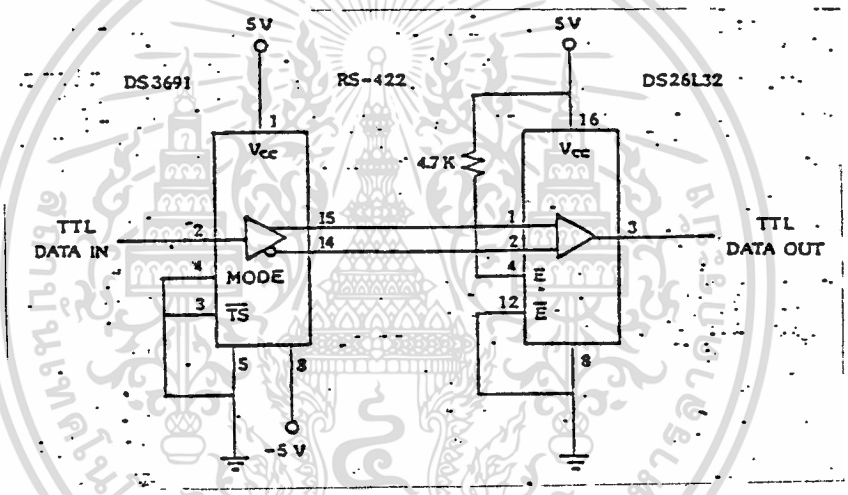
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.1.3 การอินเตอร์เฟสตามมาตรฐาน RS-422

มาตรฐาน RS-422 ได้พัฒนาจากมาตรฐาน RS-423 ทำให้อัตราเร็วในการส่งข้อมูลมีค่าสูงขึ้นและระยะทางที่ใช้ส่งข้อมูลระหว่างตัวส่งและตัวรับมีระยะทางไกลขึ้น

ลักษณะสัญญาณไฟฟ้าที่ใช้ในการอินเตอร์เฟส

มาตรฐาน RS-422 ใช้การส่งข้อมูลในลักษณะของ ONE-WAY Balancediline (ดูรูปที่ 2.7) โดยอัตราเร็วในการส่งข้อมูลมีค่าสูงถึง 10 Mbit/sec ระยะห่างที่ใช้ในการส่งข้อมูลสามารถขยายได้ถึง 4,000 ฟุต ระดับแรงดันที่ส่งจากตัวรับสัญญาณจะมีค่าระหว่าง 2 Volt. ถึง 6 Vole. นอกจากนี้ตัวรับสัญญาณสามารถขับสัญญาณที่มีระดับแรงดันต่ำถึง 200 mV. ได้



รูปที่ 2.7 วงจรขับและรับสัญญาณที่ใช้ในมาตรฐาน RS-422

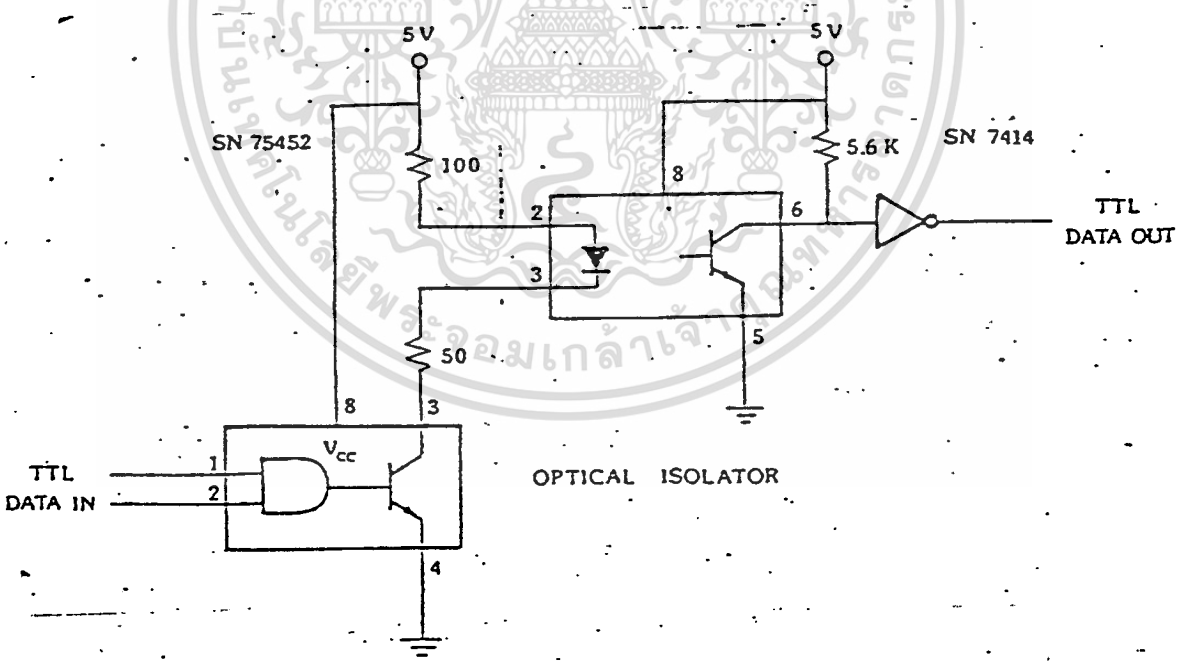
วงจรแปลงระดับแรงดันที่ใช้มาตรฐาน RS-422

วงจรที่ใช้แปลงระดับสัญญาณ TTL ไปเป็นระดับสัญญาณที่ใช้มาตรฐาน RS-422 และแปลงจาก RS-422 กลับไปเป็นระดับสัญญาณ TTL แสดงในรูปที่ 2.7 นอกจากนี้ผู้ผลิตบางบริษัทได้ทำวงจรขับสัญญาณเป็นแบบ Tri-State ทำให้เราสามารถส่งข้อมูลได้สองทิศทางบนสายคู่เดียว (Single pair) คุณสมบัตินี้ทำให้สามารถใช้มาตรฐาน RS-422 ในเน็ทเวิร์คที่มีโครงสร้างแบบ Multidrop ซึ่งเป็นอุปกรณ์หลาย ๆ ตัว สามารถรับส่งข้อมูลแบบ Half duplex บนสายคู่เดียว

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.1.4 การอินเตอร์เฟสแบบ 20-mA Current Loop.

การอินเตอร์เฟสแบบ 20 mA Current Loop. มีข้อดีสามารถส่งข้อมูลในระยะทางไกล ๆ และค่าใช้จ่ายในการอินเตอร์เฟสแบบนี้มีราคาไม่สูงนัก หลักการของการอินเตอร์เฟสแบบนี้มีดังนี้ เมื่อลูปถูกเปิดวงจร (Closed Loop) ระดับแรงดันจะถูกเปลี่ยนเป็นกระแสตามสมการ VIIR เมื่อลูปถูกเปิดวงจรจะไม่มีกระแสไหลในลูป เนื่องจากวงจรของการอินเตอร์เฟสแบบนี้มีค่าอินทีแดนซ์ต่ำ ดังนั้นจึงสามารถป้องกันสัญญาณรบกวนได้ดี มักใช้การอินเตอร์เฟสแบบนี้ในกรณีที่ต้องเดินสายผ่านบริเวณที่มีสัญญาณรบกวนมาก ๆ นอกจากนี้เราสามารถใช้การอินเตอร์เฟสแบบนี้แยกกราวนด์ของระบบสองระบบออกจากกัน ดังแสดงในรูปที่ 2.8 ซึ่งเป็นการแยก (Current Loop.) ของวงจรผลิตสัญญาณ (Transmitter) ออกจากวงจรรับสัญญาณ (Receiver) วงจรนี้สามารถใช้ส่งข้อมูลได้ในอัตราเร็ว 50 Kbit/sec โดยระยะทางที่ใช้ส่งมีค่าได้ไม่เกิน 3,000 ฟุต ตัวจำกัดระยะทางที่ใช้ในการส่งข้อมูลคือ ความต้านทางของสายที่ประกอบกันเป็นลูป ซึ่งไม่ควรเกิน 30 โอห์ม (สำหรับวงจรในรูปที่ 2.8)

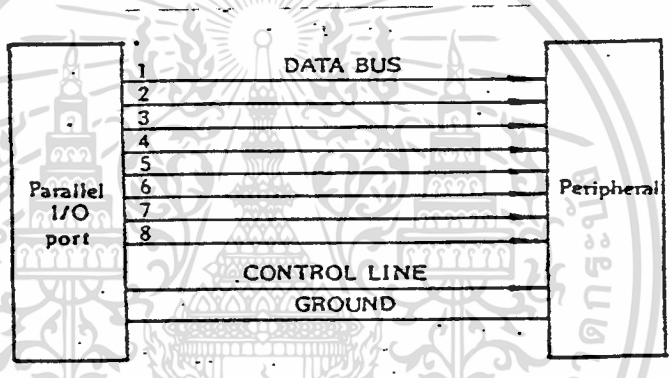


รูปที่ 2.8 แสดงวงจรที่ใช้ในการอินเตอร์เฟสแบบ 20 mA Current Loop.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้
027847

2.2 การอินเตอร์เฟสแบบขนาน

การอินเตอร์เฟสแบบขนานคือ การรับส่งข้อมูลที่ข้อมูลทุก ๆ Bit จะถูกส่งออกไปพร้อม ๆ กันครั้งเดียว โดยแต่ละ bit จะส่งในสายส่งแต่ละเส้น ข้อดีของการรับส่งข้อมูลแบบขนานที่เด่นชัดก็คือ ความเร็วในการส่งถ่ายข้อมูล จะมีความเร็วสูงกว่าแบบอนุกรมมาก แต่ระยะทางที่ส่งจะสั้นกว่านอกจากสายบัสข้อมูลแล้วยังต้องมีสายส่งข้อมูลอย่างน้อยอีก 2 เส้น ร่วมกันอีกด้วย คือ Data Ready และสายกราวนด์ (Ground) ดังรูปที่ 2.9



รูปที่ 2.9 แสดงระบบการส่งข้อมูลแบบขนาน

ซึ่งความจำเป็นของสายกราวนด์นี้ มีไว้เพื่อใช้เป็นจุดอ้างอิงของแรงดันไฟฟ้า เพื่อแสดงสถานะทางลอจิกของข้อมูล โดยที่ระดับแรงดันไฟฟ้าของข้อมูลจะมีเพียงลอจิก "0" กับ "1" เท่านั้น สำหรับสาย Data Ready นั้นจะเป็นตัวบอกถึงความพร้อมของตัวส่งข้อมูลว่าขณะนี้ข้อมูลพร้อมที่จะส่งแล้ว ข้อสังเกตุอีกข้อหนึ่งก็คือ ในการส่งข้อมูลแบบขนานนี้ควรที่จะต้องมีสัญญาณควบคุมเพื่อใช้ควบคุมการปฏิบัติงานให้ถูกต้อง

ในการนี้จะกล่าวถึงการอินเตอร์เฟสแบบขนาน ที่นิยมใช้กันมาก 2 แบบ คือ การอินเตอร์เฟสแบบ IEEE-488 และอินเตอร์เฟสแบบ Centronic Compatible

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.2.1 การอินเตอร์เฟสแบบIEEE - 488

บางครั้งอาจเรียก IEEE-488 นี้ว่า GPIB (General Purpose Interface Bus) เพราะว่ามีคุณสมบัติของ IEEE - 488 มีความหมายถึง บัสอินเตอร์เฟสที่ใช้งานทั่วไป IEEE-488 เป็นบัสสัญญาณมาตรฐานที่ได้รองจาก Institute of Electrical and Electrice and Electronics Engineers: IEEE ใช้ในการติดต่อรับส่งข้อมูลระหว่างอุปกรณ์ได้หลายเครื่องโดยมีข้อพิเศษสำหรับผู้ใช้ก็คือ ในกรณีที่ต้องการขยายอุปกรณ์เพิ่มเติมเข้ามาในระบบผู้ใช้ไม่จำเป็นต้องเพิ่มเติมส่วนของวงจรหรืออุปกรณ์อื่น ๆ อีก เพียงแต่เพิ่มสายเคเบิ้ลและแก้ไขส่วนเฉพาะของซอฟท์แวร์เท่านั้น

โครงสร้าง IEEE-488

ส่วนประกอบพื้นฐานของ IEEE-488 ประกอบด้วย ผู้ส่ง (Talker), ผู้รับ (Listener) และผู้ควบคุม (Controller)

Talker ทำหน้าที่ในการส่งข้อมูลโดยสามารถที่จะนำ Talker จำนวนมาก ๆ ใส่ไว้ในระบบ แต่จะมี Talker เพียงตัวเดียวเท่านั้นที่ทำงานอยู่

Listener ทำหน้าที่รับข้อมูล สามารถนำไปใส่ไว้ในระบบได้จำนวนมาก และ Listener ยังสามารถทำงานพร้อมกันในเวลาเดียวกันได้จำนวนมาก

Controller เป็นตัวควบคุมสัญญาณต่าง ๆ บนบัส โดยได้รับความต้องการจากอุปกรณ์ที่จะส่งข้อมูลหรือกำหนด Talker ให้ทำการส่งหรือกำหนด Listener ทำการรับข้อมูล

ลักษณะทางไฟฟ้าของ IEEE-488

คุณสมบัติทางไฟฟ้าซึ่งจะเป็นตัวกำหนดขีดจำกัดของ IEEE-488 มีดังนี้

(1) จำนวนของอุปกรณ์ (Talker, Listener, Controller) ที่ต่อกับสายสัญญาณ bus 1 เส้น จะต้องมีไม่เกิน 15 เครื่อง

(2) สายเคเบิ้ลที่ใช้ต่อระหว่างอุปกรณ์แต่ละตัวจะต้องไม่เกิน 4 m. และความยาวรวมของสายเคเบิ้ลทั้งหมดต้องไม่เกิน 20 m.

(3) ความเร็วในการส่งข้อมูลต้องไม่สูงเกิน 1 MByte/sec

(4) จำนวนอุปกรณ์หรือเครื่องมือมากกว่าครึ่งหนึ่งต้องเปิดให้ทำงาน (จ่ายไฟ)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ลักษณะต่าง ๆ ในบัสของ IEEE-488

IEEE-488 เป็นระบบบัสแบบขนาน ดังนั้นอุปกรณ์ทุกตัวที่ต่อร่วมบัสกันอยู่จึงต่อขนานกันหมด สัญญาณต่าง ๆ จากระบบบัสจึงปรากฏต่ออุปกรณ์ทุกตัวในจำนวนสายต่อทั้ง 24 เส้นของบัส สามารถแบ่งออกได้เป็น 3 กลุ่มสัญญาณ คือ

กลุ่มสัญญาณการควบคุมการรับส่งข้อมูลประกอบด้วย

DAV (Data Valid) เมื่อเป็นลอจิก "LOW" โดยอุปกรณ์ที่เป็นตัวส่ง (Talker) เป็นการแจ้งต่อระบบบัสว่า ตอนนี้ตัวส่งได้ทำการส่งข้อมูลลงไปที่สายสัญญาณข้อมูลเรียบร้อย

NRFD (Not Ready For Data) เมื่อเป็นลอจิก "LOW" เป็นการแสดงว่าตอนนี้ระบบบัสยังไม่พร้อมที่จะรับส่งข้อมูล เนื่องจากอุปกรณ์ในระบบยังพร้อมไม่หมดทุกตัว ซึ่งสัญญาณเส้นนี้จะไม่เป็น "HI" จนกว่าอุปกรณ์ทุกตัวจะให้ลอจิก "HI" ครบถ้วนแล้ว ใช้ประโยชน์สำหรับกรณีที่อุปกรณ์ที่ทใช้ร่วมกันมีความเร็วในการทำงานที่แตกต่างกัน

NDAC (Not Data Accepted) สัญญาณเส้นนี้ควบคุมโดยอุปกรณ์ตัวรับ (Listener) จะมีลอจิก "LOW" ในขณะที่ตัวรับกำลังเป็นข้อมูลจากสายข้อมูลและจะเป็น "HI" เมื่ออ่านข้อมูลเสร็จเรียบร้อย

กลุ่มสัญญาณควบคุมอินเตอร์เฟส ประกอบด้วย

ATN (Attention) เป็นสัญญาณจากอุปกรณ์ที่เป็นตัวควบคุม (Controller) ใช้ในการสั่งให้อุปกรณ์ทุกตัวในระบบเตรียมพร้อมเพื่อรอรับคำสั่งต่อไป

IFC (Interface Clear) เป็นสัญญาณรีเซ็ท หรือเคลียร์ระบบกำเนิดโดยตัวควบคุมเท่านั้น เมื่ออุปกรณ์ในบัสได้รับสัญญาณเคลียร์นี้จะกลับคืนสู่สภาวะเริ่มต้นใหม่ เป็นสภาวะเริ่มแรกก่อนการกำหนดฟังก์ชั่น เหมือนเมื่อแรกเปิดสวิทช์

REN (Remote Enable) สัญญาณเส้นนี้ควบคุมโดยอุปกรณ์ตัวควบคุมตัวเดียวเท่านั้นใช้สั่งให้อุปกรณ์เปลี่ยนจากโหมดที่ใช้งานปกติด้วยมือมาเป็นการควบคุมโดยตัวควบคุมแทน

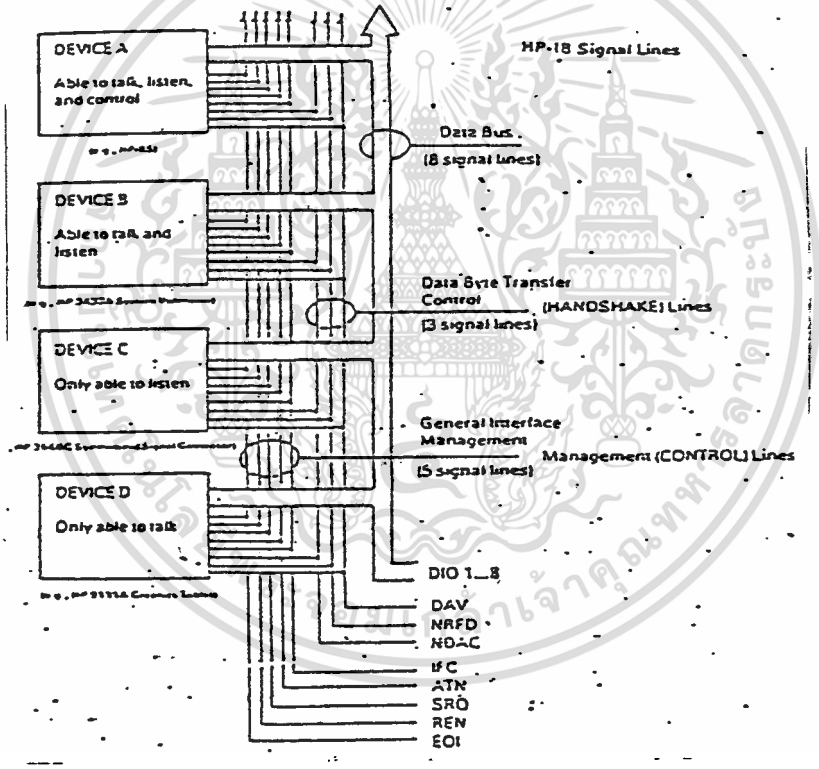
SRQ (Service Request) เป็นสายสัญญาณอินเตอร์รัพท์ เพื่อเป็นการบอกแก่ระบบว่าขณะนี้อุปกรณ์ต้องการต่อต่อจากตัวควบคุม ยกตัวอย่างเช่น Voltmeter ที่มีค่าอ่านได้พร้อมแล้วที่จะส่งให้แก่ระบบเพื่อไปยังอุปกรณ์ที่ต้องการข้อมูลนี้ หรือเมื่อมีการพบข้อผิดพลาดบางอย่าง

EOI (End Or Identify) เป็นสัญญาณที่ควบคุมได้ทั้งอุปกรณ์ที่เป็นตัวควบคุมหรือตัวส่งก็ได้ ใช้แสดงว่าข่าวสารข้อมูลที่ส่งเป็นชุดนั้นสิ้นสุดลงแล้ว

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

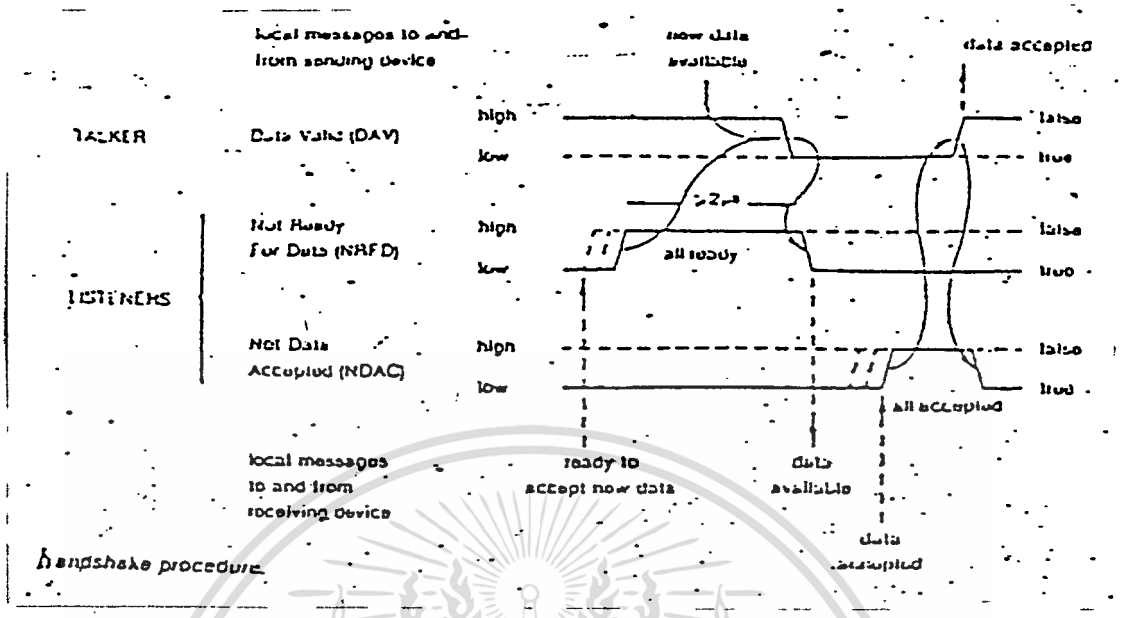
กลุ่มสัญญาณข้อมูล

ประกอบด้วยสายสัญญาณ 8 Line สำหรับเป็นทางผ่านของข้อมูลสัญญาณที่ใช้ใน IEEE-488 นี้มีลักษณะเป็นคอมพลีเม้นท์ ทั้งหมด คือ "1" เท่ากับ "LOW" และ "0" เท่ากับ "HI" สำหรับสายที่เหลืออีก 7 Line นั้นเป็นสายกราวนด์



รูปที่ 2.10 แสดงรายละเอียดของ IEEE-488

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

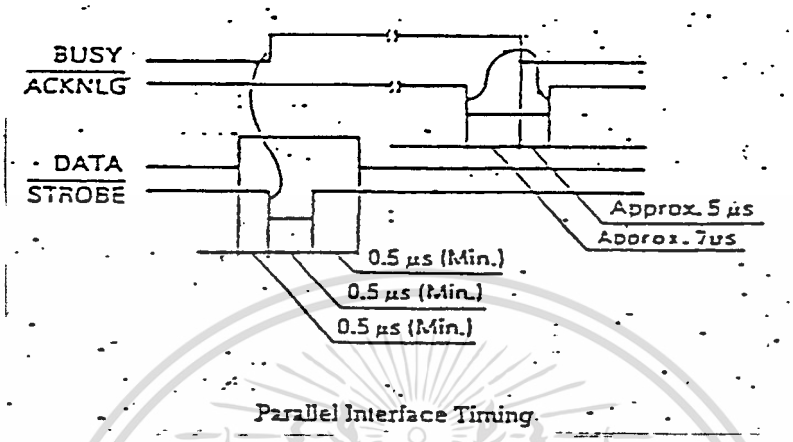


รูปที่ 2.11 แสดงรายละเอียดของขบวนการ Handshake ของ

2.2.2 การอินเตอร์เฟสแบบ Centronic Compatible

การอินเตอร์เฟสที่นิยมใช้ในพอร์ท ที่ใช้กับเครื่องพิมพ์ทั่วไป โดยข้อมูลจะถูกส่งออกไปแบบขนานคือ ข้อมูล 1 Byte จะถูกส่งออกไปพร้อมกัน 8 Bit โดยใช้สายสัญญาณ 8 Line กับ Ground อีกหนึ่งเส้น ในทางปฏิบัติจริง ๆ แล้ว หลังการใช้สายสัญญาณ 8 Line กับ Ground 1 Line ก็ยังไม่สามารถใช้งานได้จริง ๆ เพราะในการใช้เครื่องพิมพ์นี้จะไม่รู้ได้เลยว่ามีข้อมูลชุดใหม่มาหรือยัง ขณะที่เครื่องพิมพ์กำลังพิมพ์อยู่ ยังไม่สามารถที่จะรับข้อมูลเข้าไปได้ จึงได้เพิ่มสัญญาณสโตรปจากเอาท์พุทของคอมพิวเตอร์อีกเส้นหนึ่ง เพื่อที่จะช่วยในการชิงโครนัสระหว่างคอมพิวเตอร์กับเครื่องพิมพ์ด้วย แต่ในการอินเตอร์เฟสแบบ Centronic Compatible นี้ยังมีสายสัญญาณอยู่อีกหลายเส้น ที่ใช้ควบคุมการทำงารระหว่างเครื่องพิมพ์กับคอมพิวเตอร์ สัญญาณในการรับส่งข้อมูลแสดงในตารางที่ 2.1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.12 ไทม์มิ่งไดอะแกรมสำหรับการอินเตอร์เฟสแบบเซนโทรนิค

ขบวนการตรวจสอบสัญญาณ (Handshake)

ในทางปฏิบัติการทำงานของเครื่องพิมพ์ไม่สามารถรับข้อมูลได้เร็วเท่ากับคอมพิวเตอร์ส่งมาให้ เพราะคอมพิวเตอร์สามารถส่งข้อมูลได้หลาย K Byte ภายใน 1 sec แต่เครื่องพิมพ์ที่ทำงานเร็วที่สุดประมาณ 200-300 ตัวอักษรต่อวินาทีเท่านั้น และถึงแม้ว่าเครื่องพิมพ์จะมีบัฟเฟอร์ช่วยในการเก็บข้อมูลก่อนจะพิมพ์ เพื่อให้สามารถรับข้อมูลได้เร็วขึ้น แต่ขนาดของบัฟเฟอร์ก็ยังไม่เพียงพอ ถ้าขนาดของข้อมูลนั้นมีมาก การควบคุมข้อมูลที่จะส่งให้เครื่องพิมพ์ในความเร็วที่เครื่องพิมพ์สามารถรับได้นี้นับว่ามีส่วสำคัญมากจึงมีสัญญาณ Busy และ Acknowledge เพื่อช่วยในขบวนการตรวจสอบสัญญาณ

จากรูปที่ 2.12 แสดงไทม์มิ่งไดอะแกรมของขบวนการตรวจสอบ โดยมีสัญญาณ Data และ Strode ส่งจากคอมพิวเตอร์มายังเครื่องพิมพ์และสัญญาณ BUSE กับ ACKNLG ส่งโดยเครื่องพิมพ์มายังคอมพิวเตอร์ ขบวนการตรวจสอบสัญญาณแบบ Centronic Interface มีลำดับขั้นตอนเป็นดังนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

(1) คอมพิวเตอร์จะส่งข้อมูล 8 bit มารอที่สายดาต้าบัสทั้ง 8 Line

(2) หลังจากนั้นก็ส่ง Strobe ซึ่งเป็นลอจิก "LOW" ตามออกมาโดยมีความกว้างของ Pulse ไม่น้อยกว่า 0.5 ไมโครวินาที

(3) ถ้าเครื่องพิมพ์อยู่ในสถานะพร้อมที่จะรับข้อมูลแล้ว ก็จะทำการรับข้อมูลนี้เข้าไป โดยจะ Set ให้สัญญาณ BUSY เป็น ลอจิก "HI" ซึ่งในขณะนี้เครื่องพิมพ์จะข้อมูลนั้น

(4) เมื่อเครื่องพิมพ์พร้อมที่จะรับข้อมูงต่อไปก็จะส่งสัญญาณ ACKNLG เป็นลอจิก "LOW" และจะรีเซ็ทให้สัญญาณ BUSY เป็น "LOW" อีกครั้งหนึ่งเพื่อบอกให้คอมพิวเตอร์รู้ว่าพร้อมที่จะรับข้อมูลแล้ว

จากการศึกษามาจากขบวนการตรวจสอบสัญญาณข้างต้นจะเป็นว่าคอมพิวเตอร์จะต้องเสียเวลารอเครื่องพิมพ์ จึงทำให้ใช้เวลามากในการพิมพ์ข้อมูลนั้นเป็นจำนวนมาก ๆ และจากการศึกษาของไทม์มิ่งไดอะแกรม นี้เอง ทำให้สามารถนำไปออกแบบสร้างสวิทช์ชิ่ง ปริ้นเตอร์ บัฟเฟอร์ สำหรับคอมพิวเตอร์ขึ้นมาได้

ขั้วต่อของอินเตอร์เฟสแบบเซนโทรนิคส์ (Connector)

ขั้วต่อมาตรฐานของเซนโทรนิคส์ใช้แบบแอมป์เฟอร์นอล 36 ขา ซึ่งบางครั้งเรียกว่าขั้วต่อแบบเซนโทรนิคส์ ซึ่งมีทั้งแบบปลั๊ก และซ็อคเก็ต ที่ตัวเครื่องพิมพ์จะมีซ็อคเก็ตติดอยู่แต่ที่ฟอร์ทของคอมพิวเตอร์ส่วนมากจะเป็นขั้วต่อแบบ D-Type หรือ IDC ก็ได้ ในคอมพิวเตอร์ของเครื่อง IBM ขาใช้ขั้วต่อแบบ D-Type 25 ขา ในรูปที่ 2.13 แสดงขั้วต่อมาตรฐานเซนโทรนิคส์ 36 ขา และรูปที่ 2.14 แสดงขั้วต่อที่คอมพิวเตอร์ IBM

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตารางที่ 2.1 รายละเอียดของสายสัญญาณต่าง ๆ ในการรับส่งข้อมูลแบบขนาน

ขั้วสัญญาณ	ขั้วสัญญาณ	ชื่อสัญญาณ	ทิศทาง	คำอธิบาย
1	19	STROBE	อินพุท	เป็นสัญญาณที่ส่งจากอุปกรณ์ภายนอก เช่น ชุดไมโครคอมพิวเตอร์ เพื่อบอกให้เครื่องพิมพ์รับข้อมูลไปได้ โดยทั่วไปแล้วจะมีความกว้างของ Pulse ประมาณ 0.5 uS ถึง 1 uS
2-9	20-27	DATA	อินพุท	เป็นสายสัญญาณหรือข้อมูลที่ส่งจากอุปกรณ์ภายนอกเป็นข้อมูลขนาด 8 บิท
10	28	ACKNLG	เอาท์พุท	เป็นสายสัญญาณที่ส่งจากเครื่องพิมพ์ เพื่อบอกให้อุปกรณ์ภายนอกรับรู้ว่าได้รับข้อมูลไว้เรียบร้อยแล้ว โดยทั่วไปจะมีความกว้างของ Pulse ประมาณ 5-12 uS
11	29	BUSY	เอาท์พุท	เป็นสัญญาณที่ส่งจากเครื่องพิมพ์ เพื่อบอกให้อุปกรณ์ภายนอกรู้ว่าขณะนี้เครื่องพิมพ์ยังไม่พร้อมที่จะรับข้อมูล โดยจะให้สัญญาณ "HI" ออกมา ซึ่งสาเหตุต่าง ๆ อาจเกิดขึ้น เนื่องจาก 1. เครื่องพิมพ์อยู่ในระหว่างการกระทำข้อมูล 2. อยู่ในระหว่างการพิมพ์ข้อมูล 3. อยู่ในระหว่าง Off-Line State 4. ข้อมูลที่ส่งเข้ามาไม่สามารถตีความได
12	30	PE	เอาท์พุท	เป็นสัญญาณที่ส่งจากเครื่องพิมพ์ในกรณีที่กระดาษพิมพ์หมด

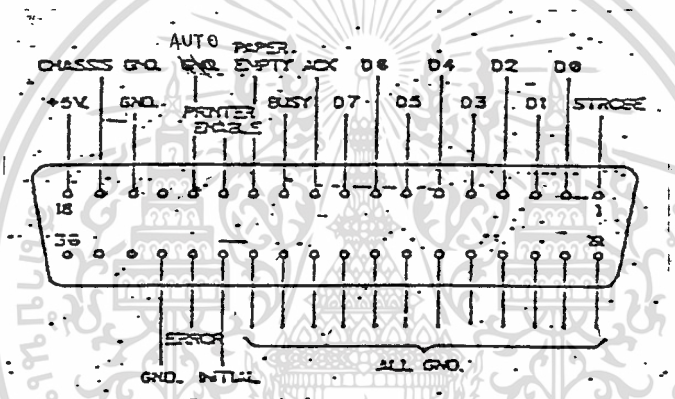
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ขั้วสัญญาณ	ขั้วสัญญาณ	ชื่อสัญญาณ	ทิศทาง	คำอธิบาย
16	-	OV	-	ขั้ว 0 โวลท์
17	-	CHASSI S	-	ต่อกับโครงของเครื่องพิมพ์
18	+5V	-	-	ขั้ว +5 โวลท์
19-30	-	GND	-	สัญญาณกลับหรือกราวนด์ของระบบ
31	-	INIT	อินพุท	เป็นสัญญาณที่ส่งจากอุปกรณ์ภายนอก โดยจะทำงานเมื่อมีสัญญาณ "LOW" เมื่อเครื่องพิมพ์ได้รับสัญญาณนี้ เครื่องพิมพ์จะเลื่อนหัวพิมพ์สู่จุดเริ่มต้นพิมพ์ข้อมูลต่าง ๆ จะถูกละทิ้งหมดโดยทั่วไปแล้ว สัญญาณนี้จะมีความกว้างของ Pulse ประมาณ 50 uS
32	-	ERROR	เอาท์พุท	เป็นสัญญาณที่ส่งออกจากเครื่องพิมพ์ เพื่อบอกให้อุปกรณ์ภายนอกรับรู้ว่ามีข้อมูลผิดพลาดเกิดขึ้น เช่น - กระดาษหมด - อยู่ในระหว่าง Off line - ข้อมูลที่รับเข้ามาผิดพลาด
33	-	GND	-	เหมือน 19-30
34	-	NC	-	ไม่ได้ต่อใช้งาน
35	-	NC	-	ไม่ได้ต่อใช้งาน
36	-	SECT IN	อินพุท	คล้ายกับสัญญาณ BUSY แต่สัญญาณกลับกั

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

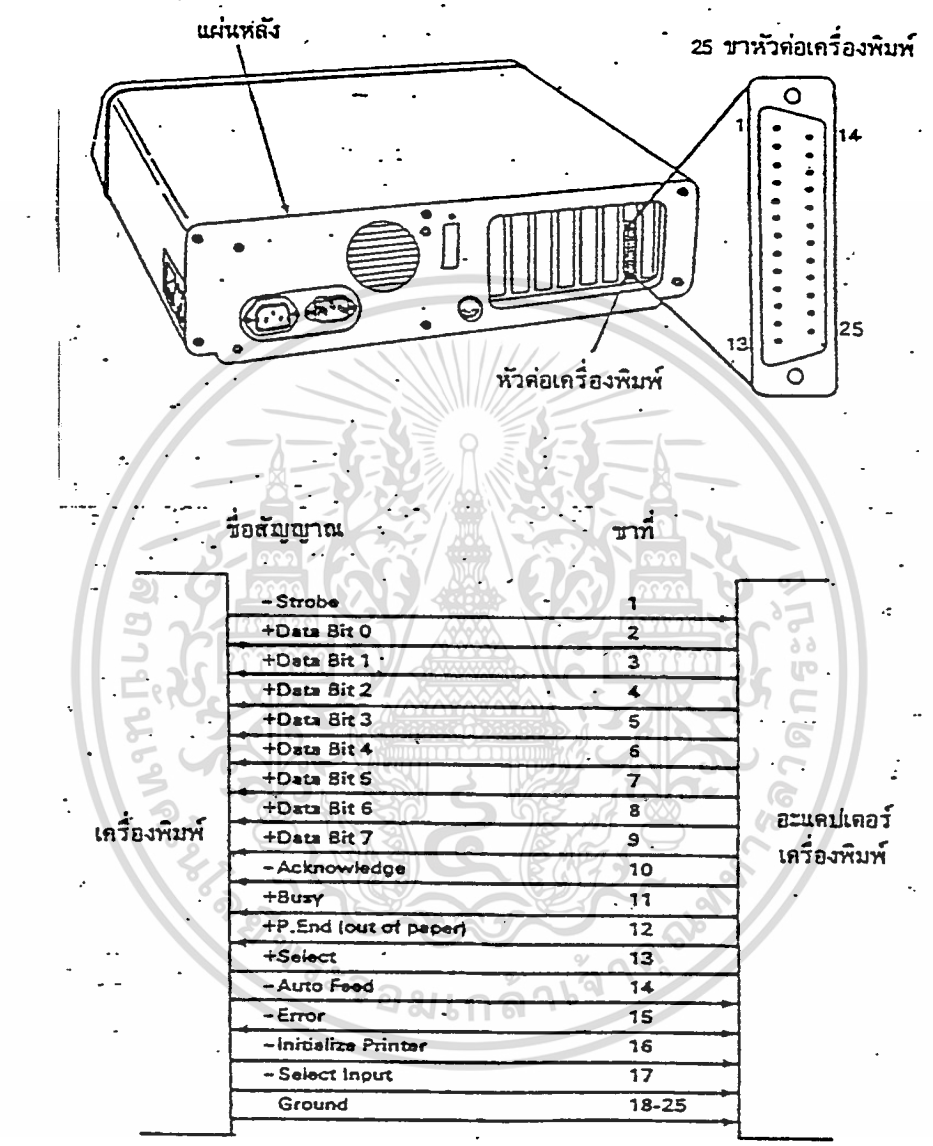
ขั้วสัญญาณ	ขั้วสัญญาณ	ชื่อสัญญาณ	ทิศทาง	คำอธิบาย
13	–	SELECT	เอาท์พุท	เป็นสัญญาณที่ส่งออกจากเครื่องพิมพ์เพื่อบอกให้อุปกรณ์ภายนอกรับรู้ว่าขณะนี้เครื่องพิมพ์อยู่ในสถานะใด (ใช้งานหรือไม่ใช้งาน) โดยที่สัญญาฯเป็น "high" หมายถึงเครื่องพิมพ์อยู่สถานะที่ใช้งานอยู่ ถ้าเป็น "low" อยู่ในสถานะที่ไม่ใช้งานหรือไม่สามาถรับข้อมูลได้โดยสถานะทั้งสองนี้ เกิดจาก 1. สถานะที่ใช้งานได้ - มีการกดปุ่ม select หรือ on line ในขณะที่เครื่องพิมพ์อยู่ในสถานะ des หรือ offline 2. สถานะที่ไม่ใช้งาน - มีการกดปุ่ม seclect หรือ online ในขณะที่อยู่ในสถานะ select หรือ online - ได้รับระหัส DC3 (13H) - เมื่อกระดาษพิมพ์หมด - เมื่อเครื่องพิมพ์อยู่ในสถานะ fault *หมายเหตุ* สัญญาณนี้เครื่องพิมพ์บางชนิดจะไม่มี
14	–	AUTO	อินพุท	เป็นสัญญาณที่ส่งจากอุปกรณ์ภายนอก เมื่อ เครื่องพิมพ์ได้รับสัญญาณนี้ เครื่องพิมพ์จะเลื่อนบรรทัดใหม่ 1 บรรทัด หลังจากที่พิมพ์เสร็จ *หมายเหตุ* สัญญาณนี้เครื่องพิมพ์บางชนิดจะไม่มี
15	–	NC	–	ไม่ได้ต่อใช้งาน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.13 แสดงขั้วต่ออินเตอร์เฟสแบบเซนโทรนิคส์มาตรฐาน 36 ขา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.14 แสดงขั้วต่อและการเชื่อมโยง เครื่อง IBM กับเครื่องพิมพ์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

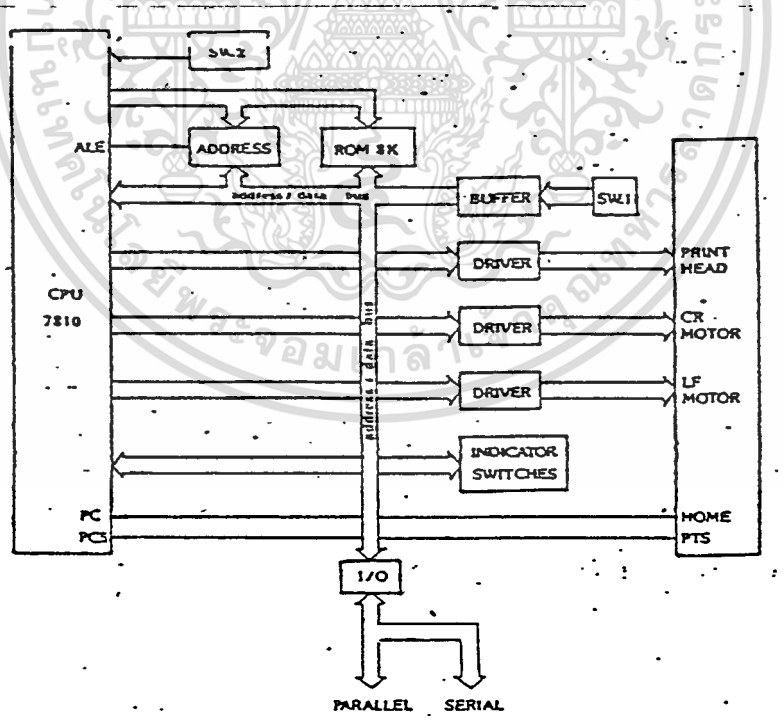
บทที่ 3

หลักการทำงาน และโครงสร้างของปริ้นท์เตอร์บัฟเฟอร์

ในบทนี้จะกล่าวถึงการทำงานและโครงสร้างของปริ้นเตอร์บัฟเฟอร์ เพื่อเป็นแนวทางในการออกแบบ ฮาร์ดแวร์ (Hardware) และซอฟท์แวร์ (Software) ของปริ้นท์เตอร์บัฟเฟอร์ต่อไป

3.1 โครงสร้างของเครื่องพิมพ์ข้อมูล

เครื่องพิมพ์ (Printer) เป็นอุปกรณ์ที่ใช้สนับสนุนการทำงานของคอมพิวเตอร์เพื่อใช้ในการพิมพ์ข้อมูลต่าง ๆ เอกสาร รูปภาพ เพื่อนำไปทำเป็นรายงานของหน่วยงานต่าง ๆ ซึ่งเครื่องพิมพ์นี้มีโครงสร้างดังรูปที่ 3.1



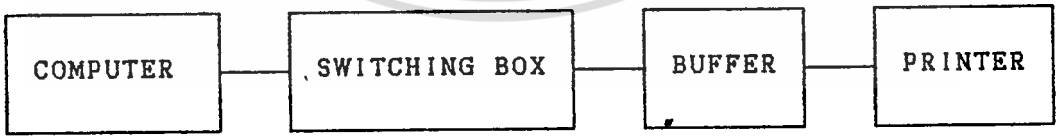
รูปที่ 3.1 แสดงโครงสร้างของเครื่องพิมพ์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากรูปจะเห็นว่าเครื่องพิมพ์ก็คือไมโครคอมพิวเตอร์ที่ทำหน้าที่เฉพาะการพิมพ์ข้อมูลต่าง ๆ เท่านั้น โครงสร้างทั่วไปจะประกอบด้วย 2 ส่วนใหญ่ ๆ ก็คือ ส่วนที่เป็นวงจรอิเล็คทรอนิกส์ และส่วนที่เป็นกลไก ซึ่งกลไกต่าง ๆ เช่นการทำงานของหัวพิมพ์ มอเตอร์ที่ใช้ในการเลื่อนกระดาษตลอดจนการควบคุมการพิมพ์จะถูกควบคุมโดยไมโครโปรเซสเซอร์ ซึ่งมีโปรแกรมควบคุมการทำงานอยู่ที่หน่วยความจำ ROM (Read Only Memory) เพื่อให้การทำงานของปริ้นท์เตอร์เป็นไปอย่างถูกต้อง นอกจากนี้แล้วเครื่องพิมพ์ยังมีหน่วยความจำชั่วคราว (RAM) ซึ่งใช้เป็น Buffer Memory อยู่ด้วยเพื่อให้รับข้อมูลได้เร็วขึ้น Buffer Memory นี้จะมีขนาดมากหรือน้อยขึ้นอยู่กับบริษัทผู้ผลิต เช่น 2 กิโลไบท์ , 8 กิโลไบท์ เป็นต้น

3.2 หลักการทำงานของปริ้นท์เตอร์บัฟเฟอร์

ปริ้นท์เตอร์บัฟเฟอร์ เปรียบเสมือนเป็นเครื่องคอมพิวเตอร์และเครื่องพิมพ์ที่มีความเร็วสูง ที่ต่ออยู่รวมกันและต่อไว้ระหว่างคอมพิวเตอร์กับเครื่องพิมพ์ โดยจะมีหน่วยความจำซึ่งจะรับข้อมูลจากคอมพิวเตอร์ด้วยความเร็วเท่ากับความเร็วที่คอมพิวเตอร์ส่งข้อมูลออกมาแล้ว จึงทยอยส่งข้อมูลให้กับเครื่องพิมพ์ ในอัตราที่เครื่องพิมพ์สามารถทำงานได้ทัน



รูปที่ 3.2 แสดงการต่อปริ้นท์เตอร์บัฟเฟอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หลักการที่ใช้ในวงจร

ในสภาวะปกติเครื่องสลับสายจะส่ง BUSY เป็นสัญญาณลอจิก"0"ไปให้แก่คอมพิวเตอร์ทั้ง 3 ตัว คอมพิวเตอร์จะมองเครื่องสลับสายเป็นเหมือนปริ้นท์เตอร์ ดังนั้นคอมพิวเตอร์จึงทราบว่าขณะนี้ปริ้นท์เตอร์พร้อมจะรับข้อมูลจากเครื่องใดก็ได้ใน 3 เครื่องนี้ เครื่องสลับสายจะคอยตรวจจับสัญญาณ STROBE ที่ส่งมาจากคอมพิวเตอร์ว่าเครื่องใดส่งคำสั่งพิมพ์มาก่อน และทันทีที่เครื่องสลับสายตรวจจับสัญญาณ STROBE ได้มันจะทำการส่ง BUSY เป็น "1" ให้กับคอมพิวเตอร์อีก 2 เครื่องทันที (ทำให้คอมพิวเตอร์ 2 ตัวนั้นไม่สามารถส่งข้อมูลออกมาได้จนกว่า BUSY จะตกลงเป็น "0" อีกครั้งเมื่อเครื่องคอมพิวเตอร์ตัวแรกสั่งพิมพ์เสร็จ) และสำหรับเครื่องคอมพิวเตอร์ที่ส่ง STROBE เข้ามาก่อนเครื่องสลับสายทำการต่อบัสข้อมูลของปริ้นท์เตอร์ ส่วนบัสข้อมูลของเครื่องคอมพิวเตอร์ที่เหลืออีก 2 เครื่องก็จะอยู่ในสภาวะอิมพีแดนซ์สูง

การทำงานของ SWITCHING BOX

เมื่อเริ่มเปิดเครื่องปริ้นท์เตอร์และไอซีทุกตัวจะถูกเคลียร์โดยสัญญาณจาก $IC_{2/2}$ ทำให้ BUSY ที่ต่อไปยังคอมพิวเตอร์ทั้ง 3 เครื่องตกลงเป็น "0" หมดโดยที่พรินเตอร์จะต้องอยู่ในสภาวะปกติด้วย $IC_{3/1}$, $IC_{3/2}$, $IC_{4/1}$ จะคอยตรวจจับสัญญาณ STB ที่ถูกส่งเข้ามาจากเครื่องคอมพิวเตอร์ซึ่งในขณะที่ไม่มีการส่งข้อมูลจะมีลอจิกเป็น "1" ดังนั้นที่ขา PR ของไอซีดังกล่าวจะต้องมีการพูลอัพเอาไว้ด้วยตัวต้านทานค่า 10 kโอห์ม สำหรับ $IC_{1/1}$, $IC_{1/2}$, $IC_{1/3}$ จะทำหน้าที่ตรวจจับการเปิดปิดเครื่องคอมพิวเตอร์

เนื่องจากปัญหาเรื่องของการดึงกระแสดังที่ได้กล่าวมาแล้วข้างต้นจะทำให้สัญญาณ STB ไม่สามารถพูลอัพได้ด้วยความต้านทานหรือบัฟเฟอร์แบบ 3 สถานะที่เป็น TTL ได้ ดังนั้นจึงจำเป็นต้องใช้อะนาลอกสวิตช์มาเป็นตัวตัดวงจรออกในขณะที่เครื่องคอมพิวเตอร์ปิดอยู่โดยใช้สัญญาณINIT ของคอมพิวเตอร์มาดีเท็กแทน คือจะทำการต่อสัญญาณ STB เข้ากับวงจรก็ต่อเมื่อคอมพิวเตอร์เปิดอยู่เท่านั้น

ในที่มีสมมุติให้เครื่องคอมพิวเตอร์ A ส่งข้อมูลมาพิมพ์ก่อน ดังนั้นสัญญาณ STB COM:A จะผ่าน $IC_{1/1}$ มาทริก $IC_{3/1}$ ทำให้ Q ที่ติดต่ออยู่กับอินพุทของ $IC_{6/2}$, $IC_{7/1}$ เป็น "1" ซึ่งก็คือการส่ง BUSYไปให้เครื่องคอมพิวเตอร์อีก 2 เครื่องนั้นเองส่วน Q ก็จะไปอีเนเบิ้ล IC_{5} และสัญญาณ STB COM:A จะไปสโตรบให้ IC_{5} ทำการแลตช์เอาข้อมูลที่ส่งออกมาจากคอมพิวเตอร์อยู่ก่อนแล้วประมาณ 0.5us ให้ไปเก็บอยู่ใน IC_{5} นอกจากนี้ STB COM:A ยังทริกผ่าน $IC_{2/1}$ ไป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ยัง $IC_{8/1}$ ซึ่งเป็นโมโนสเตเบิ้ลแบบรีทริกเอเบิ้ลเพื่อทำให้ขา CLR ของ $IC_{3/1}$ เป็น "1"อยู่ตลอดที่ยังมีการส่งข้อมูลจากเครื่องคอมพิวเตอร์ A อยู่ โดยใช้ R_1, C_1 เป็นตัวกำหนดค่าคงที่เวลาในการหน่วงเวลาให้คอมพิวเตอร์ A ขณะที่ยังถูกอีเนเบิ้ลอยู่ซึ่งจะต้องนานพอที่จะแน่ใจว่าข้อมูลที่ส่งต่อเนื่องเป็นชุดเดียวกัน จะไม่หยุด STB ไปนานกว่าค่าที่ตั้งไว้

สำหรับ $IC_{4/2}$ จะทำหน้าที่ส่ง BUSY คั่นข้อมูลแต่ละไบต์แทนพรินเตอร์จนกว่าพรินเตอร์จะได้รับข้อมูลไปเรียบร้อยแล้ว mสัญญาณ ACK จากปริ้นท์เตอร์จะมาเคลียร์ $IC_{4/2}$ ทำให้ BUSY COM:A ตกเป็น "0" อีกครั้ง และพร้อมที่จะรับข้อมูลชุดต่อไป

$IC_{8/2}$ ทำหน้าที่ผลิตสัญญาณ STB แทนเครื่องคอมพิวเตอร์ที่ได้ส่งผ่านไปแล้วโดยใช้ช่วงขาขึ้นของสัญญาณ STB COM:A เพื่อให้เป็นไปตามผังเวลา คือ STB จะต้องมาตามหลังข้อมูลที่มาแอดร์อยู่ที่ IC_3 แล้วอย่างน้อย 0.5 us พอดีสำหรับ $IC_{6/1}, IC_{6/2}, IC_{7/1}$ นั้นนอกจากจะทำหน้าที่ส่ง BUSY ให้แก่เครื่องคอมพิวเตอร์ในช่วงรับส่งข้อมูลแล้วยังทำหน้าที่ตรวจสอบสถานะของปริ้นท์เตอร์แทนเครื่องคอมพิวเตอร์อีกด้วยและเพื่อเป็นการลดความยุ่งยากของวงจร

เครื่องคอมพิวเตอร์สามารถตรวจสอบสถานะต่าง ๆ ของปริ้นท์เตอร์จากสัญญาณ BUSY เพียงสัญญาณเดียวก็ได้ ดังนั้นเราจึงออกแบบเครื่องสลับสายให้ส่ง BUSY ให้แก่คอมพิวเตอร์ 3 เครื่อง แทนปริ้นท์เตอร์ ส่วนสัญญาณอื่น ๆ นอกจากสัญญาณ BUSY คือ ERROR จะต่อหลอกให้มีสถานะปกติคือ PE เป็น "0" และ ERROR เป็น "1" เพื่อที่เครื่องคอมพิวเตอร์จะได้ไม่ต้องมาตรวจเช็คว่าเกิดผิดปกติขึ้นกับปริ้นท์เตอร์ เพราะหากไม่ต่อหลอกไว้อาจทำให้สัญญาณ PE และ ERROR มีลอจิกที่ไม่แน่นอน ทำให้เครื่องคอมพิวเตอร์ตรวจได้และจะหยุดการทำงาน

แสดงรายละเอียดสัญญาณที่ขาต่าง ๆ ของ DB-25

ขาที่ 1 STROBE in เป็นสัญญาณที่เครื่องคอมพิวเตอร์ใช้ในการบอกสถานะให้พรินเตอร์ทราบว่าได้ส่งข้อมูลมารออยู่ที่บัสข้อมูลแล้ว โดยจะส่งเป็นพัลส์ "0" ที่มีความกว้างไม่น้อยกว่า 0.5 us

ขาที่ 2-9 DATA 0-7 in สัญญาณเหล่านี้จะใช้แทนข้อมูลของบิตที่ 1 ถึง บิตที่ 8 ซึ่งเป็นข้อมูลแบบขนาน โดยแต่ละบิตจะมีลอจิกเป็น "0" หรือ "1" แล้วแต่ข้อมูลที่ต้องการพิมพ์

ขาที่ 10 ACK out เป็นสัญญาณที่ปริ้นท์เตอร์ใช้บอกสถานะว่าข้อมูลขณะนั้นถูกรับเข้าไปเก็บไว้ในบัฟเฟอร์ และปริ้นท์เตอร์ก็พร้อมที่จะรับข้อมูลโดยจะมีสัญญาณเป็น "1" ก็ต่อเมื่อ

- ระหว่างที่ข้อมูลกำลังถูกอ่านเข้ามา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- ระหว่างที่ปริ้นท์เตอร์กำลังพิมพ์อยู่
- เมื่อพรินเตอร์ถูกกดสวิทส์ให้ "OFF LINE"
- เมื่อเกิดการผิดพลาดขึ้นกับปริ้นท์เตอร์ เช่นกระดาษพิมพ์หมด หัวพิมพ์ติดขัด ฯลฯ

ขาที่ 12 PE out เป็นสัญญาณที่ปริ้นท์เตอร์ใช้บอกสถานะว่าขณะนี้ไม่มีกระดาษพิมพ์ หรือพิมพ์ถึงสุดปลายกระดาษแล้ว

ขาที่ 15 ERROR out เป็นสัญญาณที่ปริ้นท์เตอร์ใช้บอกสถานะว่าขณะนี้เกิดข้อผิดพลาดขึ้น โดยสัญญาณนี้จะตกลงเป็น "0" พร้อมกับที่ปริ้นท์เตอร์หยุดการทำงานลงโดยการ OFF LINE ตัวมันเอง

ขาที่ 16 INIT in เป็นพัลส์ที่คอมพิวเตอร์ใช้รีเซ็ตปริ้นท์เตอร์ให้อยู่ในสถานะเริ่มแรก และบัฟเฟอร์ภายในปริ้นท์เตอร์จะถูกเคลียร์ทั้งหมด

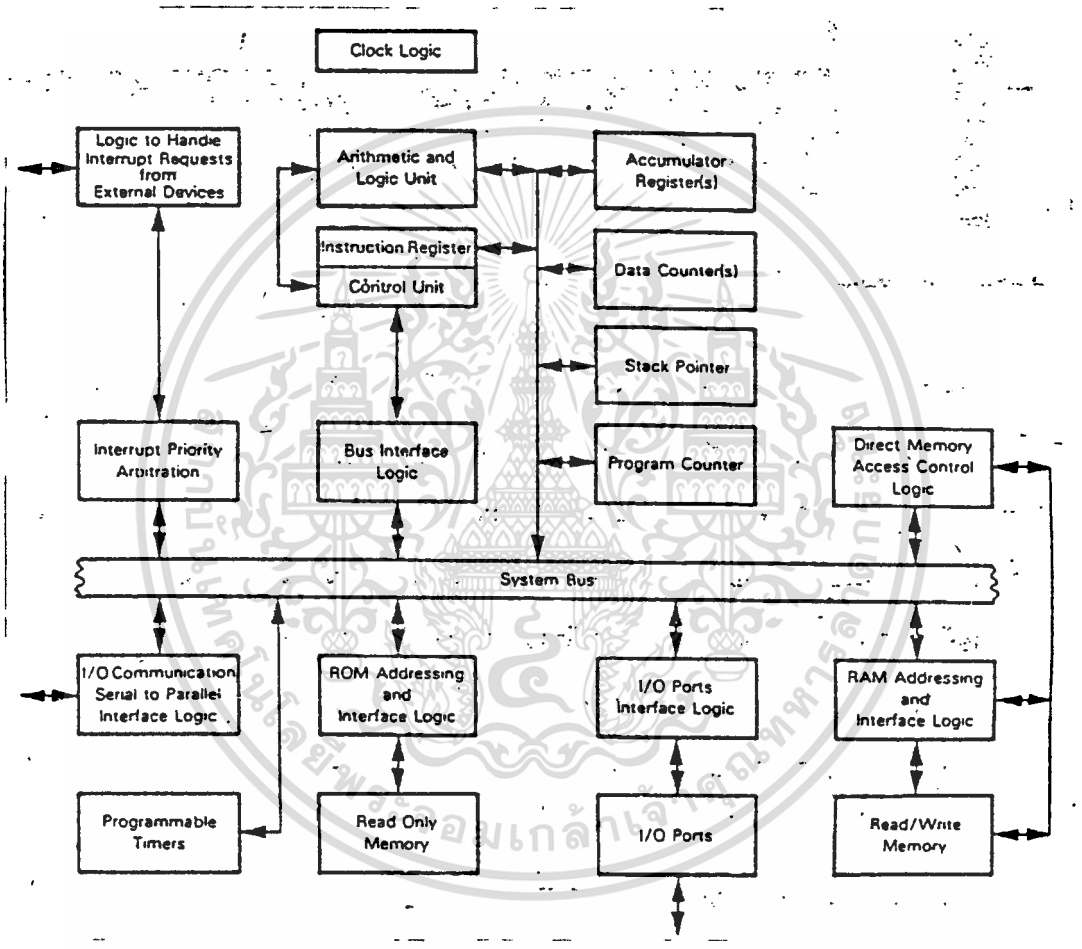
ขาที่ 18-25 GND กราวด์ของระบบ

3.2.1 โครงสร้างพื้นฐานของคอมพิวเตอร์

หน่วยควบคุม (Control Unit)
หน่วยความจำ (Memory Unit)
หน่วยคำนวณ (Arithmetic Unit)
หน่วยรับและส่งสัญญาณ (Input/Output Unit)

ในปัจจุบันนี้ เราสามารถนำเอาวงจรอิเล็กทรอนิกส์ที่ยุ่งยากและซับซ้อนมาบรรจุลงบนแผ่นวงจรเดียวกันที่มีขนาดเล็กมากซึ่งเรียกว่า LSI (Last Scale Integrated Circuit) และบรรจุอยู่ในตัวถัง ซึ่งต่อขาออกมาเพื่อใช้ในการติดต่อกับวงจรภายนอก สิ่งนี้เรียกว่า "ชิพ" (Chip) องค์ประกอบย่อย ๆ ในไมโครคอมพิวเตอร์ทั้งหมด จะประกอบขึ้นจากชิพเหล่านี้ เช่น หน่วยความจำประเภท ROM (Read Only Memory),RAM (RandomAccess Memory)อุปกรณ์สนับสนุน (Chip Support) ต่างๆ และสิ่งที่เป็นหัวใจของระบบไมโครคอมพิวเตอร์ คือ หน่วยประมวลผลกลาง หรือ CPU (Central Proessing Unit)ซึ่งภายในประกอบไปด้วยส่วนต่างๆ ดังบล็อกไดอะแกรมรูปที่ 3.3

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.3 แสดงบล็อกไดอะแกรมของ Z-80

ซึ่งแต่ละบล็อกมีลักษณะการทำงานดังต่อไปนี้คือ

1.Arithmetics Logic Unit : ALU เป็นหน่วยที่ทำหน้าที่ในการคำนวณฟังก์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ชั่นพื้นฐานทางคณิตศาสตร์ และการกระทำฟังก์ชั่นทางลอจิก เช่น AND และ OR, ALU จะสามารถทำหน้าที่ได้อย่างมีประสิทธิภาพมากเพียงใดนั้นขึ้นอยู่กับการออกแบบวงจรภายในของ ALU.

2.Control Unit เป็นหน่วยที่ทำหน้าที่ในการส่งสัญญาณไปควบคุมอุปกรณ์ต่างๆ ที่ต่อเชื่อมกับ CPU ให้ทำงานได้อย่างถูกต้อง

3.Data bu เป็นบัสสองทิศทาง (Bi-Directional) ที่ใช้ในการส่งผ่านข้อมูลระหว่าง CPU กับอุปกรณ์อื่นๆ ภายในระบบ จำนวนเส้นของบัสข้อมูล (Data bus) จะขึ้นอยู่กับชนิดของ CPU เช่นในกรณีของ Z80 CPU จะส่งผ่านข้อมูลทีละ 8 บิท ดังนั้นจะมีจำนวนเส้นของบัสข้อมูล 8 เส้น

4.Control bus หรือ บัสควบคุมเป็นบัสทางเดียว (Uni directional bus) ที่ใช้ในการส่งผ่านสัญญาณควบคุมให้กับอุปกรณ์ต่างๆในระบบ

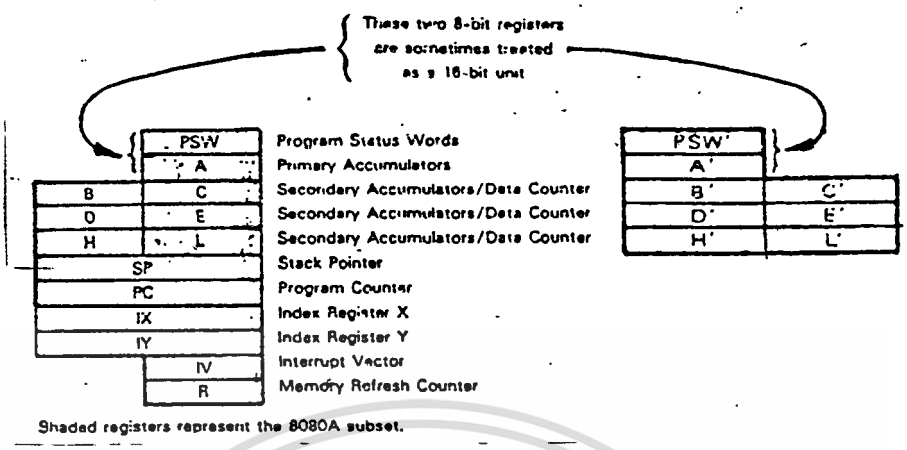
5.Address bus เป็นบัสทางเดียว ใช้ส่งผ่านค่าแอดเดรสจาก CPU ออกไปยังหน่วยความจำเพื่อระบุตำแหน่งที่ต้องการรับ หรือ ส่งข้อมูล หรือ ใช้ระบุตำแหน่งของพอร์ท I/O ที่ CPU ต้องการติดต่อด้วย

Z-80 ไมโครโปรเซสเซอร์เป็น CPU ที่ได้รับพัฒนาให้มีข้อดีเหนือกว่า 8080 เช่น มีชุดคำสั่งมากถึง 158 คำสั่งโดยรวมชุดคำสั่งเดิมของ 8080 ไว้ 80 คำสั่ง นอกจากนี้ Z80 ยังมีรีจิสเตอร์มากกว่าใน 8080 ถึง 12 ตัว และ 8080 เพียงตัวเดียวก็ยังไม่สามารถที่จะนำไปใช้งานได้ต้องต่อกับอุปกรณ์สนับสนุนอีก 2 ตัวคือ Clock Generator Chip,System Controler Chip รวมกันเรียกว่า Three Chip Processor แต่ใน Z-80 CPU ได้รวม เอาลักษณะพื้นฐานเหล่านี้ไว้ในชิพเดียวกัน และเพิ่มประสิทธิภาพทาง Hardware , Software และการ Interface ให้สูงขึ้น

3.2.2 รีจิสเตอร์ใน Z-80 CPU

Z-80 CPU จะประกอบไปด้วยรีจิสเตอร์ถึง 22 ดังรูป 3.4 รีจิสเตอร์เหล่านี้จะแบ่งได้เป็น 2 กลุ่มคือ รีจิสเตอร์ที่ทำหน้าที่ทั่วๆไป และ รีจิสเตอร์ที่ทำหน้าที่เฉพาะงาน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.4 แสดงรีจิสเตอร์ต่างๆ ภายใน Z-80

1.รีจิสเตอร์ที่ทำหน้าที่ทั่ว ๆไป แบ่งเป็นรีจิสเตอร์หลัก ได้แก่ A , B ,C , D ,E , H และ L ซึ่งมีความจุขนาด 8 บิท รีจิสเตอร์เหล่านี้ใช้เก็บข้อมูลชั่วคราว นอกจากนี้ยังสามารถรับข้อมูล จากหน่วยความจำ หรือ อาจจะทำการย้ายข้อมูลไปเก็บไว้ในหน่วยความจำก็ได้ และรีจิสเตอร์สำรองได้แก่ A',B',C',D',E',H',และ L' ซึ่งเป็นรีจิสเตอร์ที่ทำหน้าที่เก็บข้อมูลที่มาจากรีจิสเตอร์หลัก ในกรณีที่ต้องใช้รีจิสเตอร์หลักในการทำงานอย่างอื่นก่อน ดังนั้น รีจิสเตอร์กลุ่มนี้จึงไม่สามารถกระทำขบวนการทางคณิตศาสตร์และลอจิกได้

รีจิสเตอร์ A เรียกว่า Accumulator ทำหน้าที่เก็บข้อมูล ขบวนการทางคณิตศาสตร์ เช่น บวก หรือลบข้อมูล 2 จำนวน ผลลัพท์ที่ได้จะเก็บไว้ในรีจิสเตอร์ A นี้ นอกจากนี้ ในการปฏิบัติตามคำสั่งที่ใช้กับข้อมูลขนาด 16 bit Z-80 จะนำเอารีจิสเตอร์แฟลก "F" (Flag Register) มาใช้ร่วมกับรีจิสเตอร์ A เรียกว่า คู่รีจิสเตอร์ AF ซึ่งมีขนาด 16 บิท นอกจากนี้ยังมีคู่รีจิสเตอร์ 16 bit อื่นๆ อีกคือ BC,DEและ HL

2.รีจิสเตอร์ที่ใช้งานเฉพาะอย่าง ได้แก่ รีจิสเตอร์ I, R, IX, IY, SP,และ PC ซึ่งทำหน้าที่ต่างๆ ดังนี้

รีจิสเตอร์ I (Interrupt Page Address Register) เมื่อมีการอินเทอร์รัพท์เกิดขึ้นจำเป็นต้องบอกตำแหน่งของหน่วยความจำที่เก็บโปรแกรมตอบสนองการอินเทอร์รัพท์ รีจิสเตอร์ I จะทำหน้าที่เก็บค่า 8 บิทบนของตำแหน่งข้อมูลในหน่วยความจำส่วนค่า 8 บิท ล่างจะป้อนจากภายนอกให้แก่ CPU ค่าทั้งสองจะประกอบกันเป็นค่าแอดเดรสที่ระบุตำแหน่งของโปรแกรม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การตอบสนองการอินเทอร์รัพท์

รีจิสเตอร์ R (Memory Refresh Register) เป็นรีจิสเตอร์ขนาด 7bit ที่ถูกใช้ในการ รีเฟรช์ (Refresh) Dynamic Ram และค่ารีจิสเตอร์ R จะเพิ่มขึ้นเองโดยอัตโนมัติ ในทุก ๆ ครั้งที่มีการเฟทช์คำสั่งจากหน่วยความจำ รายละเอียดเกี่ยวกับDynamic RAM

รีจิสเตอร์ IX และ IY (Indix Register) เป็นรีจิสเตอร์ที่มีขนาด16 บิท มีประโยชน์ใช้บ่งบอกตำแหน่งในหน่วยความจำแบบ Indix Addressing Mode โดยจะกำหนดให้ค่าใน Indix Register เป็นค่าอ้างอิง แล้วใช้คำสั่งบ่งบอกว่าตำแหน่งของข้อมูลที่ต้องการอยู่ห่างจากค่าอ้างอิงนี้เท่าใด โดยจะบอกค่าระยะห่างในรูปของ TwoComplement

รีจิสเตอร์ SP (Stack Pointer) มีขนาด 16 บิท ในหน่วยความจำชนิด RAM จะมีส่วนหนึ่งที่กำหนดให้เป็นที่เก็บข้อมูลชั่วคราว ส่วนนี้เรียกว่าสแตก (Stack) ซึ่งมีลักษณะการเก็บข้อมูลแบบ LIFO (Last In First Out) เราสามารถที่จะเก็บข้อมูลลงบนสแตกโดยใช้คำสั่ง Push และเมื่อต้องการดึงข้อมูลออกจากสแตกต้องใช้คำสั่งPOP

รีจิสเตอร์ PC (Program Counter) เป็นรีจิสเตอร์ขนาด 16 บิท ที่ใช้ในตำแหน่งของหน่วยความจำที่ CPU จะเฟทช์คำสั่งหลังจากที่เฟทช์คำสั่งเรียบร้อยแล้ว ค่าในรีจิสเตอร์ PC จะเพิ่มขึ้น และจะชี้ไปยังตำแหน่งของคำสั่งถัดไป เราจะสามารถเปลี่ยนแปลงค่าใน PCได้โดยใช้ คำสั่ง Call หรือ Jump

รีจิสเตอร์ F (Flag Register) ประกอบด้วย

Sign Flag (S) : แฟลกเครื่องหมาย

Zero Flag (Z) : แฟลกศูนย์

Half Carry Flag (H) : แฟลกทดครึ่ง

Parity/Overflow Flag (P/V) : แฟลกพาริตีหรือโอเวอร์โฟล์ว

Subtract Flag (N) : แฟลกลบ

Carry Flag (C) : แฟลกตัวทด

3.2.3 Z-80 PIN OUTS

A_0-A_{15} (Address Bus) : เป็นขาสัญญาณเอาท์พุทแบบ Tri-State ใช้บ่งบอกตำแหน่งหน่วยความจำได้ถึง 2^{16}=65536 ตำแหน่ง A_0-A_6 จะให้ค่ารีเฟรช์แอดเดรสออกมาขณะที่ Z-80 ให้สัญญาณรีเฟรช์

D_0-D_7 (Data Bus) : เป็นขาสองทิศทางซึ่งเป็นทางผ่านของข้อมูระ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หว่าง Z-80 กับหน่วยความจำและอุปกรณ์ I/O

$\overline{M1}$ (Machine Cycle One) : เป็นขาเอาท์พุทแอคทีพที่ลอจิก "0" ขา M1 นี้จะแอคทีพ ขณะที่ Z-80 ทำการเฟทช์ออฟโคดของคำสั่ง ในกรณีที่คำสั่งที่จะเฟทช์เข้ามานั้นมีขนาด 2 ไบท์ M1 จะแอคทีพในทุก ๆ ไซเคิลการเฟทช์แต่ละไบท์

$\overline{MREQ}$ (Memory Request) : เป็นสายเอาท์พุทแบบ Tri-State จะแอคทีพที่ลอจิก "0" เพื่อเป็นการบ่งบอกว่า Z-80 กำลังกระทำการติดต่อกับหน่วยความจำ

$\overline{IORQ}$ (Input/Output Request) : เป็นสายเอาท์พุทแบบ Tri-State จะแอคทีพที่ ลอจิก "0" เพื่อเป็นการบ่งบอกว่า Z-80 กำลังทำการติดต่อกับอุปกรณ์ I/O และเมื่อ IORQ และ M1 แอคทีพทั้งคู่จะเป็นการบ่งบอกการตอบรับการอินเทอร์รัพท์ (Interrupt Acknowledge)

$\overline{RD}$ (Memory Read) : เป็นขาเอาท์พุท Tri-State จะแอคทีพที่ลอจิก"0" เมื่อ Z-80 ต้องการอ่านข้อมูลจากหน่วยความจำ หรืออุปกรณ์ I/O และ Z-80 จะรับข้อมูลจากบัสข้อมูลเข้าไปเมื่อสัญญาณนี้ เปลี่ยนระดับลอจิกจาก "0" เป็น "1"

$\overline{WR}$ (Memory Write) : เป็นขาเอาท์พุทแบบ Tri-State จะแอคทีพที่ลอจิก "0" เมื่อ Z-80 ต้องการส่งข้อมูลไปให้หน่วยความจำ หรืออุปกรณ์ I/O

$\overline{RFSH}$ (Refresh) : เป็นขาเอาท์พุท จะแอคทีพเมื่อ 7 บิทล่าง (A_0-A_6) ของบัสแอดเดรสให้ค่ารีเฟรชออกมา

$\overline{HALT}$ (Halt State) : เป็นขาเอาท์พุทจะแอคทีพที่ลอจิก "0" เมื่อ Z-80 อยู่ในสภาวะการ HALT คือ CPU จะทำคำสั่ง NOP (No Operation)เพื่อให้เกิดการรีเฟรช์ได้และ Z-80 จะหลุดพ้นจากสภาวะการ HALT เมื่อได้รับการรีเซ็ท หรือถูกอินเทอร์รัพท์

$\overline{WAIT}$: เป็นขาอินพุทแอคทีพที่ลอจิก "0" และจะมีการตรวจสอบสัญญาณขาลงของคล็อกลูกที่ 2 ของทุก ๆ Machine Cycle เมื่อมีการตรวจสอบพบว่าขาอินพุทนี้แอคทีพจะมีการแทรก WAIT STATE ให้กับแต่ละ Machine Cycle เพื่อเป็นการรอให้อุปกรณ์ภายนอกทำงานให้ทันกับการทำงานของ Z-80 และ Z-80 จะแทรก WAIT STATE จนกว่าจะมีการตรวจสอบพบว่าขา WAIT จะมีลอจิกเป็น "1"

$\overline{INT}$ (Interrupt Request) : เป็นขาอินพุทแอคทีพที่ลอจิก "0" Z-80 จะมีการตรวจสอบระดับสัญญาณที่ขานี้ทุก ๆ การสิ้นสุดของ Instruction Cycle (Last State)

$\overline{NMI}$ (Non Maskable Interrupt) : เป็นขาอินพุทแอคทีพที่ลอจิก "0"สัญญาณ Non Maskable Interrupt เป็นสัญญาณที่มีระดับความสำคัญ ในการขออินเทอร์รัพท์สูงกว่าสัญญาณ Interrupt request Z80 จะตอบรับการอินเตอร์รัพท์ชนิดนี้เสมอโดยที่เราไม่สามารถ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

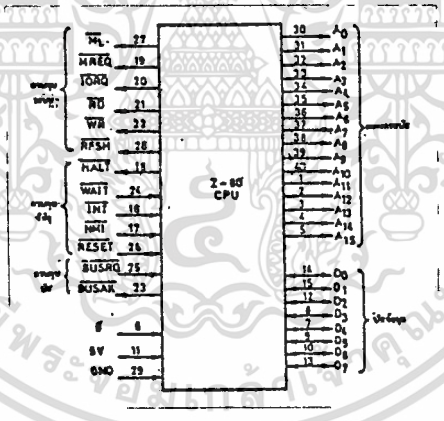
Disabel ได้ด้วย Software

$\overline{\text{RESET}}$ เป็นขาอินพุทแอคทีฟที่ลอจิก "0" สัญญาณนี้จะทำการ Initialize CPU โดยทำการรีเซท Interrupt flip flop และเซ็ทค่าในโปรแกรมเคาร์เตอร์ (program counter) ให้เป็น 0000h และในสภาวะการรีเซทนี้ บัสแอดและบัสข้อมูลจะอยู่ในสภาวะ High impedance และสัญญาณควบคุมต่างๆจะอยู่ในสภาวะ Inactive.

$\overline{\text{BUSRQ}}$ (BUS REQUEST) เป็นขาอินพุทแอคทีฟที่ลอจิก "0" สัญญาณ BUS REQUEST เป็นสัญญาณที่มีลำดับความสำคัญสูงกว่าสัญญาณ NON MASKABLE INTERRUPT และมีการตรวจสอบสัญญาณนี้ทุกๆการสิ้นสุดของ MACHINE CYCLE อุปกรณ์ภายนอกจะให้สัญญาณนี้แก่ Z80 เมื่อต้องการใช้บัสข้อมูลและบัสแอดเดรสโดยเปรียบเสมือนว่าการถอด Z80 ออกจากระบบ

$\overline{\text{BUSAK}}$ (ACKNOWLEDGE) เป็นขาเอาท์พุทแอคทีฟที่ลอจิก "0" ขานี้แอคทีฟเมื่อ Z80 ตอบสนองการต่อสัญญาณ BUS REQUEST และจะทำให้บัสข้อมูล, บัสควบคุมและบัสแอดเดรสมีสภาวะเป็น HIGHNIMPEDANCE ซึ่งทำให้อุปกรณ์ภายนอกใช้บัสเหล่านี้ได้โดยไม่ต้องผ่าน CPU

จากที่กล่าวมาทั้งหมดนี้เป็นรายละเอียดที่ควรทราบในการนำ CPU ไปใช้งานร่วมกับอุปกรณ์สนับสนุนอื่นๆ



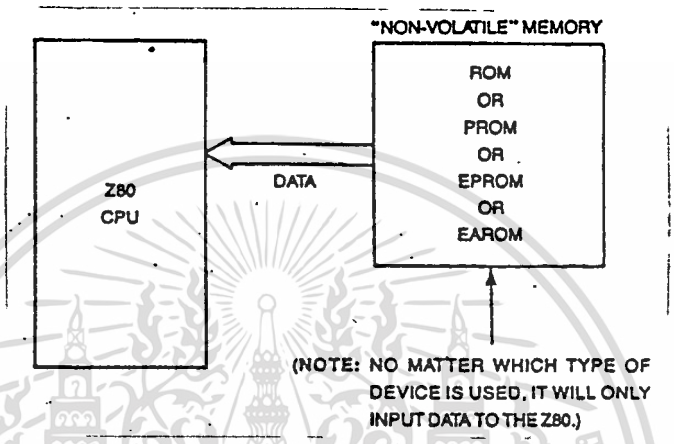
รูปที่ 3.5 ลักษณะของขา IC Z-80 CPU

3.3 การใช้ ROM กับ Z-80

ROM (Read Only Memory) : คือข้อมูลที่สามารถอ่านออกมาได้ แต่ไม่สามารถเขียนข้อมูลเข้าไปใน ROM ได้อีก ประโยชน์ของ ROM ในระบบไมโครโปรเซสเซอร์ทำให้ CPU ของระบบสามารถที่จะ เริ่มทำงานโดยการกำหนดสภาวะของอุปกรณ์อาร์ดแวร์ต่าง ๆ ให้อยู่ในสภาวะที่พร้อมจะทำงานได้ เมื่อเราเริ่มจ่ายไฟเลี้ยงให้แก่ระบบ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หน่วยความจำที่เก็บข้อมูลไว้ได้โดยไม่สูญหาย ที่ใช้ในระบบไมโครโปรเซสเซอร์มีหลายชนิดเช่น Read Only Memory (ROM) , Programmable Read Only Memory(PROM) Erasable Programmble Read Only,Memory (EPROM) , Electrically Alterable Read Only Memory (EAROM) ในระบบไมโครโปรเซสเซอร์ Z-80 โดยทั่ว ๆ ไปจะใช้หน่วยความจำเหล่านี้ชนิดใดชนิดหนึ่งเท่านั้น



รูปที่ 3.6 บล็อกไดอะแกรมแสดงอุปกรณ์หน่วยความจำ

ROM (Read Only Memory) : ข้อมูลทั้งหมดที่อยู่ใน ROM จะถูกโปรแกรมโดยผู้ผลิตเราจะใช้ ROM เมื่อมีข้อมูลที่ไม่เปลี่ยนแปลง และมีความต้องการใช้งานเป็นจำนวนมาก

PROM (Progammble Read Only Memory) : ข้อมูลที่ต้องการโปรแกรมจะถูกโปรแกรมโดยผู้ใช้เอง โดยป้อนพัลส์ที่มีแรงดันสูง (High Voltage Pulsed) ทำให้ Metal Strips ที่อยู่ในตัว IC ขาดออกจากกัน ทำให้เกิดเป็นลอจิก "1" หรือ "0" ตามตำแหน่งที่กำหนดในหน่วยความจำนั้น ๆ

EPROM (Erasable Programmable Rom) : ข้อมูลจะถูกโปรแกรมโดยผู้ใช้โดยการให้สัญญาณที่มีแรงดันสูง (High Voltage Signal) ผ่านเข้าไปในตัว EPROM ออกก่อนแล้วค่อยโปรแกรมเข้าไปใหม่การลบข้อมูลนี้ทำได้ด้วยการฉายแสงอุลต้าไวโอเลตเข้าไปในตัว IC โดยผ่านทางกระจกใสที่อยู่บนตัว IC เมื่อฉายแสงครู่หนึ่งข้อมูลที่อยู่ภายในก็จะถูกลบทิ้ง ซึ่งช่วงเวลาที่ฉายแสงนี้สามารถดูได้จากข้อมูลที่กำหนด (DATA SHEET) มากับตัว EPROM

EAROM (Electricacally Alterable Rom) ข้อมูลจะถูกโปรแกรมโดยผู้ใช้เหมือน EPROM แต่สิ่งที่แตกต่างก็คือข้อมูลของ EAROM สามารถลบได้โดยทางไฟฟ้าไม่ใช้โดยการฉายแสงแบบ EPROM

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หน่วยความจำที่ได้กล่าวมาแล้วนี้เป็นหน่วยความจำที่ข้อมูลไม่สูญหายเมื่อไม่มีไฟเลี้ยง และสามารถอ่านข้อมูลมาใช้ได้เพียงอย่างเดียวเท่านั้น ซึ่งคุณสมบัติการใช้งานจะเหมือนกันขึ้นอยู่กับระบบว่าเหมาะสมใช้กำข้อมูลชนิดใด ในหัวข้อต่อไปนี้จะขอแทนหน่วยความจำเหล่านี้ด้วย ROM

3.3.1.คุณลักษณะที่สำคัญในการทำงานของ ROM จากที่เคยทราบมาแล้ว CPU สามารถอ่านข้อมูลใน ROM ได้เพียงอย่างเดียว และข้อมูลที่อยู่ใน ROM จะถูก (Fetch) CPU เมื่อมีสัญญาณบ่งตำแหน่งที่ได้จาก Address bus ส่งเข้ามาจำนวนของบัสแอดเดรสนี้จะขึ้นอยู่กับลักษณะโครงสร้างภายในของข้อมูล ในหน่วยความจำสิ่งที่บอกลักษณะโครงสร้างภายในของข้อมูลในหน่วยความสามารถดูได้จาก Data Sheet 1024 = 8, 2048 = 8 หรือ 4096 = 8

3.3.2 การอ่านข้อมูลจาก ROM

1.ค่าแอดเดรสจะถูกป้อนเข้าไปยัง ROM ค่าแอดเดรสนี้จะกำหนดตำแหน่งของข้อมูลที่ต้องการอ่าน โดยข้อมูลจะถูกอ่านออกมาเพียงครั้งละ 1 ไบท์

2.CPU จะคอยอยู่ช่วงเวลาหนึ่งเรียกว่า Access Time ประมาณ 100 ถึง 300 nanoseconds ขึ้นอยู่กับชนิดของ ROM

3.Chip Select Line จะถูกทำให้แอคทีฟ เพื่อให้ข้อมูลออกมาที่บัสข้อมูลของระบบได้ต่อจากนั้น CPU จสโตรป (Strobe) ข้อมูลเข้าไปเก็บไว้ในรีจิสเตอร์ใน CPU

4.Chip Select Line จะถูกสั่งให้เลิกทำงาน เพื่อทำให้ข้อมูลที่อยู่บนบัสข้อมูลของระบบหายไป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 4

การใช้ Z-80 กับ STATIC RAM

ในบทนี้จะกล่าวถึงการนำ RAM(RANDOM ACCESS MEMORY) มาเชื่อมต่อ(INTER FACE) กับไมโครโปรเซสเซอร์ Z80 RAM ถูกใช้เป็นตัวเก็บโปรแกรม , ข้อมูล หรือ ตัวแปร เป็นการชั่วคราว(ซึ่งแตกต่างกับ ROM ที่กล่าวมาแล้ว)และข้อมูลที่เก็บไว้ใน RAM จะสูญหายไปเมื่อไม่มีการจ่ายไฟเลี้ยงให้

การเชื่อมต่อระหว่าง Z80 กับ STATIC RAM ไม่ได้เป็นเรื่องที่ยุ่งยากในบทนี้จะอธิบายถึงรายละเอียดของ STATIC RAM ที่ใช้ในโรงงานอุตสาหกรรมโดยใช้STATIC RAM เบอร์ 6264เป็นหลัก

4.1 ลักษณะการทำงานของ STATIC RAM

โดยเริ่มจากการพิจารณาการทำงานของหน่วยความจำชนิดสารกึ่งตัวนำที่สามารถอ่านและเขียนข้อมูลได้ เมื่อเข้าใจขั้นตอนนี้แล้ว จะพบว่าเป็นการง่าย ที่จะเข้าใจวิธีการติดต่อระหว่าง Z80 กับ RAM ว่าเป็นอย่างไร แต่ถ้าผู้อ่านมีความเข้าใจเกี่ยวกับขั้นตอนเหล่านี้ ดีแล้ว ผู้อ่านจะข้ามเนื้อหาตอนแรก ๆ ของบทนี้ได้

RAM เป็นหน่วยความจำที่ใช้ในระบบไมโครโปรเซสเซอร์ซึ่งสามารถทั้งเขียนข้อมูลเข้าไปในตัวมันและอ่านออกมาได้ โดย CPU ต้องมีสัญญาณทางไฟฟ้าที่มีลักษณะ เฉพาะสำหรับขบวนการเหล่านี้ ในรูป 4.1 แสดงบล็อกไดอะแกรมของ RAM และสัญญาณทางไฟฟ้าที่สำคัญ ๆ

ในตอนแรกนี้มาดูวิธีการต่อไฟเลี้ยงกันก่อน RAM จะต้องมีไฟเลี้ยงจ่ายให้ตลอดเวลาซึ่งโดยทั่ว ๆ ไปใช้ศักดา +5 VOLTS กับ GROUND (เพื่อความถูกต้องขอให้ดูรายละเอียดจาก DATA SHEET ที่ได้จากผู้ผลิต) ที่จะกล่าวต่อไปนี้ขอสมมุติว่า RAM ทั้งหมดใช้ศักดา +5 VOLTS กับ GROUND

ในรูป 4.1 "DATA IN" เป็นสายที่ใช้นำข้อมูลที่ต้องการเขียนเข้ามาใน RAM

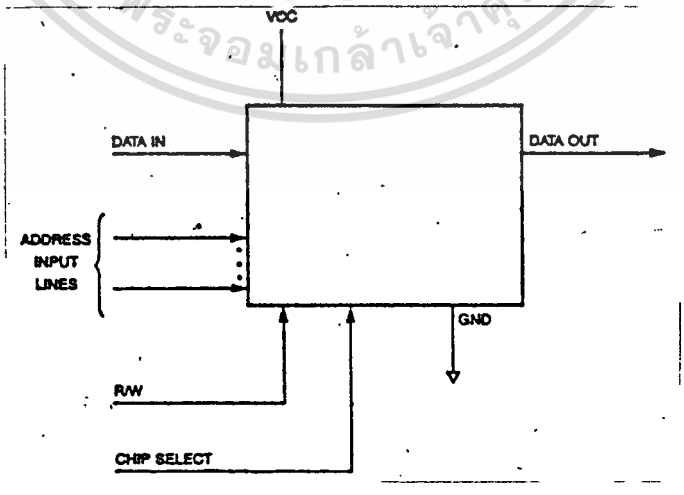
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ส่วน "DATA OUT" ใช้สำหรับอ่านข้อมูลที่อยู่ใน RAM ออกไป ใน RAM ตัวหนึ่ง ๆ อย่างน้อยที่สุดจะต้องมี DATA IN หนึ่งสายและ DATA OUT หนึ่งสาย ซึ่งจำนวนที่แน่นอน ของสายเหล่านี้ขึ้นอยู่กับโครงสร้างภายในของ RAM

เราได้อธิบายถึงโครงสร้างภายในของ ROM มาแล้ว ซึ่งส่วนมาก สามารพนำมาใช้อธิบาย RAM ได้ การบอกรายละเอียดโครงสร้างภายในช่อง RAM จะเป็นเช่นเดียวกับ ROM เช่น RAM ที่บอกมาเป็น 256x1, 256x4 หรือ 1024x8 และอื่น ๆ

ตัวเลขตัวหลังของแต่ละชุด (1,4,8,.....) จะบอกให้ทราบถึงจำนวนเส้นของ DATA IN และ DATA OUT ที่มีอยู่ หรือกล่าวได้ว่าทุกครั้งที่หน่วยความจำมีการเขียนข้อมูลเข้าไปหรืออ่านออกมา ตัวตัวหลังจะกำหนดถึงจำนวนบิทของข้อมูลที่ถูกเขียนหรืออ่าน

ต่อไปมาดู ADDRESS INPUT LINE ในรูป 3.7(เราได้รู้กันมาบ้างแล้วในเรื่องของ ROM) ADDRESS LINE ของ STATIC RAM มีหน้าที่สำหรับเลือกตำแหน่งภายใน RAM เพื่อที่นำข้อมูลเข้าไปเขียนหรืออ่านออกมา ในแต่ละตำแหน่งนั้น ๆ การกำหนดจำนวนตำแหน่งใน RAM สามารถใช้วิธีง่าย ๆ คือ การนับจำนวน ADDRESS LINE ซึ่งถ้าแปลงกลับก็ก็จะได้จำนวนตำแหน่งจริง(เช่นมี ADDRESS LINE 10เส้น ก็จะมีจำนวนตำแหน่งที่แตกต่างกัน 2^{10} = 1024 ตำแหน่ง) หรือสามารถกำหนดจำนวน ADDRESSLINE ของอุปกรณ์เมื่อรู้จำนวนตำแหน่งต่าง ๆ ที่มีอยู่ ตัวอย่างเช่น 1024 x 4 STATIC RAM จะมีความจุ 1024 หรือ 1k ตำแหน่งในแต่ละตำแหน่งจะถูกเขียนหรืออ่านพร้อมกันที่ละ 4 บิท



รูปที่ 4.1 แสดงสัญญาณทางไฟฟ้าที่จำเป็นในการใช้อุปกรณ์จำพวก RAM

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เส้นสัญญาณสุดท้ายในรู้คือ (R/W) จะถูกใช้ทุกครั้งที่มีการเขียน หรืออ่านข้อมูลกับ RAM ต่อไปเราจะดูขั้นตอนที่เกิดขึ้นเป็นลำดับทุก ๆ ครั้งที่ไมโครโปรเซสเซอร์ติดต่อกับ RAM จะมีการเขียนหรืออ่านข้อมูลเข้าออก ซึ่งในตอนแรกนี้จะกล่าวถึงในขั้นตอนที่เกิดขึ้นในขบวนการอ่านก่อน

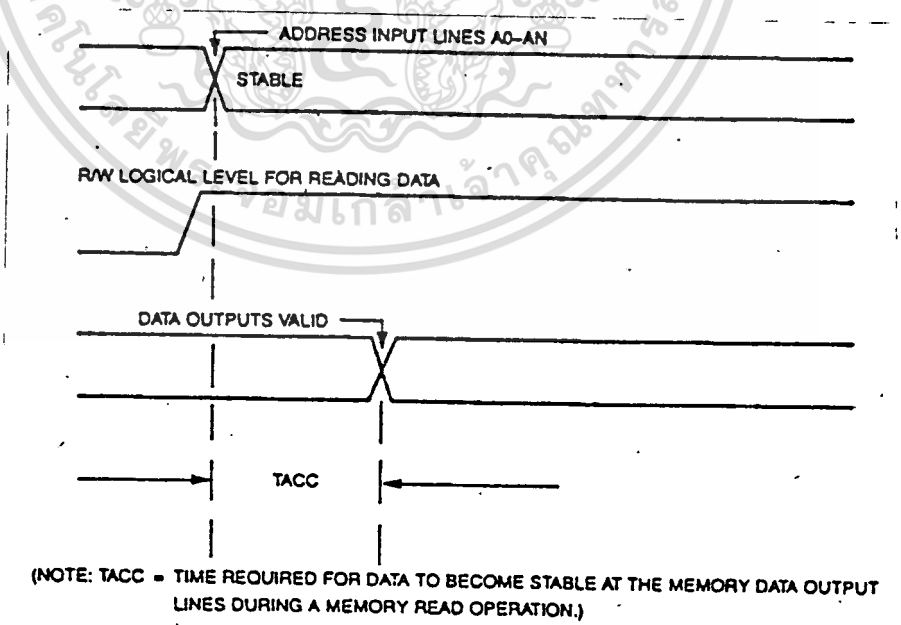
4.2 ขั้นตอนที่เกิดขึ้นเมื่อทำการอ่าน RAM

1. สัญญาณที่บ่งแอดเดรสจะเข้ามาที่หน่วยความจำทางบัสแอดเดรสในเวลาเดียวกัน RAM จะนำเอาสัญญาณนี้มาถอดรหัสตำแหน่งภายใน ซึ่งเป็นตำแหน่งที่อยู่ของข้อมูลที่จะอ่าน

2. สัญญาณบนเส้นควบคุม R/W จะถูกทำให้อยู่ในตำแหน่งลอจิกที่ถูกต้องซึ่งเป็นลอจิก "1"หรือ "0" ขึ้นกับหน่วยความจำนั้น (สามารถดูได้จาก DATA SHEET จากผู้ผลิต)

3. ระบบจะคอยอยู่ช่วงเวลาหนึ่ง เรียกช่วงนี้ว่า READ ACCESS TIME เพื่อให้วงจรภายใน MEMORY CHIP ถอดตำแหน่งและเลือกข้อมูลในตำแหน่งนั้น ๆ

4. หลังจากที่รอคอยช่วงเวลาหนึ่งแล้ว ข้อมูลจะถูกส่งออกมาบน DATA OUT LINE และถูกอ่านโดยไมโครโปรเซสเซอร์ของระบบ ถ้าหากไมโครโปรรเซสเซอร์อ่านข้อมูลทันที โดยไม่มี ACCESS TIME ข้อมูลที่ไม่ถูกต้องอาจจะถูกอ่านเข้าไปได้



รูปที่ 4.2 ไดอะแกรมเวลาแสดงลำดับของขบวนการอ่านข้อมูลจากหน่วยความจำ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ขั้นตอนเหล่านี้แสดงในรูปที่ 4.2 และเรากลับมาดูกันอีกครั้งหนึ่งเมื่อถึงการติดต่อระหว่าง Z80 กับ RAM ซึ่งขั้นตอนในการอ่านข้อมูลของ RAM เหมือนกับ ROM ที่จริงแล้วระบบไมโครโปรเซสเซอร์ไม่สามารถแยก (ทางไฟฟ้า) ออกได้ว่าข้อมูลที่อ่านมานั้นมาจาก ROM หรือ RAM ต่อไปนี้เราจะมาดูขั้นตอนการทำงานระหว่างการเขียนข้อมูลเข้า RAM

4.3 ขั้นตอนที่เกิดขึ้นเมื่อทำการเขียนข้อมูลเข้าไปใน RAM

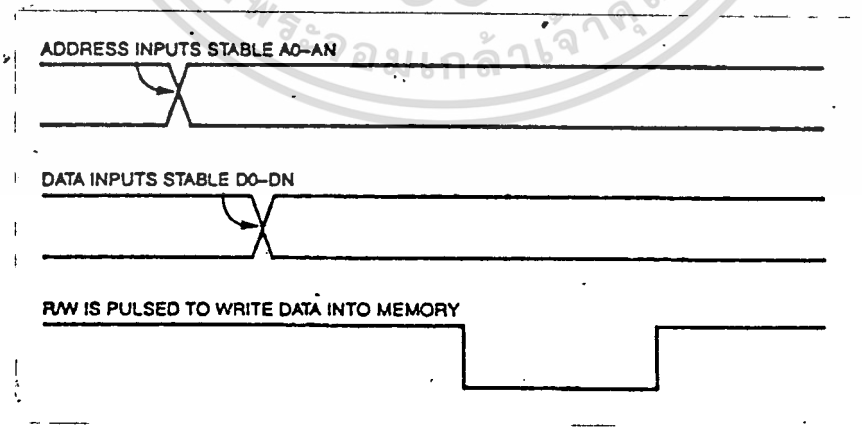
1. บน ADDRES INPUT RAM จะมีสัญญาณที่บ่งตำแหน่งที่อยู่ภายในหน่วยความจำซึ่งเป็นตำแหน่งที่จะนำข้อมูลเข้าไปเขียน

2. ข้อมูลที่ต้องการเขียนจะปรากฏอยู่บน INPUT LINE

3. ระบบจะคอยอยู่ช่วงวงเวลาหนึ่งช่วงเวลานี้เรียกว่า WRITE ACCRESS TIME (ซึ่งใช้เวลาประมาณ 200-300 nanoseconds) เพื่อที่จะทำให้วงจรถอดรหัสภายในอยู่ในสภาวะคงที่เสียก่อน

4. หลังจากคอยอยู่ช่วงเวลาหนึ่งแล้ว เส้นควบคุม R/W ของหน่วยความจำจะทำให้เป็นระดับของลอจิกที่ทำให้เกิดการเขียนเกิดขึ้น หรือเป็นพัลส์ (PULSE) เพื่อที่จะทำให้ข้อมูลที่ DATA INPUT LINE ถูกเขียนเข้าไปใน RAM

ในรูป 4.3 ได้แสดงไดอะแกรมเวลาของขั้นตอนที่เกิดขึ้นเหล่านี้แล้ว ซึ่งอุปกรณ์ฮาร์ดแวร์ที่ต้องการให้เป็นไปตามขั้นตอนนี้ ขึ้นอยู่กับไมโครโปรเซสเซอร์ที่ใช้



รูปที่ 4.3 : ไดอะแกรมเวลาแสดงลำดับของขบวนการที่สำคัญในการเขียนข้อมูลในหน่วยความจำ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

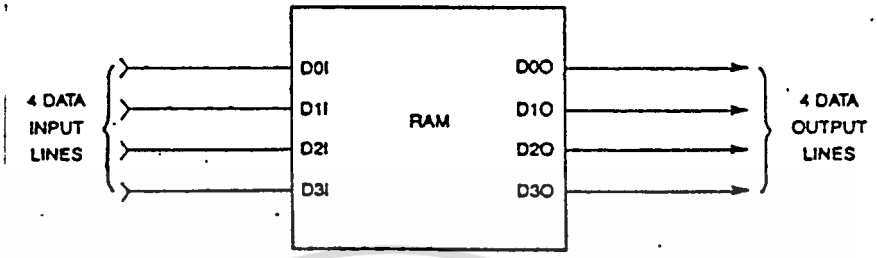
4.4 อุปกรณ์หน่วยความจำที่ใช้งานจริง

เราจะมาดูหน่วยความจำชนิด RAM ที่ใช้กันอย่างแพร่หลาย ในวงการอุตสาหกรรม เริ่มด้วยจากการพิจารณาคุณสมบัติที่สำคัญของตัวอุปกรณ์ แล้วต่อไปก็จะแสดงให้เห็นว่ามันสามารถนำข้อมูลเข้าไปเขียนและอ่านออกมาได้อย่างไร สิ่งที่จำเป็นสำหรับการใช้ RAM ก็คือจะต้องทำความเข้าใจคุณสมบัติเฉพาะทางไฟฟ้าของอุปกรณ์ อย่างไรก็ตามเมื่อเข้าใจการทำงานของ STATIC RAM เบอร์ใดเบอร์หนึ่งแล้ว ก็เป็นการง่ายที่จะทำความเข้าใจ RAM เบอร์อื่น ๆ และนำไปใช้งานกับไมโครโปรเซสเซอร์เบอร์อื่น ๆ ได้

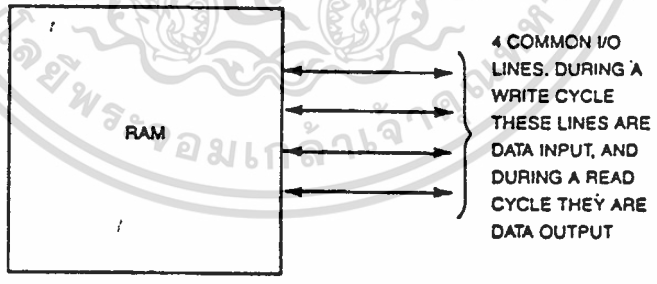
RAM ที่เราเลือกคือ เบอร์ 6264 ซึ่งมีโครงสร้างเป็น STATIC,COMMON I/O RAM ตัวหนึ่ง ๆ จะมีลักษณะเป็น SEPARATE หรือ COMMON I/O อย่างใดอย่างหนึ่งเท่านั้น SEPARATE I/O หมายถึง DATA INPUT LINE และ DATA OUTPUT LINE อยู่แยกออกจากกัน (ดังแสดงในรูป 4.4)ส่วน COMMON I/O หมายถึง RAM ที่มี DATA INPUT LINE และ DATA OUTPUT LINE อยู่รวมกันในขาเดียวกัน (ดังรูป 4.5)

เนื่องจาก RAM มีหน้าที่เพียงถูกเขียน และอ่านข้อมูลเท่านั้น ฉะนั้นขาดไม่ได้คือ DATA INPUT และ DATA OUTPUT LINE นอกจากนั้นการทำงานจะอ่านและเขียนในเวลาเดียวกันไม่ได้ ดังนั้น DATA INPUT LINE และ DATA OUTPUT LINE จะไม่ถูกใช้ในเวลาเดียวกัน จากความจริงที่กล่าวนี้สามารถลดจำนวนขาของอุปกณ์ฮาร์ดแวร์ ที่จำเป็นสำหรับในการเขียนและอ่านใน RAM ได้ และก็เป็นหลักการที่ใช้ใน COMMON I/O การใช้ TIME-MULTIPLEXED ใน DATA INPUT และ DATA OUTPUT LINE หมายถึง เมื่อหน่วยความจำทำการอ่าน DATA I/O LINE จะถูกใช้เป็นเส้นทางที่นำข้อมูลออกจาก RAM เมื่อทำการเขียนจะเป็นเส้นทางที่นำข้อมูลเข้าสู่ RAM สภาวะลอจิกของเส้นควบคุม R/W เป็นตัวกำหนดสภาวะของขา DATA I/O ของหน่วยความจำ ในรูป 3.11 ได้แสดงขา และบล็อกไดอะแกรมสำหรับอุปกรณ์หน่วยความจำเบอร์ 6264

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

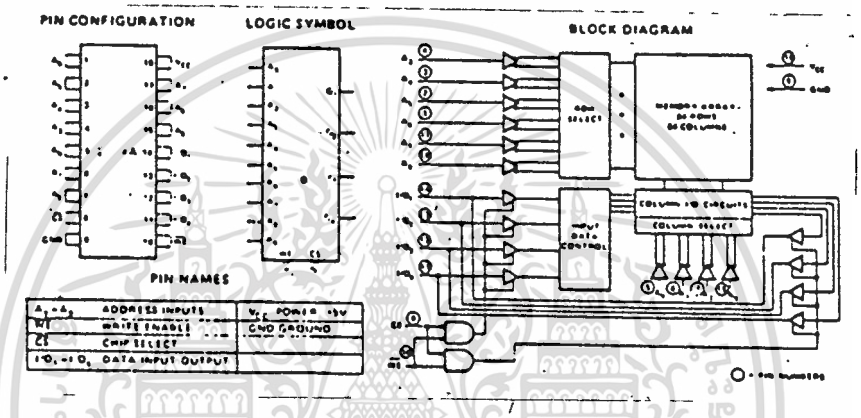


รูปที่ 4.4 : แสดงบล็อกไดอะแกรมของ RAM ที่ใช้สายข้อมูลอินพุทและเอาท์พุทแยกจากกัน



รูปที่ 4.5 : แสดงปล็อกไดอะแกรมของ RAM ที่ใช้สายข้อมูลเข้าและออกร่วมกัน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.6 : บล็อกไดอะแกรม และ DATA SHEET บางส่วนของ
COMMON I/O RAM

เราจะกล่าวถึงสิ่งสำคัญของหน่วยความจำเบอร์นี้ (เรื่องที่อยู่ในย่อหน้าต่อไปนี้ อาจนำไปใช้งานกับหน่วยความจำสารกึ่งตัวนำส่วนมากได้ แม้ว่าหน่วยความจำนั้นไม่ได้เป็นแบบ COMMON I/O)

สำหรับตัวอย่างนี้ เราจะพิจารณาเฉพาะเบอร์ 6264 โดยสมมุติว่า MEMORY ACCESS TIME ของ 6264 มีค่าน้อยเมื่อเทียบกับคล็อกของระบบ และไม่มีความจำเป็นที่จะต้องสร้างสภาวะการคอย (WAIT STATES) ซึ่งสภาวะการคอยนี้จะใช้กับหน่วยความจำที่ทำงานช้า

ในรูป 4.7 ได้แสดงส่วนหนึ่งของ DATA SHEET และไดอะแกรมเวลาสำหรับใช้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

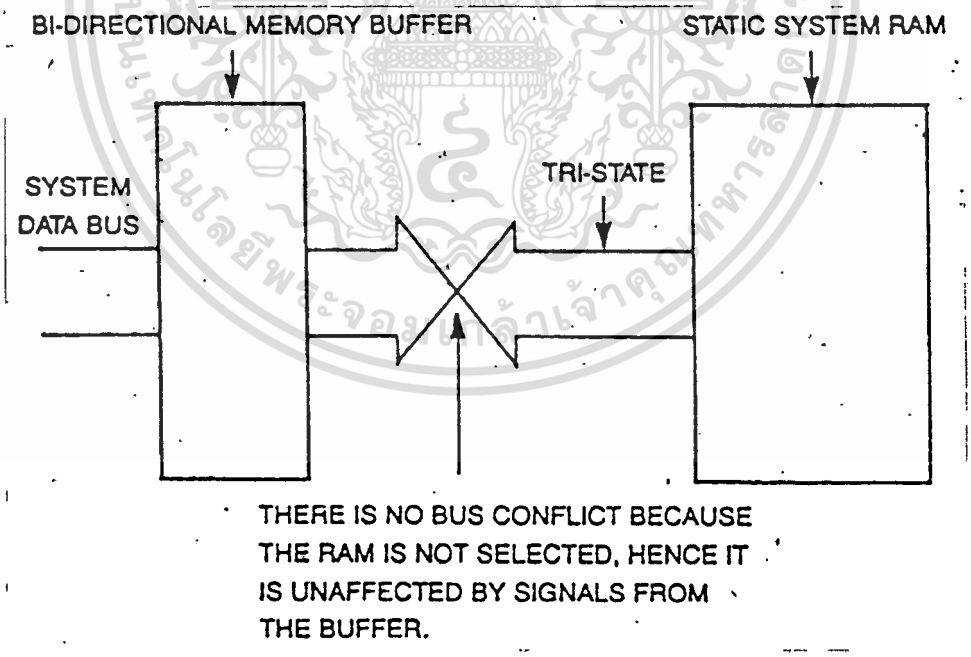
งานกับหน่วยความจำเบอร์ 6264 ขั้นแรกมาดูการเขียนข้อมูลเข้าไปในหน่วยความจำก่อน ซึ่งเหตุการณ์ที่เกิดขึ้นเหล่านี้เป็นลำดับขั้นตอนทั่ว ๆ ไป อย่างไรก็ตามในที่นี้เราจะอธิบายขบวนการที่นอกเหนือขึ้นไปอีก รวมทั้ง SPECIFICATION ของหน่วยความจำ

4.5 ลำดับขั้นตอนการเขียนข้อมูลเข้าไปในตัว 6264

1. ลอจิกของ ADDRESS INPUT LINE ต่าง ๆ จะถูกกำหนดให้เป็นค่าของตำแหน่งที่ต้องการนำข้อมูลเข้าไปเขียน

2. ข้อมูลถูกส่งไปบน DATA I/O LINE ของ 6264 นี้ DATA I/O LINE จะมีลักษณะเป็นแบบ TRI STATE ซึ่งถ้าไม่เป็นเช่นนี้จะเกิดการต้านกันระหว่างข้อมูลที่ป้อนให้กับข้อมูลที่เก็บไว้ภายในหน่วยความจำ ดังแสดงในรูป 4.7

3. ต่อมาที่ขาอินพุท WE และ CS จะถูกทำให้ทำงานในเวลาเดียวกัน โดยประมาณ เมื่อขาอินพุท WE เป็น ลอจิต "0"จะทำหน้าที่เป็นสายนำข้อมูลเข้า ฉะนั้นตัวหน่วยความจำจะไม่ถูกเขียนจนกว่าจะมีลอจิต "0" ป้อนเข้าที่ขาอินพุท WE ดังรูป 4.8



รูปที่ 4.7 : บล็อกไดอะแกรมแสดงการส่งข้อมูลสวนทางกันระหว่าง 6264 กับบัฟเฟอร์ข้อมูล ซึ่งสามารถที่จะป้องกันได้โดยการควบคุมทิศทางการส่งข้อมูลของบัฟเฟอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.6 ลำดับขั้นตอนการอ่านข้อมูลออกจาก 6264

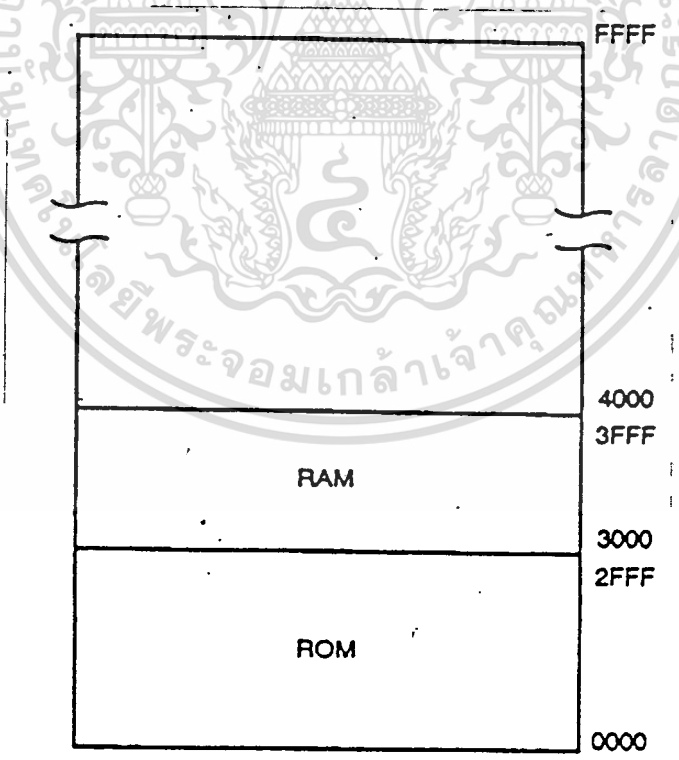
1. ค่าแอดเดรสจะถูกป้อนให้แก่หน่วยความจำ เพื่อชี้ตำแหน่งของข้อมูลที่ต้องการอ่านออกมา

2. ขาอินพุท cs จะถูกส่งให้ทำงาน (ลอจิก "0") ในขณะเดียวกันขาอินพุท WE ก็จะมีลอจิกเป็น "1" ฉะนั้น DATA I/O LINE ของหน่วยความจำ 6264 จะถูกใช้เป็นทางออก

3. DATA I/O LINE จะนำข้อมูลในตำแหน่งนั้นออกมา

ซึ่งจะเห็นว่าการอ่านข้อมูลจาก STATIC RAM มีการทำงานเหมือนกับการอ่านข้อมูลจาก ROM ต่อไปเราจะมาทำความเข้าใจว่า 6264 ทำงานอย่างไร เมื่อต่อเข้ากับไมโครโปรเซสเซอร์ Z80

4.7 การต่อ ADDRESS LINE เข้ากับ Z80



รูปที่ 4.8 : ส่วนหนึ่งของผังหน่วยความจำแสดงบริเวณที่หน่วยความจำ ROM ,RAM ที่ใช้ในระบบ

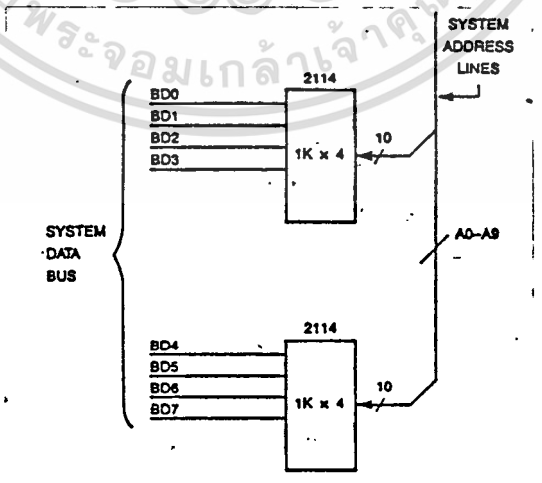
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เพื่ออธิบายว่า Z80 ติดต่อกับ RAM ได้อย่างไร ในที่นี้เราจะยกตัวอย่างระบบ RAM ที่ออกแบบมาอย่างสมบูรณ์แบบแล้วสักระบบหนึ่ง เพื่อศึกษาระบบนี้ เราจะพิจารณาจากผังหน่วยความจำ (MEMORY MAP) เพื่อกำหนดตำแหน่งของข้อมูลใน RAM ว่าควรอยู่ในช่วง 0000-FFFFH (0-64K) รูป 4.8 แสดงให้เห็นว่าหน่วยความจำชนิด RAM อยู่ในตำแหน่ง3000 ถึง 3FFFH ในเลขฐานสิบหกซึ่งจำนวนหน่วยความจำ RAM ในช่วงนี้มีขนาด 4096 หรือ 4K x 8 ตำแหน่ง สำหรับตัวอย่างนี้เราจะทำการสร้าง หน่วยความจำ 4K x 8 RAM เพื่อใช้กับ Z80 ถ้าดูจาก DATA SHEET ของ RAM 6264 แล้ว จะเห็นได้ว่าอุปกรณ์ แต่ละตัวนี้เป็นแบบ 1K x 4 นั้นคือในการบ่งบอกตำแหน่งแต่ละครั้งจะได้ข้อมูลออกมาเพียง 4 บิทแต่ Z80 ใช้บัสข้อมูล 8 เส้นขนานกัน ฉะนั้นเมื่อเราใช้ RAM 6264 จึงจำเป็นต้องใช้สองตัวขนานกันเพื่อที่จะสามารถส่งข้อมูลได้ครบ 8 บิท

สิ่งแรกที่ต้องทำคือกำหนดจำนวนหน่วยความจำที่เป็น RAM ทั้งหมดเสียก่อน เพื่อนำไปคำนวณจำนวน RAM 6264 ที่ต้องใช้ ซึ่งสามารถคำนวณได้ดังนี้เมื่อให้จำนวนหน่วยความจำทั้งหมดที่ใช้ใน RAM หน่วยความจำเบอร์ 6264 ใช้หน่วยความจำซึ่งแน่นอนเราไม่จำเป็นต้องการใช้จำนวนหน่วยความจำที่ออกแบบไว้ทั้งหมด

สำหรับตัวอย่างนี้ ระบบ Z80 ต้องการใช้ RAM แต่ 1K ไบท์ ของ RAM ทั้งหมด 4 Kไบท์เท่านั้น

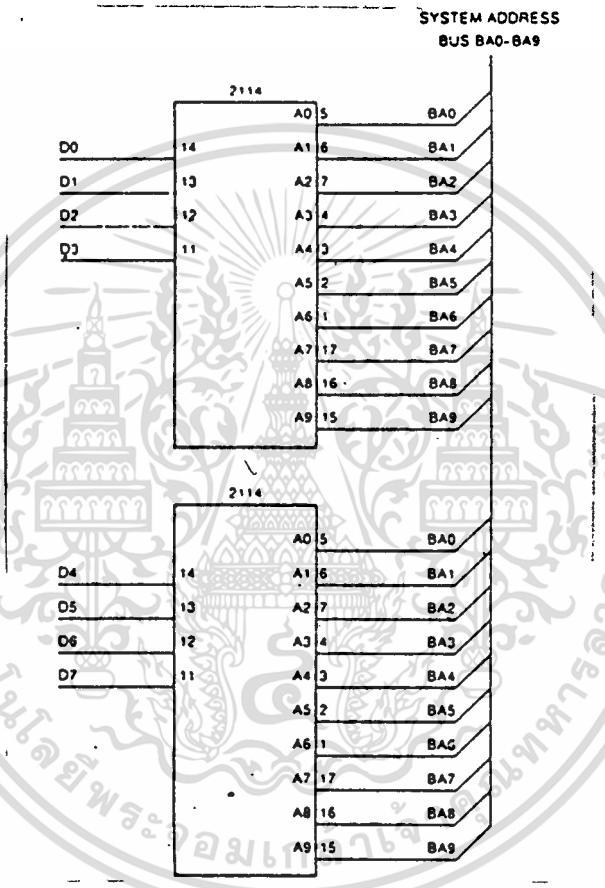
หมายเหตุ ทางที่ดีเราควรออกแบบระบบของเราให้มีตำแหน่งของหน่วยความจำให้มากกว่าที่เราจะใช้งานเพื่อทำให้ง่ายสำหรับการขยายระบบในอนาคตเมื่อต้องการใช้ แต่ถ้าไม่ได้ทำดังนี้จะเป็นการยากอย่างยิ่งที่จะเพิ่มหน่วยความจำเข้าไปอีก



รูปที่ 4.9 : อุปกรณ์หน่วยความจำ 6264 2 ตัวที่ต่อขนานยกัน เพื่อให้ได้หน่วยความจำที่มีขนาด 8 บิท

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ขณะนี้เรารู้ว่าระบบ RAM ของเราต้องการหน่วยความจำเบอร์ 6264 จำนวนทั้งหมด 8 ตัว 6264 แต่ละตัวมี ADDRESS INPUT LINE 10 เส้น คือ A0-A9 และทั้งหมดต่อในลักษณะขนานกันไปนั่นคือ A0 ของ 6264 ทั้ง 8 ตัว จะต่อเข้าด้วยกัน และเส้นอื่นๆ ก็เช่นเดียวกัน ดังรูป4.10



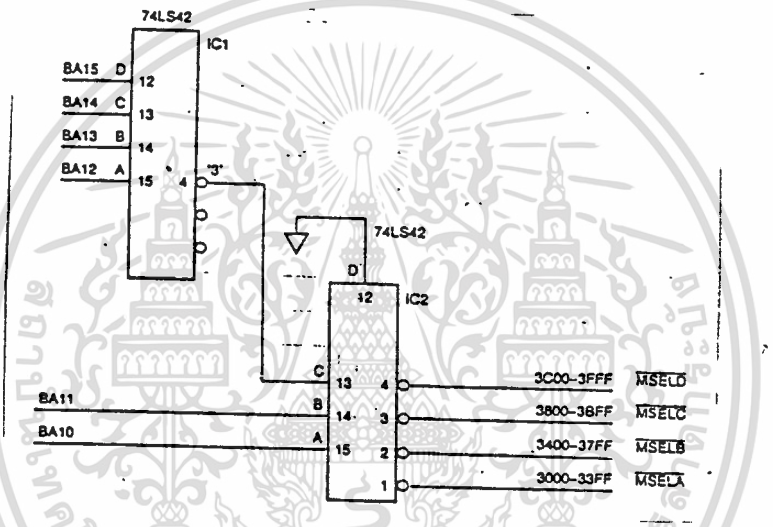
รูป 4.10 : บัสแอดเดรส A0-A7 จะถูกต้องเข้ากับอุปกรณ์หน่วยความจำแต่ละตัวในแบบขนาน

ส่วนบัวแอดเดรส A10-A15 จะถูกนำไปถอดรหัสเพื่อหน่วยความจำที่เป็น RAM นี้จากระบบหน่วยความจำอื่น ๆ การถอกรหัสนี้จะมี 2 ระดับ คือสสายแอดเดรส A10 และ A11 จะใช้ในการเลือกคู่ของ RAM 6264 ส่วน A11-A15 จะเลือกใช้หน่วยความจำชนิด RAM จาก C000-D000H จากระบบหน่วยความจำอื่น ๆ ทั้งหมด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การถอดรหัสสายแอดเดรสนี้ ยังมีเทคนิคอีกหลายอย่างที่แตกต่างกันออกไป สำหรับวงจรที่แสดงดังรูป 4.11 ก็เป็นอีกวิธีหนึ่งจากหลาย ๆ วิธี ซึ่งทำให้เกิดแนวความคิดที่จะหาวิธีการเลือกหน่วยความจำให้ได้ตามต้องการ ถึงแม้ว่านำวงจรในรูป 4.11 ไปใช้งานได้ แต่อาจจะต้องนำไปปรับปรุงอีกซึ่งขึ้นอยู่กับระบบที่ใช้ โดยทั่ว ๆ ไปแล้วขึ้นกับความเร็วของระบบ, การโหลดของบัส (BUS LOADIND EFFECT) และผังหน่วยความจำ ซึ่งในรูป 3.13 นี้แสดงให้เห็นถึงอุปกรณ์ทางฮาร์ดแวร์ที่ใช้สำหรับการถอดรหัสแบบ 2 ระดับของหน่วยความจำชนิด RAM

หมายเหตุ ในที่นี้อาจจะใช้บัฟเฟอร์บนบัสแอดเดรสได้อธิบายไปแล้วในบทที่ 2 ซึ่งสามารถใช้ได้ทั้ง RAM และ ROM

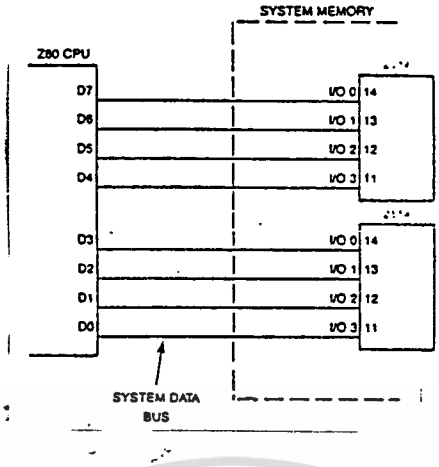


รูปที่ 4.11 แสดงวงจรถอดรหัสที่ใช้ในการเลือกหน่วยความจำ

4.8 การต่อบัสข้อมูลโดยไม่ใช้บัฟเฟอร์

ต่อไปจะแสดงให้เห็นถึงการต่อบัสข้อมูลของหน่วยความจำเข้ากับบัสข้อมูลของ Z80 สำหรับในตัวอย่างนี้ เราไม่ใช้บัฟเฟอร์ โดยสมมุติว่าไม่มีการโหลดซึ่งกัน และกันบนบัสข้อมูลของ Z80 และสามารถต่อ DATA I/O LINE ของหน่วยความจำ (เบอร์ 6264) กับบัสข้อมูลของ Z80 ได้โดยตรงโดยการต่อแบบขนานดังรูป 4.12

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.12 แสดงการต่อบัสข้อมูลระหว่าง 6264 กับ Z80 CPU

4.9 การสร้าง CONTROL LINE สำรับการอ่านและเขียนหน่วยความจำ

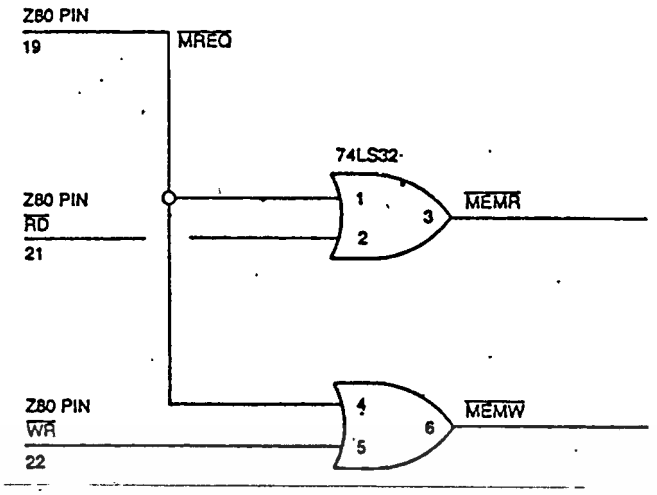
เมื่อไมโครโปรเซสเซอร์ Z80 ทำการติดต่อกับหน่วยความจำจะต้องมีสัญญาณจากสายควบคุมการอ่านคือ MEMR หรือสัญญาณจากสายควบคุมการเขียนคือ MEMW ส่งออกไป โดยสัญญาณของสายควบคุมทั้งสอง (MEMR และ MEMW) สามารถสร้างได้จากสายควบคุมของ Z80 (MREQ,RD และ WR ของ Z80) รูป 4.13 ได้แสดงวงจรที่ใช้สร้างสัญญาณ MEMR และ MEMW ซึ่งเป็นวิธีหนึ่งในการสร้างสัญญาณอ่านและเขียนหน่วยความจำ ซึ่งขึ้นอยู่กับลอจิกที่ได้จากสายควบคุมทั้งสามของ Z80

ต่อไปเราจะนำสายควบคุม MEMR กับ MEMW ที่ได้จากรูป 4.13 ไปใช้กับวงจรถอดรหัสแอดเดรสของหน่วยความจำ เพื่อที่จะไปควบคุมขา WE และ CS ของระบบ RAM

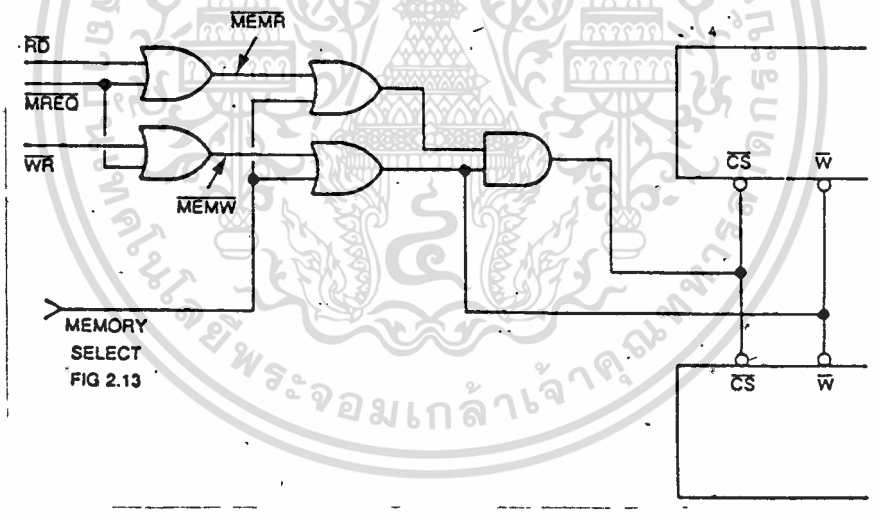
หมายเหตุ ที่ได้อธิบายมานี้ไม่เพียงแต่จะใช้กับบเบอร์ 6264 เท่านั้น แต่สามารถใช้ได้กับหน่วยความจำชนิด STATIC เบอร์อื่น ๆ ได้อีกด้วย

ในรูป 4.14 แสดงถึงวิธีการต่อสายควบคุม MEMR และ MEMW กับขา อินพุท WE และ CS ของหน่วยความจำ 6264 ในการอ่านหน่วยความจำ วงจรนี้จะทำให้ขาอินพุท WE และ CS ทำงานในเวลาเดียวกัน (โดยประมาณ) (WE และ CS เป็นลอจิก "0")ส่วนในการเขียนนั้นขาอินพุท CS ของ 6264 จะทำงานเท่านั้น (CS มีลอจิก "0" WE มีลอจิก "1")

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.13 : วงจรลอจิกที่ใช้สร้างสัญญาณควบคุมการอ่านและการเขียนข้อมูลจากหน่วยความจำ



รูปที่ 4.14 : วงจรแสดงการป้อนสัญญาณ CS และ WE ให้กับ 6264.

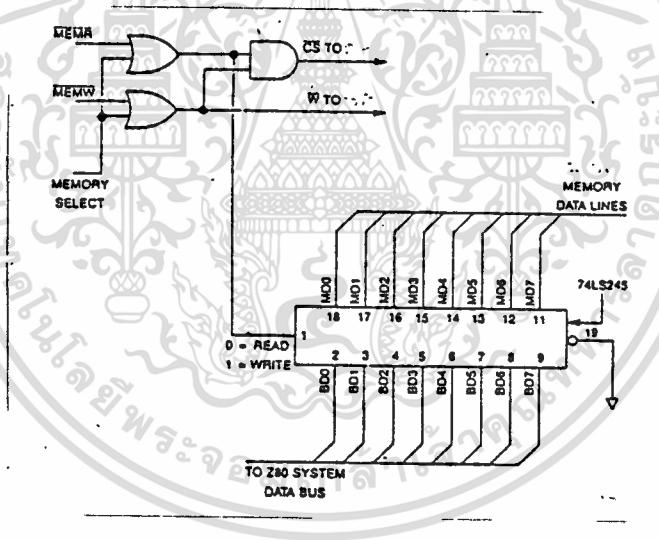
การใช้บัฟเฟอร์บนบัสข้อมูลกับ STATIC RAM

เราได้กล่าวถึงการต่อ DATA I/O LINE ของหน่วยความจำ 6264 กับบัสข้อ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

มูลของ Z80 โดยตรงมาบ้างแล้ว ซึ่งเป็นการต่อโดยไม่ใช้บัฟเฟอร์ ต่อไปจะมาดูกันว่าถ้าระบบของเราต้องการบัฟเฟอร์ การต่อจะเป็นอย่างไรโดยว่าการใช้งานนี้ เราใช้บัฟเฟอร์ข้อมูล 2 ทิศทาง (BI-DIRECTIONAL DATA BUFFER) บนบัสข้อมูลของ Z80 ซึ่งก็คืออยู่บน DATA I/O LINE ของหน่วยความจำด้วย ในระหว่างที่หน่วยความจำถูกอ่านโดย Z80 นั้น ข้อมูลที่ได้ออกมาจากหน่วยความจำจะต้องขับโหลดที่อยู่บนบัสข้อมูลทั้งหมด ซึ่งก็คือขับอินพุทของบัฟเฟอร์ข้อมูลแบบ 2 ทิศทางนั่นเอง

รูปที่ 4.15 แสดงให้เห็นวิธีหนึ่งในการต่อบัฟเฟอร์เข้ากับระบบ STATIC RAM จะสังเกตุได้ว่า DATA I/O LINE ของหน่วยความจำ 6264 จะต่อเหมือนกับที่เราเคยรู้มาก่อนเว้นเสียแต่ไม่ได้ต่อกับ Z80 โดยตรง แต่จะต่อข้างหนึ่งของบัฟเฟอร์แบบสองทิศทางแทน การควบคุมทิศทางของบัฟเฟอร์นี้ขึ้นอยู่กับสถานะลอจิกของสัญญาณ MEMR เมื่อสัญญาณนั้นมีลอจิก "0" และระบบ RAM นี้ถูกเลือกใช้งาน บัฟเฟอร์ข้อมูลจะให้ข้อมูลจาก RAM ออกไปสู่บัสข้อมูลของระบบ



รูปที่ 4.15 : วงจรบางส่วนแสดงการใช้บัฟเฟอร์เบอร์ 74LS245 ซึ่งเป็นบัฟเฟอร์แบบสองทาง(BI-DIRECTIONAL BUFFER) เข้ากับ 6264

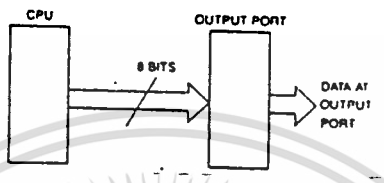
4.10 Z80 กับอินพุทและเอาท์พุท

4.10.1 ขบวนการอินพุทและเอาท์พุทของ Z80

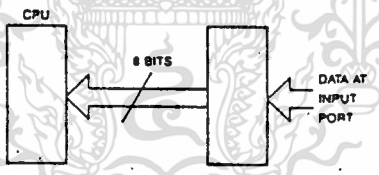
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สัญญาณทางไฟฟ้าที่ใช้ในระบบฮาร์ดแวร์ในขณะที่ Z80 ทำการติดต่อกับอุปกรณ์ I/O นั้นจะประกอบไปด้วย สัญญาณจากบัสแอดเดรส (ADDRESS BUS) , สัญญาณจากข้อมูล (DATA BUS) และสัญญาณจากบัสควบคุม (CONTROL BUS)

รูปที่ 4.11A และ 4.12B จะแสดงบล็อกไดอะแกรมของการส่งข้อมูลขนาด 8 บิท ให้กับอุปกรณ์เอาท์พุทและรับข้อมูลจากอุปกรณ์อินพุท สำหรับรายละเอียดจะกล่าวถึงภายหลัง



รูป 4.11A : แสดงบล็อกไดอะแกรมของพอร์ทเอาท์พุท



รูป 4.12B : แสดงบล็อกไดอะแกรมของพอร์ทอินพุท

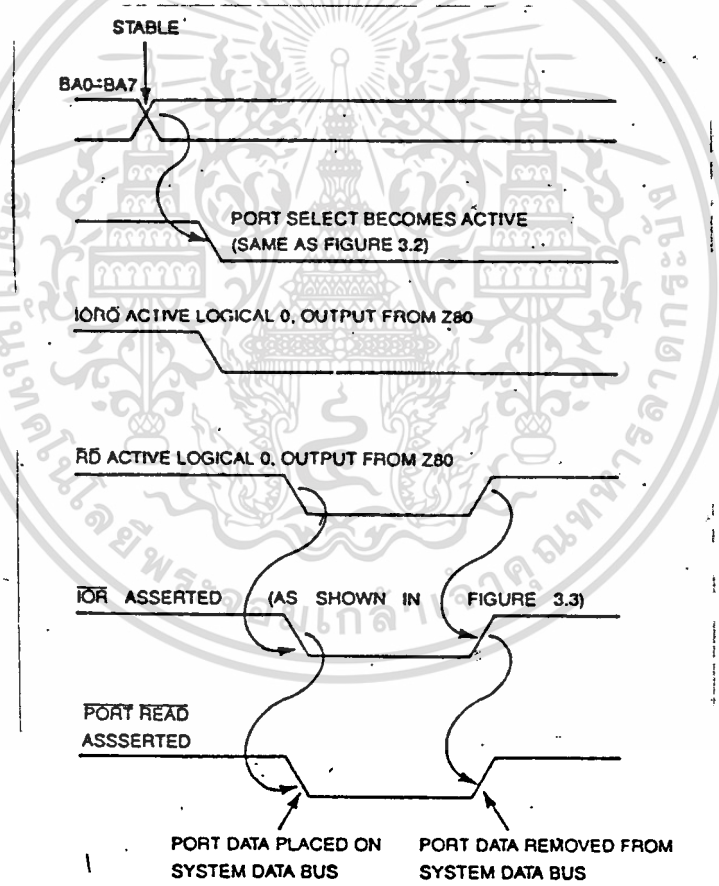
4.10.2การสร้างสัญญาณอ่านพอร์ท

เราจะศึกษาขบวนการอ่านข้อมูลจากพอร์ทอินพุทของ Z80 ไดอะแกรมเวลาในรูป 4.13 แสดงลำดับของสัญญาณที่ปรากฏขึ้นระหว่างขบวนการอ่านข้อมูลจากพอร์ทอินพุทในไดอะแกรมมีสัญญาณ IOR จะมีลักษณะสัญญาณคล้ายกับสัญญาณ IOW ในขณะที่ทำการส่งข้อมูลไปยัง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

พอร์ทเอาท์พุท

เราจะมาพิจารณาผลของสัญญาณ RD ซึ่งแสดงในรูป 4.13 สัญญาณ RD จะนำไปสร้างสัญญาณ IOR ให้แก่ฮาร์ดแวร์ส่วนพอร์ทอินพุท สัญญาณนี้จะทำให้เกิดการเคลื่อนย้ายข้อมูลจากพอร์ทอินพุทเข้าสู่ Z80 เมื่อ RD เปลี่ยนลอจิกเป็น "0" ข้อมูลจากพอร์ทอินพุทจะปรากฏระบบบัสข้อมูลและจะถูก STROBE เข้าเป็นรีจีสเตอร์ภายใน (INTERNAL REGISTER) ของ Z80 สัญญาณ RD ก็จะกลับมาเป็นลอจิก "1" ใหม่ ขบวนการเคลื่อนย้ายข้อมูลก็สิ้นสุด



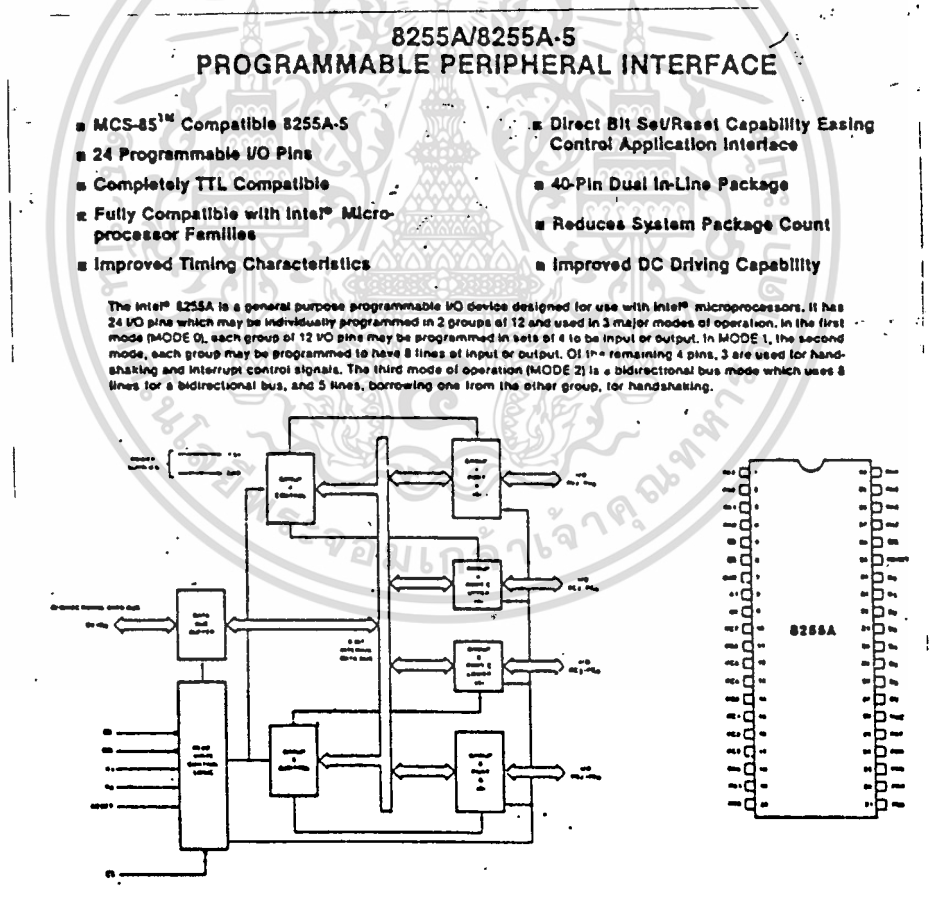
รูปที่ 4.13 : แสดงไดอะแกรมเวลาของสัญญาณที่เกิดขึ้นในวงจรรูป 4.12

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 5

การใช้ 8255 กับ Z80

8255 เป็นอุปกรณ์ LSI (LARGE SCALE INTEGRATED CIRCUIT) บรรจุอยู่ใน PACKAGE 40 ขาแบบ DIP (DUAL-IN-LINE PACKAGE) เริ่มผลิตโดยบริษัท INTER COORPERATION ผู้ผลิตไมโครโปรเซสเซอร์เบอร์ 8080 จุดประสงค์เพื่อใช้งานร่วมกับ 8080 โดยเฉพาะแต่ภายในภายหลังได้มีการนำ 8255 ไปประยุกต์ร่วมกับไมโครโปรเซสเซอร์เบอร์อื่น ๆรวมทั้ง Z80 ด้วย หากผู้อ่านเข้าใจการใช้งาน 8255 กับ Z80 ที่จะกล่าวถึงในที่นี้แล้วก็จะนำไปประยุกต์ใช้งานในลักษณะอื่น ๆ ได้ไม่ยากนัก



รูปที่ 5.1 แสดงบล็อกไดอะแกรมและการวางตำแหน่งขาของ 8255

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บล็อกกลุ่มแรกที่เราจะพูดถึงนี้ ได้แก่ บล็อกจำนวน 4 บล็อก ที่อยู่ทางด้านขวาของรูปซึ่งจะเป็นส่วนหนึ่งที่เชื่อมต่อกับอุปกรณ์ภายนอกอื่น ๆ โดยมีสาย PA0-PA7 , PB0-PB7 และ PC0-PC7 เป็นทางผ่านของข้อมูลระหว่างอุปกรณ์ภายนอกกับ 8255 สายสัญญาณเหล่านี้จะถูกแบ่งออกเป็น 3 I/O พอร์ท ได้แก่พอร์ท A (PA), อร์ท B(PB) และพอร์ท C (PC) พอร์ท เหล่านี้แต่ละพอร์ท สามารถเป็นได้ทั้งพอร์ทอินพุทและเอาท์พุท และแต่ละบล็อกจะมีสายสัญญาณเชื่อมเข้ากับบัสข้อมูลภายในของ 8255

บล็อกกลุ่มถัดมา ได้แก่ GROUP A CONTROL และ GROUP B CONTROL ซึ่งเป็นตัวกำหนดลักษณะการทำงานของทั้ง 3 I/O พอร์ท (8255 มีลักษณะการททำงานที่แตกต่างกันอยู่ 3 โหมด สามารถกำหนดได้โดยการโปรแกรมส่ง CONTROL WORD ให้กับ 8255 ซึ่งจะกล่าวถึงในภายหลัง)จากรูป 5.1 จะเห็นว่า พอร์ท C นี้จะประกอบด้วยพอร์ทขนาด 4 บิท 2 พอร์ท กลุ่มหนึ่งจะถูกควบคุมโดย GROUP A CONTROL และอีกกลุ่มจะถูกควบคุมโดย GROUP B CONTROL สำหรับเหตุผลนั้นจะกล่าวถึงในภายหลัง

บล็อกกลุ่มสุดท้ายที่จะกล่าวถึงได้แก่ DATA BUS BUFFER และ READ/WRITE CONTROL LOGIC ซึ่งบล็อกเหล่านี้จะเป็นส่วนที่ติดต่อกับ CPU , DATA BUS BUFFER นี้จะเป็นบัฟเฟอร์ให้กับบัสข้อมูลของ CPU ส่วน READ/WRITE CONTROL LOGIG จะเป็นส่วนทที่ควบคุมให้ข้อมูลเข้าหรือออกจากรีจิสเตอร์ในตัวที่ถูกต้อง และในเวลาที่เหมาะสม

5.1 รายละเอียดการจัดเรียงขาของ 8255

ในส่วนนี้จะพิจารณาหน้าที่ของแต่ละขาของ 8255 ซึ่งข้อมูลเหล่านี้จะมีประโยชน์ในการเชื่อมต่อเข้ากับระบบบัสของ CPU สำหรับการจัดขาแสดงไว้ในรูป 5.1 รายละเอียดแต่ละขามีดังนี้ คือ

D0-D7 : เป็นสายข้อมูลอินพุท/เอาท์พุทแบบสองทาง (BI-DIRECTIONAL BUS) จะเป็นทางผ่านของข้อมูลระหว่างพอร์ทต่าง ๆของ 8255 กับบัสข้อมูลของ Z80

CS (CHIP SELECT INPUT) : เมื่อขานี้มีสถานะลอจิกเป็น "0" CPU จะสามารถที่จะอ่านหรือเขียนข้อมูลกับ 8255 ได้

RD (READ INPUT) : เมื่อขานี้มีสถานะลอจิกเป็น "0" และสัญญาณ CS มีลอจิกเป็น "0" ข้อมูลจาก 8255 จะปรากฏสู่ระบบบัสข้อมูล CPU ก็จะสามารถอ่านข้อมูลออกได้ (ในการตั้งชื่อของขาสัญญาณนี้จะถือเอา CPU เป็นหลัก)

WR (WRITE INPUT) :เมื่อขานี้มีสถานะลอจิกเป็น "0" และขาสัญญาณ CS มีลอ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จิกเป็น "0" ข้อมูลจากระบบบัสข้อมูลจะถูกเขียนเข้าไปยัง 8255 ได้

A0-A1 (ADDRESS INPUT) : จะเป็นตัวกำหนดการเลือกใช้รีจิสเตอร์ภายในของ 8255ซึ่งจะกล่าวในภายหลัง

RESET : เมื่อขานี้มีสถานะลอจิกเป็น "1" 8255 จะอยู่ในสถานะรีเซ็ททุก ๆ พอร์ทของ 8255 จะถูกรีเซ็ทให้อยู่ในโหมดอินพุท

PA0-PA7,PB0-PB7 :ขาสัญญาณเหล่านี้จะถูกใช้เป็นพอร์ท I/O ขนาด 8 บิท ใช้ต่อเข้ากับอุปกรณ์ภายนอกอื่น ๆ

PC0-PC7 : ขาสัญญาณนี้ถูกใช้เป็นพอร์ท I/O ขนาด 8 บิท เช่นเดียวกับ PA0-PA7 และ PB0-PB7 แต่กลุ่มของขาสัญญาณเหล่านี้สามารถแบ่งออกเป็น 2 กลุ่ม โดยแต่ละกลุ่มมีขนาด 4 บิทได้กลุ่มแรกจะใช้ควบคุม PB0-PB7 และกลุมที่ 2 ใช้ควบคุม PA0-PA7 (ซึ่งจะกล่าวถึงรายละเอียดในภายหลัง)

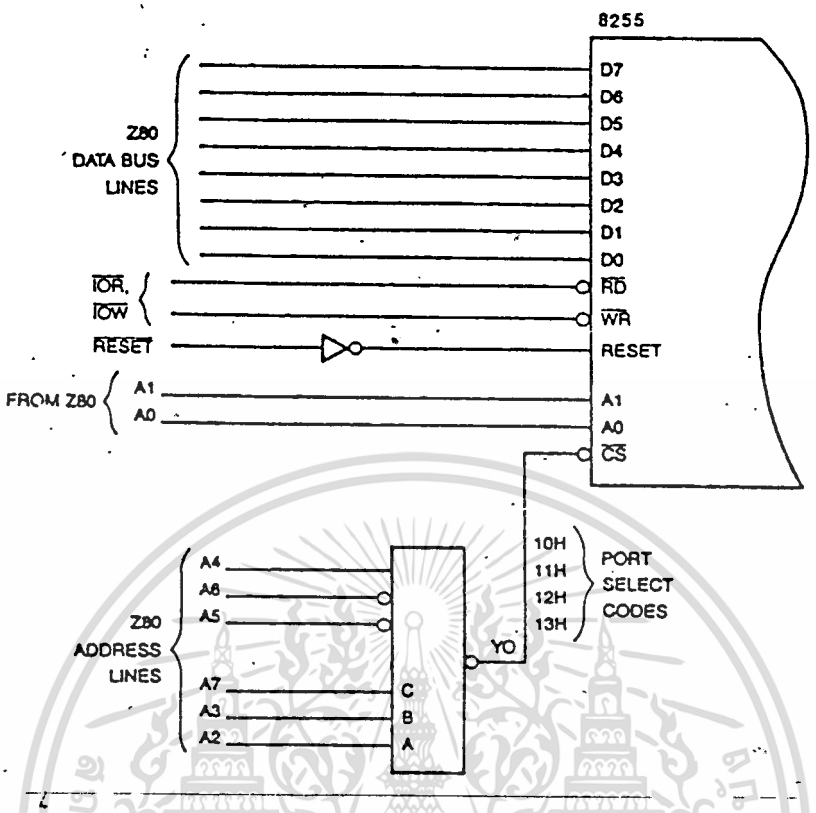
5.2 การต่อ 8255 เข้ากับ Z80

ในการต่อ 8255 เข้ากับระบบของ Z80 นั้น สัญญาณต่าง ๆ ที่เกิดขึ้นจะเหมือนกับขบวนการติดต่อกับ I/O โดยจะต้องเอาสัญญาณ A0-A7 จาก Z80 มาถอดรหัสเพื่อสร้างสัญญาณเลือกพอร์ท แต่เนื่องจาก 8255 มีขา ADDRESS INPUT อยู่แล้ว 2 ขา (A0-A1) ซึ่งโดยปกติแล้วขา A0 , A1 นี้จะต่อเข้าโดยตรงกับ A0,A1 จากบัสแอดเดรส นั่นคือ 8255 หนึ่งตัวจะใช้ค่าพอร์ทแอดเดรสถึง 4 ค่า (2^2) ส่วนสัญญาณอีก 6 เส้น A2-A7 จะนำไปถอดรหัสเพื่อทำสัญญาณเลือกชิพ (CHIP SELECT)

5.3 8255 READ และ WRITE REGISTER

ขณะนี้เราได้ทำการต่อ 8255 เข้ากับระบบของ Z80 แล้วต่อไปเราจะศึกษาการโปรแกรมใช้งานของ 8255 เพื่อที่จะให้ทำงานตามที่เราต้องการได้ จะเริ่มต้นพิจารณารีจิสเตอร์ภายใน 4 ตัว ของ 8255 สำหรับในตัวอย่างการถอดรหัสของเรานี้ ตำแหน่งของรีจิสเตอร์จะอยู่ในอดเดรส 10H,11H,12H และ 13H ซึ่งรายละเอียดของรีจิสเตอร์เหล่านี้มีดังนี้คือ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

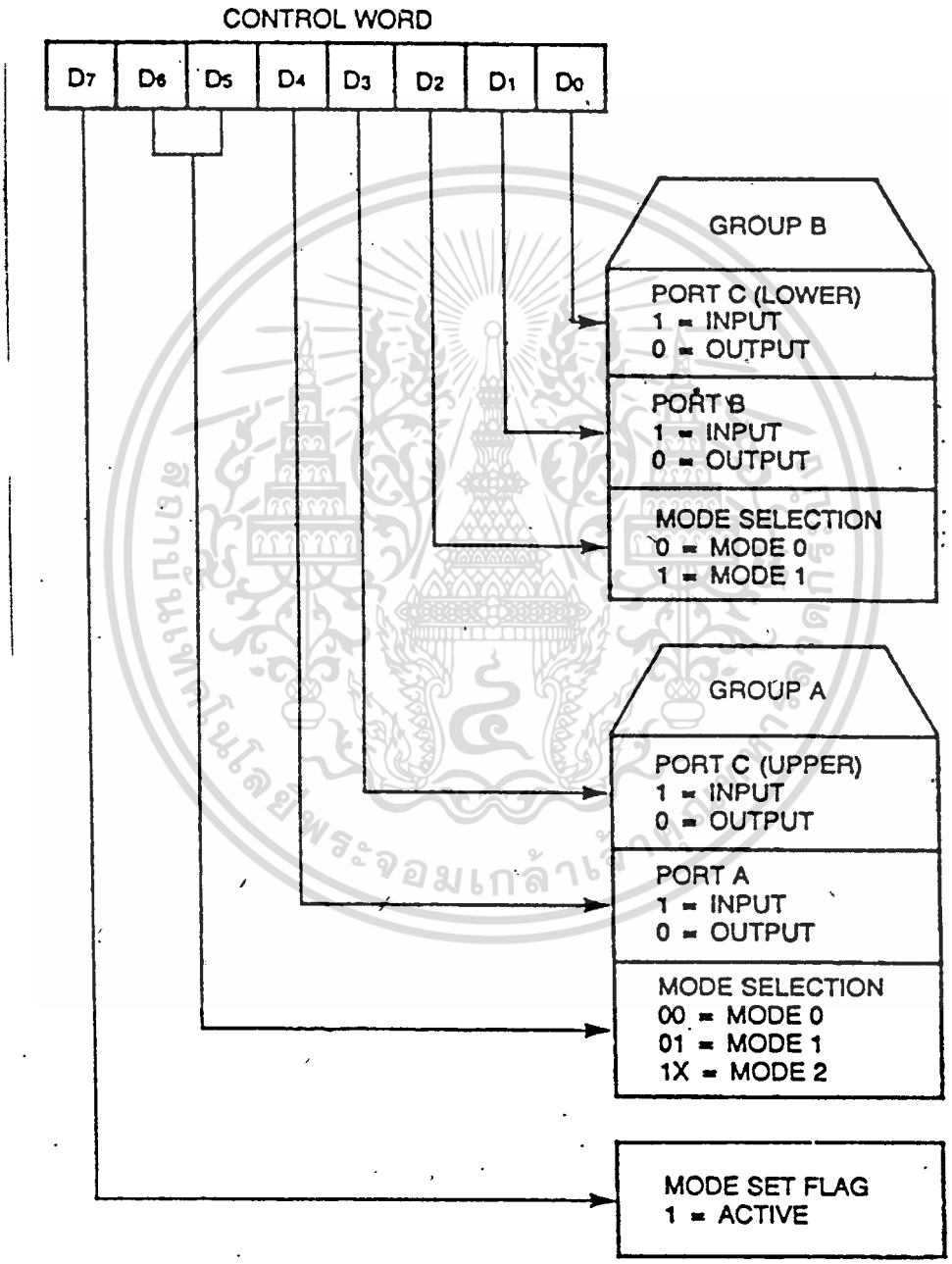


รูปที่ 5.2 แสดงผังวงจรสมบูรณ์ของการเชื่อมต่อ 8255 เข้ากับระบบ Z80

DEVICE PIN				REGISTER NAME
RD	WR	A1	A0	
1	0	0	0	WRITE PORT A DATA
0	1	0	0	READ PORT A DATA
1	0	0	1	WRITE PORT B DATA
0	1	0	1	READ POR B DATA
1	0	1	0	WRITE PORT C DATA
0	1	1	0	READ POR C DATA
1	0	1	1	WRITE CONTROL DATA
0	1	1	1	ILLEGAL READ REGISTER

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หน้าที่ของรีจิสเตอร์หมายเลข 0-2 จะถูกกำหนดลักษณะการทำงานจากรีจิสเตอร์หมายเลข3 (รีจิสเตอร์ควบคุม) รูปที่ 5.2 จะแสดงรายละเอียดของแต่ละบิทของรีจิสเตอร์ควบคุมนี้ต่อไปเราจะกล่าวถึงลักษณะการทำงานของ 8255 ทั้ง 3 โหมด และการโปรแกรมให้อยู่ในโหมดต่าง ๆ ได้ดังต่อไปนี้คือ



รูปที่ 5.3 แสดงรายละเอียดแต่ละบิทของรีจิสเตอร์ควบคุมของ 8255

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5.4 การใช้งาน 8255 ในโหมด 0

ในการเซ็ท 8255 ให้อยู่ในโหมด 0 นั้นเราจะต้องสงคำสั่งควบคุม (CONTROL WORD) ให้แก่รีจิสเตอร์ควบคุมก่อน คำสั่งควบคุมนี้จะกำหนดลักษณะการทำงานให้แก่แต่ละพอร์ทของ 8255

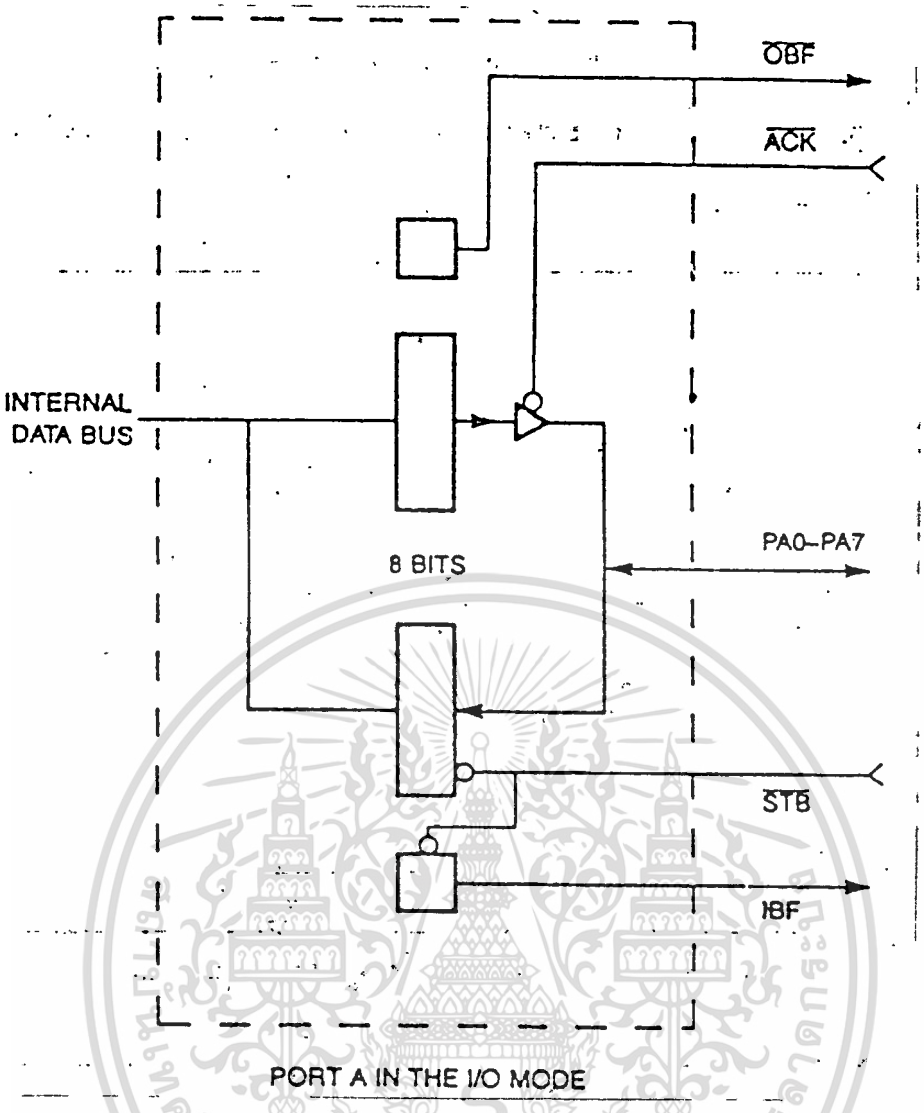
5.4.1 การใช้งาน 8255 ในโหมด 1

การทำงานของ 8255 ในโหมด 1 นี้ เป็นการทำงานในลักษณะของการ HANGSHAKE , พอร์ท A และพอร์ท B จะเป็นพอร์ทข้อมูล ส่วนพอร์ท C นี้จะถูกใช้เป็นสัญญาณ HANDSHAKE โดย 4 บิทบน จะเป็นสัญญาณ HANGSHAKE ให้กับพอร์ท A และ 4 บิทล่างจะเป็นสัญญาณ HANGSHAKEให้กับพอร์ท B

5.4.2 การใช้งาน 8255 ในโหมด 2

การทำงานของ 8255 ในโหมด 2 นี้จะเป็นการใช้งานในลักษณะที่ให้พอร์ท A เป็นพอร์ทข้อมูลแบบสองทิศทาง เมื่อ 8255 ถูกโปรแกรมให้พอร์ท A อยู่ในโหมด 2 นี้แล้วพอร์ท A จะมีลักษณะการทำงานตามบล็อกไดอะแกรมรูปที่ 5.4

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 5.4 บล็อกไดอะแกรมแสดงการทำงานของพอร์ท A ในโหมด 2

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทวิจารณ์และสรุป

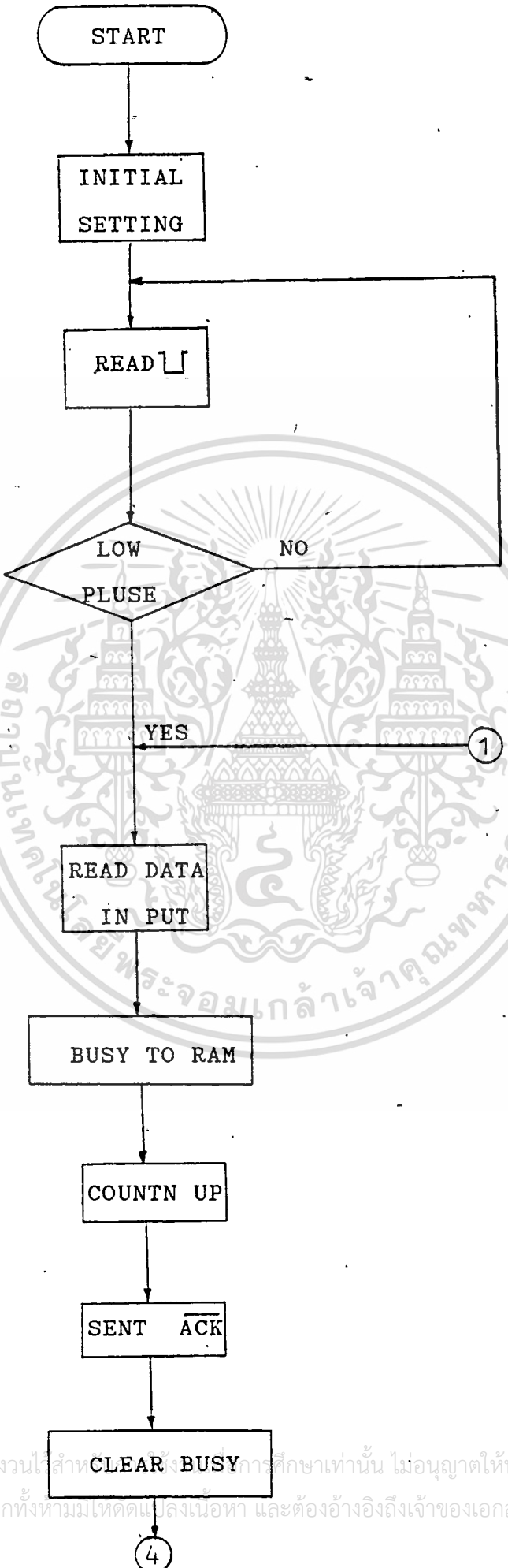
สำหรับ Project ที่จัดทำขึ้นจะเห็นได้ว่า หน่วยประมวลผลกลาง (CPU) ซึ่งเบอร์ Z-80 มีการประมวลผล ที่ละ 8 bit เท่านั้นซึ่งเรื่องนี้อาจจะทำให้ Project ชุดนี้เกิดการด้อยในความเร็วในการรับส่งข้อมูลไป และสำหรับทางด้านหน่วยความจำที่ใช้สำหรับเก็บค่าตัวอักษรนั้นมีขนาดเท่ากับ 1 Mbyte ต้องจัดได้ว่ามีมากพอสมควรแล้ว แต่ในการสร้าง Project ชิ้นนี้ หน่วยความจำ เราใช้มากเกินไปทำให้ต้องเสียค่าใช้จ่ายมาก สำหรับผู้อ่านที่สนใจที่จะพัฒนา Project ชุดนี้ผู้เขียนต้องขอแนะนำว่าควรจะแก้ไข

โดยสรุปแล้ว Prolect นี้เป็นการเพิ่มประสิทธิภาพการทำงานให้กับคอมพิวเตอร์ เพื่อให้ใช้งานได้อย่างมีประสิทธภาพสูงสุด ความสามารถในการรับข้อมูลจะมีความเร็วสูงกว่าเครื่องพิมพ์ที่ใช้อยู่ทั่วๆไป แต่เมื่อทดลองต่อเข้ากับคอมพิวเตอร์แล้วความเร็วในการทำงานจะช้าลงเนื่องจากคอมพิวเตอร์จะต้องมีการแสดงบนจอภาพ และผ่านซับรูทีนหน่วงเวลาภายในคอมพิวเตอร์จึงทำให้ความเร็วในการรับข้อมูลนั้นช้าลง

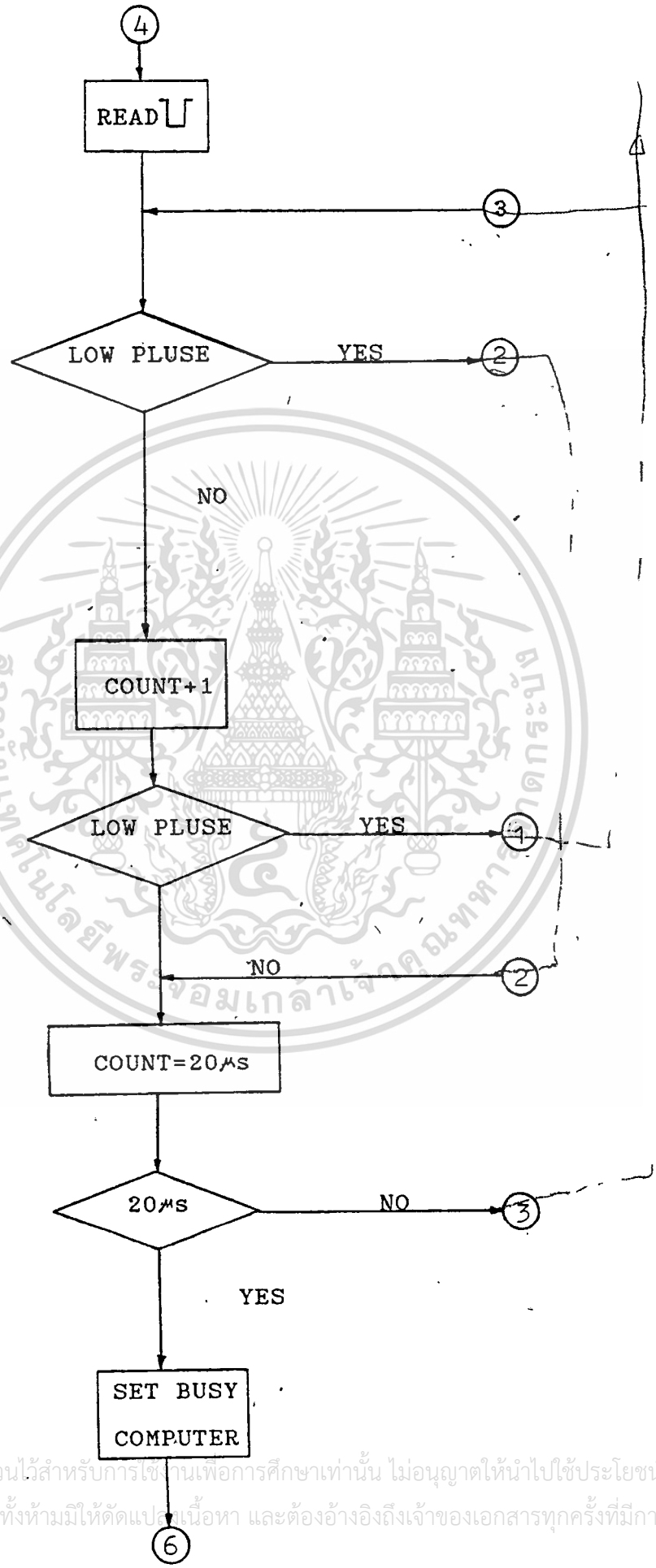
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก

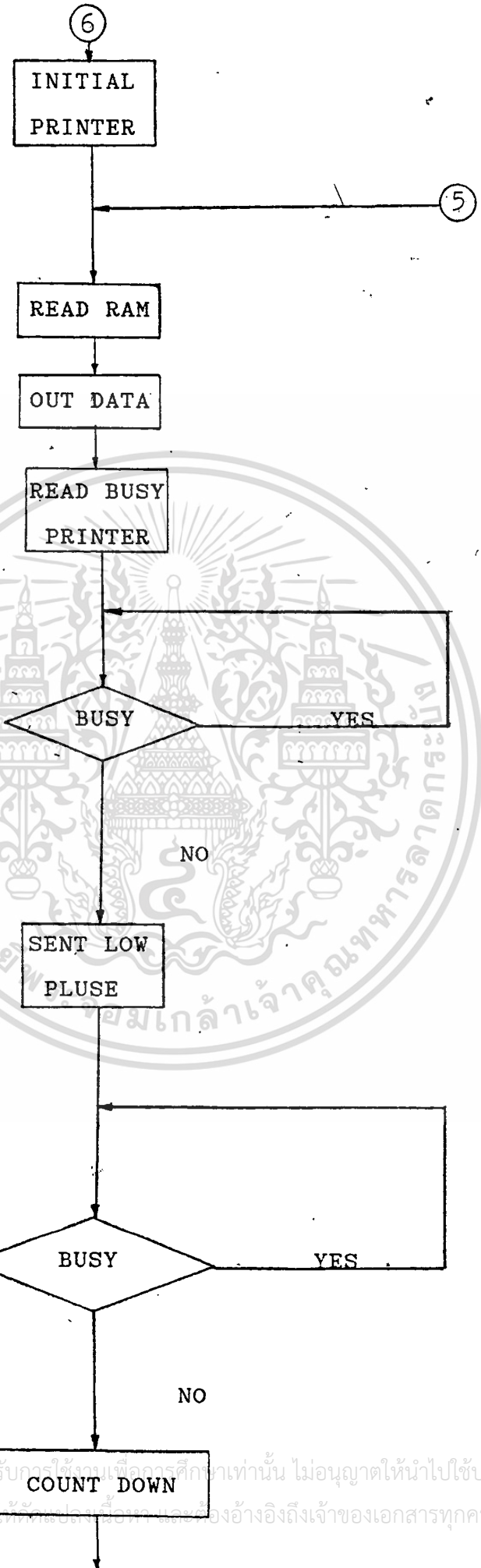
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



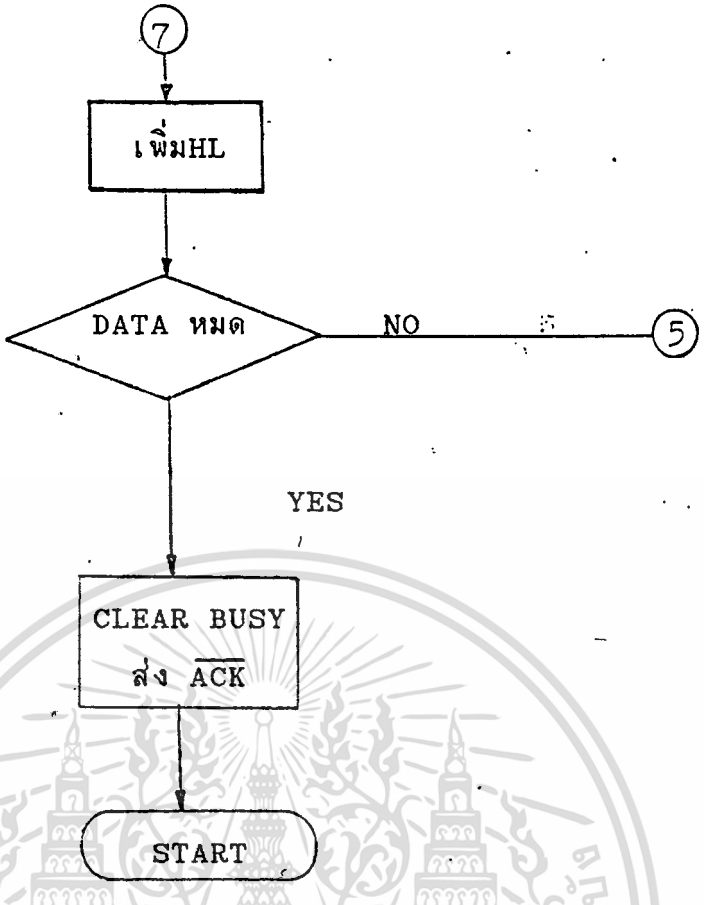
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



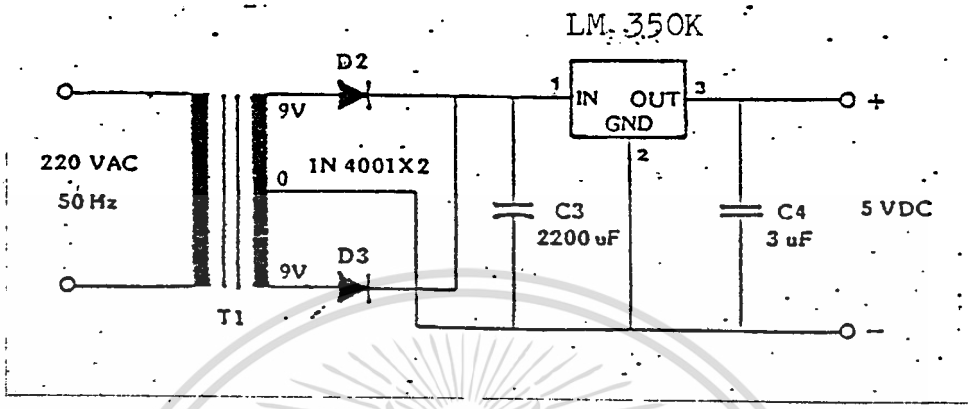
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

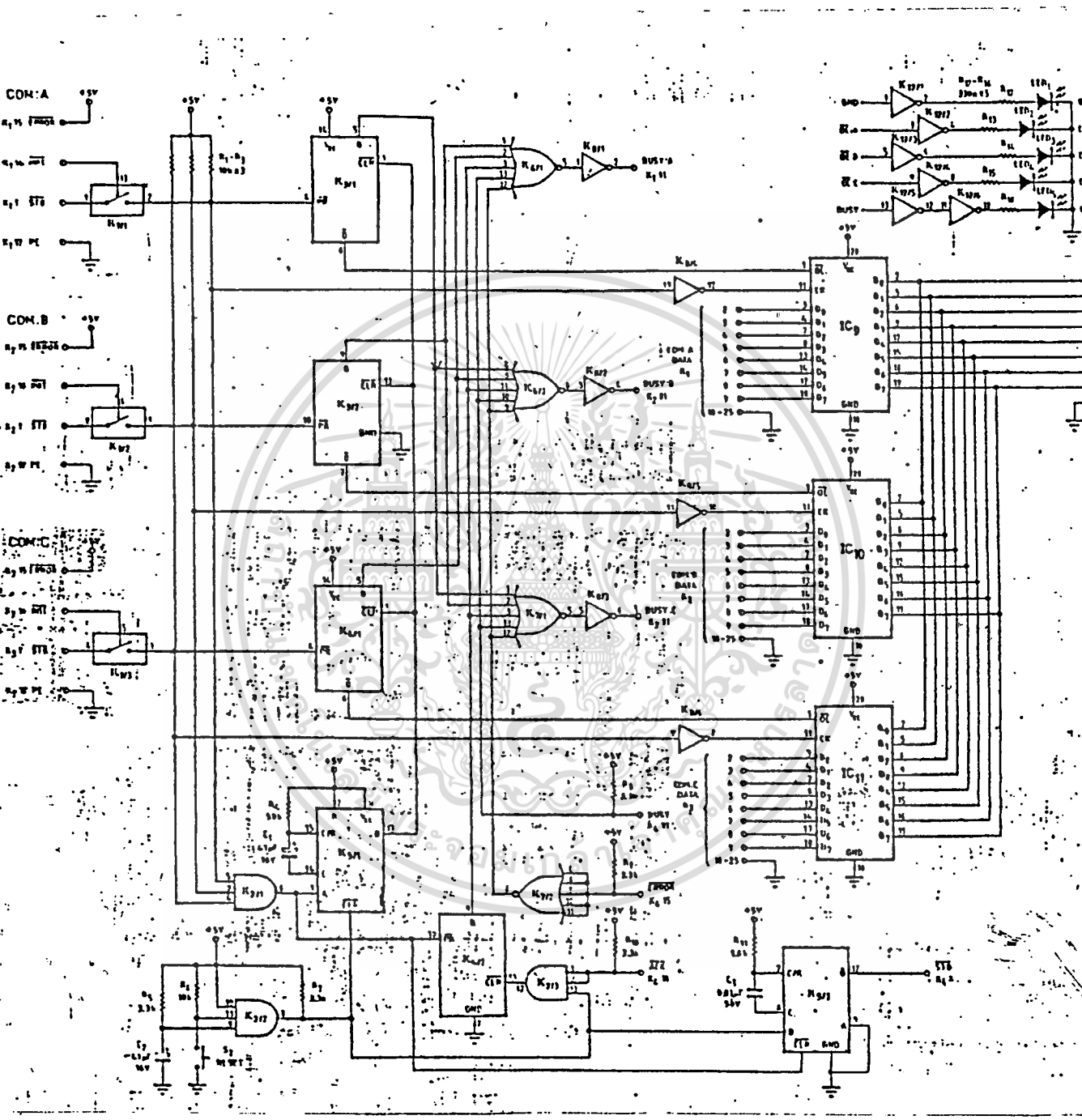


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



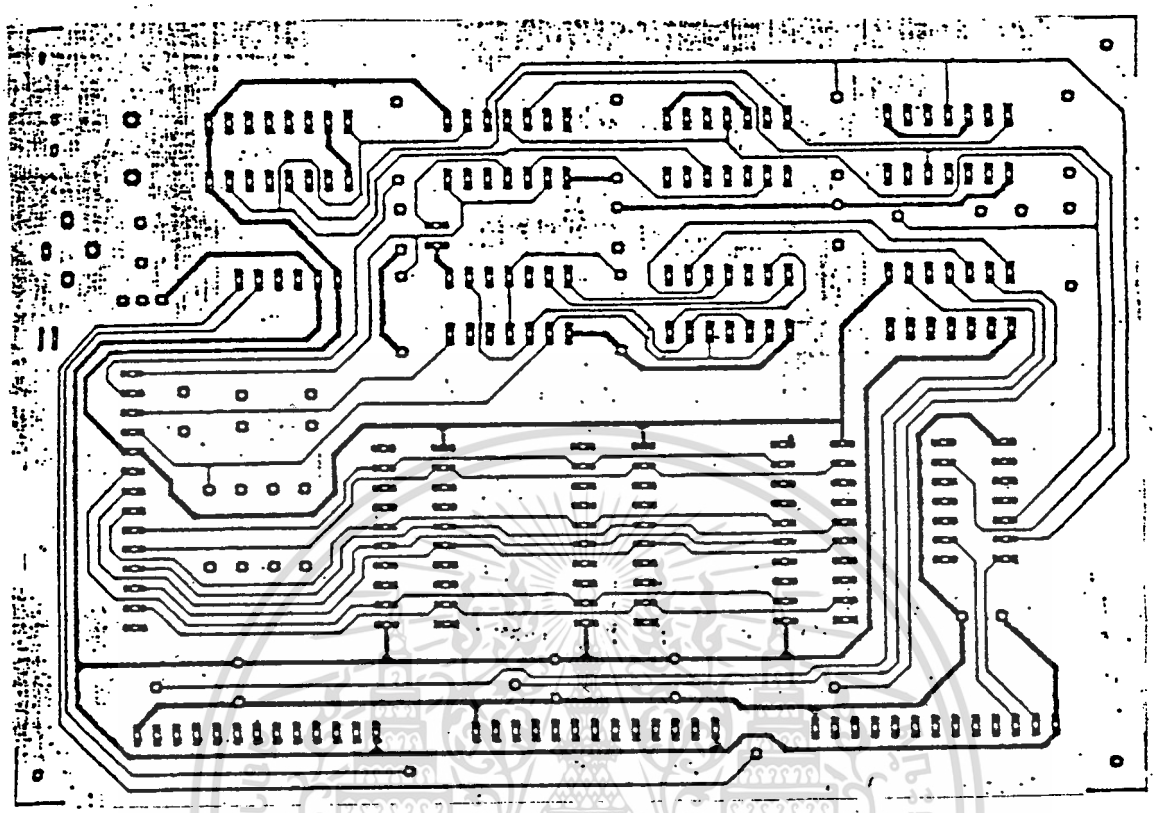
วงจรแหล่งจ่ายไฟ

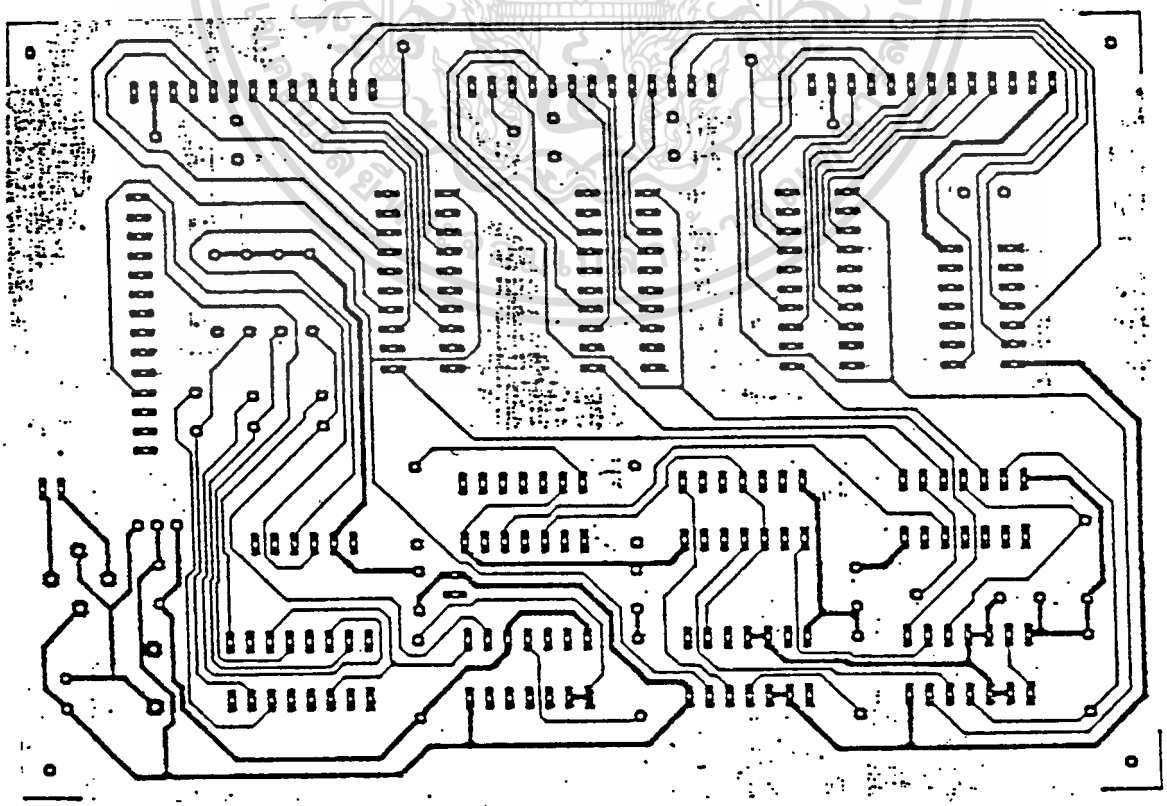
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



วงจรสวิทช์ชิ่งบล็อก

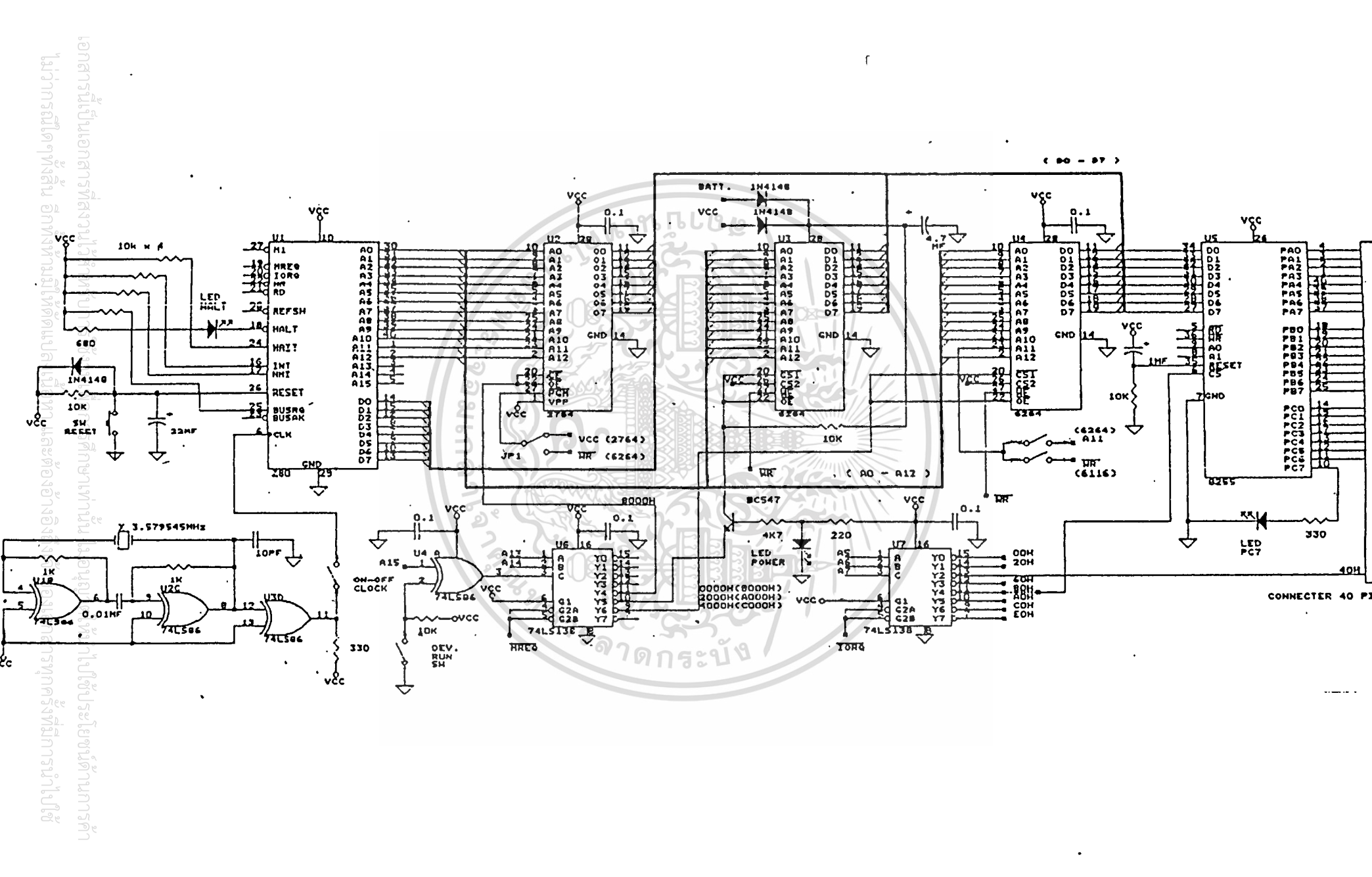
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

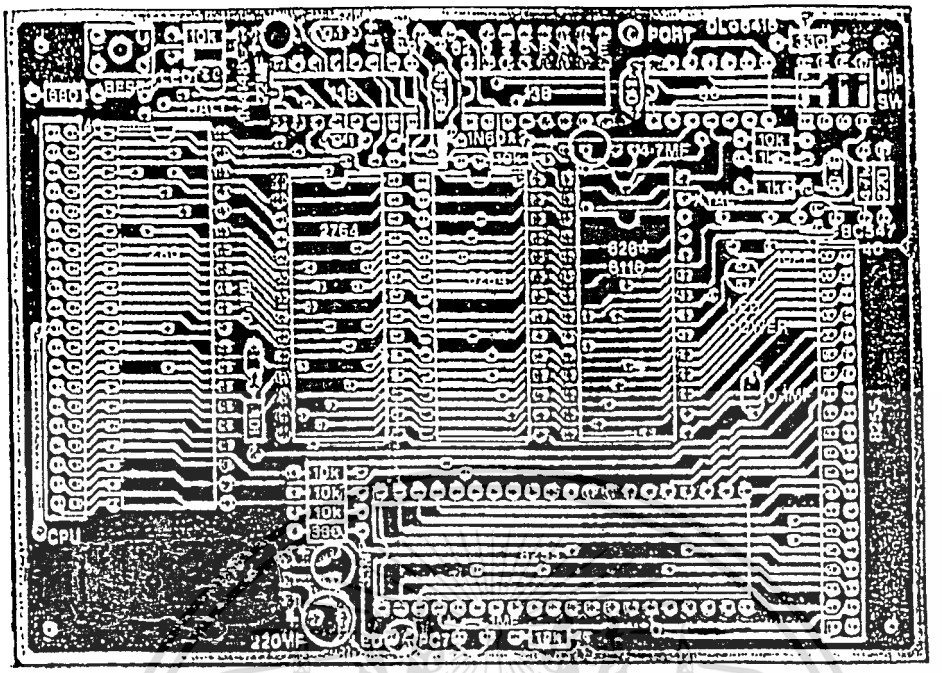


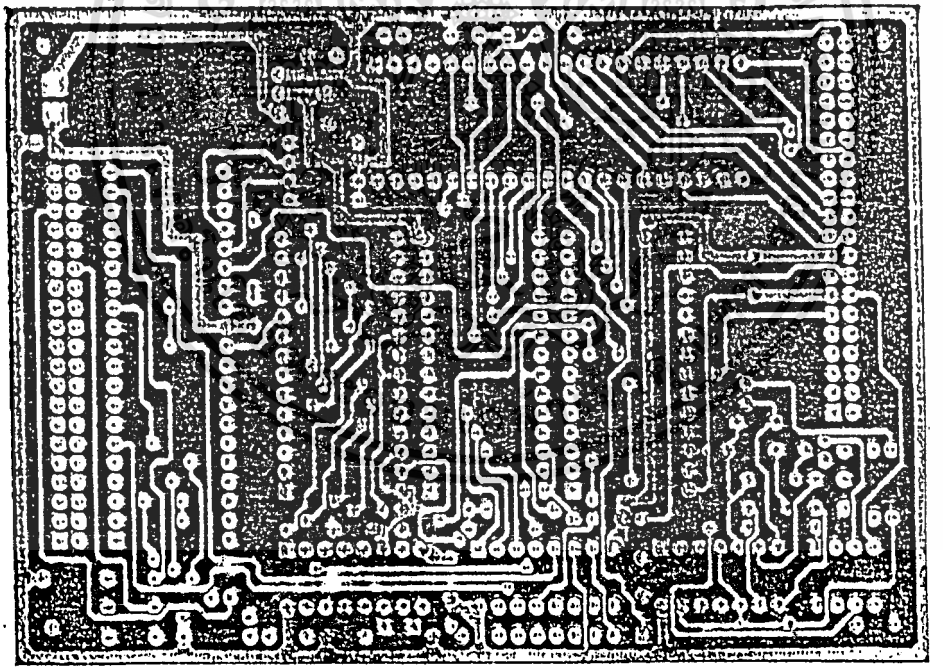


ลายวงจรทั้ง 2 หน้า

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

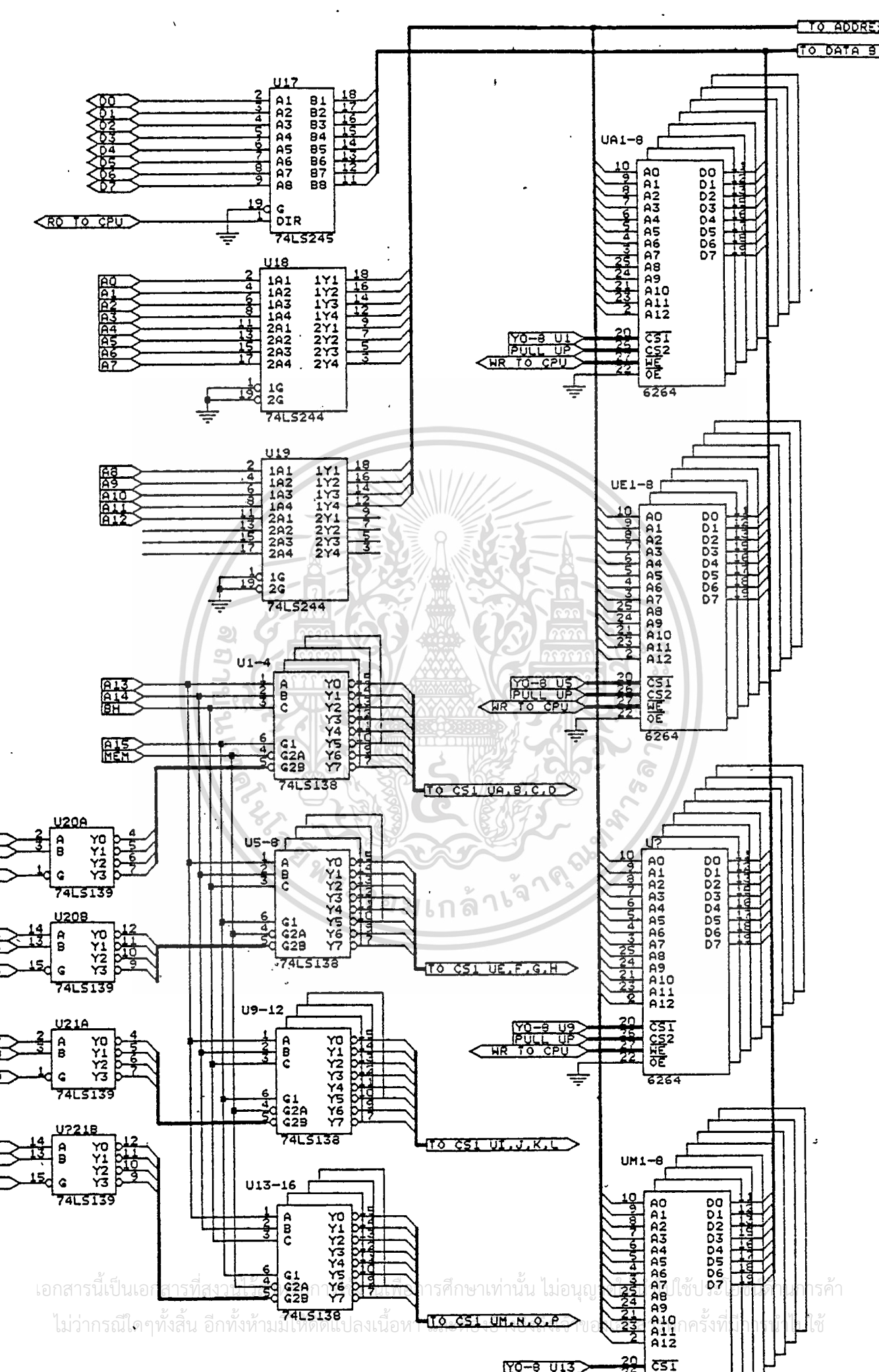

(D0 - D7)
10k x 8
LED HALT
680
IN4148
10K
SW RESET
33MF
Y 3.579545MHz
10PF
1K
74LS04
0.01MF
74LS86
330
ON-OFF CLOCK
DEV. RUN SW
74LS04
74LS86
74LS86
74LS86
74LS96
U1
Z80
M1
MREQ
IORQ
WR
RD
REFSH
HALT
WAIT
INT
NMI
RESET
BUSRQ
BUSAK
CLK
GND
A0
A1
A2
A3
A4
A5
A6
A7
A8
A9
A10
A11
A12
A13
A14
A15
D0
D1
D2
D3
D4
D5
D6
D7
VCC
0.1
U2
2764
U3
6264
U4
6264
U5
8255
GND
VCC (2764)
WR (6264)
JP1
BATT.
IN4148
4.7 MF
1MF
10K
WR
(A0 - A12)
(6264) A11
WR (6116)
RESET
CS
PA0
PA1
PA2
PA3
PA4
PA5
PA6
PA7
PB0
PB1
PB2
PB3
PB4
PB5
PB6
PB7
PC0
PC1
PC2
PC3
PC4
PC5
PC6
PC7
LED PC7
330
CONNECTER 40 PI
40H
8000H
BC547
4K7
220
LED POWER
U6
U7
74LS138
A15
A14
A13
G1
G2A
G2B
Y0
Y1
Y2
Y3
Y4
Y5
Y6
Y7
0000H(8000H)
2000H(A000H)
4000H(C000H)
MREQ
IORQ
00H
20H
60H
80H
A0H
C0H
E0H



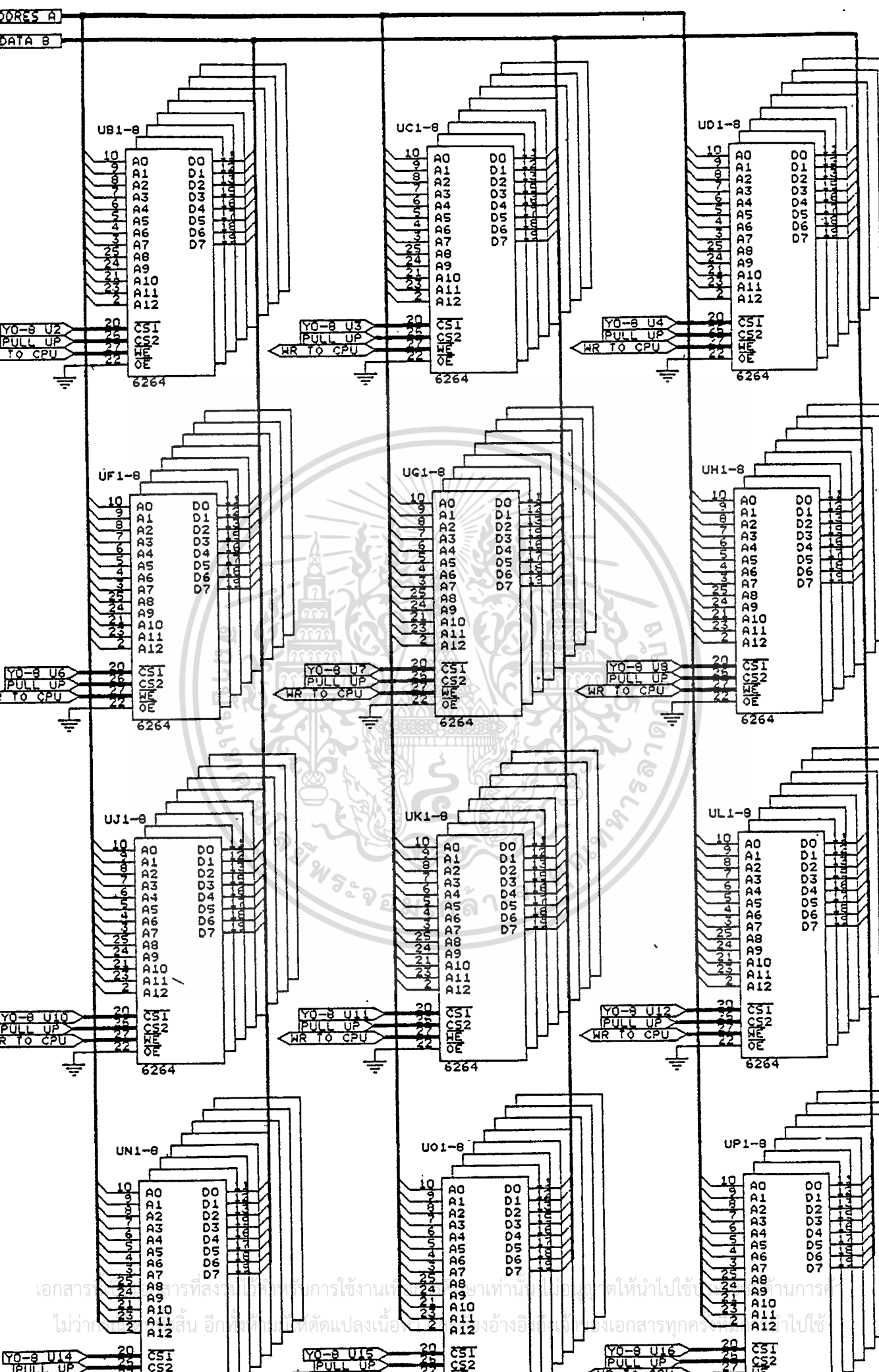


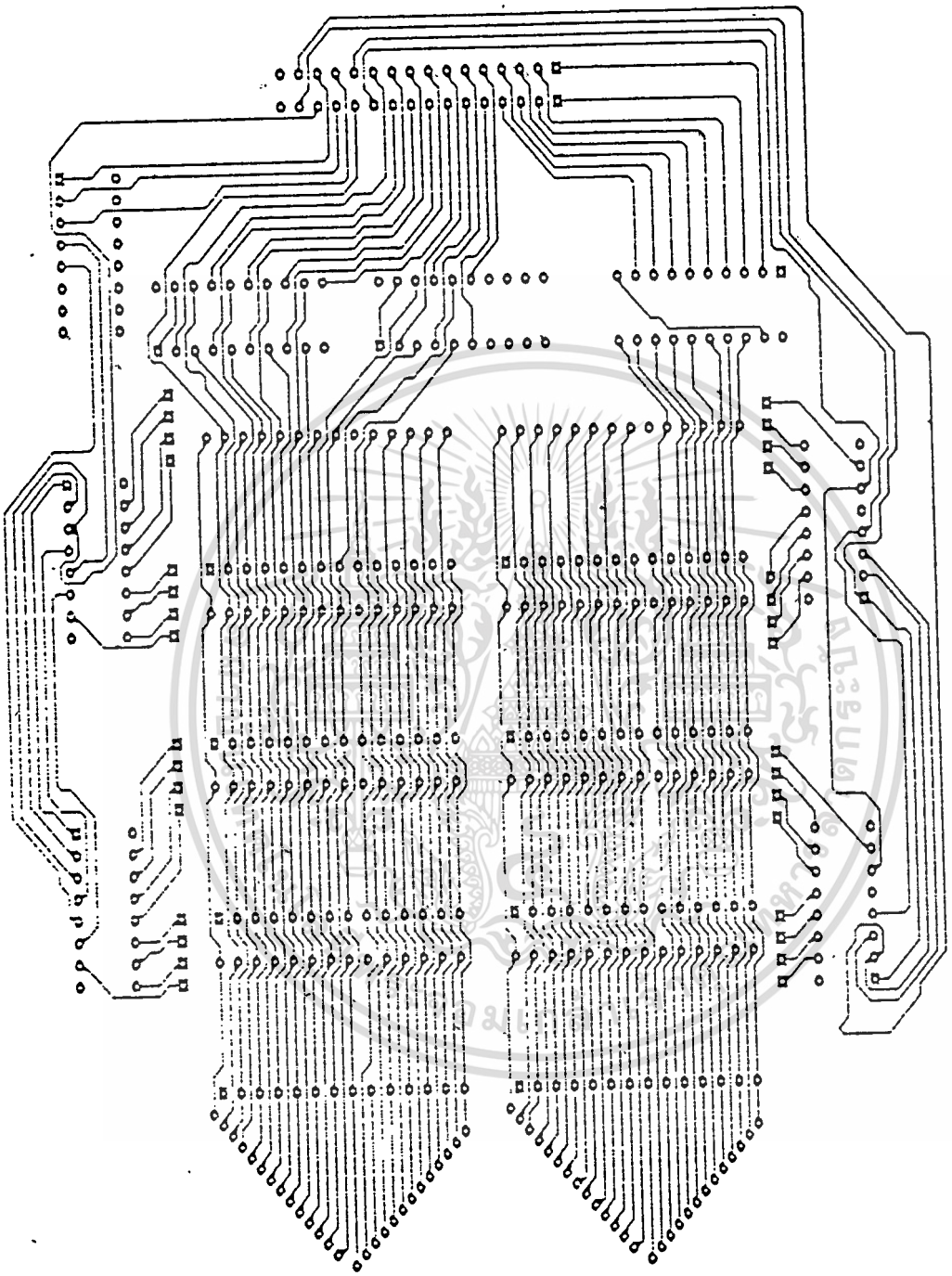
วงจรลายปริ้นท์ 2 หน้า

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ทำการดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้


DDRES A
DATA B
UB1-8
UC1-8
UD1-8
UF1-8
UG1-8
UH1-8
UJ1-8
UK1-8
UL1-8
UN1-8
UO1-8
UP1-8
6264
A0
A1
A2
A3
A4
A5
A6
A7
A8
A9
A10
A11
A12
D0
D1
D2
D3
D4
D5
D6
D7
CS1
CS2
WE
OE
YO-8 U2
YO-8 U3
YO-8 U4
YO-8 U6
YO-8 U7
YO-8 U8
YO-8 U10
YO-8 U11
YO-8 U12
YO-8 U14
YO-8 U15
YO-8 U16
PULL UP
WR TO CPU



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Z8400
Z80® CPU Central Processing Unit

Zilog

Product Specification

April 1985

FEATURES

- The instruction set contains 158 instructions. The 78 instructions of the 8080A are included as a subset; 8080A software compatibility is maintained.
- Eight MHz, 6 MHz, 4 MHz, and 2.5 MHz clocks for the Z80H, Z80B, Z80A, and Z80 CPU result in rapid instruction execution with consequent high data throughput.
- The extensive instruction set includes string, bit, byte, and word operations. Block searches and block transfers, together with indexed and relative addressing, result in the most powerful data handling capabilities in the microcomputer industry.
- The Z80 microprocessors and associated family of peripheral controllers are linked by a vectored interrupt system. This system may be daisy-chained to allow implementation of a priority interrupt scheme. Little, if any, additional logic is required for daisy-chaining.
- Duplicate sets of both general-purpose and flag registers are provided, easing the design and operation of system software through single-context switching, background-foreground programming, and single-level interrupt processing. In addition, two 16-bit index registers facilitate program processing of tables and arrays.
- There are three modes of high speed interrupt processing: 8080 similar, non-Z80 peripheral device, and Z80 Family peripheral with or without daisy chain.
- On-chip dynamic memory refresh counter.

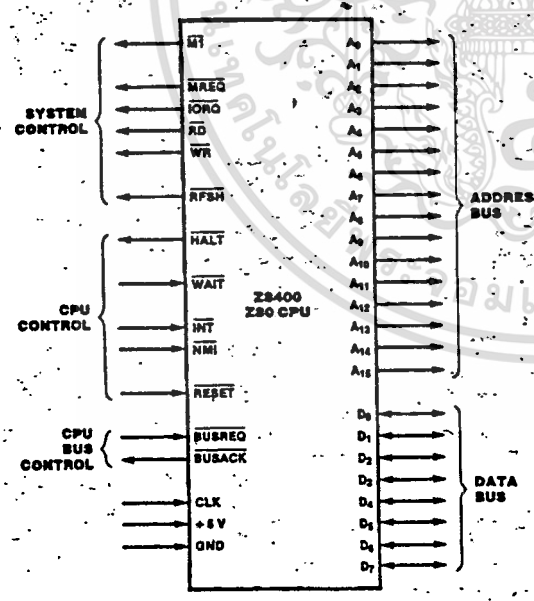


Figure 1. Pin Functions

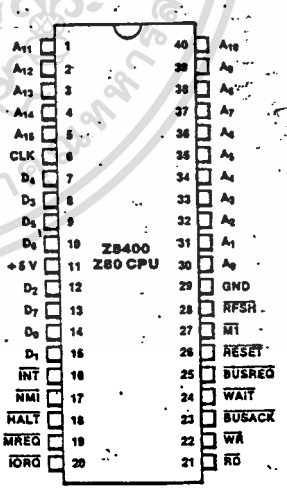


Figure 2a. 40-Pin Dual-In-Line Package (DIP) Pin Assignments

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

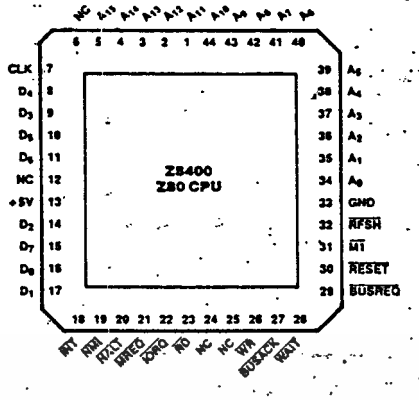


Figure 2b. 44-Pin Chip Carrier Pin Assignments

GENERAL DESCRIPTION

The Z80, Z80A, Z80B, and Z80H CPUs are third-generation single-chip microprocessors with exceptional computational power. They offer higher system throughput and more efficient memory utilization than comparable second- and third-generation microprocessors. The internal registers contain 208 bits of read/write memory that are accessible to the programmer. These registers include two sets of six general-purpose registers which may be used individually as either 8-bit registers or as 16-bit register pairs. In addition, there are two sets of accumulator and flag registers. A group of "Exchange" instructions makes either set of main or alternate registers accessible to the programmer. The alternate set allows operation in foreground-background mode or it may be reserved for very fast interrupt response.

The Z80 also contains a Stack Pointer, Program Counter, two index registers, a Refresh register (counter), and an Interrupt register. The CPU is easy to incorporate into a system since it requires only a single +5V power source. All output signals are fully decoded and timed to control standard memory or peripheral circuits; the CPU is supported by an extensive family of peripheral controllers. The internal block diagram (Figure 3) shows the primary functions of the Z80 processors. Subsequent text provides more detail on the Z80 I/O controller family, registers, instruction set, interrupts and daisy chaining, and CPU timing.

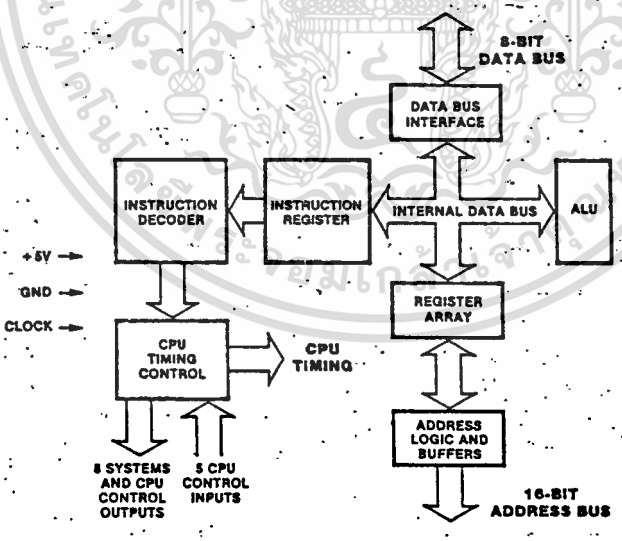


Figure 3. Z80 CPU Block Diagram

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Z80 MICROPROCESSOR FAMILY

The Zilog Z80 microprocessor is the central element of a comprehensive microprocessor product family. This family works together in most applications with minimum requirements for additional logic, facilitating the design of efficient and cost-effective microcomputer-based systems.

Zilog has designed five components to provide extensive support for the Z80 microprocessor. These are:

- The PIO (Parallel Input/Output) operates in both data-byte I/O transfer mode (with handshaking) and in bit mode (without handshaking). The PIO may be configured to interface with standard parallel peripheral devices such as printers, tape punches, and keyboards.
- The CTC (Counter/Timer Circuit) features four programmable 8-bit counter/timers, each of which has an 8-bit prescaler. Each of the four channels may be configured to operate in either counter or timer mode.
- The DMA (Direct Memory Access) controller provides dual port data transfer operations and the ability to terminate data transfer as a result of a pattern match.
- The SIO (Serial Input/Output) controller offers two channels. It is capable of operating in a variety of programmable modes for both synchronous and asynchronous communication, including Bi-Synch and SDLC.
- The DART (Dual Asynchronous Receiver/Transmitter) device provides low cost asynchronous serial communication. It has two channels and a full modem control interface.

Z80 CPU REGISTERS

Figure 4 shows three groups of registers within the Z80 CPU. The first group consists of duplicate sets of 8-bit registers: a principal set and an alternate set (designated by ' [prime], e.g., A'). Both sets consist of the Accumulator Register, the Flag Register, and six general-purpose registers. Transfer of data between these duplicate sets of registers is accomplished by use of "Exchange" instructions. The result is faster response to interrupts and easy, efficient implementation of such versatile programming techniques as background-foreground data processing. The second set of registers consists of six registers with assigned functions. These are the I (Interrupt Register), the R (Refresh Register), the IX and IY (Index Registers), the SP (Stack Pointer), and the PC (Program Counter). The third group consists of two interrupt status flip-flops, plus an additional pair of flip-flops which assists in identifying the interrupt mode at any particular time. Table 1 provides further information on these registers.

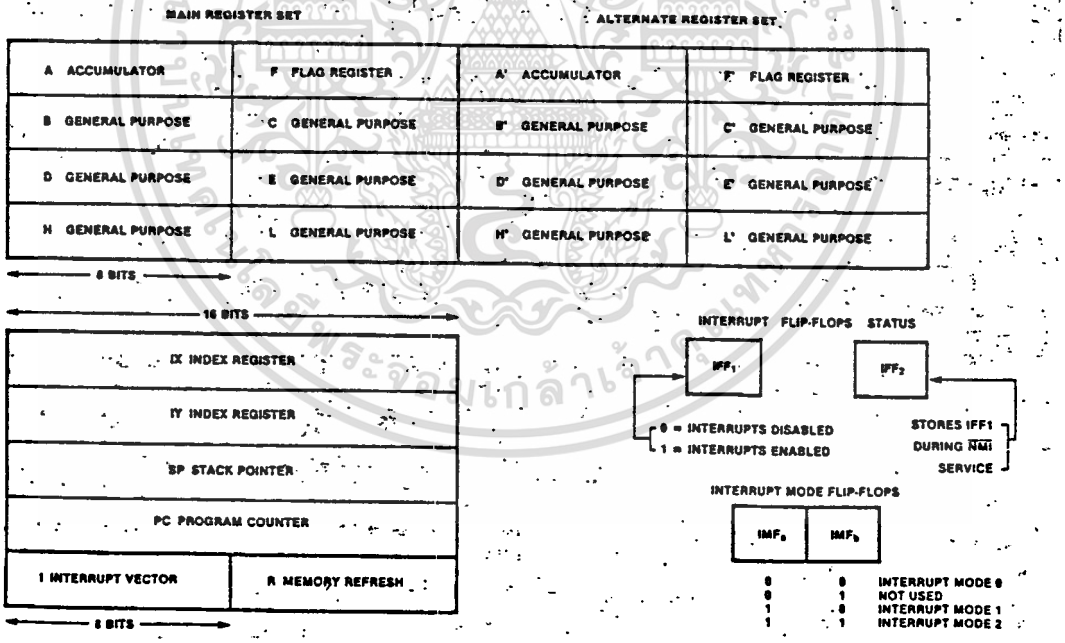


Figure 4. CPU Registers

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Table 1. Z80 CPU Registers

Register		Size (Bits)	Remarks
A, A'	Accumulator	8	Stores an operand or the results of an operation.
F, F'	Flags	8	See Instruction Set.
B, B'	General Purpose	8	Can be used separately or as a 16-bit register with C.
C, C'	General Purpose	8	See B, above.
D, D'	General Purpose	8	Can be used separately or as a 16-bit register with E.
E, E'	General Purpose	8	See D, above.
H, H'	General Purpose	8	Can be used separately or as a 16-bit register with L.
L, L'	General Purpose	8	See H, above.
			Note: The (B,C), (D,E), and (H,L) sets are combined as follows: B — High byte C — Low byte D — High byte E — Low byte H — High byte L — Low byte
I	Interrupt Register	8	Stores upper eight bits of memory address for vectored interrupt processing.
R	Refresh Register	8	Provides user-transparent dynamic memory refresh. Automatically incremented and placed on the address bus during each instruction fetch cycle.
IX	Index Register	16	Used for indexed addressing.
IY	Index Register	16	Used for indexed addressing.
SP	Stack Pointer	16	Holds address of the top of the stack. See Push or Pop in instruction set.
PC	Program Counter	16	Holds address of next instruction.
IFF_1-IFF_2	Interrupt Enable	Flip-Flops	Set or reset to indicate interrupt status (see Figure 4).
IMFa-IMFb	Interrupt Mode	Flip-Flops	Reflect Interrupt mode (see Figure 4).

INTERRUPTS: GENERAL OPERATION

The CPU accepts two interrupt input signals: $\overline{NMI}$ and $\overline{INT}$. The $\overline{NMI}$ is a non-maskable interrupt and has the highest priority. $\overline{INT}$ is a lower priority interrupt and it requires that interrupts be enabled in software in order to operate. $\overline{INT}$ can be connected to multiple peripheral devices in a wired-OR configuration.

The Z80 has a single response mode for interrupt service for the non-maskable interrupt. The maskable interrupt, $\overline{INT}$, has three programmable response modes available. These are:

- Mode 0 — similar to the 8080 microprocessor.
- Mode 1 — Peripheral Interrupt service, for use with non-8080/Z80 systems.
- Mode 2 — a vectored interrupt scheme, usually daisy-chained, for use with Z80 Family and compatible peripheral devices.

The CPU services interrupts by sampling the $\overline{NMI}$ and $\overline{INT}$ signals at the rising edge of the last clock of an instruction. Further interrupt service processing depends upon the type of interrupt that was detected. Details on interrupt responses are shown in the CPU Timing Section.

Non-Maskable Interrupt ($\overline{NMI}$). The nonmaskable interrupt cannot be disabled by program control and therefore will be accepted at all times by the CPU. $\overline{NMI}$ is usually reserved for servicing only the highest priority type interrupts, such as that for orderly shutdown after power failure has been detected. After recognition of the $\overline{NMI}$ signal (providing $\overline{BUSREQ}$ is not active), the CPU jumps to restart location 0066H. Normally, software starting at this address contains the interrupt service routine.

Maskable Interrupt ($\overline{INT}$). Regardless of the interrupt mode set by the user, the Z80 response to a maskable interrupt input follows a common timing cycle. After the

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

interrupt has been detected by the CPU (provided that interrupts are enabled and $\overline{BUSREQ}$ is not active) a special interrupt processing cycle begins. This is a special fetch ($\overline{M1}$) cycle in which $\overline{IORQ}$ becomes active rather than $\overline{MREQ}$, as in a normal $\overline{M1}$ cycle. In addition, this special $\overline{M1}$ cycle is automatically extended by two $\overline{WAIT}$ states, to allow for the time required to acknowledge the interrupt request.

Mode 0 Interrupt Operation. This mode is similar to the 8080 microprocessor interrupt service procedures. The interrupting device places an instruction on the data bus. This is normally a Restart instruction, which will initiate a call to the selected one of eight restart locations in page zero of memory. Unlike the 8080, the Z80 CPU responds to the Call instruction with only one interrupt acknowledge cycle followed by two memory read cycles.

Mode 1 Interrupt Operation. Mode 1 operation is very similar to that for the $\overline{NMI}$. The principal difference is that the Mode 1 interrupt has only one restart location, 0038H.

Mode 2 Interrupt Operation. This interrupt mode has been designed to utilize most effectively the capabilities of the Z80 microprocessor and its associated peripheral family. The interrupting peripheral device selects the starting address of the interrupt service routine. It does this by placing an 8-bit vector on the data bus during the interrupt acknowledge cycle. The CPU forms a pointer using this byte as the lower 8 bits and the contents of the I register as the upper 8 bits. This points to an entry in a table of addresses for interrupt service routines. The CPU then jumps to the routine at that address. This flexibility in selecting the interrupt service routine address allows the peripheral device to use several different types of service routines. These routines may be located at any available location in memory. Since the interrupting device supplies the low-order byte of the 2-byte vector, bit 0 (A_0) must be a zero.

Interrupt Priority (Daisy Chaining and Nested Interrupts). The interrupt priority of each peripheral device is determined by its physical location within a daisy-chain configuration. Each device in the chain has an interrupt enable input line (IEI) and an interrupt enable output line (IEO), which is fed to the next lower priority device. The first device in the daisy chain has its IEI input hardwired to a High level. The first device has highest priority, while each succeeding device has a corresponding lower priority. This arrangement permits the CPU to select the highest priority interrupt from several simultaneously interrupting peripherals.

The interrupting device disables its IEO line to the next lower priority peripheral until it has been serviced. After servicing, its IEO line is raised, allowing lower priority peripherals to demand interrupt servicing.

The Z80 CPU will nest (queue) any pending interrupts or interrupts received while a selected peripheral is being serviced.

Interrupt Enable/Disable Operation. Two flip-flops, IFF_1 and IFF_2, referred to in the register description, are used to signal the CPU interrupt status. Operation of the two flip-flops is described in Table 2. For more details, refer to the *Z80 CPU Technical Manual* (03-0029-01) and *Z80 Assembly Language Programming Manual* (03-0002-01).

Table 2. State of Flip-Flops

Action	IFF_1	IFF_2	Comments
CPU Reset	0	0	Maskable interrupt INT disabled
DI instruction execution	0	0	Maskable interrupt INT disabled
EI instruction execution	1	1	Maskable interrupt INT enabled
LD A,I instruction execution	•	•	$IFF_2 \rightarrow$ Parity flag
LD A,R instruction execution	•	•	$IFF_2 \rightarrow$ Parity flag
Accept NMI	0	IFF_1	$IFF_1 \rightarrow IFF_2$ (Maskable interrupt INT disabled)
RETN instruction execution	IFF_2	•	$IFF_2 \rightarrow IFF_1$ at completion of an NMI service routine.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

INSTRUCTION SET

The Z80 microprocessr has one of the most powerful and versatile instruction sets available in any 8-bit microprocessor. It includes such unique operations as a block move for fast, efficient data transfers within memory, or between memory and I/O. It also allows operations on any bit in any location in memory.

The following is a summary of the Z80 instruction set which shows the assembly language mnemonic, the operation, the flag status, and gives comments on each instruction. For an explanation of flag notations and symbols for mnemonic tables, see the Symbolic Notations section which follows these tables. The *Z80 CPU Technical Manual* (03-0029-01), the *Programmer's Reference Guide* (03-0012-03), and *Assembly Language Programming Manual* (03-0002-01) contain significantly more details for programming use.

The instructions are divided into the following categories:

- 8-bit loads
- 16-bit loads
- Exchanges, block transfers, and searches
- 8-bit arithmetic and logic operations
- General-purpose arithmetic and CPU control
- 16-bit arithmetic operations
- Rotates and shifts
- Bit set, reset, and test operations
- Jumps
- Calls, returns, and restarts
- Input and output operations

A variety of addressing modes are implemented to permit efficient and fast data transfer between various registers, memory locations, and input/output devices. These addressing modes include:

- Immediate
- Immediate extended
- Modified page zero
- Relative
- Extended
- Indexed
- Register
- Register indirect
- Implied
- Bit

8-BIT LOAD GROUP

Mnemonic	Symbolic Operation	Flags S	Z	H	P/V	N	C	Opcode 76	543	210	Hex	No. of Bytes	No. of M Cycles	No. of T States	Comments
LD r, r'	r ← r'	•	•	X	•	X	•	•	•	01	r	r'		1	1	4	r, r' Reg.
LD r, n	r ← n	•	•	X	•	X	•	•	•	00	r	110		2	2	7	000 B
											← n →						001 C
LD r, (HL)	r ← (HL)	•	•	X	•	X	•	•	•	01	r	110		1	2	7	010 D
LD r, (IX + d)	r ← (IX + d)	•	•	X	•	X	•	•	•	11	011	101	DD	3	5	19	011 E
										01	r	110					100 H
											← d →						101 L
LD r, (IY + d)	r ← (IY + d)	•	•	X	•	X	•	•	•	11	111	101	FD	3	5	19	111 A
										01	r	110					
											← d →						
LD (HL), r	(HL) ← r	•	•	X	•	X	•	•	•	01	110	r		1	2	7	
LD (IX + d), r	(IX + d) ← r	•	•	X	•	X	•	•	•	11	011	101	DD	3	5	19	
										01	110	r					
											← d →						
LD (IY + d), r	(IY + d) ← r	•	•	X	•	X	•	•	•	11	111	101	FD	3	5	19	
										01	110	r					
											← d →						
LD (HL), n	(HL) ← n	•	•	X	•	X	•	•	•	00	110	110	36	2	3	10	
											← n →						
LD (IX + d), n	(IX + d) ← n	•	•	X	•	X	•	•	•	11	011	101	DD	4	5	19	
										00	110	110	36				
											← d →						
											← n →						

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

8-BIT LOAD GROUP (Continued)

Mnemonic	Symbolic Operation	S	Z	H	P/V	N	C	76	543	210	Hex	No. of Bytes	No. of M Cycles	No. of T States	Comments
LD (IY+d), n	(IY+d) ← n	•	•	X	•	X	•	•	•	11	111	101	FD	4	5	19	
										00	110	110	36				
											←d→						
											←n→						
LD A, (BC)	A ← (BC)	•	•	X	•	X	•	•	•	00	001	010	0A	1	2	7	
LD A, (DE)	A ← (DE)	•	•	X	•	X	•	•	•	00	011	010	1A	1	2	7	
LD A, (nn)	A ← (nn)	•	•	X	•	X	•	•	•	00	111	010	3A	3	4	13	
											←n→						
											←n→						
LD (BC), A	(BC) ← A	•	•	X	•	X	•	•	•	00	000	010	02	1	2	7	
LD (DE), A	(DE) ← A	•	•	X	•	X	•	•	•	00	010	010	12	1	2	7	
LD (nn), A	(nn) ← A	•	•	X	•	X	•	•	•	00	110	010	32	3	4	13	
											←n→						
											←n→						
LD A, I	A ← I	‡	‡	X	0	X	IFF	0	•	11	101	101	ED	2	2	9	
										01	010	111	57				
LD A, R	A ← R	‡	‡	X	0	X	IFF	0	•	11	101	101	ED	2	2	9	
										01	011	111	5F				
LD I, A	I ← A	•	•	X	•	X	•	•	•	11	101	101	ED	2	2	9	
										01	000	111	47				
LD R, A	R ← A	•	•	X	•	X	•	•	•	11	101	101	ED	2	2	9	
										01	001	111	4F				

NOTE: IFF, the content of the interrupt enable flip-flop, (IFF_2), is copied into the P/V flag.

16-BIT LOAD GROUP

Mnemonic	Symbolic Operation	S	Z	H	P/V	N	C	76	543	210	Hex	No. of Bytes	No. of M Cycles	No. of T States	Comments	
LD dd, nn	dd ← nn	•	•	X	•	X	•	•	•	00	dd0	001		3	3	10	dd	Pair
											←n→						00	BC
											←n→						01	DE
LD IX, nn	IX ← nn	•	•	X	•	X	•	•	•	11	011	101	DD	4	4	14	10	HL
										00	100	001	21				11	SP
											←n→							
											←n→							
LD IY, nn	IY ← nn	•	•	X	•	X	•	•	•	11	111	101	FD	4	4	14		
										00	100	001	21					
											←n→							
											←n→							
LD HL, (nn)	H ← (nn+1)	•	•	X	•	X	•	•	•	00	101	010	2A	3	5	16		
	L ← (nn)										←n→							
											←n→							
LD dd, (nn)	dd_H ← (nn+1)	•	•	X	•	X	•	•	•	11	101	101	ED	4	6	20		
	dd_L ← (nn)									01	dd1	011						
											←n→							
											←n→							

NOTE: $(PAIR)_H$, $(PAIR)_L$ refer to high order and low order eight bits of the register pair respectively. e.g., BC_L = C, AF_H = A.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

16-BIT LOAD GROUP (Continued)

Mnemonic	Symbolic Operation	S	Z	H	P/V	N	C	76	543	210	Hex	No. of Bytes	No. of M Cycles	No. of T States	Comments
LD IX, (nn)	$IX_H \leftarrow (nn+1)$	•	•	X	•	X	•	•	•	11	011	101	DD	4	6	20	
	$IX_L \leftarrow (nn)$									00	101	010	2A				
										← n →							
										← n →							
LD IY, (nn)	$IY_H \leftarrow (nn+1)$	•	•	X	•	X	•	•	•	11	111	101	FD	4	6	20	
	$IY_L \leftarrow (nn)$									00	101	010	2A				
										← n →							
										← n →							
LD (nn), HL	$(nn+1) \leftarrow H$	•	•	X	•	X	•	•	•	00	100	010	22	3	5	16	
	$(nn) \leftarrow L$										← n →						
											← n →						
LD (nn), dd	$(nn+1) \leftarrow dd_H$	•	•	X	•	X	•	•	•	11	101	101	ED	4	6	20	
	$(nn) \leftarrow dd_L$									01	dd0	011					
											← n →						
											← n →						
LD (nn), IX	$(nn+1) \leftarrow IX_H$	•	•	X	•	X	•	•	•	11	011	101	DD	4	6	20	
	$(nn) \leftarrow IX_L$									00	100	010	22				
											← n →						
											← n →						
LD (nn), IY	$(nn+1) \leftarrow IY_H$	•	•	X	•	X	•	•	•	11	111	101	FD	4	6	20	
	$(nn) \leftarrow IY_L$									00	100	010	22				
											← n →						
											← n →						
LD SP, HL	$SP \leftarrow HL$	•	•	X	•	X	•	•	•	11	111	001	F9	1	1	6	
LD SP, IX	$SP \leftarrow IX$	•	•	X	•	X	•	•	•	11	011	101	DD	2	2	10	
										11	111	001	F9				
LD SP, IY	$SP \leftarrow IY$	•	•	X	•	X	•	•	•	11	111	101	FD	2	2	10	
										11	111	001	F9				
PUSH qq	$(SP-2) \leftarrow qq_L$	•	•	X	•	X	•	•	•	11	qq0	101		1	3	11	
	$(SP-1) \leftarrow qq_H$																
	$SP \leftarrow SP-2$																
PUSH IX	$(SP-2) \leftarrow IX_L$	•	•	X	•	X	•	•	•	11	011	101	DD	2	4	15	
	$(SP-1) \leftarrow IX_H$									11	100	101	E5				
	$SP \leftarrow SP-2$																
PUSH IY	$(SP-2) \leftarrow IY_L$	•	•	X	•	X	•	•	•	11	111	101	FD	2	4	15	
	$(SP-1) \leftarrow IY_H$									11	100	101	E5				
	$SP \leftarrow SP-2$																
POP qq	$qq_H \leftarrow (SP+1)$	•	•	X	•	X	•	•	•	11	qq0	001		1	3	10	
	$qq_L \leftarrow (SP)$																
	$SP \leftarrow SP+2$																
POP IX	$IX_H \leftarrow (SP+1)$	•	•	X	•	X	•	•	•	11	011	101	DD	2	4	14	
	$IX_L \leftarrow (SP)$									11	100	001	E1				
	$SP \leftarrow SP+2$																
POP IY	$IY_H \leftarrow (SP+1)$	•	•	X	•	X	•	•	•	11	111	101	FD	2	4	14	
	$IY_L \leftarrow (SP)$									11	100	001	E1				
	$SP \leftarrow SP+2$																

qq	Pair
00	BC
01	DE
10	HL
11	AF

NOTE: $(PAIR)_H$, $(PAIR)_L$ refer to high order and low order eight bits of the register pair respectively, e.g., BC_L = C, AF_H = A.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

EXCHANGE, BLOCK TRANSFER, BLOCK SEARCH GROUPS

Mnemonic	Symbolic Operation	Flags S	Z	H	P/V	N	C	Opcode 76	543	210	Hex	No. of Bytes	No. of M Cycles	No. of T States	Comments
EX DE, HL	DE ↔ HL	•	•	X	•	X	•	•	•	11	101	011	EB	1	1	4	
EX AF, AF′	AF ↔ AF′	•	•	X	•	X	•	•	•	00	001	000	08	1	1	4	
EXX	BC ↔ BC′	•	•	X	•	X	•	•	•	11	011	001	D9	1	1	4	Register bank and auxiliary register bank exchange
	DE ↔ DE′																
	HL ↔ HL′																
EX (SP), HL	H ↔ (SP + 1)	•	•	X	•	X	•	•	•	11	100	011	E3	1	5	19	
	L ↔ (SP)																
EX (SP), IX	IX_H ↔ (SP + 1)	•	•	X	•	X	•	•	•	11	011	101	DD	2	6	23	
	IX_L ↔ (SP)									11	100	011	E3				
EX (SP), IY	IY_H ↔ (SP + 1)	•	•	X	•	X	•	•	•	11	111	101	FD	2	6	23	
	IYL ↔ (SP)									11	100	011	E3				
					①												
LDI	(DE) ← (HL)	•	•	X	0	X	↕	0	•	11	101	101	ED	2	4	16	Load (HL) into (DE), increment the pointers and decrement the byte counter (BC)
	DE ← DE + 1									10	100	000	A0				
	HL ← HL + 1																
	BC ← BC − 1																
					②												
LDIR	(DE) ← (HL)	•	•	X	0	X	0	0	•	11	101	101	ED	2	5	21	If BC ≠ 0
	DE ← DE + 1									10	110	000	B0	2	4	16	If BC = 0
	HL ← HL + 1																
	BC ← BC − 1																
	Repeat until																
	BC = 0																
					①												
LDD	(DE) ← (HL)	•	•	X	0	X	↕	0	•	11	101	101	ED	2	4	16	
	DE ← DE − 1									10	101	000	A8				
	HL ← HL − 1																
	BC ← BC − 1																
					②												
LDDR	(DE) ← (HL)	•	•	X	0	X	0	0	•	11	101	101	ED	2	5	21	If BC ≠ 0
	DE ← DE − 1									10	111	000	B8	2	4	16	If BC = 0
	HL ← HL − 1																
	BC ← BC − 1																
	Repeat until																
	BC = 0																
		③			①												
CPI	A − (HL)	↕	↕	X	↕	X	↕	1	•	11	101	101	ED	2	4	16	
	HL ← HL + 1									10	100	001	A1				
	BC ← BC − 1																

NOTE: ① P/V flag is 0 if the result of BC − 1 = 0, otherwise P/V = 1.
② P/V flag is 0 only at completion of instruction.
③ Z flag is 1 if A = HL, otherwise Z = 0.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

EXCHANGE, BLOCK TRANSFER, BLOCK SEARCH GROUPS (Continued)

Mnemonic	Symbolic Operation	S	Z	H	P/V	N	C	76	543	210	Hex	No. of Bytes	No. of M Cycles	No. of T States	Comments
			③		①										
CPIR	A – (HL)	‡	‡	X	‡	X	‡	1	•	11	101	101	ED	2	5	21	If BC ≠ 0 and A ≠ (HL)
	HL ← HL + 1									10	110	001	B1	2	4	16	If BC = 0 or A = (HL)
	BC ← BC – 1																
	Repeat until																
	A = (HL) or																
	BC = 0																
			③		①										
CPD	A – (HL)	‡	‡	X	‡	X	‡	1	•	11	101	101	ED	2	4	16	
	HL ← HL – 1									10	101	001	A9				
	BC ← BC – 1																
			③		①										
CPDR	A – (HL)	‡	‡	X	‡	X	‡	1	•	11	101	101	ED	2	5	21	If BC ≠ 0 and A ≠ (HL)
	HL ← HL – 1									10	111	001	B9	2	4	16	If BC = 0 or A = (HL)
	BC ← BC – 1																
	Repeat until																
	A = (HL) or																
	BC = 0																

NOTE: ① P/V flag is 0 if the result of BC – 1 = 0, otherwise P/V = 1.
② P/V flag is 0 only at completion of instruction.
③ Z flag is 1 if A = (HL), otherwise Z = 0.

8-BIT ARITHMETIC AND LOGICAL GROUP

Mnemonic	Symbolic Operation	S	Z	H	P/V	N	C	76	543	210	Hex	No. of Bytes	No. of M Cycles	No. of T States	Comments
ADD A, r	A ← A + r	‡	‡	X	‡	V	0	‡	10	000	r		1	1	4
ADD A, n	A ← A + n	‡	‡	X	‡	V	0	‡	11	000	110		2	2	7
									← n →						
ADD A, (HL)	A ← A + (HL)	‡	‡	X	‡	V	0	‡	10	000	110		1	2	7
ADD A, (IX + d)	A ← A + (IX + d)	‡	‡	X	‡	V	0	‡	11	011	101	DD	3	5	19
									10	000	110				
									← d →						
ADD A, (IY + d)	A ← A + (IY + d)	‡	‡	X	‡	V	0	‡	11	111	101	FD	3	5	19
									10	000	110				
									← d →						
ADC A, s	A ← A + s + CY	‡	‡	X	‡	V	0	‡		001					
SUB s	A ← A – s	‡	‡	X	‡	V	1	‡		010					
SBC A, s	A ← A – s – CY	‡	‡	X	‡	V	1	‡		011					
AND s	A ← A ∧ s	‡	‡	X	1	X	P	0	0		100				
OR s	A ← A ∨ s	‡	‡	X	0	X	P	0	0		110				
XOR s	A ← A ⊕ s	‡	‡	X	0	X	P	0	0		101				
CP s	A – s	‡	‡	X	‡	X	V	1	‡		111				

s is any of r, n, (HL), (IX + d), (IY + d) as shown for ADD instruction. The indicated bits replace the 000 in the ADD set above.

r	Reg.
000	B
001	C
010	D
011	E
100	H
101	L
111	A

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

8-BIT ARITHMETIC AND LOGICAL GROUP (Continued)

Mnemonic	Symbolic Operation	S	Z		H		P/V	N	C	76	543	210	Hex	No. of Bytes	No. of M Cycles	No. of T States	Comments
INC r	r ← r+1	‡	‡	X	‡	X	V	0	•	00	r	100		1	1	4	
INC (HL)	(HL) ←																
	(HL)+1	‡	‡	X	‡	X	V	0	•	00	110	100		1	3	11	
INC (IX+d)	(IX+d) ←	‡	‡	X	‡	X	V	0	•	11	011	101	DD	3	6	23	
	(IX+d)+1									00	110	100					
										← d →							
INC (IY+d)	(IY+d) ←	‡	‡	X	‡	X	V	0	•	11	111	101	FD	3	6	23	
	(IY+d)+1									00	110	100					
										← d →							
DEC m	m ← m−1	‡	‡	X	‡	X	V	1	•			101					

NOTE: m is any of r, (HL), (IX+d), (IY+d) as shown for INC. DEC same format and states as INC. Replace 100 with 101 in opcode.

GENERAL-PURPOSE ARITHMETIC AND CPU CONTROL GROUPS

Mnemonic	Symbolic Operation	S	Z		H		P/V	N	C	76	543	210	Hex	No. of Bytes	No. of M Cycles	No. of T States	Comments
DAA	@	‡	‡	X	‡	X	P	•	‡	00	100	111	27	1	1	4	Decimal adjust accumulator.
CPL	A ← Ā	•	•	X	1	X	•	1	•	00	101	111	2F	1	1	4	Complement accumulator (one's complement).
NEG	A ← 0 − A	‡	‡	X	‡	X	V	1	‡	11	101	101	ED	2	2	8	Negate acc. (two's complement).
										01	000	100	44				
CCF	CY ← CY	•	•	X	X	X	•	0	‡	00	111	111	3F	1	1	4	Complement carry flag.
SCF	CY ← 1	•	•	X	0	X	•	0	1	00	110	111	37	1	1	4	Set carry flag.
NOP	No operation	•	•	X	•	X	•	•	•	00	000	000	00	1	1	4	
HALT	CPU halted	•	•	X	•	X	•	•	•	01	110	110	76	1	1	4	
DI ★	IFF ← 0	•	•	X	•	X	•	•	•	11	110	011	F3	1	1	4	
EI ★	IFF ← 1	•	•	X	•	X	•	•	•	11	111	011	FB	1	1	4	
IM 0	Set interrupt	•	•	X	•	X	•	•	•	11	101	101	ED	2	2	8	
	mode 0									01	000	110	46				
IM 1	Set interrupt	•	•	X	•	X	•	•	•	11	101	101	ED	2	2	8	
	mode 1									01	010	110	56				
IM 2	Set interrupt	•	•	X	•	X	•	•	•	11	101	101	ED	2	2	8	
	mode 2									01	011	110	5E				

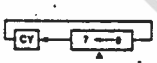
NOTES: @ converts accumulator content into packed BCD following add or subtract with packed BCD operands.
IFF indicates the interrupt enable flip-flop.
CY indicates the carry flip-flop.
★ indicates interrupts are not sampled at the end of EI or DI.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

16-BIT ARITHMETIC GROUP

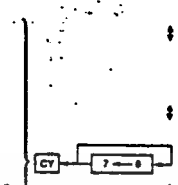
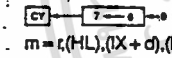
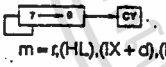
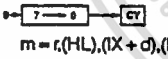
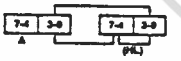
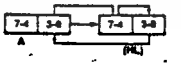
Mnemonic	Symbolic Operation	Flags S	Z	H	P/V	N	C	Opcode 76	543	210	Hex	No. of Bytes	No. of M Cycles	No. of T States	Comments
ADD HL, ss	HL ← HL + ss	•	•	X	X	X	•	0	‡	00	ss1	001		1	3	11	ss Reg. 00 BC 01 DE 10 HL 11 SP
ADC HL, ss	HL ← HL + ss + CY	‡	‡	X	X	X	V	0	‡	11	101	101	ED	2	4	15	
										01	ss1	010					
SBC HL, ss	HL ← HL − ss − CY	‡	‡	X	X	X	V	1	‡	11	101	101	ED	2	4	15	
										01	ss0	010					
ADD IX, pp	IX ← IX + pp	•	•	X	X	X	•	0	‡	11	011	101	DD	2	4	15	pp Reg. 00 BC 01 DE 10 IX 11 SP
										01	pp1	001					
ADD IY, rr	IY ← IY + rr	•	•	X	X	X	•	0	‡	11	111	101	FD	2	4	15	rr Reg. 00 BC 01 DE 10 IY 11 SP
										00	rr1	001					
INC ss	ss ← ss + 1	•	•	X	•	X	•	•	•	00	ss0	011		1	1	6	
INC IX	IX ← IX + 1	•	•	X	•	X	•	•	•	11	011	101	DD	2	2	10	
										00	100	011	23				
INC IY	IY ← IY + 1	•	•	X	•	X	•	•	•	11	111	101	FD	2	2	10	
										00	100	011	23				
DEC ss	ss ← ss − 1	•	•	X	•	X	•	•	•	00	ss1	011		1	1	6	
DEC IX	IX ← IX − 1	•	•	X	•	X	•	•	•	11	011	101	DD	2	2	10	
										00	101	011	2B				
DEC IY	IY ← IY − 1	•	•	X	•	X	•	•	•	11	111	101	FD	2	2	10	
										00	101	011	2B				

ROTATE AND SHIFT GROUP

Mnemonic	Symbolic Operation	Flags S	Z	H	P/V	N	C	Opcode 76	543	210	Hex	No. of Bytes	No. of M Cycles	No. of T States	Comments
RLCA		•	•	X	0	X	•	0	‡	00	000	111	07	1	1	4	Rotate left circular accumulator
RLA		•	•	X	0	X	•	0	‡	00	010	111	17	1	1	4	Rotate left accumulator
RRCA		•	•	X	0	X	•	0	‡	00	001	111	0F	1	1	4	Rotate right circular accumulator
RRA		•	•	X	0	X	•	0	‡	00	011	111	1F	1	1	4	Rotate right accumulator

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ROTATE AND SHIFT GROUP (Continued)

Mnemonic	Symbolic Operation	S	Z	H	P/V	N	C	76	543	210	Hex	No. of Bytes	No. of M Cycles	No. of T States	Comments
RLC r		‡	‡	X	0	X	P	0	•	‡	11	001	011	CB	2	2	8	Rotate left circular register r.
											00	[000]	r					
RLC (HL)		‡	‡	X	0	X	P	0		‡	11	001	011	CB	2	4	15	
											00	000	110					
RLC (IX+d)		‡	‡	X	0	X	P	0		‡	11	011	101	DD	4	6	23	
	r,(HL),(IX+d),(IY+d)										11	001	011	CB				
												←d→						
											00	[000]	110					
RLC (IY+d)		‡	‡	X	0	X	P	0		‡	11	111	101	FD	4	6	23	
											11	001	011	CB				
												←d→						
											00	[000]	110					
RL m		‡	‡	X	0	X	P	0		‡		[010]						Instruction format and states are as shown for RLCs. To form new opcode replace [000] or RLCs with shown code.
	m = r,(HL),(IX+d),(IY+d)																	
RRC m		‡	‡	X	0	X	P	0		‡		[001]						
	m = r,(HL),(IX+d),(IY+d)																	
RR m		‡	‡	X	0	X	P	0		‡		[011]						
	m = r,(HL),(IX+d),(IY+d)																	
SLA m		‡	‡	X	0	X	P	0		‡		[100]						
	m = r,(HL),(IX+d),(IY+d)																	
SRA m		‡	‡	X	0	X	P	0		‡		[101]						
	m = r,(HL),(IX+d),(IY+d)																	
SRL m		‡	‡	X	0	X	P	0		‡		[111]						
	m = r,(HL),(IX+d),(IY+d)																	
RLD		‡	‡	X	0	X	P	0		•	11	101	101	ED	2	5	18	Rotate digit left and right between the accumulator and location (HL). The content of the upper half of the accumulator is unaffected.
											01	101	111	6F				
RRD		‡	‡	X	0	X	P	0		•	11	101	101	ED	2	5	18	
											01	100	111	67				

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

BIT SET, RESET AND TEST GROUP

Mnemonic	Symbolic Operation	Flags S	Z	H	P/V	N	C	Opcode 76	543	210	Hex	No. of Bytes	No. of M Cycles	No. of T States	Comments
BIT b, r	$Z \leftarrow r_b$	X	‡	X 1	X	X	0	• 11	001	011	CB	2	2	8	r Reg.
								01	b	r					000 B
BIT b, (HL)	$Z \leftarrow (HL)_b$	X	‡	X 1	X	X	0	• 11	001	011	CB	2	3	12	001 C
								01	b	110					010 D
BIT b,(IX+d)$_b$	$Z \leftarrow (IX+d)_b$	X	‡	X 1	X	X	0	• 11	011	101	DD	4	5	20	011 E
								11	001	011	CB				100 H
									←d→						101 L
								01	b	110					111 A
															b Bit Tested
BIT b, (IY+d)$_b$	$Z \leftarrow (IY+d)_b$	X	‡	X 1	X	X	0	• 11	111	101	FD	4	5	20	000 0
								11	001	011	CB				001 1
									←d→						010 2
								01	b	110					011 3
SET b, r	$r_b \leftarrow 1$	•	•	X •	X	•	•	• 11	001	011	CB	2	2	8	100 4
								[11]	b	r					101 5
SET b, (HL)	$(HL)_b \leftarrow 1$	•	•	X •	X	•	•	• 11	001	011	CB	2	4	15	110 6
								[11]	b	110					111 7
SET b, (IX+d)	$(IX+d)_b \leftarrow 1$	•	•	X •	X	•	•	• 11	011	101	DD	4	6	23	
								11	001	011	CB				
									←d→						
								[11]	b	110					
SET b, (IY+d)	$(IY+d)_b \leftarrow 1$	•	•	X •	X	•	•	• 11	111	101	FD	4	6	23	
								11	001	011	CB				
									←d→						
								[11]	b	110					
RES b, m	$m_b \leftarrow 0$ m≡r, (HL), (IX+d), (IY+d)	•	•	X •	X	•	•	• [10]							To form new opcode replace [11] of SET b, s with [10]. Flags and time states for SET instruction.

NOTE: The notation m_b indicates location m, bit b (0 to 7).

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

JUMP GROUP

Mnemonic	Symbolic Operation	Flags S	Z	H	P/V	N	C	Opcode 76	543	210	Hex	No. of Bytes	No. of M Cycles	No. of T States	Comments
JP nn	PC ← nn	•	•	X	•	X	•	•	•	11	000	011	C3	3	3	10	cc Condition
									← n →								000 NZ (non-zero)
									← n →								001 Z (zero)
JP cc, nn	If condition cc	•	•	X	•	X	•	•	•	11	cc	010		3	3	10	010 NC (non-carry)
	is true PC ← nn,								← n →								011 C (carry)
	otherwise								← n →								100 PO (parity odd)
	continue																101 PE (parity even)
JR e	PC ← PC + e	•	•	X	•	X	•	•	•	00	011	000	18	2	3	12	110 P (sign positive)
									← e − 2 →								111 M (sign negative)
JR C, e	If C = 0,	•	•	X	•	X	•	•	•	00	111	000	38	2	2	7	If condition not met.
	continue								← e − 2 →								
	If C = 1,													2	3	12	If condition is met.
	PC ← PC + e																
JR NC, e	IF C = 1,	•	•	X	•	X	•	•	•	00	110	000	30	2	2	7	If condition not met.
	continue								← e − 2 →								
	If C = 0,													2	3	12	If condition is met.
	PC ← PC + e																
JP Z, e	If Z = 0	•	•	X	•	X	•	•	•	00	101	000	28	2	2	7	If condition not met.
	continue								← e − 2 →								
	If Z = 1,													2	3	12	If condition is met.
	PC ← PC + e																
JR NZ, e	If Z = 1,	•	•	X	•	X	•	•	•	00	100	000	20	2	2	7	If condition not met.
	continue								← e − 2 →								
	If Z = 0,													2	3	12	If condition is met.
	PC ← PC + e																
JP (HL)	PC ← HL	•	•	X	•	X	•	•	•	11	101	001	E9	1	1	4	
JP (IX)	PC ← IX	•	•	X	•	X	•	•	•	11	011	101	DD	2	2	8	
										11	101	001	E9				
JP (IY)	PC ← IY	•	•	X	•	X	•	•	•	11	111	101	FD	2	2	8	
										11	101	001	E9				
DJNZ, e	B ← B − 1	•	•	X	•	X	•	•	•	00	010	000	10	2	2	8	If B = 0
	If B = 0,								← e − 2 →								
	continue																
	If B≠0,													2	3	13	If B≠0.
	PC ← PC + e																

NOTES: e represents the extension in the relative addressing mode.
e is a signal two's complement number in the range < −126, 129 >.
e − 2 in the opcode provides an effective address of pc + e as PC is incremented by 2 prior to the addition of e.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

CALL AND RETURN GROUP

Mnemonic	Symbolic Operation	S	Z	H	P/V	N	C	76	543	210	Hex	No. of Bytes	No. of M Cycles	No. of T States	Comments
CALL nn	$(SP-1)\leftarrow PC_H$ $(SP-2)\leftarrow PC_L$ $PC\leftarrow nn$,	•	•	X	•	X	•	11	001 ←n→ ←n→	101	CD	3	5	17	
CALL cc,nn	If condition cc is false	•	•	X	•	X	•	11	cc ←n→	100		3	3	10	If cc is false.
	continue, otherwise same as CALL nn								←n→			3	5	17	If cc is true.
RET	$PC_L\leftarrow(SP)$ $PC_H\leftarrow(SP+1)$	•	•	X	•	X	•	11	001	001	C9	1	3	10	
RET cc	If condition cc is false	•	•	X	•	X	•	11	cc	000		1	1	5	If cc is false.
	continue, otherwise same as RET											1	3	11	If cc is true.
RETI	Return from interrupt	•	•	X	•	X	•	11 01	101 001	101 101	ED 4D	2	4	14	
RETN[1]	Return from non-maskable interrupt	•	•	X	•	X	•	11 01	101 000	101 101	ED 45	2	4	14	
RST p	$(SP-1)\leftarrow PC_H$ $(SP-2)\leftarrow PC_L$ $PC_H\leftarrow 0$ $PC_L\leftarrow p$	•	•	X	•	X	•	11	t	111		1	3	11	

cc	Condition
000	NZ (non-zero)
001	Z (zero)
010	NC (non-carry)
011	C (carry)
100	PO (parity odd)
101	PE (parity even)
110	P (sign positive)
111	M (sign negative)

t	p
000	00H
001	08H
010	10H
011	18H
100	20H
101	28H
110	30H
111	38H

NOTE: [1]RETN loads $IFF_2\rightarrow IFF_1$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

INPUT AND OUTPUT GROUP

Mnemonic	Symbolic Operation	Flags S	Z	H	P/V	N	C	Opcode 76	543	210	Hex	No. of Bytes	No. of M Cycles	No. of T States	Comments
IN A, (n)	A ← (n)	•	•	X	•	X	•	•	•	11	011	01	DB	2	3	11	n to $A_0 \sim A_7$
											← n →						Acc. to $A_8 \sim A_{15}$
IN r, (C)	r ← (C)	‡	‡	X	‡	X	P	0	•	11	101	101	ED	2	3	12	C to $A_0 \sim A_7$
	if r = 110 only the flags will be affected									01	r	000					B to $A_8 \sim A_{15}$
			①														
INI	(HL) ← (C)	X	‡	X	X	X	X	1	X	11	101	101	ED	2	4	16	C to $A_0 \sim A_7$
	B ← B − 1									10	100	010	A2				B to $A_8 \sim A_{15}$
	HL ← HL + 1		②														
INIR	(HL) ← (C)	X	1	X	X	X	X	1	X	11	101	101	ED	2	5	21	C to $A_0 \sim A_7$
	B ← B − 1									10	110	010	B2		(If B≠0)		B to $A_8 \sim A_{15}$
	HL ← HL + 1													2	4	16	
	Repeat until B = 0														(If B = 0)		
			①														
IND	(HL) ← (C)	X	‡	X	X	X	X	1	X	11	101	101	ED	2	4	16	C to $A_0 \sim A_7$
	B ← B − 1									10	101	010	AA				B to $A_8 \sim A_{15}$
	HL ← HL − 1		②														
INDR	(HL) ← (C)	X	1	X	X	X	X	1	X	11	101	101	ED	2	5	21	C to $A_0 \sim A_7$
	B ← B − 1									10	111	010	BA		(If B≠0)		B to $A_8 \sim A_{15}$
	HL ← HL − 1													2	4	16	
	Repeat until B = 0														(If B = 0)		
OUT (n), A	(n) ← A	•	•	X	•	X	•	•	•	11	010	011	D3	2	3	11	n to $A_0 \sim A_7$
											← n →						Acc. to $A_8 \sim A_{15}$
OUT (C), r	(C) ← r	•	•	X	•	X	•	•	•	11	101	101	ED	2	3	12	C to $A_0 \sim A_7$
										01	r	001					B to $A_8 \sim A_{15}$
			①														
OUTI	(C) ← (HL)	X	‡	X	X	X	X	1	X	11	101	101	ED	2	4	16	C to $A_0 \sim A_7$
	B ← B − 1									10	100	011	A3				B to $A_8 \sim A_{15}$
	HL ← HL + 1		②														
OTIR	(C) ← (HL)	X	1	X	X	X	X	1	X	11	101	101	ED	2	5	21	C to $A_0 \sim A_7$
	B ← B − 1									10	110	011	B3		(If B≠0)		B to $A_8 \sim A_{15}$
	HL ← HL + 1													2	4	16	
	Repeat until B = 0														(If B = 0)		
			①														
OUTD	(C) ← (HL)	X	‡	X	X	X	X	1	X	11	101	101	ED	2	4	16	C to $A_0 \sim A_7$
	B ← B − 1									10	101	011	AB				B to $A_8 \sim A_{15}$
	HL ← HL − 1																
			②														
OTDR	(C) ← (HL)	X	1	X	X	X	X	1	X	11	101	101	ED	2	5	21	C to $A_0 \sim A_7$
	B ← B − 1									10	111	011			(If B≠0)		B to $A_8 \sim A_{15}$
	HL ← HL − 1													2	4	16	
	Repeat until B = 0														(If B = 0)		

NOTES: ① If the result of B − 1 is zero, the Z flag is set; otherwise it is reset.
② Z flag is set upon instruction completion only.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

SUMMARY OF FLAG OPERATION

Instructions	D_7 S	Z		H		P/V	N	D_0 C	Comments
ADD A, s; ADC A, s	‡	‡	X	‡	X	V	0	‡	8-bit add or add with carry.
SUB s; SBC A, s; CP s; NEG	‡	‡	X	‡	X	V	1	‡	8-bit subtract, subtract with carry, compare and negate accumulator.
AND s	‡	‡	X	1	X	P	0	0	Logical operation.
OR s, XOR s	‡	‡	X	0	X	P	0	0	Logical operation.
INC s	‡	‡	X	‡	X	V	0	•	8-bit increment.
DEC s	‡	‡	X	‡	X	V	1	•	8-bit decrement.
ADD DD, ss	•	•	X	X	X	•	0	‡	16-bit add.
ADC HL, ss	‡	‡	X	X	X	V	0	‡	16-bit add with carry.
SBC HL, ss	‡	‡	X	X	X	V	1	‡	16-bit subtract with carry.
RLA; RLCA; RRA; RRCA	•	•	X	0	X	•	0	‡	Rotate accumulator.
RL m; RLC m; RR m; RRC m; SLA m; SRA m; SRL m	‡	‡	X	0	X	P	0	‡	Rotate and shift locations.
RLD; RRD	‡	‡	X	0	X	P	0	•	Rotate digit left and right.
DAA	‡	‡	X	‡	X	P	•	‡	Decimal adjust accumulator.
CPL	•	•	X	1	X	•	1	•	Complement accumulator.
SCF	•	•	X	0	X	•	0	1	Set carry.
CCF	•	•	X	X	X	•	0	‡	Complement carry.
IN r (C)	‡	‡	X	0	X	P	0	•	Input register indirect.
INI; IND; OUTI; OUTD	X	‡	X	X	X	X	1	•	Block input and output. Z = 1 if B ≠ 0, otherwise Z = 0.
INIR; INDR; OTIR; OTDR	X	1	X	X	X	X	1	•	Block input and output. Z = 1 if B ≠ 0, otherwise Z = 0.
LDI; LDD	X	X	X	0	X	‡	0	•	Block transfer instructions. P/V = 1 if BC ≠ 0, otherwise P/V = 0.
LDIR; LDDR	X	X	X	0	X	0	0	•	Block transfer instructions. P/V = 1 if BC ≠ 0, otherwise P/V = 0.
CPI; CPIR; CPD; CPDR	X	‡	X	X	X	‡	1	•	Block search instructions. Z = 1 if A = (HL), otherwise Z = 0. P/V = 1 if BC ≠ 0, otherwise P/V = 0.
LD A; I, LD A, R	‡	‡	X	0	X	IFF	0	•	IFF, the content of the interrupt enable flip-flop, (IFF_2), is copied into the P/V flag.
BIT b, s	X	‡	X	1	X	X	0	•	The state of bit b of location s is copied into the Z flag.

SYMBOLIC NOTATION

Symbol	Operation
S	Sign flag. S = 1 if the MSB of the result is 1.
Z	Zero flag. Z = 1 if the result of the operation is 0.
P/V	Parity or overflow flag. Parity (P) and overflow (V) share the same flag. Logical operations affect this flag with the parity of the result while arithmetic operations affect this flag with the overflow of the result. If P/V holds parity: P/V = 1 if the result of the operation is even; P/V = 0 if result is odd. If P/V holds overflow, P/V = 1 if the result of the operation produced an overflow. If P/V does not hold overflow, P/V = 0.
H*	Half-carry flag. H = 1 if the add or subtract operation produced a carry into, or borrow from, bit 4 of the accumulator.
N*	Add/Subtract flag. N = 1 if the previous operation was a subtract.
C	Carry/Link flag. C = 1 if the operation produced a carry from the MSB of the operand or result.

Symbol	Operation
‡	The flag is affected according to the result of the operation.
•	The flag is unchanged by the operation.
0	The flag is reset by the operation.
1	The flag is set by the operation.
X	The flag is indeterminate.
V	P/V flag affected according to the overflow result of the operation.
P	P/V flag affected according to the parity result of the operation.
r	Any one o the CPU registers A, B, C, D, E, H, L.
s	Any 8-bit location for all the addressing modes allowed for the particular instruction.
ss	Any 16-bit location for all the addressing modes allowed for that instruction.
ii	Any one of the two index registers IX or IY.
R	Refresh counter.
n	8-bit value in range < 0, 255 >.
nn	16-bit value in range < 0, 65535 >.

*H and N flags are used in conjunction with the decimal adjust instruction (DAA) to properly correct the result into packed BCD format following addition or subtraction using operands with packed BCD format.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

PIN DESCRIPTIONS

A_0-A_{15}. *Address Bus* (output, active High, 3-state). A_0-A_{15} form a 16-bit address bus. The Address Bus provides the address for memory data bus exchanges (up to 64K bytes) and for I/O device exchanges.

$\overline{BUSACK}$. *Bus Acknowledge* (output, active Low). Bus Acknowledge indicates to the requesting device that the CPU address bus, data bus, and control signals $\overline{MREQ}$, $\overline{IORQ}$, $\overline{RD}$, and $\overline{WR}$ have entered their high-impedance states. The external circuitry can now control these lines.

$\overline{BUSREQ}$. *Bus Request* (input, active Low). Bus Request has a higher priority than $\overline{NMI}$ and is always recognized at the end of the current machine cycle. $\overline{BUSREQ}$ forces the CPU address bus, data bus, and control signals $\overline{MREQ}$, $\overline{IORQ}$, $\overline{RD}$, and $\overline{WR}$ to go to a high-impedance state so that other devices can control these lines. $\overline{BUSREQ}$ is normally wired-OR and requires an external pullup for these applications. Extended $\overline{BUSREQ}$ periods due to extensive DMA operations can prevent the CPU from properly refreshing dynamic RAMs.

D_0-D_7. *Data Bus* (input/output, active High, 3-state). D_0-D_7 constitute an 8-bit bidirectional data bus, used for data exchanges with memory and I/O.

$\overline{Halt}$. *Halt State* (output, active Low). $\overline{HALT}$ indicates that the CPU has executed a Halt instruction and is awaiting either a nonmaskable or a maskable interrupt (with the mask enabled) before operation can resume. While halted, the CPU executes NOPs to maintain memory refresh.

$\overline{INT}$. *Interrupt Request* (input, active Low). Interrupt Request is generated by I/O devices. The CPU honors a request at the end of the current instruction if the internal software-controlled interrupt enable flip-flop (IFF) is enabled. $\overline{INT}$ is normally wired-OR and requires an external pullup for these applications.

$\overline{IORQ}$. *Input/Output Request* (output, active Low, 3-state). $\overline{IORQ}$ indicates that the lower half of the address bus holds a valid I/O address for an I/O read or write operation. $\overline{IORQ}$ is also generated concurrently with $\overline{M1}$ during an interrupt acknowledge cycle to indicate that an interrupt response vector can be placed on the data bus.

$\overline{M1}$. *Machine Cycle One* (output, active Low). $\overline{M1}$, together with $\overline{MREQ}$, indicates that the current machine cycle is the opcode fetch cycle of an instruction execution. $\overline{M1}$, together with $\overline{IORQ}$, indicates an interrupt acknowledge cycle.

$\overline{MREQ}$. *Memory Request* (output, active Low, 3-state). $\overline{MREQ}$ indicates that the address bus holds a valid address for a memory read or memory write operation.

$\overline{NMI}$. *Non-Maskable Interrupt* (input, negative edge-triggered). $\overline{NMI}$ has a higher priority than $\overline{INT}$. $\overline{NMI}$ is always recognized at the end of the current instruction, independent of the status of the interrupt enable flip-flop, and automatically forces the CPU to restart at location 0066H.

$\overline{RD}$. *Read* (output, active Low, 3-state). $\overline{RD}$ indicates that the CPU wants to read data from memory or an I/O device. The addressed I/O device or memory should use this signal to gate data onto the CPU data bus.

$\overline{RESET}$. *Reset* (input, active Low). $\overline{RESET}$ initializes the CPU as follows: it resets the interrupt enable flip-flop, clears the PC and Registers I and R, and sets the interrupt status to Mode 0. During reset time, the address and data bus go to a high-impedance state, and all control output signals go to the inactive state. Note that $\overline{RESET}$ must be active for a minimum of three full clock cycles before the reset operation is complete.

$\overline{RFSH}$. *Refresh* (output, active Low). $\overline{RFSH}$, together with $\overline{MREQ}$, indicates that the lower seven bits of the system's address bus can be used as a refresh address to the system's dynamic memories.

$\overline{WAIT}$. *Wait* (input, active Low). $\overline{WAIT}$ indicates to the CPU that the addressed memory or I/O devices are not ready for a data transfer. The CPU continues to enter a Wait state as long as this signal is active. Extended $\overline{WAIT}$ periods can prevent the CPU from refreshing dynamic memory properly.

$\overline{WR}$. *Write* (output, active Low, 3-state). $\overline{WR}$ indicates that the CPU data bus holds valid data to be stored at the addressed memory or I/O location.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

Memory Read or Write Cycles. Figure 6 shows the timing of memory read or write cycles other than an opcode fetch ($\overline{M1}$) cycle. The $\overline{MREQ}$ and $\overline{RD}$ signals function exactly as in the fetch cycle. In a memory write cycle, $\overline{MREQ}$ also becomes active when the address bus is stable. The $\overline{WR}$ line is active when the data bus is stable, so that it can be used directly as an R/$\overline{W}$ pulse to most semiconductor memories.

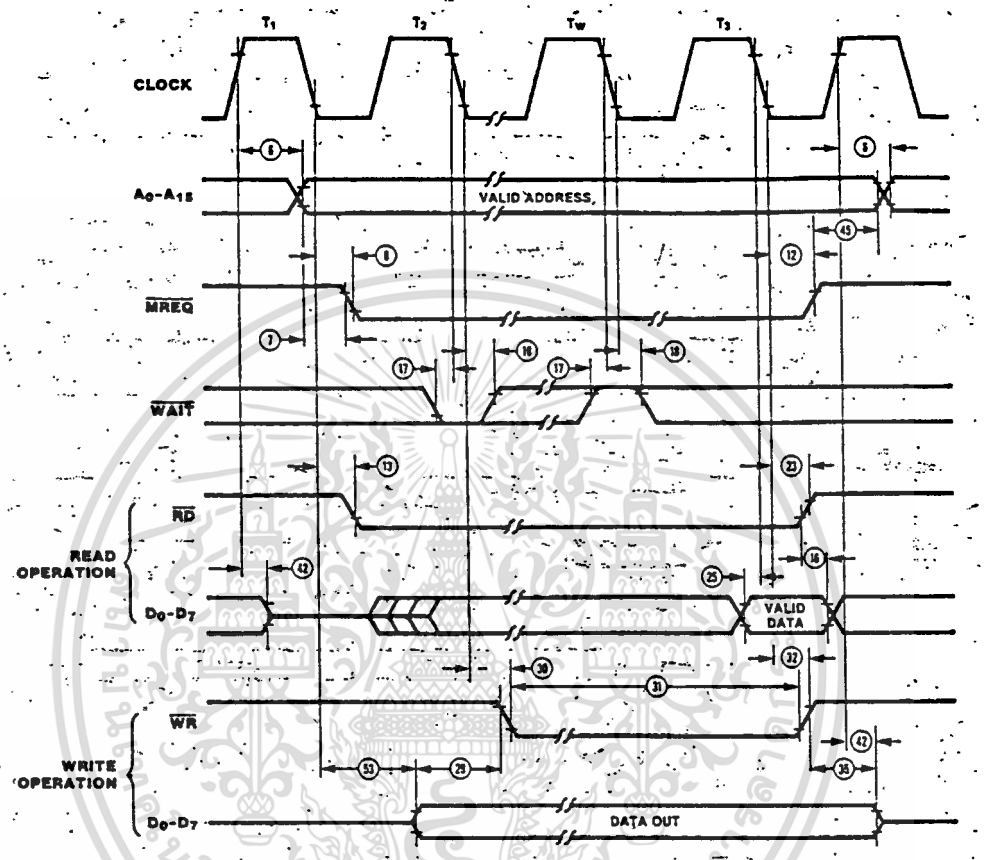
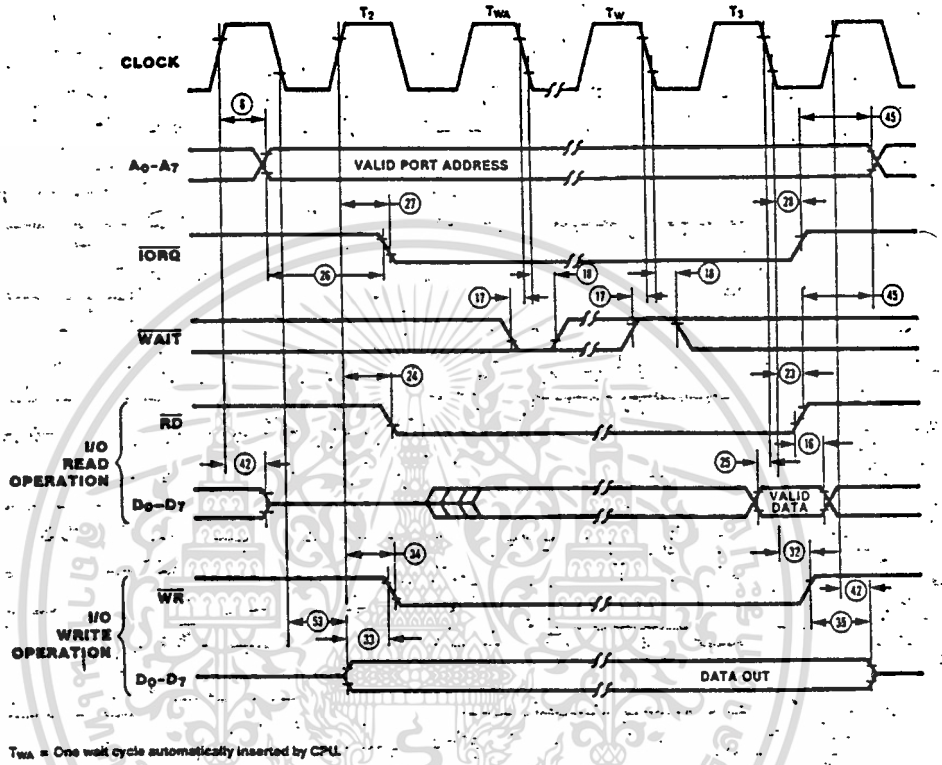


Figure 6. Memory Read or Write Cycles

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Input or Output Cycles. Figure 7 shows the timing for an I/O read or I/O write operation. During I/O operations, the CPU automatically inserts a single Wait state (T_{WA}). This extra Wait state allows sufficient time for an I/O port to decode the address from the port address lines.

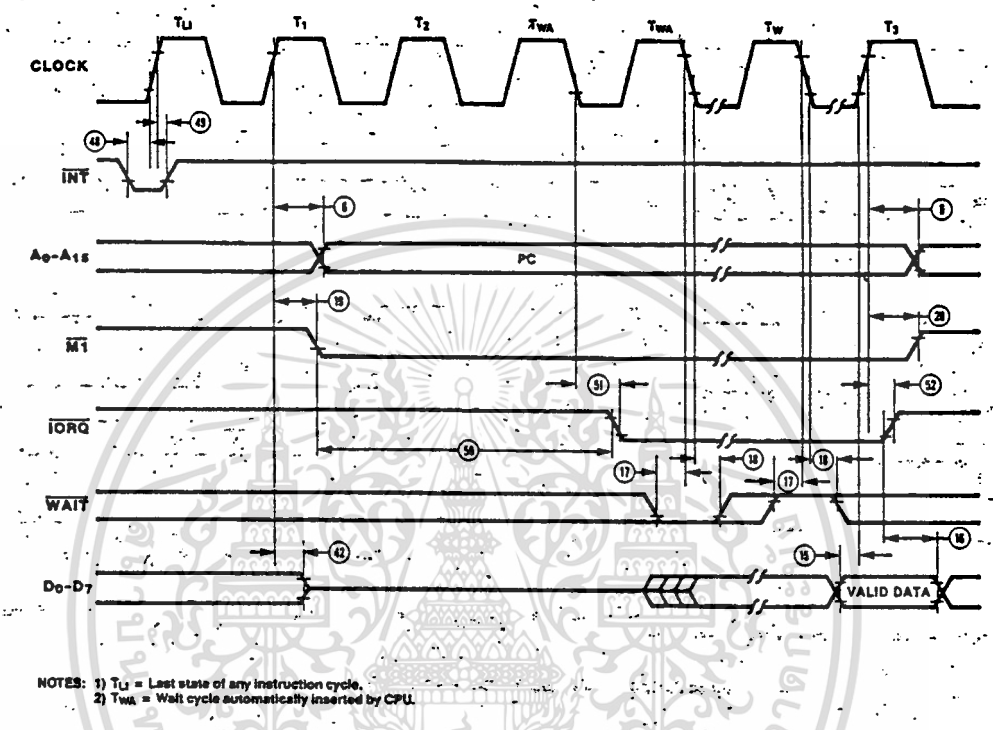


T_{WA} = One wait cycle automatically inserted by CPU.

Figure 7. Input or Output Cycles

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Interrupt Request/Acknowledge Cycle. The CPU samples the interrupt signal with the rising edge of the last clock cycle at the end of any instruction (Figure 8). When an interrupt is accepted, a special $\overline{M1}$ cycle is generated. During this $\overline{M1}$ cycle, $\overline{IORQ}$ becomes active (instead of $\overline{MREQ}$) to indicate that the interrupting device can place an 8-bit vector on the data bus. The CPU automatically adds two Wait states to this cycle.

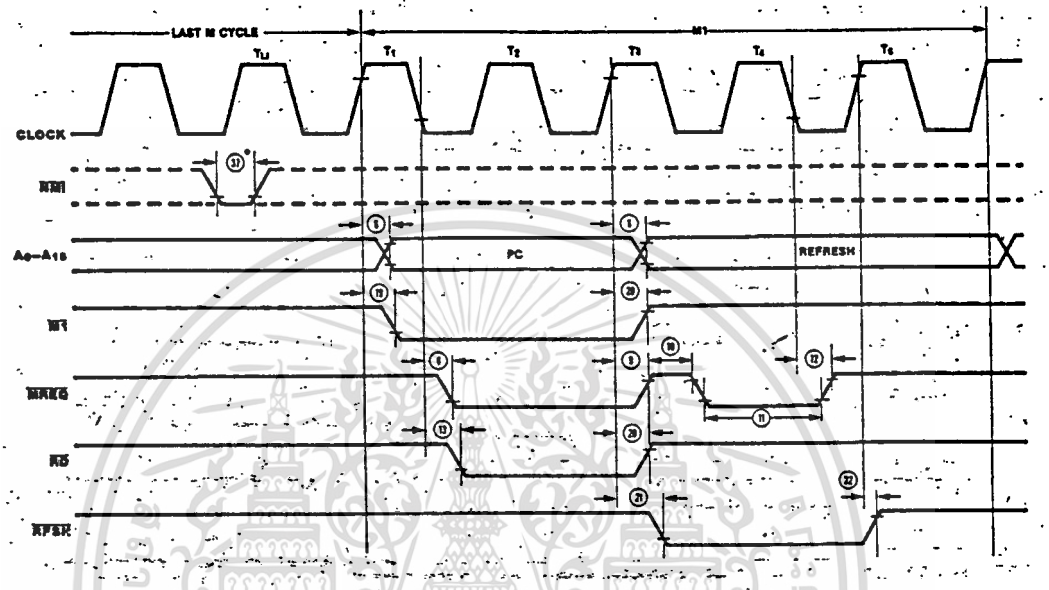


NOTES: 1) T_{LI} = Last state of any instruction cycle.
2) T_{WA} = Wait cycle automatically inserted by CPU.

Figure 8. Interrupt Request/Acknowledge Cycle

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Non-Maskable Interrupt Request Cycle. $\overline{NMI}$ is sampled at the same time as the maskable interrupt input $\overline{INT}$ but has higher priority and cannot be disabled under software control. The subsequent timing is similar to that of a normal memory read operation except that data put on the bus by the memory is ignored. The CPU instead executes a restart (RST) operation and jumps to the $\overline{NMI}$ service routine located at address 0066H (Figure 9).

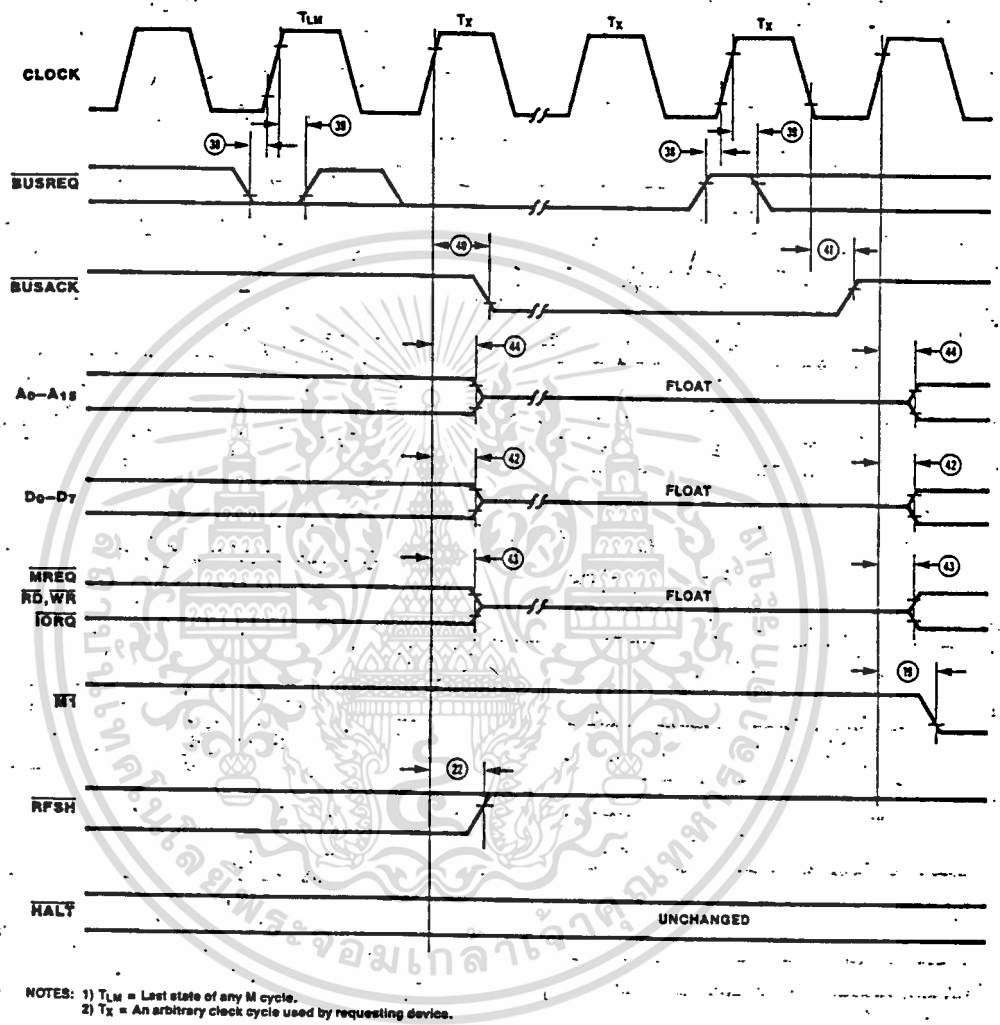


*Although $\overline{NMI}$ is an asynchronous input, to guarantee its being recognized on the following machine cycle, $\overline{NMI}$'s falling edge must occur no later than the rising edge of the clock cycle preceding the last state of any instruction cycle (T_{LI}).

Figure 9. Non-Maskable Interrupt Request Operation

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Bus Request/Acknowledge Cycle. The CPU samples $\overline{BUSREQ}$ with the rising edge of the last clock period of any machine cycle (Figure 10). If $\overline{BUSREQ}$ is active, the CPU sets its address, data, and $\overline{MREQ}$, $\overline{IORQ}$, $\overline{RD}$, and $\overline{WR}$ lines to a high-impedance state with the rising edge of the next clock pulse. At that time, any external device can take control of these lines, usually to transfer data between memory and I/O devices.

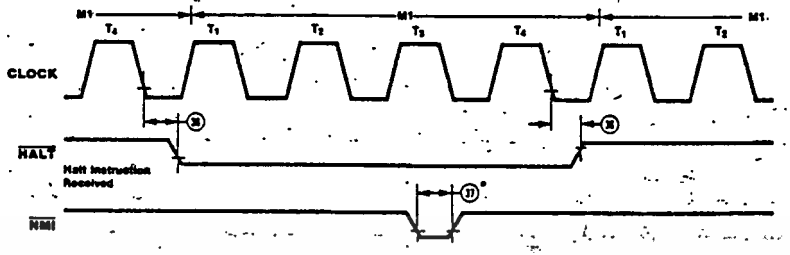


NOTES: 1) T_{LM} = Last state of any M cycle.
2) T_X = An arbitrary clock cycle used by requesting device.

Figure 10. Z-BUS Request/Acknowledge Cycle

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Halt Acknowledge Cycle. When the CPU receives a HALT instruction, it executes NOP states until either an $\overline{INT}$ or $\overline{NMI}$ input is received. When in the Halt state, the $\overline{HALT}$ output is active and remains so until an interrupt is received (Figure 11). INT will also force a Halt exit.



*Although $\overline{NMI}$ is an asynchronous input, to guarantee its being recognized on the following machine cycle, $\overline{NMI}$'s falling edge must occur no later than the rising edge of the clock cycle preceding the last state of any instruction cycle (T_{LI}).

Figure 11. Halt Acknowledge Cycle

Reset Cycle. $\overline{RESET}$ must be active for at least three clock cycles for the CPU to properly accept it. As long as $\overline{RESET}$ remains active, the address and data buses float, and the control outputs are inactive. Once $\overline{RESET}$ goes inactive, two internal T cycles are consumed before the CPU resumes normal processing operation. $\overline{RESET}$ clears the PC register, so the first opcode fetch will be to location 0000H (Figure 12).

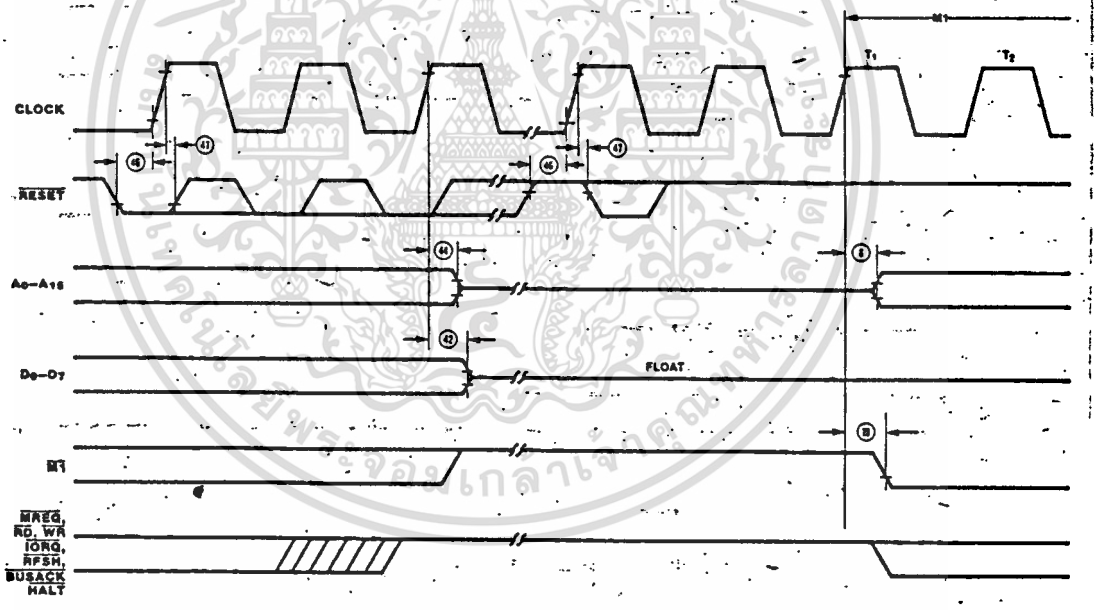


Figure 12. Reset Cycle

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

AC CHARACTERISTICS†

Number	Symbol	Parameter	Z80 CPU Min	Z80 CPU Max	Z80A CPU Min	Z80A CPU Max	Z80B CPU Min	Z80B CPU Max	Z80H CPU Min	Z80H CPU Max
1	TcC	Clock Cycle Time	400*		250*		165*		125*	
2	TwCh	Clock Pulse Width (High)	180	2000	110	2000	65	2000	55	2000
3	TwCl	Clock Pulse Width (Low)	180	2000	110	2000	65	2000	55	2000
4	TfC	Clock Fall Time		30		30		20		10
5	TrC	Clock Rise Time		30		30		20		10
6	TdCr(A)	Clock ↑ to Address Valid Delay		145		110		90		80
7	TdA(MREQf)	Address Valid to $\overline{MREQ}$ ↓ Delay	125*		65*		35*		20*	
8	TdCf(MREQf)	Clock ↓ to $\overline{MREQ}$ ↓ Delay		100		85		70		60
9	TdCr(MREQr)	Clock ↑ to $\overline{MREQ}$ ↑ Delay		100		85		70		60
10	TwMREQh	$\overline{MREQ}$ Pulse Width (High)	170*		110*		65*		45*	
11	TwMREQl	$\overline{MREQ}$ Pulse Width (Low)	360*		220*		135*		100*	
12	TdCf(MREQr)	Clock ↓ to $\overline{MREQ}$ ↑ Delay		100		85		70		60
13	TdCf(RDf)	Clock ↓ to $\overline{RD}$ ↓ Delay		130		95		80		70
14	TdCr(RDr)	Clock ↑ to $\overline{RD}$ ↑ Delay		100		85		70		60
15	TsD(Cr)	Data Setup Time to Clock ↑	50		35		30		30	
16	ThD(RDr)	Data Hold Time to $\overline{RD}$ ↑	0		0		0		0	
17	TsWAIT(Cf)	$\overline{WAIT}$ Setup Time to Clock ↓	70		70		60		50	
18	ThWAIT(Cf)	$\overline{WAIT}$ Hold Time after Clock ↓	0		0		0		0	
19	TdCr(M1f)	Clock ↑ to $\overline{M1}$ ↓ Delay		130		100		80		70
20	TdCr(M1r)	Clock ↑ to $\overline{M1}$ ↑ Delay		130		100		80		70
21	TdCr(RFSHf)	Clock ↑ to $\overline{RFSH}$ ↓ Delay		180		130		110		95
22	TdCr(RFSHr)	Clock ↑ to $\overline{RFSH}$ ↑ Delay		150		120		100		85
23	TdCf(RDr)	Clock ↓ to $\overline{RD}$ ↑ Delay		110		85		70		60
24	TdCr(RDf)	Clock ↑ to $\overline{RD}$ ↓ Delay		100		85		70		60
25	TsD(Cf)	Data Setup to Clock ↓ during M_2, M_3, M_4, or M_5 Cycles	60		50		40		30	
26	TdA(IORQf)	Address Stable prior to $\overline{IORQ}$ ↓	320*		180*		110*		75*	
27	TdCr(IORQf)	Clock ↑ to $\overline{IORQ}$ ↓ Delay		90		75		65		55
28	TdCf(IORQr)	Clock ↓ to $\overline{IORQ}$ ↑ Delay		110		85		70		60
29	TdD(WRf)	Data Stable prior to $\overline{WR}$ ↓	190*		80*		25*		5*	
30	TdCf(WRf)	Clock ↓ to $\overline{WR}$ ↓ Delay		90		80		70		60
31	TwWR	$\overline{WR}$ Pulse Width	360*		220*		135*		100*	
32	TdCf(WRr)	Clock ↓ to $\overline{WR}$ ↑ Delay		100		80		70		60
33	TdD(WRf)	Data Stable prior to $\overline{WR}$ ↓	20*		−10*		−55*		55*	
34	TdCr(WRf)	Clock ↑ to $\overline{WR}$ ↓ Delay		80		65		60		55
35	TdWRr(D)	Data Stable from $\overline{WR}$ ↑	120*		60*		30*		15*	
36	TdCf(HALT)	Clock ↓ to $\overline{HALT}$ ↑ or ↓		300		300		260		225
37	TwNMI	$\overline{NMI}$ Pulse Width	80		80		70		60*	
38	TsBUSREQ(Cr)	$\overline{BUSREQ}$ Setup Time to Clock ↑	80		50		50		40	

*For clock periods other than the minimums shown, calculate parameters using the table on the following page. Calculated values above assumed TrC = TfC = 20 ns.
†Units in nanoseconds (ns).

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

AC CHARACTERISTICS† (Continued)

Number	Symbol	Parameter	Z80 CPU Min	Z80 CPU Max	Z80A CPU Min	Z80A CPU Max	Z80B CPU Min	Z80B CPU Max	Z80H CPU Min	Z80H CPU Max
39	ThBUSREQ(Cr)	$\overline{BUSREQ}$ Hold Time after Clock ↑	0		0		0		0	
40	TdCr(BUSACKf)	Clock ↑ to $\overline{BUSACK}$ ↓ Delay		120		100		90		80
41	TdCf(BUSACKr)	Clock ↓ to $\overline{BUSACK}$ ↑ Delay		110		100		90		80
42	TdCr(Dz)	Clock ↑ to Data Float Delay		90		90		80		70
43	TdCr(CTz)	Clock ↑ to Control Outputs Float Delay ($\overline{MREQ}$, $\overline{IORQ}$, $\overline{RD}$, and $\overline{WR}$)		110		80		70		60
44	TdCr(Az)	Clock ↑ to Address Float Delay		110		90		80		70
45	TdCTr(A)	$\overline{MREQ}$ ↑, $\overline{IORQ}$ ↑, $\overline{RD}$ ↑, and $\overline{WR}$ ↑ to Address Hold Time	160*		80*		35*		20*	
46	TsRESET(Cr)	$\overline{RESET}$ to Clock ↑ Setup Time	90		60		60		45	
47	ThRESET(Cr)	$\overline{RESET}$ to Clock ↑ Hold Time		0		0		0		0
48	TsINTf(Cr)	$\overline{INT}$ to Clock ↑ Setup Time	80		80		70		55	
49	ThINTr(Cr)	$\overline{INT}$ to Clock ↑ Hold Time		0		0		0		0
50	TdM1f(IORQf)	$\overline{M1}$ ↓ to $\overline{IORQ}$ ↓ Delay	920*		565*		365*		270*	
51	TdCf(IORQf)	Clock ↓ to $\overline{IORQ}$ ↓ Delay		110		85		70		60
52	TdCf(IORQr)	Clock ↑ $\overline{IORQ}$ ↑ Delay		100		85		70		60
53	TdCf(D)	Clock ↓ to Data Valid Delay		230		150		130		115

*For clock periods other than the minimums shown, calculate parameters using the following table. Calculated values above assumed TrC = TfC = 20 ns.
†Units in nanoseconds (ns).

FOOTNOTES TO AC CHARACTERISTICS

Number	Symbol	General Parameter	Z80	Z80A	Z80B	Z80H
1	TcC	TwCh + TwCl + TrC + TfC				
7	TdA(MREQf)	TwCh + TfC	− 75	− 65	−50	−45
10	TwMREQh	TwCh + TfC	− 30	− 20	−20	−20
11	TwMREQl	TcC	− 40	− 30	−30	−25
26	TdA(IORQf)	TcC	− 80	− 70	−55	−50
29	TdD(WRf)	TcC	− 210	− 170	−140	−120
31	TwWR	TcC	− 40	− 30	−30	−25
33	TdD(WRf)	TwCl + TrC	− 180	− 140	−140	−120
35	TdWRr(D)	TwCl + TrC	− 80	− 70	−55	−50
45	TdCTr(A)	TwCl + TrC	− 40	− 50	−50	−45
50	TdM1f(IORQf)	2TcC + TwCh + TfC	− 80	− 65	−50	−45

AC Test Conditions:
V_{IH} = 2.0 V
V_{IL} = 0.8 V
V_{IHC} = V_{CC} −0.6 V
V_{ILC} = 0.45 V
V_{OH} = 1.5 V
V_{OL} = 1.5 V
FLOAT = ±0.5 V

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ABSOLUTE MAXIMUM RATINGS

Voltages on all pins with respect to ground . . . .0.3V to +7V
Operating Ambient
Temperature . . . . . .See Ordering Information
Storage Temperature . . . . . −65°C to +150°C

Stresses greater than those listed under Absolute Maximum Ratings may cause permanent damage to the device. This is a stress rating only; operation of the device at any condition above these indicated in the operational sections of these specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

STANDARD TEST CONDITIONS

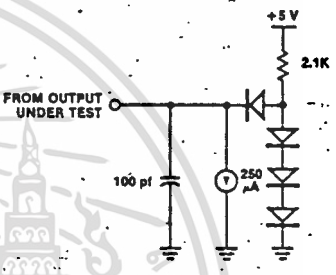
The DC Characteristics and Capacitance sections below apply for the following standard test conditions, unless otherwise noted. All voltages are referenced to GND (0V). Positive current flows into the referenced pin.

Available operating temperature ranges are:

- S = 0°C to +70°C, +4.75V ≤ V_{CC} ≤ +5.25V
- E = −40°C to +85°C, +4.75V ≤ V_{CC} ≤ +5.25V
- M = −55°C to +125°C, +4.5V ≤ V_{CC} ≤ +5.25V

The Ordering Information section lists temperature ranges and product numbers. Package drawings are in the Package Information section in this book. Refer to the Literature List for additional documentation.

All ac parameters assume a load capacitance of 100 pf. Add 15 ns delay for each 50 pf increase in load up to a maximum of 200 pf for the data bus. AC timing measurements are referenced to 1.5 volts (except for clock, which is referenced to the 10% and 90% points).



DC CHARACTERISTICS

All parameters are tested unless otherwise noted.

Symbol	Parameter	Min	Max	Unit	Test Condition
V_{ILC}	Clock Input Low Voltage	−0.3	0.45	V	
V_{IHC}	Clock Input High Voltage	V_{CC} − .6	V_{CC} + .3	V	
V_{IL}	Input Low Voltage	−0.3	0.8	V	
V_{IH}	Input High Voltage	2.0[1]	V_{CC}	V	
V_{OL}	Output Low Voltage		0.4	V	I_{OL} = 2.0 mA
V_{OH}	Output High Voltage	2.4[1]		V	I_{OH} = −250 µA
I_{CC}	Power Supply Current		200	mA	Note 3
I_{LI}	Input Leakage Current		10	µA	V_{IN} = 0 to V_{CC}
I_{LO}	3-State Output Leakage Current in Float	−10	10[2]	µA	V_{OUT} = 0.4 to V_{CC}

1. For military grade parts, refer to the Z80 Military Electrical Specification.
2. A_{15}-A_0, D_7-D_0, $\overline{MREQ}$, $\overline{IORQ}$, $\overline{RD}$, and $\overline{WR}$.
3. Measurements made with outputs floating.

CAPACITANCE

Guaranteed by design and characterization.

Symbol	Parameter	Min	Max	Unit
C_{CLOCK}	Clock Capacitance		35	pf
C_{IN}	Input Capacitance		5	pf
C_{OUT}	Output Capacitance		15	pf

NOTES:
T_A = 25°C, f = 1 MHz.
Unmeasured pins returned to ground.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ORDERING INFORMATION

Z80 CPU, 2.5 MHz

40-pin DIP	44-pin LCC	44-pin PCC
Z8400 PS	Z8400 LM*	Z8400 VS†
Z8400 CS	Z8400 LMB*†	
Z8400 PE		
Z8400 CE		
Z8400 CM*		
Z8400 CMB*		
Z8400 CMJ*		

Z80A CPU, 4.0 MHz

40-pin DIP	44-pin LCC	44-pin PCC
Z8400A PS	Z8400A LM*	Z8400A VS†
Z8400A CS	Z8400A LMB*†	
Z8400A PE		
Z8400A CE		
Z8400A CM*		
Z8400A CMB*		
Z8400A CMJ*		

Z80B CPU, 6.0 MHz

40-pin DIP	44-pin PCC
Z8400B PS	Z8400B VS†
Z8400B CS	
Z8400B PE	

Z80H CPU, 8.0 MHz

40-pin DIP	44-pin PCC
Z8400H PS	Z8400H VS†

Codes

First letter is for package; second letter is for temperature.

C = Ceramic DIP
P = Plastic DIP
L = Ceramic LCC
V = Plastic PCC

TEMPERATURE
S = 0°C to +70°C
E = −40°C to +85°C
M* = −55°C to +125°C

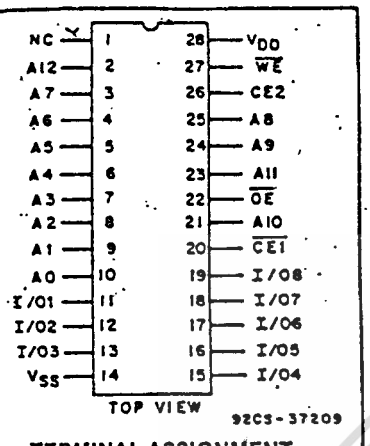
R = Protopack
T = Low Profile Protopack
DIP = Dual-In-Line Package
LCC = Leadless Chip Carrier
PCC = Plastic Chip Carrier (Leaded)

FLOW
B = 883 Class B
J = JAN 38510 Class B

*For Military Orders, refer to the Military Section.
†Available soon.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

CDM6264



TERMINAL ASSIGNMENT

CMOS 8192-Word by 8-Bit LSI Static RAM

Features:

- *Fully static operation*
- *Single power supply: 4.5 V to 5.5 V*
- *All inputs and outputs directly TTL compatible*
- *3-state outputs*
- *Industry standard 28-pin configuration*
- *Input address buffers gated off with chip disable*
- *Fast access time: t_{AA}=150 ns/120 ns (CDM6264-3/CDM6264-4)*
- *Low standby and operating power: I_{DOS1}=2 μA typical, I_{OPER2}=40 mA maximum*
- *Data retention voltage: 2 V min.*
- *Operating temperature range (max. rating): 0° to 70° C*

The RCA-CDM6264 is a 8192-word by 8-bit static random-access memory. It is designed for use in memory systems where high-speed, low power and simplicity in use are desirable. This device has common data input and data output and utilizes a single power supply of 4.5 V to 5.5 V.

Either chip enable ($\overline{CE1}$ or CE2), when not valid, will gate off the address and output buffers and power down the chip to minimum standby power with inputs toggling. The output enable ($\overline{OE}$) controls the output buffers to eliminate bus contention.

The CDM6264 is supplied in 28-lead, hermetic, dual-in-line side-brazed ceramic (D suffix) and in 28-lead dual-in-line plastic (E suffix) packages.

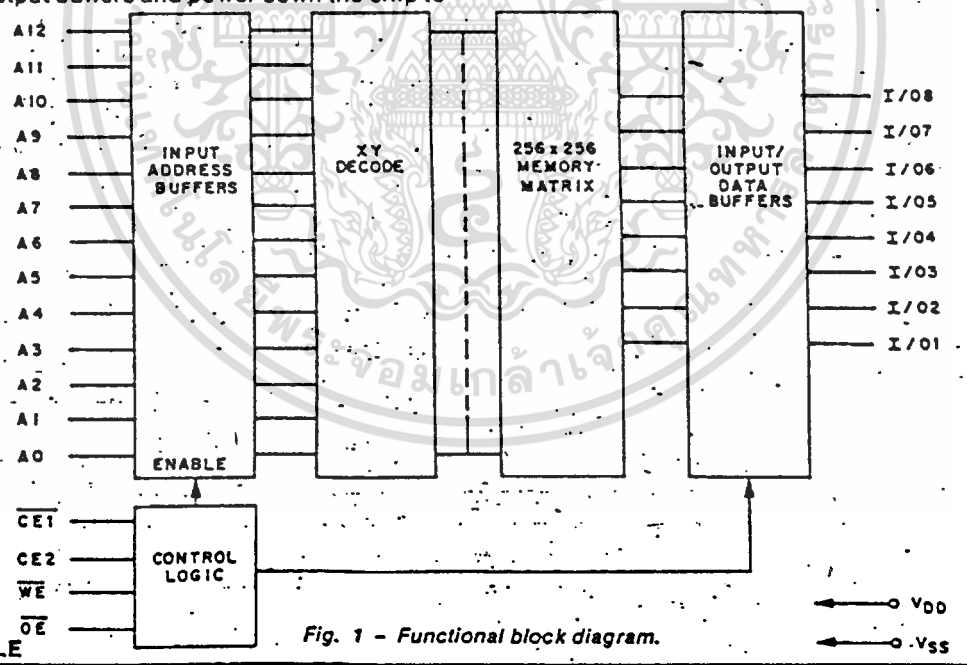


Fig. 1 – Functional block diagram.

TRUTH TABLE

$\overline{CE1}$	CE2	$\overline{OE}$	$\overline{WE}$	A0 TO A12	MODE	DATA I/O	DEVICE CURRENT
H	X	X	X	X	NOT SELECTED	HIGH Z	STANDBY
X	L	X	X	X	NOT SELECTED	HIGH Z	STANDBY
L	H	L	H	STABLE	READ	DATA OUT	ACTIVE
L	H	X	L	STABLE	WRITE	DATA IN	ACTIVE
L	H	H	H	STABLE	OUTPUT DISABLE	HIGH Z	ACTIVE

L = LOW H = HIGH X = H OR L

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

CDM6264

MAXIMUM RATINGS, *Absolute-Maximum Values:*

DC SUPPLY-VOLTAGE RANGE, (V_{DD}):
(Voltage referenced to V_{SS} terminal) ..... -0.3 to +7 V
INPUT VOLTAGE RANGE, ALL INPUTS ..... -0.3 to +7 V
POWER DISSIPATION PER PACKAGE (P_D):
For T_A = 0° to +60°C (PACKAGE TYPE E) ..... 500 mW
For T_A = +60° to +70°C (PACKAGE TYPE E) ..... Derate Linearly at 8 mW/°C to 420 mW
For T_A = 0° to +70°C (PACKAGE TYPE D) ..... 500 mW
DEVICE DISSIPATION PER OUTPUT TRANSISTOR
For T_A = FULL PACKAGE-TEMPERATURE RANGE ..... 100 mW
OPERATING-TEMPERATURE RANGE (T_A):
PACKAGE TYPE D ..... 0 to +70°C
PACKAGE TYPE E ..... 0 to +70°C
STORAGE TEMPERATURE RANGE (T_{stg}) ..... -55 to +125°C
LEAD TEMPERATURE (DURING SOLDERING):
At distance 1/16 ± 1/32 in. (1.59 ± 0.79 mm) from case for 10 s max. ..... +265°C

OPERATING CONDITIONS at T_A = 0 to +70°C
For maximum reliability, operating conditions should be selected so that operation is always within the following ranges:

CHARACTERISTIC		LIMITS ALL TYPES MIN.	LIMITS ALL TYPES MAX.	UNITS
DC Operating Voltage Range		4.5	5.5	V
Input Voltage Range	V_{IH}	2.2	V_{DD} + 0.3	V
	V_{IL}	-0.3	0.8	V
Input Signal Rise or Fall Time[Δ]	t_r, t_f	—	5	μs

[Δ] Input signal rise and fall times with a duration greater than the maximum value can cause loss of stored data in the selected mode.

STATIC ELECTRICAL CHARACTERISTICS at T_A = 0 to +70°C, V_{DD} = 5 V ± 10%, Except as noted

CHARACTERISTIC		CONDITIONS		LIMITS ALL TYPES Min.	Typ.*	Max.	UNITS
Standby Device Current	I_{DDS}	$\overline{CE1}$=V_{IH} or CE2=V_{IL}		—	1.5	3	mA
	I_{DDS1}	$\overline{CE1}$=CE2 ≥ V_{DD}-0.2 V or CE2 ≤ 0.2 V		—	2	100	μA
Output Voltage Low Level	V_{OL} Max.	I_{OL}=2.1 mA		—	—	0.4	V
		I_{OL}=1 μA		—	0.1	—	
Output Voltage High Level	V_{OH} Min.	I_{OH}=-1 mA		2.4	—	—	V
		I_{OH}=-1 μA		—	V_{DD}-0.1	—	
Input Leakage Current	I_{IN} Max.	V_{IN}=0 V to V_{DD}		—	±0.1	±2	μA
3-State Output Leakage Current	I_{OUT}	$V_{I/O}$=0 V to V_{DD}		—	±0.5	±2	μA
Operating Device Current	I_{OPER1}#	V_{IN}=V_{IL}, V_{IH}	t_{cyc}=1 μs	—	4.5	9	mA
			t_{cyc}=120 ns	—	22.5	45	
	I_{OPER2}#	V_{IN}=0.2 V, V_{DD}-0.2 V	t_{cyc}=1 μs	—	2	4	
			t_{cyc}=120 n	—	20	40	
Input Capacitance	C_{IN}	V_{IN}=0 V, f=1 MHz, T_A=25°C		—	4	6	pF
Output Capacitance	$C_{I/O}$	$V_{I/O}$=0 V, f=1 MHz, T_A=25°C		—	6	8	pF

*Typical values are for T_A=25°C and nominal V_{DD}. #Outputs open circuited.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่อนุญาตให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเอกสารทุกครั้งที่มีการนำไปใช้

SIGNAL DESCRIPTIONS

A0-A10 (Address Inputs): These inputs must be stable prior to a write operation, but may change asynchronously during read functions.

I/01-I/08: 8-bit tristate data bus.

$\overline{CE1}$, CE2 (Chip Enable): Either chip enable, when not true, powers down the chip, disables Read and Write functions, and gates off address and output buffers.

$\overline{OE}$ (Output Enable): Enables tristate outputs if $\overline{CE1}$ and CE2 are valid and $\overline{WE}$ is high.

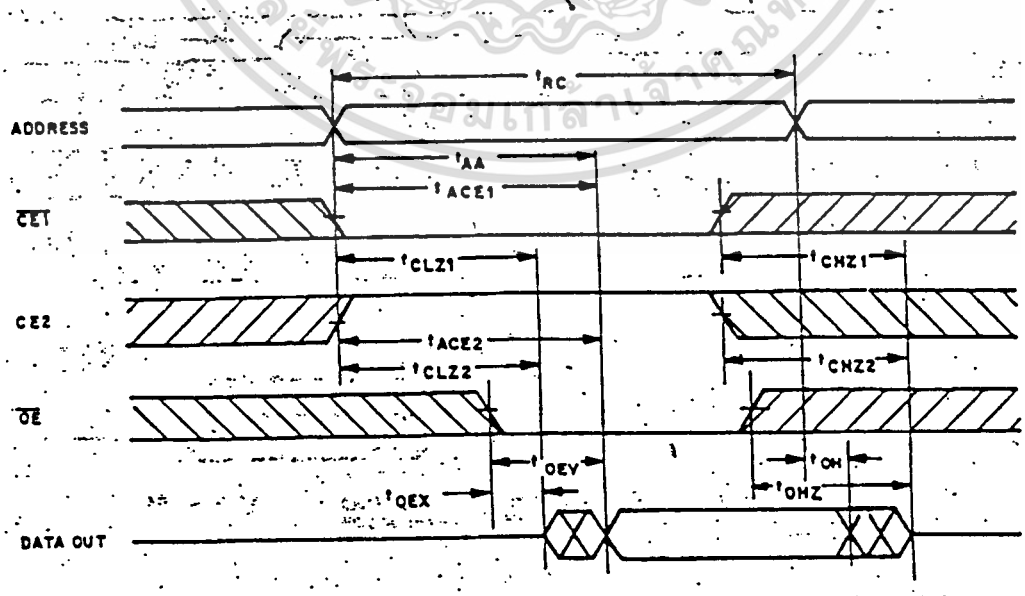
$\overline{WE}$ (Write Enable): Enables Write function, if $\overline{CE1}$ and CE2 are valid. $\overline{WE}$ will dominate if both $\overline{WE}$ and $\overline{OE}$ are low (i.e., the bus will be tristated and a Write will occur).

V_{DD}, V_{SS}: Power supply connections.

DYNAMIC ELECTRICAL CHARACTERISTICS at T_A = 0 to +70° C, V_{DD} = 5 V ± 10%, Input t_r, t_f = 10 ns; C_L = 100 pF and 1 TTL Load, Input Pulse Levels: 0.8 V to 2.4 V

CHARACTERISTIC		LIMITS				UNITS
		CDM6264-3		CDM6264-4		
Read Cycle Times, See Fig. 2		MIN.†	MAX.	MIN.†	MAX.	
Read Cycle Time	t_{RC}	150	—	120	—	ns
Address Access Time	t_{AA}	—	150	—	120	
Chip Enable Access Time	t_{ACE1}, t_{ACE2}	—	150	—	120	
Chip Enable to Output Active	t_{CLZ1}, t_{CLZ2}	10	—	10	—	
Output Enable to Output Valid	t_{OEV}	—	70	—	60	
Output Enable to Output Active	t_{OEX}	5	—	5	—	
Chip Disable to Output "High Z"	t_{CHZ1}, t_{CHZ2}	0	70	0	50	
Output Disable to Output "High Z"	t_{OHZ}	0	60	0	40	
Output Hold from Address Change	t_{OH}	30	—	30	—	

†Time required by a limit device to allow for the indicated function.



$\overline{WE}$ IS HIGH DURING READ CYCLE. TIMING MEASUREMENT REFERENCE LEVEL IS 1.5 V. 92CM-37205

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

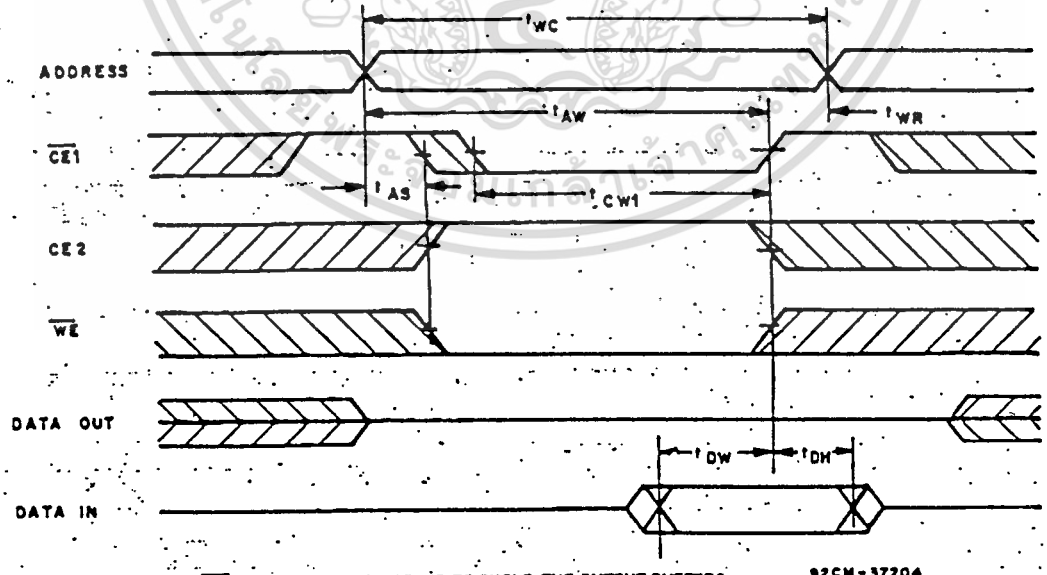
CDM6264

DYNAMIC ELECTRICAL CHARACTERISTICS at T_A = 0 to +70° C, V_{DD} = 5 V ± 10%, Input t_r, t_f = 10 ns; C_L = 100 pF and 1 TTL Load, Input Pulse Levels: 0.8 V to 2.4 V

CHARACTERISTIC		LIMITS				UNITS
		CDM6264-3		CDM6264-4		
Write Cycle Times, See Fig. 3		MIN.†	MAX.	MIN.†	MAX.	
Write Cycle Time	t_{WC}	150	—	120	—	ns
Chip Enable to End of WRITE	t_{CW1}, t_{CW2}	120	—	100	—	
Address Valid to End of WRITE	t_{AW}	120	—	100	—	
Address Setup Time	t_{AS}	0	—	0	—	
Write Enable Width	t_{WW}	100	—	80	—	
Write Recovery Time	t_{WR}	0	—	0	—	
Write to Output "High Z"	t_{WHZ}	—	70	—	50	
Input Data Setup Time	t_{DW}	60	—	50	—	
Input Data Hold Time	t_{DH}	0	—	0	—	
Output Active from End of Write	t_{OW}	10	—	10	—	

†Time required by a limit device to allow for the indicated function.

WRITE CYCLE 1 ($\overline{CE1}$ CONTROL)



IN A $\overline{CE1}$ OR CE2 CONTROLLED WRITE CYCLE, THE OUTPUT BUFFERS REMAIN IN A HIGH IMPEDANCE STATE, WHETHER $\overline{OE}$ IS HIGH OR LOW. TIMING MEASUREMENT REFERENCE LEVEL IS 1.5 V.

92CM-37204

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

8255A/8255A-5
PROGRAMMABLE PERIPHERAL INTERFACE

- MCS-85™ Compatible 8255A-5
- 24 Programmable I/O Pins
- Completely TTL Compatible
- Fully Compatible with Intel® Microprocessor Families
- Improved Timing Characteristics
- Direct Bit Set/Reset Capability Easing Control Application Interface
- Reduces System Package Count
- Improved DC Driving Capability
- Available in EXPRESS
  - —Standard Temperature Range
  - —Extended Temperature Range

The Intel® 8255A is a general purpose programmable I/O device designed for use with Intel® microprocessors. It has 24 I/O pins which may be individually programmed in 2 groups of 12 and used in 3 major modes of operation. In the first mode (MODE 0), each group of 12 I/O pins may be programmed in sets of 4 to be input or output. In MODE 1, the second mode, each group may be programmed to have 8 lines of input or output. Of the remaining 4 pins, 3 are used for handshaking and interrupt control signals. The third mode of operation (MODE 2) is a bidirectional bus mode which uses 8 lines for a bidirectional bus, and 5 lines, borrowing one from the other group, for handshaking.

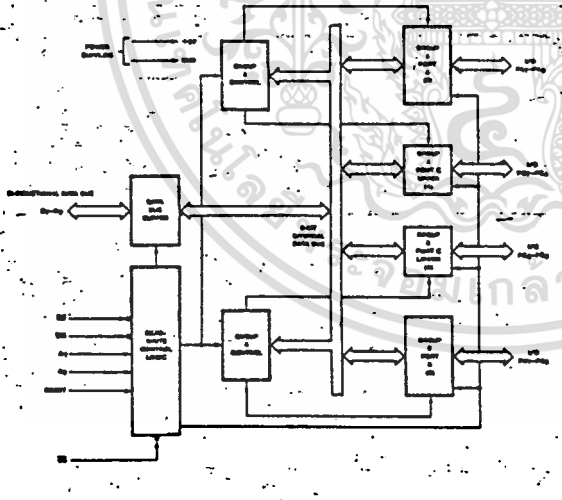


Figure 1. 8255A Block Diagram

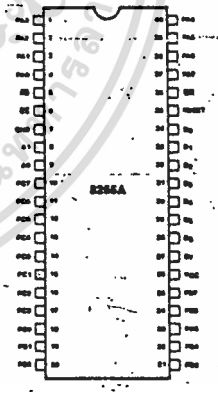


Figure 2. Pin Configuration

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

8255A FUNCTIONAL DESCRIPTION

General

The 8255A is a programmable peripheral interface (PPI) device designed for use in Intel® microcomputer systems. Its function is that of a general purpose I/O component to interface peripheral equipment to the microcomputer system bus. The functional configuration of the 8255A is programmed by the system software so that normally no external logic is necessary to interface peripheral devices or structures.

Data Bus Buffer

This 3-state bidirectional 8-bit buffer is used to interface the 8255A to the system data bus. Data is transmitted or received by the buffer upon execution of input or output instructions by the CPU. Control words and status information are also transferred through the data bus buffer.

Read/Write and Control Logic

The function of this block is to manage all of the internal and external transfers of both Data and Control or Status words. It accepts inputs from the CPU Address and Control busses and in turn, issues commands to both of the Control Groups.

($\overline{CS}$)

Chip Select. A "low" on this input pin enables the communiction between the 8255A and the CPU.

($\overline{RD}$)

Read. A "low" on this input pin enables the 8255A to send the data or status information to the CPU on the data bus. In essence, it allows the CPU to "read from" the 8255A.

($\overline{WR}$)

Write. A "low" on this input pin enables the CPU to write data or control words into the 8255A.

(A_0 and A_1)

Port Select 0 and Port Select 1. These input signals, in conjunction with the RD and WR inputs, control the selection of one of the three ports or the control word registers. They are normally connected to the least significant bits of the address bus (A_0 and A_1).

8255A BASIC OPERATION

A_1	A_0	$\overline{RD}$	$\overline{WR}$	$\overline{CS}$	INPUT OPERATION (READ)
0	0	0	1	0	PORT A – DATA BUS
0	1	0	1	0	PORT B – DATA BUS
1	0	0	1	0	PORT C – DATA BUS
					OUTPUT OPERATION (WRITE)
0	0	1	0	0	DATA BUS – PORT A
0	1	1	0	0	DATA BUS – PORT B
1	0	1	0	0	DATA BUS – PORT C
1	1	1	0	0	DATA BUS – CONTROL
					DISABLE FUNCTION
X	X	X	X	1	DATA BUS – 3-STATE
1	1	0	1	0	ILLEGAL CONDITION
X	X	1	1	0	DATA BUS – 3-STATE

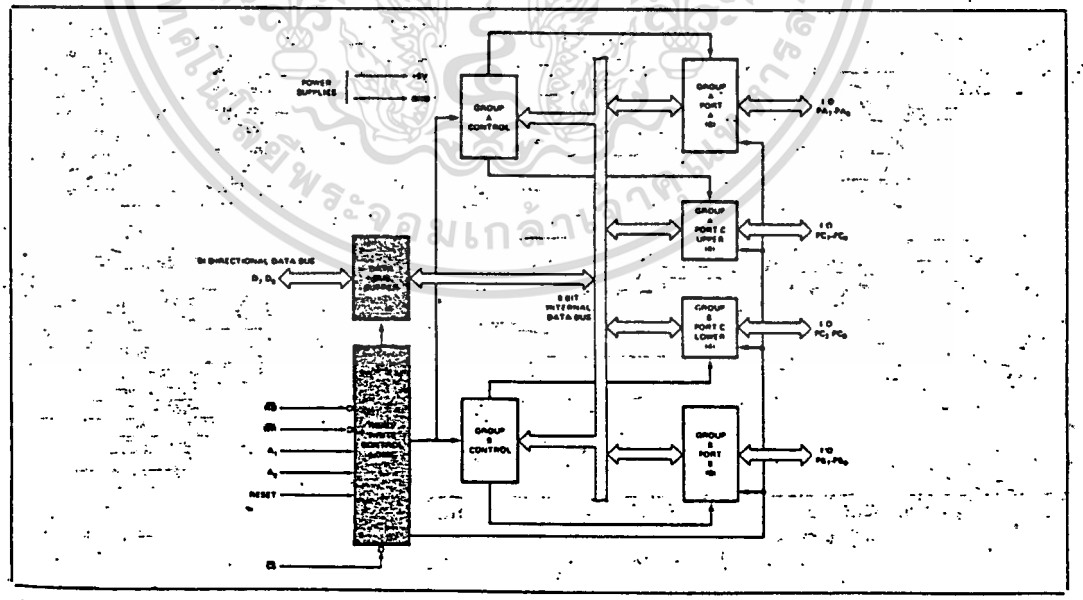


Figure 3. 8255A Block Diagram Showing Data Bus Buffer and Read/Write Control Logic Functions

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

(RESET)

Reset. A "high" on this input clears the control register and all ports (A, B, C) are set to the input mode.

Group A and Group B Controls

The functional configuration of each port is programmed by the systems software. In essence, the CPU "outputs" a control word to the 8255A. The control word contains information such as "mode", "bit set", "bit reset", etc., that initializes the functional configuration of the 8255A.

Each of the Control blocks (Group A and Group B) accepts "commands" from the Read/Write Control Logic, receives "control words" from the internal data bus and issues the proper commands to its associated ports.

Control Group A – Port A and Port C upper (C7-C4)
Control Group B – Port B and Port C lower (C3-C0)

The Control Word Register can Only be written into. No Read operation of the Control Word Register is allowed.

Ports A, B, and C

The 8255A contains three 8-bit ports (A, B, and C). All can be configured in a wide variety of functional characteristics by the system software but each has its own special features or "personality" to further enhance the power and flexibility of the 8255A.

Port A. One 8-bit data output latch/buffer and one 8-bit data input latch.

Port B. One 8-bit data input/output latch/buffer and one 8-bit data input buffer.

Port C. One 8-bit data output latch/buffer and one 8-bit data input buffer (no latch for input). This port can be divided into two 4-bit ports under the mode control. Each 4-bit port contains a 4-bit latch and it can be used for the control signal outputs and status signal inputs in conjunction with ports A and B.

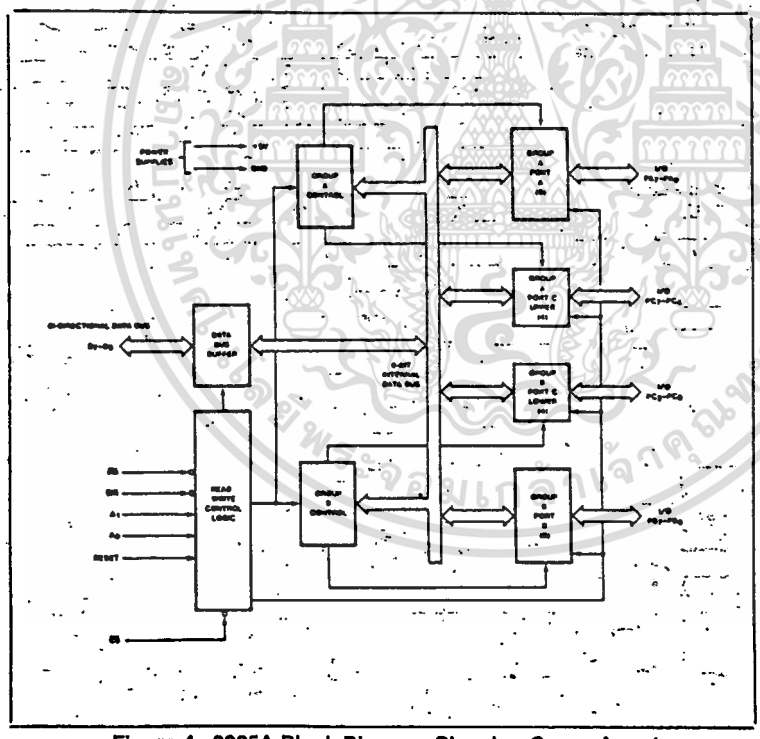
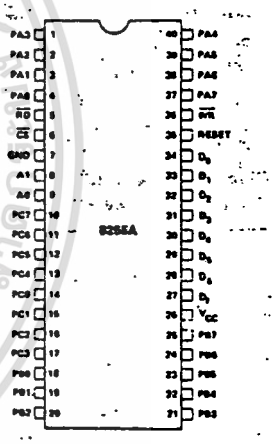


Figure 4. 8225A Block Diagram Showing Group A and Group B Control Functions

PIN CONFIGURATION



PIN NAMES

D_7-D_0	DATA BUS (BI-DIRECTIONAL)
RESET	RESET INPUT
$\overline{CS}$	CHIP SELECT
$\overline{RD}$	READ INPUT
$\overline{WR}$	WRITE INPUT
A0, A1	PORT ADDRESS
PA7-PA0	PORT A (BIT)
PB7-PB0	PORT B (BIT)
PC7-PC0	PORT C (BIT)
V_{CC}	+5 VOLTS
GND	0 VOLTS

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

8255A OPERATIONAL DESCRIPTION

Mode Selection

There are three basic modes of operation that can be selected by the system software:

Mode 0 — Basic Input/Output
Mode 1 — Strobed Input/Output
Mode 2 — Bi-Directional Bus

When the reset input goes "high" all ports will be set to the input mode (i.e., all 24 lines will be in the high impedance state). After the reset is removed the 8255A can remain in the input mode with no additional initialization required. During the execution of the system program any of the other modes may be selected using a single output instruction. This allows a single 8255A to service a variety of peripheral devices with a simple software maintenance routine.

The modes for Port A and Port B can be separately defined, while Port C is divided into two portions as required by the Port A and Port B definitions. All of the output registers, including the status flip-flops, will be reset whenever the mode is changed. Modes may be combined so that their functional definition can be "tailored" to almost any I/O structure. For instance; Group B can be programmed in Mode 0 to monitor simple switch closings or display computational results, Group A could be programmed in Mode 1 to monitor a keyboard or tape reader on an interrupt-driven basis.

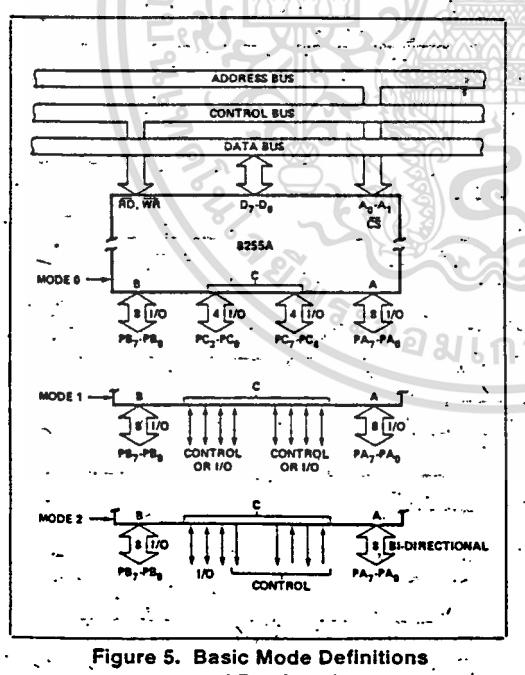


Figure 5. Basic Mode Definitions and Bus Interface

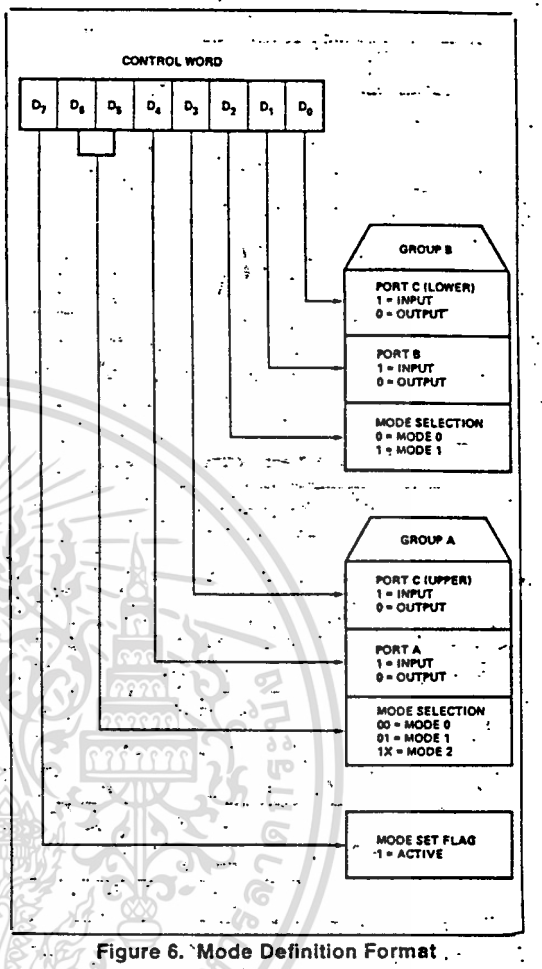


Figure 6. Mode Definition Format

The mode definitions and possible mode combinations may seem confusing at first but after a cursory review of the complete device operation a simple, logical I/O approach will surface. The design of the 8255A has taken into account things such as efficient PC board layout, control signal definition vs PC layout and complete functional flexibility to support almost any peripheral device with no external logic. Such design represents the maximum use of the available pins.

Single Bit Set/Reset Feature

Any of the eight bits of Port C can be Set or Reset using a single OUTput instruction. This feature reduces software requirements in Control-based applications.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

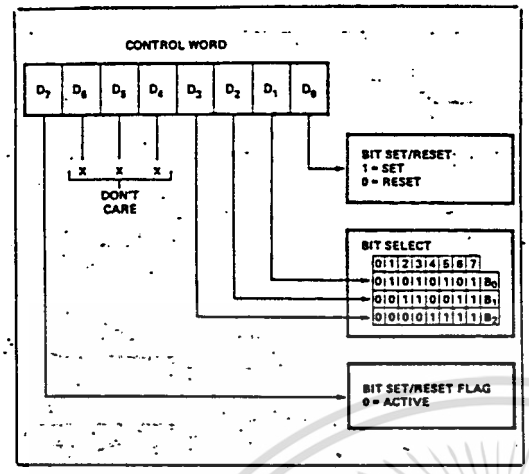


Figure 7. Bit Set/Reset Format

When Port C is being used as status/control for Port A or B, these bits can be set or reset by using the Bit Set/Reset operation just as if they were data output ports.

Interrupt Control Functions

When the 8255A is programmed to operate in mode 1 or mode 2, control signals are provided that can be used as interrupt request inputs to the CPU. The interrupt request signals, generated from port C, can be inhibited or enabled by setting or resetting the associated INTE flip-flop, using the bit set/reset function of port C.

This function allows the Programmer to disallow or allow a specific I/O device to interrupt the CPU without affecting any other device in the interrupt structure.

INTE flip-flop definition:

(BIT-SET) — INTE is SET — Interrupt enable
(BIT-RESET) — INTE is RESET — Interrupt disable

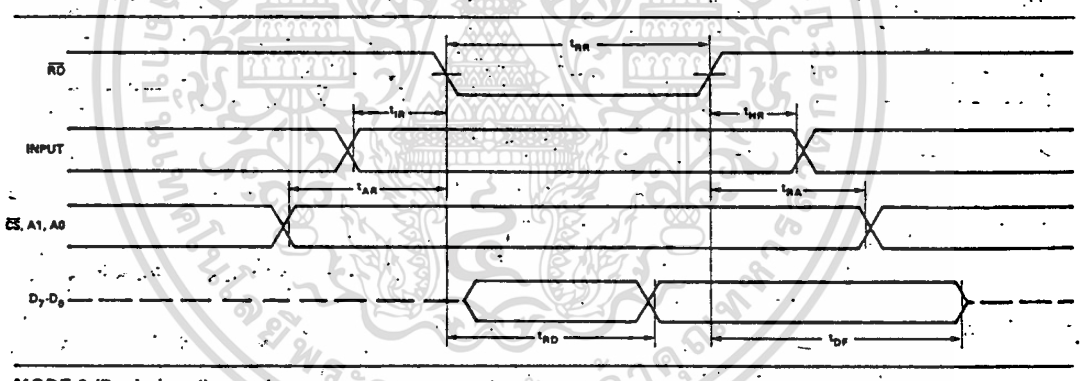
Note: All Mask flip-flops are automatically reset during mode selection and device Reset.

Operating Modes

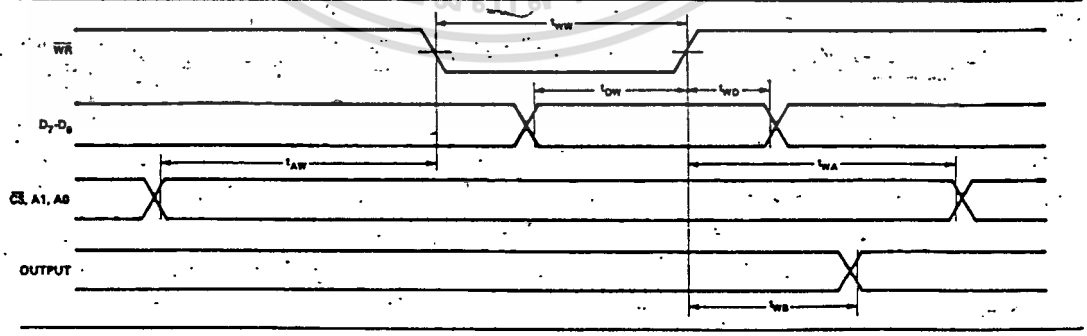
MODE 0 (Basic Input/Output). This functional configuration provides simple input and output operations for each of the three ports. No "handshaking" is required, data is simply written to or read from a specified port.

Mode 0 Basic Functional Definitions:

- Two 8-bit ports and two 4-bit ports.
- Any port can be input or output.
- Outputs are latched.
- Inputs are not latched.
- 16 different Input/Output configurations are possible in this Mode.



MODE 0 (Basic Input)



MODE 0 (Basic Output)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

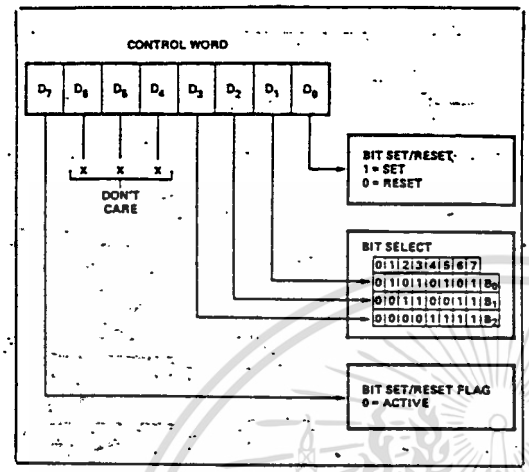


Figure 7. Bit Set/Reset Format

When Port C is being used as status/control for Port A or B, these bits can be set or reset by using the Bit Set/Reset operation just as if they were data output ports.

Interrupt Control Functions

When the 8255A is programmed to operate in mode 1 or mode 2, control signals are provided that can be used as interrupt request inputs to the CPU. The interrupt request signals, generated from port C, can be inhibited or enabled by setting or resetting the associated INTE flip-flop, using the bit set/reset function of port C.

This function allows the Programmer to disallow or allow a specific I/O device to interrupt the CPU without affecting any other device in the interrupt structure.

INTE flip-flop definition:

(BIT-SET) — INTE is SET — Interrupt enable
(BIT-RESET) — INTE is RESET — Interrupt disable

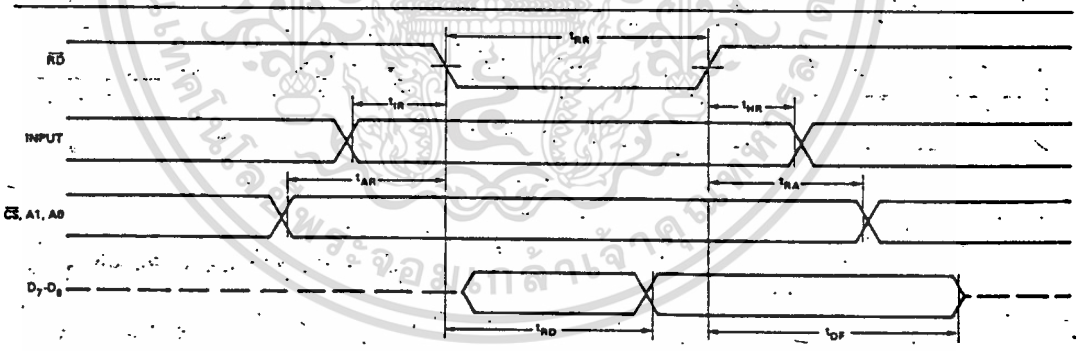
Note: All Mask flip-flops are automatically reset during mode selection and device Reset.

Operating Modes

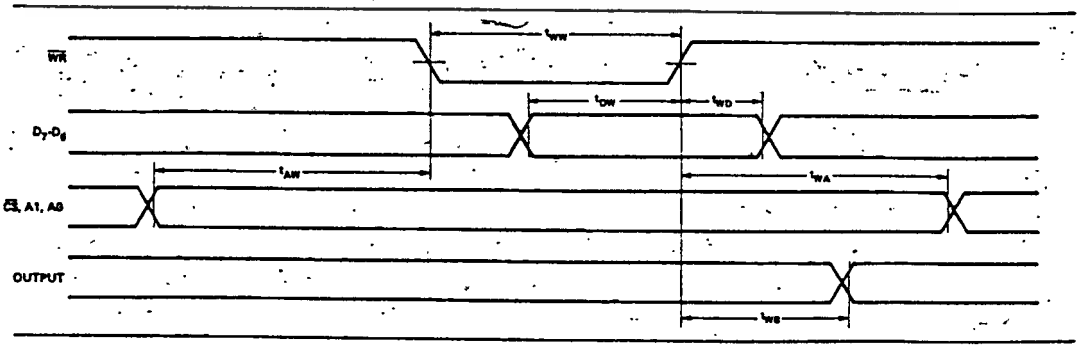
MODE 0 (Basic Input/Output). This functional configuration provides simple input and output operations for each of the three ports. No "handshaking" is required, data is simply written to or read from a specified port.

Mode 0 Basic Functional Definitions:

- Two 8-bit ports and two 4-bit ports.
- Any port can be input or output.
- Outputs are latched.
- Inputs are not latched.
- 16 different Input/Output configurations are possible in this Mode.



MODE 0 (Basic Input)

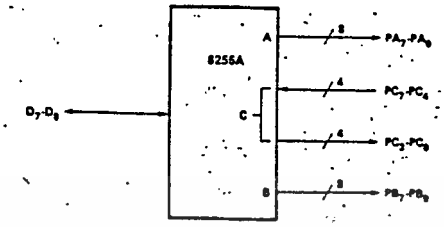


MODE 0 (Basic Output)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

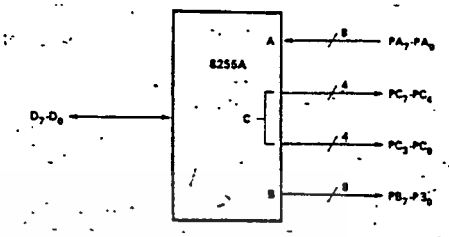
CONTROL WORD #4

D_7	D_6	D_5	D_4	D_3	D_2	D_1	D_0
1	0	0	0	1	0	0	0



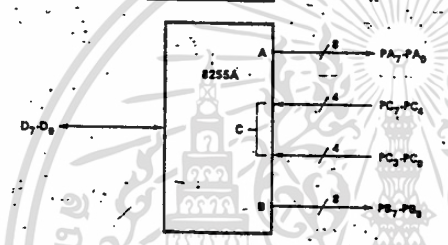
CONTROL WORD #8

D_7	D_6	D_5	D_4	D_3	D_2	D_1	D_0
1	0	0	1	0	0	0	0



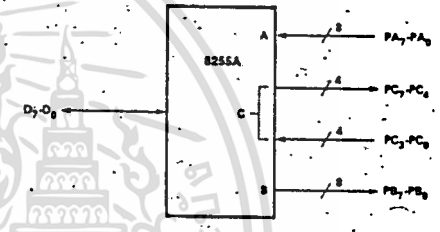
CONTROL WORD #5

D_7	D_6	D_5	D_4	D_3	D_2	D_1	D_0
1	0	0	0	1	0	0	1



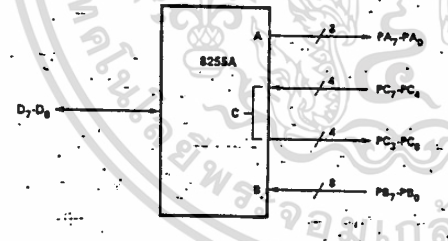
CONTROL WORD #9

D_7	D_6	D_5	D_4	D_3	D_2	D_1	D_0
1	0	0	1	0	0	0	1



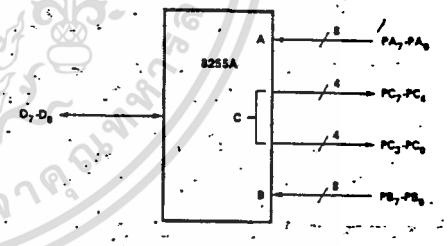
CONTROL WORD #6

D_7	D_6	D_5	D_4	D_3	D_2	D_1	D_0
1	0	0	0	1	0	1	0



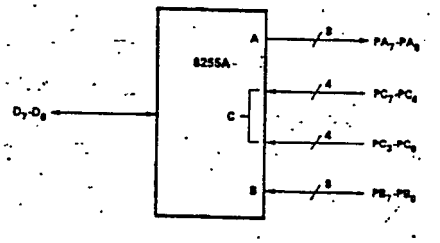
CONTROL WORD #10

D_7	D_6	D_5	D_4	D_3	D_2	D_1	D_0
1	0	0	1	0	0	1	0



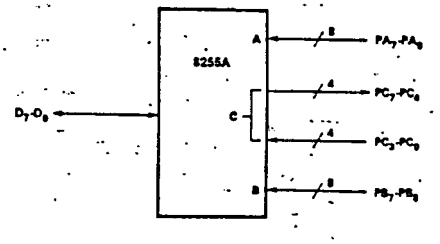
CONTROL WORD #7

D_7	D_6	D_5	D_4	D_3	D_2	D_1	D_0
1	0	0	0	1	0	1	1

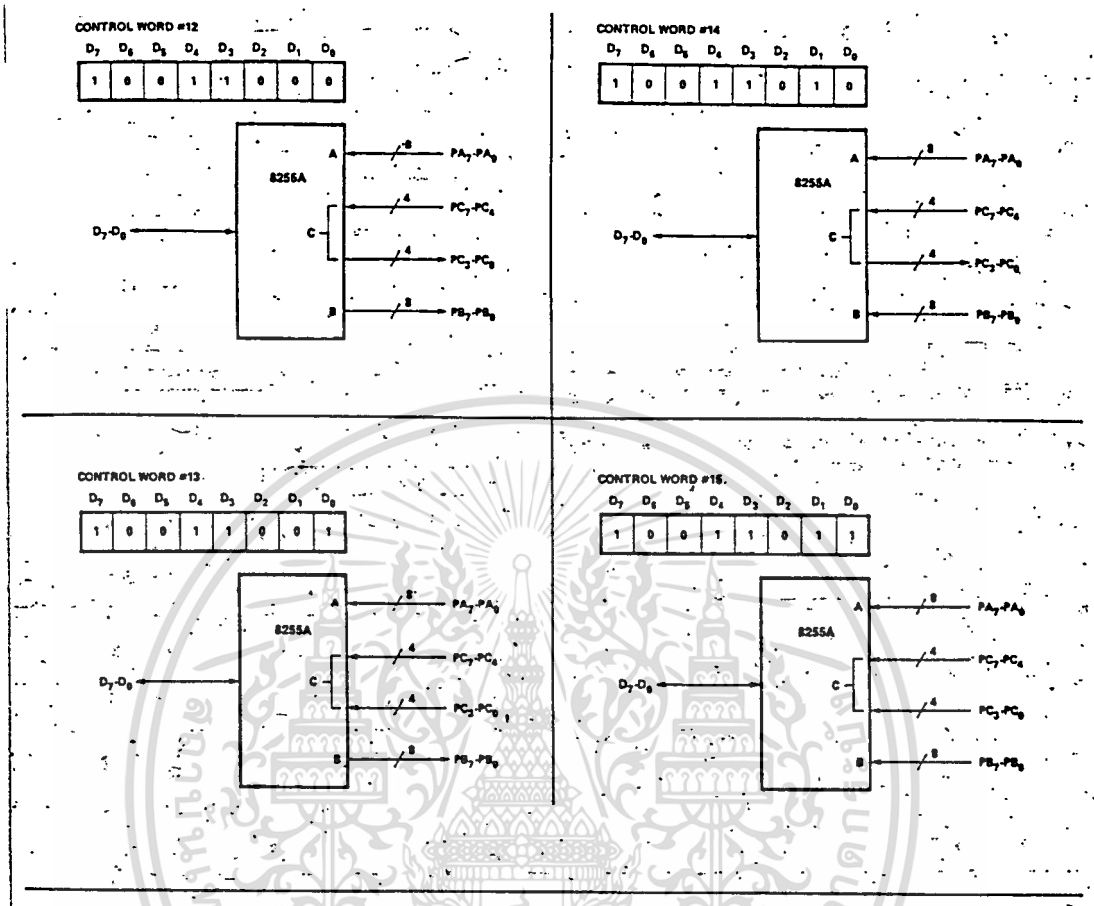


CONTROL WORD #11

D_7	D_6	D_5	D_4	D_3	D_2	D_1	D_0
1	0	0	1	0	0	1	1



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



Operating Modes

MODE 1 (Strobed Input/Output). This functional configuration provides a means for transferring I/O data to or from a specified port in conjunction with strobes or "handshaking" signals. In mode 1, port A and Port B use the lines on port C to generate or accept these "handshaking" signals.

Mode 1 Basic Functional Definitions:

- Two Groups (Group A and Group B)
- Each group contains one 8-bit data port and one 4-bit control/data port.
- The 8-bit data port can be either input or output. Both inputs and outputs are latched.
- The 4-bit port is used for control and status of the 8-bit data port.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Input Control Signal Definition

$\overline{STB}$ (Strobe Input). A "low" on this input loads data into the input latch.

IBF (Input Buffer Full F/F)

A "high" on this output indicates that the data has been loaded into the input latch; in essence, an acknowledgement. IBF is set by STB input being low and is reset by the rising edge of the RD input.

INTR (Interrupt Request)

A "high" on this output can be used to interrupt the CPU when an input device is requesting service. INTR is set by the $\overline{STB}$ is a "one", IBF is a "one" and INTE is a "one". It is reset by the falling edge of $\overline{RD}$. This procedure allows an input device to request service from the CPU by simply strobing its data into the port.

INTE A

Controlled by bit set/reset of PC_4.

INTE B

Controlled by bit set/reset of PC_2.

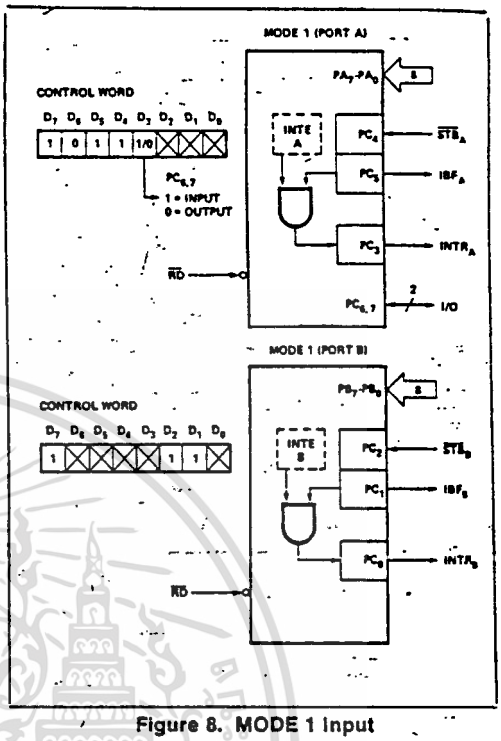


Figure 8. MODE 1 Input

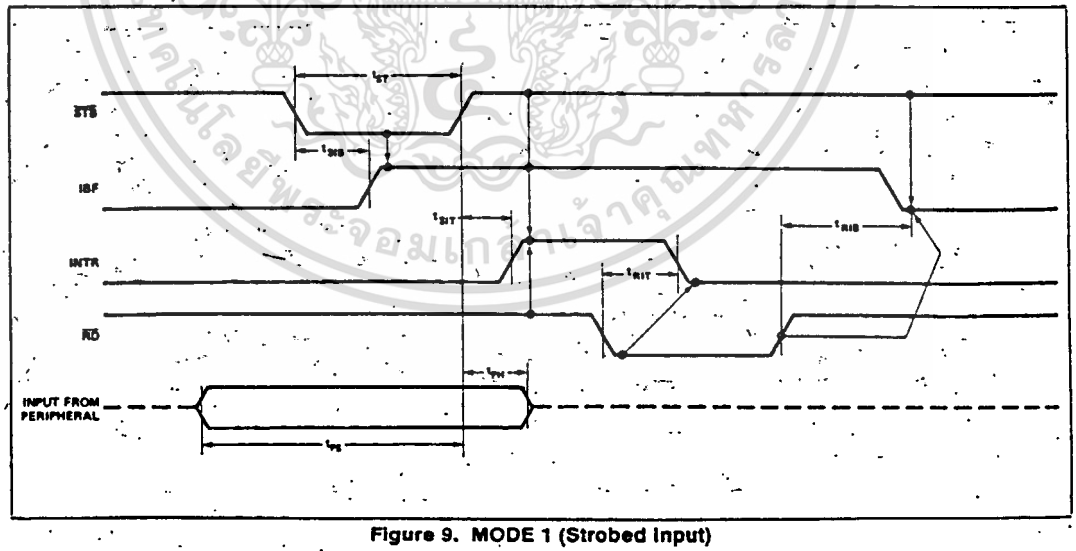


Figure 9. MODE 1 (Strobed Input)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Output Control Signal Definition

$\overline{OBF}$ **(Output Buffer Full F/F).** The $\overline{OBF}$ output will go "low" to indicate that the CPU has written data out to the specified port. The $\overline{OBF}$ F/F will be set by the rising edge of the $\overline{WR}$ input and reset by $\overline{ACK}$ input being low.

$\overline{ACK}$ **(Acknowledge Input).** A "low" on this input informs the 8255A that the data from port A or port B has been accepted. In essence, a response from the peripheral device indicating that it has recieved the data output by the CPU.

INTR (Interrupt Request). A "high" on this output can be used to interrupt the CPU when an output device has accepted data transmitted by the CPU. INTR is set when $\overline{ACK}$ is a "one", $\overline{OBF}$ is a "one", and INTE is a "one". It is reset by the falling edge of $\overline{WR}$.

INTR (Interrupt Request). A "high" on this output can be used to interrupt the CPU when an output device has accepted data transmitted by the CPU. INTR is set when $\overline{ACK}$ is a "one", $\overline{OBF}$ is a "one", and INTE is a "one". It is reset by the falling edge of $\overline{WR}$.

INTE A

Controlled by bit set/reset of PC_6.

INTE B

Controlled by bit set/reset of PC_2.

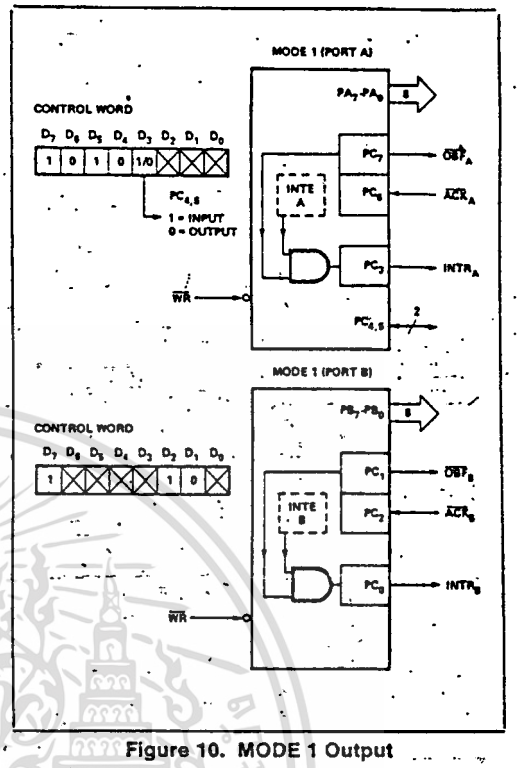


Figure 10. MODE 1 Output

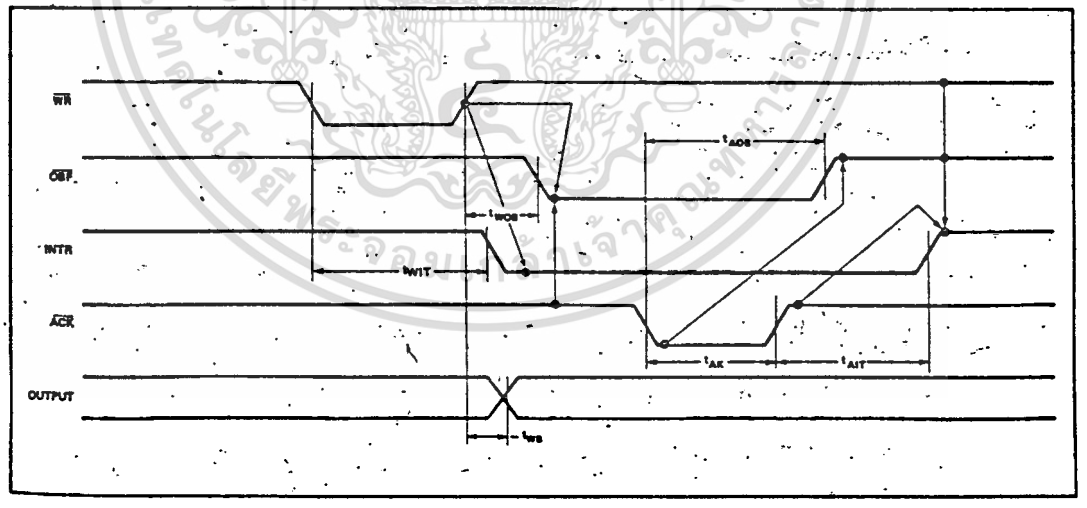


Figure 11. Mode 1 (Strobed Output)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Combinations of MODE 1

Port A and Port B can be individually defined as input or output in Mode 1 to support a wide variety of strobed I/O applications.

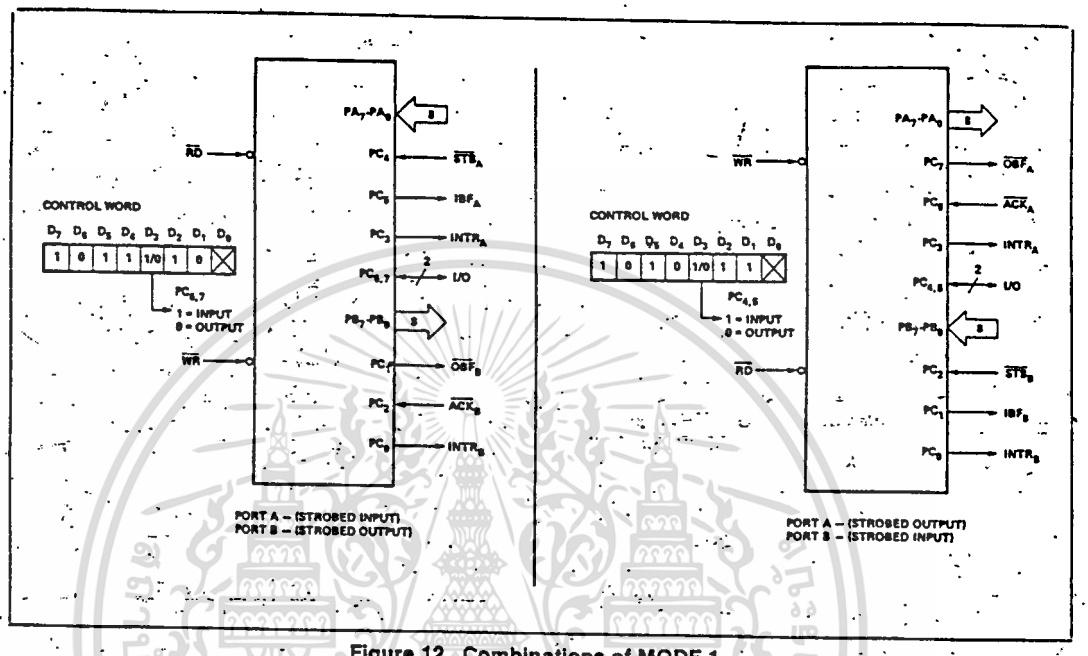


Figure 12. Combinations of MODE 1

Operating Modes

MODE 2 (Strobed Bidirectional Bus I/O). This functional configuration provides a means for communicating with a peripheral device or structure on a single 8-bit bus for both transmitting and receiving data (bidirectional bus I/O). "Handshaking" signals are provided to maintain proper bus flow discipline in a similar manner to MODE 1. Interrupt generation and enable/disable functions are also available.

MODE 2 Basic Functional Definitions:

- Used in Group A only.
- One 8-bit, bi-directional bus Port (Port A) and a 5-bit control Port (Port C).
- Both inputs and outputs are latched.
- The 5-bit control port (Port C) is used for control and status for the 8-bit, bi-directional bus port (Port A).

Bidirectional Bus I/O Control Signal Definition

INTR (Interrupt Request). A high on this output can be used to interrupt the CPU for both input or output operations.

Output Operations

$\overline{OBF}$ (Output Buffer Full). The $\overline{OBF}$ output will go "low" to indicate that the CPU has written data out to port A.

$\overline{ACK}$ (Acknowledge). A "low" on this input enables the tri-state output buffer of port A to send out the data. Otherwise, the output buffer will be in the high impedance state.

INTE 1 (The INTE Flip-Flop Associated with OBF). Controlled by bit set/reset of PC_6.

Input Operations

$\overline{STB}$ (Strobe Input). A "low" on this input loads data into the input latch.

IBF (Input Buffer Full F/F). A "high" on this output indicates that data has been loaded into the input latch.

INTE 2 (The INTE Flip-Flop Associated with IBF). Controlled by bit set/reset of PC_4.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

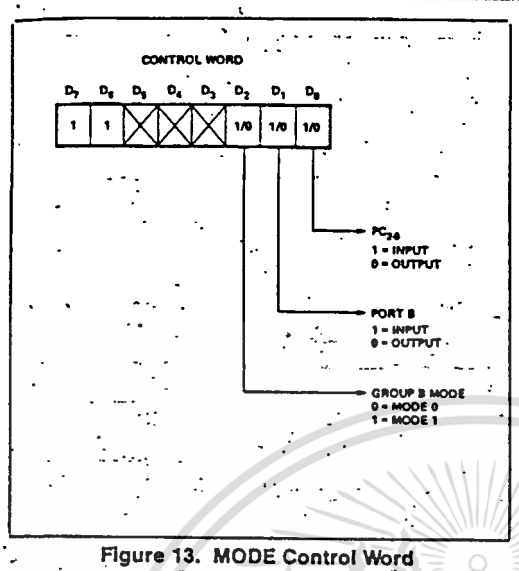


Figure 13. MODE Control Word

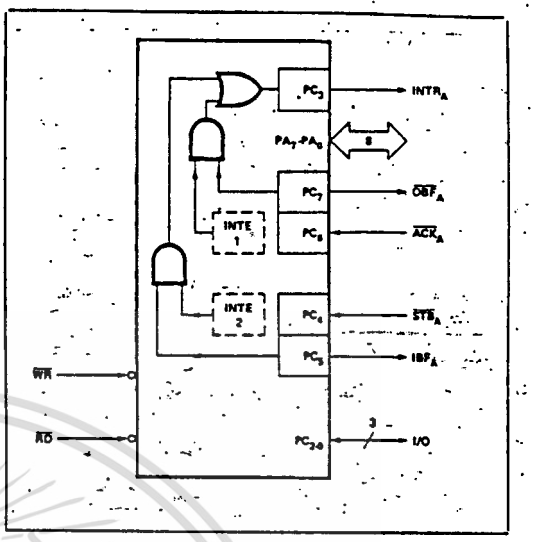


Figure 14. MODE 2

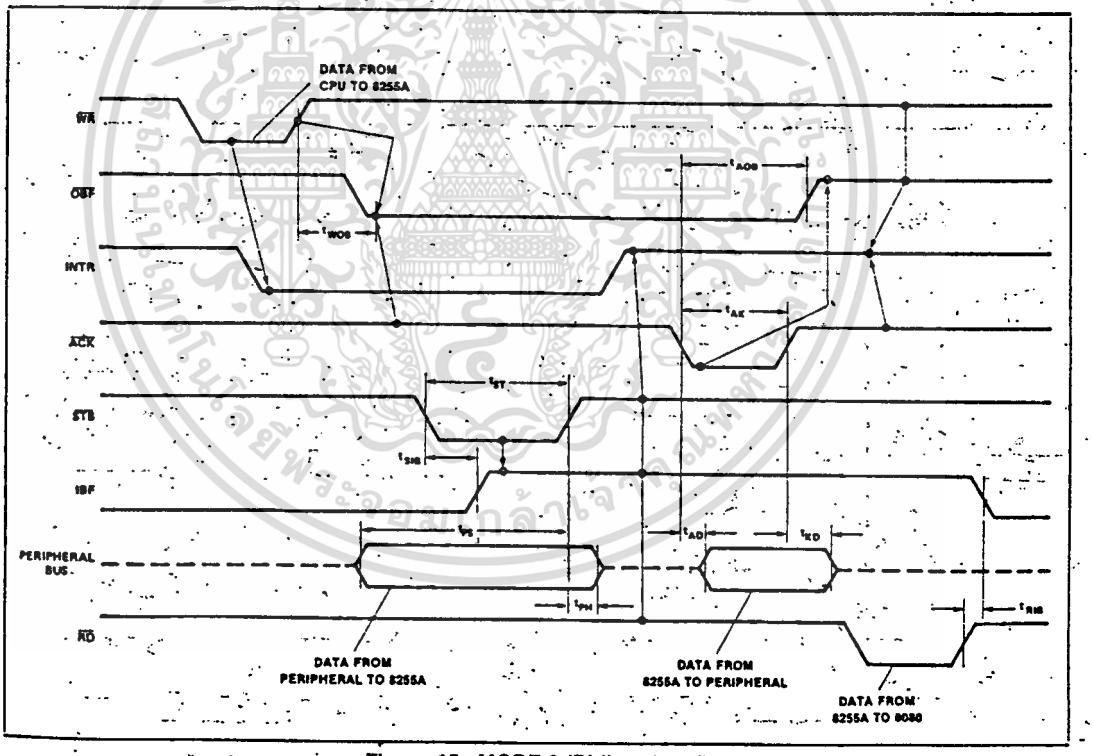


Figure 15. MODE 2 (Bidirectional)

NOTE: Any sequence where $\overline{WR}$ occurs before $\overline{ACK}$ and $\overline{STB}$ occurs before $\overline{RD}$ is permissible.
(INTR = IBF • $\overline{MASK}$ • $\overline{STB}$ • $\overline{RD}$ + $\overline{OBF}$ • $\overline{MASK}$ • $\overline{ACK}$ • $\overline{WR}$)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

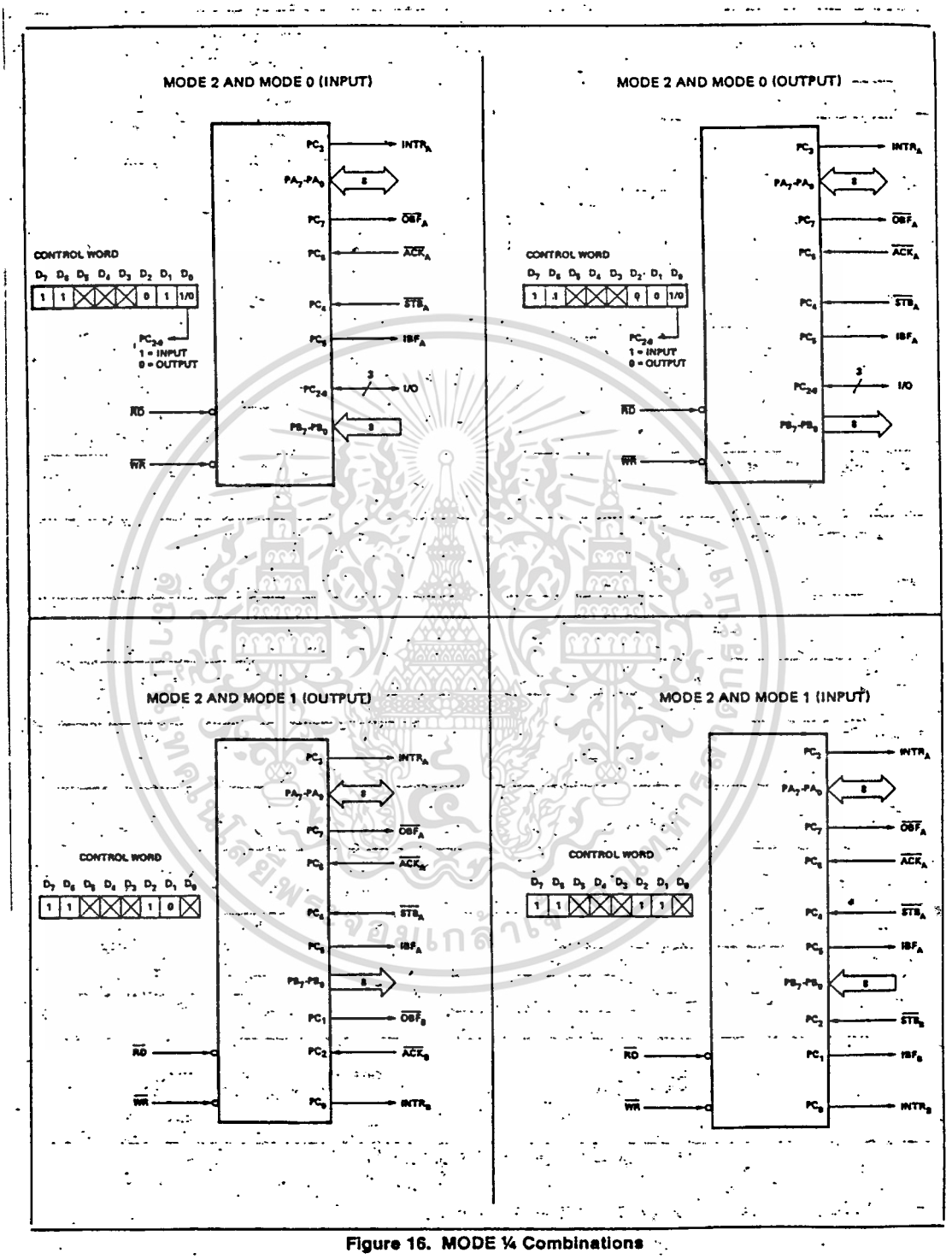


Figure 16. MODE ¼ Combinations

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Mode Definition Summary

	MODE 0		MODE 1		MODE 2	
	IN	OUT	IN	OUT	GROUP A ONLY	
PA_0	IN	OUT	IN	OUT	↔	
PA_1	IN	OUT	IN	OUT	↔	
PA_2	IN	OUT	IN	OUT	↔	
PA_3	IN	OUT	IN	OUT	↔	
PA_4	IN	OUT	IN	OUT	↔	
PA_5	IN	OUT	IN	OUT	↔	
PA_6	IN	OUT	IN	OUT	↔	
PA_7	IN	OUT	IN	OUT	↔	
PB_0	IN	OUT	IN	OUT	—	MODE 0 OR MODE 1 ONLY
PB_1	IN	OUT	IN	OUT	—	
PB_2	IN	OUT	IN	OUT	—	
PB_3	IN	OUT	IN	OUT	—	
PB_4	IN	OUT	IN	OUT	—	
PB_5	IN	OUT	IN	OUT	—	
PB_6	IN	OUT	IN	OUT	—	
PB_7	IN	OUT	IN	OUT	—	
PC_0	IN	OUT	$INTR_B$	$INTR_B$	I/O	
PC_1	IN	OUT	IBF_B	$\overline{OBF}_B$	I/O	
PC_2	IN	OUT	$\overline{STB}_B$	$\overline{ACK}_B$	I/O	
PC_3	IN	OUT	$INTR_A$	$INTR_A$	$INTR_A$	
PC_4	IN	OUT	$\overline{STB}_A$	I/O	$\overline{STB}_A$	
PC_5	IN	OUT	IBF_A	I/O	IBF_A	
PC_6	IN	OUT	I/O	$\overline{ACK}_A$	$\overline{ACK}_A$	
PC_7	IN	OUT	I/O	$\overline{OBF}_A$	$\overline{OBF}_A$	

Special Mode Combination Considerations

There are several combinations of modes when not all of the bits in Port C are used for control or status. The remaining bits can be used as follows:

If Programmed as Inputs —
All input lines can be accessed during a normal Port C read.

If Programmed as Outputs —
Bits in C upper (PC_7-PC_4) must be individually accessed using the bit set/reset function.

Bits in C lower (PC_3-PC_0) can be accessed using the bit set/reset function or accessed as a threesome by writing into Port C.

Source Current Capability on Port B and Port C

Any set of eight output buffers, selected randomly from Ports B and C can source 1mA at 1.5 volts. This feature allows the 8255 to directly drive Darlington type drivers and high-voltage displays that require such source current.

Reading Port C Status

In Mode 0, Port C transfers data to or from the peripheral device. When the 8255 is programmed to function in Modes 1 or 2, Port C generates or accepts "hand-shaking" signals with the peripheral device. Reading the contents of Port C allows the programmer to test or verify the "status" of each peripheral device and change the program flow accordingly.

There is no special instruction to read the status information from Port C. A normal read operation of Port C is executed to perform this function.

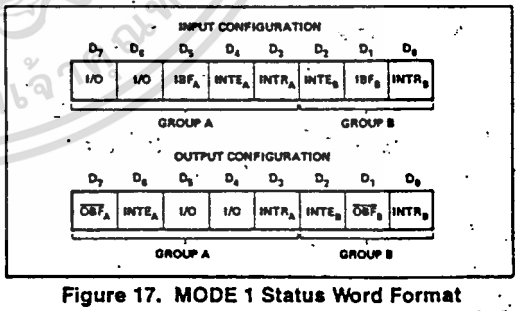


Figure 17. MODE 1 Status Word Format

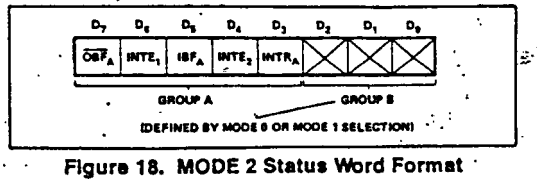


Figure 18. MODE 2 Status Word Format

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

APPLICATIONS OF THE 8255A

The 8255A is a very powerful tool for interfacing peripheral equipment to the microcomputer system. It represents the optimum use of available pins and is flexible enough to interface almost any I/O device without the need for additional external logic.

Each peripheral device in a microcomputer system usually has a "service routine" associated with it. The routine manages the software interface between the device and the CPU. The functional definition of the 8255A is programmed by the I/O service routine and becomes an extension of the system software. By examining the I/O devices interface characteristics for both data transfer and timing, and matching this information to the examples and tables in the detailed operational description, a control word can easily be developed to initialize the 8255A to exactly "fit" the application. Figures 19 through 25 present a few examples of typical applications of the 8255A.

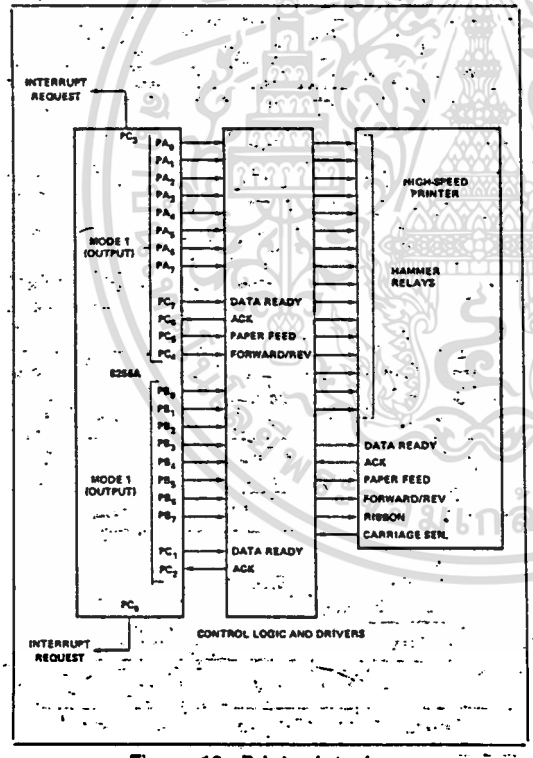


Figure 19. Printer Interface

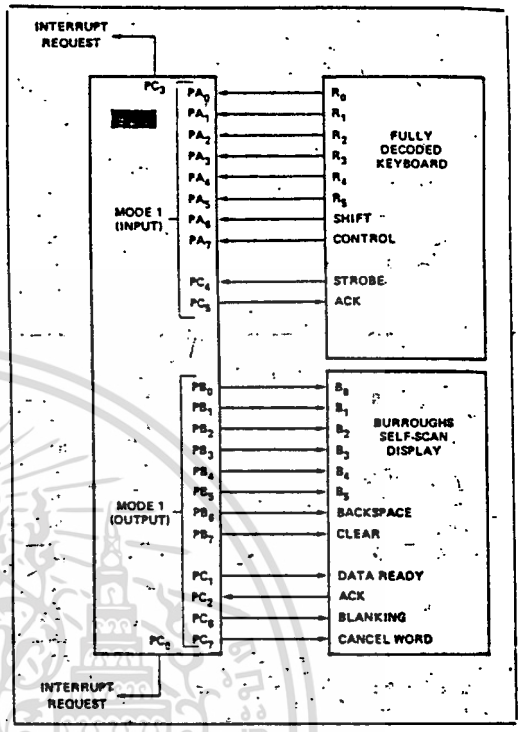


Figure 20. Keyboard and Display Interface

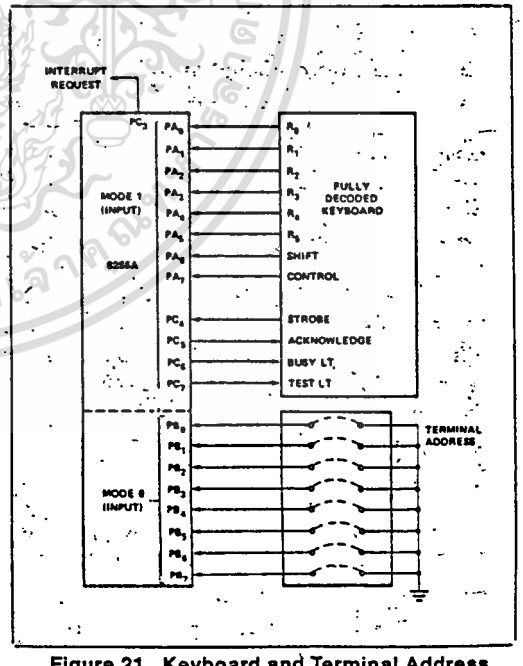


Figure 21. Keyboard and Terminal Address Interface

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

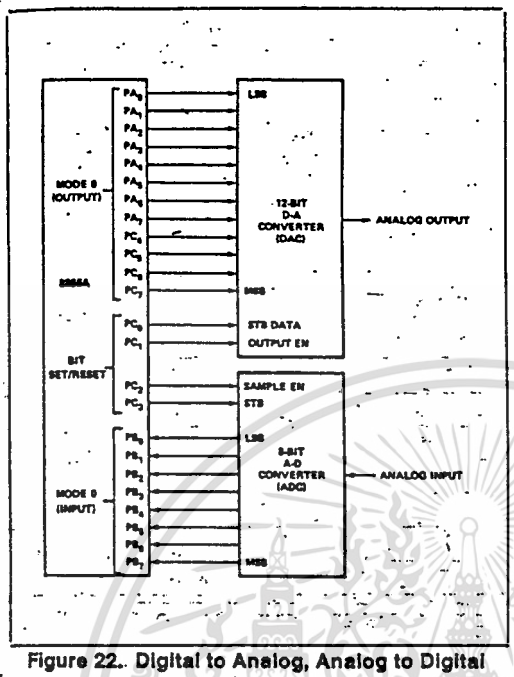


Figure 22. Digital to Analog, Analog to Digital

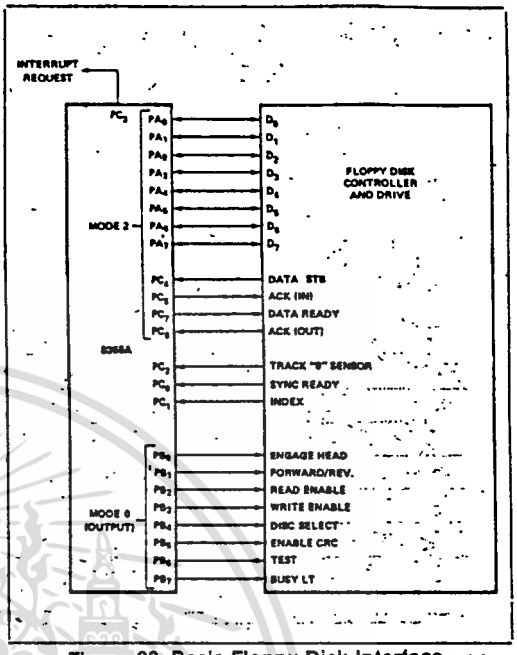


Figure 23. Basic Floppy Disk Interface

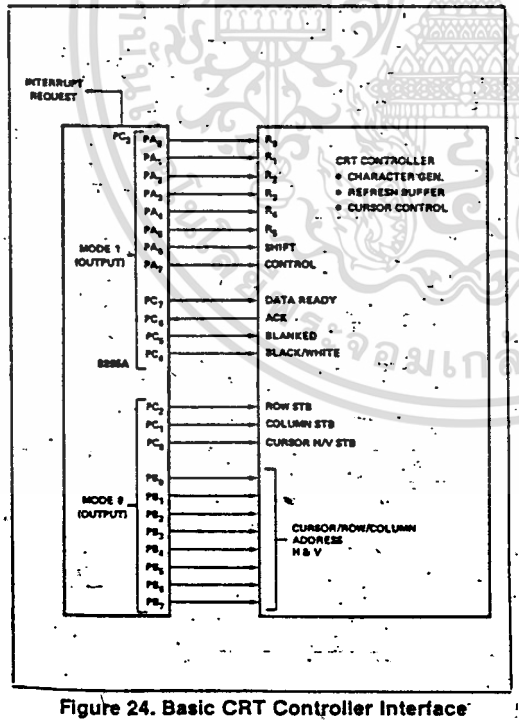


Figure 24. Basic CRT Controller Interface

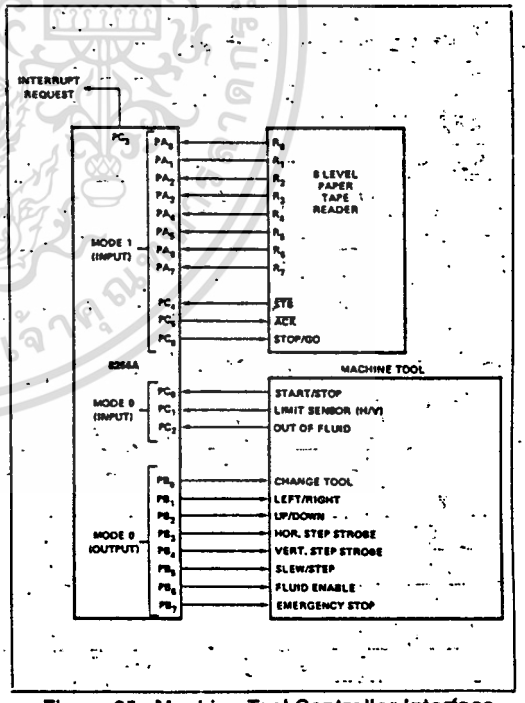


Figure 25. Machine Tool Controller Interface

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ABSOLUTE MAXIMUM RATINGS*

Ambient Temperature Under Bias . . . . . 0°C to 70°C
Storage Temperature . . . . . −65°C to +150°C
Voltage on Any Pin
With Respect to Ground . . . . . −0.5V to +7V
Power Dissipation . . . . . 1 Watt

NOTICE: Stresses above those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. This is a stress rating only and functional operation of the device at these or any other conditions above those indicated in the operational sections of this specification is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

D.C. CHARACTERISTICS (T_A = 0°C to 70°C, V_{CC} = +5V ±10%, GND = 0V)*

Symbol	Parameter	Min.	Max.	Unit	Test Conditions
V_{IL}	Input Low Voltage	-0.5	0.8	V	
V_{IH}	Input High Voltage	2.0	V_{CC}	V	
V_{OL} (DB)	Output Low Voltage (Data Bus)		0.45	V	I_{OL} = 2.5mA
V_{OL} (PER)	Output Low Voltage (Peripheral Port)		0.45	V	I_{OL} = 1.7mA
V_{OH} (DB)	Output High Voltage (Data Bus)	2.4		V	I_{OH} = -400μA
V_{OH} (PER)	Output High Voltage (Peripheral Port)	2.4		V	I_{OH} = -200μA
I_{DAR}[1]	Darlington Drive Current	-1.0	-4.0	mA	R_{EXT} = 750Ω; V_{EXT} = 1.5V
I_{CC}	Power Supply Current		120	mA	
I_{IL}	Input Load Current		±10	μA	V_{IN} = V_{CC} to 0V
I_{OFL}	Output Float Leakage		±10	μA	V_{OUT} = V_{CC} to .45V

NOTE:
1. Available on any 8 pins from Port B and C.

CAPACITANCE (T_A = 25°C, V_{CC} = GND = 0V)

Symbol	Parameter	Min.	Typ.	Max.	Unit	Test Conditions
C_{IN}	Input Capacitance			10	pF	fc = 1MHz
$C_{I/O}$	I/O Capacitance			20	pF	Unmeasured pins returned to GND

A.C. CHARACTERISTICS (T_A = 0°C to 70°C, V_{CC} = +5V ±10%, GND = 0V)*

Bus Parameters

READ

Symbol	Parameter	8255A		8255A-5		Unit
		Min.	Max.	Min.	Max.	
t_{AR}	Address Stable Before READ	0		0		ns
t_{RA}	Address Stable After READ	0		0		ns
t_{RR}	READ Pulse Width	300		300		ns
t_{RD}	Data Valid From READ[1]		250		200	ns
t_{DF}	Data Float After READ	10	150	10	100	ns
t_{RV}	Time Between READs and/or WRITEs	850		850		ns

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

A.C. CHARACTERISTICS (Continued)

WRITE

Symbol	Parameter	8255A		8255A-5		Unit
		Min.	Max.	Min.	Max.	
t_{AW}	Address Stable Before WRITE	0		0		ns
t_{WA}	Address Stable After WRITE	20		20		ns
t_{WW}	WRITE Pulse Width	400		300		ns
t_{DW}	Data Valid to WRITE (T.E.)	100		100		ns
t_{WD}	Data Valid After WRITE	30		30		ns

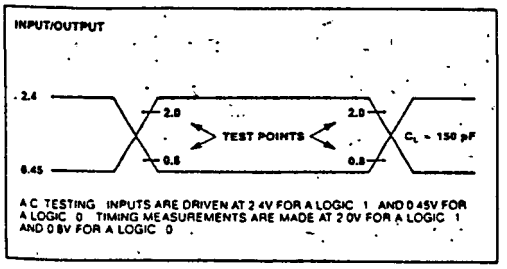
OTHER TIMINGS

Symbol	Parameter	8255A		8255A-5		Unit
		Min.	Max.	Min.	Max.	
t_{WB}	WR = 1 to Output[1]		350		350	ns
t_{IR}	Peripheral Data Before RD	0		0		ns
t_{HR}	Peripheral Data After RD	0		0		ns
t_{AK}	ACK Pulse Width	300		300		ns
t_{ST}	STB Pulse Width	500		500		ns
t_{PS}	Per. Data Before T.E. of STB	0		0		ns
t_{PH}	Per. Data After T.E. of STB	180		180		ns
t_{AD}	ACK = 0 to Output[1]		300		300	ns
t_{KD}	ACK = 1 to Output Float	20	250	20	250	ns
t_{WOB}	WR = 1 to OBF = 0[1]		650		650	ns
t_{AOB}	ACK = 0 to OBF = 1[1]		350		350	ns
t_{SIB}	STB = 0 to IBF = 1[1]		300		300	ns
t_{RIB}	RD = 1 to IBF = 0[1]		300		300	ns
t_{RIT}	RD = 0 to INTR = 0[1]		400		400	ns
t_{SIT}	STB = 1 to INTR = 1[1]		300		300	ns
t_{AIT}	ACK = 1 to INTR = 1[1]		350		350	ns
t_{WIT}	WR = 0 to INTR = 0[1,3]		450		450	ns

NOTES:
1. Test Conditions: C_L = 150 pF.
2. Period of Reset pulse must be at least 50μs during or after power on. Subsequent Reset pulse can be 500 ns min.
3. INTR↑ may occur as early as $\overline{WR}$↓.

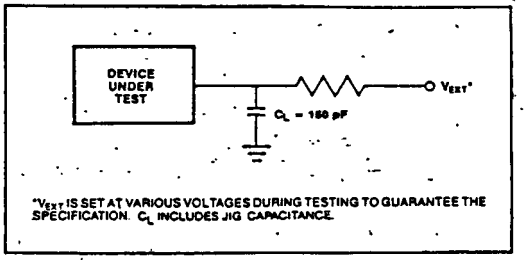
* For Extended Temperature EXPRESS, use M8255A electrical parameters.

A.C. TESTING INPUT, OUTPUT WAVEFORM



A.C. TESTING INPUTS ARE DRIVEN AT 2.4V FOR A LOGIC 1 AND 0.45V FOR A LOGIC 0. TIMING MEASUREMENTS ARE MADE AT 2.0V FOR A LOGIC 1 AND 0.8V FOR A LOGIC 0.

A.C. TESTING LOAD CIRCUIT

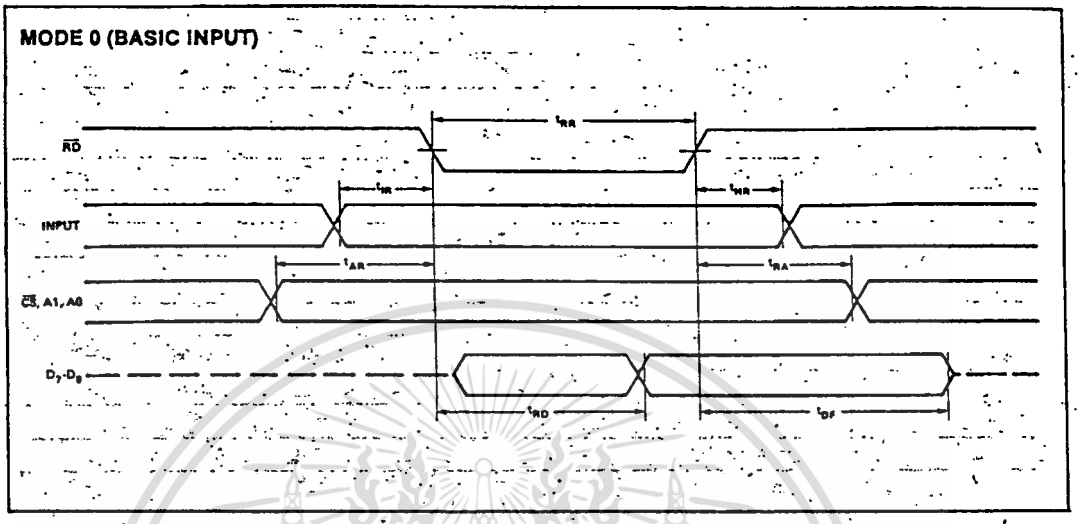


*V_{EXT} IS SET AT VARIOUS VOLTAGES DURING TESTING TO GUARANTEE THE SPECIFICATION. C_L INCLUDES JIG CAPACITANCE.

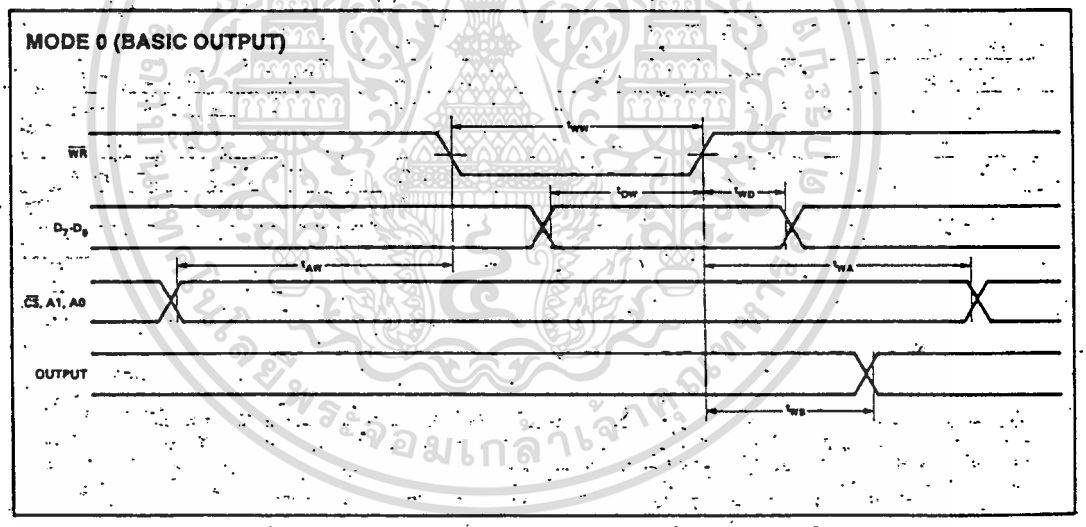
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

WAVEFORMS

MODE 0 (BASIC INPUT)



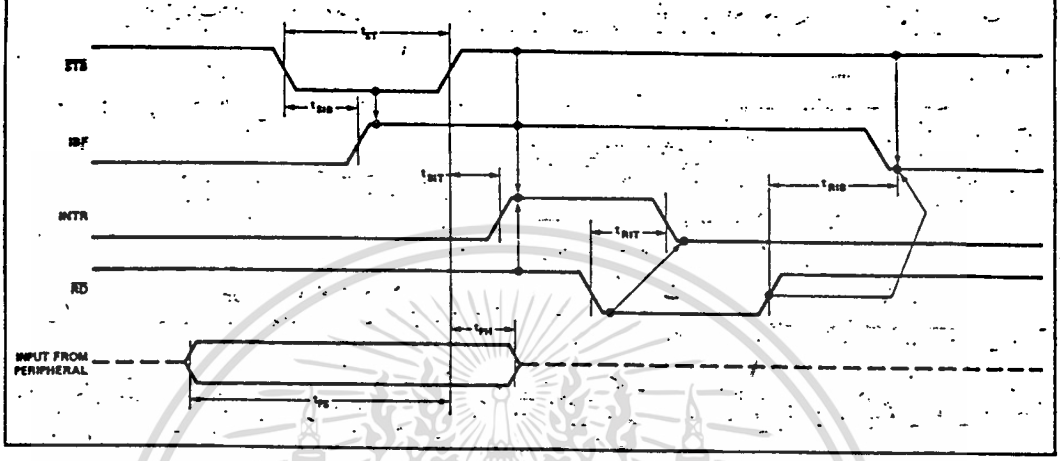
MODE 0 (BASIC OUTPUT)



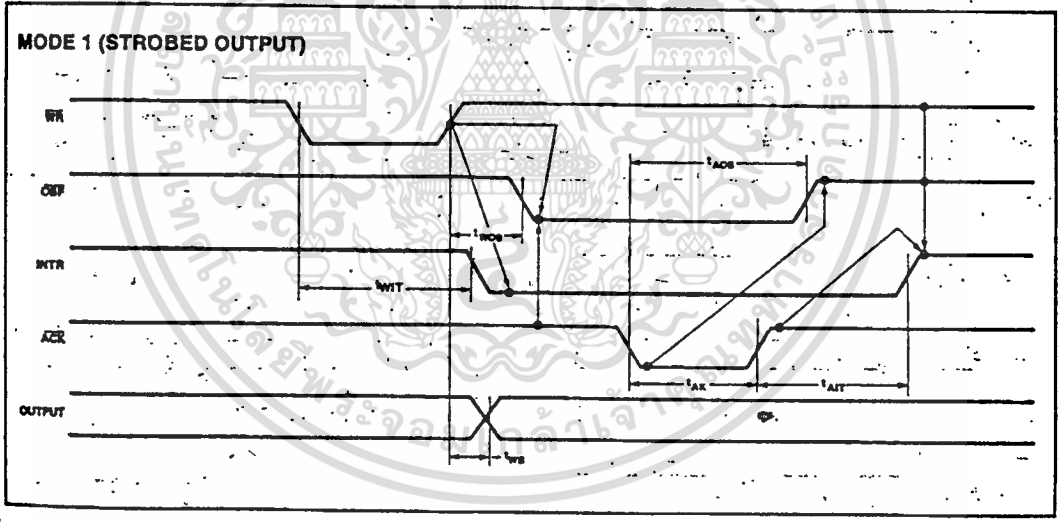
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

WAVEFORMS (Continued)

MODE 1 (STROBED INPUT)



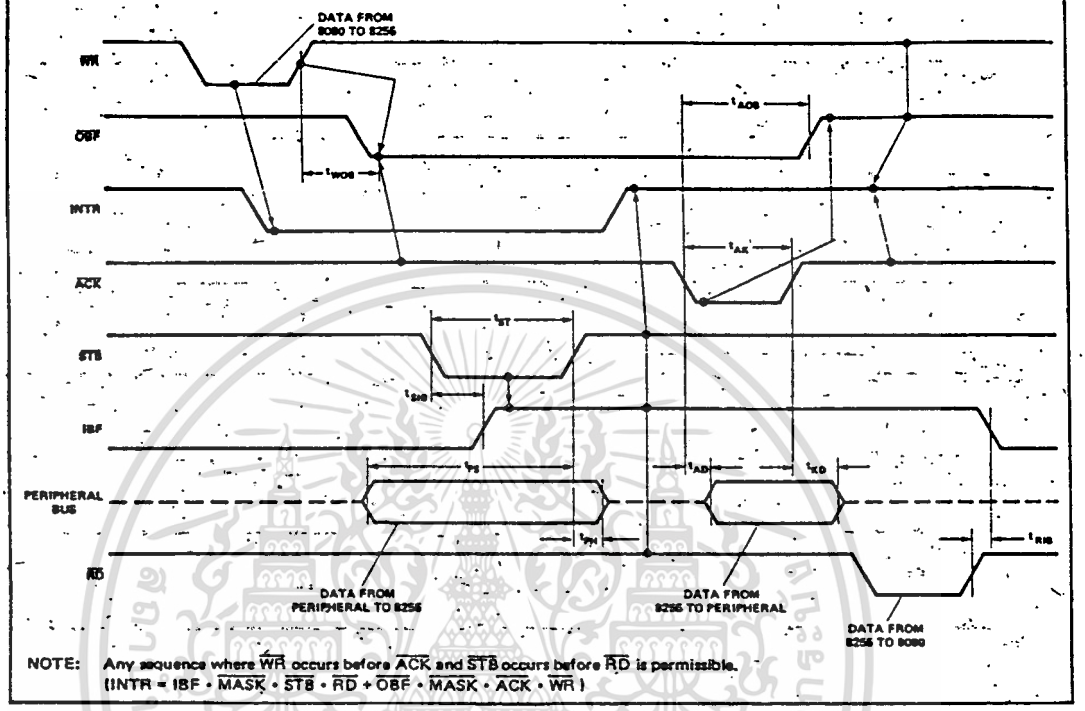
MODE 1 (STROBED OUTPUT)



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

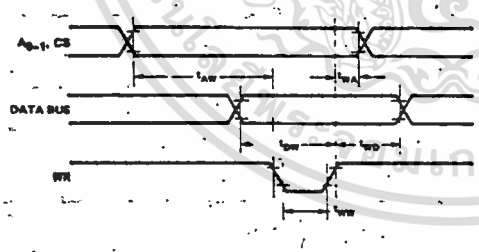
WAVEFORMS (Continued)

MODE 2 (BIDIRECTIONAL)

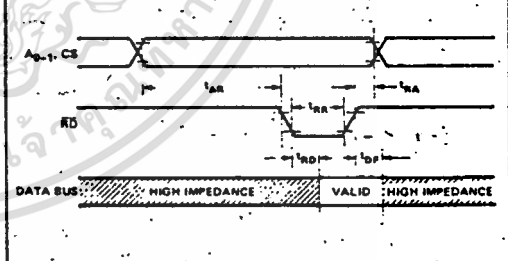


NOTE: Any sequence where $\overline{WR}$ occurs before $\overline{ACK}$ and $\overline{STB}$ occurs before $\overline{RD}$ is permissible.
(INTR = IBF • $\overline{MASK}$ • $\overline{STB}$ • $\overline{RD}$ + OBF • $\overline{MASK}$ • $\overline{ACK}$ • $\overline{WR}$)

WRITE TIMING



READ TIMING



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

8,192 WORD x 8 BIT UV ERASABLE AND ELECTRICALLY PROGRAMMABLE READ ONLY MEMORY

N-CHANNEL SILICON STACKED GATE MOS

TMM2764D
TMM2764D-2

DESCRIPTION

The TMM2764D is a 8192 word x 8 bit ultraviolet light erasable and electrically programmable read only memory. For read operation, the TMM2764D's access time is 200 ns, and the TMM2764D operates from a single 5-volt power supply and has low power standby mode which reduces the power dissipation without increasing access time. The standby mode is achieved by applying a TTL-high level signal to the $\overline{CE}$ input. The maximum active current is 120mA and the maximum standby current is 35mA.

For program operation, the programming is achieved by applying a 50ms active TTL low program pulse to the $\overline{PGM}$ input, and it is possible to program sequentially individually, or at random.

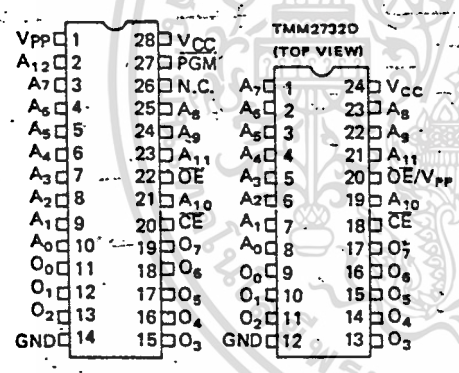
The TMM2764D is fabricated with the N-channel silicon double layer gate MOS technology and is packaged in a standard 28 pin dual in line cerdip package.

FEATURES

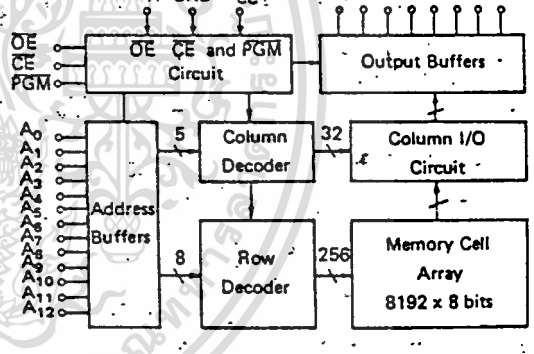
- Single 5-volt power supply
- Fast access time : TMM2764D 250 ns
  TMM2764D-2 200 ns
- Power dissipation :
  120 mA (active current) Max.
  35 mA (standby current) Max.
- Low power standby mode : $\overline{CE}$
- Output buffer control : $\overline{OE}$
- Fully static operation
- Programs with one 50 ms pulse
- Single location programming
- Three state outputs
- Inputs and outputs TTL compatible
- Pin compatible with i2764 and ROM TMM2364P

PIN CONNECTION

(TOP VIEW) Lower 24 pins compatible with 32K bit EPROM TMM2732D



BLOCK DIAGRAM



PIN NAMES

$A_0 \sim A_{12}$	Address Inputs
$O_0 \sim O_7$	Outputs (Inputs)
$\overline{CE}$	Chip Enable Input
$\overline{OE}$	Output Enable Input
$\overline{PGM}$	Program Control Input
N.C.	No Connection
V_{PP}	Program Supply Voltage
V_{CC}	V_{CC} Supply Voltage (+5V)
GND	Ground

MODE SELECTION

Mode \ Pin	$\overline{PGM}$ (27)	$\overline{CE}$ (20)	$\overline{OE}$ (22)	V_{PP} (1)	V_{CC} (28)	$O_0 \sim O_7$ (11~13, 15~19)	Power
Read	H	L	L	5V	5V	Data Out	Active
Output Deselect	*	*	H	5V	5V	High Impedance	Active
Standby	*	H	*	5V	5V	High Impedance	Standby
Program	L	L	*	21V	5V	Data in	Active
Program Inhibit	*	H	*	21V	5V	High Impedance	Active
	H	L	H	21V	5V	High Impedance	Active
Program Verify	H	L	L	21V	5V	Data Out	Active

Note: *: H or L

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MAXIMUM RATINGS

SYMBOL	ITEM	RATING	UNIT
V_{CC}	V_{CC} Power Supply Voltage	−0.6 ~ 7.0	V
V_{PP}	Program Supply Voltage	−0.6 ~ 22.0	V
V_{IN}	Input Voltage	−0.6 ~ 7.0	V
V_{OUT}	Output Voltage	−0.6 ~ 7.0	V
P_D	Power Dissipation	1.5	W
T_{SOLDER}	Soldering Temperature · Time	260 · 10	°C · sec
T_{STRG}	Storage Temperature	−65 ~ 125	°C
T_{OPR}	Operating Temperature	0 ~ 70	°C

READ OPERATION

D.C. RECOMMENDED OPERATING CONDITIONS

SYMBOL	PARAMETER	MIN.	TYP.	MAX.	UNIT
V_{IH}	Input High Voltage	2.0	–	V_{CC} + 1.0	V
V_{IL}	Input Low Voltage	−0.3	–	0.8	V
V_{CC}	V_{CC} Power Supply Voltage	4.75	–	5.25	V
V_{PP}	V_{PP} Power Supply Voltage	2.0	V_{CC}	V_{CC} + 0.6	V

D.C. and OPERATING CHARACTERISTICS (T_a = 0 ~ 70°C, V_{CC} = 5V ± 5% Unless otherwise noted)

SYMBOL	PARAMETER	CONDITIONS	MIN.	TYP.	MAX.	UNIT
I_{LI}	Input Current	V_{IN} = 0 ~ V_{CC}	–	–	± 10	μA
I_{CC1}	Supply Current (Standby)	$\overline{CE}$ = V_{IH}	–	–	35	mA
I_{CC2}	Supply Current (Active)	$\overline{CE}$ = V_{IL}	–	–	120	mA
V_{OH}	Output High Voltage	I_{OH} = −400μA	2.4	–	–	V
V_{OL}	Output Low Voltage	I_{OL} = 2.1mA	–	–	0.4	V
I_{PP1}	V_{PP} Current	V_{PP} = 0 ~ V_{CC} + 0.6	–	–	± 10	μA
I_{LO}	Output Leakage Current	V_{OUT} = 0.4 ~ V_{CC}	–	–	± 10	μA

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

A.C. CHARACTERISTICS

(T_a = 0 ~ 70°C, V_{CC} = 5V ± 5%, V_{PP} = 2.0V ~ V_{CC} + 0.6V, Unless otherwise noted)

SYMBOL	PARAMETER	CONDITIONS	TMM2764D-2		TMM2764D		UNIT
			MIN.	MAX.	MIN.	MAX.	
t_{ACC}	Address Access Time	$\overline{CE}$ = $\overline{OE}$ = V_{IL}, $\overline{PGM}$ = V_{IH}	—	200	—	250	ns
t_{CE}	$\overline{CE}$ to Output Valid	$\overline{OE}$ = V_{IL}, $\overline{PGM}$ = V_{IH}	—	200	—	250	ns
t_{OE}	$\overline{OE}$ to Output Valid	$\overline{CE}$ = V_{IL}, $\overline{PGM}$ = V_{IH}	—	70	—	100	ns
t_{PGM}	$\overline{PGM}$ to Output Valid	$\overline{OE}$ = $\overline{CE}$ = V_{IL}	—	70	—	100	ns
t_{DF1}	$\overline{CE}$ to Output in High-Z	$\overline{OE}$ = V_{IL}, $\overline{PGM}$ = V_{IH}	0	60	0	90	ns
t_{DF2}	$\overline{OE}$ to Output in High-Z	$\overline{CE}$ = V_{IL}, $\overline{PGM}$ = V_{IH}	0	60	0	90	ns
t_{DF3}	$\overline{PGM}$ to Output in High-Z	$\overline{OE}$ = $\overline{CE}$ = V_{IL}	0	60	0	90	ns
t_{OH}	Output Data Hold Time	$\overline{CE}$ = $\overline{OE}$ = V_{IL}, $\overline{PGM}$ = V_{IH}	0	—	—	—	ns

A.C. Test Conditions

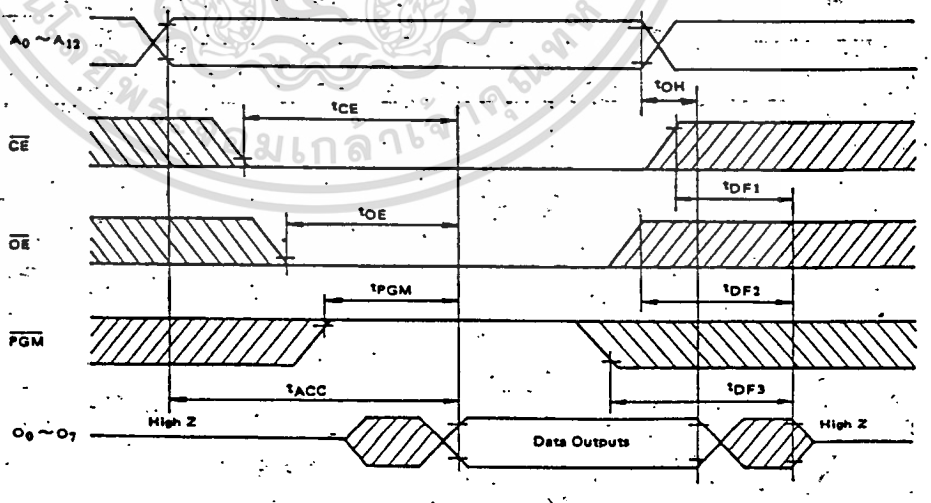
- Output Load : 1 TTL Gate and C_L = 100pF
- Input Pulse Rise and Fall Times : 10ns Max.
- Input Pulse Levels : 0.8V to 2.2V
- Timing Measurement Reference Level : Inputs 1V and 2V, Outputs 0.8V and 2.0V

CAPACITANCE (Ta = 25°C, f = 1MHz)

SYMBOL	PARAMETER	CONDITIONS	MIN.	TYP.	MAX.	UNIT
C_{IN}	Input Capacitance	V_{IN} = 0V	—	4	6	pF
C_{OUT}	Output Capacitance	V_{OUT} = 0V	—	8	12	pF

* This parameter is periodically sampled and is not 100% tested.

TIMING WAVEFORMS (READ)



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

PROGRAM OPERATION

D.C. RECOMMENDED OPERATING CONDITIONS

SYMBOL	PARAMETER	MIN.	TYP.	MAX.	UNIT
V_{IH}	Input High Voltage	2.0	–	V_{CC} + 1.0	V
V_{IL}	Input Low Voltage	−0.3	–	0.8	V
V_{CC}	V_{CC} Power Supply Voltage	4.75	5.0	5.25	V
V_{PP}	V_{PP} Power Supply Voltage	20.5	21.0	21.5	V

D.C. and OPERATING CHARACTERISTICS

($Ta = 25 \pm 5°C$, $V_{CC} = 5V \pm 5\%$, $V_{PP} = 21V \pm 0.5V$)

SYMBOL	PARAMETER	CONDITIONS	MIN.	TYP.	MAX.	UNIT
I_{LI}	Input Current	$V_{IN} = 0 \sim V_{CC}$	–	–	± 10	μA
V_{OH}	Output High Voltage	$I_{OH} = -400\mu A$	2.4	–	–	V
V_{OL}	Output Low Voltage	$I_{OL} = 2.1mA$	–	–	0.4	V
I_{CC}	V_{CC} Supply Current	–	–	–	120	mA
I_{PP2}	V_{PP} Supply Current	$V_{PP} = 21.5V$	–	–	30	mA

A.C. PROGRAMMING CHARACTERISTICS

($Ta = 25 \pm 5°C$, $V_{CC} = 5V \pm 5\%$, $V_{PP} = 21V \pm 0.5V$)

SYMBOL	PARAMETER	CONDITIONS	MIN.	Typ.	MAX.	UNIT
t_{AS}	Address Setup Time	–	2	–	–	μs
t_{AH}	Address Hold Time	–	2	–	–	μs
t_{CES}	$\overline{CE}$ Setup Time	–	2	–	–	μs
t_{CEH}	$\overline{CE}$ Hold Time	–	2	–	–	μs
t_{DS}	Data Setup Time	–	2	–	–	μs
t_{DH}	Data Hold Time	–	2	–	–	μs
t_{PS}	$\overline{PGM}$ Setup Time	–	2	–	–	μs
t_{PH}	$\overline{PGM}$ Hold Time	–	2	–	–	μs
t_{OES}	$\overline{OE}$ Setup Time	–	2	–	–	μs
t_{VS}	V_{PP} Setup Time	–	2	–	–	μs
t_{PW}	Program Pulse Width	$\overline{PGM} = \overline{CE} = V_{IL}$	45	50	55	ms
t_{CP}	Program Recovery Time	–	0	–	–	μs
t_{PRT}	Program Pulse Rise Time	–	5	–	–	ns
t_{PFT}	Program Pulse Fall Time	–	5	–	–	ns
t_{CE}	$\overline{CE}$ to Output Valid	–	–	–	250	ns
t_{OE}	$\overline{OE}$ to Output Valid	–	–	–	100	ns
t_{DF1}	$\overline{CE}$ to Output in High Z	$\overline{OE} = V_{IL}$	–	–	90	ns
t_{DF2}	$\overline{OE}$ to Output in High Z	$\overline{CE} = V_{IL}$	–	–	90	ns

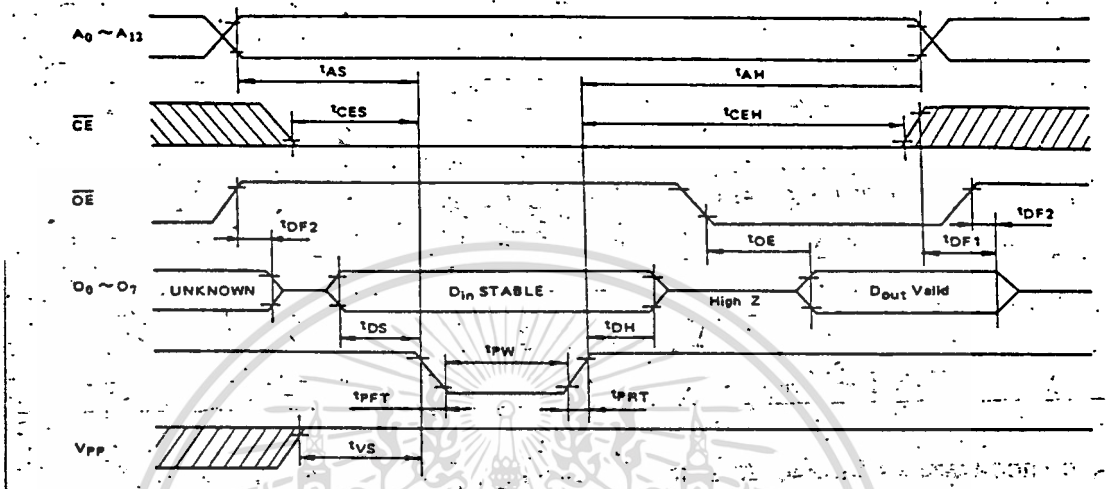
A.C. Test Conditions

- Output Load : 1TTL Gate and C_L (100 pF)
- Input Pulse Rise and Fall Times : 10ns Max.
- Input Pulse Levels : 0.8 ~ 2.2V
- Timing Measurement Reference Level : Input 1V and 2V ; Output 0.8V and 2.0V

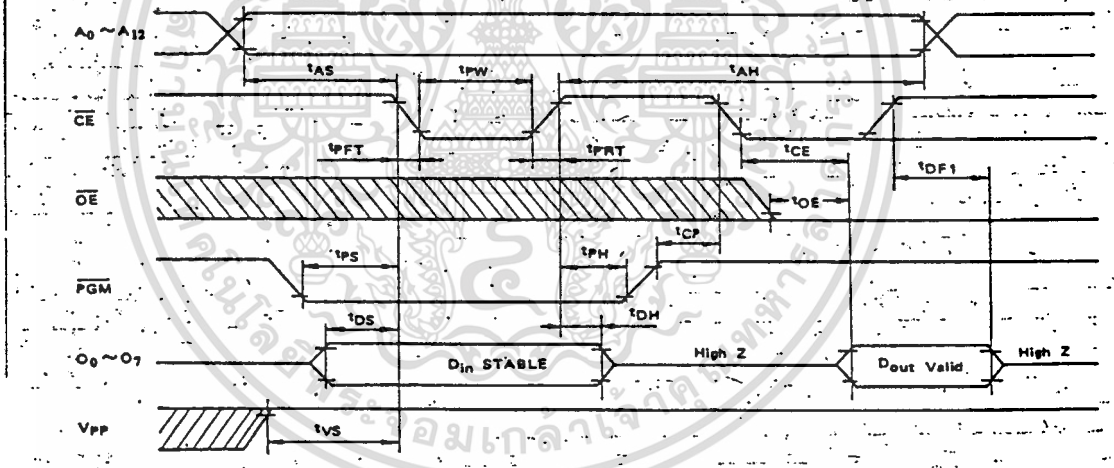
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TIMING WAVEFORMS (PROGRAM)

PROGRAM OPERATION 1. (V_{PP} = 21V ± 0.5V)



PROGRAM OPERATION 2. (V_{PP} = 21V ± 0.5V)



Note: 1. V_{CC} must be applied simultaneously or before V_{PP} and cut off simultaneously or after V_{PP}.
2. Removing the device from socket and setting the device in socket with V_{PP} = 21V may cause permanent damage to the device.
3. The V_{PP} supply voltage is permitted up to 22V for program operation, so the voltage over 22V should not be applied to the V_{PP} terminal.
When the switching pulse voltage is applied to the V_{PP} terminal, the over-shoot voltage of its pulse should not be exceeded 22V.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ERASURE CHARACTERISTICS

The TMM2764D's erasure is achieved by applying shortwave ultraviolet light which has a wavelength of 2537Å (Angstroms) to the chip through the transparent window. Then integrated dose (Ultraviolet light intensity [w/cm²] x exposure time [sec.]) for erasure should be a minimum of 15 [W. sec/cm²].

When the Toshiba sterilizing lamp GL-15 is used and the device is exposed at a distance of 1 cm from the lamp surface, the erasure will be achieved within 60 minutes. And using commercial lamps whose ultraviolet light intensity is a 12000 [μw/cm²] will reduce the exposure time to about 20 minutes. (In this case, the integrated does is 12000 [μw/cm²] x (20 x 60) [sec] ≅ 15 [w. sec/cm²].)

The TMM2764D's erasure begins to occur when exposed to light with wavelength shorter than 4000 Å. The sunlight and the fluorescent lamps will include 3000 ~ 4000 Å wavelength components. Therefore when used under such lighting for extended periods of time, the opaque seals - Toshiba EPROM Protect Seal AC901 - are available.

OPERATION INFORMATION

The TMM2764D's six operation modes are listed in the following table. Mode selection can be achieved by applying TTL level signal to all inputs. In the read operation mode, a single 5V power supply is required and the levels required for all inputs are TTL.

		$\overline{PGM}$ (27)	$\overline{CE}$ (20)	$\overline{OE}$ (22)	V_{PP} (1)	V_{CC} (28)	$O_0 \sim O_7$ (11~13, 15~19)	Power
READ OPERATION (Ta = 0 ~ 70°C)	Read	H	L	L	5V	5V	Data Out	Active
	Output Deselect	•	•	H			High Impedance	Active
	Standby	•	H	•			High Impedance	Standby
PROGRAM OPERATION (Ta = 25 ± 5°C)	Program	L	L	•	21V	5V	Data In	Active
	Program	•	H	•			High Impedance	Active
	Inhibit	H	L	H			High Impedance	Active
	Program Verify	H	L	L			Data Out	Active

Note: H; V_{IH}, L; V_{IL}, •; V_{IH} or V_{IL}

READ MODE

The TMM2764D has three control functions. The chip enable ($\overline{CE}$) controls the operation power and should be used for device selection.

The output enable ($\overline{OE}$) and the program control ($\overline{PGM}$) control the output buffers, independent of device selection.

Assuming that $\overline{CE} = \overline{OE} = V_{IL}$ and $\overline{PGM} = V_{IH}$, the output data is valid at the outputs after address access time from stabilizing of all addresses.

The $\overline{CE}$ to output valid (t_{CE}) is equal to the address access time (t_{ACC}).

Assuming that $\overline{CE} = V_{IL}$, $\overline{PGM} = V_{IH}$ and all addresses are valid, the output data is valid at the outputs after t_{OE} from the falling edge of $\overline{OE}$.

And assuming that $\overline{CE} = \overline{OE} = V_{IL}$ and all addresses are valid, the output data is valid at the outputs after t_{PGM} from the rising edge of $\overline{PGM}$.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

OUTPUT DESELECT MODE

Assuming that $\overline{CE} = V_{IH}$ or $\overline{OE} = V_{IH}$, the outputs will be in a high impedance state. So two or more TMM2764D can be connected together on a common bus line. When $\overline{CE}$ is decoded for device selection, all deselected devices are in low power standby mode.

STANDBY MODE

The TMM2764D has a low power standby mode controlled by the $\overline{CE}$ signal. By applying a TTL high level to the $\overline{CE}$ input, the TMM2764D is placed in the standby mode which reduce the operating current from 120mA to 35mA, and then the outputs are in a high impedance state, independent of the $\overline{OE}$ and the $\overline{PGM}$ inputs.

PROGRAM MODE

Initially, when received by customers, all bits of the TMM2764D are in the "1" state which is erased state.

Therefore the program operation is to introduce "0s" data into the desired bit locations by electrically programming.

The TMM2764D is set up in the program operation mode when applied the program voltage (+21V) to the V_{PP} terminal under $\overline{CE} = \overline{PGM} = \overline{OE} = V_{IH}$.

The program operation occurs during the overlap of the $\overline{CE}$ low and the $\overline{PGM}$ low. Then the programming is achieved by applying a 50ms (t_{PW}) active low program pulse to the $\overline{CE}$ or the $\overline{PGM}$ input after the addresses and data are stable.

This program pulse should be a single pulse with 50ms pulse width per address word, and its maximum value is 55ms.

The levels required for all inputs are TTL.

The TMM2764D can be programmed any location at anytime — either individually, sequentially, or at random.

The TMM2764D should not be programmed with D.C. signal applied to both $\overline{CE}$ and $\overline{PGM}$ inputs.

PROGRAM VERIFY MODE

The verify mode is to check that the desired data is correctly programmed on the programmed bits.

The verify is accomplished with $\overline{OE}$ and $\overline{CE}$ at V_{IL} and $\overline{PGM}$ at V_{IH}.

PROGRAM INHIBIT MODE

Under the condition that the program voltage (+21V) is applied to V_{PP} terminal, a high level $\overline{CE}$ or $\overline{PGM}$ input inhibits the TMM2764D from being programmed. Programming of two or more TMM2764Ds in parallel with different data is easily accomplished. That is, all inputs except for $\overline{CE}$ or $\overline{PGM}$ may be commonly connected, and a TTL low level program pulse is applied to the $\overline{CE}$ and $\overline{PGM}$ of the desired device only and TTL high level signal is applied to the other devices.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5411/7411 Triple 3-Input Positive-AND Gate

	Schottky TTL					High-Speed TTL					Low-Power Schottky TTL					Standard TTL					Low-Power TTL				
	Device Type	Package C	P	M	CF	Device Type	Package C	P	M	CF	Device Type	Package C	P	M	CF	Device Type	Package C	P	M	CF	Device Type	Package C	P	M	CF
T.I.	SN54S11	J①			W①	SN54H11	J①			W①	SN54LS11	J①			W①										
	SN74S11	J①	N①			SN74H11	J①	N①			SN74LS11	J①	N①												
FAIRCHILD	FM54S11	D①			F①	FM54H11/FM94H11	D①			F②	FM54LS11/FM74LS11	D①			F②	FM5411/FM9N11	D①			F②					
	FC74S11/FC3S11	D①	P①			FC74H11/FC9H11	D①	P①			FC74LS11/FC9LS11	D①	P①		F①	FC7411/FC9N11	D①	P①							
MOTOROLA						MC3106	L①			F①															
						MC3006	L①	P①		F①	SN74LS11		P①												
N.S.C.						DM54H11	J①	N①			DM54LS11					DM5411	J①	N①			DM54L11				
	DM74S11		N①			DM74H11	J①	N①			DM74LS11					DM7411	J①	N①			DM74L11				
PHILIPS	N74S11		①			N74H11		①			N74LS11					N7411		1.							
SIGNETICS						S54H11	F①	A①		W②						S5411	F①	A①		W②					
	N74S11					N74H11	F①	A①			N74LS11		A①			N7411	F①	A①							
SIEMENS																FLH581		①							
FUJITSU											74LS11		M①												
HITACHI	HD74S11		①	P①							HD74LS11		P①												
MITSUBISHI	M5S011			P①							M74LS11		P①												
NEC	μPB233	D①		C①							74LS11		C①			7411		C①							
TOSHIBA																									

Electrical Characteristics SN54LS11/SN74LS11

absolute maximum ratings over operating free-air temperature range

Supply voltage, V_{CC}	7V	Operating free-air temperature range:	SN54LS	−55°C to 125°C
Input voltage	7V		SN74LS	0°C to 70°C
Interemitter voltage	5.5V	Storage temperature range		−65°C to 150°C

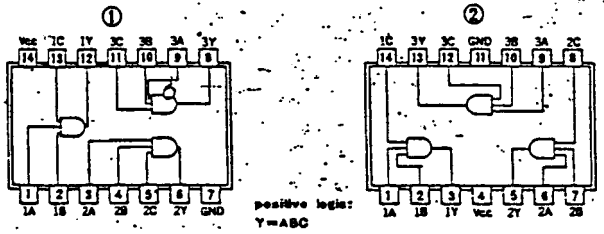
recommended operating conditions

	SN54LS11			SN74LS11			UNIT
	MIN	NOM	MAX	MIN	NOM	MAX	
Supply voltage, V_{CC}	4.5	5	5.5	4.75	5	5.25	V
High-level output current, I_{OH}			−400			−400	μA
Low-level output current, I_{OL}			4			8	mA
Operating free-air temperature, T_A	−55		125	0		70	°C

electrical characteristics over recommended operating free-air temperature range

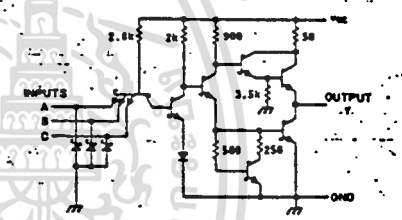
PARAMETER		TEST CONDITIONS†		MIN	TYP‡	MAX	UNIT
V_{IH}	High-level input voltage			2			V
V_{IL}	Low-level input voltage					0.8	V
V_I	Input clamp voltage	V_{CC}=MIN, I_I=−18mA				−1.5	V
V_{OH}	High-level output voltage	V_{CC}=MIN, V_{IH}=2V, I_{OH}=MAX	54LS Family	2.5	3.4		V
			74LS Family	2.7	3.4		
V_{OL}	Low-level output voltage	V_{CC}=MIN, V_{IL}=V_{IL} max, I_{OL}=4mA			0.25	0.4	V
I_I	Input current at maximum input voltage	V_{CC}=MAX, V_I=7V				0.1	mA
I_{IH}	High-level input current	V_{CC}=MAX, V_{IH}=2.7V				20	μA
I_{IL}	Low-level input current	V_{CC}=MAX, V_{IL}=0.5V				−0.4	mA
I_{OS}	Short circuit output current*	V_{CC}=MAX		−20		−100	mA
I_{CCH}	Supply current	V_{CC}=MAX	Total, outputs high		1.8	3.6	mA
I_{CCL}	Supply current		Total, outputs low		3.3	6.6	mA
I_{CC}	Supply current	V_{CC}=5V	Average per gate (50% duty cycle)		0.85		mA
t_{PLH}	Propagation delay time, low-to-high-level output	V_{CC}=5V, T_A=25°C	C_L=15pF, R_L=2kΩ		8	15	ns
t_{PHL}	Propagation delay time, high-to-low-level output				18	28	ns

Pin Assignments (Top View)

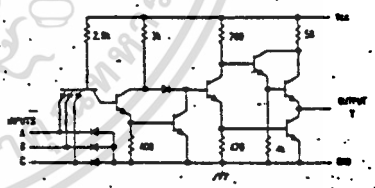


positive logic: Y=ABC

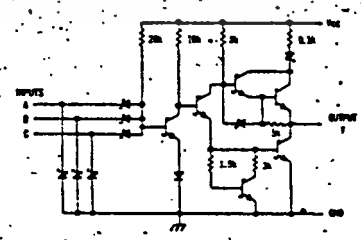
Schematics (each gate)



'S11 CIRCUIT.



'N11 CIRCUIT



'LS11 CIRCUIT

Resistor values shown are nominal and in ohms.

†For conditions shown as MIN or MAX, use the appropriate values specified under recommended operating conditions.
‡All typical values are at V_{CC}=5V, T_A=25°C.
*Not more than one output should be shorted at a time, and for SN54H"/SN74H" and SN54S"/SN74S", duration of output short circuit should not exceed one second.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5474/7474 Dual D-Type Positive-Edge-Triggered Flip-Flop with Preset and Clear

	Schottky TTL					High-Speed TTL					Low-Power Schottky TTL					Standard TTL					Low-Power TTL				
	Device Type	Package				Device Type	Package				Device Type	Package				Device Type	Package				Device Type	Package			
		C	P	M	CF		C	P	M	CF		C	P	M	CF		C	P	M	CF		C	P	M	CF
T.I.	SN54S74	J①			W①	SN54H74	J①			W②	SN54LS74	J①			W①	SN5474	J①			W②	SN54L74	J①N①		T②	
	SN74S74	J①N①				SN74H74	J①N①				SN74LS74	J①N①				SN7474	J①N①				SN74L74	J①N①		T②	
FAIRCHILD	FM54S74/FM9S74	D①				FM54H74/FM9H74	D①			F②	[illegible]	R①			F①	FM5474/FM9N74	D①			F②					
	FC74S74/FC9S74	D①	P①			FC74H74/FC9H74	D①	P①		F②	[illegible]	R①	P①		F①	FC7474/FC9N74	D①	P①							
MOTOROLA											SN74LS74		P①												
N.S.C.						DM54H74	J①N①				DM54LS74		P①			DM5474	J①N①			W②	DM54L74	J①N①			F②
	DM74S74		N①			DM74H74	J①N①				DM74LS74		P①			DM7474	J①N①				DM74L74	J①N①			F②
PHILIPS	N74S74		①			OJJ131/74H74		①			N74LS74		①			FJJ131/7474		①							
SIGNETICS	S54S74					S54H74	F①	A①		W①						S5474	F①	A①		W②					
	N74S74					N74H74	F①	A①			N74LS74		A①			N7474	F①	A①							
SIEMENS																FLJ141		①							
FUJITSU											74LS74		M①			MB420	①	M①							
HITACHI	HD74S74	①	P①								HD74LS74		P①			HD7474/HD2510	①	P①							
MITSUBISHI	M74S74		P①								M74LS74		P①			M5327/M5374		P①							
NEC	74S74		C①								74LS74		C①			μPB214	D①	C①							
TOSHIBA																TD3474A		P①							

Electrical Characteristics SN54LS74/SN74LS74

absolute maximum ratings over operating free-air temperature range

Supply voltage, V_{CC}	7V	Operating free-air temperature range	SN54LS	−55°C to 125°C
Input voltage	5.5V		SN74LS	0°C to 70°C
		Storage temperature range		−65°C to 150°C

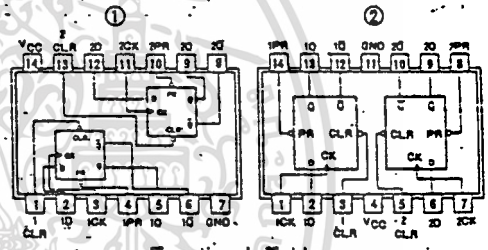
recommended operating conditions

		SN54LS74			SN74LS74			UNIT
		MIN	NOM	MAX	MIN	NOM	MAX	
Supply voltage, V_{CC}		4.5	5	5.5	4.75	5	5.25	V
High-level output current, I_{OH}				−400			−400	μA
Low-level output current, I_{OL}				4			8	mA
Pulse width, t_w	Clock high	25			25			ns
	Preset or clear low	25			25			
Input setup time, t_{su}	High-level data	25†			25†			ns
	Low-level data	20†			20†			
Input hold time, t_h		5†			5†			ns
Operating free-air temperature, T_A		−55		125	0		70	°C

electrical characteristics over recommended operating free-air temperature range

PARAMETER		TEST CONDITIONS†	MIN	TYP‡	MAX	UNIT
V_{IH}	High-level input voltage		2			V
V_{IL}	Low-level input voltage				0.8	V
V_I	Input clamp voltage	V_{CC}=MIN, I_I=−18mA			−1.5	V
V_{OH}	High-level output voltage	V_{CC}=MIN, V_{IH}=2V, V_{IL}=0.8V, I_{OH}=MAX	2.7	3.4		V
V_{OL}	Low-level output voltage	V_{CC}=MIN, V_{IH}=2V, V_{IL}=0.8V, I_{OL}=4mA		0.25	0.4	V
I_I	Input current at maximum input voltage: J, K	V_{CC}=MAX, V_I=7V			0.1	mA
	Clear				0.2	
	Preset				0.2	
	Clock				0.1	
I_{IH}	High-level input current: J, K	V_{CC}=MAX, V_I=2.7V			20	μA
	Clear				40	
	Preset				40	
	Clock				20	
I_{IL}	Low-level input current: J, K	V_{CC}=MAX, V_I=0.4V			−0.4	mA
	Clear				−0.8	
	preset				−0.8	
	Clock				−0.4	
I_{OS}	Short-circuit output current*: Series 54LS	V_{CC}=MAX	−20		−100	mA
	Series 74LS		−20		−100	
I_{CC}	Supply current (Average per flip-flop)	V_{CC}=MAX, See Note 1		4	8	mA
f_{clock}	clock frequency	V_{CC}=5V, T_A=25°C, C_L=15pF, R_L=2kΩ	25	33		MHz
t_{PLH}	from clear, preset or clock (as appropriate) to Q or Q̄			13	25	ns
t_{PHL}				25	40	

Pin Assignments (Top View)

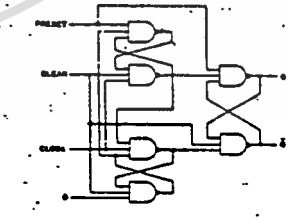


Functional Table

'74, 'H74, 'LS74, 'S74 (See Note 2)

INPUTS				OUTPUTS	
PRESET	CLEAR	CLOCK	D	Q	Q̄
L	H	X	X	H	L
H	L	X	X	L	H
L	L	X	X	H*	H*
H	H	↑	H	H	L
H	H	↑	L	L	H
H	H	L	X	Q_0	$\bar{Q}_0$

Functional Block Diagram



'74, 'S74, 'H74, 'LS74, 'L74-DUAL D-FLIP-FLOP WITH CLEAR AND PRESET

NOTES: 1. With all outputs open, I_{CC} is measured with the Q and Q̄ outputs high in turn. At the time of measurement, the clock input is grounded.

2. H=high level (steady state), L=low level (steady state), X=irrelevant
↑=transition from low to high level.
Q_0=the level of Q before the indicated input conditions were established.
*This configuration is nonstable; that is, it will not persist when preset and clear inputs return to their inactive (high) level.

†For conditions shown as MIN or MAX, use the appropriate value specified under recommended operating conditions.
‡All typical values are at V_{CC}=5V, T_A=25°C.
*Not more than one output should be shorted at a time.
§t_{PLH}=propagation delay time, low-to-high-level output;
t_{PHL}=propagation delay time, high-to-low-level output;
The arrow indicates the edge of the clock pulse used for reference: ↑ for the rising edge.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

· 5486 / 7486 Quadruple 2-Input Exclusive-OR Gate

	Schottky TTL					High-Speed TTL					Low-Power Schottky TTL					Standard TTL					Low-Power TTL				
	Device Type	Package C	P	M	F	Device Type	Package C	P	M	F	Device Type	Package C	P	M	F	Device Type	Package C	P	M	F	Device Type	Package C	P	M	F
T.I.	SN54S86	J①			W①						SN54LS86	J①			W①	SN5486	J①			W①	SN54L86	J②N②		T①	
	SN74S86	J①N①									SN74LS86	J①N①				SN7486	J①N①				SN74L86	J②N②		T①	
FAIRCHLD	FH5486/FH9586	D①			F①						FH54LS86/FH9LS86	D①			F①	FM5486/FM9N86	D①			F①					
	FC7486/FC9586	D①	P①								FC74LS86/FC9LS86	D①	P①		F①	FC7486/FC9N86	D①	P①							
MOTOROLA											SN74LS86		P①			MC7486		P①							
N·S·C											DM54LS86		P①			DM5486	J①N①			W①	DM54L86	J②N②		F①	
	DM74S86		N①								DM74LS86		P①			DM7486	J①N①				DM74L86	J②N②		F①	
PHLIPS	N74S86		②								N74LS86		①			FJH271/7486		①							
SIGNETICS	S54S86															S5486	F①	A①		W①					
	74S86										N74LS86		A①			N7486	F①	A①							
SIEMENS																FLH341		①							
FUJITSU											74LS86		M①			MB449		①M①							
HITACHI	HD74S86		①P①								HD74LS86		P①			HD7486/HD2526		①P①							
MISUBISHI											M74LS86		P①			M53286		P①							
NEC											74LS86		C①			μPB2086	D①								
TOSHIBA																TD7486		P①							

Electrical Characteristics SN54LS86/SN74LS86

absolute maximum ratings over operating free-air temperature range

Supply voltage, V_{CC}	7V	Operating free-air temperature range	SN54LS	−55°C to 125°C
Input voltage	7V		SN74LS	0°C to 70°C
		Storage temperature range		−65°C to 150°C

recommended operating conditions

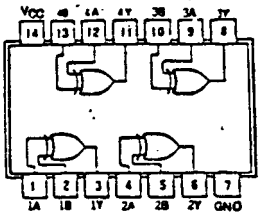
	SN54LS86 MIN	NOM	MAX	SN74LS86 MIN	NOM	MAX	UNIT
Supply voltage, V_{CC}	4.5	5	5.5	4.75	5	5.25	V
High-level output current, I_{OH}			−400			−400	μA
Low-level output current, I_{OL}			4			8	mA
Operating free-air temperature, T_A	−55		125	0		70	°C

electrical characteristics over recommended operating free-air temperature range

	PARAMETER ‡		TEST CONDITIONS †		SN74LS86 MIN	TYP‡	MAX	UNIT
V_{IH}	High-level input voltage				2			V
V_{IL}	Low-level input voltage						0.8	V
V_I	Input clamp voltage		V_{CC} = MIN,	I_I = −18mA			−1.5	V
V_{OH}	High-level output voltage		V_{CC} = MIN, V_{IH} = 2V, V_{IL} = V_{IL} max,	I_{OH} = −400μA	2.7	3.4		V
V_{OL}	Low-level output voltage		V_{CC} = MIN, V_{IH} = 2V, V_{IL} = V_{IL} max,	I_{OL} = 4mA		0.25	0.4	V
				I_{OL} = 8mA		0.35	0.5	
I_I	Input current at maximum input voltage							
I_{IH}	High-level input current		V_{CC} = MAX,	V_I = 7V			0.2	mA
I_{IL}	Low-level input current		V_{CC} = MAX,	V_I = 2.7V			40	μA
I_{OS}	Short-circuit output current ●		V_{CC} = MAX,	V_I = 0.4V			−0.8	mA
			V_{CC} = MAX,		−5		−42	mA
I_{CC}	Supply current		V_{CC} = MAX, See Note 2			6.1	10	mA
t_{PLH}	from A or B input	Other input low	V_{CC} = 5V, T_A = 25°C, C_L = 15pF, R_L = 2kΩ			12	23	ns
t_{PHL}						10	17	ns
t_{PLH}	from A or B input	Other input high				20	30	ns
t_{PHL}						13	22	ns

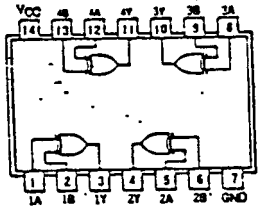
Pin Assignments (Top View)

①



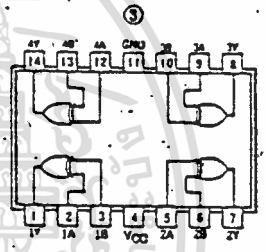
positive logic: $Y = A \oplus B = \overline{A}B + A\overline{B}$

②



positive logic: $Y = A \oplus B = \overline{A}B + A\overline{B}$

③



positive logic: $Y = A \oplus B = \overline{A}B + A\overline{B}$

Function Table

INPUTS A	INPUTS B	OUTPUT Y
L	L	L
L	H	H
H	L	H
H	H	L

H = High-level L = Low-level

NOTE : I_{CC} is measured with the inputs grounded and the outputs open.

† For conditions shown as MIN or MAX, use the appropriate value specified under recommended operating conditions for the applicable type.
‡ All typical values are at V_{CC} = 5V, T_A = 25°C.
● Not more than one output should be shorted at a time.
■ t_{PLH} = propagation delay time, low-to-high-level output
t_{PHL} = propagation delay time, high-to-low-level output

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

54123/74123 Dual Retriggerable Monostable Multivibrator with Clear

	Schottky TTL					High-Speed TTL					Low-Power Schottky TTL					Standard TTL					Low-Power TTL				
	Device Type	Package				Device Type	Package				Device Type	Package				Device Type	Package				Device Type	Package			
		C	P	M	CF		C	P	M	CF		C	P	M	CF		C	P	M	CF		C	P	M	CF
T.I											SN54LS123		J①		W①	SN54123		J①		W①	SN54L123		J①		
											SN74LS123		J①	N①		SN74123		J①	N①		SN74L123		J①	N①	
FAIRCHILD																/DM54123/ /DM54LS123		D①							
																/DM74123/ /DM74LS123		D①	P①						
MOTOROLA																					DM54L123A			①	
																MC74123			P①		DM74L123A			①	
N.S.C.											DM54LS123			①											
											DM74LS123			①		DM74123			N①						
PHILIPS																									
											N74LS123			①		N74123			①						
SIGNETICS																S54123		F①	B①	W①					
																N74123		F①	B①						
SIEMENS																									
																FLK121			D①						
FUJITSU																									
											74LS123		M①			MB440		①	M①						
HITACHI																									
											HD74LS123		P①			HD74123/HD2516		①	P①						
MITSUBISHI																									
											M74LS123		P①			M53323			P①						
NEC																									
																μPB2123		D①							
TOSHIBA																									

Electrical Characteristics SN54LS123/SN74LS123

absolute maximum ratings operating free-air temperature range

Supply voltage, V_{CC}	7V	Operating free-air temperature range	SN54LS	−55°C to 125°C
Input voltage	7V		SN74LS	0°C to 70°C
		Storage temperature range		−65°C to 150°C

recommended operating conditions

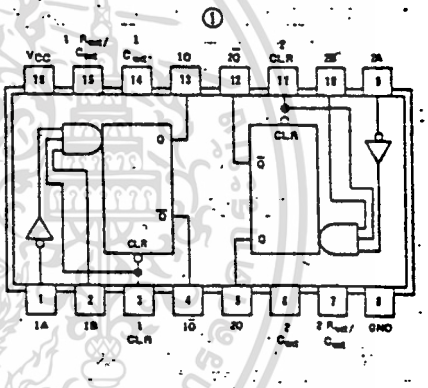
	SN54LS123			SN74LS123			UNIT
	MIN	NOM	MAX	MIN	NOM	MAX	
Supply voltage, V_{CC}	4.5	5	5.5	4.75	5	5.25	V
High-level output current, I_{OH}			−400			−400	μA
Low-level output current, I_{OL}			4			8	mA
Pulse width, t_w	40			40			ns
External timing resistance, R_{ext}	5		180	5		260	kΩ
External timing capacitance, C_{ext}	No restriction			No restriction			
Timing capacitance at Rext/Cext terminal			10			10	nF
Operating free-air temperature, T_A	−55		125	0		70	°C

electrical characteristics over recommended operating free-air temperature range

PARAMETER		TEST CONDITIONS†		MIN	TYP‡	MAX	UNIT
V_{IH}	High-level input voltage			2			V
V_{IL}	Low-level input voltage					0.8	V
V_I	Input clamp voltage	V_{CC}=MIN,	I_I=−18mA			−1.5	V
V_{OH}	High-level output voltage	V_{CC}=MIN, I_{OH}=MAX, See Note 1		2.7	3.5		V
V_{OL}	Low-level output voltage	V_{CC}=MIN, I_{OL}=8mA, See Note 1			0.35	0.5	V
I_I	Input current at maximum input voltage	V_{CC}=MAX,	V_I=7V			0.1	mA
I_{IH}	High-level input current	V_{CC}=MAX,	V_I=2.7V			20	μA
I_{IL}	Low-level input current	V_{CC}=MAX,	V_I=0.4V			0.4	mA
I_{OS}	Short-circuit output current ◆	V_{CC}=MAX, See Note 1		20		100	mA
I_{CC}	Supply current (quiescent or triggered)	V_{CC}=MAX, See Notes 2 and 3			12	20	mA
t_{PLH}	from A to output Q	V_{CC}=5V, T_A=25°C, C_L=15pF, R_L=2kΩ	C_{ext}=0, R_{ext}=5kΩ		22	33	ns
	from B to output Q				23	44	
t_{PHL}	from A to output Q				32	45	ns
	from B to output Q				34	56	
t_{PHL}	from Clear to output Q				20	27	ns
t_{PLH}	from Clear to output Q				28	45	
t_{wQ}(min)	from A or B to output Q				116	200	ns
t_{wQ}	from A or B to output Q		C_{ext}=1000pF, R_{ext}=10kΩ	4	4.5	5	μs

†For conditions shown as MIN or MAX, use the value specified under recommended operating conditions.
‡All typical values are at V_{CC}=5V, T_A=25°C.
◆Not more than one output should be shorted at a time.
■ t_{PLH} = propagation delay time, low-to-high-level output
t_{PHL} propagation delay time, high-to-low-level output

Pin Assignment (Top View)



FUNCTION TABLE

123 LS123, L123 (See Note 4)

INPUTS			OUTPUTS	
CLEAR	A	B	Q	$\bar{Q}$
L	X	X	L	H
X	H	X	L	H
X	X	L	L	H
H	L	↑	⎍	⎍
H	↓	H	⎍	⎍
↑	L	H	⎍	⎍

NOTES 1 : Ground C_{ext} to measure V_{OH} at Q, V_{OL} at Q, or I_{OS} at Q. C_{ext} is open to measure V_{OH} at Q, V_{OL} at Q, or I_{OS} at Q.

2 : Quiescent I_{CC} is measured (after clearing) with 2.4V applied to all clear and A inputs, B inputs grounded, all outputs open, C_{ext}=0.02 μF, and R_{ext}=25kΩ.

3 : I_{CC} is measured in the triggered state with 2.4V applied to all clear and B inputs, A inputs grounded, all outputs open, C_{ext}=0.02 μF, and R_{ext}=25 kΩ

4 : A, H=high level (steady state), L=low level (steady state), ↑=transition from low to high level, ↓=transition from high to low level, ⎍=one high-level pulse, ⎍=one low-level pulse, X=irrelevant (any input, including transitions).

B. An external timing capacitor may be connected between and Rext C_{ext}/C_{ext} (positive)

C. For accurate repeatable pulse widths, connect an external resistor between R_{ext}/C_{ext} and V_{CC} with R_{int} open-circuited.

D. To obtain variable pulse widths, connect external resistance between R_{int} or R_{ext}/C_{ext} and V_{CC}.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

54138/74138 · 3-Line-to-8-Line Decoder

	Schottky TTL					High-Speed TTL					Low-Power Schottky TTL					Standard TTL					Low-Power TTL				
	Device Type	Package C	P	M	CF	Device Type	Package C	P	M	CF	Device Type	Package C	P	M	CF	Device Type	Package C	P	M	CF	Device Type	Package C	P	M	CF
T.I.	SN54S138	J①			W①						SN54LS138	J①			W①										
	SN74S138	J①	N①								SN74LS138	J①	N①												
FAIRCHILD	·/FW54S138	D①									FW54LS138/FW74LS138	D①			F①										
	FC74S138/FC93S138	D①									FC74LS138/FC93LS138	D①	P①		F①										
MOTOROLA											SN74LS138		P①												
N.S.C.											DM74LS138		①												
	DM74S138		①								DM54LS138		①												
PHILIPS	N74S138		①								N74LS138		①												
SIGNETICS	S54S138	F①	B①		W①																				
	N74S138	F①	B①								N74LS138		A①												
SIEMENS																									
FUJITSU											74LS138		M①												
HITACHI											HD74LS138		P①												
MITSUBISHI	M74S138		P①								M74LS138		P①												
NEC											74LS138		C①												
TOSHIBA																									

Electrical Characteristics SN54LS138/SN74LS138

absolute maximum ratings over operating free-air temperature range

Supply voltage, V_{CC}	7V	Operating free-air temperature range	SN54LS	−55°C to 125°C
Input voltage	7V		SN74LS	0°C to 70°C
		Storage temperature range		−65°C to 150°C

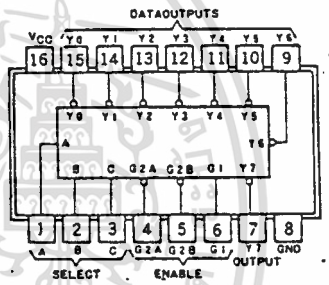
recommended operarating conditions

	SN54LS138 MIN	NOM	MAX	SN74LS138 MIN	NOM	MAX	UNIT
Supply voltage, V_{CC}	4.5	5	5.5	4.75	5	5.25	V
High-level output current, I_{OH}			400			400	μA
Low-level output current, I_{OL}			4			8	mA
Operating free-air temperature, T_A	−55		125	0		70	°C

electrical characteristics over recommended operating free-air temperature range

PARAMETER		TEST CONDITIONS†		MIN	TYP‡	MAX	UNIT
V_{IH}	High-level input voltage			2			V
V_{IL}	Low-level input voltage					0.8	V
V_I	Input clamp voltage	V_{CC}=MIN, I_I=−18mA				−1.5	V
V_{OH}	High-level output voltage	V_{CC}=MIN, V_{IH}=2V, V_{IL}=0.8V, IOH=400μA	SN54LS	2.5	3.4		V
			SN74LS	2.7	3.4		
V_{OL}	Low-level output voltage	V_{CC}=MIN, V_{IH}=2V, V_{IL}=0.8V, I_{OL}=8mA			0.35	0.5	V
I_I	Input current at maximum input voltage	V_{CC}=MAX, V_I=7V				0.1	mA
I_{IH}	High-level input current	V_{CC}=MAX, V_I=2.7V				20	μA
I_{IL}	Low-level input current	V_{CC}=MAX, V_I=0.4V				−0.4	mA
I_{OS}	Short-circuit output current *	V_{CC}=MAX		−20		−100	mA
I_{CC}	Supply current	V_{CC}=MAX, Outputs enabled and open			6.3	10	mA
t_{PLH}	from Binary select to Any output	V_{CC}=5V, T_A=25°C, C_L=15pF, R_L=2kΩ	levels of delay 2		13	20	ns
t_{PHL}					27	41	
t_{PLH}			3		18	27	ns
t_{PHL}					26	39	
t_{PLH}	from Enable to Any output		2		12	18	ns
t_{PHL}					21	32	
t_{PLH}			3		17	26	ns
t_{PHL}					25	38	

Pin Assignment (Top View)



positive logic: see function table

Function Table

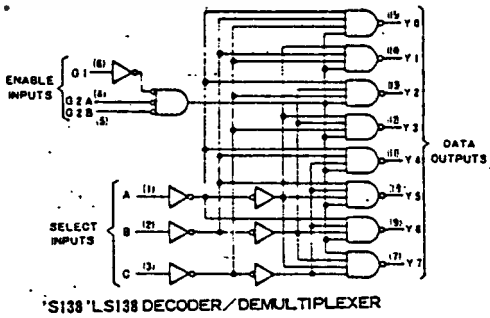
'S138 'LS138

INPUTS ENABLE G1	G2*	SELECT C	B	A	OUTPUTS Y0	Y1	Y2	Y3	Y4	Y5	Y6	Y7
X	H	X	X	X	H	H	H	H	H	H	H	H
L	X	X	X	X	H	H	H	H	H	H	H	H
H	L	L	L	L	L	H	H	H	H	H	H	H
H	L	L	L	H	H	L	H	H	H	H	H	H
H	L	L	H	L	H	H	L	H	H	H	H	H
H	L	L	H	H	H	H	H	L	H	H	H	H
H	L	H	L	L	H	H	H	H	L	H	H	H
H	L	H	L	H	H	H	H	H	H	L	H	H
H	L	H	H	L	H	H	H	H	H	H	L	H
H	L	H	H	H	H	H	H	H	H	H	H	L

* G2 = G2A + G2B

H = high level, L = low level, X = irrelevant

Functional Block Diagram



'S138 'LS138 DECODER/DEMULTIPLEXER

† For conditions shown as MIN or MAX, use the appropriate value specified under recommended operating conditions for the applicable device type.
‡ All typical values are at V_{CC} = 5V, T_A = 25°C.
* Not more than one output should be shorted at a time, and duration of the short-circuit test should not exceed one second.
t_{PLH} = propagation delay time, low-to-high-level output
t_{PHL} = propagation delay time, high-to-low-level output

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

54260/74260 Dual 5-Input Positive-NOR Gate

	Schottky TTL		High-Speed TTL		Low-Power Schottky TTL		Standard TTL		Low-Power TTL	
	Device Type	Package	Device Type	Package	Device Type	Package	Device Type	Package	Device Type	Package
		C P M CF		C P M CF		C P M CF		C P M CF		C P M CF
T.I.	SN54S260 J W SN74S260 J N									
FAIRCHILD					FJ54LS259 FW9LS259 FC74LS259 FC9LS259	2				
MOTOROLA										
N.S.C.										
PHILIPS	N74S260				N74LS260					
SIGNETICS										
SIEMENS										
FUJITSU										
HITACHI										
MITSUBISHI										
NEC										
TOSHIBA										

Electrical Characteristics SN54S260/SN74S260

absolute maximum ratings over operating free-air temperature range

Supply voltage, V_{CC}	7V	Operating free-air temperature range	SN54	−55°C to 125°C
Input voltage	5.5V		SN74	0°C to 70°C
Interemitter voltage	5.5V	Storage temperature range		−65°C to 150°C

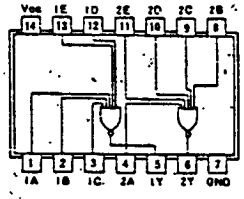
recommended operating conditions

	SN5426			SN7426			UNIT
	MIN	NOM	MAX	MIN	NOM	MAX	
Supply voltage, V_{CC}	4.5	5	5.5	4.75	5	5.25	V
High-level output voltage, V_{OH}			1000			1000	μA
Low-level output current, I_{OL}			20			20	mA
Operating free-air temperature, T_A	−55		125	0		70	C

electrical characteristics over recommended operating free-air temperature range

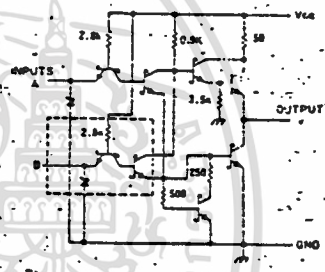
PARAMETER		TEST CONDITIONS†		MIN	TYP‡	MAX	UNIT
V_{IH}	High-level input voltage			2			V
V_{IL}	Low-level input voltage					0.8	V
V_I	Input clamp voltage	V_{CC} = MIN, I_I = −18mA				−1.2	V
V_{OH}	High-level output voltage	V_{CC} = MIN, V_{IL} = V_{IL} max, I_{OH} = MAX	54 Family	2.5	3.4		V
			74 Family	2.7	3.4		
V_{OL}	Low-level output voltage	V_{CC} = MIN, V_{IH} = 2V, I_{OL} = MAX				0.5	V
I_I	Input current at maximum input voltage	V_{CC} = MAX, V_I = 5.5V				1	mA
I_{IH}	High-level input current	V_{CC} = MAX, V_{IH} = 2.7V				50	μA
I_{IL}	Low-level input current	V_{CC} = MAX, V_{IL} = 0.5V				−2	mA
I_{OS}	Short-circuit output current*	V_{CC} = MAX		−40		−100	mA
I_{CCH}	Supply current	V_{CC} = MAX	Total outputs high		17	29	mA
I_{CCL}	Supply current		Total outputs low		26	45	mA
I_{CC}	Supply current	V_{CC} = 5V	Average per gate (50% duty cycle)		9.25		mA
t_{PLH}	Propagation delay time, low-to-high-level output	V_{CC} = 5V, T_A = 25°C, C_L = 15PF, R_L = 280Ω			4	5.5	ns
t_{PHL}	Propagation delay time, high-to-low-level output				4	5.5	ns

Pin Assignment (Top View)



Positive logic:
$Y = \overline{A+B+C+D+E}$

Schematic(each gate)



The portion of the schematic within the dashed lines is repeated for each additional input of the 'S260.

'S260 CIRCUIT

Resistor values shown are nominal and in ohms.

†For conditions shown as MIN or MAX, use the appropriate value specified under recommended operating conditions.
‡All typical values are at V_{CC} = 5V, T_A = 25°C.
*Not more than one output should be shorted at a time, and for SN54S'/SN74S', duration of output short-circuit should not exceed one second.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

54373/74373 Octal D-Type Transparent Latches and Edge-Triggered Flip-Flops

	Schottky TTL					High-Speed TTL					Low-Power Schottky TTL					Standard TTL					Low-Power TTL				
	Device Type	Package				Device Type	Package				Device Type	Package				Device Type	Package				Device Type	Package			
		C	P	M	CF		C	P	M	CF		C	P	M	CF		C	P	M	CF		C	P	M	CF
T.I	SN54S373	J ◎									SN54LS373	J ◎													
	SN74S373	J ◎	N ◎								SN74LS373	J ◎	N ◎												
FAIRCHILD																									
MOTOROLA																									
N.S.C.																									
PHILIPS																									
SIGNETICS																									
SIEMENS																									
FUJITSU																									
HITACHI																									
MITSUBISHI																									
NEC																									
TOSHIBA																									

Electrical Characteristics SN54LS373/SN74LS373

absolute maximum ratings over operating free-air temperature range

Supply voltage, V_{CC}	7V	Operating free-air temperature range	SN54LS	−55°C to 125°C
Input voltage	7V		SN74LS	0°C to 70°C
		Storage temperature range		−65°C to 150°C

recommend operating conditions

		SN54LS373			SN74LS373			UNIT
		MIN	NOM	MAX	MIN	NOM	MAX	
Supply voltage, V_{CC}		4.5	5	5.5	4.75	5	5.25	V
High-level output current, I_{OH}				−1			−2.6	mA
High-level output voltage, V_{OH}				5.5			5.5	V
Pulse width, t_w	Clock enable high	15			15			ns
	Clock enable high	15			15			
Setup time, t_{SUTUP}		0↓			0↓			ns
Hold time, t_{HOLD}		10↓			10↓			ns
Operating free-air temperature, T_A		−55		125	0		70	°C

electrical characteristics over recommended operating free-air temperature range (unless otherwise noted)

	PARAMETER	TEST CONDITIONS‡		MIN	TYP‡	MAX	UNIT
V_{IH}	High-level input voltage			2			V
V_{IL}	Low-level input voltage					0.8	V
V_{IK}	Input clamp voltage	V_{CC}=MIN, I_I=−18mA				−1.5	V
V_{OH}	High-level output voltage	V_{CC}=MIN, V_{IH}=2V, V_{IL}=V_{IL} max, I_{OH}=MAX		2.4	3.1		V
V_{OL}	Low-level output voltage	V_{CC}=MIN, V_{IH}=2V, V_{IL}=V_{IL} max	I_{OL}=24mA		0.35	0.5	V
I_{OZH}	Off-state output current, high-level voltage applied	V_{CC}=MAX, V_{IH}=2V, V_O=2.7V				20	μA
I_{OZL}	Off-state output current, low-level voltage applied	V_{CC}=MAX, V_{IH}=2V, V_O=0.4V				−20	μA
I_I	Input current at maximum input voltage	V_{CC}=MAX, V_I=7V				0.1	mA
I_{IH}	High-level input current	V_{CC}=MAX, V_I=2.7V				20	μA
I_{IL}	Low-level input current	V_{CC}=MAX, V_I=0.4V				−0.4	mA
I_{OS}	Short-circuit output current §	V_{CC}=MAX		−30		−130	mA
I_{CC}	Supply current	V_{CC}=MAX, Output control at 4.5V	'LS373		24	40	mA

switching characteristics, V_{CC}=5V, T_A=25°C

PARAMETER	FROM (INPUT)	TO (OUTPUT)	TEST CONDITIONS	MIN	TYP	MAX	UNIT
f_{max}			C_L=45pF, R_L=667Ω, See Notes 2 and 3				MHz
t_{PLH}	Data	Any Q			12	18	ns
t_{PHL}					12	18	
t_{PLH}	Clock or enable	Any Q			20	30	ns
t_{PHL}					18	30	
t_{PZH}	Output Control	Any Q			15	28	ns
t_{PZL}					25	38	
t_{PHZ}	Output Control	Any Q	C_L=5pF, R_L=667Ω, See Note 3		12	20	ns
t_{PLZ}					15	25	

† For conditions shown as MIN or MAX, use the appropriate value specified under recommended operating conditions.

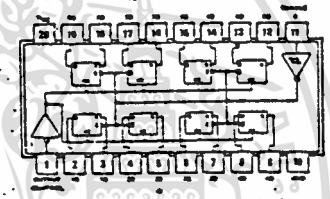
‡ All typical values are at V_{CC}=5V, T_A=25°C.

§ Not more than one output should be shorted at a time and duration of the short circuit should not exceed one second.

NOTES: 2. Maximum clock frequency is tested with all outputs loaded.
3. See load circuits and waveforms on page 3-11.

f_{max} = maximum clock frequency
t_{PLH} = propagation delay time, low-to-high-level output
t_{PHL} = propagation delay time, high-to-low-level output
t_{PZH} = output enable time to high level
t_{PZL} = output enable time to low level
t_{PHZ} = output disable time from high level
t_{PLZ} = output disable time from low level

Pin Assignments (Top View)



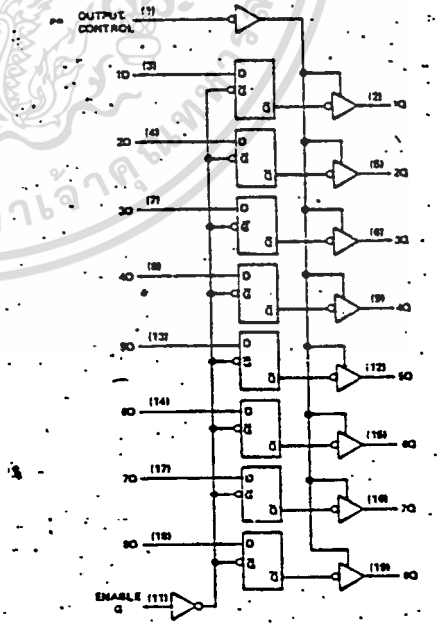
SN54LS373 (J)
SN54S373 (J)
SN74LS373 (J, N)
SN74S373 (J, N)

'LS373, 'S373 FUNCTION TABLE

OUTPUT CONTROL	ENABLE G	D	OUTPUT
L	H	H	H
L	H	L	L
L	L	X	Q_0
H	X	X	Z

'LS373, 'S373
• TRANSPARENT LATCHES

'LS373, 'S373
TRANSPARENT LATCHES



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กิตติกรรมประกาศ

การที่ Project นี้สำเร็จลงได้ด้วยดี ก็เพราะได้คำแนะนำรวมทั้งการช่วยเหลือจาก อาจารย์ภากร หุตะสังกาศ ซึ่งเป็นอาจารย์ที่ปรึกษา และขอขอบคุณอาจารย์ประจำภาควิชาเทคโนโลยีวัดคุมทางอุตสาหกรรม ที่ได้ให้ความช่วยเหลือและอำนวยความสะดวก ในการจัดหาเครื่องมือ อุปกรณ์ รวมทั้งการให้คำแนะนำต่างๆ ในการทำ Project ทางคณะผู้จัดทำขอขอบคุณทุกท่านเป็นอย่างสูง

การุณ อังกุลดี
วีระยุทธ ศิรามังคลานนท์
สมชาย แสงนภาฉาย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หนังสืออ้างอิง

1. IBM "TECHICAL RERFRENCE MANUAL FOR IBM PC-XT" PD. INTERNATIONAL BUSINESS MACHINES CORATION,1983
2. ทินกร ดุ๊ภ และ ธานินทร์ ถาวรศาสนวงค์ ,"การใช้งาน Z-80", หน้า 31-51, 52-62,103-109,ห.จ.ก.สำนักพิมพ์ฟิสิกส์เซ็นเตอร์, กรุงเทพฯ
3. ยืน ภู่วรวรรณ และ วัฒนา เชียงกูล,"ไมโครโปรเซสเซอร์-ไมโครคอมพิวเตอร์",หน้า 53-71,บริษัท ซีเอ็ดยูเคชั่น จำกัด,กรุงเทพฯ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้