ปีการศึกษา 2533

การทดลอง เทคโนโลยีการสื่อสาร

โดย

กิตติ ธนะนิมิตร

ฐากูร ชัยมงคล

น้อย หอมจันทร์

ภัทรสิทธ์ เอี่ยมแสงมงคล

สุรพล อ่องชี

อาจารย์ที่ปรึกษา

ผศ.ดร.กนก เจนจิรพงศ์เวช

027844

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

ปริญญานิพนธ์ ปีการศึกษา 2533

ภาควิชา เทคนิคอุตสาหกรรม

คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้า เจ้าคุณลาดกระบัง

เรื่อง การทดลอง เทคโนโลยีการสื่อสาร

เลขหมู่ T 33011 ก3
เลขทะเบียน 027844
วัน, เดือน, ปี 12 ก.ค. 34

ผู้จัดทำ

1. กิตติ ธนะนิมิตร 31-3001

2. ฐากูร ชัยมงคล 31-3009

3. น้อย หอมจันทร์ 31-3014

4. ภัทรสิทธิ์ เอี่ยมแสงมงคล 31-3018

5. สุรพล อ่องชี 31-3029

(----------)

(ผศ. ดร. กนก เจนจิรพงศ์เวช)

(----------)

กรรมการ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

การทดลอง เทคโนโลยีการสื่อสาร

กิตติ ธนะนิมิตร

ฐากูร ชัยมงคล

น้อย หอมจันทร์

ภัทรสิทธิ์ เอี่ยมแสงมงคล

สุรพล อ่องชี

ปีการศึกษา 2533

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

EXPERIMENTS IN TELECOMMUNICATION

KITTI THANANIMITR

TAKOON CHAIMONGKOL

PRATARASIT OAEMSANGMOGNKOL

SURAPOL ONG-CEE

DR. KANOK JAINJIRAPONGVEJ

ADVISOR 1990.

ABTACK

Most modern elecironic circuitry incorporates high-density packaging form of linear and/or digital integrated circuit chips (ICs.) Radios, TV sets, medical instruments, citizen band radios, calculators, and computers are but a few examples of equipment which user high-density packaging of solid-state devices. During the 1960s, the study of linear circuits used in operational amplifiers (op amps) and analog computers was left to the area of "nice-to know" information. in

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

favor of teaching the digital circuitry used in computer logic. Although linear IC tech nology stands today where transistors stood in the 1950s, the renewed use of the basic op amp design and its myrad variations now make linear
devices as important as digital devices to the electronics technician. The Lincar Integrated Circuits Applications Series is aimed at presenting linear ICs in a variety of circuit applications Linear ICs are easy to teach and even easier to learn. In the application of the devices are no load lines to plot, no calculations using complex parameters, and a minimum of biasing problems. In Iaboratory usage, an important consideration is that most linear chips are rugged and not easily burne out. Low cost, a wide variety of types, and ease in handling mark linear
ICs very appealing for the designer. As prerequisites for stubying linear ICs the student needs only DC, AC, and the general concepts of active devices. A brief conrse in transistor theory is sufficient since such information is not essential for working with ICs. The key in using chip is knowing how to apply them in circuit designs.

In each volume of this series the introduction of a new chip includes a discussion about the chip For instructional purposes, only those chip which provide for a wide of applications were selected. The cost of the chips to the student was also considered in selecting those used in these experiments The laboratory instruments and components required for cir- cuit evaluation are described each text-lab manual. In most cases 1/4 - 1/10-W resistors are adequate and 10 percent capacitors with 25 W V DC ratings will be adequate. All required components needed for circuit are shown on the circuit

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

diagrams. The text-manual is not written in cook- book fashion. The student should know how to use electronic components, how to wire circuits, and should be experienced in the use to general types of laboratory instruments. Three instruments are particularly important, namely, a dual-trace oscilloscope, a functions generator, and a digital multimenter.

The study of linear integrated circuits and their applications is chal- lenging and provides ample opportunity for students to express their creative ability. Students completing the study will have a thorough in the use, application, and methods of troubleshooting electronic circuits that incorporate linear ICa in their design.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

คำนำ

วงจรอิเลคทรอนิคส์สมัยใหม่ในปัจจุบันนี้จะถูกรวบรวมกันประกอบอยู่ใน INTEGRATED CIRCUIT (IC) ซึ่งจะมีทั้งประเภท LINEAR และ DIGITAL วิทยุ โทรทัศน์ เครื่องมือทางการแพทย์, เครื่องคำนวณ, วิทยุ เครื่องรับสิ่งรวมไปจนถึง COMPUTER ส่วนมากนี้จะใช้ พวก IC แทบทั้งหมดจะมีบ้างเป็นส่วนน้อยที่ใช้พวก

สารบัญ

1. บทนำ

2. ส่วนที่ 1 การทดลองที่ 1 - 7

3. ส่วนที่ 2 การทดลองที่ 8 - 14

4. ส่วนที่ 3 การทดลองที่ 15 - 20

5. ส่วนที่ 4 การทดลองที่ 23 - 29

6. ภาคผนวก

   - เดซิเบล, แรงเคลื่อน, กระแส และ อัตราส่วนของกำลังงาน

   - DATA SHEETS

   - กิตติกรรมประกาศ

   - หนังสืออ้างอิง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ที่สามารถใช้ในการทดลองนี้, พวกเครื่องมือวัดตลอดจนค่าอุปกรณ์ต่างๆ ที่ใช้ในการทดลองจะรวบรวมไว้ ให้แล้วใน TEXT LAB MANCIAL, ค่า RESISTOR ที่ใช้จะใช้ขนาด 1/4 หรือ 1/10 W ส่วน CAPACITOR ใช้ค่าผิดพลาด 10%, 25 WV DC ก็พอเพียงส่วนอุปกรณ์ที่ใช้ในแต่ละวงจรจะบอกไว้อีกทีใน CIRCUIT DIAGRAM นักศึกษาควรจะต้องมีความรู้ เกี่ยวกับทางด้านอิเลคทรอนิคส์, อุปกรณ์อิเลคทอรนิคส์ การประกอบวงจร ตลอดจนถึงสามารถที่จะใช้อุปกรณ์ เครื่องมือวัดได้ โดยในชุดทดลองนี้จะมีเครื่องมือวัด 3 ชนิดที่ใช้กันบ่อยๆ คือ DUAL TRACE OSILLOSCOPE, FUNCTION GENERATOR และ DIGITAL MULTIMETER.

ในการศึกษาเกี่ยวกับทางด้าน LINEAR INTEGRATED CIRCUITS และการนำไปใช้งาน ต่างๆ ที่แสดงไว้ในการทดลองแล้วนั้น จะเป็นการท้าทายความสามารถของนักศึกษาที่สนใจ โดยจะมีตัวอย่าง การทดลอง ที่เหมาะสมให้เรียนรู้ตลอดซึ่งหลังจากที่ได้ศึกษาและทดลอง การทดลองต่างๆ แล้ว นักศึกษาจะมีความรู้เกี่ยวกับทางด้านการนำไปใช้งาน และวิธีการแก้ปัญหาจากวงจรต่างๆ และรวมไปจน ถึงการออกแบบวงจร LINEAR INTEGRATED ด้วย.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

Experiment 4

AC-COUPLE LOW-FREQUENCY AMPLIFIER.

วัตถุประสงค์.

1. หาค่าของตัวเก็บประจุจะส่งผ่านที่ใช้ต่อกับวงจร เพื่อจัดหาการส่งผ่านทาง AC ของวงจรขยายความถี่ต่ำ
2. คำนวณและวัดผลที่เกิดขึ้นเพื่อการใช้ค่าเก็บประจุที่ไม่ถูกต้องสำหรับกากรส่งผ่านวงจร
3. ทำเช่นเดียวกับข้อ 1 และ 2

ทฤษฎีเบื้องต้น

ตัวเก็บประจุส่งผ่านที่ต่อกั้นระหว่างวงจรที่สามารถใช้ลดทอนและ phase shift ของสัญญาณ

ความเพี้ยน Oscillation op-amp ในอุดมคติ ที่ความถี่ต่ำ การส่งผ่านวงจรขยายเพื่อที่รักษาสัญญาณ ณ ความถี่ต่ำ การส่งผ่านวงจรขยายเพื่อที่จะรักษาสัญญาณ AC ที่ ความถี่ต่ำอาจมีปัญหาได้ในเชิงของเครื่องไม้เครื่องมือ โดยเฉพาะอย่างยิ่งเครื่องมือแพทย์ ความถีอาจจะต่ำลง 0.1 MHz ของตัวเก็บประจุส่งผ่านมีผลกระทบต่อความถี่ต่ำและทำให้เกิดปัญหาในการออกแบบวงจร

ในการทดลองครั้งนี้ จะประเมินผลการกระทบของการส่งผ่านสัญญาณและ bypass capacitorในการออกแบบวงจร

สมการในการคำนวน

$$Xc = 1/6.28\ fC \qquad (4.1)$$

$$\text{Set } Xc = 0.05\ (5\%)\ R1=Rj$$

$$Xc = 0.05\ R1 \quad \text{provides rolloff} \qquad (4.2)$$

$$\text{Attenuation (dB)} = -20 \log \text{Vout} \qquad (4.3)$$

การทดลองและการวัดผล

1. สร้างวงจรตามรูป 4.1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

2. ปรับ Function generator ให้ได้ความถี่ต่ำที่สุดเท่าที่ Function generator สามารถปรับได้ เช่นถ้าปรับ Function generator ได้ต่ำสุด 10 Hz ก็ให้ใช้ความถี่ 10 Hz ในการทดลองวงจร หาร Function generator สามารถปรับได้ต่ำสุดเพียง 20 Hz ก็ใช้ความถี่ต่ำสุดในการทดลองวงจร โดยการป้อนความถี่ต่ำสุดของ Function generator ผ่านตัวเก็บประจุ 10 uF แล้ววัด Vp-p ที่จุด A และ B (คร่อมตัวเก็บประจุ) หาเปอร์เซ็นต์ของแรงดันตกคร่อมที่จุด B เทียบกับ A จากสมการ 4.3 คำนวนการลดทอน (attenuation) ในหน่วยเดซิเบล (dB) ซึ่งได้ขาดการสูญเสียตัวเก็บประจุ

3. หาค่าของตัวเก็บประจุที่ทำให้เกิดการสูญเสียจากตัวเก็บประจุ
4. ถ้า XC = 1000 Ohms. อัตราขยายของวงจรจะลดลง 50% เพราะเหตุใด
5. .ให้ต่อ Vertical Input ของออสซิโลสโคปไปยังจุด A และ Horie. Input ไปยังจุด B ตรวจสอบตัวเก็บประจุ 1 uF รวมทั้งค่ามากว่า และค่าน้อยกว่า เพื่อที่จะหาผลกระทบของตัวเก็บประจุส่งผ่านต่อ phase shift, เกิด phase shift เท่าไร ที่ 10 Hz และ 1 KHz pattern รูปวงรี เป็นตัววัดการ shift ของ phase ณ ที่นี้ (อ้างถึงการทดลองที่ 1 สำหรับการวัดข้างต้น)
6. ณ.10 หรือ 20 Hz จะเกิดเฟสชิฟ เท่าไร เมื่อตัวเก็บประาจุเป็น 10 และ 100 ไมโครฟาราัด
7. ถ้า R3 เป็นตัวส่งผ่านสัญญาณ ค่าของตัวเก็บประจุต้องเป็นเท่าไร ณ 1 KHz

ตรวจสอบประจุ uf รวมทั้งค่ามากกว่า และค่าน้อยกว่า เพื่อที่จะหาผลกระทบของตัวเก็บประจุส่งผ่านต่อ phase shift, เกิด phase shift เท่าไร ที่ 10 hz และ 1 khz pattern รูปวงรี เป็นตัววัดการ shift ของ phase ณ ที่นี้ (อ้างถึงการทดลองที่ 1 สำหรับการวัดข้างต้น)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่อนุญาตให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

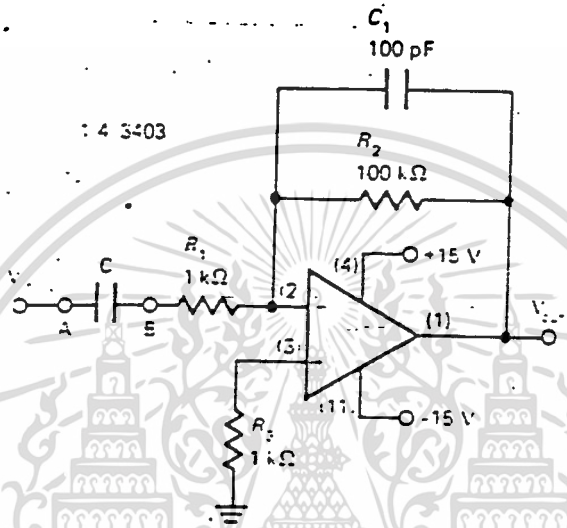


Fig. 4-1. AC-coupled amplifier

Experiment 5

HIGH-INPUT IMPEDANCE AMPLIFIER.

วัตถุประสงค์

1. วัด Impedance ของ OP - AMP.

2. เปลี่ยนค่าอุปกรณ์ ซึ่งทำให้มีผลต่อ Input impedance ของ OP-AMP.

3. กำหนด Band width ของวงจรขยาย และกำหนด ผลตอบต่อความถี่ โดยเลือก Band width ของวงจรขยาย และกำหนด ผลตอบสนองต่อความถี่ โดยเลือกจากความต้านทานป้อนกลับ

ทฤษฎีเบื้องต้น

วงจรขยาย input impedance สูง เป็นประโยชน์ในการออกแบบวงจร Filter และ วงจรบริดจ์ การตรวจจับสัญญาณทาง input และเป็นปราะโยชน์ในการวัดในแหล่งมีความต้านทานสูง (High resistance sources) ตัวอย่าง เช่น ผิวหนังของคนมีความต้านทานสูงจาก 50,000 จนเกือบถึง 1 ถ้าวงจรขยายมีความต้านทาน input ต่ำถูกใช้ในการวัด คตท. ของวงจรขยายจะถูกต่อขนานเข้ากับ Load การวัดจึงไม่ถูกต้องเท่าที่ควร

ในการทดลองนี้วงจรขยายใช้ Loop ในการป้อนกลับ (Feed back loop) เป็นตัวเพิ่ม input impedance ดังนั้น input impedance จะอยู่ในช่วง 100 M อัตราการขยายวงจรจะใกล้เคียงกับ 1 (Unity Gain) และไม่กลับเฟส output impedance ต่ำ ด้วยเหตุนี้จึงเหมาะสำหรับขับเครื่องวัด (Meter)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

การทดลองและการวัดผล

1. สร้างวงจรตามรูป 5.1 ใช้ค่าอุปกรณ์ดังที่แสดงไว้ในรูป กำหนดว่า input resistance โดยต่อ คตท. อนุกรมกับ input (RDX) ป้อนสัญญาณ RX จนกระทั่ง Vout=5 Fs ณ จุดนี้แรงดันตกคร่อม Vi เท่ากับแรงดัน input ของวงจรขยาย (V2),input impedance ของวงจรขยาย (Rin) จะเท่ากับ RX และ Input มีค่าสูง Rx จะต้องสูงขึ้นเป็น 20:10 และ M

2. หาผลกระทบของ input resistance โดยใช้แหล่งจ่ายสัญญาณ 100 KHz และโดยการลดค่าของ C2 ดปัน 0.1 แล้วเป็น 0.05 uF ตามลำดับ Xc ของ ตัวเก็บประจุทำหน้าที่เหมือนตัวต้านทานป้อนกลับ เมื่อความถี่ลดลงค่า XC จะเพิ่มขึ้นเป็นเหตุให้การป้อนกลับลดลง บันทึกว่า Rx และ C2

3. หาค่า XC เป็น 0.05, 0.1 และ 5 uF ที่ 10 Hz แรงป้อนกลับที่ผ่านมาทาง Rf

จะมีค่าเป็นกี่ % ของแรงดัน Output ที่ 100 Hz เมื่อ C = 5 uF

4. หาค่า R.in เมื่อ Cz = 10 uF

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

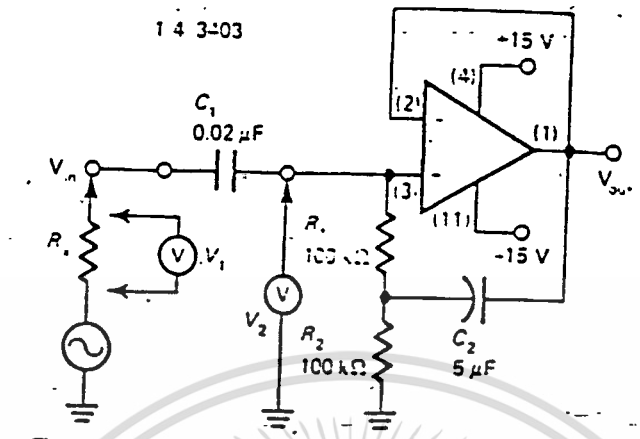


Fig. 5-1. High-input-impedance amplifier

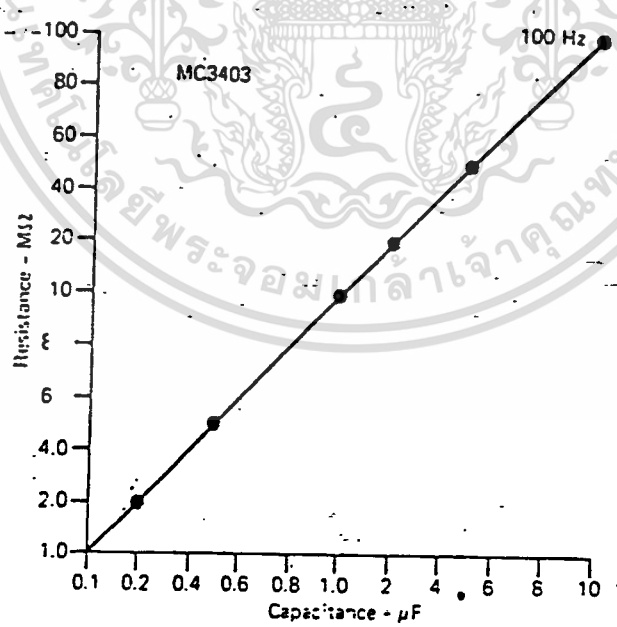


Fig. 5-2. Feedback capacitor, value versus input resistance

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

การทดลองที่ 9

COMPRESSION AMPLIFIER.

วัตถุประสงค์

1. มีความเข้าใจว่า ย่านการทำงานของวงจรขยาย Dynamic เพิ่มขึ้นอย่างไร
2. ปรับปรุงและประเมินผลวงจรขยาย Compression.
3. สามารถใช้วงจรขยาย Compression ในระบบสื่อสาร

ทฤษฎีเบื้องต้น

เครื่องส่งสัญญาณวิทยุ, เครื่องปรับ และเครื่องบันทึก และบางอย่างในระบบเสียงและภาพต้องการวงจรขยายที่ไม่ Cut-off และอิ่มตัว (Saturate) ง่ายๆ ต่อสัญญาณที่มีการเปลี่ยนแปลงตัวอย่างเช่น ในเครื่องบันทึกเทปสามารถรับได้ทั้งเสียงเบาและเสียงดัง โดยไม่ต้องปรับตัวควบคุมอัตราการขยายของวงจรดังนั้นจึงต้องออกแบบ INPUT ของวงจรขยายเสียงให้กดเสียงที่ดังไว้ให้ได้ขนาดสัญญาณปกติ

ในการทดลองวงจรรูป 9-1 Dynamic Range ของวงจรขยาย Amplifier จะถูกเพิ่มขึ้น โดยส่วนประกอบ 7 ตัว ค่าสูงสุดของสัญญาณ INPUT สามารถรับได้ถึง 10 v. P-P ในวงจรนี้ ค.ต.ท.อนุกรม 3 ตัวถูกใช้เป็น ค.ต.ท. ป้อนกลับอัตราขยายของวงจรเป็น Rf/R.in และ A = 15 เมื่อ Rf =15 Kohm และ R.in = Ikohm ตัวเก็บประจุ C1 มีหน้าที่ตอบสนองความถี่ Roll-Off ทางด้านต่ำ และ C2 มีหน้าที่ตอบสนองความถี่ Roll off ทางด้านสูง จากการวัดในการทดสอบวงจรแสดงให้เห็นว่าค่าอัตราขยายเป็น 1.5 เท่าภายในในขอบเขตของย่านความถี่ใช้งาน

* ถ้าไดโอดถูกต่อคร่อม ค.ต.ท. 8.2 Kohm มันจะนำกระแสเมื่อแรงดันตกคร่อมมากกว่า 0.6 V ในกรณีของสัญญาณ AC ไดโอดจะนำกระแสความต้านจะลดต่ำกว่า 8.2 Kohm อัตราขยายของ Amplifier, เพราะฉนั้นจะลดลงบนครึ่งไซเคิล ไดโอดจะไม่นำกระแส Compression

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ทำแทนบนครึ่งคลื่นลบหรือครึ่งคลื่นบวกเท่านั้น ขึ้นอยู่กับการใส่ไดโอด อย่างไร ไดโอด 2 ตัวที่อยู่ด้านหลังความต้านทานจะแบ่งเป็นช่วงลบทั้งคู่ไดโอด 2 เงื่อนไขนั้นที่แทนที่ คร่อมความต้านทาน 4.7 Kohm จะเป็นตัวเพิ่ม Compression สัญญาณ INPUT 1 V ที่ OUT PUT 10 V. ไม่ทำให้ Amplifier ถึงสภาวะอิ่มตัว

ช่วงของ Dynamic Compression เป็น 10/0.075 =133,หรือประมาณ 43 เดซิเบล ช่วง Dynamic สามารถอยู่ในความก้าวหน้า เพิ่มขึ้นโดยแทนค่าไดโอดคร่อม ความต้านทาน 2.2 Kohm และ Amplifier 2 ตัวสามารถต่อเป็นแบบ Cascade ตัวเก็บประในข้อจำกัดของวงจร แบนด์วิดถึงช่วง Speech

การทดลองและการวัด

1. ต่อวงจรตามรูป 9-1 ตรวจสอบอัตตราการขยายของ Amplifier โดยใช้ความถี่ 1 K.hz
2. สัญญาน INPUT อะไรที่ต้องการให้ OUT PUT ออก 1 V.
3. เขียนกราฟของ V.out กับ V.in ออกแบบกราฟโดยให้ V.in เริ่มจาก 0 ถึง 10 V. และ Vout จาก 0 ถึง 30 V. เริ่มจากการ INPUT เป็นศูนย์ เขียนรูปให้สูงจุดของสภาวะแรงดันอิ่มตัว
4. จากกำหนดเส้นโค้ง อัตราการขยายแรงเคลื่อนที่ 10 V. OUT PUT
5. สัญญาณ IN PUT เป็นเท่าไรที่ทำให้ OUT PUT เป็น 1 V.
6. ต่อ Diode เข้าไปที่ R4 ผลจะทำให้สัญญาณรูปเคลื่อนทาง OUT PUT เกิดการเปลี่ยนแปลงไปตามการสัญญาณทาง INPUT
7. ต่อ Diode แบบ Reverse และดูผลที่เกิดขึ้นของ OUT PUT
8. ต่อ Diode เข้าไปอีกตัวหลัง R 8.2 K.ohm แล้วดูสัญญาณ INPUT ในขณะเป็นเท่าไรก่อนที่จะ Cut off แล้วเขียน Curve เพื่อเปรียบเทียบกับการฟ มาตรฐาน
9. ทำตามลำดับขั้นตั้งแต่ 6-8 โดยการใส่ Diode ที่ R3 แทนแล้ววัดผลและเขียนกราฟ
10. จัดการขยายแรงดันเคลื่อนสูงสุดของสัญญาณ INPUT ในลำดับขั้นที่ 2 เป็นเท่าไร

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

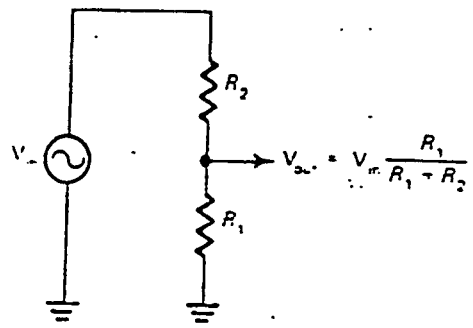


Fig. 6-2. Voltage attenuator

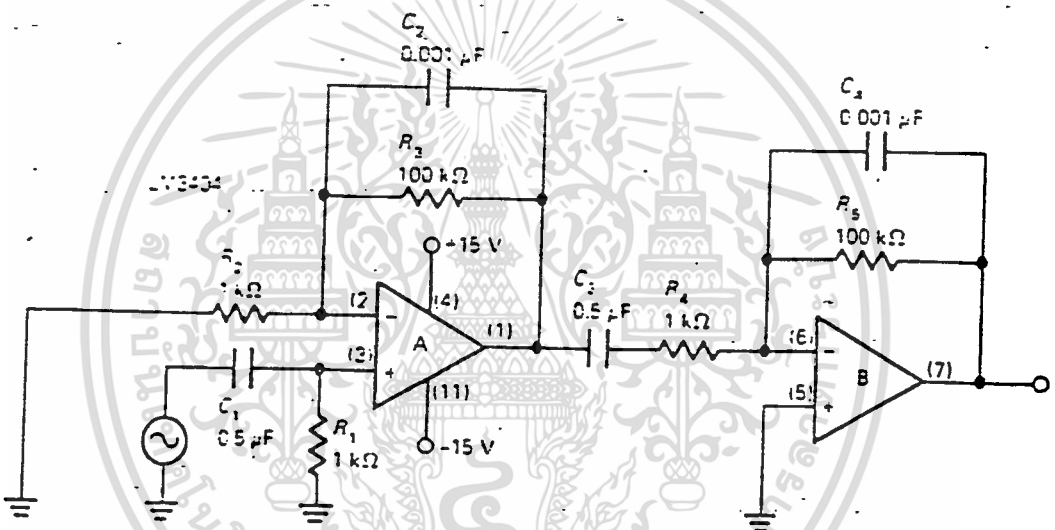


Fig. 8-1. Amplifier for noise measurements

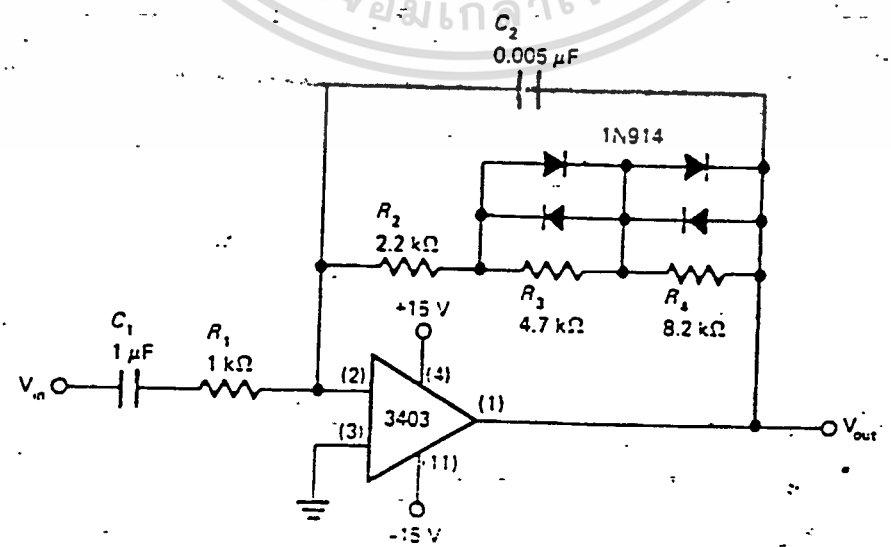


Fig. 9-1. Compression amplifier

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

Experiment 10

Carrier / Tone Generator

วัตถุประสงค์

1. เรียนรู้ วิธีการเปลี่ยนของสัญญาณ Carrier (C M) ไปเป็นสัญญาณเสียง

2. ใช้สัญญาณ Carrier tone Generator ในการกำหนดสัญญาณ Alarm, ในการที่เครื่องส่งกำลังส่ง Carrier ออกอากาศ

3. ใช้ Ic. มาทำเป็นวงจร O.S.C

ทฤษฎี

ในระบบการติดต่อสื่อสารนั้นเครื่องรับจะใช้การรวมความถี่ที่ ออสซิเลต (BFO) ทำงานที่ใกล้ความถี่กลาง (IF) เพื่อปรับปรุงเสียง เพื่อที่จะสร้างสัญญาณเสียงที่เราสามารถได้ยินจากเครื่องส่ง CW. โดยการปรับความถี่ BFO นี้มีความแตกต่างระหว่าง BFO และ IF นี้จะอยู่ในช่วง 200-800 Hz

สำหรับ carrier จากเครื่องส่งวิทยุเราสามารถที่จะ Monitor ก็ได้ดังนั้นถ้า carrier ส่งออกอากาศ ส่วนของวงจร alarm Remote location จะทำงาน และมีเสียงดังเตือนขึ้น จากหลักการนี้เราสามารถนำไปใช้ งานกับเครื่องส่งเมื่อไม่มีการส่งสัญญาณ ออกไป เราสามารถที่จะออกแบบ เครื่องเตือนฉุกเฉิน (Emergency beacons) เพื่อใช้กับ carrier wave ของเครื่องส่งโดยเฉพาะ

ส่วนในทางด้านรับ carrier จะถูกเปลี่ยนกลับไปเป็น pulse tone เมื่อ carrier ที่ ยังไม่ได้ Modulated สามารถส่งได้ไกลกว่าคลื่นที่ Modulate โดยวิธีที่กล่าวมา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

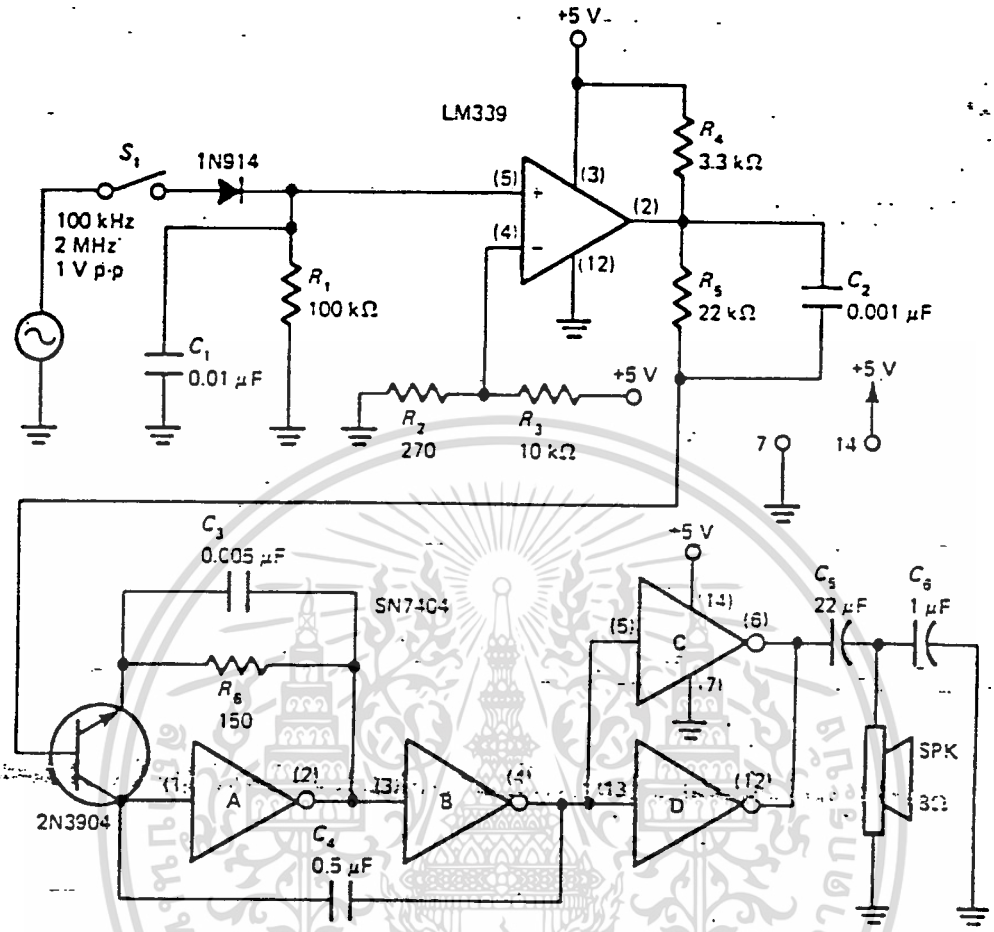


Fig. 10-1. Carrier/tone generator

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

ในการทดลองนี้สัญญาณ carrier จะถูกเปลี่ยนไปเป็นสัญญาณเสียงโดยใช้วงจร comparator และ key oscillator โดยวงจรจะเป็นแบบธรรมดา ๆ และง่ายที่จะใช้ร่วมกับ R.F ส่วนของวงจรแสดงดังรูป 10.1 โดยจะมีส่วนสำคัญฯ 3 ส่วน คือ

- DETECTOR
- COMPARATOR
- KEY OSCILLATOR

โดยส่วนของ Detector และ RF filter จะมี D1,R1 และ C1 และค่าของ C1 นี้จะถูกกำหนดโดย ความถี่ของคลื่นพาห์ และ Detector นี่สามารถทำงานในช่วงความถี่สูงกว่า 10 KHZ ถึง 2 MHZ หรือมากกว่านั้นปรกติ Diode จะทำงานได้นั้นต้องการ Voltage อย่างน้อย 0.5 Volt
จึงต้องใช้แรงดันประมาณ 1 Volt หรือมากกว่า (1.2 V) ในการ ทำงาน

Test and Measurement

1. ประกอบวงจรแสดงดังในรูป 10.1 ใช้ค่าอุปกรณ์ต่างๆ ในวงจร

2. ป้อนสัญญาณ Sine wave ความถี่ 100 KHz Amplitude = 1 Vp-p เข้าที่ Switch ที่ต่อเข้าขา Anode ของ Diode

3. บันทึกว่า Reference toge เมื่อ S1 = OFF

4. สังเกตุ Wave form ที่จุด p2 ของ IC LM 339 เมื่อ S1 On และ Off สลับกันอย่างรวดเร็ว (การเกิดขึ้นเหมือนกับการสร้างสัญญาณของเครื่องโทรเลข

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5. ค่า D.C Voltage ที่ตกคร่อม R1 มีค่าประมาณเท่าไร เมื่อ Carrier กำลัง On อยู่แ
ค่า Voltage ที่เกิดขึ้นนี้จะมีค่ามากหรือน้อยกว่า Referance Voltage ที่ถูกกำหนดโด
R2-R3

6. สัญญาณความถี่เสียงที่เกิดขึ้น เมื่อ S1 On คืออะไร

7. เพิ่มค่า R6 ให้มากขึ้น (ประมาณ 220-270 โอห์ม) ผลของความถี่เสียงจะเปลี่ยนแปล
หรือมีผลอะไรเกิดขึ้นบ้าง

8. เปลี่ยนค่า C4 จาก 0.5 uF ถึง 0.2 uF อะไรเกิดขึ้นกับความถี่เสียง

9. สังเกตุ รูปร่างขนาดคลื่นที่ Speaker และขนาดเมื่อปลด C6 จะมีผลอะไร เกิดขึ้นบ้าง

10. Function ของวงจรที่เกิดขึ้นที่ความถี่ 1 MHz และที่สัญญาณ Carrier 2 MHz คืออะไ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Experiment 11

C.W. Keyer.

1. ใช้ Logic switching เพื่อแก้ Key boune ใน Michanical switches และ Key โทรเลข

2. ใช้ Logic gate ออกแบบเป็น monostable osillate.

3. ศึกษาและฝึกหัดกับ รหัส Morse

ทฤษฎี

ในระบบ Machanical switch เช่น push lruttonks , slide switches , telegraph keys , จะเกิดปัญหาในขณะที่ contact เปิดและปิด จะเกิด bolince ขึ้น (เกิดขึ้นจากขณะที่ contact ยังสัมผัสไม่สนิท) ซึ่งปัญหาที่เกิดขึ้นนี้ เราจะสามารถจัดทิ้งได้ โดยการใช้ Switch ไปควบคุม Electronic gate ซึ่ง bounce ที่จะเกิดจะมีลักษณะเป็น positive และมีการเปลี่ยนแปลง ระหว่าง 2 state ซึ่งเมื่อเรา check ที่ O/p ตอนนี้ จะพบว่า ปัญหา bounce จะหมดไป

จากรูป d11.1 Nand gate 2 ตัวในลักษณะ cross colyed เราสามารถกระทำได้โดยการใช้ S P S T แสดงรูปเมื่อเป็น Switch S1 ต่อที่ขา 2 ของ Gate A ส่วน O/P ของ gate A จะเป็นสเตทเป็น "1" ขึ้งในขณะเดียวกัน Q จะเป็น "0" แต่เมื่อ S1 เปลี่ยนมาที่ Pin 5 ของ gate B O/P คือ Q และ Q' จะกลับสเตทเดิม โดย Q จะ = "0" Q = "1" และถ้าจะสร้างเป็นวงจร Monostable จะทำได้โดยเพิ่มวงจรส่วนที่ 3 (Gate C) เข้าไปแสดงดังรูป 11.2 เมื่อ S.W ต่อไปที่ pin 5 จะเปลี่ยนสถานะและเมื่อ S.W pin จะเป็นสถานะเดิม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จะเปลี่ยนสถานะและเมื่อ S.W pin จะเป็นสถานะเดิม

ในการทดลองนี้จะใช้ IC SN 7400 สำหรับวงจร Swithing R2 และ C7 จะประกอบเป็นวงจร time delay โดย o/p ของ gate จะเปลี่ยน Keybounce ลดลงจนหมด โดยความสัมพันธ์การทำงานของ S.W. และ Logic gate จะแสดงได้ดังรูป 11.3 โดยถ้าค่า R2 มากจะเป็นการเพิ่มความยาวของ S.W. Time และถ้าเวลามากเกินไปในการใช้งน telegraph key โดยปกติจะชักช้าเสียเวลาซึ่งเป็นการจำความเร็วของการ key

วงจร Logic switching สามารถที่จะใช้รวมกับวงจร Keyed Oscillator เพื่อทำเป็นส่วนฝึกหัดของ Morse Code โดยทุกครั้งที่ Key ถูกกดเราจะได้ยินเสียงจากลำโพงโดย TR.Q1 จะรับแรงดันบวกมีค่าประมาณ 1 Volt มากให้ทำงาน และ Saturate ได้ในส่วนของวงจร O.S.C จะสร้างขึ้นถึงส่วน A ,C และ D ของ IC SN 7404 จะเป็นส่วน Driver ในทำนองเดียวกันเราสามารถที่จะเพิ่มความดันของเสียงโดยต่อส่วนที่เหลือของ IC 7404 ขนานกันเข้าไป IC 7404 ซึ่งจะได้เสียงดังขึ้น ในส่วนของ R3,R4,C1 จะทำหน้าที่เป็น Voltage divider เพื่อ Limit Voltage ที่จะป้อนสู่ Base ของ Q1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Test and Measurement

1. ประกอบวงจร เฉพาะส่วน Keyer Section บันทึก O/P ที่ Q เมื่อเรา เปิดและปิด Switch S1

2. จะเกิดอะไรขึ้นเมื่อ R2 เปลี่ยนค่าไป = 1 M ให้ต่อ Osilloscpe ไปที่ Q และสังเกตุผลของ Switching จากนั้นเปลี่ยน R2 ไปสู่ค่าเดิม?

3. ประกอบวงจร Osillator Section และต่อไปเข้ากับส่วนของ Keyer Voltage divider ผลที่แสดงบน Scope จะ follow ตาม Keyer Section หรื

4. ความถี่ของของการ O.S.C คือเท่าไร?

5. Voltage ที่ป้อนแก่ ขา Base ของ Q1 ต้องมีค่าประมาณเท่าไร Q1 ถึงจะ Turn

6. C6 ใช้ทำหน้าที่อะไรในวงจร

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

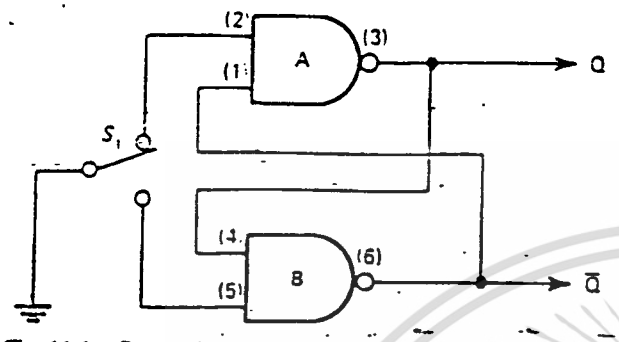


Fig. 11-1. Bounceless switch

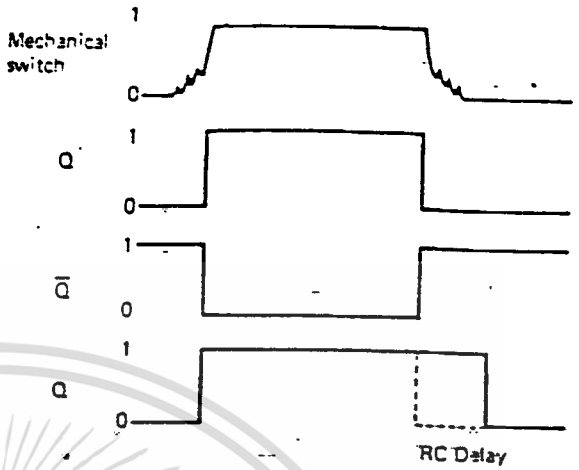


Fig. 11-3. Switching waveshapes, outputs

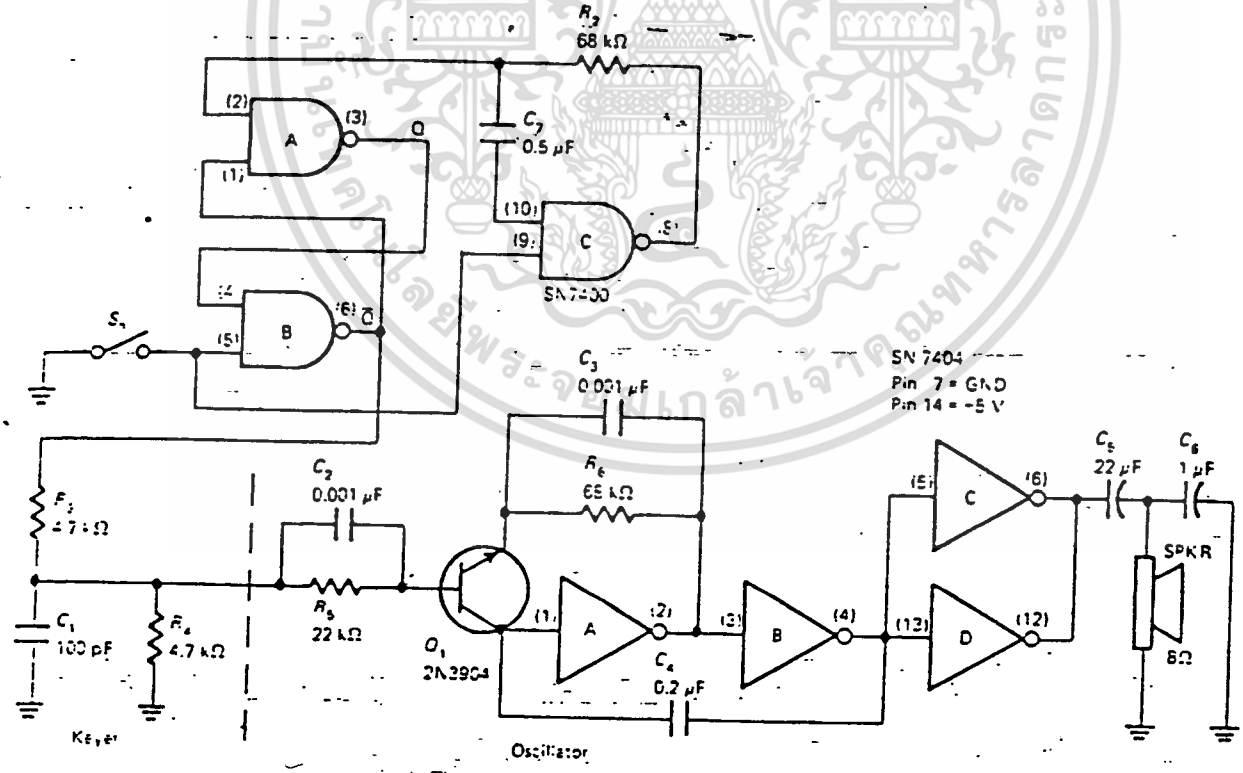


Fig. 11-2. Bounceless switch keying

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Experiment 14

Low frequency heterodyning

วัตถุประสงค์

หลักการได้ศึกษาและทดลอง การทดลองนี้ เราสามารถที่จะทราบ

ทดสอบและหาค่าของวงจรผสมสัญญาณเสียงความถี่เดียวโดยกรรมวิธี heterodyne

ใช้วงจร Low.- frequency heterodyning เพื่อออกแบบและแก้ปัญหา

ฤษฎี

สัญญาณเสียง 2 สัญญาณ สามารถผสมเข้าด้วยกัน (heteroolyned) ที่ขา I/P
องด้านบวกของ IC LM3900 โดย IC เบอร์นี้จะมี Diode ที่ I/P ทางขาบวก และ
iode ที่ Point maker nonlinear signal proceesing positive.

ในการทดลองวงจรจะแสดงได้ดังรูป 14.1 จะมีสัญญาณ 2 สัญญาณ ป้อนเข้าที่ขา I/P
ง Amplifier โดยขนาดของสัญญาณที่ f1 สามารถมี Amplitude ที่สูง ๆได้ และ
silute ที่ตัวเอง ในขณะเดียวกัน สัญญาณ f2 ที่จะป้อนเข้าที่ขา I/P เดียวกัน
ามแตกต่างของสัญญาณขณะที่จะไปปรากฏที่ O/P และสัญญาณนี้จะถูกส่งไปที่วงจร Low pass
lter โดยวงจร Low pass filter จะต้องออกแบบให้มี Corner frequeny ที่ดีใน
nge ของสัญญาณที่แตกต่าง โดยความถี่ทางด้าน I/P สามารถที่จะส่งได้ (จะขึ้นอยู่กับ
ndwidth ของ IC) แต่ทางด้านของ O/P สัญญาณจะสัมพันธ์กับขอบเขตของ วงจร Filter

ในการทดลองนี้เราจะสามารถ ทดสอบและหาค่าของวงจร Low Frequency
terodyning ซึ่งจะกระทำได้ตาม introductions ที่ให้ไว้ในการทดลองนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Test and Measurement

1. โครงสร้างของวงจรแสดงรูป 14.1 โดยการใช้ค่าของอุปกรณ์ต่าง ๆตามวงจรในตอนแรกจะไม่ต่อขา 5 ของ IC LM 3900 แล้วบันทึกค่า static voltage ที่แต่ละ pin ของ IC LM 3900

2. Set Function gen 20 KHZ wave แล้วต่อไป out put function genn ไปยัง V1 และ V2 และปรับ Amplitude ของสัญญาณให้ได้ 50 หา Vp-p. ทำการปรับความถี่ของสัญญาณ จาก 2 to 19.5 KHZ จะได้รับผลการทำงานของวงจรที่ Vout ของวงจร

3. จากภาพสัญญาณที่ได้รับจาก Vout ใน step ที่2 ซึ่งจะบอก pead-to-peak amplitude และความถี่ของสัญญาณ

4. ปรับ Amplitude control ของ f2 จาก 50 mVp-p เป็น 100 mVp-p จะได้รับผลการทำงานของวงจรจากการปรับที่ Vout เป็นเท่าไร

5. ปรับ Amplitude Coutrol ของ f2 กลับเป็น 50 mVp-p ดังเดิมและทำการปรับความถี่ ของ f2 ให้มากกว่าและน้อยกว่า 20 KHZ จะให้ผลการทำงานของวงจรที่ Vout เป็นอย่างไร

6. ถอด f2 ของ function gen ออกจาก Input V2 และให้ f1 หาความถี่ ที่ทำให้ Output signal ลดลง 0.070 ที่ 20 KHZ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

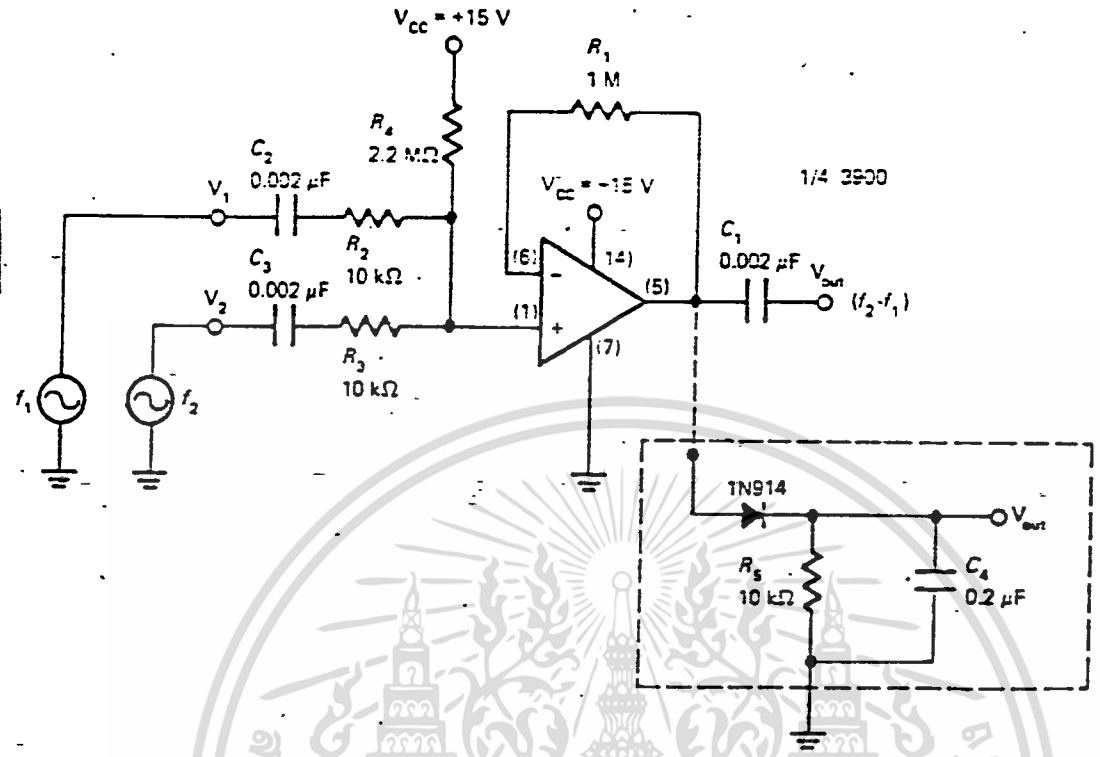


Fig. 14-1. Low-frequency-heterodyne circuit diagram

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

EXPERIMENT12

VOICE PROCESSOR FOR FM TRANSMITTERS

วัตถุประสงค์

๑. สามารถออกแบบ,ทดสอบและคำนวณ Audio-processor subsystem เพื่อเตรียม Audio signal สำหรับ FM

๒. สามารถกำหนดออกแบบวงจรได้ในกรณีที่ต้องการออกแบบให้วงจรมีการทำงานเป็นพิเศษ

ทฤษฎี

สถาบัน Electroni Industries Association(EIA)มีกฎสำหรับขอบข่ายของการตอบสนองความถี่สัญญาณ Audio และการเบี่ยงเบนของสัญญาณ FM โดยมีหัวข้อดังต่อไปนี้

๑. Preemphasis response 6 dB ต่อ Octave ที่ความถี่ระหว่าง300 Hz - 3 KHz โดยค่า Tolerance ที่ +1dBและ -3dB และถ้าความถี่ที่สูงกว่า 2500Hz Roll-off 6dB ต่อ Octave ก็จะยังคงยอมให้ได้

๒. Amplitude limiter เพื่อป้องกัน Transmitter peak deviation ที่เพิ่มขึ้นมากจนถึงจุด Maximum ที่จะยอมให้เกิดขึ้นได้

๓. Low-pass filter ที่น้อยกว่า 12 dBต่อ Octave โดยความถี่สูงกว่า 3 KHz ส่วนของ Filter จะต้องต่ออยู่ระหว่าง Limiter กับ Modulator

๔. ที่ความถี่ 1KHz ค่า Harmonic distortion ยอมให้มีขึ้นได้แต่ต้องน้อยกว่า 10 Percent โดยจะวัดที่ระดับที่เกิดขึ้น 2-3ครั้ง ของค่าการเบี่ยงเบนสูงสุดที่ระบบยอมให้เกิดขึ้นได้

ในการทดลองนี้ในส่วนของ Amplifier จะถูกออกแบบให้มีขอบเขตสูงกว่าความต้องการของ EIA โดยจะขยายสัญญาณจาก High-impedance microphone เพื่อให้ได้สัญญาณที่สามารถ Drive FM MOdulator อย่างมีประสิทธิภาพ ที่ความถี่ 1 KHz และ input voltage signal เท่ากับ 3 mV ค่า processor output Driver ควรจะมีค่าประมาณ 1.8 volt(ที่ประมาณ 50dB) และที่ Maximum output =3.8 Volt ค่า input ควรจะประมาณ 10 mV rms โดยที่ส่วน outputสามารถ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ปรับค่าได้ที่ P2

จากการทดลอง MC3403 quad IC จะถูกนำมาใช้ แต่อย่างไรก็ดีIC MC3401 ก็เหมาะที่จะลองนำมาใช้งานเพราะว่าใช้ Power supply เพียงชุดเดียว จากรูปที่ 12-1จะแสดงให้เห็นถึงBlock diagramของVoice Processor ส่วนในรูปที่ 12-2 จะแสดงถึงวงจรใช้งานจริงๆ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในส่วนของInput amplifierจะมีความต้านทานทาง Input=100,000 oHm สำหรับ High-impedance microphone และทำให้ Gain-control P1อยู่ระหว่าง0.9-10ส่วนที่A1 และ A2จะเป็น Preemphasis network (C2,R4) ซึ่งจะเป็น Bufferจากการ Loading effect ของการ Limiter โดย A2 ส่วนหน้าที่ของ Preemphasis network นั้นจะทำหน้าที่ป้องกันHarmonic ที่ 3 ที่กำเนิดมาจากส่วน Limiterของ Amplifier ซึ่งจะเป็นเหตุให้ Modulator สูงเพิ่มขึ้นจนถึงจุดที่เกินกว่ายอมให้มีการเบี่ยงเบนได้

C3และR7จะทำหน้าที่เป็น High pass filter โดยจะยอมให้ความถี่สูงที่เหนือกว่าความถี่ 3KHz ผ่านได้สดวก ในส่วนของ limiter จะประกอบด้วย Diode 2 ตัว (D1และD2) และความต้านทาน 3 ตัว(R8,R9และR10) สัญญาณ Audio output จะถูก limit โดยระดับของ supply ที่ป้อนเข้าสู่ diode , Limiterจะถูกป้อนไปยังส่วน Low-pass filter (R10,C4) ไปยัง buffer amplifier และจะแยกส่วนPassive filter ออกจาก Active lowpass filter ซึ่งประกอบขึ้นจาก A4 และอุปกรณ์อื่นๆ C6,C7และR16 โดยที่ Active filter จะมีค่า Roll off เท่ากับ 18 dB ต่อ Octave ที่ Corner Frequency สูงกว่า 3 KHz. โดย Active filterจะให้ Gain=2.ส่วนการควบคุมการเบี่ยงเบนของ Transmitter Modulator จะถูกควบคุมโดย Potentiometer P2. โดยจะมี Maximum O/P ประมาณเท่ากับ 3.5 ถึง 4.0 Volt.โดยสัญญาณ I/P จะมีขนาดประมาณ10 mV

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

rms. และระบบการวัด Amplifier ทั้งหมดจะถูกจัดการโดย P2 ซึ่งจะทำงานที่ Maximum และแบบ Nonlimit สัญญาณ I/P

Power supply ที่ใช้คือ +-9 Volt และถึงแม้ว่าวงจรจะทำงานโดยใช้ Power supply เพียงชุดเดียวคือ +9 Voltโดยใช้ IC MC3401 และในการปรับ Voltage จะยังคงต้อง Maintain ให้ที่ขา Anode ยังคงเป็นบวกอยู่

ในรูปที่ 12.3 จะแสดงให้เห็นถึง Frequency response ของ Voice processorส่วนในรูปที่ 12.4 แสดงถึง Output voltage และ Harmonic Distortion

MATERIALS REQUIRED

Active Device :

- 1 MC 3403
- 2 1N914 diodes

Resistor(5 persent, 1/4 W):

- 2 1KOhm
- 1 6.8 KOhm
- 1 10 KOhm
- 3 47 KOhm
- 3 100 KOhm
- 2 220 KOhm
- 2 270 KOhm
- 3 470 KOhm

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- 1 10 KOhm potentiometer
- 1 100 KOhm potentiometer

Capacitors (disc, Mylar, electrolytic,-20 percent 25Volt):

- 1 47 pF
- 2 470 pF
- 1 0.001 Micro farad
- 1 0.01 Micro farad
- 2 0.1 Micro farad
- 1 0.5 Micro farad

Miscellaneous components :

- 1 Socket 14 pin

Test instruments :

- Osilloscope (dual trace ,5in)
- Function generator (10 Hz- 1MHz)
- Digital multimeter
- Power supply(+ - 15 Volt, 50 MA)

TEST AND MEASUREMENTS

1. ประกอบวงจรดังรูป 12.2 โดยใช้อุปกรณ์ดังที่แสดงไว้

NOTE

VCC = + 9 Volt. ส่วน VEE = - 9 Volt.

จากนั้นให้Check ที่ Diode-Anode Junction โดยควรจะมีค่า Voltage อยู่ประมาณ 1 Volt ถ้าไม่ได้ให้ปรับที่ Vcc หรือที่ R8

2. วัดผลและบันทึกค่า Static Voltage ที่ทุกๆ pin ของ MC 3403
3. Check over all gain โดยใช้ความถี่เท่ากับ 2.5 Khz ป้อนเข้า

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3. -3

4. 2 และ 4 mV

5. Harmonic และ Fundamental

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ไปโดยไม่ทำให้ Amplifier ทำงานที่ Saturation (ซึ่งประมาณ = 10MvP-P)

4. Check gain ที่ความถี่ = 1 KHz โดยใช้ I/P ป้อนเข้าไปขนาดประมาณ 3-4 mv Rms. จากนั้นให้ปรับ P2 Maximum ,และให้เปรียบเทียบสัญญาณ O/P ที่ได้กับรูปที่ 12.3

5. ทดสอบผลของการตอบสนองต่อความถี่โดย plot รูปสัญญาณที่ขยายออกมาจากนั้นเปรียบเทียบกับรูปที่ 12.3 โดยใช้ค่า Output voltage ที่อธิบายไว้ดัง Stepที่4 โดยกำหนด Referance voltage 0 dB

6. ถ้ามี Distortion meter ให้วัดค่า Distortion ที่ Outputโดยใช้ Input Signal ขนาด =1.0,3.0,5.0 และ 6.0 mv ตามลำดับ

7. ค่าที่เราวัดออกมานั้นมีค่าอยู่ใน Spec หรือไม่

FOR FURTHER RESEARCH

8. Check ค่าของ Gain ในแต่ละ Stage ว่าในแต่ Stage นั้นควรจะมี Gainเป็นเท่าไรซึ่งจะทำให้ System ทำงานได้ดีและมีส่วนสนับสนุนกัน

SELF TEST

1. จากรูปที่ 12.2 และค่าของอุปกรณ์ต่างๆใช้ดังแสดงไว้ตามรูป ถามว่าค่า Minimum และ Maximum Gain ของ A1 คือ

2. ถ้าระบบ Amplifier ให้สัญญาณ Output = 3.8 Volt. โดยค่า I/P ที่ป้อนเข้าไปคือ 11mv ค่า Gain ในหน่วย Decibel คือ

3. ค่า Corner Frequency ของ Amplifier ทั่วๆไปที่แสดงให้เราเห็นมีค่า..... dB ลงมาจาก Maximum Gain

4. ค่า Distortion ในวงจรจะมีค่า Minimum เมื่อ Input signal มีค่าอยู่ระหว่าง.....

5.การวัด Distortion นั้นจะบอกให้เราทราบถึงความสัมพันธ์ของ.....

SELF TEST ANSWER

1. 0.93 14
2. 50.77 dB

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

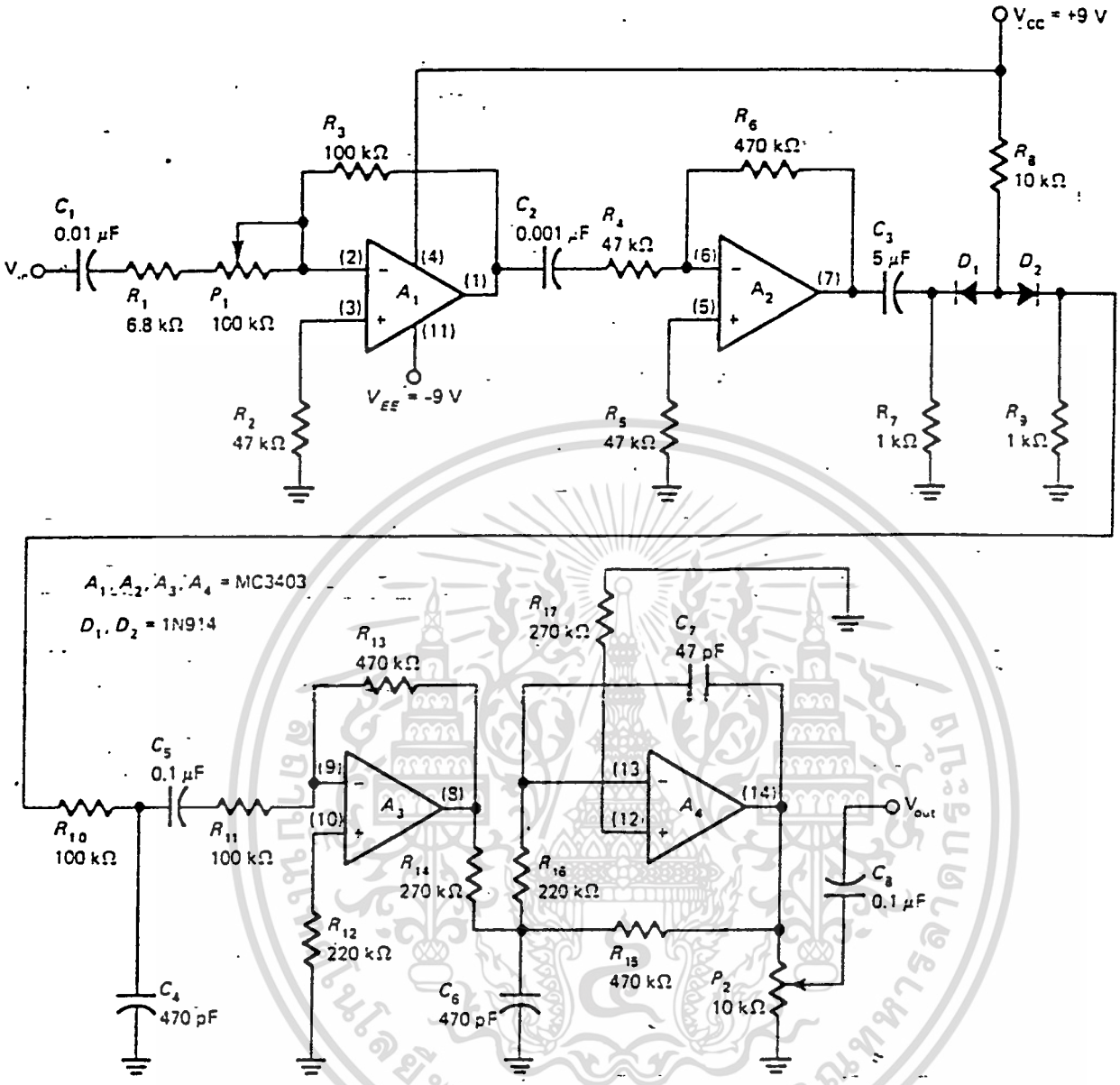


Fig. 12-2. Voice-processer circuit diagram

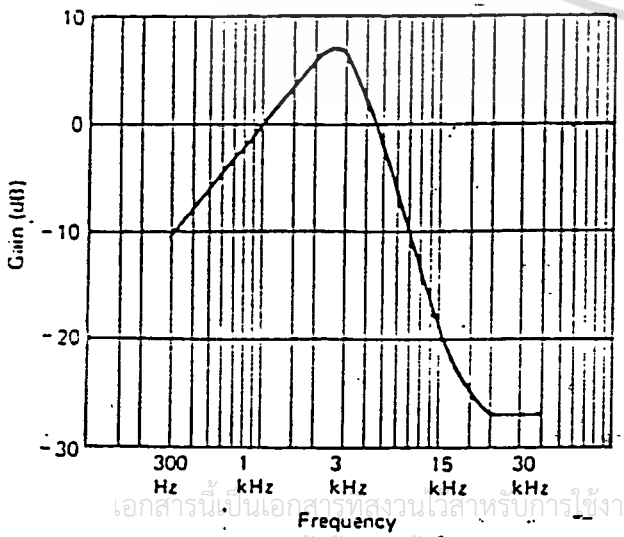


Fig. 12-3. Frequency response of voice processor — ——

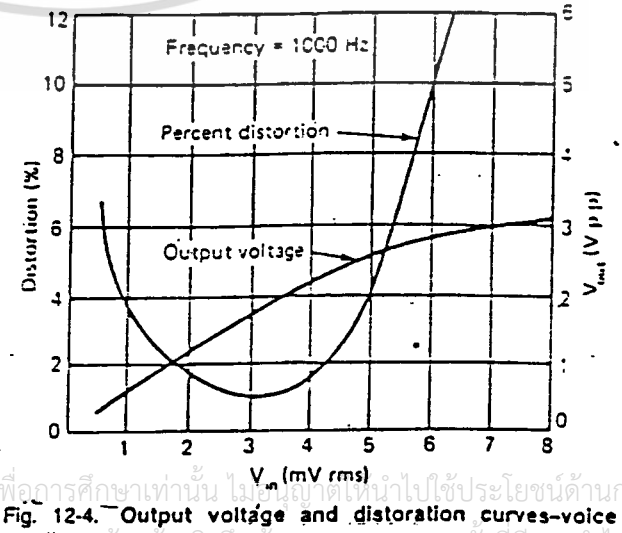


Fig. 12-4. Output voltage and distoration curves-voice processor —

เอกสารนี้เป็นเอกสารสงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

Experiment 23

pulse - width modulator

วัตถุประสงค์

หลังจากได้ทดลองการทดลองนี้แล้วจะสามารถเรียนรู้ถึง

- สร้างวงจรและหาค่าความกว้างของ Pulse ของวงจร Modulator
- ทดสอบและหาค่าของวงจร Osilator ซึ่งสามารถทำเป็น Modulated
- ใช้ Timer I.C. มาทำวงจร Pulse-width modulator

ทฤษฎี

Free -running square wave Osilator หรือ Triggered Monostable Multivibrator สามารถที่จะใช้สร้างเป็นวงจร Pulse-width modulation นั่นคือ Modulator สามารถที่จะนำไปควบคุมการส่งข้อมูลทั้งทางด้าน Digital และ Analogได้ โดยที่ Amplitude ของ Pulse ที่ Osilate จะยังคงคงที่อยู่ , ส่วนความกว้างของ Pulse จะถูกกำหนด โดยสัญญาณที่นำเข้ามา Mod.

ในแบบแรกของวงจรที่เราจะศึกษาคือ Square wave osilator โดยความถี่ของวงจรจะถูกกำหนดได้โดยการเปลี่ยนแปลงสัญญาณที่นำมา Mod. จากรูป ๒๓.๑

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จะแสดงให้เห็นถึงแบบของวงจร Osc แบบหนึ่ง , ซึ่งความถี่ของวงจร Osc จะถูกกำหนดโดย R1 และ C1 , ส่วน R5 จะเป็น Pull up resistor , R2, R3,R4 จะจัดไว้เพื่อ Hysteresis loop, และความถี่ของการ Osc จะหาได้จาก

$$F = 1/2\ t1$$

โดย t1 คือความกว้างของ Pulse และ T = 2(0.694)R1C1,และ Bias ที่ขาบวกของ Op-Amp จะถูก Set ให้ =1/2ของ VCC ซึ่งจะถูกกำหนดโดย R2,R3 ซึ่งระดับการเพิ่มขึ้นและลดลงของ Voltage นี้จะถูกกำหนดโดยแรงดันทาง I/P ด้วย. การเปลี่ยนแปลง Degree ของ Pulse width จะถูกกำหนดโดยระดับของสัญญาณ Voltage, และ Pulse-width Sensitivity จะถูกกำหนดโดยค่า R1, คือถ้าค่า R1 มีค่าน้อยๆ ความไวจะเพิ่มขึ้น , Center frequency สามารถที่จะเปลี่ยนแปลงจาก 1HZ ไป จนถึงค่าความถี่สูงสุดของ IC. จากรูป ๒๓.๒

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

แสดงวงจร Astable-multivibrato ซึ่งใช้ IC 555 Timer. , O/P ของวงจรนี้จะเป็น Square wave ความถี่ของวงจรจะขึ้นอยู่กับค่า Ra , Rb , และ C , ค่า O/P ของวงจร Astable นี้สามารถที่จะต่อไปใช้ Trig แก่วงจร Monostable ในรูปที่ ๒๓.๓ ได้

ในครึ่งหนึ่งของ IC 556 Timer จะถูกสร้างให้เป็น Monostable Osilator โดยความถี่ของวงจรจะถูกกำหนดโดย Ra,C1,และจะหาค่า T ได้จาก

$$t = 1.1/R1C1$$

โดยถ้า Ra = 9.1 kilo ohm.

C1 = 0.01 micro farad.

ค่า Resting pulse width จะได้ประมาณ 100 micro sec. ส่วนค่า Osilator 's natural frequency คือ 10 KHz. เมื่อวงจรถูก Trig ด้วย Clock pulse = 10 KHz. (นำมาจากวงจร Astable ที่ ๒๓.๒) ค่า O/Pจะเป็นขบวนซึ่งจะเป็น Pulse บวก และ Clock ที่ใช้เป็น Trigger pulse นี้ควรจะเป็นแบบ Negative going และควรมี Amplitude สูงเป็น 1/3 Vcc.

สัญญาณ Modulate จะจ่ายไปที่ส่วน Control-voltage input(ขา 3) ซึ่งจะสร้าง Pulse-width modulation ขึ้น , รูปที่ ๒๓.๔ แสดงให้เห็นถึง Pulse-width Pattern. ซึ่งถูกสร้างขึ้นมาโดยสัญญาณ Sine wave

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สัญญาณ Modulate O/P ของทุกๆแบบวงจรสามารถที่จะใช้เพื่อ Modulation กับ Carrier โดยสัญญาณที่ป้อนเข้าไปสามารถที่จะใช้สัญญาณ Analog โดยอาจจะนำผลมาจากการเปลี่ยนแปลงของ Pressure,Temperature,Voltage-tranducers, หรือ Audio,Sine,Triangle และ Sawtooth หรือรูปแบบอื่นๆของสัญญาณก็สามารถที่จะนำมาใช้เป็นสัญญาณ Modulate ทั้งสิ้น

ในการที่เราจะสร้างและทดสอบสามารถใช้ IC .556 Dual timer, มาสร้างได้โดยในส่วนหนึ่งของ 556 ใช้สร้างเป็น Monostable Osc. ส่วนอีกส่วนหนึ่งใช้สร้างเป็น Astable Osc. ซึ่งถ้าเรารวมเข้าด้วยกันทั้งสองส่วนแล้วนั่นก็คือ Pulse-width modulator นั่นเอง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Materials required

ACTIVE DEVICES ;

- 1 LM556
- 2 1N914 diode

RESISTORS ;

- 1 100 Ohm.
- 1 270 Ohm.
- 1 1 Kohm.
- 1 2.2 Kohm.
- 1 3.3 Kohm.
- 1 4.7 Kohm.
- 1 10 Kohm.
- 1 68 Kohm.

CAPACITERS (disc, mylar, electrolytic -20 percent, 25 V.)

- 1 0.002 Micro farad.
- 2 0.005 Micro farad.
- 3 0.01 Micro farad.
- 1 0.05 Micro farad.
- 1 1.0 Micro farad.
- 1 0.1 Micro farad.
- 1 2.5 Micro farad.

MISCELLANEOUS COMPONENTS ;

- 1 Socket(14 pin)

TEST INSTRUMENTS ;

Osicilloscope(dual track,5in)

Function generator (10Hz to 1 MHz)

Digital multimeter

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Power supply (+,-,15Volts,50 ma)

TEST AND MEASUREMENTS

๑. ประกอบวงจรดังรูป ๒๓.๔ โดยใช้อุปกรณ์ดังรูป, ให้วัดค่าและบันทึกผล Static voltage (ขณะนี้จะไม่มีป้อนสัญญาณ Modulation เข้าไป)

๒. ให้สังเกตุ O/P Wave ของ Astable OSC ที่ขา 9, ให้วัดและบันทึกผลค่า Pulse width , Pulse Amplitude , Frequency และให้ Sketch รูป O/P Wave form ด้วย

๓. สังเกตุสัญญาณ O/P ของ monostable osc. ที่ขา 5 ให้วัดและบันทึกค่าของ Pulse width , Pulse Amplitude ,Frequency และให้ Sketch รูป O/P wave form.

๔. ให้ Sketch รูปของ Timing diagram ของส่วนต่างๆโดยแสดงให้เห็นความสัมพันธ์ระหว่าง Astable O/P (pin9) , สัญญาณ Trigger (pin6) และ Monostable O/P (pin5) โดยให้แสดงให้เห็นถึงช่วงขอบของการ Trigger ว่าจะไป Sync กันในลักษณะเช่นไร

๕. กำหนด Amplitude ของสัญญาณที่ต้องการใช้ในการสร้าง Pulse-width modulation ,ให้ใช้ Audio generator โดยปรับความถี่ประมาณ 500 HZ ให้ Sketch ความสัมพันธ์ระหว่าง Modulating signal (500Hz) และสัญญาณ - Modulate carrier.

NOTE

สำหรับใน step นี้จำเป็นที่จะต้องอธิบายให้ทราบถึง Horizontal sync-voltage เพื่อ osiloscope , ให้ปรับ trigger ไปที่ External trigger และป้อนสัญญาณ sampled ที่ pin5 (Monostable osilator output)ไปที่ External trigger input เพื่อทำให้ Display ของ sync ไม่เลื่อนหรือไหลซึ่งจะทำให้ได้ภาพที่นิ่ง และความถี่ของ Audio generator บางทีอาจจะต้องปรับเพิ่มอีกเล็กน้อย

๖. ความแตกต่างระหว่างการใช้ sine wave , Triangle wave เข้าไปเพื่อทำการ Mod จะเป็นเช่นไร.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

SELF TEST ANSWER

๑. Free running

๒. Trigger pulse

๓. Power supply , Signal

๔. R1,R2,R3;C1

๕. Positive-going

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

๗. ให้สังเกตุและหาเหตุผลเมื่อการ Modulate ของสัญญาณเพิ่มขึ้นมากจนเกินไป.

NOTE

ห้ามถอดอุปกรณ์ต่างๆของวงจรออกเพราะวงจรนี้จะนำไปใช้ร่วมกับการทดลองอื่นๆอีก

FOR FURTHER RESEARCH

๘. ให้จัดหาวงจรที่จะแสดงให้เห็นว่าการ Modulation ของ RF-carrier ที่ 27 MHz โดยใช้ Pulse width modulator,ใช้ IC เบอร์ 1496 ทำ RF Modulator และใช้ IC เบอร์ 556 ทำ Astable Osilator โดยกำหนดให้ทำงานที่ความถี่ 100 Hz และ Modulate signal ให้นำมาจาก Tranducce - Output โดยมีความถี่จาก 0 - 3 Hz.

SELF TEST

ทดสอบความเข้าใจทั้งหมดโดยการตอบคำถามต่อไปนี้

๑. Astable Osillator คือ.....

๒. Monostable Osillator ต้องการอะไรบ้าง.....

๓. Amplitude ของ pulse จาก Monostable Osilator จะถูกกำหนดจากอะไรบ้าง....., และ Pulse width จะหาได้จาก.....

๔. จากวงจรที่ 23.5 ค่า R และ C ที่สำคัญในการกำหนดความถี่ของวงจรคือ.....

๕. จากรูปที่ 23.5 diode D1 มีไว้เพื่ออะไร.....

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

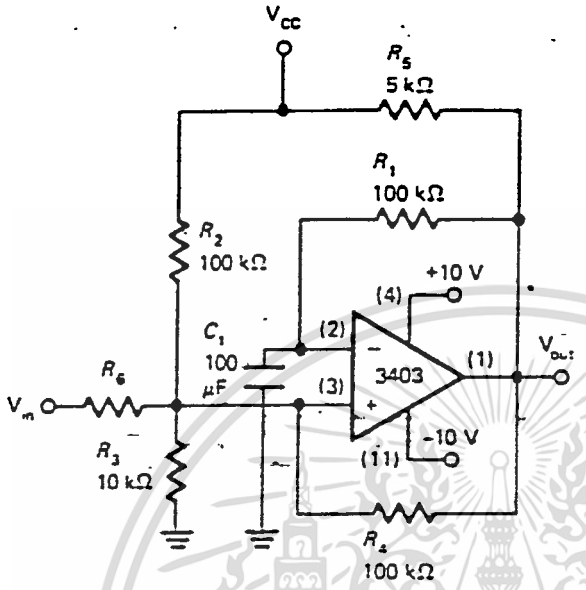


Fig. 23-1. Square-wave-oscillator circuit diagram

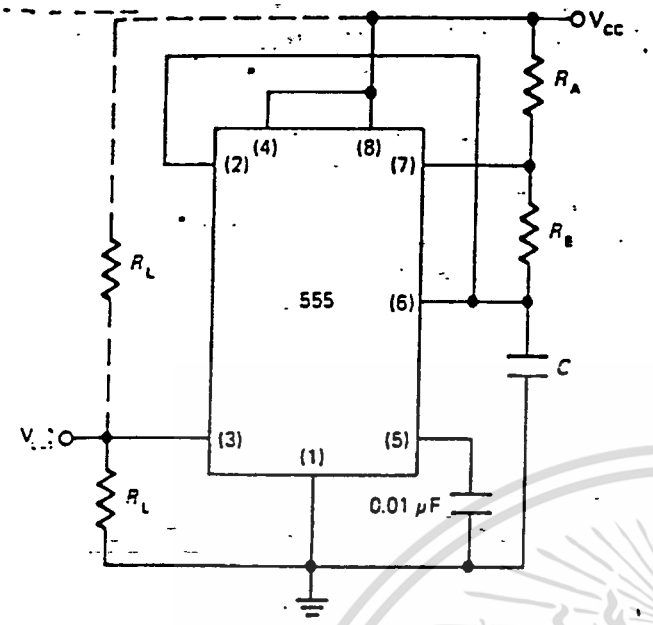


Fig. 23-2. Astable oscillator circuit using a 555 IC

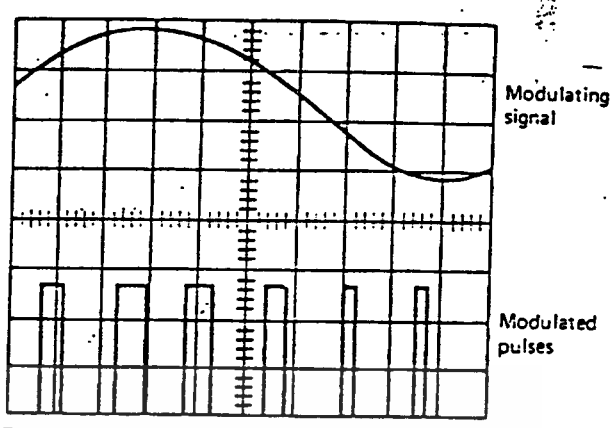
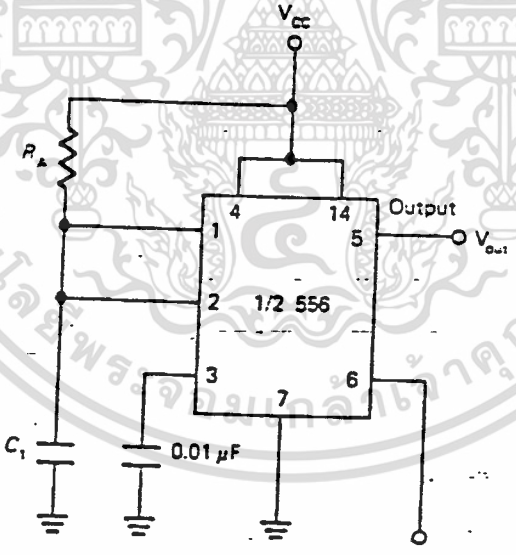


Fig. 23-4. Pulse-width modulated pattern versus audio input signal



Trigger input (for example, output of the astable oscillator shown in Fig. 23-2)

Fig. 23-3. Monostable oscillator, pulse-width modulator circuit diagram

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

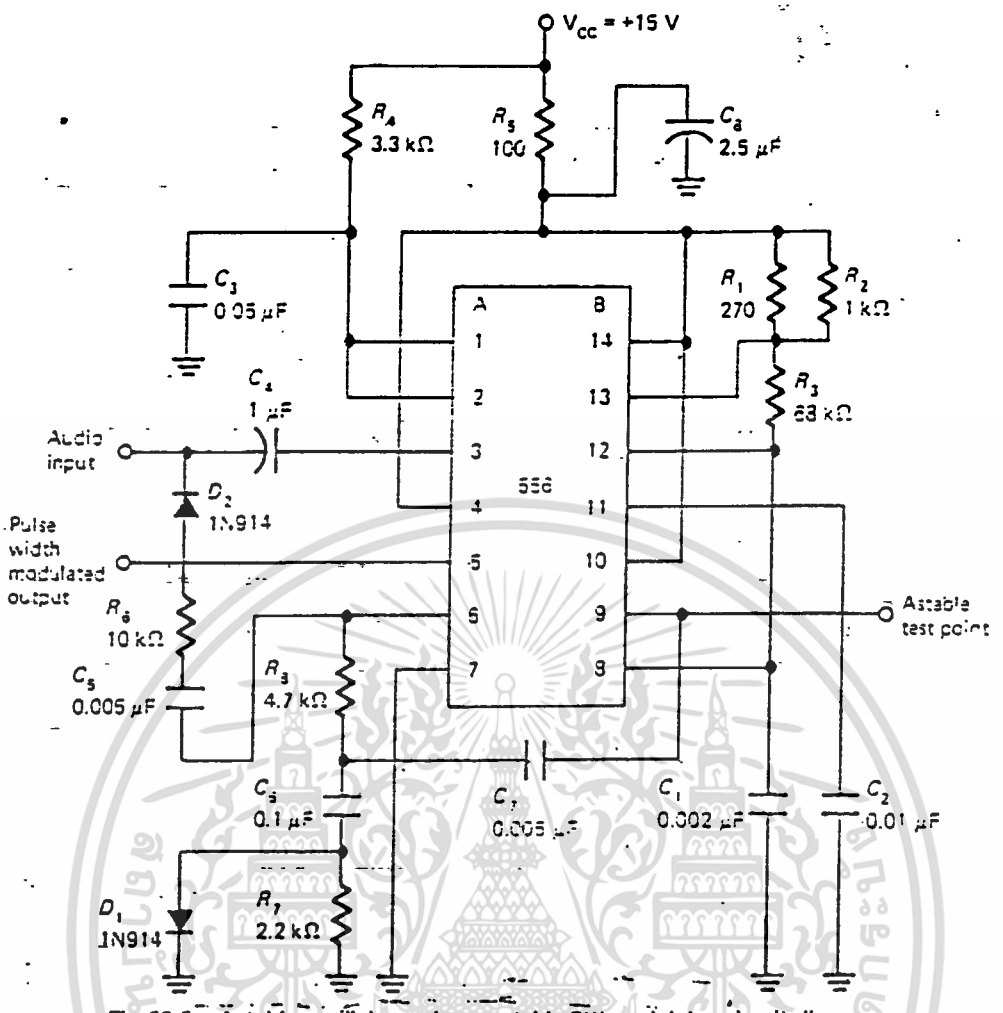


Fig. 23-5. Astable oscillator and monostable PW modulator circuit diagram

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

EXPERIMENT 24

PULSE-WIDTH DEMODULATION

วัตถุประสงค์

หลังจากได้ศึกษาการทดลองนี้แล้วจะสามารถเรียนรู้ถึง

๑. คำนวณหาค่าวงจร Detector เพื่อใช้สำหรับ AM,FM และ SSM-Demodulation.

๒. นำวงจรไปใช้ประโยชน์สำหรับในการ Detect และหา Gain ต่างๆของวงจร

๓. นำเอาวงจรไปใช้งานเกี่ยวกับการติดต่อสื่อสารทางด้านเครื่องรับ

ทฤษฎี

General operation

IC เบอร์ 1496 เป็น Balance Modulator ที่มีการนำไปใช้งานกันอย่างกว้างขวาง. ในการทดลองที่ 17 และ 19 เป็นการใช้ IC1496 ทำเป็น AM และ-DSB Modulation ตามลำดับ

การเปลี่ยนแปลงส่วนประกอบต่างๆของวงจรทางส่วนนอกเพียงเล็กน้อยนี้ โดยที่ยังคงใช้ IC เบอร์เดียวกันอยู่จะสามารถสร้างวงจร AM Demodulator และ FM หรือ Pulse-width Modulator

หัวใจสำคัญของวงจร Detector คือภายใน Chip นั้นมี IF Amplification รวมอยู่ในตัวเดียวกันด้วย ดังตัวอย่างเช่น IC LM374 คือ Single chip ที่ออกแบบมาเพื่อใช้ในการติดต่อสื่อสารทางด้านรับ ซึ่งจะสร้าง IF Amp. (455Kหรือ10.7MHz)และ AM,FM และ SSB Detection และ Chips นี้จะใช้เป็น Product detector และชนิดของ Detector ที่จะศึกษาต่อไปนี้จะเป็น Detectorแบบพื้นฐานที่จะนิยมใช้กันมากในระบบอุปกรณ์การสื่อสารโดยทั่วๆไป จากรูปที่ 24.1 จะแสดงให้เห็นถึงส่วนประกอบต่างๆภายในรวมไปจนถึงการ Wiring ต่างๆของ Balance modulator-demodulator IC1496. โดย transistor Q5และQ6จะประกอบกันเป็น Different-pairและจะใช้เป็นตัว Drive ให้กับ Dual differential amplifiers Q1,Q2,Q3 และ Q4 กระแสที่ไหลผ่าน Dual amplifier จะถูกควบคุมโดย Q5และQ6

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากรูปที่ 24.2 จะแสดงให้เห็นการวิเคราะห์กระแสใน IC 1496 โดยQ7 และ Q8จะกำหนด Constant current ให้กับ Q5และQ6 ส่วนความต้านทานที่Terminal 2และ3 จะใช้เป็นตัวกำหนด Gain control

ค่า Output current จากส่วน Upper dual amplifiers จะเป็นสัดส่วนกับ Input voltage ที่ Vxและ Vy , ค่า O/P vlotage ของทั้งสองจะเป็นผลมาจาก Ia หรือ Ibคูณ RL,โดยมันจะสามารถทำงานทั้งในแบบ Singleหรือ Differential-output ค่า O/P voltage สามารถจะหาได้โดย

$$V_{out} = K V_x V_y \quad \text{---------- (1)}$$

โดยKจะเป็นScaling Factorซึ่งสามารถจะเปลี่ยนแปลงค่าได้โดยใช้อุปกรณ์จากภายนอก แต่จะไม่จำเป็นในวงจร Detector นี้

ค่า Differential voltage gain จะเป็น Function กับ high level input ของ transistor ทั้ง 4ตัวบน และจะหาได้จาก

$$A_v = dV_{out}/V_{in} = 2R_L/R_E \quad \text{-------- (2)}$$

โดยค่า Vin คือ Low level signal

$$V_{out} = 2R_L V_y / R_E \quad \text{---------- (3)}$$

และ $V_y = I_y R_E$

IC 1496 จะเป็น Linear multiplier ซึ่งจะขึ้นอยู่กับระดับสัญญาณที่ Vx และDrive level ที่ Vy

ค่า Output signal voltage คือผลรวมและผลต่างของสัญญาณที่ Vxและ Vy ซึ่งถ้าเป็นสัญญาณ I/P Sinewave

$$V_x = E_x \cos \omega_x t$$

$$V_y = E_x \cos \omega_y t$$

ซึ่ง Exและ Eyก็คือ ค่า Peak ของ X และ Y , ผลคูณของทั้งสองสัญญาณก็คือผลของ O/P ที่ได้นั่นเอง

$$V_{out} = \{ KE_xE_y/2 \} \cos(\omega_x+\omega_y)t+\cos(\omega_x-\omega_y)t \quad \text{------ (4)}$$

สำหรับ Detector ค่า O/P cos(Wx+Wy) สามารถที่จะ Filter ได้โดยง่าย เพราะว่ามันคือผลรวมของคลื่น RF สองคลื่น ,และค่า cos(Wx+Wy) คือ low frequency

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

ซึ่งเป็นผลมาจากการแตกต่างของ RF ทั้งสองคลื่น

ในส่วน Upper ของ Amplifier จะทำงานใน Saturation mode เพื่อที่จะได้ Gain ที่สูงสุด, และ lower amplifier (modulating input)จะถูกนำออกไปทาง Pin2 และ pin3, resistor ที่ต่อคร่อม Terminal นี้นั้นจะทำหน้าที่เป็น Degeneration ซึ่งก็จะเป็นการควบคุมไม่ให้ Gain เกินขอบเขต Dynamic range ของการ Modulate I/P ส่วนในส่วนสุดท้ายของ Amp.จะใช้ในกรณีที่ค่าของ RE นั้นน้อยๆ โดยเมื่อค่าของ REจะมากกว่าRe

$$AV = RL/RE \qquad \text{---------- (5)}$$

โดย RE คือ External resistor ส่วน Re คือ Internal - Emitter Resistance ของ IC (ประมาณ 29 Ohms)

การ Bias ของ amp. กระแสที่ไหลจะถูกกำหนดโดย External resistor ที่ต่อไปที่ขา Base ของ Q7และQ8 c,แม้ว่าBias current จะสามารถใช้ได้หลายๆค่า แต่เพื่อความสะดวก Bias current จะถูก setไว้ที่ =1ma, R 6.8 Kohm จะต่อไปที่ Pin 5 เพื่อจะทำหน้าที่รักษา Bias ให้ถูกต้อง

ค่า Voltage ที่Pin ต่างๆของ Chip นี้คือ

Pin 6 และ Pin 12 ควรจะมีค่าเป็นบวกมากที่สุด

Pin 8 และ Pin 10 จะเป็นบวกรองลงมา

Pin 1 และ pin 4 จะเป็นบวกน้อยที่สุด

Pin 14 จะเป็นลบมากที่สุด

แรงดัน Bias ทางด้านนอกจะใช้ Voltage divider เป็นการให้ Bias,ค่ากระแส Minimum =1ma นี้จะไหลผ่าน Divider นี้, ค่า Positive supply (vcc)จะใช้เลี้ยง Upper dual amplifier โดยผ่านทาง load (RL)

<u>Product-Detector Operation</u>

รูปที่ 24.3 แสดงถึงการใช้IC 1496 ประกอบเป็นวงจร Product Detector ซึ่งเป็นวงจรพื้นฐานโดยทั่วๆไป ,แต่จะมีบางส่วนที่เปลี่ยนแปลงไปถ้าจะนำไปใช้ทำเป็น Am,Fm,SSB และPulse-width Modulation.

ในส่วนของ upper differential amplifier,Q1-Q4จะใช้เป็น Driver ที่ระดับ High level,High-frequency outputรวมไปจนถึงRF harmonics ซึ่งจะ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ถูก Filter ออกไปให้เหลือแต่ระดับสัญญาณ audioที่แตกต่างเท่านั้น การทำงานที่High-level นี้จะแสดงให้เห็นได้ว่าที่ระดับ Higher gain นี้ดีต่อการ Detect เช่นไร, ที่ระดับ Carrier-level input 300-1400 mVP-P เป็นระดับ I/P ปรกติ การ modulate I/P จะทำงานในย่านที่เป็น linear range ซึ่งจะได้สัญญาณ O/P Audio ที่ไม่มีการผิดเพี้ยน และจะสามารถDrive สัญญาณได้สูงขึ้นไปถึง 300 mVP-P

วงจร Detector นี้สามารถที่จะสร้างสัญญาณถึง 10dB ซึ่งรวมถึง S/N ratio ที่ output โดยขนาดของ input = 3 Micro volt เท่านั้น

จุดมุ่งหมายของการกำหนด Gain แบบนี้คือ, จะเห็นว่า Detector จะมี Dual output เพราะฉะนั้นในส่วนที่หนึ่งของ input จะถูกใช้เป็น Detection และอีกส่วนที่เหลือจะถูกใช้เป็นส่วนที่ Product AGC control ของ Receiverและ IF stage.

<u>Pulse-width Product Detector,Demodulation</u>

Product detector จะสร้าง DC output โดยจะเป็น Function ของความแตกต่างของ Phase difference ระหว่าง Locally insert carrier กับ Pulse-width modulate input โดยวงจรจะแสดงให้เห็นดังรูปที่ 24.3 ซึ่งได้มีการเปลี่ยนแปลงไปเพียงเล็กน้อยเพื่อใช้เป็นวงจร Pulse-width modulation โดย Local carrier จะถูก Set ให้มีความถี่เหมือนกับทาง I/P ที่เข้ามา, สัญญาณ carrier input (pin10)จะถูกกำหนดให้เป็น High level ซึ่งจะมีผลทำให้ Amplifier Switching และ Saturate เต็มที่ ดังนั้นถ้าในส่วนของ Pulse-widh modulate signal inputเป็น High level เช่นกัน จะทำให้ Amplitude modulation ไม่มีการเปลี่ยนแปลง, Pulse-width signal จะถูกสร้างขึ้นที่ O/P คือที่ระดับ DC Shift. ซึ่งอันจะเป็นผลมาจากการแตกต่างของสัญญาณทางส่วนของ I/P ทั้งสองนั่นเอง

รูปที่ 24.4 จะแสดงให้เห็นถึงผลของการแตกต่างของทั้งสอง input โดยถ้า Input ทั้งสองถูกป้อนให้เป็น High ทั้งสอง Input และทั้งสอง Input มี Phase เดียวกันด้วย(รูป a)output จะเป็น ศูนย์ แต่ถ้า Input ทั้งสอง out of phase กัน(รูปb)สัญญาณ output จะถูกสร้างขึ้น

รูปที่ 24.5 แสดงให้เห็นถึง Function diagram ของ Pulse-width

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

modulator-detector.โดยในส่วนของ Modulator circuit ทั้งหมดจะเหมือนกับการทดลองที่ผ่านมาแล้วในบทที่ 23. โดยครึ่งหนึ่งของ IC 556 จะถูกใช้ทำเป็น carrier signal ที่4 KHz จากนั้นนำเอา Carrier นี้ไปป้อนที่ Inverter (1/4 ของ IC 3403) และ couple ไปที่ Carrier input ของ 1496 ส่วนอีก 1/2 ของIC 556ซึ่งเป็น Modulator เช่นกัน จะให้ทำงานเป็น Monostable Osilatorให้ Trigger ที่ 4KHz ค่า Positive output pulse จะถูกขยายและป้อนเข้าที่ส่วน Signal input (pin1)ของ Detector ,ส่วน Audio - signal จะนำมาจากที่อื่น(จาก Function generator ก็ได้)โดยจะใช้ความถี่ในช่วง 100-500 Hz Range. จัดให้เป็น Modulating signal ,ในส่วนของ Inverter, 1/4 ของ IC 3403 จะใช้สำหรับทำFeed back Gain control-amplifier โดยส่วนของ Feed back circuit ซึ่งจะสามารถปรับค่าได้ด้วยจะแสดงดังรูป 24.6

MATERIALS REQUIRED

ACTIVE DEVICE :

1	LM 1496
1	MC 3403

RESISTORS(5 percent , 1/4 watt.):

1	47 Ohm
1	100 Ohm
1	680 Ohm
3	22 K Ohm
2	100 K Ohm
6	1 K Ohm
1	4.7 K Ohm
1	2.2 K Ohm
3	10 K Ohm
1	10 K Ohm potentiometer

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

1 100 K Ohm potentiometer

CAPACITORS (disc,mylar,electrolytic = 20 % , 25 Volt):

1 100 pF

5 0.1 Micro farad.

1 270 pF

1 1 Micro farad.

1 .002 Micra farad.

3 5 Micro farad.

2 .05 Micra farad.

1 100 Micra farad.

MISCELLANEOUS COMPONENT :

2 socket 14 pin

TEST INSTRUMENTS :

Osilloscope (dual trace ,5 in)

Functional generator(10Hz to 1 MHz)

Digital multi meter

power supply (+- 15 V. ,50ma)

Note

จากเรื่อง Pulse-width modulator ที่ได้ทดลองมาแล้วแต่ไม่ได้ถูกรวบรวมในการทดลองนี้, เพราะฉะนั้นจึงจำเป็นที่จะต้องสร้างขึ้นมาใหม่เพื่อใช้ร่วมกับการทดลองนี้ (วงจร Demodulator) ให้ระวังเกี่ยวกับ Power supply ที่ใช้ด้วย(Vcc และ Vee)

๑. ประกอบวงจรดังรูปที่ 24.7 โดยใช้อุปกรณ์ต่างๆดังรูป, ให้วัดและบันทึกค่า Static voltage

๒. ให้อธิบายถึงผลของ Demodulate Pulse โดยถ้าป้อนสัญญาณ Input สองสัญญาณที่เหมือนกันเข้าที่ Input ของ IC 1496 และสัญญาณ Unmodulate carrier เข้าที่ Pin 10 และ Pulse-width modulate signal เข้าที่ Pin 1 จากนั้นให้ปรับจนกระทั่งสัญญาณ Outputสุดท้ายให้ได้เหมือนกับสัญญาณเดิม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

๒.a กำหนดให้ความถี่ของสัญญาณที่ Test point A และ Gain ของวงจรกำหนดโดย Inverter Stage A1

๒.b กำหนดให้ความถี่ของสัญญาณที่ Test point B และ Gain ของวงจรกำหนดโดย Amplifier A2

๓. ป้อนสัญญาณ Audio (Sine wave)โดยมีความถี่ระหว่าง 100-500 Hz. เข้าที่ Input ของ Modulator (input ที่ pin3 ของ IC 556)ให้ต่อ Channel 1 ของ Osilloscope ไปที่ pin 3 ของ IC 556 และ Channel 2 ไปเข้าที่ pin 5 ของ IC 556 ให้แน่ใจว่าขณะนี้ Gain control ของวงจรอยู่ที่ Lower gainจากนั้นให้ปรับ Audio signal Amplitude จนกระทั่งที่ Channel 2 ของ Osilloscope - ปรากฏสัญญาณ Pulse-width-modulate signal ขึ้น

Note

ขณะนี้ในบางครั้งอาจจำเป็นจะต้องใช้ Horizontal sync voltage - (สัญญาณที่ pin 5 ของ IC 556) เพื่อ Sync สัญญาณไม่ให้เลื่อนไหล,จากนั้นให้ปรับ Amplitude ของ Audio signal ให้พอเหมาะคือไม่ให้เกิดการ Over modulatate ขึ้นจากนั้นให้ Sketch ภาพ Pattern ที่เกิดขึ้น,และให้ทดลองดูว่าที่ระดับของสัญญาณ Audio input ต่ำสุดคือเท่าไรโดยที่การ Modulate จะยังคงเกิดขึ้น

๔. ให้เปลี่ยน Probe ที่ Channel 2 ของ Osilloscope ไปที่output (pin 8) ของ Stage A จากนั้นให้ปรับ Modulation gain(R8),Carrier gain (R2),และ Amplitude ของ Audio signal(output attenuator ของ function generator) เพื่อที่จะทำให้เกิดการสร้างสัญญาณที่ output= 500Hz ให้ Sket รูป output ที่เกิดขึ้นทั้งที่ input และ output ให้อธิบายถึงปัญหาต่างๆที่เกิดขึ้นทั้งหมดขณะที่กำลังปรับค่าต่างๆด้วย

๕. ลดความถี่ของ Audio signal ลงไปที่ 300 Hz ให้สังเกตุความ-แตกต่างที่ output ขณะนี้ , จากนั้นให้ Sketch รูปสัญญาณ output ขณะนี้ และให้อธิบายถึงความแตกต่างที่เกิดขึ้นด้วย.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่อนุญาตให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Self test

ทดสอบความเข้าใจโดยการตอบคำถามดังต่อไปนี้

๑. ใน Pulse-width demodulation สัญญาณ modulate จะ compare กับ_____

๒. วงจร Network ในส่วนที่ pin 12 ของ IC 1496และ C14 ในรูปที่-24-7 คือวงจร_____

๓. ในรูปที่ ๒๔.๗ Gain ของวงจรจะถูกควบคุมโดย_____

๔. จากรูปที่ ๒๔.๗ ให้คำนวณ Gain ของ A3 คือ _____

๕. จากรูปที่ ๒๔.๗ ค่า Gain สูงสุดของ A1 คือ _____

Self test answer

๑. Carrier

๒. Filter

๓. R11

๔. 100

๕. Unity (1)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

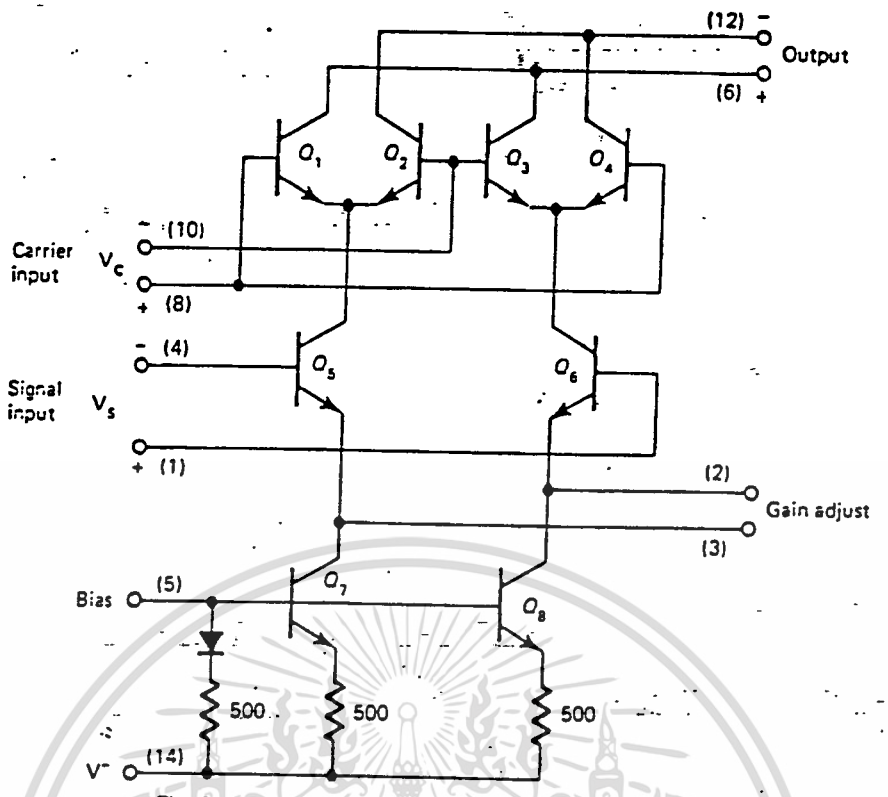


Fig. 24-1. IC modulator-demodulator circuit diagram

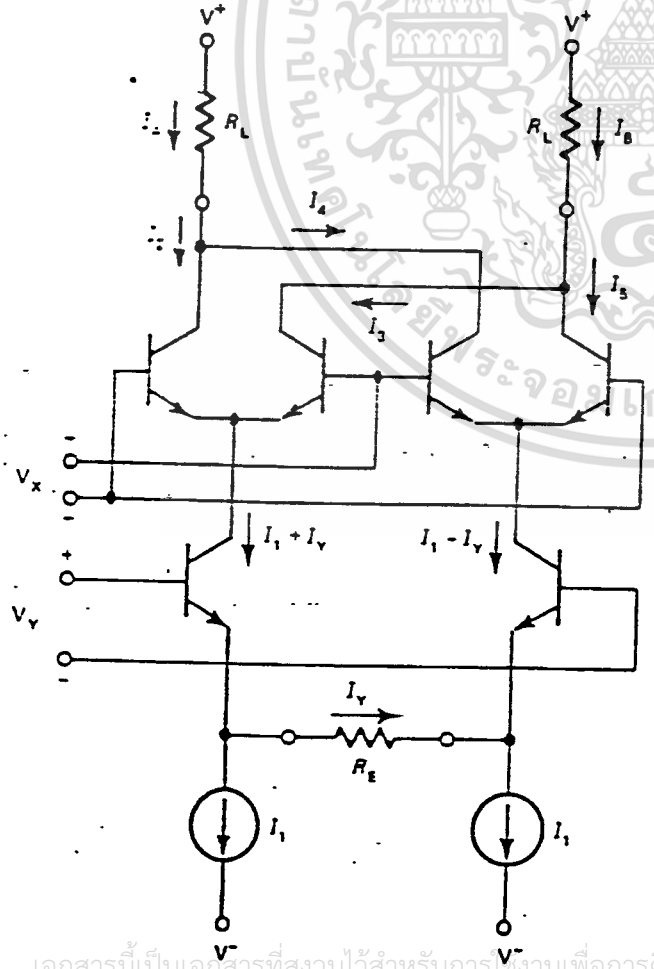


Fig. 24-2. Current-flow analysis in an IC multiplier amplifier

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

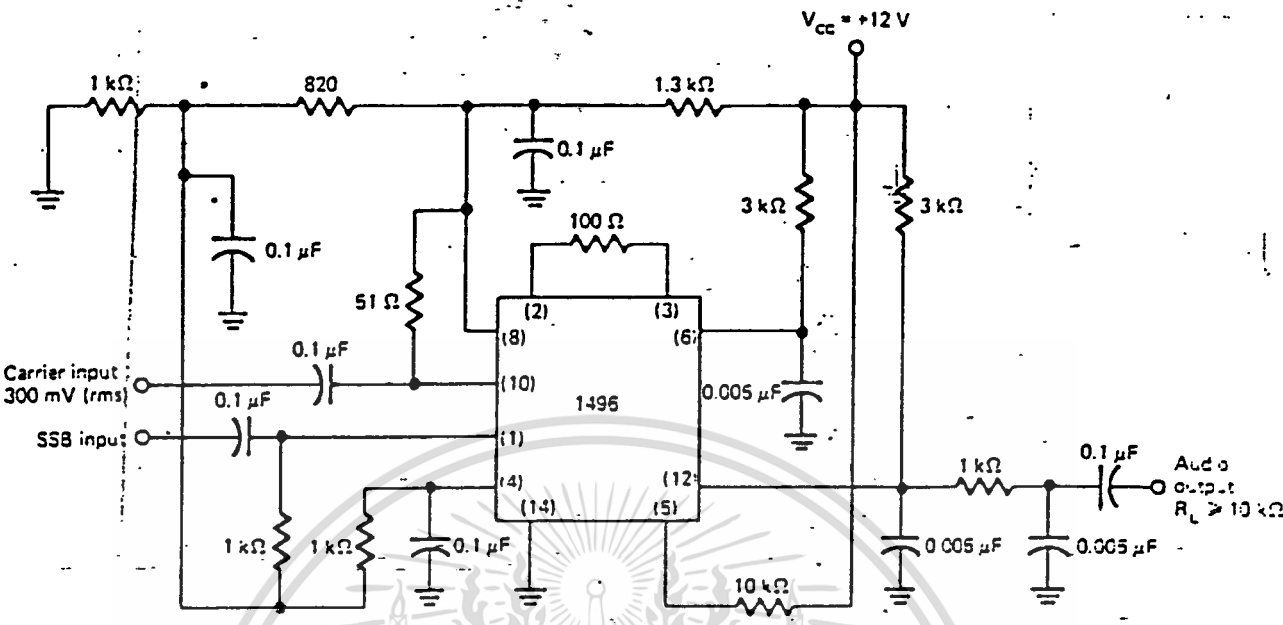


Fig. 24-3. IC product-detector circuit diagram

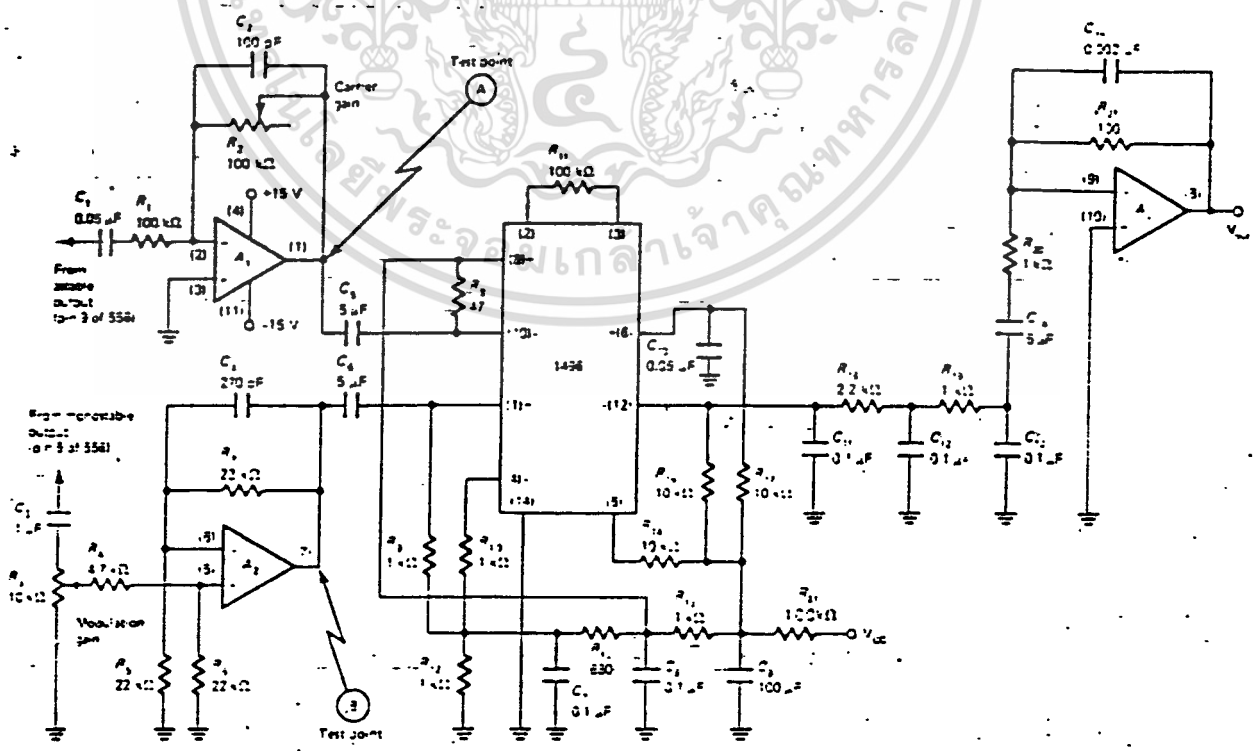


Fig. 24-7. Pulse-width demodulator circuit diagram

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

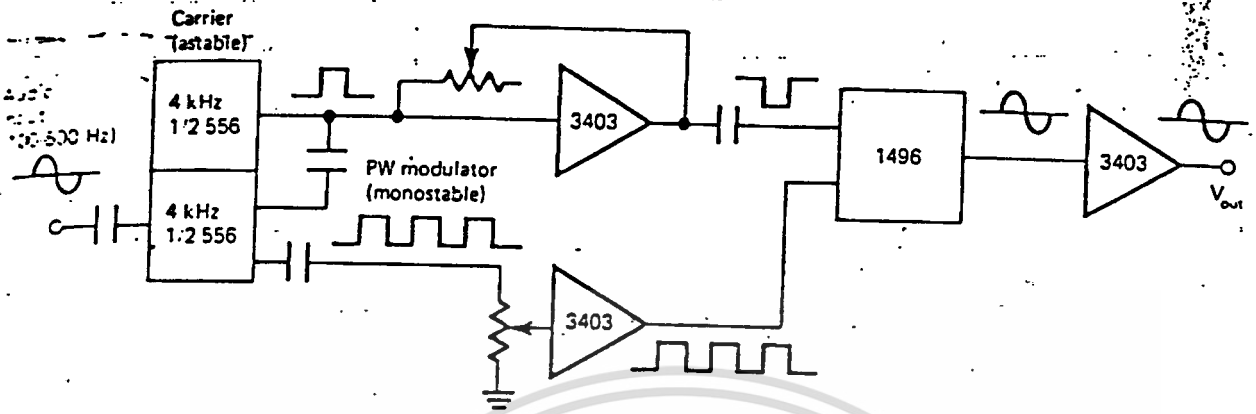


Fig. 24-5. Pulse-width modulator-demodulator (functional diagram)

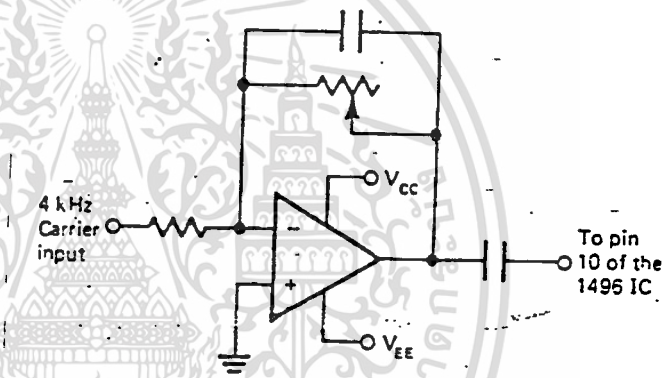
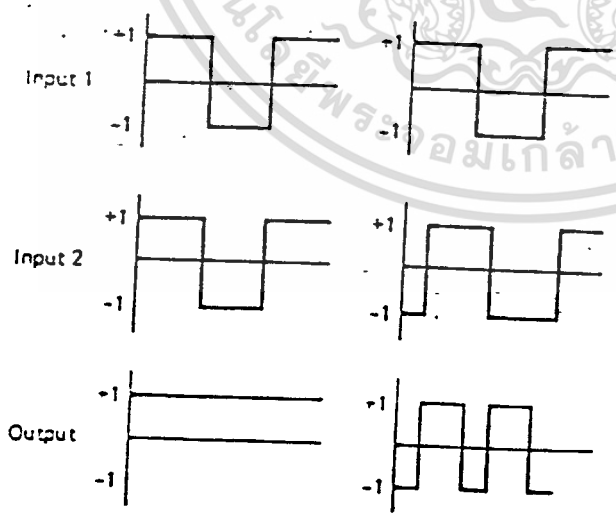


Fig. 24-6. Gain-controlled inverter amplifier



(a) Inputs: in phase (b) Inputs: out of phase

Fig. 24-4. Waveforms of a phase detector

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

EXPERIMENT 26

Frequency-shift keying(FSK)modulators

OBJECTIVES

หลังจากได้ศึกษาการทดลองนี้ สามารถที่จะเรียนรู้ถึง

1)ทดสอบและหาค่าขีดความสามารถของวงจรเพื่อที่จะสร้างเป็นวงจร Frequency shift keying

2)สามารถที่จะเลือกใช้ Modulating signal สำหรับการ Space และ Mark-Subcarrier tone

3)ทดลองทดสอบและฝึกหัดเพื่อที่จะสามารถ Applie ไปใช้ประโยชน์อื่นๆ

Discussion

Frequency shift keying ใช้กันอย่างแพร่หลายในระบบเครื่องส่งเช่น โทรเลข,และพวก Wireless เป็นต้น และในการทดลองนี้จะเกี่ยวกับ FSK เท่านั้น และหลักการสำคัญที่ใช้ใน Pulse width modulationจะรวมไว้ในการทดลองนี้ด้วย

Standard ที่ใช้กำหนดใน FSK Tone จะกำหนดไว้คือ สำหรับ Radio - Teletype จะMark ที่ 2124 Hzและ Space ที่ 2975 Hz ส่วนสำหรับ Telephone และ Landlines จะกำหนดไว้ดังต่อไปนี้คือ

MARK = 1070 Hz

SPACE = 1270 Hz

MARK = 2025 Hz

SPACE = 2225 Hz

โดยจะมี GAB ของความถี่ = 200 Hz

Modulator คือ square wave signal โดย Frequency ก็คือ Pulseที่ถูกShiftไป โดยการเปลี่ยนความถี่ของ Tone จะถูกควบคุมโดย Pulse นี้ และความถี่ที่จะใช้ในการทดลองนี้จะกำหนดไว้ที่ความถี่ = 1070 Hzและ1270 Hz และ Tone ที่เกิดขึ้นนี้จะถูกสร้างขึ้นโดยการ Osillator ซึ่งนั่นก็คือ Pulse จะทำงานที่ Natural frequency และในการ Shiftของ Operating นี่เองจะเป็นการทำให้เกิดเสียงขึ้น และทุกๆครั้งที่ Tone เกิดการเปลี่ยนแปลงก็จะทำให้การตอบสนองของวงจร Demodulator

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

เปลี่ยนแปลงตามไปด้วยทุกครั้ง และวงจร Phase lock loop ในการทดลองที่แล้วจะถูกนำมาใช้ในการทดลองนี้ด้วยเช่นกัน

FSK tone generator และ Logic gate จะแสดงได้ดังรูปที่ 26-1 โดย OP-amp A และ B จะเป็นตัวสร้าง Tone osilator ซึ่งได้ความถี่ออกมา 2 แบบ โดยเมื่อขณะที่ Transistor Q1 ยังไม่ทำงาน(Turn on)ทำให้ส่วนของวงจร P2จะไม่ต่อลงGND แต่ P1จะต่อลง GND โดยผ่านทางR5,P1จะเป็นตัวปรับ Osilator frequency เท่ากับ 1270 Hz ซึ่งขณะนี้ก็คือ Space period แต่เมื่อ Pulse 2.5 msecถูกป้อนเข้ามา Transistor จะกลับมา Saturate แทนทำให้ P2 กลับมาขนาน R5 แทนและ Frequency จะถูก Shift ที่ 1070 Hzแทน ซึ่งขณะนี้ก็คือ Mark period. ซึ่งถ้าเราสลับกันป้อน Pulse 2.5 Msec นี้ก็คือการ Mark และ Space นั่นเอง

Zener diode จะทำหน้าที่เป็นตัวทำให้ระดับแรงดัน (Voltage amplitude)ของ OSC คงที่ ส่วน OP-AMP B และ C จะทำหน้าที่เป็น Buffer ของ Tune frequency.

Gating จะถูกสร้างขึ้นโดย Monostable osillator และ Pulse widthจะถูก Setได้โดย Rm(33K Ohm)และCm(0.1Micro farad)และ Monostable จะถูก Trig โดย Astable osillator ที่ความถี่ประมาณ 200 Hz ส่วน Astable osillator จะถูก Set โดย Ra, Rb และ Ca โดยจะสร้าง Pulse ประมาณ 4.8 MsecและPulse จะถูกป้อนเข้าที่ขา Baseของ Q1 โดย Amplitudeของ Pulseจะสามารถ Set โดยP3 ให้ได้ประมาณ 8 VP-P และจะเป็นผลทำให้ Q1 Saturate ส่วน D3จะเป็นตัวกำหนดให้แน่ใจได้ว่า Gating นั้นเกิดขึ้นโดย Negative pulse และรูปสัญญาณO/P Pulseของ Astable osillatorจะแสดงได้ดังรูปที่ 26-2a ,ส่วนผลความแตกต่างแสดงได้ดังรูปที่ 26-2b,รูปที่ 26-2c จะแสดงถึง O/Pของ Monostable ส่วนรูปที่ 26-2d จะแสดงถึงสัญญาณ O/P Tone pulse ที่ถูกสร้างขึ้น

สมการ Time constant ที่ใช้สำหรับ Set Gating osillator แสดงไว้ในส่วนของ Equation section โดยถ้า Astable osillator ถูก Set ไว้ที่ 5 Msec และ Monostable osillator ถูก Setไว้ที่ 5 msecเช่นกัน Monostable จะถูก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Trig โดย Astable osillatorในทุกๆ Negative pulse

EQUATION

$$t = 1.1\ RmCm \text{(monostable)} \qquad (26\text{-}1)$$

$$t1 = 0.693(RA+RB)CA \text{ (astable)} \qquad (26\text{-}2)$$

$$t2 = 0.693RbCa \qquad (26\text{-}3)$$

$$T = t1+t2 = 0.693(Ra+2Rb)Ca \qquad (26\text{-}4)$$

$$f = 1/T = 1.44/ (Ra+2Rb)C \qquad (26\text{-}5)$$

MONOSTABLE

ถ้า Setให้ t = 2.5 msec;หาค่า Rmโดยที่ Cm=0.1 Micro farad

Rm = 2.5*(-1000) / 1.1*(-1000000) = 22.7 Kohm

ในการทดลองนี้ค่าของ Rm ถูกกำหนดไว้ = 33 Kohm และมีค่า Tolerance เท่ากับ +-10 Percent

NOTE : ค่า Total period สูงสุดสำหรับ Monostable osillator(รวมทั้ง On time และ Off time) = 5msec

ASTABLE

t1 = pulse time, และ Set t1ให้ = 4.8 msec(4800 micro sec) โดยให้ Ca = 0.1 micro farad

t2 = off time, และ Set t2 ให้ = 0.2 msec(200 micro sec)

T = t1 + t2 = 5 msec

และจากสมการ 26-3

Rb = 0.2*(-1000) / 0.693*[0.2*(-1000000)]

= 1.44*(1000) = 1.44 Kohm

และจากการทดลอง Rb =1.5Kohm และมีค่า Tolerance เท่ากับ +- 10 Percent

จากสมการที่ 26-2

Ra = 4.8*(-1000) / 0.693[0.2(-1000000)] - 1.44(1000)

= [3.46(10000)]-[1.44(1000)] = 33.2 Kohm

จะเห็นว่าจากการทดลองจะใช้ Ra = 27 Kohmโดยมีค่า Tolerance เท่ากับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

+- 10 Percentดังนั้นทำให้ ค่า Pulse period (T)ถูก Setที่ = 5 msec ,ดังนั้น ค่า Different output ซึ่งจะใช้ในการ Trigger แก่ Monostableจะไป Trig แก่ Monostable ในทุกๆ=ช่วง 5msec

MATERIALS REQUIRED

Active device

- 1 LM 556
- 1 MC 3403
- 1 2N3905 (Transistor)
- 2 1N4733 (Zener diode)
- 1 1N 914(diode)

Resistor (5 percent, 1/4 Watt)

- 1 100 ohm
- 1 270 ohm
- 3 1 Kohm
- 2 1.5 Kohm
- 2 2.2 Kohm

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- 2 4.7 Kohm
- 1 6.8 Kohm
- 3 10 Kohm
- 1 15 Kohm
- 1 27 Kohm
- 5 100 Kohm
- 1 5 Kohm potentiometer
- 2 10 Kohm potentiometer
- 1 50 Kohm potentiometer

CAPACITOR (Disc, Mylar, Electrolytic, 20 percent,25 volt)

- 1 470 pf
- 1 0.001 Micro farad
- 1 0.005 Micro farad
- 5 0.01 Micro farad
- 1 0.02 Micro farad
- 3 0.1 Micro farad
- 1 0.2 Micro farad
- 1 0.5 Micro farad
- 1 10 Micro farad
- 1 100 Micro farad

MISCELLANEOUS COMPONENTS

- 2 Sockets(14 pin)
- 1 Socket(Transistor)

TEST INSTRUMENTS

Osilloscope(Dual trace, 5in)

Function generator(10Kz - 1 Mhz)

Digital multimeter

Power suppply (+- 15 Volt,50 ma)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TESTS AND MEASUREMENTS

1) ประกอบวงจรดังรูปที่ 26-1 โดยใช้อุปกรณ์ต่างๆดังที่แสดงไว้,ใช้ VCCเท่ากับ +-15 Volts,โดยแม้ว่าที่ P3 จะใช้ R=5Kohm แต่เราสามารถที่จะใช้ค่าR=100Kohm โดยต่อแบบ Bridge กับ R=6.8 Kohm เพื่อที่จะได้ค่าที่ Effective จริงๆ

2) ให้ทดสอบส่วนของ Astable osillator เป็นอันดับแรกก่อน โดยใช้ Scope วัดที่ Test point A ,หาค่า t1,t2,T และค่า Frequency ของสัญญาณ จากนั้นให้ Sketch รูป Waveform แล้วเปรียบเทียบกับรูปที่ 26-2

3) สัญญาณ output ของ Astable osillator ซึ่งเราจะนำไปใช้เป็น Trigger แก่วงจร Monostable osillator , ให้ใช้ Scope วัดที่ Test point B วัดหาค่า Amplitude, Polarity,และให้สังเกตุ Period patternจากนั้นให้บันทึกรูป Waveform ที่ Point A และ B

4) ใช้ Scope วัดที่ Test point C,หาค่า OUTPUT TIME ของ Monostable-osillatorรวมทั้งหาค่า Period ของMonostableด้วยจากนั้นให้ Sketch Timing waveformของ Triggerและoutput voltageของ Monostable osillator, ให้สังเกตุ Edge trigger ของ Monostableด้วยว่าเป็นเช่นไร

5) ขณะนี้เราจะ Set ค่า SPACE และ MARK Frequency ของ Osillator อันดับแรกให้กำหนดค่าวงจรGatingให้เหมาะสมต่อจากนั้นให้ใช้ChannelแรกของScope Connect ไปที่ขาBaseของQ1จากนั้นให้ปรับ P3จนกระทั่งได้สัญญาณขนาด = 5 V P-P ซึ่งขณะนี้ Q1 จะต้องเข้าสู่จุด Saturation ซึ่งเปรียบเสมือนว่าขณะนี้ที่ขา Collector ของQ1เปรียบเสมือน GND และจากGating Amplitudeนี้ Potential ที่Collector ของ Q1จะเป็นเช่นไร

6) ต่อจากนั้นให้ Set P3 = 0 ซึ่งขณะนี้แสดงว่าไม่มี Gating ที่จะไป Shift osillator เปลี่ยนแปลงได้ ต่อจากนั้นใช้ Scope วัดที่ Pin7 และปรับที่ P1 จนกระทั่งได้ = 1270 Hz ,จากนั้นให้วัดที่ output(Vout)เพื่อที่จะหาค่า Amplifiers C และ D

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ได้ค่าที่เหมาะสม แล้วให้บันทึกค่า Frequency และ Amplitude ของ Output(ซึ่งควรจะได้ค่าประมาณ 10 Volt)

7) ต่อจากนั้นให้ Short ที่ส่วนบนสุดของ P2(ขาCollertorของQ1)ไปที่ GND และให้ปรับ P2 จนกระทั่งได้ Output = 1070 Hz (การ Short นี้เปรียบเสมือนการสร้าง Gating pulse ขึ้นมา)จากนั้นให้ Open ส่วนที่ Short ออกซึ่งค่า V out ขณะนี้ควรจะได้ = 1270 Hz

8) ปรับค่า P3ให้เพิ่มขึ้นซึ่งขณะนี้เปรียบเสมือนว่า Gating ได้ถูกปลดออกไป สังเกตุและบันทึกค่า Output Vout

9) Gating Pulse ขณะนี้มีป้อนเข้าไปหรือไม่ ถ้ามีเราจะมีทางปลดออกได้อย่างไร

10) ในส่วนของ Amplifier C และ D จะเป็น Inverting หรือ Non-inverting

11) ในย่านความถี่การใช้งานอื่นๆของ FSK มีอีกเช่นที่ Landline transmittion จะมีย่านความถี่คือ 2025 Hz สำหรับ Mark และ 2225 Hz สำหรับ Spaceซึ่งในแถบย่านความถี่นี้เราสามารถที่จะปรับเพิ่มค่าหรือลดค่าความถี่ได้หรือไม่,และให้เหตุผลด้วยว่าทำไมได้หรือทำไมไม่ได้

12) Gated-pulse Frequency ควรจะ Stableและไม่ควรจะเปลี่ยนแปลงไปในการเปลี่ยนแปลงของ Power supply, ถามว่า Pulse time จะเปลี่ยนแปลงไปในการเปลี่ยนแปลงของ Power supply หรือไม่

NOTE : หลังจาก complete การทดลองนี้แล้วให้ไม่ต้องถอดอุปกรณ์ใดๆออกทั้งสิ้นเพราะในการทดลองต่อไปจะมีการนำไปใช้อีก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

SELF TEST

1)ในวงจรของ FSK ค่า GAP ระหว่าง Space และ Markจะอยู่ในช่วงใด.....

2)Tone-transmitted เป็นผลมาจากการทำงานของ Telex.....

3)Monostable pulse generator จะถูก Trigโดย Astable osillator ซึ่งจะใช้Pulseที่มีลักษณะEdgeเป็นเช่นไร.....

4)Frequency ของ Osillator Aในรูปที่ 26-1 เพิ่มขึ้นเพราะว่าP2 ขนานกับ 1 Kohmโดยเมื่อQ1คือ.....

5)Baud rate คือ Rateของอะไร.....

SELF-TEST ANSWER

1) 200 Hz

2) KEY

3) Negative

4) Saturated

5) Pulse

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

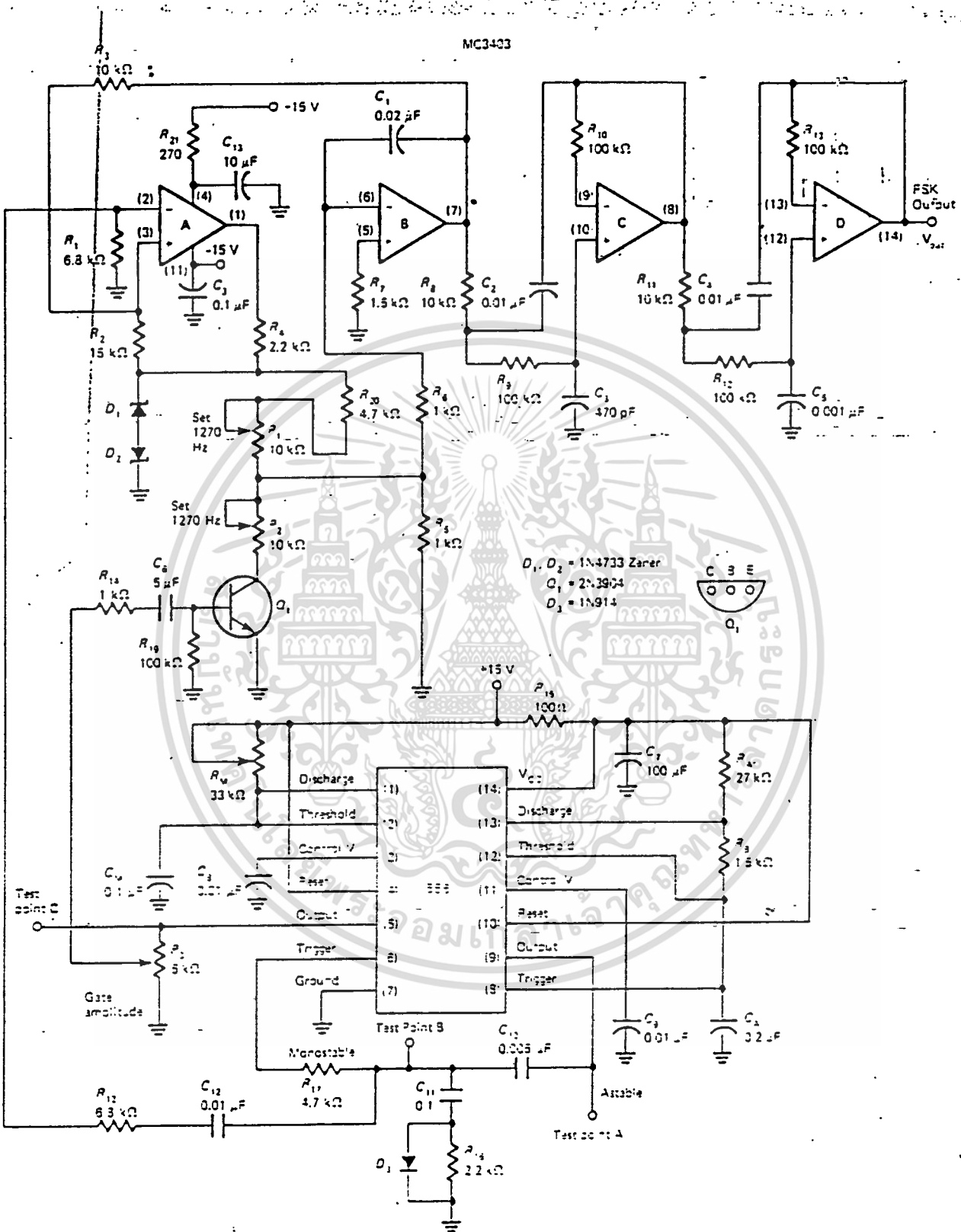


Fig. 25-1. Frequency-shift-keying (FSK) circuit diagram

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

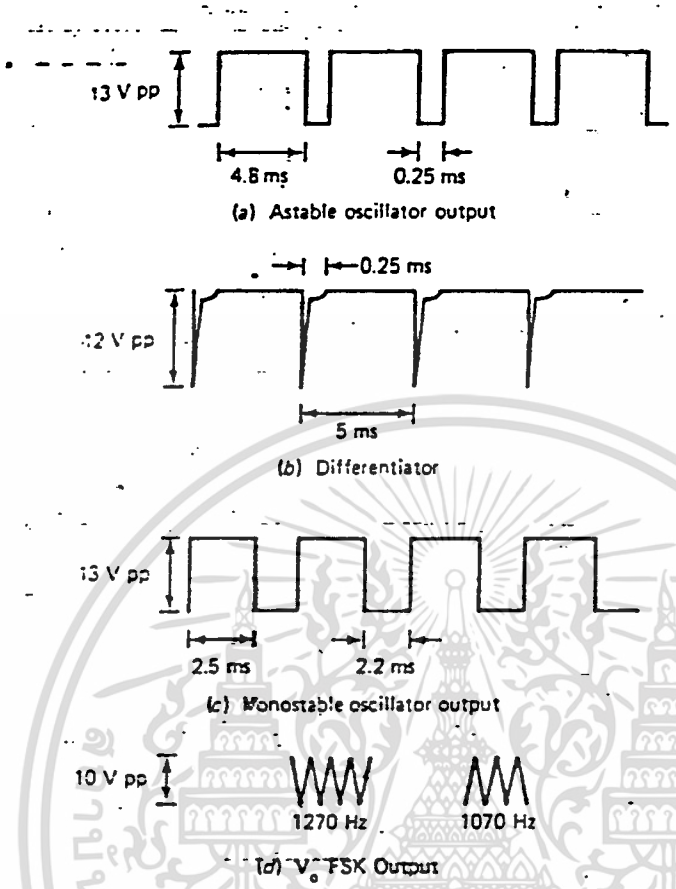
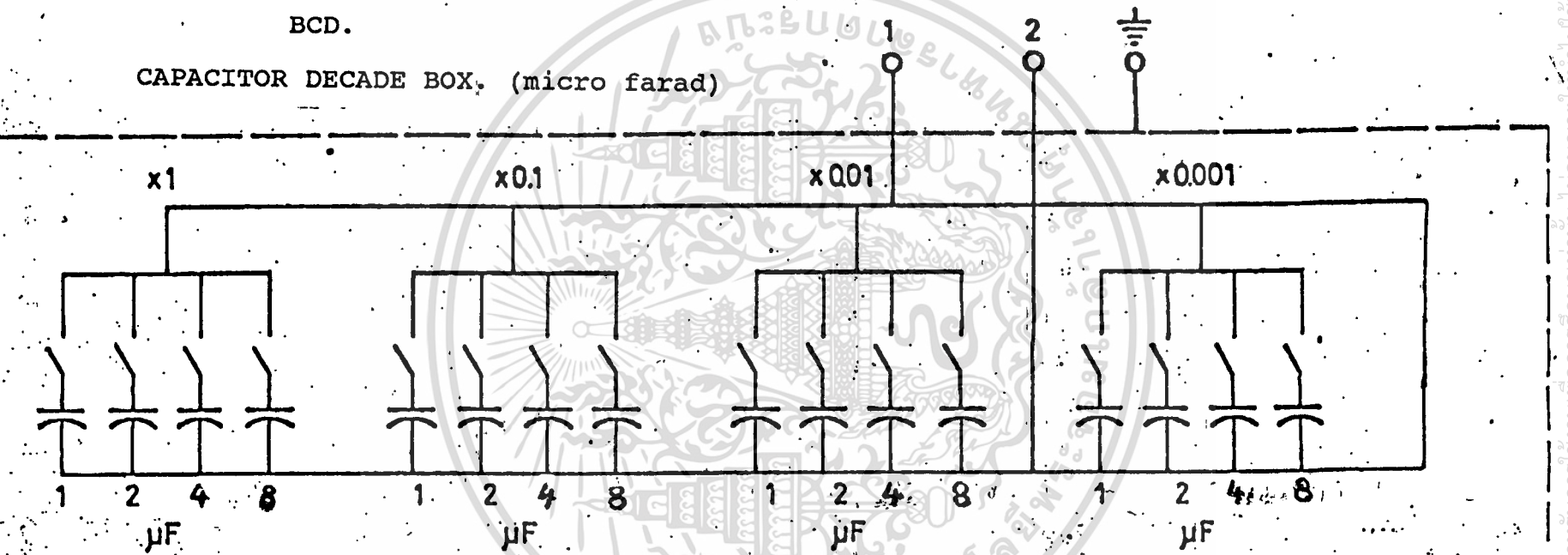


Fig. 26-2. Waveshapes generated by the FSK circuit diagram

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

BCD.

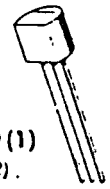
CAPACITOR DECADE BOX. (micro farad)



DATA SHEETS

2N3905 (SILICON)
2N3906

PNP silicon annular transistors, designed for general purpose switching and amplifier applications, features one-piece, injection-molded plastic package for high reliability. The 2N3905 and 2N3906 are complementary with NPN types 2N3903 and 2N3904, respectively.



CASE 29 (1)
(TO-92)

Style 1
Pin 1 Emitter
2 Base
3 Collector

MAXIMUM RATINGS

Collector-Emitter Voltage	V_{CEO}	40	Vdc
Collector-Base Voltage	V_{CB}	40	Vdc
Emitter-Base Voltage	V_{EB}	5.0	Vdc
Collector Current	I_C	200	mAdc
Total Device Dissipation @ T_A = 25°C	P_D	350	mW

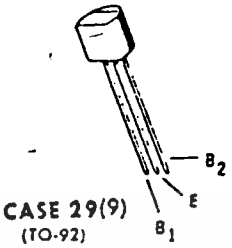
ELECTRICAL CHARACTERISTICS (T_C = 25°C unless otherwise noted)

Characteristic		Fig No.	Symbol	Min	Max	Unit
OFF CHARACTERISTICS						
Collector-Base Breakdown Voltage (I_C = 10 μAdc, I_E = 0)			BV_{CBO}	40	-	Vdc
Collector-Emitter Breakdown Voltage (1) (I_C = 1.0 mAdc, I_B = 0)			BV_{CEO}	40	-	Vdc
Emitter-Base Breakdown Voltage (I_E = 10 μAdc, I_C = 0)			BV_{EBO}	5.0	-	Vdc
Collector Cutoff Current (V_{CE} = 30 Vdc, $V_{BE(off)}$ = 3.0 Vdc)			I_{CEX}	-	50	nAdc
Base Cutoff Current (V_{CE} = 30 Vdc, $V_{BE(off)}$ = 3.0 Vdc)			I_{BL}	-	50	nAdc
ON CHARACTERISTICS						
DC Current Gain (1) (I_C = 0.1 mAdc, V_{CE} = 1.0 Vdc)	2N3905 2N3906	15	h_{FE}	30 60	- -	
(I_C = 1.0 mAdc, V_{CE} = 1.0 Vdc)	2N3905 2N3906			40 80	- -	
(I_C = 10 mAdc, V_{CE} = 1.0 Vdc)	2N3905 2N3906			50 100	150 300	
(I_C = 50 mAdc, V_{CE} = 1.0 Vdc)	2N3905 2N3906			30 60	- -	
(I_C = 100 mAdc, V_{CE} = 1.0 Vdc)	2N3905 2N3906			15 30	- -	
Collector-Emitter Saturation Voltage (1) (I_C = 10 mAdc, I_B = 1.0 mAdc) (I_C = 50 mAdc, I_B = 5.0 mAdc)		16, 17	$V_{CE(sat)}$	- -	0.25 0.4	Vdc
Base-Emitter Saturation Voltage (1) (I_C = 10 mAdc, I_B = 1.0 mAdc) (I_C = 50 mAdc, I_B = 5.0 mAdc)		17	$V_{BE(sat)}$	0.65 -	0.85 0.95	Vdc
SMALL SIGNAL CHARACTERISTICS						
Current-Gain-Bandwidth Product (I_C = 10 mAdc, V_{CE} = 20 Vdc, f = 100 MHz)	2N3905 2N3906		f_T	200 250	-	MHz
Output Capacitance (V_{CB} = 5.0 Vdc, I_E = 0, f = 100 kHz)		3	C_{ob}	-	4.5	pF
Input Capacitance (V_{BE} = 0.5 Vdc, I_C = 0, f = 100 kHz)		3	C_{ib}	-	10	pF
Input Impedance (I_C = 1.0 mAdc, V_{CE} = 10 Vdc, f = 1.0 kHz)	2N3905 2N3906	13	h_{ie}	0.5 2.0	8.0 12	k ohms
Voltage Feedback Ratio (I_C = 1.0 mAdc, V_{CE} = 10 Vdc, f = 1.0 kHz)	2N3905 2N3906	14	h_{re}	0.1 1.0	5.0 10	X 10^{-4}
Small-Signal Current Gain (I_C = 1.0 mAdc, V_{CE} = 10 Vdc, f = 1.0 kHz)	2N3905 2N3906	11	h_{fe}	50 100	200 400	
Output Admittance (I_C = 1.0 mAdc, V_{CE} = 10 Vdc, f = 1.0 kHz)	2N3905 2N3906	12	h_{oe}	1.0 3.0	40 60	μmhos
Noise Figure (I_C = 100 μAdc, V_{CE} = 5.0 Vdc, R_S = 1.0 k ohm, f = 10 Hz to 15.7 kHz)	2N3905 2N3906	9, 10	NF	- -	5.0 4.0	dB
SWITCHING CHARACTERISTICS						
Delay Time, Rise Time (V_{CC} = 3.0 Vdc, $V_{BE(off)}$ = 0.5 Vdc, I_C = 10 mAdc, I_{B1} = 1.0 mAdc)		1, 5 1, 5, 6	t_d t_r	-	35 35	ns
Storage Time, Fall Time (V_{CC} = 3.0 Vdc, I_C = 10 mAdc, I_{B1} = I_{B2} = 1.0 mAdc)	2N3905 2N3906	3, 7 2, 8	t_s t_f	- -	200 225	ns
	2N3905 2N3906			- -	60 75	ns

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

2N4870 (SILICON)
2N4871

PN unijunction transistors designed for use in pulse and timing circuits, sensing circuits and thyristor trigger circuits.



CASE 29(9)
(TO-92)

MAXIMUM RATINGS

RATING	SYMBOL	VALUE	UNIT
RMS Power Dissipation	P_D	300	mW
RMS Emitter Current	I_e	50	mA
Peak-Pulse Emitter Current	i_e	1.5	Amp
Emitter Reverse Voltage	V_{B2E}	30	Volts
Interbase Voltage	V_{B2B1}	35	Volts
Operating Junction Temp. Range	T_J	-65/+125	°C
Storage Temp. Range	T_{stg}	-65/+150	°C

ELECTRICAL CHARACTERISTICS (T_A = 25°C unless otherwise noted)

Characteristic		Fig. No.	Symbol	Min	Typ	Max	Unit
Intrinsic Standoff Ratio* (V_{B2B1} = 10 V)	2N4870 2N4871	4, 7	η	0.56 0.70	-	0.75 0.85	-
Interbase Resistance (V_{B2B1} = 3.0 V, I_E = 0)		10, 11	R_{BB}	4.0	6.0	9.1	kilohms
Interbase Resistance Temperature Coefficient (V_{B2B1} = 3.0 V, I_E = 0, T_A = -65 to +125°C)		11	αR_{BB}	0.10	-	0.90	%/°C
Emitter Saturation Voltage** (V_{B2B1} = 10 V, I_E = 50 mA)			$V_{EB1(sat)}$**	-	2.5	-	Volts
Modulated Interbase Current (V_{B2B1} = 10 V, I_E = 50 mA)			$I_{B2(mod)}$	-	15	-	mA
Emitter Reverse Current (V_{B2E} = 30 V, I_{B1} = 0)		6	I_{EB2O}	-	0.005	1.0	μA
Peak-Point Emitter Current (V_{B2B1} = 25 V)		8, 9	I_P	-	1.0	5.0	μA
Valley-Point Current** (V_{B2B1} = 20 V, R_{B2} = 100 ohms)	2N4870 2N4871	12, 13	I_V**	2.0 4.0	5.0 7.0	- -	mA
Base-One Peak Pulse Voltage	2N4870 2N4871	3, 14	V_{OB1}	3.0 5.0	6.0 8.0	- -	Volts

FIGURE 3 – V_{ob1} TEST CIRCUIT

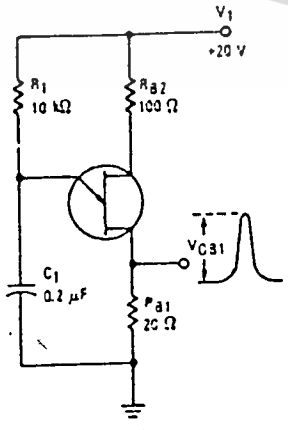


FIGURE 4 – η TEST CIRCUIT

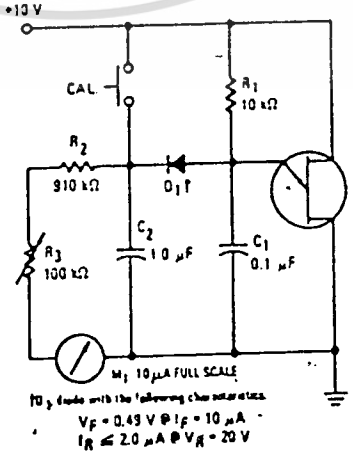
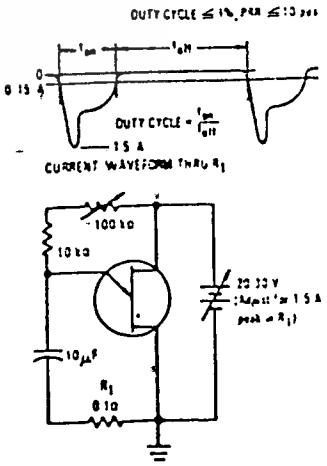


FIGURE 5 – PRR TEST CIRCUIT AND WAVEFORM



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

National Semiconductor

Industrial/Automotive/Functional Blocks/ Telecommunications

LM175/LM275/LM375 oscillator and buffer with TTL output

general description

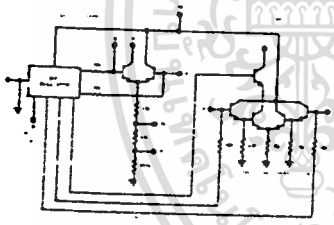
The LM175/LM275/LM375 is a monolithic, differential pair, general purpose oscillator. It may be used with crystal control or with LC or RC tanks. Two output configurations are possible. It may be connected to the internal isolating buffer to provide sine or square wave outputs, or to the internal logic buffer with output levels and switching times compatible with TTL and DTL logic circuitry. It provides extremely high temperature and power supply versus frequency rejection.

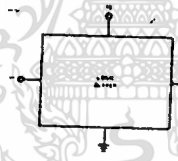
The LM175 is specified for operation over the −55°C to +125°C military temperature range. The LM275 is specified for operation over the −25°C to +85°C temperature range. The LM375 is specified for operation over the 0°C to +70°C temperature range.

features

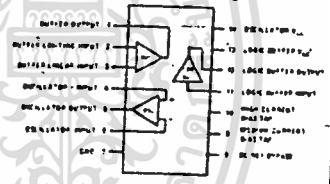
- Oscillation up to 200 MHz
- Operation from supplies from 4.5V to 24V (Logic buffer maximum supply at 7.0V)
- High supply voltage rejection, typically 0.1 ppm/V
- Low temperature coefficient, typically 0.05 ppm/°C
- Variable drive to crystal to limit dissipation
- Capable of fundamental or overtone, series or parallel mode of operation
- Separate power supply lead for logic buffer for noise isolation
- Low power dissipation

schematic and connection diagrams





Dual-In-Line Package



Order Number LM175D, LM275D or LM375D
See NS Package D14A

Order Number LM375N
See NS Package N14A

typical applications

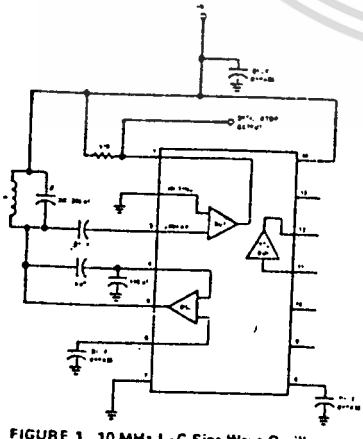


FIGURE 1. 10 MHz L-C Sine Wave Oscillator

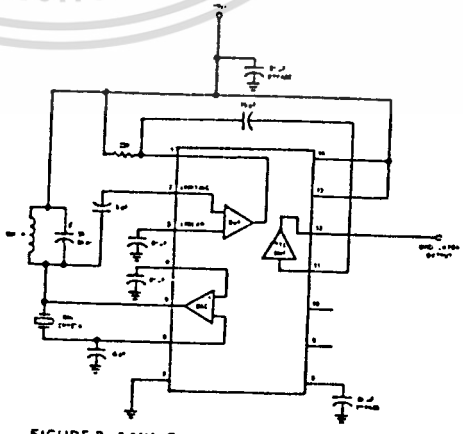


FIGURE 2. 1 MHz Crystal Oscillator with TTL Output

Courtesy of National Semiconductor Corporation

absolute maximum ratings

Supply Operating Voltage (Pin 14)	24V	Storage Temperature Range	-65 C to +150 C
Supply Operating Voltage (Pin 13)	7V	Operating Temperature Range LM175	-55 C to +125 C
Differential Input Voltage ±5V P2 to Pin 6	5V	LM275	-25 C to +85 C
±5V P2 to Pin 3	5V	LM375	0 C to 70 C
Power Dissipation (Note 1)	500 mW	Lead Temperature (Soldering, 10 sec)	300 C

electrical characteristics (T_A = 25 C, V_{CC} = 5V unless otherwise noted)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
DC CHARACTERISTICS						
Power Supply Current (Pin 14)	I_{PS14}	V_{CC} = 24V	4.0	6.0	12.0	mA
Power Supply Current (Pin 13)	I_{PS13}	No Load at Pin 12	4.0	6.0	14.0	mA
Oscillator Output Current	I_{OSC}	R_L (Pin 5) = 1 kΩ				
		Pin 9 Open, Pin 10 Open	120	140		μA
		Pin 9 Tied to Pin 10	160	190		μA
		Pin 9 Grounded, Pin 10 Open	300	360		μA
		Pin 10 Grounded, Pin 9 Open	750	1000		μA
Buffer Output Current	I_{BUF}		2.5	3.0		mA
Logic Buffer Output Voltage	V_{BUF}	Input LOW	2.1	2.7		
		Input HIGH				
		I_{SINK} = 1.6 mA		200	400	mV
The Following Specifications apply to -55 C < T_A < +125 C						
Oscillator Output Current	I_{OSC}	R_L (Pin 5) = 1 kΩ				
		Pin 9 Open, Pin 10 Open	100			μA
		Pin 9 Tied to Pin 10	130			μA
		Pin 9 Grounded, Pin 10 Open	250			μA
		Pin 10 Grounded, Pin 9 Open	600			μA
Buffer Output Current	I_{BUF}		2.0			mA
AC CHARACTERISTICS						
Oscillator Gain (at 1 kHz)	g_{mOSC}	Pin 9 Open, Pin 10 Open		1.4		mmho
		Pin 9 Tied to Pin 10		1.9		mmho
		Pin 9 Grounded, Pin 10 Open		3.6		mmho
		Pin 9 Open, Pin 10 Grounded		10.0		mmho
Oscillator 3 dB Bandwidth	BW_{OSC}	R_S = R_L (Pin 5) = 50Ω		200		kHz
Buffer Gain (at 1 kHz)	g_{mBUF}	R_L (Pin 12) = 500Ω				
		Linear Mode		8		mmho
		Limiting Mode		30		mmho
Buffer 3 dB Bandwidth	BW_{BUF}	R_S = R_L (Pin 12) = 50Ω				
		Linear Mode		200		kHz
		Limiting Mode		50		kHz
Logic Buffer Rise Time				20	50	ns
Logic Buffer Fall Time				20	50	ns

Note 1: For operation at elevated temperatures, the device must be operated based on a 150 C maximum junction temperature with a thermal resistance of 140 C/W for the metal DIP package and 100 C maximum junction temperature with a thermal resistance of 150 C/W for the plastic DIP package.

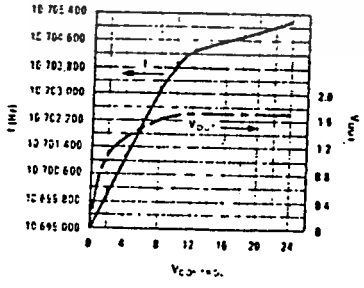
เอกสารนี้สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

electrical characteristics (con't)

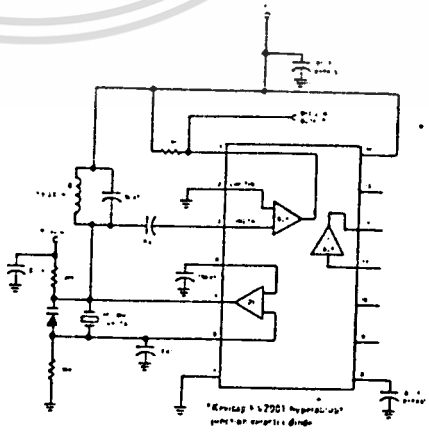
PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
OSCILLATOR CHARACTERISTICS (See Oscillator Circuit)						
Frequency vs Power Supply Rejection		5V < V_{CC} < 10V		0.1		ppm/V
Frequency vs Temperature Rejection		-55°C < T_A < +125°C		0.05		ppm/°C
Load Pull (Change in Frequency vs Change in Buffer Load Impedance)		0 < R_L < ∞		0.01		ppm
INPUT-OUTPUT TERMINAL CHARACTERISTICS						
Oscillator Input Resistance	R_4	Minimum Current		10		kΩ
		Maximum Current		4.5		kΩ
	R_6	Minimum Current		10		kΩ
		Maximum Current		4.5		kΩ
Oscillator Input Capacitance	C_4			3		pF
	C_6			3		pF
Oscillator Output Resistance	R_5	Minimum Current		100		kΩ
		Maximum Current		30		kΩ
Oscillator Output Capacitance	C_5			3		pF
Buffer Input Resistance	R_2			10		kΩ
	R_3			10		kΩ
Buffer Input Capacitance	C_2			2		pF
	C_3			2		pF
Buffer Output Resistance	R_1			100		kΩ
Buffer Output Capacitance	C_1			5		pF
Logic Buffer Input Resistance	R_{11}			1.2		kΩ
Logic Buffer Input Capacitance	C_{11}			4		pF

typical oscillator circuit connections

Frequency and Output Voltage for Parallel Tuned VCXO



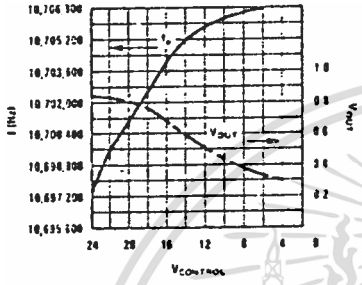
10.7 MHz Voltage Controlled Crystal Oscillator Parallel Tuning

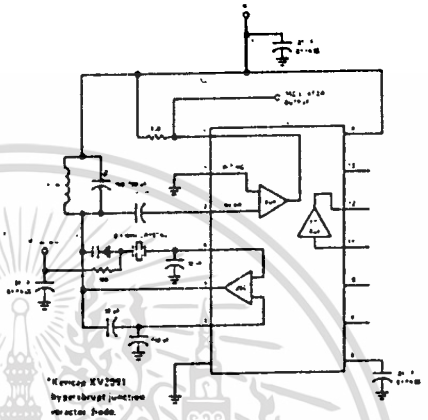


typical oscillator circuit connections (con't)

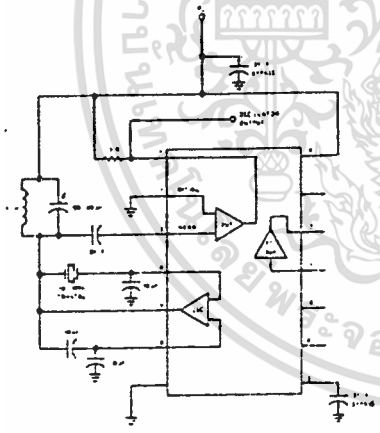
10.7 MHz Voltage Controlled Crystal Oscillator Series Tuning

Frequency and Output Voltage for Series Tuned VCXO

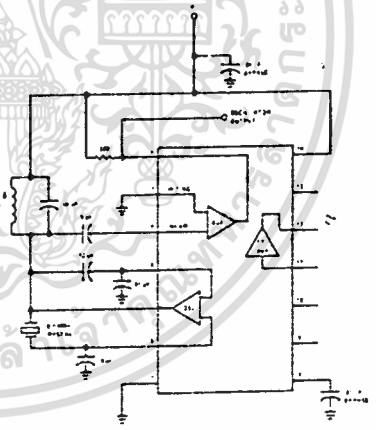




10.7 MHz Series Resonant Crystal Oscillator

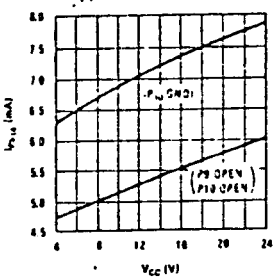


10.7 MHz Parallel Resonant Crystal Oscillator

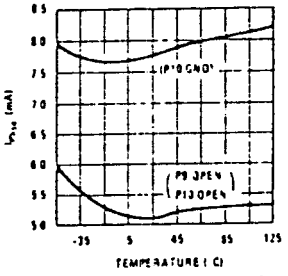


typical performance characteristics

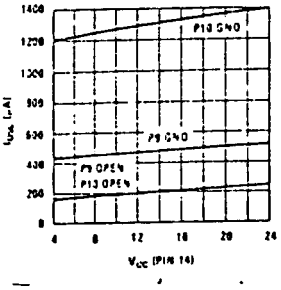
$I_{PS_{14}}$ vs V_{CC} (T_A = 25 C)



$I_{PS_{14}}$ vs Temperature (V_{CC} = 12V)

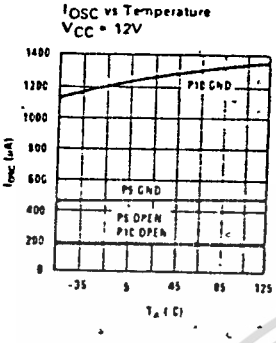


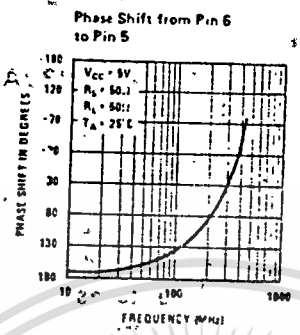
I_{OSC} vs V_{CC} T_A = 25°C

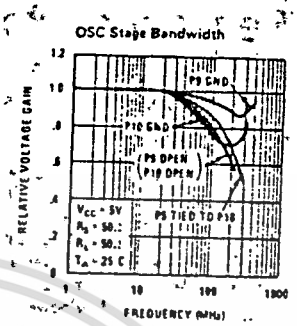


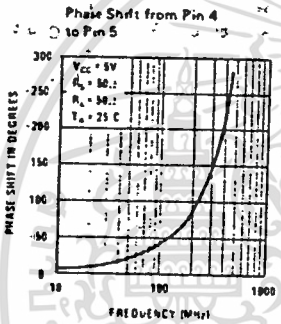
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

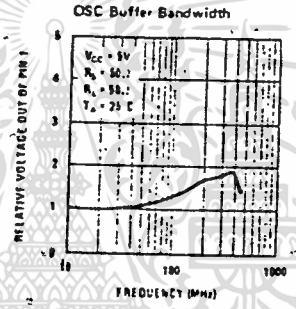
typical performance characteristics (con't)



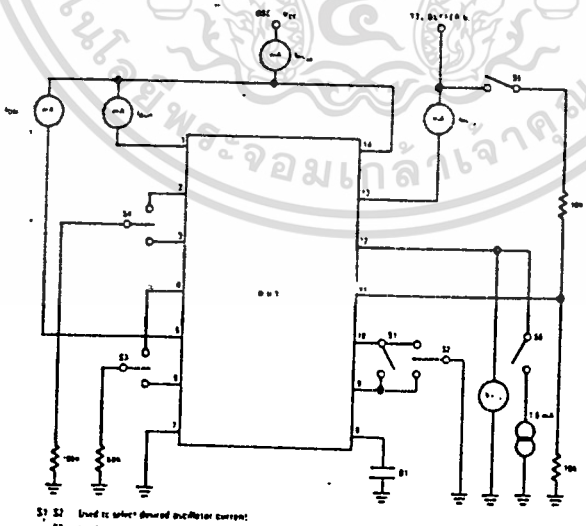








dc test circuit



S1, S2 Used to select desired oscillator current
S3 Used to sweep oscillator output and measure I_{OSC}
S4 Used to sweep buffer output and measure I_{OUT}
S5 Used to switch TTL buffer to high and low states
S6 Sets up maximum guaranteed TTL load to measure V_{TL} in the low state

National Semiconductor

Voltage Comparators

LM139/LM239/LM339, LM139A/LM239A/LM339A, LM2901, LM3302 low power low offset voltage quad comparators

general description

The LM139 series consists of four independent precision voltage comparators with an offset voltage specification as low as 2 mV max for all four comparators. These were designed specifically to operate from a single power supply over a wide range of voltages. Operation from split power supplies is also possible and the low power supply current drain is independent of the magnitude of the power supply voltage. These comparators also have a unique characteristic in that the input common-mode voltage range includes ground, even though operated from a single power supply voltage.

Application areas include limit comparators, simple analog to digital converters, pulse, squarewave and time delay generators, wide range VCO, MOS clock timers; multivibrators and high voltage digital logic gates. The LM139 series was designed to directly interface with TTL and CMOS. When operated from both plus and minus power supplies, they will directly interface with MOS logic– where the low power drain of the LM339 is a distinct advantage over standard comparators.

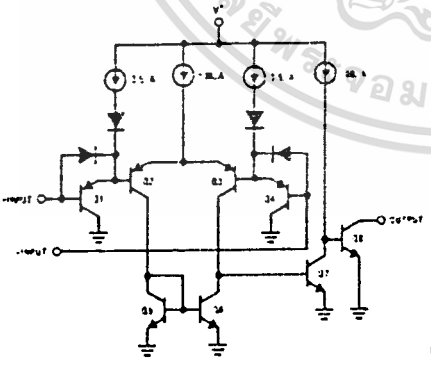
advantages

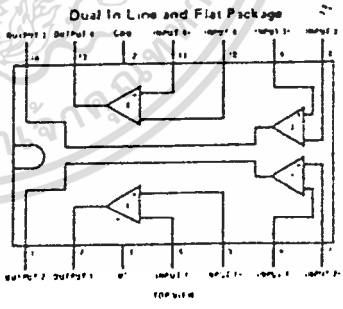
- High precision comparators
- Reduced V_{OS} drift over temperature
- Eliminates need for dual supplies
- Allows sensing near gnd
- Compatible with all forms of logic
- Power drain suitable for battery operation

features

- Wide single supply voltage range or dual supplies
  - LM139 series, 2 V_{DC} to 36 V_{DC} or
  - LM139A series, LM2901 ±1 V_{DC} to ±18 V_{DC}
  - LM3302 2 V_{DC} to 28 V_{DC} or ±1 V_{DC} to ±14 V_{DC}
- Very low supply current drain (0.8 mA) – independent of supply voltage (2 mW/ comparator at +5 V_{DC})
- Low input biasing current 25 nA
- Low input offset current ±5 nA
- and offset voltage ±3 mV
- Input common-mode voltage range includes gnd
- Differential input voltage range equal to the power supply voltage
- Low output saturation voltage 250 mV at 4 mA
- Output voltage compatible with TTL, DTL, ECL, MOS and CMOS logic systems

schematic and connection diagrams





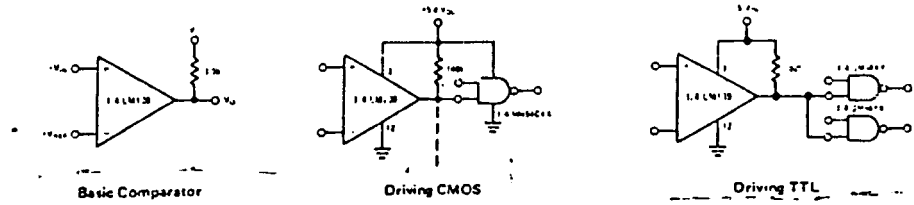
Order Number LM139D, LM139AD, LM239D or LM239AD
See NS Package D14E

Order Number LM139J, LM139AJ, LM239J, LM239AJ, LM339J, LM339AJ, LM2901J or LM3302J
See NS Package J14A

Order Number LM139F, LM139AF, LM239F or LM239AF
See NS Package F14A

Order Number LM339N, LM339AN, LM2901N or LM3302N
See NS Package N14A

typical applications (V^+ = 5.0 V_{DC})



Basic Comparator

Driving CMOS

Driving TTL

Courtesy of National Semiconductor Corporation

เอกสารนี้สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

absolute maximum ratings

	LM139/LM239/LM339 LM139A/LM239A/LM339A LM2901	LM3302
Supply Voltage, V^+	36 V_{DC} or ±18 V_{DC}	28 V_{DC} or ±14 V_{DC}
Differential Input Voltage	36 V_{DC}	28 V_{DC}
Input Voltage	−0.3 V_{DC} to +36 V_{DC}	−0.3 V_{DC} to +28 V_{DC}
Power Dissipation (Note 1)		
Molded DIP	570 mW	570 mW
Cavity DIP	900 mW	
Flat Pack	800 mW	
Output Short-Circuit to GND, (Note 2)	Continuous	Continuous
Input Current (V_{IN} < −0.3 V_{DC}), (Note 3)	50 mA	50 mA
Operating Temperature Range		
LM339A	0°C to +70°C	
LM239A	−25°C to +85°C	−40°C to +85°C
LM2901	−40°C to +85°C	
LM139A	−55°C to +125°C	
Storage Temperature Range	−65°C to +150°C	−65°C to +150°C
Lead Temperature (Soldering, 10 seconds)	300°C	300°C

electrical characteristics (V^+ = 5 V_{DC}, Note 4)

PARAMETER	CONDITIONS	LM139A			LM239A, LM339A			LM139			LM239, LM339			LM2901			LM3302			UNITS
		MIN	TYP	MAX	MIN	TYP	MAX	MIN	TYP	MAX	MIN	TYP	MAX	MIN	TYP	MAX	MIN	TYP	MAX	
Input Offset Voltage	T_A = 25°C, (Note 9)		±1.0	±2.0		±1.0	±2.0		±2.0	±5.0		±2.0	±5.0		±2.0	±7.0		±1	±20	mV$_{DC}$
Input Bias Current	$I_{IN(+)}$ or $I_{IN(-)}$ with Output in Linear Range, T_A = 25°C, (Note 5)		25	100		25	250		25	100		25	250		25	250		25	500	nA$_{DC}$
Input Offset Current	$I_{IN(+)}$ − $I_{IN(-)}$, T_A = 25°C		±3.0	±25		±5.0	±50		±3.0	±25		±5.0	±50		±5	±50		±3	±100	nA$_{DC}$
Input Common-Mode Voltage Range	T_A = 25°C, (Note 6)	0		V^+−1.5	0		V^+−1.5	0		V^+−1.5	0		V^+−1.5	0		V^+−1.5	0		V^+−1.5	V$_{DC}$
Supply Current	R_L = ∞ on all Comparators, T_A = 25°C		0.8	2.0		0.8	2.0		0.8	2.0		0.8	2.0		0.8	2.0		0.8	2	mA$_{DC}$
Voltage Gain	R_L ≥ 15 kΩ, V^+ = 15 V_{DC} (To Support Large V_O Swing), T_A = 25°C	50	200		50	200			200			200		25	100		2	30		mA$_{DC}$ V/mV
Large Signal Response Time	V_{IN} = TTL Logic Swing, V_{REF} = 1.4 V_{DC}, V_{RL} = 5 V_{DC}, R_L = 5.1 kΩ, T_A = 25°C		300			300			300			300			300			300		ns
Response Time	V_{RL} = 5 V_{DC}, R_L = 5.1 kΩ, T_A = 25°C, (Note 7)		1.3			1.3			1.3			1.3			1.3			1.3		µs
Output Sink Current	$V_{IN(-)}$ ≥ 1 V_{DC}, $V_{IN(+)}$ = 0, V_O ≤ 1.5 V_{DC}, T_A = 25°C	6.0	16		6.0	16		6.0	16		6.0	16		6.0	16		6.0	16		mA$_{DC}$
Saturation Voltage	$V_{IN(-)}$ ≥ 1 V_{DC}, $V_{IN(+)}$ = 0, I_{SINK} ≤ 4 mA, T_A = 25°C		250	400		250	400		250	400		250	400		250	400		250	500	mV$_{DC}$
Output Leakage Current	$V_{IN(+)}$ ≥ 1 V_{DC}, $V_{IN(-)}$ = 0, V_O = 5 V_{DC}, T_A = 25°C		0.1			0.1			0.1			0.1			0.1			0.1		nA$_{DC}$

electrical characteristics (con't)

PARAMETER	CONDITIONS	LM139A			LM239A, LM339A			LM139			LM239, LM339			LM2901			LM3302			UNITS
		MIN	TYP	MAX	MIN	TYP	MAX	MIN	TYP	MAX	MIN	TYP	MAX	MIN	TYP	MAX	MIN	TYP	MAX	
Input Offset Voltage	(Note 9)			4.0			4.0			9.0			9.0		9	15			40	mV_{DC}
Input Offset Current	$I_{IN(+)} - I_{IN(-)}$			±100			±150			±100			±150		50	200			300	nA_{DC}
Input Bias Current	$I_{IN(+)}$ or $I_{IN(-)}$ with Output in Linear Range			300			400			300			400		200	500			1000	nA_{DC}
Input Common-Mode Voltage Range		0		$V^+ -2.0$	0		$V^+ -2.0$	0		$V^+ -2.0$	0		$V^+ -2.0$	0		$V^+ -2.0$	0		$V^+ -2.0$	V_{DC}
Saturation Voltage	$V_{IN(-)} \geq 1\ V_{DC}$, $V_{IN(+)} = 0$, $I_{SINK} \leq 4\ mA$			700			700			700			700		400	700			700	mV_{DC}
Output Leakage Current	$V_{IN(+)} \geq 1\ V_{DC}$, $V_{IN(-)} = 0$, $V_O = 30\ V_{DC}$			1.0			1.0			1.0			1.0			1.0			1.0	μA_{DC}
Differential Input Voltage	Keep all V_{IN}'s $\geq 0\ V_{DC}$ (or V^- if used), (Note 8)			V^+			V^+			36			36	0		V^+			V_{CC}	V_{DC}

Note 1: For operating at high temperatures, the LM339/LM339A, LM2901, LM3302 must be derated based on a 125°C maximum junction temperature and a thermal resistance of 176°C/W which applies for the device soldered in a printed circuit board, operating in a still air ambient. The LM239 and LM139 must be derated based on a 150°C maximum junction temperature. The low bias dissipation and the "ON-OFF" characteristic of the outputs keeps the chip dissipation very small ($P_D \leq 100$ mW), provided the output transistors are allowed to saturate.

Note 2: Short circuits from the output to V^+ can cause excessive heating and eventual destruction. The maximum output current is approximately 20 mA independent of the magnitude of V^+.

Note 3: This input current will only exist when the voltage at any of the input leads is driven negative. It is due to the collector-base junction of the input PNP transistors becoming forward biased and thereby acting as input diode clamps. In addition to this diode action, there is also lateral NPN parasitic transistor action on the IC chip. This transistor action can cause the output voltages of the comparators to go to the V^+ voltage level (or to ground for a large overdrive) for the time duration that an input is driven negative. This is not destructive and normal output states will re-establish when the input voltage, which was negative, again returns to a value greater than −0.3 V_{DC}.

Note 4: These specifications apply for $V^+ = 5\ V_{DC}$ and $-65°C \leq T_A \leq +125°C$, unless otherwise stated. With the LM239/LM239A, all temperature specifications are limited to $-25°C \leq T_A \leq +85°C$, the LM339/LM339A temperature specifications are limited to $0°C \leq T_A \leq +70°C$, and the LM2901, LM3302 temperature range is $-40°C \leq T_A \leq +85°C$.

Note 5: The direction of the input current is out of the IC due to the PNP input stage. This current is essentially constant, independent of the state of the output so no loading change exists on the reference or input lines.

Note 6: The input common-mode voltage or either input signal voltage should not be allowed to go negative by more than 0.3V. The upper end of the common-mode voltage range is $V^+ -1.5V$, but either or both inputs can go to +30 V_{DC} without damage.

Note 7: The response time specified is for a 100 mV input step with 5 mV overdrive. For larger overdrive signals 300 ns can be obtained, see typical performance characteristics section.

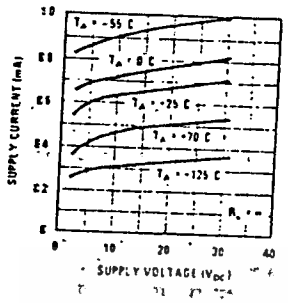
Note 8: Positive excursions of input voltage may exceed the power supply level. As long as the other voltage remains within the common-mode range, the comparator will provide a proper output state. The low input voltage state must not be less than −0.3 V_{DC} (or 0.3 V_{DC} below the magnitude of the negative power supply, if used).

Note 9: At output switch point, $V_O = 1.4\ V_{DC}$, $R_S = 0\Omega$ with V^+ from 5 V_{DC}; and over the full input common-mode range (0 V_{DC} to $V^+ -1.5\ V_{DC}$).

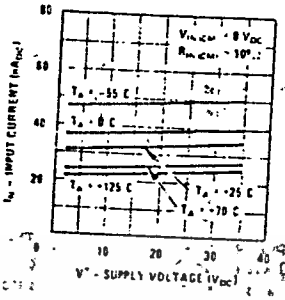
Note 10: For input signals that exceed V_{CC}, only the overdriven comparator is affected. With a 5V supply, V_{IN} should be limited to 25V max, and a limiting resistor should be used on all inputs that might exceed the positive supply.

typical performance characteristics LM139/LM239/LM339, LM139A/LM239A/LM339A, LM3302

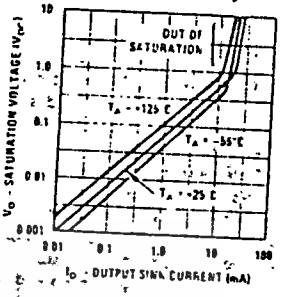
Supply Current



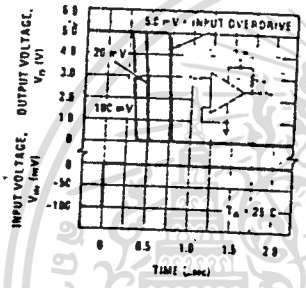
Input Current



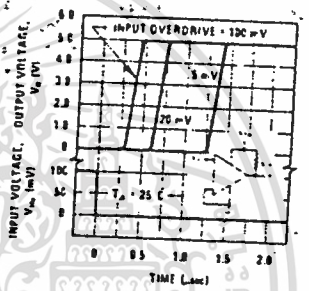
Output Saturation Voltage



Response Time for Various Input Overdrives – Negative Transition

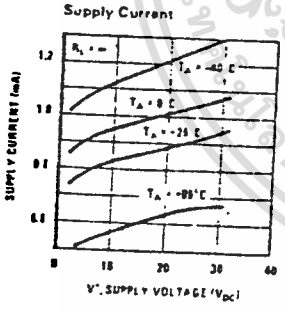


Response Time for Various Input Overdrives – Positive Transition

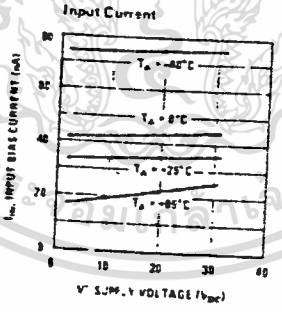


typical performance characteristics LM2901

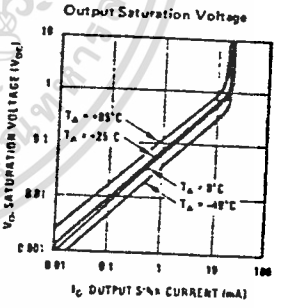
Supply Current



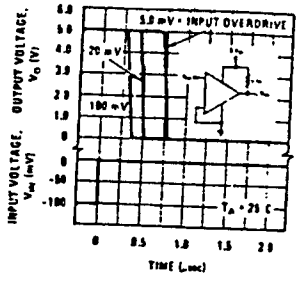
Input Current



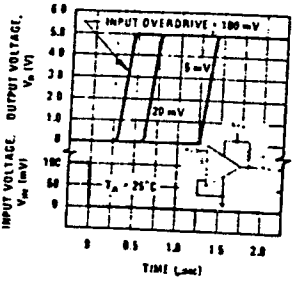
Output Saturation Voltage



Response Time for Various Input Overdrives–Negative Transition



Response Time for Various Input Overdrives– Positive Transition



application hints

The LM139 series are high gain, wide bandwidth devices which, like most comparators, can easily oscillate if the output lead is inadvertently allowed to capacitively couple to the inputs via stray capacitance. This shows up only during the output voltage transition intervals as the comparator changes states. Power supply bypassing is not required to solve this problem. Standard PC board layout is helpful as it reduces stray input-output coupling. Reducing the input resistors to $< 10\ k\Omega$ reduces the feedback signal levels and finally, adding even a small amount (1 to 10 mV) of positive feedback (hysteresis) causes such a rapid transition that oscillations due to stray feedback are not possible. Simply socketing the IC and attaching resistors to the pins will cause input output oscillations during the small transition intervals unless hysteresis is used. If the input signal is a pulse waveform, with relatively fast rise and fall times, hysteresis is not required.

All pins of any unused comparators should be grounded.

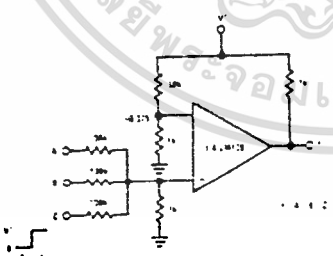
The bias network of the LM139 series establishes a drain current which is independent of the magnitude of the power supply voltage over the range of from 2 V_{DC} to 30 V_{DC}.

It is usually unnecessary to use a bypass capacitor across the power supply line.

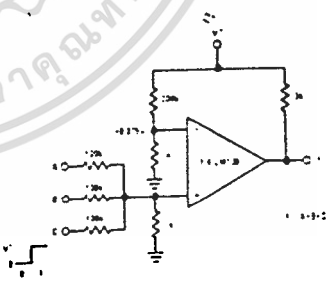
The differential input voltage may be larger than V^+ without damaging the device. Protection should be provided to prevent the input voltages from going negative more than -0.3 V_{DC} (at 25°C). An input clamp diode can be used as shown in the applications section.

The output of the LM139 series is the uncommitted collector of a grounded-emitter NPN output transistor. Many collectors can be tied together to provide an output OR'ing function. An output pull-up resistor can be connected to any available power supply voltage within the permitted supply voltage range and there is no restriction on this voltage due to the magnitude of the voltage which is applied to the V^+ terminal of the LM139A package. The output can also be used as a simple SPST switch to ground (when a pull-up resistor is not used). The amount of current which the output device can sink is limited by the drive available (which is independent of V^+) and the β of this device. When the maximum current limit is reached (approximately 16 mA), the output transistor will come out of saturation and the output voltage will rise very rapidly. The output saturation voltage is limited by the approximately 60Ω r_{sat} of the output transistor. The low offset voltage of the output transistor (1 mV) allows the output to clamp essentially to ground level for small load currents.

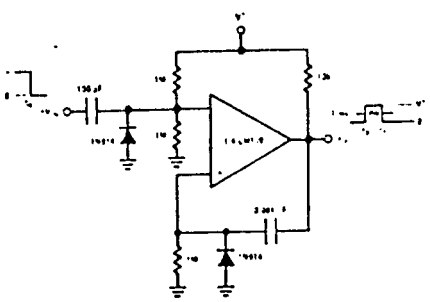
typical applications ($V^+ = 15\ V_{DC}$)



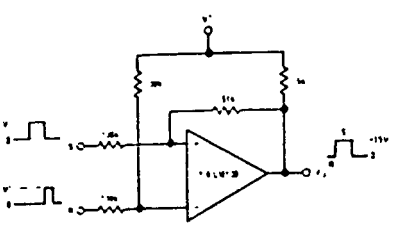
AND Gate



OR Gate



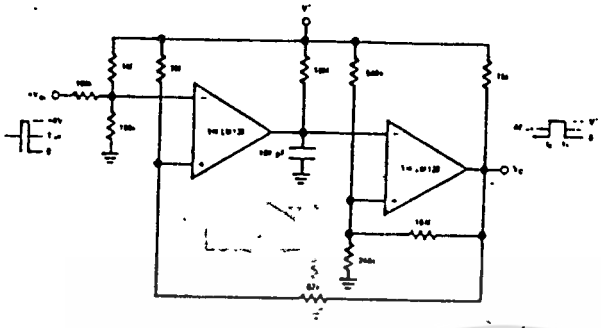
One-Shot Multivibrator



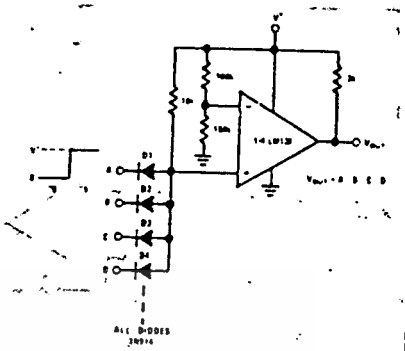
Bi-Stable Multivibrator

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

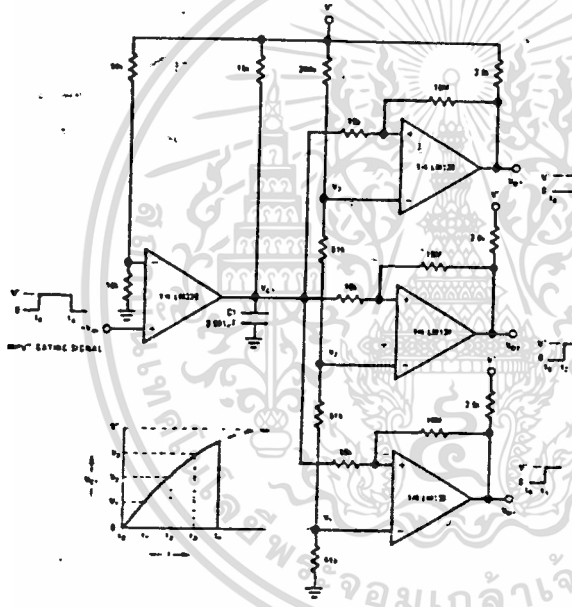
typical applications (con't) ($V^+ = 15\ V_{DC}$)



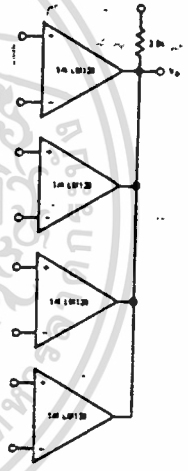
One-Shot Multivibrator with Input Lock Out



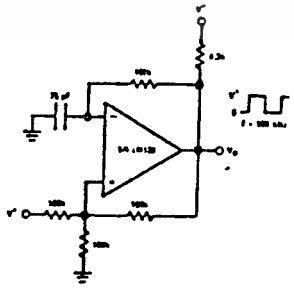
Large Fan-in AND Gate



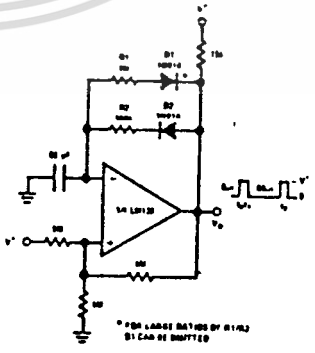
Time Delay Generator



ORing the Outputs

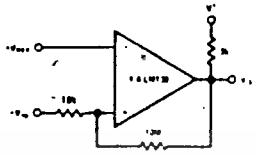


Squarewave Oscillator

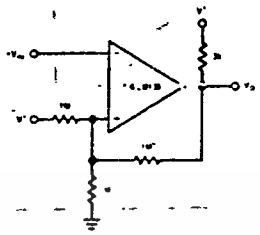


Pulse Generator

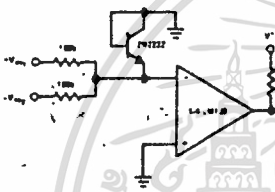
typical applications (con't) ($V^+ = 5\ V_{DC}$)



Non-Inverting Comparator with Hysteresis

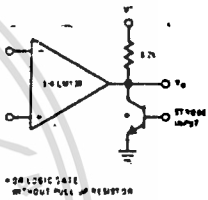


Inverting Comparator with Hysteresis

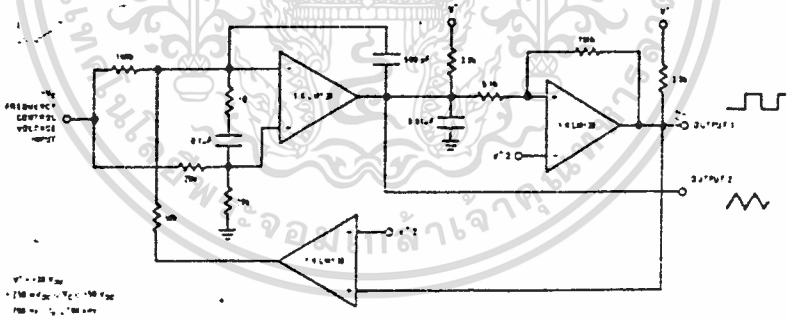


Comparing Input Voltages of Opposite Polarity

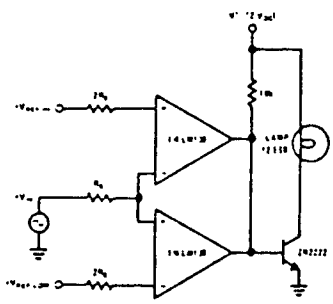
Basic Comparator



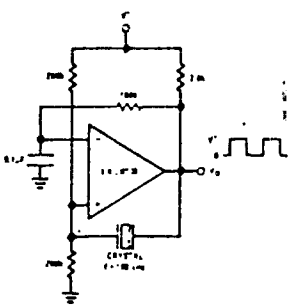
Output Strobing



Two-Decade High-Frequency VCO



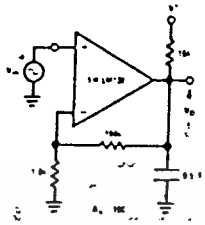
Limit Comparator



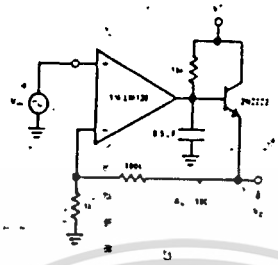
Crystal Controlled Oscillator

อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

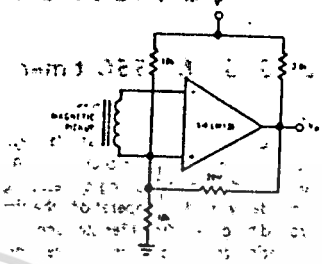
typical applications (con't) ($V^+ = 5\ V_{DC}$)



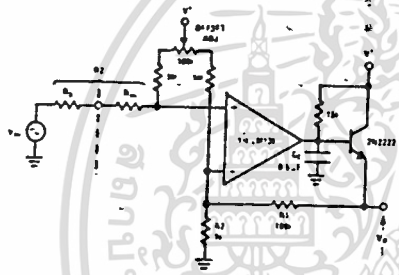
Low Frequency Op Amp



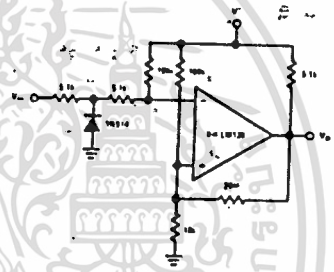
Low Frequency Op Amp
($V_O = 0V$ for $V_{IN} = 0V$)



Transducer Amplifier

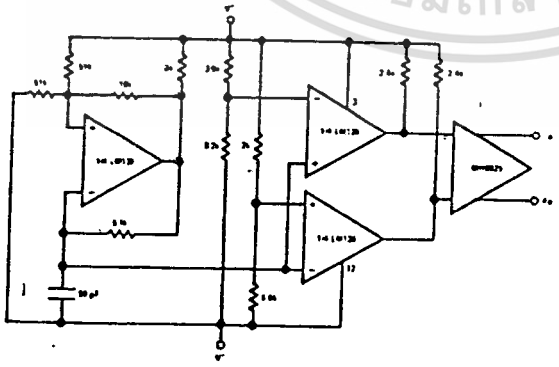


Low Frequency Op Amp with Offset Adjust

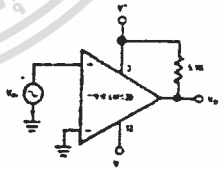


Zero Crossing Detector (Single Power Supply)

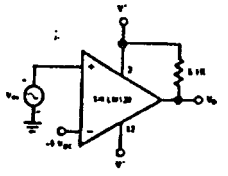
split-supply applications ($V^+ = +15\ V_{DC}$ and $V^- = -15\ V_{DC}$)



MOS Clock Driver



Zero Crossing Detector



Comparator With a Negative Reference

National Semiconductor

Industrial/Automotive/Functional Blocks/ Telecommunications

LM555/LM555C timer

general description

The LM555 is a highly stable device for generating accurate time delays or oscillation. Additional terminals are provided for triggering or resetting if desired. In the time delay mode of operation, the time is precisely controlled by one external resistor and capacitor. For astable operation as an oscillator, the free running frequency and duty cycle are accurately controlled with two external resistors and one capacitor. The circuit may be triggered and reset on falling waveforms, and the output circuit can source or sink up to 200 mA or drive TTL circuits.

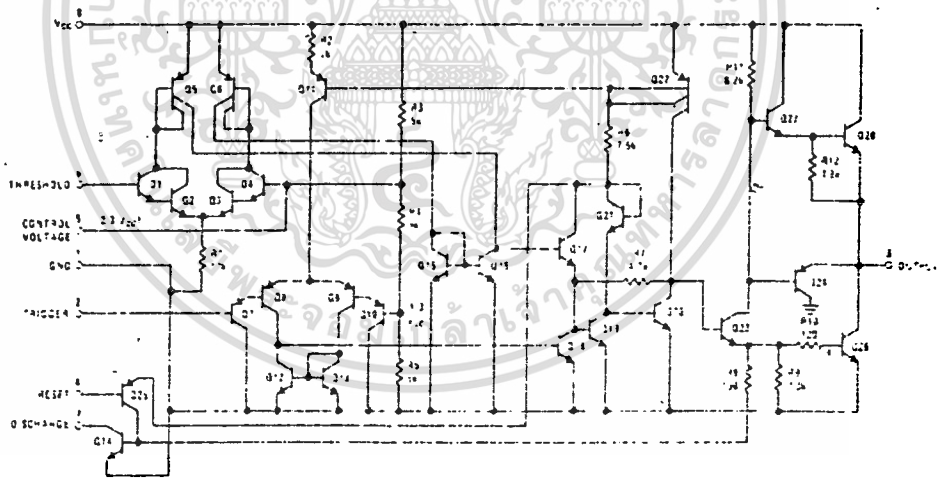
features

- Direct replacement for SE555 NE555
- Timing from microseconds through hours
- Operates in both astable and monostable modes
- Adjustable duty cycle
- Output can source or sink 200 mA
- Output and supply TTL compatible
- Temperature stability better than 0.005% per °C
- Normally on and normally off output

applications

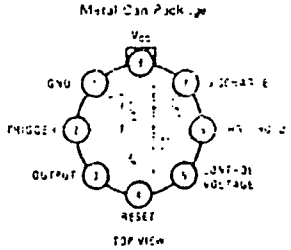
- Precision timing
- Pulse generation
- Sequential timing
- Time delay generation
- Pulse width modulation
- Pulse position modulation
- Linear ramp generator

schematic diagram



connection diagrams

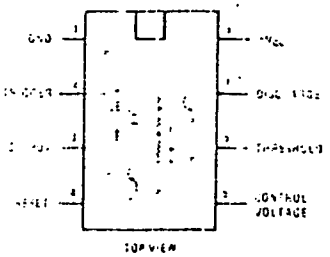
Metal Can Package



Top View

Order Number LM555H, LM555CH
See NS Package H08C

Dual-In-Line Package



Top View

Order Number LM555CN
See NS Package N08B

Order Number LM555J or LM555CJ
See NS Package J08A

Courtesy of National Semiconductor Corporation

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

absolute maximum ratings

Supply Voltage	+18V
Power Dissipation (Note 1)	600 mW
Operating Temperature Ranges	
LM555C	0°C to +70°C
LM555	−55°C to +125°C
Storage Temperature Range	−65°C to +150°C
Lead Temperature (Soldering, 10 seconds)	300°C

electrical characteristics (T_A = 25°C, V_{CC} = +5V to +15V, unless otherwise specified)

PARAMETER	CONDITIONS	LIMITS						UNITS
		LM555			LM555C			
		MIN	TYP	MAX	MIN	TYP	MAX	
Supply Voltage		4.5		18	4.5		16	V
Supply Current	V_{CC} = 5V, R_L = ∞		3	5		3	6	mA
	V_{CC} = 15V, R_L = ∞ (Low State) (Note 2)		10	12		10	15	mA
Timing Error, Monostable								
Initial Accuracy			0.5	2		1		%
Drift with Temperature	R_A, R_B = 1k to 100k, C = 0.1μF, (Note 3)		30			50		ppm/°C
Accuracy over Temperature			1.5	3.0		1.5		%
Drift with Supply			0.05	0.2		0.1		%/V
Timing Error, Astable								
Initial Accuracy			1.5	5		2.25	7	%
Drift with Temperature			90			150		ppm/°C
Accuracy over Temperature			2.5			3.0		%
Drift with Supply			0.15	0.2		0.30	0.5	%/V
Threshold Voltage			0.667			0.667		× V_{CC}
Trigger Voltage	V_{CC} = 15V	4.8	5	5.2		5		V
	V_{CC} = 5V	1.45	1.67	1.9		1.67		V
Trigger Current			0.01	0.5		0.5	0.9	μA
Reset Voltage		0.4	0.5	1	0.4	0.5	1	V
Reset Current			0.1	0.4		0.1	0.4	mA
Threshold Current	(Note 4)		0.1	0.25		0.1	0.25	μA
Control Voltage Level	V_{CC} = 15V	9.6	10	10.4	9	10	11	V
	V_{CC} = 5V	2.9	3.33	3.8	2.6	3.33	4	V
Pin 7 Leakage Output High			1	100		1	100	nA
Pin 7 Sat (Note 5)								
Output Low	V_{CC} = 15V, I_7 = 15 mA		150			180		mV
Output Low	V_{CC} = 4.5V, I_7 = 4.5 mA		70	100		80	200	mV
Output Voltage Drop (Low)	V_{CC} = 15V							
	I_{SINK} = 10 mA		0.1	0.15		0.1	0.25	V
	I_{SINK} = 50 mA		0.4	0.5		0.4	0.75	V
	I_{SINK} = 100 mA		2	2.2		2	2.5	V
	I_{SINK} = 200 mA		2.5			2.5		V
	V_{CC} = 5V							
	I_{SINK} = 8 mA		0.1	0.25				V
	I_{SINK} = 5 mA					0.25	0.35	V
Output Voltage Drop (High)	I_{SOURCE} = 200 mA, V_{CC} = 15V		12.5			12.5		V
	I_{SOURCE} = 100 mA, V_{CC} = 15V	13	13.3		12.75	13.3		V
	V_{CC} = 5V	3	3.3		2.75	3.3		V
Rise Time of Output			100			100		ns
Fall Time of Output			100			100		ns

Note 1: For operating at elevated temperatures the device must be derated based on a +150°C maximum junction temperature and a thermal resistance of +45°C/W junction to case for TO-5 and +150°C/W junction to ambient for both packages.

Note 2: Supply current when output high typically 1 mA less at V_{CC} = 5V.

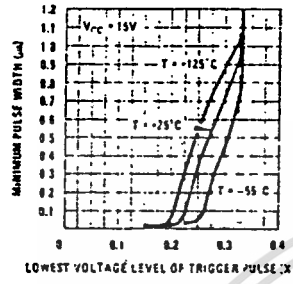
Note 3: Tested at V_{CC} = 5V and V_{CC} = 15V.

Note 4: This will determine the maximum value of $R_A + R_B$ for 15V operation. The maximum total ($R_A + R_B$) is 20 MΩ.

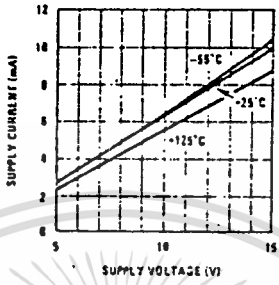
Note 5: No protection against excessive pin 7 current is necessary providing the package dissipation rating will not be exceeded.

typical performance characteristics

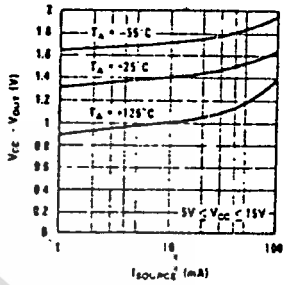
Minimum Pulse Width
Required for Triggering



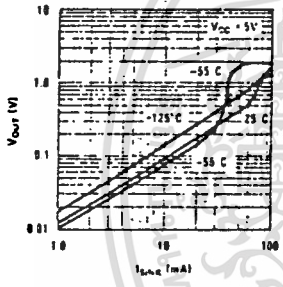
Supply Current vs
Supply Voltage



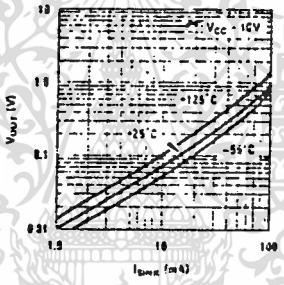
High Output Voltage vs
Output Source Current



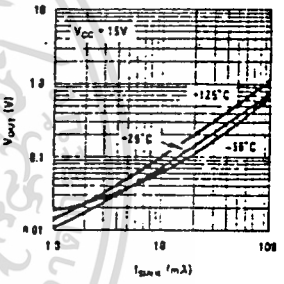
Low Output Voltage vs
Output Sink Current



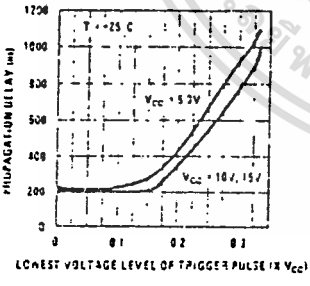
Low Output Voltage vs
Output Sink Current



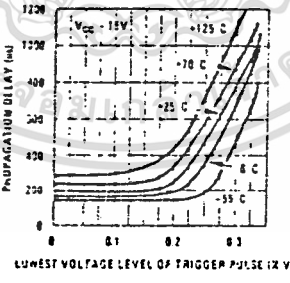
Low Output Voltage vs
Output Sink Current



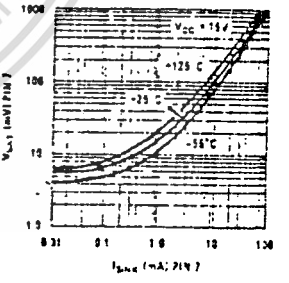
Output Propagation Delay vs
Voltage Level of Trigger Pulse



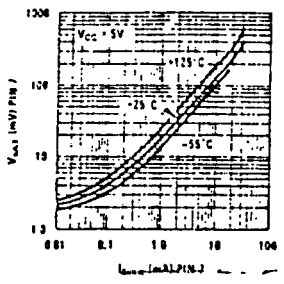
Output Propagation Delay vs
Voltage Level of Trigger Pulse



Discharge Transistor (Pin 7)
Voltage vs Sink Current



Discharge Transistor (Pin 7)
Voltage vs Sink Current



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

applications information

MONOSTABLE OPERATION

In this mode of operation, the timer functions as a one-shot (*Figure 1*). The external capacitor is initially held discharged by a transistor inside the timer. Upon application of a negative trigger pulse of less than 1/3 V_{CC} to pin 2, the flip-flop is set which both releases the short circuit across the capacitor and drives the output high.

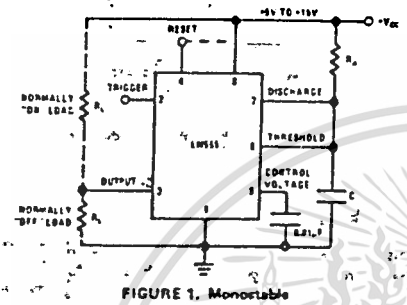


FIGURE 1. Monostable

The voltage across the capacitor then increases exponentially for a period of $t = 1.1\ R_A C$, at the end of which time the voltage equals 2/3 V_{CC}. The comparator then resets the flip-flop which in turn discharges the capacitor and drives the output to its low state. *Figure 2* shows the waveforms generated in this mode of operation. Since the charge and the threshold level of the comparator are both directly proportional to supply voltage, the timing internal is independent of supply.

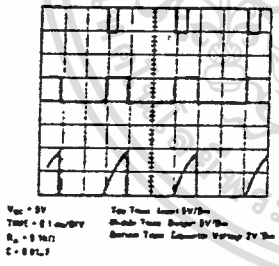


FIGURE 2. Monostable Waveforms

During the timing cycle when the output is high, the further application of a trigger pulse will not effect the circuit. However the circuit can be reset during this time by the application of a negative pulse to the reset terminal (pin 4). The output will then remain in the low state until a trigger pulse is again applied.

When the reset function is not in use, it is recommended that it be connected to V_{CC} to avoid any possibility of false triggering.

Figure 3 is a nomograph for easy determination of R, C values for various time delays.

ASTABLE OPERATION

If the circuit is connected as shown in *Figure 4* (pins 2 and 6 connected) it will trigger itself and free run as a multivibrator. The external capacitor charges through $R_A + R_B$ and discharges through R_B. Thus the duty cycle may be precisely set by the ratio of these two resistors.

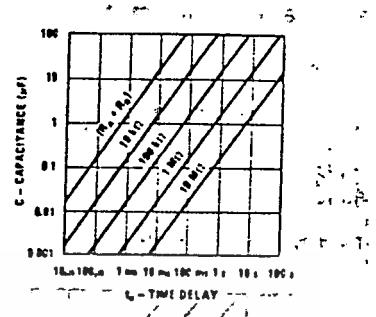


FIGURE 3. Time Delay

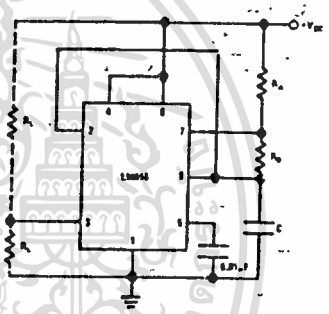


FIGURE 4. Astable

In this mode of operation, the capacitor charges and discharges between 1/3 V_{CC} and 2/3 V_{CC}. As in the triggered mode, the charge and discharge times, and therefore the frequency are independent of the supply voltage.

Figure 5 shows the waveforms generated in this mode of operation.

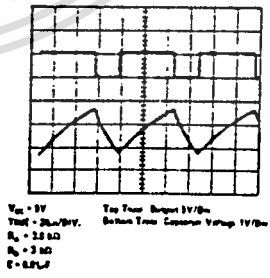


FIGURE 5. Astable Waveforms

The charge time (output high) is given by:

$$t_1 = 0.693\ (R_A + R_B)\ C$$

And the discharge time (output low) by:

$$t_2 = 0.693\ (R_B)\ C$$

Thus the total period is:

$$T = t_1 + t_2 = 0.693\ (R_A + 2R_B)\ C$$

applications information (con't)

The frequency of oscillation is:

$$f = \frac{1}{T} = \frac{1.44}{(R_A + 2R_B)C}$$

Figure 6 may be used for quick determination of these RC values.

The duty cycle is: $D = \frac{R_B}{R_A + 2R_B}$

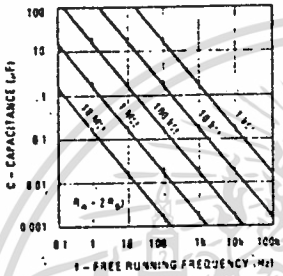


FIGURE 6. Free Running Frequency

FREQUENCY DIVIDER

The monostable circuit of *Figure 1* can be used as a frequency divider by adjusting the length of the timing cycle. *Figure 7* shows the waveforms generated in a divide-by three circuit.

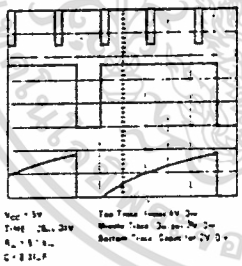


FIGURE 7. Frequency Divider

PULSE WIDTH MODULATOR

When the timer is connected in the monostable mode and triggered with a continuous pulse train, the output pulse width can be modulated by a signal applied to pin 5. *Figure 8* shows the circuit, and in *Figure 9* are some waveform examples.

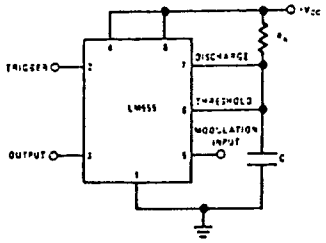


FIGURE 8. Pulse Width Modulator

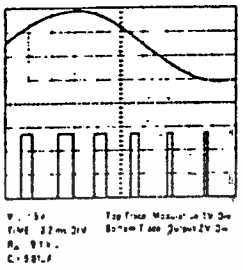


FIGURE 9. Pulse Width Modulator

PULSE POSITION MODULATOR

This application uses the timer connected for astable operation, as in *Figure 10*, with a modulating signal again applied to the control voltage terminal. The pulse position varies with the modulating signal, since the threshold voltage and hence the time delay is varied. *Figure 11* shows the waveforms generated for a triangle wave modulation signal.

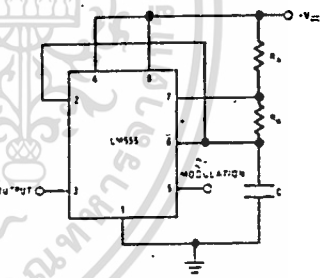


FIGURE 10. Pulse Position Modulator

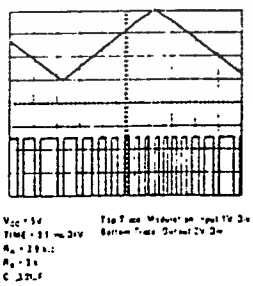


FIGURE 11. Pulse Position Modulator

LINEAR RAMP

When the pullup resistor, R_A, in the monostable circuit is replaced by a constant current source, a linear ramp is

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

applications information (con't)

generated. *Figure 12* shows a circuit configuration that will perform this function.

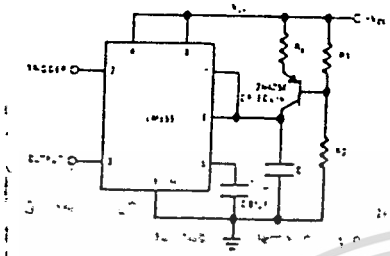


FIGURE 12

Figure 13 shows waveforms generated by the linear ramp.

The time interval is given by:

$$T = \frac{2/3\ V_{CC}\ R_E\ (R_1 + R_2)\ C}{R_1\ V_{CC} - V_{BE}\ (R_1 + R_2)}$$

$$V_{BE} \simeq 0.6V$$

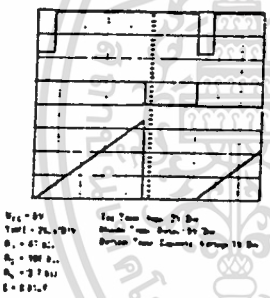


FIGURE 13. Linear Ramp

50% DUTY CYCLE OSCILLATOR

For a 50% duty cycle, the resistors R_A and R_B may be connected as in *Figure 14*. The time period for the output high is the same as previous, $t_1 = 0.693\ R_A\ C$. For the output low it is $t_2 =$

$$[(R_A\ R_B)/(R_A + R_B)]\ C \ln\left[\frac{R_B - 2R_A}{2R_B - R_A}\right]$$

Thus the frequency of oscillation is $f = \frac{1}{t_1 + t_2}$

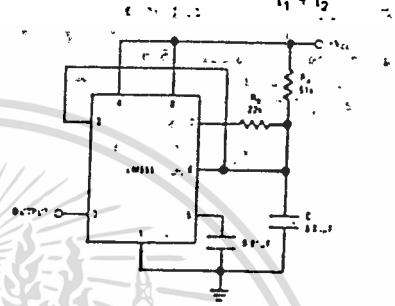


FIGURE 14. 50% Duty Cycle Oscillator

Note that this circuit will not oscillate if R_B is greater than 1.2 R_A because the junction of R_A and R_B cannot bring pin 2 down to 1/3 V_{CC} and trigger the lower comparator.

ADDITIONAL INFORMATION

Adequate power supply bypassing is necessary to protect associated circuitry. Minimum recommended is 0.1μF in parallel with 1μF electrolytic.

Lower comparator storage time can be as long as 10μs when pin 2 is driven fully to ground for triggering. This limits the monostable pulse width to 10μs minimum.

Delay time reset to output is 0.47μs typical. Minimum reset pulse width must be 0.3μs, typical.

Pin 7 current switches within 30 ns of the output (pin 3) voltage.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

National Semiconductor

LM556/LM556C dual timer

general description

The LM556 Dual timing circuit is a highly stable controller capable of producing accurate time delays or oscillation. The 556 is a dual 555. Timing is provided by an external resistor and capacitor for each timing function. The two timers operate independently of each other sharing only V_{CC} and ground. The circuits may be triggered and reset on falling waveforms. The output structures may sink or source 200 mA.

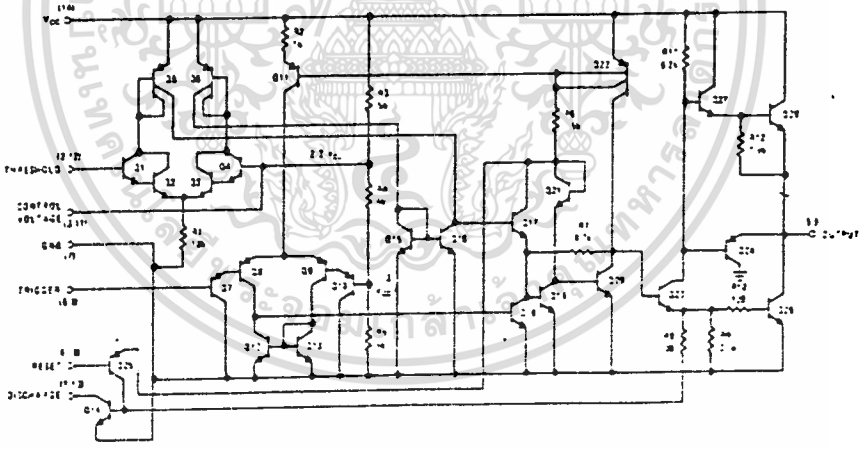
features

- Direct replacement for SE556/NE556
- Timing from microseconds through hours
- Operates in both astable and monostable modes
- Replaces two 555 timers
- Adjustable duty cycle
- Output can source or sink 200 mA
- Output and supply TTL compatible
- Temperature stability better than 0.005% per °C
- Normally on and normally off output

applications

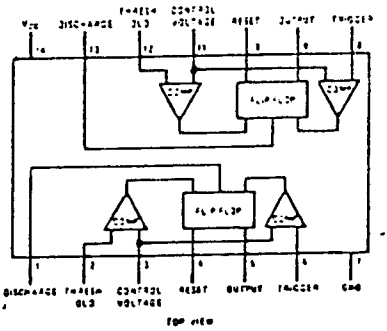
- Precision timing
- Pulse generation
- Sequential timing
- Time delay generation
- Pulse width modulation
- Pulse position modulation
- Linear ramp generator

schematic diagram



connection diagram

Dual In-Line Package



Order Number LM556CN
See NS Package N14A

Order Number LM556J or LM556CJ
See NS Package J14A

Courtesy of National Semiconductor Corporation

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

absolute maximum ratings

Supply Voltage	+18V
Power Dissipation (Note 1)	600 mW
Operating Temperature Ranges	
LM556C	0°C to +70°C
LM556	−55°C to +125°C
Storage Temperature Range	−65°C to +150°C
Lead Temperature (Soldering, 10 seconds)	300°C

electrical characteristics (T_A = 25°C, V_{CC} = +5V to +15V, unless otherwise specified)

PARAMETER	CONDITIONS	LM556			LM556C			UNITS
		MIN	TYP	MAX	MIN	TYP	MAX	
Supply Voltage		4.5		18	4.5		16	V
Supply Current	V_{CC} = 5V, R_L = ∞		3	5		3	6	mA
(Each Timer Section)	V_{CC} = 15V, R_L = ∞		10	11		10	14	mA
	(Low State) (Note 2)							
Timing Error, Monostable								
Initial Accuracy			0.5	1.5		0.75	5.0	%
Drift with Temperature	R_A, R_B = 1k to 100k, C = 0.1µF, (Note 3)		30			50		ppm/°C
Accuracy Over Temperature			1.5	5		1.5		%
Drift with Supply			0.05	0.2		0.1	0.4	%/V
Timing Error, Astable								
Initial Accuracy			1.5			2.25	7	%
Drift with Temperature			90			150		ppm/°C
Accuracy Over Temperature			2.5			3.0		%
Drift with Supply			0.15	0.2		0.30		%/V
Trigger Voltage	V_{CC} = 15V	4.8	5	5.2	4.5	5	5.5	V
	V_{CC} = 5V	1.45	1.67	1.9	1.25	1.67	2.0	V
Trigger Current			0.1	0.5		0.2	1.0	µA
Reset Voltage	(Note 4)	0.4	0.5	1	0.4	0.5	1	V
Reset Current			0.1	0.4		0.1	0.6	mA
Threshold Current	(Note 5)		0.03	0.1		0.03	0.1	µA
Control Voltage Level, Any	V_{CC} = 15V	9.6	10	10.4	9	10	11	V
Threshold Voltage	V_{CC} = 5V	2.6	3.33	3.8	2.6	3.33	4	V
Pin 1, 13 Leakage Output High			1	100		7	100	nA
Pin 1, 13 Sat	(Note 6)							
Output Low	V_{CC} = 15V, I_{sink} = 15mA		150	240		180	300	mV
Output Low	V_{CC} = 4.5V, I_{sink} = 4.5mA		70	100		80	200	mV
Output Voltage Drop (Low)	V_{CC} = 15V							
	I_{sink} = 10mA		0.1	0.15		0.1	0.25	V
	I_{sink} = 50mA		0.4	0.5		0.4	0.75	V
	I_{sink} = 100mA		2	2.25		2	2.75	V
	I_{sink} = 200mA		2.5			2.5		V
	V_{CC} = 5V							
	I_{sink} = 8mA		0.1	0.25				V
	I_{sink} = 5mA					0.25	0.35	V
Output Voltage Drop (High)	I_{source} = 200mA, V_{CC} = 15V		12.5			12.5		V
	I_{source} = 100mA, V_{CC} = 15V	13	13.3		12.75	13.3		V
	V_{CC} = 5V	3	3.3		2.75	3.3		V
Rise Time of Output			100			100		ns
Fall Time of Output			100			100		ns
Matching Characteristics	(Note 7)							
Initial Timing Accuracy			0.05	0.2		0.1	2.0	%
Timing Drift with Temperature			±10			±10		ppm/°C
Drift with Supply Voltage			0.1	0.2		0.2	0.5	%/V

Note 1: For operating at elevated temperatures the device must be derated based on a +150°C maximum junction temperature and a thermal resistance of +150°C/W junction to ambient for both packages.

Note 2: Supply current when output high typically 1 mA less at V_{CC} = 5V.

Note 3: Tested at V_{CC} = 5V and V_{CC} = 15V.

Note 4: As reset voltage lowers, timing is inhibited and then the output goes low.

Note 5: This will determine the maximum value of $R_A + R_B$ for 15V operation. The maximum total ($R_A + R_B$) is 20 MΩ.

Note 6: No protection against excessive pin 1, 13 current is necessary providing the package dissipation rating will not be exceeded.

Note 7: Matching characteristics refer to the difference between performance characteristics of each timer section.

NE564 N

DESCRIPTION

The NE564 is a versatile, high frequency Phase Locked Loop designed for operation up to 50MHz. As shown in the block diagram, the NE564 consists of a VCO, limiter, phase comparator, and post detection processor.

APPLICATIONS

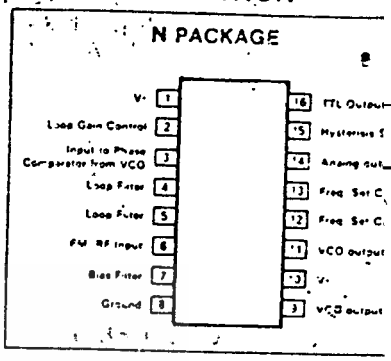
- High speed modems
- FSK receivers and transmitters
- Frequency synthesizers
- Signal generators

FEATURES

- Operation with single 5V supply
- TTL compatible inputs and outputs
- Operation to 50MHz
- External loop gain control
- Reduced carrier feedthrough
- No elaborate filtering needed in FSK applications
- Can be used as a modulator
- Variable loop gain (Externally Controlled)

PIN CONFIGURATION

N PACKAGE

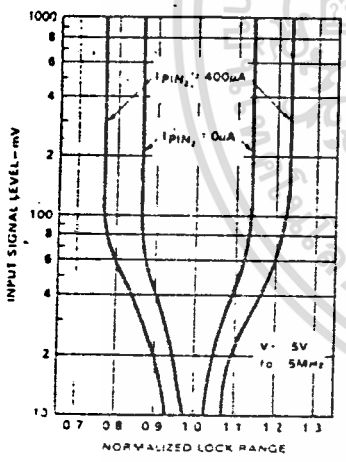


ABSOLUTE MAXIMUM RATINGS

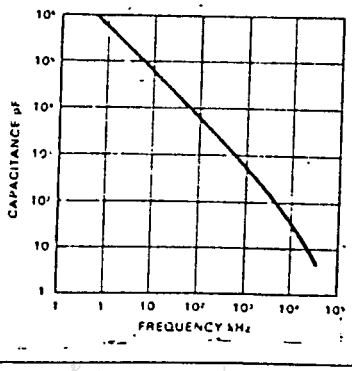
PARAMETER		RATING	UNIT
V^-	Supply voltage		V
	Pin 1	14	
	Pin 10	6	
P_D	Power dissipation	400	mW
T_A	Operating temperature	0 to 70	°C
t_{stg}	Storage temperature	-65 to 150	°C

TYPICAL PERFORMANCE CHARACTERISTICS

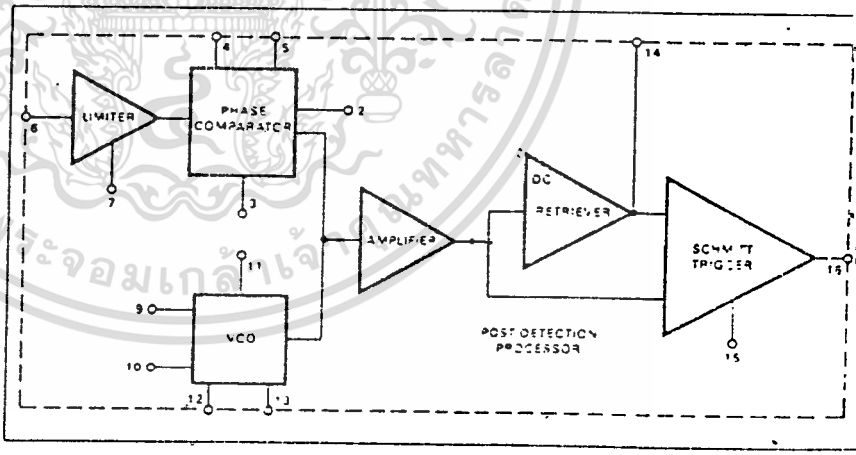
LOCK RANGE vs SIGNAL INPUT



VCO CAPACITOR vs FREQUENCY



BLOCK DIAGRAM



FUNCTIONAL DESCRIPTION

The NE564 is a monolithic phase locked loop with a post detection processor. The use of Schottky clamped transistors and optimized device geometries extends the frequency of operation to 50MHz. In addition to the classical PLL applications, the NE564 can be used as a modulator with a controllable frequency deviation.

The output voltage of the PLL can be written as shown in the following equation:

Equation 1

$$V_O = \frac{(f_{in} - f_o)}{K_{VCO}}$$

K_{VCO} = conversion gain of the VCO (see figure)
f_{in} = frequency of the input signal
f_o = free running frequency of the VCO

The process of recovering FSK signals involves the conversion of the PLL output into digital logic compatible signals. For high data rates, a considerable amount of carrier

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

NE564-N

DC ELECTRICAL CHARACTERISTICS $V^+ = 5V$, $T_A = 25°C$ unless otherwise specified

	PARAMETER	TEST CONDITIONS	LIMITS Min	LIMITS Typ	LIMITS Max	UNIT
	Lock range	$T_A = 25°C$, I_2 400μA	25	40		%
	Frequency of operation of VCC		45	50		MHz
	Frequency drift with temperature	$T_A = 0°C$ to 70°C, $f_O = 5MHz$		400	850	ppm/°C
	Frequency change with supply voltage	$V^+ = 4.5V$ to 5.5V		3	6	%/V
	Demodulated output voltage	± 1% input deviation	10	14		mVrms
		± 10% input deviation, $f_O = 5MHz$	100	140		
	Output voltage linearity			3		%
	Signal to noise ratio			40		dB
	AM rejection			35		dB
I_{CC}	Supply current	5V		30	40	mA
I_{LC}	Leakage current	Pin 9		1	10	μA
	Output current	Pin 9			6	mA
V^+	Supply voltage	Pin 1	4.5		12	V
		Pin 10	4.5		5.5	

be present at the output of the PLL due to the wideband nature of the loop filter. To avoid the use of complicated filters, a comparator with hysterisis or Schmitt trigger is required. With the conversion gain of the VCO fixed, the output voltage as given by Equation 1 varies according to the frequency deviation of f_{in} from f_O. Since this differs from system to system, it is necessary that the hysterisis of the Schmitt trigger be capable of being changed, so that it can be optimized for a particular system. This is accomplished in the 564 by varying the voltage at pin 15 which results in a change of the hysterisis of the Schmitt trigger.

For FSK signals, an important factor to be considered is the drift in the free running frequency of the VCO itself. If this changes due to temperature, according to Equation 1 it will lead to a change in the dc levels of the PLL output, and consequently to errors in the digital output signal. This is especially true for narrow band signals where the deviation in f_{in} itself may be less than the change in f_O due to temperature. This effect can be eliminated if the dc or average value of the signal is retrieved and used as the reference to the comparator. In this manner, variations in the dc levels of the PLL output do not affect the FSK output.

VCO Section

Due to its inherent high frequency performance, an emitter coupled oscillator is used in the VCO. In the circuit, shown in the equivalent schematic, transistors Q_{21} and Q_{23} with current sources Q_{25}-Q_{26} form the basic oscillator. The free running frequency of the oscillator is shown in the following equation:

Equation 2

$$f_O = \frac{1}{16R_cC_1}$$

$R_c = R_{19} = R_{20} = 100\Omega$ (INTERNAL)
C_1 = frequency setting external capacitor

Variation of V_d (phase detector output voltage) changes the frequency of the oscillator. As indicated by Equation 2, the frequency of the oscillator has a negative temperature coefficient due to the positive temperature coefficient of the monolithic resistor. To compensate for this, a current I_B with negative temperature coefficient is introduced to achieve a low frequency drift with temperature.

Phase Comparator Section

The phase comparator consists of a double balanced modulator with a limiter amplifier to improve AM rejection. Schottky clamped vertical PNPs are used to obtain TTL level inputs. The loop gain can be varied by changing the current in Q_4 and Q_{15} which effectively changes the gain of the differential amplifiers. This can be accomplished by introducing a current at pin 2.

Post Detection Processor Section

The post detection processor consists of a unity gain transconductance amplifier and comparator. The amplifier can be used as a dc retriever for demodulation of FSK signals, and as a post detection filter for linear FM demodulation. The comparator has adjustable hysterisis so that phase jitter in the output signal can be eliminated.

As shown in the equivalent schematic, the dc retriever is formed by the transconductance amplifier Q_{42}-Q_{43} together with an external capacitor which is connected at the amplifier output (pin 14). This forms an integrator whose output voltage is shown in the following equation:

Equation 3

$$V_o = \frac{g_m}{C_2}\int V_{in}\,dt$$

g_m = transconductance of the amplifier
C_2 = capacitor at the output (pin 14)
V_{in} = signal voltage at amplifier input

With proper selection of C_2, the integrator time constant can be varied so that the output voltage is the dc or average value of the input signal for use in FSK, or as a post detection filter in linear demodulation.

The comparator with hysterisis is made up of Q_{46}-Q_{50} with positive feedback being provided by Q_{47}-Q_{48}. The hysterisis is varied by changing the current in Q_{52} with a resulting variation in the loop gain of the comparator. This method of hysterisis control, which is a dc control, provides symmetric variation around the nominal value.

VCO Se
Due to its
mance an
in the VC
equivalent
Q_3 with a
basic osc

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

Design Formula

The free running frequency of the VCO is shown by the following equation:

Equation 4

$$f_o = \frac{1}{16R_C C_1} \text{ in Hz}$$

$R_C = 100\,\Omega$

C_1 = external cap in farads

The loop filter diagram shown is explained by the following equation:

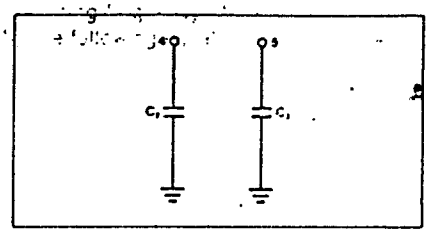
Equation 5

$$F(s) = \frac{1}{1 + sRC_3}$$

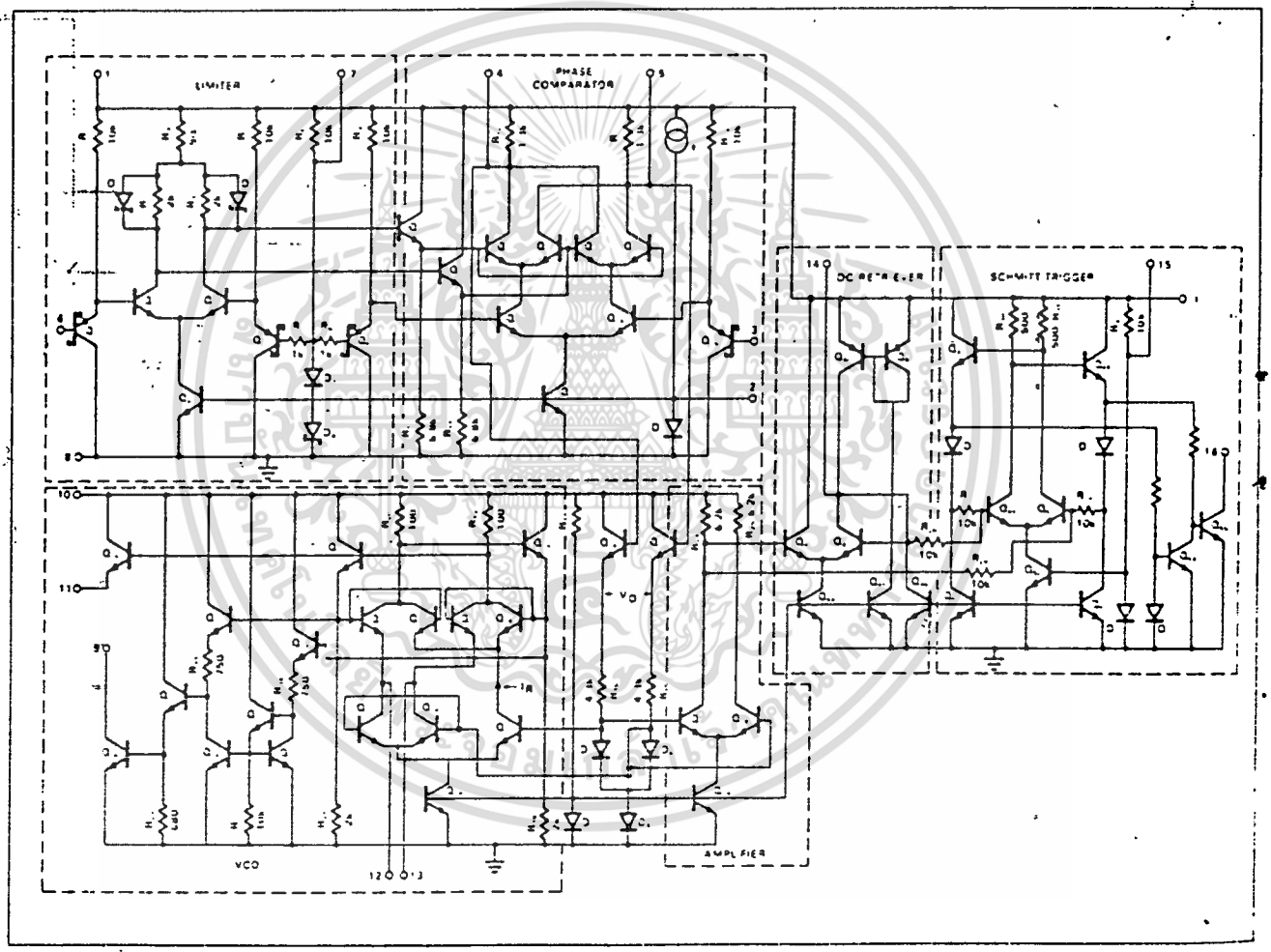
$R = R_{12} = R_{13} = 1.3k\Omega$ (INTERNAL)

By adding capacitors to pins 4 and 5, two poles are added to the loop transfer function at $W = \frac{1}{RC_3}$.

LOOP FILTER



EQUIVALENT SCHEMATIC



FM DEMODULATOR

The NE564 can be used as an FM demodulator. The connections for operation at 5V and 12V are shown in Figures 1 and 2 respectively. The input signal is ac coupled with the output signal being extracted at pin 14. Loop filtering is provided by the capacitors at pins 4 and 5 with additional filtering being provided by the capacitor at pin 14. Since the conversion gain of the VCO is not very high, to obtain sufficient demodulated output signal the frequency deviation in the input signal should be fairly high (1% or higher).

FM DEMODULATOR WITH TTL COMPATIBLE OUTPUT SIGNAL

An FM demodulator with the output signal being a TTL signal can be obtained from the NE564 by connecting it as shown in Figure 3. This operation requires the use of the dc retriever, the capacitance for which is connected at pin 14. The hysteresis of the Schmitt trigger can be adjusted by connecting a potentiometer at pin 15. The output signal appears at pin 16, which requires an external resistor. If necessary, the duty cycle of the output signal can be adjusted by applying a voltage at pin 14 around 2.5V and varying it. The connection for a similar application appears in Figure 4.

GATED PLL DEMODULATOR

The lock range adjust pin of the NE564 can be used to gate the PLL when it is operating in the demodulator mode. The circuit is

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

connected as shown in Figure 5. The gating voltage which can be a TTL signal is applied to pin 2. When this voltage is high, the loop is in lock and the demodulated output signal appears at pin 16. When the input to pin 2 is low, the loop is out of lock and the VCO will be at its center frequency. It is also possible to use pin 2 to adjust the loop gain so that a large capture range and small lock range can be obtained.

MODULATION TECHNIQUES

The NE564 phase locked loop can be modulated at either the loop filter ports (pins 4 and 5) or the input port (pin 6) as shown in Figure 6. The approximate modulation frequency can be determined from the frequency conversion gain curve shown in Figure 7. This curve will be appropriate for signals injected into pins 4 and 5 as shown in Figure 6.

FREQUENCY SYNTHESIS

Frequency multiplication can be achieved with the NE564 with the insertion of a counter (digital frequency divider) in the loop.

A block diagram is shown in Figure 8 and the associated performance characteristic curve in Figure 7. Here the loop is broken between the VCO and the phase comparator and a counter is inserted. In this case, the fundamental of the divided VCO frequency is locked to the input frequency so that the VCO is actually running at a multiple of the input frequency. The amount of multiplication is determined by the counter. An obvious practical application of this multiplication property is the use of the NE564 in wide range frequency synthesizers.

In frequency multiplication applications it is important to take into account that the phase comparator is actually a mixer and that its output contains sum and difference frequency components. The difference fre-

FM DEMODULATOR AT 5V

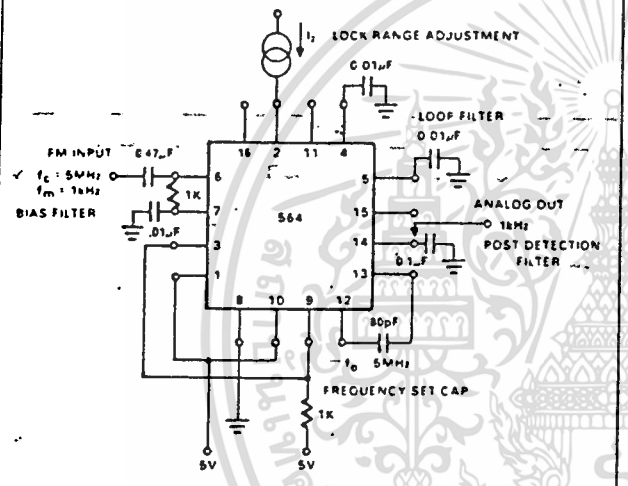


Figure 1

FM DEMODULATOR AT 12V

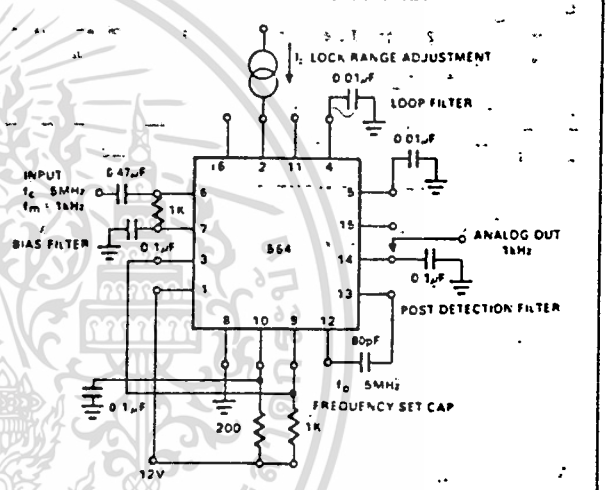


Figure 2

FM DEMODULATOR WITH TTL COMPATIBLE DEMODULATED OUTPUT SIGNAL

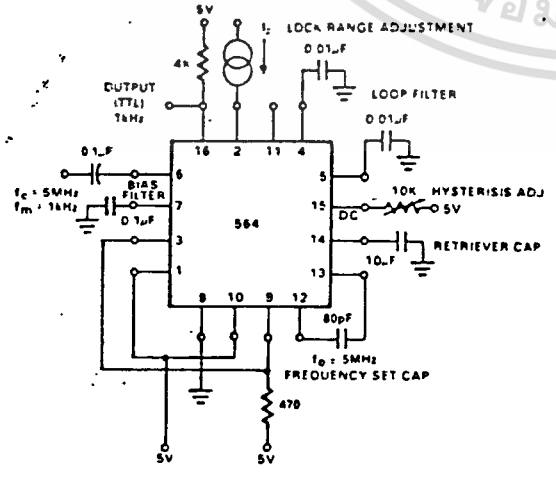


Figure 3

12V DEMODULATOR WITH DIGITAL OUTPUT

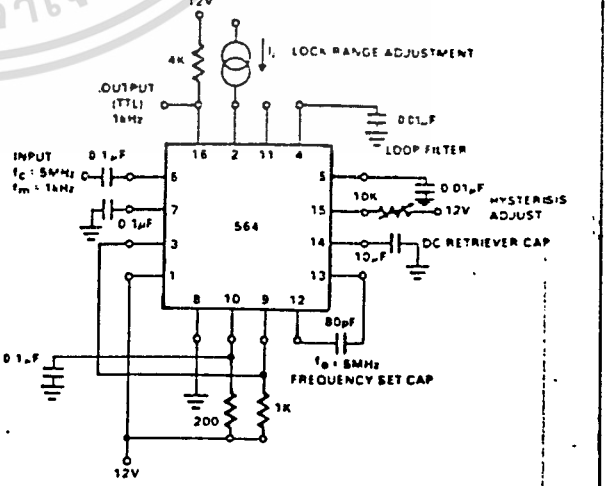
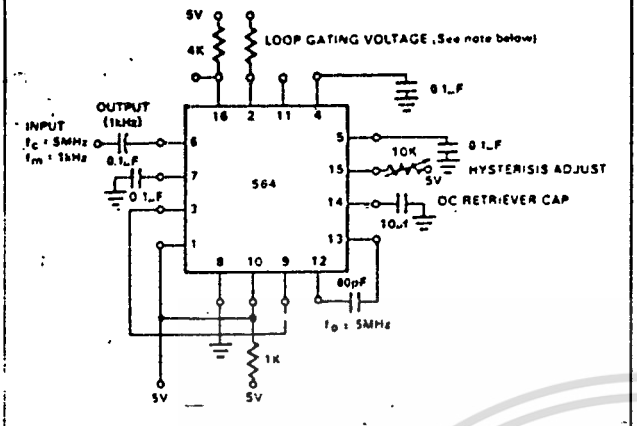


Figure 4

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

GATED PLL DEMODULATOR



NOTE

When the input to pin 2 is high (TTL level) the loop is in lock and the demodulated output at pin 15 is present. When the input to pin 2 is low (TTL level) the loop is out of lock with the VCO at its center frequency.

Figure 5

MODULATOR

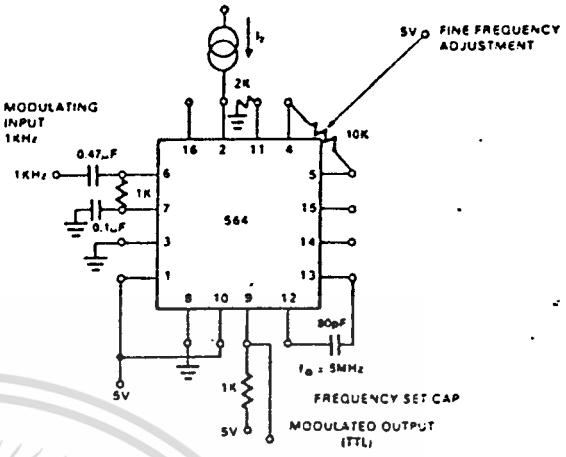


Figure 6

VCO CONVERSION GAIN

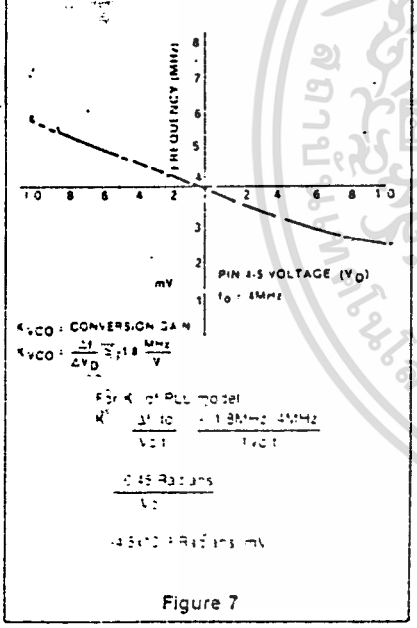


Figure 7

FREQUENCY SYNTHESIZER

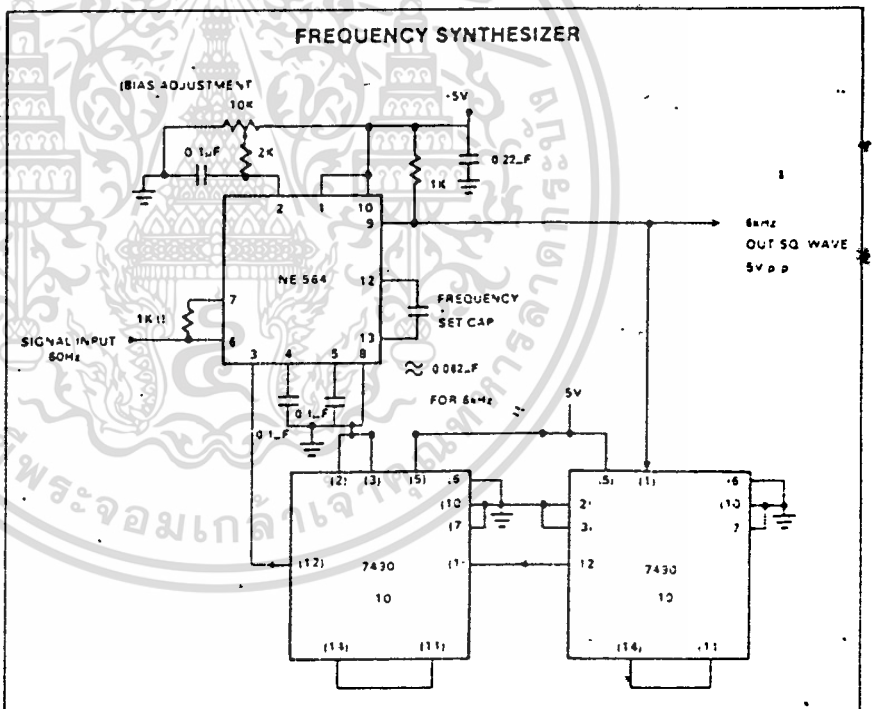


Figure 8

quency component is dc and is the error voltage which drives the VCO to keep the NE564 in lock. The sum frequency components (of which the fundamental is twice the frequency of the input signal) if not well filtered, will induce incidental FM on the VCO output. This occurs because the VCO is running at many times the frequency of the input signal and the sum frequency component which appears on the control voltage to the VCO causes a periodic variation of its frequency about the desired multiple. For frequency multiplication it is generally necessary to filter quite heavily to remove this sum frequency component. The tradeoff, of course, is a reduced capture range and a more underdamped loop transient response.

signetics
a subsidiary of U.S. Philips Corporation
Signetics Corporation
P.O. Box 9052
811 East Arques Avenue
Sunnyvale, California 94086
Telephone 408/739-7700

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

National Semiconductor

Industrial/Automotive/Functional Blocks/ Telecommunications

LM565/LM565C phase locked loop

general description

The LM565 and LM565C are general purpose phase locked loops containing a stable, highly linear voltage controlled oscillator for low distortion FM demodulation, and a double balanced phase detector with good carrier suppression. The VCO frequency is set with an external resistor and capacitor, and a tuning range of 10:1 can be obtained with the same capacitor. The characteristics of the closed loop system—bandwidth, response speed, capture and pull in range—may be adjusted over a wide range with an external resistor and capacitor. The loop may be broken between the VCO and the phase detector for insertion of a digital frequency divider to obtain frequency multiplication.

The LM565H is specified for operation over the −55°C to +125°C military temperature range. The LM565CH and LM565CN are specified for operation over the 0°C to +70°C temperature range.

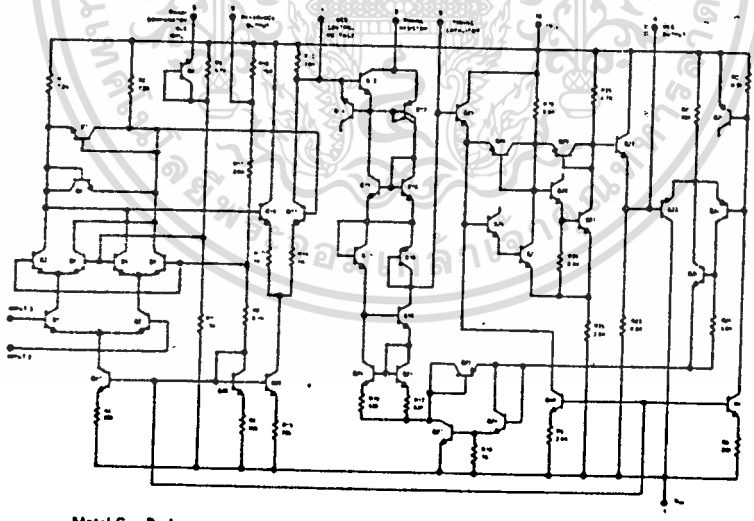
features

- 200 ppm/°C frequency stability of the VCO
- Power supply range of ±5 to ±12 volts with 100 ppm/% typical
- 0.2% linearity of demodulated output
- Linear triangle wave with in phase zero crossings available
- TTL and DTL compatible phase detector input and square wave output
- Adjustable hold in range from ±1% to > ±60%

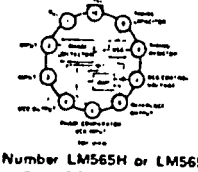
applications

- Data and tape synchronization
- Modems
- FSK demodulation
- FM demodulation
- Frequency synthesizer
- Tone decoding
- Frequency multiplication and division
- SCA demodulators
- Telemetry receivers
- Signal regeneration
- Coherent demodulators.

schematic and connection diagrams

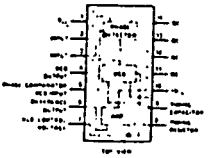


Metal Can Package



Order Number LM565H or LM565CH
See NS Package H10

Dual-In-Line Package



Order Number LM565CN
See NS Package N14A

Courtesy of National Semiconductor Corporation

absolute maximum ratings

Supply Voltage	±12V
Power Dissipation (Note 1)	300 mW
Differential Input Voltage	±1V
Operating Temperature Range LM565H	−55°C to +125°C
LM565CH, LM565CN	0°C to 70°C
Storage Temperature Range	−65°C to +150°C
Lead Temperature (Soldering, 10 sec)	300°C

electrical characteristics (AC Test Circuit, T_A = 25°C, V_C = ±6V)

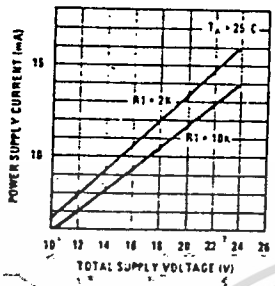
PARAMETER	CONDITIONS	LM565			LM565C			UNITS
		MIN	TYP	MAX	MIN	TYP	MAX	
Power Supply Current			8.0	12.5		8.0	12.5	mA
Input Impedance (Pins 2, 3)	−4V < V_3, V_3 < 0V	7	10			5		kΩ
VCO Maximum Operating Frequency	C_o = 2.7 pF	300	500		250	500		kHz
Operating Frequency Temperature Coefficient			−100	300		−200	500	ppm/°C
Frequency Drift with Supply Voltage			0.01	0.1		0.05	0.2	%/V
Triangle Wave Output Voltage		2	2.4	3	2	2.4	3	V_{pp}
Triangle Wave Output Linearity			0.2	0.75		0.5	1	%
Square Wave Output Level		4.7	5.4		4.7	5.4		V_{pp}
Output Impedance (Pin 4)			5			5		kΩ
Square Wave Duty Cycle		45	50	55	40	50	60	%
Square Wave Rise Time			20	100		20		ns
Square Wave Fall Time			50	200		50		ns
Output Current Sink (Pin 4)		0.6	1		0.6	1		mA
VCO Sensitivity	f_o = 10 kHz	5400	6600	6800	5000	6600	7200	Hz/V
Demodulated Output Voltage (Pin 7)	±10% Frequency Deviation	250	300	350	200	300	400	mV_{pp}
Total Harmonic Distortion	±10% Frequency Deviation		0.2	0.75		0.2	1.5	%
Output Impedance (Pin 7)			3.5			3.5		kΩ
DC Level (Pin 7)		4.25	4.5	4.75	4.0	4.5	5.0	V
Output Offset Voltage $\|V_7 - V_6\|$			30	100		50	200	mV
Temperature Drift of $\|V_7 - V_6\|$			500			500		μV/°C
AM Rejection		30	40			40		dB
Phase Detector Sensitivity K_D		0.6	.68	0.9	0.55	.68	0.95	V/radian

Note 1: The maximum junction temperature of the LM565 is 150°C, while that of the LM565C and LM565CN is 100°C. For operation at elevated temperatures, devices in the TO-5 package must be derated based on a thermal resistance of 150°C/W junction to ambient or 45°C/W junction to case. Thermal resistance of the dual-in-line package is 100°C/W.

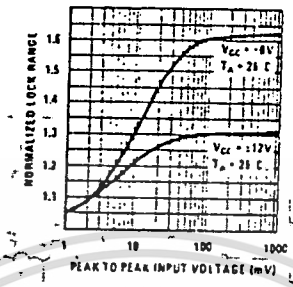
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

typical performance characteristics

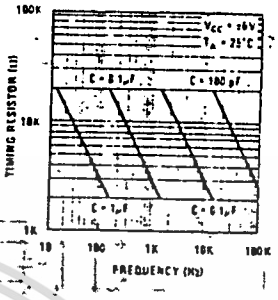
Power Supply Current as a Function of Supply Voltage



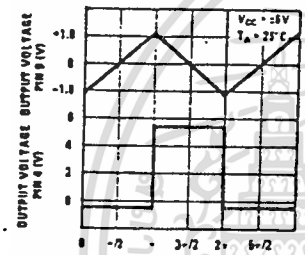
Lock Range as a Function of Input Voltage



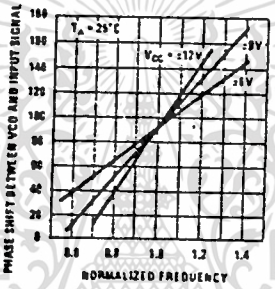
VCO Frequency



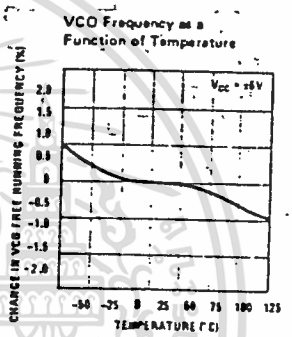
Oscillator Output Waveforms



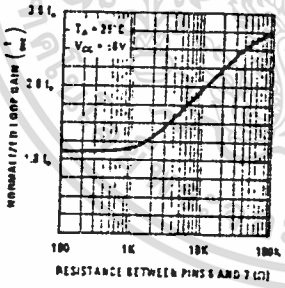
Phase Shift vs Frequency



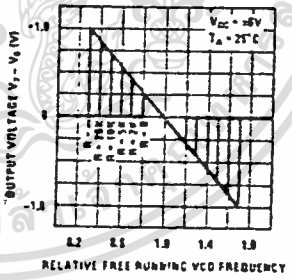
VCO Frequency as a Function of Temperature



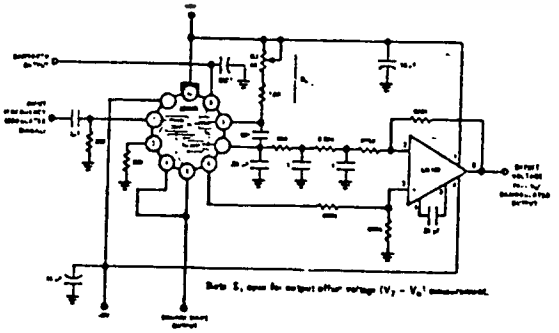
Loop Gain vs Load Resistance



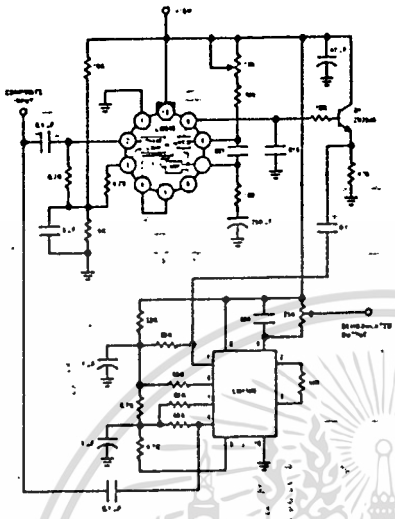
Hold in Range as a Function of R_6-7



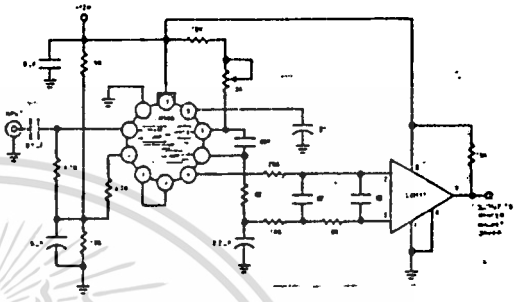
ac test circuit



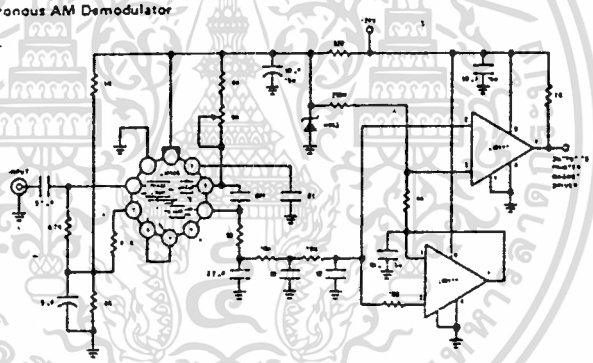
typical applications



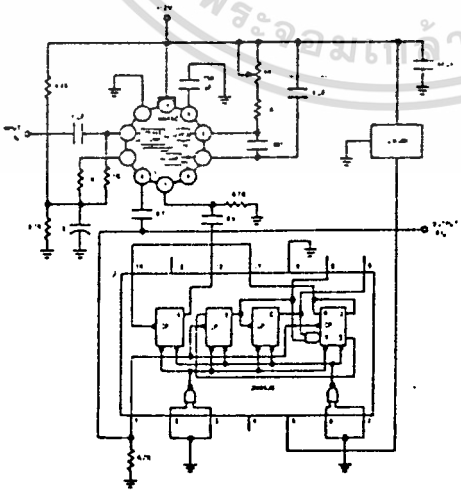
2400 Hz Synchronous AM Demodulator



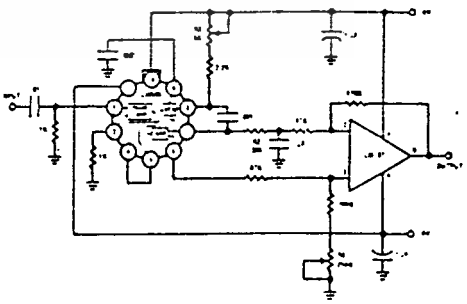
FSK Demodulator (2025-2225 cps)



FSK Demodulator with DC Restoration.



Frequency Multiplier (x10)



IRIG Channel 13 Demodulator

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

applications information

In designing with phase locked loops such as the LM565, the important parameters of interest are.

FREE RUNNING FREQUENCY

$$f_o \cong \frac{1}{3.7\, R_o C_o}$$

LOOP GAIN: relates the amount of phase change between the input signal and the VCO signal for a shift in input signal frequency (assuming the loop remains in lock). In servo theory, this is called the "velocity error coefficient".

Loop gain $= K_o K_D \left(\frac{1}{sec}\right)$

K_o = oscillator sensitivity $\left(\frac{\text{radians/sec}}{\text{volt}}\right)$

K_D = phase detector sensitivity $\left(\frac{\text{volts}}{\text{radian}}\right)$

The loop gain of the LM565 is dependent on supply voltage, and may be found from:

$$K_o K_D = \frac{33.6\, f_o}{V_c}$$

f_o = VCO frequency in Hz

V_c = total supply voltage to circuit.

Loop gain may be reduced by connecting a resistor between pins 6 and 7; this reduces the load impedance on the output amplifier and hence the loop gain.

HOLD IN RANGE: the range of frequencies that the loop will remain in lock after initially being locked.

$$f_m = \pm \frac{8\, f_o}{V_c}$$

f_o = free running frequency of VCO

V_c = total supply voltage to the circuit.

The natural bandwidth of the closed loop response may be found from:

$$f_n = \frac{1}{2\pi}\sqrt{\frac{K_o K_D}{R_1 C_1}}$$

Associated with this is a damping factor

$$\delta = \frac{1}{2}\sqrt{\frac{1}{R_1 C_1 K_o K_D}}$$

For narrow band applications where a narrow noise bandwidth is desired, such as applications involving tracking a slowly varying carrier, a lead lag filter should be used. In general, if $1.R_1C_1 < K_oK_D$, the damping factor for the loop becomes quite small resulting in large overshoot and possible instability in the transient response of the loop. In this case, the natural frequency of the loop may be found from

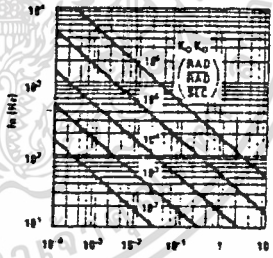
$$f_n = \frac{1}{2\pi}\sqrt{\frac{K_o K_D}{\tau_1 + \tau_2}}$$

$$\tau_1 + \tau_2 = (R_1 + R_2)\, C_1$$

R_2 is selected to produce a desired damping factor δ, usually between 0.5 and 1.0. The damping factor is found from the approximation:

$$\delta \cong \pi \tau_2 f_n$$

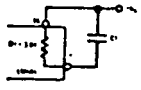
These two equations are plotted for convenience.



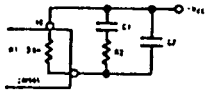
Filter Time Constant vs Natural Frequency

THE LOOP FILTER

In almost all applications, it will be desirable to filter the signal at the output of the phase detector (pin 7) this filter may take one of two forms:

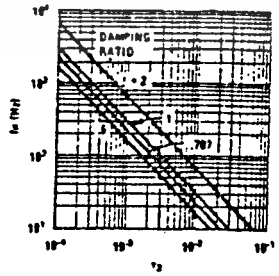


Simple Lag Filter



Lag-Lead Filter

A simple lag filter may be used for wide closed loop bandwidth applications such as modulation following where the frequency deviation of the carrier is fairly high (greater than 10%), or where wideband modulating signals must be followed.



Damping Time Constant vs Natural Frequency

Capacitor C_2 should be much smaller than C_1 since its function is to provide filtering of carrier. In general $C_2 \leq 0.1\ C_1$.

National Semiconductor

Industrial/Automotive/Functional Blocks/ Telecommunications

LM566/LM566C voltage controlled oscillator

general description

The LM566/LM566C are general purpose voltage controlled oscillators which may be used to generate square and triangular waves, the frequency of which is a very linear function of a control voltage. The frequency is also a function of an external resistor and capacitor.

The LM566 is specified for operation over the −55°C to +125°C military temperature range. The LM566C is specified for operation over the 0°C to +70°C temperature range.

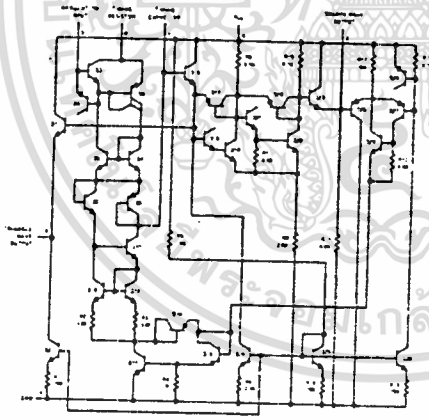
features

- Wide supply voltage range: 10 to 24 volts
- Very linear modulation characteristics
- High temperature stability
- Excellent supply voltage rejection
- 10 to 1 frequency range with fixed capacitor
- Frequency programmable by means of current, voltage, resistor or capacitor.

applications

- FM modulation
- Signal generation
- Function generation
- Frequency shift keying
- Tone generation

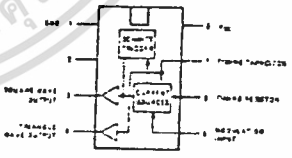
schematic and connection diagrams



Metal Can Package

Order Number LM566H or LM566CH
See NS Package H08C

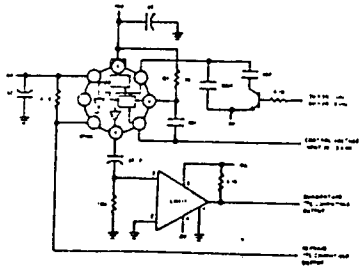
Dual-In-Line Package



Order Number LM566CN
See NS Package N08B

typical application

1 kHz and 10 kHz TTL Compatible Voltage Controlled Oscillator



applications information

The LM566 may be operated from either a single supply as shown in this test circuit, or from a split (±) power supply. When operating from a split supply, the square wave output (pin 4) is TTL compatible (2 mA current sink) with the addition of a 4.7 kΩ resistor from pin 3 to ground.

A .001 μF capacitor is connected between pins 5 and 6 to prevent parasitic oscillations that may occur during VCO switching.

$$f_o = \frac{2(V^+ - V_3)}{R_1 C_1 V^+}$$

where

$2K < R_1 < 20K$

and V_3 is voltage between pin 5 and pin 1

Courtesy of National Semiconductor Corporation

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

absolute maximum ratings

Power Supply Voltage		26V
Power Dissipation (Note 1)		300 mW
Operating Temperature Range	LM566	−55°C to +125°C
	LM566C	0°C to 70°C
Lead Temperature (Soldering, 10 sec)		300°C

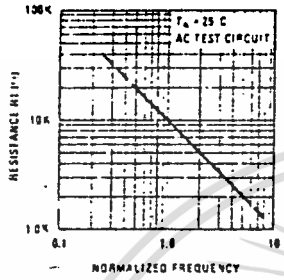
electrical characteristics V_{CC} = 12V, T_A = 25°C, AC Test Circuit

PARAMETER	CONDITIONS	LM566			LM566C			UNITS
		MIN	TYP	MAX	MIN	TYP	MAX	
Maximum Operating Frequency	R0 = 2k C0 = 2.7 pF		1			1		MHz
Input Voltage Range Pin 5		3/4 VCC		VCC	3/4 VCC		VCC	
Average Temperature Coefficient of Operating Frequency			100			200		ppm/°C
Supply Voltage Rejection	10- 20V		0.1	1		0.1	2	%/V
Input Impedance Pin 5		~0.5	1		0.5	1		MΩ
VCO Sensitivity	For Pin 5, From 8~10V, f_O = 10 kHz	6.4	6.6	6.8	6.0	6.6	7.2	kHz/V
FM Distortion	±10% Deviation		0.2	0.75		0.2	1.5	%
Maximum Sweep Rate		800	1		500	1		MHz
Sweep Range			10:1			10:1		
Output Impedance								
Pin 3			50			50		Ω
Pin 4			50			50		Ω
Square Wave Output Level	R_{L1} = 10k	5.0	5.4		5.0	5.4		Vp-p
Triangle Wave Output Level	R_{L2} = 10k	2.0	2.4		2.0	2.4		Vp-p
Square Wave Duty Cycle		45	50	55	40	50	60	%
Square Wave Rise Time			20			20		ns
Square Wave Fall Time			50			50		ns
Triangle Wave Linearity	±1V Segment at 1/2 VCC		0.2	0.75		0.5	1	%

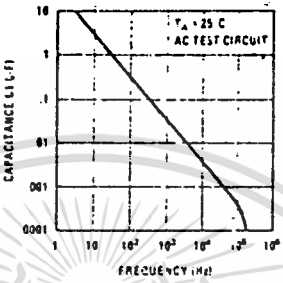
Note 1: The maximum junction temperature of the LM566 is 150°C, while that of the LM566C is 100°C. For operating at elevated junction temperatures, devices in the TO-5 package must be derated based on a thermal resistance of 150°C/W. The thermal resistance of the dual-in-line package is 100°C/W.

typical performance characteristics

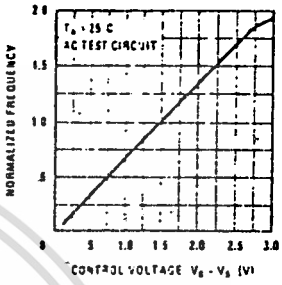
Operating Frequency as a Function of Timing Resistor



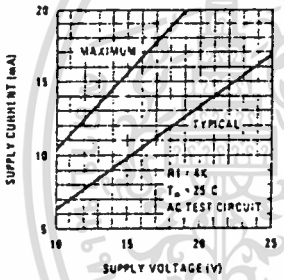
Operating Frequency as a Function of Timing Capacitor



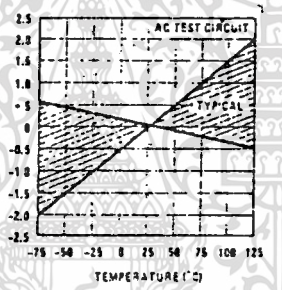
Normalized Frequency as a Function of Control Voltage



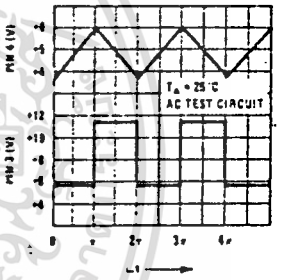
Power Supply Current



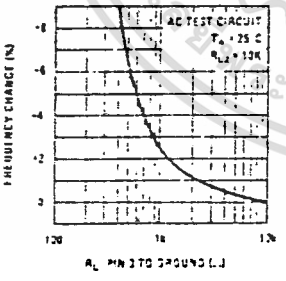
Temperature Stability



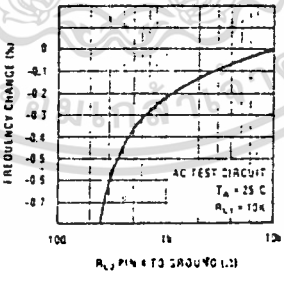
VCO Waveforms



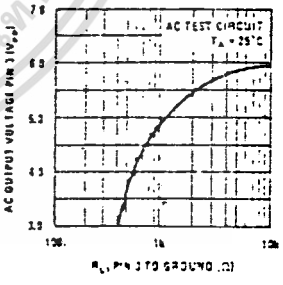
Frequency Stability vs Load Resistance (Square Wave Output)



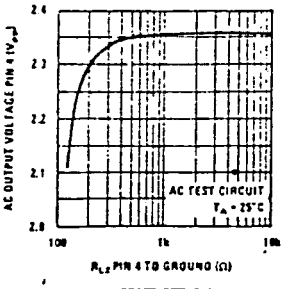
Frequency Stability vs Load Impedance (Triangle Output)



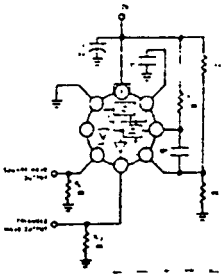
Square Wave Output Characteristics



Triangle Wave Output Characteristics



ac test circuit



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

National Semiconductor

LM567/LM567C tone decoder

general description

The LM567 and LM567C are general purpose tone decoders designed to provide a saturated transistor switch to ground when an input signal is present within the passband. The circuit consists of an I and Q detector driven by a voltage controlled oscillator which determines the center frequency of the decoder. External components are used to independently set center frequency, bandwidth and output delay.

features

- 20 to 1 frequency range with an external resistor
- Logic compatible output with 100 mA current sinking capability
- Bandwidth adjustable from 0 to 14%
- High rejection of out of band signals and noise
- Immunity to false signals
- Highly stable center frequency
- Center frequency adjustable from 0.01 Hz to 500 kHz

applications

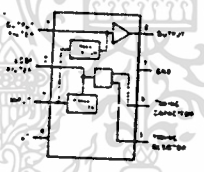
- Touch tone decoding
- Precision oscillator
- Frequency monitoring and control
- Wide band FSK demodulation
- Ultrasonic controls
- Carrier current remote controls
- Communications paging decoders

schematic and connection diagrams

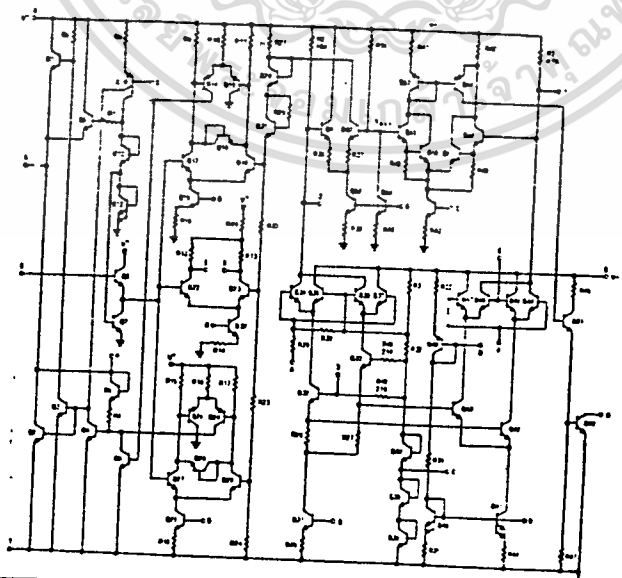
Metal Can Package

Order Number LM567H or LM567CH
See NS Package H08C

Dual-In-Line Package



Order Number LM567CN
See NS Package N08B



Courtesy of National Semiconductor Corporation

absolute maximum ratings

Supply Voltage Pin	10V
Power Dissipation (Note 1)	300 mW
V_8	15V
V_3	-10V
V_3	V_8 + 0.5V
Storage Temperature Range	-65°C to +150°C

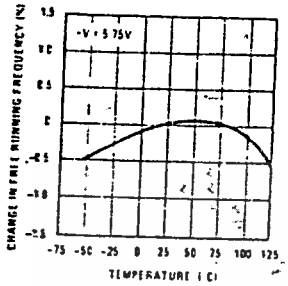
electrical characteristics (AC Test Circuit, T_A = 25°C, V_C = 5V)

PARAMETERS	CONDITIONS	LM567			LM567C/LM567CN			UNITS
		MIN	TYP	MAX	MIN	TYP	MAX	
Power Supply Voltage Range		4.75	5.0	9.0	4.75	5.0	9.0	V
Power Supply Current	R_L = 20k							
Quiescent			6	8		7	10	mA
Power Supply Current	R_L = 20k							
Activated			11	13		12	15	mA
Input Resistance		18	20	22	15	20	25	kΩ
Smallest Detectable Input Voltage	I_L = 100 mA, $f_i = f_o$		20	25		20	25	mVrms
Largest No Output Input Voltage	I_C = 100 mA, $f_i = f_o$	10	15		10	15		mVrms
Largest Simultaneous Outband Signal to Inband Signal Ratio			6			6		dB
Minimum Input Signal to Wideband Noise Ratio	B_n = 140 kHz		-6			-6		dB
Largest Detection Bandwidth		12	14	16	10	14	18	% of f_o
Largest Detection Bandwidth Skew			1	2		2	3	% of f_o
Largest Detection Bandwidth Variation with Temperature			±0.1	0.25		±0.1	0.5	%/°C
Largest Detection Bandwidth Variation with Supply Voltage	4.75V ≤ V_8 ≤ 9.75V		±1	±2		±1	±5	%/V
Highest Center Frequency		100	500		100	500		kHz
Center Frequency Stability	0 ≤ T_A ≤ 70		35 ± 60			35 ± 60		ppm/°C
	-55 ≤ T_A ≤ +125		35 ± 140			35 ± 140		ppm/°C
Center Frequency Shift with Supply Voltage	4.75V ≤ V_8 ≤ 9.75V		0.5	1.0		0.4	2.0	%/V
Fastest ON-OFF Cycling Rate			f_o/20			f_o/20		
Output Leakage Current	V_8 = 15V		0.01	25		0.01	25	μA
Output Saturation Voltage	I_8 = 25 mA I_8 = 30 mA		0.2	0.4		0.2	0.4	V
	I_8 = 25 mA I_8 = 100 mA		0.6	1.0		0.6	1.0	
Output Fall Time			30			30		ns
Output Rise Time			150			150		ns

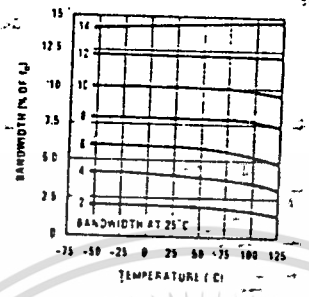
Note 1: The maximum junction temperature of the LM567 is 150°C, while that of the LM567C and LM567CN is 100°C. For operating at elevated temperatures, devices in the TO-5 package must be derated based on a thermal resistance of 150°C/W, junction to ambient or 45°C/W, junction to case. For the DIP the device must be derated based on a thermal resistance of 187°C/W, junction to ambient.

typical performance characteristics

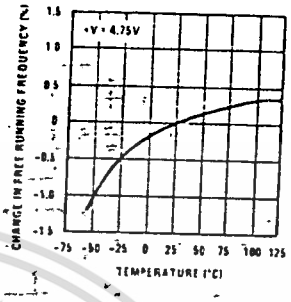
Typical Frequency Drift with Temperature (Mean and S.D.)



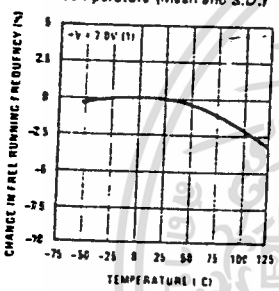
Typical Bandwidth Variation with Temperature



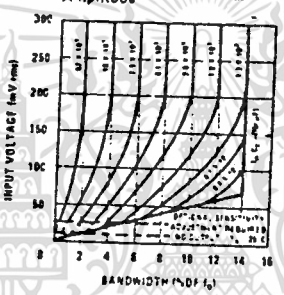
Typical Frequency Drift with (Mean and S.D.) Temperature



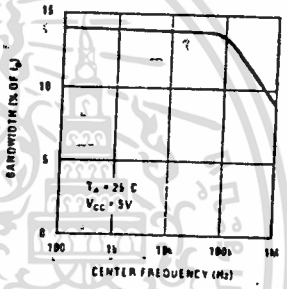
Typical Frequency Drift with Temperature (Mean and S.D.)



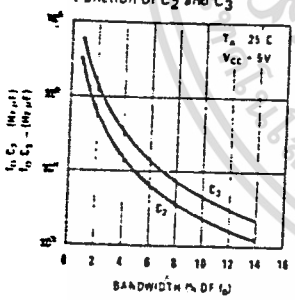
Bandwidth vs Input Signal Amplitude



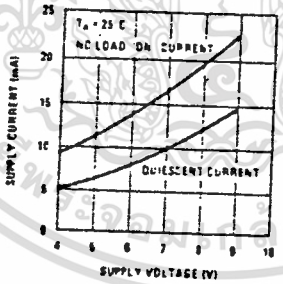
Largest Detection Bandwidth



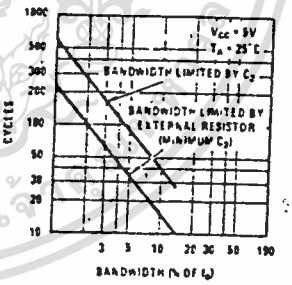
Detection Bandwidth as a Function of C_2 and C_3



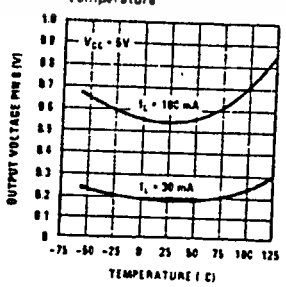
Typical Supply Current vs Supply Voltage



Greatest Number of Cycles Before Output



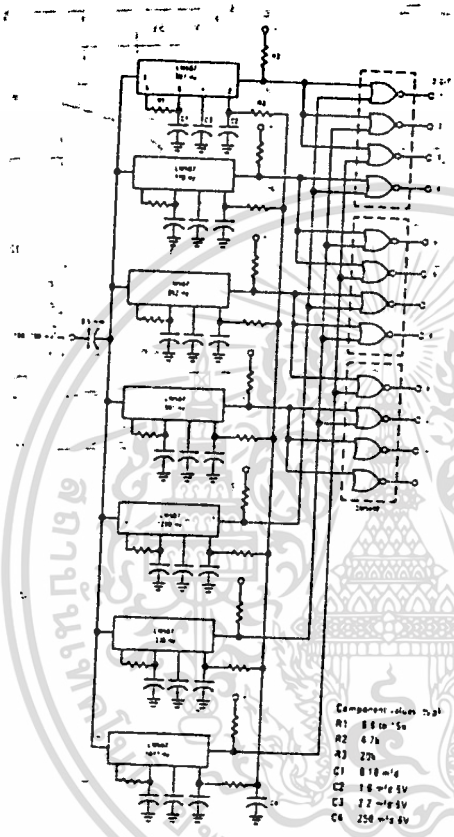
Typical Output Voltage vs Temperature



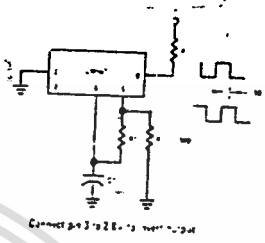
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

typical applications

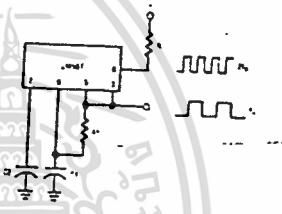
Touch-Tone Decoder



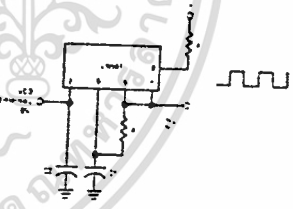
Oscillator with Quadrature Output



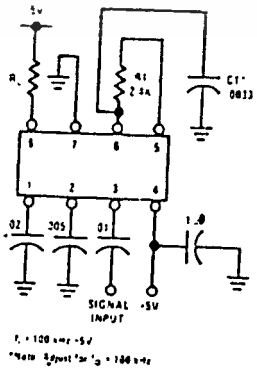
Oscillator with Double Frequency Output



Precision Oscillator Drive 100 mA Loads



ac test circuit



applications information

The center frequency of the tone decoder is equal to the free running frequency of the VCO. This is given by

$$f_o \cong \frac{1}{R_1 C_1}$$

The bandwidth of the filter may be found from the approximation

$$BW = 1070 \sqrt{\frac{V_i}{f_o C_2}} \quad \text{in \% of } f_o$$

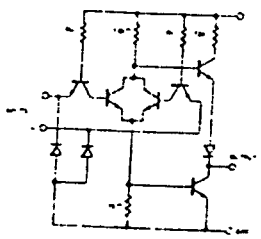
Where:

V_i = Input voltage (volts rms), $V_i \leq 200$ mV

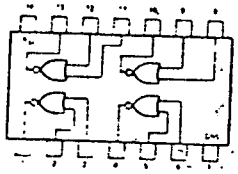
C_2 = Capacitance at Pin 2 (μF)

เอกสารนี้จัดทำขึ้นที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

SCHEMATIC (each gate)



A,F PACKAGE



QUADRUPLE 2-INPUT POSITIVE NOR GATE

S5402–A,F,W • N7402–A,F

DIGITAL 54/74 TTL SERIES

S5402 N7402

RECOMMENDED OPERATING CONDITIONS

PARAMETER		MIN	NOM	MAX	UNIT
Supply Voltage V_{CC}	S5402 Circuits	4.5	5	5.5	V
	N7402 Circuits	4.75	5	5.25	V
Normalized Fan-Out from each Output, N				10	
Operating Free-Air Temperature Range, T_A	S5402 Circuits	-55	25	125	°C
	N7402 Circuits	0	25	70	°C

ELECTRICAL CHARACTERISTICS (over recommended operating free-air temperature range unless otherwise noted)

PARAMETER		TEST CONDITIONS*			MIN	TYP**	MAX	UNIT
$V_{in(1)}$	Logical 1 input voltage required at either input terminal to ensure logical 0 level at output	V_{CC} = MIN			2			V
$V_{in(0)}$	Logical 0 input voltage required at both input terminals to ensure logical 1 level at output	V_{CC} = MIN					0.8	V
$V_{out(1)}$	Logical 1 output voltage	V_{CC} = MIN, I_{load} = -400μA	V_{in} = 0.8V		2.4	3.3		V
$V_{out(0)}$	Logical 0 output voltage	V_{CC} = MIN, I_{sink} = 16mA	V_{in} = 2V,			0.22	0.4	V
$I_{in(0)}$	Logical 0 level input current (each input)	V_{CC} = MAX,	V_{in} = 0.4V				-1.6	mA
$I_{in(1)}$	Logical 1 level input current (each input)	V_{CC} = MAX,	V_{in} = 2.4V				40	μA
		V_{CC} = MAX,	V_{in} = 5.5V				1	mA
I_{OS}	Short circuit output Current†	V_{CC} = MAX		S5402	-20		-55	mA
				N7402	-18		-55	mA

PARAMETER		TEST CONDITIONS*		MIN	TYP	MAX	UNIT
$I_{CC(0)}$	Logical 0 level supply current	V_{CC} = MAX,	V_{in} = 5V		14	27	mA
$I_{CC(1)}$	Logical 1 level supply current	V_{CC} = MAX,	V_{in} = 0		8	16	mA

SWITCHING CHARACTERISTICS, V_{CC} = 5V, T_A = 25°C, N = 10

PARAMETER		TEST CONDITIONS		MIN	TYP	MAX	UNIT
t_{pd0}	Propagation delay time to logical 0 level	C_L = 15pF,	R_L = 400Ω		8	15	ns
t_{pd1}	Propagation delay time to logical 1 level	C_L = 15pF,	R_L = 400Ω		12	22	ns

* For conditions shown as MIN or MAX, use the appropriate value specified under recommended operating conditions for the applicable device type

** All typical values are at V_{CC} = 5V, T_A = 25°C

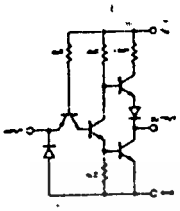
† Not more than one output should be shorted at a time

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

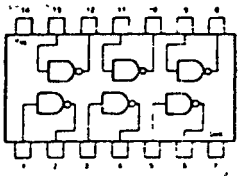
HEX INVERTER S5404 N7404

DIGITAL 54/74 TTL SERIES

SCHEMATIC (each inverter)



A,F PACKAGE



RECOMMENDED OPERATING CONDITIONS

		MIN	NOM	MAX	UNIT
Supply Voltage V_{CC}	S5404 Circuits	4.5	5	5.5	V
	N7404 Circuits	4.75	5	5.25	V
Normalized Fan-Out from Output, N				10	
Operating Free-Air Temperature Range, T_A:	S5404 Circuits	-55	25	125	°C
	N7404 Circuits	0	25	70	°C

ELECTRICAL CHARACTERISTICS (over recommended operating free-air temperature range unless otherwise noted)

PARAMETER		TEST CONDITIONS*			MIN	TYP**	MAX	UNIT
$V_{in(1)}$	Logical 1 input voltage required at input terminal to ensure logical 0 level at output	V_{CC} = MIN			2			V
$V_{in(0)}$	Logical 0 input voltage required at any input terminal to ensure logical 1 level at output	V_{CC} = MIN					0.8	V
$V_{out(1)}$	Logical 1 output voltage	V_{CC} = MIN, I_{load} = -400µA	V_{in} = 0.8V,		2.4	3.3		V
$V_{out(0)}$	Logical 0 output voltage	V_{CC} = MIN, I_{sink} = 16mA	V_{in} = 2V,			0.22	0.4	V
$I_{in(0)}$	Logical 0 level input current (each input)	V_{CC} = MAX,	V_{in} = 0.4V				-1.6	mA
$I_{in(1)}$	Logical 1 level input current	V_{CC} = MAX,	V_{in} = 2.4V				40	µA
		V_{CC} = MAX,	V_{in} = 5.5V				1	mA
I_{OS}	Short circuit output current†	V_{CC} = MAX		S5404	-20		-55	mA
				N7404	-18		-65	

PARAMETER		TEST CONDITIONS*		MIN	TYP	MAX	UNIT
$I_{CC(0)}$	Logical 0 level supply current	V_{CC} = MAX,	V_{in} = 5V		18	33	mA
$I_{CC(1)}$	Logical 1 level supply current	V_{CC} = MAX,	V_{in} = 0		6	12	mA

SWITCHING CHARACTERISTICS, V_{CC} = 5V, T_A = 25°C, N = 10

PARAMETER		TEST CONDITIONS		MIN	TYP	MAX	UNIT
t_{pd0}	Propagation delay time to logical 0 level	C_L = 15pF,	R_L = 400Ω		8	15	ns
t_{pd1}	Propagation delay time to logical 1 level	C_L = 15pF,	R_L = 400Ω		12	22	ns

* For conditions shown as MIN or MAX, use the appropriate value specified under recommended operating conditions for the applicable device type

** All typical values are at V_{CC} = 5V, T_A = 25°C.

† Not more than one output should be shorted at a time.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

MOTOROLA
Semiconductors
BOX 20912 • PHOENIX, ARIZONA 85036

MC1595L
MC1495L

Specifications and Applications Information

WIDEBAND MONOLITHIC FOUR-QUADRANT MULTIPLIER

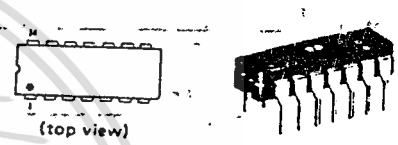
. . . designed for uses where the output is a linear product of two input voltages. Maximum versatility is assured by allowing the user to select the level shift method. Typical applications include: multiply, divide*, square root*, mean square*, phase detector, frequency doubler, balanced modulator-demodulator, electronic gain control.

*When used with an operational amplifier.

- Wide Bandwidth
- Excellent Linearity – 1% max Error on X-Input, 2% max Error on Y-Input – MC1595L
- Excellent Linearity – 2% max Error on X-Input, 4% max Error on Y-Input – MC1495L
- Adjustable Scale Factor, K
- Excellent Temperature Stability
- Wide Input Voltage Range – ± 10 Volts
- ± 15 Volt Operation

LINEAR FOUR-QUADRANT MULTIPLIER

SILICON MONOLITHIC INTEGRATED CIRCUIT



CERAMIC PACKAGE
CASE 632
TO-116

FIGURE 1 – FOUR-QUADRANT MULTIPLIER TRANSFER CHARACTERISTIC

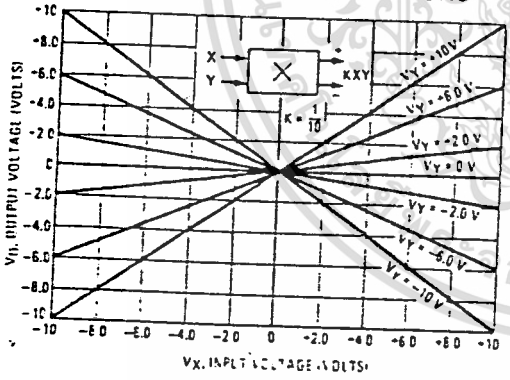


FIGURE 2 – TRANSCONDUCTANCE BANDWIDTH

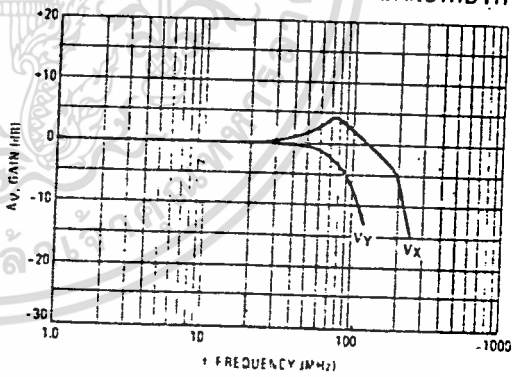
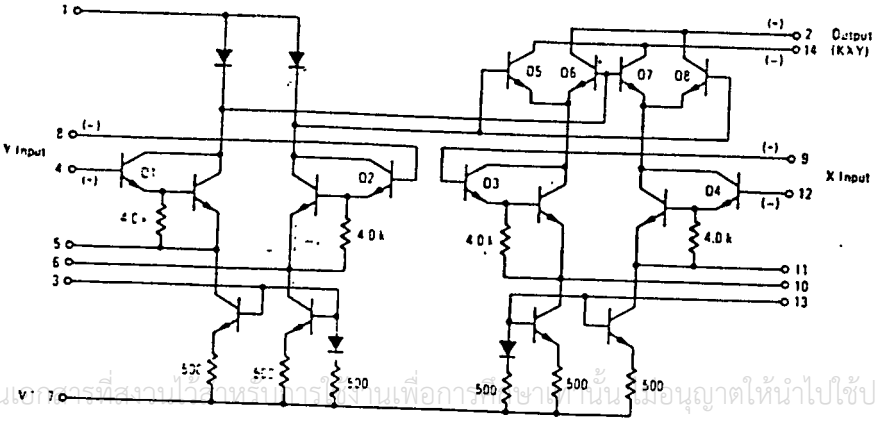


FIGURE 3 – CIRCUIT SCHEMATIC



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

Courtesy of Motorola Inc.

ELECTRICAL CHARACTERISTICS (V^+ = +32V, V^- = -15 V, T_A = +25°C, $I_3 = I_{13}$ = 1 mA, $R_X = R_Y$ = 15 kΩ, R_L = 11 kΩ unless otherwise noted)

Characteristic		Figure	Symbol	Min	Typ	Max	Unit
Linearity: Output Error in Percent of Full Scale:		5					%
T_A = +25°C							
-10 < V_X < +10 (V_Y = ±10 V)	MC1495		E_{RX}	–	± 1.0	± 2.0	
	MC1595			–	± 0.5	± 1.0	
-10 < V_Y < +10 (V_X = ±10 V)	MC1495		E_{RY}	–	± 2.0	± 4.0	
	MC1595			–	± 1.0	± 2.0	
T_A = 0 to +70°C	MC1495						
-10 < V_X < +10 (V_Y = ±10 V)			E_{RX}	–	± 1.5	–	
-10 < V_Y < +10 (V_X = ±10 V)			E_{RY}	–	± 3.0	–	
T_A = -55°C to +125°C	MC1595						
-10 < V_X < +10 (V_Y = ±10 V)			E_{RX}	-	± 0.75	–	
-10 < V_Y < +10 (V_X = ±10 V)			E_{RY}	-	± 1 50	–	
Squaring Mode Error: Accuracy in Percent of Full Scale After Offset and Scale Factor Adjustment		5	E_{SQ}				%
T_A = +25°C	MC1495			–	± 0.75	–	
	MC1595			–	± 0.5	–	
T_A = 0 to +70°C	MC1495			–	± 1.0	-	
T_A = -55°C to +125°C	MC1595			--	± 0.75	-	
Scale Factor (Adjustable) $\left(K = \frac{2R_L}{I_3 R_X R_Y}\right)$		–	K	-	0.1	–	-
Input Resistance (f = 20 Hz)	MC1495	7	R_{INX}	–	20	–	MegOhms
	MC1595			–	35	–	
	MC1495		R_{INY}	–	20	–	
	MC1595			-	35	–	
Differential Output Resistance (f = 20 Hz)	–	8	R_o	-	300	–	k Ohms
Input Bias Current $I_{bx} = \frac{(I_9 + I_{12})}{2}$, $I_{by} = \frac{(I_4 + I_8)}{2}$	MC1495	6	I_{bx}	-	2.0	12	μA
	MC1595			–	2 0	8.0	
	MC1495		I_{by}	–	2.0	12	
	MC1595			–	2 0	8.0	
Input Offset Current $\lvert I_9 - I_{12}\rvert$	MC1495	6	$\lvert I_{iox}\rvert$	–	0 4	2 0	μA
	MC1595			-	0 2	1.0	
$\lvert I_4 - I_8\rvert$	MC1495		$\lvert I_{ioy}\rvert$	–	0 4	2.0	
	MC1595			–	0 2	1.0	
Average Temperature Coefficient of Input Offset Current		6	$\lvert TC_{Iio}\rvert$				nA °C
(T_A = 0 to +70°C)	MC1495			–	2.0	–	
(T_A = -55°C to +125°C)	MC1595			–	2 0	–	
Output Offset Current $\lvert I_{14} - I_2\rvert$	MC1495	6	$\lvert I_{oo}\rvert$	–	20	100	μA
	MC1595			-	10	50	
Average Temperature Coefficient of Output Offset Current		6	$\lvert TC_{Ioo}\rvert$				nA °C
(T_A = 0 to +70°C)	MC1495			-	20	-	
(T_A = -55°C to +125°C)	MC1595			-	20	–	
Frequency Response							
3.0 dB Bandwidth, R_L = 11 kΩ		9,10	BW_{3dB}	-	3 0	-	MHz
3.0 dB Bandwidth, R_L = 50 Ω (Transconductance Bandwidth)			$T_{BW3\,dB}$	–	80	–	MHz
3° Relative Phase Shift Between V_X and V_Y			f_o		750		kHz
1% Absolute Error Due to Input Output Phase Shift			f_g	–	30	–	kHz
Common Mode Input Swing (Either Input)	MC1495	11	CMV	±10 5	±12	–	Vdc
	MC1595			±11 5	±13	-	
Common Mode Gain (Either Input)	MC1495	11	A_{CM}	-40	-50	–	dB
	MC1595			-50	-60	–	
Common Mode Quiescent Output Voltage		12	V_{o1}	–	21	–	Vdc
			V_{o2}	–	21	–	
Differential Output Voltage Swing Capability		9	V_o	–	±14	–	V_{peak}
Power Supply Sensitivity		12	S^+	–	5 0	–	mV/V
			S^-	–	10	–	
Power Supply Current		12	I_7	–	5 0	7.0	mA
DC Power Dissipation		12	P_D	–	135	170	mW

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

MAXIMUM RATINGS (T_A = +25°C unless otherwise noted)

Rating	Symbol	Value	Unit
Applied Voltage (V_2-V_1, $V_{14}-V_1$, V_1-V_9, V_1-V_{12}, V_1-V_4, V_1-V_8, $V_{12}-V_7$, V_9-V_7, V_8-V_7, V_4-V_7)	V	30	Vdc
Differential Input Signal	$V_{12}-V_9$ V_4-V_8	$\pm(6+I_{13}R_X)$ $\pm(6+I_3R_Y)$	Vdc Vdc
Maximum Bias Current	I_3 I_{13}	10 10	mA
Power Dissipation (Package Limitation) Ceramic Package Derate above T_A = +25°C	P_D	750 5.0	mW mW/°C
Operating Temperature Range MC1495 MC1595	T_A	0 to +70 -55 to +125	°C °C
Storage Temperature Range	T_{stg}	-65 to +150	°C

TEST CIRCUITS

FIGURE 4 – LINEARITY (USING NULL TECHNIQUE)

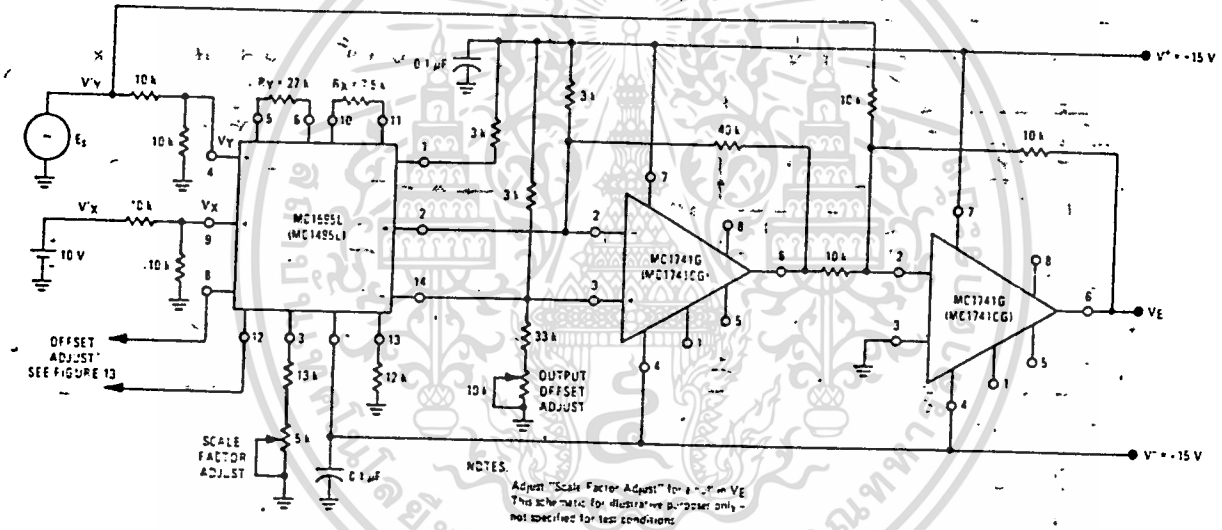
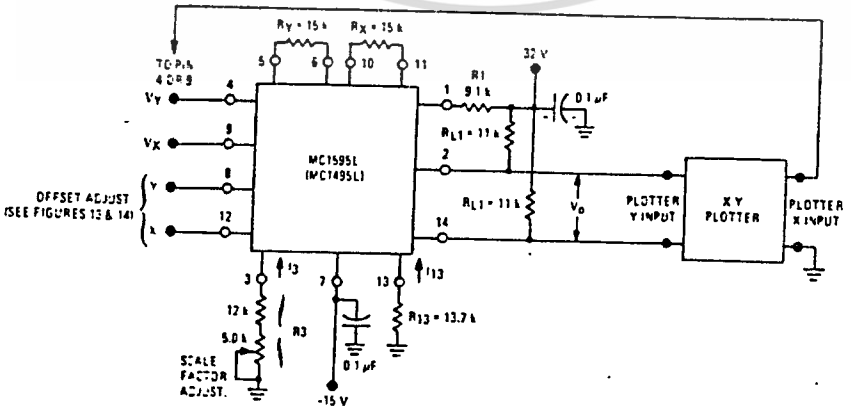


FIGURE 5 – LINEARITY (USING X-Y PLOTTER TECHNIQUE)



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TEST CIRCUITS (continued)

FIGURE 6 – INPUT AND OUTPUT CURRENT

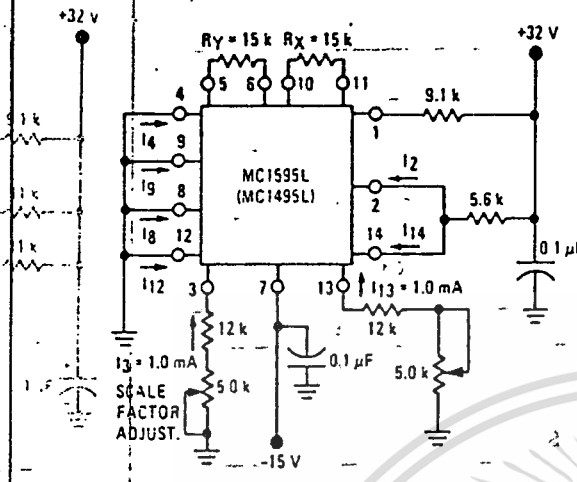


FIGURE 7 – INPUT RESISTANCE

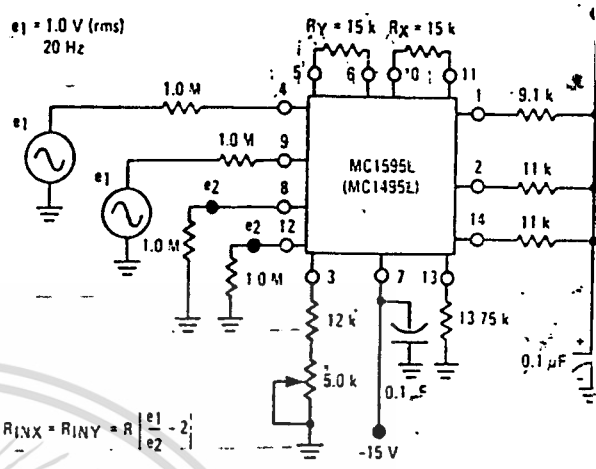


FIGURE 8 – OUTPUT RESISTANCE

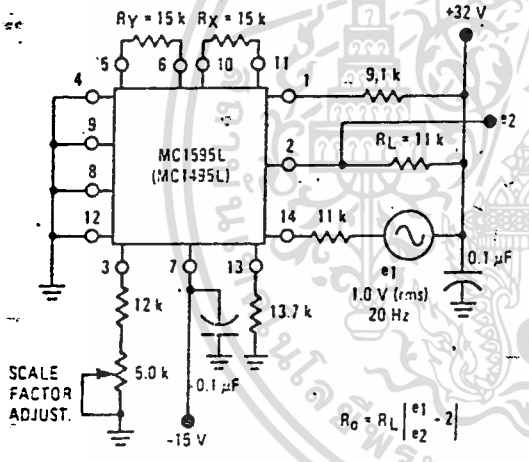


FIGURE 9 – BANDWIDTH (R_L = 11 kΩ)

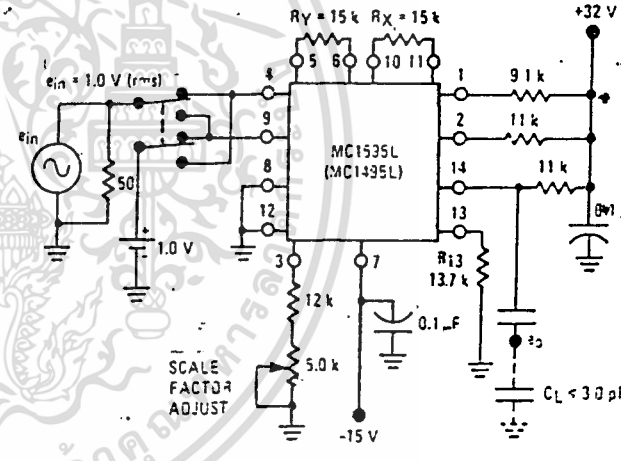


FIGURE 10 – BANDWIDTH (R_L = 50 Ω)

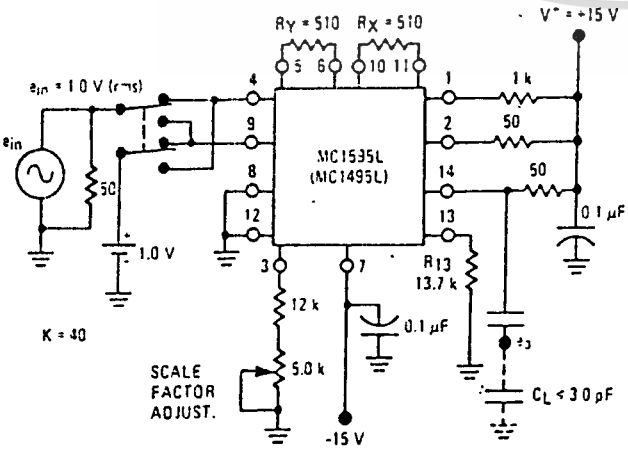
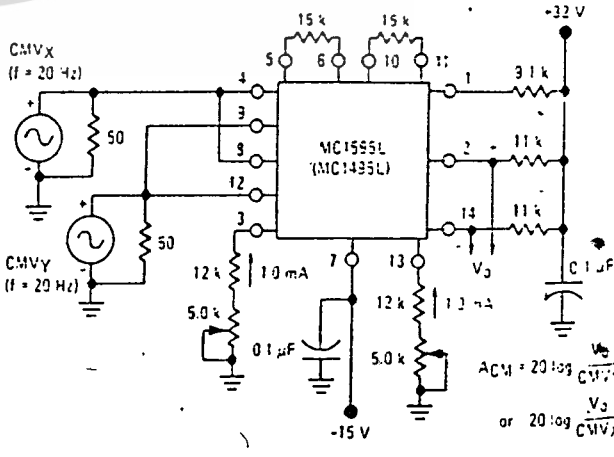


FIGURE 11 – COMMON-MODE GAIN and COMMON-MODE INPUT SWING



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ในเชิงพาณิชย์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

FIGURE 12 – POWER SUPPLY SENSITIVITY

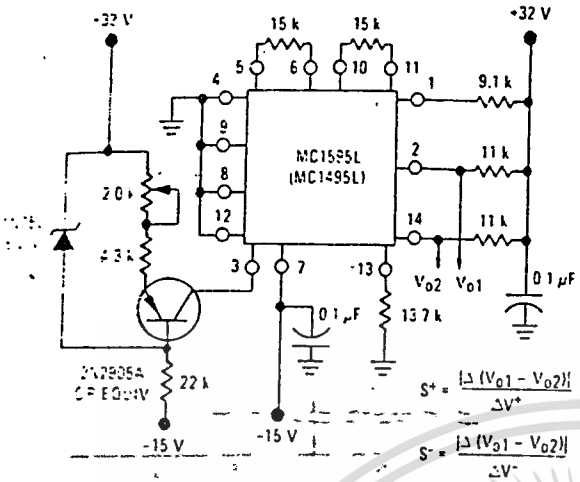
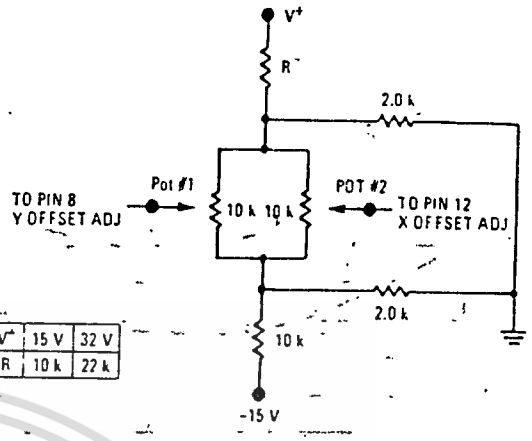
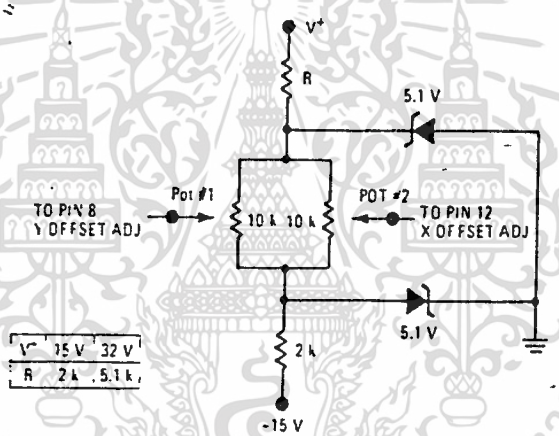


FIGURE 13 – OFFSET ADJUST CIRCUIT



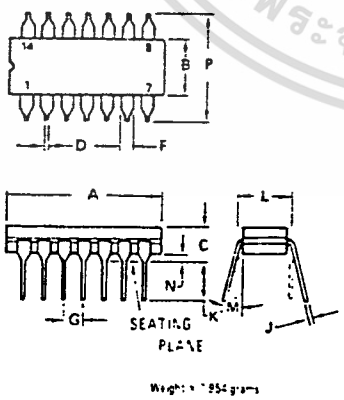
V+	15 V	32 V
R	10 k	22 k

FIGURE 14 – OFFSET ADJUST CIRCUIT (ALTERNATE)



V+	15 V	32 V
R	2 k	5.1 k

OUTLINE DIMENSIONS



CERAMIC PACKAGE
CASE 632
TO-116

DIM	MILLIMETERS MIN	MILLIMETERS MAX	INCHES MIN	INCHES MAX
A	16.8	19.9	0.650	0.785
B	5.59	7.11	0.220	0.280
C	–	5.08	–	0.200
D	0.381	0.584	0.015	0.023
F	0.77	1.77	0.030	0.070
G	2.54 BSC		0.100 BSC	
J	0.203	0.381	0.008	0.015
K	2.54	–	0.100	–
L	7.62 BSC		0.300 BSC	
M	–	15°	–	15°
N	0.51	0.76	0.020	0.030
P	–	8.25	–	0.325

All JEDEC dimensions and notes apply.

Weight = 1.954 grams

Circuit diagrams utilizing Motorola products are included as a means of illustrating typical semiconductor applications, consequently, complete information sufficient for construction purposes is not necessarily given. The information has been carefully checked and is believed to be entirely reliable. However, no responsibility is assumed for inaccuracies. Furthermore, such information does not convey to the purchaser of the semiconductor devices described any license under the patent rights of Motorola Inc. or others.

FIGURE 15 – LINEARITY versus TEMPERATURE

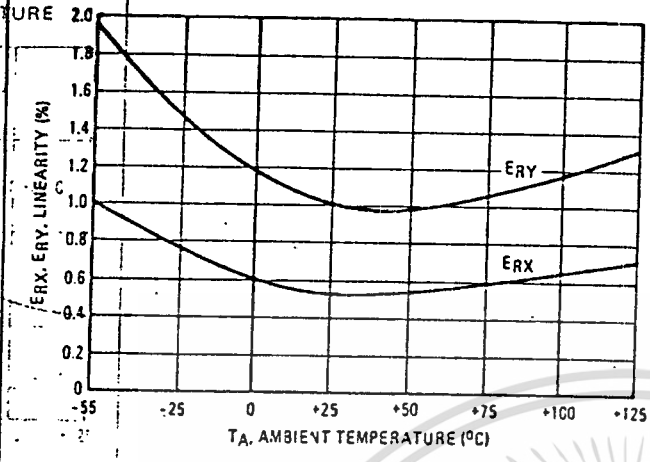


FIGURE 16 – SCALE FACTOR versus TEMPERATURE

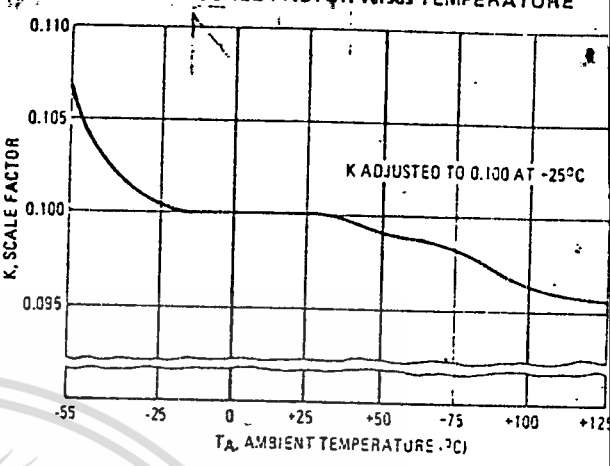


FIGURE 17 – ERROR CONTRIBUTED BY INPUT DIFFERENTIAL AMPLIFIER

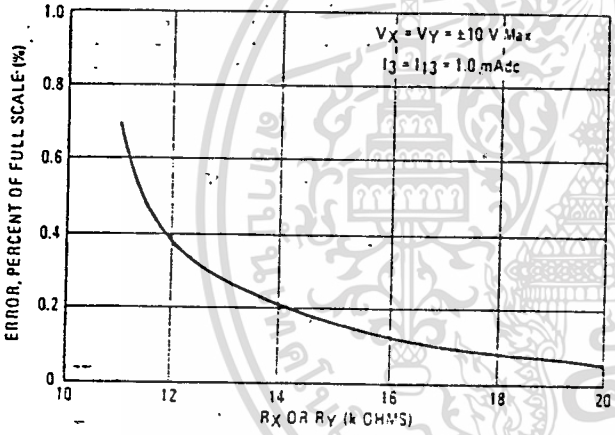


FIGURE 18 – ERROR CONTRIBUTED BY INPUT DIFFERENTIAL AMPLIFIER

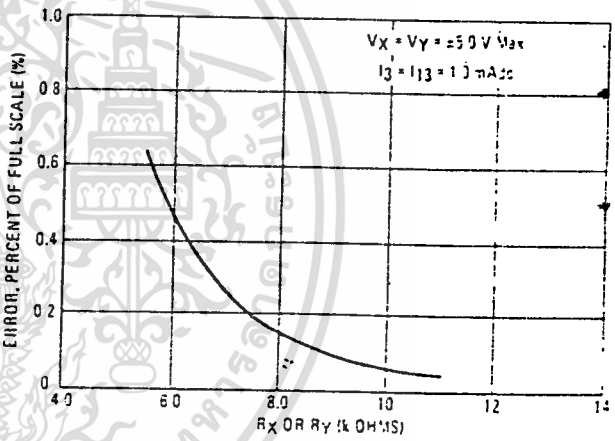
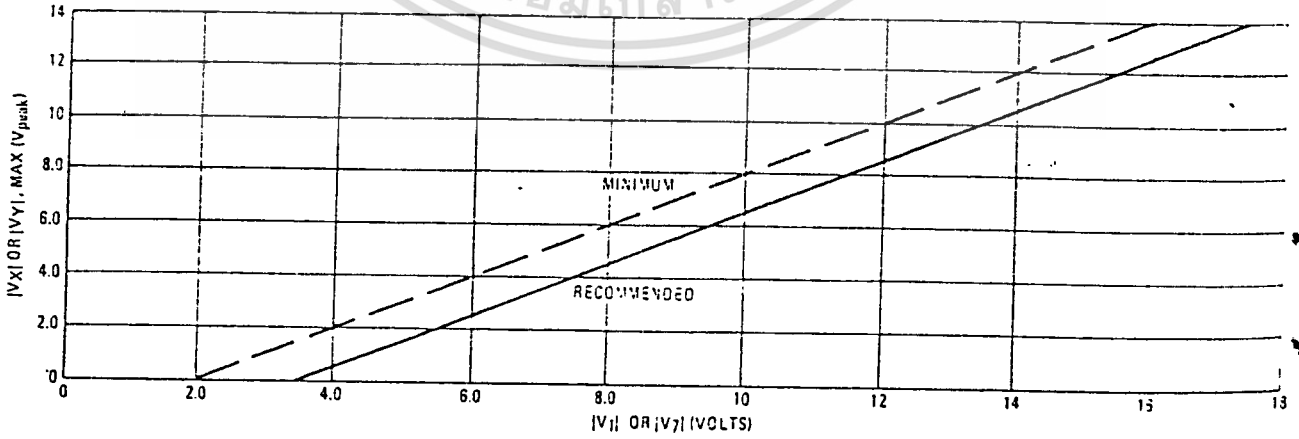


FIGURE 19 – MAXIMUM ALLOWABLE INPUT VOLTAGE versus VOLTAGE AT PIN 1 OR PIN 7



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

1. Theory of Operation

The MC1595 (MC1495) is a monolithic, four-quadrant multiplier which operates on the principle of variable transconductance. The detailed theory of operation is covered in Application Note AN-489, Analysis and Basic Operation of the MC1595. The result of this analysis is that the differential output current of the multiplier is given by

$$I_A - I_B = I = \frac{2V_X V_Y}{R_X R_Y I_3}$$

where I_A and I_B are the currents into pins 14 and 2, respectively, and V_X and V_Y are the X and Y input voltages at the multiplier input terminals.

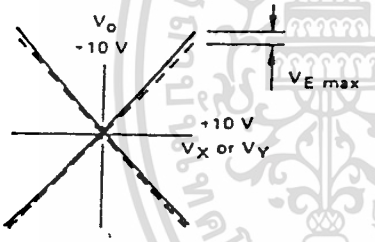
2. Design Considerations

2.1 General

The MC1595 (MC1495) permits the designer to tailor the multiplier to a specific application by proper selection of external components. External components may be selected to optimize a given parameter (e.g. bandwidth) which may in turn restrict another parameter (e.g. maximum output voltage swing). Each important parameter is discussed in detail in the following paragraphs.

2.1.1 Linearity, Output Error, E_{RX} or E_{RY}

Linearity error is defined as the maximum deviation of output voltage from a straight line transfer function. It is expressed as error in percent of full scale (see figure below).



For example, if the maximum deviation, $V_{E(max)}$, is ±100 mV and the full scale output is 10 volts, then the percentage error is

$$E_R = \frac{V_{E(max)}}{V_{o(max)}} \times 100 = \frac{100 \times 10^{-3}}{10} \times 100 = \pm 1.0\%.$$

Linearity error may be measured by either of the following methods:

1. Using an X – Y plotter with the circuit shown in Figure 5, obtain plots for X and Y similar to the one shown above.
2. Use the circuit of Figure 4. This method nulls the level shifted output of the multiplier with the original input. The peak output of the null operational amplifier will be equal to the error voltage, $V_{E(max)}$.

One source of linearity error can arise from large signal nonlinearity in the X and Y-input differential amplifiers. To avoid introducing error from this source, the emitter degeneration resistors R_X and R_Y must be chosen large enough so that nonlinear base-emitter voltage variation can be ignored. Figures 17 and 18 show the error expected from this source as a function of the values of R_X and R_Y with an operating current of 1.0 mA in each side of the differential amplifiers (i.e., $I_3 = I_{13} = 1.0$ mA).

2.1.2 3 dB-Bandwidth and Phase Shift

Bandwidth is primarily determined by the load resistors and the stray multiplier output capacitance and/or the operational amplifier used to level shift the output. If wideband operation is desired, low value load resistors and/or a wideband operational amplifier should be used. Stray output capacitance will depend to a large extent on circuit layout.

Phase shift in the multiplier circuit results from two sources: phase shift common to both X and Y channels (due to the load resistor-output capacitance pole mentioned above) and relative phase shift between X and Y channels (due to differences in transadmittance in the X and Y channels). If the input to output phase shift is only 0.6°, the output product of two sine waves will exhibit a vector error of 1%. A 3° relative phase shift between V_X and V_Y results in a vector error of 5%.

2.1.3 Maximum Input Voltage

$V_{X(max)}$, $V_{Y(max)}$ maximum input voltages must be such that:

$$V_{X(max)} < I_{13} R_Y$$

$$V_{Y(max)} < I_3 R_Y.$$

Exceeding this value will drive one side of the input amplifier to "cutoff" and cause non-linear operation.

Currents I_3 and I_{13} are chosen at a convenient value (observing power dissipation limitation) between 0.5 mA and 2.0 mA, approximately 1.0 mA. Then R_X and R_Y can be determined by considering the input signal handling requirements.

For $V_{X(max)} = V_{Y(max)} = 10$ volts:

$$R_X = R_Y > \frac{10\ V}{1.0\ mA} = 10\ k\Omega.$$

The equation $I_A - I_B = \dfrac{2V_X V_Y}{R_X R_Y I_3}$

is derived from $I_A - I_B = \dfrac{2V_X V_Y}{\left(R_X + \dfrac{2kT}{qI_{13}}\right)\left(R_Y + \dfrac{2kT}{qI_3}\right) I_3}$

with the assumption $R_X \gg \dfrac{2kT}{qI_{13}}$ and $R_Y \gg \dfrac{2kT}{qI_3}$.

At $T_A = +25^\circ C$ and $I_{13} = I_3 = 1$ mA,

$$\frac{2kT}{qI_{13}} = \frac{2kT}{qI_3} = 52\ \Omega.$$

Therefore, with $R_X = R_Y = 10\ k\Omega$ the above assumption is valid. Reference to Figure 19 will indicate limitations of $V_{X(max)}$ or $V_{Y(max)}$ due to V_1 and V_7. Exceeding these limits will cause saturation or "cutoff" of the input transistors. See Step 4 of Section 3 (General Design Procedure) for further details.

2.1.4 Maximum Output Voltage Swing

The maximum output voltage swing is dependent upon the factors mentioned below and upon the particular circuit being considered.

For Figure 20 the maximum output swing is dependent upon V^+ for positive swing and upon the voltage at pin 1 for negative swing. The potential at pin 1 determines the quiescent level for transistors Q_5, Q_6, Q_7, and Q_8. This potential

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

.ft, as shown should be related so that negative swing at pins 2 or 14 does
:r) is greatly not saturate those transistors. See Section 3 for further information regarding selection of these potentials.

If an operational amplifier is used for level shift, as shown in Figure 21, the output swing (of the multiplier) is greatly reduced. See Section 3 for further details.

3. General Design Procedure

Selection of component values is best demonstrated by the following example: assume resistive dividers are used at the X and Y inputs to limit the maximum multiplier input to ±5.0 volts ($V_X' = V_{Y(max)}'$ for a ±10-volt input ($V_X' = V_{Y(max)}'$) (See Figure 21) If an overall scale factor of 1/10 is desired, then

$$V_O = \frac{V_X' V_Y'}{10} = \frac{(2V_X)(2V_Y)}{10} = 4/10\ V_X V_Y .$$

Therefore, K = 4/10 for the multiplier (excluding the divider network).

Step 1. The first step is to select current I_3 and current I_{13}. There are no restrictions on the selection of either of these currents except the power dissipation of the device. I_3 and I_{13} will normally be one or two milliamperes. Further, I_3 does not have to be equal to I_{13}, and there is normally no need to make them different. For this example, let

$$I_3 = I_{13} = 1\ mA.$$

To set currents I_3 and I_{13} to the desired value, it is only necessary to connect a resistor between pin 13 and ground, and between pin 3 and ground. From the schematic shown in Figure 3,

FIGURE 20 – BASIC MULTIPLIER

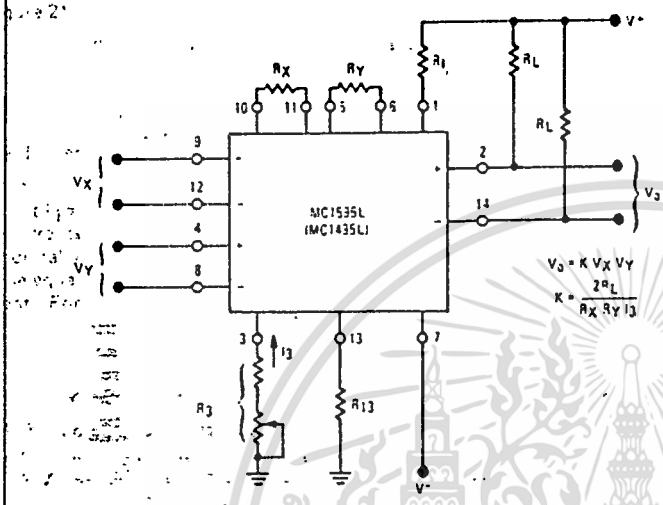
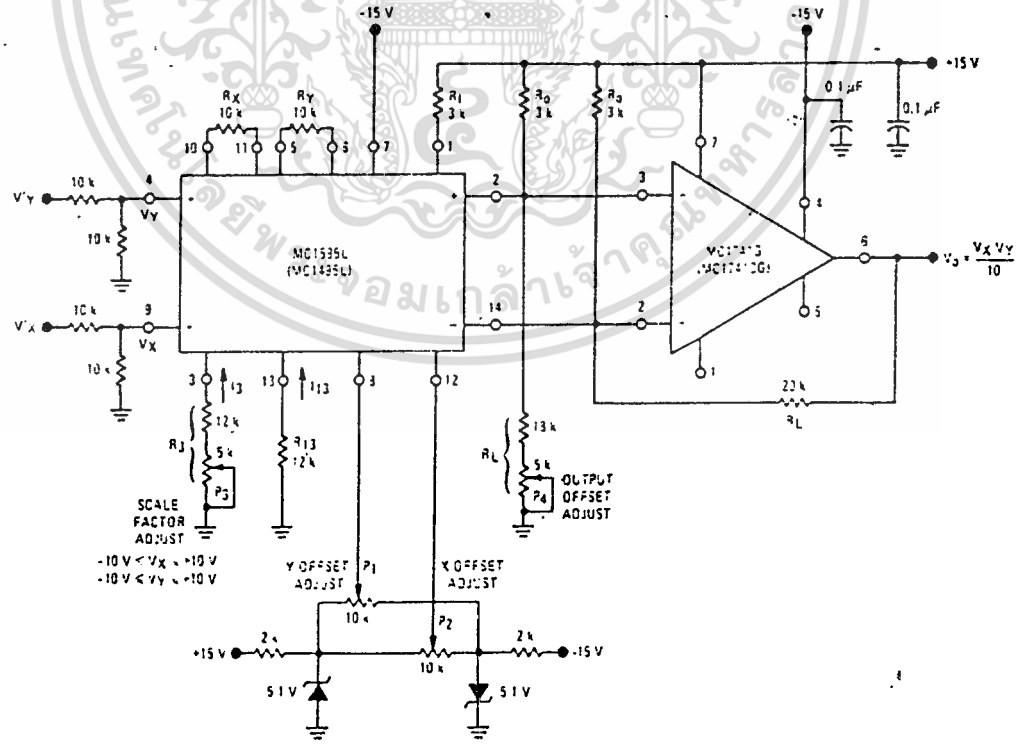


FIGURE 21 – MULTIPLIER WITH OP-AMPL. LEVEL SHIFT



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

OPERATION AND APPLICATIONS INFORMATION (continued)

It can be seen that the resistor values necessary are given by:

$$R_{13} + 500\ \Omega = \frac{|V^-| - 0.7\ V}{I_{13}}$$

$$R_3 + 500\ \Omega = \frac{|V^-| - 0.7\ V}{I_3}$$

Let $V^- = -15$ V

Then $R_{13} + 500 = \frac{14.3\ V}{1\ mA}$ or $R_{13} = 13.8\ k\Omega$

Let $R_{13} = 12\ k\Omega$

Similarly, $R_3 = 13.8\ k\Omega$

Let $R_3 = 15\ k\Omega$

However, for applications which require an accurate scale factor, the adjustment of R_3 and consequently, I_3, offers a convenient method of making a final trim of the scale factor. For this reason, as shown in Figure 21, resistor R_3 is shown as a fixed resistor in series with a potentiometer.

For applications not requiring an exact scale factor (balanced modulator, frequency doubler, AGC amplifier, etc.), pins 3 and 13 can be connected together and a single resistor from pin 3 to ground can be used. In this case, the single resistor would have a value of one-half the above calculated value for R_{13}.

Step 2. The next step is to select R_X and R_Y. To insure that the input transistors will always be active, the following conditions should be met:

$$\frac{V_X}{R_X} < I_{13} \qquad \frac{V_Y}{R_Y} < I_3.$$

A good rule of thumb is to make $I_3 R_Y \geq 1.5\ V_{Y(max)}$ and $I_{13} R_X \geq 1.5\ V_{X(max)}$.

The larger the $I_3 R_Y$ and $I_{13} R_X$ product in relation to V_Y and V_X respectively, the more accurate the multiplier will be (see Figures 17 and 18).

Let $R_X = R_Y = 10\ k\Omega$

Then $I_3 R_Y = 10$ V

$I_{13} R_X = 10$ V

since $V_{X(max)} = V_{Y(max)} = 5.0$ volts the value of $R_X = R_Y = 10\ k\Omega$ is sufficient.

Step 3 Now that R_X, R_Y and I_3 have been chosen, R_L can be determined

$$K = \frac{2R_L}{R_X R_Y I_3} = \frac{4}{10}$$

or $$\frac{(2)\ (R_L)}{(10\ k)\ (10\ k)\ (1\ mA)} = \frac{4}{10}$$

Thus $R_L = 20\ k\Omega$.

Step 4. To determine what power-supply voltage is necessary for this application, attention must be given to the circuit schematic shown in Figure 3. From the circuit schematic it can be seen that in order to maintain transistors Q_1, Q_2, Q_3 and Q_4 in an active region when the maximum input voltages are applied ($V_X' = V_Y' = 10$ V or $V_X = 5.0$ V, $V_Y = 5.0$ V), their respective collector voltage should be at least a few tenths of a volt higher than the maximum input voltage. It should also be noticed that the collector voltage of transistors Q_3 and Q_4 are at a potential which is two diode-drops below the voltage at pin 1. Thus, the voltage at pin 1 should be about two volts higher than the maximum input voltage. Therefore, to handle +5.0 volts at the inputs, the voltage at pin 1 must be at least +7.0 volts. Let $V_1 = 9.0$ Vdc.

Since the current following into pin 1 is always equal to $2I_3$, the voltage at pin 1 can be set by placing a resistor, R_1 from pin 1 to the positive supply:

$$R_1 = \frac{V^+ - V_1}{2I_3}$$

Let $V^+ = +15$ V

Then $R_1 = \frac{15\ V - 9\ V}{(2)\ (1\ mA)}$

$R_1 = 3\ k\Omega$.

Note that the voltage at the base of transistors Q_5, Q_6, Q_7 and Q_8 is one diode-drop below the voltage at pin 1. Thus, in order that these transistors stay active, the voltage at pins 2 and 14 should be approximately halfway between the voltage at pin 1 and the positive-supply voltage. For this example, the voltage at pins 2 and 14 should be approximately 11 volts.

Step 5. Level Shifting

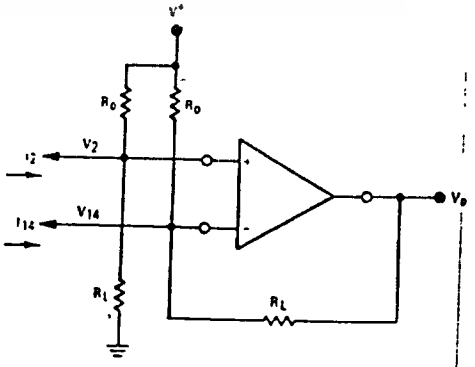
For dc applications, such as the multiply, divide and square-root functions, it is usually desirable to convert the differential output to a single-ended output voltage referenced to ground. The circuit shown in Figure 22 performs this function. It can be shown that the output voltage of this circuit is given by:

$$V_o = (I_2 - I_{14})\ R_L$$

And since $I_A - I_B = I_2 - I_{14} = \frac{2I_X I_Y}{I_3} = \frac{2\ V_X V_Y}{I_3 R_X R_Y}$

Then $V_o = \frac{2R_L V_X' V_Y'}{4R_X R_X I_3}$ where $V_X' V_Y'$ is the voltage at the input to the voltage dividers.

FIGURE 22 – LEVEL SHIFT CIRCUIT



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

The choice of an operational amplifier for this application should have low bias currents, low offset current, and a high common-mode input voltage range as well as a high common-mode rejection ratio. The MC1556, and MC1741 operational amplifiers meet these requirements.

Referring to Figure 21, the level shift components will be determined. When $V_X = V_Y = 0$, the currents I_2 and I_{14} will be equal to I_{13}. In Step 3, R_L was found to be 20 kΩ and in Step 4, V_2 and V_{14} were found to be approximately 11 volts. From this information, R_o can be found easily from the following equation (neglecting the operational amplifiers bias current):

$$\frac{V_2}{R_L} + I_{13} = \frac{V^+ - V_2}{R_o}$$

And for this example, $\frac{11\ V}{20\ k\Omega} + 1\ mA = \frac{15\ V - 11\ V}{R_o}$

Solving for R_o, $R_o = 2.6\ k\Omega$

Thus, select $R_o = 3.0\ k\Omega$

For $R_o = 3.0\ k\Omega$, the voltage at pins 2 and 14 is calculated to be

$$V_2 = V_{14} = 10.4 \text{ volts.}$$

The linearity of this circuit (Figure 21) is likely to be as good or better than the circuit of Figure 5. Further improvements are possible as shown in Figure 23 where R_Y has been increased substantially to improve the Y linearity, and R_X decreased somewhat so as not to materially affect the X linearity, this avoids increasing R_L significantly in order to maintain a K of 0.1.

The versatility of the MC1595 (MC1495) allows the user to optimize its performance for various input and output signal levels.

4. Offset and Scale Factor Adjustment

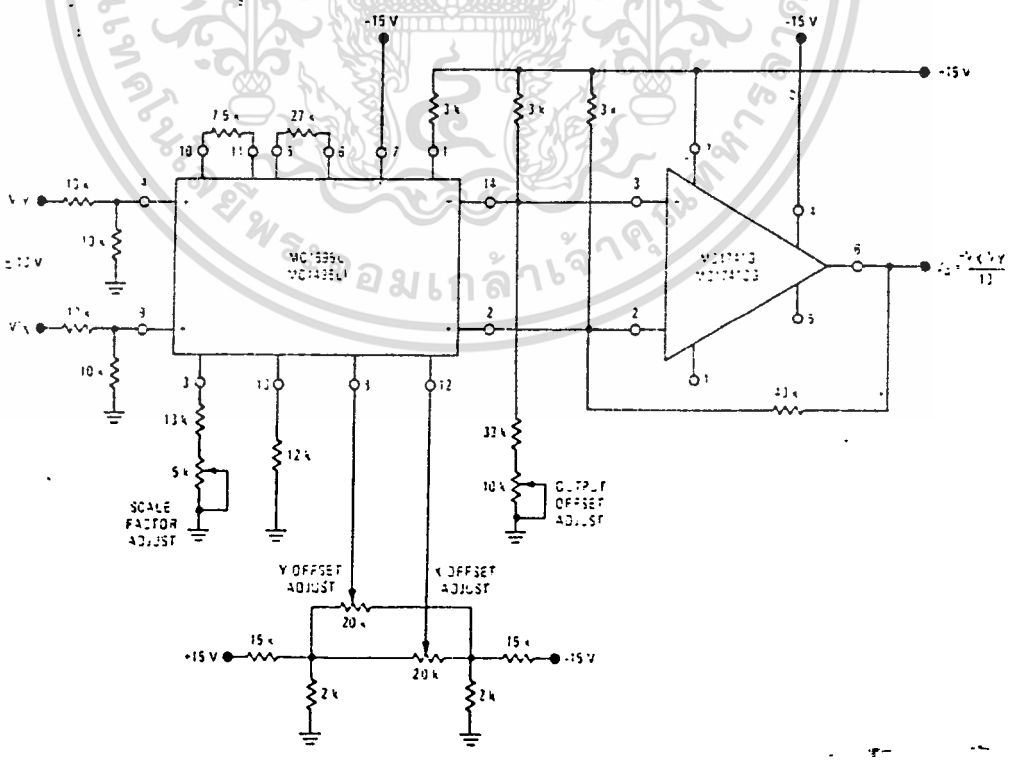
4.1 Offset Voltages

Within the monolithic multiplier (Figure 3) transistor base-emitter junctions are typically matched within 1 mV and resistors are typically matched within 2%. Even with this careful matching, an output error can occur. This output error is comprised of X-input offset voltage, Y-input offset voltage, and output-offset voltage. These errors can be adjusted to zero with the techniques shown in Figure 21. Offset terms can be shown analytically by the transfer function:

$$V_o = K(V_X \pm V_{IOX} \pm V_{X\,off})(V_Y \pm V_{IOY} \pm V_{Y\,off}) \pm V_{oo} \quad (1)$$

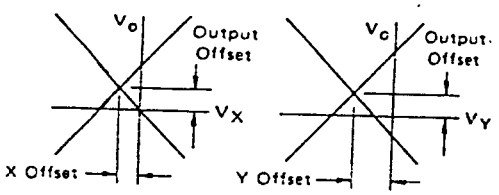
Where K = scale factor
V_X = X input voltage
V_Y = Y input voltage
V_{IOX} = X input offset voltage
V_{IOY} = Y input offset voltage
$V_{X\,off}$ = X input offset adjust voltage
$V_{Y\,off}$ = Y input offset adjust voltage
V_{oo} = output offset voltage.

FIGURE 23 – MULTIPLIER WITH IMPROVED LINEARITY



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

X, Y and Output Offset Voltages



For most dc applications, all three offset adjust potentiometers (P_1, P_2, P_4) will be necessary. One or more offset adjust potentiometers can be eliminated for ac applications (See Figures 28, 29, 30, 31).

If well regulated supply voltages are available, the offset adjust circuit of Figure 13 is recommended. Otherwise, the circuit of Figure 14 will greatly reduce the sensitivity to power supply changes.

4.2 Scale Factor

The scale factor, K, is set by P_3 (Figure 21). P_3 varies I_3 which inversely controls the scale factor K. It should be noted that current I_3 is one-half the current through R_1. R_1 sets the bias level for Q_5, Q_6, Q_7, and Q_8 (See Figure 3). Therefore, to be sure that these devices remain active under all conditions of input and output swing, care should be exercised in adjusting P_3 over wide voltage ranges (see Section 3, General Design Procedure).

4.3 Adjustment Procedures

The following adjustment procedure should be used to null the offsets and set the scale factor for the multiply mode of operation. (See Figure 21)

1. X Input Offset
   (a) Connect oscillator (1 kHz, 5 Vpp sinewave) to the "Y" input (pin 4)
   (b) Connect "X" input (pin 9) to ground
   (c) Adjust X offset potentiometer, P_2, for an ac null at the output
2. Y Input Offset
   (a) Connect oscillator (1 kHz, 5 Vpp sinewave) to the "X" input (pin 9)
   (b) Connect "Y" input (pin 4) to ground
   (c) Adjust "Y" offset potentiometer, P_1, for an ac null at the output
3. Output Offset
   (a) Connect both "X" and "Y" inputs to ground
   (b) Adjust output offset potentiometer, P_4, until the output voltage V_o is zero volts dc
4. Scale Factor
   (a) Apply +10 Vdc to both the "X" and "Y" inputs
   (b) Adjust P_3 to achieve + 10.00 V at the output.
5. Repeat steps 1 through 4 as necessary.

The ability to accurately adjust the MC1595 (MC1495) depends upon the characteristics of potentiometers P_1 through P_4. Multi-turn, infinite resolution potentiometers with low-temperature coefficients are recommended.

5. DC Applications

5.1 Multiply

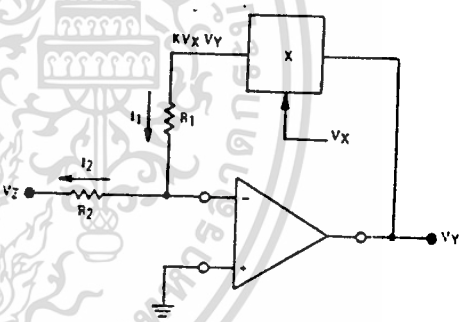
The circuit shown in Figure 21 may be used to multiply signals from dc to 100 kHz. Input levels to the actual multiplier are 5.0 V (max). With resistive voltage dividers the maximum could be very large — however, for this application two-to-one dividers have been used so that the maximum input level is 10 V. The maximum output level has also been designed for 10 V (max).

5.2 Squaring Circuit

If the two inputs are tied together, the resultant function is squaring; that is $V_o = KV^2$ where K is the scale factor. Note that all error terms can be eliminated with only three adjustment potentiometers, thus eliminating one of the input offset adjustments. Procedures for nulling with adjustments are given as follows:

1. AC Procedure:
   (a) Connect oscillator (1 kHz, 15 Vpp) to input
   (b) Monitor output at 2 kHz with tuned voltmeter and adjust P_3 for desired gain (be sure to peak response of the voltmeter)
   (c) Tune voltmeter to 1 kHz and adjust P_1 for a minimum output voltage
   (d) Ground input and adjust P_4 (output offset) for zero volts dc output
   (e) Repeat steps a through d as necessary.
2. DC Procedure:
   (a) Set $V_X = V_Y = 0$ V and adjust P_4 (output offset potentiometer) such that $V_o = 0.0$ Vdc.
   (b) Set $V_X = V_Y = 1.0$ V and adjust P_1 (Y input offset potentiometer) such that the output voltage is +0.100 volts
   (c) Set $V_X = V_Y = 10$ Vdc and adjust P_3 such that the output voltage is + 10.00 volts
   (d) Set $V_X = V_Y = -10$ Vdc. Repeat steps a through d as necessary.

FIGURE 24 — BASIC DIVIDE CIRCUIT



5.3 Divide Circuit

Consider the circuit shown in Figure 24 in which the multiplier is placed in the feedback path of an operational amplifier. For this configuration, the operational amplifier will maintain a "virtual ground" at the inverting (-) input. Assuming that the bias current of the operational amplifier is negligible, then $I_1 = I_2$ and

$$\frac{KV_XV_Y}{R1} = \frac{-V_Z}{R2} \quad (1)$$

Solving for V_Y,

$$V_Y = \frac{-R1}{R2\,K}\,\frac{V_Z}{V_X}. \quad (2)$$

If R1 = R2

$$V_Y = \frac{-V_Z}{KV_X} \quad (3)$$

If R1 = KR2

$$V_Y = \frac{-V_Z}{V_X}. \quad (4)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

Hence, the output voltage is the ratio of V_Z to V_X and provides a divide function. This analysis is, of course, the ideal condition. If the multiplier error is taken into account, the output voltage is found to be

$$V_Y = -\left[\frac{R1}{R2\ K}\right]\frac{V_Z}{V_X} + \frac{\Delta E}{KV_X} \quad (5)$$

where ΔE is the error voltage at the output of the multiplier. From this equation, it is seen that divide accuracy is strongly dependent upon the accuracy at which the multiplier can be set, particularly at small values of V_Y. For example, assume that R1 = R2, and K = 1/10. For these conditions the output of the divide circuit is given by:

$$V_Y = \frac{-10\ V_Z}{V_X} + \frac{10\ \Delta E}{V_X} \quad (6)$$

From equation 6, it is seen that only when V_X = 10 V is the error voltage of the divide circuit as low as the error of the multiply circuit. For example, when V_X is small, (0.1 volt) the error voltage of the divide circuit can be expected to be a hundred times the error of the basic multiplier circuit.

In terms of percentage error,

$$\text{percentage error} = \frac{\text{error}}{\text{actual}} \times 100\%$$

or from equation (5),

$$P.E._D = \frac{\frac{\Delta E}{KV_X}}{\left[\frac{R1}{R2\ K}\right]\frac{V_Z}{V_X}} = \left[\frac{R2}{R1}\right]\frac{\Delta E}{V_Z} \quad (7)$$

From equation 7, the percentage error is inversely related to voltage V_Z (i.e., for increasing values of V_Z, the percentage error decreases).

A circuit that performs the divide function is shown in Figure 25.

Two things should be emphasized concerning Figure 25,

1. The input voltage (V'_X) must be greater than zero and must be positive. This insures that the current out of pin 2 of the multiplier will always be in a direction compatible with the polarity of V_Z.
2. Pins 2 and 14 of the multiplier have been interchanged in respect to the operational amplifiers input terminals. In this instance, Figure 25 differs from the circuit connection shown in Figure 21; necessitated to insure negative feedback around the loop.

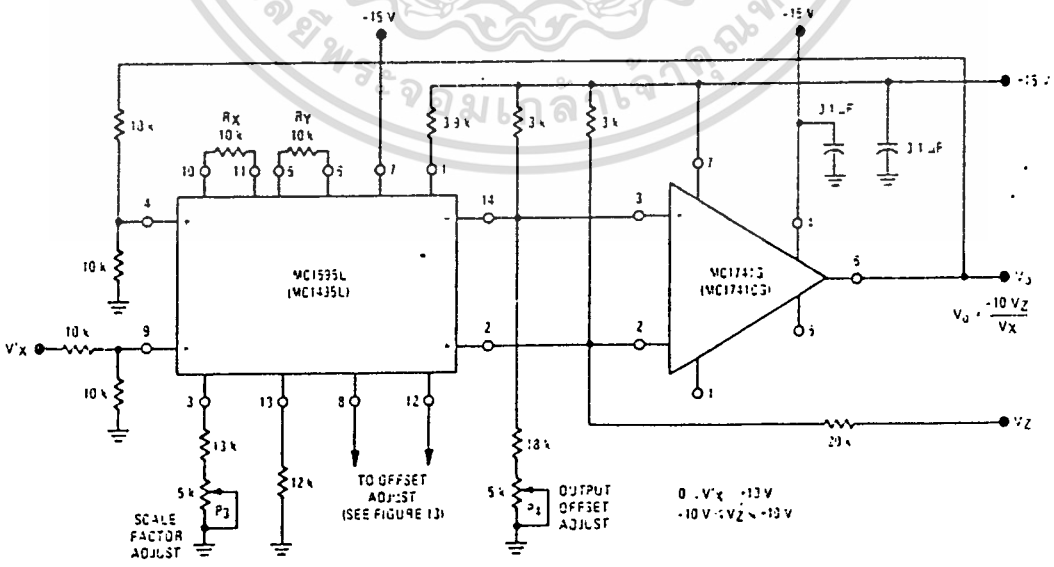
A Suggested Adjustment Procedure for the Divide Circuit

1. Set V_Z = 0 volts and adjust the output offset potentiometer (P_4) until the output voltage (V_o) remains at some (not necessarily zero) constant value as V_X' is varied between +1.0 volt and +10 volts.
2. Keep V_Z at 0 volts, set V_X' at +10 volts and adjust the Y input offset potentiometer (P_1) until V_o = 0 volts.
3. Let $V_X' = V_Z$ and adjust the X input offset potentiometer (P_2) until the output voltage remains at some (not necessarily - 10 volts) constant value as $V_Z = V_X'$ is varied between +1.0 and +10 volts.
4. Keep $V_X' = V_Z$ and adjust the scale factor potentiometer (P_3) until the average value of V_o is - 10 volts as $V_Z = V_X'$ is varied between +1.0 volt and +10 volts.
5. Repeat steps 1 through 4 as necessary to achieve optimum performance.

5.4 Square Root

A special case of the divide circuit in which the two inputs to the multiplier are connected together is the square root function

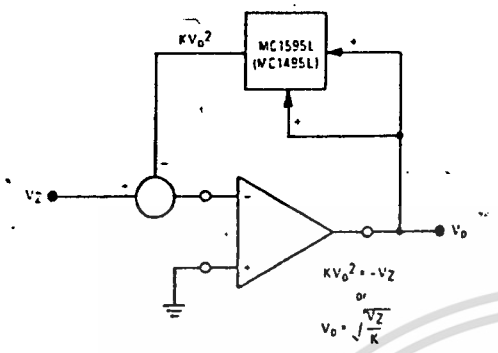
FIGURE 25 – DIVIDE CIRCUIT



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงลิขสิทธิ์ของมอเตอโรลาทุกครั้งที่มีการนำไปใช้

OPERATION AND APPLICATIONS INFORMATION (continued)

FIGURE 26 – BASIC SQUARE ROOT CIRCUIT



as indicated in Figure 26. This circuit may suffer from latch-up problems similar to those of the divide circuit. Note that only one polarity of input is allowed and diode clamping (see Figure 27) protects against accidental latch-up.

This circuit also may be adjusted in the closed-loop mode as follows:

1. Set V_Z to - 0.01 volts and adjust P_4 (output offset) for V_o = +0.316 volts, being careful to approach the output from the positive side to preclude the effect of the output diode clamping.
2. Set V_Z to - 0.9 volts and adjust P_2 (X adjust) for V_o = +3.0 volts.
3. Set V_Z to - 10 volts and adjust P_3 (scale factor adjust) for V_o = +10 volts.
4. Steps 1 through 3 may be repeated as necessary to achieve desired accuracy.

6. AC Applications

The applications that follow demonstrate the versatility of the monolithic multiplier. If a potted multiplier is used for these cases, the results generally would not be as good because the potted units have circuits that, although they optimize dc multiplication operation, can hinder ac applications.

6.1 Frequency doubling often is done with a diode where the fundamental plus a series of harmonics are generated. However, extensive filtering is required to obtain the desired harmonic, and the second harmonic obtained under this technique usually is small in magnitude and requires amplification.

When a multiplier is used to double frequency the second harmonic is obtained directly, except for a dc term, which can be removed with ac coupling.

$$e_o = KE^2 \cos^2 \omega t$$

$$e_o = \frac{KE^2}{2}(1 + \cos 2\omega t).$$

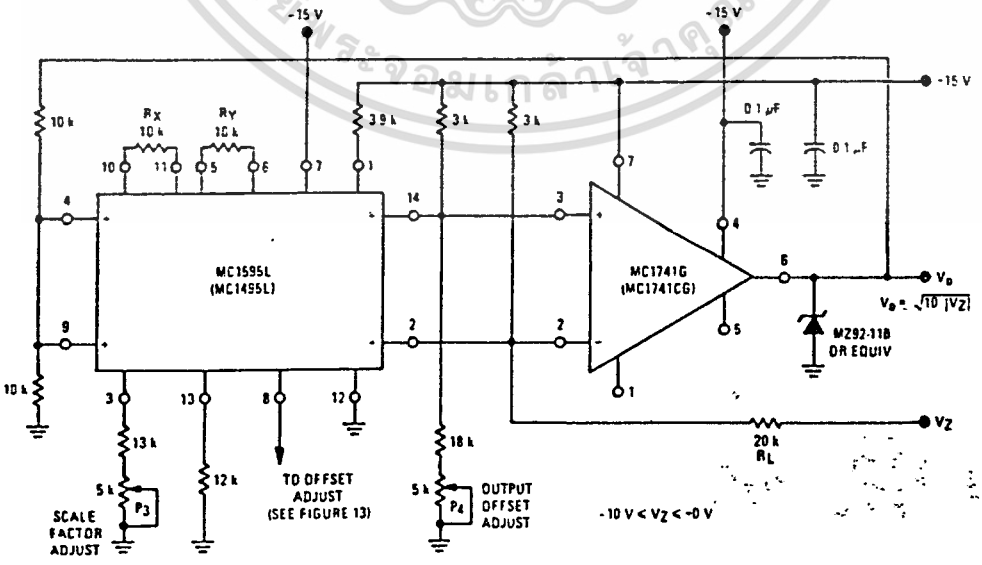
A potted multiplier can be used to obtain the double frequency component, but frequency would be limited by its internal level-shift amplifier. In the monolithic units, the amplifier is omitted.

In a typical doubler circuit, conventional ± 15-volt supplies are used. An input dynamic range of 5.0 volts peak-to-peak is allowed. The circuit generates wave-forms that are double frequency; less than 1% distortion is encountered without filtering. The configuration has been successfully used in excess of 200 kHz; reducing the scale factor by decreasing the load resistors can further expand the bandwidth.

A slightly modified version of the MC1595 (MC1495) – the MC1596 (MC1496) – has been successfully used as a doubler to obtain 400 MHz. (See Figure 28.).

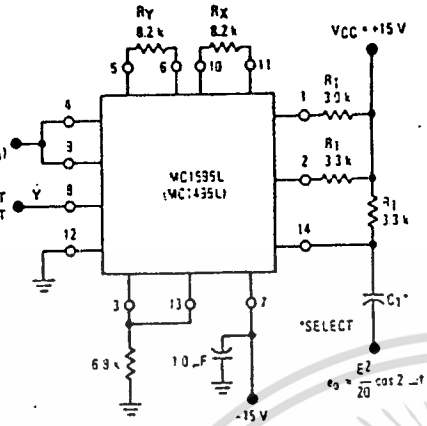
6.2 Figure 29 represents an application for the monolithic multiplier as a balanced modulator. Here, the audio input signal is 1.6 kHz and the carrier is 40 kHz.

FIGURE 27 – SQUARE ROOT CIRCUIT



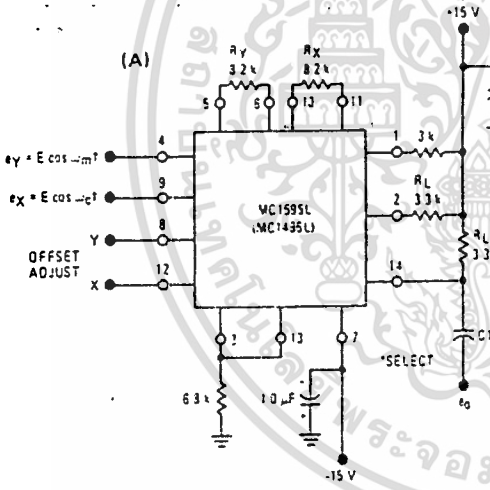
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

FIGURE 28 – FREQUENCY DOUBLER

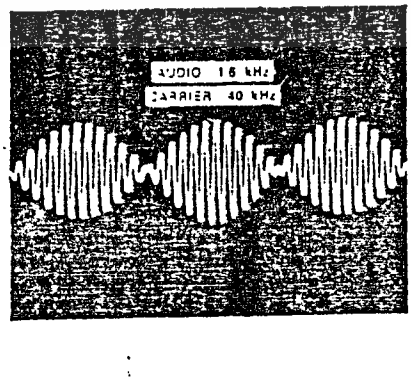


When two equal cosine waves are applied to X and Y, the result is a wave shape of twice the input frequency. For this example the input was a 10 kHz signal, output was 20 kHz.

FIGURE 29 – BALANCED MODULATOR



(B)



The defining equation for balanced modulation is

$$K(E_m \cos \omega_m t)(E_c \cos \omega_c t) =$$

$$\frac{KE_cE_m}{2}[\cos(\omega_c + \omega_m)t + \cos(\omega_c - \omega_m)t]$$

where ω_c is the carrier frequency, ω_m is the modulator frequency and K is the multiplier gain constant.

AC coupling at the output eliminates the need for level translation or an operational amplifier; a higher operating frequency results.

A problem common to communications is to extract the intelligence from single-sideband received signal. The ssb signal is of the form

$$e_{ssb} = A \cos(\omega_c + \omega_m)t$$

and if multiplied by the appropriate carrier waveform, $\cos \omega_c t$,

$$e_{ssb}e_{carrier} = \frac{AK}{2}[\cos(2\omega_c + \omega_m)t + \cos(\omega_c)t].$$

If the frequency of the band-limited carrier signal, ω_c, is ascertained in advance the designer can insert a low-pass filter and obtain the (AK/2) ($\cos \omega_c t$) term with ease. He also can use an operational amplifier for a combination level shift-active filter, as an external component. But in potted multipliers, even if the frequency range can be covered, the operational amplifier is inside and not accessible, so the user must accept the level shifting provided, and still add a low-pass filter.

6.3 Amplitude Modulation

The multiplier performs amplitude modulation, similar to balanced modulation, when a dc term is added to the modulating signal with the Y offset adjust potentiometer. (See Figure 30.)

Here, the identity is

$$E_m(1 + m \cos \omega_m t)E_c \cos \omega_c t = KE_mE_c \cos \omega_c t +$$

$$\frac{KE_mE_cm}{2}[\cos(\omega_c + \omega_m)t + \cos(\omega_c - \omega_m)t]$$

where m indicates the degree of modulation. Since m is adjustable, via potentiometer P_1, 100% modulation is possible. Without extensive tweaking, 96% modulation may be attained where ω_c and ω_m are the same as in the balanced-modulator example.

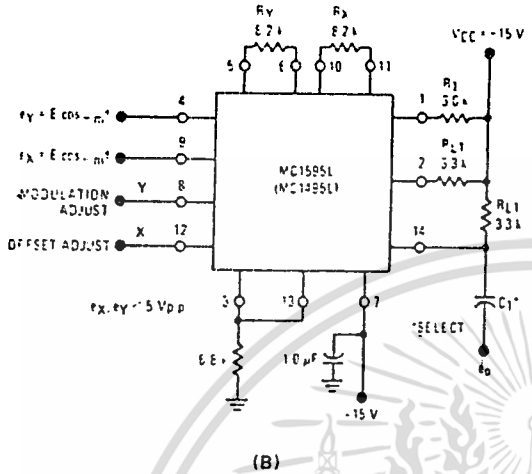
6.4 Linear Gain Control

To obtain linear gain control, the designer can feed to one of the two MC1595 (MC1495) inputs a signal that will vary the unit's gain. The following example demonstrates the feasibility of this application. Suppose a 200 kHz sine wave, 1.0 volt peak-to-peak, is the signal to which a gain control will be added. The dynamic range of the control voltage V_C is 0 to +1.0 volt. These must be ascertained and the proper values of R_X and R_Y can be selected for optimum performance. For the 200-kHz operating frequency, load resistors of 100 ohms were chosen to broaden the operating bandwidth of the multiplier, but gain was sacrificed. It may be made up with an amplifier operating at the appropriate frequency. (See Figure 31.)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

OPERATION AND APPLICATIONS INFORMATION (continued)

FIGURE 30 – AMPLITUDE MODULATION



The signal is applied to the unit's Y input. Since the total input range is limited to 1.0 volt p-p, a 2.0-volt swing, a current source of 2.0 mA and an R_Y value of 1.0 kilohm is chosen. This takes best advantage of the dynamic range and insures linear operation in the Y-channel.

Since the X input varies between 0 and +1.0 volt, the current source selected was 1.0 mA and the R_X value chosen was 2.0 kilohms. This also insures linear operation over the X input dynamic range.

Choosing $R_L = 100$ assures wide-bandwidth operation. Hence, the scale factor for this configuration is

$$K = \frac{R_L}{R_X R_Y I_3}$$

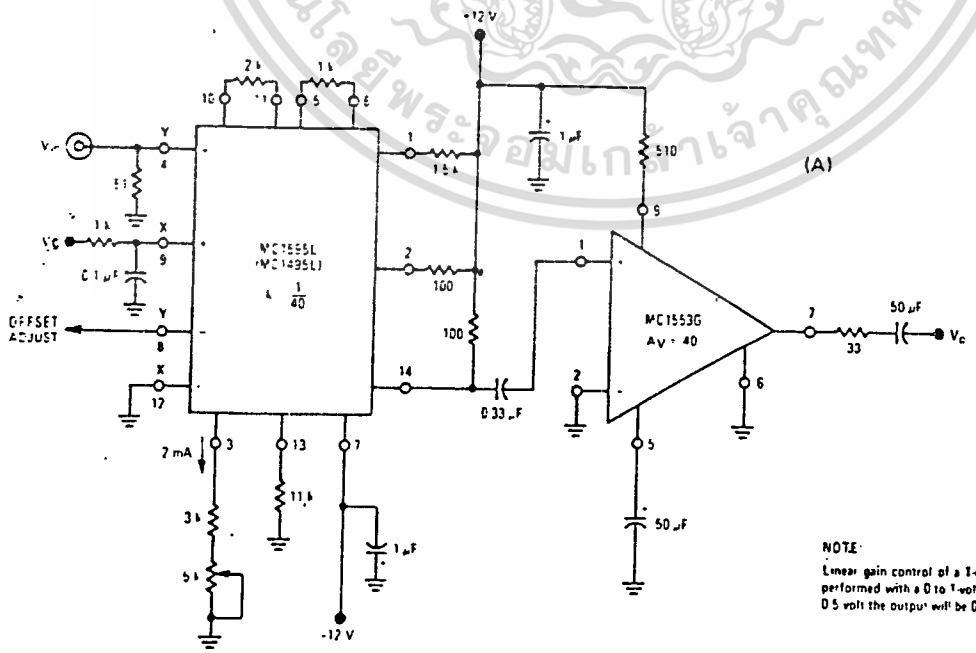
$$= \frac{100}{(2\text{ k})(1\text{ k})(2 \times 10^{+3})}\ V^{-1}$$

$$= \frac{1}{40}\ V^{-1}.$$

The 2 in the numerator of the equation is missing in this scale-factor expression because the output is single-ended and ac coupled.

To recover the gain, an MC1552 video amplifier with a gain of 40 is used. An operational amplifier also could have been used with frequency compensation to allow a gain of 40 at 200 kHz. The MC1539 operational amplifier can be tailored for this use; and the MC1520 operational amplifier does it directly.

FIGURE 31 – LINEAR GAIN CONTROL



NOTE:
Linear gain control of a 1-volt peak-to-peak signal is performed with a 0 to 1-volt control voltage. If V_C is 0.5 volt the output will be 0.5 volt p-p

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น ไม่ว่าทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

OPERATIONS AND APPLICATIONS INFORMATION INDEX

1. THEORY OF OPERATION
2. DESIGN CONSIDERATIONS
   - 2.1 General
   - 2.1.1 Linearity, Output Error, E_{RX} or E_{RY}
   - 2.1.2 3-dB Bandwidth and Phase Shift
   - 2.1.3 Maximum Input Voltage
   - 2.1.4 Maximum Output Voltage Swing
3. GENERAL DESIGN PROCEDURES
4. OFFSET AND SCALE FACTOR ADJUSTMENT
   - 4.1 Offset Voltages
   - 4.2 Scale Factor
   - 4.3 Adjustment Procedure
5. DC APPLICATIONS
   - 5.1 Multiply
   - 5.2 Squaring Circuit
   - 5.3 Divide Circuit
   - 5.4 Square Root
6. AC APPLICATIONS
   - 6.1 Frequency Doubler
   - 6.2 Balanced Modulator
   - 6.3 Amplitude Modulation
   - 6.4 Linear Gain Control

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

LM1596/LM1496 balanced modulator-demodulator

general description

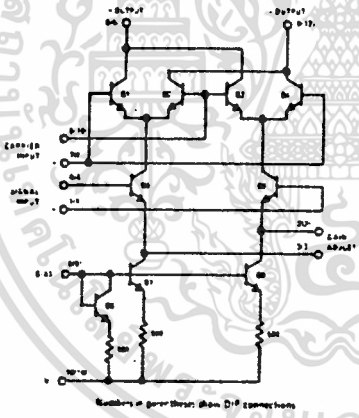
The LM1596/LM1496 are double balanced modulator-demodulators which produce an output voltage proportional to the product of an input (signal) voltage and a switching (carrier) signal. Typical applications include suppressed carrier modulation, amplitude modulation, synchronous detection, FM or PM detection, broadband frequency doubling and chopping.

The LM1596 is specified for operation over the −55°C to +125°C military temperature range. The LM1496 is specified for operation over the 0°C to +70°C temperature range.

features

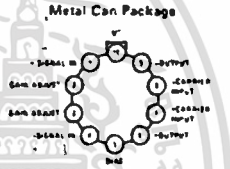
- Excellent carrier suppression
  - 65 dB typical at 0.5 MHz
  - 50 dB typical at 10 MHz
- Adjustable gain and signal handling
- Fully balanced inputs and outputs
- Low offset and drift
- Wide frequency response up to 100 MHz

schematic and connection diagrams



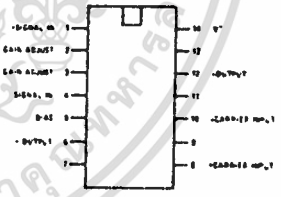
Numbers in parentheses show DIP connections

Metal Can Package



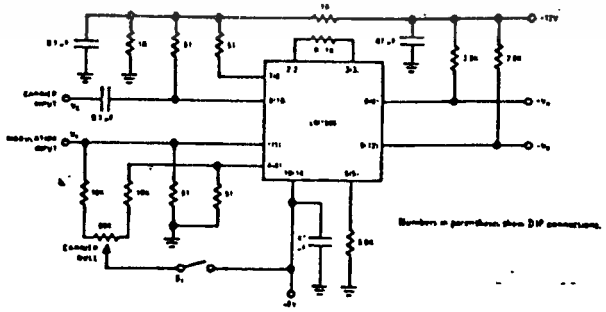
Order Number LM1496H or LM1596H
See NS Package H08C

Dual-In-Line Package



Order Number LM1496J or LM1596J
See NS Package J14A
Order Number LM1496N
See NS Package N14A

typical application and test circuit



Numbers in parentheses show DIP connections.

Note S_1 is closed for "Squared" measurements.

Suppressed Carrier Modulator

Courtesy of National Semiconductor Corporation

absolute maximum ratings

Internal Power Dissipation (Note 1)	500 mW
Applied Voltage (Note 2)	30V
Differential Input Signal ($V_7 - V_8$)	±5.0V
Differential Input Signal ($V_8 - V_1$)	±(5+I_5R_e)V
Input Signal ($V_2 - V_1$, $V_3 - V_4$)	5.0V
Bias Current (I_5)	12 mA
Operating Temperature Range LM1596	−55°C to +125°C
LM1496	0°C to +70°C
Storage Temperature Range	−65°C to +150°C
Lead Temperature (Soldering, 10 sec)	300°C

electrical characteristics (T_A = 25°C, unless otherwise specified, see test circuit)

PARAMETER	CONDITIONS	LM1596			LM1496			UNITS
		MIN	TYP	MAX	MIN	TYP	MAX	
Carrier Feedthrough	V_C = 60 mVrms sine wave f_C = 1.0 kHz, offset adjusted		40			40		μVrms
	V_C = 60 mVrms sine wave f_C = 10 MHz, offset adjusted		140			140		μVrms
	V_C = 300 mV_{pp} square wave f_C = 1.0 kHz, offset adjusted		0.04	0.2		0.04	0.2	mVrms
	V_C = 300 mV_{pp} square wave f_C = 1.0 kHz, offset not adjusted		20	100		20	150	mVrms
Carrier Suppression	f_S = 10 kHz, 300 mVrms f_C = 500 kHz, 60 mVrms sine wave offset adjusted	50	65		50	65		dB
	f_S = 10 kHz, 300 mVrms f_C = 10 MHz, 60 mVrms sine wave offset adjusted		50			50		dB
Transadmittance Bandwidth	R_e = 500Ω Carrier Input Port, V_C = 60 mVrms sine wave f_S = 1.0 kHz, 300 mVrms sine wave		300			300		MHz
	Signal Input Port, V_S = 300 mVrms sine wave $V_7 - V_8$ = 0.5 Vdc		80			80		MHz
Voltage Gain, Signal Channel	V_S = 100 mVrms, f = 1.0 kHz $V_7 - V_8$ = 0.5 Vdc	2.5	3.5		2.5	3.5		V/V
Input Resistance, Signal Port	f = 5.0 MHz $V_7 - V_8$ = 0.5 Vdc		200			200		kΩ
Input Capacitance, Signal Port	f = 5.0 MHz $V_7 - V_8$ = 0.5 Vdc		2.0			2.0		pF
Single Ended Output Resistance	f = 10 MHz		40			40		kΩ
Single Ended Output Capacitance	f = 10 MHz		5.0			5.0		pF
Input Bias Current	$(I_1 + I_4)/2$		12	25		12	30	μA
Input Bias Current	$(I_7 + I_8)/2$		12	25		12	30	μA
Input Offset Current	$I_1 - I_4$		0.7	5.0		0.7	5.0	μA
Input Offset Current	$I_7 - I_8$		0.7	5.0		5.0	5.0	μA
Average Temperature Coefficient of Input Offset Current	−55°C ≤ T_A ≤ +125°C		2.0					nA/°C
	0°C ≤ T_A ≤ +70°C					2.0		nA/°C
Output Offset Current	$I_6 - I_9$		14	50		14	60	μA
Average Temperature Coefficient of Output Offset Current	−55°C ≤ T_A ≤ +125°C		90					nA/°C
	0°C ≤ T_A ≤ +70°C					90		nA/°C
Signal Port Common Mode Input Voltage Range	f_S = 1.0 kHz		5.0			5.0		V_{pp}
Signal Port Common Mode Rejection Ratio	$V_7 - V_8$ = 0.5 Vdc		-85			-85		dB
Common Mode Quiescent Output Voltage			8.0			8.0		Vdc
Differential Output Swing Capability			8.0			8.0		V_{pp}
Positive Supply Current	$I_5 + I_{10}$		2.0	3.0		2.0	3.0	mA
Negative Supply Current	I_{10}		3.0	4.0		3.0	4.0	mA
Power Dissipation			33			33		mW

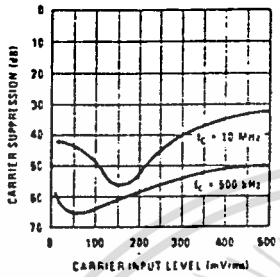
Note 1: LM1596 rating applies to case temperatures to +125°C, derate linearly at 6.5 mW/°C for ambient temperature above 75°C. LM1496 rating applies to case temperatures to +70°C.

Note 2: Voltage applied between pins 6-7, 8-1, 9-7, 9-8, 7-4, 7-1, 8-4, 6-8, 2-5, 3-5

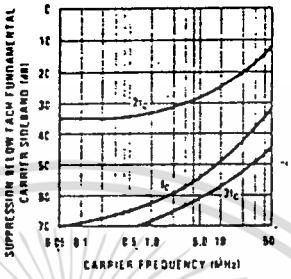
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

typical performance characteristics

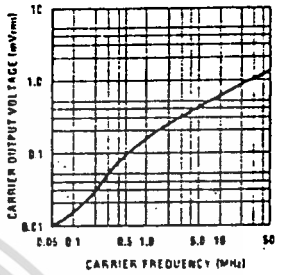
Carrier Suppression vs Carrier Input Level



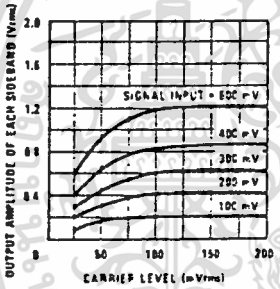
Carrier Suppression vs Frequency



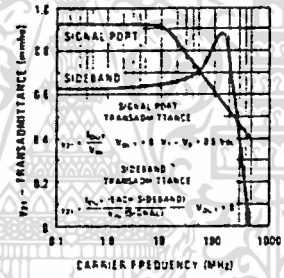
Carrier Feedthrough vs Frequency



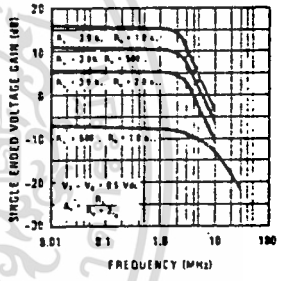
Sideband Output vs Carrier Levels



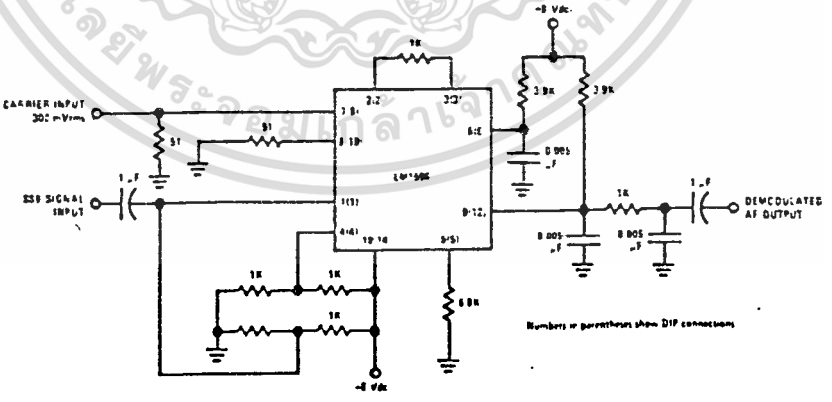
Sideband and Signal Port Transadmittances vs Frequency



Signal-Port Frequency Response



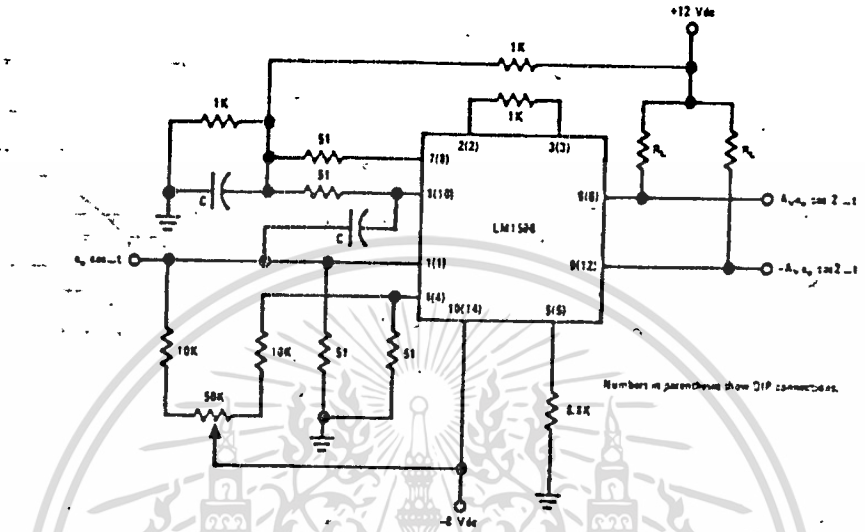
typical applications (con't)



SSB Product Detector

This figure shows the LM1596 used as a single sideband (SSB) suppressed carrier demodulator (product detector). The carrier signal is applied to the carrier input port with sufficient amplitude for switching operation. A carrier input level of 300 mVrms is optimum. The composite SSB signal is applied to the signal input port with an amplitude of 5.0 to 500 mVrms. All output signal components except the desired demodulated audio are filtered out, so that an offset adjustment is not required. This circuit may also be used as an AM detector by applying composite and carrier signals in the same manner as described for product detector operation.

typical applications (con't)



Broadband Frequency Doubler

The frequency doubler circuit shown will double low-level signals with low distortion. The value of C should be chosen for low reactance at the operating frequency.

Signal level at the carrier input must be less than 25 mV peak to maintain operation in the linear region of the switching differential amplifier. Levels to 50 mV peak may be used with some distortion of the output waveform. If a larger input signal is available a resistive divider may be used at the carrier input, with full signal applied to the signal input.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MOTOROLA Semiconductors
BOX 20912 • PHOENIX, ARIZONA 85036

MC3403P,L
MC3503L
MC3303P,L

Specifications and Applications Information

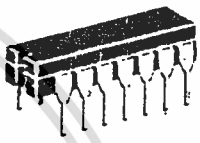
QUAD LOW POWER OPERATIONAL AMPLIFIERS

The MC3503 is a low-cost, quad operational amplifier with true differential inputs. The device has electrical characteristics similar to the popular MC1741. However, the MC3503 has several distinct advantages over standard operational amplifier types in single supply applications. The quad amplifier can operate at supply voltages as low as 3.0 Volts or as high as 36 Volts with quiescent currents about one third of those associated with the MC1741 (on a per amplifier basis). The common mode input range includes the negative supply, thereby eliminating the necessity for external biasing components in many applications. The output voltage range also includes the negative power supply voltage.

- Short Circuit Protected Outputs
- Class AB Output Stage for Minimal Crossover Distortion
- True Differential Input Stage
- Single Supply Operation: 3.0 to 36 Volts
- Split Supply Operation: ±1.5 to ±18 Volts
- Low Input Bias Currents: 500 nA Max
- Four Amplifiers Per Package
- Internally Compensated
- Similar Performance to Popular MC1741

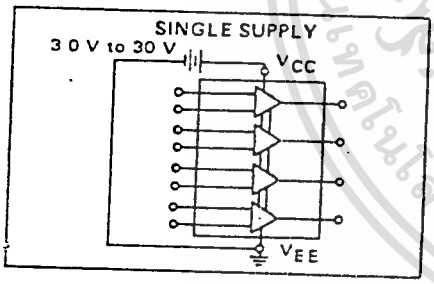
QUAD DIFFERENTIAL INPUT OPERATIONAL AMPLIFIERS

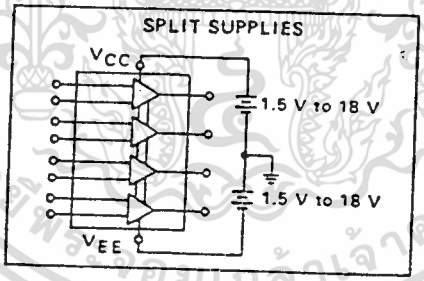
SILICON MONOLITHIC INTEGRATED CIRCUIT

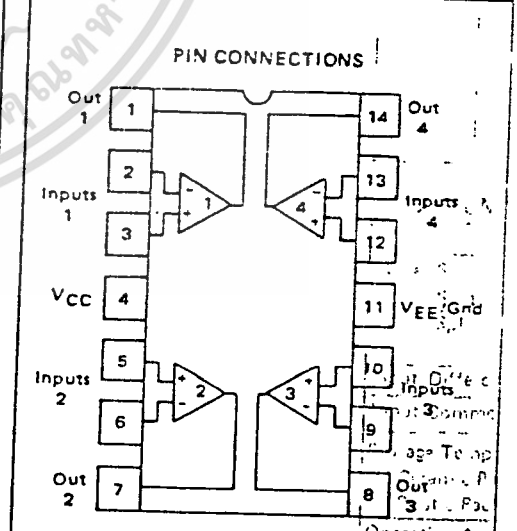


L SUFFIX
CERAMIC PACKAGE
CASE 632
TO-116

P SUFFIX
PLASTIC PACKAGE
CASE 646
(MC3403 and MC3303 only)







MAXIMUM RATINGS

Rating	Symbol	Value	Unit
Power Supply Voltages Single Supply Split Supplies	 V_{CC} V_{CC} V_{EE}	 36 +18 -18	Vdc
Input Differential Voltage Range (1)	V_{IDR}	±30	Vdc
Input Common Mode Voltage Range (1) (2)	V_{ICR}	±15	Vdc
Storage Temperature Range Ceramic Package Plastic Package	T_{stg}	 -65 to +150 -55 to +125	°C
Operating Ambient Temperature Range MC3503 MC3403 MC3303	T_A	 -55 to +125 0 to +70 -40 to +85	°C
Junction Temperature Ceramic Package Plastic Package	T_J	 175 150	°C

(1) Split Power Supplies.
(2) For Supply Voltages less than ±15 V, the absolute maximum input voltage is equal to the supply voltage.

ORDERING INFORMATION

Type	Temperature Range	Package
MC3303L	-40°C to +85°C	Ceramic DIP
MC3303P	-40°C to +85°C	Plastic DIP
MC3403L	0°C to +70°C	Ceramic DIP
MC3403P	0°C to +70°C	Plastic DIP
MC3503L	-55°C to +125°C	Ceramic DIP

เอกสารนี้จัดทำขึ้นเพื่อเป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ELECTRICAL CHARACTERISTICS (V_{CC} = +15 V, V_{EE} = -15 V for MC3503, MC3403, V_{CC} = +14 V, V_{EE} = Gnd for MC3303, T_A = 25°C unless otherwise noted.)

Characteristic	Symbol	MC3503 Min	MC3503 Typ	MC3503 Max	MC3403 Min	MC3403 Typ	MC3403 Max	MC3303 Min	MC3303 Typ	MC3303 Max	Unit
Input Offset Voltage	V_{IO}	–	2.0	5.0	–	2.0	10	–	2.0	80	mV
T_A = T_{high} to T_{low} (1)		–	–	6.0	–	–	12	–	–	10	
Input Offset Current	I_{IO}	–	30	50	–	30	50	–	30	75	nA
T_A = T_{high} to T_{low}		–	–	200	–	–	200	–	–	250	
Large Signal Open-Loop Voltage Gain	A_{VOL}										V/mV
V_O = ±10 V, R_L = 2.0 kΩ,		50	200	–	20	200	–	20	200	–	
T_A = T_{high} to T_{low}		25	300	–	15	–	–	15	–	–	
Input Bias Current	I_{IB}	–	-200	-500	–	-200	-500	–	-200	-500	nA
T_A = T_{high} to T_{low}		–	-300	-1500	–	–	-800	–	–	-1000	
Output Impedance	z_o	–	75	–	–	75	–	–	75	–	Ω
f = 20 Hz											
Input Impedance	z_i	0.3	1.0	–	0.3	1.0	–	0.3	1.0	–	MΩ
f = 20 Hz											
Output Voltage Range	V_{OR}										V
R_L = 10 kΩ		±12	±13.5	–	±12	±13.5	–	+12	+12.5	–	
R_L = 2.0 kΩ		±10	±13	–	±10	±13	–	+10	+12	–	
R_L = 2.0 kΩ, T_A = T_{high} to T_{low}		±10	–	–	±10	–	–	+10	–	–	
Input Common-Mode Voltage Range	V_{ICR}	+13 V -V_{EE}	+13.5 V -V_{EE}	–	+13 V -V_{EE}	+13.5 V -V_{EE}	–	+13 V -V_{EE}	+13.5 V -V_{EE}	–	V
Common-Mode Rejection Ratio	CMRR	70	90	–	70	90	–	70	90	–	dB
R_S ≤ 10 kΩ											
Power Supply Current (V_O = 0)	I_{CC},I_{EE}	–	2.8	4.0	–	2.8	7.0	–	2.8	7.0	mA
R_L = ∞											
Individual Output Short-Circuit Current (2)	I_{OS+}	±10	±30	±45	±10	±20	±45	±10	±30	±45	mA
Positive Power Supply Rejection Ratio	PSRR+	–	30	150	–	30	150	–	30	150	μV/V
Negative Power Supply Rejection Ratio	PSRR-	–	30	150	–	30	150	–	–	–	μV/V
Average Temperature Coefficient of Input Offset Current	$\Delta I_{IO}/\Delta T$	–	50	–	–	50	–	–	50	–	pA/°C
T_A = T_{high} to T_{low}											
Average Temperature Coefficient of Input Offset Voltage	$\Delta V_{IO}/\Delta T$	–	10	–	–	10	–	–	10	–	μV/°C
T_A = T_{high} to T_{low}											
Power Bandwidth	BWp	–	9.0	–	–	9.0	–	–	9.0	–	kHz
A_V = 1, R_L = 2.0 kΩ, V_O = 20 Vp-p, THD = 5%											
Small-Signal Bandwidth	BW	–	1.0	–	–	1.0	–	–	1.0	–	MHz
A_V = 1, R_L = 10 kΩ, V_O = 50 mV											
Slew Rate	SR	–	0.6	–	–	0.6	–	–	0.6	–	V/μs
A_V = 1, V_i = -10 V to +10 V											
Rise Time	t_{TLH}	–	0.35	–	–	0.35	–	–	0.35	–	μs
A_V = 1, R_L = 10 kΩ, V_O = 50 mV											
Fall Time	t_{THL}	–	0.35	–	–	0.35	–	–	0.35	–	μs
A_V = 1, R_L = 10 kΩ, V_O = 50 mV											
Overshoot	OS	–	20	–	–	20	–	–	20	–	%
A_V = 1, R_L = 10 kΩ, V_O = 50 mV											
Phase Margin	φm	–	60	–	–	60	–	–	60	–	Degrees
A_V = 1, R_L = 2.0 kΩ, C_L = 200 pF											
Crossover Distortion	–	–	1.0	–	–	1.0	–	–	1.0	–	%
(V_{in} = 30 mVp-p, V_{out} = 2.0 Vp-p, f = 10 kHz)											

(1) T_{high} = 125°C for MC3503, 70°C for MC3403, 85°C for MC3303
T_{low} = -55°C for MC3503, 0°C for MC3403, -40°C for MC3303

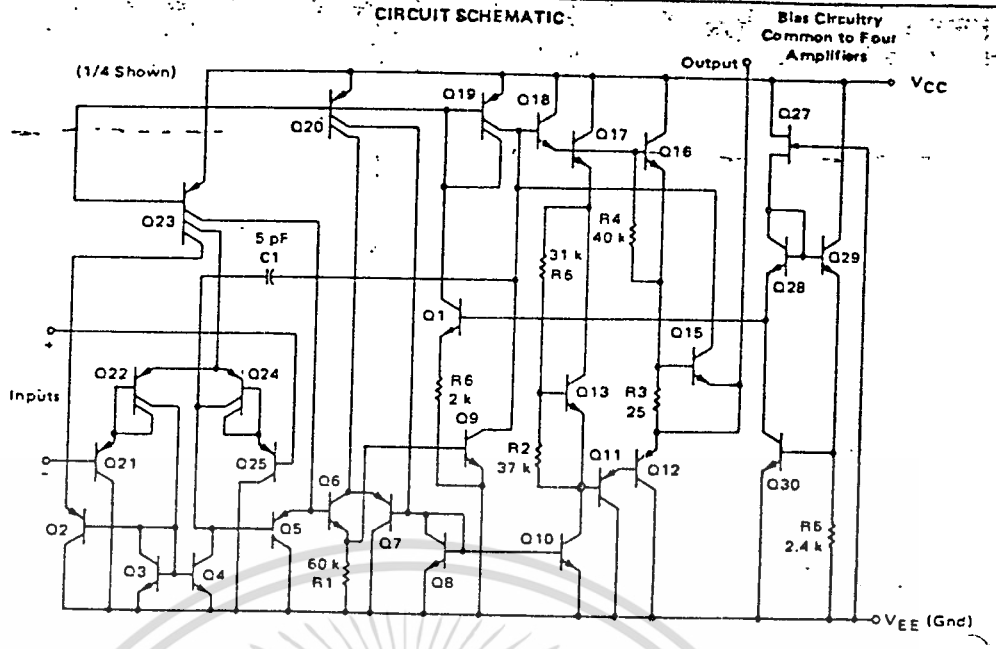
ELECTRICAL CHARACTERISTICS (V_{CC} = 5.0 V, V_{EE} = Gnd, T_A = 25°C unless otherwise noted.)

Characteristic	Symbol	MC3503 Min	MC3503 Typ	MC3503 Max	MC3403 Min	MC3403 Typ	MC3403 Max	MC3303 Min	MC3303 Typ	MC3303 Max	Unit
Input Offset Voltage	V_{IO}	–	2.0	5.0	–	2.0	10	–	–	10	mV
Input Offset Current	I_{IO}	–	30	50	–	30	50	–	–	75	nA
Input Bias Current	I_{IB}	–	-200	-500	–	-200	-500	–	–	-500	nA
Large-Signal Open-Loop Voltage Gain	A_{VOL}	10	200	–	10	200	–	10	200	–	V/mV
R_L = 2.0 kΩ											
Power Supply Rejection Ratio	PSRR	–	–	150	–	–	150	–	–	150	μV/V
Output Voltage Range (3)	V_{OR}										Vp-p
R_L = 10 kΩ, V_{CC} = 5.0 V		3.3	3.5	–	3.3	3.5	–	3.3	3.5	–	
R_L = 10 kΩ, 5.0 V < V_{CC} < 30 V		V_{CC}-1.7	V_{CC}-1.5	–	V_{CC}-1.7	V_{CC}-1.5	–	V_{CC}-1.7	V_{CC}-1.5	–	
Power Supply Current	I_{CC}	–	2.5	4.0	–	2.5	7.0	–	2.5	7.0	mA
Channel Separation	–	–	-120	–	–	-120	–	–	-120	–	dB
f = 1.0 kHz to 20 kHz (Input Referenced)											

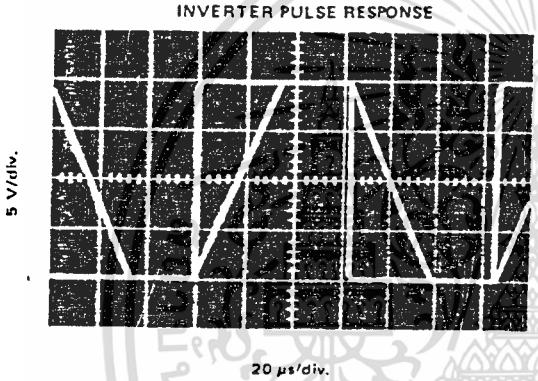
(2) Not to exceed maximum package power dissipation.
(3) Output will swing to ground

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น ไม่อนุญาตให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

CIRCUIT SCHEMATIC



INVERTER PULSE RESPONSE



CIRCUIT DESCRIPTION

The MC3503/3403/3303 is made using four internally compensated, two-stage operational amplifiers. The first stage of each consists of differential input devices Q24 and Q22 with input buffer transistors Q25 and Q21 and the differential to single ended converter Q3 and Q4. The first stage performs not only the first stage gain function but also performs the level shifting and transconductance reduction functions. By reducing the transconductance a smaller compensation capacitor (only 5 pF) can be employed, thus saving chip area. The transconductance reduction is accomplished by splitting the collectors of Q24 and Q22. Another feature of this input stage is that the input common-mode range can include the negative supply or ground, in single supply operation, without saturating either the input devices or the differential to single-ended converter. The second stage consists of a standard current source load amplifier stage.

The output stage is unique because it allows the output to swing to ground in single supply operation and yet does not exhibit any crossover distortion in split supply operation. This is possible because class AB operation is utilized.

Each amplifier is biased from an internal-voltage regulator which has a low temperature coefficient thus giving each amplifier good temperature characteristics as well as excellent power supply rejection.

THERMAL INFORMATION

The maximum power consumption an integrated circuit can tolerate at a given operating ambient temperature, can be found from the equation:

$$P_{D(T_A)} = \frac{T_{J(max)} - T_A}{R_{\theta JA(Typ)}}$$

Where, $P_{D(T_A)}$ = Power Dissipation allowable at a given operating ambient temperature. This must be greater than the sum of the products of the supply voltages and supply currents at the worst case operating condition.

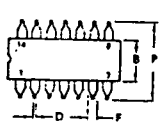
$T_{J(max)}$ = Maximum Operating Junction Temperature as listed in the Maximum Ratings Section

T_A = Maximum Desired Operating Ambient Temperature

$R_{\theta JA(Typ)}$ = Typical Thermal Resistance Junction to Ambient

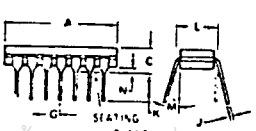
OUTLINE DIMENSIONS

L SUFFIX
CERAMIC PACKAGE
CASE 632
TO-116
$R_{\theta JA}$ = 100°C/W Typical



DIM	MILLIMETERS MIN	MAX	INCHES MIN	MAX
A	18.8	19.9	0.665	0.785
B	5.59	7.11	0.220	0.280
C	–	5.08	–	0.200
D	0.381	0.584	0.015	0.023
F	0.77	1.77	0.030	0.070
G	2.54 BSC		0.100 BSC	
J	0.203	0.381	0.008	0.015
K	2.54	–	0.100	–
L	7.62 BSC		0.300 BSC	
M	–	15°	–	15°
N	0.51	0.76	0.020	0.030
P	–	5.08	–	0.200

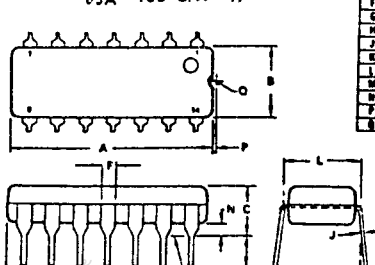
A. JEDEC dimensions are also applicable.



NOTE
DIMENSION L TO CENTER OF LEADS WHEN FORMED PARALLEL

weight: 1.954 grams

P SUFFIX
PLASTIC PACKAGE
CASE 646
(MC3403 and MC3303 only)
$R_{\theta JA}$ = 100°C/W Typical



DIM	MILLIMETERS MIN	MAX	INCHES MIN	MAX
A	18.16	18.80	0.715	0.740
B	6.10	6.60	0.240	0.260
C	4.06	4.57	0.160	0.180
D	0.38	0.51	0.015	0.020
F	1.02	1.52	0.040	0.060
G	2.54 BSC		0.100 BSC	
H	1.32	1.83	0.052	0.072
J	0.20	0.30	0.008	0.012
K	2.92	3.43	0.115	0.135
L	7.37	7.87	0.290	0.310
M	–	10°	–	10°
N	0.51	1.02	0.020	0.040
P	0.13	0.38	0.005	0.015
R	0.51	0.76	0.020	0.030

NOTES
1. LEADS WITHIN 0.13 mm (0.005) RADIUS OF TRUE POSITION AT SEATING PLANE AT MAXIMUM MATERIAL CONDITION
2. DIMENSION L TO CENTER OF LEADS WHEN FORMED PARALLEL

weight: 0.811 gram

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น และห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TYPICAL PERFORMANCE CURVES

RESPONSE

FIGURE 1 – SINE WAVE RESPONSE

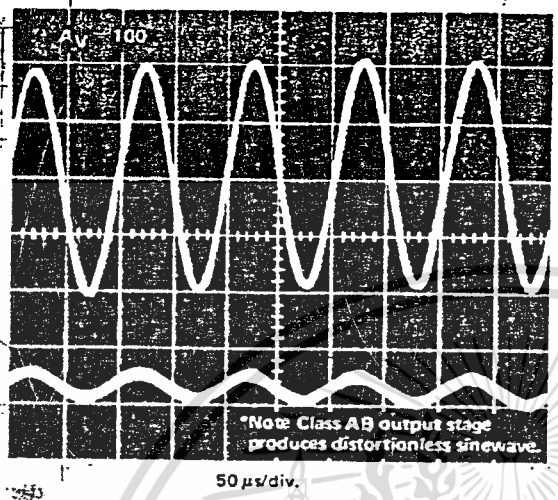


FIGURE 2 – OPEN LOOP FREQUENCY RESPONSE

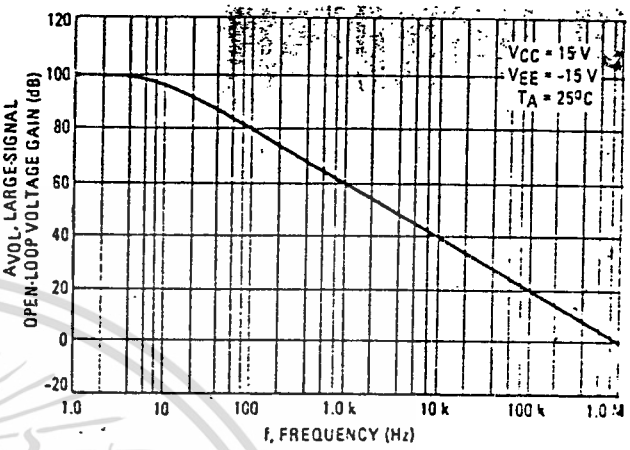


FIGURE 3 – POWER BANDWIDTH

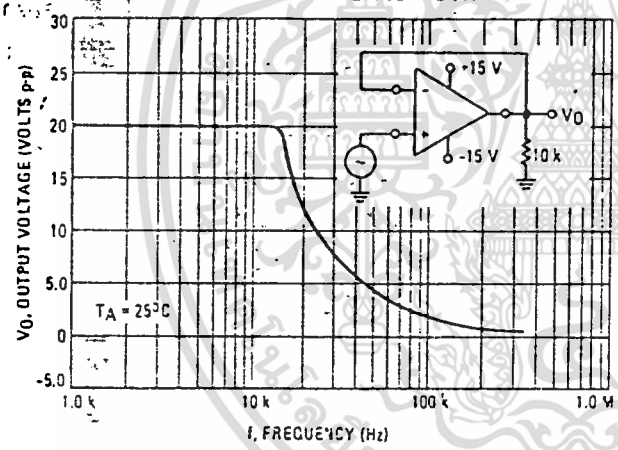


FIGURE 4 – OUTPUT SWING versus SUPPLY VOLTAGE

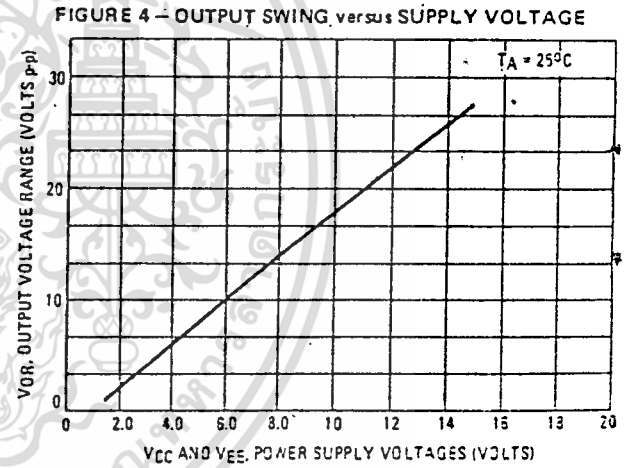


FIGURE 5 – INPUT BIAS CURRENT versus TEMPERATURE

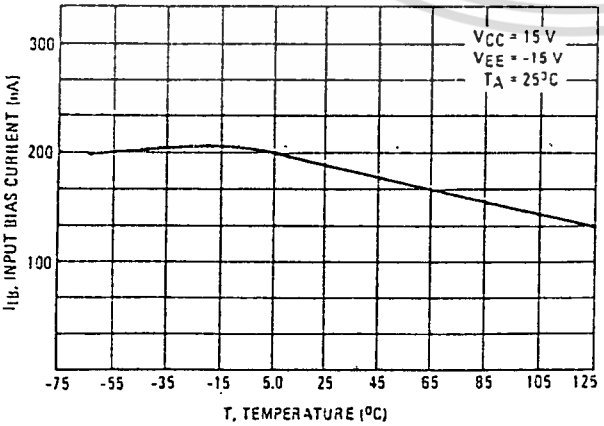
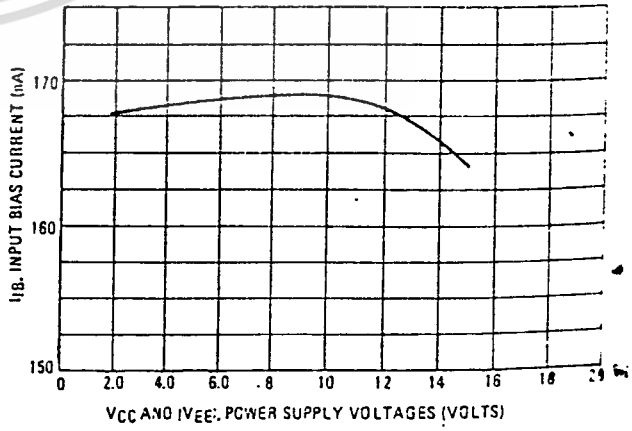


FIGURE 6 – INPUT BIAS CURRENT versus SUPPLY VOLTAGE



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น ไม่ว่าในเชิงพาณิชย์ ดัดแปลง แสวงหากำไร และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

National Semiconductor

Operational Amplifiers/Buffers

LM1900/LM2900/LM3900, LM3301, LM3401 quad amplifiers

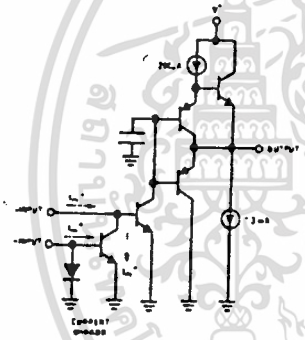
general description

The LM1900 series consists of four independent, dual input, internally compensated amplifiers which were designed specifically to operate off of a single power supply voltage and to provide a large output voltage swing. These amplifiers make use of a current mirror to achieve the non-inverting input function. Application areas include: ac amplifiers, RC active filters, low frequency triangle, squarewave and pulse waveform generation circuits, tachometers and low speed, high voltage digital logic gates.

features

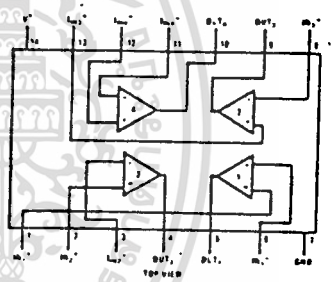
- Wide single supply voltage range or dual supplies — 4 V_{DC} to 36 V_{DC}; ±2 V_{DC} to ±18 V_{DC}
- Supply current drain independent of supply voltage
- Low input biasing current — 30 nA
- High open-loop gain — 70 dB
- Wide bandwidth — 2.5 MHz (Unity Gain)
- Large output voltage swing — (V^+ −1) V_{p-p}
- Internally frequency compensated for unity gain
- Output short-circuit protection

schematic and connection diagrams

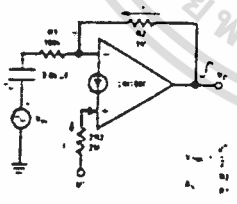


Order Number LM1900D
or LM2900D
See NS Package D14E
Order Number LM1900J
or LM2900J
See NS Package J14A
Order Number LM2900N,
LM3900N, LM3301N
or LM3401N
See NS Package N14A

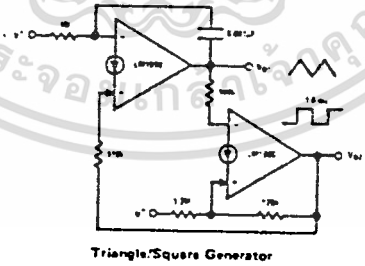
Dual-In-Line and Flat Package



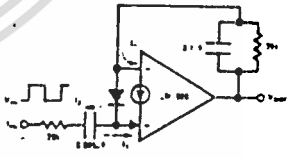
typical applications (V^+ = 15 V_{DC})



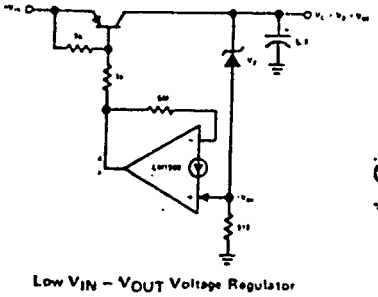
Inverting Amplifier



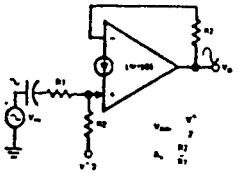
Triangle/Square Generator



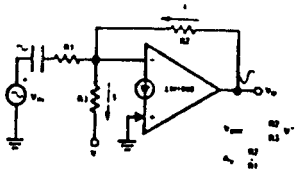
Frequency-Doubling Tachometer



Low V_{IN} − V_{OUT} Voltage Regulator



Non-Inverting Amplifier



Negative Supply Biasing

Courtesy of National Semiconductor Corporation

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

absolute maximum ratings

	LM1900	LM2900/LM3900	LM3301	LM3401
Supply Voltage	36 V_{DC} ±18 V_{DC}	32 V_{DC} ±16 V_{DC}	28 V_{DC} ±14 V_{DC}	18 V_{DC} ±9 V_{DC}
Power Dissipation (T_A = 25°C) (Note 1)				
Cavity DIP	900 mW	900 mW		
Flat Pack	800 mW	800 mW		
Molded DIP	570 mW	570 mW	570 mW	570 mW
Input Currents, I_{IN}^+ or I_{IN}^-	20 mA_{DC}	20 mA_{DC}	20 mA_{DC}	20 mA_{DC}
Output Short Circuit Duration One Amplifier T_A = 25°C (See Application Hints)	Continuous	Continuous	Continuous	Continuous
Operating Temperature Range	-55°C to +125°C		40°C to +85°C	0°C to +75°C
LM2900		40°C to +85°C		
LM3900		0°C to +70°C		
Storage Temperature Range	-65°C to +150°C	-65°C to +150°C	-65°C to +150°C	-65°C to +150°C
Lead Temperature (Soldering, 10 seconds)	300°C	300°C	300°C	300°C

electrical characteristics (Note 6)

PARAMETER	CONDITIONS	LM1900			LM2900			LM3900			LM3301			LM3401			UNITS
		MIN	TYP	MAX	MIN	TYP	MAX	MIN	TYP	MAX	MIN	TYP	MAX	MIN	TYP	MAX	
Open Loop Voltage Gain														800			V/mV
Voltage Gain	T_A = 25°C, f = 100 Hz	2	3		1.2	2.8		1.2	2.8		1.2	2.8		1.2	2.8		V/mV
Input Resistance	T_A = 25°C, Inverting Input		1			1			1			1		0.1	1		MΩ
Output Resistance			8			8			8			8			8		kΩ
Unity Gain Bandwidth	T_A = 25°C, Inverting Input		2.5			2.5			2.5			2.5			2.5		MHz
Input Bias Current	T_A = 25°C, Inverting Input		25	100		30	200		30	200		30	300		30	300	nA
	Inverting Input															500	nA
Slew Rate	T_A = 25°C, Positive Output Swing		0.5			0.5			0.5			0.5			0.5		V/μs
	T_A = 25°C, Negative Output Swing		20			20			20			20			20		V/μs
Supply Current	T_A = 25°C, R_L = ∞ On All Amplifiers		6.2	12		6.2	10		6.2	10		6.2	10		6.2	10	mA_{DC}
Output Voltage Swing	T_A = 25°C, R_L = 2k, V_{CC} = 15.0 V_{DC}																
V_{OUT} High	I_{IN}^- = 0, I_{IN}^+ = 0	13.5	14.2		13.5			13.5			13.5			13.5			V_{DC}
V_{OUT} Low	I_{IN}^- = 10μA, I_{IN}^+ = 0		0.09	0.2		0.09	0.2		0.09	0.2		0.09	0.2		0.09	0.2	V_{DC}
V_{OUT} High	I_{IN}^- = 0, I_{IN}^+ = 0 R_L = ∞, V_{CC} = 30 V_{DC}	28.0	29.5			29.5			29.5			29.5			29.5		V_{DC}
Output Current Capability	T_A = 25°C																
- Source		10	15		6	18		6	10		5	18		5	10		mA_{DC}
Sink	(Note 2)	1.0	1.3		0.5	1.3		0.5	1.3		0.5	1.3		0.5	1.3		mA_{DC}
I_{SINK}	V_{OL} = 1V I_{IN} 5μA	4	5			5			5			5			5		mA_{DC}

electrical characteristics (con't) (Note 6)

PARAMETER	CONDITIONS	LM1900			LM2900			LM3900			LM3301			LM3401			UNITS
		MIN	TYP	MAX	MIN	TYP	MAX	MIN	TYP	MAX	MIN	TYP	MAX	MIN	TYP	MAX	
Power Supply Rejection	T_A = 25°C, f = 100 Hz	50	70			70			70			70			70		dB
Mirror Gain	@ 20μA (Note 3)	0.95	1.0	1.05	0.90	1.0	1.1	0.90	1.0	1.1	0.90	1	1.10	0.90	1	1.10	μA/μA
	@ 200μA (Note 3)	0.95	1.0	1.05	0.90	1.0	1.1	0.90	1.0	1.1	0.90	1	1.10	0.90	1	1.10	μA/μA
ΔMirror Gain	@ 20μA To 200μA (Note 3)		1	2		2	5		2	5		2	5		2	5	%
Mirror Current	(Note 4)		10	500		10	500		10	500		10	500		10	500	μA_{DC}
Negative Input Current	T_A = 25°C (Note 5)		1.0			1.0			1.0			1.0			1.0		mA_{DC}
Voltage Gain	f = 100 Hz	800															V/mV
Input Bias Current	Inverting Input			150													nA

Note 1: For operating at high temperatures, the device must be derated based on a 125°C maximum junction temperature and a thermal resistance of 175°C/W which applies for the device soldered in a printed circuit board, operating in a still air ambient.

Note 2: The output current sink capability can be increased for large signal conditions by overdriving the inverting input. This is shown in the section on Typical Characteristics.

Note 3: This spec indicates the current gain of the current mirror which is used as the non-inverting input.

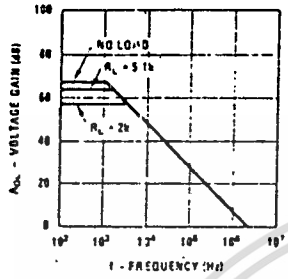
Note 4: Input V_{BE} match between the non-inverting and the inverting inputs occurs for a mirror current (non-inverting input current) of approximately 10μA. This is therefore a typical design center for many of the application circuits.

Note 5: Clamp transistors are included on the IC to prevent the input voltages from swinging below ground more than approximately -0.3 V_{DC}. The negative input currents which may result from large signal overdrive with capacitance input coupling need to be externally limited to values of approximately 1 mA. Negative input currents in excess of 4 mA will cause the output voltage to drop to a low voltage. This maximum current applies to any one of the input terminals. If more than one of the input terminals are simultaneously driven negative smaller maximum currents are allowed. Common-mode current biasing can be used to prevent negative input voltages, see for example, the "Differentiator Circuit" in the applications section.

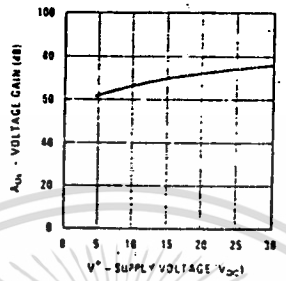
Note 6: These specs apply for -55°C ≤ T_A ≤ +125°C, unless otherwise stated.

typical performance characteristics

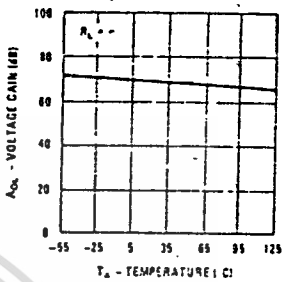
Open Loop Gain



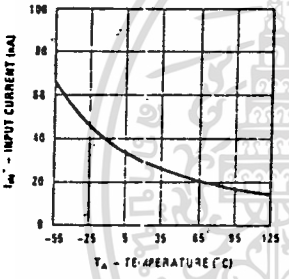
Voltage Gain



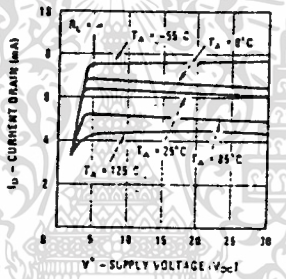
Voltage Gain



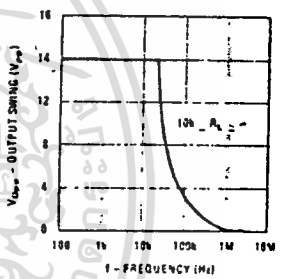
Input Current



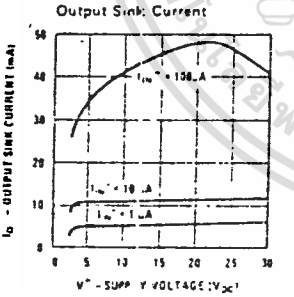
Supply Current



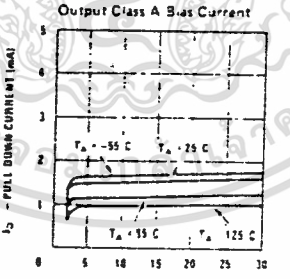
Large Signal Frequency Response



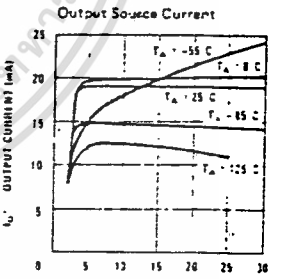
Output Sink Current



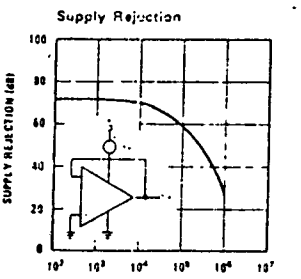
Output Class A Bias Current



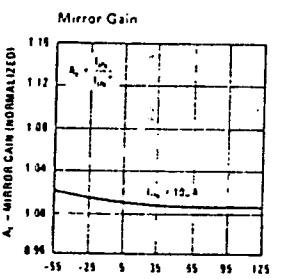
Output Source Current



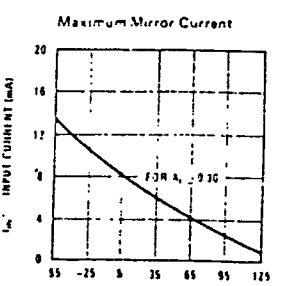
Supply Rejection



Mirror Gain



Maximum Mirror Current



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

application hints

When driving either input from a low-impedance source, a limiting resistor should be placed in series with the input lead to limit the peak input current. Currents as large as 20 mA will not damage the device, but the current mirror on the non-inverting input will saturate and cause a loss of mirror gain at mA current levels—especially at high operating temperatures.

Precautions should be taken to insure that the power supply for the integrated circuit never becomes reversed in polarity or that the unit is not inadvertently installed backwards in a test socket as an unlimited current surge through the resulting forward diode within the IC could cause fuzing of the internal conductors and result in a destroyed unit.

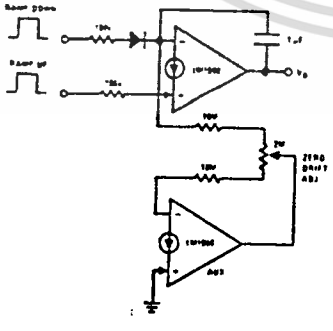
Output short circuits either to ground or to the positive power supply should be of short time duration. Units can be destroyed, not as a result of the short circuit current causing metal fuzing, but rather due to the large increase in IC chip dissipation which will cause eventual failure due to excessive junction temperatures. For example, when operating from a well-regulated +5 V_{DC} power supply at T_A = 25°C with a 100 kΩ shunt-feedback resistor (from the output to the inverting input) a short directly to the power supply will not cause catastrophic failure but the current magnitude will be approximately 50 mA and the junction temperature will be above T_J max. Larger feedback resistors will reduce the current, 11 MΩ provides approximately 30 mA, an open circuit provides 1.3 mA, and a direct connection from the output to the non-inverting input will result in catastrophic failure when the output is shorted to V^+ as this then places the base-emitter junction of the input transistor directly across the power supply. Short-circuits to ground will have magnitudes of approximately 30 mA and will not cause catastrophic failure at T_A = 25°C.

Unintentional signal coupling from the output to the non-inverting input can cause oscillations. This is likely only in breadboard hook-ups with long component leads and can be prevented by a more careful lead dress or by locating the non-inverting input biasing resistor close to the IC. A quick check of this condition is to bypass the non-inverting input to ground with a capacitor. High impedance biasing resistors used in the non-inverting input circuit make this input lead highly susceptible to unintentional ac signal pickup.

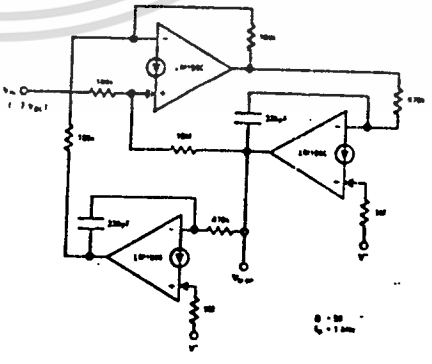
Operation of this amplifier can be best understood by noticing that input currents are differenced at the inverting-input terminal and this difference current then flows through the external feedback resistor to produce the output voltage. Common-mode current biasing is generally useful to allow operating with signal levels near ground or even negative as this maintains the inputs biased at $+V_{BE}$. Internal clamp transistors (see note 5) catch negative input voltages at approximately −0.3 V_{DC} but the magnitude of current flow has to be limited by the external input network. For operation at high temperature, this limit should be approximately 100μA.

This new "Norton" current-differencing amplifier can be used in most of the applications of a standard IC op amp. Performance as a dc amplifier using only a single supply is not as precise as a standard IC op amp operating with split supplies but is adequate in many less critical applications. New functions are made possible with this amplifier which are useful in single power supply systems. For example, biasing can be designed separately from the ac gain as was shown in the "inverting amplifier," the "difference integrator" allows controlling the charging and the discharging of the integrating capacitor both with positive voltages, and the "frequency doubling tachometer" provides a simple circuit which reduces the ripple voltage on a tachometer output dc voltage.

typical applications (con't)

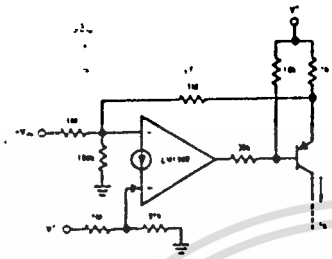


Low-Drift Ramp and Hold Circuit

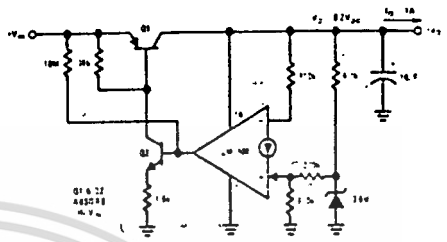


Bi-Quad Active Filter
(2nd Degree State-Variable Network)

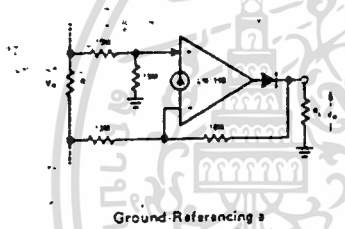
typical applications (con't)



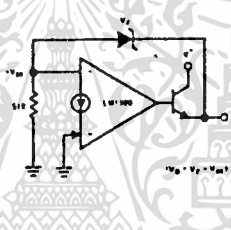
Voltage-Controlled Current Source
(Transconductance Amplifier)



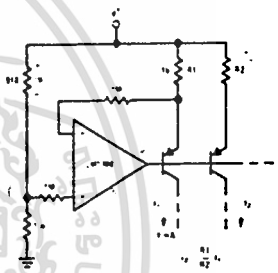
Hi V_{IN}, Lo ($V_{IN} - V_O$) Self-Regulator



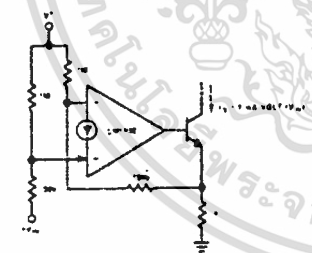
Ground-Referencing a
Differential Input Signal



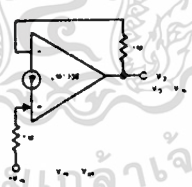
Voltage Regulator



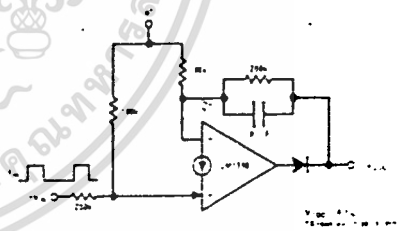
Fixed Current Sources



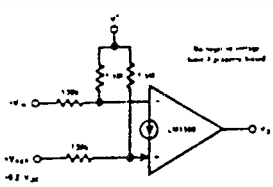
Voltage-Controlled Current Sink
(Transconductance Amplifier)



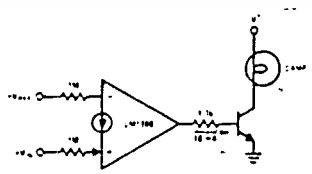
Buffer Amplifier



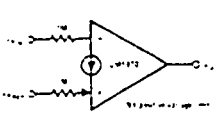
Tachometer



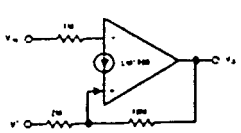
Low-Voltage Comparator



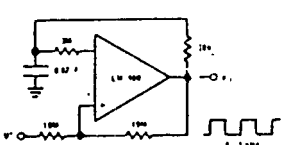
Power Comparator



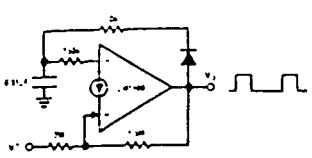
Comparator



Schmitt-Trigger



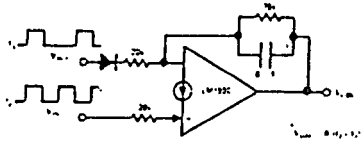
Square-Wave Oscillator



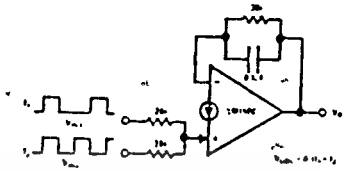
Pulse Generator

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

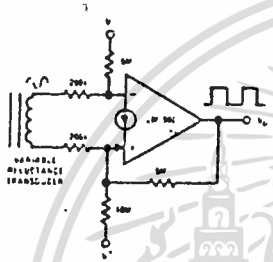
typical applications (con't)



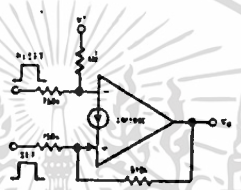
Frequency Differencing Tachometer



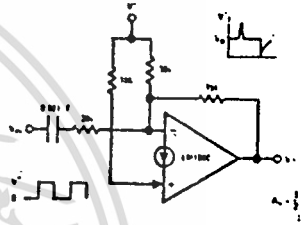
Frequency Averaging Tachometer



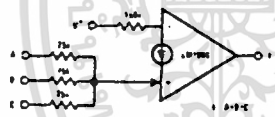
Squaring Amplifier (W/Hysteresis)



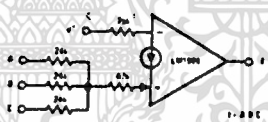
Bi-Stable Multivibrator



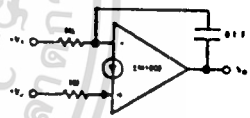
Differentiator (Common-Mode Biasing Keeps Input at +V_{BE})



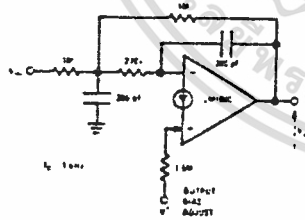
"OR" Gate



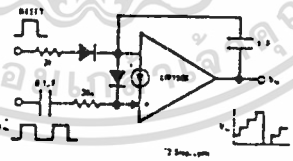
"AND" Gate



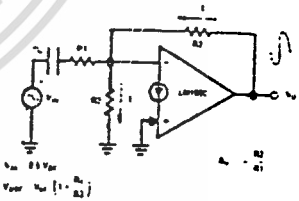
Difference Integrator



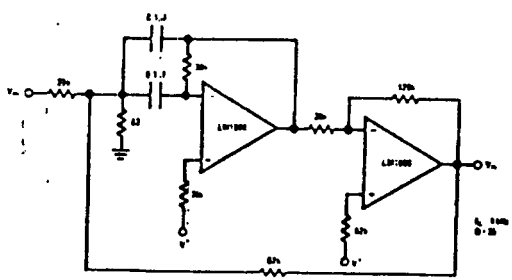
Low Pass Active Filter



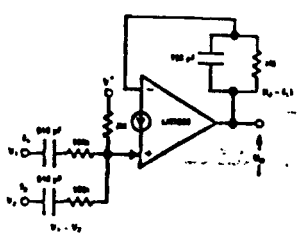
Staircase Generator



V_{BE} Biasing

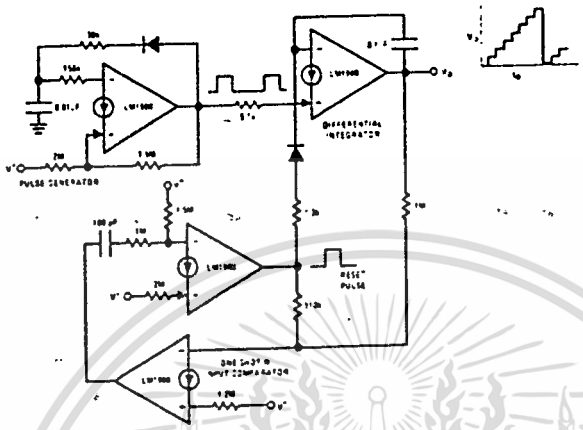


Bandpass Active Filter

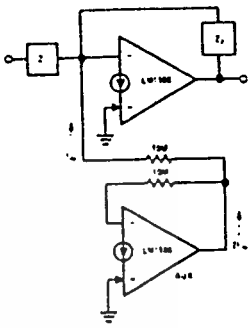


Low-Frequency Mixer

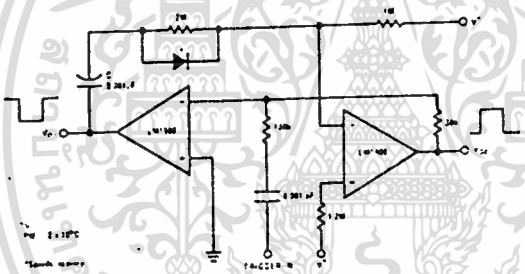
typical applications (con't)



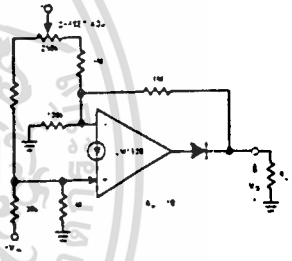
Free-Running Staircase Generator, Pulse Counter



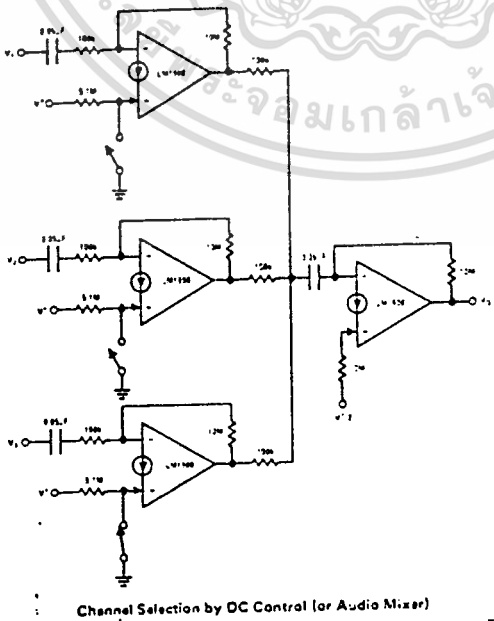
Supplying I_{IN} with Aux. Amp (to Allow Hi-Z Feedback Networks)



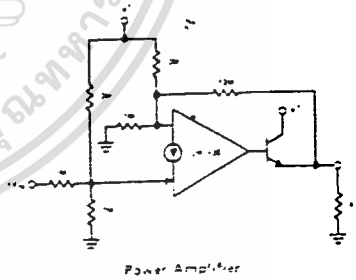
One-Shot Multivibrator



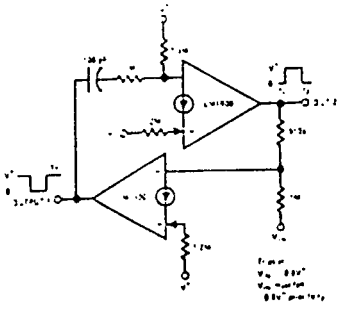
Non-Inverting DC Gain to (0,0)



Channel Selection by DC Control (or Audio Mixer)



Power Amplifier



One-Shot with DC Input Comparator

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

กิตติกรรมประกาศ

โครงงานนี้ สามารถทำให้สำเร็จลุล่วงไปด้วยดีนั้น โดยได้รับความช่วยเหลือและแนะนำจาก ผศ. กนก เจนจิรพงศ์เวช ที่ช่วยกรุณา ให้คำปรึกษาในการจัดหาข้อมูล พร้อมทั้งให้คำปรึกษาทางด้าน เทคนิคต่างๆ จนเสร็จสมบูรณ์

สุดท้ายนี้ทางคณะผู้จัดทำต้องขอขอบพระคุณ คณะอาจารย์ ทุกท่าน ที่ได้ประสิทธิ์ประสาทวิชาความรู้ ให้กับทางกลุ่ม จนกระทั่งทุกคนมีความสามารถที่จะออกไปปฏิบัติงานตามความรู้ที่ศึกษามาได้เป็นอย่างดี.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

หนังสืออ้างอิง

Applications Manual for Operational Electronics, Amplifiers, Phildrick/Nexur, Mass.

Biomedical Instrumentation, Marvin D. Weiss, Chilton, Philadelphia.

A Case Book of Basic Circuits for Electronics Instrumentation, George C. Stanley, Jr., 1971. Rinehart, San Francisco, Calif.

Data Book for Electronic Technicians and Engineers,

John D. Lenk, Prentice-Hall, Englewood Cliffs, N.J. Designing Circuits with I.C. Operational Amplifiers,

Robert G. Seippel, American Technical Society, Chicago, III.

Digital Electronics for Scientists, Malmstadt, Enke,

W.A. Benjamin, Inc. N.Y.

Electronic Troubleshooting, Clyde N. Dedham, Burton R. Klein,

Tab Books, Blue Ridge, Penn.

Linear Applications, vols. 1 and

Nationnal Semiconductor Corp., Santa, Calif.

Linear Data Book, June 1976, Nati

Semiconductor Corp., Santa Clara

Calif.

Linear Integrated Circuits J. Eimbinder, Wiley. N.Y.

Linear integrted Circuits, vol. 6, ser. A, 1975, Motorola Semi-conductor Products, Phoenix, Ariz

Linear Integrated Circuits Data Catalog Fairchild Instrument Corp Mountain View Calif.

Linear Integrated Circuits, I.C.- RCA, Somerville, N.J.

Measurement Systems, Application

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Herrick, Reston
Publishing, Reston, Vir.
General Instrument Corp., Microelectronics Division, Hicksville N.Y.
Handbook of Electronic Charts, and Tables,
John D. Lenk, Prentice-Hall. Englewood Cliffs NJ. Handbook of I.C. Circuit Projects, Jim Ashe, Tab
Books, Blue Ridge Summit, Penn.
Handbook of Oscilloscopes, John D. Lenk. Prentice
Hall, Englewood Cliffs, N.J.
Handbook of Telemetry, Elliot L. Greenberg.
McGraw-Hill, N.Y.
How to Build and Use Electronic Devices Without Frustration. Panic, Mountains of Moncy. or an Engineering Degree-
Stuart A. Hoening and F. Leland
Payne, Little, Brown, Boston.
I.C. Op-Amp Cookbook, Walter Jung,
Bobbs-Merrill, Indianapolis.
Integrated Circuits Catalog for Design Engineers, Texas Indianapolis, Inc.,
Dallas, TX.
Integrated Electronics, Millman and Halkias,
McGraw-Hill, N.Y.
and Design, E.O.
Doeblin, McGraw-Hill, N.Y.
Modern Applications of Linear IC's, Tab Books, Blue
Ridge Summit, Penn.
Nonlinear Circuit Handbook, Engineering Staff of
Analog Devices, Inc., Norwood, 1974
111 Digital and Linear I.C. Projects, Don Tuite, Tab

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า