



เครื่องควบคุมระบบไฟฟ้าในอาคารอัตโนมัติ
BUILDING AUTOMATION



ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรบัณฑิต
ภาควิชาเทคโนโลยีการวัดคุมทางอุตสาหกรรม
สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง
ปีการศึกษา 2534

ปริญญานิพนธ์ ปริญญาการศึกษา 2534

ภาควิชา เทคโนโลยีการวัดคุมทางอุตสาหกรรม

คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้า เจ้าคุณทหารลาดกระบัง

เรื่อง BUILDING AUTOMATION

ผู้จัดทำ

1. นาย พงษ์ศักดิ์ วิวัฒนาช่าง
2. นาย วัลลภ ชัยสิริสุวรรณ
3. นาย อนุชา พานิชอนุเคราะห์กุล

.....อาจารย์ที่ปรึกษา
(อ. ภากร หตะสังกาศ)

เครื่องควบคุมระบบไฟฟ้าในอาคารอัตโนมัติ
(BUILDING AUTOMATION)

นาย พงษ์ศักดิ์ วิวัฒนาช่าง

นาย วิมลภ ชัยสิริสุวรรณ

นาย อรุษา นาคีซอนเคราะห์กุล

อาจารย์ที่ปรึกษา

อาจารย์ ภากร หุตะสังกาศ

ปีการศึกษา 2534

บทคัดย่อ

ปริญญาโทฉบับนี้กล่าวถึง โครงงานที่เกี่ยวกับการควบคุมระบบไฟฟ้าภายในอาคารอัตโนมัติ ซึ่งในการควบคุมนี้เราใช้เครื่องคอมพิวเตอร์ (PC) เป็นตัวควบคุม เป็นการควบคุมในระยะไกล โดยการมอดูเลชั่นสัญญาณควบคุมผ่านลงในสาย AC LINE โดยมีเครื่องส่ง (Transmitter) อยู่หนึ่งเครื่องทำหน้าที่ ส่งสัญญาณควบคุมที่ทำการมอดูเลชั่นแล้วผ่านเข้าไปใน สาย AC LINE ของระบบไฟฟ้าภายในอาคาร และจะมีเครื่องรับ (Receiver) หลายๆ เครื่องต่ออยู่กับสาย AC LINE ในระบบ เพื่อควบคุมการเปิดปิดเครื่องใช้ไฟฟ้าที่นำมาต่อ เราสามารถกำหนดได้ว่าจะให้เครื่องรับเครื่องใดทำงาน โดยการกำหนดรหัสตำแหน่งที่อยู่ (ADDRESS) ของเครื่องรับที่เครื่องส่ง ซึ่งรหัสตำแหน่งที่อยู่ของเครื่องส่งนี้สามารถมีค่าแตกต่างกันได้สูงสุดเท่ากับ 19683 ค่า (3¹¹ ค่า) แสดงให้เห็นว่า การควบคุมแบบนี้มีเซลล์ในการควบคุมได้อย่างกว้างขวาง ทำให้สามารถรองรับการขยายข้างงานในอนาคตได้อย่างเพียงพอ

BUILDING AUTOMATION

PONGSAK WIWATTANACHANG

WALLOP CHAISIRISUWAN

ANUCHA PANITANUKORKUL

ADVISOR

PHAKORN HUTASANGKAS

1991

ABSTRACT

THIS THESIS IS CONCERNING THE INTERIOR BUILDING AUTOMATION WHICH IS CONTROLLED BY COMPUTER IN A LONG DISTANCE BY MEANS OF MODULATION SIGNAL THROUGH AC LINE. A TRANSMITTER SEND SIGNALS TO CONTROL THE MODULATION AND THEN IT PASSES INTO AC LINE OF THE ELECTRIC SYSTEM WITHIN THE BUILDING AND THERE ARE MANY RECEIVER. THEY ARE CONTACTED WITH THE AC LINE SYSTEM FOR CONTROLLING "ON" AND "OFF" LOAD. WE CAN ORDER WHICH RECEIVER TO WORK BY CODE ADDRESS OF THE RECEIVER. THE TRANSMITTER WHICH HAS THE MAXIMUM VARIABLE VALUE IS 19683 (3⁹ VALUE) IT'S SHOW THAT THIS CONTROLLING SYSTEM HAS THE CHANNEL FOR A LARGE CONTROL THAT CAN EXPAND THE NETWORK IN THE FUTURE.

สารบัญ

บทนำ.....	1
วัตถุประสงค์.....	2
ประโยชน์ที่ได้รับจากโครงงาน.....	3
ภาคส่ง.....	4
หลักการทํางานของวงจรภาคส่ง.....	4
- ENCODER.....	5
- MODULATOR.....	9
- วงจรจูน (TUNE).....	14
- การออกแบบวงจร TANK.....	17
- แหล่งจ่ายไฟ (POWER SUPPLY).....	19
วงจรภาคส่ง.....	22
ภาครับ.....	24
วงจรภาครับ.....	25
หลักการทํางานของวงจรภาครับ.....	26
- ภาค DEMODULATOR.....	32
- ภาค WAVE SHAPE.....	34
- ภาค DECODER.....	37
- การออกแบบวงจร DECODER.....	40
- ภาค CONTROL ON/OFF.....	42
การทดลองและผลการทดลอง.....	43
ผลการทดลองทางด้านส่ง.....	43
ผลการทดลองทางด้านรับ.....	45
การปรับแต่งวงจร.....	47
การปรับแต่งทางภาคส่ง.....	47
การปรับแต่งทางภาครับ.....	48

INTERFACE CARD.....	49
- ส่วนของการ Decode Address.....	49
- ส่วนเอาท์พุทเพื่อควบคุมเครื่องส่ง.....	50
- วงจร อินเทอร์เฟส.....	52
การทำงานของ INTERFACE CARD.....	53
รายละเอียดเกี่ยวกับ 8255.....	54
- รายละเอียดของสัญญาณต่างๆบนสล๊อต.....	63
โปรแกรม.....	73
วิธีการใช้งาน.....	95
ปัญหาและอุปสรรคในการวิจัย.....	105
สรุปผลการวิจัย.....	107
กิจกรรมประกาศ.....	108
บรรณานุกรม.....	109
ภาคผนวก.....	110

บทนำ

โครงการนี้เป็นผลงานการวิจัยที่เกี่ยวข้องกับการควบคุมระบบไฟฟ้าภายในอาคาร ซึ่งอาคารเกือบทุกอาคารต้องมีระบบไฟฟ้าภายใน การควบคุมระบบไฟฟ้าภายในอาคารถ้ามีการจัดระบบที่ดี จะทำให้เกิดการควบคุมที่มีประสิทธิภาพและสะดวกสบายต่อการควบคุม ผลประโยชน์ที่จะได้รับจากโครงการนี้มีอยู่หลายประการ ประการแรกได้แก่ประโยชน์ในด้านความสะดวกในการควบคุมระบบเมื่อนำโครงการนี้ไปเชื่อมต่อการทำงานกับเครื่องคอมพิวเตอร์ส่วนบุคคลจะทำให้การควบคุมเครื่องใช้ไฟฟ้าภายในระบบ เป็นไปได้อย่างอัตโนมัติและเป็นขั้นตอน นอกจากนี้ยังให้ประโยชน์ในด้านความประหยัด ทั้งนี้เพราะการติดต่อระหว่างเครื่องส่งและเครื่องรับไม่ต้องทำการเดินสาย โดยสัญญาณควบคุมจากเครื่องส่งจะผ่านการมอดูเลชันแล้วส่งผ่านสาย AC LINE ไปยังเครื่องรับ ทางเครื่องรับเมื่อรับสัญญาณได้ก็จะทำการดีเท็คเตอร์ เพื่อให้ได้รับสัญญาณควบคุมนั้นออกมา อีกทั้งโครงการนี้มีความสามารถในการรองรับระบบไฟฟ้าภายในอาคารที่ต้องการเซนแนลการควบคุมมากๆ ได้อย่างเพียงพอ ทั้งในปัจจุบันและการขยายตัวของระบบในอนาคต

ส่วนประกอบที่สำคัญที่สุดของโครงการนี้ และเป็นที่มาของโครงการนี้ได้แก่ IC ลำโพงรูปเบอร์ MC 145026 และเบอร์ MC 145028 ซึ่งเป็น IC CMOS ทำหน้าที่เป็น REMOTE CONTROL ENCODER / DECODER PAIR โดย MC 145026 ทำหน้าที่ ENCODER และ MC 145028 ทำหน้าที่ DECODER ตามลำดับ

วัตถุประสงค์ของการวิจัย

- เพื่อศึกษาลักษณะการทำงานและคุณสมบัติของ IC เบอร์ MC 145026 และ MC 145028
- เพื่อศึกษาถึงวิธีการสื่อสารข้อมูลผ่านสาย AC LINE
- เพื่อนำคุณสมบัติที่ดีของ IC เบอร์ MC 145026 และ MC 145028 มาประยุกต์เข้ากับการสื่อสารข้อมูลผ่านสาย AC LINE นำมาสร้างเป็นเครื่องควบคุมระบบไฟฟ้าภายในอาคารอัตโนมัติ



ประโยชน์ที่ได้รับจากโครงการ

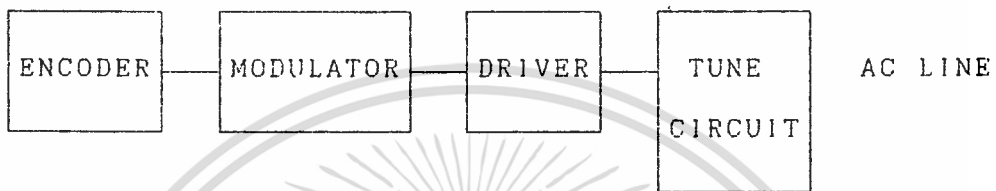
- เพื่อนำไปใช้ควบคุมระบบไฟฟ้าภายในอาคาร
- เพื่อรองรับงานควบคุมที่ต้องการการขยายตัวในอนาคตที่ค่อนข้างสูง เพราะระบบควบคุมนี้มีเซนเซอร์รองรับได้สูงที่สุดถึง 19683 เซนเซอร์
- เพื่อใช้ในระบบควบคุมไฟฟ้าในอาคารที่ไม่ต้องการเดินสาย
- เพื่อการควบคุมเครื่องใช้ไฟฟ้าภายในอาคารหลาย ๆ จุด ได้จากจุดควบคุมจุดเดียวกัน
- เมื่อนำเครื่องส่งไปเชื่อมต่อ (Interface) กับเครื่องคอมพิวเตอร์ส่วนบุคคล (Personal Computer) จะทำให้การควบคุมระบบไฟฟ้าภายในอาคารเป็นไปได้อย่างอัตโนมัติ



ภาคส่ง

หลักการทำงานและการออกแบบ

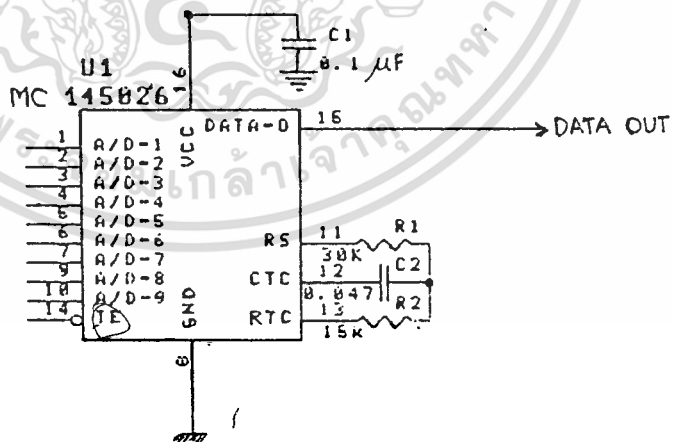
ภาคส่งจะแบ่งการทำงานออกเป็นส่วนใหญ่ ๆ ได้ 4 ส่วนคือ



BLOCK DIAGRAM

การทำงานภาคส่ง

INPUT ของภาคส่งนั้นโดยจะรับ สัญญาณจาก ADDRESS BUS เข้ามา 9 ADDRESS CODES ไปยังภาค ENCODER ซึ่งจะทำหน้าที่เข้ารหัส โดยจะมี MC 145026 เป็นหัวใจสำคัญของภาคนี้



รูปที่ 1 วงจรภาค ENCODER

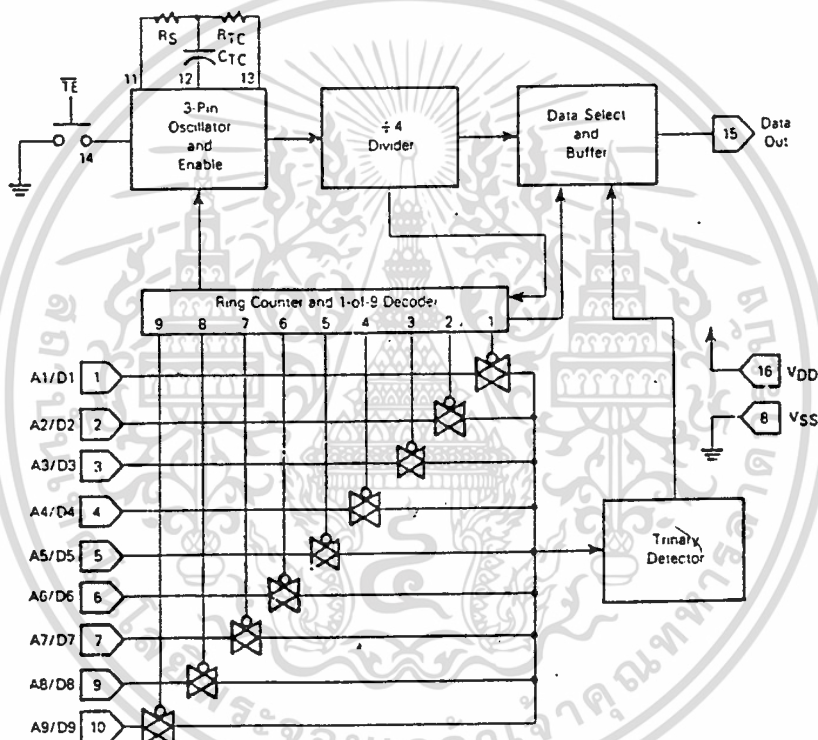
MC 145026 จะเข้ารหัสแบบ 9 บิต ของข่าวสาร และจะส่งข่าวสารนี้ เป็นแบบอนุกรม โดยข่าวสารจะสามารถส่งออกไปได้ทันทีที่ สวิตช์ TRANSMIT-ENABLE (TE) ถูกกด ซึ่งมันจะทำงานที่สภาวะ "low" เท่านั้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

1	A1/D1	UDD	16
2	A2/D2	DATA OUT	15
3	A3/D3	TE	14
4	A4/D4	RTC	13
5	A5/D5	CTC	12
6	A6/D6	RS	11
7	A7/D7	A9/D9	10
8	VSS	AB/D8	9

MC145026

รูปที่ 2 ขาต่าง ๆ ของ MC 145026



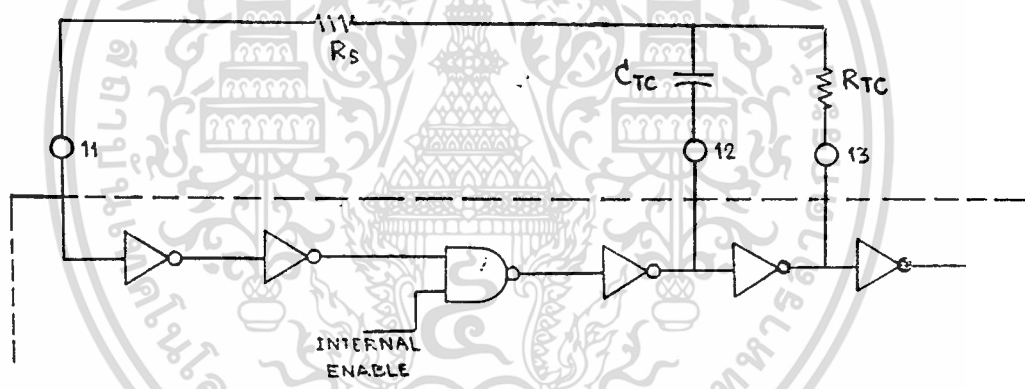
ENCODER BLOCK DIAGRAM MC 145026

คุณสมบัติ ของ MC 145026

- ADDRESS สามารถเป็นได้ทั้ง Binary หรือ Trinary
- CODE ของ Address ที่สูงที่สุด คือ Trinary
- ใช้ในการ Interfaces กับ RF , Ultrasonic
- จะส่ง 2 DATA เพื่อสำหรับ Error Checking
- จะใช้ไฟตั้งแต่ 4.5 ถึง 18 Volts
- ใน Chip นั้นจะมี R/C Oscillator

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้เฉพาะเพื่อการศึกษานานาชาติให้นำไปใช้ประโยชน์ด้านการค้า
- INPUT และ OUTPUT เป็นแบบอนุกรมมาตรฐาน
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาค ENCODER นี้สามารถทำการเข้ารหัสได้มาก โดยขึ้นอยู่กับขา INPUT ทั้ง 9 บิต ดังนั้นเราจะกำหนดสถานะขา INPUT ของ A1/D1 - A9/D9 ขาเหล่านี้สามารถเป็นไปได้อีก 3 สถานะ คือ Trinary จึงอาจจะเป็น (0, 1, open) สถานะใดสถานะหนึ่งก็ได้โดย codes ที่สามารถทำการเข้ารหัสที่เป็นไปได้ซึ่งมีความแตกต่างกันสูงสุดถึง $3^9 = 19683$ ซึ่งลำดับในการส่งนั้น จะเริ่มต้นที่ "low level" ของขา input TE และ V_{DD} ส่วนมากจะใช้เป็น "Positive Supply" และ V_{SS} ส่วนมากจะใช้เป็น "Negative Supply" (GND) แล้วภาค ENCODER นี้ยังมี R_s , R_{tc} , C_{tc} ขาเหล่านี้จะเป็นส่วนของ OSCILLATOR ของการเข้ารหัส ถ้าแหล่งจ่ายสัญญาณภายนอกใช้แทน OSCILLATOR ภายใน มันจะต่อไปขา R_s , R_{tc} , C_{tc} จะ "leftopen" ซึ่งจะเห็นได้ว่า OSCILLATOR นี้ทำงานที่ความถี่กำหนดโดย RC network ภายนอก



รูปที่ 3 ENCODER OSCILLATOR INFORMATION

RC network ภายนอก โดยสามารถคำนวณได้จากสูตร

$$f = 1 / (2.3 * R_{tc} * C_{tc}') \quad (\text{HZ})$$

$$\text{FOR } 1 \text{ KHZ} \leq f \leq 400 \text{ KHZ}$$

$$\text{AT } C_{tc}' = C_{tc} + C_{\text{leakout}} + 12 \text{ pF}$$

$$R_s = 2R_{tc}$$

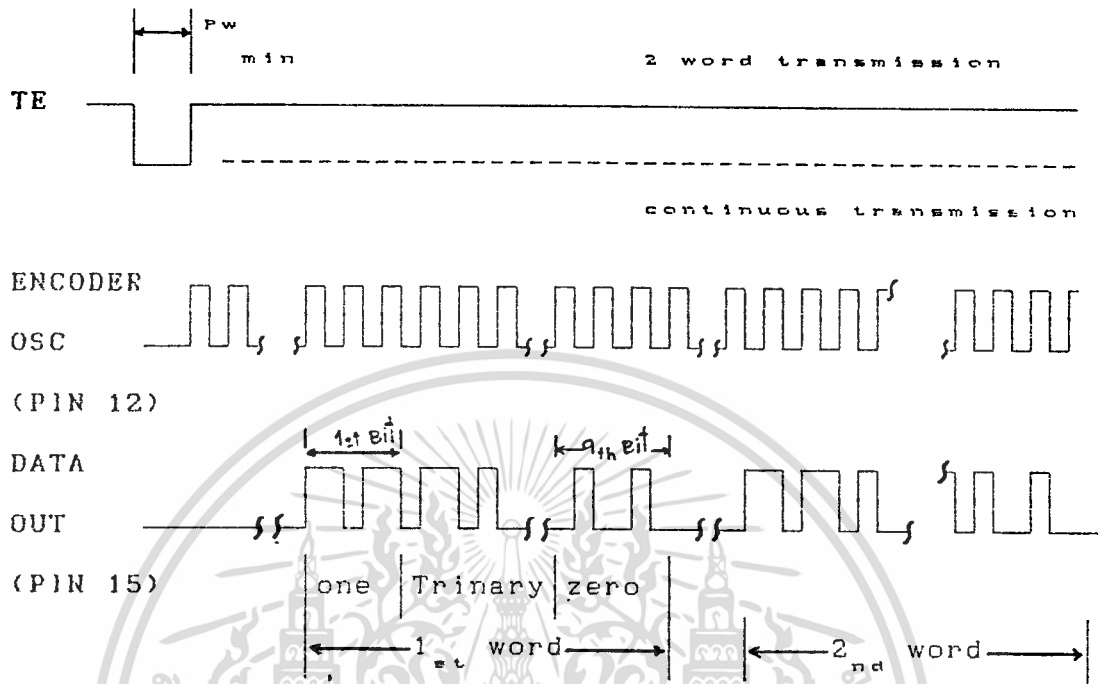
$$R_s \geq 20 \text{ K}\Omega$$

$$R_{tc} \geq 10 \text{ K}\Omega$$

$$400 \text{ pF} < C_{tc} < 15 \text{ uF}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MC 145026 ENCODER



รูปที่ 4 ENCODER TIMING DIAGRAM

ดังนั้น DATA OUT ที่ขา 15 ของ MC 145026 ที่ส่งออกไปจะส่งไปในลักษณะอนุกรมต่อกันไปขนาด 9 บิต, ซึ่งในแต่ละบิตของ DATA ที่ส่งออกไปจะมีสถานะเป็น 0, 1, open สถานะใดก็ได้ ซึ่งจะมีสัญญาณเป็นลักษณะ Pulse ที่เข้ารหัสเป็นแบบอนุกรมแล้วดังรูปที่ 5 และส่งไปยังภาค MODULATOR โดยใช้ IC #555

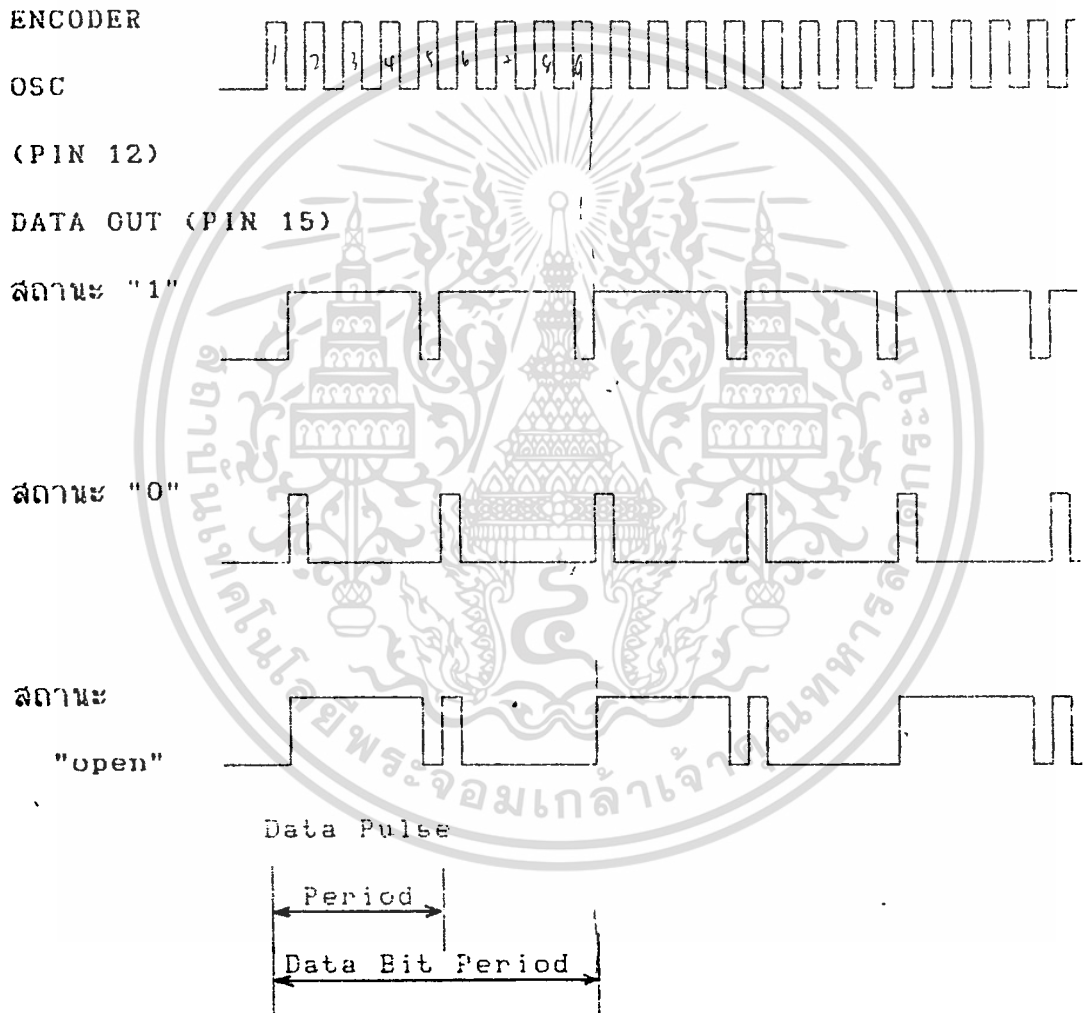
ข้อมูลต่าง ๆ จะเริ่มมีการส่งอนุกรมต่อเนื่องกันไป ก็ต่อเมื่อทันทีที่ SWITCH TE ถูกกด (ที่ขา TE ได้รับ ACTIVE LOW) ซึ่งข้อมูลดังกล่าวจะถูกส่งออกไปมีลักษณะเป็น WORD โดยจะถูกส่งออกไปเป็นจำนวน 2 DATA WORDS ด้วยกันซึ่งหากทางรับ 4 DATA WORDS ทั้งสองนี้ได้เหมือนกันแสดงว่าการส่งและการรับ ข้อมูลเป็นไปอย่างถูกต้องสมบูรณ์ที่สุด จะทำให้ทางภาครับ 4 ผลิตสัญญาณ VT (VALID TRANSMISSION) ออกมาทุกครั้งเลย

ในการส่งแต่ละครั้ง DATA BIT จะถูกเข้ารหัสแบบ 2 DATA PULSE โดยที่โลจิก "0" จะมีลักษณะเป็น พัลส์สั้น ๆ 2 พัลส์ต่อเนื่องกันไป และโลจิก "1" จะมีลักษณะเป็นแบบพัลส์ยาว ๆ 2 พัลส์ต่อเนื่องกันไป ส่วนสำหรับสถานะ

"open" จะมีลักษณะการเข้ารหัส เป็นแบบพัลส์ยาว 1 ครั้ง แล้วตามด้วยพัลส์สั้น ๆ อีก 1 พัลส์ ดังแสดงการเข้ารหัสของสภาวะต่าง ๆ ดังกล่าว (0 , 1, open) ดังรูปที่ 5

ENCODER DATA WAVEFORMS (MC 145026)

continuous transmission



รูปที่ 5 แสดงลักษณะการเข้ารหัสของ Data Bit

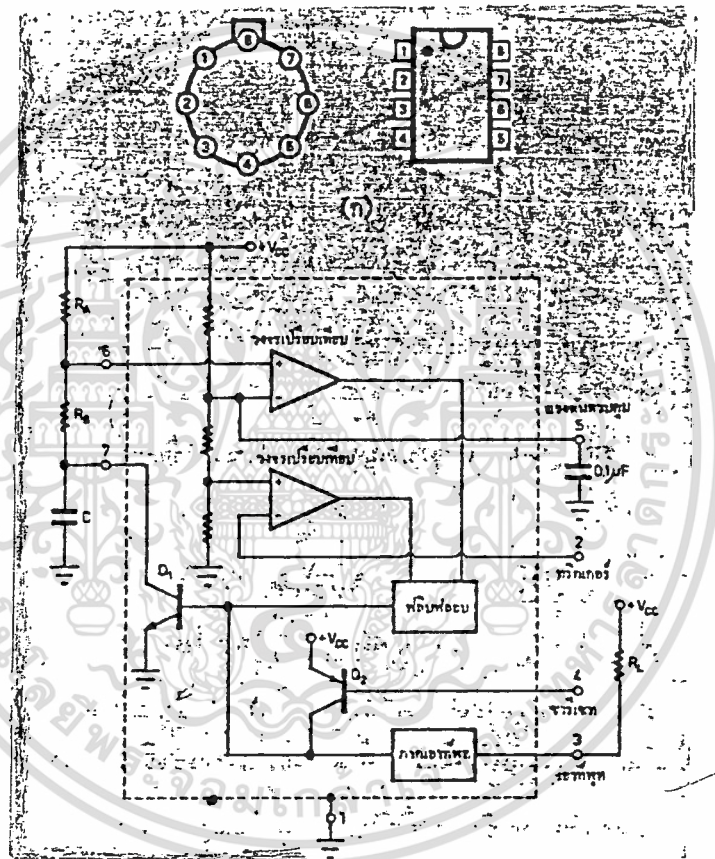
ดังนั้น DATA OUT ที่ขา 15 ของ MC 145026 ขนาด 9 บิต ซึ่งในแต่ละบิตของ DATA ที่ส่งออกไปจะมีสภาวะเป็น 0 , 1 , open สภาวะใดก็ได้

ซึ่งจะมีลักษณะเป็นลักษณะ Pulse ที่ส่งไปยังภาค MODULATOR โดยใช้ IC
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้
เบอร์ 555

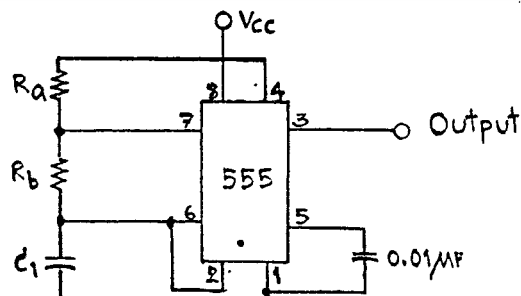
การคำนวณและการทำงานของภาค MODULATOR

หน้าที่ของภาค MODULATOR คือจะทำการ MOD สัญญาณที่ได้จากภาค ENCODER กับ สัญญาณพาห้ (CARRIER) โดยอาศัย IC เบอร์ 555 จัดเป็นวงจร ASTABLE MULTIVIBRATOR

ทฤษฎีและหลักการทำงานของวงจร ASTABLE MULTIVIBRATOR หรือ วงจร square-wave clock ซึ่งประกอบขึ้นมาจาก TIMER เบอร์ 555 ดังแสดงในวงจรรูปที่ 6



รูปที่ 6(ก) ลักษณะการจัดขาของ IC #555



รูปที่ 6(ข) ASTABLE MULTIVIBRATOR CIRCUIT

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การทำงานของวงจร

จากวงจร ASTABLE MULTIVIBRATOR นั้น RESISTOR (R_1, R_2) ทำหน้าที่เป็น timing resistor เมื่อวงจรได้รับ bias voltage จากแหล่งจ่ายกำลัง ส่วน CAPACITOR (C_1) ทำหน้าที่เป็น timing capacitor โดยเมื่อตัวเก็บประจุ C_1 ได้รับประจุที่มาจากกระแสที่ไหลผ่าน ตัวความต้านทาน R_1, R_2 จนค่าแรงดันคร่อมตัวมันมีค่า $2/3 V_{cc}$ วงจรภายใน จะทำให้มันคลายประจุจนกระทั่งแรงดันคร่อมตัวมันเพียง $1/3 V_{cc}$ โดยการคลายประจุผ่าน R_2 เข้าไปยังวงจรภายใน แล้วมันจะเริ่มรับประจุใหม่ นั่นคือแรงดันคร่อมตัวเก็บประจุออสซิลเลทอยู่ระหว่างช่วงแรงดันจาก $1/3 V_{cc}$ ถึง $2/3 V_{cc}$ การออสซิลเลทนี้เป็นผลทำให้แรงดัน OUTPUT เกิดการสวิตช์อยู่ที่ระดับสองระดับ คือ V_{cc} และ GND

โดยปกติช่วงเวลาที่ตัวเก็บประจุ หรือเอาท์พุทอยู่ในสภาวะ $+V_{cc}$ เราสามารถคำนวณได้จาก

$$t_1 = 0.69 (R_1 + R_2) * C_1$$

ในทำนองเดียวกันช่วงเวลาที่ตัวเก็บประจุ หรือเอาท์พุทอยู่ในสภาวะ GND เราสามารถคำนวณได้จาก

$$t_2 = 0.69 (R_2) * C_1$$

คาบเวลาในหนึ่งไซเคิลหาได้จาก

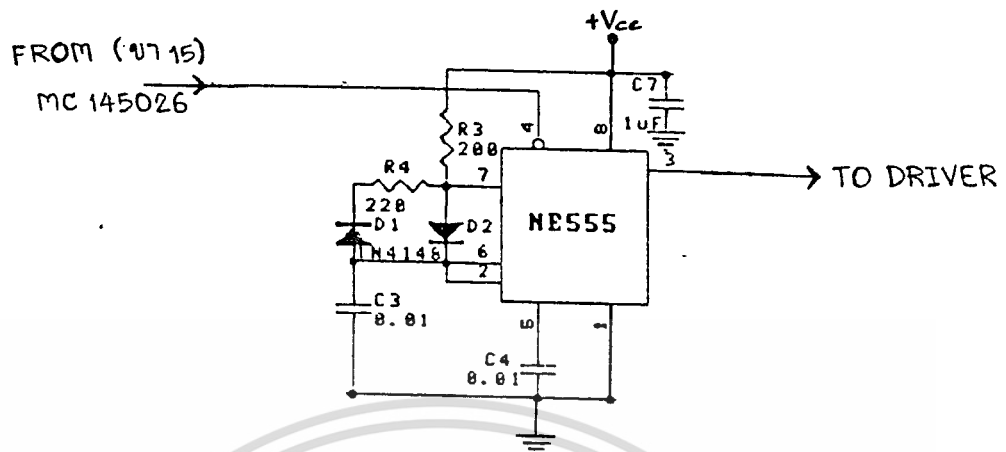
$$T = t_1 + t_2$$

ดังนั้น ความถี่ของการออสซิลเลท คือ

$$f = 1/T$$

$$= 1.44 / [(R_1 + R_2) * C_1]$$

ซึ่งเราจะเห็นได้ว่า วงจร ASTABLE MULTIVIBRATOR คือ วงจร OSCILLATOR ชนิดหนึ่ง แต่ออสซิลเลทให้สัญญาณ OUTPUT มีรูปร่างเป็น square wave ความถี่ของสัญญาณออสซิลเลเตอร์แบบนี้ควบคุมได้ง่ายโดยใช้ตัวต้านทานและตัวเก็บประจุเท่านั้น ความถี่ที่ได้สามารถกำหนดให้มีค่าได้ต่ำมาก ๆ และการใช้งานวงจรออสซิลเลเตอร์ชนิด ASTABLE MULTIVIBRATOR จะใช้ในวงจรสร้างสัญญาณรูปสี่เหลี่ยม สัญญาณนาฬิกา สัญญาณกำหนดฐานเวลา



รูปที่ 7 แสดงภาค MODULATOR

ในภาค MODULATOR นี้วงจร ASTABLE ทำหน้าที่ผลิตความถี่พาห์ขนาด 166.7 KHZ โดยที่สัญญาณพาห์จะขึ้นอยู่กับค่าของอุปกรณ์ R_a , R_b และ C_1 โดยสามารถคำนวณได้จากสูตร

สูตรการคำนวณ

ในวงจรกำหนดให้ $R_a = R_7$, $R_b = R_8$, $C_1 = C_6$

$$T_{(high)} = 0.69 * (R_a + R_f) * C_1$$

$$T_{(low)} = 0.69 * (R_b + R_f) * C_1$$

$$T = T_{(high)} + T_{(low)}$$

$$F = 1/T$$

ในการทดลองของภาค MODULATOR ได้ความถี่พาห์ = 166.7 KHZ ดังนั้น จะได้

$$T = 1/166.7 \text{ KHZ} = 6 \text{ us.}$$

$$\text{กำหนด DUTY CYCLE} = 50 \%$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$T_{(high)} = T_{(low)} = 6 \text{ uS.} / 2 = 3 \text{ uS.}$$

กำหนดให้ $C_1 = 0.01 \text{ uF.}$, $R_F = 235 \text{ Ohm.}$

$$\text{จาก } T_{(high)} = 0.69 * (R_u + R_F) * C_1$$

$$3 \text{ uS} = 0.69 * (R_u + 235) * 0.01 \text{ uF.}$$

$$0.69 * (R_u + 235) = 3 \text{ uS.} / 0.01 \text{ uF.}$$

$$(R_u + 235) = 300 / 0.69$$

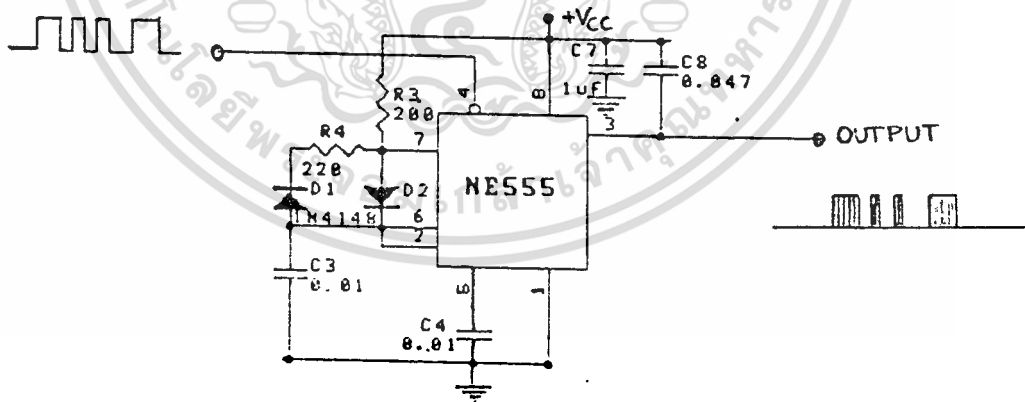
$$R_u = 434.78 - 235$$

$$R_u = 200 \text{ Ohm.}$$

$$\text{ค่า } R_u = R_u = 200 \text{ Ohm}$$

สำหรับ CAPACITOR (C_u) มีค่าเท่ากับ 0.047 uF. จะทำหน้าที่รักษาอาการ damp ของรูปคลื่นเพื่อให้ได้ รูปคลื่นที่มีลักษณะเป็น square wave จริงๆ

สำหรับ DIODE D_1, D_2 จะทำหน้าที่ควบคุมและรักษาระดับ DUTY CYCLE ให้มีค่าเป็น 50 %



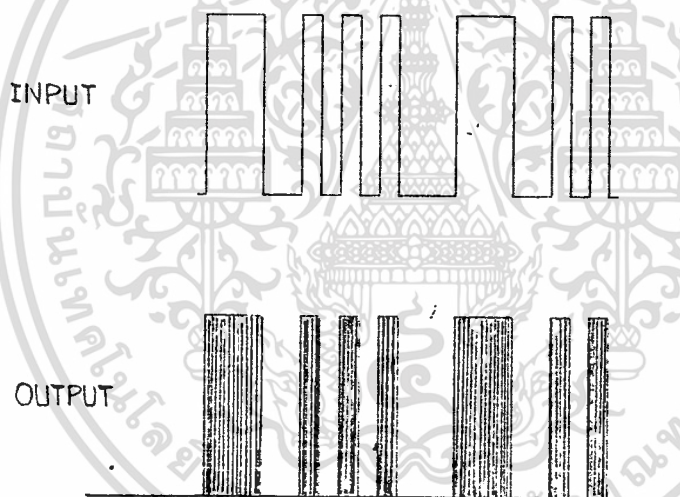
รูปที่ 8 แสดงภาค MODULATOR ขณะมีสัญญาณ DATA เข้ามา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การทำงาน

ภาค MODULATOR จะทำการผลิตสัญญาณพาห์ ออกมาทันทีที่แรงดันที่ขา 4 ของ IC เบอร์ 555 มีสถานะเป็น "high" จึงจะทำให้มีสัญญาณด้วยความถี่ 166.7 KHZ ปรากฏออกทางขา 3 ได้และในขณะเดียวกันนั้นหากระดับที่ขา 4 ของ IC เบอร์ 555 มีสถานะเป็น "low" จะทำให้ภาค MODULATOR หยุดผลิตสัญญาณพาห์ จึงทำให้ไม่มีสัญญาณใด ๆ ปรากฏออกทางขา 3 เลย

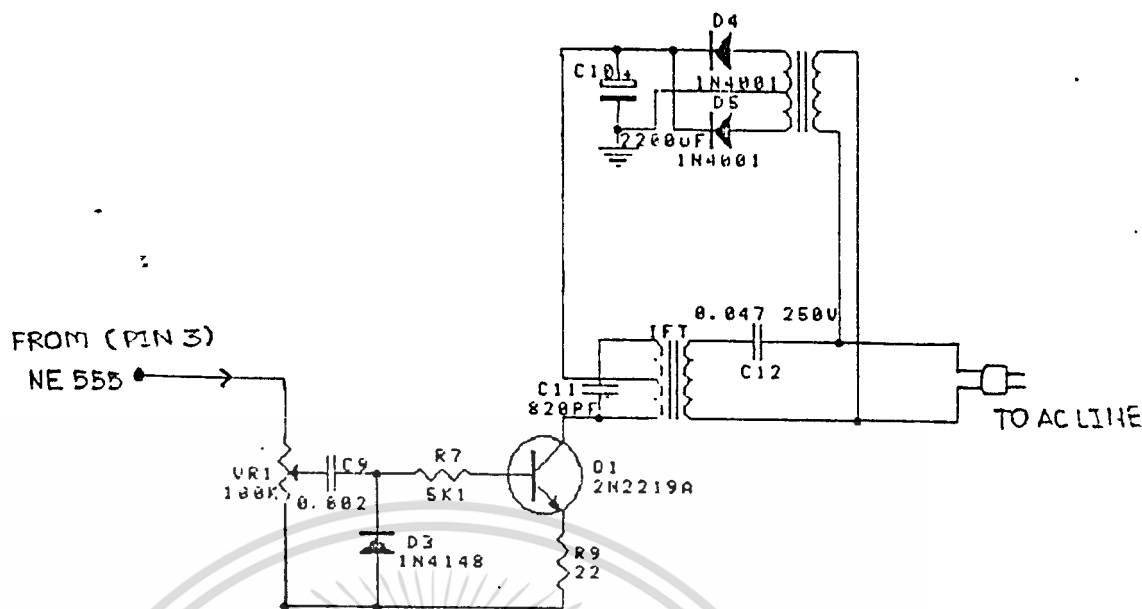
ดังนั้นเมื่อนำสัญญาณ DATA ที่ได้จากภาค CODER ซึ่งจะมีลักษณะเป็น square wave แบบ PULSE WIDTH MOD นำมาป้อนแก่ขา 4 ของ IC เบอร์ 555 จะทำให้มี OUTPUT ปรากฏออกที่ขา 3 เป็นลักษณะเหมือนสัญญาณ DATA ที่ป้อนเข้ามา แต่มีการ MOD สัญญาณ carrier เข้าไปด้วยกัน ดังรูป



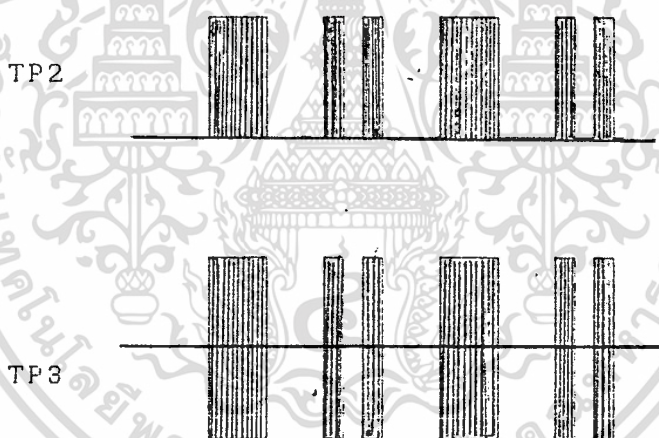
รูปที่ 9 แสดงสัญญาณ INPUT และ OUTPUT ของภาค MOD

DATA จากภาค CODER ที่ผ่านการ MOD กับ carrier ซึ่งได้จากขา OUTPUT (ขา 3 ของ IC #555) แล้วจะถูกส่งเข้าที่ขา base ของ TRANSISTOR (Q1) ซึ่งเป็นภาค DRIVER เพื่อทำการขยายกำลังให้สูงขึ้นโดยใช้หม้อแปลง IFT จนเอาความถี่ที่ขยายแล้วนั้น coupling ผ่าน $C_{1,2}$ ไปยังสายไฟ 220 V. (AC LINE) โดยมีความแรงของสัญญาณที่ขา collector ของ TRANSISTOR (Q1) ประมาณ 30-40 V.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 10 แสดงวงจร coupling ผ่าน AC LINE

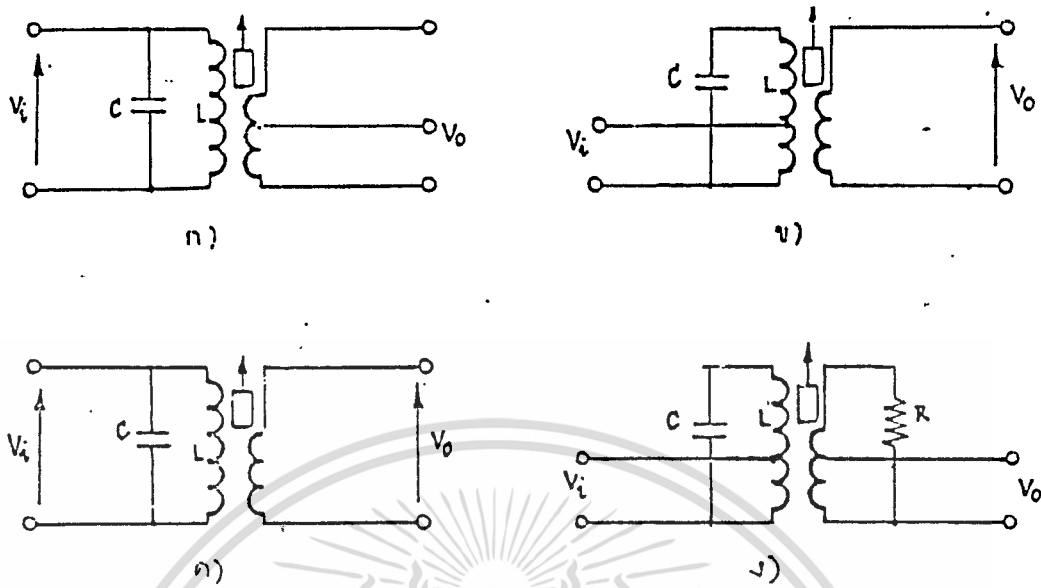


รูปที่ 11 สัญญาณที่ปรากฏใน AC LINE

วงจรจูน (TUNE)

วงจรจูนของเครื่องส่งนี้เป็น LC ใช้หลักการ Resonant ในการเลือกความถี่ที่เหมาะสมผ่านตัวมัน วงจรนี้ปกติจะเรียกว่า วงจรแทงค์ (TANK CIRCUIT) มีคุณสมบัติเป็นฟิลเตอร์เช่นเดียวกับ RC FILTER กล่าวคือตัวมันจะเป็น แบนด์พาสฟิลเตอร์ (BAND PASS FILTER) จะยอมให้ความถี่ที่ต้องการผ่านเท่านั้น วงจรแทงค์สามารถจะต่อใช้งานได้หลายลักษณะตามความต้องการ ดังรูปที่ 12

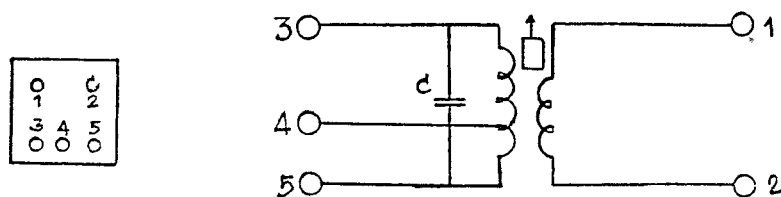
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 12 วงจรทางคัลักษณะต่าง ๆ

วงจรของเครื่องส่งจะใช้หม้อแปลง ไอ เอฟ ของวิทยุตัดแปลงใหม่ เพื่อให้เหมาะสมกับความถี่ที่ใช้งาน ซึ่งหม้อแปลงนี้มีขายทั่วไป ซึ่งมีขนาดความถี่ Resonant 455 KHZ บางแบบ มีขนาดความถี่ Resonant 10.7 MHZ ที่ใช้วิทยุ เอฟ เอ็ม แต่ที่เราใช้ในเครื่องส่งนี้จะใช้หม้อแปลง ไอ เอฟ ที่มีขนาดความถี่ Resonant 455 KHZ ปรบองส์ดำซึ่งมีค่าใกล้เคียง 166.7 KHZ มาทำการตัดแปลง

ในภาคส่งนี้ หม้อแปลงไอ เอฟ ใช้ยี่ห้อ YMC 6649 สีดำนี้อาจสังเกตการพันดังรูปที่ 13



รูปที่ 13 แสดงลักษณะการพัน ของ YMC 6649

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หม้อแปลงไอ เอฟ เดิมนั้นจะมีขดลวดเดิมของมันพันอยู่และมีคาปาซิเตอร์ติดมาด้วยซึ่งคาปาซิเตอร์นี้จะมีค่าความจุประมาณ 280 pF และ Resonant ที่ความถี่ 455 KHZ เพราะฉะนั้นความถี่ Resonant (f_o) จะได้

$$W_o L = 1 / (W_o * C)$$

$$L = 1 / (W_o^2 * C)$$

ดังนั้น เราสามารถคำนวณค่าเหนี่ยวนำได้ เมื่อเราทราบจำนวนรอบที่พันระหว่างขั้ว 1-3

$$\text{ค่าความเหนี่ยวนำต่อรอบ} = 1 / (W_o^2 * C * N)$$

เมื่อ N = จำนวนรอบของขดลวดที่ขั้ว 3-5

เมื่อเราใช้ลวดเบอร์เดิม แต่ต้องการเปลี่ยนจำนวนรอบ ค่าคาปาซิเตอร์และความถี่ Resonant เราจะสามารถคำนวณได้ เช่น เราหาค่าเหนี่ยวนำต่อรอบได้ $1 * 10^{-5}$ H และค่า C = 820 pF และต้องการความถี่ Resonant ที่ 166.7 KHZ เราก็จะหาจำนวนรอบได้

$$1 * 10^{-5} = 1 / (W_o^2 * C * N)$$

$$N = 1 / (W_o^2 * 820 \text{ pF} * 10^{-5})$$

$$N = 1 / (W_o^2 * 8.2 * 10^{-15})$$

เมื่อ $f_r = 2\pi / LC$

$$W_o^2 = 1 / LC = (2 f_r)^2$$

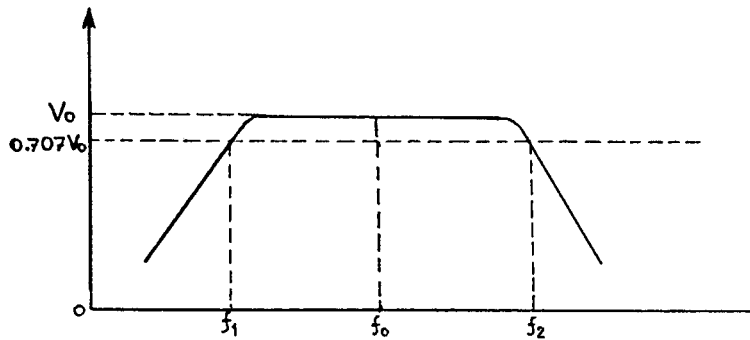
$$W_o^2 = (2 * 3.14 * 166.7 * 10^3)^2 = 1.097 * 10^{12} \text{ rad}$$

$$N = 1 / (1.097 * 10^{12} * 8.2 * 10^{-15})$$

$$N = 1 / (9 * 10^{-3})$$

$$N = 111.2 \text{ รอบ}$$

ข้อควรคำนึงอีกอย่างหนึ่งคือ ค่าแฟกเตอร์คุณภาพ (QUALITY FACTOR) ควรจะต้องมีค่าสูง ๆ และต้องอยู่ในเกณฑ์ที่พอเหมาะซึ่งค่าแฟกเตอร์นี้หาได้ดังรูปที่ 14



รูปที่ 14 แสดงคุณลักษณะของ Band Pass Filter

จากรูปจะเห็นได้ว่า BandWidth (BW) คือช่วงระหว่าง f_1 ถ้า BW แคบจะทำให้ Q_o มีค่ามาก เราสามารถหาค่า QUALITY FACTOR (Q_o) ได้จากสูตร

$$Q_o = f_o / BW$$

การออกแบบวงจร Tank มีหลักการดังนี้

- การเลือกค่า Q ของวงจร Tank
- การเลือกค่าความจุของ Capacitor
- การเลือกค่า Henry ของ Coil

การเลือกค่า Q ของวงจร Tank

การสร้างวงจรขยายสัญญาณนั้นนอกจากจะกำหนด class ของวงจรขยายเพื่อให้ได้ประสิทธิภาพตามต้องการแล้ว ค่า Q (Quality Factor) ของวงจร Tank ก็เป็นอีกส่วนหนึ่งที่เป็นตัวกำหนดประสิทธิภาพของวงจรด้วย โดยยึดหลักว่า ถ้า Q ของวงจร Tank มีค่าน้อย ประสิทธิภาพของวงจรขยายจะต่ำ และ Output จะให้ Harmonic ออกมามาก แต่ถ้า Q ของวงจร Tank มีค่าสูง ก็จะทำให้มีกระแสไหลภายในวงจร Tank สูงมาก การสูญเสียภายในวงจร Tank มีค่ามากขึ้น และ Bandwidth แคบลง ฉะนั้นค่าที่พอเหมาะที่นิยมใช้กันทั่ว ๆ ไป คือค่า Q ของวงจร Tank จะใช้ประมาณ 10 ถึง 20

ในวงจร Tank นั้น ω . Resonant Frequency ค่า X_L จะเท่ากับ X_C และ Impedance ของวงจรจะมีค่าสูงสุด ส่วนค่า Q ของวงจรจะมีค่าเท่ากับ X_L / X_R เขียนเป็นสูตรได้ดังนี้

ω . Resonant Frequency

$$Q = X_L / R_s \quad (\text{ไม่มีหน่วย})$$

$$X_L = 2\pi FL \quad (\text{Ohm})$$

$$X_C = 1/2\pi FC \quad (\text{Ohm})$$

$$Z = X_L * Q \quad (\text{Ohm})$$

Q = Quality Factor.

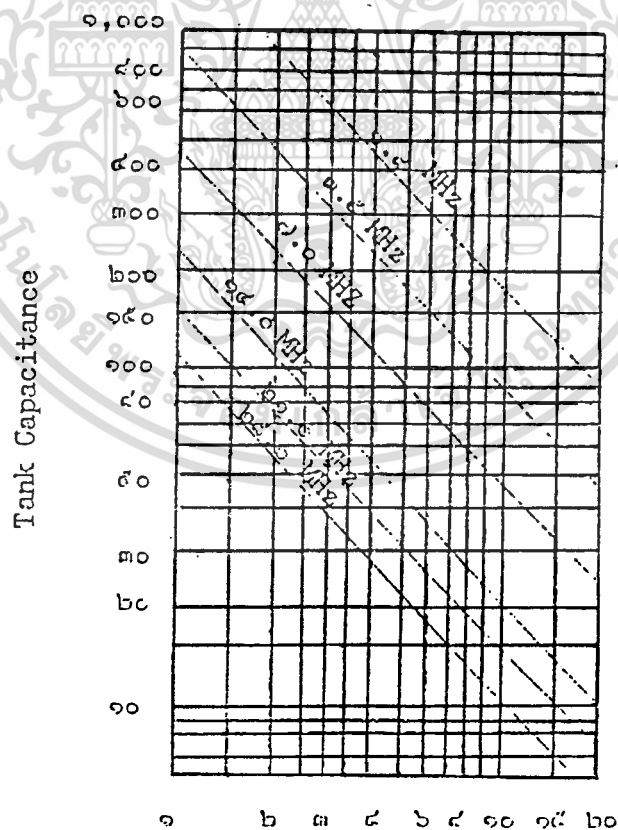
X_L = Reactance of Tank Coil in Ohms.

R_s = Series Resistance in Ohms.

การเลือกค่าความจุของ Capacitor

การเลือกค่าความจุของ Capacitor ของวงจร Tank ที่ใช้กับวงจรขยายนั้น ในทางปฏิบัติ จะใช้สูตรหาอัตราส่วนระหว่าง Collector Voltage กับ Collector Current แล้วเอาค่าที่ได้ไปเปิดหาค่า Capacitor จาก Chart อีกต่อหนึ่งดังนี้

Ratio ของ Collector Voltage / Collector current



ตารางสำหรับเทียบค่าความจุของ Capacitor ในวงจร Tank

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การเลือกค่า Henry ของ Coil

เมื่อได้ค่าของ Capacitor สำหรับวงจร Tank แล้วจากนั้นก็สามารถหาค่าของ Coil ออกมาได้ดังนี้

จากสูตร Resonant frequency

$$Fr = 1/2\pi\sqrt{LC}$$

หรือเปลี่ยนเป็น $L = 1/[C(2\pi Fr)^2]$

สำหรับความถี่ที่เป็น KHZ ใช้สูตร

$$L = 10^6/[C(2\pi Fr)^2]$$

เมื่อ

L = Inductance in uH

C = Capacitance in uF

Fr = Frequency in KHZ

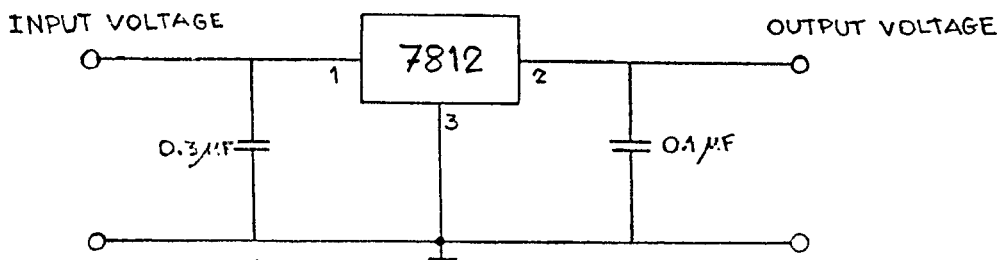
แหล่งจ่ายไฟ (POWER SUPPLY)

ภาคจ่ายไฟที่ใช้ในเครื่องส่งและเครื่องรับแบ่งได้เป็น 2 ส่วน คือ

1. แบบ REGULATOR
2. แบบ UNREGULATOR

แบบ REGULATOR หรือแบบคงที่

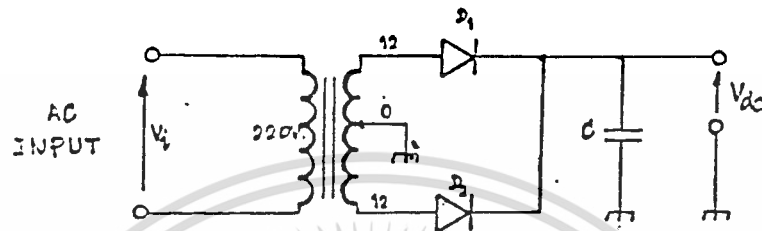
แรงดันที่ Output จะคงที่เมื่อ LOAD เปลี่ยนแปลงไป เมื่อนำมาจ่ายแรงดันให้กับภาค OSCILLATOR จะทำให้ได้ความถี่ที่คงที่ ซึ่งแหล่งจ่ายไฟแบบคงที่นี้เราใช้ IC REGULATED เบอร์ 7805 ซึ่งแรงดัน Output จะเท่ากับ 5 โวลต์ และมีการจัดวงจรดังนี้



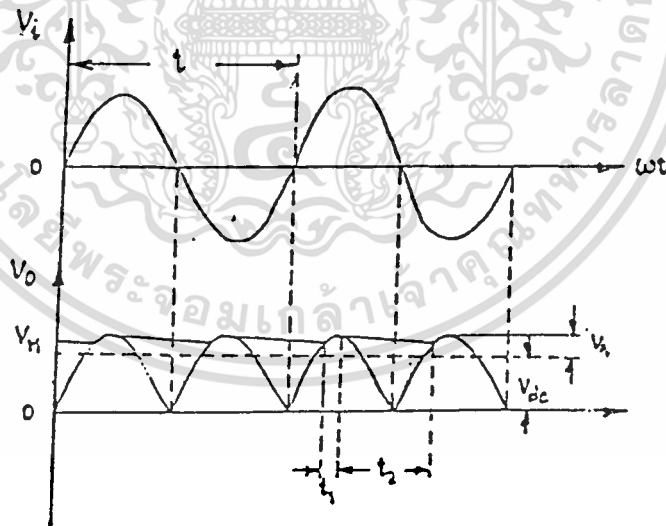
รูปที่ 15 วงจรภาคจ่ายไฟแบบคงที่

แบบ UNREGULATOR หรือแบบไม่คงที่

แรงดันที่ Output จะไม่คงที่เมื่อ LOAD เปลี่ยนแปลงไป เมื่อเข้ามาจ่ายแรงดันให้กับภาค OSCILLATOR จะทำให้ได้ความถี่ที่ไม่คงที่



รูปที่ 16 วงจรภาคจ่ายไฟแบบไม่คงที่ ชนิด FULL WAVE



t_1 = ช่วงที่ C-Charge , t_2 = ช่วงที่ C-Discharge

รูปที่ 17 Wave Form วงจรภาคจ่ายไฟแบบไม่คงที่ ชนิด FULL WAVE

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จาก V_{dc} หาได้จาก $V_{dc} = -I_{dc}/4f_c$

- V_m : Peak Rectifier Voltage เมื่อยังไม่มี C-Filter
- I_{dc} : กระแสที่ไหลผ่าน LOAD
- f : ความถี่ไฟสลับ

ส่วน RIPPLE VOLTAGE (V_r) หาได้จาก

$$V_r = I_{dc} / (4 \times 3 \times f_c)$$

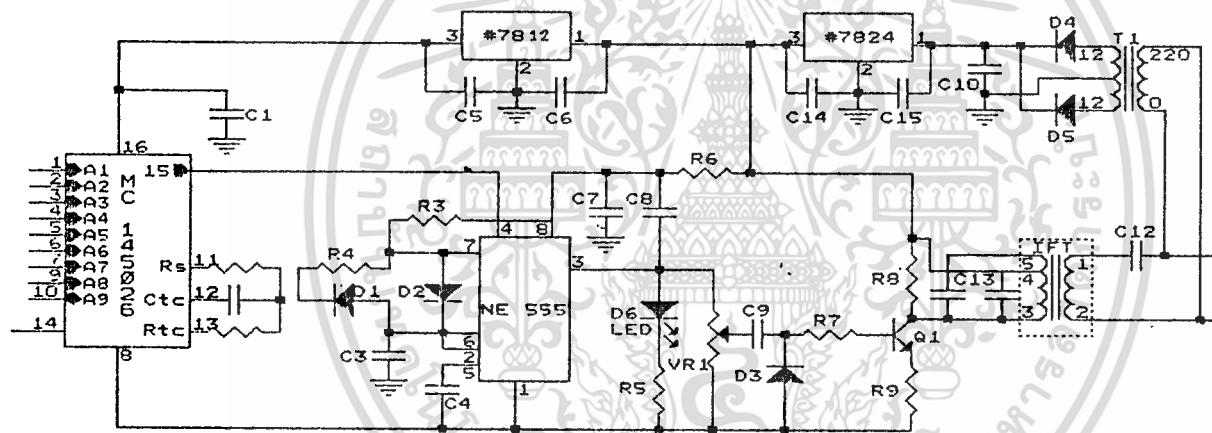
เมื่อให้ Output Voltage และ Ripple Voltage เราสามารถหา Percent Ripple ($\% r$) ได้ดังนี้

$$\% r = V_r / (V_{dc} \times 100)$$

ดังนั้น ค่า Ripple Factor ที่จะแปรผันเป็นส่วนกลับ กับ ค่าคาปาซิเตอร์ ดังนั้นถ้าต้องการวงจรที่มี REGULATION ดีขึ้นจะต้องเลือกค่า C ให้มากขึ้น และยังขึ้นอยู่กับการโหลด (R_L) ที่นำมาต่อด้วย

ส่วนค่า PEAK INVERSE VOLTAGE OF DIODE (PIV) คือค่าแรงดันย้อนกลับขณะ REVERSE BIAS ของไดโอดที่ทนได้ ซึ่งดูได้จากข้อมูลจำเพาะของไดโอดเบอร์นั้น

$$PIV = 2V_m$$

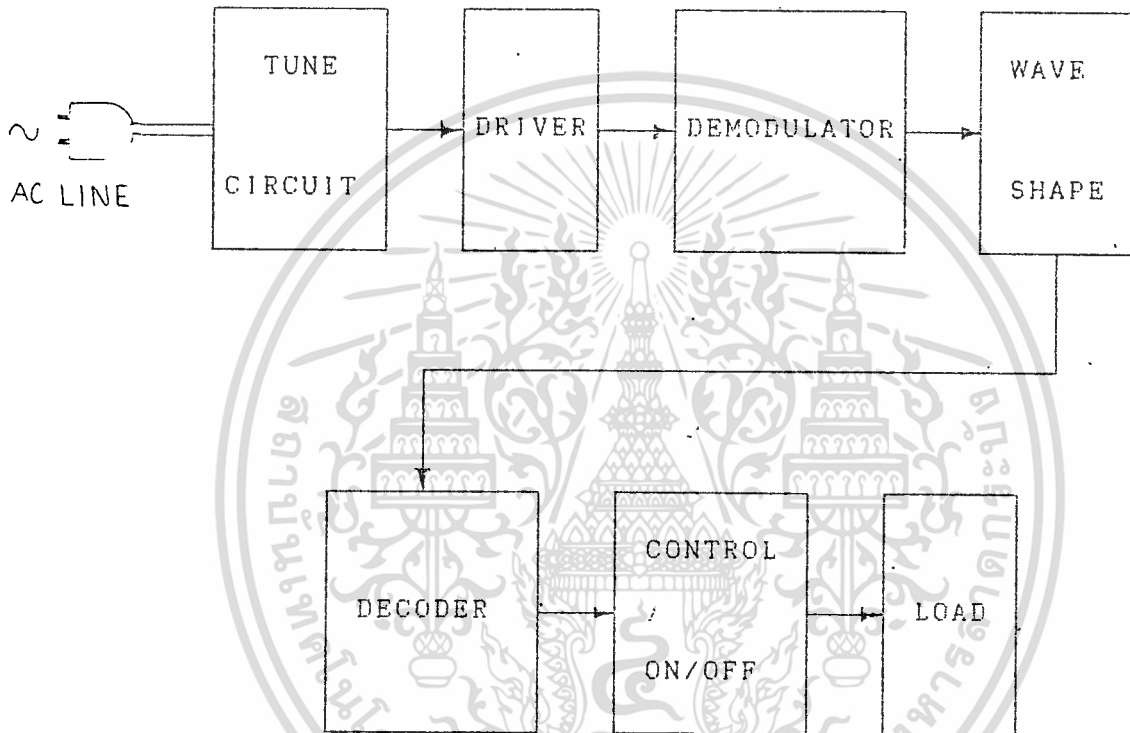


รายการอุปกรณ์ภาคส่ง

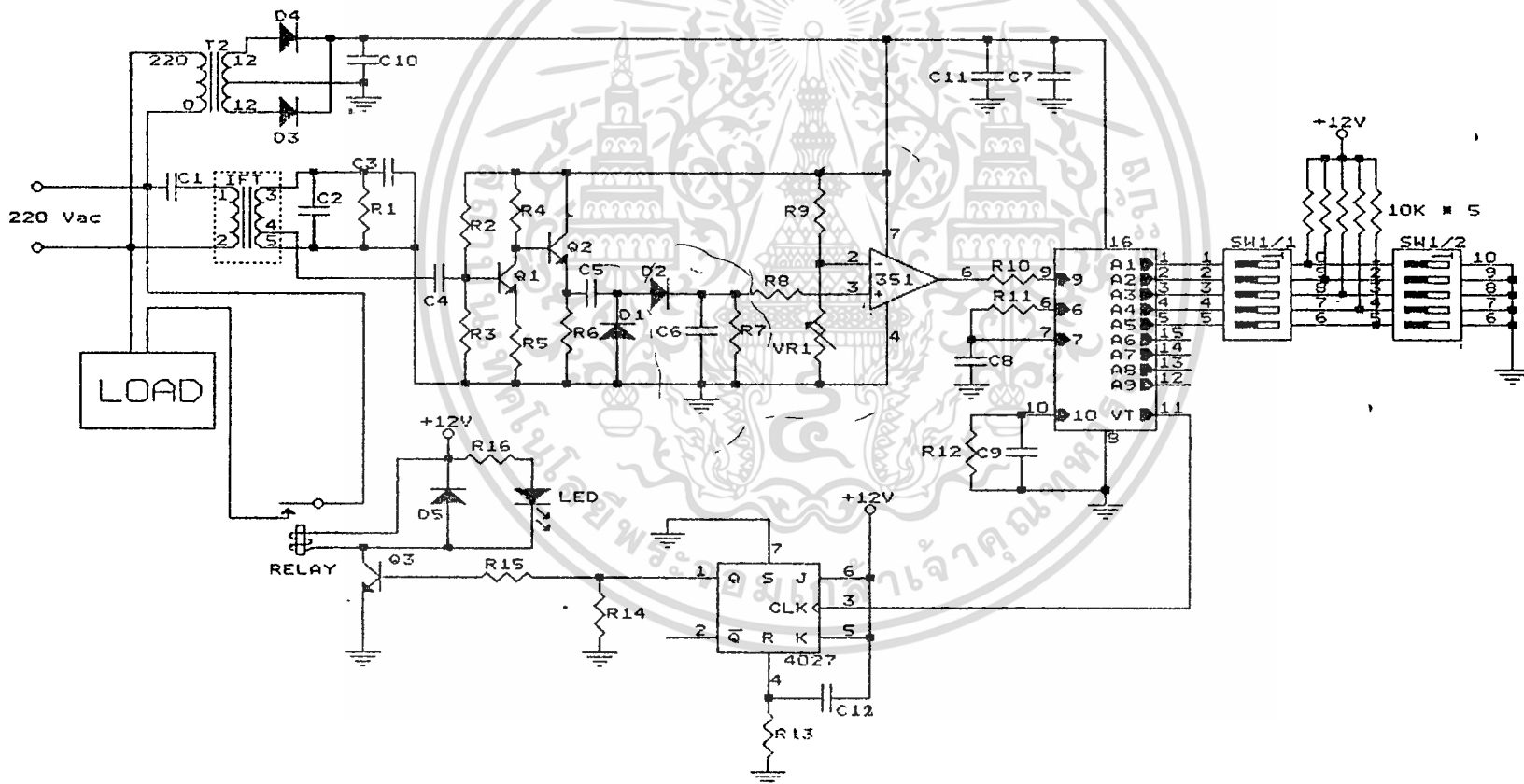
R_1	=	30K	C_1	=	0.1 uF
R_2	=	15K	C_2	=	0.047 uF
R_3	=	200	C_3	=	0.01 uF
R_4	=	220	C_4	=	0.01 uF
R_5	=	1K	C_5	=	1 uF
R_6	=	330	C_6	=	0.1 uF
R_7	=	5.1K	C_7	=	1 uF/16V
R_8	=	470	C_8	=	0.047 uF
R_9	=	22	C_9	=	0.002 uF
D_1, D_2, D_3	=	1N4148	C_{10}	=	2200 uF/25V
D_4, D_5	=	1N4001	C_{11}	=	820 pF
D_6	=	LED	C_{12}	=	0.047 uF/250V
T_1	=	12-0-12 V	Q_1	=	2N2219A
IC # MC 145026	/ IFT (BLACK) # YMC 6449				
# NE 555	DIP SW.				
# 7812					

ภาครับ

ภาครับสามารถเขียนเป็น BLOCK DIAGRAM ได้ดังรูปที่ 18



รูปที่ 18 BLOCK DIAGRAM ของภาครับ



BUILDING AUTOMATION RECEIVER		
Size	Document Number	REV
A		

รายการอุปกรณ์ภาครับ

$R_1 = 50K$	$C_1 = 0.047 \mu F/250V$
$R_2 = 100K$	$C_2 = 820 pF$
$R_3 = 10K$	$C_4 = 0.01 \mu F$
$R_4 = 8.2K$	$C_5 = 0.001 \mu F$
$R_5 = 620$	$C_6 = 0.001 \mu F$
$R_6 = 1k$	$C_7 = 1\mu F/16V$
$R_7 = 100K$	$C_8 = 0.12 \mu F$
$R_8 = 100K$	$C_9 = 0.12 \mu F$
$R_9 = 1.5K$	$C_{10} = 1000 \mu F/16V$
$R_{10} = 2.2K$	$C_{11} = 1 \mu F$
$R_{11} = 24K$	$C_{12} = 47 \mu F/16V$
$R_{12} = 470K$	LED
$R_{13} = 10K$	$D_1, D_2 = 1N4148$
$R_{14} = 1K$	$D_3, D_4, D_5 = 1N4001$
$R_{15} = 100K$	RELAY = 12V/5A
$R_{16} = 1K$	$Q_1, Q_2 = BC 546$
$R = 10K \times 5$	$Q_3 = 2SC458$
$T_1 = 1F7 (BLACK)$	
$T_2 = 12-0-12 V$	
IC # LM351	
# MC145026	
# MC14027	

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

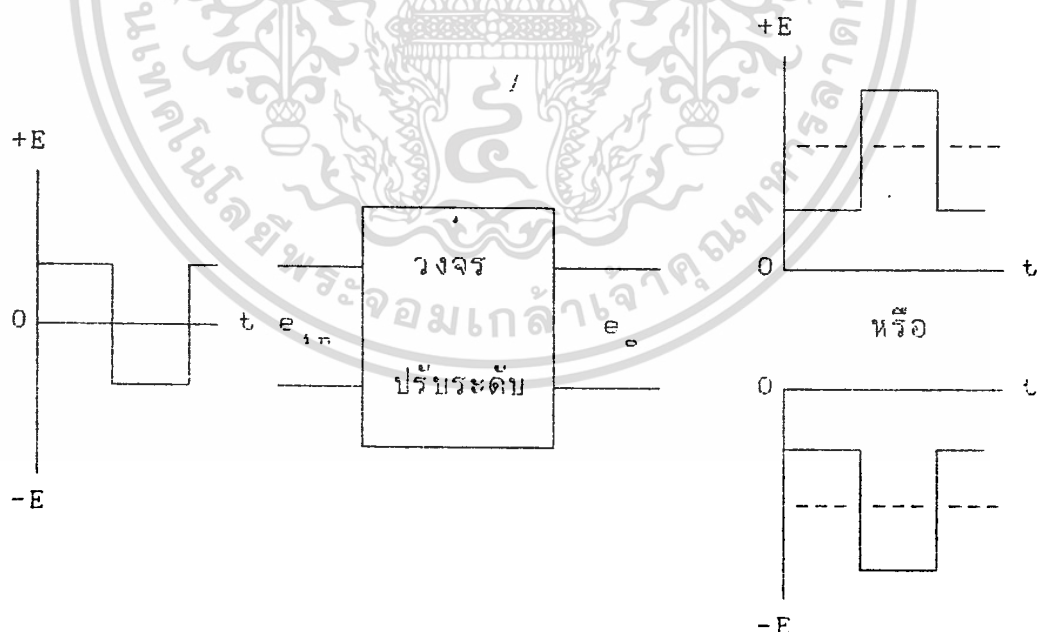
หลักการทํางานของวงจรภาครับ

ทางด้านตัวรับจะมีภาค DEMODULATOR วงจรของตัวรับที่สมลบลมบูรณ์แสดงดังในรูปที่ 19 สัญญาณที่อยู่ในสายไฟ 220 โวลต์ (AC LINE) จะ coupling ผ่าน C_1 เข้าไปยังวงจรจูน ซึ่ง C_1 จะเป็นตัวกันไฟ 220 โวลต์ เข้ามาในวงจร หลังจากสัญญาณเข้ามาแล้ว IFT (BLACK) จะทำการจูนเอาความถี่ที่ต้องการออกมาซึ่งจะมีความถี่ resonance ที่ความถี่ 166 KHz หลังจากจูนความถี่พ้ที่ต้องการออกมาแล้วความถี่ดังกล่าวนี้จะถูกป้อนเข้าไปยังภาคขยายซึ่งประกอบด้วย $C_4, R_2, R_3, R_4, R_5, R_6, Q_1, Q_2$ ซึ่งมี input เข้าทางตัวเก็บประจุ C_4 และมี output ออกทาง C_5 โดยที่ Q_1 และอุปกรณ์รอบข้าง R_2, R_3, R_4, R_5 จะทำหน้าที่ขยายสัญญาณให้สูงขึ้น ซึ่งในวงจรมีอัตราขยายเท่ากับ 10 และ output ของวงจรจะมีค่า impedance ต่ำ ซึ่งในวงจรจะเป็นแบบ EMITTER FOLLOWER และสำหรับ Q_2 นั้นจะทำหน้าที่ DRIVE สัญญาณให้มีกำลังสูงขึ้นก่อนที่จะป้อนให้แก่วงจรประระดับของสัญญาณ เพื่อยกระดับสัญญาณให้เป็นค่าบวกก่อนจะเข้าวงจร DETECTOR ซึ่งใช้วงจร Peak detector วงจรนี้ทำหน้าที่แยกสัญญาณคลื่นพาห์ออกจากสัญญาณ Pulse code เพื่อเอาสัญญาณ Pulse code ส่งเข้า วงจร Schmitt Trigger Comparator ซึ่งสัญญาณคลื่นพาห์จะถูก BYPASS ทิ้งไป เมื่อสัญญาณ Pulse code เข้า วงจร Schmitt Trigger comparator ซึ่งประกอบด้วย IC #351 ทำการเปรียบเทียบกับแรงดันอ้างอิงที่ขา 2 ของ IC #351 หากสัญญาณ Pulse code ที่ได้มีมากกว่า IC #351 ก็จะทำให้ output ของ IC #351 มีลักษณะเป็น "high" ถ้าหากสัญญาณ Pulse code ที่ได้มีค่าน้อยกว่าที่ขา 2 ของ IC #351 ก็ทำให้ output ของ IC #351 มีลักษณะเป็น "low" เพื่อที่จะทำการเปรียบเทียบ และตกแต่งขอบสัญญาณให้ดีขึ้น สำหรับที่จะนำไปป้อน ให้แก่ IC MC145028 (DECODER) ที่ขา 9 ของ IC MC145028 ซึ่ง IC MC145028 นี้จะทำการรับ Pulse code ที่ทางเครื่องส่งมาเป็น DATA 2 Word แล้วทำการเช้คดูว่า Pulse code ที่เข้ามาตรงกับ ADDRESS 9 bit ที่เรา set ที่ di-switch หรือเปล่าถ้าตรงก็จะให้ output ออกมาที่ขา 11 (ขา VT) เป็น "high" เป็นเวลา $= 11(R_2/C_2)$ ช่วงขา VT Active จะส่งเป็น Pulse ให้ภาค CONTROL ON/OFF สัญญาณ VT นี้จะเข้ามาขา 3 ของ

IC MC14027 ซึ่งเป็นวงจร Toggle และขา 1 (ขา Q) ของ IC MC14027 ต่อกับวงจรขับ Relay ดังนั้นเมื่อ VT Active ครั้งแรกขา 1 ของ IC MC14027 มีสถานะเป็น "high" จะทำให้วงจรขับนี้ทำงานทำให้ Relay ทำงาน และเมื่อ VT Active อีกครั้งขา 1 ของ IC MC14027 มีสถานะเป็น "low" จะทำให้วงจรขับไม่ทำงานทำให้ Relay ไม่ทำงาน ซึ่ง Relay จะต่อกับ LOAD ดังนั้นเราสามารถ CONTROL LOAD ให้ ON/OFF ได้ตามต้องการซึ่งตัวรับหนึ่งตัวจะมี ADDRESS หนึ่ง ADDRESS เท่านั้น

วงจรปรับระดับของสัญญาณ (CLAMPER)

วงจร CLAMPER เป็นวงจรที่เพิ่มค่าไฟ DC-Voltage ให้กับสัญญาณ AC (Pulse) บางครั้งเรียกว่า วงจร dc restorer (วงจรเพิ่มกระแสตรง) หรือ วงจร dc inserter circuit (วงจรเติมกระแสตรง) สัญญาณ AC ที่จะใส่ระดับสัญญาณ DC เข้าไปในสัญญาณจะเป็น sine wave หรือ Pulse ใดๆก็ได้ ซึ่งสัญญาณที่ผ่านวงจร CLAMPER นี้จะเปลี่ยนระดับ DC-Voltage ของสัญญาณที่ป้อนเข้าไปเท่านั้น ส่วนรูปร่างของสัญญาณไม่เปลี่ยนแปลง



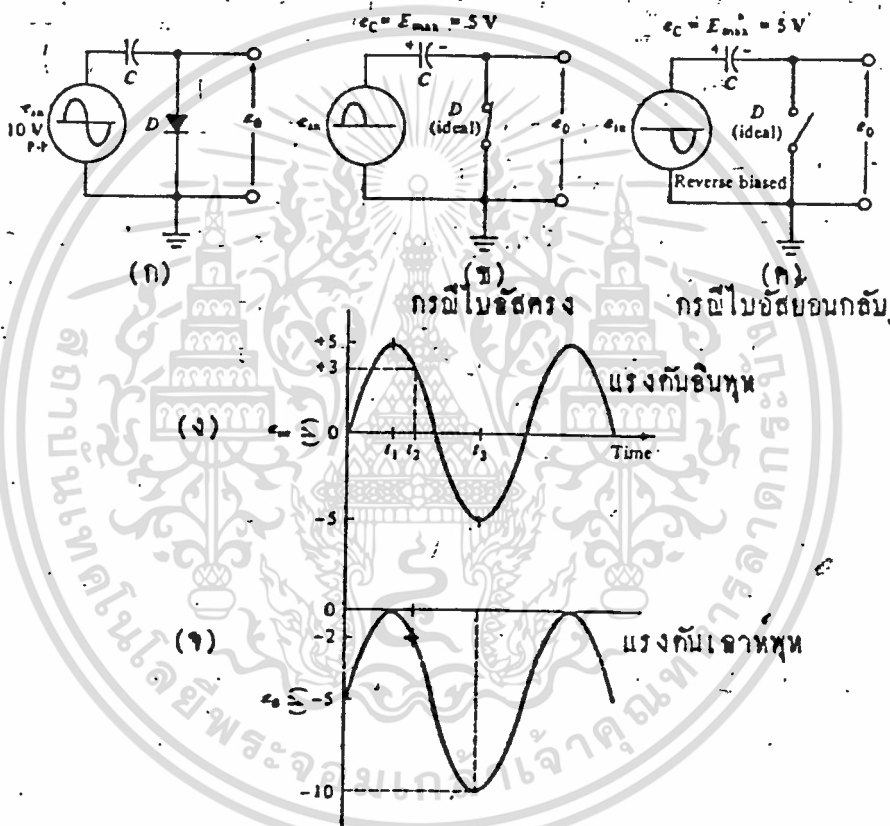
รูปที่ 20 แสดงคุณสมบัติและลักษณะของสัญญาณแรงดันรูป square ที่ input และ output ของวงจรปรับระดับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การทำงานของวงจร CLAMPER (ทางอุดมคติ)

จากรูปที่ 21 เป็นวงจร CLAMPER ที่จะเปลี่ยนระดับค่า DC-Voltage ของสัญญาณในทางลบ(-)ซึ่งเราเรียกว่า "วงจรปรับระดับแรงดันลบ"

(Negative-Voltage Clamper Circuit)



รูปที่ 21 แสดงวงจรปรับระดับแรงดันลบในทางอุดมคติ

การวิเคราะห์วงจรของรูป(ก)

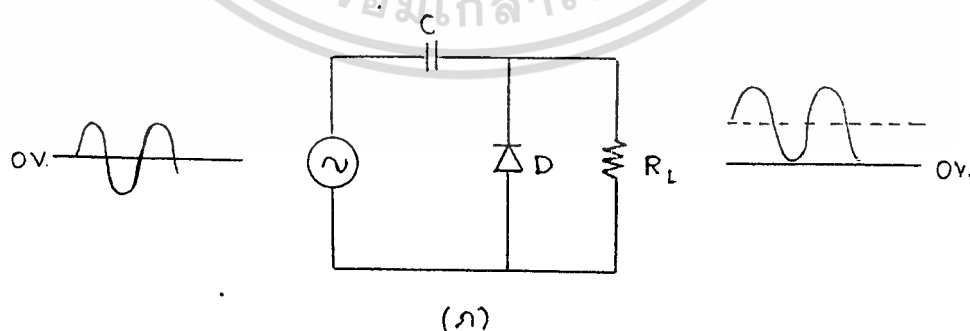
ที่เวลา t_1 สัญญาณ $e_{in} = +5$ V ในตอนนี้ Diode จะได้รับแรงดัน Forward-bias ทำให้ Diode ทำการ "ON" ซึ่งคล้ายสวิตช์ปิด จึงทำให้ Capacitor สามารถประจุไฟฟ้าได้และมีแรงดันตกคร่อม 5 Volts ดังแสดงในรูป (ข) และสัญญาณที่ $e_o = 0$ Volt

ที่เวลา t_2 สัญญาณ e_{in} จะลดลงมาเป็น +3V รวมกับแรงไฟที่ประจุไว้ที่ $C=+5V$ แรงไฟทั้ง 2 จะหักล้างกัน ดังนั้น Diode จะได้รับไฟ Reverse-bias ตกคร่อม Diode = -2V. ในตอนนี้ Diode จะ "OFF" ซึ่งคล้ายสวิตช์เปิด เปิดแรงไฟที่ C_o จะ = -2V เมื่อ $e_{in}=0$ Volt Diode จะได้รับไฟ Reverse-bias แรงไฟที่ Capacitor จะ=-5V ขณะนี้แรงไฟที่ $C_o = -5V$

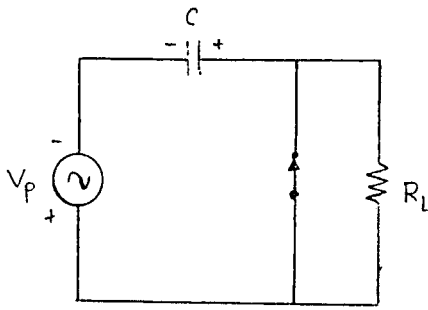
ที่เวลา t_3 สัญญาณที่ $e_{in}=-5V$ รวมกับแรงไฟที่ประจุใน $C = -5V$ ฉะนั้น Diode จะได้รับไฟ Reverse-bias = -10 V สัญญาณที่ $e_o = -10V$ ซึ่งจะเป็นเช่นนี้ไปเรื่อยๆ

ในช่วงเวลาสัญญาณ e_{in} ต่อมาจากรูปของสัญญาณ e_{in} ในรูป (ง) และ (จ) จะเห็นว่าระดับ DC-Voltage ของสัญญาณ $e_o = -5V$ ซึ่งหมายความว่าเราได้ Clamp หรือแขวนสัญญาณ AC ทาง input ไว้ที่ -5V ได้โดยรูปสัญญาณไม่เปลี่ยนแปลง

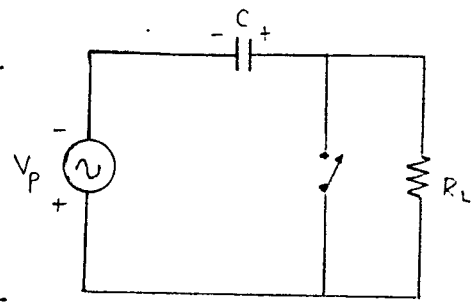
ส่วนวงจรที่ใช้งานจริงเป็น การปรับระดับทางบวก(+)ที่เรียกว่า "วงจรปรับระดับแรงดันบวก" (Positive-Voltage Clamper Circuit) ดังแสดงในรูปที่ 22



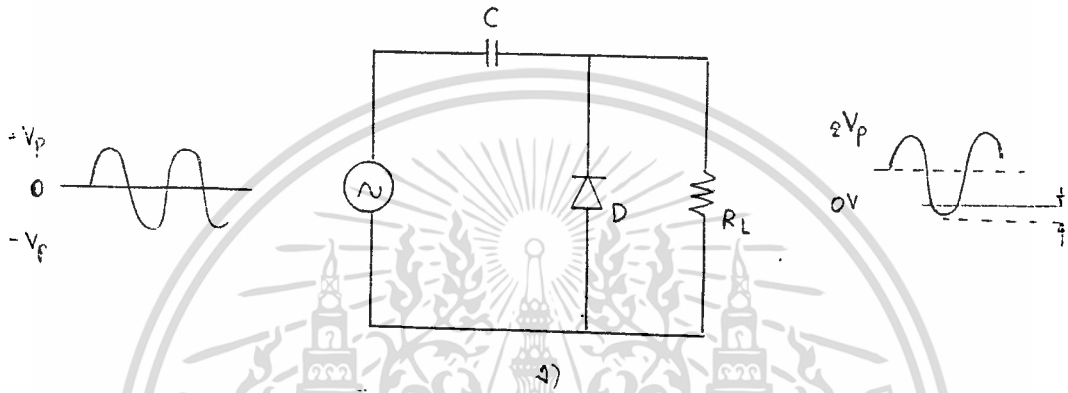
รูปที่ 22 วงจรปรับระดับแรงดันบวก



b)



c)



รูปที่ 22 วงจรปรับระดับแรงดันบวก (ต่อ)

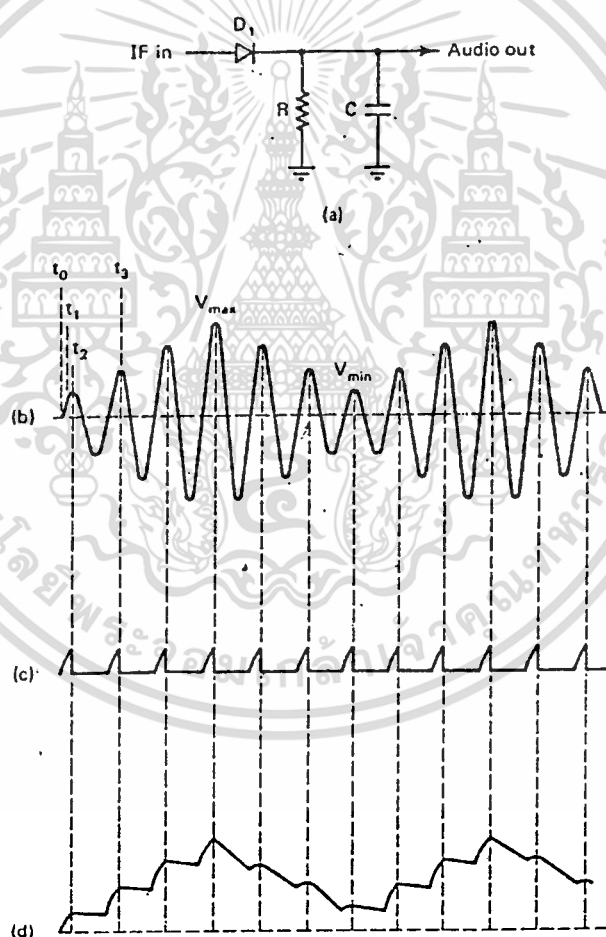
การทำงานของวงจรปรับแรงดันบวก

การทำงานของวงจรปรับแรงดันบวก ตอนแรกให้สัญญาณที่เข้ามาช่วงลบเข้ามา ก่อน Diode จะปิดวงจร (TURN ON) ดังรูปที่ 22 (ข) ที่ช่วงลบนี้ Capacitor จะชาร์จ (CHARGE) ถึง V_L และ C จะทำให้เกิด TIME CONSTANT ทำให้เกิดคาบเวลา (PERIOD) มีค่ามากกว่า T ของสัญญาณเข้ามา ซึ่งก็คือเหตุผลที่ C CHARGE จะเก็บเต็มในช่วงเวลาที่ Diode ปิดวงจร

รูปที่ 22 (ง) แสดงถึงวงจรที่ใช้โดยปกติ Diode จะมีโวลต์เตจตกคร่อมก่อนที่จะทำรูปคลื่นทาง output มีสัญญาณต่ำกว่าเล็กน้อย ขึ้นกับชนิดของ Diode

ภาค DEMODULATOR

ภาค DEMODULATOR นี้จะมีหน้าที่แยก (detects) สัญญาณเสียง (A.F) ออกจากสัญญาณวิทยุ (R.F. Carrier) เพื่อเอาสัญญาณ A.F ไปใช้งาน กรณีนี้เราใช้สัญญาณ Pulse แทนสัญญาณ A.F ดังนั้นเมื่อทำการ Detects สัญญาณออกมาแล้วเราก็จะได้สัญญาณ Pulse code ที่ต้องการออกมาเช่นกัน ซึ่งภาค DEMODULATOR นี้จะใช้วงจร Peak Detector เป็นตัว detects สัญญาณออกมา ดังแสดงดังรูปที่ 23



รูปที่ 23 วงจร Peak detector

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ข้อแตกต่างระหว่าง AM modulator และ AM demodulator คือ output ของ modulator จะจนเพื่อให้ความถี่ผลบวกผ่าน ส่วน output ของ demodulator จะจนเพื่อให้ ความถี่ผลต่างออก การ demodulator แสดงดังรูปที่ 23 (a) ซึ่งเราเรียกว่า Diode detector หรือ Peak detector เพราะว่า มันจะ detects ค่า peak ของสัญญาณ input หรือ เรียกว่า Shape(envelope) detector เพราะมัน detects ขอบของสัญญาณ input

รูปที่ 23(b) แสดงสัญญาณ input ของ AM mod รูปที่ 23(c) เป็นสัญญาณกระแสของ Diode และรูปที่ 23(d) เป็นสัญญาณ output ที่ผ่านการ detector แล้ว

หลักการทำงาน

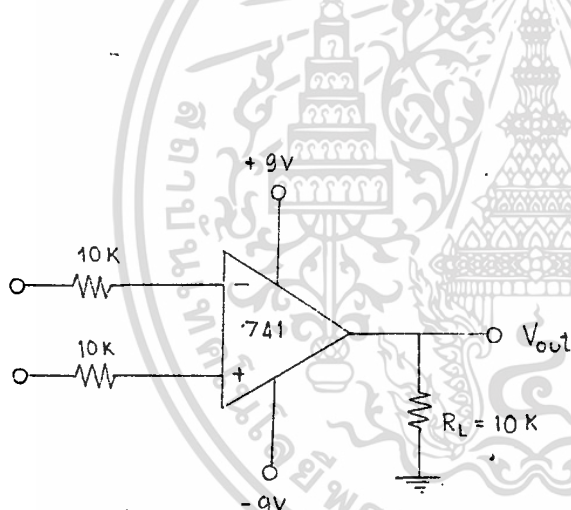
ที่เวลา t_0 Diode ได้รับแรงดัน Reverse bias จะไม่นำกระแส ($i_D = 0$) Capacitor อยู่ในลักษณะ discharge ($V_C = 0$) ดังนั้น output = 0 Volt Diode จะไม่นำกระแสจนกระทั่ง แรงดัน $V_{in} = 0.3$ V (ที่ t_1) Diode จะนำกระแส และเริ่มมีกระแสไหล Diode มา charge ที่ Capacitor และจะ Charge ไปจนเมื่อ แรงดัน V_{in} เริ่มลดลงและทำให้ Diode หยุดนำกระแส ดังนั้น $i_D = 0$ Amp. (ที่ t_2) จากนั้น Capacitor จะทำการ discharge ผ่าน R ลงกราวด์ แต่ค่า RC time constant จะทำให้เกิดเวลาในการ discharge ขึ้นดังนั้นจึงทำให้ Capacitor ไม่สามารถ discharge ได้อย่างรวดเร็ว เมื่อ V_{in} ลดลง Diode จะหยุดนำกระแสจนกระทั่งมีสัญญาณ input ลูกใหม่เข้ามาที่มี V_{in} มีค่ามากกว่า 0.3 ของ V_C (ที่ t_3) ก็จะทำให้ Diode ทำการนำกระแส อีก และเกิดกระแส i_D และ Capacitor ก็เริ่ม Charge อีกครั้ง ช่วงการ charge นี้มี time constant เป็น $R_D C$ เมื่อ R_D คือ ความต้านทานของ Diode เมื่อ นำกระแส ซึ่งมีค่าน้อย เมื่อแรงดัน V_{in} เริ่มตก Diode ก็จะหยุดนำกระแส อีก และจะเป็นวัฏจักรเช่นนี้ไปเรื่อยๆ จนกว่า ไม่มี สัญญาณ input (V_{in}) เข้ามา ดังนั้นสัญญาณของ output ก็จะได้ดังรูปที่ 3(d) แรงดันก็จะได้ค่า peaks ทางบวกของ V_{in} (ซึ่งได้ชื่อว่า "Peak detector")

ภาค WAVE SHAPE

เป็นการปรับแต่งให้รูปสัญญาณที่ผ่านการ Detects ออกมาให้มีความเป็น Square wave มากยิ่งขึ้น โดยเราใช้ วงจร Schmitt trigger comparator ซึ่งประยุกต์จาก วงจร คอมพาราเตอร์ (Comparator) อีกทีหนึ่ง

หลักการทำงานของวงจร Comparator

จากรูปที่ 24 เป็นวงจร Coperator แบบ Open Loop หลักการ ก็คือ จะเปรียบเทียบระดับสัญญาณที่เข้า input ทั้งสอง (Non-inverting กับ Inverting) ถ้าที่ขา Non-inverting สูงกว่า output ที่ออกมาจะเป็นบวก (+) มีค่า = V_{sat} ดังตารางในรูปที่ 24



INPUT VOLTAGE		OUTPUT VOLTAGE
V1	V2	V_{sat}
+1	+2	+8
+2	+1	-8
0	0	0
+1	-1	-8
-1	+1	+8
-1	+2	-8
-2	-1	+8

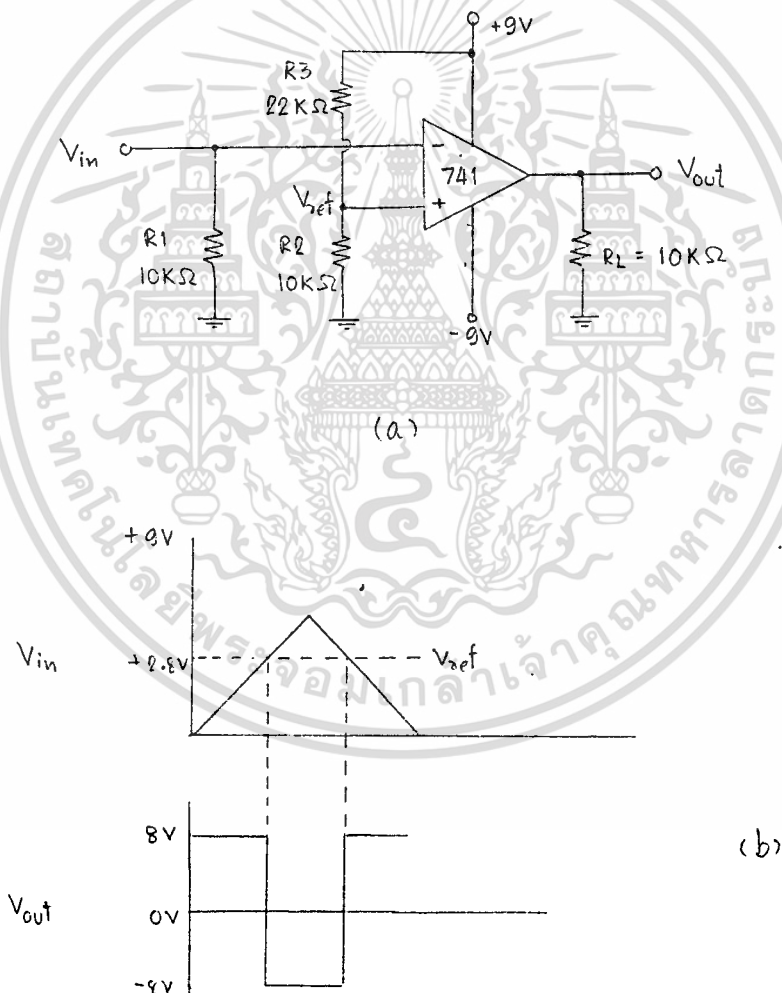
$$V_{out} = V_{sat} * \text{เครื่องหมาย}(V2 - V1)$$

รูปที่ 24 วงจร Comparator

หลักการทำงานของวงจร Schmitt trigger comparator

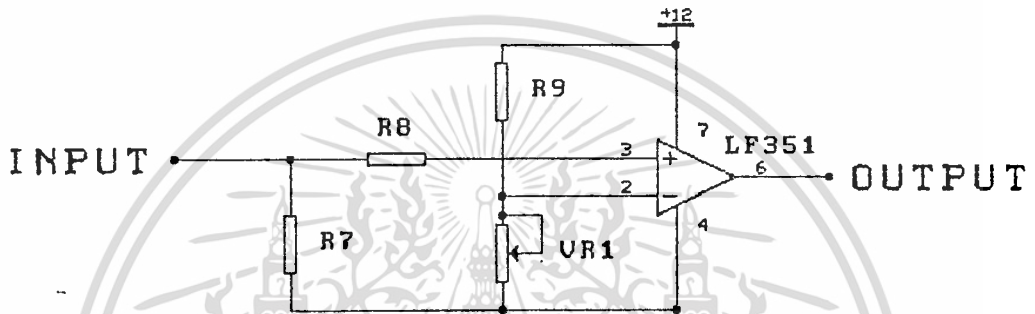
เรานำวงจร Comparator มาเป็นวงจร Schmitt trigger ดังรูปที่ 25 ซึ่งให้แรงดันอ้างอิงแรงดันหนึ่งที่ชั่ว input ใดชั่วหนึ่งของ OP-AMP (ในรูปใช้ขา non-inverting) เพื่อที่จะตรวจวัดระดับสัญญาณที่เป็น input ว่ามีค่ามากกว่าหรือน้อยกว่า ระดับแรงดันอ้างอิง ถ้ามากกว่าแรงดันอ้างอิงจะทำให้ output ออกมาเป็น $-V_{cc}$ แต่ถ้า input มีค่าน้อยกว่าแรงดันอ้างอิงจะทำให้ output ออกมาเป็น $+V_{cc}$ ซึ่งแรงดันอ้างอิงสามารถหาได้จาก

$$V_{ref} = [R2 / (R2 + R3)] * (+V_{cc})$$



รูปที่ 25 วงจร Schmitt trigger comparator

ส่วนวงจรที่ใช้จริงดังแสดงในรูปที่ 26 ซึ่งหลักการคล้ายกันต่างที่เราเอาแรงดันอ้างอิงเข้าที่ขา inverting ส่วน input ป้อนเข้าขา non-inverting เพราะฉะนั้น output ที่ออกมาจะไม่กลับเฟสกับ input ซึ่ง input ที่เข้ามาก็เป็น Square wave อยู่แล้วเพียงแต่ว่าเราต้องการความเป็น Square wave มากยิ่งขึ้นเพื่อเข้าวงจร DECODER แล้วรหัส จะไม่ผิดพลาด



รูปที่ 26 วงจรใช้งานจริง

ภาค DECODER

ภาค DECODER นี้จะทำหน้าที่รับสัญญาณที่ส่งเข้ามาแล้วทำการถอดรหัสว่าตรงกลับค่า ADDRESS ที่ Set ไว้หรือเปล่าถ้าตรงก็จะให้ output ออกมาเพื่อนำไป Control load อีกที ในภาคนี้มี IC MC145028 เป็นหัวใจสำคัญในการ decode ซึ่งรูปที่ 27 แสดงลักษณะขา ของ IC MC145028

1	A1	VCC	16
2	A2	A6	15
3	A3	A7	14
4	A4	A8	13
5	A5	A9	12
6	R1	VALID	11
7	C1	R2/C2	10
8	GND	DATA IN	9

MC145028

รูปที่ 27 แสดงขาของ IC # MC145028

ขา A1-A9

-ขาเหล่านี้เป็น Address input ที่เรา Set ไว้ให้ตรงกับ ค่า Address ของตัวส่งเพื่อที่จะได้ output ออกมา

ขา R_1, C_1

-ขาทั้งสองนี้ต่อกับ Resistor และ Capacitor เพื่อใช้เป็นตัวกำหนดความแคบหรือความกว้างของ Pulse ที่เป็นรหัส ค่า time constant $R_1 * C_1$ จะถูกตั้งไว้ 1.72 ของ transmit clock periode ดังนั้น $R_1 * C_1 = 3.95 R_{Tc} * C_{Tc}$

ขา R_2 / C_2

-ขานี้จะมี Resistor และ Capacitor ต่อขนานกันต่อเข้ากับขา V_{DD} เพื่อเป็นการแยก การส่งครั้งสุดท้ายกับครั้งใหม่ ซึ่งค่า time constant $R_2 * C_2$ จะเป็น 33.5 ของคาบเวลาการส่ง (4 data bit periods) โดย $R_2 * C_2 = 77 R_{Tc} C_{Tc}$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ขา Valid Transmission, VT

-เป็นขา output จะเป็นระดับสูง(high) เมื่อ

1 การส่ง Address ตรงกับ Address ของตัวรับ

2 การส่ง DATA WORD แรกและสอง ต้องเหมือนกัน

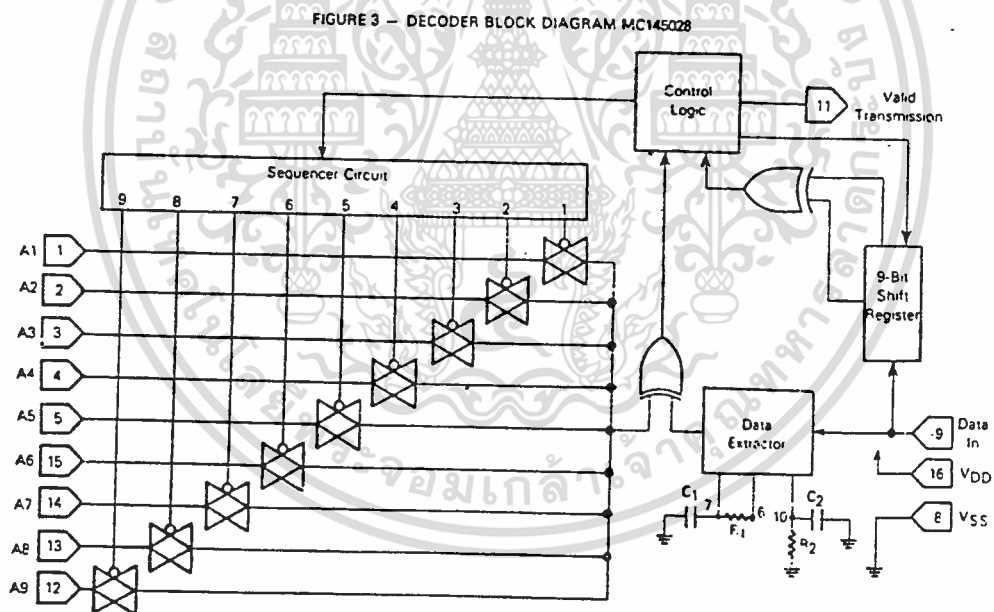
ขา VT จะเป็น "high" จนกระทั่งการรับไม่ตรงตามเงื่อนไข หรือ ไม่มีสัญญาณเข้ามา เป็นเวลา 4 data bit

ขา V_{DD}

-ขาแหล่งจ่ายไฟบวก

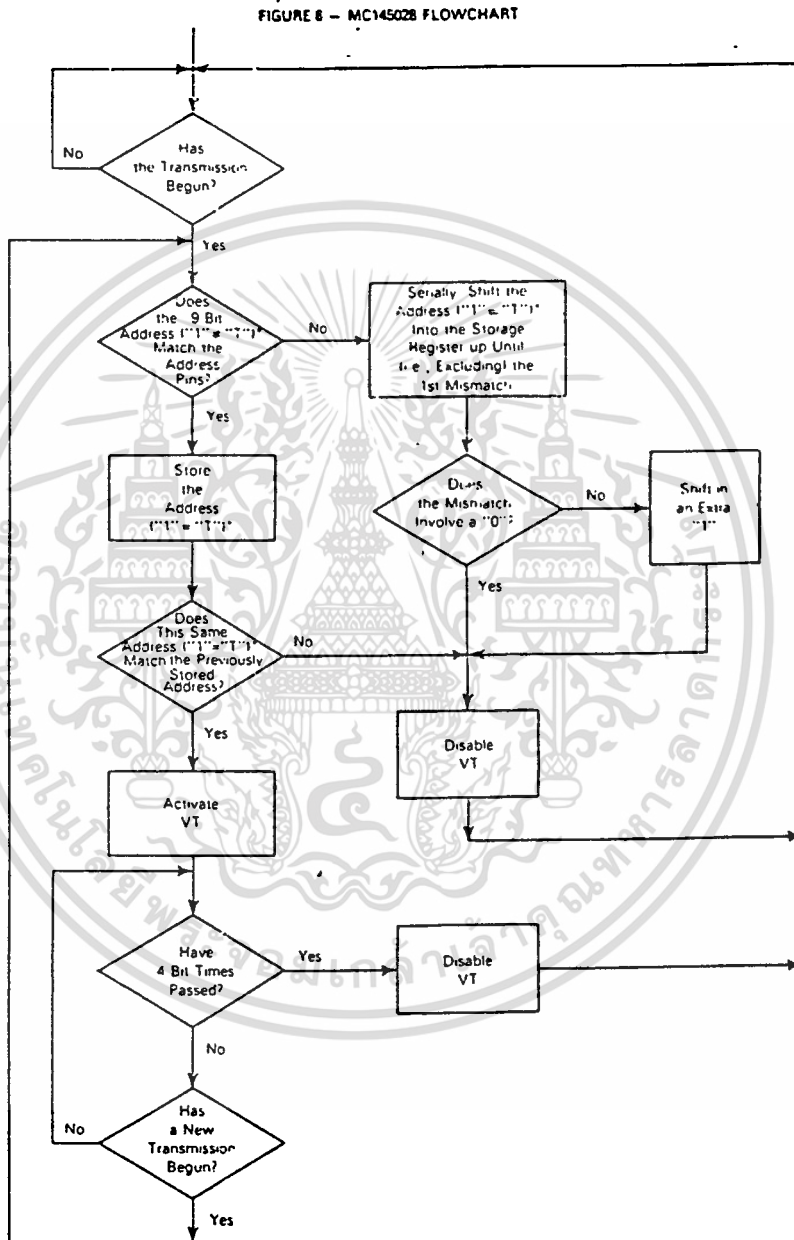
ขา V_{SS}

-ขาแหล่งจ่ายไฟลบ(ส่วนใหญ่ใช้เป็น กราวด์)



รูปที่ 28 DECODER BLOCK DIAGRAM MC145028

หลักการการทำงานของ IC MC145028 เป็นไปตาม FLOWCHART ของรูปที่ 29 ดังนี้



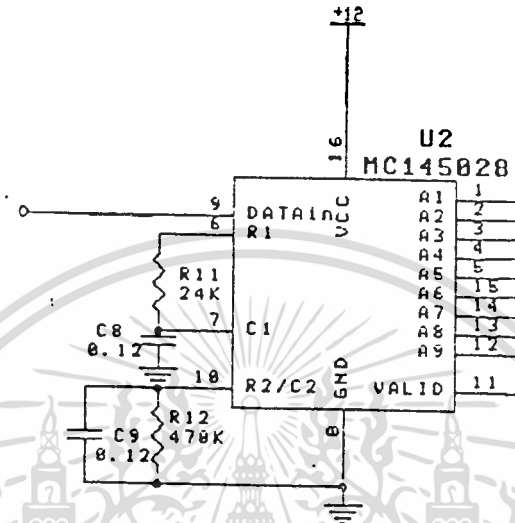
*For shift register comparisons, a "T" is stored as a "1"

รูปที่ 29 FLOWCHART ของ MC145028

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การออกแบบวงจร DECODER

เราสามารถออกแบบวงจร DECODER ได้ดังแสดงในรูปที่ 30 โดย
คำนวณหาค่าของ R_{11}, C_8, R_{12}, C_9



รูปที่ 30 วงจร DECODER

จากสูตร

$$f_{osc} = 1 / (2.3 R_{TC} C_{TC})$$

$$R_{11} C_8 = 3.95 R_{TC} C_{TC}$$

$$R_{12} C_9 = 77 R_{TC} C_{TC}$$

ซึ่งค่า $R_{TC} \geq 10K$,

$$100pF \leq C_{TC} \leq 15\mu F$$

$$R_{11} \geq 10K$$

$$C_8 \geq 400pF$$

$$R_{12} \geq 100K$$

$$C_9 \geq 700pF$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เราใช้ความถี่ $f_{osc} = 616 \text{ Hz}$ และใช้ $C_{TC} = 0.047 \text{ uF}$

$$\text{ดังนั้น } R_{TC} = 1/(616 * 2.3 * 0.047 * 10^{-6})$$

$$= 15 \text{ K}$$

$$\text{จาก } R_{11} C_{\phi} = 3.95 R_{TC} C_{TC} \quad \text{ให้ } C_{\phi} = 0.12 \text{ uF}$$

$$\begin{aligned} \text{ดังนั้น } R_{11} &= (3.95 * 15 * 10^3 * 0.047 * 10^{-6}) / (0.12 * 10^{-6}) \\ &= 23.2 \text{ K} \quad \text{ใช้ } 24 \text{ K} \end{aligned}$$

$$\text{จาก } R_{12} C_{\phi} = 77 R_{TC} C_{TC} \quad \text{ให้ } C_{\phi} = 0.12 \text{ uF}$$

$$\begin{aligned} \text{ดังนั้น } R_{12} &= (77 * 15 * 10^3 * 0.047 * 10^{-6}) / (0.12 * 10^{-6}) \\ &= 452.4 \text{ K} \quad \text{ใช้ } 470 \text{ K} \end{aligned}$$

การทดลองและผลการทดลอง

ผลการทดลองทางด้านส่ง

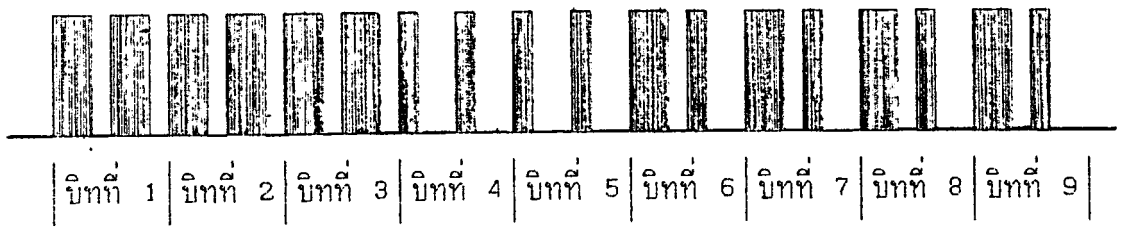
จากการทดลองส่งสัญญาณออกจากเครื่องส่ง ซึ่งประกอบด้วยสัญญาณทั้งหมด 9 บิต ประกอบด้วยสัญญาณ ADDRESS จำนวน 5 บิต และสัญญาณ DATA จำนวน 4 บิต โดยเรากำหนดให้ 3 บิตแรกมีสถานะเป็น "1" และสองบิตต่อมากำหนดให้เป็น "0" ส่วนสัญญาณ DATA ทั้งหมด 4 บิต ที่เหลือเรากำหนดให้เป็นสถานะ High Impedance เราจะได้สัญญาณที่จุดต่างๆ ของวงจรดังต่อไปนี้



รูปสัญญาณเอาต์พุตจากขา 15 ของ IC เบอร์ MC 145026

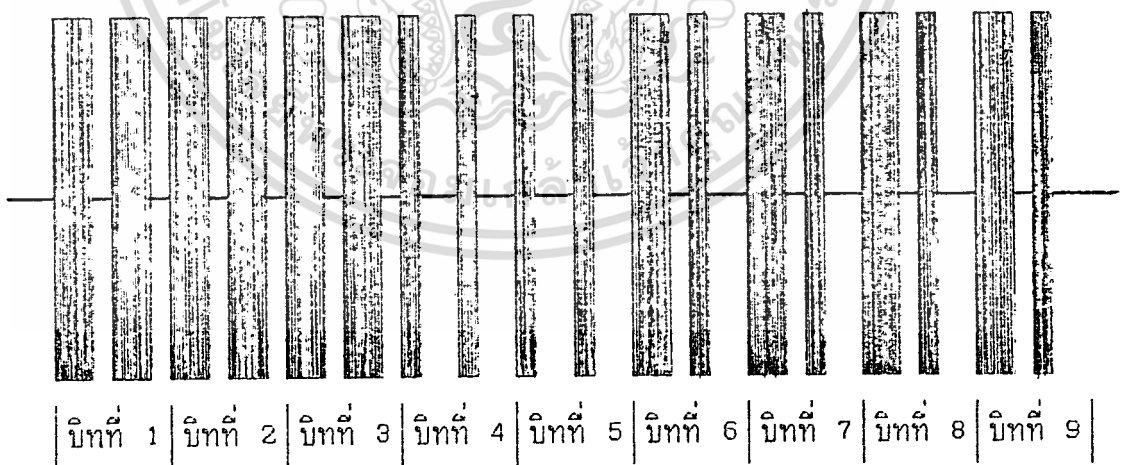
จากรูปข้างบนเป็นสัญญาณเอาต์พุตจากวงจร ENCODER โดย IC เบอร์ MC 145026 จะเห็นได้ถึงถึงความแตกต่างของสัญญาณออกระหว่างสถานะ "1" (บิตที่ 1 ถึง บิตที่ 3) สถานะ "0" (บิตที่ 4 ถึง บิตที่ 5) และสถานะ High Impedance (บิตที่ 6 ถึง บิตที่ 9) ซึ่งที่สถานะ "1" จะได้สัญญาณออกเป็นพัลส์ ที่มีช่วงพัลส์กว้าง 2 พัลส์ติดต่อกัน ที่สถานะ "0" จะได้สัญญาณออกเป็นพัลส์ ที่มีช่วงพัลส์แคบ 2 พัลส์ติดต่อกัน และในสถานะ High Impedance จะได้สัญญาณออกเป็นพัลส์ที่มีช่วงพัลส์กว้าง 1 พัลส์ แล้วตามด้วยพัลส์แคบๆ อีก 1 พัลส์ ดังรูป

เมื่อเรานำสัญญาณจาก MC 145026 ไปเข้าวงจร Modulation ที่ประกอบด้วย IC เบอร์ 555 เพื่อผสมกับสัญญาณพาห์ สำหรับการส่งสัญญาณออกไปตามสาย AC LINE จะได้สัญญาณดังนี้



รูปสัญญาณเอาต์พุตจากขา 3 ของ IC เบอร์ 555

ขณะนี้สัญญาณที่ได้จะเป็นสัญญาณข่าวสาร (DATA) ที่ได้รับการผสมสัญญาณพาหะ (CARRIER) เข้าไปเรียบร้อยแล้ว แต่ยังไม่สามารถส่งออกไปยังสาย AC LINE ได้เพราะความแรงของสัญญาณยังไม่พอ จะต้องนำไปผ่านวงจรขยายกำลัง (RF Amplifier) และผ่านวงจร Tank ซึ่งจะได้สัญญาณออกจากเครื่องส่งดังนี้



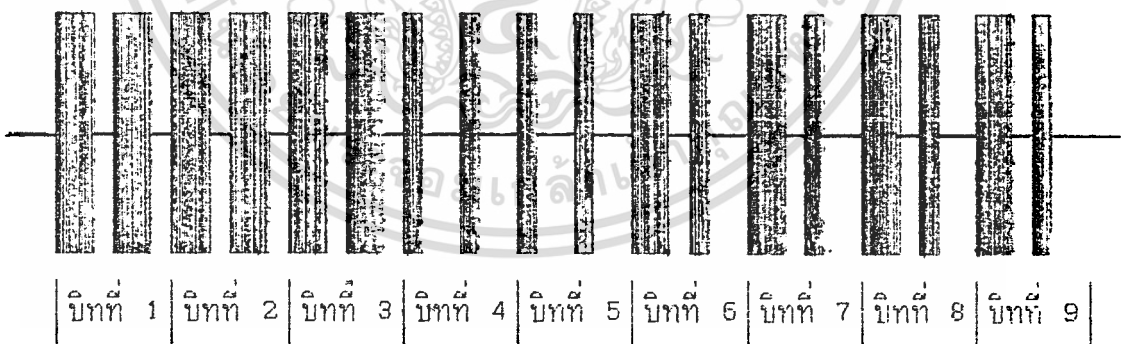
รูปสัญญาณเอาต์พุตจากเครื่องส่งที่พร้อมจะส่งผ่านสาย AC LINE

ผลการทดลองทางด้านรับ

ทางด้านรับจะมีวงจร Tune ซึ่งด้านหนึ่งต่อขนานอยู่กับสาย AC LINE และจะทำหน้าที่จนเอาเฉพาะสัญญาณความถี่พาหะเข้ามา แต่สัญญาณที่ได้นี้จะมีความถี่ที่ค่อนข้างต่ำ ดังนั้นจึงต้องนำมาผ่านวงจรขยายสัญญาณเพื่อให้มีความถี่ที่สูงขึ้น ซึ่งจะได้สัญญาณสัญญาณที่ส่วนต่างๆของวงจรขยายดังนี้

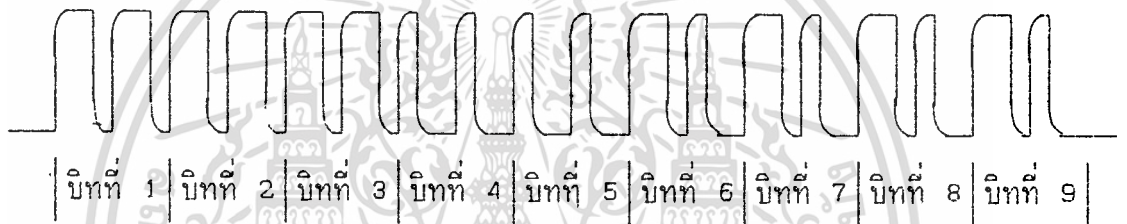


รูปสัญญาณเอาต์พุตจากวงจรขยายภาคแรก (Q1)

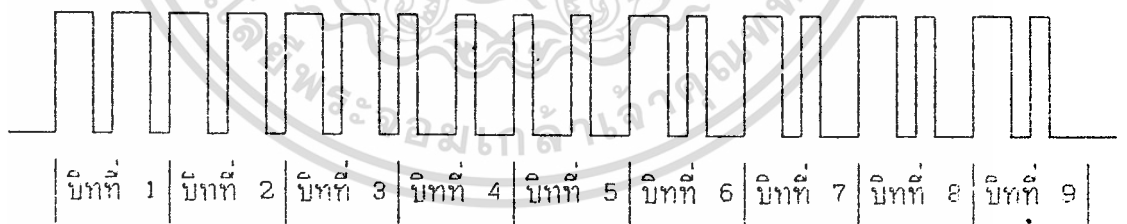


รูปสัญญาณเอาต์พุตจากวงจรขยายภาคที่สอง (Q2)

สัญญาณที่ได้จากวงจรขยายในขณะนี้มีความแรงของสัญญาณพอเพียงแล้ว แต่สัญญาณที่ได้ยังประกอบด้วยสัญญาณข่าวสารและสัญญาณพาหะ เราจะต้องทำการกำจัดสัญญาณพาหะนี้ออกไป โดยการนำสัญญาณที่ได้นี้ไปผ่านเข้าวงจรดีเท็คเตอร์ สัญญาณที่ออกจากวงจรดีเท็คเตอร์จะเป็นสัญญาณข่าวสารแล้ว แต่รูปคลื่นที่ได้ยังไม่เป็น SQUARE WAVE ที่แท้จริง และยังมีสัญญาณรบกวนปะปนมาด้วย ดังนั้นจะต้องทำการปรับแต่งรูปคลื่นของสัญญาณและกำจัดสัญญาณรบกวนไปพร้อมๆ กัน ด้วยวงจร WAVE SHAPE ที่ประกอบด้วย OP AMP เบอร์ LF 351 ต่อกวจรเป็นแบบ COMPARATOR ซึ่งจะนำสัญญาณจากวงจรดีเท็คเตอร์ไปทำการเปรียบเทียบกับแรงดันอ้างอิง สัญญาณที่ได้เป็นดังนี้



รูปสัญญาณเอาต์พุตจากวงจรดีเท็คเตอร์



รูปสัญญาณเอาต์พุตจากวงจรปรับแต่งรูปคลื่น (LF 351)

จากรูปคลื่นที่ออกจากวงจรปรับแต่งรูปคลื่น จะเห็นว่ามียุปร่างเหมือนกับสัญญาณที่ออกมาจาก IC เบอร์ MC 145026 ทางเครื่องส่งทุกประการ สัญญาณนี้จะทำการถอดรหัสด้วย IC เบอร์ MC 145028 ถ้าได้แอดเดรสตรงกับที่ตั้งไว้ ก็จะมีสัญญาณออกไปควบคุมการทำงานของวงจรเปิดเครื่องไฟฟ้า

การปรับแต่งวงจร

การปรับแต่งเครื่องควบคุมไฟฟ้าภายในอาคาร จะต้องทำการปรับแต่งอยู่สองส่วน คือ ส่วนของภาครับและส่วนของภาคส่ง โดยจะแยกอธิบายออกเป็นส่วนๆ ดังนี้

การปรับแต่งทางภาคส่ง

ทางภาคส่งมีสิ่งที่จะต้องปรับแต่ง เพื่อให้ได้สัญญาณที่ออกแรงที่สุดและสามารถติดต่อกับเครื่องรับตัวที่ต้องการได้ โดยการปรับแต่งส่วนต่างๆดังนี้

1. การปรับแต่ง VR1 เพื่อให้ได้สัญญาณเอาต์พุตที่แรงที่สุดและมีความผิดเพี้ยนที่น้อยที่สุด โดยมีวิธีการปรับแต่งดังนี้

- ปลดสายเอาต์พุตจากกระป๋อง IF ออกจากสาย AC LINE ก่อน
- ใช้สโคปวัดสัญญาณที่ขาคอลเลคเตอร์ของทรานซิสเตอร์ Q1
- จ่ายไฟเลี้ยงให้กับวงจร
- ปรับ VR1 เพื่อให้ได้สัญญาณที่สโคปที่เป็นรูป SINE ที่มีความแรงสูงสุด และมีความผิดเพี้ยนของสัญญาณที่น้อยที่สุด

2. การปรับแต่งกระป๋อง IF เพื่อให้ได้สัญญาณเอาต์พุตจากวงจรที่แรงที่สุด โดยมีวิธีการปรับแต่งดังนี้

- ปลดสายเอาต์พุตจากกระป๋อง IF ออกจากสาย AC LINE ก่อน
- ใช้สโคปวัดสัญญาณที่สายเอาต์พุตจากกระป๋อง IF
- จ่ายไฟเลี้ยงให้กับวงจร
- ปรับแต่งกระป๋อง IF เพื่อให้ได้สัญญาณเอาต์พุตที่มีความแรงสูงสุด

3. ปรับตำแหน่งของ DIP SWITCH ทั้ง 10 ตัว ในภาคส่งให้มิตำแหน่งการ ON และ OFF ที่ตรงกับตำแหน่งการ ON และ OFF ของ DIP SWITCH ของทางด้านเครื่องรับ

จากการพิจารณารูปร่างวงจรของเครื่องส่งจะเห็นว่า DIP SWITCH ตัวที่ 1 ถึงตัวที่ 5 จะทำหน้าที่เลือกจะให้ AO - A5 มีสถานะ High Impedance หรือไม่ และ DIP SWITCH ตัวที่ 6 ถึงตัวที่ 10 จะทำหน้าที่เลือกจะให้ AO - A5 มีสถานะ "0" หรือสถานะ "1" ดังนั้นการจะกำหนดให้ AO - A5 มีสถานะเป็นอะไรก็สามารถพิจารณาการตั้ง DIP SWITCH ได้จากหลักการนี้

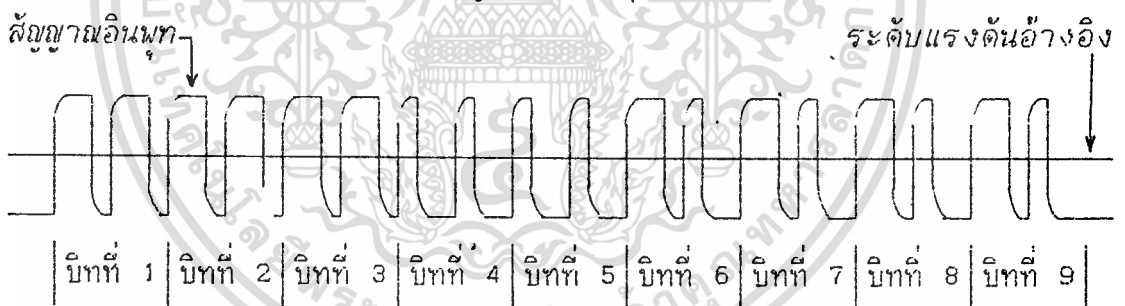
การปรับแต่งทางภาครับ

ทางด้านรับมีจุดที่ต้องทำการปรับแต่ง เพื่อให้รับสัญญาณจากสาย AC LINE ที่แรงและถูกต้องที่สุด โดยมีจุดที่ต้องทำการปรับแต่งดังนี้

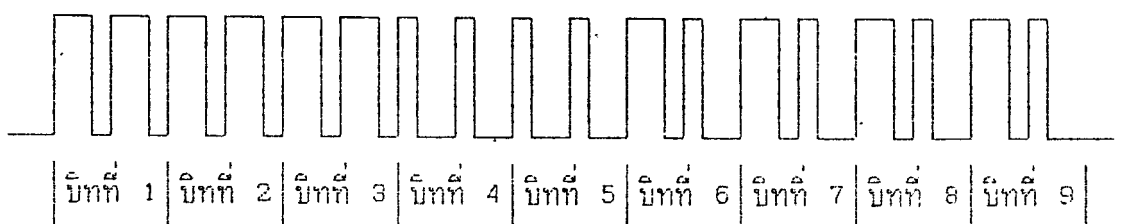
1. การปรับแต่งกระป๋อง IF เพื่อให้ได้สัญญาณอินพุทของวงจรที่มีความแรงสูงที่สุด โดยมีวิธีการปรับแต่งดังนี้

- ใช้สโคปวัดสัญญาณเอาต์พุตจากกระป๋อง IF
- จ่ายไฟเลี้ยงให้กับวงจร
- ปรับแต่งกระป๋อง IF เพื่อให้ได้สัญญาณเอาต์พุตที่มีความแรงสูงสุด

2. การปรับแต่ง VR1 เพื่อกำหนดระดับแรงดันอ้างอิงที่เหมาะสมให้กับวงจรปรับรูปคลื่น (WAVE SHAPE) โดยจะต้องใช้สโคปทั้งสองแขนแนล โดยใช้แขนแนลแรกต่ออยู่กับสัญญาณอินพุทของ IC เบอร์ LF 351 ที่เป็นวงจรปรับแต่งรูปคลื่น และอีกแขนแนลหนึ่งต่ออยู่กับสัญญาณเอาต์พุตของ LF351 จากนั้นจึงจะทำการปรับ VR 1 เพื่อให้ได้สัญญาณเอาต์พุตที่มีรูปร่างคล้ายกับสัญญาณอินพุท แต่มีลักษณะที่เป็น SQUARE WAVE มากกว่าและไม่มีสัญญาณรบกวนปะปนออกมา ซึ่งจะมีลักษณะของรูปสัญญาณที่จุดต่างๆ ดังนี้



รูปสัญญาณอินพุทของวงจรปรับแต่งรูปคลื่น (LF 351)

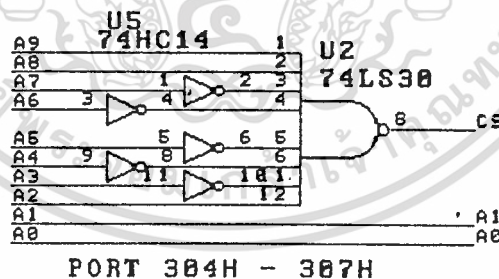


รูปสัญญาณเอาต์พุตจากวงจรปรับแต่งรูปคลื่น (LF 351)

INTERFACE CARD

การเชื่อมต่อระหว่างคอมพิวเตอร์และเครื่องส่งของโครงงานนี้ เป็นการเชื่อมต่อผ่านทางการ์ดอินเตอร์เฟซ ซึ่งเป็นการดัดที่ใช้เสียบลงในสล็อตบน เมนบอร์ดของคอมพิวเตอร์ แล้วมีสายเชื่อมต่อจากการ์ดมายังเครื่องส่งที่ต่ออยู่กับ AC LINE โดยการดัดนี้ถือว่าเป็นพอร์ตของคอมพิวเตอร์ ในที่นี้กำหนดให้เป็นพอร์ตหมายเลข 304H - 307H ซึ่งเป็นพอร์ตที่ว่างอยู่ยังไม่ถูกใช้งานบนคอมพิวเตอร์ สำหรับพอร์ตทั้ง 4 พอร์ตนี้คือพอร์ตบน 8255 ซึ่งเป็น Programmable Peripheral Interface โดยพอร์ตหมายเลข 304H คือ พอร์ต A ของ 8255 , พอร์ตหมายเลข 305H คือ พอร์ต B ของ 8255 , พอร์ตหมายเลข 306H คือ พอร์ต C ของ 8255 และพอร์ตหมายเลข 307H คือ พอร์ต Control Word ของ 8255 สำหรับรายละเอียดต่างๆของ 8255 จะกล่าวถึงในภายหลัง

ส่วนของการ DECODE ADDRESS



วงจร DECODE ADDRESS ของ 8255

จากรูปวงจรข้างบนเป็นวงจร DECODE ADDRESS ของการ์ด 8255 บน INTERFACE CARD ซึ่งจากหมายเลขพอร์ตทั้งสี่สามารถแสดงเป็นเลขฐานสอง เพื่อแสดงสถานะของสัญญาณ $A_0 - A_9$ ได้ดังนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หมายเลขพอร์ต	A_9	A_8	A_7	A_6	A_5	A_4	A_3	A_2	A_1	A_0
304H	1	1	0	0	0	0	0	1	0	0
305H	1	1	0	0	0	0	0	1	0	1
306H	1	1	0	0	0	0	0	1	1	0
307H	1	1	0	0	0	0	0	1	1	1

จากตารางจะเห็นว่าสัญญาณ $A_2 - A_9$ จะคงที่ไม่เปลี่ยนแปลงจึงสามารถนำสัญญาณ $A_2 - A_9$ นี้มาผ่านวงจร DECODE ADDRESS ซึ่งประกอบขึ้นด้วย U4 (74LS30) และ U5 (74HC14) โดยสัญญาณเอาต์พุตของวงจร DECODE ADDRESS จะนำมาป้อนให้กับขา 6 ของ 8255 ซึ่งเป็นสัญญาณ CS (Chip Select) สัญญาณ CS นี้เป็นสัญญาณ ACTIVE LOW สำหรับสัญญาณ A_0 และ A_1 จะต่อเข้ากับขา A_0 และขา A_1 ของ 8255 ตามลำดับ เพื่อใช้เป็นสัญญาณเลือกพอร์ตภายใน 8255

ส่วนเอาต์พุตเพื่อควบคุมเครื่องส่ง

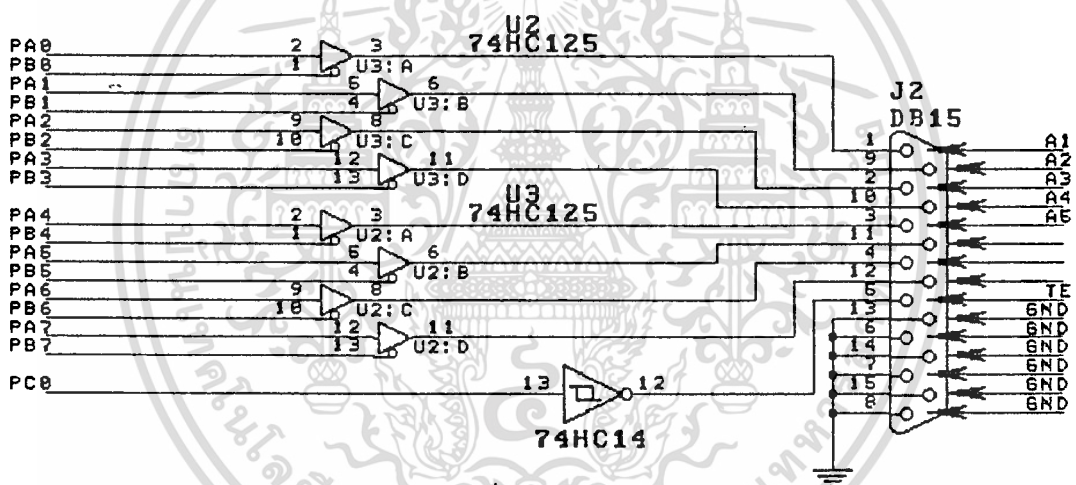
ในส่วนของเอาต์พุตเพื่อการควบคุมเครื่องส่งนั้น เราสามารถแบ่งสัญญาณที่จำเป็นต้องควบคุมออกได้เป็น 2 ส่วน ดังนี้

1. สัญญาณ ADDRESS
2. สัญญาณ TRANSMIT ENABLE

สำหรับสัญญาณ ADDRESS ที่ INTERFACE CARD ต้องส่งให้กับเครื่องส่ง ต้องเป็นสัญญาณชนิด Trinary คือมีระดับลอจิก "0" , "1" และ "High Impedance" ดังนั้นเราจึงใช้ Tristate Buffer เพื่อเป็นตัวกำเนิดสัญญาณ ADDRESS ให้กับเครื่องส่ง โดย Tristate Buffer 1 ตัวจะมี Input 2 Input เราจะใช้พอร์ต A ควบคุมสัญญาณ Input ของ Buffer ส่วนพอร์ต B จะเป็นตัวควบคุมให้ Buffer เป็น High Impedance ตามปกติเราต้องควบคุม ADDRESS ของเครื่องส่งทั้งหมด 5 สัญญาณ คือ A_1 ถึง A_5 ซึ่งเราจำเป็นต้องใช้ Tristate Buffer อย่างน้อย 5 ตัว แต่เราได้

ออกแบบให้มี Tristate Buffer 8 ตัว ดังนั้น INTERFACE CARD นี้จึงสามารถควบคุมสัญญาณ ADDRESS ของเครื่องส่งได้ตั้งแต่ A₁ ถึง A₈ ที่เดียว

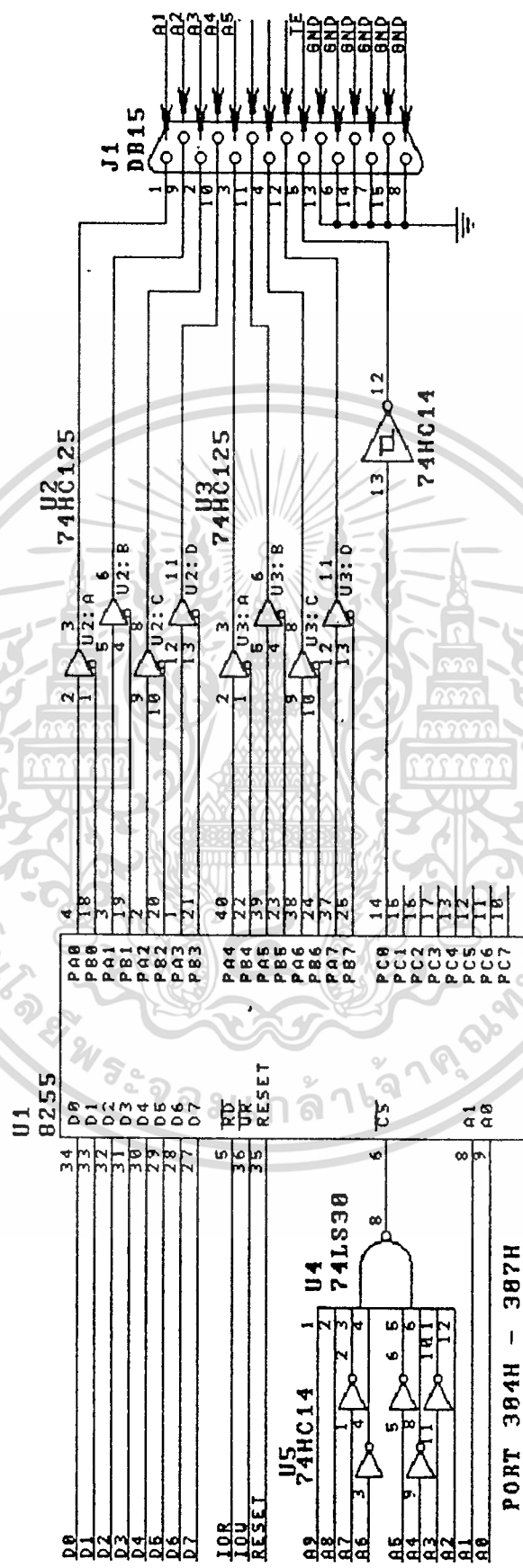
สัญญาณต่อมาที่เครื่องส่งต้องได้รับการควบคุมจาก INTERFACE CARD คือสัญญาณ TE (Transmitt Enable) เป็นสัญญาณ ACTIVE LOW โดยสัญญาณนี้จะใช้พอร์ต C (PC0) เป็นตัวควบคุม ผ่าน Schmitt-Triger Inverter ดังนั้นสัญญาณที่พอร์ต C จึงต้อง ACTIVE HIGH สำหรับวงจรส่วนเอาต์พุตที่สมบูรณ์แสดงได้ดังรูปต่อไปนี้



วงจรส่วนเอาต์พุตเครื่องส่ง

จากวงจรจะเห็นว่าเราใช้ IC เบอร์ 74 HC 125 เป็น Tristate Buffer และใช้ IC เบอร์ 74 HC 14 เป็น Schmitt-Triger Inverter เหตุผลที่เราใช้ IC TTL ตระกูล HC (High Speed CMOS) เพราะว่ามีระดับแรงดันลอจิกของ IC TTL ตระกูล HC มีค่า Noise Margin สูงกว่า IC TTL แบบธรรมดา อีกทั้งยังสามารถเชื่อมต่อกับ 8255 และระบบบัสของคอมพิวเตอร์ได้โดยตรง จึงเหมาะสมที่จะนำมาเป็นภาคเอาต์พุตของการ์ดอินเตอร์เฟซนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



Title PROJECT BUILDING AUTOMATION		
Size	Number	Revision
A4		
Date: 22-MAR-1992		
File: C:\MFCARD\1		
Sheet of		
Drawn By: PHK J		

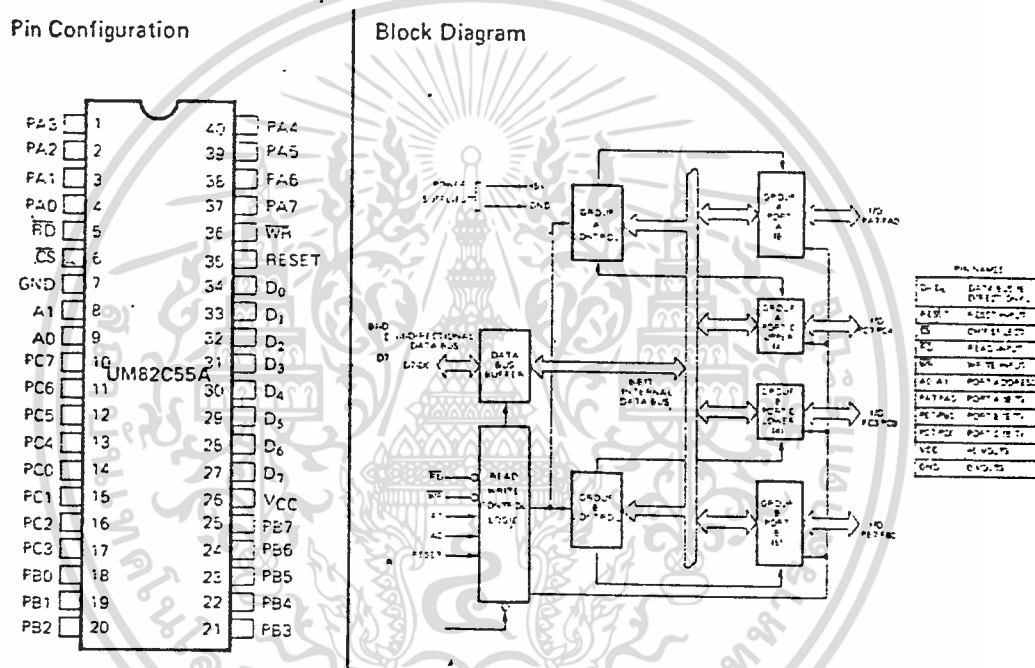
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การทำงานของ INTERFACE CARD

จากวงจรโดยสมมุติของ INTERFACE CARD การทำงานของวงจรจะเริ่มขึ้นทันทีที่มีการเลี้ยงการตอินเตอร์เฟสเข้ากับสล๊อตของเครื่องคอมพิวเตอร์ และมีการเปิดเครื่องคอมพิวเตอร์ให้เริ่มทำงาน ทันทีที่คอมพิวเตอร์เริ่มทำงาน จะทำให้สัญญาณ RESET อยู่ในสถานะ ACTIVE HIGH เมื่อสิ้นสุดการ ACTIVE ของสัญญาณ RESET แล้วจะทำให้พอร์ตทุกพอร์ตของ 8255 อยู่ในสถานะอินพุตพอร์ต เมื่อเราต้องการที่จะส่งสัญญาณออกไปที่เครื่องส่ง เราจะต้องส่งค่า Control Word ออกไปยังพอร์ต 307H ก่อน เพื่อ Set 8255 ให้พอร์ตทุกพอร์ตเป็นเอาต์พุต โดยค่า Control Word ที่ต้องส่งออกออกไปให้กับ 8255 คือ 80H หลังจาก Set 8255 แล้วจึงจะส่งค่าที่ได้จากการคำนวณไปให้กับพอร์ต A และพอร์ต B เมื่อสัญญาณที่พอร์ต A และพอร์ต B ออกมาพร้อมแล้ว สัญญาณเอาต์พุตของ Tristate Buffer จะเป็นสัญญาณ ADDRESS ที่สมมุติพร้อมที่จะป้อนให้กับเครื่องส่ง เมื่อเราต้องการให้เครื่องส่งทำงาน จึงจะส่งสัญญาณออกไปที่พอร์ต C เพื่อทำให้สัญญาณ TE ACTIVE เครื่องส่งก็จะส่งสัญญาณออกไปยัง AC LINE ตามที่ต้องการ ลำดับขั้นตอนการทำงานของ การส่งสัญญาณออกไปยัง AC LINE จะเป็นไปตามขั้นตอนดังที่กล่าวมานี้ตลอดไป

รายละเอียดเกี่ยวกับ 8255

8255 เป็นอุปกรณ์ LSI (LARGE SCALE INTEGRATED CIRCUIT) บรรจุอยู่ใน PACKAGE 40 ขาแบบ DIP (DUAL-IN-LINE-PACKAGE) ซึ่ง 8255 นี้ทำหน้าที่ อินเทอร์เฟสระหว่างไมโครโปรเซสเซอร์กับอุปกรณ์ภายนอก 8255 นั้นสามารถแสดง BLOCK DIAGRAM และ PIN CONFIGURATION ของ 8255 ดังรูปที่ 1



รูปที่ 1 BLOCK DIAGRAM และ PIN CONFIGURATION

BLOCK DIAGRAM ของ 8255 ที่แสดงดังรูปที่ 1 ซึ่งมีส่วนที่ติดต่อกับอุปกรณ์ภายนอก 4 กลุ่ม คือ PA_0 - PA_7 , PB_0 - PB_7 , PC_0 - PC_7 และ PD_0 - PD_7 กลุ่มของสัญญาณควบคุมมี 2 กลุ่ม คือ GROUP A CONTROL และ GROUP B CONTROL ซึ่งควบคุมการทำงานทั้ง 3 พอร์ต DATA BUS, BUFFER และ READ / WRITE CONTROL LOGIC ใช้สำหรับติดต่อกับไมโครโปรเซสเซอร์ทางบัสข้อมูล และสัญญาณควบคุมการอ่านและเขียนข้อมูลกับ REGISTER ที่อยู่ภายใน 8255

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หน้าที่ของขา 8255

ตำแหน่งขา 8255 ทั้ง 40 ขาประกอบด้วย

D_0-D_7 : เป็นขาที่ข้อมูลอินพุตเอาต์พุต จะต้องผ่านเข้าออกจากส่วนนี้ D_0-D_7 จึงต่อเข้ากับระบบบัสของ MICROPROCESSOR เพื่อให้ ไมโครโปรเซสเซอร์ สามารถอ่านหรือเขียนข้อมูลจากพอร์ตผ่านทางบัสนี้

$\overline{CS}$ ^{9 Als enable} : คือ สัญญาณเลือกชิป ขานี้เป็นขาอินพุตที่จะรับสัญญาณจากภายนอกเพื่อเลือกชิป 8255 โดยเมื่อขานี้เป็น "0" จะทำให้ 8255 ต่อเข้ากับระบบบัสของไมโครโปรเซสเซอร์ เพื่อให้ไมโครโปรเซสเซอร์เขียนหรืออ่านข้อมูลจากพอร์ตได้

$\overline{RD}$: คือ สัญญาณการอ่าน เป็นสัญญาณอินพุตที่ต้องส่งมาจาก CPU เมื่อสัญญาณที่ขานี้เป็น "0" และสัญญาณ $\overline{CS}$ เป็น "0" ด้วยไอซี 8255 จะทำตัวให้ CPU อ่านข้อมูลจากบัสในขณะที่เป็นพอร์ตอินพุต

$\overline{WR}$: เป็นสัญญาณการเขียน จะ ACTIVE เมื่อสัญญาณ $\overline{WR}$ และสัญญาณ $\overline{CS}$ เป็น "0" สัญญาณนี้จะมาจาก CPU เมื่อต้องการจะเขียนข้อมูลลงพอร์ตที่กำหนด

A_0-A_1 : เป็นสัญญาณ ADDRESS ลอจิกของสัญญาณทั้งสองจะถอดรหัสออกเป็น 4 รหัส เพื่อกำหนด REGISTER ภายในที่เชื่อมต่อกับ พอร์ตอินพุตเอาต์พุตของ 8255

RESET : คือ สัญญาณรีเซ็ต เป็นสัญญาณที่ส่งจากภายนอกเข้ามาทำการรีเซ็ต 8255 เพื่อ CLEAR สถานะต่างๆ ของ 8255 เมื่อ 8255 ได้รับการรีเซ็ตก็จะกลับเข้าสู่โหมดอินพุตหรือทุกพอร์ตที่เป็นพอร์ตอินพุต

PA_0-PA_7 : เป็นสายสัญญาณที่เป็นพอร์ตของ 8255 ที่ชื่อพอร์ต A การเลือกพอร์ตจะเลือกพอร์ตโดยสัญญาณ ADDRESS (A_0-A_1)

PB_0-PB_7 : เป็นสายสัญญาณที่เป็นพอร์ตของ 8255 ที่ชื่อพอร์ต B การเลือกพอร์ตจะเลือกพอร์ตโดยสัญญาณ ADDRESS (A_0-A_1)

PC_0-PC_7 : เป็นสายสัญญาณที่เป็นพอร์ตของ 8255 ที่ชื่อพอร์ต C การเลือกพอร์ตจะเลือกพอร์ตโดยสัญญาณ ADDRESS (A_0-A_1) ซึ่งพอร์ต C นี้แบ่งเป็น 2 กลุ่ม คือ กลุ่ม PC_0-PC_3 และกลุ่ม PC_4-PC_7

การติดต่อกับพอร์ตต่างๆ ของ 8255

ภายใน 8255 มีพอร์ตรหัสภายในอยู่ 4 พอร์ตซึ่งเราสามารถติดต่อกับพอร์ตต่างๆ ได้ดังนี้

RD A
01 b
10 c

DEVICE PINS				PORT NAME
RD	WR	A1	A0	
1	0	0	0	WRITE PORT A DATA
0	1	0	0	READ PORT A DATA
1	0	0	1	WRITE PORT B DATA
0	1	0	1	READ PORT B DATA
1	0	1	0	WRITE PORT C DATA
0	1	1	0	READ PORT C DATA
1	0	1	1	WRITE CONTROL WORD
0	1	1	1	ILLEGAL READ REGISTER

การทำงานของพอร์ต A,B,C จะกำหนดโดยข้อมูลที่ส่งไปยังพอร์ตควบคุมโดยแต่ละบิตจะมีความหมายดังแสดงในรูปที่ 2 ซึ่งสามารถกำหนดการทำงาน 8255 ได้ 3 โหมด คือ

MODE 0 : การทำงานในโหมดนี้ 8255 จะเป็นพอร์ตอินพุต หรือ เอาต์พุตแบบธรรมดา

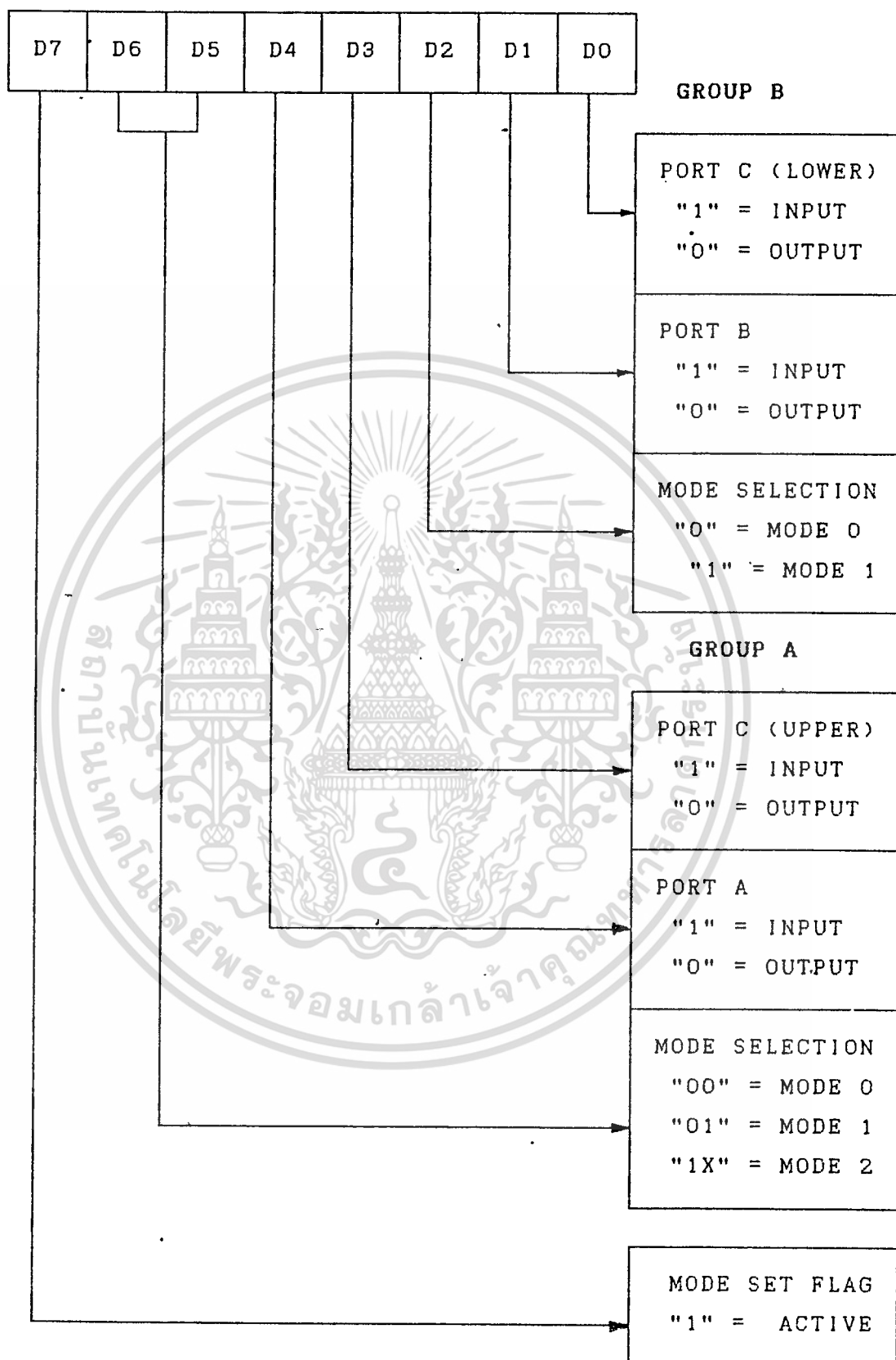
MODE 1 : จะเป็นการรับ หรือ ส่งข้อมูลแบบมีการตรวจสอบความพร้อม (Handshake) โดยใช้พอร์ต A และ B เป็นพอร์ตข้อมูลขนาด 8 บิต 2 พอร์ต และใช้สัญญาณ 4 บิต สูงของพอร์ต C เป็นสัญญาณตรวจสอบของพอร์ต A และ 4 บิตต่ำของพอร์ต C เป็นสัญญาณตรวจสอบของพอร์ต B

MODE 2 : จะใช้พอร์ต A สำหรับรับส่งข้อมูลแบบ 2 ทิศทาง (Bi-directional data port) โดยข้อมูลสามารถส่งออกหรือรับเข้ามาทางพอร์ต A ได้

แต่ใน PROJECT นี้ได้ใช้โหมด "0" ทำงานดังนั้นเราจะกล่าวถึงเฉพาะโหมด "0" เท่านั้น



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2 แสดง CONTROL WORD ของ 8255

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การใช้งาน 8255 ในโหมด 0

การทำงานของ 8255 ในโหมด 0 จะเป็นพอร์ตอินพุต หรือ เอาต์พุต แบบธรรมดา เราสามารถกำหนดให้ 8255 ทำงานในโหมด 0 ได้โดยส่ง Control word ไปยังพอร์ตควบคุม มีค่าดังต่อไปนี้

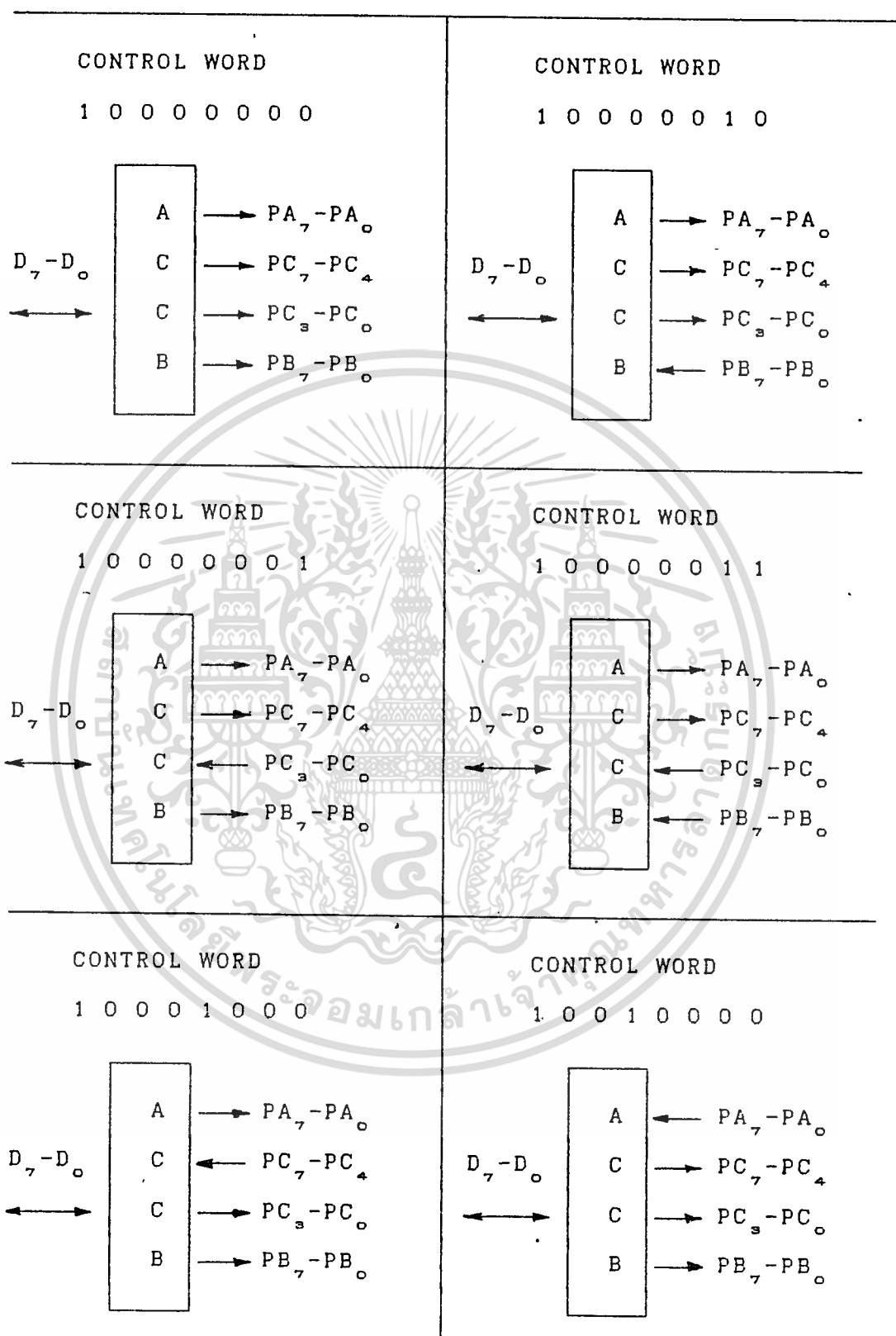
D7	D6	D5	D4	D3	D2	D1	D0
1	0	0	0	0	0	0	0

จากคำสั่งควบคุม เราสามารถอธิบายความหมายของบิตต่างๆได้ดังนี้

- D7=1 กำหนดให้ข้อมูลนี้เป็น CONTROL WORD
- D6, D5=0 กำหนดให้พอร์ต A ใน 8255 ทำงานในโหมด 0
- D4=0 กำหนดให้พอร์ต A เป็นเอาต์พุต
- D3=0 กำหนด 4 บิต บนของพอร์ต C เป็นเอาต์พุต
- D2=0 กำหนดพอร์ต B ทำงานในโหมด 0
- D1=0 กำหนดพอร์ต B เป็นเอาต์พุต
- D0=0 กำหนด 4 บิต ล่างของพอร์ต C เป็นเอาต์พุต

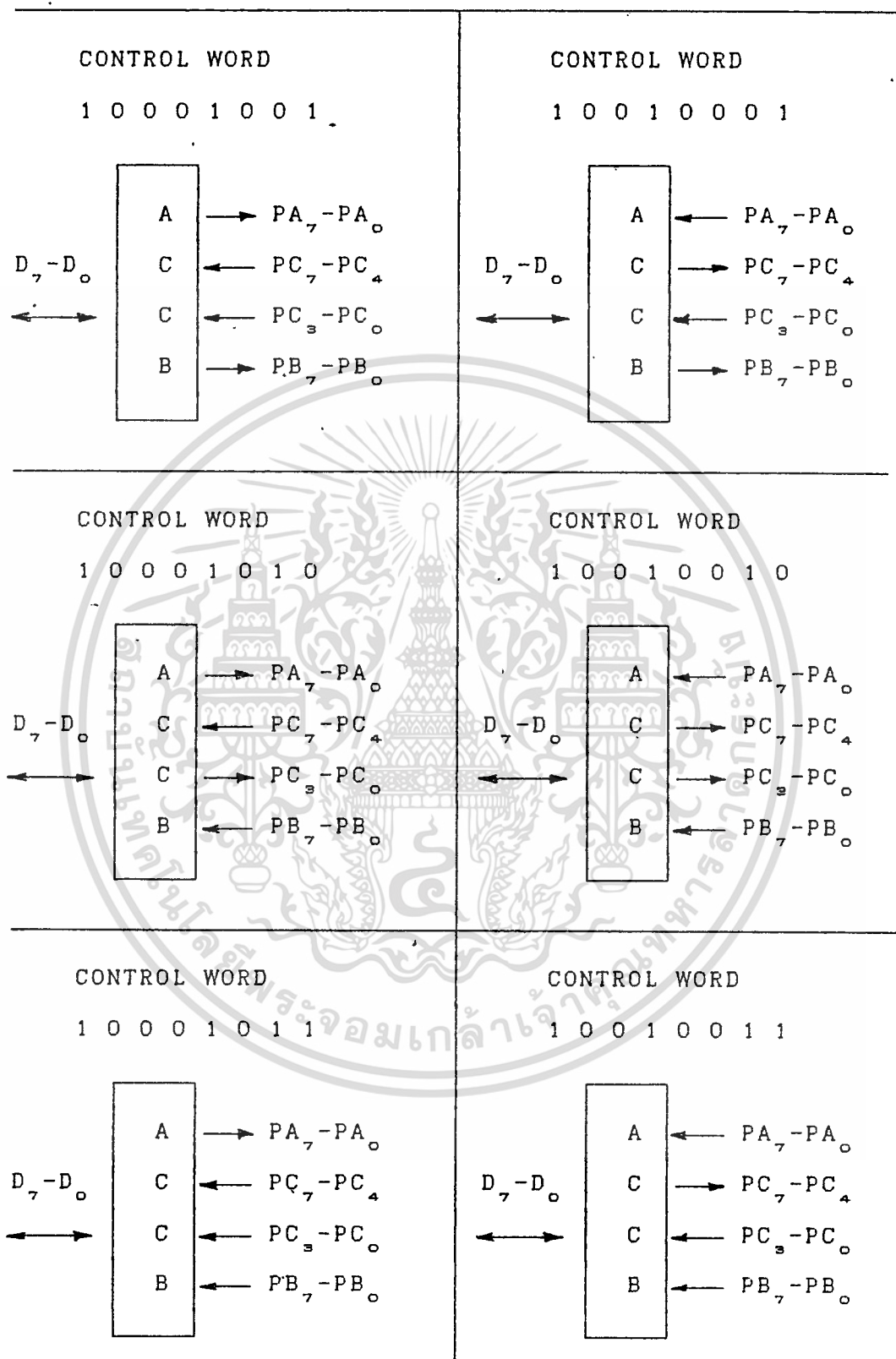
เนื่องจาก PROJECT นี้ต้องการให้ พอร์ต A,B และ 4 บิต บนของพอร์ต C เป็น เอาต์พุต เพราะฉะนั้นเราสามารถ ส่ง Control word ดังที่กล่าวมาแล้วก็เพียงพอแล้ว

และจะขอกล่าวถึงการกำหนดการทำงานของ 8255 ในโหมด 0 แบบต่างๆดังรูปที่ 3



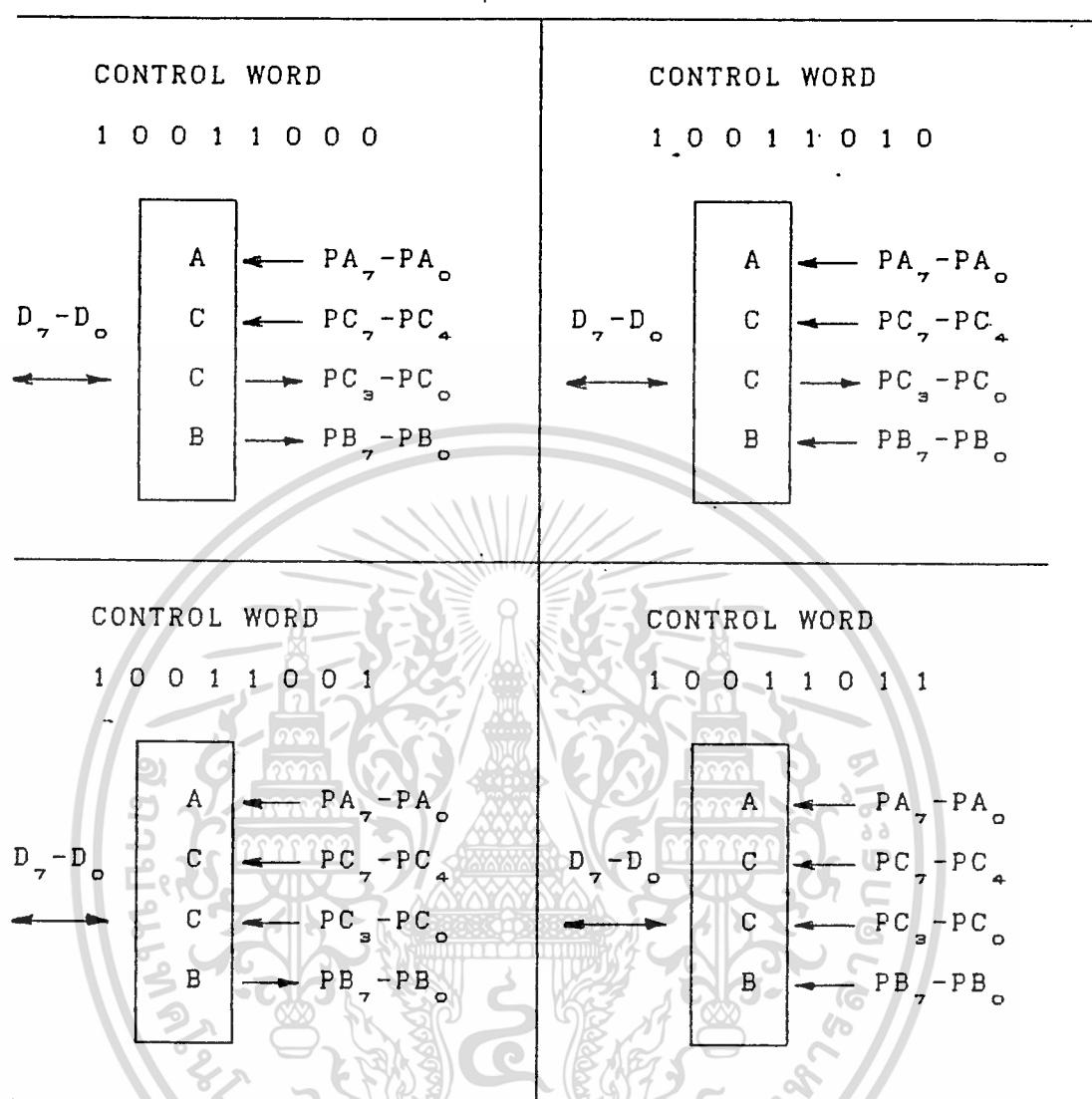
รูปที่ 3

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3 (ต่อ)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3 (ต่อ)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รายละเอียดของสัญญาณต่างๆบนสล๊อต

OSC (OSCILLATOR : ขา B30)

เป็นขา OUTPUT เป็นสัญญาณนาฬิกาความถี่ 14.31818 MHz

CLK (CLOCK : ขา B20)

เป็นขา OUTPUT เป็นสัญญาณนาฬิกาความถี่ 4.77 MHz ซึ่งถูกใช้เป็นสัญญาณนาฬิกาในระบบด้วย

RESET DRV (ขา B2)

ขาสัญญาณนี้เป็น OUTPUT ซึ่งจะ ACTIVE (LOGIC "1") ในช่วงที่เราเริ่มจ่ายไฟให้กับระบบ และจะยังคง ACTIVE ไปจนกว่าระบบต่างๆ ภายใน IBM/PC จะพร้อมที่จะทำงานได้ จากนั้นสัญญาณนี้ ก็จะเปลี่ยนกลับเป็น LOGIC "0" นอกจากนี้ระหว่างการทำงานของ IBM/PC ถ้าระดับแรงดันของแหล่งจ่ายไฟ ตกลงสัญญาณนี้ก็จะถูกทำให้ ACTIVE เช่นกัน โดยทั่วไปแล้วสัญญาณนี้จะถูกนำไปใช้ในการ RESET วงจรอินเทอร์เฟซหรือวงจร I/O ต่างๆ ในช่วงที่เริ่มจ่ายไฟให้กับระบบซึ่งจะเป็นการทำให้วงจร หรืออุปกรณ์เหล่านั้นถูกปรับให้อยู่ในสถานะแน่นอนก่อนที่จะเริ่มต้นการทำงานในระบบ

AO-A19 (ADDRESS BUS : ขา A31-A12)

ขาสัญญาณทั้ง 20 ขานี้เป็น OUTPUT ซึ่งใช้สำหรับกำหนด ADDRESS ของหน่วยความจำ หรืออุปกรณ์ I/O ที่ CPU ต้องการติดต่อด้วย โดยที่สัญญาณ AO จะมีนัยสำคัญต่ำสุด (LEAST SIGNIFICANT BIT) และ A19 จะมีนัยสำคัญต่ำสุด (MOST SIGNIFICANT BIT) สำหรับค่า ADDRESS บน BUS ADDRESS AO-A19 นี้จะถูกกำหนดโดย CPU ในระหว่างขบวนการอ่าน\เขียนข้อมูลลงในหน่วยความจำ หรืออุปกรณ์ I/O แต่ในช่วงของขบวนการ DMA นั้น DMA-CONTROLLER จะเป็นผู้กำหนดค่า ADDRESS บน BUS ADDRESS เอง (ในระหว่างนี้ CPU จะถูกตัดออกจากระบบ)

จะเห็นได้ว่าจำนวนเส้น ADDRESS นี้จะมีอยู่ 20 เส้น ซึ่งสามารถที่จะอ้าง ADDRESS ของหน่วยความจำได้ถึง 1 Mbyte แต่อย่างไรก็ตามจะมี ADDRESS บาง ADDRESS ที่ถูกใช้งานโดย IBM/PC อยู่ก่อนแล้ว คือ ADDRESS ของหน่วยความจำ RAM บน MAIN-BOARD ที่ถูกใช้โดยระบบ และ

ADDRESS สำหรับหน่วยความจำ ROM อีก 48 Kbyte ซึ่งถูกจัดในช่วงของ ADDRESS บนสุดใน 1 Mbyte คือ 0FC00H จนถึง 0FFFFFFH (สำหรับ IBM PC/XT จะเป็น 64 Kbyte)

สำหรับการอ้าง ADDRESS ของพอร์ต I/O นั้นจะใช้ ADDRESS เพียง 16 เส้น คือ A0-A15 ซึ่งจะทำให้อ้าง ADDRESS ของพอร์ตได้ 64 K พอร์ต โดยผ่านทางชุดคำสั่ง IN และ OUT ส่วนเส้น ADDRESS ที่เหลือคือ A16-A19 นั้นจะไม่ถูกใช้งานอย่างไรก็ตามภายใน IBM/PC จะใช้เส้น ADDRESS ในการอ้าง ADDRESS ของ PORT เพียง 10 เส้น คือจาก A0-A9 และค่า ADDRESS ที่ใช้งานจะต้องอยู่ในช่วง 0200H จนถึง 03FFH เท่านั้น

DO-D7 (DATA BUS : ขา A9-A2)

ขาสัญญานี้จะเป็นแบบ BI-DIRECTIONAL ซึ่งต่อกับบัสข้อมูลของระบบเพื่อทำหน้าที่ในการส่งผ่านข้อมูลระหว่าง PORT I/O กับ IBM/PC โดย บิต D0 จะมีนัยสำคัญต่ำสุด และ บิต D7 จะมีนัยสำคัญสูงสุด

สำหรับในบัสไซเคิลของการเขียนข้อมูลที่สร้างขึ้นโดย CPU นั้นข้อมูลจะถูกส่งมายังบนบัสข้อมูลก่อนที่สัญญาณ $\overline{IOW}$ (ในกรณีที่ต้องการส่งข้อมูลให้กับ PORT) หรือ $\overline{MEMW}$ (ในกรณีที่ต้องการส่งข้อมูลให้กับหน่วยความจำ) จะเปลี่ยนจาก LOGIC "0" เป็น LOGIC "1" (ขอบขาขึ้น) ซึ่งโดยทั่วไปขอบขาขึ้นของสัญญาณ $\overline{IOW}$ หรือ $\overline{MEMW}$ นี้จะถูกใช้เพื่อสั่งให้ PORT I/O หรือหน่วยความจำที่มี ADDRESS ตรงกับค่า ADDRESS บน BUS ADDRESS นั้นรับข้อมูลไปเก็บไว้

สำหรับในบัสไซเคิลของการอ่านข้อมูลที่สร้างขึ้นโดย CPU นั้น PORT I/O หรือหน่วยความจำที่ถูกอ้างถึงต้องส่งข้อมูลออกมาบนบัสข้อมูลก่อนที่สัญญาณ $\overline{IOR}$ (ในกรณีที่ต้องการอ่านข้อมูลจาก PORT หรือ $\overline{MEMR}$ (ในกรณีที่ต้องการอ่านข้อมูลจากหน่วยความจำ) จะเปลี่ยนจาก LOGIC "0" เป็น LOGIC "1" (ขอบขาขึ้น)

ALE (ADDRESS LATCH ENABLE : ขา B28)

ขาสัญญานี้เป็นสัญญาณเอาต์พุตที่สร้างขึ้นเพื่อใช้สำหรับแสดงการเริ่มต้นของบัสไซเคิล และแสดงให้เห็นอุปกรณ์ภายนอกทราบว่าแอดเดรสที่ CPU ต้องการจะติดต่อดัวยันนั้นถูกส่งออกมาบนบัสแอดเดรสแล้ว โดยที่สัญญาณ ALE นี้จะ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เปลี่ยนจากลอจิก "1" เป็น "0" เมื่อค่าแอดเดรสที่ถูกส่งออกมาบนบัสข้อมูล เรียบร้อยแล้ว ดังนั้นขอบขาลงของสัญญาณ ALE นี้จะถูกใช้ในการแลทช์ค่าแอดเดรสจากบัสแอดเดรส/ข้อมูล (Address/Data Bus ; AD0-AD7) ของ CPU ทำให้สามารถแยกค่าแอดเดรส(A0-A19) และข้อมูล(A0-A7) ออกจากกันได้ อย่างไรก็ตามสัญญาณ ALE จะ แยกที่ฟเฉพาะในบัสไซเคิลที่สร้างขึ้นโดย CPU เท่านั้น โดยจะไม่แยกที่ฟในระหว่างขบวนการ DMA

I/O CHCK (I/O Channel Check ; ขา A1)

ขาสัญญาณนี้เป็นอินพุตที่ใช้ในการแสดงความผิดพลาดเกี่ยวกับพาริตีที่เกิดขึ้นในการทำงานของวงจรอินเตอร์เฟสหรืออุปกรณ์ I/O เมื่อขาสัญญาณนี้ได้รับลอจิก "0" จะทำให้ CPU ถูกอินเตอร์รั้นตแบบ Non-Maskable(NMI) อย่างไรก็ตามเราสามารถที่จะกำหนดให้วงจรภายในของ IBM/PC ทำการขออินเตอร์รั้น(เมื่อได้รับสัญญาณ I/O CHCK) หรือไม่ได้ โดยการกำหนดลอจิกของบิตข้อมูลของพอร์ตที่ควบคุมการขออินเตอร์รั้นตแบบ NMI คือบิต D7 ของพอร์ต 00A0H ในกรณีที่บิต D7 ของพอร์ต 00A0H ถูกเซตเป็น "1" ก็ทำให้วงจรภายนอกของอินเตอร์รั้นตแบบ NMI ได้ (Enable) แต่ถ้าบิต D7 ของพอร์ต 00A0H ถูกเซตเป็น "0" ก็จะเป็นการดิสเอเบิล(Disable) การขออินเตอร์รั้นตแบบ NMI ดังนี้

Enable : ใช้คำสั่ง OUT ส่งข้อมูล 80H ไปยังพอร์ต 00A0H

Disable : ใช้คำสั่ง OUT ส่งข้อมูล 00H ไปยังพอร์ต 00A0H

และเนื่องจากยังมีอุปกรณ์อื่นที่สามารถขออินเตอร์รั้นตแบบ NMI ได้อีก ดังนั้นซอฟต์แวร์ที่ใช้งานจะต้องสามารถตรวจสอบว่าการขออินเตอร์รั้นตนั้นเกิดขึ้นจากแหล่งใดได้ด้วย

I/O CHRDY (I/O Channel Ready ; ขา A10)

ขาสัญญาณนี้เป็นอินพุต ที่ใช้เพิ่มช่วงเวลาใน บัสไซเคิล ในกรณีที่อุปกรณ์ I/O หรือหน่วยความจำที่เกี่ยวข้องกับขบวนการในบัสไซเคิลที่เกิดขึ้น ไม่สามารถทำงานทันตามช่วงเวลาปกติของบัสไซเคิลนั้นๆได้ (ช่วงเวลาของบัสไซเคิลที่เกี่ยวกับหน่วยความจำใช้ช่วงเวลาเท่ากับช่วงเวลาของคล็อก 4 ลูก หรือ 840 นาโนวินาที ในที่บัสไซเคิลที่เกี่ยวกับ I/O จะใช้ช่วงเวลาเท่ากับช่วงเวลาของคล็อก 5 ลูกหรือ 1.05 ไมโครวินาที)

เมื่ออุปกรณ์ I/O หรือ หน่วยความจำต้องการที่จะเพิ่มช่วงเวลาในบัส ไชเคิลให้นานขึ้นอีกนั้น จะสามารถทำได้โดยการป้อนลอจิก "0" ให้กับ ขา I/O $\overline{\text{CHRDY}}$ ในช่วงเวลาที่ I/O หรือหน่วยความจำที่ถูกกำหนดนั้น ได้รับสัญญาณจากการตีโค้ดแอดเดรส และสัญญาณ $\overline{\text{MEMR}}$, $\overline{\text{MEMW}}$, $\overline{\text{IOR}}$ หรือ $\overline{\text{IOW}}$ แยกทีละ

IRQ2-IRQ7 (Interrupt Request 2 Through 7 ; ขา B4 และ B21-B25)

ขาสัญญาณทั้ง 6 นี้เป็นขาอินพุตที่ใช้สำหรับการขออินเตอร์รัพต์จาก CPU โดยสัญญาณเหล่านี้จะต่อเข้ากับ 8259A บนเมนบอร์ดโดยตรง โปรแกรมในส่วน BIOS ของ IBM/PC จะทำการโปรแกรม 8259A ให้ IRQ2 มีลำดับความสำคัญสูงสุด (Highest Priority) และ IRQ7 มีลำดับความสำคัญต่ำสุดในกรณีที่มีการขออินเตอร์รัพต์เกิดขึ้นคือ ระดับลอจิกที่ขา IRQ ขาใดขาหนึ่งถูกเปลี่ยนจากลอจิก "0" เป็นลอจิก "1" (ขอบขาขึ้น) 8259A ก็จะทำการส่งสัญญาณ INT ให้กับ CPU เพื่อทำการขออินเตอร์รัพต์

สิ่งสำคัญในการขออินเตอร์รัพต์โดยผ่านทาง IRQ2-IRQ7 นี้ ก็คือ อุปกรณ์ที่ทำการขออินเตอร์รัพต์โดยผ่านทาง IRQ ขาใดก็จะต้องรักษาระดับสัญญาณที่ขา IRQ นั้น ให้แยกทีฟ (ลอจิก "1") อยู่จนกว่าจะได้รับสัญญาณ INTA (Interrupt Acknowledge) จาก CPU เสียก่อนถ้าไม่เช่นนั้นการขออินเตอร์รัพต์จะถูกยกเลิก และอินเตอร์รัพต์ Level 7 (IRQ7) ก็จะสร้างขึ้นโดยอัตโนมัติ ไม่ว่าการขออินเตอร์รัพต์ที่ถูกยกเลิกนั้นจะเป็นการขออินเตอร์รัพต์ใน Level หรือขาใด

$\overline{\text{IOR}}$ (I/O Read ; ขา B14)

ขาสัญญาณนี้เป็นเอาต์พุตแยกทีฟที่ลอจิก "0" ที่สร้างขึ้นโดย 8288 Bus Controller เพื่อใช้ในการแสดงว่าบัสไชเคิลที่เกิดขึ้นนี้ เป็นบัสไชเคิลของการอ่านข้อมูลจากพอร์ต I/O เพื่อให้พอร์ต I/O ที่มีแอดเดรสตรงกับแอดเดรสบนบัสแอดเดรสนั้นส่งข้อมูลออกมาบนบัสข้อมูล โดยข้อมูลจะต้องถูกส่งออกมาบนบัสข้อมูลก่อนขอบขาขึ้นของสัญญาณ $\overline{\text{IOR}}$ ประมาณ 30 นาโนวินาที เพื่อให้มั่นใจได้ว่า CPU สามารถรับข้อมูลได้ถูกต้อง สำหรับขบวนการ DMA 8237A-5 DMA Controller จะทำการสร้างสัญญาณ $\overline{\text{IOR}}$ เอง โดยที่ค่า

แอดเดรสที่อยู่บนบัสแอดเดรสจะเป็นค่าแอดเดรสของหน่วยความจำ (แทนที่จะเป็นแอดเดรสของพอร์ต I/O) ที่พอร์ต I/O ที่ขา DMA ต้องการจะนำข้อมูลไปเก็บ การที่พอร์ตใดจะส่งข้อมูลออกมาบนบัสข้อมูลนั้น จะอาศัยสัญญาณ DACK จาก DMA Controller เป็นตัวกำหนดเช่นกรณีที่มีสัญญาณ DACK1 แยกที่พิกัด แสดงว่าพอร์ต I/O ที่จะต้องส่งข้อมูลออกมาบนบัสข้อมูลก็คือพอร์ต I/O ที่ขอ DMA ผ่านทางแชนแนลที่ 1 (DRQ1) เป็นต้น

$\overline{IOW}$ (I/O Write ; ขา B13)

ขาสัญญาณนี้เป็นเอาต์พุตแอกทิฟที่ลอจิก "0" ซึ่งถูกสร้างขึ้นโดย 8288 Bus Controller เพื่อใช้แสดงว่าบัสไซเคิลที่เกิดขึ้นนี้เป็นบัสไซเคิลของการเขียนข้อมูลลงบนพอร์ต I/O เพื่อให้พอร์ต I/O ที่มีแอดเดรสตรงกับแอดเดรสบนบัสแอดเดรสนั้น รับข้อมูลที่อยู่บนบัสข้อมูลไปเก็บไว้ อย่างไรก็ตามเนื่องจากในช่วงเวลาที่สัญญาณ $\overline{IOW}$ นี้แอกทิฟ (ลอจิก "0") นั้นข้อมูลบนบัสข้อมูลอาจจะยังไม่สมบูรณ์ ดังนั้นในการออกแบบจึงควรใช้ขอบขาขึ้นของสัญญาณ $\overline{IOW}$ แทนขอบขาลงในการทำให้พอร์ต I/O ที่เกี่ยวข้องรับข้อมูลไปเก็บไว้ เพื่อให้ข้อมูลบนบัสข้อมูลสมบูรณ์เสียก่อนสำหรับในขบวนการ DMA นั้น DMA Controller จะทำการสร้างสัญญาณ $\overline{IOW}$ เอง โดยที่ค่าแอดเดรสที่อยู่บนบัสแอดเดรสจะเป็นค่าแอดเดรสของหน่วยความจำที่พอร์ต I/O ที่ขอ DMA ต้องการจะอ่านข้อมูล

$\overline{MEMW}$ (Memory Write ; ขา B11)

ขานี้เป็นเอาต์พุตแอกทิฟที่ลอจิก "0" ซึ่ง 8288 Bus Controller สร้างขึ้นในระหว่างบัสไซเคิลในการเขียนข้อมูลลงในหน่วยความจำของ CPU สัญญาณ $\overline{MEMW}$ นี้จะถูกส่งออกมาเพื่อให้หน่วยความจำที่แอดเดรสตรงกับค่าแอดเดรสบนบัสแอดเดรสนั้น ทำการรับข้อมูลที่อยู่บนบัสข้อมูลไปเก็บไว้ โดยทั่วไปหน่วยความจำจะรับข้อมูลในช่วงขอบขาขึ้นของสัญญาณ $\overline{MEMW}$

สำหรับในระหว่างขบวนการ DMA-Controller จะทำการควบคุมบัสต่างๆของระบบแทน CPU และสัญญาณ $\overline{MEMW}$ จะถูกใช้ในบัสไซเคิลของการเขียนข้อมูลลงในหน่วยความจำ (ข้อมูลถูกส่งจากอุปกรณ์ I/O ไปให้กับหน่วยความจำ)

$\overline{MEMR}$ (Memory Read ; ขา B12)

ขานี้เป็นเอาต์พุตจาก 8288 ซึ่งสัญญาณนี้จะแอกทิฟ (ลอจิก "0") ในระ

หว่างบัสไซเคิลของการอ่านข้อมูลจากหน่วยความจำของ CPU เพื่อให้หน่วยความจำที่มีแอดเดรสตรงกับค่าแอดเดรสบนบัสแอดเดรสนั้น ทำการส่งข้อมูลออกมาบนบัสข้อมูล โดยหน่วยความจำนั้นจะต้องส่งข้อมูลออกมาในช่วงเวลา 30 นาโนวินาที ก่อนที่สัญญาณ $\overline{MEMW}$ จะกลับเป็นลอจิก "1" ทั้งนี้เพื่อให้ CPU ได้รับข้อมูลที่ถูกต้อง

สำหรับในระหว่างขบวนการ DMA นั้น DMA-Controller จะควบคุมบัสต่างๆของระบบแทน CPU และสัญญาณ $\overline{MEMR}$ จะถูกใช้ในบัสไซเคิลของการอ่านข้อมูลจากหน่วยความจำ (ข้อมูลถูกส่งจากหน่วยความจำไปให้กับอุปกรณ์ I/O)

DRQ1-DRQ3 (DMA Request 1-3 ; ขา B18, B6 และ ขา B16)

ขาสัญญาณทั้งสามนี้เป็นสัญญาณอินพุตแอกทีฟที่ลอจิก "1" ซึ่งอุปกรณ์ภายนอกสามารถใช้ในการขอ DMA จากระบบ โดยการป้อนระดับสัญญาณลอจิก "1" ให้กับขา DRQ ขาใดขาหนึ่ง (ขา DRQ ทั้งสามนี้จะต่อเข้ากับ DRQ1-DRQ3 ของ 8237A-5)

เมื่อ 8255A-5 ได้รับสัญญาณนี้แล้วก็จะตรวจสอบว่ามีการขอ DMA ในแชนแนลที่มีลำดับความสำคัญ (Priority) สูงกว่าหรือไม่ ถ้าไม่มีก็จะทำการขอ DMA จาก CPU และตอบรับการขอ DMA จากอุปกรณ์ภายนอก (สัญญาณ $\overline{DACK}$ ของแชนแนลที่ขอ DMA จะแอกทีฟ) แต่ถ้ามี 8237A-5 ก็จะทำให้การขอ DMA ให้กับแชนแนลที่มีลำดับความสำคัญสูงกว่าก่อนแล้วจึงทำการขอ DMA ให้กับแชนแนลที่มีลำดับความสำคัญต่ำกว่า ภายใน ROM BIOS ของ IBM/PC จะโปรแกรม 8237A-5 ให้ DRQ1 มีลำดับความสำคัญสูงสุดและ DRQ3 มีความสำคัญต่ำสุด ดังนั้นถ้ามีการขอ DMA ของอุปกรณ์ภายนอกผ่านทางแชนแนลที่ 1 (DRQ1) และแชนแนลที่ 2 (DRQ2) 8237A-5 ก็จะทำให้การ DMA ให้กับแชนแนลที่ 1 ก่อนจากนั้นเมื่อเสร็จจากขบวนการ DMA ของแชนแนลที่ 1 แล้วจึงจะทำการขอ DMA ให้กับแชนแนลที่ 2

อย่างไรก็ตาม 8237A-5 ยังมีแชนแนลสำหรับการขอ DMA อยู่อีก 1 แชนแนล คือ แชนแนลที่ 0 (DRQ0) ซึ่งในความเป็นจริงแล้วแชนแนลนี้จะมีลำดับความสำคัญที่สูงกว่าแชนแนลที่ 1 แต่จะไม่ถูกต่อออกมายังขาของลลิตเนื่องมาจาก IBM/PC จะใช้แชนแนลนี้ในการรีเฟรชหน่วยความจำที่เป็นไดนามิก RAM

ในการขอ DMA นั้นสัญญาณ DRQ นี้จะต้องแอกทีฟอยู่ในช่วงระยะ

เวลาหนึ่งเท่านั้น ถ้าสัญญาณนี้แอกทิฟอยู่นานเกินไป จะทำให้เกิดขบวนการ DMA ขึ้นมากกว่า 1 ขบวนการได้ สำหรับวงจรที่ขอ DMA โดยทั่วไปแล้วจะใช้ สัญญาณตอบรับการขอ DMA หรือสัญญาณ $\overline{DACK}$ ของแชนแนลที่ขอ DMA นั้น ในการรีเซตสัญญาณ DRQ เช่นอุปกรณ์ภายนอกที่ขอ DMA ผ่านทางแชนแนลที่ 1 (DRQ1) ก็จะคอยตรวจสอบการตอบรับการขอ DMA จากสัญญาณ $\overline{DACK}$ ของ แชนแนลที่ 1 ($\overline{DACK1}$) เมื่อได้รับสัญญาณจาก $\overline{DACK1}$ แล้ว ก็จะรีเซตสัญญาณ DRQ1 (เปลี่ยนจากลอจิก "1" เป็น "0")

$\overline{DACK0}-\overline{DACK3}$ (DMA Acknowledge 0-3 ; ขา B19, B17, B26 และ B15)

สัญญาณทั้ง 4 นี้เป็นเอาต์พุตแอกทิฟที่ลอจิก "0" ซึ่ง 8237A-5 สร้างขึ้น เพื่อแสดงให้วงจรภายนอกที่ขอ DMA ทราบว่าการขอ DMA นั้นได้รับการตอบสนองแล้ว และ 8237A-5 จะเข้าสู่ขบวนการ DMA เพื่อให้การส่งผ่านข้อมูลระหว่างอุปกรณ์ I/O ที่ขอ DMA กับหน่วยความจำเกิดขึ้นได้โดยตรง (คือ ไม่ต้องผ่าน CPU) โดยสัญญาณ $\overline{DACK}$ นี้จะแอกทิฟในแชนแนลใดก็ขึ้นอยู่กับว่าขบวนการ DMA ที่จะเกิดขึ้นนั้น เป็นการตอบสนองต่อการขอ DMA ในแชนแนลใด เช่นถ้าขบวนการ DMA ที่จะเกิดขึ้นนั้นเป็นการตอบสนองต่อการขอ DMA ในแชนแนลที่ 2 (DRQ2) สัญญาณ $\overline{DACK2}$ ก็จะแอกทิฟ เป็นต้น

ดังที่ได้กล่าวแล้วว่าสัญญาณ DRQ0 นั้นจะไม่ถูกต่อออกมายังขาของสล๊อต ดังนั้นวงจรอินเตอร์เฟสจึงไม่สามารถจะขอ DMA ผ่านแชนแนล 0 ได้ แต่สัญญาณ $\overline{DACK0}$ จะถูกต่อออกมายังสล๊อตด้วย (ขา B19) ทั้งนี้ก็เพื่อที่จะแสดงให้ วงจรอินเตอร์เฟสต่างๆทราบว่าขบวนการ DMA ที่เกิดขึ้นในช่วงเวลาที่ $\overline{DACK0}$ แอกทิฟนั้น เป็นขบวนการที่ใช้สำหรับการรีเฟรชหน่วยความจำที่เป็นไดนามิก RAM ที่อยู่ในวงจรได้

โดยที่การรีเฟรชหน่วยความจำนั้นจะเกิดขึ้นในทุกๆ 15.12 ไมโครวินาที หรือทุกๆ 72 คล็อก ดังนั้นสัญญาณ $\overline{DACK0}$ นี้ก็จะแอกทิฟในทุกๆ 15.12 ไมโครวินาที

AEN (Address Enable ; ขา A11)

สัญญาณนี้เป็นเอาต์พุตที่ใช้ในการแสดงว่าบัสไซเคิลที่เกิดขึ้นในช่วงเวลาที่สัญญาณ AEN แอกทิฟ (ลอจิก "1") นั้น เป็นบัสไซเคิลของขบวนการ DMA

สำหรับบนเมนบอร์ดของ IBM/PC นั้นจะใช้สัญญาณนี้ในการดิสเอเบิล (Disable) 8288 Bus Controller และจะใช้ดิสเอเบิลพอร์ต I/O ต่างๆ ที่ไม่เกี่ยวข้องกับขบวนการ DMA ที่เกิดขึ้นนี้ ที่จำเป็นต้องทำเช่นนี้ก็เพราะในระหว่างขบวนการ DMA นั้น 8237A-5 จะส่งแอดเดรสของหน่วยความจำออกมาบนบัสแอดเดรส และจะทำให้สัญญาณ $\overline{IOR}$ หรือ $\overline{IOW}$ แยกทีฟด้วย ดังนั้นถ้าไม่ทำการดิสเอเบิลพอร์ต I/O ที่ไม่เกี่ยวข้องไว้ ก็อาจจะทำให้พอร์ต I/O ที่มีแอดเดรสตรงกับค่าแอดเดรสบนบัสแอดเดรส (ซึ่งเป็นแอดเดรสของหน่วยความจำ) นั้น ทำการอ่านหรือส่งข้อมูลออกมาบนบัสข้อมูลทำให้เกิดความผิดพลาดขึ้นได้

T/C (Terminal Count ; ขา B27)

สัญญาณนี้ถูกสร้างขึ้นจากการนำเอาสัญญาณเอาต์พุตที่ขา EOP ของ 8237A-5 มากลับลอจิก (โดยใช้เกต Inverter) ทำให้สัญญาณ T/C นี้ แยกทีฟที่ลอจิก "1"

สำหรับสัญญาณนี้จะแยกทีฟเมื่อจำนวนไบนารีในการส่งผ่านข้อมูลของขบวนการ DMA ในแชนแนลใดแชนแนลหนึ่ง ครบตามจำนวนที่กำหนดไว้ โดยทั่วไปแล้วสัญญาณที่จะถูกใช้ในการสิ้นสุดขบวนการ DMA ที่ทำการส่งผ่านข้อมูลเป็นบล็อก เนื่องจากสัญญาณนี้จะแยกทีฟโดยไม่แสดงว่าเป็นสัญญาณของแชนแนลใด ดังนั้นจึงต้องทำการนำสัญญาณ T/C นี้ผ่านเกต Inverter แล้วนำไป OR สัญญาณ DACK เพื่อให้สามารถทราบได้ว่า สัญญาณ T/C ที่เกิดขึ้นนั้นเป็นสัญญาณของแชนแนลใด สำหรับแชนแนลที่ 0 นั้นสัญญาณ T/C จะแยกทีฟในช่วงเวลาที่คงที่คือทุกๆ 990.804 มิลลิวินาที ซึ่งก็คือช่วงเวลาที่ใช้ในการรีเฟรชหน่วยความจำขนาด 64Kbyte นั้นเอง

บัสของแหล่งจ่ายไฟของระบบ

+5Vdc (ขา B3 และ B29)

ขาทั้งสองนี้ต่อกับแหล่งจ่ายไฟ DC +5V ของระบบ โดยจะมีค่าความเที่ยงตรง (Regulated) $\pm 5\%$ คืออยู่ในช่วง +4.75 ถึง +5.25Vdc

+12Vdc (ขา B9)

ขานี้จะต่อกับแหล่งจ่ายไฟ DC +12V ของระบบ โดยจะมีค่าความเที่ยงตรง (Regulated) $\pm 5\%$ คืออยู่ในช่วง +11.4 ถึง +12.6Vdc

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

-5Vdc (ขาB5)

ขานี้จะต่อกับแหล่งจ่ายไฟ DC -5V ของระบบ โดยจะมีค่าความเที่ยงตรง(Regulated) $\pm 10\%$ คืออยู่ในช่วง -5.5 ถึง -4.5 Vdc

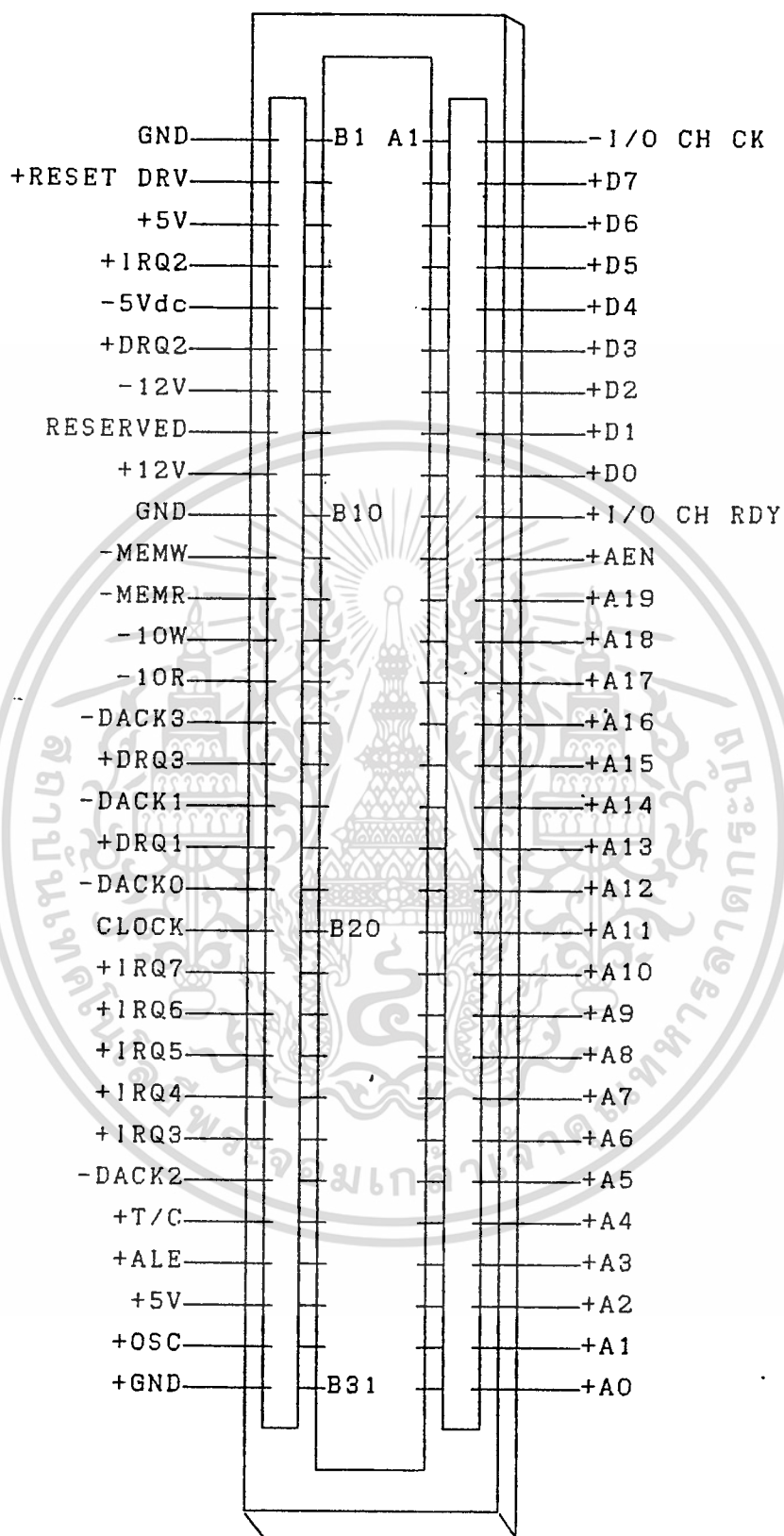
-12Vdc (ขา B7)

ขานี้จะต่อกับแหล่งจ่ายไฟ DC -12V ของระบบ โดยจะมีค่าความเที่ยงตรง (Regulated) $\pm 10\%$ คืออยู่ในช่วง -13.2 ถึง -10.8 Vdc

GND (ขา B1, B10 และ B31)

ขาทั้งสามนี้จะต่อเข้ากับกราวนด์ (Ground) ของระบบ



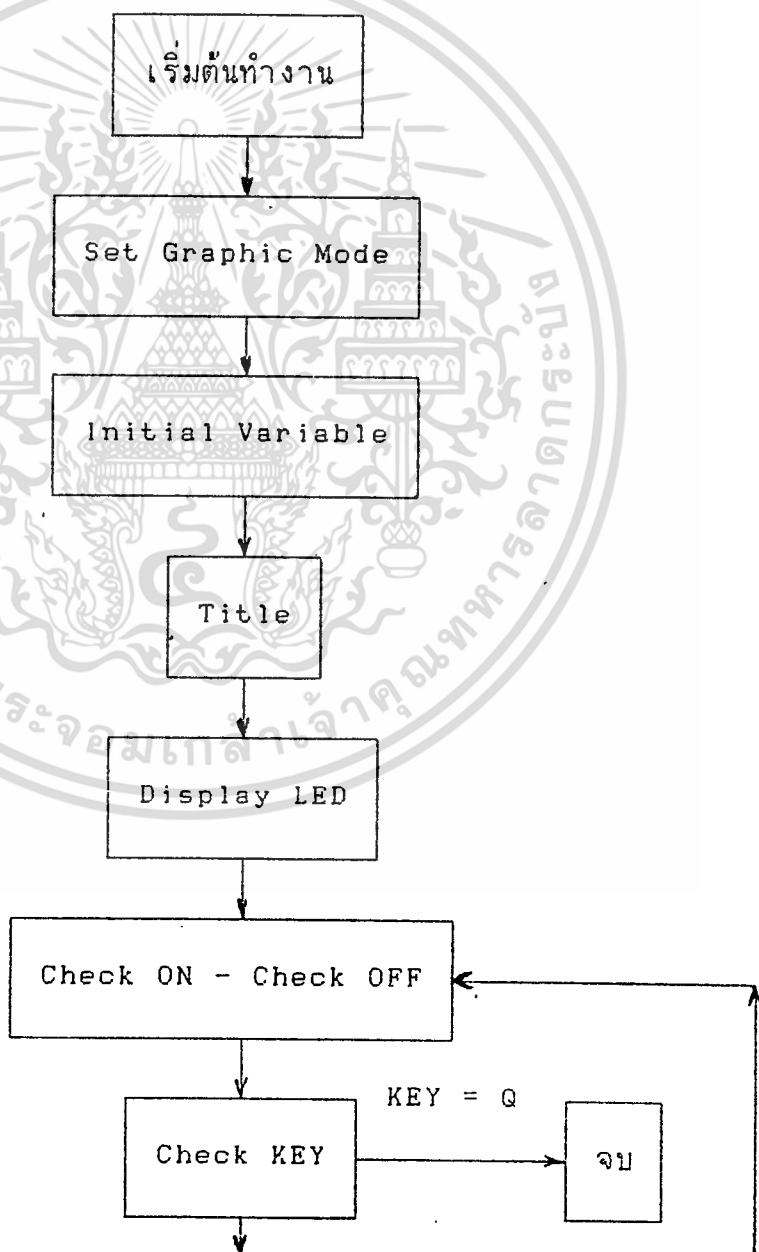


รูปแสดงขาสัญญาณต่างๆใน I/O slot บน IBM/PC

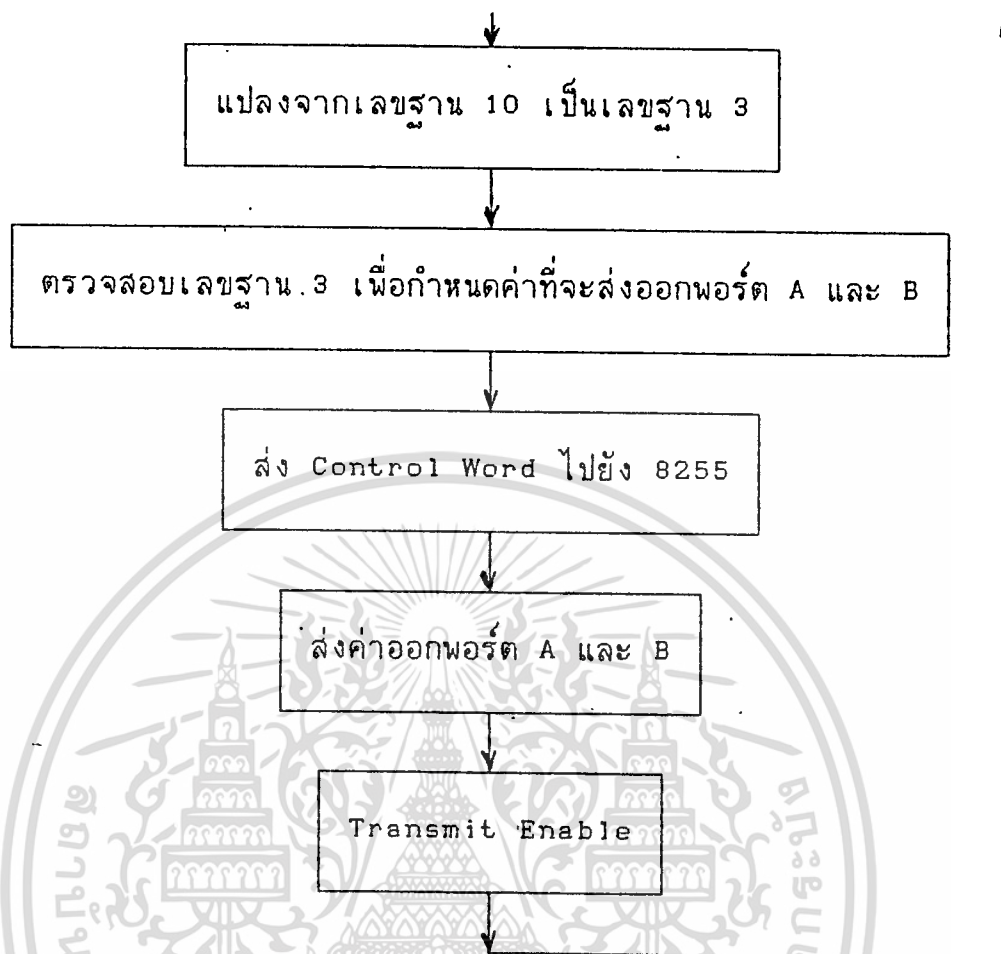
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โปรแกรม

โครงงานนี้มีการนำคอมพิวเตอร์มาควบคุมการทำงานของเครื่องส่ง เพื่อให้การควบคุมระบบไฟฟ้าภายในอาคารเป็นไปอย่างอัตโนมัติ ดังนั้นจึงต้องมีโปรแกรมที่ใช้ควบคุมการทำงานของการ์ดอินเตอร์เฟซ และแสดงผลการทำงาน รวมทั้งสถานะของระบบ โดยโปรแกรมนี้นี้เขียนขึ้นด้วยภาษาปาสคาลเวอร์ชัน 5.5 โดยสามารถเขียนเป็น FLOW CHART แสดงการทำงานได้ดังนี้



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



จาก FLOW CHART สามารถอธิบายรายละเอียดของแต่ละส่วนได้ดังนี้
 Set Graphic Mode เนื่องจาก Program นี้ ต้องการให้มีการแสดงผลใน
 Graphic Mode ดังนั้นในขณะเริ่มโปรแกรมจึงต้องมีการกำหนดค่าต่างๆของ
 Graphic Mode โดยสามารถเขียนเป็นโปรแกรมได้ดังนี้

```

GraphDriver := Detect;
InitGraph(GraphDriver, GraphMode, '');
GetModeRange(GraphDriver, LowMode, HighMode);
SetGraphMode(LowMode);
IF (HighMode = EGAHi) THEN
SetGraphMode(EGAHi);
IF (HighMode = VGAHi) OR (HighMode = VGAMed) THEN
SetGraphMode(VGAMed);
  
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
 ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จะสังเกตเห็นว่าในระบบ VGA เราจะ Set Mode ให้อยู่ใน Mode VGAMed โดยไม่ใช่ VGAHi ซึ่งมีความละเอียดสูงกว่า ทั้งนี้เพราะใน Program นี้เราต้องการใช้ Page ของจอภาพเพื่อการแสดงผลอย่างน้อย 2 Page ซึ่งใน Mode VGAHi จะมีเพียง 1 page เท่านั้น แต่ใน Mode VGAMed จะมี Page อยู่ 2 Page

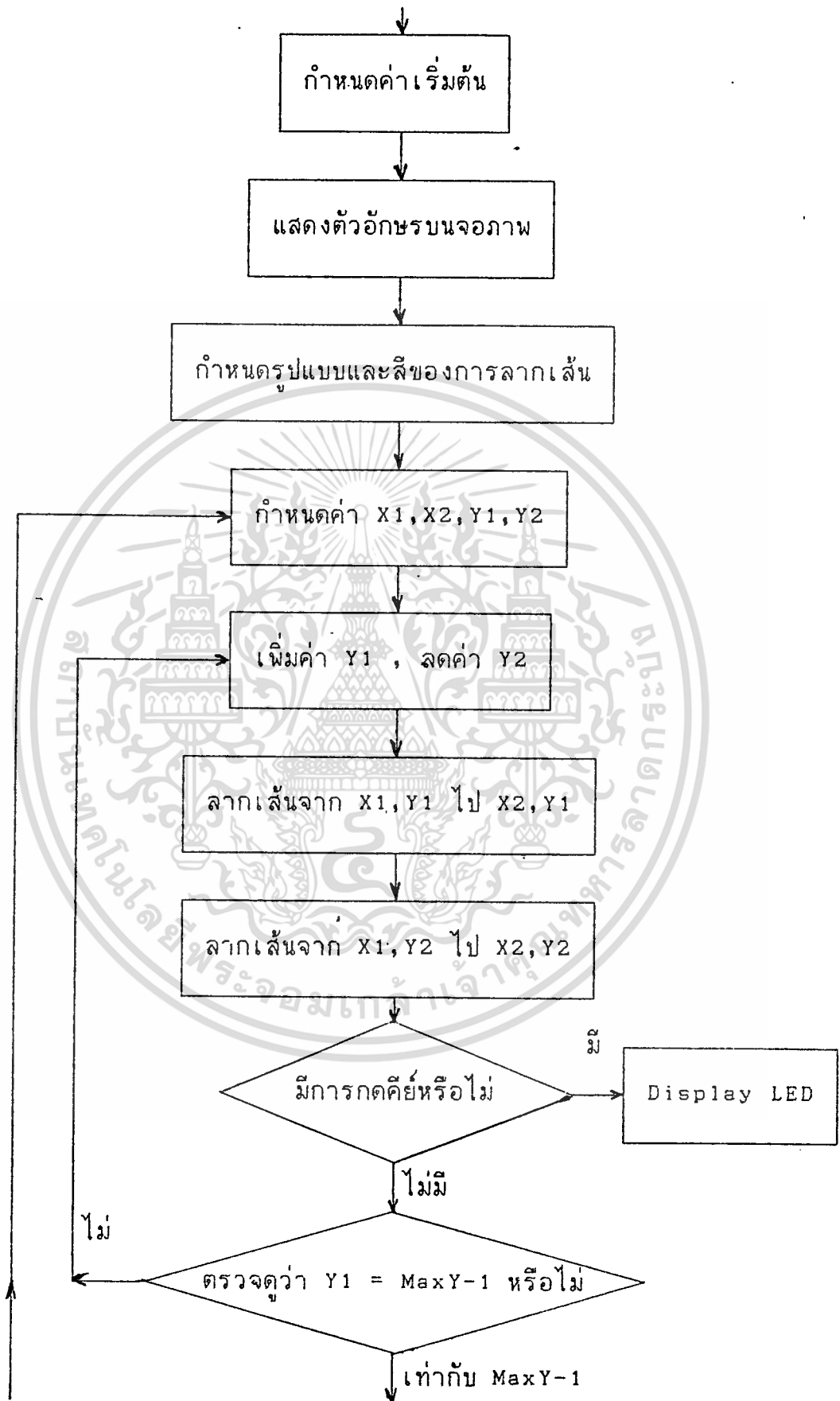
Initial Variable เป็นการกำหนดค่าเริ่มต้นให้กับตัวแปร สำหรับตัวแปรที่ต้องกำหนดค่าเริ่มต้นมีดังนี้

MaxX , MaxY (เป็นค่าสูงสุดทางแนวนอนและแนวตั้งของพิกเซลบนจอภาพ)
 letter[channel] (เป็นตัวเลขกำกับจุดสีของแต่ละ channel ต้องมีการแปลงค่าจาก Integer ให้เป็น String เนื่องจากในคำสั่ง OutTextXY ใน Mode Graphic ไม่สามารถใช้กับตัวแปรที่เป็น Integer ได้ ต้องใช้กับตัวแปรชนิด String เท่านั้น ซึ่งจะใช้งานใน Procedure Display LED)
 toggle[channel] (เป็นตัวแปรชนิด Array ที่ใช้เก็บสถานะ ON และ OFF ของแต่ละ channel ในขณะเริ่มต้นเราต้องกำหนดให้ทุก channel = OFF)
 จากรายละเอียดข้างต้นสามารถเขียนเป็นโปรแกรมได้ดังนี้

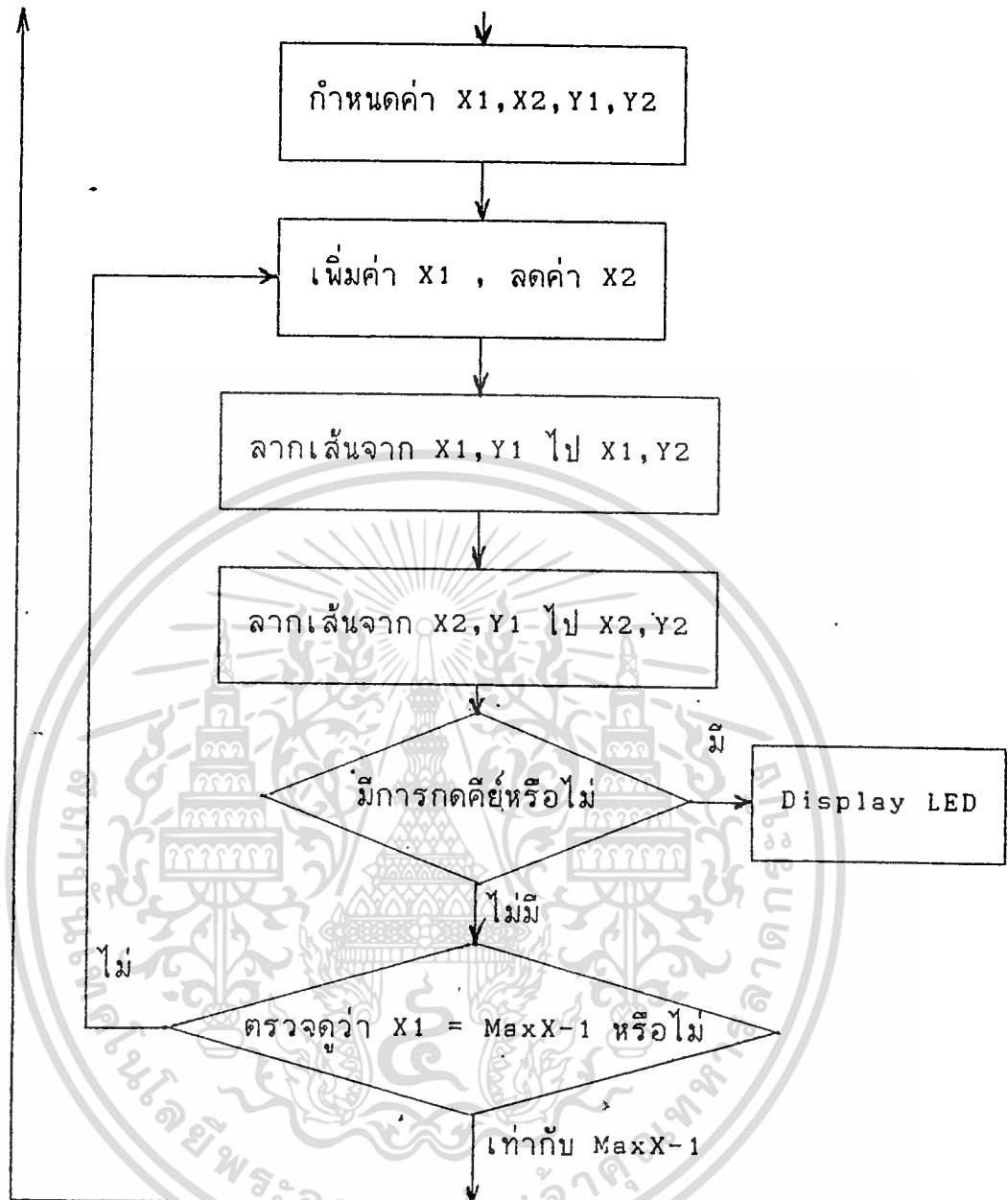
```
MaxX:=GetMaxX;
MaxY:=GetMaxY;
FOR channel := 0 to 242 Do
BEGIN
  Str(channel,letter[channel]);
  toggle[channel] := false;
END;
```

Title เป็น Procedure ที่ใช้แสดง title ของ Program ซึ่งจะใช้แสดงหมายเลขของกลุ่ม คือ PHK1 และชื่อของโครงการ คือ BUILDING AUTOMATION โดยจะแสดงผลใน Graphic Mode เพื่อเป็นการเพิ่มความสวยงามให้กับโปรแกรม และช่วยดึงดูดความสนใจจากผู้ใช้โปรแกรม การทำงานของ Procedure Title สามารถเขียนเป็น FLOW CHART ได้ดังนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



จาก FLOW CHART สามารถเขียนเป็นโปรแกรมได้ดังนี้

```
PROCEDURE Title;
```

```
BEGIN
```

```
SetTextJustify(CenterText,CenterText);
```

```
SetColor(LightBlue); SetTextStyle(1,HorizDir,4);
```

```
OutTextXY(MaxX div 2,MaxY div 4,'PROJECT GROUP PHK1');
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```

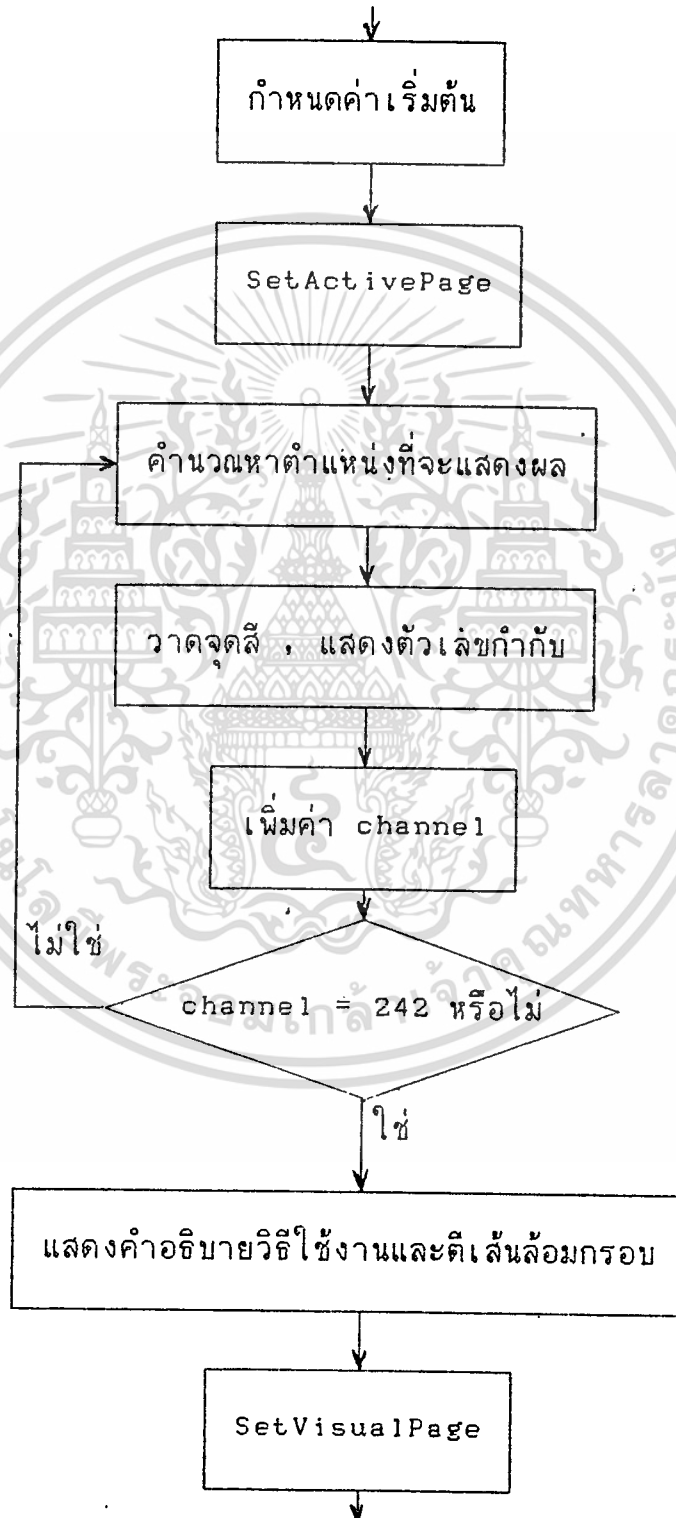
SetColor(Yellow); SetTextStyle(1, HorizDir, 6);
OutTextXY((MaxX div 2)+4, (MaxY div 2) - 5,
          'BUILDING AUTOMATION');
SetColor(LightRed); SetTextStyle(1, HorizDir, 4);
OutTextXY(MaxX div 2, 3 * MaxY div 4,
          'Press ENTER to Continue !');

SetWriteMode (XORput);
SetLineStyle(SolidLn, 0, NormWidth); SetColor(White);
REPEAT
    X1 := 0;    Y1 := 0;
    X2 := MaxX; Y2 := MaxY;
    FOR Y1 := 0 to MaxY - 1 DO
    BEGIN
        dec(Y2);
        Line(X1, Y1, X2, Y1);
        Line(X1, Y2, X2, Y2);
        IF Keypressed THEN Exit;
    END;
    X1 := 0;    Y1 := 0;
    X2 := MaxX; Y2 := MaxY;
    FOR X1 := 0 to MaxX - 1 DO
    BEGIN
        dec(X2);
        Line(X1, Y1, X1, Y2);
        Line(X2, Y1, X2, Y2);
        IF Keypressed THEN Exit;
    END;
    UNTIL Keypressed;
END;

```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Display LED เป็น Procedure ที่ใช้วาดจุดสีและแสดงตัวเลขกำกับของทุก channel ตั้งแต่ channel 0 ถึง channel 242 โดยเรียงเป็นแถวตามแนวนอนแถวละ 15 channel จำนวน 16 แถว ซึ่งเขียนเป็น FLOW CHART แสดงการทำงานของโปรแกรมได้ดังนี้



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จาก FLOW CHART สามารถเขียนเป็นโปรแกรมได้ดังนี้

PROCEDURE DisplayLED;

BEGIN

SetTextStyle(5, HorizDir, 1);

SetTextJustify(CenterText, BottomText);

SetActivePage(1);

FOR channel := 0 to 242 do

BEGIN

X:=(MaxX div 14)+(MaxX * (channel mod 15)) div 16;

Y:=(MaxY div 17)*((channel div 15)+1);

SetColor(Black);

SetFillStyle(1, 10);

FillEllipse(X, Y, 5, 4);

SetColor(LightBlue);

OutTextXY(X, Y-3, letter[channel]);

END;

SetColor(Yellow);

SetTextJustify(CenterText, CenterText);

OutTextXY((39*MaxX)div 80, Y,

'Enter number of Channel or Q to Exit '');

SetColor(Black);

SetFillStyle(1, 10);

X:=(MaxX div 14)+((MaxX * 11) div 16);

FillEllipse(X, Y, 5, 4);

SetTextJustify(LeftText, CenterText);

SetColor(LightGreen);

OutTextXY(X, Y, ' = OFF');

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```

SetColor(Black);
SetFillStyle(1,12);
X:=(MaxX div 14)+((MaxX * 13) div 16);
FillEllipse(X,Y,5,4);
SetColor(LightRed);
OutTextXY(X,Y,' = ON');
SetWriteMode (COPYput);
SetColor(Yellow);
SetLineStyle(SolidLn,0,ThickWidth);
Rectangle(5,0,MaxX,MaxY);
Rectangle((MaxX div 14)+((MaxX * 3) div 16),MaxY-16,
(MaxX div 14)+((MaxX * 10) div 16),MaxY);
SetWriteMode (XORput);
SetLineStyle(SolidLn,0,NormalWidth);
SetVisualPage(1);
END;

```

จะเห็นว่า Procedure Display LED นี้ใช้ Active Page และ Visual Page เพื่อไม่ให้เห็นการเปลี่ยนแปลงในขณะที่วาดจุดสีและเขียนตัวเลขกำกับ

Check ON - Check OFF เป็นส่วนหนึ่งของโปรแกรมที่ทำหน้าที่เปลี่ยนแปลงสถานะของแต่ละ channel จาก ON ไปเป็น OFF หรือจาก OFF ไปเป็น ON ทำได้โดยการเปลี่ยนสีของจุดสีไปมาระหว่างสีเขียวและสีแดง ซึ่งเขียนเป็นโปรแกรมได้ดังนี้

```

SetActivePage(1);

X:=(MaxX div 14)+((MaxX * (channel mod 15)) div 16);
Y:=(MaxY div 17)*((channel div 15)+1);

CheckOFF;

CheckON;

SetVisualPage(1);

```

```
PROCEDURE CheckOFF;
```

```
BEGIN
```

```
IF toggle[channel] = false THEN
```

```
BEGIN
```

```
SetColor(Black); SetFillStyle(1,10);
```

```
FillEllipse(X,Y,5,4);
```

```
END;
```

```
END;
```

```
PROCEDURE CheckON;
```

```
BEGIN
```

```
IF toggle[channel] = true THEN
```

```
BEGIN
```

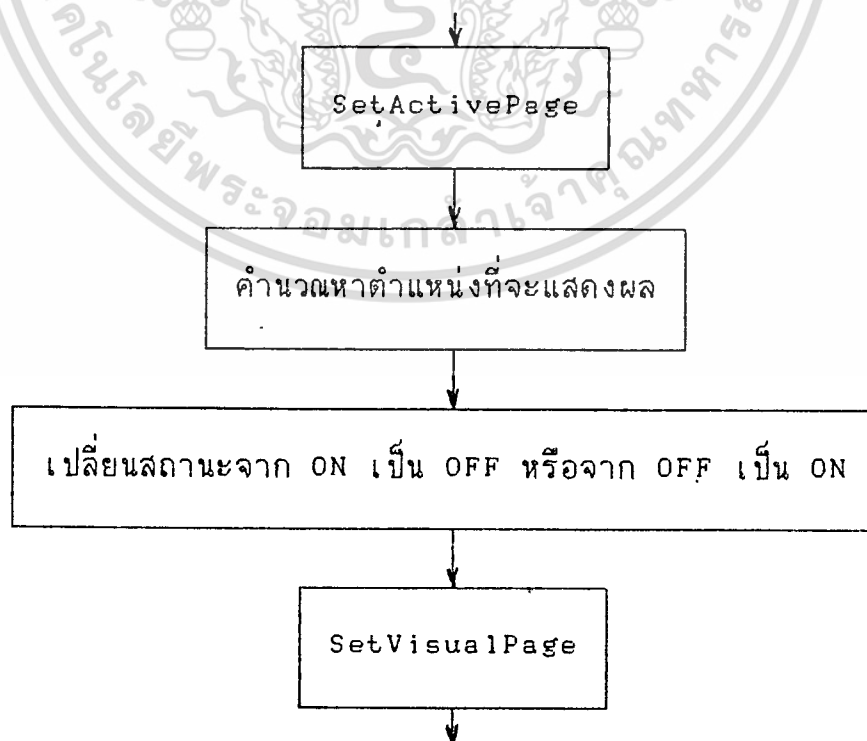
```
SetColor(Black); SetFillStyle(1,12);
```

```
FillEllipse(X,Y,5,4);
```

```
END;
```

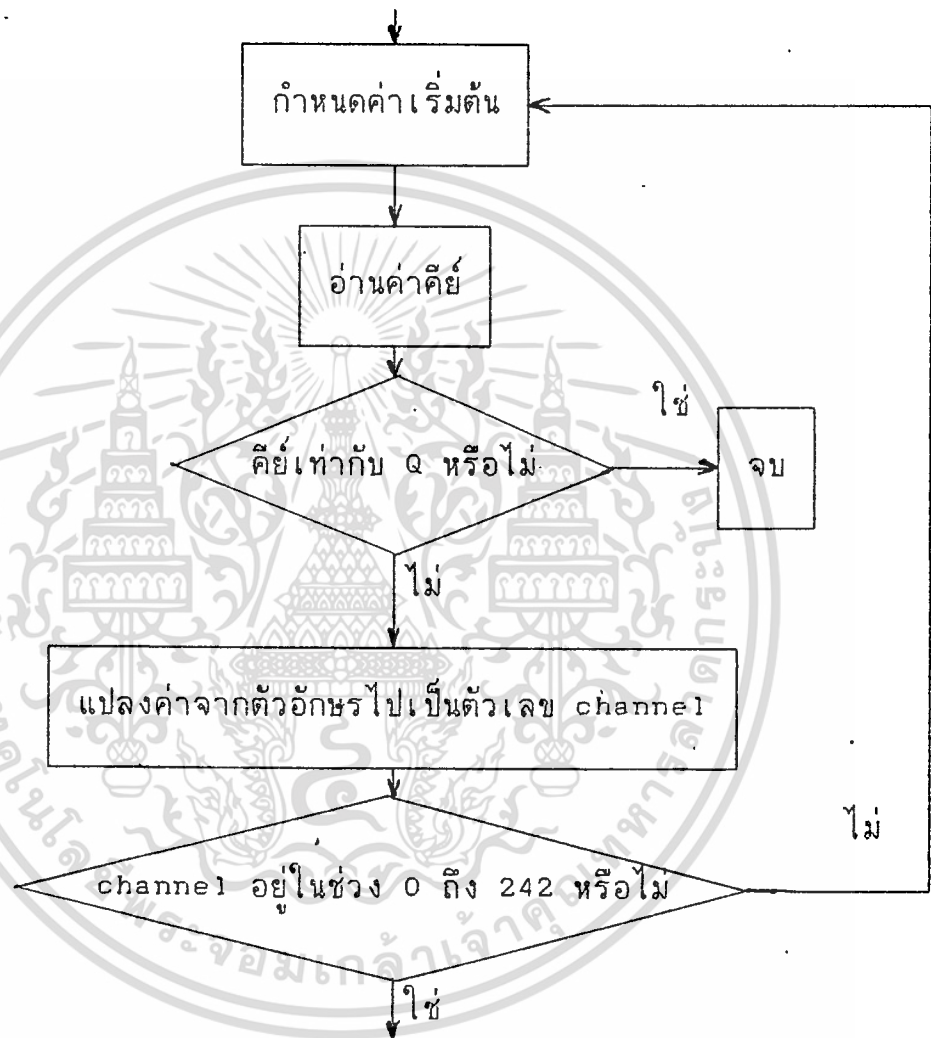
```
END;
```

จากโปรแกรมสามารถเขียนเป็น FLOW CHART เพื่ออธิบายการทำงานได้ดังนี้



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Check KEY เป็น Procedure ที่ทำหน้าที่รับคีย์ที่ผู้ใช้ส่งเข้ามาว่าเป็นตัวเลขหรือตัวอักษรอะไร แล้วนำมาประมวลผลดูว่าเป็น channel อะไร หรือเท่ากับ Q หรือไม่ ถ้าเท่ากับ Q ก็จะเป็นการจบการทำงานของโปรแกรม โดยจะเขียนเป็น FLOW CHART ได้ดังนี้



ภายใน Procedure CheckKey จะมีการรับค่าคีย์เป็นตัวอักษร ทั้งนี้เพื่อป้องกันการเกิด Error เมื่อเราป้อนคีย์ที่ไม่ใช่ตัวเลขเข้าไป และยังมีประโยชน์ในการตรวจสอบค่าของตัวอักษร Q เพื่อจบโปรแกรม นอกจากนี้การรับคีย์ก็จะใช้คำสั่ง ReadKey ไม่ใช่ ReadLn ทั้งนี้เพราะคำสั่ง ReadLn เมื่อใช้กับ Graphic Mode จะทำให้เกิด Error ขึ้นเมื่อมีการกดคีย์ไปประมาณ 25 ครั้ง จึงต้องเลี่ยนมาใช้คำสั่ง ReadKey แทน

จาก FLOW CHART สามารถเขียนเป็นโปรแกรมได้ดังนี้

```
PROCEDURE CheckKey;
```

```
  BEGIN.
```

```
    REPEAT
```

```
      FOR Enter := 0 to 4 DO
```

```
        ch[Enter] := '0';
```

```
      Enter := 0;
```

```
      REPEAT
```

```
        ch[Enter] := ReadKey;
```

```
        inc(Enter);
```

```
      UNTIL (ch[Enter-1] = #13) OR ((Enter = 4)
```

```
        AND (ch[3] = #13));
```

```
      IF (ch[0] = #13) OR (ch[1] = #13) OR (ch[2] = #13)
```

```
        OR (ch[3] = #13) THEN
```

```
        BEGIN
```

```
          IF ch[0] = #13 THEN chs := '*';
```

```
          IF ch[1] = #13 THEN chs := ch[0];
```

```
          IF ch[2] = #13 THEN chs := ch[0]+ch[1];
```

```
          IF ch[3] = #13 THEN chs := ch[0]+ch[1]+ch[2];
```

```
        END
```

```
      ELSE chs := ch[0]+ch[1]+ch[2]+ch[3];
```

```
      IF (chs = 'Q') or (chs = 'q') THEN
```

```
        BEGIN
```

```
          CloseGraph;
```

```
          Exit;
```

```
        END;
```

```
      Val(chs,channel,r);
```

```
    UNTIL (channel <= 242) AND (channel >= 0) AND (r = 0);
```

```
  END;
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

แปลงจากเลขฐาน 10 เป็นเลขฐาน 3 เป็นส่วนหนึ่งของโปรแกรมที่ทำหน้าที่แปลงตัวเลขฐาน 10 ของ channel ที่รับมาจากคีย์ที่ผู้ใช้กด ให้เป็นเลขฐาน 3 เพื่อนำไปควบคุมการด์ที่ทำหน้าที่ควบคุมเครื่องส่ง ซึ่งมีระดับของสัญญาณที่ใช้ควบคุมเป็นแบบ TriState คือ มี "0" , "1" และ "High Impedance" โดยตัวเลขฐาน 3 ที่แปลงออกมาจะมีค่า "0","1"และ "2" จึงสามารถที่จะทดแทนกันได้โดยตรง ในที่นี้เราใช้ ADDRESS $A_4 - A_8$ จึงต้องมีตัวเลขฐาน 3 เพื่อใช้ควบคุมจำนวน 5 หลัก ซึ่งสามารถเขียนเป็นโปรแกรมได้ดังนี้

```
d1 := channel mod 3;
d2 := (channel div 3) mod 3;
d3 := (channel div 9) mod 3;
d4 := (channel div 27) mod 3;
d5 := (channel div 81) mod 3;
```

ตรวจสอบเลขฐาน 3 เพื่อกำหนดค่าที่จะส่งออกพอร์ต A และ B เป็นส่วนหนึ่งของโปรแกรม ที่ทำหน้าที่กำหนดค่าของพอร์ต A ซึ่งเป็น Input ของ TriState Buffer และกำหนดค่าของพอร์ต B ซึ่งเป็นตัว Set ให้ TriState Buffer เป็น High Impedance โดยสามารถเขียนเป็นโปรแกรมได้ดังนี้

```
portA := $00;      portB := $E0;
IF d1 = 1 THEN      portA := portA OR $01;
IF d1 = 2 THEN      portB := portB OR $01;
IF d2 = 1 THEN      portA := portA OR $02;
IF d2 = 2 THEN      portB := portB OR $02;
IF d3 = 1 THEN      portA := portA OR $04;
IF d3 = 2 THEN      portB := portB OR $04;
IF d4 = 1 THEN      portA := portA OR $08;
IF d4 = 2 THEN      portB := portB OR $08;
IF d5 = 1 THEN      portA := portA OR $10;
IF d5 = 2 THEN      portB := portB OR $10;
```

ส่ง Control Word ไปยัง 8255 และ ส่งค่าออกพอร์ต A และ B เป็นส่วน
ของโปรแกรมที่ทำหน้าที่ Set Control Word ให้กับ 8255 แล้วจึงส่งค่าที่
คำนวณได้ออกไปยังพอร์ต A และ พอร์ต B เพื่อกำหนด ADDRESS ให้กับ IC
เบอร์ MC 145026 ของเครื่องส่ง โดยสามารถเขียนเป็นโปรแกรมได้ดังนี้

```
Port[$307] := $80; { Set control word }
```

```
Port[$304] := portA;
```

```
Port[$305] := portB;
```

Transmit Enable เป็นส่วนของโปรแกรมที่ทำหน้าที่ควบคุมการทำงานของ
พอร์ต C ซึ่งต่ออยู่กับ 74HC14 (Schmitt Trigger Inverter) เพื่อควบคุม
สัญญาณ TE (Transmit Enable) ของ IC # MC 145026 ของเครื่องส่ง
โดยสัญญาณ TE นี้จะ Active Low ดังนั้นสัญญาณที่พอร์ต C จึงต้อง Active
High ทั้งนี้เพราะมี Inverter ต่อคั่นอยู่ ซึ่งจะสามารถเขียนเป็นโปรแกรม
ได้ดังนี้

```
IF (chs <> 'Q') AND (chs <> 'q') THEN
```

```
BEGIN
```

```
Port[$306] := $01; { Transmit Enable }
```

```
Delay(350);
```

```
Port[$306] := $00;
```

```
toggle[channel] := NOT(toggle[channel]);
```

```
END;
```

จากโปรแกรมจะพบว่าในส่วนของ Transmit Enable จะทำงานเมื่อคีย์ที่รับ
เข้ามาไม่ใช่ Q เท่านั้น ทั้งนี้ถ้าไม่มีการตรวจสอบเงื่อนไขแล้ว เครื่องส่งก็
จะต้องทำงานอีกครั้งเมื่อเรากด Q เพื่อออกจากโปรแกรม สำหรับช่วงเวลา
การ Active ของสัญญาณ TE เราสามารถเปลี่ยนแปลงได้โดยเปลี่ยนแปลงที่
คำสั่ง Delay และหลังจากส่งสัญญาณ TE ออกไปแล้วก็ต้องมีการเปลี่ยน
แปลงสถานะของตัวแปร Array ที่ใช้เก็บสถานะของแต่ละ channel ด้วย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากรายละเอียดของโปรแกรมในแต่ละส่วนเมื่อนำมารวมกันก็จะได้โปรแกรมที่สมบูรณ์พร้อมที่จะนำไป Compile เพื่อใช้งานดังนี้

```

Program control_port;
uses crt,dos,Graph;
Var
    MaxX,MaxY,channel : Integer;
    d1,d2,d3,d4,d5 : Integer;
    Enter,portA,portB : Integer;
    ch : ARRAY[0..3] OF String[1];
    chs : String[3];
GraphDriver,GraphMode,ErrCode : integer;
    toggle : ARRAY[0..242] OF Boolean;
    letter : ARRAY[0..242] OF String[3];
    X,Y,r,LowMode,HighMode : Integer;
    X1,Y1,X2,Y2 : Integer;
PROCEDURE Title;
BEGIN
    SetTextJustify(CenterText,CenterText);
    SetColor(LightBlue);
    SetTextStyle(1,HorizDir,4);
    OutTextXY(MaxX div 2,MaxY div 4,'PROJECT GROUP PHK1');
    SetColor(Yellow);
    SetTextStyle(1,HorizDir,6);
    OutTextXY((MaxX div 2)+4,(MaxY div 2) - 5,
        'BUILDING AUTOMATION');
    SetColor(LightRed);
    SetTextStyle(1,HorizDir,4);
    OutTextXY(MaxX div 2,3 * MaxY div 4,
        'Press ENTER to Continue !');

```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```

SetWriteMode (XORput);
SetLineStyle(SolidLn,0,NormWidth);
SetColor(White);
REPEAT
    X1 := 0;
    Y1 := 0;
    X2 := MaxX;
    Y2 := MaxY;
    FOR Y1 := 0 to MaxY - 1 DO
    BEGIN
        dec(Y2);
        Line(X1,Y1,X2,Y1);
        Line(X1,Y2,X2,Y2);
        IF Keypressed THEN Exit;
    END;
    X1 := 0;
    Y1 := 0;
    X2 := MaxX;
    Y2 := MaxY;
    FOR X1 := 0 to MaxX - 1 DO
    BEGIN
        dec(X2);
        Line(X1,Y1,X1,Y2);
        Line(X2,Y1,X2,Y2);
        IF Keypressed THEN Exit;
    END;
    UNTIL Keypressed;
END;

```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
PROCEDURE DisplayLED;
```

```
BEGIN
```

```
    SetTextStyle(5, HorizDir, 1);
```

```
    SetTextJustify(CenterText, BottomText);
```

```
    SetActivePage(1);
```

```
    FOR channel := 0 to 242 do
```

```
        BEGIN
```

```
            X:=(MaxX div 14)+(MaxX * (channel mod 15)) div 16;
```

```
            Y:=(MaxY div 17)*((channel div 15)+1);
```

```
            SetColor(Black);
```

```
            SetFillStyle(1, 10);
```

```
            FillEllipse(X, Y, 5, 4);
```

```
            SetColor(LightBlue);
```

```
            OutTextXY(X, Y-3, letter[channel]);
```

```
        END;
```

```
        SetColor(Yellow);
```

```
        SetTextJustify(CenterText, CenterText);
```

```
        OutTextXY(((39*MaxX)div 80), Y,
```

```
        'Enter number of Channel or Q to Exit ');
```

```
        SetColor(Black);
```

```
        SetFillStyle(1, 10);
```

```
        X:=(MaxX div 14)+((MaxX * 11) div 16);
```

```
        FillEllipse(X, Y, 5, 4);
```

```
        SetTextJustify(LeftText, CenterText);
```

```
        SetColor(LightGreen);
```

```
        OutTextXY(X, Y, ' = OFF');
```

```
        SetColor(Black);
```

```
        SetFillStyle(1, 12);
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```

X:=(MaxX div 14)+((MaxX * 13) div 16);
FillEllipse(X,Y,5,4);
SetColor(LightRed);
OutTextXY(X,Y,' = ON');
SetWriteMode (COPYput);   SetColor(Yellow);
SetLineStyle(SolidLn,0,ThickWidth);
Rectangle(5,0,MaxX,MaxY);
Rectangle((MaxX div 14)+((MaxX * 3) div 16),MaxY-16,
          (MaxX div 14)+((MaxX * 10) div 16),MaxY);
SetWriteMode (XORput);
SetLineStyle(SolidLn,0,NormWidth);
SetVisualPage(1);
END;
PROCEDURE CheckOFF;
BEGIN
  IF toggle[channel] = false THEN
    BEGIN
      SetColor(Black);   SetFillStyle(1,10);
      FillEllipse(X,Y,5,4);
    END;
  END;
PROCEDURE CheckON;
BEGIN
  IF toggle[channel] = true THEN
    BEGIN
      SetColor(Black);   SetFillStyle(1,12);
      FillEllipse(X,Y,5,4);
    END;
  END;
END;

```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
PROCEDURE CheckKey;
```

```
BEGIN
```

```
  REPEAT
```

```
    FOR Enter := 0 to 4 DO
```

```
      ch[Enter] := '0';
```

```
    Enter := 0;
```

```
  REPEAT
```

```
    ch[Enter] := ReadKey;
```

```
    inc(Enter);
```

```
  UNTIL (ch[Enter-1] = #13) OR ((Enter = 4)
```

```
    AND (ch[3] = #13));
```

```
  IF (ch[0] = #13) OR (ch[1] = #13) OR (ch[2] = #13)
```

```
    OR (ch[3] = #13) THEN
```

```
  BEGIN
```

```
    IF ch[0] = #13 THEN chs := '*';
```

```
    IF ch[1] = #13 THEN chs := ch[0];
```

```
    IF ch[2] = #13 THEN chs := ch[0]+ch[1];
```

```
    IF ch[3] = #13 THEN chs := ch[0]+ch[1]+ch[2];
```

```
  END
```

```
  ELSE chs := ch[0]+ch[1]+ch[2]+ch[3];
```

```
  IF (chs = 'Q') or (chs = 'q') THEN
```

```
  BEGIN
```

```
    CloseGraph;
```

```
    Exit;
```

```
  END;
```

```
  Val(chs,channel,r);
```

```
  UNTIL (channel <= 242) AND (channel >= 0) AND (r = 0);
```

```
END;
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```

BEGIN
    GraphDriver := Detect;
    InitGraph(GraphDriver, GraphMode, '');
    GetModeRange(GraphDriver, LowMode, HighMode);
    SetGraphMode(LowMode);
    IF (HighMode = EGAHi) THEN
        SetGraphMode(EGAHi);
    IF (HighMode = VGAHi) OR (HighMode = VGAMed) THEN
        SetGraphMode(VGAMed);
    MaxX:=GetMaxX;
    MaxY:=GetMaxY;
    FOR channel := 0 to 242 Do
    BEGIN
        Str(channel, letter[channel]);
        toggle[channel] := false;
    END;
    Title;
    DisplayLED;

    REPEAT
        SetActivePage(1);
        X:=(MaxX div 14)+(MaxX * (channel mod 15)) div 16;
        Y:=(MaxY div 17)*((channel div 15)+1);
        CheckOFF;
        CheckON;
        SetVisualPage(1);
        CheckKey;

```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```

d1 := channel mod 3;
d2 := (channel div 3) mod 3;
d3 := (channel div 9) mod 3;
d4 := (channel div 27) mod 3;
d5 := (channel div 81) mod 3;

```

```
portA := $00;
```

```
portB := $E0;
```

```

IF d1 = 1 THEN
    portA := portA OR $01;
IF d1 = 2 THEN
    portB := portB OR $01;
IF d2 = 1 THEN
    portA := portA OR $02;
IF d2 = 2 THEN
    portB := portB OR $02;
IF d3 = 1 THEN
    portA := portA OR $04;
IF d3 = 2 THEN
    portB := portB OR $04;
IF d4 = 1 THEN
    portA := portA OR $08;
IF d4 = 2 THEN
    portB := portB OR $08;
IF d5 = 1 THEN
    portA := portA OR $10;
IF d5 = 2 THEN
    portB := portB OR $10;

```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```

Port[$307] := $80;           { Set control word }
Port[$304] := portA;
Port[$305] := portB;
IF (chs <> 'Q') AND (chs <> 'q') THEN
BEGIN
Port[$306] := $01;           { Transmit Enable }
Delay(350);
Port[$306] := $00;
toggle[channel] := NOT(toggle[channel]);
END;
UNTIL chs = 'Q';
CloseGraph;
END.

```



วิธีการใช้งาน

เครื่องควบคุมไฟฟ้าภายในอาคารมีวิธีการใช้งานที่สามารถทำความเข้าใจได้ไม่ยากนัก จะอธิบายขั้นตอนวิธีการใช้งานเป็นข้อๆ ดังนี้

1. เสียบการ์ดอินเตอร์เฟซเข้ากับสล๊อตของคอมพิวเตอร์ และต่อสายอินเตอร์เฟซจากเครื่องส่งเข้ากับอินเตอร์เฟซการ์ด ก่อนที่จะเปิดสวิทช์เครื่องคอมพิวเตอร์ให้เริ่มทำงาน

2. ต่อเอาท์พุทของวงจรภาคส่งเข้ากับสาย AC LINE

3. ต่ออินพุทของวงจรภาครับเข้ากับสาย AC LINE โดยต้องเป็นสาย AC LINE ที่มีเฟสเดียวกันกับทางด้านเครื่องส่ง (ในกรณีที่เป็ระบบไฟ 3 เฟส)

4. ในกรณีที่มีภาครับหลายเครื่องต้องกำหนด ADDRESS ให้แตกต่างกัน ยกเว้นในกรณีที่ต้องการให้เครื่องรับเหล่านั้นทำงานพร้อมกัน จึงจะกำหนดให้ ADDRESS ตรงกันทั้งหมด โดยตารางแสดงการตั้ง DIP SWITCH ที่เครื่องรับ เพื่อให้ได้ค่า ADDRESS ใน CHANNEL ต่างๆ ได้แสดงไว้ในหน้าต่อไป

5. เมื่อต่อวงจรเครื่องรับเข้ากับระบบในครั้งแรก RELAY จะอยู่ในสถานะเปิดวงจร ทั้งนี้เนื่องมาจากการทำงานของวงจร POWER ON RESET ที่ต่ออยู่กับ FLIP FLOP เบอร์ MC 14027 ดังนั้นเมื่อต่อเครื่องใช้ไฟฟ้าเข้ากับภาครับในขณะนี้ เครื่องไฟฟ้านั้นก็จะยังไม่ทำงาน

6. เรียกโปรแกรม PHK1 ให้ทำงานบนคอมพิวเตอร์

7. ในขณะที่เมื่อต้องการให้เครื่องรับเครื่องใดต่อวงจรก็ให้กดหมายเลข CHANNEL ของเครื่องรับเครื่องนั้นแล้วกด ENTER เครื่องส่งก็จะส่งสัญญาณออกไป ถ้าเราต้องการให้เครื่องรับเครื่องนั้น OFF ก็ให้กดหมายเลข CHANNEL ของเครื่องรับเครื่องนั้นแล้วกด ENTER อีกครั้ง ก็จะทำให้เครื่องรับเครื่องนั้นเปลี่ยนสถานะจาก ON ไปเป็น OFF นั่นคือจะมีการทำงานแบบ Toggle

CH	S1	S2	S3	S4	S5	S6	S7	S8	S9	S10
0	ON	ON	ON	ON	ON	ON	ON	ON	ON	ON
1	ON	ON	ON	ON	ON	OFF	ON	ON	ON	ON
2	OFF	ON	ON	ON	ON	X	ON	ON	ON	ON
3	ON	ON	ON	ON	ON	ON	OFF	ON	ON	ON
4	ON	ON	ON	ON	ON	OFF	OFF	ON	ON	ON
5	OFF	ON	ON	ON	ON	X	OFF	ON	ON	ON
6	ON	OFF	ON	ON	ON	ON	X	ON	ON	ON
7	ON	OFF	ON	ON	ON	OFF	X	ON	ON	ON
8	OFF	OFF	ON	ON	ON	X	X	ON	ON	ON
9	ON	ON	ON	ON	ON	ON	ON	OFF	ON	ON
10	ON	ON	ON	ON	ON	OFF	ON	OFF	ON	ON
11	OFF	ON	ON	ON	ON	X	ON	OFF	ON	ON
12	ON	ON	ON	ON	ON	ON	OFF	OFF	ON	ON
13	ON	ON	ON	ON	ON	OFF	OFF	OFF	ON	ON
14	OFF	ON	ON	ON	ON	X	OFF	OFF	ON	ON
15	ON	OFF	ON	ON	ON	ON	X	OFF	ON	ON
16	ON	OFF	ON	ON	ON	OFF	X	OFF	ON	ON
17	OFF	OFF	ON	ON	ON	X	X	OFF	ON	ON
18	ON	ON	OFF	ON	ON	ON	ON	X	ON	ON
19	ON	ON	OFF	ON	ON	OFF	ON	X	ON	ON
20	OFF	ON	OFF	ON	ON	X	ON	X	ON	ON
21	ON	ON	OFF	ON	ON	ON	OFF	X	ON	ON
22	ON	ON	OFF	ON	ON	OFF	OFF	X	ON	ON
23	OFF	ON	OFF	ON	ON	X	OFF	X	ON	ON
24	ON	OFF	OFF	ON	ON	ON	X	X	ON	ON
25	ON	OFF	OFF	ON	ON	OFF	X	X	ON	ON
26	OFF	OFF	OFF	ON	ON	X	X	X	ON	ON

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

CH	S1	S2	S3	S4	S5	S6	S7	S8	S9	S10
27	ON	ON	ON	ON	ON	ON	ON	ON	OFF	ON
28	ON	ON	ON	ON	ON	OFF	ON	ON	OFF	ON
29	OFF	ON	ON	ON	ON	X	ON	ON	OFF	ON
30	ON	ON	ON	ON	ON	ON	OFF	ON	OFF	ON
31	ON	ON	ON	ON	ON	OFF	OFF	ON	OFF	ON
32	OFF	ON	ON	ON	ON	X	OFF	ON	OFF	ON
33	ON	OFF	ON	ON	ON	ON	X	ON	OFF	ON
34	ON	OFF	ON	ON	ON	OFF	X	ON	OFF	ON
35	OFF	OFF	ON	ON	ON	X	X	ON	OFF	ON
36	ON	ON	ON	ON	ON	ON	ON	OFF	OFF	ON
37	ON	ON	ON	ON	ON	OFF	ON	OFF	OFF	ON
38	OFF	ON	ON	ON	ON	X	ON	OFF	OFF	ON
39	ON	ON	ON	ON	ON	ON	OFF	OFF	OFF	ON
40	ON	ON	ON	ON	ON	OFF	OFF	OFF	OFF	ON
41	OFF	ON	ON	ON	ON	X	OFF	OFF	OFF	ON
42	ON	OFF	ON	ON	ON	ON	X	OFF	OFF	ON
43	ON	OFF	ON	ON	ON	OFF	X	OFF	OFF	ON
44	OFF	OFF	ON	ON	ON	X	X	OFF	OFF	ON
45	ON	ON	OFF	ON	ON	ON	ON	X	OFF	ON
46	ON	ON	OFF	ON	ON	OFF	ON	X	OFF	ON
47	OFF	ON	OFF	ON	ON	X	ON	X	OFF	ON
48	ON	ON	OFF	ON	ON	ON	OFF	X	OFF	ON
49	ON	ON	OFF	ON	ON	OFF	OFF	X	OFF	ON
50	OFF	ON	OFF	ON	ON	X	OFF	X	OFF	ON
51	ON	OFF	OFF	ON	ON	ON	X	X	OFF	ON
52	ON	OFF	OFF	ON	ON	OFF	X	X	OFF	ON
53	OFF	OFF	OFF	ON	ON	X	X	X	OFF	ON

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

CH	S1	S2	S3	S4	S5	S6	S7	S8	S9	S10
54	ON	ON	ON	OFF	ON	ON	ON	ON	X	ON
55	ON	ON	ON	OFF	ON	OFF	ON	ON	X	ON
56	OFF	ON	ON	OFF	ON	X	ON	ON	X	ON
57	ON	ON	ON	OFF	ON	ON	OFF	ON	X	ON
58	ON	ON	ON	OFF	ON	OFF	OFF	ON	X	ON
59	OFF	ON	ON	OFF	ON	X	OFF	ON	X	ON
60	ON	OFF	ON	OFF	ON	ON	X	ON	X	ON
61	ON	OFF	ON	OFF	ON	OFF	X	ON	X	ON
62	OFF	OFF	ON	OFF	ON	X	X	ON	X	ON
63	ON	ON	ON	OFF	ON	ON	ON	OFF	X	ON
64	ON	ON	ON	OFF	ON	OFF	ON	OFF	X	ON
65	OFF	ON	ON	OFF	ON	X	ON	OFF	X	ON
66	ON	ON	ON	OFF	ON	ON	OFF	OFF	X	ON
67	ON	ON	ON	OFF	ON	OFF	OFF	OFF	X	ON
68	OFF	ON	ON	OFF	ON	X	OFF	OFF	X	ON
69	ON	OFF	ON	OFF	ON	ON	X	OFF	X	ON
70	ON	OFF	ON	OFF	ON	OFF	X	OFF	X	ON
71	OFF	OFF	ON	OFF	ON	X	X	OFF	X	ON
72	ON	ON	OFF	OFF	ON	ON	ON	X	X	ON
73	ON	ON	OFF	OFF	ON	OFF	ON	X	X	ON
74	OFF	ON	OFF	OFF	ON	X	ON	X	X	ON
75	ON	ON	OFF	OFF	ON	ON	OFF	X	X	ON
76	ON	ON	OFF	OFF	ON	OFF	OFF	X	X	ON
77	OFF	ON	OFF	OFF	ON	X	OFF	X	X	ON
78	ON	OFF	OFF	OFF	ON	ON	X	X	X	ON
79	ON	OFF	OFF	OFF	ON	OFF	X	X	X	ON
80	OFF	OFF	OFF	OFF	ON	X	X	X	X	ON

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

CH	S1	S2	S3	S4	S5	S6	S7	S8	S9	S10
81	ON	ON	ON	ON	ON	ON	ON	ON	ON	OFF
82	ON	ON	ON	ON	ON	OFF	ON	ON	ON	OFF
83	OFF	ON	ON	ON	ON	X	ON	ON	ON	OFF
84	ON	ON	ON	ON	ON	ON	OFF	ON	ON	OFF
85	ON	ON	ON	ON	ON	OFF	OFF	ON	ON	OFF
86	OFF	ON	ON	ON	ON	X	OFF	ON	ON	OFF
87	ON	OFF	ON	ON	ON	ON	X	ON	ON	OFF
88	ON	OFF	ON	ON	ON	OFF	X	ON	ON	OFF
89	OFF	OFF	ON	ON	ON	X	X	ON	ON	OFF
90	ON	ON	ON	ON	ON	ON	ON	OFF	ON	OFF
91	ON	ON	ON	ON	ON	OFF	ON	OFF	ON	OFF
92	OFF	ON	ON	ON	ON	X	ON	OFF	ON	OFF
93	ON	ON	ON	ON	ON	ON	OFF	OFF	ON	OFF
94	ON	ON	ON	ON	ON	OFF	OFF	OFF	ON	OFF
95	OFF	ON	ON	ON	ON	X	OFF	OFF	ON	OFF
96	ON	OFF	ON	ON	ON	ON	X	OFF	ON	OFF
97	ON	OFF	ON	ON	ON	OFF	X	OFF	ON	OFF
98	OFF	OFF	ON	ON	ON	X	X	OFF	ON	OFF
99	ON	ON	OFF	ON	ON	ON	ON	X	ON	OFF
100	ON	ON	OFF	ON	ON	OFF	ON	X	ON	OFF
101	OFF	ON	OFF	ON	ON	X	ON	X	ON	OFF
102	ON	ON	OFF	ON	ON	ON	OFF	X	ON	OFF
103	ON	ON	OFF	ON	ON	OFF	OFF	X	ON	OFF
104	OFF	ON	OFF	ON	ON	X	OFF	X	ON	OFF
105	ON	OFF	OFF	ON	ON	ON	X	X	ON	OFF
106	ON	OFF	OFF	ON	ON	OFF	X	X	ON	OFF
107	OFF	OFF	OFF	ON	ON	X	X	X	ON	OFF

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

CH	S1	S2	S3	S4	S5	S6	S7	S8	S9	S10
108	ON	ON	ON	ON	ON	ON	ON	ON	OFF	OFF
109	ON	ON	ON	ON	ON	OFF	ON	ON	OFF	OFF
110	OFF	ON	ON	ON	ON	X	ON	ON	OFF	OFF
111	ON	ON	ON	ON	ON	ON	OFF	ON	OFF	OFF
112	ON	ON	ON	ON	ON	OFF	OFF	ON	OFF	OFF
113	OFF	ON	ON	ON	ON	X	OFF	ON	OFF	OFF
114	ON	OFF	ON	ON	ON	ON	X	ON	OFF	OFF
115	ON	OFF	ON	ON	ON	OFF	X	ON	OFF	OFF
116	OFF	OFF	ON	ON	ON	X	X	ON	OFF	OFF
117	ON	ON	ON	ON	ON	ON	ON	OFF	OFF	OFF
118	ON	ON	ON	ON	ON	OFF	ON	OFF	OFF	OFF
119	OFF	ON	ON	ON	ON	X	ON	OFF	OFF	OFF
120	ON	ON	ON	ON	ON	ON	OFF	OFF	OFF	OFF
121	ON	ON	ON	ON	ON	OFF	OFF	OFF	OFF	OFF
122	OFF	ON	ON	ON	ON	X	OFF	OFF	OFF	OFF
123	ON	OFF	ON	ON	ON	ON	X	OFF	OFF	OFF
124	ON	OFF	ON	ON	ON	OFF	X	OFF	OFF	OFF
125	OFF	OFF	ON	ON	ON	X	X	OFF	OFF	OFF
126	ON	ON	OFF	ON	ON	ON	ON	X	OFF	OFF
127	ON	ON	OFF	ON	ON	OFF	ON	X	OFF	OFF
128	OFF	ON	OFF	ON	ON	X	ON	X	OFF	OFF
129	ON	ON	OFF	ON	ON	ON	OFF	X	OFF	OFF
130	ON	ON	OFF	ON	ON	OFF	OFF	X	OFF	OFF
131	OFF	ON	OFF	ON	ON	X	OFF	X	OFF	OFF
132	ON	OFF	OFF	ON	ON	ON	X	X	OFF	OFF
133	ON	OFF	OFF	ON	ON	OFF	X	X	OFF	OFF
134	OFF	OFF	OFF	ON	ON	X	X	X	OFF	OFF

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

CH	S1	S2	S3	S4	S5	S6	S7	S8	S9	S10
135	ON	ON	ON	OFF	ON	ON	ON	ON	X	OFF
136	ON	ON	ON	OFF	ON	OFF	ON	ON	X	OFF
137	OFF	ON	ON	OFF	ON	X	ON	ON	X	OFF
138	ON	ON	ON	OFF	ON	ON	OFF	ON	X	OFF
139	ON	ON	ON	OFF	ON	OFF	OFF	ON	X	OFF
140	OFF	ON	ON	OFF	ON	X	OFF	ON	X	OFF
141	ON	OFF	ON	OFF	ON	ON	X	ON	X	OFF
142	ON	OFF	ON	OFF	ON	OFF	X	ON	X	OFF
143	OFF	OFF	ON	OFF	ON	X	X	ON	X	OFF
144	ON	ON	ON	OFF	ON	ON	ON	OFF	X	OFF
145	ON	ON	ON	OFF	ON	OFF	ON	OFF	X	OFF
146	OFF	ON	ON	OFF	ON	X	ON	OFF	X	OFF
147	ON	ON	ON	OFF	ON	ON	OFF	OFF	X	OFF
148	ON	ON	ON	OFF	ON	OFF	OFF	OFF	X	OFF
149	OFF	ON	ON	OFF	ON	X	OFF	OFF	X	OFF
150	ON	OFF	ON	OFF	ON	ON	X	OFF	X	OFF
151	ON	OFF	ON	OFF	ON	OFF	X	OFF	X	OFF
152	OFF	OFF	ON	OFF	ON	X	X	OFF	X	OFF
153	ON	ON	OFF	OFF	ON	ON	ON	X	X	OFF
154	ON	ON	OFF	OFF	ON	OFF	ON	X	X	OFF
155	OFF	ON	OFF	OFF	ON	X	ON	X	X	OFF
156	ON	ON	OFF	OFF	ON	ON	OFF	X	X	OFF
157	ON	ON	OFF	OFF	ON	OFF	OFF	X	X	OFF
158	OFF	ON	OFF	OFF	ON	X	OFF	X	X	OFF
159	ON	OFF	OFF	OFF	ON	ON	X	X	X	OFF
160	ON	OFF	OFF	OFF	ON	OFF	X	X	X	OFF
161	OFF	OFF	OFF	OFF	ON	X	X	X	X	OFF

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

CH	S1	S2	S3	S4	S5	S6	S7	S8	S9	S10
162	ON	ON	ON	ON	OFF	ON	ON	ON	ON	X
163	ON	ON	ON	ON	OFF	OFF	ON	ON	ON	X
164	OFF	ON	ON	ON	OFF	X	ON	ON	ON	X
165	ON	ON	ON	ON	OFF	ON	OFF	ON	ON	X
166	ON	ON	ON	ON	OFF	OFF	OFF	ON	ON	X
167	OFF	ON	ON	ON	OFF	X	OFF	ON	ON	X
168	ON	OFF	ON	ON	OFF	ON	X	ON	ON	X
169	ON	OFF	ON	ON	OFF	OFF	X	ON	ON	X
170	OFF	OFF	ON	ON	OFF	X	X	ON	ON	X
171	ON	ON	ON	ON	OFF	ON	ON	OFF	ON	X
172	ON	ON	ON	ON	OFF	OFF	ON	OFF	ON	X
173	OFF	ON	ON	ON	OFF	X	ON	OFF	ON	X
174	ON	ON	ON	ON	OFF	ON	OFF	OFF	ON	X
175	ON	ON	ON	ON	OFF	OFF	OFF	OFF	ON	X
176	OFF	ON	ON	ON	OFF	X	OFF	OFF	ON	X
177	ON	OFF	ON	ON	OFF	ON	X	OFF	ON	X
178	ON	OFF	ON	ON	OFF	OFF	X	OFF	ON	X
179	OFF	OFF	ON	ON	OFF	X	X	OFF	ON	X
180	ON	ON	OFF	ON	OFF	ON	ON	X	ON	X
181	ON	ON	OFF	ON	OFF	OFF	ON	X	ON	X
182	OFF	ON	OFF	ON	OFF	X	ON	X	ON	X
183	ON	ON	OFF	ON	OFF	ON	OFF	X	ON	X
184	ON	ON	OFF	ON	OFF	OFF	OFF	X	ON	X
185	OFF	ON	OFF	ON	OFF	X	OFF	X	ON	X
186	ON	OFF	OFF	ON	OFF	ON	X	X	ON	X
187	ON	OFF	OFF	ON	OFF	OFF	X	X	ON	X
188	OFF	OFF	OFF	ON	OFF	X	X	X	ON	X

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

CH	S1	S2	S3	S4	S5	S6	S7	S8	S9	S10
189	ON	ON	ON	ON	OFF	ON	ON	ON	OFF	X
190	ON	ON	ON	ON	OFF	OFF	ON	ON	OFF	X
191	OFF	ON	ON	ON	OFF	X	ON	ON	OFF	X
192	ON	ON	ON	ON	OFF	ON	OFF	ON	OFF	X
193	ON	ON	ON	ON	OFF	OFF	OFF	ON	OFF	X
194	OFF	ON	ON	ON	OFF	X	OFF	ON	OFF	X
195	ON	OFF	ON	ON	OFF	ON	X	ON	OFF	X
196	ON	OFF	ON	ON	OFF	OFF	X	ON	OFF	X
197	OFF	OFF	ON	ON	OFF	X	X	ON	OFF	X
198	ON	ON	ON	ON	OFF	ON	ON	OFF	OFF	X
199	ON	ON	ON	ON	OFF	OFF	ON	OFF	OFF	X
200	OFF	ON	ON	ON	OFF	X	ON	OFF	OFF	X
201	ON	ON	ON	ON	OFF	ON	OFF	OFF	OFF	X
202	ON	ON	ON	ON	OFF	OFF	OFF	OFF	OFF	X
203	OFF	ON	ON	ON	OFF	X	OFF	OFF	OFF	X
204	ON	OFF	ON	ON	OFF	ON	X	OFF	OFF	X
205	ON	OFF	ON	ON	OFF	OFF	X	OFF	OFF	X
206	OFF	OFF	ON	ON	OFF	X	X	OFF	OFF	X
207	ON	ON	OFF	ON	OFF	ON	ON	X	OFF	X
208	ON	ON	OFF	ON	OFF	OFF	ON	X	OFF	X
209	OFF	ON	OFF	ON	OFF	X	ON	X	OFF	X
210	ON	ON	OFF	ON	OFF	ON	OFF	X	OFF	X
211	ON	ON	OFF	ON	OFF	OFF	OFF	X	OFF	X
212	OFF	ON	OFF	ON	OFF	X	OFF	X	OFF	X
213	ON	OFF	OFF	ON	OFF	ON	X	X	OFF	X
214	ON	OFF	OFF	ON	OFF	OFF	X	X	OFF	X
215	OFF	OFF	OFF	ON	OFF	X	X	X	OFF	X

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

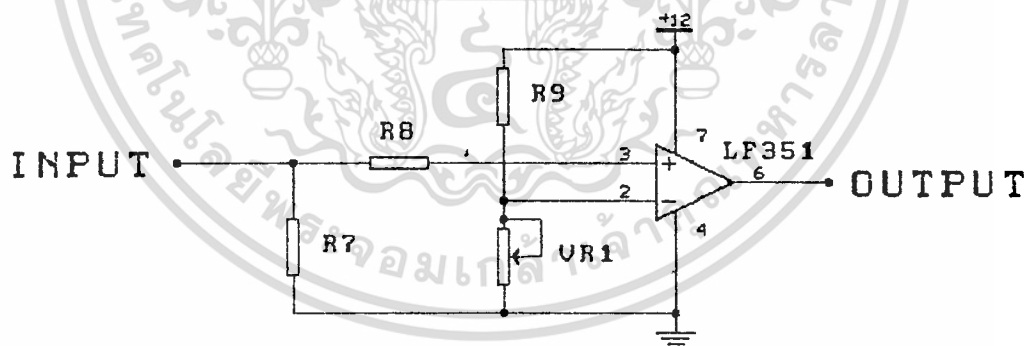
CH	S1	S2	S3	S4	S5	S6	S7	S8	S9	S10
216	ON	ON	ON	OFF	OFF	ON	ON	ON	X	X
217	ON	ON	ON	OFF	OFF	OFF	ON	ON	X	X
218	OFF	ON	ON	OFF	OFF	X	ON	ON	X	X
219	ON	ON	ON	OFF	OFF	ON	OFF	ON	X	X
220	ON	ON	ON	OFF	OFF	OFF	OFF	ON	X	X
221	OFF	ON	ON	OFF	OFF	X	OFF	ON	X	X
222	ON	OFF	ON	OFF	OFF	ON	X	ON	X	X
223	ON	OFF	ON	OFF	OFF	OFF	X	ON	X	X
224	OFF	OFF	ON	OFF	OFF	X	X	ON	X	X
225	ON	ON	ON	OFF	OFF	ON	ON	OFF	X	X
226	ON	ON	ON	OFF	OFF	OFF	ON	OFF	X	X
227	OFF	ON	ON	OFF	OFF	X	ON	OFF	X	X
228	ON	ON	ON	OFF	OFF	ON	OFF	OFF	X	X
229	ON	ON	ON	OFF	OFF	OFF	OFF	OFF	X	X
230	OFF	ON	ON	OFF	OFF	X	OFF	OFF	X	X
231	ON	OFF	ON	OFF	OFF	ON	X	OFF	X	X
232	ON	OFF	ON	OFF	OFF	OFF	X	OFF	X	X
233	OFF	OFF	ON	OFF	OFF	X	X	OFF	X	X
234	ON	ON	OFF	OFF	OFF	ON	ON	X	X	X
235	ON	ON	OFF	OFF	OFF	OFF	ON	X	X	X
236	OFF	ON	OFF	OFF	OFF	X	ON	X	X	X
237	ON	ON	OFF	OFF	OFF	ON	OFF	X	X	X
238	ON	ON	OFF	OFF	OFF	OFF	OFF	X	X	X
239	OFF	ON	OFF	OFF	OFF	X	OFF	X	X	X
240	ON	OFF	OFF	OFF	OFF	ON	X	X	X	X
241	ON	OFF	OFF	OFF	OFF	OFF	X	X	X	X
242	OFF	OFF	OFF	OFF	OFF	X	X	X	X	X

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ปัญหาและอุปสรรคในการวิจัย

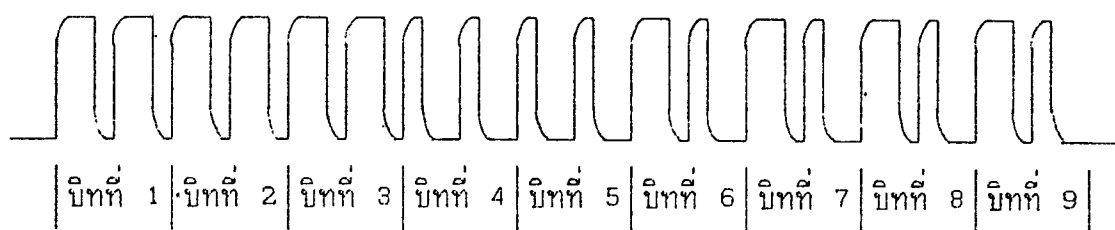
จากการวิจัยและทดลองตลอดจนการสร้างโครงงาน พบว่ามีปัญหาบ้าง แต่เป็นปัญหาที่สามารถทำการแก้ไขได้ ปัญหาหลักของทางภาคส่งเห็นจะได้แก่ ปัญหาทางด้านความแรงของสัญญาณที่ส่งออกไป เพราะถ้าความแรงของสัญญาณที่ส่งออกไปไม่เพียงพอ จะทำให้ระยะส่งระหว่างเครื่องรับและเครื่องส่งลดลง นั่นคือจะทำให้ส่งและรับกันได้แต่ในระยะใกล้ๆ เท่านั้น นอกจากนี้สัญญาณที่รับได้ทางภาครับก็จะมี ความแตกต่างของแรงดันระหว่างข้อมูลที่แท้จริง และสัญญาณรบกวนน้อยมาก อันอาจเป็นผลให้การทำงานของวงจรผิดพลาดไปได้ ดังนั้นจึงจำเป็นต้องทำการเพิ่มความแรงของสัญญาณทางเครื่องส่งให้สูงที่สุดเท่าที่ทำได้ โดยความแรงของสัญญาณที่ส่งออกไป จะถูกจำกัดไว้ด้วยขนาดของขดลวดของวงจร Tank ทางด้านเอาต์พุต และความร้อนที่เกิดจากการทำงานของทรานซิสเตอร์ที่ใช้ขับวงจร Tank ทางด้านเอาต์พุต

ส่วนปัญหาของทางด้านภาครับที่พบและยังไม่สามารถหาคำตอบมาอธิบายได้ คือ การทำงานของ IC OP AMP เบอร์ LF 351 ที่นำมาประกอบเป็นวงจรปรับแต่งรูปคลื่นสัญญาณ โดยต่อวงจรเป็นแบบ COMPARATOR ดังรูป

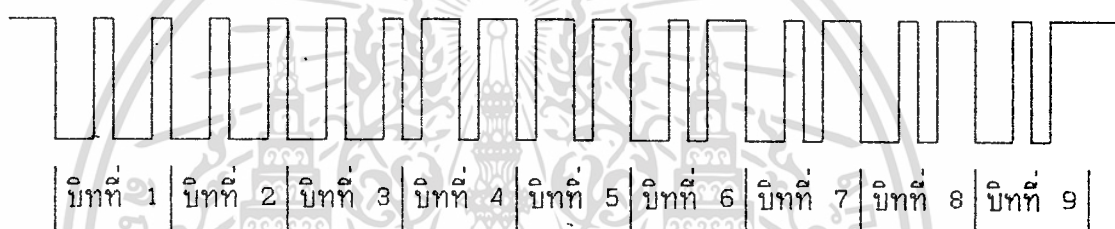


พบว่าเมื่อใช้ IC ของบริษัท NS ต่อวงจร สัญญาณทางด้านเอาต์พุตที่ได้ จะกลับเฟสกับทางด้านอินพุต ทั้งที่สัญญาณอินพุตต่อเข้ากับขา Non Inverting ของ OP AMP และเมื่อทดลองเปลี่ยนให้สัญญาณอินพุตต่อเข้ากับขา Inverting ของ OP AMP และให้แรงดันอ้างอิงต่อเข้ากับขา Non Inverting บ้าง ปรากฏว่าสัญญาณเอาต์พุตก็ยังคงกลับเฟสกับสัญญาณอินพุตอยู่เช่นเดิม

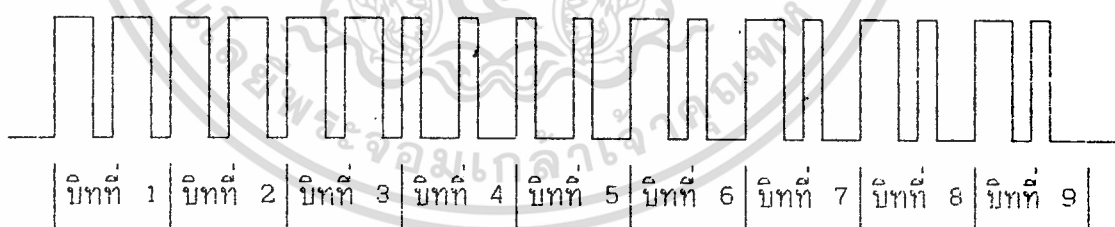
เมื่อเปลี่ยนมาใช้ IC ของบริษัท MOTOROLA มาต่อวงจรแทน จึงพบว่า ได้สัญญาณเอาต์พุตที่มีเฟสเดียวกันกับอินพุตตามที่ต้องการ ดังรูป



รูปสัญญาณอินพุตของวงจรปรับแต่งรูปคลื่น



รูปสัญญาณเอาต์พุตจากวงจรปรับแต่งรูปคลื่น เมื่อใช้ IC ของ NS



รูปสัญญาณเอาต์พุตจากวงจรปรับแต่งรูปคลื่น เมื่อใช้ IC ของ MOTOROLA

สรุปผลการวิจัย

จากการทดลองและสร้างโครงงานนี้ขึ้นมา ทำให้ได้รับความรู้และความเข้าใจในเรื่องต่างๆ ที่เกี่ยวข้องกับโครงงาน ตลอดจนทำให้ได้พบกับปัญหาซึ่งจะต้องหาทางแก้ไขปัญหาดังกล่าวจนสำเร็จลุล่วงลงได้ บางปัญหาอาจต้องใช้เวลาและการค้นคว้าที่ค่อนข้างมาก แต่บางปัญหาก็สามารถแก้ไขได้ด้วยความรู้ที่เรามีอยู่ ซึ่งเป็นประโยชน์อันหนึ่งที่ทำให้เราได้รับความรู้เพิ่มเติมจากการค้นคว้า ประโยชน์ข้ออื่นๆ จากการทดลองและสร้างโครงงานนี้ก็คือ ทำให้เราได้เรียนรู้วิธีการใช้งาน SOFT WARE ที่ใช้ในการเขียนวงจร และ SOFT WARE ที่ใช้ในการออกแบบลายวงจรพิมพ์ ทั้งนี้เพราะเราได้ทำการเขียนวงจรและออกแบบลายวงจรพิมพ์ด้วยเครื่องคอมพิวเตอร์

สำหรับการทดลองและโครงงานนี้สามารถสรุปผลได้ดังนี้ เครื่องควบคุมระบบไฟฟ้าภายในอาคาร เป็นการควบคุมเครื่องใช้ไฟฟ้าภายในอาคารได้ด้วยการมอดดูเลขชั้นสัญญาณควบคุมซึ่งเกิดจาก IC เบอร์ MC 145026 อันทำหน้าที่กำหนดว่าจะให้เครื่องรับเครื่องใดทำงาน แล้วส่งสัญญาณที่ได้รับการมอดดูเลขชั้นแล้วนี้ผ่านไปตามสาย AC LINE เมื่อถึงทางด้านรับก็จะทำการขยายสัญญาณตีเท็คเตอร์และปรับแต่งสัญญาณที่รับได้ ทำให้ได้สัญญาณควบคุมที่มาจาก IC เบอร์ MC 145026 นำไปป้อนให้กับ IC เบอร์ MC 145027 หรือ MC 145028 เพื่อที่จะทำการตรวจสอบว่าสัญญาณควบคุมที่ได้รับเข้ามานั้นมีค่า ADDRESS ตรงกับที่ตั้งไว้หรือไม่ ถ้าตรงกับที่ตั้งไว้จึงจะสั่งให้รีเลย์เปลี่ยนสถานะจาก OFF เป็น ON หรือถ้า ON อยู่ก็จะเปลี่ยนไปเป็น OFF ซึ่งก็เป็นการเปลี่ยนสถานะการทำงานของเครื่องใช้ไฟฟ้าที่นำมาต่อกับเครื่องรับด้วย จะเห็นว่าการควบคุมแบบนี้มีผลดี คือ ไม่ต้องทำการเดินสายไฟจากเครื่องรับไปยังเครื่องส่ง และยังสามารถควบคุมเครื่องใช้ไฟฟ้าหลายจุดภายในอาคารได้จากจุดควบคุมเพียงจุดเดียว ด้วยคุณสมบัติดังกล่าวนี้เมื่อนำมาเชื่อมต่อการทำงานเข้ากับเครื่องคอมพิวเตอร์ ก็จะทำให้การควบคุมระบบไฟฟ้าภายในอาคารเป็นไปอย่างอัตโนมัติ ซึ่งเป็นที่มาของโครงงาน BUILDING AUTOMATION

กิติกรรมประกาศ

โครงการนี้สามารถประสบความสำเร็จได้ด้วยความเรียบร้อย กลุ่มผู้จัดทำโครงการ PHK1 ต้องขอขอบพระคุณอาจารย์ ภากร หุตะสังกาศ ที่ได้ให้ความช่วยเหลือ ให้คำแนะนำ ข้อคิดเห็น ตลอดจนแนวทางในการทำโครงการกับกลุ่มผู้จัดทำโครงการ PHK1 (BUILDING AUTOMATION)



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บรรณานุกรม

ก. เอกสารอ้างอิงที่เป็นวารสารภาษาไทย

1. ประเสริฐ โรจน์สุวัฒน์. "ลำโพงไม่ต้องเดินสาย", วารสารเคมีคอน
ดักเตอร์อิเล็กทรอนิกส์. ฉบับที่ 86 : หน้า 148-155.
2. สานนท์ แก้วบเชย. "สล็อตไอบีเอ็ม พีซี กับการต่อออก", วารสาร
เคมีคอนดักเตอร์อิเล็กทรอนิกส์. ฉบับที่ 87 : หน้า 186-196.

ข. เอกสารอ้างอิงที่เป็นหนังสือภาษาไทยและภาษาอังกฤษ

1. ทิเทพ ดิก, ธาเนศวร ภาวรสรวงศ์. "การอินเทอร์เฟส IBM PC".
กรุงเทพฯ: พิลิกส์เซ็นเตอร์ การพิมพ์.
2. ยืน ภู่วรรณ, รศ. "เทคโนโลยีอาร์แวนซ์ IBM PC". กรุงเทพฯ:
บริษัท ซีเอ็ดดูเคชั่น จำกัด, 2533.
3. "คู่มือไอซี CMOS 4000 series". บริษัท ซีเอ็ดดูเคชั่น จำกัด, 2528
4. Lewis C. Eggebrecht. "Interfacing to the IBM
Personal Computer ". Howard W. Sams & Co., Inc., 1983.
5. "CMOS", Motorola Inc., 1978.

GA 76.8 156



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- MCS-85™ Compatible 8255A-5
- 24 Programmable I/O Pins
- Completely TTL Compatible
- Fully Compatible with Intel® Micro-processor Families
- Improved Timing Characteristics
- Direct Bit Set/Reset Capability Easing Control Application Interface
- Reduces System Package Count
- Improved DC Driving Capability
- Available in EXPRESS
 - Standard Temperature Range
 - Extended Temperature Range

The Intel® 8255A is a general purpose programmable I/O device designed for use with Intel® microprocessors. It has 24 I/O pins which may be individually programmed in 2 groups of 12 and used in 3 major modes of operation. In the first mode (MODE 0), each group of 12 I/O pins may be programmed in sets of 4 to be input or output. In MODE 1, the second mode, each group may be programmed to have 8 lines of input or output. Of the remaining 4 pins, 3 are used for handshaking and interrupt control signals. The third mode of operation (MODE 2) is a bidirectional bus mode which uses 8 lines for a bidirectional bus, and 5 lines, borrowing one from the other group, for handshaking.

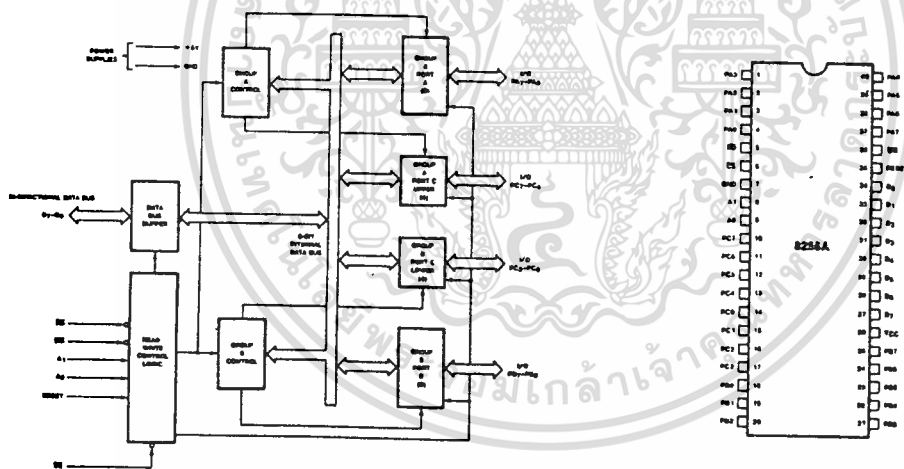


Figure 1. 8255A Block Diagram

Figure 2. Pin Configuration

8255A FUNCTIONAL DESCRIPTION

General

The 8255A is a programmable peripheral interface (PPI) device designed for use in Intel® microcomputer systems. Its function is that of a general purpose I/O component to interface peripheral equipment to the microcomputer system bus. The functional configuration of the 8255A is programmed by the system software so that normally no external logic is necessary to interface peripheral devices or structures.

Data Bus Buffer

This 3-state bidirectional 8-bit buffer is used to interface the 8255A to the system data bus. Data is transmitted or received by the buffer upon execution of input or output instructions by the CPU. Control words and status information are also transferred through the data bus buffer.

Read/Write and Control Logic

The function of this block is to manage all of the internal and external transfers of both Data and Control or Status words. It accepts inputs from the CPU Address and Control busses and in turn, issues commands to both of the Control Groups.

(CS)

Chip Select. A "low" on this input pin enables the communication between the 8255A and the CPU.

(RD)

Read. A "low" on this input pin enables the 8255A to send the data or status information to the CPU on the data bus. In essence, it allows the CPU to "read from" the 8255A.

(WR)

Write. A "low" on this input pin enables the CPU to write data or control words into the 8255A.

(A₀ and A₁)

Port Select 0 and Port Select 1. These input signals, in conjunction with the RD and WR inputs, control the selection of one of the three ports or the control word registers. They are normally connected to the least significant bits of the address bus (A₀ and A₁).

8255A BASIC OPERATION

A ₁	A ₀	RD	WR	CS	INPUT OPERATION (READ)
0	0	0	1	0	PORT A ← DATA BUS
0	1	0	1	0	PORT B ← DATA BUS
1	0	0	1	0	PORT C ← DATA BUS
					OUTPUT OPERATION (WRITE)
0	0	1	0	0	DATA BUS ← PORT A
0	1	1	0	0	DATA BUS ← PORT B
1	0	1	0	0	DATA BUS ← PORT C
1	1	1	0	0	DATA BUS ← CONTROL
					DISABLE FUNCTION
X	X	X	X	1	DATA BUS = 3-STATE
1	1	0	1	0	ILLEGAL CONDITION
X	X	1	1	0	DATA BUS = 3-STATE

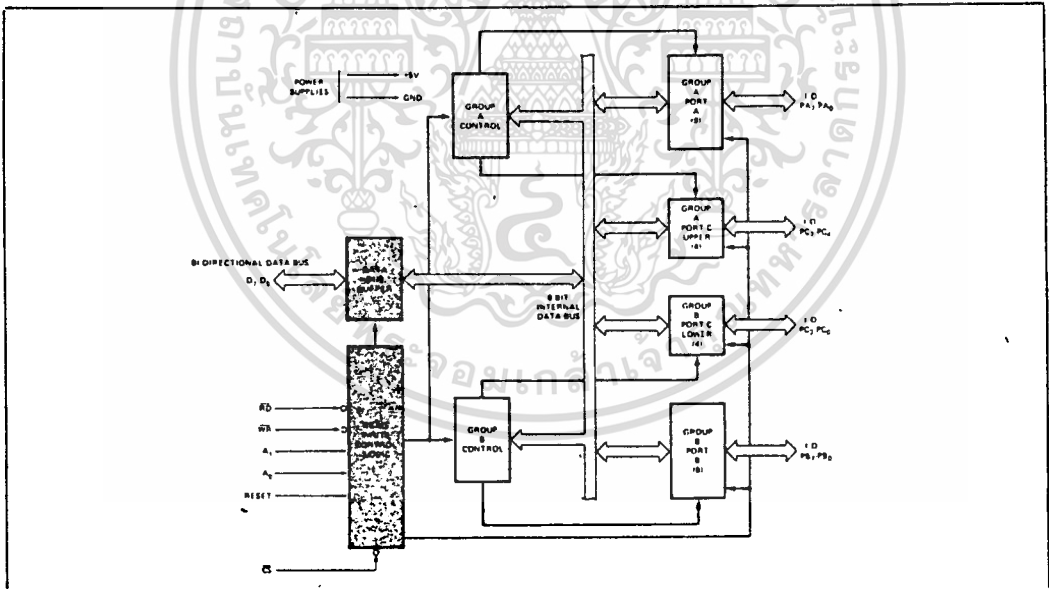


Figure 3. 8255A Block Diagram Showing Data Bus Buffer and Read/Write Control Logic Functions

(RESET)

Reset. A "high" on this input clears the control register and all ports (A, B, C) are set to the input mode.

Group A and Group B Controls

The functional configuration of each port is programmed by the systems software. In essence, the CPU "outputs" a control word to the 8255A. The control word contains information such as "mode", "bit set", "bit reset", etc., that initializes the functional configuration of the 8255A.

Each of the Control blocks (Group A and Group B) accepts "commands" from the Read/Write Control Logic, receives "control words" from the internal data bus and issues the proper commands to its associated ports.

Control Group A — Port A and Port C upper (C7-C4)

Control Group B — Port B and Port C lower (C3-C0)

The Control Word Register can Only be written into. No Read operation of the Control Word Register is allowed.

Ports A, B, and C

The 8255A contains three 8-bit ports (A, B, and C). All can be configured in a wide variety of functional characteristics by the system software but each has its own special features or "personality" to further enhance the power and flexibility of the 8255A.

Port A. One 8-bit data output latch/buffer and one 8-bit data input latch.

Port B. One 8-bit data input/output latch/buffer and one 8-bit data input buffer.

Port C. One 8-bit data output latch/buffer and one 8-bit data input buffer (no latch for input). This port can be divided into two 4-bit ports under the mode control. Each 4-bit port contains a 4-bit latch and it can be used for the control signal outputs and status signal inputs in conjunction with ports A and B.

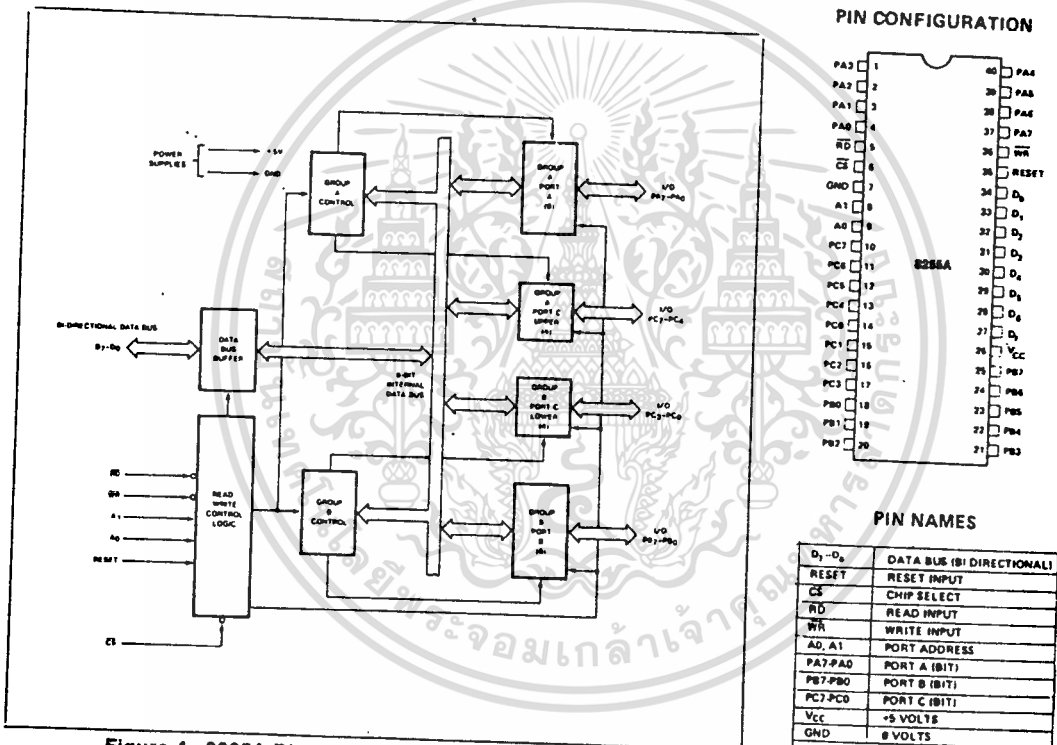


Figure 4. 8255A Block Diagram Showing Group A and Group B Control Functions

8255A OPERATIONAL DESCRIPTION

Mode Selection

There are three basic modes of operation that can be selected by the system software:

- Mode 0 – Basic Input/Output
- Mode 1 – Strobed Input/Output
- Mode 2 – Bi-Directional Bus

When the reset input goes "high" all ports will be set to the input mode (i.e., all 24 lines will be in the high impedance state). After the reset is removed the 8255A can remain in the input mode with no additional initialization required. During the execution of the system program any of the other modes may be selected using a single output instruction. This allows a single 8255A to service a variety of peripheral devices with a simple software maintenance routine.

The modes for Port A and Port B can be separately defined, while Port C is divided into two portions as required by the Port A and Port B definitions. All of the output registers, including the status flip-flops, will be reset whenever the mode is changed. Modes may be combined so that their functional definition can be "tailored" to almost any I/O structure. For instance; Group B can be programmed in Mode 0 to monitor simple switch closings or display computational results, Group A could be programmed in Mode 1 to monitor a keyboard or tape reader on an interrupt-driven basis.

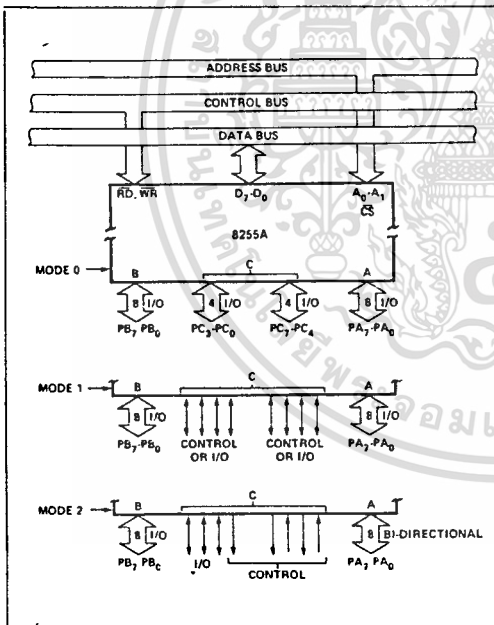


Figure 5. Basic Mode Definitions and Bus Interface

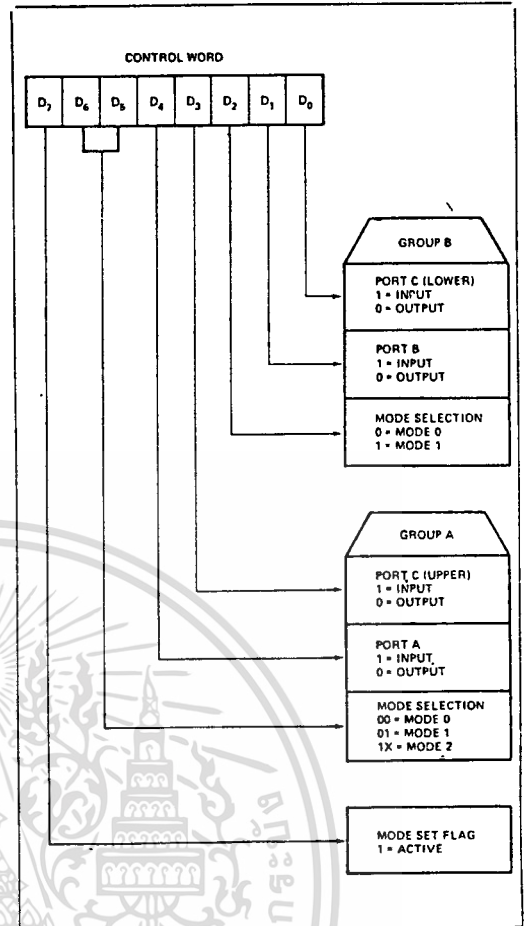


Figure 6. Mode Definition Format

The mode definitions and possible mode combinations may seem confusing at first but after a cursory review of the complete device operation a simple, logical I/O approach will surface. The design of the 8255A has taken into account things such as efficient PC board layout, control signal definition vs PC layout and complete functional flexibility to support almost any peripheral device with no external logic. Such design represents the maximum use of the available pins.

Single Bit Set/Reset Feature

Any of the eight bits of Port C can be Set or Reset using a single OUTput instruction. This feature reduces software requirements in Control-based applications.

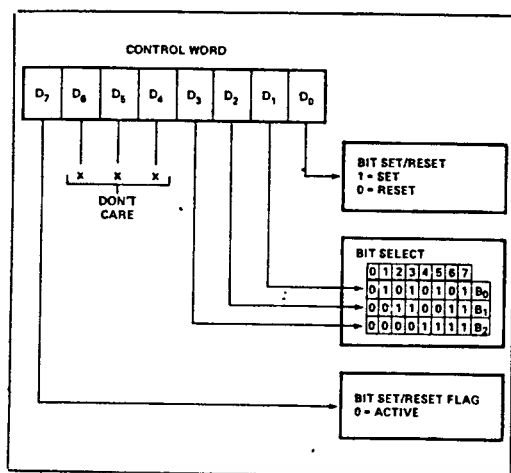


Figure 7. Bit Set/Reset Format

When Port C is being used as status/control for Port A or B, these bits can be set or reset by using the Bit Set/Reset operation just as if they were data output ports.

Interrupt Control Functions

When the 8255A is programmed to operate in mode 1 or mode 2, control signals are provided that can be used as interrupt request inputs to the CPU. The interrupt request signals, generated from port C, can be inhibited or enabled by setting or resetting the associated INTE flip-flop, using the bit set/reset function of port C.

This function allows the Programmer to disallow or allow a specific I/O device to interrupt the CPU without affecting any other device in the interrupt structure.

INTE flip-flop definition:

(BIT-SET) – INTE is SET – Interrupt enable

(BIT-RESET) – INTE is RESET – Interrupt disable

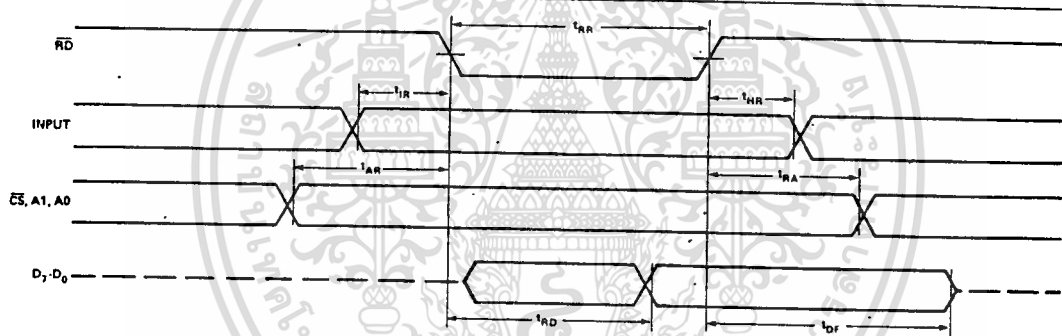
Note: All Mask flip-flops are automatically reset during mode selection and device Reset.

Operating Modes

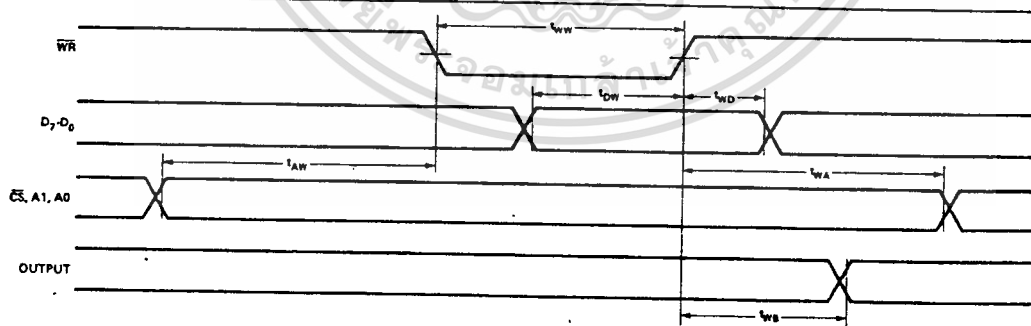
MODE 0 (Basic Input/Output). This functional configuration provides simple input and output operations for each of the three ports. No "handshaking" is required; data is simply written to or read from a specified port.

Mode 0 Basic Functional Definitions:

- Two 8-bit ports and two 4-bit ports.
- Any port can be input or output.
- Outputs are latched.
- Inputs are not latched.
- 16 different Input/Output configurations are possible in this Mode.



MODE 0 (Basic Input)



MODE 0 (Basic Output)

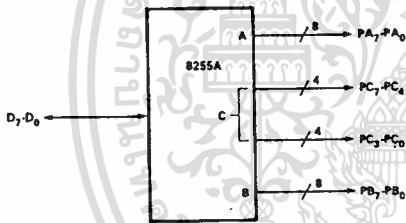
MODE 0 Port Definition

A		B		GROUP A			GROUP B	
D ₄	D ₃	D ₁	D ₀	PORT A	PORT C (UPPER)	#	PORT B	PORT C (LOWER)
0	0	0	0	OUTPUT	OUTPUT	0	OUTPUT	OUTPUT
0	0	0	1	OUTPUT	OUTPUT	1	OUTPUT	INPUT
0	0	1	0	OUTPUT	OUTPUT	2	INPUT	OUTPUT
0	0	1	1	OUTPUT	OUTPUT	3	INPUT	INPUT
0	1	0	0	OUTPUT	INPUT	4	OUTPUT	OUTPUT
0	1	0	1	OUTPUT	INPUT	5	OUTPUT	INPUT
0	1	1	0	OUTPUT	INPUT	6	INPUT	OUTPUT
0	1	1	1	OUTPUT	INPUT	7	INPUT	INPUT
1	0	0	0	INPUT	OUTPUT	8	OUTPUT	OUTPUT
1	0	0	1	INPUT	OUTPUT	9	OUTPUT	INPUT
1	0	1	0	INPUT	OUTPUT	10	INPUT	OUTPUT
1	0	1	1	INPUT	OUTPUT	11	INPUT	INPUT
1	1	0	0	INPUT	INPUT	12	OUTPUT	OUTPUT
1	1	0	1	INPUT	INPUT	13	OUTPUT	INPUT
1	1	1	0	INPUT	INPUT	14	INPUT	OUTPUT
1	1	1	1	INPUT	INPUT	15	INPUT	INPUT

MODE 0 Configurations

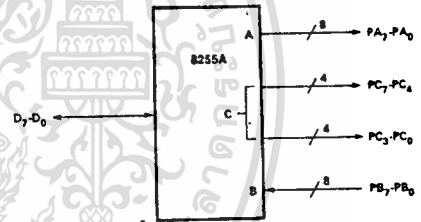
CONTROL WORD #0

D ₇	D ₆	D ₅	D ₄	D ₃	D ₂	D ₁	D ₀
1	0	0	0	0	0	0	0



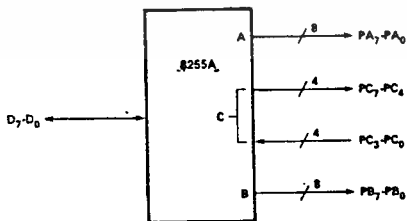
CONTROL WORD #2

D ₇	D ₆	D ₅	D ₄	D ₃	D ₂	D ₁	D ₀
1	0	0	0	0	0	1	0



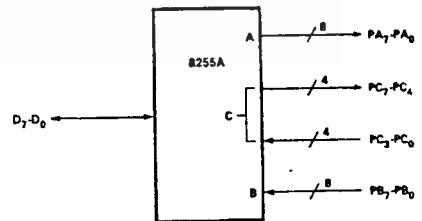
CONTROL WORD #1

D ₇	D ₆	D ₅	D ₄	D ₃	D ₂	D ₁	D ₀
1	0	0	0	0	0	0	1



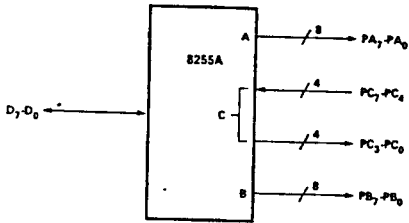
CONTROL WORD #3

D ₇	D ₆	D ₅	D ₄	D ₃	D ₂	D ₁	D ₀
1	0	0	0	0	0	1	1



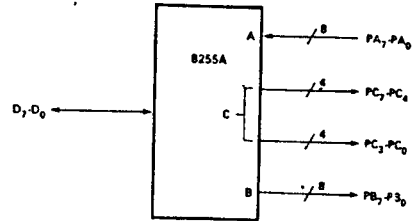
CONTROL WORD #4

D ₇	D ₆	D ₅	D ₄	D ₃	D ₂	D ₁	D ₀
1	0	0	0	1	0	0	0



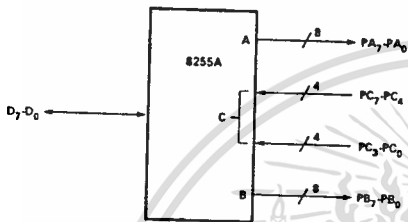
CONTROL WORD #8

D ₇	D ₆	D ₅	D ₄	D ₃	D ₂	D ₁	D ₀
1	0	0	1	0	0	0	0



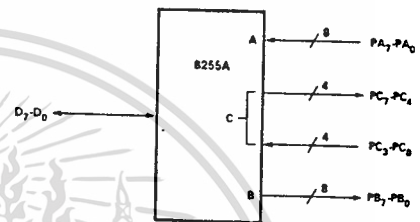
CONTROL WORD #5

D ₇	D ₆	D ₅	D ₄	D ₃	D ₂	D ₁	D ₀
1	0	0	0	1	0	0	1



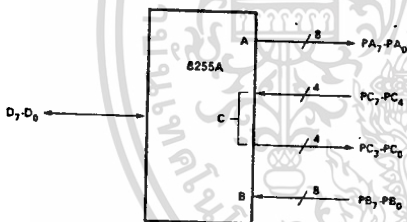
CONTROL WORD #9

D ₇	D ₆	D ₅	D ₄	D ₃	D ₂	D ₁	D ₀
1	0	0	1	0	0	0	1



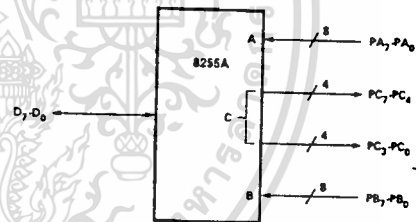
CONTROL WORD #6

D ₇	D ₆	D ₅	D ₄	D ₃	D ₂	D ₁	D ₀
1	0	0	0	1	0	1	0



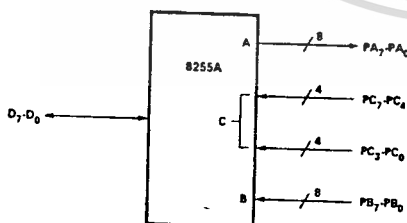
CONTROL WORD #10

D ₇	D ₆	D ₅	D ₄	D ₃	D ₂	D ₁	D ₀
1	0	0	1	0	0	1	0



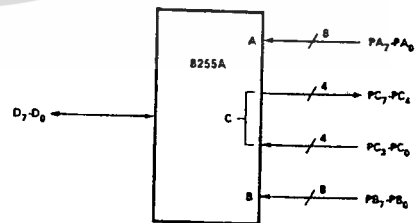
CONTROL WORD #7

D ₇	D ₆	D ₅	D ₄	D ₃	D ₂	D ₁	D ₀
1	0	0	0	1	0	1	1



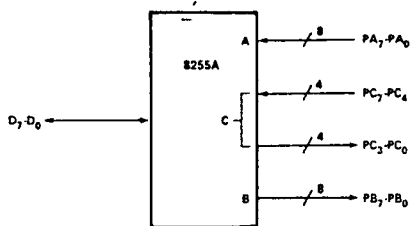
CONTROL WORD #11

D ₇	D ₆	D ₅	D ₄	D ₃	D ₂	D ₁	D ₀
1	0	0	1	0	0	1	1



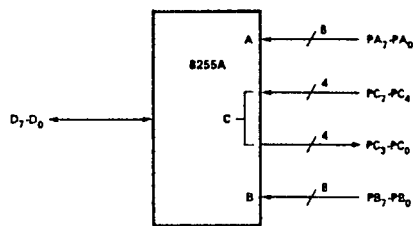
CONTROL WORD #12

D ₇	D ₆	D ₅	D ₄	D ₃	D ₂	D ₁	D ₀
1	0	0	1	1	0	0	0



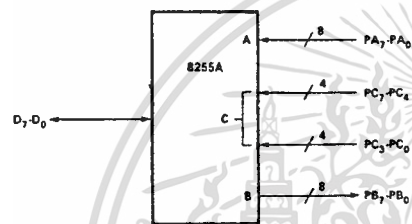
CONTROL WORD #14

D ₇	D ₆	D ₅	D ₄	D ₃	D ₂	D ₁	D ₀
1	0	0	1	1	0	1	0



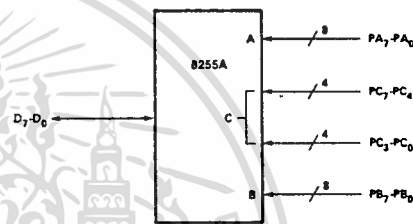
CONTROL WORD #13

D ₇	D ₆	D ₅	D ₄	D ₃	D ₂	D ₁	D ₀
1	0	0	1	1	0	0	1



CONTROL WORD #15

D ₇	D ₆	D ₅	D ₄	D ₃	D ₂	D ₁	D ₀
1	0	0	1	1	0	1	1



Operating Modes

MODE 1 (Strobed Input/Output). This functional configuration provides a means for transferring I/O data to or from a specified port in conjunction with strobes or "handshaking" signals. In mode 1, port A and Port B use the lines on port C to generate or accept these "handshaking" signals.

Mode 1 Basic Functional Definitions:

- Two Groups (Group A and Group B)
- Each group contains one 8-bit data port and one 4-bit control/data port.
- The 8-bit data port can be either input or output. Both inputs and outputs are latched.
- The 4-bit port is used for control and status of the 8-bit data port.

Input Control Signal Definition

STB (Strobe Input). A "low" on this input loads data into the input latch.

IBF (Input Buffer Full F/F)

A "high" on this output indicates that the data has been loaded into the input latch; in essence, an acknowledgement. IBF is set by STB input being low and is reset by the rising edge of the RD input.

INTR (Interrupt Request)

A "high" on this output can be used to interrupt the CPU when an input device is requesting service. INTR is set by the STB is a "one", IBF is a "one" and INTE is a "one". It is reset by the falling edge of RD. This procedure allows an input device to request service from the CPU by simply strobing its data into the port.

INTE A

Controlled by bit set/reset of PC₄.

INTE B

Controlled by bit set/reset of PC₂.

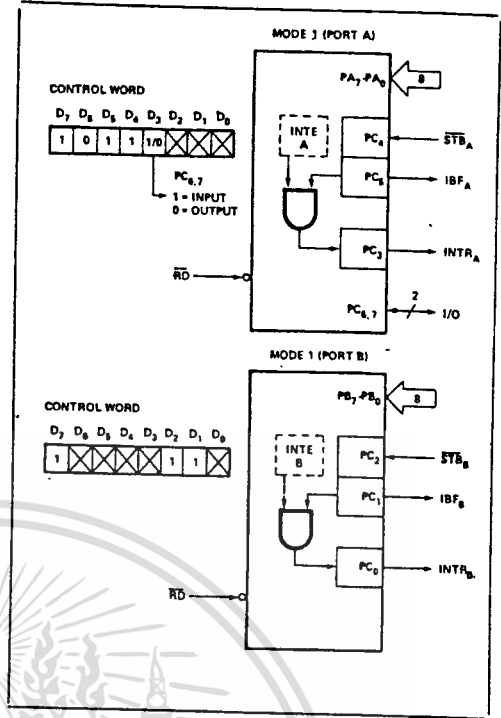


Figure 8. MODE 1 Input

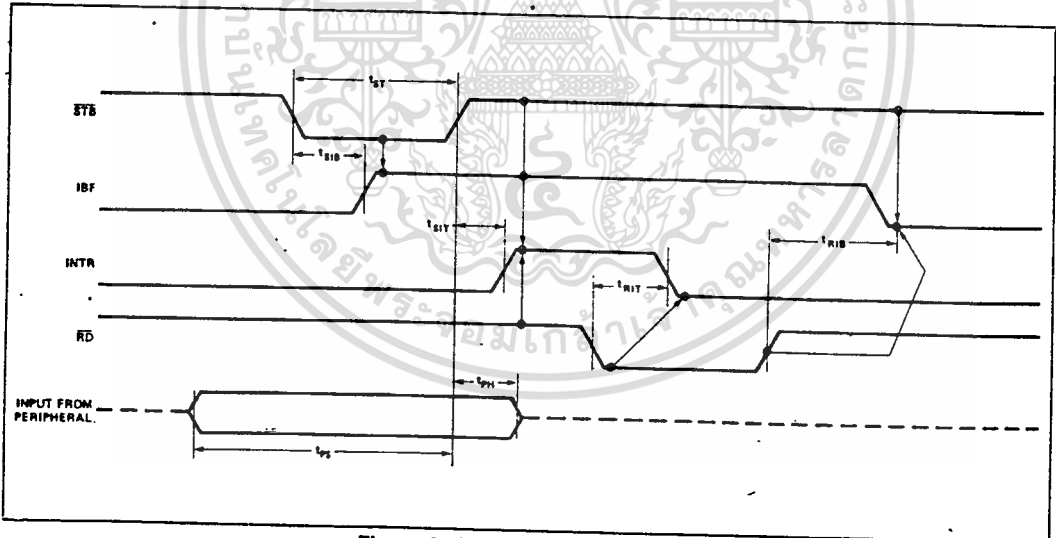


Figure 9. MODE 1 (Strobed Input)

Output Control Signal Definition

ÖBF (Output Buffer Full F/F). The ÖBF output will go "low" to indicate that the CPU has written data out to the specified port. The ÖBF F/F will be set by the rising edge of the WR input and reset by ACK input being low.

ACK (Acknowledge Input). A "low" on this input informs the 8255A that the data from port A or port B has been accepted. In essence, a response from the peripheral device indicating that it has recieved the data output by the CPU.

INTR (Interrupt Request). A "high" on this output can be used to interrupt the CPU when an output device has accepted data transmitted by the CPU. INTR is set when ACK is a "one", ÖBF is a "one", and INTE is a "one". It is reset by the falling edge of WR.

INTR (Interrupt Request). A "high" on this output can be used to interrupt the CPU when an output device has accepted data transmitted by the CPU. INTR is set when ACK is a "one", ÖBF is a "one", and INTE is a "one". It is reset by the falling edge of WR.

INTE A

Controlled by bit set/reset of PC₆.

INTE B

Controlled by bit set/reset of PC₂.

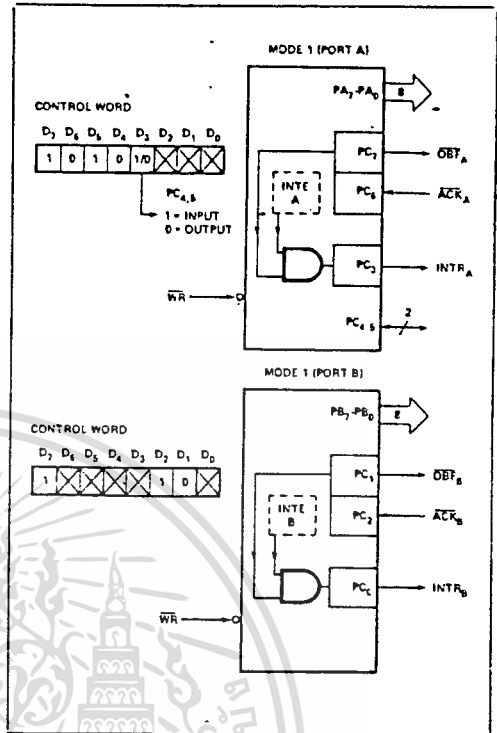


Figure 10. MODE 1 Output

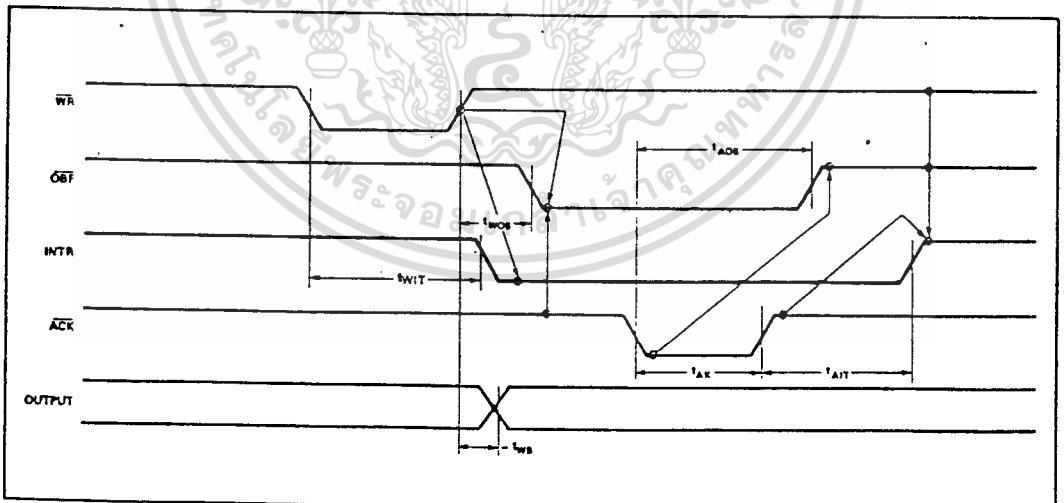


Figure 11. Mode 1 (Strobed Output)

Combinations of MODE 1

Port A and Port B can be individually defined as input or output in Mode 1 to support a wide variety of strobed I/O applications.

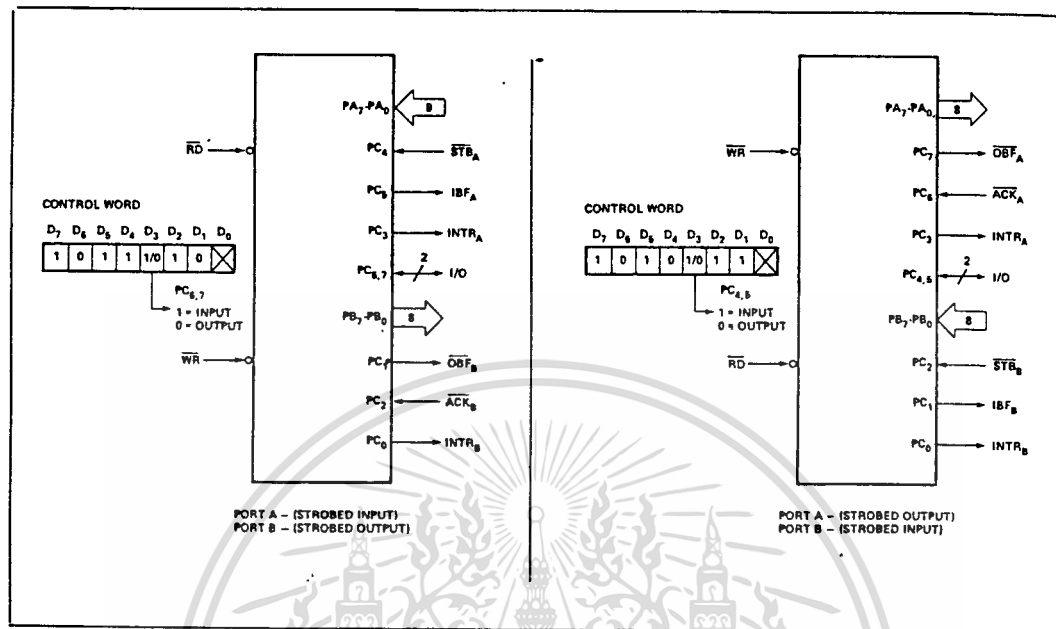


Figure 12. Combinations of MODE 1

Operating Modes

MODE 2 (Strobed Bidirectional Bus I/O). This functional configuration provides a means for communicating with a peripheral device or structure on a single 8-bit bus for both transmitting and receiving data (bidirectional bus I/O). "Handshaking" signals are provided to maintain proper bus flow discipline in a similar manner to MODE 1. Interrupt generation and enable/disable functions are also available.

MODE 2 Basic Functional Definitions:

- Used in Group A only.
- One 8-bit, bi-directional bus Port (Port A) and a 5-bit control Port (Port C).
- Both inputs and outputs are latched.
- The 5-bit control Port (Port C) is used for control and status for the 8-bit, bi-directional bus port (Port A).

Bidirectional Bus I/O Control Signal Definition

INTR (Interrupt Request). A high on this output can be used to interrupt the CPU for both input or output operations.

Output Operations

OBF (Output Buffer Full). The OBF output will go "low" to indicate that the CPU has written data out to port A.

ACK (Acknowledge). A "low" on this input enables the tri-state output buffer of port A to send out the data. Otherwise, the output buffer will be in the high impedance state.

INTE 1 (The INTE Flip-Flop Associated with OBF). Controlled by bit set/reset of PC₆.

Input Operations

STB (Strobe Input). A "low" on this input loads data into the input latch.

IBF (Input Buffer Full F/F). A "high" on this output indicates that data has been loaded into the input latch.

INTE 2 (The INTE Flip-Flop Associated with IBF). Controlled by bit set/reset of PC₄.

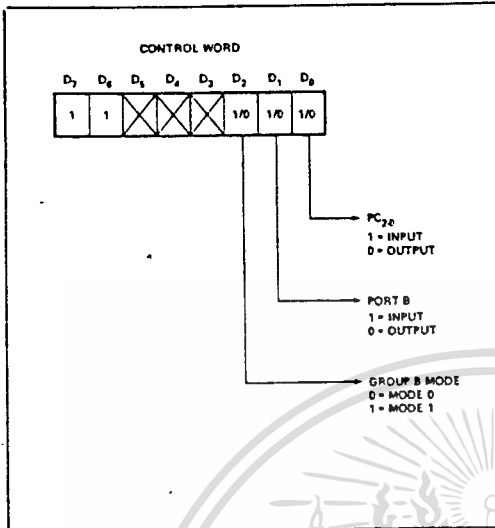


Figure 13. MODE Control Word

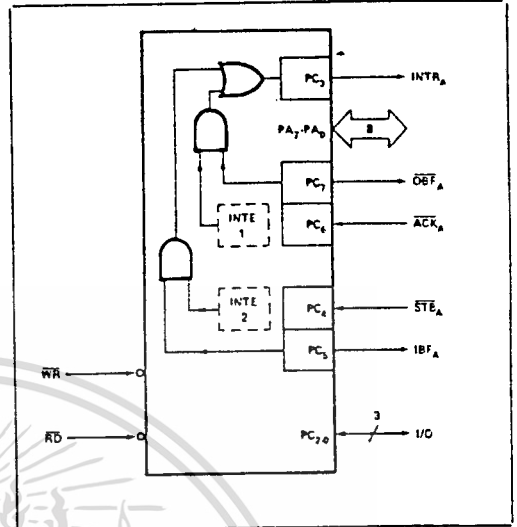


Figure 14. MODE 2

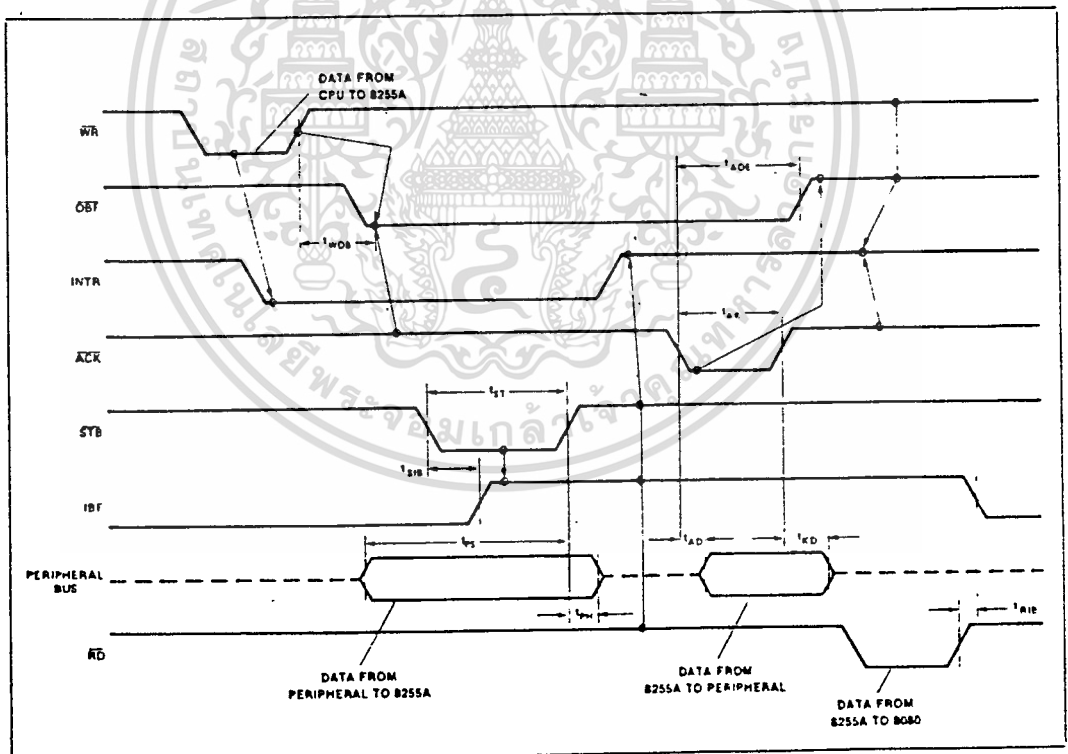


Figure 15. MODE 2 (Bidirectional)

NOTE: Any sequence where $\overline{WR}$ occurs before $\overline{ACK}$ and $\overline{STB}$ occurs before $\overline{RD}$ is permissible.
 $(INTR = IBF \cdot \overline{MASK} \cdot \overline{STB} \cdot \overline{RD} + OBF \cdot \overline{MASK} \cdot \overline{ACK} \cdot \overline{WR})$

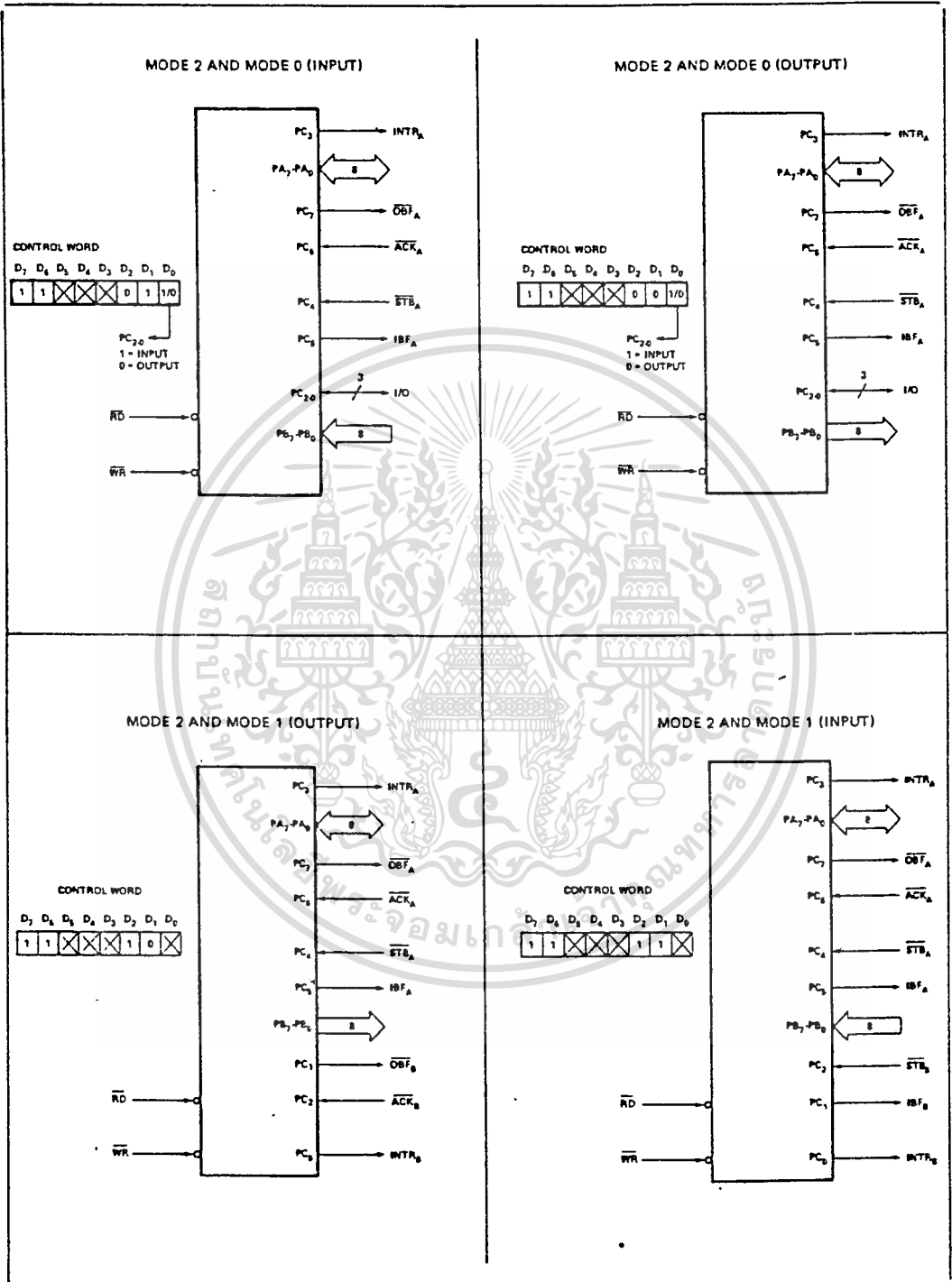


Figure 16. MODE 1/4 Combinations

Mode Definition Summary

	MODE 0		MODE 1		MODE 2
	IN	OUT	IN	OUT	GROUP A ONLY
PA ₀	IN	OUT	IN	OUT	↔
PA ₁	IN	OUT	IN	OUT	↔
PA ₂	IN	OUT	IN	OUT	↔
PA ₃	IN	OUT	IN	OUT	↔
PA ₄	IN	OUT	IN	OUT	↔
PA ₅	IN	OUT	IN	OUT	↔
PA ₆	IN	OUT	IN	OUT	↔
PA ₇	IN	OUT	IN	OUT	↔
PB ₀	IN	OUT	IN	OUT	—
PB ₁	IN	OUT	IN	OUT	—
PB ₂	IN	OUT	IN	OUT	—
PB ₃	IN	OUT	IN	OUT	—
PB ₄	IN	OUT	IN	OUT	—
PB ₅	IN	OUT	IN	OUT	—
PB ₆	IN	OUT	IN	OUT	—
PB ₇	IN	OUT	IN	OUT	—
PC ₀	IN	OUT	INTR _B	INTR _B	I/O
PC ₁	IN	OUT	IBF _B	OBFB	I/O
PC ₂	IN	OUT	STB _B	ACK _B	I/O
PC ₃	IN	OUT	INTR _A	INTR _A	INTR _A
PC ₄	IN	OUT	STB _A	I/O	STB _A
PC ₅	IN	OUT	IBF _A	I/O	IBF _A
PC ₆	IN	OUT	I/O	ACK _A	ACK _A
PC ₇	IN	OUT	I/O	OBFA	OBFA

MODE 0 OR MODE 1 ONLY

Special Mode Combination Considerations

There are several combinations of modes when not all of the bits in Port C are used for control or status. The remaining bits can be used as follows:

If Programmed as Inputs –

All input lines can be accessed during a normal Port C read.

If Programmed as Outputs –

Bits in C upper (PC₇-PC₄) must be individually accessed using the bit set/reset function.

Bits in C lower (PC₃-PC₀) can be accessed using the bit set/reset function or accessed as a threesome by writing into Port C.

Source Current Capability on Port B and Port C

Any set of eight output buffers, selected randomly from Ports B and C can source 1mA at 1.5 volts. This feature allows the 8255 to directly drive Darlington type drivers and high-voltage displays that require such source current.

Reading Port C Status

In Mode 0, Port C transfers data to or from the peripheral device. When the 8255 is programmed to function in Modes 1 or 2, Port C generates or accepts "hand-shaking" signals with the peripheral device. Reading the contents of Port C

allows the programmer to test or verify the "status" of each peripheral device and change the program flow accordingly.

There is no special instruction to read the status information from Port C. A normal read operation of Port C is executed to perform this function.

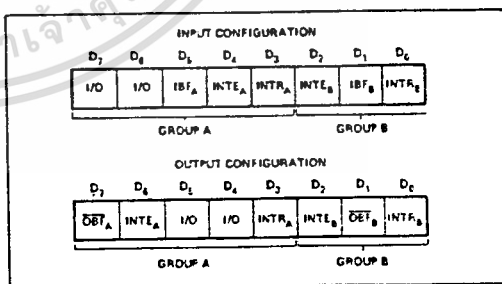


Figure 17. MODE 1 Status Word Format

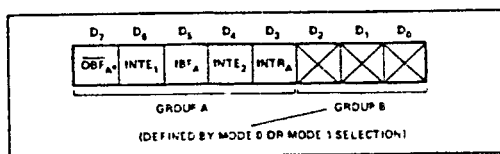


Figure 18. MODE 2 Status Word Format

APPLICATIONS OF THE 8255A

The 8255A is a very powerful tool for interfacing peripheral equipment to the microcomputer system. It represents the optimum use of available pins and is flexible enough to interface almost any I/O device without the need for additional external logic.

Each peripheral device in a microcomputer system usually has a "service routine" associated with it. The routine manages the software interface between the device and the CPU. The functional definition of the 8255A is programmed by the I/O service routine and becomes an extension of the system software. By examining the I/O devices interface characteristics for both data transfer and timing, and matching this information to the examples and tables in the detailed operational description, a control word can easily be developed to initialize the 8255A to exactly "fit" the application. Figures 19 through 25 present a few examples of typical applications of the 8255A.

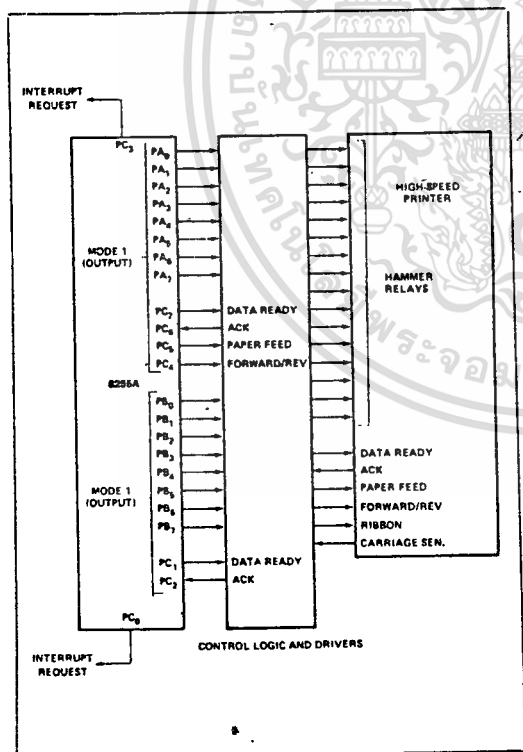


Figure 19. Printer Interface

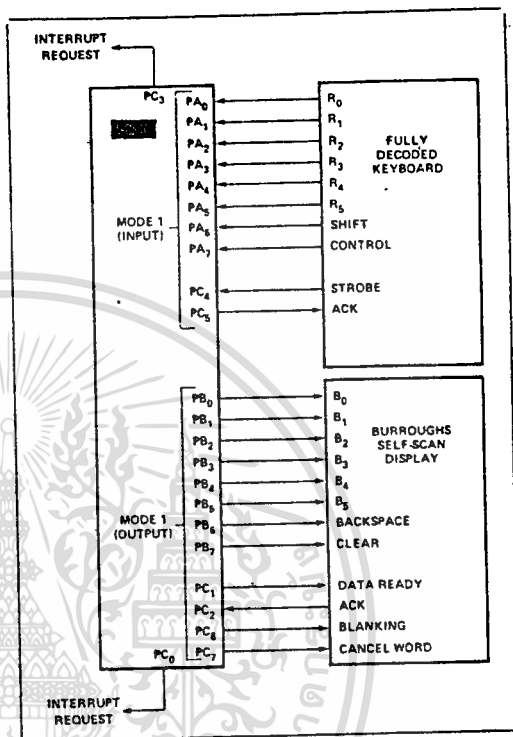


Figure 20. Keyboard and Display Interface

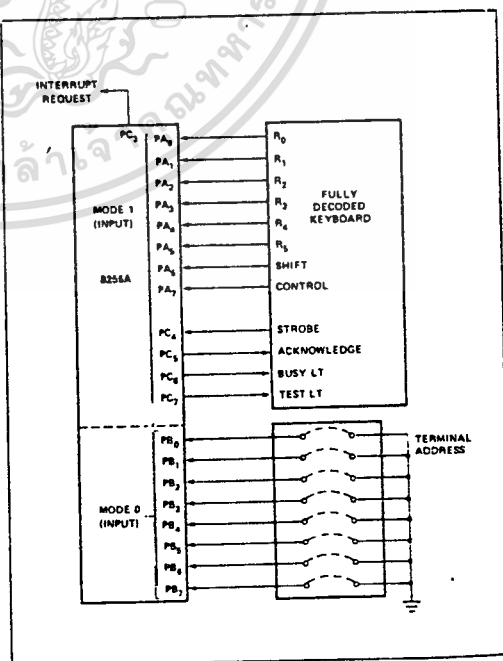


Figure 21. Keyboard and Terminal Address Interface

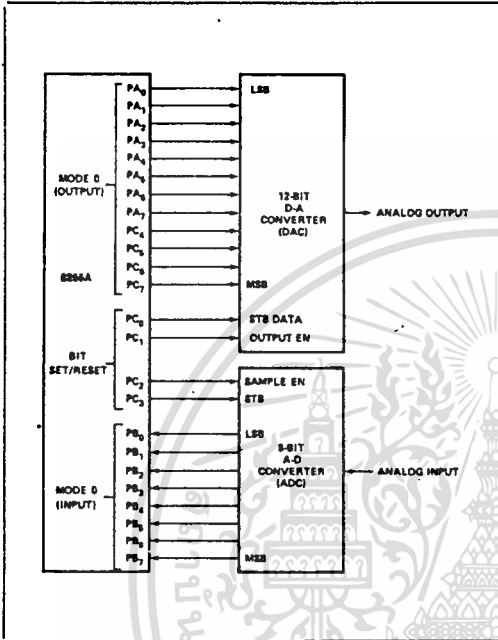


Figure 22. Digital to Analog, Analog to Digital

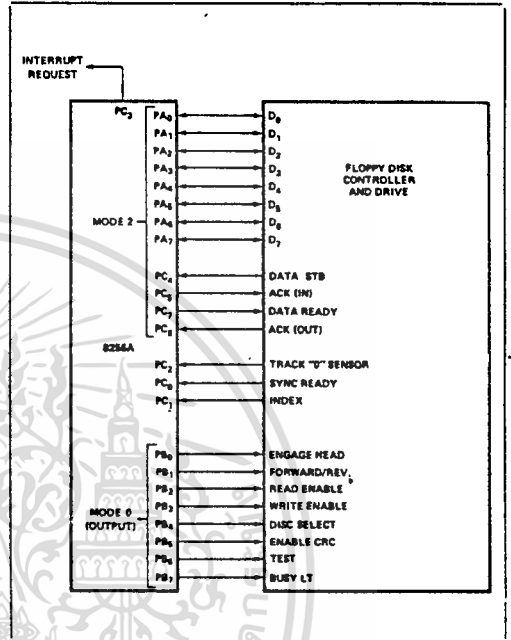


Figure 23. Basic Floppy Disk Interface

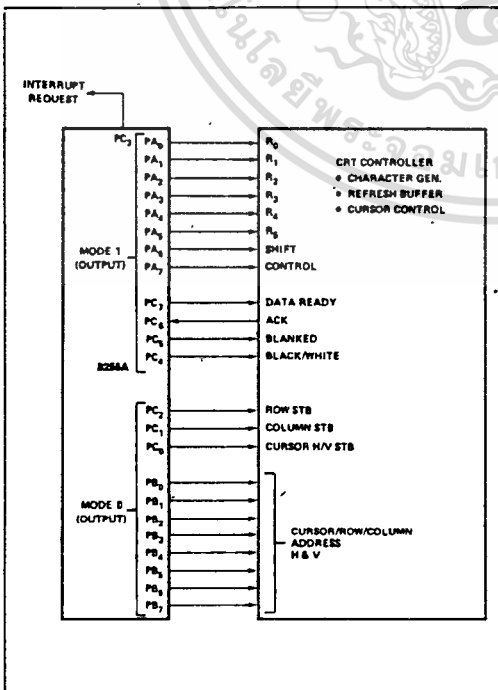


Figure 24. Basic CRT Controller Interface

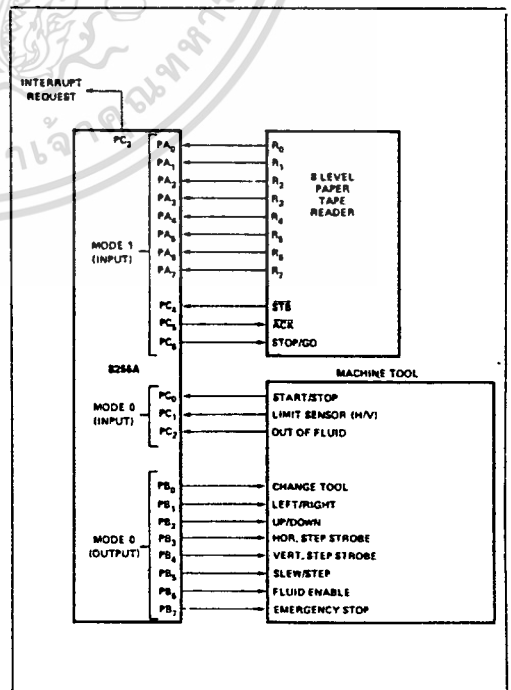


Figure 25. Machine Tool Controller Interface



ABSOLUTE MAXIMUM RATINGS*

Ambient Temperature Under Bias. 0°C to 70°C
Storage Temperature -65°C to +150°C
Voltage on Any Pin
 With Respect to Ground. -0.5V to +7V
Power Dissipation : 1 Watt

**NOTICE: Stresses above those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. This is a stress rating only and functional operation of the device at these or any other conditions above those indicated in the operational sections of this specification is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.*

D.C. CHARACTERISTICS (TA = 0°C to 70°C, VCC = +5V ± 10%, GND = 0V) *

Symbol	Parameter	Min.	Max.	Unit	Test Conditions
VIL	Input Low Voltage	-0.5	0.8	V	
VIH	Input High Voltage	2.0	VCC	V	
VOL (DB)	Output Low Voltage (Data Bus)		0.45*	V	IOL = 2.5mA
VOL (PER)	Output Low Voltage (Peripheral Port)		0.45*	V	IOL = 1.7mA
VOH (DB)	Output High Voltage (Data Bus)	2.4		V	IOH = -400µA
VOH (PER)	Output High Voltage (Peripheral Port)	2.4		V	IOH = -200µA
IDAR ^[1]	Darlington Drive Current	-1.0	-4.0	mA	REXT = 750Ω; VEXT = 1.5V
ICC	Power Supply Current		120	mA	
IIL	Input Load Current		±10	µA	VIN = VCC to 0V
IOFL	Output Float Leakage		±10	µA	VOUT = VCC to .45V

NOTE:
1. Available on any 8 pins from Port B and C.

CAPACITANCE (TA = 25°C, VCC = GND = 0V)

Symbol	Parameter	Min.	Typ.	Max.	Unit	Test Conditions
CIN	Input Capacitance			10	pF	fc = 1MHz
CIO	I/O Capacitance			20	pF	Unmeasured pins returned to GND

A.C. CHARACTERISTICS (TA = 0°C to 70°C, VCC = +5V ± 10%, GND = 0V) *

Bus Parameters
READ

Symbol	Parameter	8255A		8255A-5		Unit
		Min.	Max.	Min.	Max.	
tAR	Address Stable Before READ	0		0		ns
tRA	Address Stable After READ	0		0		ns
tRR	READ Pulse Width	300		300		ns
tRD	Data Valid From READ ^[1]		250		200	ns
tDF	Data Float After READ	10	150	10	100	ns
tRV	Time Between READs and/or WRITEs	850		850		ns

A.C. CHARACTERISTICS (Continued)

WRITE

Symbol	Parameter	8255A		8255A-5		Unit
		Min.	Max.	Min.	Max.	
t_{AW}	Address Stable Before WRITE	0		0		ns
t_{WA}	Address Stable After WRITE	20		20		ns
t_{WW}	WRITE Pulse Width	400		300		ns
t_{DW}	Data Valid to WRITE (T.E.)	100		100		ns
t_{WD}	Data Valid After WRITE	30		30		ns

OTHER TIMINGS

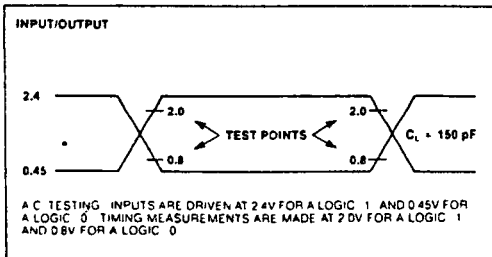
Symbol	Parameter	8255A		8255A-5		Unit
		Min.	Max.	Min.	Max.	
t_{WB}	WR = 1 to Output ^[1]		350		350	ns
t_{IR}	Peripheral Data Before RD	0		0		ns
t_{HR}	Peripheral Data After RD	0		0		ns
t_{AK}	ACK Pulse Width	300		300		ns
t_{ST}	STB Pulse Width	500		500		ns
t_{PS}	Per. Data Before T.E. of STB	0		0		ns
t_{PH}	Per. Data After T.E. of STB	180		180		ns
t_{AD}	ACK = 0 to Output ^[1]		300		300	ns
t_{KD}	ACK = 1 to Output Float	20	250	20	250	ns
t_{WOB}	WR = 1 to OBF = 0 ^[1]		650		650	ns
t_{AOB}	ACK = 0 to OBF = 1 ^[1]		350		350	ns
t_{SIB}	STB = 0 to IBF = 1 ^[1]		300		300	ns
t_{RIB}	RD = 1 to IBF = 0 ^[1]		300		300	ns
t_{RIT}	RD = 0 to INTR = 0 ^[1]		400		400	ns
t_{SIT}	STB = 1 to INTR = 1 ^[1]		300		300	ns
t_{AIT}	ACK = 1 to INTR = 1 ^[1]		350		350	ns
t_{WIT}	WR = 0 to INTR = 0 ^[1,3]		450		450	ns

NOTES:

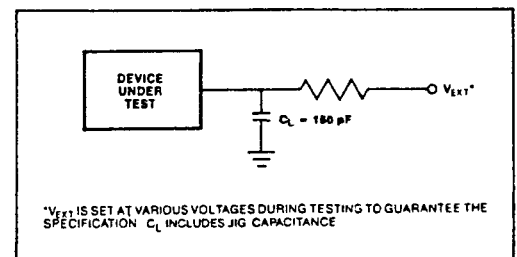
1. Test Conditions: $C_L = 150$ pF.
2. Period of Reset pulse must be at least 50 μ s during or after power on. Subsequent Reset pulse can be 500 ns min.
3. INTR[†] may occur as early as WR_↓.

* For Extended Temperature EXPRESS, use M8255A electrical parameters.

A.C. TESTING INPUT, OUTPUT WAVEFORM

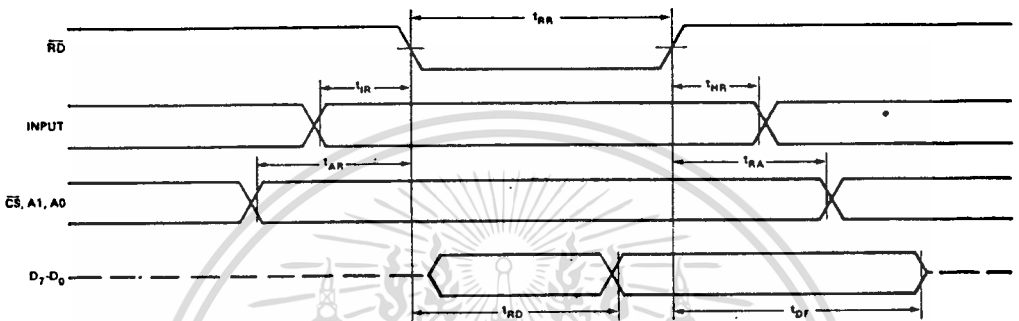


A.C. TESTING LOAD CIRCUIT

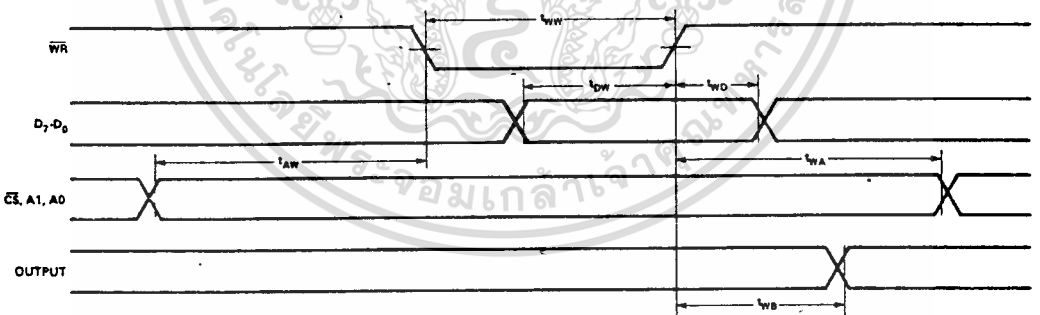


WAVEFORMS

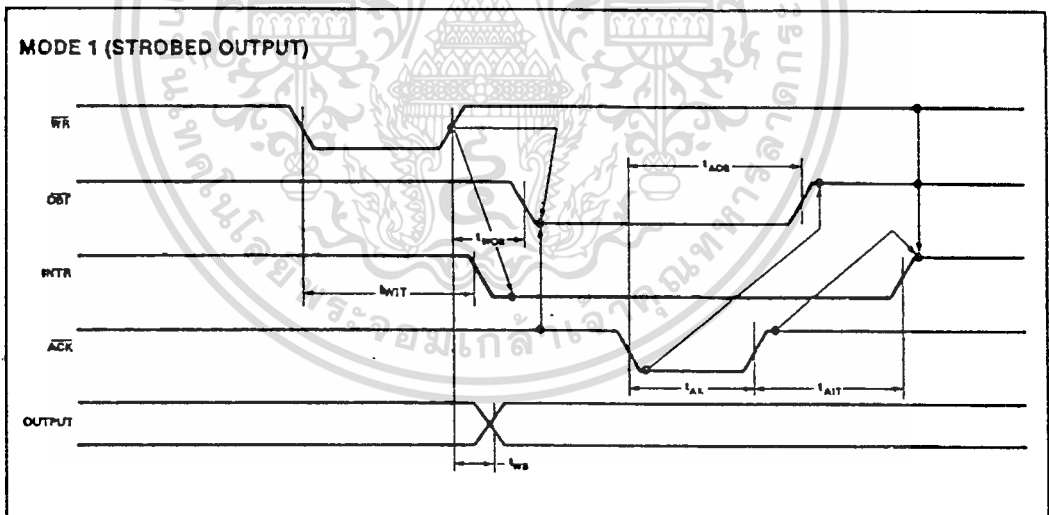
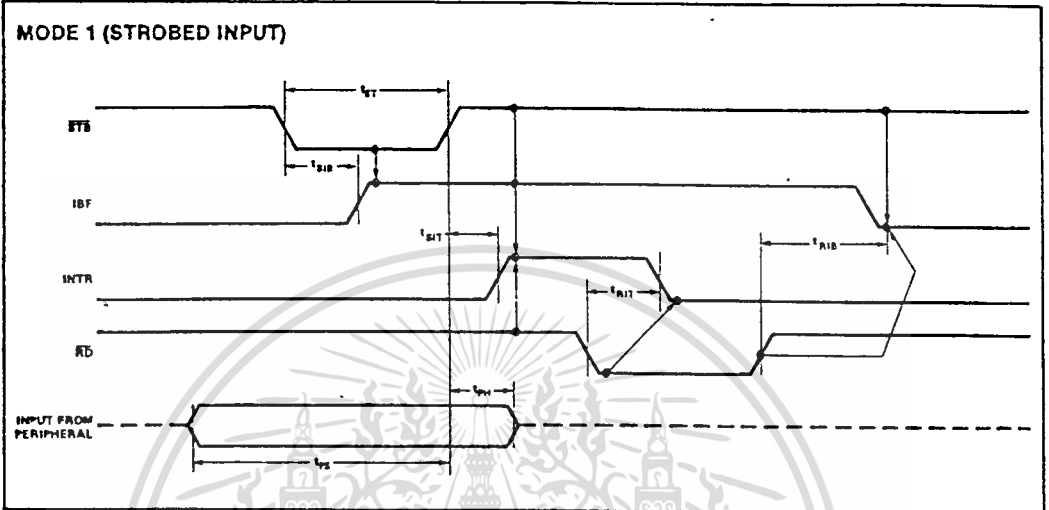
MODE 0 (BASIC INPUT)



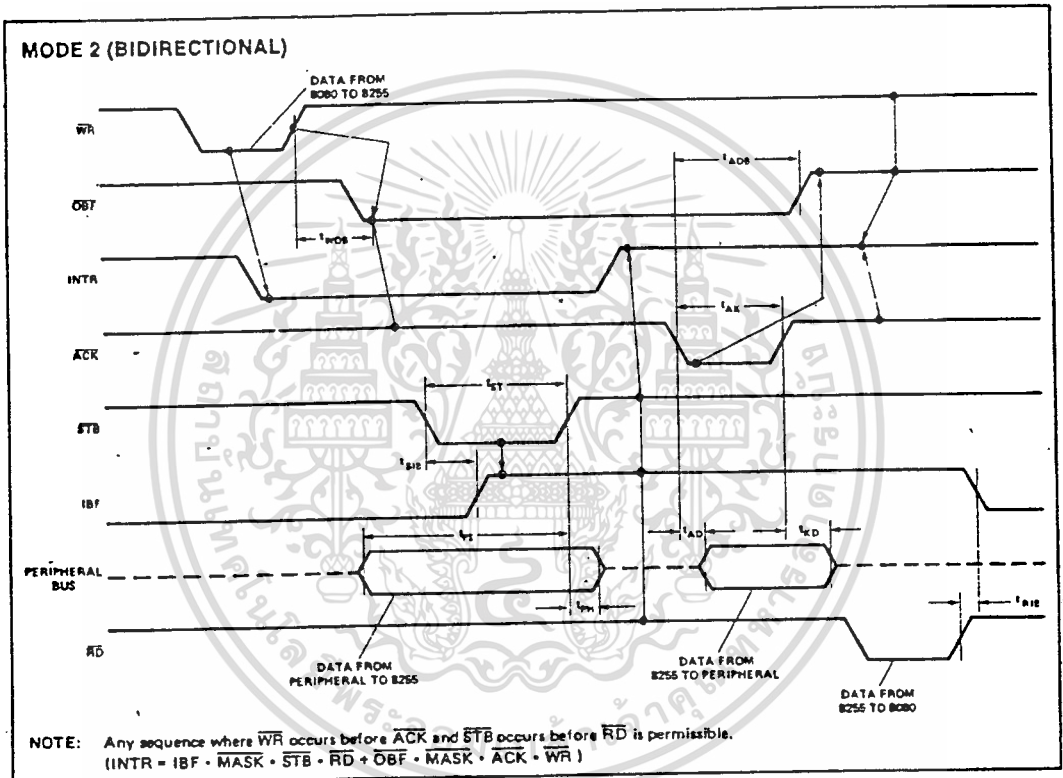
MODE 0 (BASIC OUTPUT)



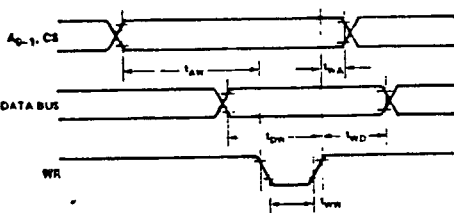
WAVEFORMS (Continued)



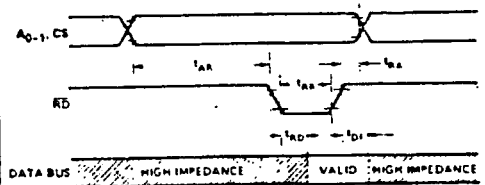
WAVEFORMS (Continued)



WRITE TIMING



READ TIMING





National
Semiconductor
Corporation

LM555/LM555C Timer

General Description

The LM555 is a highly stable device for generating accurate time delays or oscillation. Additional terminals are provided for triggering or resetting if desired. In the time delay mode of operation, the time is precisely controlled by one external resistor and capacitor. For astable operation as an oscillator, the free running frequency and duty cycle are accurately controlled with two external resistors and one capacitor. The circuit may be triggered and reset on falling waveforms, and the output circuit can source or sink up to 200 mA or drive TTL circuits.

Features

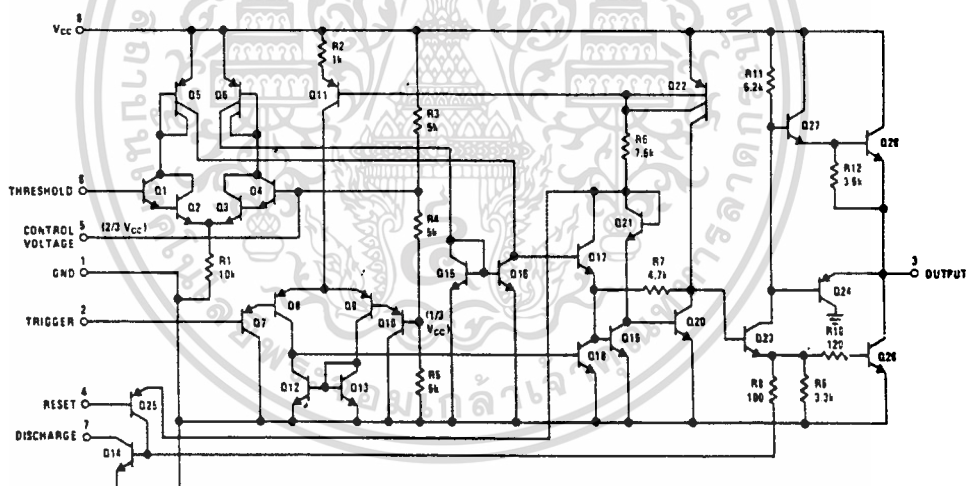
- Direct replacement for SE555/NE555
- Timing from microseconds through hours
- Operates in both astable and monostable modes

- Adjustable duty cycle
- Output can source or sink 200 mA
- Output and supply TTL compatible
- Temperature stability better than 0.005% per °C
- Normally on and normally off output

Applications

- Precision timing
- Pulse generation
- Sequential timing
- Time delay generation
- Pulse width modulation
- Pulse position modulation
- Linear ramp generator

Schematic Diagram



TL/H/7851-1

Absolute Maximum Ratings

If Military/Aerospace specified devices are required, contact the National Semiconductor Sales Office/Distributors for availability and specifications.

Supply Voltage +18V

Power Dissipation (Note 1) LM555H, LM555CH 760 mW

Operating Temperature Ranges

LM555N, LM555CN 1180 mW

LM555 0°C to +70°C

LM555 -55°C to +125°C

Storage Temperature Range -65°C to +150°C

Soldering Information

Dual-In-Line Package

Soldering (10 Seconds)

Small Outline Package

Vapor Phase (60 Seconds)

Infrared (15 Seconds)

260°C

215°C

220°C

See AN-450 "Surface Mounting Methods and Their Effect on Product Reliability" for other methods of soldering surface mount devices.

Electrical Characteristics ($T_A = 25^\circ\text{C}$, $V_{CC} = +5\text{V}$ to $+15\text{V}$, unless otherwise specified)

Parameter	Conditions	Limits						Units
		LM555			LM555C			
		Min	Typ	Max	Min	Typ	Max	
Supply Voltage		4.5		18	4.5		16	V
Supply Current	$V_{CC} = 5V, R_L = \infty$		3	5		3	6	mA
	$V_{CC} = 5V, R_L = \infty$ (Low State) (Note 2)		10	12		10	15	mA
Timing Error, Monostable								
Initial Accuracy	$R_A, R_B = 1k \text{ to } 100k,$ $C = 0.1 \mu F,$ (Note 3)		0.5			1		%
Drift with Temperature			30			50		ppm/°C
Accuracy over Temperature			1.5			1.5		%
Drift with Supply			0.05			0.1		%/V
Timing Error, Astable								
Initial Accuracy			1.5			2.25		%
Drift with Temperature			90			150		ppm/°C
Accuracy over Temperature			2.5			3.0		%
Drift with Supply			0.15			0.30		%/V
Threshold Voltage			0.667			0.667		$\times V_{CC}$
Trigger Voltage	$V_{CC} = 15V$	4.8	5	5.2		5		V
	$V_{CC} = 5V$	1.45	1.67	1.9		1.67		V
Trigger Current			0.01	0.5		0.5	0.9	μA
Reset Voltage		0.4	0.5	1	0.4	0.5	1	V
Reset Current			0.1	0.4		0.1	0.4	mA
Threshold Current	(Note 4)		0.1	0.25		0.1	0.25	μA
Control Voltage Level	$V_{CC} = 15V$	9.6	10	10.4	9	10	11	V
	$V_{CC} = 5V$	2.9	3.33	3.8	2.6	3.33	4	V
Pin 7 Leakage Output High			1	100		1	100	nA
Pin 7 Sat (Note 5)								
Output Low	$V_{CC} = 15V, I_7 = 15 \text{ mA}$		150			180		mV
Output Low	$V_{CC} = 4.5V, I_7 = 4.5 \text{ mA}$		70	100		80	200	mV

Electrical Characteristics $T_A = 25^\circ\text{C}$, $V_{CC} = +5\text{V}$ to $+15\text{V}$, (unless otherwise specified) (Continued)

Parameter	Conditions	Limits						Units
		LM555			LM555C			
		Min	Typ	Max	Min	Typ	Max	
Output Voltage Drop (Low)	V _{CC} = 15V							
	I _{SINK} = 10 mA		0.1	0.15		0.1	0.25	V
	I _{SINK} = 50 mA		0.4	0.5		0.4	0.75	V
	I _{SINK} = 100 mA		2	2.2		2	2.5	V
	I _{SINK} = 200 mA		2.5			2.5		V
	V _{CC} = 5V							
	I _{SINK} = 8 mA		0.1	0.25				V
	I _{SINK} = 5 mA					0.25	0.35	V
Output Voltage Drop (High)	I _{SOURCE} = 200 mA, V _{CC} = 15V		12.5			12.5		V
	I _{SOURCE} = 100 mA, V _{CC} = 15V	13	13.3		12.75	13.3		V
	V _{CC} = 5V	3	3.3		2.75	3.3		V
Rise Time of Output			100			100		ns
Fall Time of Output			100			100		ns

Note 1: For operating at elevated temperatures the device must be derated above 25°C based on a $+150^\circ\text{C}$ maximum junction temperature and a thermal resistance of $164^\circ\text{C}/\text{w}$ (TO-5), $106^\circ\text{C}/\text{w}$ (DIP) and $170^\circ\text{C}/\text{w}$ (S0-8) junction to ambient.

Note 2: Supply current when output high typically 1 mA less at $V_{CC} = 5\text{V}$.

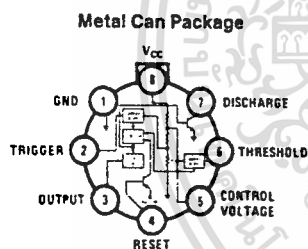
Note 3: Tested at $V_{CC} = 5\text{V}$ and $V_{CC} = 15\text{V}$.

Note 4: This will determine the maximum value of $R_A + R_B$ for 15V operation. The maximum total ($R_A + R_B$) is $20\text{ M}\Omega$.

Note 5: No protection against excessive pin 7 current is necessary providing the package dissipation rating will not be exceeded.

Note 6: Refer to RETS555X drawing of military LM555H and LM555J versions for specifications.

Connection Diagrams

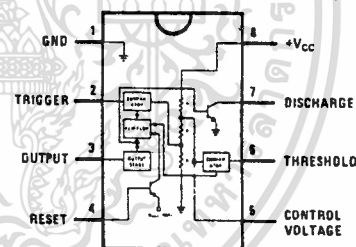


Top View

Order Number LM555H or LM555CH
See NS Package Number H08C

TL/H/7851-2

Dual-In-Line and Small Outline Packages

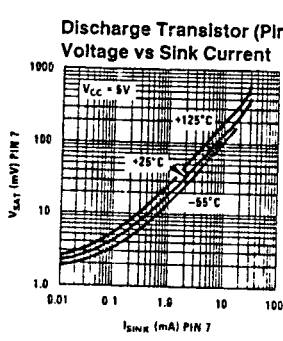
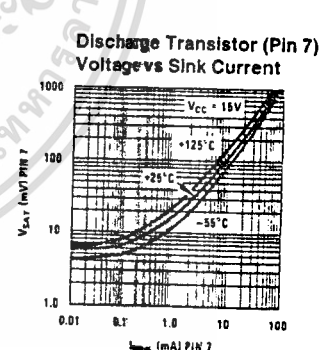
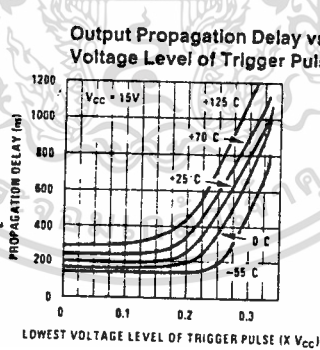
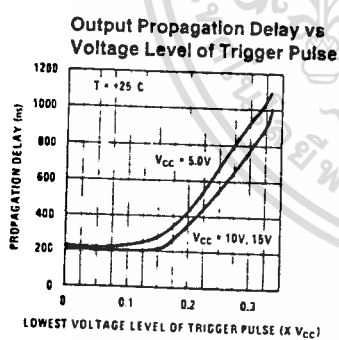
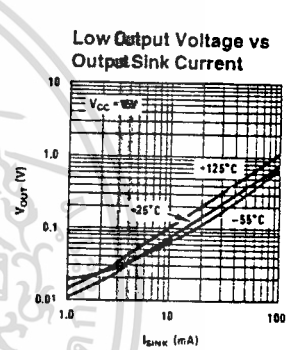
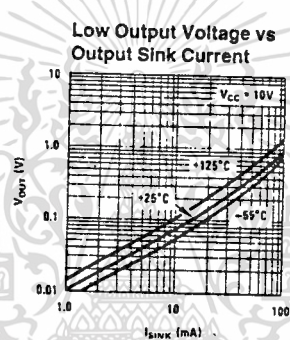
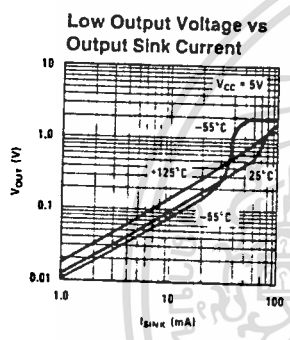
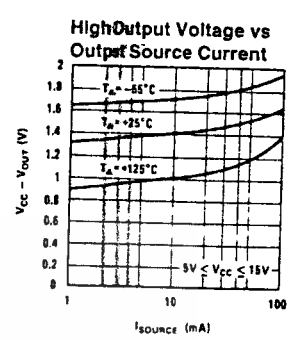
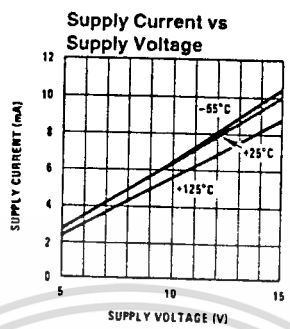
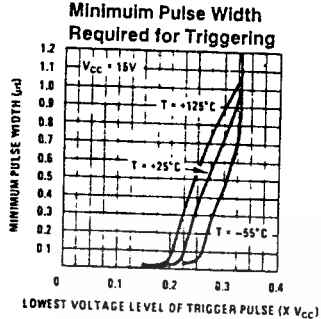


Top View

Order Number LM555J, LM555CJ,
LM555CM or LM555CN
See NS Package Number J08A, M08A or N08B

TL/H/7851-3

Typical Performance Characteristics



Application Information

MONOSTABLE OPERATION

In this mode of operation, the timer functions as a one-shot (Figure 1). The external capacitor is initially held discharged by a transistor inside the timer. Upon application of a negative trigger pulse of less than $1/3 V_{CC}$ to pin 2, the flip-flop is set which both releases the short circuit across the capacitor and drives the output high.

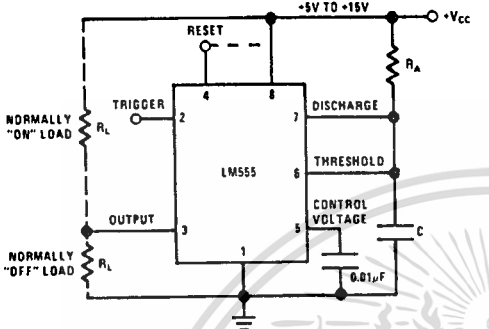
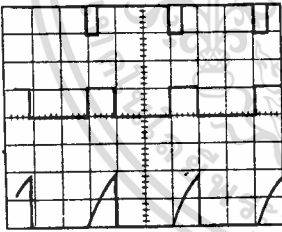


FIGURE 1. Monostable

The voltage across the capacitor then increases exponentially for a period of $t = 1.1 R_A C$, at the end of which time the voltage equals $2/3 V_{CC}$. The comparator then resets the flip-flop which in turn discharges the capacitor and drives the output to its low state. Figure 2 shows the waveforms generated in this mode of operation. Since the charge and the threshold level of the comparator are both directly proportional to supply voltage, the timing interval is independent of supply.



$V_{CC} = 5V$
 TIME = 0.1 ms/DIV.
 $R_A = 9.1 k\Omega$
 $C = 0.01 \mu F$

FIGURE 2. Monostable Waveforms

During the timing cycle when the output is high, the further application of a trigger pulse will not effect the circuit. However the circuit can be reset during this time by the application of a negative pulse to the reset terminal (pin 4). The output will then remain in the low state until a trigger pulse is again applied.

When the reset function is not in use, it is recommended that it be connected to V_{CC} to avoid any possibility of false triggering.

Figure 3 is a nomograph for easy determination of $R_A C$ values for various time delays.

NOTE: In monostable operation, the trigger should be driven high before the end of timing cycle.

ASTABLE OPERATION

If the circuit is connected as shown in Figure 4 (pins 2 and 6 connected) it will trigger itself and free run as a

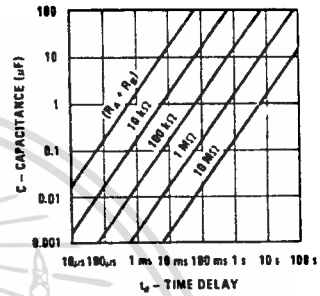


FIGURE 3. Time Delay

multivibrator. The external capacitor charges through $R_A + R_B$ and discharges through R_B . Thus the duty cycle may be precisely set by the ratio of these two resistors.

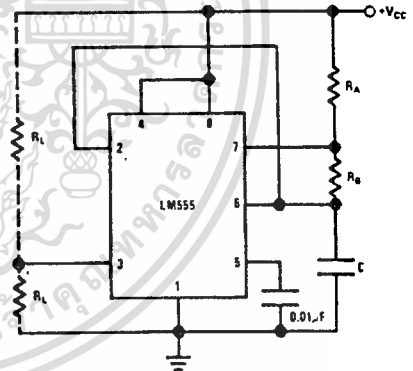
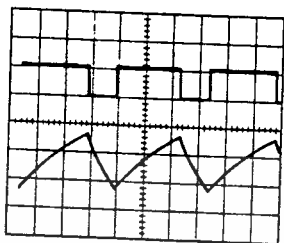


FIGURE 4. Astable

In this mode of operation, the capacitor charges and discharges between $1/3 V_{CC}$ and $2/3 V_{CC}$. As in the triggered mode, the charge and discharge times, and therefore the frequency are independent of the supply voltage.

Applications Information (Continued)

Figure 5 shows the waveforms generated in this mode of operation.



$V_{CC} = 5V$
 $TIME = 20 \mu s/DIV.$
 $R_A = 3.9 k\Omega$
 $R_B = 3 k\Omega$
 $C = 0.01 \mu F$

Top Trace: Output 5V/Div.
 Bottom Trace: Capacitor Voltage 1V/Div.

TL/H/7851-9

FIGURE 5. Astable Waveforms

The charge time (output high) is given by:

$$t_1 = 0.693 (R_A + R_B) C$$

And the discharge time (output low) by:

$$t_2 = 0.693 (R_B) C$$

Thus the total period is:

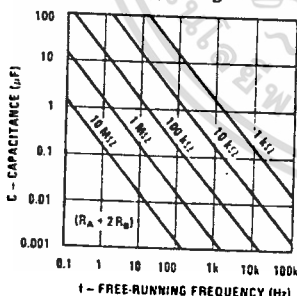
$$T = t_1 + t_2 = 0.693 (R_A + 2R_B) C$$

The frequency of oscillation is:

$$f = \frac{1}{T} = \frac{1.44}{(R_A + 2R_B) C}$$

Figure 6 may be used for quick determination of these RC values.

The duty cycle is: $D = \frac{R_B}{R_A + 2R_B}$

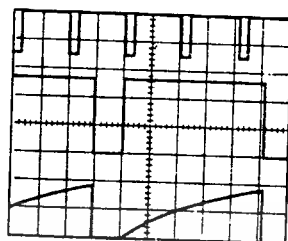


TL/H/7851-10

FIGURE 6. Free Running Frequency

FREQUENCY DIVIDER

The monostable circuit of Figure 1 can be used as a frequency divider by adjusting the length of the timing cycle. Figure 7 shows the waveforms generated in a divide by three circuit.



$V_{CC} = 5V$
 $TIME = 20 \mu s/DIV.$
 $R_A = 9.1 k\Omega$
 $C = 0.01 \mu F$

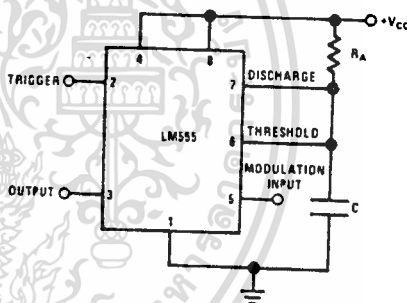
Top Trace: Input 4V/Div.
 Middle Trace: Output 2V/Div.
 Bottom Trace: Capacitor 2V/Div.

TL/H/7851-11

FIGURE 7. Frequency Divider

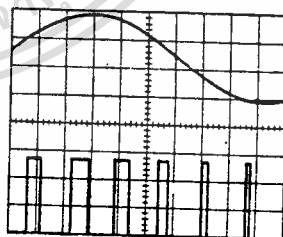
PULSE WIDTH MODULATOR

When the timer is connected in the monostable mode and triggered with a continuous pulse train, the output pulse width can be modulated by a signal applied to pin 5. Figure 8 shows the circuit, and in Figure 9 are some waveform examples.



TL/H/7851-12

FIGURE 8. Pulse Width Modulator



TL/H/7851-13

$V_{CC} = 5V$
 $TIME = 0.2 ms/DIV.$
 $R_A = 9.1 k\Omega$
 $C = 0.01 \mu F$

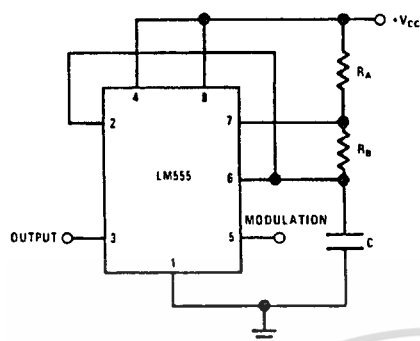
Top Trace: Modulation 1V/Div.
 Bottom Trace: Capacitor Voltage 2V/Div.

FIGURE 9. Pulse Width Modulator

PULSE POSITION MODULATOR

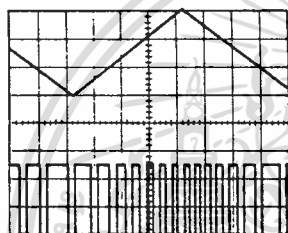
This application uses the timer connected for astable operation, as in Figure 10, with a modulating signal again applied to the control voltage terminal. The pulse position varies with the modulating signal, since the threshold voltage and hence the time delay is varied. Figure 11 shows the waveforms generated for a triangle wave modulation signal.

Applications Information (Continued)



TL/H/7851-14

FIGURE 10. Pulse Position Modulator



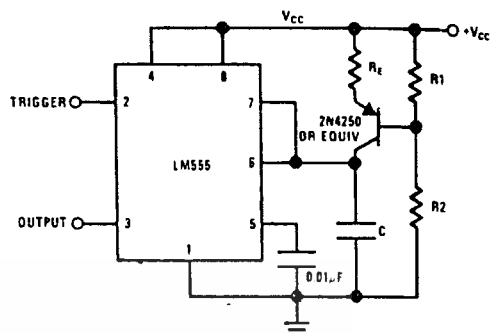
TL/H/7851-15

$V_{CC} = 5V$
 TIME = 0.1 ms/DIV.
 $R_A = 3.9 k\Omega$
 $R_B = 3 k\Omega$
 $C = 0.01 \mu F$

FIGURE 11. Pulse Position Modulator

LINEAR RAMP

When the pullup resistor, R_A , in the monostable circuit is replaced by a constant current source, a linear ramp is generated. Figure 12 shows a circuit configuration that will perform this function.



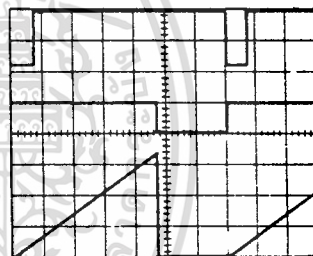
TL/H/7851-16

FIGURE 12

Figure 13 shows waveforms generated by the linear ramp. The time interval is given by:

$$T = \frac{2/3 V_{CC} R_E (R_1 + R_2) C}{R_1 V_{CC} - V_{BE} (R_1 + R_2)}$$

$V_{BE} = 0.6V$



TL/H/7851-17

$V_{CC} = 5V$
 TIME = 20 μs /DIV.
 $R_1 = 47 k\Omega$
 $R_2 = 100 k\Omega$
 $R_E = 2.7 k\Omega$
 $C = 0.01 \mu F$

FIGURE 13. Linear Ramp

50% DUTY CYCLE OSCILLATOR

For a 50% duty cycle, the resistors R_A and R_B may be connected as in Figure 14. The time period for the out-

Applications Information (Continued)

put high is the same as previous, $t_1 = 0.693 R_A C$. For the output low it is $t_2 =$

$$\left[(R_A R_B) / (R_A + R_B) \right] \text{CLn} \left[\frac{R_A - 2R_B}{2R_A - R_B} \right]$$

Thus the frequency of oscillation is $f = \frac{1}{t_1 + t_2}$

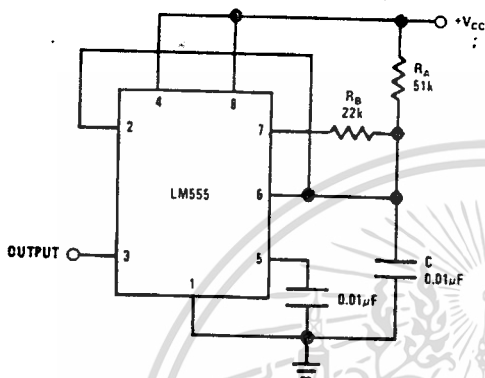


FIGURE 14. 50% Duty Cycle Oscillator

Note that this circuit will not oscillate if R_B is greater than $1/2 R_A$ because the junction of R_A and R_B cannot bring pin 2 down to $1/3 V_{CC}$ and trigger the lower comparator.

ADDITIONAL INFORMATION

Adequate power supply bypassing is necessary to protect associated circuitry. Minimum recommended is $0.1 \mu\text{F}$ in parallel with $1 \mu\text{F}$ electrolytic.

Lower comparator storage time can be as long as $10 \mu\text{s}$ when pin 2 is driven fully to ground for triggering. This limits the monostable pulse width to $10 \mu\text{s}$ minimum.

Delay time reset to output is $0.47 \mu\text{s}$ typical. Minimum reset pulse width must be $0.3 \mu\text{s}$, typical.

Pin 7 current switches within 30 ns of the output (pin 3) voltage.

Per National
Semiconductor

Operational Amplifiers/Buffers

LF351 Wide Bandwidth JFET Input Operational Amplifier

General Description

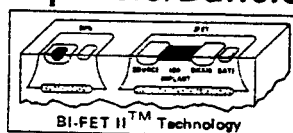
The LF351 is a low cost high speed JFET input operational amplifier with an internally trimmed input offset voltage (BI-FET II™ technology). The device requires a low supply current and yet maintains a large gain bandwidth product and a fast slew rate. In addition, well matched high voltage JFET input devices provide very low input bias and offset currents. The LF351 is pin compatible with the standard LM741 and uses the same offset voltage adjustment circuitry. This feature allows designers to immediately upgrade the overall performance of existing LM741 designs.

The LF351 may be used in applications such as high speed integrators, fast D/A converters, sample-and-hold circuits and many other circuits requiring low input offset voltage, low input bias current, high input impedance, high slew rate and wide bandwidth. The device has low noise and offset voltage drift, but for applica-

tions where these requirements are critical, the LF356 is recommended. If maximum supply current is important, however, the LF351 is the better choice.

Features

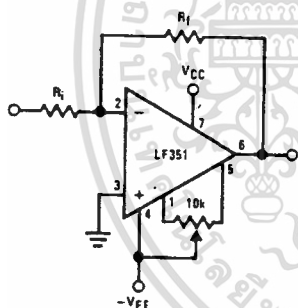
- Internally trimmed offset voltage 10 mV
- Low input bias current 50 pA
- Low input noise voltage 16 nV/√Hz
- Low input noise current 0.01 pA/√Hz
- Wide gain bandwidth 4 MHz
- High slew rate 13 V/μs
- Low supply current 1.8 mA
- High input impedance 10¹² Ω
- Low total harmonic distortion $A_v = 10$, $R_L = 10k$, $V_O = 20$ Vp-p, BW = 20 Hz-20 kHz < 0.02%
- Low 1/f noise corner 50 Hz
- Fast settling time to 0.01% 2 μs



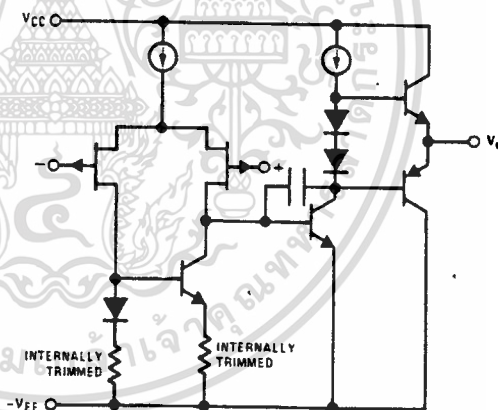
LF351

3

Typical Connection

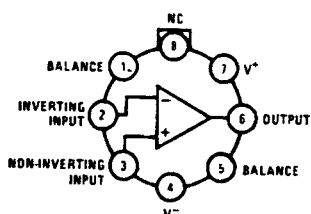


Simplified Schematic



Connection Diagrams (Top Views)

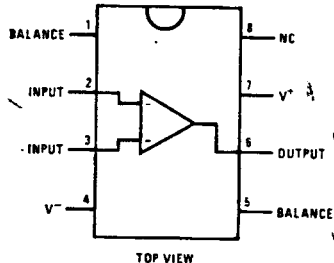
Metal Can Package



Note: Pin 4 connected to case.

Order Number LF351H
See NS Package H08C

Dual-In-Line Package



TOP VIEW

Order Number LF351N
See NS Package N08A

Absolute Maximum Ratings

Supply Voltage	$\pm 18V$
Power Dissipation (Note 1)	500mW
Operating Temperature Range	$0^{\circ}C$ to $+70^{\circ}C$
T_J (MAX)	$115^{\circ}C$
Differential Input Voltage	$\pm 30V$
Input Voltage Range (Note 2)	$\pm 15V$
Output Short Circuit Duration	Continuous
Storage Temperature Range	$-65^{\circ}C$ to $+150^{\circ}C$
Lead Temperature (Soldering, 10 seconds)	$300^{\circ}C$

DC Electrical Characteristics (Note 3)

SYMBOL	PARAMETER	CONDITIONS	LF351			UNITS
			MIN	TYP	MAX	
V_{OS}	Input Offset Voltage	$R_S = 10k\Omega$, $T_A = 25^{\circ}C$ Over Temperature		5	10	mV
$\Delta V_{OS}/\Delta T$	Average TC of Input Offset Voltage	$R_S = 10k\Omega$		10	13	$\mu V/^{\circ}C$
I_{OS}	Input Offset Current	$T_J = 25^{\circ}C$, (Notes 3, 4) $T_J < 70^{\circ}C$		25	100	pA
I_B	Input Bias Current	$T_J = 25^{\circ}C$, (Notes 3, 4) $T_J < 70^{\circ}C$		50	200	pA
R_{IN}	Input Resistance	$T_J = 25^{\circ}C$		1012	8	Ω
A_{VOL}	Large Signal Voltage Gain	$V_S = \pm 15V$, $T_A = 25^{\circ}C$ $V_O = \pm 10V$, $R_L = 2k\Omega$ Over Temperature	25	100		V/mV
V_O	Output Voltage Swing	$V_S = \pm 15V$, $R_L = 10k\Omega$	± 12	± 13.5		V
V_{CM}	Input Common-Mode Voltage Range	$V_S = \pm 15V$	± 11	$+15$ -12		V
CMRR	Common-Mode Rejection Ratio	$R_S \leq 10k\Omega$	70	100		dB
PSRR	Supply Voltage Rejection Ratio	(Note 5)	70	100		dB
I_S	Supply Current			1.8	3.4	mA

AC Electrical Characteristics (Note 3)

SYMBOL	PARAMETER	CONDITIONS	LF351			UNITS
			MIN	TYP	MAX	
SR	Slew Rate	$V_S = \pm 15V$, $T_A = 25^{\circ}C$		13		V/ μs
GBW	Gain Bandwidth Product	$V_S = \pm 15V$, $T_A = 25^{\circ}C$		4		MHz
e_n	Equivalent Input Noise Voltage	$T_A = 25^{\circ}C$, $R_S = 100\Omega$, $f = 1000Hz$		16		nV/ $\sqrt{Hz}$
i_n	Equivalent Input Noise Current	$T_J = 25^{\circ}C$, $f = 1000Hz$		0.01		pA/ $\sqrt{Hz}$

Note 1: For operating at elevated temperature, the device must be derated based on a thermal resistance of $150^{\circ}C/W$ junction to ambient or $45^{\circ}C/W$ junction to case.

Note 2: Unless otherwise specified the absolute maximum negative input voltage is equal to the negative power supply voltage.

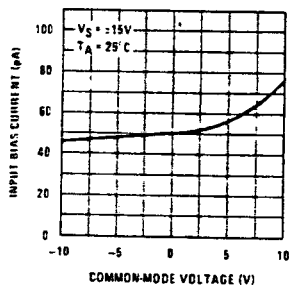
Note 3: These specifications apply for $V_S = \pm 15V$ and $0^{\circ}C < T_A < +70^{\circ}C$. V_{OS} , I_B and I_{OS} are measured at $V_{CM} = 0$.

Note 4: The input bias currents are junction leakage currents which approximately double for every $10^{\circ}C$ increase in the junction temperature, T_J . Due to the limited production test time, the input bias currents measured are correlated to junction temperature. In normal operation the junction temperature rises above the ambient temperature as a result of internal power dissipation, P_D . $T_J = T_A + \theta_{JA} P_D$ where θ_{JA} is the thermal resistance from junction to ambient. Use of a heat sink is recommended if input bias current is to be kept to a minimum.

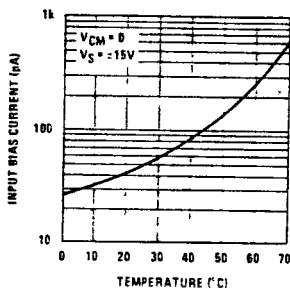
Note 5: Supply voltage rejection ratio is measured for both supply magnitudes increasing or decreasing simultaneously in accordance with common practice.

Typical Performance Characteristics

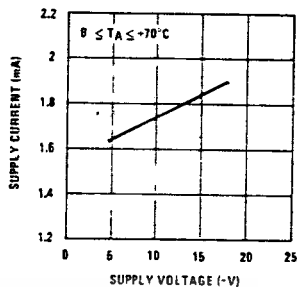
Input Bias Current



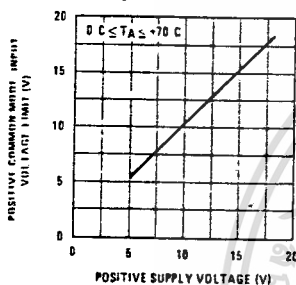
Input Bias Current



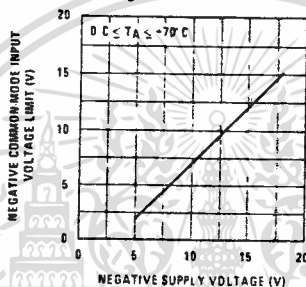
Supply Current



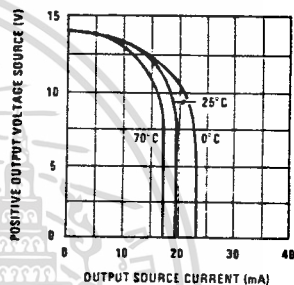
Positive Common-Mode Input Voltage Limit



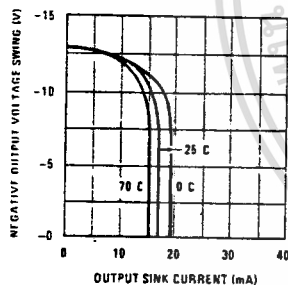
Negative Common-Mode Input Voltage Limit



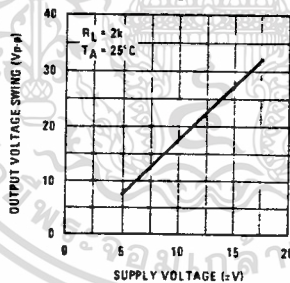
Positive Current Limit



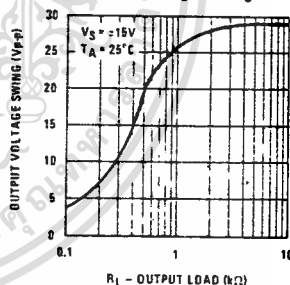
Negative Current Limit



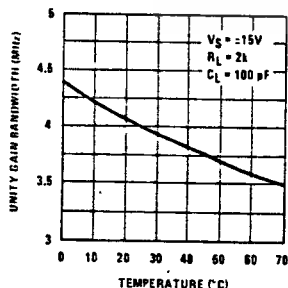
Voltage Swing



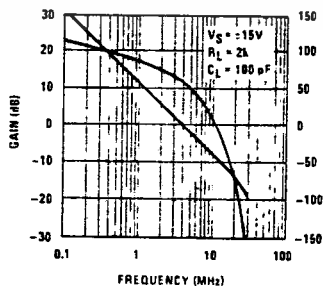
Output Voltage Swing



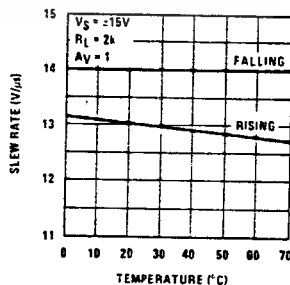
Gain Bandwidth



Bode Plot

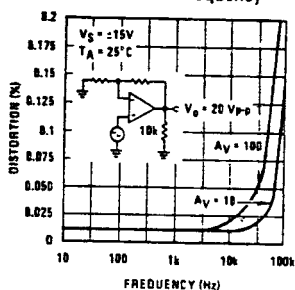


Slew Rate

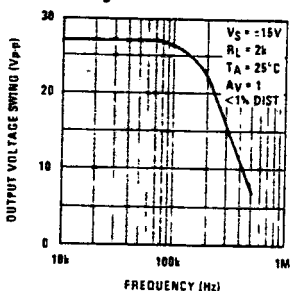


Typical Performance Characteristics (Continued)

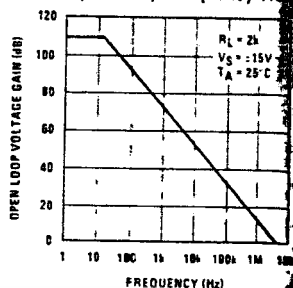
Distortion vs Frequency



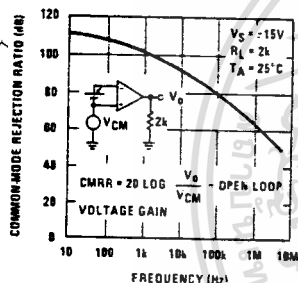
Undistorted Output Voltage Swing



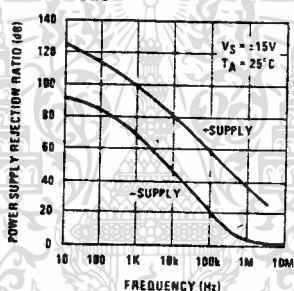
Open Loop Frequency Response



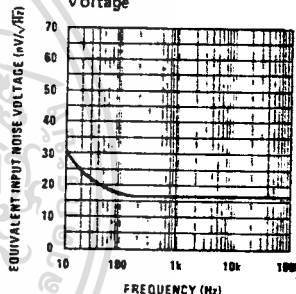
Common-Mode Rejection Ratio



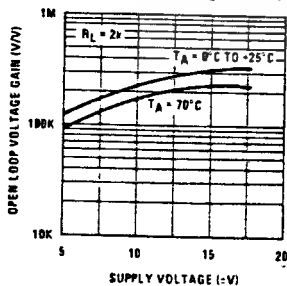
Power Supply Rejection Ratio



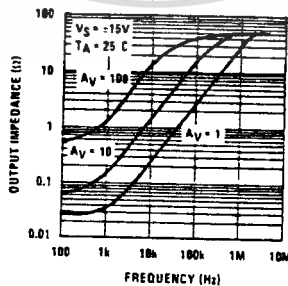
Equivalent Input Noise Voltage



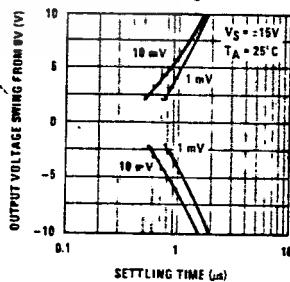
Open Loop Voltage Gain (V/V)



Output Impedance

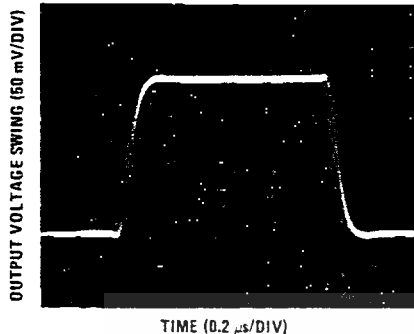


Inverter Settling Time

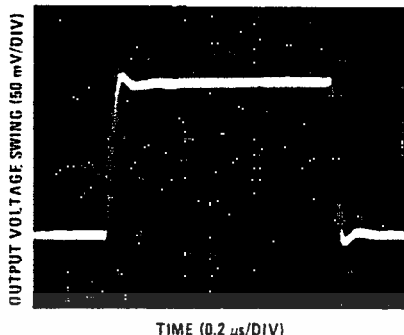


Pulse Response

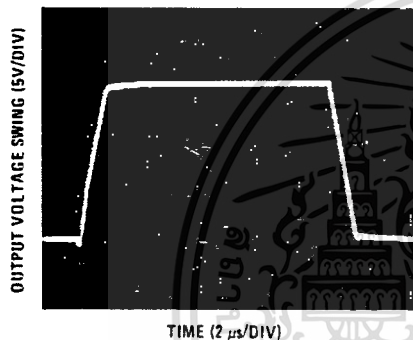
Small Signal Inverting



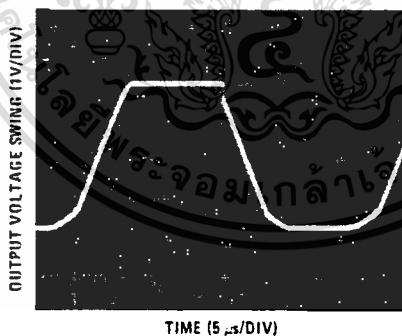
Small Signal Non-Inverting



Large Signal Inverting



Large Signal Non-Inverting

Current Limit ($R_L = 100\Omega$)

Application Hints

The LF351 is an op amp with an internally trimmed input offset voltage and JFET input devices (BI-FET II™). These JFETs have large reverse breakdown voltages from gate to source and drain eliminating the need for clamps across the inputs. Therefore, large differential input voltages can easily be accommodated without a large increase in input current. The maximum differential input voltage is independent of the supply voltages. However, neither of the input voltages should be

allowed to exceed the negative supply as this will cause large currents to flow which can result in a destroyed unit.

Exceeding the negative common-mode limit on either input will cause a reversal of the phase to the output and force the amplifier output to the corresponding high or low state. Exceeding the negative common-mode limit on both inputs will force the amplifier output to a

Application Hints (Continued)

high state. In neither case does a latch occur since raising the input back within the common-mode range again puts the input stage and thus the amplifier in a normal operating mode.

Exceeding the positive common-mode limit on a single input will not change the phase of the output; however, if both inputs exceed the limit, the output of the amplifier will be forced to a high state.

The amplifier will operate with a common-mode input voltage equal to the positive supply; however, the gain bandwidth and slew rate may be decreased in this condition. When the negative common-mode voltage swings to within 3V of the negative supply, an increase in input offset voltage may occur.

The LF351 is biased by a zener reference which allows normal circuit operation on $\pm 4V$ power supplies. Supply voltages less than these may result in lower gain bandwidth and slew rate.

The LF351 will drive a 2 k Ω load resistance to $\pm 10V$ over the full temperature range of 0°C to +70°C. If the amplifier is forced to drive heavier load currents, however, an increase in input offset voltage may occur on the negative voltage swing and finally reach an active current limit on both positive and negative swings.

Precautions should be taken to ensure that the power supply for the integrated circuit never becomes reversed in polarity or that the unit is not inadvertently installed

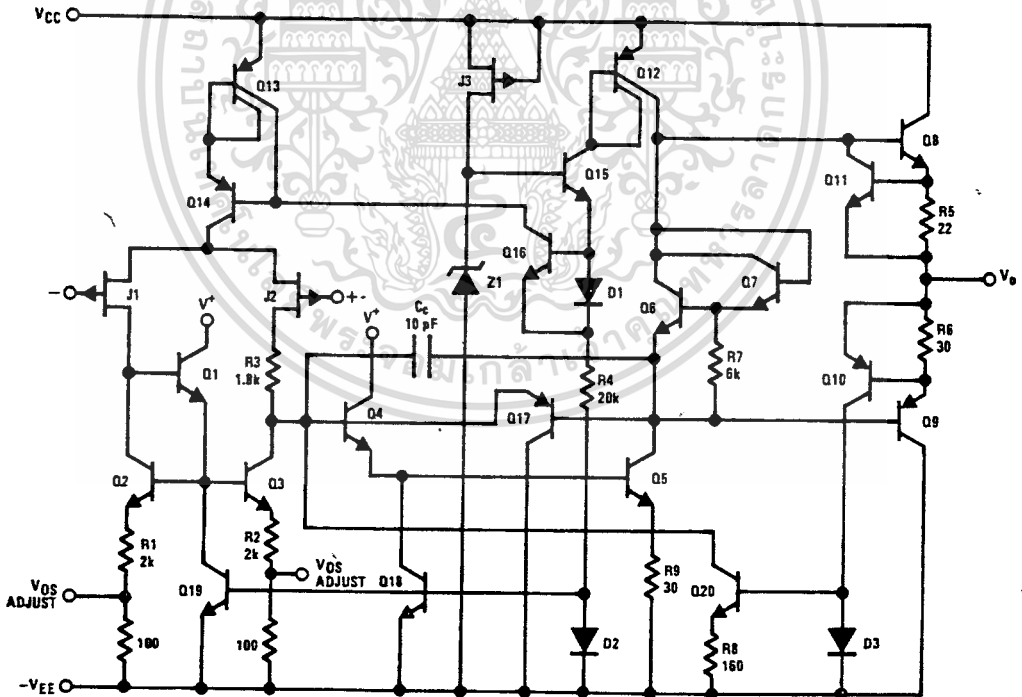
backwards in a socket as an unlimited current surge through the resulting forward diode within the IC could cause fusing of the internal conductors and result in a destroyed unit.

Because these amplifiers are JFET rather than MOSFET input op amps they do not require special handling.

As with most amplifiers, care should be taken with lead dress, component placement and supply decoupling in order to ensure stability. For example, resistors from the output to an input should be placed with the body close to the input to minimize "pick-up" and maximize the frequency of the feedback pole by minimizing the capacitance from the input to ground.

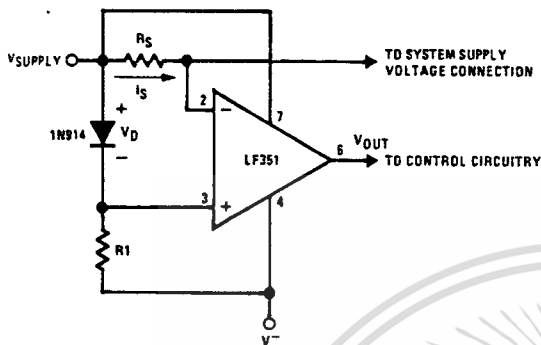
A feedback pole is created when the feedback around any amplifier is resistive. The parallel resistance and capacitance from the input of the device (usually the inverting input) to AC ground set the frequency of the pole. In many instances the frequency of this pole is much greater than the expected 3 dB frequency of the closed loop gain and consequently there is negligible effect on stability margin. However, if the feedback pole is less than approximately 6 times the expected 3 dB frequency a lead capacitor should be placed from the output to the input of the op amp. The value of the added capacitor should be such that the RC time constant of this capacitor and the resistance it parallels is greater than or equal to the original feedback pole time constant.

Detailed Schematic



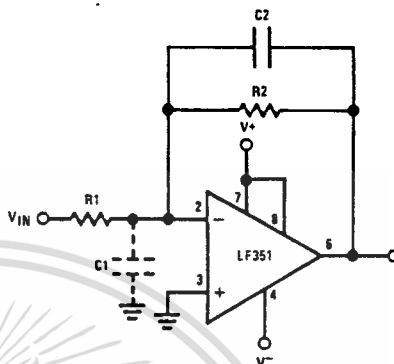
Typical Applications

Supply Current Indicator/Limiter



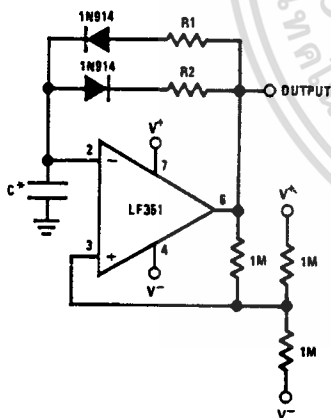
- V_{OUT} switches high when $R_S I_S > V_D$

Hi- Z_{IN} Inverting Amplifier



Parasitic input capacitance $C_1 \approx (3 \text{ pF for LF351 plus any additional layout capacitance})$ interacts with feedback elements and creates undesirable high frequency pole. To compensate, add C_2 such that: $R_2 C_2 \approx R_1 C_1$.

Ultra-Low (or High) Duty Cycle Pulse Generator

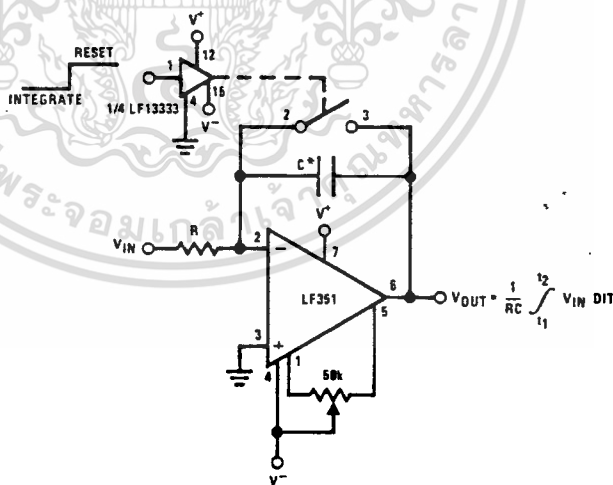


- $t_{OUTPUT \text{ HIGH}} \approx R_1 C \ln \frac{4.8 - 2V_S}{4.8 - V_S}$
- $t_{OUTPUT \text{ LOW}} \approx R_2 C \ln \frac{2V_S - 7.8}{V_S - 7.8}$

where $V_S = V^+ + IV^-$

* low leakage capacitor

Long Time Integrator



* Low leakage capacitor

- 50k pot used for less sensitive V_{OS} adjust



MOTOROLA

MC145026
MC145027
MC145028
MC145029

Advance Information

MC145026 ENCODER, MC145027/MC145028/MC145029 DECODERS

The MC145026 will encode nine bits of information and serially transmit this information upon receipt of a transmit enable, TE, (active low) signal. Nine inputs may be encoded with trinary data (0, 1, open) allowing 39 (19,683) different codes.

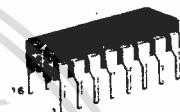
Three decoders are presently available; all use the same transmitter — the MC145026. The decoders receive the 9-bit word and interpret some of the bits as address codes and some as data. The MC145027 interprets the first five transmitted bits as address and the last four bits as data. The MC145029 interprets the first four transmitted bits as address and the last five bits as data. The MC145028 treats all nine bits as address. If no errors are received, the MC145027 outputs four data bits, and the MC145029 outputs five data bits, when the transmitter sends address codes that match that of the receiver. A valid transmission output will go high on the decoders when they recognize an address that matches that of the decoder. Other receivers can be produced with different address/data ratios.

- May be Addressed in either Binary or Trinary
- Trinary Addressing Maximizes Number of Codes
- Interfaces with RF, Ultrasonic, or Infrared Transmission Medias
- On-Chip R/C Oscillator; No Crystal Required
- High External Component Tolerance; Can Use $\pm 5\%$ Components
- Standard B-Series Input and Output Characteristics
- 4.5 to 18 V Operation
- 2.9 V Low-Voltage Version Also Available by Special Order

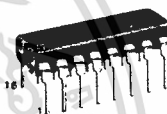
CMOS MSI

(LOW-POWER COMPLEMENTARY MOS)

REMOTE CONTROL
ENCODER/DECODER PAIRS



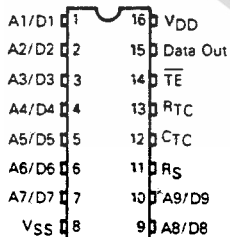
L SUFFIX
CERAMIC PACKAGE
CASE 620



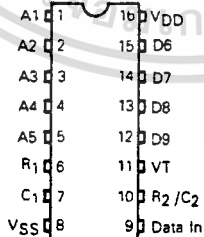
P SUFFIX
PLASTIC PACKAGE
CASE 648

MC14XXX Suffix Denotes
L Ceramic Package
P Plastic Package

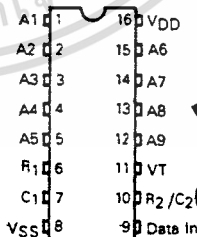
PIN ASSIGNMENTS



MC145026
Encoder



MC145027
Decoder



MC145028
Decoder



MC145029
Decoder

This document contains information on a new product. Specifications and information herein are subject to change without notice.

MC145026, MC145027, MC145028, MC145029

MAXIMUM RATINGS (Voltages Referenced to V_{SS})

Rating	Symbol	Value	Unit
DC Supply Voltage	V_{DD}	-0.5 to +18	V
Input Voltage, All Inputs	V_{in}	-0.5 to $V_{DD} + 0.5$	V
DC Input Current, per Pin	I_{in}	± 10	mA
Operating Temperature Range	T_A	-40 to +85	°C
Storage Temperature Range	T_{stg}	-65 to +150	°C

ELECTRICAL CHARACTERISTICS

Characteristic	Symbol	V_{DD} V	-40°C			25°C			+85°C		Unit
			Min	Max	Typ	Min	Typ	Max	Min	Max	
Output Voltage $V_{in} = V_{DD}$ or 0	VOL	5.0	-	0.05	-	0	0.05	-	0.05	-	V
		10	-	0.05	-	0	0.05	-	0.05	-	
		15	-	0.05	-	0	0.05	-	0.05	-	
	VOH	5.0	4.95	-	4.95	5.0	-	4.95	-	-	V
		10	9.95	-	9.95	10	-	9.95	-	-	
		15	14.95	-	14.95	15	-	14.95	-	-	
Input Voltage ($V_O = 4.5$ or 0.5 V) ($V_O = 9.0$ or 1.0 V) ($V_O = 13.5$ or 1.5 V)	VIL	5.0	-	1.5	-	2.25	1.5	-	1.5	-	V
		10	-	3.0	-	4.50	3.0	-	3.0	-	
		15	-	4.0	-	6.25	4.0	-	4.0	-	
	VIH	5.0	3.5	-	3.5	2.75	-	3.5	-	-	V
		10	7.0	-	7.0	5.50	-	7.0	-	-	
		15	11.0	-	11.0	8.25	-	11.0	-	-	
Output Drive Current ($V_{OH} = 2.5$ V) ($V_{OH} = 4.6$ V) ($V_{OH} = 9.5$ V) ($V_{OH} = 13.5$ V) ($V_{OL} = 0.4$ V) ($V_{OL} = 0.5$ V) ($V_{OL} = 1.5$ V)	Source IOH	5.0	-2.5	-	-2.1	-4.2	-	-1.7	-	-	mA
		5.0	-0.52	-	-0.44	-0.88	-	-0.36	-	-	
		10	-1.3	-	-1.1	-2.25	-	-0.9	-	-	
	Sink IOL	5.0	0.52	-	0.44	0.88	-	0.36	-	-	mA
		10	1.3	-	1.1	2.25	-	0.9	-	-	
		15	3.6	-	3.0	8.8	-	2.4	-	-	
Input Current - TE (MC145026, Pullup Device)	I_{in}	5.0	-	-	3.0	4.0	9.0	-	-	-	μA
		10	-	-	16	20	32	-	-	-	
		15	-	-	35	45	70	-	-	-	
Input Current R_S (MC145026) Data In (MC145027, MC145028, MC145029)	I_{in}	15	-	± 0.3	-	± 0.00001	± 0.3	-	± 1.0	-	μA
		15	-	-	-	± 55	± 110	-	-	-	
Input Current A1/D1-A9/D9 (MC145026) A1-A5 (MC145027) A1-A9 (MC145028) A1-A4 (MC145029)	I_{in}	5.0	-	-	-	± 55	± 110	-	-	-	μA
		10	-	-	-	± 300	± 500	-	-	-	
		15	-	-	-	± 650	± 1000	-	-	-	
Input Capacitance ($V_{in} = 0$)	C_{in}	-	-	-	-	5.0	7.5	-	-	-	pF
Quiescent Current - MC145026	IDD	5.0	-	-	-	0.0050	0.10	-	-	-	μA
		10	-	-	-	0.0100	0.20	-	-	-	
		15	-	-	-	0.0150	0.30	-	-	-	
Quiescent Current - MC145027, MC145028, MC145029	IDD	5.0	-	-	-	30	50	-	-	-	μA
		10	-	-	-	60	100	-	-	-	
		15	-	-	-	90	150	-	-	-	
Total Supply Current - MC145026 ($f_c = 20$ kHz)	IT	5.0	-	-	-	100	200	-	-	-	μA
		10	-	-	-	200	400	-	-	-	
		15	-	-	-	300	600	-	-	-	
Total Supply Current - MC145027, MC145028, MC145029 ($f_c = 20$ kHz)	IT	5.0	-	-	-	200	400	-	-	-	μA
		10	-	-	-	400	800	-	-	-	
		15	-	-	-	600	1200	-	-	-	

This device contains circuitry to protect the inputs against damage due to high static voltages or electric fields, however, it is advised that normal precautions be taken to avoid application of any voltage higher than maximum rated voltages to this high impedance circuit. For proper operation it is recommended that V_{in} and V_{out} be constrained to the range $V_{SS} \leq (V_{in} \text{ or } V_{out}) \leq V_{DD}$.

MC145026, MC145027, MC145028, MC145029

SWITCHING CHARACTERISTICS ($C_L = 50$ pF, $T_A = 25^\circ\text{C}$)

Characteristic	Symbol	V_{DD}	Min	Typ	Max	Unit
Output Rise and Fall Time	t_{TLH} t_{THL}	5.0 10 15	— — —	100 50 40	200 100 80	ns
Data In Rise and Fall Time (MC145027, MC145028, MC145029)	t_{TLH} t_{THL}	5.0 10 15	— — —	— 15 15	15 15 15	μs
Encoder Clock Frequency	f_{cl}	5.0 10 15	0 0 0	— — —	2 5 10	MHz
Decoder Frequency (Referenced to Encoder Clock) (See Figure 10)	f_{cl}	5.0 10 15	1 1 1	— — —	240 410 450	kHz
$\overline{TE}$ Pulse Width	t_{WL}	5.0 10 15	65 30 20	— — —	— — —	ns
System Propagation Delay ($\overline{TE}$ to Valid Transmission)	—	—	—	182	—	Clock Cycles
Tolerance on Timing Components ($\Delta R_{TC} + \Delta C_{TC} - \Delta R_1 + \Delta C_1$) ($\Delta R_2 + \Delta C_2$)	—	—	—	—	± 25 ± 25	%

OPERATING CHARACTERISTICS

MC145026

The encoder serially transmits nine bits of binary data as defined by the state of the A1/D1-A9/D9 input pins. These pins may be in either of three states (0, 1, open) allowing $3^9 = 19,683$ possible codes. The transmit sequence is initiated by a low level on the $\overline{TE}$ input pin. Each time the $\overline{TE}$ input is forced low the encoder outputs two identical data words. Between the two data words no signal is sent for three data bit times. If the $\overline{TE}$ input is kept low, the encoder continuously transmits the data word.

Each transmitted data bit is encoded into two data pulses (See Figure 7). A logic zero is encoded as two consecutive short pulses, a logic one as two consecutive long pulses, and an open as a long pulse followed by a short pulse. The input state is determined by using a weak output device to try to force each input first low, then high. If only a high state results from the two tests, the input is assumed to be hard wired to V_{DD} . If only a low state is obtained, the input is assumed to be hard wired to V_{SS} . If both a high and a low can be forced at an input, it is assumed to be open and is encoded as such.

The $\overline{TE}$ input has an internal pullup device so that a simple switch may be used to force the input low. While $\overline{TE}$ is high the encoder is completely disabled, the oscillator is inhibited, and the current drain is reduced to quiescent current. When $\overline{TE}$ is brought low, the oscillator is started, and the transmit sequence begins. The inputs are then sequentially selected, and determinations are made as to the input logic states. This information is serially transmitted via the Data Out output pin.

Transmission must be initiated by using the $\overline{TE}$ pin rather than by holding $\overline{TE}$ low and applying power to the device because an internal reset occurs after the first transmit sequence.

MC145027

This decoder receives the serial data from the encoder and outputs the data, if it is valid. The transmitted data, consisting of two identical data words, is examined bit by bit as it is received. The first five bits are assumed to be address

bits and must be encoded to match the address input at the receiver. If the address bits match, the next four (data) bits are stored and compared to the last valid data stored. As the second encoded word is received, the address must again match, and if it does, the data bits are checked against the previously stored data bits. If the two words of data (four bits each) match, the data is transferred to the output data latches by $\overline{VT}$ and will remain until new data replaces it. At the same time, the Valid Transmission output pin is brought high and will remain high until an error is received or until no input signal is received for four data bit times.

Although the address information is encoded in trinary, the data information must be either a one or a zero. A trinary (open) will be decoded as a logic one.

MC145028

This decoder operates in the same manner as the MC145027 except that nine address bits are used and no data output is available. The Valid Transmission output is used to indicate that a valid address has been received.

Although address information is normally encoded in trinary, the designer should be aware that, for the MC145028, the ninth address bit (A9) must be either a one or a zero. This part, therefore, can accept only $2 \times 3^8 = 13,122$ different codes. A trinary (open) A9 will be interpreted as a logic 1. However, if the encoder sends a trinary (or logic 1) and the decoder address is a logic 1 (or trinary) respectively, the valid transmission output length will be shortened to the $R1 \times C1$ time constant.

MC145029

This decoder operates like the MC145027, but it assumes the first four received bits to be address bits and the remaining five received bits to be data.

DOUBLE TRANSMISSION DECODING

Although the encoder sends two words for error checking, a decoder does not necessarily wait for two transmitted words to be received before issuing a valid transmission output.

MC145026, MC145027, MC145028, MC145029

PIN DESCRIPTIONS

MC145026 ENCODER

A1/D1-A9/D9, ADDRESS/DATA INPUTS (PINS 1, 2, 3, 4, 5, 6, 7, 9, 10) — These inputs are encoded and the data is serially output from the encoder.

RS, CTC, RTC, OSCILLATOR COMPONENTS (PINS 11, 12, 13) — These pins are part of the oscillator section of the encoder. If an external signal source is used instead of the internal oscillator, it should be connected to the RS input and the RTC and CTC pins should be left open.

TE, TRANSMIT-ENABLE INPUT (PIN 14) This active low input initiates transmission when forced low. An internal pullup device keeps this input normally high.

Data Out, DATA OUTPUT (PIN 15) — This is the output of the encoder that serially presents the encoded word.

VDD, POSITIVE SUPPLY (PIN 16) — The most positive power supply.

VSS, NEGATIVE SUPPLY (PIN 8) — The most negative supply (usually ground).

MC145027, MC145028, MC145029 DECODERS

A1-A5 (MC145027), A1-A9 (MC145028), A1-A4 (MC145029), ADDRESS INPUTS — These address inputs must match the corresponding encoder inputs in order for the decoder to output data.

D6-D9 (MC145027), D5-D9 (MC145029), DATA OUTPUTS — These outputs present the information that is on the corresponding encoder inputs. Note: only binary data will be acknowledged; a trinary open will be decoded as a logic one.

R1, C1, PULSE DISCRIMINATOR (PINS 6, 7) — These pins accept a resistor and a capacitor that are used to determine whether a narrow pulse or a wide pulse has been encoded. The time constant $R_1 \times C_1$ should be set to 1.72 encoder (transmitter) clock periods. $R_1 C_1 = 3.95 RTCTC$.

R2/C2, DEAD TIME DISCRIMINATOR (PIN 10) — This pin accepts a resistor and a capacitor to V_{SS} that are used to detect both the end of an encoded word and the end of transmission. The time constant $R_2 \times C_2$ should be 33.5 encoder (transmitter) clock periods (four data bit periods): $R_2 C_2 = 77 RTCTC$. This time constant is used to determine that Data In has remained low for four data bit times (end of transmission). A separate comparator looks at a voltage-equivalent two data bit times ($0.4 R_2 C_2$) to detect the dead time between transmitted words.

VT, VALID TRANSMISSION (PIN 11) — This output goes high when the following conditions are satisfied.

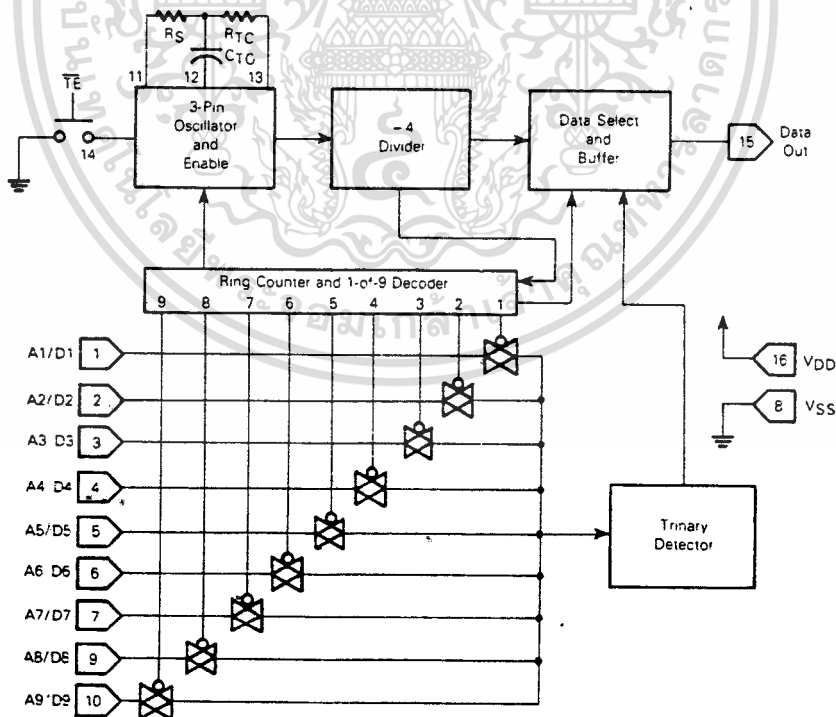
- 1 the transmitted address matches the receiver address, and
- 2 the transmitted data matches the last valid data received (MC145027 and MC145029, only).

VT will remain high until a mismatch is received, or no input signal is received for four data bit times.

VDD, POSITIVE SUPPLY (PIN 16) — The most positive power supply.

VSS, NEGATIVE SUPPLY (PIN 8) — The most negative supply (usually ground).

FIGURE 1— MC145026 ENCODER BLOCK DIAGRAM



MC145026, MC145027, MC145028, MC145029

FIGURE 2 — MC145027 DECODER BLOCK DIAGRAM

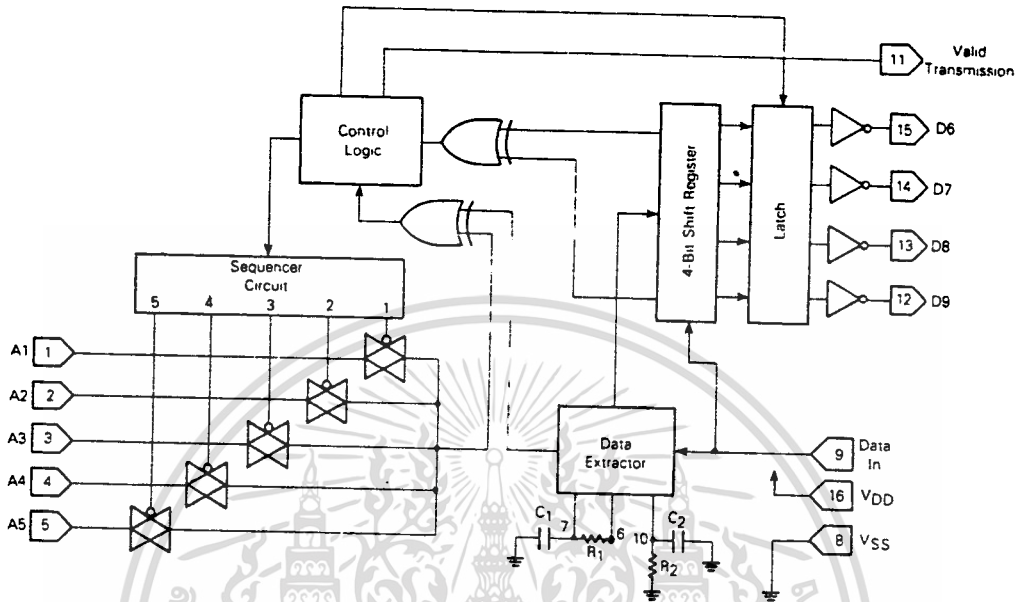
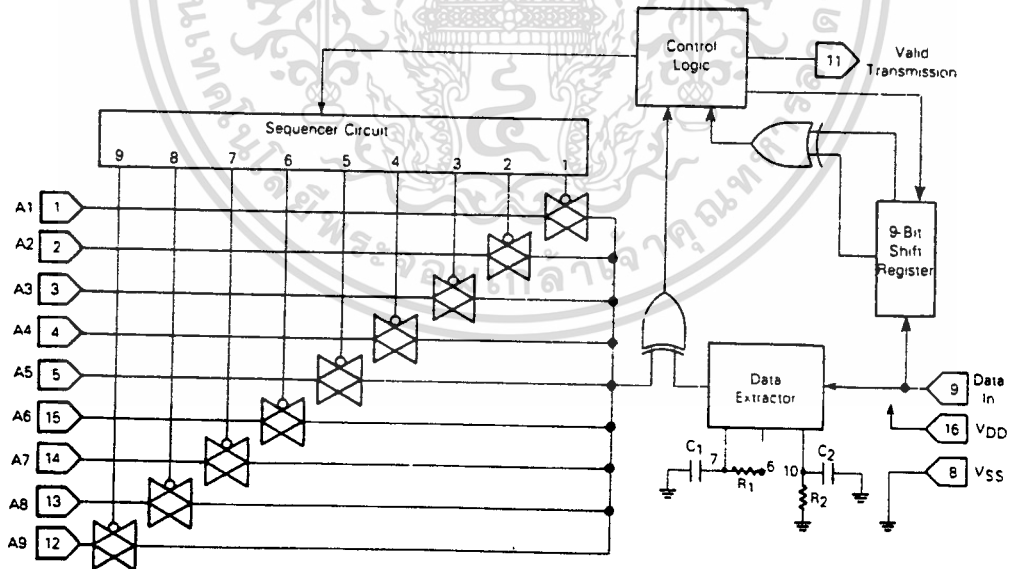


FIGURE 3 — MC145028 DECODER BLOCK DIAGRAM



MC145026, MC145027, MC145028, MC145029

FIGURE 4 — MC145029 DECODER BLOCK DIAGRAM

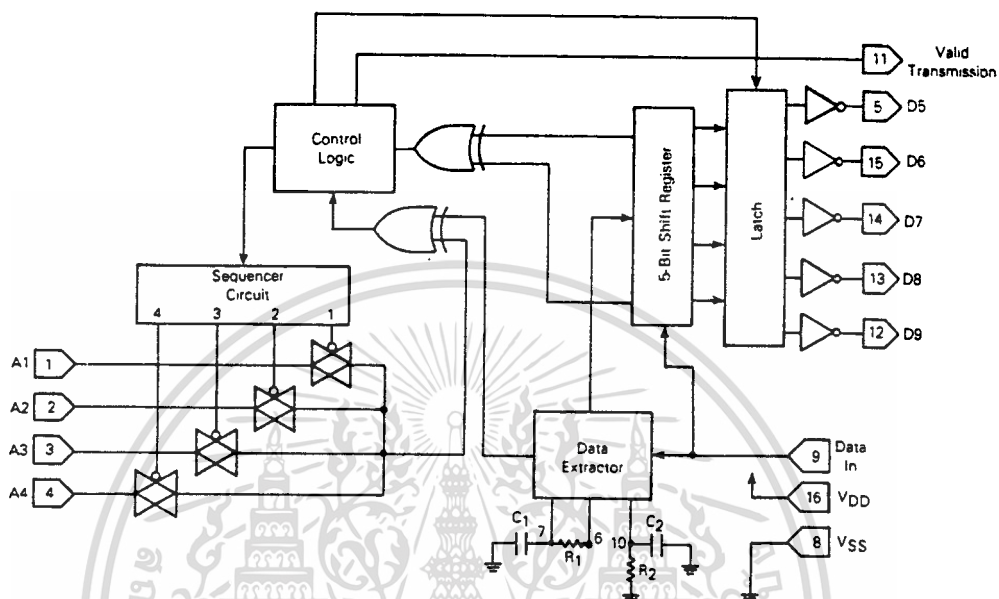
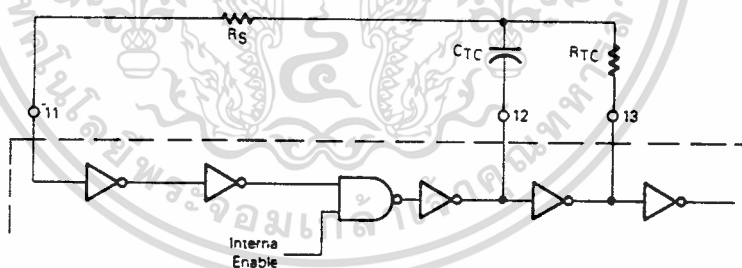


FIGURE 5 — ENCODER OSCILLATOR INFORMATION



This oscillator will operate at a frequency determined by the external RC network, i.e.,

$$f \approx \frac{1}{2.3 R_{TC} C_{TC}} \text{ (Hz)}$$

for 1 kHz $\leq f \leq$ 400 kHz

where $C_{TC}' = C_{TC} + C_{\text{layout}} + 12 \text{ pF}$

$$R_S = 2 R_{TC}$$

$$R_S \geq 20 \text{ k}$$

$$R_{TC} \geq 10 \text{ k}$$

$$400 \text{ pF} < C_{TC} < 15 \text{ }\mu\text{F}$$

The value for R_S should be chosen to be ≥ 2 times R_{TC} . This range will ensure that current through R_S is insignificant compared to current through R_{TC} . The upper limit for R_S must ensure that $R_S \times 5 \text{ pF}$ (input capacitance) is small compared to $R_{TC} \times C_{TC}$.

For frequencies outside the indicated range, the formula will be less accurate. The minimum recommended oscillation frequency of this circuit is 1 kHz. Susceptibility to externally induced noise signals may occur for frequencies below 1 kHz and/or when resistors utilized are greater than 1 M Ω .

MC145026, MC145027, MC145028, MC145029

FIGURE 6 — ENCODER/DECODER TIMING DIAGRAM

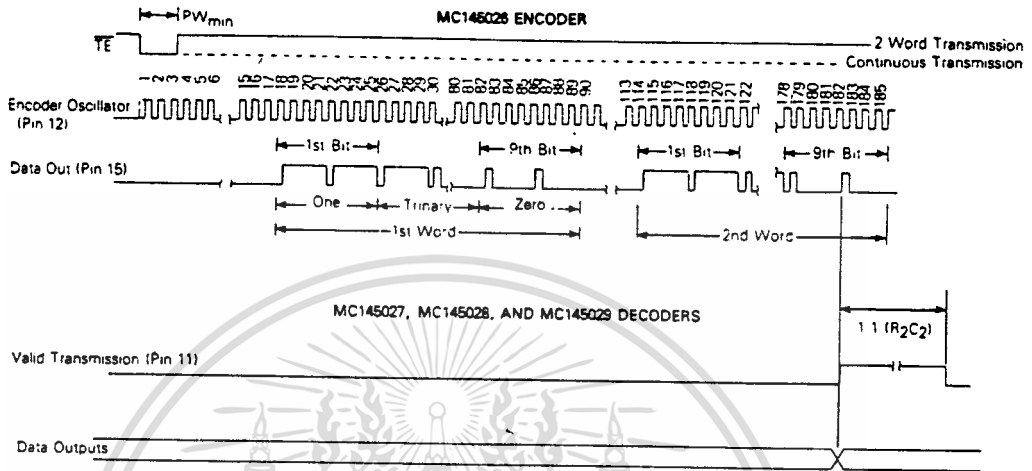


FIGURE 7 — MC145026 ENCODER DATA WAVEFORMS

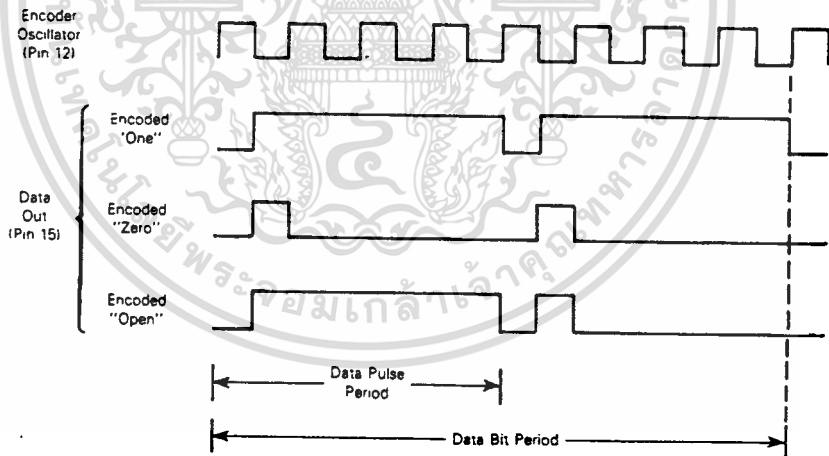


FIGURE 8 — MC145027/MC145029 FLOWCHART

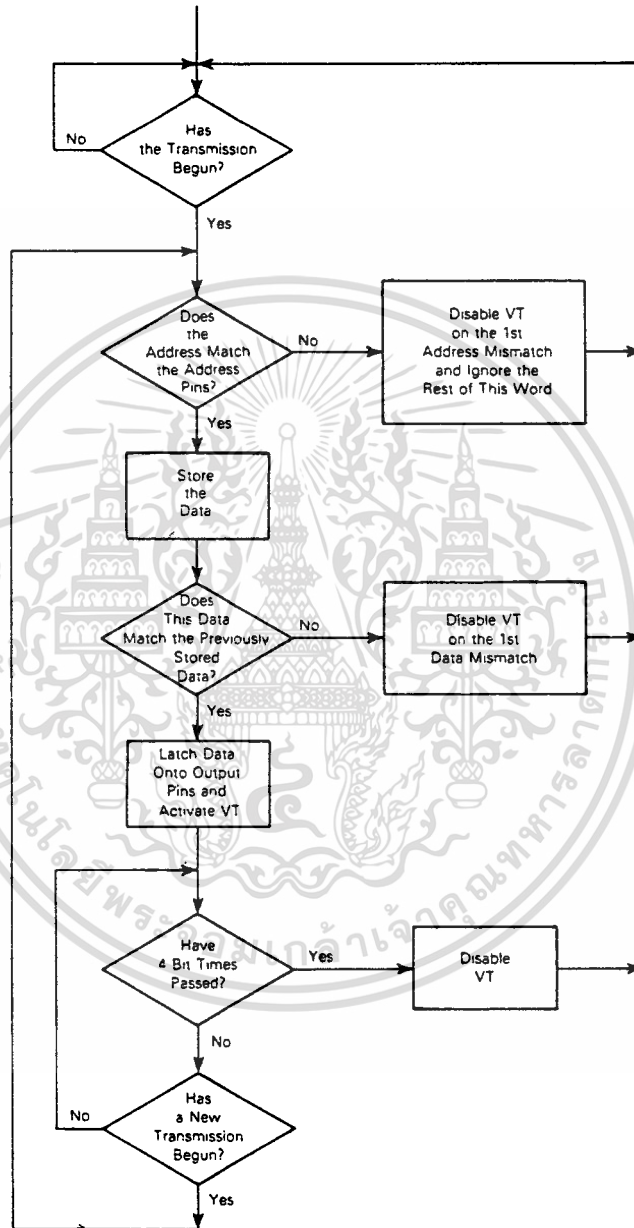
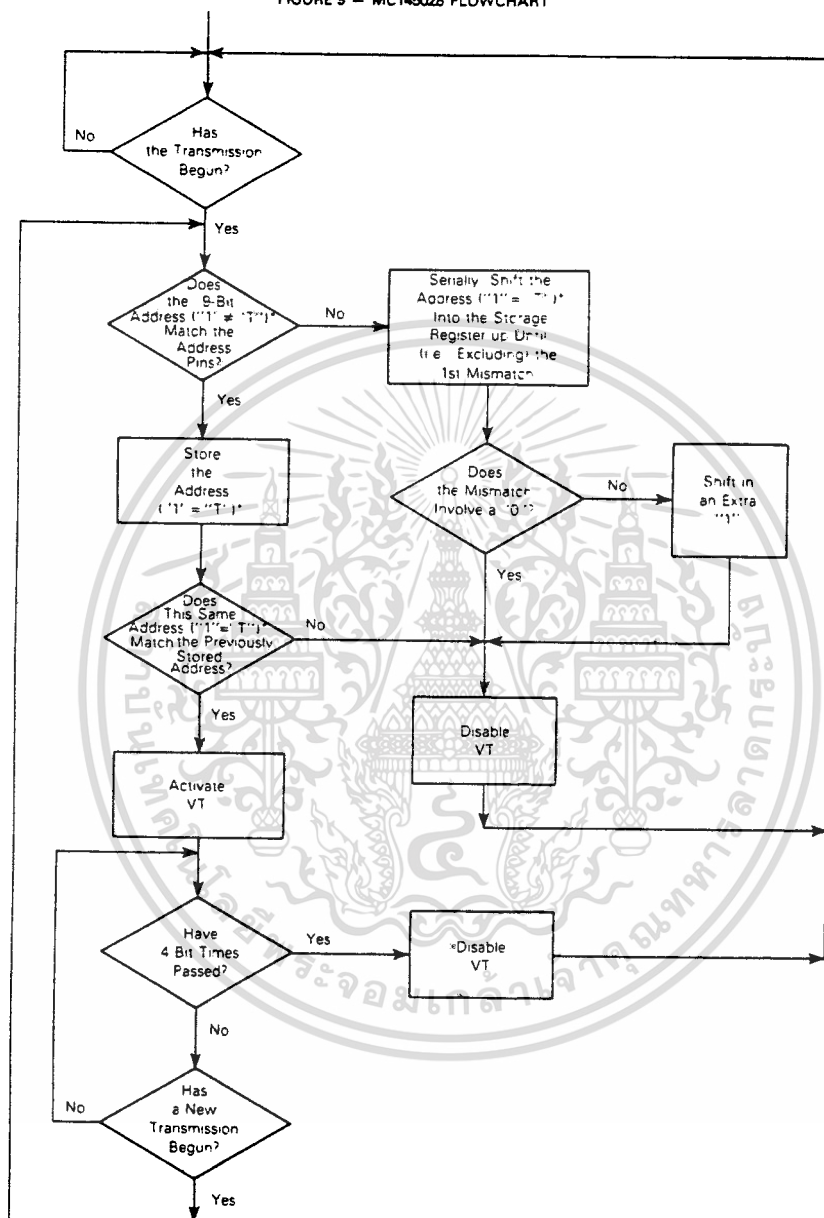


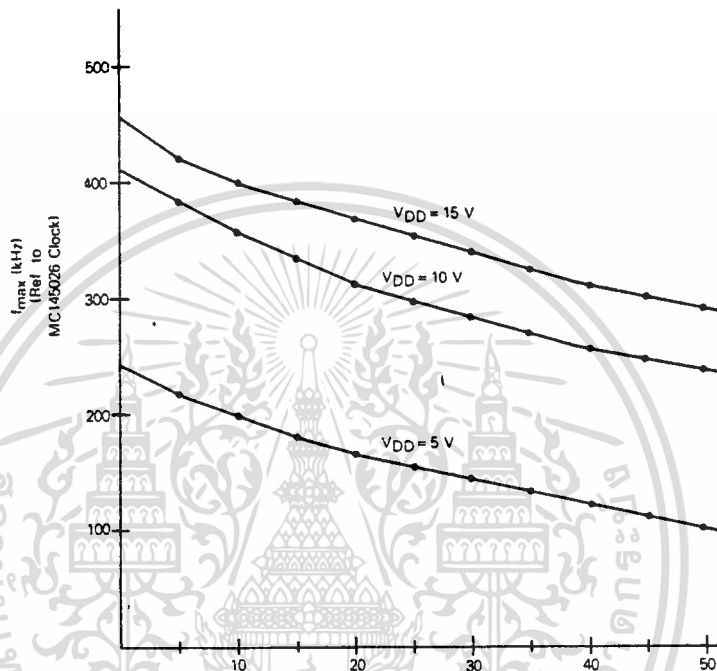
FIGURE 9 — MC145028 FLOWCHART



*For shift register comparisons, a "T" is stored as a "1"

MC145026, MC145027, MC145028, MC145029

FIGURE 10 — f_{max} vs Clayout
MC145027, MC145028, and MC145029



Clayout (pF) on Pins 1-5 (MC145027), Pins 1-5 and 12-15 (MC145028),
Pins 1-4 (MC145029)

FIGURE 11 — TYPICAL APPLICATION

$C_{TC}' = C_{TC} + C_{\text{ayout}} + 12 \text{ pF}$
 $100 \text{ pF} \leq C_{TC} \leq 15 \text{ } \mu\text{F}$
 $R_{TC} \geq 10 \text{ k}$; $R_S = 2 \text{ } R_{TC}$
 $R_1 \geq 10 \text{ k}$
 $C_1 \geq 400 \text{ pF}$
 $R_2 \geq 100 \text{ k}$
 $C_2 \geq 700 \text{ pF}$

