LINE CONCENTRATOR 100 LINES

โดย

นายจุมพล ธนะโสภณ

นายบุญยงค์ สิงหนุวุฒิ

นายวีระ แก้วจรูญ

นายวีรรักษ์ เศรษฐพรรค์

นายศักดิ์ชัย เพิ่มปรีดานันท์

นายสมนึก สันติธรรมานนท์

นายอำนาจ วงศ์เผ่าพันธุ์

นายสุภัคพงศ์ สัตยมาศ

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตร์บัณฑิต

ภาควิชาเทคนิคอุตสาหกรรม

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2534

009609

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หัวข้อปริญญานิพนธ์ Line concentrator 100 Lines

โดย

นายจุมพล	ธนะโสภณ	33.132203	นายศักดิ์ชัย	เพิ่มปรีดานันท์	33.132228
นายบุญยงค์	สิงหนุวัติ	33.132209	นายสมนึก	สันติธรรมานนท์	33.132230
นายวีระ	แก้วจรูญ	33.132225	นายอำนาจ	วงศ์เผ่าพันธุ์	33.132238
นายวีรรักษ์	เศรษฐพรรค์	33.132227	นายสุภัคพงศ์	สัตยมาศ	33.132235

อาจารย์ที่ปรึกษา อาจารย์ ประดิษฐ์ วชิรพิบูลย์
ผศ. กนก เจนจิรพงษ์เวช
อาจารย์ สมภพ แก้วมีชัย

ภาควิชา เทคนิคอุตสาหกรรม
ปีการศึกษา 2534

คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง อนุมัติให้นับปริญญานิพนธ์ฉบับนี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาอุตสาหกรรมศาสตรบัณฑิต

คณะกรรมการสอบปริญญานิพนธ์

..... ประธานกรรมการ
( )
..... กรรมการ
( )
..... กรรมการ
( )
..... กรรมการ
( )
..... กรรมการ
( )

ลิขสิทธิ์ของคณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ปริญญานิพนธ์ ปีการศึกษา 2534

ภาควิชา เทคนิคอุตสาหกรรม

คณะ วิศวกรรมศาสตร์

เรื่อง Line concentrator 100 Lines

ผู้จัดทำ

นายจุมพล	ธนะโสภณ	33.132203	นายศักดิ์ชัย	เนิ่มปรีดานันท์	33.132228
นายชูยงค์	สิงหนุวัฒ์	33.132209	นายสมชัก	สันติธรรมานนท์	33.132230
นายวีระ	แก้วจรูญ	33.132225	นายอำนาจ	วงศ์เผ่าพันธุ์	33.132238
นายวีรรักษ์	เศรษฐพรรค์	33.132227	นายสุภัคพงศ์	สัตยมาศ	33.132235

..... อาจารย์ที่ปรึกษา

..... อาจารย์ที่ปรึกษา

..... อาจารย์ที่ปรึกษา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ

		หน้า
บทคัดย่อ		
กิตติกรรมประกาศ		
บทที่ 1	บทนำ	1
	1.1 ความเป็นมาของโครงการ	1
	1.2 วัตถุประสงค์ของโครงงาน	2
	1.3 ขอบเขตของโครงงาน	3
	1.4 วิธีการดำเนินงาน	3
บทที่ 2	ทฤษฎีและหลักการ	4
	2.1 ทฤษฎีการทำงานของระบบ	4
	2.2 Crossbar switching component	6
	2.3 อุปกรณ์ LR-BR	8
	2.4 อุปกรณ์ Crossbar relay set	10
	2.5 ภาคตรวจสอบสถานภาพของสาย	17
	2.6 อุปกรณ์ PCM	18
	2.7 อุปกรณ์ Microprocessor Unit	30
บทที่ 3	การออกแบบและสร้าง	35
	3.1 LR-BR interface unit	35
	3.2 Crossbar switch interface unit	36
	3.3 วงจรตรวจสอบสถานภาพของสาย	38
	3.4 อุปกรณ์ PCM	41
	3.5 Flowchart และโปรแกรมควบคุมการทำงานของเครื่อง	41
	3.6 โครงสร้างของระบบ Line concentrator	86
บทที่ 4	การทดลองและสรุปผล	95
ภาคผนวก ก	ความรู้ทั่วไปเกี่ยวกับการให้บริการโทรศัพท์	98
ภาคผนวก ข	CPU Z80180	225
เอกสารอ้างอิง		

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทคัดย่อ

องค์การโทรศัพท์แห่งประเทศไทย มีภารกิจที่จะต้องขยายบริการโทรศัพท์ให้ครอบคลุมทั่วประเทศ แต่การบริการในพื้นที่ห่างไกลนั้นยังดำเนินการได้ไม่ทั่วถึง เพราะติดขัดเรื่องงบประมาณการลงทุนที่สูงมาก (ประมาณ 50,000 บาท/เลขหมาย) เพื่อให้สอดคล้องกับนโยบาย ให้สามารถขยายเลขหมายได้ในการลงทุนที่ต่ำกว่า ได้พิจารณานำอุปกรณ์ที่องค์การโทรศัพท์เลิกใช้งานแล้ว นำมาพัฒนา ให้เกิดการผสมผสานกัน ระหว่างระบบ Analog Switching และระบบ Digital Multiplex โดยใช้ระบบ Microcomputor เป็นตัวควบคุม ซึ่งนอกจากจะสามารถนำมาใช้งานได้จริงแล้ว ยังสามารถแสดงให้เห็นถึงการ interface ระหว่างระบบโทรคมนาคม ที่ ทศท. ใช้งานอยู่ให้เกิดประโยชน์สูงสุด และเป็นการเพิ่มพูน ความรู้ให้แก่พนักงาน ทศท. โดยเฉพาะช่างเทคนิคในระดับต่าง ๆ ได้ดีอีกด้วย

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ABSTRACT

The Telephone Organization of Thailand (TOT) has 500,000 lines of old crossbar switching systems and many of 2 Mb/S PCM which will be superseded by SPC switching system and higher hierachy PCM (using fiber optics in Metropolitan Bangkok);at the same time TOT has to provide telephone service to the remote areas and suburb which is very expensive (50,000 bath/line).

The authors studied these problems and tried to solve them; finding the economical way by developing the line concentrator made of crossbar switch and 2 Mb/S PCM controled by microcomputor. This method helps TOT to supply telephone services to that area by the resonable cost.

This idea apparented a pilot lamp to encourage TOT's engineers and technicians how to utilize the surplus transmission and switching equipments most efficently by selecting the best characteristics of the equipment and integrate them by applying microcomputer technique.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กิตติกรรมประกาศ

โครงงาน Line Concentrator 100 lines นี้ ประสพผลสำเร็จได้ด้วยดีนั้น ทางคณะผู้จัดทำ ขอขอบพระคุณอย่างสูงต่อท่านทั้งหลาย ที่ได้ให้ความอนุเคราะห์ ความร่วมมือ ให้คำแนะนำ และคำปรึกษา และอำนวยความสะดวกทุกอย่าง ทางคณะผู้จัดทำขอขอบพระคุณ

องค์การโทรศัพท์แห่งประเทศไทย

สถาบันเทคโนโลยีพระจอมเกล้า เจ้าคุณทหาร ลาดกระบัง

ฝ่ายระบบโทรคมนาคม ด้านปฏิบัติการ (ทป.)

ส่วนทดสอบและพัฒนา ฝ่ายวิศวกรรม ด้านวิศวกรรมและโครงการ (พวว.)

กองวิจัยและพัฒนา ฝ่ายวิศวกรรม ด้านวิศวกรรมและโครงการ (กวว.)

กองโทรศัพท์เคลื่อนที่และอุปกรณ์พิเศษ ศูนย์บำรุงรักษาและบริการ ส่วนบริการโทรศัพท์นครหลวง ฝ่ายบริการผู้ใช้โทรศัพท์ ด้านปฏิบัติการ (คนบ.)

ศูนย์การฝึกอบรม ส่วนพัฒนาบุคลากร ฝ่ายพัฒนาบุคคล ด้านกิจกรรมทั่วไป (ฝบก.)

คุณ จุมพล เหราบัตย์ รองผู้อำนวยการ องค์การโทรศัพท์ฯ ด้านวิศวกรรมและโครงการ (รททว.)

คุณ สมร ทะสังขา ผู้อำนวยการสำนัก รองผู้อำนวยการฯ ด้านปฏิบัติการ (ผอ.อป.)

คุณ เฉลิม สังข์กระแสร์ หัวหน้าส่วนทดสอบและพัฒนา ฝ่ายวิศวกรรม ด้านวิศวกรรมและโครงการ (ส.พวว.)

คุณ สุราษฎร์ ศิริวงศ์ หัวหน้ากองวิจัยและพัฒนา ฝ่ายวิศวกรรม ด้านวิศวกรรมและโครงการ (ก.กวว.)

คุณ สมยศ พงษ์สุวรรณ หัวหน้าหน่วยซ่อมอุปกรณ์ชุมสาย ศูนย์ซ่อมอุปกรณ์อิเล็คโทรนิกส์ ฝ่ายระบบโทรคมนาคม ด้านปฏิบัติการ (ห.ชซทป.)

อ.เสรี ปานชาง สถาบันเทคโนโลยีราชมงคล วิทยาเขตเทคนิคกรุงเทพฯ

และอีกหลาย ๆ ท่านที่ไม่ได้กล่าวนามมา ณ ที่นี้

สุดท้ายขอขอบคุณผู้ร่วมงานทุกท่าน ตลอดจนครอบครัว ที่ได้ร่วมแรงร่วมใจกันมาด้วยดีโดยตลอด จนประสบความสำเร็จด้วยดี

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 1
บทนำ

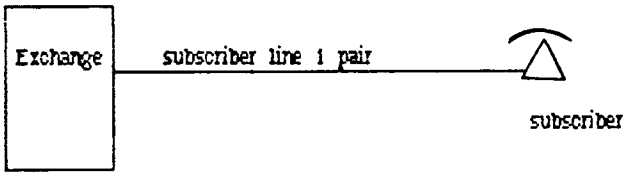
1.1 ความเป็นมาของโครงการ

Line Concentrator เป็นอุปกรณ์ต่อพ่วงแบบหนึ่งในหลายๆแบบ ระหว่างชุมสายโทรศัพท์กับบ้านผู้เช่า ใช้ในกรณีผู้เช่าโทรศัพท์ ต้องการโทรศัพท์เร่งด่วนในบริเวณที่ขาดแคลนคู่สายโทรศัพท์ แต่ชุมสายโทรศัพท์ยังมีเลขหมายว่างอยู่สามารถให้บริการได้แต่คู่สายโทรศัพท์มีไม่เพียงพอ เครื่องอุปกรณ์ Line concentrator ที่องค์การโทรศัพท์ฯนำมาให้บริการ มีทั้งระบบ analog และ digital ให้บริการกับผู้เช่าได้ อยู่ระหว่าง 96 ถึง 128 เลขหมาย (ขึ้นกับวิธีการออกแบบของบริษัทผู้สร้าง) อาศัยอุปกรณ์ PCM (Pulse Code Modulation Equipment) เป็นอุปกรณ์เชื่อมโยง (Link) โดยใช้คู่สายโทรศัพท์เพียง 2-3 คู่สาย ให้บริการผู้เช่าเรียกเข้า-เรียกออกได้พร้อม ๆ กัน 30 ราย ประโยชน์เพิ่มเติมคือประหยัดการใช้คู่สาย ประสิทธิภาพของการใช้คู่สายเพิ่มขึ้น รวมทั้งสามารถให้บริการผู้เช่าได้ไกลขึ้น

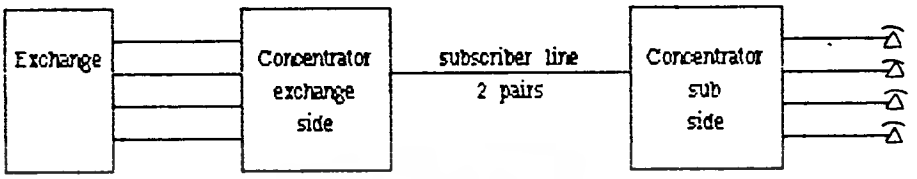
จากการที่องค์การโทรศัพท์ฯ ปรับเปลี่ยนเครื่องอุปกรณ์โทรศัพท์ให้ทันสมัยอยู่เสมอ จึงมีอุปกรณ์เหลือใช้จำนวนมาก ยังใช้งานได้อยู่ รอการย้ายไปใช้งานในชุมสายโทรศัพท์ที่เหมาะสม หรือใช้เป็นอะไหล่ และบางส่วนถูกจำหน่ายเป็นเศษวัสดุ จึงได้นำอุปกรณ์ดังกล่าวมาออกแบบสร้างขึ้น อาศัยหลักการของเครื่องที่องค์การโทรศัพท์ฯเคยนำมาใช้ แต่ผสมผสานระหว่าง analog กับ digital กล่าวคือ นำอุปกรณ์ relay set จากชุมสายโทรศัพท์ชนิด analog ส่วนอุปกรณ์ PCM และอุปกรณ์ควบคุมระบบเป็น digital

การใช้ Crossbar switch ทำให้สามารถออกแบบเบื้องต้นง่ายขึ้น ใช้อุปกรณ์น้อยชิ้นลง ซึ่งหากใช้อุปกรณ์ electronics switch จะมีผลดีตามความเร็วในการทำงาน และไม่เกิดการ blocking แต่ Crossbar switch มีความทนทานต่อการรบกวนจากกระแสไฟฟ้าภายนอก ทนทานต่อความร้อน และนอกจากนั้นยังง่ายที่จะศึกษาการทำงาน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



a.



b.

Fig 1.1-1a. Normal subscriber
b. Remote subscriber with Line Concentrator

หลักการสร้างเครื่อง Line Concentrator คือ เราจะนำสัญญาณโทรศัพท์จำนวนหนึ่ง ให้ผ่านไปในคู่สายที่น้อยกว่าจำนวนเลขหมาย ในรูปที่ 1.1-1 เครื่อง Line Concentrator ใช้ 4 เลขหมาย ผ่านคู่สายโทรศัพท์ 2 คู่สายสำหรับส่ง 1 คู่ และรับ 1 คู่ ที่ด้านปลายทางทำการกระจายสัญญาณให้เป็น 4 เลขหมายตามเดิม เครื่องที่ออกแบบสร้างนี้ใช้ Crossbar relay set เป็นอุปกรณ์ Concentrator และใช้อุปกรณ์ PCM เป็นอุปกรณ์เชื่อมโยงระหว่างสองด้าน

1.2 วัตถุประสงค์ของโครงงาน

1.2.1 เพื่อเรียนรู้ระบบ Crossbar switch และ relay set ชนิด LR-BR ของชุมสายโทรศัพท์ชนิด analog

1.2.2 เพื่อเรียนรู้ระบบ Pulse Code Modulation Equipment ชนิด SIG-C

1.2.3 เพื่อเรียนรู้การทำงานของ Microprocessor # Z80180 ของบริษัท ZILOG การนำมาประยุกต์ใช้ การพัฒนาโปรแกรมควบคุมระบบ และการส่งถ่ายข้อมูลระหว่าง Microprocessor 2 ชุด

1.2.4 เพื่อเรียนรู้การทำงานของ Power Supply ชนิด Switching

1.2.5 เพื่อเรียนรู้การออกแบบและการนำอุปกรณ์ต่างๆมาร่วมกันเป็นระบบควบคุมระบบด้วย Microprocessor

1.2.6 เพื่อให้สามารถนำไปประยุกต์ใช้งานให้บริการโทรศัพท์ได้จริง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

1.3 ขอบเขตของโครงงาน

1.3.1 ด้านต้นทาง Central Office terminal (COT) ต่อกับคู่สายโทรศัพท์จากชุมสายโทรศัพท์ได้ 100 คู่สาย (100 เลขหมาย) และด้านปลายทาง Remote terminal (RT) ต่อกับครื่องโทรศัพท์ได้ 100 เครื่อง

1.3.2 ใช้ PCM 2 Mb/S เป็น transmission media

1.3.3 สามารถใช้ได้พร้อมๆกัน 30 เลขหมาย ในเวลาเดียวกัน

1.3.4 ใช้ Microprocessor จำนวน 2 ชุด ควบคุมการทำงานด้าน COT และ RT

1.3.5 สามารถเรียกเข้าออกได้คล้ายโทรศัพท์ธรรมดา โดยวิธีการใช้โทรศัพท์วิธีปกติ

1.3.6 ใช้ Switching power supply เป็นระบบจ่ายไฟ

1.4 วิธีการดำเนินงาน

1.4.1 ทำการศึกษา Crossbar และ LR-BR Relay set ศึกษาระบบ PCM และศึกษาการทำงานของ Microprocessor

1.4.2 ออกแบบสร้าง Rack เพื่อทำการติดตั้งอุปกรณ์ต่างๆ

1.4.3 ออกแบบสร้างวงจรต่างๆ ออกแบบการ wiring อุปกรณ์ต่างๆให้เข้ากับวัตถุประสงค์

1.4.4 พัฒนาโปรแกรมควบคุมระบบ

1.4.5 แก้ไขปรับปรุงโปรแกรมและวงจรให้ดีขึ้น

1.4.6 ทดลอง และสรุปผล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 2
ทฤษฎีและหลักการ

2.1 ทฤษฎีการทำงานของระบบ

2.1.1 ด้านปลายทาง Remote Terminal (RT)

อุปกรณ์ LR-BR relay set ต่อขนานกับคู่สายโทรศัพท์ของผู้เช่า 1 ชุดต่อ 1 เลขหมาย เมื่อผู้เช่ายกหูจะมี Contact ชุดหนึ่ง ต่อสัญญาณไปให้กับ Microprocessor (MPU) ได้รับรู้ถึงสภาพการยกหูของผู้เช่า MPU ทำการเลือก channel ของ PCM ที่ว่าง (1 ถึง 30) การตรวจสอบ channel ทำโดยตรวจสอบ ใน MPU

อุปกรณ์ Crossbar switch ต่อกับคู่สายของผู้เช่าโดยตรง โดยอาศัยการควบคุมการทำงานของ relay โดย MPU สั่งให้ต่อหรือเลิกการทำงานพร้อมกัน MPU จะนำข้อมูลที่ได้นี้ ส่งไปยังด้านต้นทาง เพื่อให้ Crossbar switch ต้นทางทำงานในตำแหน่งเดียวกัน ในสภาพนี้ สัญญาณ dial tone จากชุมสายจะถูกส่งมาให้ผู้เช่าโทรศัพท์ด้านปลายทาง ทำให้ผู้เช่าสามารถกดหมายเลข และใช้พูดโทรศัพท์ได้ เมื่อผู้เช่าวางหู MPU จะทำการสั่งให้ Crossbar switch เลิกทำงานพร้อมทั้งส่งข้อมูลไปยังฝั่งต้นทางด้วย

ในกรณีที่ผู้เช่ารายอื่นเรียกเข้ามา ด้านต้นทางจะต่อ Crossbar switch พร้อมทั้งส่งข้อมูลมาให้ด้านปลายทางต่อ Crossbar switch เช่นเดียวกัน

นั่นคือ เมื่อใดที่ Crossbar switch ทำงาน ผู้เช่าด้านปลายทางกับชุมสายโทรศัพท์สามารถเชื่อมต่อกันได้ปกติ

2.1.2 ด้านต้นทาง Central Office Terminal (COT)

อุปกรณ์ line status เป็นชุดที่ต่ออนุกรมกับ line เพื่อใช้ตรวจสอบการมีสัญญาณเรียก, การใช้งานปกติ, การวางหู โดยมีอุปกรณ์ตรวจสอบ current ใน line โทรศัพท์ ซึ่งจะมีระดับแรงดันไฟฟ้า ประมาณ 80 Vac สำหรับสัญญาณกระดิ่ง, แรงดัน -48 Vdc เมื่อมีการวางหู

อุปกรณ์ Pulse Code Modulation (PCM) ทำหน้าที่ เปลี่ยนสัญญาณเสียงของผู้เช่า จำนวน 30 วงจร เป็นสัญญาณ digital ระดับ 2 Mb/s ส่งผ่านคู่สายที่เชื่อมโยงระหว่าง 2 สถานี

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

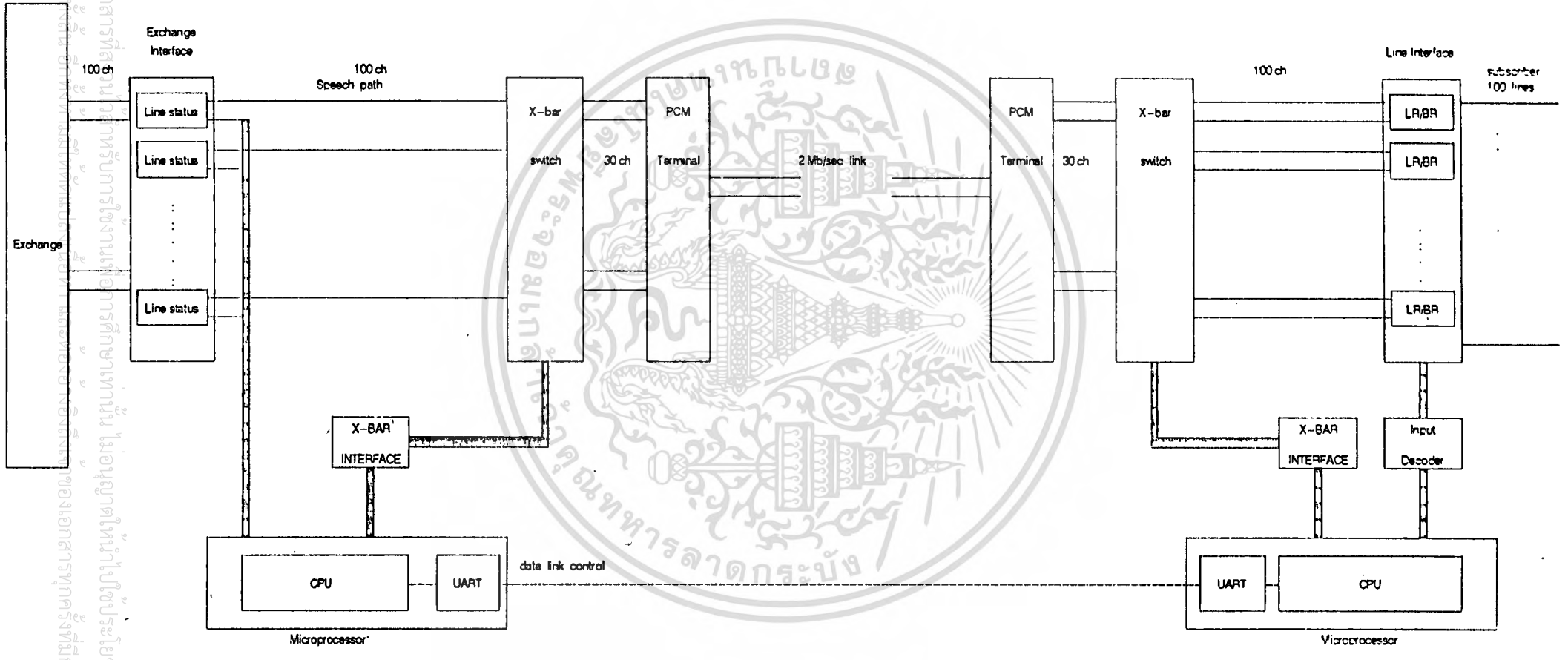
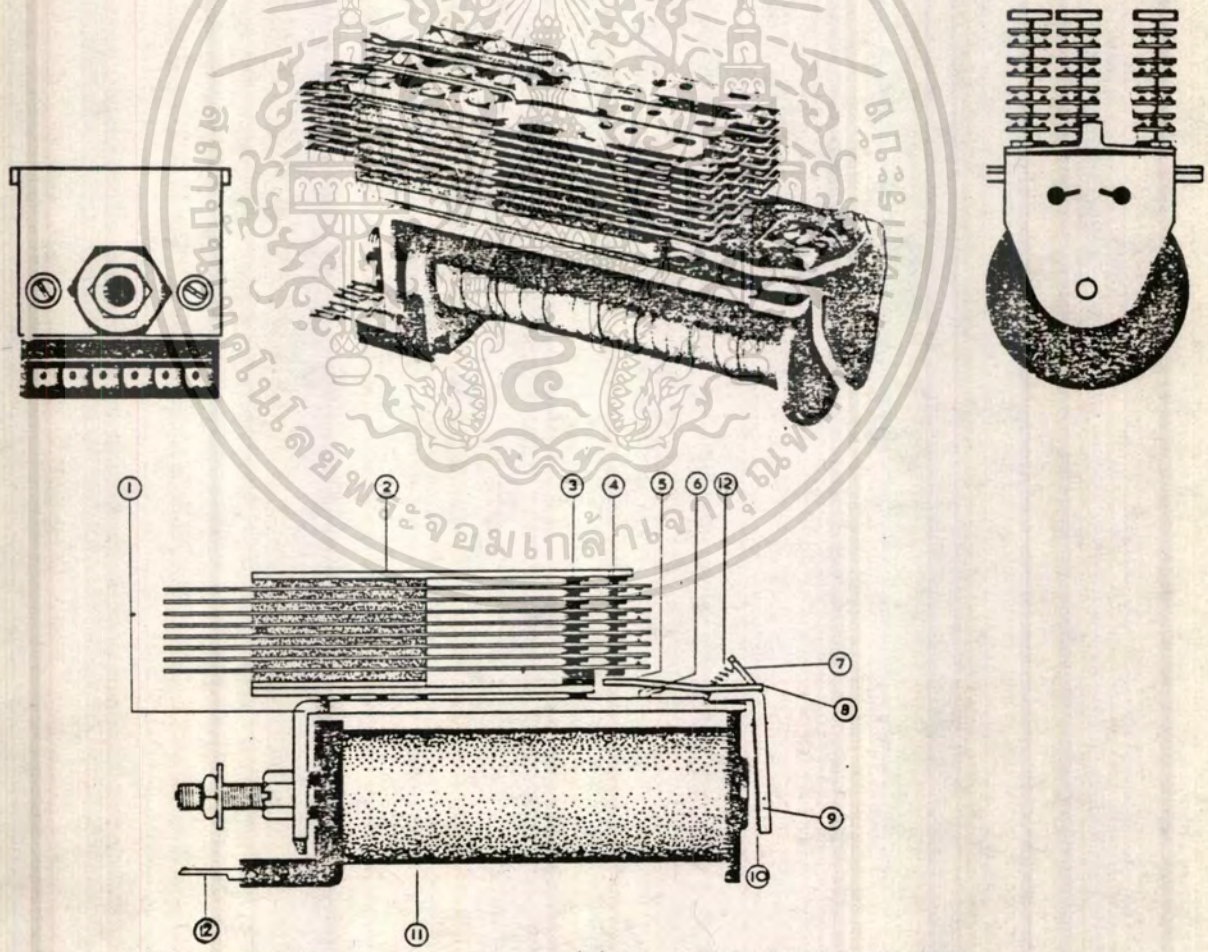


Fig. 2.1-1 Line Concentrator

2.2 CROSS BAR SWITCHING COMPONENTS

ชุมสายโทรศัพท์ระบบ Cross bar มี 3 ชนิดคือ ARF, ARM, ARK อุปกรณ์ switching component พื้นฐานเหมือนกันคือ relay แบ่งออกเป็นหลายชนิด คือ

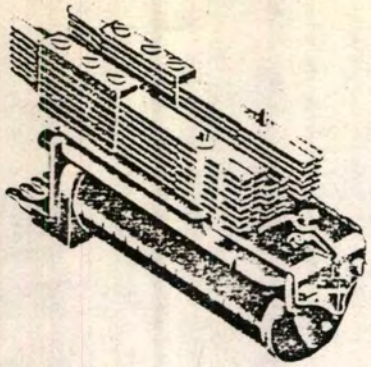
1. General Relays "RAB" และ "RAF" ใช้ประกอบกันเป็น Relay ชนิดอื่น
2. Triple Relays ชนิด "RAH"
3. Double-coil Line Relays (LR-BR)
4. Polarized Relays
5. Miniature Relays
6. Thermal relays
7. Crossbar switch

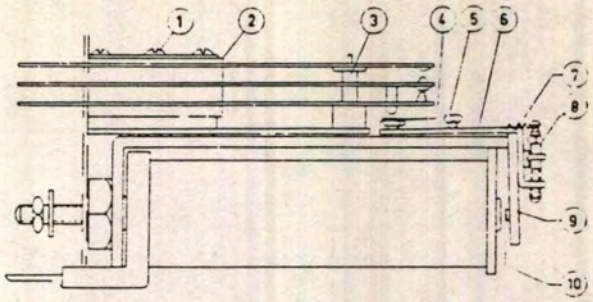


(1) Relay yoke.
(2) Springset.
(3) Supporting card or comb.
(4) Lifting comb.
(5) Lifting tongue.
(6) Tongue for Stroke adjustment.
(7) Armature bracket.
(8) Armature plate.
(9) Armature.
(10) Nylon Residual plate.
(11) Coil.

Fig 2.2-1 RAF TYPE GENERAL PURPOSE RELAY.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้





(1) Springset mounting screw.
(2) Contact springset. (3) Buffer.
(4) Screw adjusting spring lift.
(5) Screw adjusting armature travel.
(6) Armature bracket.
(7) Spiral spring.
(8) Screw adjusting armature pressure.
(9) Armature. (10) Residual.

Fig 2.2-2 GENERAL PURPOSE RELAY TYPE RAB.

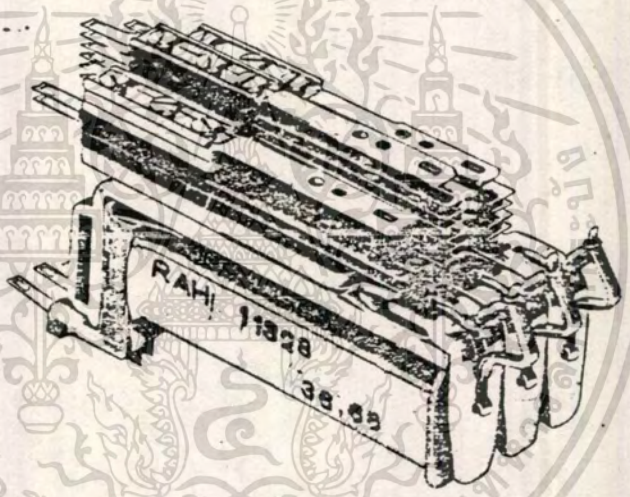
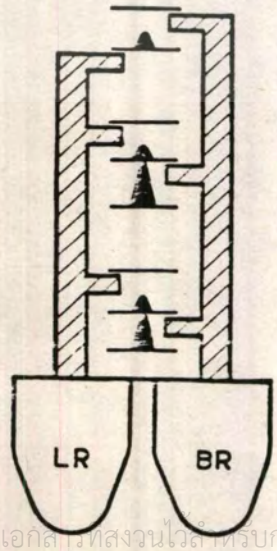


Fig 2.2-3 RELAY RAH



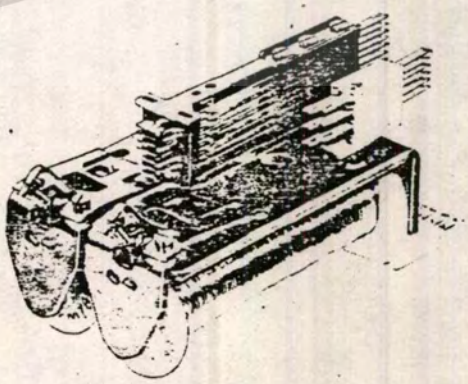


Fig 2.2-4 DOUBLE COIL LINE RELAY.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.3 อุปกรณ์ LR-BR

LR-BR เป็น relay set 1 ชุด ต่อผู้เช่า 1 ราย ต่อขนานกับคู่สายโทรศัพท์ของผู้เช่า เมื่อผู้เช่ายกหูหรือวางหู LR-BR จะทำงานหรือปล่อยตามสภาพของผู้เช่า

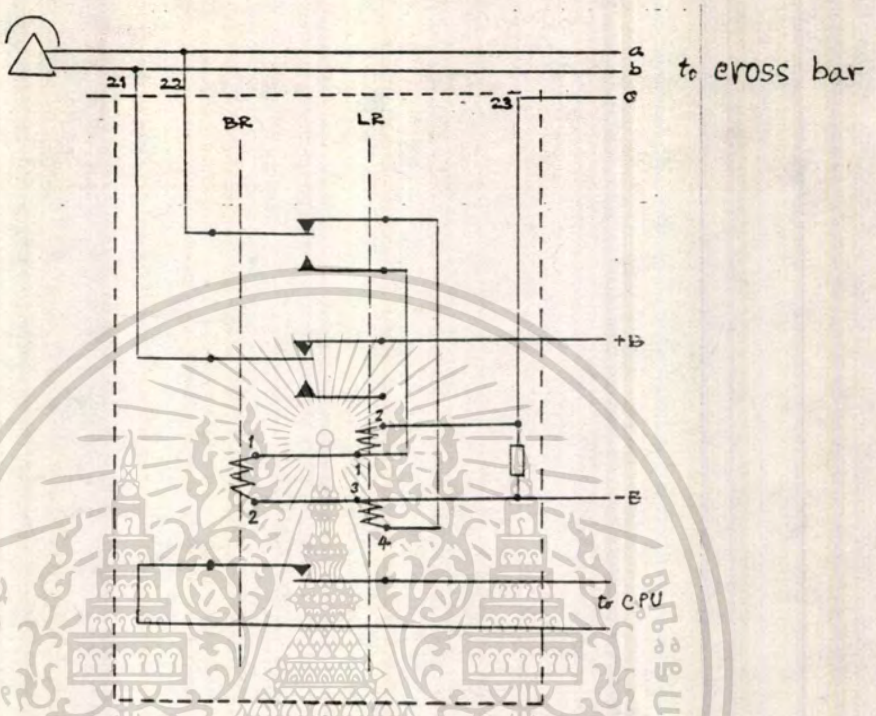


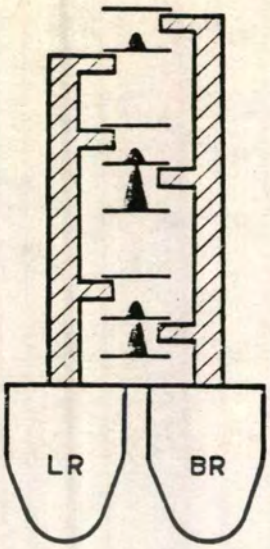
Fig 2.3-1 LR-BR circuit

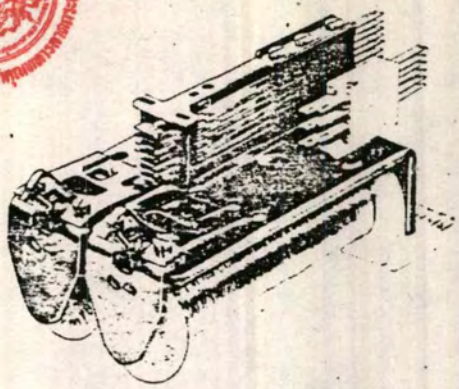
จากรูปที่ 2.3-1 แสดงวงจร LR-BR สภาพปกติ เครื่องโทรศัพท์ต่ออยู่กับสาย a,b ภายในมีสวิทช์ชนิด normal open ถ้าผู้เช่ายกหูจะเปลี่ยนเป็น close circuit มีแรงไฟ +48 Vdc ผ่าน contact BR ผ่านเครื่องโทรศัพท์ผู้เช่า ผ่าน relay LR ทำให้ LR ทำงาน contact LR-BR ที่ต่อไปยัง control ทำงาน หลังจากนั้น control จะสั่งให้ crossbar ทำงานมีไฟบวกย้อนจาก crossbar มาที่ขา C ทำให้ LR ถูกยก contact ขึ้น ทำให้ LR และ BR ทำงาน contact ของทุกตำแหน่งถูก clear แต่ relay LR/BR ยังคงทำงานอยู่ ในสภาพนี้ผู้เช่าสามารถติดต่อได้ตามปกติเมื่อผู้เช่าวางหู relay LR-BR จะถูกปล่อยกลับสู่สภาพปกติ

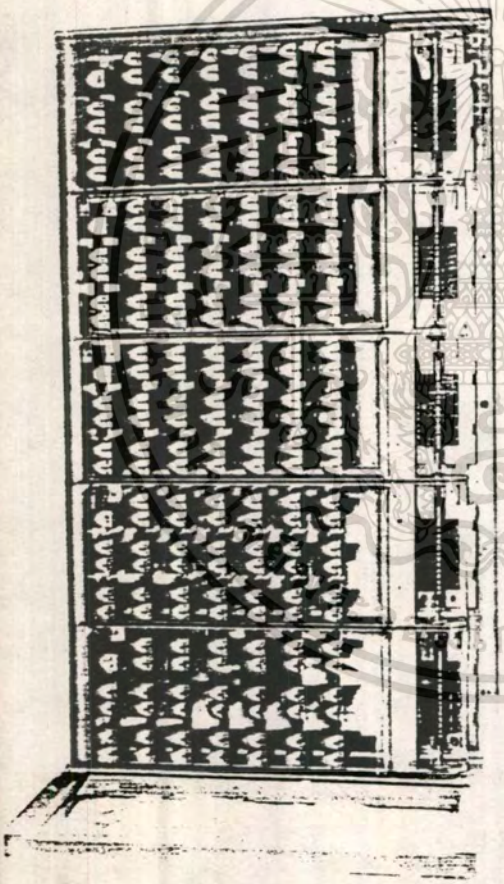
2.3.2 ส่วนประกอบของ LR-BR

ในส่วนประกอบของ LR-BR นั้น ใน 1 set จะประกอบด้วย relay LR-BR 20 ชุด สำหรับผู้เช่า 20 เลขหมาย ในโครงการนี้จึงต้องใช้ relay LR-BR จำนวน 5 set เพื่อให้บริการผู้เช่าได้ 100 เลขหมาย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้







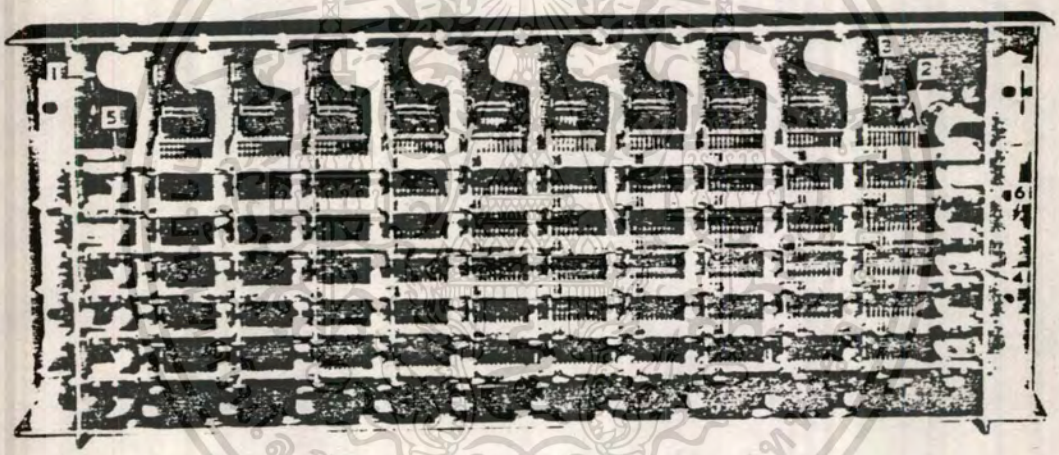
	00	01	02	03	04	05	
06	07	08	09	10	11	12	LR-BR 01
13	14	15	16	17	18	19	
	20	21	22	23	24	25	
26	27	28	29	30	31	32	LR-BR 02
33	34	35	36	37	38	39	
	40	41	42	43	44	45	
46	47	48	49	50	51	52	LR-BR 03
53	54	55	56	57	58	59	
	60	61	62	63	64	65	
66	67	68	69	70	71	72	LR-BR 04
73	74	75	76	77	78	79	
	80	81	82	83	84	85	
86	87	88	89	90	91	92	LR-BR 05
93	94	95	96	97	98	99	

Fig 2.3-2 LR-BR Relay set

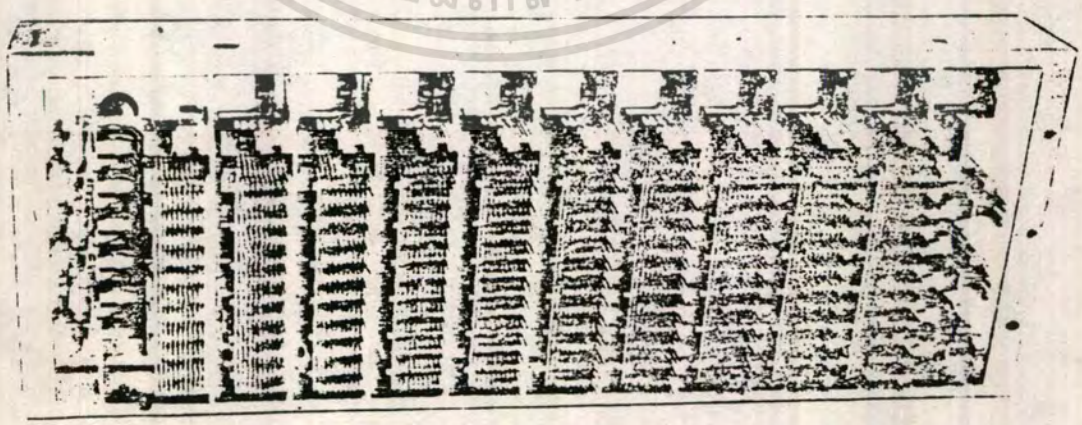
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้
009609

2.4 อุปกรณ์ Crossbar Switch

Crossbar switch เป็น switch ที่ใช้ต่อสาย จากจุดหนึ่งไปอีกจุดหนึ่ง 1 set ประกอบด้วย vertical relay (vert) 10 ชุด และ horizontal relay (hor) 10 ชุด โดยมีแกนโลหะแนวตั้งเรียกว่า contact strip 4 ชุด (4 poles switch) ยาวตลอด เป็นทางผ่านสัญญาณของหน้า contact ทางด้านแนวนอนมี horizontal magnet 10ชุด, finger,และ hor selecting bar 5 ชุด เป็นส่วนประกอบ hor จะทำงานตามการ operate ของ hor magnet ปกติ hor relay จะต้องทำงานก่อน vert เล็กน้อย อันเป็นผลจากการใช้ relay ซึ่งต้องหน่วงเวลาให้ hor ทำงานเรียบร้อยเสียก่อน มิฉะนั้น finger จะปิดกั้นไม่ให้หน้า contact สัมผัสกับ contact strip และถ้า hor selecting bar ไม่ทำงาน แม้ vert จะทำงานก็จะไม่ทำให้ contact ทำงานได้เลย



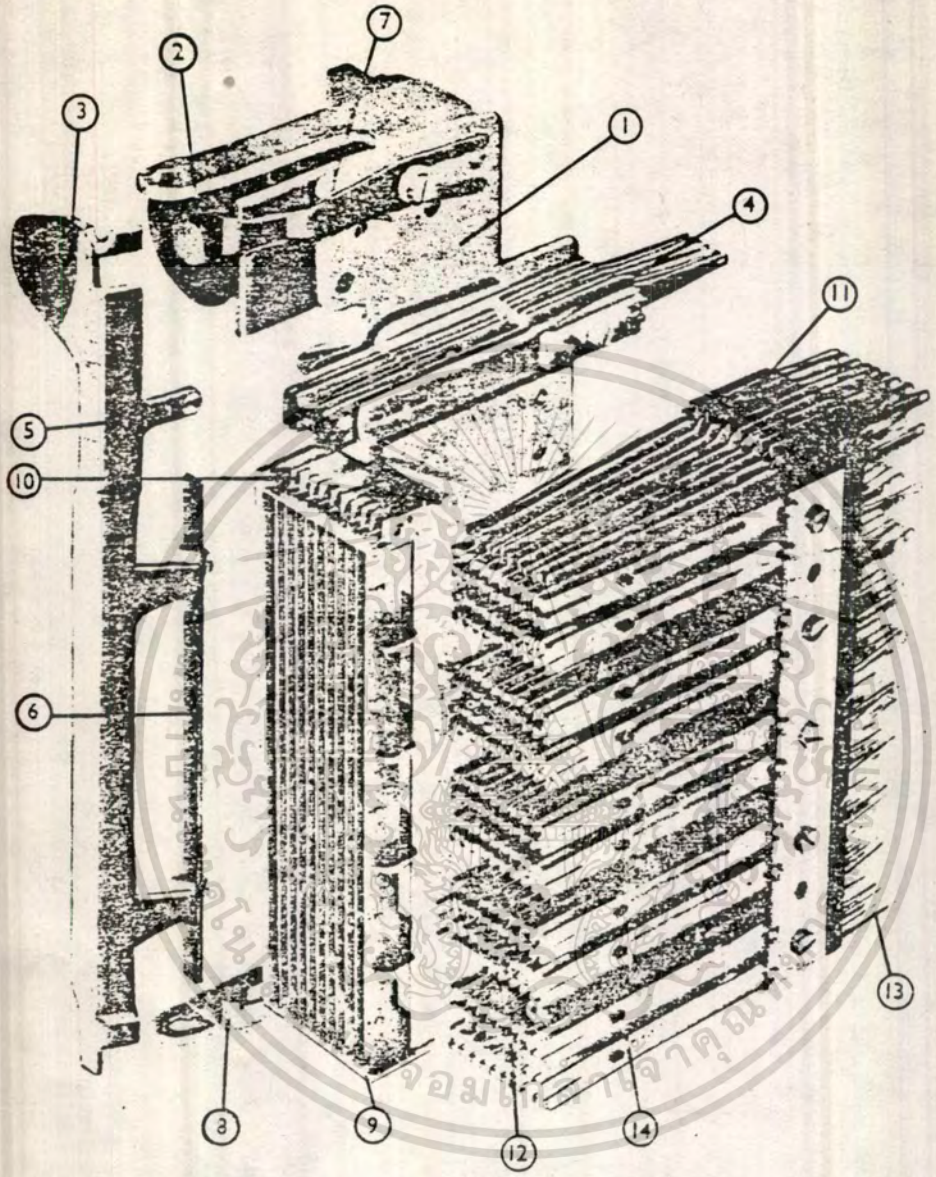
(a) Front View.



(b) Rear View.

Fig 2.4-1 CROSSBAR SWITCH

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



(1) Vertical unit base.
(2) Vertical unit magnet.
(3) Vertical armature.
(4) Vertical unit springset.
(5) Stud for vertical unit springset.
(6) Vertical holding bar.
(7) Upper locking spring.
(8) Lower locking spring.
(9) Contact strips.
(10) Strip extended tabs.
(11) Strip connecting bars.
(12) Multiple springset.
(13) Springset soldering tabs.
(14) Operating comb.

Fig 2.4-2 EXPLODED VIEW - VERTICAL UNIT.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

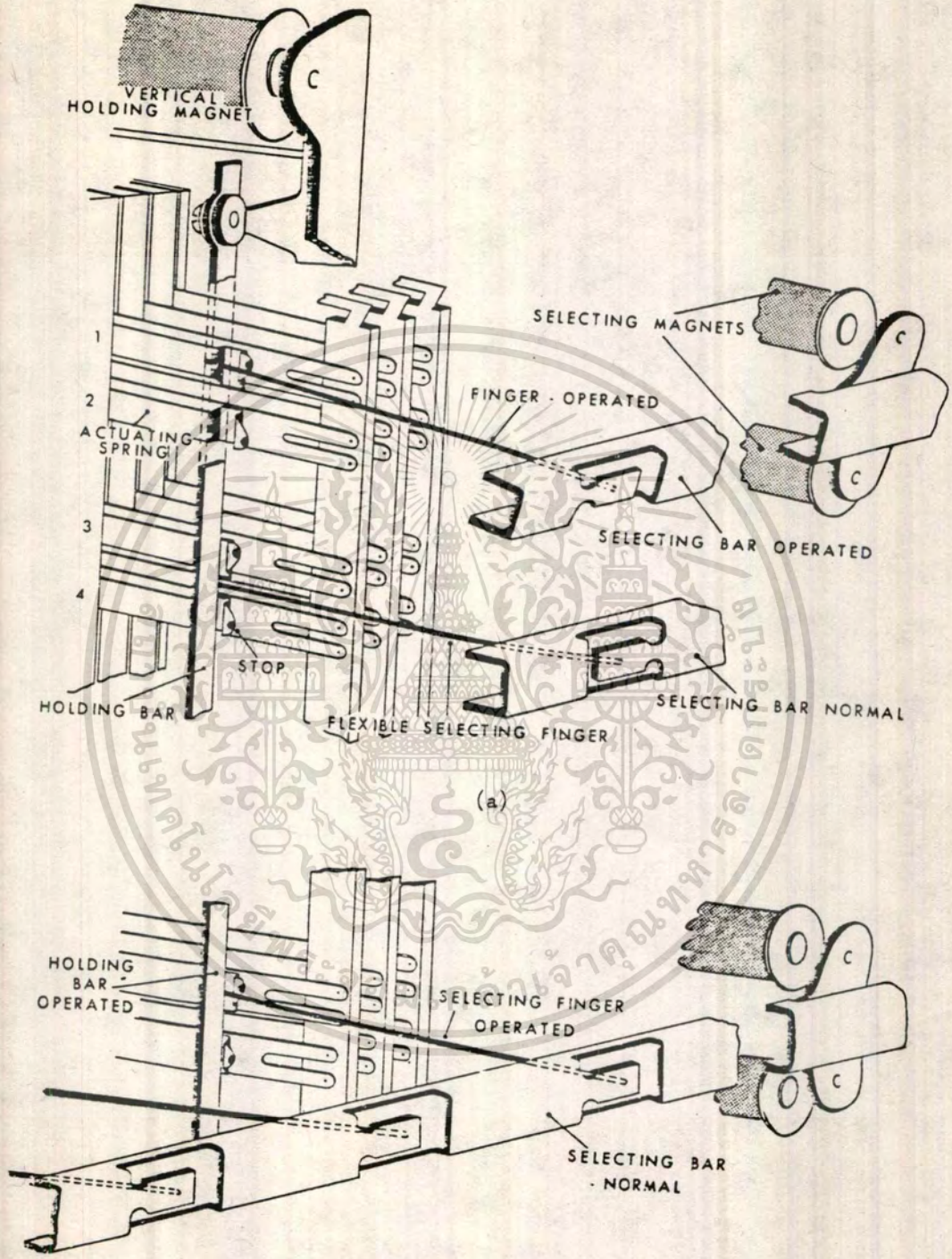


Fig 2.4-3 PRINCIPLE OF CROSSBAR MECHANISM.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

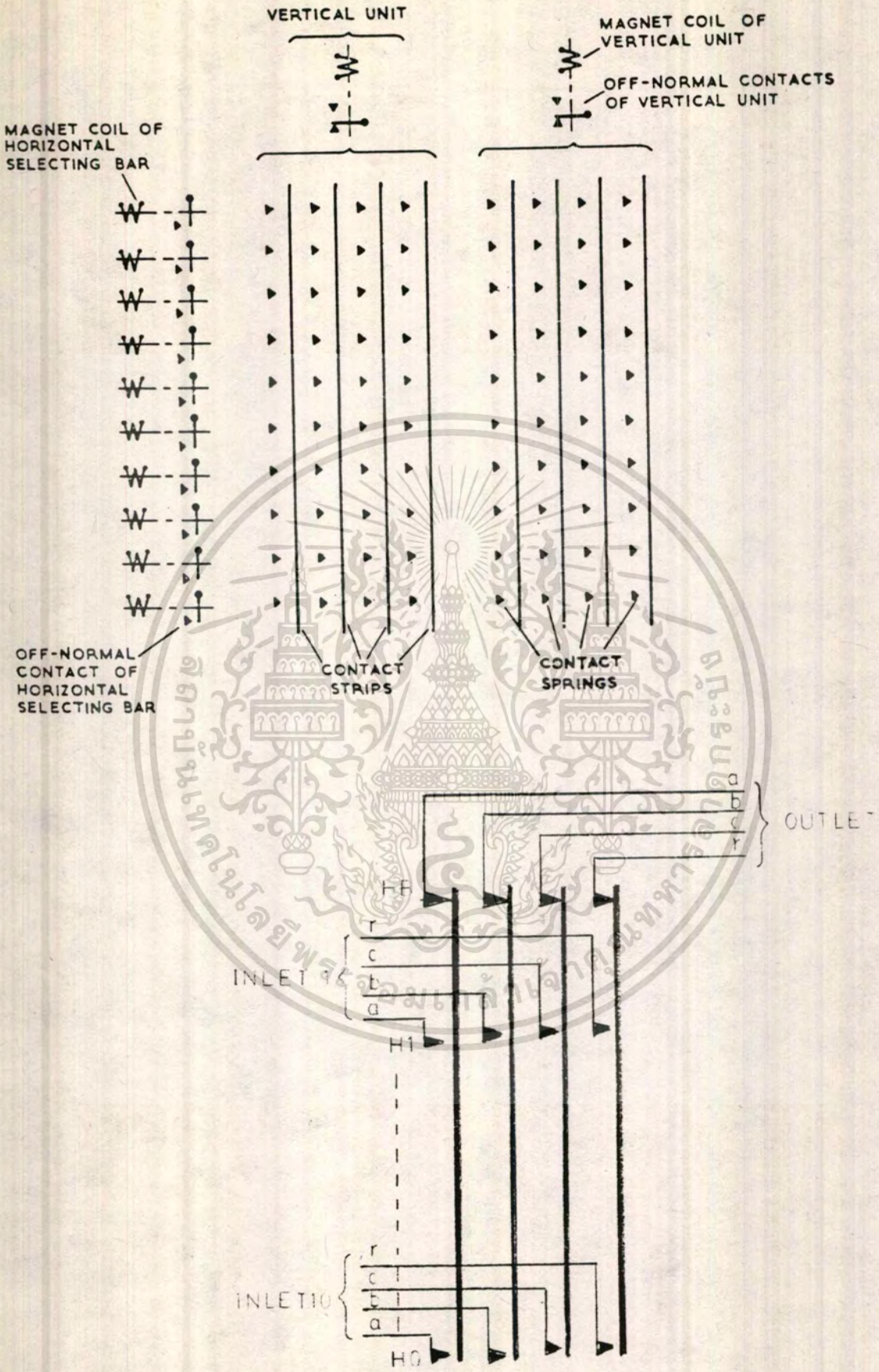


Fig 2.4-4 SECTION OF CONTACT FIELD.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การกำหนดเลขหมายของ crossbar switch

1. hor บอกหลักสิบ

2. vert บอกหลักหน่วย

เช่นตำแหน่งหมายเลขผู้เช่า เป็น 53 จะบอกถึงคู่สายของผู้เช่ามาเข้าที่ตำแหน่ง crossbar ที่ hor ที่ 5 vert ที่ 3

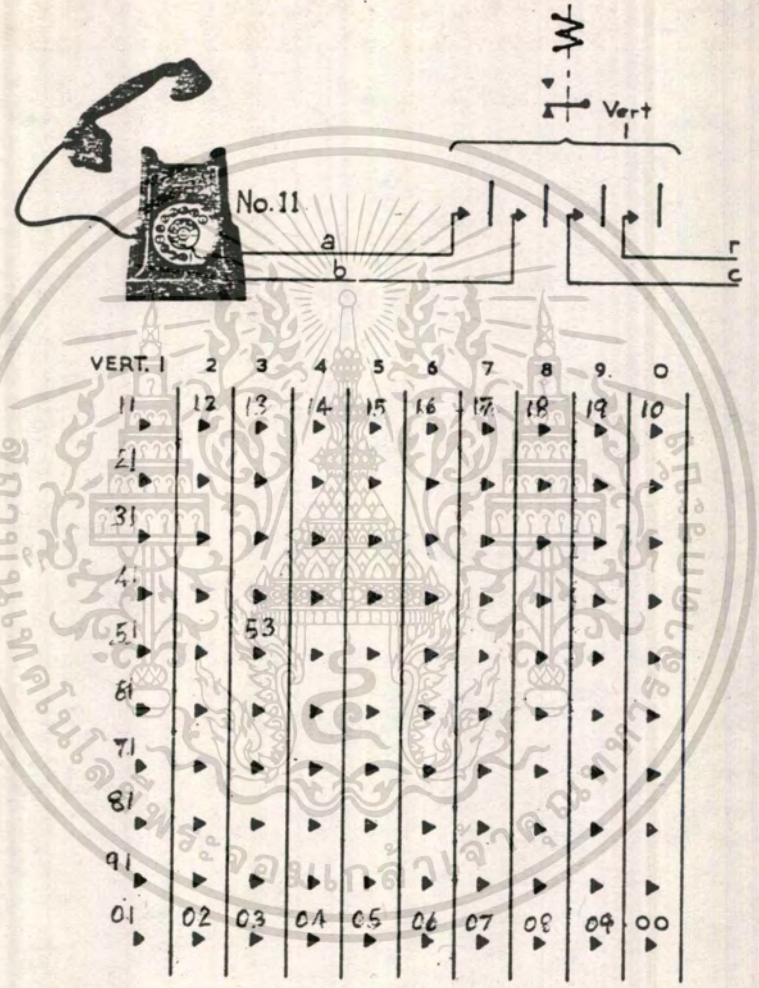


Fig 2.4-5 ARRANGEMENT OF 100 LINES ON A CROSSBAR SWITCH

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เมื่อ vert ทำงานก็เป็นการต่อสายจากจุดหนึ่งไปยังอีกจุดหนึ่งเรียบร้อยแล้ว vert magnet จะ hold อยู่ตลอดเวลาในการใช้งาน ส่วน hor magnet จะ release กลับไปอยู่ในตำแหน่ง normal หมายถึง hor selecting bar กลับมาอยู่ในตำแหน่ง normal ด้วย แต่ finger ที่ถูกใช้งานนั้นยังคงทำงานค้างอยู่จนกว่า vert ปล่อย (ผู้เช่าวางหู) finger จะเป็นตัวกำหนดให้แต่ละ vert ทำงานได้ 1 ตำแหน่ง เมื่อ finger ถูกใช้งานไปแล้ว 1 อัน finger อื่นในตำแหน่งอื่นของ vert อื่น (hor เดิมหรือใหม่ก็ได้) จึงทำให้ cross bar 1 ชุด มี output ได้ 10 ตำแหน่ง

cross bar switch 1 ตัวมี 10 vert และ 5 hor นำมาจัดให้กับผู้เช่าขนาด 100 เลขหมาย โดยการต่อสำหรับผู้เช่าที่ตำแหน่ง 4 poles switch ดังนี้

contact a,b เป็น contact สำหรับสัญญาณ speech 2 wires

contact c เป็น contact สำหรับ clear LR-BR

contact r เป็น contact ว่าง ไม่ได้ใช้

ในการสร้าง Line Concentrator นี้ได้เลือก cross bar HB มาออกแบบ wiring HB cross กับ V0....V9 เป็นตำแหน่ง contact สำหรับสัญญาณ output ของ cross bar จำนวน 10 output ดังนี้

V0 เป็น output ของผู้เช่าหมายเลข 00,10,20,30.....90

V1 เป็น output ของผู้เช่าหมายเลข 01,11,21,31.....91

V2 เป็น output ของผู้เช่าหมายเลข 02,12,22,32.....92

:

:

V9 เป็น output ของผู้เช่าหมายเลข 09,19,29,39.....99

<u>การวิเคราะห์การเลือกผู้เช่า 100 ราย ใช้งานได้ 30 ราย พร้อม ๆ กัน</u>

เนื่องจาก vert relay 1 ตำแหน่ง รับ output ได้สำหรับ H0...H9 เพียงตำแหน่งเดียว จึงทำให้ vert ถูกกำหนดเลขหมายที่แน่นอน สำหรับผู้เช่า 10 ราย แต่ใช้ได้เพียงรายเดียว ดังนั้น หากเราเพิ่มจำนวน cross bar เข้าไปอีก 2 set แล้วต่อตำแหน่ง input 100 ตำแหน่ง (หรือ 100 เลขหมาย) ในลักษณะขนานกันที่ 4 poles switch จะทำให้ผู้เช่าจำนวน 100 ราย สามารต่อ output ได้ 30 ราย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

	V1	V2	V3	V4	V5	V6	V7	V8	V9	V0
H1	11	12	13	14	15	16	17	18	19	10
H2	21	22	23	24	25	26	27	28	29	20
H3	31	32	33	34	35	36	37	38	39	30
H4	41	42	43	44	45	46	47	48	49	40
H5	51	52	53	54	55	56	57	58	59	50
H6	61	62	63	64	65	66	67	68	69	60
H7	71	72	73	74	75	76	77	78	79	70
H8	81	82	83	84	85	86	87	88	89	80
H9	91	92	93	94	95	96	97	98	99	90
H0	01	02	03	04	05	06	07	08	09	00

H1	11	12	13	14	15	16	17	18	19	10
H2	21	22	23	24	25	26	27	28	29	20
H3	31	32	33	34	35	36	37	38	39	30
H4	41	42	43	44	45	46	47	48	49	40
H5	51	52	53	54	55	56	57	58	59	50
H6	61	62	63	64	65	66	67	68	69	60
H7	71	72	73	74	75	76	77	78	79	70
H8	81	82	83	84	85	86	87	88	89	80
H9	91	92	93	94	95	96	97	98	99	90
H0	01	02	03	04	05	06	07	08	09	00

H1	11	12	13	14	15	16	17	18	19	10
H2	21	22	23	24	25	26	27	28	29	20
H3	31	32	33	34	35	36	37	38	39	30
H4	41	42	43	44	45	46	47	48	49	40
H5	51	52	53	54	55	56	57	58	59	50
H6	61	62	63	64	65	66	67	68	69	60
H7	71	72	73	74	75	76	77	78	79	70
H8	81	82	83	84	85	86	87	88	89	80
H9	91	92	93	94	95	96	97	98	99	90
H0	01	02	03	04	05	06	07	08	09	00

Fig 2.4-6 crossbar switch 3 ชุด ต่อขนานกัน

Fig 2.4-7 timing diagram ของ crossbar switch

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.5 ภาคตรวจสอบสถานภาพของสาย (line status)

วงจรตรวจสถานภาพของสายนี้ เป็นวงจรเพื่อตรวจสอบว่า คู่สายโทรศัพท์นี้อยู่ในสภาวะใด เช่น อยู่ในสภาพการยกหู วางหู หรือมีสัญญาณเรียก (Ringing) เมื่อวงจรตรวจสอบแล้วก็จะรายงานให้ MPU ทราบดัง block diagram

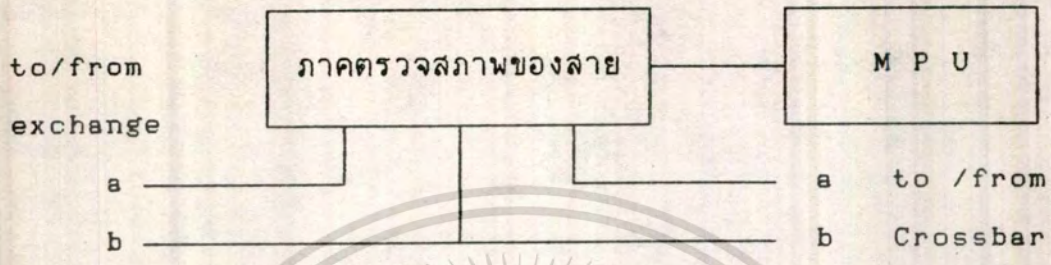


Fig 2.5-1 แสดง block diagram ของภาคตรวจสภาพของสาย

จาก block diagram จะเห็นว่าวงจรถูกต่ออนุกรมกับสายโทรศัพท์ เพื่อทำการตรวจสอบ สาเหตุที่ใช้วงจรอนุกรมกับสายโทรศัพท์นี้ก็เพราะว่า เมื่อมีการยกหูโทรศัพท์ขึ้น จะเกิดกระแสไหล ผ่านเครื่องโทรศัพท์ของผู้เช่า ผ่านวงจรตรวจสอบสถานภาพของสายว่าผู้เช่ากำลังใช้สายอยู่หรือไม่ ซึ่งเป็นแบบที่ประหยัดเรียบง่ายกว่าแบบทั่วๆไปโดยใช้จุดตรวจสอบเพียงจุดเดียว ในการตรวจสอบว่าสายถูกใช้หรือไม่ ไม่ว่าจะอยู่ในสภาวะถูกเรียกหรือกำลังใช้สายอยู่ โดยการตรวจกระแสที่ไหลในสายไม่ว่าจะเป็นไฟ AC หรือ DC ก็ตาม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.6 อุปกรณ์ PCM

PCM (Pulse Code Modulation) เกี่ยวข้องกับการแปลงสัญญาณเสียง ซึ่งเป็น analog signal ให้เป็น ขบวน pulse ในรูปของรหัสซึ่งมี amplitude คงที่ แล้วส่งไปให้สื่อตัวกลางที่ปลายทางด้านรับ ขบวนของ pulse ดังกล่าวจะถูกแปลงกลับเป็น analog signal ในรูปเดิม การส่งขบวนของ pulse นี้ เป็นลักษณะของ digital transmission ซึ่งมีข้อได้เปรียบ เหนือ analog transmission คือ

1. มีภูมิคุ้มกัน (immunity) ต่อสิ่งรบกวนและความเพี้ยนได้ดีกว่า

2. สามารถผลิต digital signal ที่ปราศจากสิ่งรบกวน และการเพี้ยนของสัญญาณที่ repeat ขึ้นมาใหม่ได้ แต่ก็มีข้อเสียเปรียบ คือ

Band width ของการส่งแบบ digital จะกว้างกว่าแบบ analog ประมาณ 7-8 เท่า

การเปลี่ยน Analog Signal ให้เป็น digital signal มีการกระทำที่เกี่ยวข้อง 2 ประการ คือ

1. เปลี่ยน analog signal ให้เป็น pam signal โดยวิธีการ sampling

2. เปลี่ยน pam pulse ได้เป็น digital signal โดยวิธีการ Quantizing และ Encoding

Sampling

จากการค้นคว้าพบว่าถ้าสุ่มตัวอย่างจาก analog signal เป็นช่วง ๆ สม่ำเสมอในอัตราอย่างน้อย 2 เท่าของ highest significant frequency ของสัญญาณนั้นแล้ว ตัวอย่างที่สุ่มมาได้จะบรรจุข่าวสารของสัญญาณเดิมครบถ้วน

สำหรับสัญญาณโทรศัพท์ที่ใช้ standard CCITT voice channel 300-3400 Hz จะได้รับการสุ่มตัวอย่างในอัตรา 8000 ครั้งต่อวินาที หรือทุก ๆ 125 ไมโครวินาที การสุ่มตัวอย่างในกระบวนการของ time division multiplex นั้นกระทำกันเป็นจำนวนหลายช่องโทรศัพท์ตามลำดับกัน ทำให้ได้ pam signal ขนาด amplitude ต่าง ๆ ของแต่ละช่องเรียงลำดับกันไป ในระบบ PCM 30 Ch การสุ่มตัวอย่างตามลำดับจากช่อง 1 ถึงช่อง 30 จะต้องกระทำให้เสร็จภายในเวลา 125 ไมโครวินาที (ช่วงเวลาในหนึ่ง Frame)

Quantizing

การสุ่มตัวอย่างจากสัญญาณโทรศัพท์ในอัตราสม่ำเสมอนั้น เราได้กระบวนของ pules (pam signal) ซึ่ง amplitude ของมันอาจมีค่าต่าง ๆ ได้มากมาย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ในเชิงพาณิชย์ ไม่ว่ากรณีใดๆทั้งสิ้น ไม่อนุญาตให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

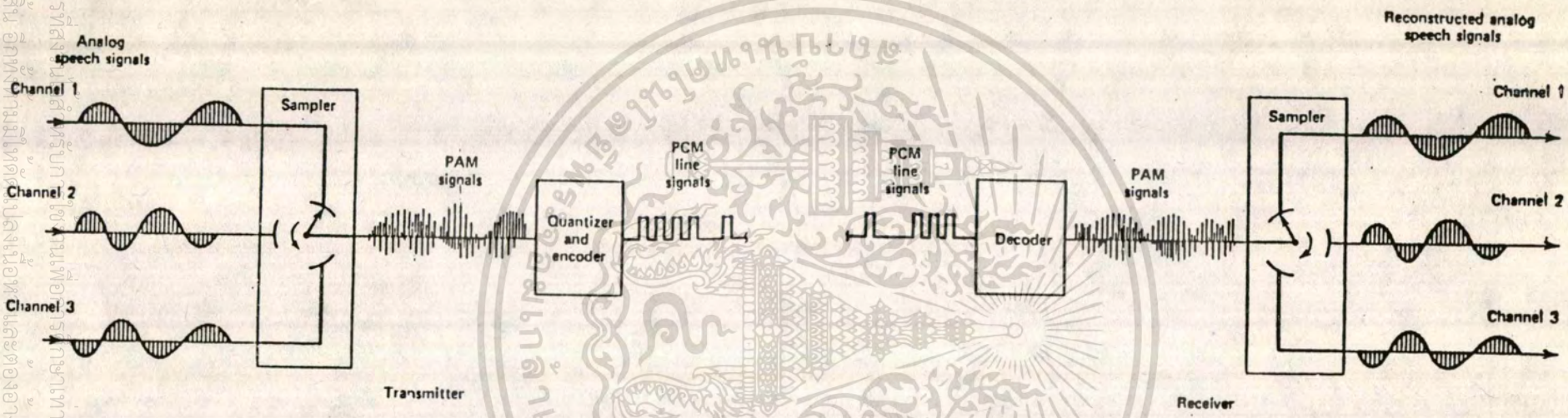


Fig 2.6-1 องค์ประกอบที่สำคัญ ๆ ของระบบ TDM-PCM

ไม่จำกัดโดยการแบ่งย่าน amplitude สูงสุดของสัญญาณ (load capacity) ที่คาดว่าต้องทำการสุ่มตัวอย่างออกเป็นระดับ (level) หรือขั้น (step) ต่าง ๆ ด้วยจำนวนจำกัดเราก็สามารถแทน amplitude ค่าต่าง ๆ ของสัญญาณที่สุ่มมาด้วยจำนวนของระดับที่แบ่งไว้ได้ การให้ binary code ก็กำหนดระดับที่ใกล้เคียงที่สุดกับตัวอย่างที่สุ่มมาได้นั้น ซึ่งเราเรียกกรรมวิธีนี้ว่า "Quantizing" และเรียกระดับหนึ่ง ๆ ที่แบ่งไว้ว่า "Quantizing level" และเรียกขั้นหนึ่ง ๆ ที่แบ่งไว้ว่า "Quantum step"

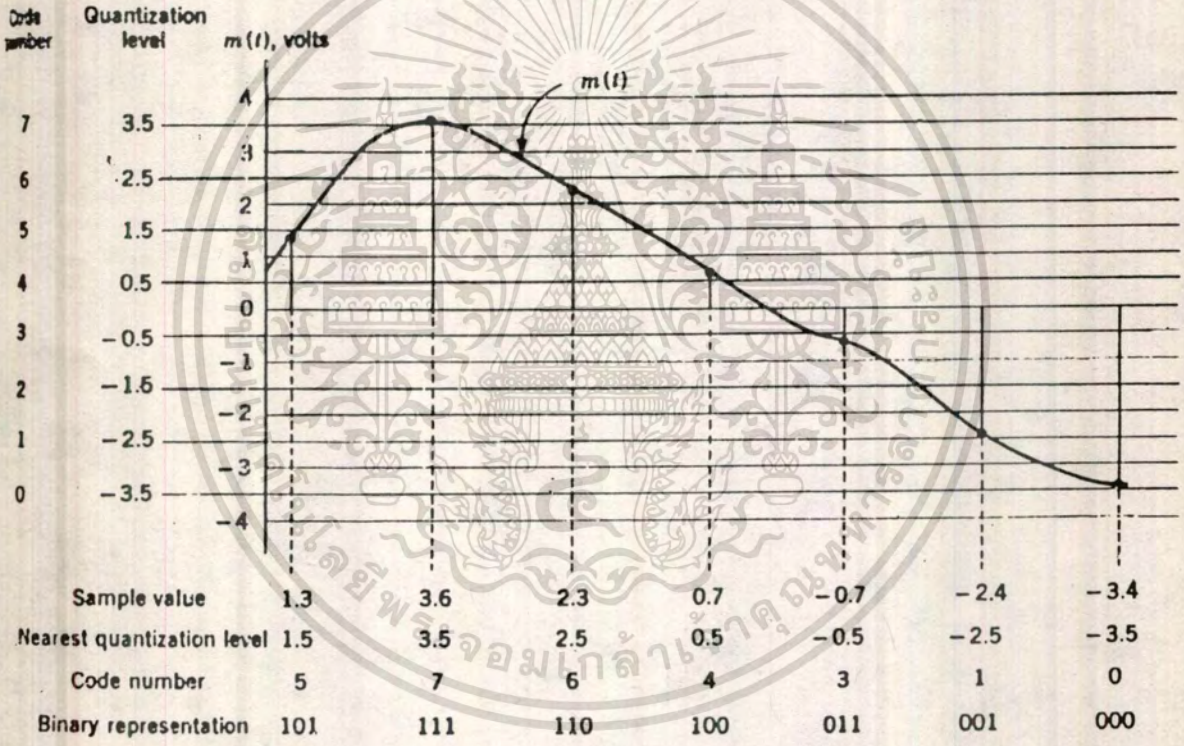


Fig 2.6-2 กรรมวิธีของ quantizing

จากรูป 2.6-2 แสดงสัญญาณที่ทำการสุ่มตัวอย่าง m(t) ซึ่งมีย่านแรงดันอยู่ระหว่าง -4v ถึง +4v เราแบ่งย่านแรงดันนี้ออกเป็น 8 ระดับ คือที่ -3.5 ,

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใด ๆ ทั้งสิ้น รวมทั้งไม่อนุญาตให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารนี้ทุกครั้งที่มีการนำไปใช้

-2.5, -1.5, -0.5, 0.5, 1.5, 2.5 และ 3.5 V (ขั้นละ 1 V) การสุ่มตัวอย่างอันแรกตรงกับแรงดันจริง 1.3V เรากำหนดให้อยู่ในระดับ 1.5V จะเห็นได้ว่าระดับที่เรากำหนดได้เพียงแต่ใกล้เคียงกับค่าจริงของตัวอย่างที่สุ่มเท่านั้น ทำให้การคลาดเคลื่อนหรือผิดพลาด ซึ่งเราเรียกว่า "Quantizing error หรือ quantizing noise" ซึ่งเป็นสิ่งสำคัญที่ทำให้เกิดการ distortion ในระบบ PCM ปริมาณของ quantizing steps ขึ้นอยู่กับจำนวน Quantum steps ที่เราใช้ในการแบ่งย่าน amplitude ของสัญญาณ ยิ่งใช้จำนวน quantum steps มากเท่าใด quantizing noise ก็จะยิ่งต่ำลง แต่การเพิ่มจำนวน quantum steps ก็จะทำให้การส่ง binary coded signal ต้องใช้ bandwidth กว้างขึ้นด้วย ในการใช้งานจริงเราใช้ 255 steps

coding

คือการเอา quantizing level ที่ใกล้เคียงที่สุดถึงระดับ amplitude จริงที่สุ่มได้ไป encoder เพื่อผลิต binary code signal ตรงตาม quantizing level นั้น ๆ เพื่อส่งออก transmission

จากรูปที่ 2.6-2 เรากำหนดค่าของรหัส (code number) สำหรับ quantizing level ไว้ จากตัวอย่างที่สุ่มได้อันแรก คือ 1.3V quantizing level ที่ใกล้เคียงที่สุด คือ 1.5V ซึ่งตรงกับค่ารหัส 5 ดังนั้นรหัสที่ส่งออกคือ 101 ตัวอย่างที่สุ่มได้อันที่ 2 เราใช้ quantizing level ที่ 3.5V ซึ่งตรงกับค่ารหัส 7 ดังนั้นรหัสที่ส่งออก คือ 111 (เลขฐาน 2)

PCM bandwidth

ข้อเสียเปรียบประการสำคัญของ PCM ก็คือต้องการ band width ในการส่ง เพิ่มขึ้น เพื่อเป็นตัวอย่าง ขอให้พิจารณาการส่งสัญญาณโทรศัพท์ 1 ช่อง (4 kHz) ด้วยการใช้อัตราการสุ่ม 8000 ครั้งต่อวินาที และใช้จำนวน 8 bits ในกลุ่มรหัส ดังนั้นในเวลา 1 วินาที จะมี pulse ส่งออกเป็นจำนวน 8000x8 = 64000 bits การสุ่มรหัสในอัตรา 64000 bits ต่อวินาที จำเป็นต้องใช้ bandwidth อย่างน้อยที่สุด 32 KHz ซึ่งถ้าใช้ระบบ FDM แล้วต้องการ band width เพียง 4 KHz เท่านั้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

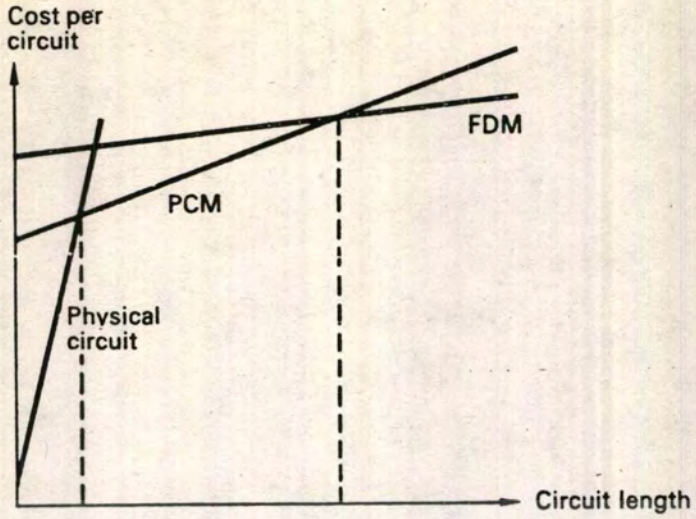


Fig 2.6-3 การเปรียบเทียบค่าใช้จ่ายต่อหนึ่งวงจรของการส่งในแบบต่างๆ

รูปที่ 2.6-3 แสดงการเปรียบเทียบค่าใช้จ่ายที่ต้องลงทุนต่อหนึ่งวงจร สำหรับวงจรส่งแบบต่าง ๆ สำหรับวงจรส่งที่ใช้สายธรรมดาแท้ ๆ (physical circuit) ค่าใช้จ่ายส่วนใหญ่จะเพิ่มขึ้นเป็นสัดส่วนกับความยาวของวงจร และทางที่จะประหยัดได้ดีที่สุดก็คือ ใช้สำหรับระยะทางสั้น ๆ

สำหรับระบบ PCM การลงทุนเริ่มแรกของอุปกรณ์มัลติเพล็กซ์ ในชุมสายโทรศัพท์ รวมทั้งเครื่องทวนสัญญาณ (regenerative repeaters) ที่ต้องใช้ตามทางสายจะต้องนำมาคิดด้วย อย่างไรก็ดี ค่าใช้จ่ายต่อหนึ่งวงจรจะน้อยกว่าใช้สายธรรมดาแท้ ๆ หลังจากระยะทาง 5 ก.ม. ไปแล้ว

สำหรับระบบ FDM การลงทุนเริ่มแรกจะมีมากกว่าระบบอื่น แต่ค่าใช้จ่ายต่อหนึ่งวงจรจะต่ำกว่าระบบ PCM หลังจากระยะทางประมาณ 50 ก.ม. ขึ้นไป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

PHYSICAL SPECIFICATIONS of VF MULTIPLEXER

a.	Dimensions:	120 mm W x 312.5 mm H x 225 mm D
b.	Weight:	3.4 kg (fully equipped)

ELECTRICAL SPECIFICATIONS

a.	Number of Channels:	30
b.	Channel Sampling Rate:	8 kHz
c.	Encoding Law:	8 bits/sample A = 87.6, 13 segments
d.	Clock Frequency:	2048 kHz ±50 ppm
e.	Clock Source:	Internal, slave and external (selectable)
f.	Frame Structure:	See Fig. 2.6–4
g.	VF Interface	
	Impedance:	600 ohms 900 ohms
	Minimum transmit level:	2W CH −11 dBm 4W CH −14 dBm (GRP. 0A00/0A01) −16 dBm (GRP. 0B00/0B01)
	Maximum receive level:	2W CH +1 dBm 4W CH +4 dBm (GRP. 0A00/0A01) +7 dBm (GRP. 0B00/0B01)
	Adjustable range:	15.5 dB in 0.5 dB steps
	Level:	0 dBm transmit, −2 dBm receive for two-wire −4 dBm transmit, −3.5 dBm receive for four-wire (The above settings are for typical applications only.)
	Overload threshold:	+3 dBmO
	Attenuation/frequency distortion:	See Fig. 2.6–5
	Variation of gain with input level:	See Fig. 2.6–6
	Signal to total distortion ratio:	See Fig. 2.6–7
	Crosstalk:	≤−65 dBmO
	Return loss (within 0.3 to 3.4 kHz):	≥15 dB for two-wire ≥20 dB for four-wire
	Idle channel noise:	≤−65 dBmOp

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

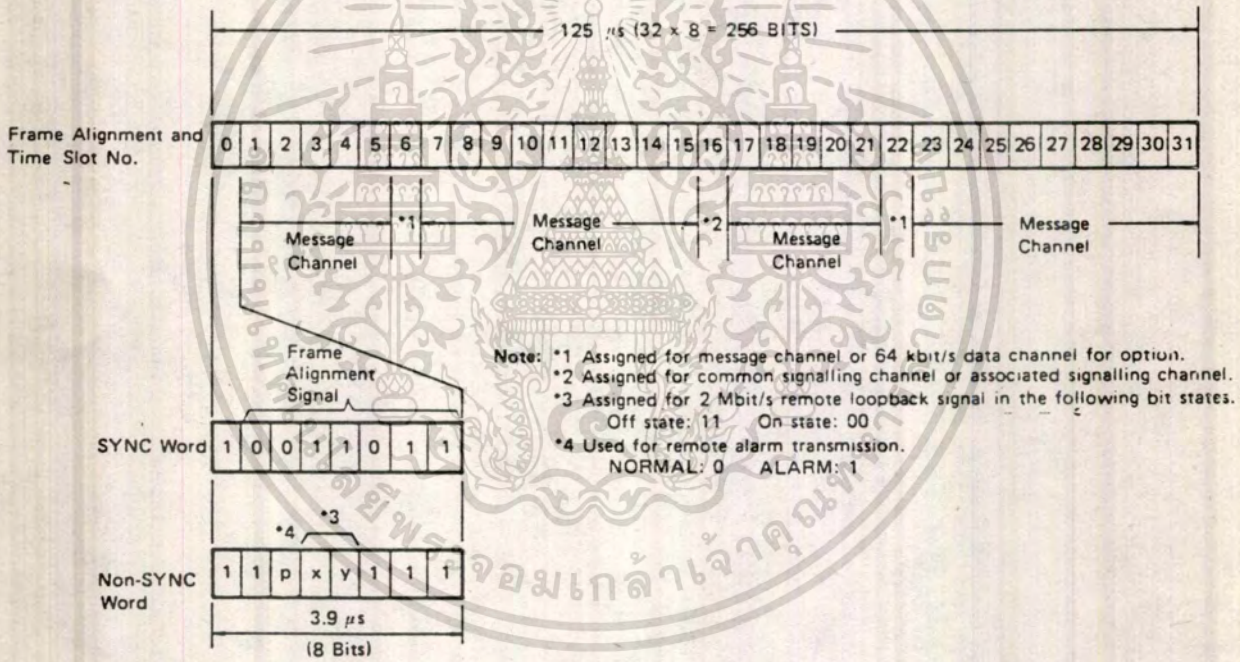
h. 2048 kbit/s Interface

Input Port

Bit rate:	2048 kbit/s ±50 ppm
Code:	HDB3
Impedance:	75 ohms unbalanced (GRP. 0N00/0Q00/0R00)
Allowable loss at input:	0 to 6 dB at 1024 kHz

Output Port

Bit rate:	2048 kbit/s ±50 ppm
Code:	HDB3



Allocation of Channel Time Slot 16
(conforming to CCITT standard)

Channel time slot 16 of frame 0		Channel time slot 16 of frame 1		Channel time slot 16 of frame 2		Channel time slot 16 of frame 15	
0 0 0 0	1 A 1 1	a b 0 1 Channel 1	a b 0 1 Channel 16	a b 0 1 Channel 2	a b 0 1 Channel 17	a b 0 1 Channel 15	a b 0 1 Channel 30

Note (1) "A" bit is used for remote alarm transmission of loss of multi-frame alignment (Normal; 0, Alarm; 1).
(2) "a" and "b" represent signalling transmission paths of "a" and "b".

Fig 2.6–4 Frame Structure of N5700M/N/P/Q/R VF Multiplexer

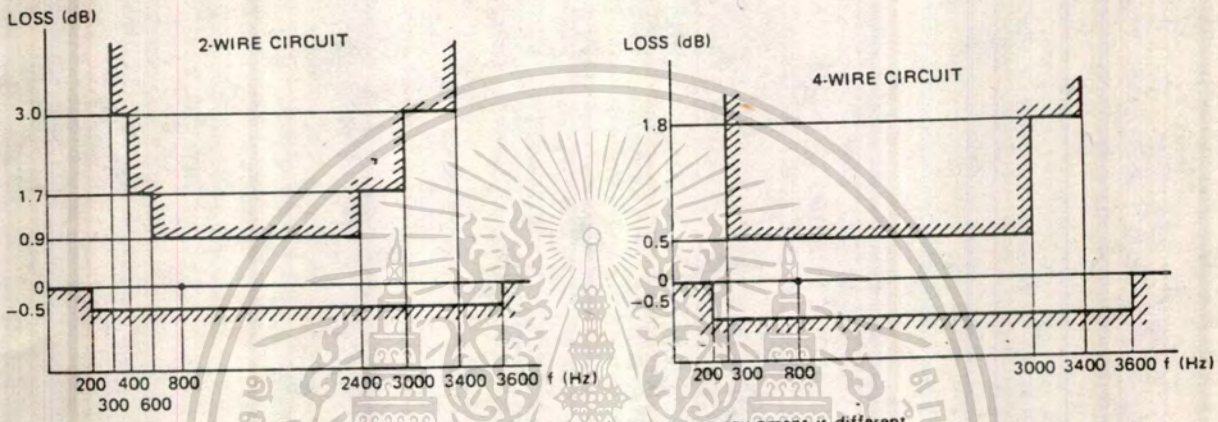
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Peak voltage of a mark: ±2.37 V ±10% connected to a 75-ohm resistive load (GRP. 0N00/0Q00/0R00)

Impedance: 75 ohms unbalanced (GRP. 0N00/0Q00/0R00)

Pulse width: 244 ±25 ns

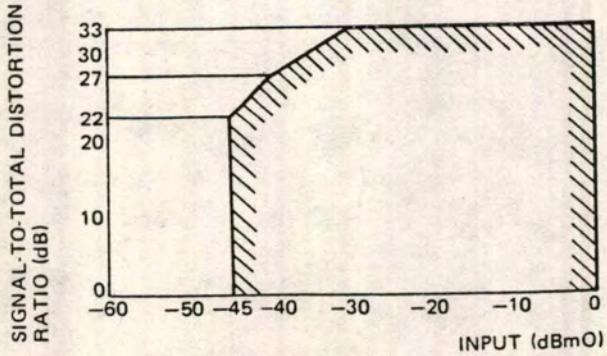
Rise and fall time of pulse: See Fig. 2.6–8



Note: The reference frequency (800 Hz) may be different when the measuring equipment is different.

Fig 2.6–5 Attenuation/Frequency Distortion

Fig 2.6–6 Variation of Gain with Input Level



Note: The frequency of test signal may be different when the measuring equipment is different.

Fig 2.6–7 Signal-to-Total Distortion Ratio

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

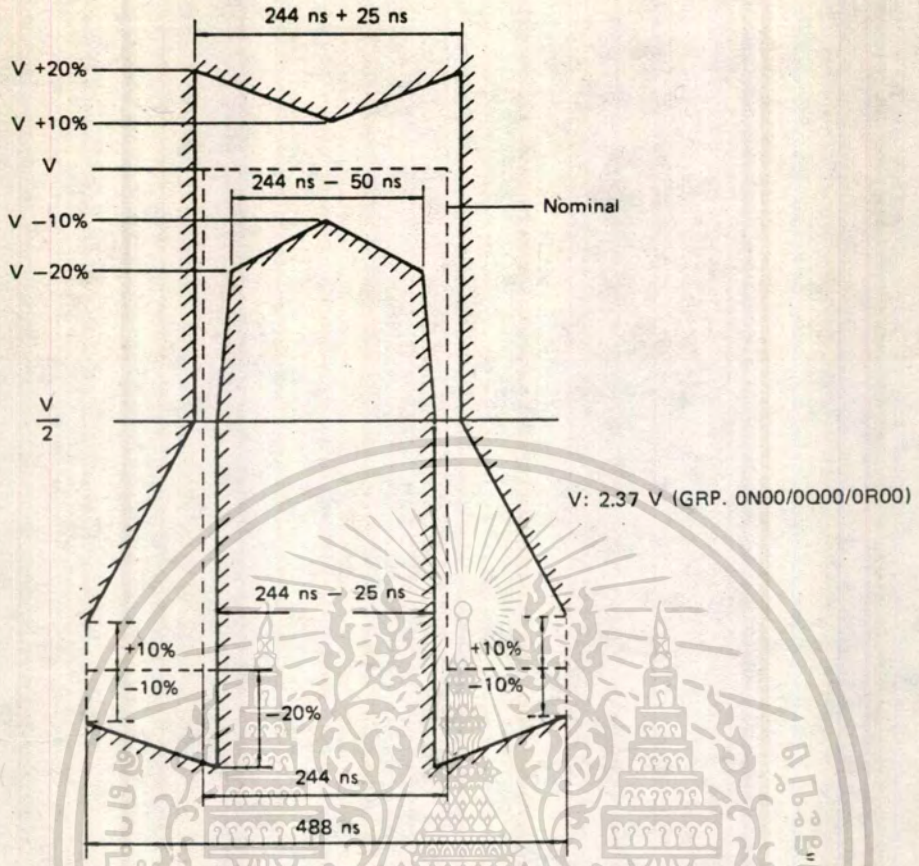


Fig 2.6–8 Pulse Mask at 2048 kbit/s Interface

i. 64 kbit/s Signalling Interface

Signalling data:	NRZ (photocoupling)
64 kbit/s and 8 kbit/s clocks:	NRZ (photocoupling)
64 kbit/s clock supply:	Contradirectional interface

j. 64 kbit/s Data Interface (optional function)

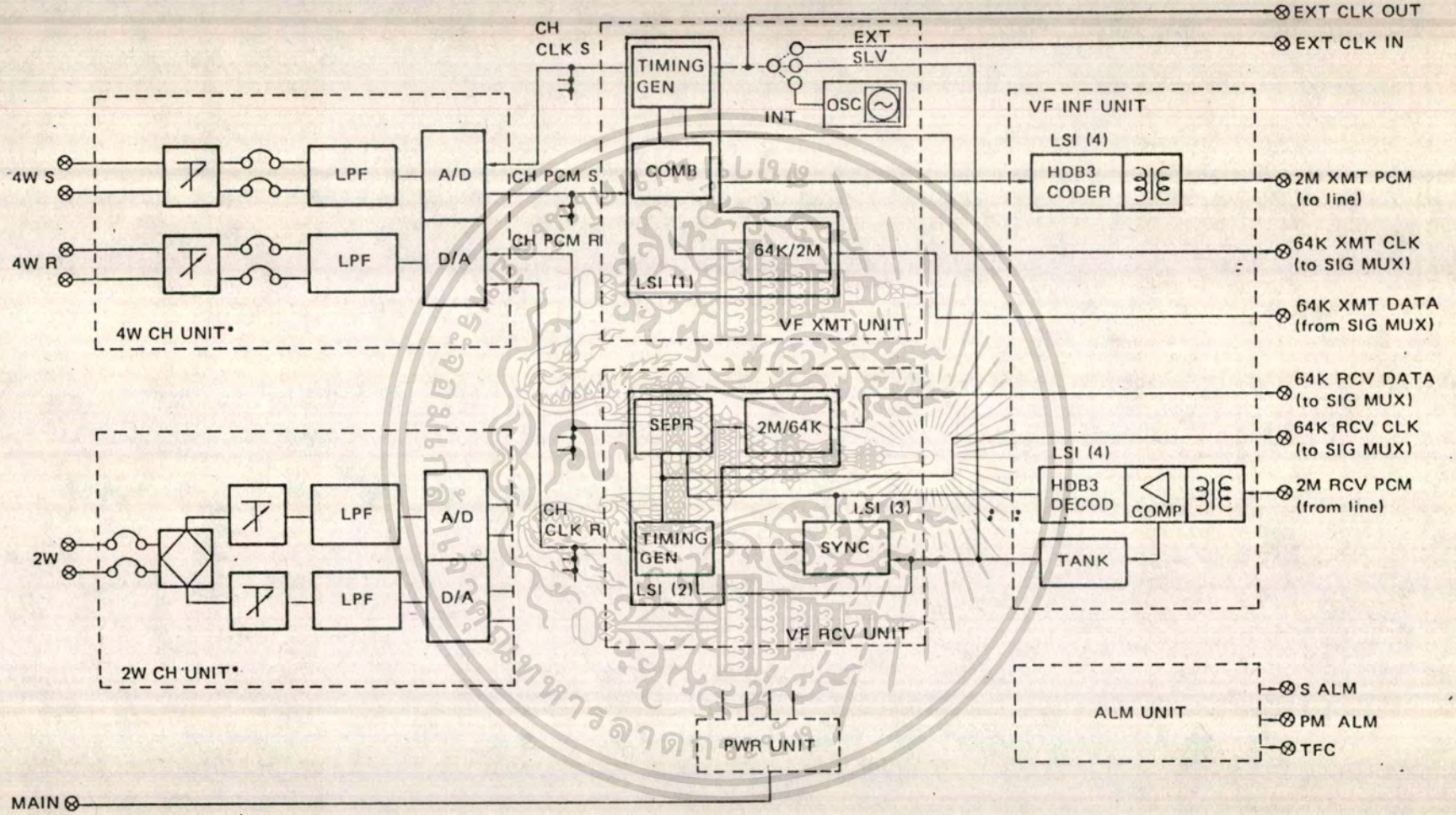
Signal format:	Bipolar
Interface:	CCITT G 703, contradirectional and/or co-directional
Number of channels:	Up to 2 channels. Refer to Fig 2.6–4

k. Power Output Voltage: –5 V and –10 V

l. Power Requirements

Voltage: –72 V to –36 V (GRP. 0M00/0N00/0R00)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



Note: *Three circuits are mounted per unit.
64 kbit/s data interface circuit can be provided instead of voice circuit.

Fig 26–9 VF Multiplexer, Block Diagram

PHYSICAL SPECIFICATIONS of SIG C MULTIPLEXER

Dimensions

N5712D: 120 mm W x 562.5 mm H (45 pitches) x 163 mm D

ELECTRICAL SPECIFICATIONS

a. Multiplex Capacity: 30 channels

b. Multiframe Structure: See Fig. 2.6–4

c. Scanning Frequency: 500 Hz for each path (bit a and bit b)

d. Dial Pulse Distortion: ±8 ms on one link

e. Manual Make Busy and Test: Every one channel

f. Fault Monitoring:
Loss of multiframe alignment
Failure of 64 kbit/s interface
Remote alarm
Alarm Indication Signal (AIS) receive

g. Interface with N5700R VF Multiplexer

Voice signal: One pair for each channel (2W)

64 kbit/s interface

Transmit side:
64 kbit/s data signal
64 kHz clock signal
8 kHz clock signal

Receive side:
64 kbit/s data signal
64 kHz clock signal

h. Power Requirements
(Maximum current value*):
−48 V ±10%, 3 A
−24 V ±1 V, 1.8 A
−5 V ±5%, 0.6 A
+50 V, 1 A
16 Hz or 25 Hz ringing current, 1 A
16 kHz, 0.5 A
Howler Tone, 0.5 A

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

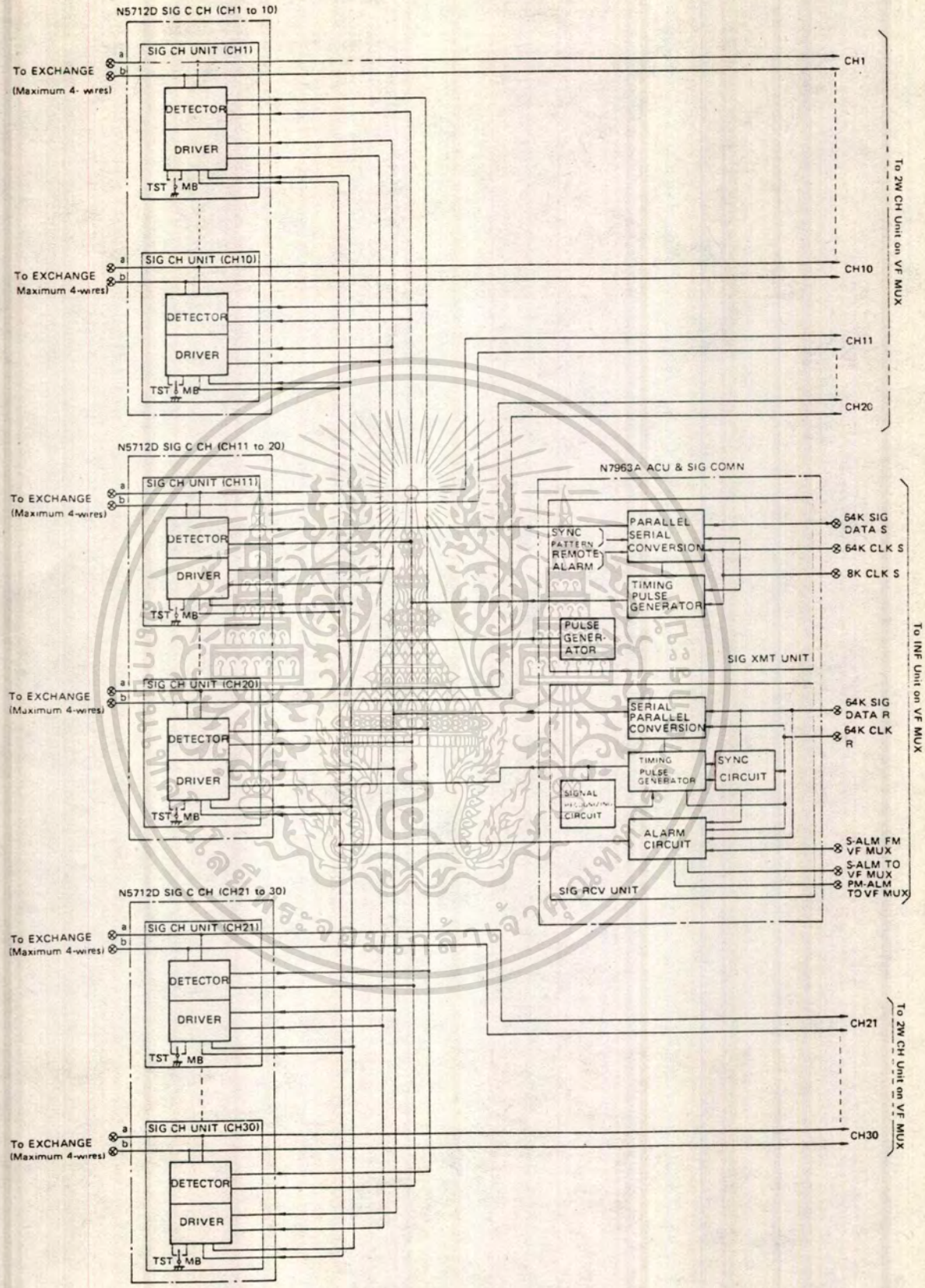


Fig 2.6–10 Block Diagram of SIG C Multiplexer

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.7 อุปกรณ์ Microprocessor Unit (MPU)

การคัดเลือก MPU

MPU ที่เลือกใช้เพื่อเป็นไมโครโปรเซสเซอร์ของระบบ line concentrator คือ Z80180 ของบริษัท ZILOG เป็น CPU ที่ออกมาใหม่ มีความ Compatable กับ Z80 แต่มีความสามารถสูงกว่าทำงานด้วยความถี่ clock สูงถึง 12.288 MHz อ้างหน่วยความจำได้ถึง 1 Mbytes มี UART ในตัวทำให้ไม่ต้องหาอุปกรณ์ MODEM จากภายนอกมาเชื่อมต่ออีก ทำให้สามารถพัฒนาโปรแกรมบนเครื่องไมโครคอมพิวเตอร์ PC ด้วยภาษาระดับสูง เช่น BASIC, C หรือ Assembly แล้วสั่ง RUN จาก PC มายัง CPU Z80180 ได้

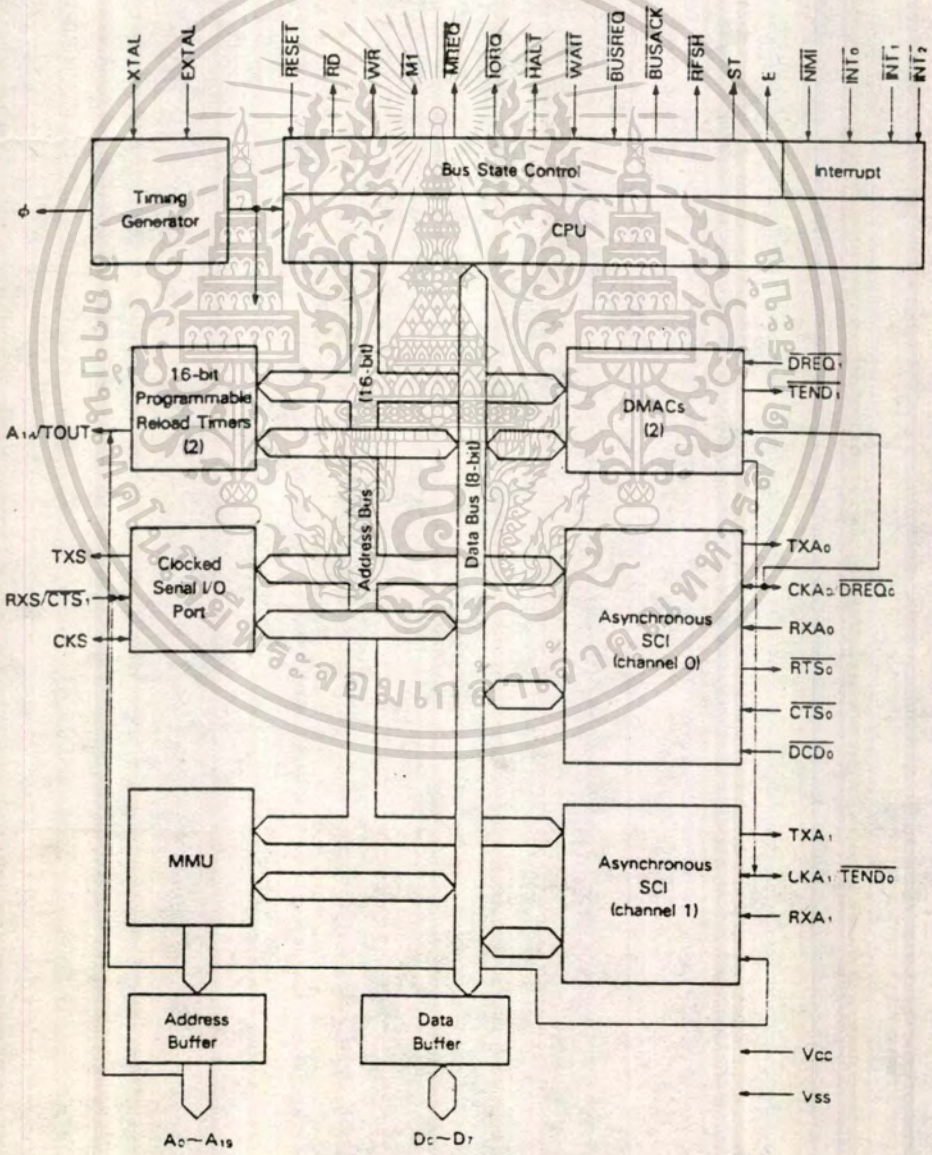


Fig 2.7-1 Block diagram ของ CPU Z80180

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Line Concentrator ใช้ CPU 2 ชุด ที่ด้าน COT และ RT ด้านละชุด ต่อ Link ถึงกัน ที่ตำแหน่ง UART ของชุด CPU Z80180

การพัฒนาโปรแกรมกระทำผ่านเครื่องไมโครคอมพิวเตอร์ 2 ชุด ด้วยโปรแกรมสำเร็จรูป ชื่อโปรแกรม PROCOM ซึ่งใช้ในเรื่องการสื่อสารข้อมูล เพื่อการเชื่อมต่อระหว่างไมโครคอมพิวเตอร์กับ CPU Z80180 หลังจากพัฒนาโปรแกรมเสร็จเรียบร้อยแล้วจึงทำการ burn เข้าไว้ใน EPROM 27256 เสียบลงบนบอร์ด Z80180 เพื่อให้ Microprocessor ของระบบสามารถทำงานได้ด้วยตัวเอง โดยใช้ IC 8255 เป็น input/output port

ที่สถานี COT จะนำขา contact จาก Line Status 100 ตำแหน่งของ 100 เลขหมายมาเป็น 100 bit input port สั่ง crossbar switch ทางด้าน vert 30 ตำแหน่ง และ hor 10 ตำแหน่ง รวม output 40 bit output port มีตารางเก็บ buffer ใน memory 30 ตำแหน่ง สำหรับเก็บข้อมูลเลขหมายที่กำลังใช้งานผ่าน line PCM มีการวิเคราะห์ เพื่อการต่อหรือตัดเลขหมายที่ต้องการใช้ line PCM หรือต้องการเลิกติดต่อโดยการเปรียบเทียบข้อมูลจาก buffer นี้

ที่สถานี RT จะนำขา contact จาก line relay LR-BR ซึ่งถูกเข้ารหัสด้วยตัว relay LR-BR 20 ตำแหน่งสำหรับผู้เช่าปลายทาง 100 เลขหมาย เป็น 20 bit input port สั่ง crossbar switch ทางด้าน vert 30 ตำแหน่ง และ hor 10 ตำแหน่ง รวม output 40 bit เช่นเดียวกัน รวมทั้งมี buffer เช่นเดียวกัน

ทั้ง 2 สถานีจะส่งข้อมูลหมายเลขที่เปลี่ยนปลงสภาวะ ยกหูโทรศัพท์หรือวางหูไปยังสถานีตรงข้ามเพื่อ update ข้อมูล การรับข้อมูลรับแบบ interrupt

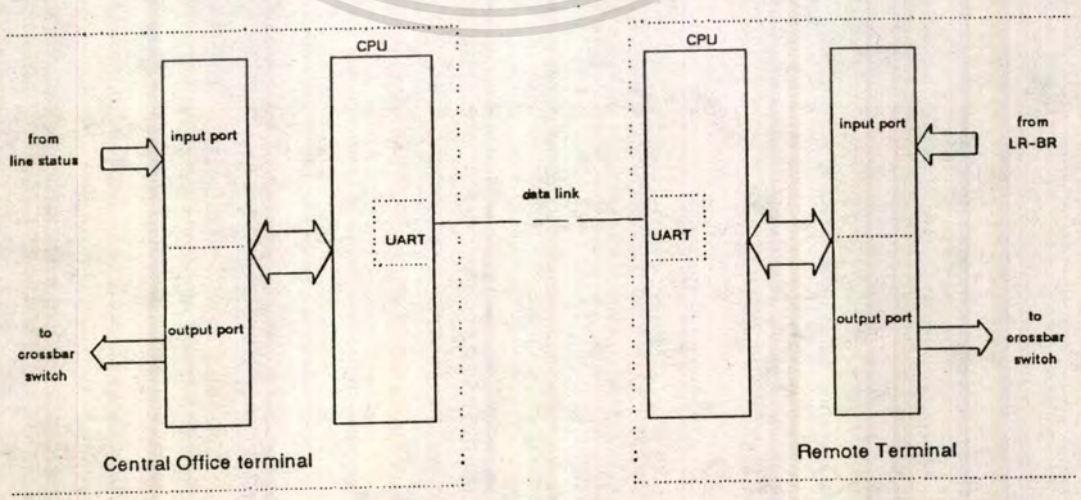


Fig 2.7-2 Block Diagram แสดงการต่อ I/O Port

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

I/O port

I/O port ใช้บอร์ด 72 I/O-Z80 ของบริษัท ETT การ decode I/O port โดยการใช้ IC decoder port #74LS138 2 ตัวร่วมกับ jumper บนบอร์ดเลือกหมายเลข port ที่ต้องการ

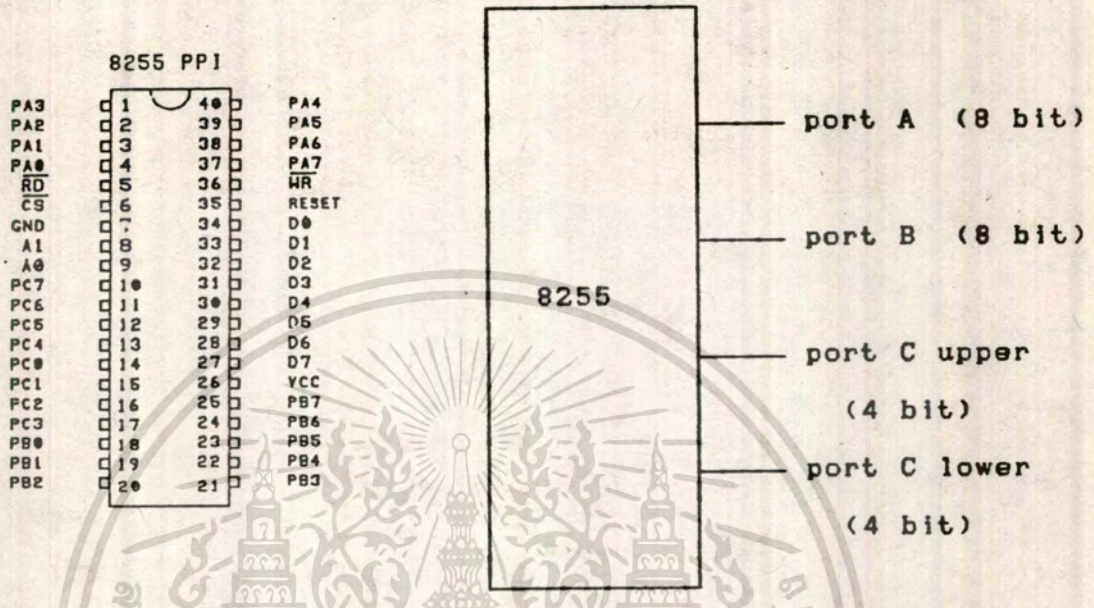


Fig 2.7-3 I/O Port ใช้ IC #8255

ด้านปลายทาง RT

อุปกรณ์ LR-BR ต่อกับ input และ out put port จำนวน 3 port คือ port # DC, DD, DE ดูรูปที่ 2.7-4 อุปกรณ์ crossbar switch ต่อกับ output port จำนวน 5 port (ดูตารางที่ 1) ดังนี้

vert relay ต่อกับ port # D4, D5, D6, DA (6 bit)

Hor relay ต่อกับ port # D9, DA (2 bit)

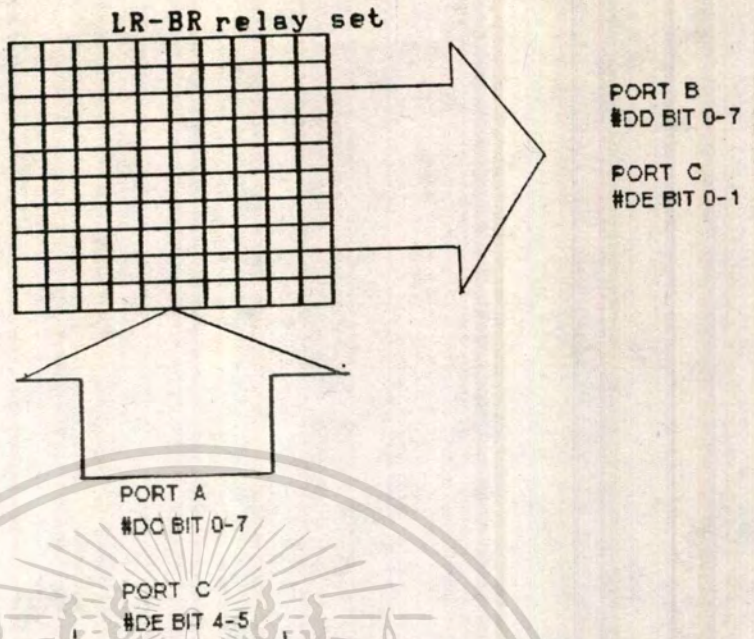
ด้านต้นทาง COT

อุปกรณ์ตรวจสภาพสายต่อกับ input port จำนวน 13 port คือ port # F4, F5, F6, F8, F9, FA, FC, FD, FF, D8, DC, DD, DE (ดูตารางที่ 2) อุปกรณ์ crossbar switch ต่อกับ output port ตำแหน่งเดียวกันกับด้านต้นทาง (ดูตารางที่ 1) คือ

Vert relay ต่อกับ port # D4, D5, D6, DA (6 bit)

Hor relay ต่อกับ port # D9, DA (2 bit)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.7-4 การอ่านสภาพของ LR-BR

ตารางที่ 1 การกำหนด I/O port และ bit port สำหรับ vert relay และ hor relay ที่ crossbar switch ทั้งสถานี COT และ RT กำหนดเหมือนกัน

port หมายเลข	bit ที่	crossbar switch
D4	0 - 7	vert 0-7
D5	0 - 7	vert 10-17
D6	0 - 7	vert 20-27
D9	0 - 7	hor 0-7
DA	0 - 1	vert 8,9
	2 - 3	vert 18,19
	4 - 5	vert 28,29
	6 - 7	hor 8,9

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตารางที่ 2 การกำหนด Input port สำหรับวงจรตรวจสอบสถานภาพสาย

port หมายเลข	คู่สายโทรศัพท์
F4	00-07
F5	08-15
F6	16-23
F8	24-31
F9	32-39
FA	40-47
FC	48-55
FD	56-63
FF	64-71
D8	72-79
DC	80-87
DD	88-95
DE	96-100

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 3
การออกแบบและสร้าง

3.1 LR-BR Interface Unit

วงจรของ LR-BR ในตำแหน่งสวิทช์ที่ต่อออกไปเป็น input port ของ MPU โดยต่อกับแรงไฟ 5 Vdc ใช้ transistor #2sc828 เป็นตัวขับตามรูป 3.1-1 เพื่อให้ MPU อ่านสภาวะของตำแหน่งสวิทช์

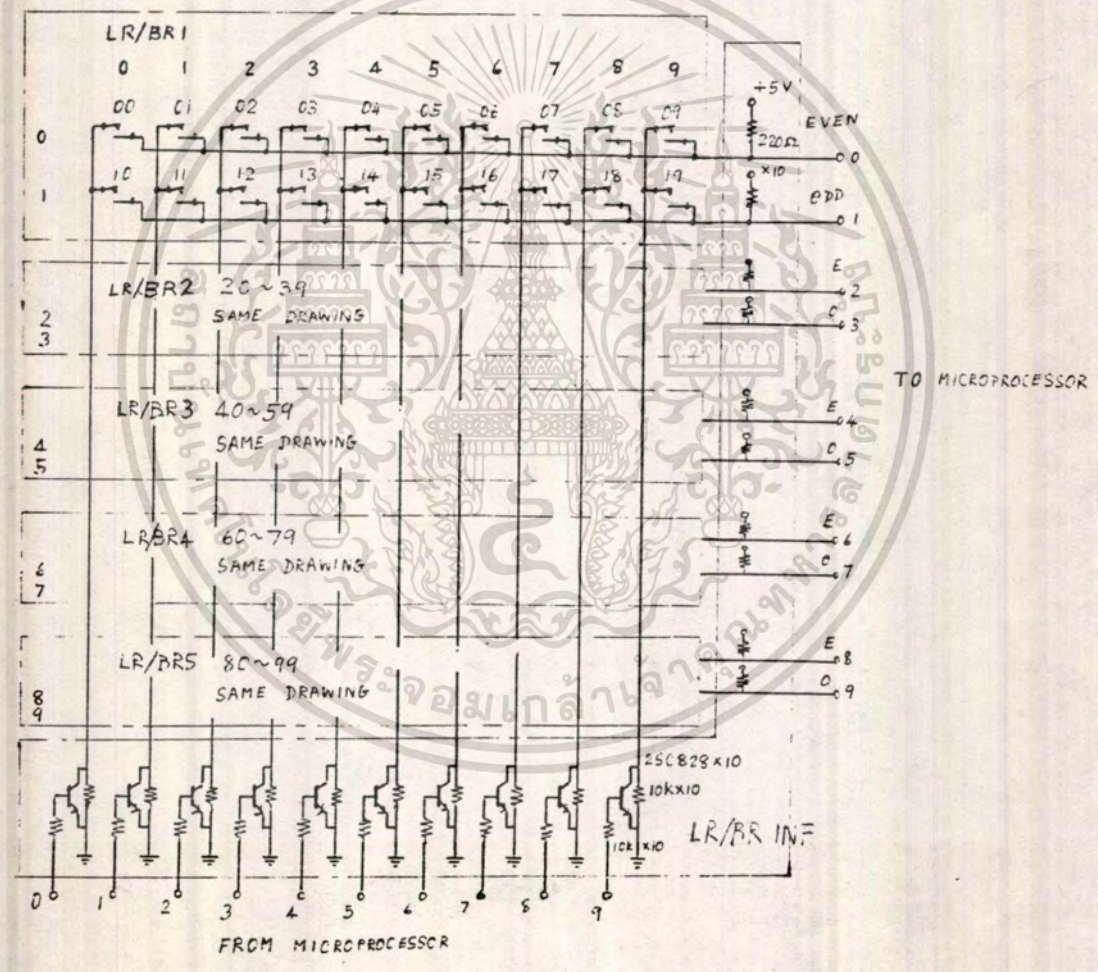


Fig 3.1-1 การออกแบบวงจรตรวจสอบสภาวะของ LR-BR

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.2 Crossbar Switch Interface Unit

ขดลวด vert relay และ hor relay ทำงานที่ 48 Vdc ขดลวด hor relay ไม่ยุ่งยากเนื่องจากมีขดลวด relay เพียงขดเดียว ส่วน vert relay นอกจากมีแกนทำงานกับ contact strip แล้วยังมี contact ประจำตัวอีก 2 ชุด คือชุด normal open (p1,p2) กับ normal closed (p3,p4) นำมาออกแบบวงจรตามรูปที่ 3.2-1 จะเห็นว่า ขด action ทำงานเมื่อมีไฟป้อนครั้งแรกหลังจากนั้นขด hold จะทำงานค้างไว้ จะ hold ค้างไว้จนกว่าผู้เช่าเลิกใช้งาน

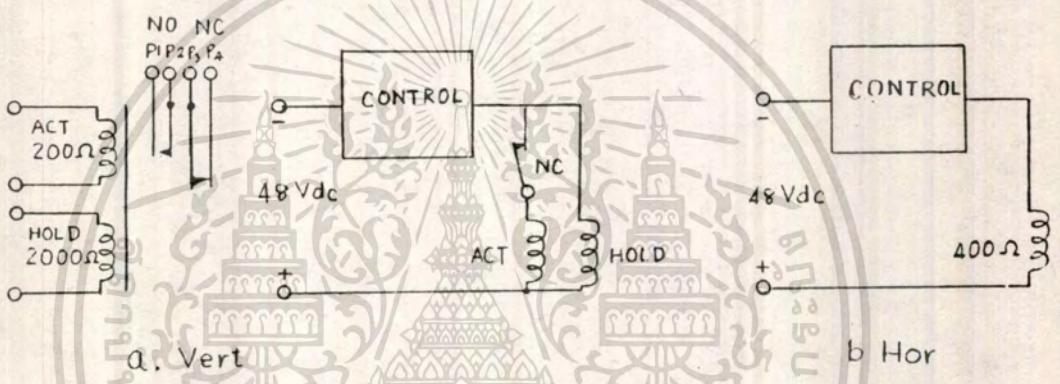


Fig 3.2-1 แสดงการป้อนไฟให้ขดลวด vert relay และ hor relay

วงจร interface สำหรับ crossbar switch

ขดลวด vert และ hor relay เนื่องจากทำงานด้วยแรงไฟ 48 Vdc แต่ MPU ทำงานที่แรงไฟ 5 Vdc จึงต้องมีวงจร interface การออกแบบวงจร ใช้ relay ชนิดขดลวดทำงานที่แรงไฟ 5 Vdc เป็นตัวขับ Relay 48 Vdc

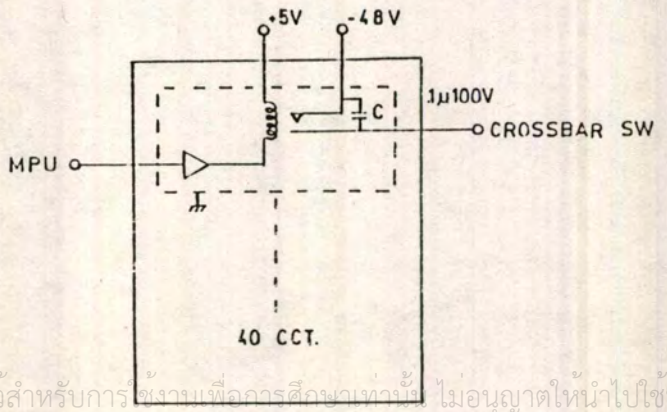


Fig 3.2-2 การใช้ relay 5 Vdc ขับ relay 48 Vdc

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การออกแบบวงจรระหว่าง LR-BR กับ Crossbar Switch ที่สถานี RT

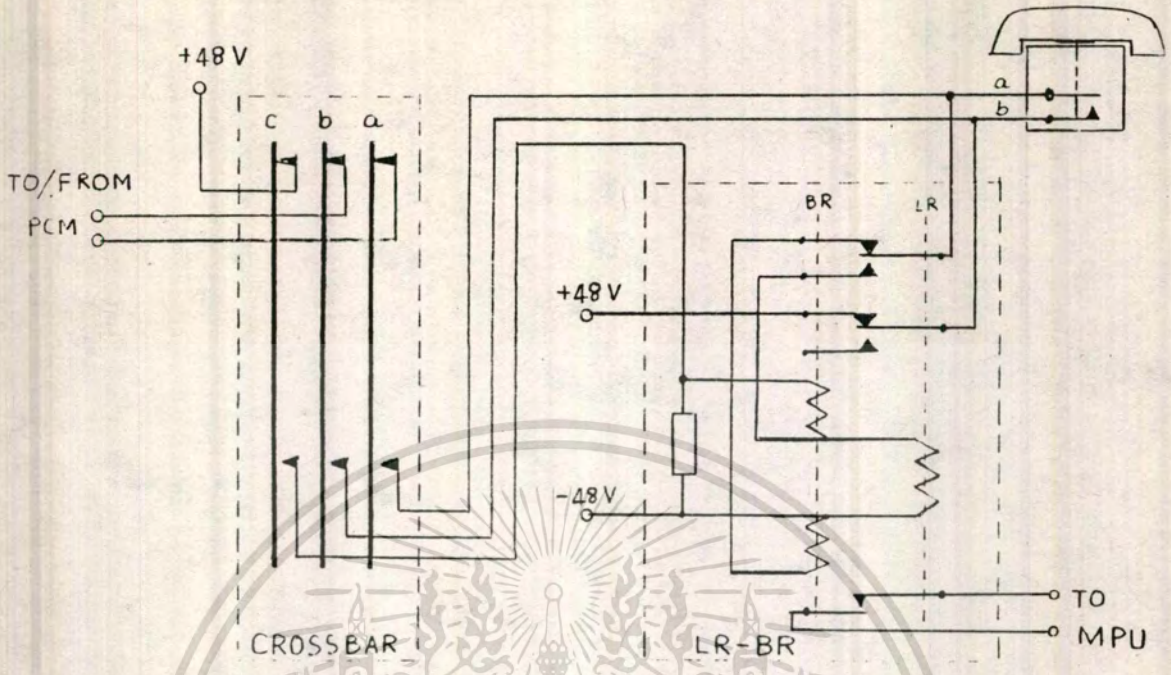


Fig. 3.2-4 แสดงการจัด Wiring ของสถานี RT

จากรูป 3.2-4 แสดงการต่อวงจรของสถานี RT จากเครื่องโทรศัพท์ผ่าน LR-BR และ Crossbar switch เมื่อผู้เช่ายกหูทำให้ relay LR ทำงาน ต่อ contact ไปให้ MPU ได้อ่านสภาพการใช้คู่สาย MPU จะสั่งต่อ Crossbar switch ทำให้มีไฟ +48 V ไหลผ่านขา C ย้อนกลับมา สั่งให้ relay BR ทำงาน contact สำหรับ MPU จะปล่อย เป็นการ clear การอ่านของ MPU ในสภาพนี้ ผู้เช่าจะได้รับการต่อคู่สายไปยังสถานี COT เมื่อผู้เช่าวางหู Crossbar และ LR-BR จะกลับสู่สภาพ clear รอใช้ต่อไป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.3 วงจรตรวจสอบสถานภาพของสาย

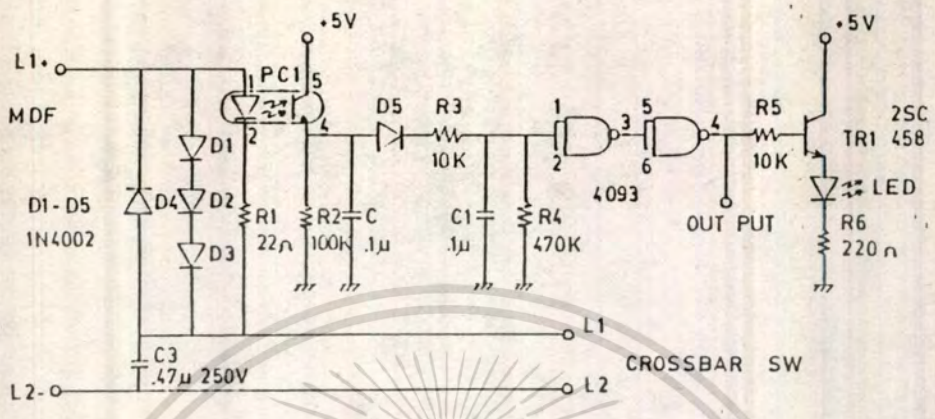


Fig 3.3-1 แสดงวงจรตรวจสอบสถานภาพสาย

เมื่อวงจรตรวจสภาพการยกหู

จากวงจรจะเห็นว่าเมื่อต่อขั้วบวกที่มาจาก MDF ของชุมสายโทรศัพท์เข้ากับ L1+ ของวงจร และต่อขั้ว L1- เข้ากับเครื่องโทรศัพท์ และ L2 ต่อเข้ากับวงจรตรวจสภาพสายและเครื่องโทรศัพท์ แล้วเมื่อเกิดการยกหูขึ้นจะเกิดกระแสไหลผ่านวงจร ผ่านเครื่องโทรศัพท์ครบวงจรทำให้อุปกรณ์ Opto (pc1) ทำงาน โดยที่ R1 เป็นตัวควบคุมกระแสที่ไหลผ่าน pc1 และ D1,D2,D3 เป็นตัวควบคุมโวลท์เตจ ตกคร่อม pc1 และ R1 และ D1 เป็นตัวลดการเพี้ยนของสัญญาณเสียง เมื่อ pc1 ทำงานจะทำให้เกิดกระแสไหลระหว่าง collector (C) กับ emitter (E) ผ่าน R2 ลงกราวด์ โดยมี C เป็นตัว Filter ผ่าน D5,R3 และ bypass ด้วย C1 และ R4 ซึ่งเป็นวงจรหน่วงเวลา โดยมี R4 เป็น load ให้กับ C1 ในกรณีที่ C1 คายบรรจุโดยมี D5 เป็นตัวป้องกันกระแสย้อนกลับ ซึ่งเกิดจาก C1 คายบรรจุเมื่อพัลส์ที่เข้ามาผ่านวงจรหน่วงเวลาแล้วจะทำให้ output ที่ออกมาเป็น logic โดยมีสภาวะเป็น "1" หรือ "0" เท่านั้น

เมื่อสัญญาณผ่านการหน่วงเวลาแล้ว ก็จะผ่านมายัง nand gate แบบชมิททริกเกอร์ เพื่อให้ได้ output ที่มีเสถียรภาพดีขึ้น โดยข้อดีของชมิททริกเกอร์แบบนี้ช่วยให้สามารถตัดการรบกวนของสัญญาณภายนอกได้ ทำให้มี state "1" หรือ "0" ที่แน่นอนยิ่งขึ้น พร้อมที่จะส่งไปยัง MPU ส่วนอีกทางหนึ่งส่งไปยัง TR1 เพื่อขับให้ LED ทำงาน เพื่อบอกสถานภาพของสายให้กับผู้ใช้ หรือผู้ดูแลเครื่องทราบ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เมื่อวงจรตรวจสภาพสัญญาณเรียกเข้า

เมื่อมีสัญญาณเรียกเข้ามา สัญญาณจะผ่าน PC1, D1-D4 โดย D1-D3 ทำหน้าที่ควบคุมแรงดัน ตกคร่อมตัว PC1 และ R1 ไม่ให้เกิน 2.1V และ D4 ทำหน้าที่ bypass สัญญาณในช่วงไฟลบ เข้ามาทาง L1 เพื่อไม่ทำให้ PC1 เสียหาย และสัญญาณจะผ่านไปยัง cross bar L1 และอีกส่วนจะผ่าน C3 ไปยัง L2 โดย C3 นี้จะทำหน้าที่เป็นโหลดให้กับวงจร เมื่อทางชุมสายโทรศัพท์ส่งสัญญาณเรียกเข้ามาแล้ว อุปกรณ์ crossbar ยังไม่ได้ทำงาน ทำให้สัญญาณเรียกนี้ไม่ครบวงจรกับเครื่องโทรศัพท์(เกิด open circuit) จะไม่เกิดกระแสไหลในตัว PC1 และเมื่อต่อ C3 แล้วสัญญาณจะครบวงจร มีกระแสไหลผ่าน PC1 ครบวงจร

เมื่อ PC1 ส่งสัญญาณแล้ว การทำงานจะเหมือนกันกับในขณะที่ยกหู แต่จะแตกต่างกันที่สัญญาณที่ส่งเข้ามาเป็น pulse ซึ่งมีช่วงของ pulse เท่ากับ 1 วินาที แล้วหยุด 3 วินาที โดยที่ความถี่เท่ากับ 20 Hz ตามรูป

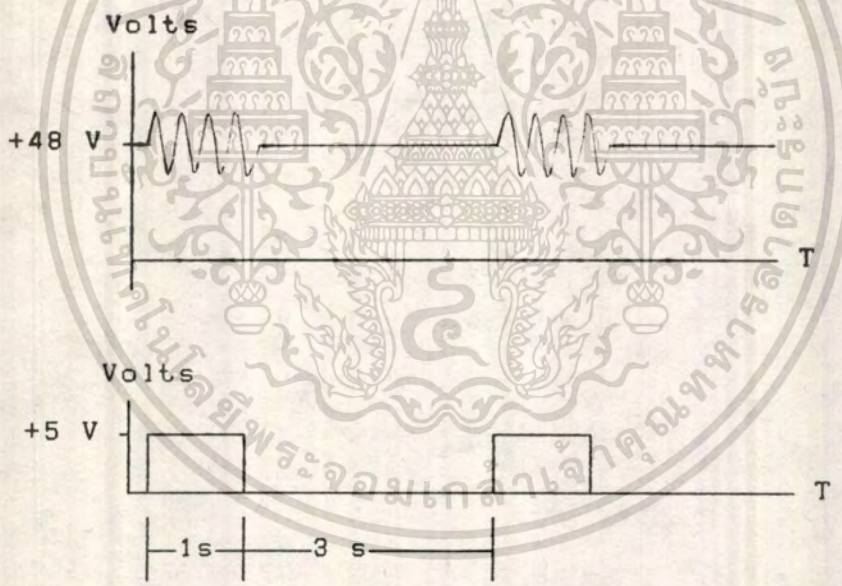


Fig 3.3-2 แสดง Timing Diagram ของวงจร ตรวจสภาพสาย

จากรูปที่ 3.3-2 เราจิงต้องทำ pulse ที่ได้นี้ เพื่อให้ได้ output เป็น Logic โดยการหน่วงเวลา ของ R3 และ C1 โดยมี R4 เป็น load ให้กับ C1 และควบคุมการ discharge ซึ่งเป็นวงจรหน่วงเวลา แล้วจิงป้อนให้กับ nand gate เพื่อส่งไปยัง MPU

จากวงจรที่ผ่านมาแล้ว การตรวจสภาพของสายนี้ ground ของแต่ละด้านจะต่อถึงกัน (ทางด้านชุมสาย และทางด้านตรวจสภาพ) โดยที่ระดับแรงดันของสายนี้มาจากทางชุมสายโทรศัพท์มีค่าเท่ากับ -48 Vdc ส่วนแรงดันทางด้านวงจร

เอกสารนี้สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ในเชิงพาณิชย์ ไม่ว่ากรณีใดๆ ทั้งสิ้น โดยไม่ได้รับอนุญาตจากผู้เขียนก่อน

ตรวจสภาพจะมีค่าเท่ากับ +5 Vdc ทำให้เกิดปัญหาวงจรทำงานผิดพลาดได้ โครงการนี้จึงใช้แก้ปัญหาจากจุดนี้ โดยใช้ opto มาเป็นตัวส่งสัญญาณทำให้วงจรทั้งสองส่วนแยกจากกันโดยอิสระ โดยไม่มีส่วนใดต่อถึงกันโดยตรง ทำให้เสถียรภาพของวงจรทำงานได้เที่ยงตรงขึ้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.4 อุปกรณ์ PCM

ปกติสัญญาณที่ออกจาก PCM Equipment ถูกเข้ารหัสเป็น HDB3 ในการส่งสัญญาณนี้ไปที่อื่นต้องใช้สาย Coaxial และใช้ Line Terminal Equipment (LTE) แปลงให้เป็นสัญญาณ serial เพื่อที่จะสามารถส่งผ่านไปในคู่สายโทรศัพท์ธรรมดา อุปกรณ์นี้ไม่ได้นำมาใช้ร่วม เนื่องจากระยะทางที่ใช้ไม่ไกลมาก สำหรับทางด้านรับ รับสัญญาณมาแปลงกลับให้เป็นสัญญาณเสียง 30 วงจร เช่นเดิม

3.5 Flowchart และโปรแกรมการทำงานของระบบ

การทำงานของโปรแกรม

ระบบการทำงานของ CPU ทั้งสองเหมือนกัน ต่างกันที่จำนวน input port ไม่เท่ากัน เนื่องจาก line status ที่ input port 100 ตำแหน่ง จาก 100 คู่สาย ส่วน LR-BR ถูกจัดเข้ารหัสออกมาเหลือเพียง 20 ตำแหน่งเท่านั้น

การทำงานของโปรแกรมเริ่มต้นทำการ initial input port จากนั้นทำการอ่าน input เข้ามาตรวจสอบเทียบกับ buffer ถ้าเป็น 0 หมายถึง ยังไม่มีการใช้งาน ถ้าเป็น 1 แสดงว่ามีการยกหู เก็บค่า 1 ไว้ใน buffer เพื่อรอการตรวจสอบในรอบต่อไป พร้อมกันนี้ทำการตรวจสอบหาตำแหน่ง vert relay ของ cross bar เพื่อหาตำแหน่ง line ที่ว่าง ถ้าว่างจะสั่งให้ crossbar switch ทำงานทำการเก็บข้อมูลใหม่ลง buffer ส่งข้อมูลที่เปลี่ยนแปลงไปยังสถานีตรงข้าม เพื่อให้ CPU ของสถานีตรงข้ามทำการต่อ crossbar switch ที่ตำแหน่งเดียวกันในสภาพนี้ ผู้เช่าสามารถติดต่อกับชุมสายได้ปกติ เมื่อผู้เช่าวางหูจะทำให้ input port ในตำแหน่งของตนเองเป็น 0 ถูกนำไปเปรียบเทียบกับ buffer ที่เก็บข้อมูลสภาพเดิม ถ้าเดิมเป็น 1 ใหม่เป็น 0 แสดงว่าผู้เช่าเลิกใช้โทรศัพท์วางหูไปแล้ว CPU จะสั่ง clear crossbar switch ตำแหน่งเดิมที่ต่อให้ปล่อยว่างพร้อมกับส่งข้อมูลไปยังสถานีตรงข้ามเพื่อให้ CPU ตรงข้าม clear cross bar switch ฝั่งตรงข้ามเช่นเดียวกัน

Flow Chart ที่ 1 แสดงการทำงานของโปรแกรม

1. เริ่มต้นการทำงาน
2. Clear Port ทุก Port ให้ว่างพร้อมที่จะรับข้อมูล
3. ตรวจสอบสภาพสายว่าเลขหมายใดยกหูบ้าง และเก็บข้อมูลเข้าไว้ใน Line Status Buffer
4. นำข้อมูลที่อยู่ใน Line Status Buffer มาตรวจสอบว่าเป็นเลขหมายใด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5. Set เลขหมายเริ่มต้นที่ 00
6. ตรวจสอบว่าเลขหมายปัจจุบันยกหูหรือไม่
7. ตรวจสอบตารางการใช้ Link ว่ามีเลขหมายอยู่ในตารางหรือไม่ ถ้าไม่มีเลขหมายอยู่ในตารางการใช้ Link แสดงว่าไม่เคยมีการขอใช้ Link มาก่อนให้ไปที่ 8 ถ้ามีเลขหมายอยู่ในตารางการใช้ Link แสดงว่าเลขหมายนี้กำลังใช้งานอยู่ให้ไปที่ 21
8. หา Link ว่างในตารางการใช้ Link ว่ามีหรือไม่ ถ้าไม่ Link ว่างให้ไปที่ 9 ถ้ามี Link ว่างให้ไปที่ 16
9. ให้ส่งสัญญาณ Busy
10. ตรวจสอบว่าครบ 100 เลขหมายแล้วหรือยัง ถ้ายังให้ไปที่ 11 ถ้าครบแล้วให้ไปที่ 3
11. ตรวจสอบเลขหมายถัดไปแล้วเริ่มการทำงานที่ 6 ใหม่
12. ตรวจสอบว่าเป็นการวางหูหรือไม่ ถ้าใช่ให้ไปที่ 13 ถ้าไม่ใช่ให้ไปที่ 21
13. Clear ตารางการใช้ Link ในตำแหน่งเลขหมายปัจจุบัน
14. สั่งด้านปลายทางให้ Clear Link ที่เลขหมายปัจจุบันด้วย
15. ไม่มีการ Update ข้อมูล
16. Clear Busy
17. ใส่เลขหมายปัจจุบันในตารางการใช้ Link
18. ส่งข้อมูลไป Update และสั่งให้ X-Bar Switch ทำงาน
19. ส่งข้อมูลไปยังด้านปลายทาง เพื่อให้ด้านปลายทางต่อให้ตรงกับด้านต้นทาง

Flow Chart ที่ 2 แสดงการทำงานของ LR-BR

1. เริ่มต้นการทำงาน
2. Clear Buffer 3.
3. Set จำนวนเลขหมายเท่ากับ 100 เลขหมาย
4. ตรวจสอบว่าเลขหมายปัจจุบันยกหูหรือไม่ ถ้ายกหูให้ไปที่ 5 ถ้าไม่ยกหูให้ไปที่ 8
5. เก็บข้อมูลเข้าไว้ใน Line Status (RT)
6. ส่งเลขหมายออกไปยังด้านต้นทางเพื่อต่อ X-Bar Switch ด้านปลายทาง
8. ตรวจสอบเลขหมายถัดไป

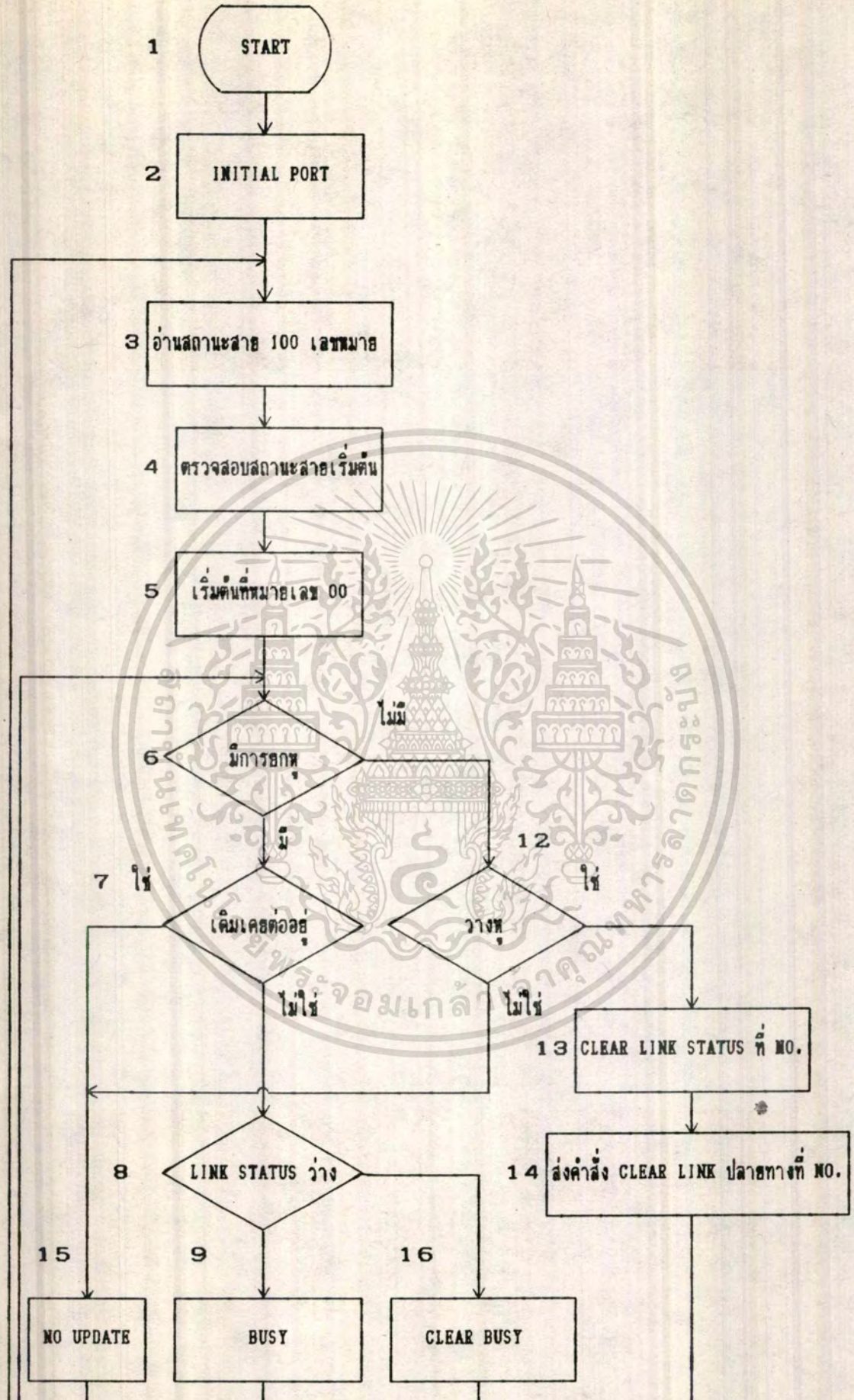
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

9. ตรวจสอบว่าครบ 100 เลขหมายแล้วหรือไม่ ถ้ายังไม่ครบให้ไปที่ 4 ถ้าครบแล้วให้ไปที่ 3

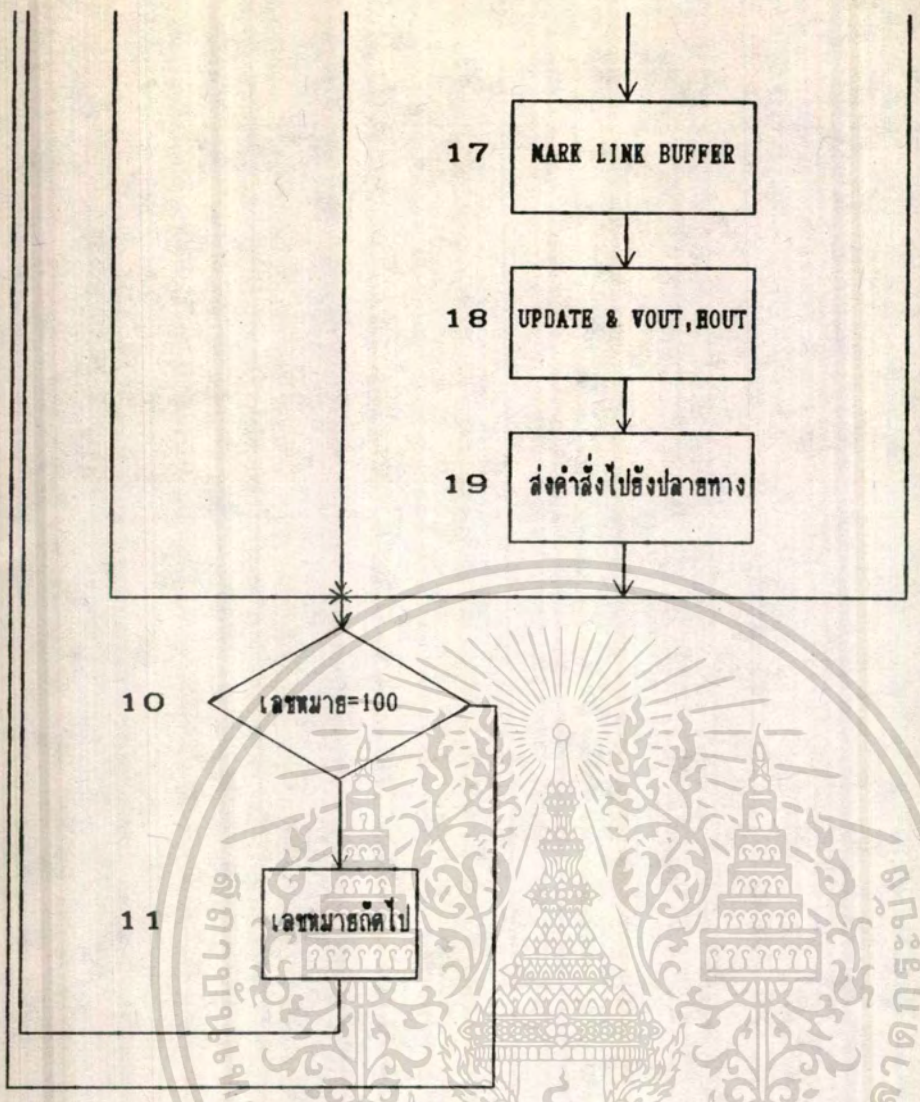
Flow Chart ที่ 3 แสดงการส่งคำสั่งตัดหรือต่อ Link

1. เริ่มต้นคำสั่ง
2. ตรวจสอบว่าเป็นรหัส 66 หรือไม่ ถ้าใช่ให้ไปที่ 8 ถ้าไม่ใช่ให้ไปที่ 3
3. ตรวจสอบว่าเป็นรหัส 65 หรือไม่ ถ้าใช่ให้ไปที่ 9 ถ้าไม่ใช่ให้ไปที่ 4
4. ตรวจสอบว่า INT เป็นรหัสใด ถ้าเป็นรหัส 66 ให้ไปที่ 5 ถ้ารหัส 65 ให้ไปที่ 7
5. นำค่าไปใส่ใน INT Buffer และ Clear Link ที่เลขหมายที่ส่งมา
6. ส่งคำสั่งไปยัง X-Bar Switch
7. นำค่าไปใส่ใน INT Buffer และต่อ Link ในตำแหน่งเลขหมายที่ส่งมา
8. Set INT Buffer = 66
9. Set INT Buffer = 65
10. ส่งคำสั่งไปยังด้านปลายทาง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

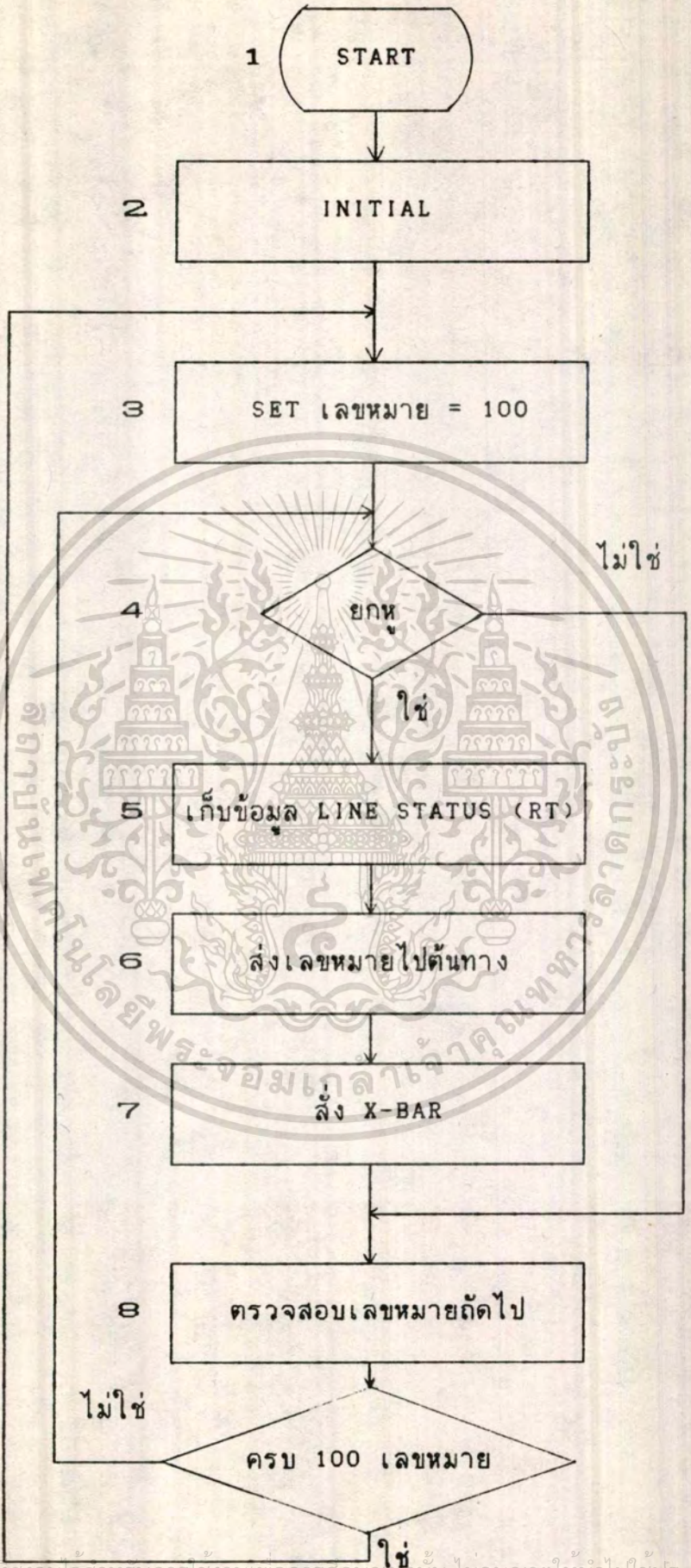


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



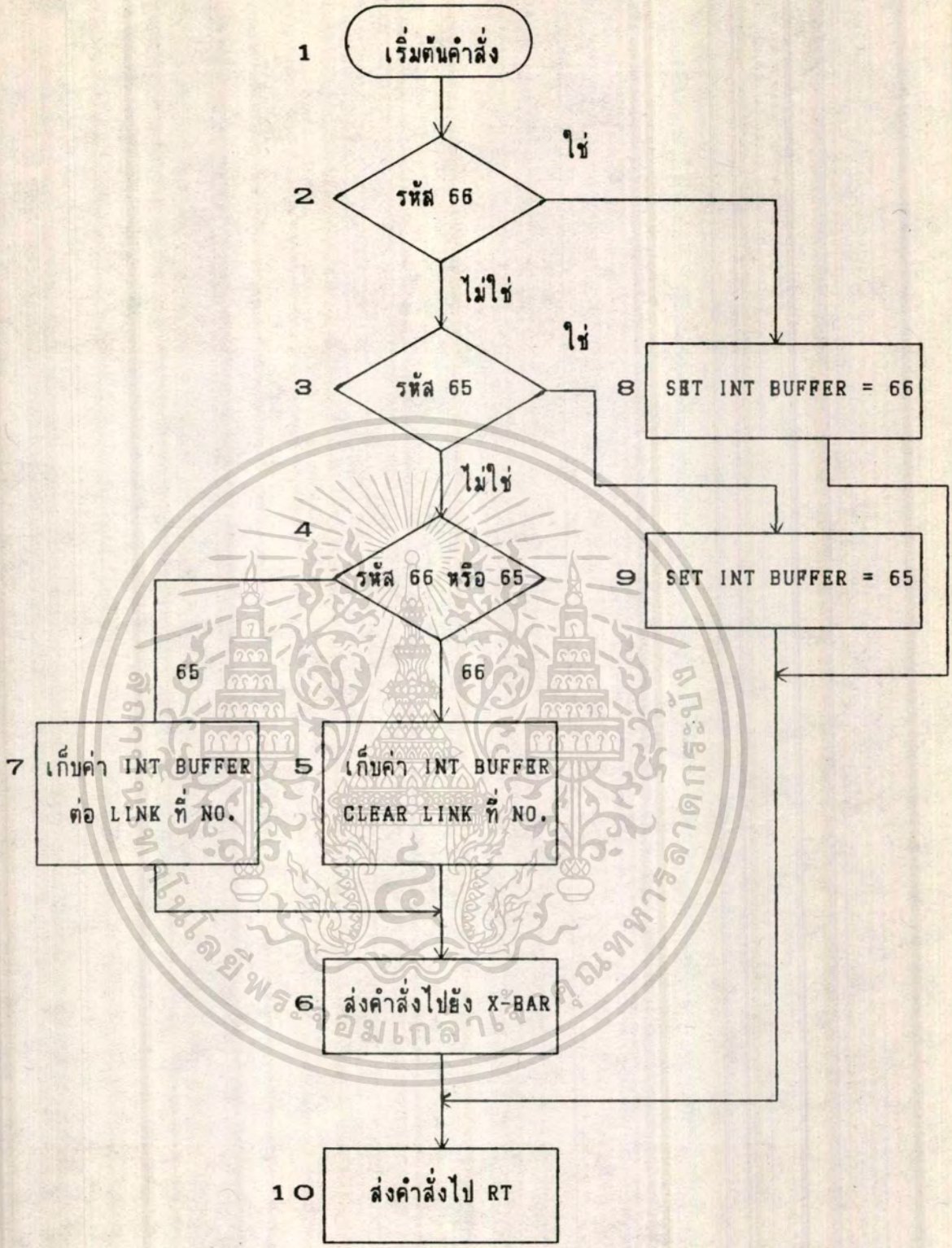
Flow Chart ที่ 1 แสดงการทำงานของโปรแกรม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



Flow Chart ที่ 2 แสดงการทำงานของ LR-BR

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



Flow Chart ที่ 3 แสดงการส่งคำสั่งตัดหรือต่อ Link

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
2500 A.D. Z80 CROSS ASSEMBLER   -   VERSION 3.00b
-------------------------------------------------

        INPUT  FILENAME :  COT.Z80
        OUTPUT FILENAME :  COT.OBJ


                ;*****************************************************
                ;* 1 0 0 L I N E  T O  3 0 L I N E  R E D U C E R *
                ;*****************************************************
                ;REDUCE.Z80
                ;SOFTWARE FOR Z180 CONTROLPACK
                ;DECEMBER 23,1991

                ;INITIAL PORT

8000                    ORG 8000H
8000  0E 96             LD C,96H            ;TEST COMMUNICATION
8002  11 2D 85          LD DE,RX
8005  3E 8A             LD A,8AH
8007  D7                RST 10H

8008  CD B3 81          CALL TX2            ;CALL FOR CLEAR LR/BR

800B  3E FF             LD A,0FFH
800D  06 50             LD B,50H
800F  21 00 F0          LD HL,BUFF30
8012  77          CILICA LD (HL),A
8013  23                INC HL
8014  10 FC             DJNZ CILICA
8016  AF                XOR A
8017  06 30             LD B,30H
8019  21 50 F0          LD HL,VPAGE1
801C  77          CICILI LD (HL),A
801D  23                INC HL
801E  10 FC             DJNZ CICILI


8020  3E 9B             LD A,9BH
8022  D3 F7             OUT (0F7H),A    ;INPUT ALL
8024  D3 FB             OUT (0FBH),A    ;INPUT ALL
8026  D3 FF             OUT (0FFH),A    ;INPUT ALL
8028  D3 DF             OUT (0DFH),A    ;INPUT ALL
802A  3E 90             LD A,90H
802C  D3 DB             OUT (0DBH),A    ;D8=INPUT  D9,DA=OUTPUT
802E  3E 80             LD A,80H
8030  D3 D7             OUT (0D7H),A    ;OUTPUT ALL
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
8032   D3 8F              OUT (8FH),A      ;OUTPUT ALL
8034   D3 9F              OUT (9FH),A      ;OUTPUT ALL

                   ;************************************
                   ;* I N P U T 1 0 4   C H E N N E L *
                   ;************************************
                   ;INPUT 104 CHANNEL
                   ;subprogram name: IN104

       90 F0       PORT    EQU 0F090H                    ;87E0H
       30 F0       BUFF104 EQU 0F030H                    ;8830H
       00 F0       BUFF30  EQU 0F000H                    ;8800H

8036   21 90 F0    IN104   LD HL,PORT
8039   06 0D               LD B,0DH
803B   11 30 F0            LD DE,BUFF104
803E   4E          LOOP1   LD C,(HL)
803F   ED 78               IN A,(C)
8041   12                  LD (DE),A
8042   23                  INC HL
8043   13                  INC DE
8044   10 F8               DJNZ LOOP1
                   ;************************
                   ;* T E S T   I N P U T *
                   ;************************
8046   16 0D       START   LD D,0DH
8048   0E 00               LD C,00H
804A   21 30 F0            LD HL,BUFF104
804D   7E          TSTBT   LD A,(HL)
804E   06 08               LD B,08H
                   ;TSTBT1  RRCA            RECOVER AFTER OK

8050   CD 7D 80    TSTBT1  CALL DISPLAY          ;FOR TEST WITH PC
8053   CD 8D 80            CALL DISP1            ;FOR TEST WITH PC
8056   CD 8D 80            CALL DISP1
8059   0F                  RRCA
805A   CD 97 80            CALL DISP2
805D   D2 54 81            JP NC,UNTAKE
8060   CD AF 80            CALL TAKE
8063   0C          TSTBT2  INC C
8064   05                  DEC B
8065   20 E9               JR NZ,TSTBT1
8067   23                  INC HL
8068   15                  DEC D
8069   20 03               JR NZ,TSTBT5
806B   C3 36 80            JP IN104
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
806E   7A          TSTBT5  LD A,D
806F   FE 01               CP 01H
8071   CA 77 80            JP Z,TSTBT6
8074   C3 4D 80            JP TSTBT

8077   7E          TSTBT6  LD A,(HL)
8078   06 04               LD B,04H
807A   C3 50 80            JP TSTBT1


807D   F5          DISPLAY PUSH AF          ;FOR TEST WITH PC
807E   C5                  PUSH BC          ;FOR TEST WITH PC
807F   79                  LD A,C
8080   CD CF 81            CALL BN2BCD
8083   3A 40 F0            LD A,(DECOUT)
8086   4F                  LD C,A
8087   3E 83               LD A,83H         ;FOR TEST WITH PC
8089   D7                  RST 10H          ;FOR TEST WITH PC
808A   C1                  POP BC           ;FOR TEST WITH PC
808B   F1                  POP AF           ;FOR TEST WITH PC
808C   C9                  RET              ;FOR TEST WITH PC

808D   F5          DISP1   PUSH AF          ;FOR TEST WITH PC
808E   C5                  PUSH BC          ;FOR TEST WITH PC
808F   0E 20               LD C,20H         ;FOR TEST WITH PC
8091   3E 82               LD A,82H         ;FOR TEST WITH PC
8093   D7                  RST 10H          ;FOR TEST WITH PC
8094   C1                  POP BC           ;FOR TEST WITH PC
8095   F1                  POP AF           ;FOR TEST WITH PC
8096   C9                  RET              ;FOR TEST WITH PC

8097   F5          DISP2   PUSH AF          ;FOR TEST WITH PC
8098   C5                  PUSH BC          ;FOR TEST WITH PC
8099   E6 80               AND 80H          ;FOR TEST WITH PC
809B   07                  RLCA
809C   4F                  LD C,A           ;FOR TEST WITH PC
809D   3E 83               LD A,83H
809F   D7                  RST 10H
80A0   CD 8D 80            CALL DISP1
80A3   CD 8D 80            CALL DISP1
80A6   CD 8D 80            CALL DISP1
80A9   CD 8D 80            CALL DISP1       ;FOR TEST WITH PC
80AC   C1                  POP BC           ;FOR TEST WITH PC
80AD   F1                  POP AF           ;FOR TEST WITH PC
80AE   C9                  RET              ;FOR TEST WITH PC

                ;**********************
                ;* T A K E   L I N E *
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
                        ;**********************
                        ;TEST LINE:     CALL OR HOLD & RECORD LINE

      40 F0             DECOUT  EQU 0F040H          ;8840H ;OUT FROM HEX TO DEC CONVERT (BN2
80AF  F5                TAKE    PUSH AF
80B0  C5                        PUSH BC
80B1  D5                        PUSH DE
80B2  E5                        PUSH HL
80B3  79                        LD A,C
80B4  CD CF 81                  CALL BN2BCD
80B7  ED 4B 40 F0               LD BC,(DECOUT)
80BB  C5                        PUSH BC
80BC  79                        LD A,C
80BD  E6 0F                     AND 0FH
80BF  5F                        LD E,A
80C0  16 00                     LD D,00H
80C2  21 00 F0                  LD HL,BUFF30
80C5  19                        ADD HL,DE
80C6  7E                        LD A,(HL)
80C7  C1                        POP BC
80C8  B9                        CP C
80C9  CA 12 81                  JP Z,UNREC1
80CC  11 10 00                  LD DE,0010H
80CF  19                        ADD HL,DE
80D0  7E                        LD A,(HL)
80D1  B9                        CP C
80D2  CA 12 81                  JP Z,UNREC1
80D5  19                        ADD HL,DE
80D6  7E                        LD A,(HL)
80D7  B9                        CP C
80D8  CA 12 81                  JP Z,UNREC1
80DB  FE FF                     CP 0FFH
80DD  CA FC 80                  JP Z,PUSH1
80E0  CE 00                     ADC A,00H           ;CLEAR FLAG
80E2  ED 52                     SBC HL,DE           ;DE EQU 0010H  THIS POINT
80E4  7E                        LD A,(HL)
80E5  FE FF                     CP 0FFH
80E7  CA FC 80                  JP Z,PUSH1
80EA  CE 00                     ADC A,00H           ;CLEAR FLAG
80EC  ED 52                     SBC HL,DE
80EE  7E                        LD A,(HL)
80EF  FE FF                     CP 0FFH
80F1  CA FC 80                  JP Z,PUSH1
80F4  CD 46 81                  CALL BUSY
80F7  E1                FLYBLK  POP HL
80F8  D1                        POP DE
80F9  C1                        POP BC
80FA  F1                        POP AF
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
80FB  C9                  RET
80FC  71          PUSH1   LD (HL),C
80FD  CD 2E 81            CALL TX0
8100  CD F3 81            CALL HOUT
8103  CD A5 82            CALL VSEL
8106  CD DC 82            CALL SETBUFF
8109  CD 17 83            CALL VEROUT
810C  CD 0D 85            CALL DELAY
810F  C3 F7 80            JP FLYBLK
8112  CD 18 81    UNREC1  CALL UNREC
8115  C3 F7 80            JP FLYBLK
8118  F5          UNREC   PUSH AF             ;*****  MODULE FOR TEST
8119  C5                  PUSH BC
811A  D5                  PUSH DE
811B  E5                  PUSH HL
811C  3E FF               LD A,0FFH
811E  D3 9E               OUT (9EH),A
8120  CD 1D 85            CALL DELAY1
8123  AF                  XOR A
8124  D3 9E               OUT (9EH),A
8126  CD 1D 85            CALL DELAY1
8129  E1                  POP HL
812A  D1                  POP DE
812B  C1                  POP BC
812C  F1                  POP AF
812D  C9                  RET
812E  F5          TX0     PUSH AF
812F  C5                  PUSH BC
8130  D5                  PUSH DE
8131  E5                  PUSH HL

8132  C5                  PUSH BC           ;SENT TAKE CODE
8133  0E 65               LD C,65H
8135  3E 8C               LD A,8CH
8137  D7                  RST 10H
8138  C1                  POP BC

8139  79                  LD A,C
813A  CD C1 81            CALL  BCD2BN
813D  4F                  LD C,A
813E  3E 8C               LD A,8CH
8140  D7                  RST 10H
8141  E1                  POP HL
8142  D1                  POP DE
8143  C1                  POP BC
8144  F1                  POP AF
8145  C9                  RET
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
8146   3E FF        BUSY  LD A,0FFH            ;*****  MODULE FOR TEST
8148   D3 8E              OUT (8EH),A
814A   CD 0D 85           CALL DELAY           ;
814D   AF                 XOR A
814E   D3 8E              OUT (8EH),A
8150   CD 0D 85           CALL DELAY
8153   C9                 RET

                   ;*************************
                   ;* U N T A K E   L I N E *
                   ;*************************
                   ;
8154   F5          UNTAKE  PUSH AF
8155   C5                  PUSH BC
8156   D5                  PUSH DE
8157   E5                  PUSH HL
8158   79                  LD A,C
8159   CD CF 81            CALL BN2BCD
815C   ED 4B 40 F0         LD BC,(DLCOUT)
8160   C5                  PUSH BC
8161   79                  LD A,C
8162   E6 0F               AND 0FH
8164   5F                  LD E,A
8165   16 00               LD D,00H
8167   21 00 F0            LD HL,BUFF30
816A   19                  ADD HL,DE
816B   7E                  LD A,(HL)
816C   C1                  POP BC
816D   B9                  CP C
816E   CA 8A 81            JP Z,CLEAR1
8171   11 10 00            LD DE,0010H
8174   19                  ADD HL,DE
8175   7E                  LD A,(HL)
8176   B9                  CP C
8177   CA 8A 81            JP Z,CLEAR1
817A   19                  ADD HL,DE            ;HERE DE = 0010H
817B   7E                  LD A,(HL)
817C   B9                  CP C
817D   CA 8A 81            JP Z,CLEAR1
8180   CD 18 81            CALL UNREC
8183   E1          COMBK   POP HL
8184   D1                  POP DE
8185   C1                  POP BC
8186   F1                  POP AF
8187   C3 63 80            JP TSTBT2

818A   CD 9B 81    CLEAR1  CALL TX1
818D   CD A5 82             CALL VSEL
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
8190   CD 10 84            CALL RESBUFF
8193   CD 17 83            CALL VEROUT
8196   36 FF               LD (HL),0FFH
8198   C3 83 81            JP COMBK

819B   F5          TX1     PUSH AF
819C   C5                  PUSH BC
819D   D5                  PUSH DE
819E   E5                  PUSH HL

819F   C5                  PUSH BC       ;SENT UNTAKE CODE
81A0   0E 66               LD C,66H
81A2   3E 8C               LD A,8CH
81A4   D7                  RST 10H
81A5   C1                  POP BC

81A6   79                  LD A,C
81A7   CD C1 81            CALL BCD2BN

81AA   4F                  LD C,A
81AB   3E 8C               LD A,8CH
81AD   D7                  RST 10H
81AE   E1                  POP HL
81AF   D1                  POP DE
81B0   C1                  POP BC
81B1   F1                  POP AF
81B2   C9                  RET

81B3   F5          TX2     PUSH AF
81B4   C5                  PUSH BC
81B5   D5                  PUSH DE
81B6   E5                  PUSH HL

81B7   0E 67               LD C,67H
81B9   3E 8C               LD A,8CH
81BB   D7                  RST 10H

81BC   E1                  POP HL
81BD   D1                  POP DE
81BE   C1                  POP BC
81BF   F1                  POP AF
81C0   C9                  RET

                ;*************************************************
                ;* B C D  T O  B I N A R Y   C O N V E R S I O N *
                ;*************************************************
                ;
                ;TITLE:              BCD TO BINARY CONVERSION
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
                        ;NAME:              BCD2BN
                        ;PURPOSE:           CONVERT ONE BYTE OF BCD DATA TO
                        ;                   ONE BYTE OF BINARY DATA
                        ;
                        ;ENTRY:             REGISTER A = BCD DATA
                        ;EXIT:              REGISTER A = BINARY DATA
                        ;REGISTERS:         A,B,C,F
                        ;TIME:              60 CYCLES
                        ;SIZE:              PROGRAM 14 BYTE
                        ;
81C1   47               BCD2BN  LD B,A
81C2   E6 F0                    AND 0F0H
81C4   0F                       RRCA
81C5   4F                       LD C,A
81C6   0F                       RRCA
81C7   0F                       RRCA
81C8   81                       ADD A,C
81C9   4F                       LD C,A
81CA   78                       LD A,B
81CB   E6 0F                    AND 0FH
81CD   81                       ADD A,C
81CE   C9                       RET

                        ;*****************************************************
                        ;* B I N A R Y  T O  B C D  C O N V E R S I O N *
                        ;*****************************************************
                        ;
                        ;TITLE:             BINARY TO BCD CONVERSION
                        ;
                        ;PURPOSE:           CONVERT ONE BYTE OF BINARY DATA TO
                        ;                   TWO BYTES OF BCD DATA
                        ;
                        ;ENTRY:             REGISTER A = BINARY DATA
                        ;EXIT:              REGISTER H = HIGH BYTE OF BCD DATA
                        ;                   REGISTER L = LOW  BYTE OF BCD DATA
                        ;REGISTERS USED:    AF,C,HL
                        ;TIME:              497 CYCLES MAXIMUM
                        ;SIZE:              PROGRAM 27 BYTE
81CF   F5               BN2BCD  PUSH AF
81D0   C5                       PUSH BC
81D1   E5                       PUSH HL
81D2   26 FF                    LD H,0FFH
81D4   24               D100LP  INC H
81D5   D6 64                    SUB 100
81D7   30 FB                    JR NC,D100LP
81D9   C6 64                    ADD A,100
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
81DB   2E FF            LD L,0FFH
81DD   2C         D10LP INC L
81DE   D6 0A            SUB 10
81E0   30 FB            JR NC,D10LP
81E2   C6 0A            ADD A,10
81E4   4F               LD C,A
81E5   7D               LD A,L
81E6   07               RLCA
81E7   07               RLCA
81E8   07               RLCA
81E9   07               RLCA
81EA   B1               OR C
81EB   6F               LD L,A
81EC   22 40 F0         LD (DECOUT),HL      ;KEEP OUTPUT HEX TO DEC
81EF   E1               POP HL
81F0   C1               POP BC
81F1   F1               POP AF
81F2   C9               RET

                ;**********************************
                ;** O U T P U T  S E C T I O N **
                ;**********************************
                ;HORIZONTAL OUTPUT DECODER

                ;       ORG 8200H
       53 F0    HBUFF1  EQU 0F053H          ;8853H
       54 F0    HBUFF2  EQU 0F054H          ;8854H
       50 F0    VPAGE1  EQU 0F050H          ;8850H
       51 F0    VPAGE2  EQU 0F051H          ;8851H
       52 F0    VPAGE3  EQU 0F052H          ;8852H
       42 F0    VPAGE   EQU 0F042H          ;8842H ;BUFFER RESALT FOR VSEL
81F3   C5       HOUT    PUSH BC
81F4   E5               PUSH HL
81F5   79               LD A,C
81F6   E6 F0            AND 0F0H
81F8   0F               RRCA
81F9   0F               RRCA
81FA   0F               RRCA
81FB   0F               RRCA
81FC   FE 00            CP 00H
81FE   CA 43 82         JP Z,HSET0
8201   FE 01            CP 01H
8203   CA 4C 82         JP Z,HSET1
8206   FE 02            CP 02H
8208   CA 55 82         JP Z,HSET2
820B   FE 03            CP 03H
820D   CA 5E 82         JP Z,HSET3
8210   FE 04            CP 04H
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
8212   CA 67 82            JP Z,HSET4
8215   FE 05               CP 05H
8217   CA 70 82            JP Z,HSET5
821A   FE 06               CP 06H
821C   CA 79 82            JP Z,HSET6
821F   FE 07               CP 07H
8221   CA 82 82            JP Z,HSET7
8224   FE 08               CP 08H
8226   CA 8B 82            JP Z,HSET8
8229   FE 09               CP 09H
822B   CA 98 82            JP Z,HSET9
822E   3E 55               LD A,55H
8230   D3 D5               OUT (0D5H),A
8232   76                  HALT                ;FOR TEST

8233   3A 53 F0    HOROUT  LD A,(HBUFF1)
8236   D3 D9               OUT (0D9H),A
8238   3A 54 F0    HOROUTX LD A,(HBUFF2)
823B   D3 DA               OUT (0DAH),A
823D   CD 0D 85            CALL DELAY
8240   E1                  POP HL
8241   C1                  POP BC
8242   C9                  RET

8243   AF          HSET0   XOR A
8244   CB C7               SET 0,A
8246   32 53 F0            LD (HBUFF1),A
8249   C3 33 82            JP HOROUT
824C   AF          HSET1   XOR A
824D   CB CF               SET 1,A
824F   32 53 F0            LD (HBUFF1),A
8252   C3 33 82            JP HOROUT
8255   AF          HSET2   XOR A
8256   CB D7               SET 2,A
8258   32 53 F0            LD (HBUFF1),A
825B   C3 33 82            JP HOROUT
825E   AF          HSET3   XOR A
825F   CB DF               SET 3,A
8261   32 53 F0            LD (HBUFF1),A
8264   C3 33 82            JP HOROUT
8267   AF          HSET4   XOR A
8268   CB E7               SET 4,A
826A   32 53 F0            LD (HBUFF1),A
826D   C3 33 82            JP HOROUT
8270   AF          HSET5   XOR A
8271   CB EF               SET 5,A
8273   32 53 F0            LD (HBUFF1),A
8276   C3 33 82            JP HOROUT
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
8279  AF           HSET6   XOR A
827A  CB F7                SET 6,A
827C  32 53 F0             LD (HBUFF1),A
827F  C3 33 82             JP HOROUT
8282  AF           HSET7   XOR A
8283  CB FF                SET 7,A
8285  32 53 F0             LD (HBUFF1),A
8288  C3 33 82             JP HOROUT
828B  3A 54 F0     HSET8   LD A,(HBUFF2)
828E  CB F7                SET 6,A
8290  CB BF                RES 7,A
8292  32 54 F0             LD (HBUFF2),A
8295  C3 38 82             JP HOROUTX
8298  3A 54 F0     HSET9   LD A,(HBUFF2)
829B  CB FF                SET 7,A
829D  CB B7                RES 6,A
829F  32 54 F0             LD (HBUFF2),A
82A2  C3 38 82             JP HOROUTX

                   ;VERTICAL OUTPUT DECODER
82A5  C5           VSEL    PUSH BC
82A6  E5                   PUSH HL
82A7  7D                   LD A,L
82A8  E6 F0                AND 0F0H
82AA  0F                   RRCA
82AB  0F                   RRCA
82AC  0F                   RRCA
82AD  0F                   RRCA
82AE  FE 00                CP 00H
82B0  CA C1 82             JP Z,VSEL1
82B3  FE 01                CP 01H
82B5  CA CA 82             JP Z,VSEL2
82B8  FE 02                CP 02H
82BA  CA D3 82             JP Z,VSEL3      ;FOR TEST
82BD  76                   HALT             ;FOR TEST

82BE  E1           REPA    POP HL          ;TEST 12/1/92
82BF  C1                   POP BC          ;TEST 12/1/92
82C0  C9                   RET

82C1  21 50 F0     VSEL1   LD HL,VPAGE1
82C4  22 42 F0             LD (VPAGE),HL
82C7  C3 BE 82             JP REPA
82CA  21 51 F0     VSEL2   LD HL,VPAGE2
82CD  22 42 F0             LD (VPAGE),HL
82D0  C3 BE 82             JP REPA
82D3  21 52 F0     VSEL3   LD HL,VPAGE3
82D6  22 42 F0             LD (VPAGE),HL
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
82D9   C3 BE 82            JP REPA

82DC   C5          SETBUFF  PUSH BC
82DD   E5                   PUSH HL
82DE   79                   LD A,C
82DF   E6 0F                AND 0FH
82E1   FE 00                CP 00H
82E3   CA 4E 83             JP Z,VSET0
82E6   FE 01                CP 01H
82E8   CA 58 83             JP Z,VSET1
82EB   FE 02                CP 02H
82ED   CA 62 83             JP Z,VSET2
82F0   FE 03                CP 03H
82F2   CA 6C 83             JP Z,VSET3
82F5   FE 04                CP 04H
82F7   CA 76 83             JP Z,VSET4
82FA   FE 05                CP 05H
82FC   CA 80 83             JP Z,VSET5
82FF   FE 06                CP 06H
8301   CA 8A 83             JP Z,VSET6
8304   FE 07                CP 07H
8306   CA 94 83             JP Z,VSET7
8309   FE 08                CP 08H
830B   CA 9E 83             JP Z,VSET8
830E   FE 09                CP 09H
8310   CA D7 83             JP Z,VSET9

8313   76                   HALT                    ;FOR ANALYSIS
8314   E1          NVSET    POP HL
8315   C1                   POP BC
8316   C9                   RET

8317   C5          VEROUT   PUSH BC
8318   E5                   PUSH HL
8319   3A 50 F0             LD A,(VPAGE1)
831C   D3 D4                OUT (0D4H),A
831E   3A 51 F0             LD A,(VPAGE2)
8321   D3 D5                OUT (0D5H),A
8323   3A 52 F0             LD A,(VPAGE3)
8326   D3 D6                OUT (0D6H),A
8328   3A 54 F0             LD A,(HBUFF2)
832B   D3 DA                OUT (0DAH),A
832D   CD 0D 85             CALL DELAY
8330   AF                   XOR A                   ;19/1/02
8331   D3 D9                OUT (0D9H),A            ;19/1/02
8333   3A 54 F0             LD A,(HBUFF2)
8336   CB B7                RES 6,A
8338   CB BF                RES 7,A
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
833A   32 54 F0            LD (HBUFF2),A
833D   D3 DA               OUT (0DAH),A          ;19/1/02
833F   CD 0D 85            CALL DELAY            ;19/1/02
8342   CD 0D 85            CALL DELAY
8345   CD 0D 85            CALL DELAY
8348   CD 0D 85            CALL DELAY
834B   E1                  POP HL
834C   C1                  POP BC
834D   C9                  RET

834E   2A 42 F0     VSET0  LD HL,(VPAGE)
8351   7E                  LD A,(HL)
8352   CB C7               SET 0,A
8354   77                  LD (HL),A
8355   C3 14 83            JP NVSET
8358   2A 42 F0     VSET1  LD HL,(VPAGE)
835B   7E                  LD A,(HL)
835C   CB CF               SET 1,A
835E   77                  LD (HL),A
835F   C3 14 83            JP NVSET
8362   2A 42 F0     VSET2  LD HL,(VPAGE)
8365   7E                  LD A,(HL)
8366   CB D7               SET 2,A
8368   77                  LD (HL),A
8369   C3 14 83            JP NVSET
836C   2A 42 F0     VSET3  LD HL,(VPAGE)
836F   7E                  LD A,(HL)
8370   CB DF               SET 3,A
8372   77                  LD (HL),A
8373   C3 14 83            JP NVSET
8376   2A 42 F0     VSET4  LD HL,(VPAGE)
8379   7E                  LD A,(HL)
837A   CB E7               SET 4,A
837C   77                  LD (HL),A
837D   C3 14 83            JP NVSET
8380   2A 42 F0     VSET5  LD HL,(VPAGE)
8383   7E                  LD A,(HL)
8384   CB EF               SET 5,A
8386   77                  LD (HL),A
8387   C3 14 83            JP NVSET
838A   2A 42 F0     VSET6  LD HL,(VPAGE)
838D   7E                  LD A,(HL)
838E   CB F7               SET 6,A
8390   77                  LD (HL),A
8391   C3 14 83            JP NVSET
8394   2A 42 F0     VSET7  LD HL,(VPAGE)
8397   7E                  LD A,(HL)
8398   CB FF               SET 7,A
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
839A  77                    LD (HL),A
839B  C3 14 83              JP NVSET
839E  2A 42 F0    VSET8     LD HL,(VPAGE)
83A1  7D                    LD A,L
83A2  E6 0F                 AND 0FH
83A4  FE 00                 CP 00H
83A6  CA B6 83              JP Z,MOD81
83A9  FE 01                 CP 01H
83AB  CA C1 83              JP Z,MOD82
83AE  FE 02                 CP 02H
83B0  CA CC 83              JP Z,MOD83
83B3  C3 14 83    VEROUT1   JP NVSET

83B6  3A 54 F0    MOD81     LD A,(HBUFF2)
83B9  CB C7                 SET 0,A
83BB  32 54 F0              LD (HBUFF2),A
83BE  C3 B3 83              JP VEROUT1
83C1  3A 54 F0    MOD82     LD A,(HBUFF2)
83C4  CB D7                 SET 2,A
83C6  32 54 F0              LD (HBUFF2),A
83C9  C3 B3 83              JP VEROUT1
83CC  3A 54 F0    MOD83     LD A,(HBUFF2)
83CF  CB E7                 SET 4,A
83D1  32 54 F0              LD (HBUFF2),A
83D4  C3 B3 83              JP VEROUT1



83D7  2A 42 F0    VSET9     LD HL,(VPAGE)
83DA  7D                    LD A,L
83DB  E6 0F                 AND 0FH
83DD  FE 00                 CP 00H
83DF  CA EF 83              JP Z,MOD91
83E2  FE 01                 CP 01H
83E4  CA FA 83              JP Z,MOD92
83E7  FE 02                 CP 02H
83E9  CA 05 84              JP Z,MOD93
83EC  C3 14 83    VEROUT2   JP NVSET

83EF  3A 54 F0    MOD91     LD A,(HBUFF2)
83F2  CB CF                 SET 1,A
83F4  32 54 F0              LD (HBUFF2),A
83F7  C3 EC 83              JP VEROUT2
83FA  3A 54 F0    MOD92     LD A,(HBUFF2)
83FD  CB DF                 SET 3,A
83FF  32 54 F0              LD (HBUFF2),A
8402  C3 EC 83              JP VEROUT2
8405  3A 54 F0    MOD93     LD A,(HBUFF2)
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
8408   CB EF              SET 5,A
840A   32 54 F0           LD (HBUFF2),A
840D   C3 EC 83           JP VEROUT2
                  ****************************
                  * C L E A R   B U F F E R *
                  ****************************
                  ;CLEAR  VERBUFFER AT  8850,8851,8852,8854
                  ;                      V1   V2   V3   MOD

8410   C5         RESBUFF PUSH BC
8411   E5                 PUSH HL
8412   79                 LD A,C
8413   E6 0F              AND 0FH
8415   FE 00              CP 00H
8417   CA 4B 84           JP Z,VRES0
841A   FE 01              CP 01H
841C   CA 55 84           JP Z,VRES1
841F   FE 02              CP 02H
8421   CA 5F 84           JP Z,VRES2
8424   FE 03              CP 03H
8426   CA 69 84           JP Z,VRES3
8429   FE 04              CP 04H
842B   CA 73 84           JP Z,VRES4
842E   FE 05              CP 05H
8430   CA 7D 84           JP Z,VRES5
8433   FE 06              CP 06H
8435   CA 87 84           JP Z,VRES6
8438   FE 07              CP 07H
843A   CA 91 84           JP Z,VRES7
843D   FE 08              CP 08H
843F   CA 9B 84           JP Z,VRES8
8442   FE 09              CP 09H
8444   CA D4 84           JP Z,VRES9

8447   76                 HALT                    ;FOR ANALYSIS
8448   E1         NVRES   POP HL
8449   C1                 POP BC
844A   C9                 RET

844B   2A 42 F0   VRES0   LD HL,(VPAGE)
844E   7E                 LD A,(HL)
844F   CB 87               RES 0,A
8451   77                 LD (HL),A
8452   C3 48 84           JP NVRES
8455   2A 42 F0   VRES1   LD HL,(VPAGE)
8458   7E                 LD A,(HL)
8459   CB 8F              RES 1,A
845B   77                 LD (HL),A
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
845C   C3 48 84            JP NVRES
845F   2A 42 F0   VRES2    LD HL,(VPAGE)
8462   7E                 LD A,(HL)
8463   CB 97              RES 2,A
8465   77                 LD (HL),A
8466   C3 48 84           JP NVRES
8469   2A 42 F0   VRES3    LD HL,(VPAGE)
846C   7E                 LD A,(HL)
846D   CB 9F              RES 3,A
846F   77                 LD (HL),A
8470   C3 48 84           JP NVRES
8473   2A 42 F0   VRES4    LD HL,(VPAGE)
8476   7E                 LD A,(HL)
8477   CB A7              RES 4,A
8479   77                 LD (HL),A
847A   C3 48 84           JP NVRES
847D   2A 42 F0   VRES5    LD HL,(VPAGE)
8480   7E                 LD A,(HL)
8481   CB AF              RES 5,A
8483   77                 LD (HL),A
8484   C3 48 84           JP NVRES
8487   2A 42 F0   VRES6    LD HL,(VPAGE)
848A   7E                 LD A,(HL)
848B   CB B7              RES 6,A
848D   77                 LD (HL),A
848E   C3 48 84           JP NVRES
8491   2A 42 F0   VRES7    LD HL,(VPAGE)
8494   7E                 LD A,(HL)
8495   CB BF              RES 7,A
8497   77                 LD (HL),A
8498   C3 48 84           JP NVRES
849B   2A 42 F0   VRES8    LD HL,(VPAGE)
849E   7D                 LD A,L
849F   E6 0F              AND 0FH
84A1   FE 00              CP 00H
84A3   CA B3 84           JP Z,RMOD81
84A6   FE 01              CP 01H
84A8   CA BE 84           JP Z,RMOD82
84AB   FE 02              CP 02H
84AD   CA C9 84           JP Z,RMOD83
84B0   C3 48 84   RVOUT1  JP NVRES

84B3   3A 54 F0   RMOD81  LD A,(HBUFF2)
84B6   CB 87              RES 0,A
84B8   32 54 F0           LD (HBUFF2),A
84BB   C3 B0 84           JP RVOUT1
84BE   3A 54 F0   RMOD82  LD A,(HBUFF2)
84C1   CB 97              RES 2,A
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
84C3   32 54 F0            LD (HBUFF2),A
84C6   C3 B0 84            JP RVOUT1
84C9   3A 54 F0   RMOD83   LD A,(HBUFF2)
84CC   CB A7               RES 4,A
84CE   32 54 F0            LD (HBUFF2),A
84D1   C3 B0 84            JP RVOUT1


84D4   2A 42 F0   VRES9    LD HL,(VPAGE)
84D7   7D                  LD A,L
84D8   E6 0F               AND 0FH
84DA   FE 00               CP 00H
84DC   CA EC 84            JP Z,RMOD91
84DF   FE 01               CP 01H
84E1   CA F7 84            JP Z,RMOD92
84E4   FE 02               CP 02H
84E6   CA 02 85            JP Z,RMOD93
84E9   C3 48 84   RVOUT2   JP NVRES

84EC   3A 54 F0   RMOD91   LD A,(HBUFF2)
84EF   CB 8F               RES 1,A
84F1   32 54 F0            LD (HBUFF2),A
84F4   C3 E9 84            JP RVOUT2
84F7   3A 54 F0   RMOD92   LD A,(HBUFF2)
84FA   CB 9F               RES 3,A
84FC   32 54 F0            LD (HBUFF2),A
84FF   C3 E9 84            JP RVOUT2
8502   3A 54 F0   RMOD93   LD A,(HBUFF2)
8505   CB AF               RES 5,A
8507   32 54 F0            LD (HBUFF2),A
850A   C3 E9 84            JP RVOUT2

850D   E5         DELAY    PUSH HL
850E   21 FF FF            LD HL,0FFFFH
8511   2D         NAI      DEC L
8512   C2 11 85            JP NZ,NAI
8515   2E FF               LD L,0FFH
8517   25                  DEC H
8518   C2 11 85            JP NZ,NAI
851B   E1                  POP HL
851C   C9                  RET

851D   E5         DELAY1   PUSH HL
851E   21 00 02            LD HL,0200H
8521   2D         NAI1     DEC L
8522   C2 21 85            JP NZ,NAI1
8525   2E FF               LD L,0FFH
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
8527   25                   DEC H
8528   C2 21 85             JP NZ,NA11
852B   E1                   POP HL
852C   C9                   RET

                    ;*****************************************************
                    ;*** R E C E I V E   D A T A   F R O M   S E R I A L # 0 ***
                    ;*****************************************************
852D   F3           RX       DI
852E   F5                    PUSH AF
852F   C5                    PUSH BC
8530   D5                    PUSH DE
8531   E5                    PUSH HL
8532   3E 8B                 LD A,8BH
8534   11 2D 85              LD DE,RX          ;IOR TEST
8537   D7                    RST 10H
8538   CD AF 80              CALL TAKE

853B   E1                    POP HL
853C   D1                    POP DE
853D   C1                    POP BC
853E   F1                    POP AF
853F   FB                    EI
8540   ED 4D                 RETI


F090                         ORG PORT
F090   F4 F5 F6 F8           DB  0F4H,0F5H,0F6H,0F8H
F094   F9 FA FC FD           DB  0F9H,0FAH,0FCH,0FDH
F098   FE D8 DC DD           DB  0FEH,0D8H,0DCH,0DDH
F09C   DE                    DB  0DEH


F09D                         END
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

********** S Y M B O L I C R E F E R E N C E T A B L E **********

BCD2BN	81C1	BN2BCD	81CF	BUFF104	= F030	BUFF30	= F000
BUSY	8146	CICILI	801C	CILICA	8012	CLEAR1	818A
COMBK	8183	D100LP	81D4	D10LP	81DD	DECOUT	= F040
DELAY	850D	DELAY1	851D	DISP1	808D	DISP2	8097
DISPLAY	807D	FLYBLK	80F7	HBUFF1	= F053	HBUFF2	= F054
HOROUT	8233	HOROUTX	8238	HOUT	81F3	HSET0	8243
HSET1	824C	HSET2	8255	HSET3	825E	HSET4	8267
HSET5	8270	HSET6	8279	HSET7	8282	HSET8	828B
HSET9	8298	IN104	8036	LOOP1	803E	MOD81	83B6
MOD82	83C1	MOD83	83CC	MOD91	83EF	MOD92	83FA
MOD93	8405	NAI	8511	NAI1	8521	NVRES	8448
NVSET	8314	PORT	= F090	PUSH1	80FC	REPA	82BE
RESBUFF	8410	RMOD81	84F3	RMOD82	84BE	RMOD83	84C9
RMOD91	84DC	RMOD92	84E7	RMOD93	8502	RVOUT1	84B0
RVOUT2	84E9	RX	852D	SETBUFF	82DC	START	8046
TAKE	80AF	TSTBT1	804D	TSTBT1	8050	TSTBT2	8063
TSTBT5	806F	TSTBT6	8077	TX0	812F	TX1	813B
TX2	81B3	UNREC	8118	UNREC1	8112	UNTAKE	8154
VEROUT	8317	VEROUT1	83B3	VEROUT2	83EC	VPAGE	= F042
VPAGE1	= F050	VPAGE3	= F051	VPAGE3	= F052	VRES0	844B
VRES1	8455	VRES2	845F	VRES3	8469	VRES4	8473
VRES5	847D	VRES6	8487	VRES7	8491	VRES8	849B
VRES9	84D4	VSE1	82A5	VSEL1	82C1	VSEL2	82CA
VSEL3	82D3	VSET0	834E	VSET1	8356	VSET2	8362
VSET3	836C	VSET4	8376	VSET5	8380	VSET6	838A
VSET7	8394	VSET8	839E	VSET9	83D7		

0000 ASSEMBLY ERRORS

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
                2500 A.D. Z80 CROSS ASSEMBLER   -   VERSION 3.00b
                ---------------------------------------------

                      INPUT  FILENAME :  LRBR.Z80
                      OUTPUT FILENAME :  LRBR.OBJ


                    ;DETECTED & PROCESS

                    ;*****************************************************
                    ;* 1 0 0 L I N E  T O  3 0 L I N E  R E D U C E R *
                    ;*****************************************************
                    ;NAME:                    REDUCE2.Z80
                    ;SOFTWARE USE:            ON Z80 CONTROLPACK
                    ;DATE:                    JANUARY 2,1992
                    ;
                    ;CLEAR MEMORY
                    ;ADDRESS 8800H TO 884FH  EQUAL TO 0FFH
                    ;ADDRESS 8850H TO 887FH  EQUAL TO  00H
                    ;
8000                        ORG 8000H
8000  21 A0 8E             LD HL,8EA0H
8003  F9                   LD SP,HL
8004  CD 75 80             CALL CLRBUFF        ;SET BUFF ADDRESS 8800H TO 884FH
                                                ;RESET BUFFER ADDRESS 8850H TO 887FH
                    ;*************************************
                    ;***** I N I T I A L   P O R T *****
                    ;*************************************
                    ;
8007  3E 83               LD A,83H
8009  D3 DF               OUT (0DFH),A        ;DC=OUTPUT DD=INPUT
                    ;                       ;DE(up)=output DE(down)=input
800B  3E 90               LD A,90H
800D  D3 DB               OUT (0DBH),A        ;D8=INPUT  D9,DA=OUTPUT
800F  3E 80               LD A,80H
8011  D3 D7               OUT (0D7H),A        ;OUTPUT ALL

8013  D3 8F               OUT (8FH),A         ;OUTPUT ALL (AT CP 180)
8015  D3 9F               OUT (9FH),A         ;OUTPUT ALL (AT CP 180)


                    ;*****************************************************
                    ;*** I N I T I A L   C O M M U N I C A T I O N   P O R T ***
                    ;*****************************************************
                    ;INITIAL SERIAL 0
                    ;
8017  0E 96               LD C,96H            ;9600 BAUD RATE
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
8019   11 31 85          LD DE,RX          ;RX = INTERRUPT ADDRESS
801C   3E 8A             LD A,8AH          ;NON PARITY 8 BIT,1STOP BIT
801E   D7                RST 10H           ;1STARTN BIT

                  ;*********************************************
                  ;* I N P U T 1 0 0   C H E N N E L  L/R & B/R *
                  ;*********************************************
                  ;INPUT & 100 CHANNEL DETECEED
                  ;subprogram name: CROBAR
   00 F0          BUFF30  EQU 0F000H        ;8800H
                  ;***********  T E S T  I N P U T  ***************
                  ;
801F   FB         TCB100  EI
8020   16 08              LD D,08H          ;10 HOR  COUNTER
8022   0F 00              LD C,00H          ;CHENNEL COUNTER
8024   1E 80              LD E,80H          ;SCANNING   CODE

8026   AF         TSTBT   XOR A
8027   D3 DE              OUT (0DEH),A      ;SET DECIMAL DIGIT 8,9 = 00
8029   7B         TSTBT3  LD  A,E
802A   D3 DC              OUT (0DCH),A      ;TAKE SCAN CODE TO DECIMAL DIGIT 0 TO 7
802C   DB DD              IN A,(0DDH)       ;INPUT DATA FROM VER (UNIT 0 TO 7)

802E   CD 50 80           CALL TSTBT1       ;DECODE TO NUMBER OF LINE & OUTPUT 10 UNIT
8031   CB 0B              RRC E             ;SHIFT RIGHT 1 DECIMAL DIGIT
8033   15                 DEC D             ;CHECK SHIFT RIGHT = 8 TIME
8034   C2 29 80           JP NZ,TSTBT3      ;IF NOT EQUAL TO 8 TIME GO RECYCLE

8037   AF                 XOR A             ;MORE THAN 8 TIME DO DECIMAL DIGIT 8,9
8038   D3 DC              OUT (0DCH),A      ;& TAKE DECIMAL DEGIT 0 TO 7 = 0 ALL

803A   3E 20              LD A,20H          ;TAKE DECIMAL DEGIT 8 = 1 ,CHECK CH 80-87
803C   CD 46 80           CALL MODX         ;DECODE TO NUMBER OF LINE & OUTPUT 10 UNIT
803F   3E 10              LD A,10H          ;TAKE DECIMAL DEGIT 9 = 1 ,CHECK CH 90-97
8041   CD 46 80           CALL MODX         ;DECODE TO NUMBER OF LINE & OUTPUT 10 UNIT
8044   18 D9              JR TCB100         ;LOOPS SUCCESS TO START THE NEXT CYCLE

8046   F5         MODX    PUSH AF           ;SUBROUTINE FOR CHECK DECIMAL DEGIT 8,9.
8047   D3 DE              OUT (0DEH),A      ;(CHENEL 80-87,90-97)
8049   DB DD              IN A,(0DDH)
804B   CD 50 80           CALL TSTBT1
804F   F1                 POP AF
804F   C9                 RET


8050   06 08       TSTBT1  LD B,08H          ;CHECK CH 00-07,10-17,12-27,30-37,40-47
                                             ;         50-57,60-67,70-77
8052   0F          TSTBT4  RRCA
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
8053  DA 59 80          JP C,TSTBT2      ;CF="1" EQUAL CONTACT BRAKE (HAND DOWN)
8056  CD 93 80          CALL TAKE        ;CF="0" EQUAL CONTACT MAKE (HAND UP)
8059  0C          TSTBT2  INC C
805A  05                DEC B
805B  C2 52 80          JP NZ,TSTBT4
805E  CD 62 80          CALL TAKEN
8061  C9                RET
                  ;
8062  DB DE        TAKEN   IN A,(0DEH)
8064  0F                  RRCA             ;CHECK CH 08,18,28,38,48,58,68,78,88,98
8065  DA 6B 80            JP C,NOTAKE
8068  CD 93 80            CALL TAKE
806B  0C          NOTAKE  INC C            ;CHECK CH 09,19,29,39,49,59,69,79,89,99
806C  0F                  RRCA
806D  DA 73 80            JP C,NOTAKE1
8070  CD 93 80            CALL TAKE
8073  0C          NOTAKE1 INC C
8074  C9                  RET

8075  F5          CLRBUFF PUSH AF
8076  C5                  PUSH BC
8077  D5                  PUSH DE
8078  E5                  PUSH HL
8079  3E FF               LD A,0FFH
807B  06 50               LD B,50H
807D  21 00 88            LD HL,8800H
8080  77          CLRCA   LD (HL),A            ;CLEAR BUFFER
8081  23                  INC HL
8082  10 FC               DJNZ CLRCA
8084  AF                  XOR A
8085  06 30               LD B,30H
8087  21 50 88            LD HL,8850H
808A  77          CICILI  LD (HL),A
808B  23                  INC HL
808C  10 FC               DJNZ CICILI
808E  E1                  POP HL
808F  D1                  POP DE
8090  C1                  POP BC
8091  F1                  POP AF
8092  C9                  RET


                  ;*********************
                  ;* T A K E   L I N E *
                  ;*********************
                  ;TLOF LINE:      CALL OR HOLD & RECORD LINE

8093  F5          TAKE    PUSH AF
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
8094   C5                   PUSH BC
8095   D5                   PUSH DE
8096   E5                   PUSH HL
8097   79                   LD A,C
8098   CD 98 81             CALL BN2BCD
809B   ED 4B 40 F0          LD BC,(DECOUT)
809F   C5                   PUSH BC
80A0   79                   LD A,C
80A1   E6 0F                AND 0FH
80A3   5F                   LD E,A
80A4   16 00                LD D,00H
80A6   21 00 F0             LD HL,BUFF30
80A9   19                   ADD HL,DE
80AA   7E                   LD A,(HL)
80AB   C1                   POP BC
80AC   B9                   CP C
80AD   CA FB 80             JP Z,UNREC1
80B0   11 10 00             LD DE,0010H
80B3   19                   ADD HL,DE
80B4   7E                   LD A,(HL)
80B5   B9                   CP C
80B6   CA FB 80             JP Z,UNREC1
80B9   19                   ADD HL,DE
80BA   7E                   LD A,(HL)
80BB   B9                   CP C
80BC   CA FB 80             JP Z,UNREC1
80BF   FE FF                CP 0FFH
80C1   CA E0 80             JP Z,PUSH1
80C4   CE 00                ADC A,00H          ;CLEAR FLAG
80C6   ED 52                SBC HL,DE          ;DE EQU 0010H  THIS POINT
80C8   7E                   LD A,(HL)
80C9   FE FF                CP 0FFH
80CB   CA E0 80             JP Z,PUSH1
80CE   CE 00                ADC A,00H          ;CLEAR FLAG
80D0   ED 52                SBC HL,DE
80D2   7E                   LD A,(HL)
80D3   FE FF                CP 0FFH
80D5   CA F0 80             JP Z,PUSH1
80D8   CD 11 81             CALL BUSY
80DB   E1           FLYBLK  POP HL
80DC   D1                   POP DE
80DD   C1                   POP BC
80DE   F1                   POP AF
80DF   C9                   RET                ;RETURN FOR TAKE SUBROUTINE
80E0   71           PUSH1   LD (HL),C
80E1   CD 00 82             CALL HOUT
80E4   CD B2 82             CALL VSET
80E7   CD E9 82             CALL SETBUFF
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
80EA   CD 24 83          CALL VEROUT
80ED   CD 11 85          CALL DELAY
80F0   79                LD A,C
80F1   CD 87 81          CALL BCD2BN
80F4   4F                LD C,A
80F5   CD 19 81          CALL TX0              ;TX DATA FOR MAKE CONTACT TO STATION
80F8   C3 DB 80          JP FLYBLK

80FB   CD 01 81    UNREC1  CALL UNREC
80FE   C3 DB 80            JP FLYBLK
8101   F5          UNREC   PUSH AF             ;*****  MODULE FOR TEST
8102   C5                  PUSH BC
8103   D5                  PUSH DE
8104   E5                  PUSH HL
8105   3E FF               LD A,0FFH
8107   D3 9E               OUT (9EH),A
                   ;        CALL DELAY1
8109   AF                  XOR A
810A   D3 9E               OUT (9EH),A
                   ;        CALL DELAY1
810C   E1                  POP HL
810D   D1                  POP DE
810E   C1                  POP BC
810F   F1                  POP AF
8110   C9                  RET

8111   3E FF       BUSY  LD A,0FFH             ;***** MODULE FOR TEST
8113   D3 8E               OUT (8EH),A
                   ;        CALL DELAY1
8115   AF                  XOR A
8116   D3 8E               OUT (8EH),A
                   ;        CALL DELAY1
8118   C9                  RET

8119   F5          TX0     PUSH AF             ;SENT TO STATION
811A   C5                  PUSH BC
811B   3E 8C               LD A,8CH
811D   D7                  RST 10H
811E   C1                  POP BC
811F   F1                  POP AF
8120   C9                  RET



8121   F5          TX2    PUSH AF
8122   D5                 PUSH DE
8123   C5                 PUSH BC
8124   4F                 LD C,A
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
8125   3E 83              LD A,83H
8127   D7                 RST 10H
8128   C5                 PUSH BC
8129   0E 20              LD C,20H
812B   3E 82              LD A,82H
812D   D7                 RST 10H
812E   0E 20              LD C,20H
8130   3E 82              LD A,82H
8132   D7                 RST 10H
8133   0E 20              LD C,20H
8135   3E 82              LD A,82H
8137   D7                 RST 10H
8138   0E 20              LD C,20H
813A   3E 82              LD A,82H
813C   D7                 RST 10H
813D   C1                 POP BC

813E   CD 11 85           CALL DELAY

8141   C1                 POP BC
8142   D1                 POP DE
8143   F1                 POP AF
8144   C9                 RET

                ;**************************
                ;* U N T A K E  L I N E *
                ;**************************
                ;
8145   F5       UNTAKE    PUSH AF
8146   C5                 PUSH BC
8147   D5                 PUSH DE
8148   E5                 PUSH HL
8149   79                 LD A,C
814A   CD 98 81           CALL BN2BCD
814D   ED 4B 40 F0        LD BC,(DECOUT)
8151   C5                 PUSH BC
8152   79                 LD A,C
8153   E6 0F              AND 0FH
8155   5F                 LD E,A
8156   16 00              LD D,00H
8158   21 00 F0           LD HL,BUFF30
815B   19                 ADD HL,DE
815C   7E                 LD A,(HL)
815D   C1                 POP BC
815E   B9                 CP C
815F   CA 79 81           JP Z,CLEAR1
8162   11 10 00           LD DE,0010H
8165   19                 ADD HL,DE
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
8166   7E                   LD A,(HL)
8167   B9                   CP C
8168   CA 79 81             JP Z,CLEAR1
816B   19                   ADD HL,DE          ;HERE DE = 0010H
816C   7E                   LD A,(HL)
816D   B9                   CP C
816E   CA 79 81             JP Z,CLEAR1
8171   CD 01 81             CALL UNREC
8174   E1            COMBK  POP HL
8175   D1                   POP DE
8176   C1                   POP BC
8177   F1                   POP AF
8178   C9                   RET                ;RETURN FOR UNTAKE SUBROUTINE

8179   CD B2 82      CLEAR1 CALL VSEL
817C   CD 14 84             CALL RESBUFF
817F   CD 24 83             CALL VEROUT
8182   36 FF                LD (HL),0FFH
8184   C3 74 81             JP COMBK

                    ;*****************************************************
                    ;* B C D   T O   B I N A R Y   C O N V E R S I O N *
                    ;*****************************************************
                    ;
                    ;TITLE:            BCD TO BINARY CONVERSION
                    ;NAME:             BCD2BN
                    ;PURPOSE:          CONVERT ONE BYTE OF BCD DATA TO
                    ;                  ONE BYTE OF BINARY DATA
                    ;
                    ;ENTRY:            REGISTER A = BCD DATA
                    ;EXIT:             REGISTER A = BINARY DATA
                    ;REGISTERS:        A,B,C,F
                    ;TIME:             60 CYCLES
                    ;SIZE:             PROGRAM 14 BYTE
                    ;

      4F F0         BINOUT EQU  0F04FH         ;884FH
8187  47            BCD2BN LD B,A
8188  E6 F0                AND 0F0H
818A  0F                   RRCA
818B  4F                   LD C,A
818C  0F                   RRCA
818D  0F                   RRCA
818E  81                   ADD A,C
818F  4F                   LD C,A
8190  78                   LD A,B
8191  E6 0F                AND 0FH
8193  81                   ADD A,C
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
8194   32 4F F0          LD (BINOUT),A
8197   C9                RET

                         ;*****************************************************
                         ;* B I N A R Y  T O  B C D   C O N V E R S I O N *
                         ;*****************************************************
                         ;
                         ;TITLE:              BINARY TO BCD CONVERSION
                         ;
                         ;PURPOSE:            CONVERT ONE BYTE OF BINARY DATA TO
                         ;                    TWO BYTES OF BCD DATA
                         ;
                         ;ENTRY:              REGISTER A = BINARY DATA
                         ;EXIT:               REGISTER H = HIGH BYTE OF BCD DATA
                         ;                    REGISTER L = LOW  BYTE OF BCD DATA
                         ;REGISTERS USED:     AF,C,HL
                         ;TIME:               497 CYCLES MAXIMUM
                         ;SIZE:               PROGRAM 27 BYTE
       40 F0             DECOUT  EQU  0F040H          ;8840H
8198   F5                BN2BCD  PUSH AF
8199   C5                      PUSH BC
819A   E5                      PUSH HL
819B   26 FF                   LD H,0FFH
819D   24                D100LP INC H
819E   D6 64                   SUB 100
81A0   30 FB                   JR NC,D100LP
81A2   C6 64                   ADD A,100
81A4   2E FF                   LD L,0FFH
81A6   2C                D10LP  INC L
81A7   D6 0A                   SUB 10
81A9   30 FB                   JR NC,D10LP
81AB   C6 0A                   ADD A,10
81AD   4F                      LD C,A
81AE   7D                      LD A,L
81AF   07                      RLCA
81B0   07                      RLCA
81B1   07                      RLCA
81B2   07                      RLCA
81B3   B1                      OR C
81B4   6F                      LD L,A
81B5   22 40 F0                LD (DECOUT),HL        ;KEEP OUTPUT HEX TO DEC
81B8   E1                      POP HL
81B9   C1                      POP BC
81BA   F1                      POP AF
81BB   C9                      RET

                         ;*********************************
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
                        ** O U T P U T   S E C T I O N **
                        ********************************
                        ;HORIZONTAL OUTPUT DECODER

8200                                ORG 8200H
        53 F0           HBUFF1      EQU 0F053H      ;8853H
        54 F0           HBUFF2      EQU 0F054H      ;8854H
        50 F0           VPAGE1      EQU 0F050H      ;8850H
        51 F0           VPAGE2      EQU 0F051H      ;8851H
        52 F0           VPAGE3      EQU 0F052H      ;8852H
        48 F0           VPAGE       EQU 0F048H      ;8848H ;BUFFER RESALT FOR VSEL
8200    C5              HOUT        PUSH BC
8201    E5                          PUSH HL
8202    79                          LD A,C
8203    E6 F0                       AND 0F0H
8205    0F                          RRCA
8206    0F                          RRCA
8207    0F                          RRCA
8208    0F                          RRCA
8209    FE 00                       CP 00H
820B    CA 50 82                    JP Z,HSET0
820E    FE 01                       CP 01H
8210    CA 59 82                    JP Z,HSET1
8213    FE 02                       CP 02H
8215    CA 62 82                    JP Z,HSET2
8218    FE 03                       CP 03H
821A    CA 6B 82                    JP Z,HSET3
821D    FE 04                       CP 04H
821F    CA 74 82                    JP Z,HSET4
8222    FE 05                       CP 05H
8224    CA 7D 82                    JP Z,HSET5
8227    FE 06                       CP 06H
8229    CA 86 82                    JP Z,HSET6
822C    FE 07                       CP 07H
822E    CA 8F 82                    JP Z,HSET7
8231    FE 08                       CP 08H
8233    CA 98 82                    JP Z,HSET8
8236    FE 09                       CP 09H
8238    CA A5 82                    JP Z,HSET9
823B    3E 55                       LD A,55H
823D    D3 D5                       OUT (0D5H),A
823F    76                          HALT            ;FOR TEST

8240    3A 53 F0        HOROUT      LD A,(HBUFF1)
8243    D3 D9                       OUT (0D9H),A
8245    3A 54 F0        HOROUTX     LD A,(HBUFF2)
8248    D3 DA                       OUT (0DAH),A
824A    CD 11 85                    CALL DELAY
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
824D   E1                    POP HL
824E   C1                    POP BC
824F   C9                    RET

8250   AF           HSET0    XOR A
8251   CB C7                 SET 0,A
8253   32 53 F0              LD (HBUFF1),A
8256   C3 40 82              JP HOROUT
8259   AF           HSET1    XOR A
825A   CB CF                 SET 1,A
825C   32 53 F0              LD (HBUFF1),A
825F   C3 40 82              JP HOROUT
8262   AF           HSET2    XOR A
8263   CB D7                 SET 2,A
8265   32 53 F0              LD (HBUFF1),A
8268   C3 40 82              JP HOROUT
826B   AF           HSET3    XOR A
826C   CB DF                 SET 3,A
826E   32 53 F0              LD (HBUFF1),A
8271   C3 40 82              JP HOROUT
8274   AF           HSET4    XOR A
8275   CB E7                 SET 4,A
8277   32 53 F0              LD (HBUFF1),A
827A   C3 40 82              JP HOROUT
827D   AF           HSET5    XOR A
827E   CB EF                 SET 5,A
8280   32 53 F0              LD (HBUFF1),A
8283   C3 40 82              JP HOROUT
8286   AF           HSET6    XOR A
8287   CB F7                 SET 6,A
8289   32 53 F0              LD (HBUFF1),A
828C   C3 40 82              JP HOROUT
828F   AF           HSET7    XOR A
8290   CB FF                 SET 7,A
8292   32 53 F0              LD (HBUFF1),A
8295   C3 40 82              JP HOROUT
8298   3A 54 F0     HSET8    LD A,(HBUFF2)
829B   CB F7                 SET 6,A
829D   CB BF                 RES 7,A
829F   32 54 F0              LD (HBUFF2),A
82A2   C3 45 82              JP HOROUTX
82A5   3A 54 F0     HSET9    LD A,(HBUFF2)
82A8   CB FF                 SET 7,A
82AA   CB B7                 RES 6,A
82AC   32 54 F0              LD (HBUFF2),A
82AF   C3 45 82              JP HOROUTX

                    ;VERTICAL OUTPUT DECODER
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
82B2   C5           VSEL    PUSH BC
82B3   E5                   PUSH HL
82B4   7D                   LD A,L
82B5   E6 F0                AND 0F0H
82B7   0F                   RRCA
82B8   0F                   RRCA
82B9   0F                   RRCA
82BA   0F                   RRCA
82BB   FE 00                CP 00H
82BD   CA CE 82             JP Z,VSEL1
82C0   FE 01                CP 01H
82C2   CA D7 82             JP Z,VSEL2
82C5   FE 02                CP 02H
82C7   CA E0 82             JP Z,VSEL3      ;FOR TEST
82CA   76                   HALT            ;FOR TEST

82CB   E1           REPA    POP HL          ;TEST 12/1/92
82CC   C1                   POP BC          ;TEST 12/1/92
82CD   C9                   RET

82CE   21 50 F0     VSEL1   LD HL,VPAGE1
82D1   22 48 F0             LD (VPAGE),HL
82D4   C3 CB 82             JP REPA
82D7   21 51 F0     VSEL2   LD HL,VPAGE2
82DA   22 48 F0             LD (VPAGE),HL
82DD   C3 CB 82             JP REPA
82E0   21 52 F0     VSEL3   LD HL,VPAGE3
82E3   22 48 F0             LD (VPAGE),HL
82E6   C3 CB 82             JP REPA

82E9   C5           SETBUFF PUSH BC
82EA   E5                   PUSH HL
82EB   79                   LD A,C
82EC   E6 0F                AND 0FH
82EE   FE 00                CP 00H
82F0   CA 52 83             JP Z,VSET0
82F3   FE 01                CP 01H
82F5   CA 5C 83             JP Z,VSET1
82F8   FE 02                CP 02H
82FA   CA 66 83             JP Z,VSET2
82FD   FE 03                CP 03H
82FF   CA 70 83             JP Z,VSET3
8302   FE 04                CP 04H
8304   CA 7A 83             JP Z,VSET4
8307   FE 05                CP 05H
8309   CA 84 83             JP Z,VSET5
830C   FE 06                CP 06H
830E   CA 8E 83             JP Z,VSET6
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
8311   FE 07              CP 07H
8313   CA 98 83           JP Z,VSET7
8316   FE 08              CP 08H
8318   CA A2 83           JP Z,VSET8
831B   FE 09              CP 09H
831D   CA DB 83           JP Z,VSET9

8320   76                 HALT                        ;FOR ANALYSIS
8321   E1          NVSET  POP HL
8322   C1                 POP BC
8323   C9                 RET

8324   C5          VEROUT PUSH BC
8325   E5                 PUSH HL
8326   3A 50 F0           LD A,(VPAGE1)
8329   D3 D4              OUT (0D4H),A
832B   3A 51 F0           LD A,(VPAGE2)
832E   D3 D5              OUT (0D5H),A
8330   3A 52 F0           LD A,(VPAGE3)
8333   D3 D6              OUT (0D6H),A
8335   3A 54 F0           LD A,(HBUFF2)
8338   D3 DA              OUT (0DAH),A
833A   CD 11 85           CALL DELAY          ;*************************

833D   AF                 XOR A                       ;19/1/02
833E   D3 D9              OUT (0D9H),A                ;19/1/02
8340   3A 54 F0           LD A,(HBUFF2)
8343   CB B7              RES 6,A
8345   CB BF              RES 7,A
8347   32 54 F0           LD (HBUFF2),A
834A   D3 DA              OUT (0DAH),A                ;19/1/02
834C   CD 11 85           CALL DELAY
834F   E1                 POP HL
8350   C1                 POP BC
8351   C9                 RET

8352   2A 48 F0    VSET0  LD HL,(VPAGE)
8355   7E                 LD A,(HL)
8356   CB C7              SET 0,A
8358   77                 LD (HL),A
8359   C3 21 83           JP NVSET
835C   2A 48 F0    VSET1  LD HL,(VPAGE)
835F   7E                 LD A,(HL)
8360   CB CF              SET 1,A
8362   77                 LD (HL),A
8363   C3 21 83           JP NVSET
8366   2A 48 F0    VSET2  LD HL,(VPAGE)
8369   7E                 LD A,(HL)
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
836A   CB D7              SET 2,A
836C   77                 LD (HL),A
836D   C3 21 83           JP NVSET
8370   2A 48 F0  VSET3    LD HL,(VPAGE)
8373   7E                 LD A,(HL)
8374   CB DF              SET 3,A
8376   77                 LD (HL),A
8377   C3 21 83           JP NVSET
837A   2A 48 F0  VSET4    LD HL,(VPAGE)
837D   7E                 LD A,(HL)
837E   CB E7              SET 4,A
8380   77                 LD (HL),A
8381   C3 21 83           JP NVSET
8384   2A 48 F0  VSET5    LD HL,(VPAGE)
8387   7E                 LD A,(HL)
8388   CB EF              SET 5,A
838A   77                 LD (HL),A
838B   C3 21 83           JP NVSET
838E   2A 48 F0  VSET6    LD HL,(VPAGE)
8391   7E                 LD A,(HL)
8392   CB F7              SET 6,A
8394   77                 LD (HL),A
8395   C3 21 83           JP NVSET
8398   2A 48 F0  VSET7    LD HL,(VPAGE)
839B   7E                 LD A,(HL)
839C   CB FF              SET 7,A
839E   77                 LD (HL),A
839F   C3 21 83           JP NVSET
83A2   2A 48 F0  VSET8    LD HL,(VPAGE)
83A5   7D                 LD A,L
83A6   E6 0F              AND 0FH
83A8   FE 00              CP 00H
83AA   CA BA 83           JP Z,MOD81
83AD   FE 01              CP 01H
83AF   CA C5 83           JP Z,MOD82
83B2   FE 02              CP 02H
83B4   CA D0 83           JP Z,MOD83
83B7   C3 21 83  VEROUT1  JP NVSET

83BA   3A 54 F0  MOD81    LD A,(HBUFF2)
83BD   CB C7              SET 0,A
83BF   32 54 F0           LD (HBUFF2),A
83C2   C3 B7 83           JP VEROUT1
83C5   3A 54 F0  MOD82    LD A,(HBUFF2)
83C8   CB D7              SET 2,A
83CA   32 54 F0           LD (HBUFF2),A
83CD   C3 B7 83           JP VEROUT1
83D0   3A 54 F0  MOD83    LD A,(HBUFF2)
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
83D3   CB E7              SET 4,A
83D5   32 54 F0           LD (HBUFF2),A
83D8   C3 B7 83           JP VEROUT1



83DB   2A 48 F0    VSET9  LD HL,(VPAGE)
83DE   7D                 LD A,L
83DF   E6 0F              AND 0FH
83E1   FE 00              CP 00H
83E3   CA F3 83           JP Z,MOD91
83E6   FE 01              CP 01H
83E8   CA FE 83           JP Z,MOD92
83EB   FE 02              CP 02H
83ED   CA 09 84           JP Z,MOD93
83F0   C3 21 83    VEROUT2 JP NVSET

83F3   3A 54 F0    MOD91  LD A,(HBUFF2)
83F6   CB CF               SET 1,A
83F8   32 54 F0            LD (HBUFF2),A
83FB   C3 F0 83            JP VEROUT2
83FE   3A 54 F0    MOD92  LD A,(HBUFF2)
8401   CB DF               SET 3,A
8403   32 54 F0            LD (HBUFF2),A
8406   C3 F0 83            JP VEROUT2
8409   3A 54 F0    MOD93  LD A,(HBUFF2)
840C   CB EF               SET 5,A
840E   32 54 F0            LD (HBUFF2),A
8411   C3 F0 83            JP VEROUT2
                   ************************
                   * C L E A R   B U F F E R *
                   ************************
                   ;CLEAR  VERBUFFER AT  8850,8851,8852,8854
                   ;                      V1   V2   V3   MOD

8414   C5          RESBUFF PUSH BC
8415   E5                  PUSH HL
8416   79                  LD A,C
8417   E6 0F               AND 0FH
8419   FE 00               CP 00H
841B   CA 4F 84             JP Z,VRES0
841E   FE 01               CP 01H
8420   CA 59 84             JP Z,VRES1
8423   FE 02               CP 02H
8425   CA 63 84             JP Z,VRES2
8428   FE 03               CP 03H
842A   CA 6D 84             JP Z,VRES3
842D   FE 04               CP 04H
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
842F   CA 77 84            JP Z,VRES4
8432   FE 05               CP 05H
8434   CA 81 84            JP Z,VRES5
8437   FE 06               CP 06H
8439   CA 8B 84            JP Z,VRES6
843C   FE 07               CP 07H
843E   CA 95 84            JP Z,VRES7
8441   FE 08               CP 08H
8443   CA 9F 84            JP Z,VRES8
8446   FE 09               CP 09H
8448   CA D8 84            JP Z,VRES9

844B   76                  HALT                    ;FOR ANALYSIS
844C   E1          NVRES   POP HL
844D   C1                  POP BC
844E   C9                  RET

844F   2A 48 F0    VRES0   LD HL,(VPAGE)
8452   7E                  LD A,(HL)
8453   CB 87               RES 0,A
8455   77                  LD (HL),A
8456   C3 4C 84            JP NVRES
8459   2A 48 F0    VRES1   LD HL,(VPAGE)
845C   7E                  LD A,(HL)
845D   CB 8F               RES 1,A
845F   77                  LD (HL),A
8460   C3 4C 84            JP NVRES
8463   2A 48 F0    VRES2   LD HL,(VPAGE)
8466   7E                  LD A,(HL)
8467   CB 97               RES 2,A
8469   77                  LD (HL),A
846A   C3 4C 84            JP NVRES
846D   2A 48 F0    VRES3   LD HL,(VPAGE)
8470   7E                  LD A,(HL)
8471   CB 9F               RES 3,A
8473   77                  LD (HL),A
8474   C3 4C 84            JP NVRES
8477   2A 48 F0    VRES4   LD HL,(VPAGE)
847A   7E                  LD A,(HL)
847B   CB A7               RES 4,A
847D   77                  LD (HL),A
847E   C3 4C 84            JP NVRES
8481   2A 48 F0    VRES5   LD HL,(VPAGE)
8484   7E                  LD A,(HL)
8485   CB AF               RES 5,A
8487   77                  LD (HL),A
8488   C3 4C 84            JP NVRES
848B   2A 48 F0    VRES6   LD HL,(VPAGE)
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
848E  7E              LD A,(HL)
848F  CB B7           RES 6,A
8491  77              LD (HL),A
8492  C3 4C 84        JP NVRES
8495  2A 48 F0  VRES7 LD HL,(VPAGE)
8498  7E              LD A,(HL)
8499  CB BF           RES 7,A
849B  77              LD (HL),A
849C  C3 4C 84        JP NVRES
849F  2A 48 F0  VRES8 LD HL,(VPAGE)
84A2  7D              LD A,L
84A3  E6 0F           AND 0FH
84A5  FE 00           CP 00H
84A7  CA B7 84        JP Z,RMOD81
84AA  FE 01           CP 01H
84AC  CA C2 84        JP Z,RMOD82
84AF  FE 02           CP 02H
84B1  CA CD 84        JP Z,RMOD83
84B4  C3 4C 84  RVOUT1 JP NVRES

84B7  3A 54 F0  RMOD81 LD A,(HBUFF2)
84BA  CB 87           RES 0,A
84BC  32 54 F0        LD (HBUFF2),A
84BF  C3 B4 84        JP RVOUT1
84C2  3A 54 F0  RMOD82 LD A,(HBUFF2)
84C5  CB 97           RES 2,A
84C7  32 54 F0        LD (HBUFF2),A
84CA  C3 B4 84        JP RVOUT1
84CD  3A 54 F0  RMOD83 LD A,(HBUFF2)
84D0  CB A7           RES 4,A
84D2  32 54 F0        LD (HBUFF2),A
84D5  C3 B4 84        JP RVOUT1


84D8  2A 48 F0  VRES9 LD HL,(VPAGE)
84DB  7D              LD A,L
84DC  E6 0F           AND 0FH
84DE  FE 00           CP 00H
84E0  CA F0 84        JP Z,RMOD91
84E3  FE 01           CP 01H
84E5  CA FB 84        JP Z,RMOD92
84E8  FE 02           CP 02H
84EA  CA 06 85        JP Z,RMOD93
84ED  C3 4C 84  RVOUT2 JP NVRES

84F0  3A 54 F0  RMOD91 LD A,(HBUFF2)
84F3  CB 8F           RES 1,A
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
84F5   32 54 F0            LD (HBUFF2),A
84F8   C3 ED 84            JP RVOUT2
84FB   3A 54 F0    RMOD92  LD A,(HBUFF2)
84FE   CB 9F               RES 3,A
8500   32 54 F0            LD (HBUFF2),A
8503   C3 ED 84            JP RVOUT2
8506   3A 54 F0    RMOD93  LD A,(HBUFF2)
8509   CB AF               RES 5,A
850B   32 54 F0            LD (HBUFF2),A
850E   C3 ED 84            JP RVOUT2

8511   E5           DELAY  PUSH HL
8512   21 FF FF            LD HL,0FFFFH
8515   2D           NA1    DEC L
8516   C2 15 85            JP NZ,NA1
8519   2E FF               LD L,0FFH
851B   25                  DEC H
851C   C2 15 85            JP NZ,NA1
851F   E1                  POP HL
8520   C9                  RET

8521   E5           DELAY1 PUSH HL
8522   21 00 80            LD HL,08000H
8525   2D           NA11   DEC L
8526   C2 25 85            JP NZ,NA11
8529   2E FF               LD L,0FFH
852B   25                  DEC H
852C   C2 25 85            JP NZ,NA11
852F   E1                  POP HL
8530   C9                  RET

                   ;*****************************************************
                   ;**** R E C E I V E  D A T A  F R O M  S E R I A L 0 ****
                   ;*****************************************************
       5F F0       TAKBUF EQU 0F05FH       ;884FH
8531   F3          RX     DI
8532   F5                 PUSH AF
8533   C5                 PUSH BC
8534   D5                 PUSH DE
8535   E5                 PUSH HL
8536   3E 8B              LD A,8BH         ;RECEIVE DATA FROM SERIAL#0
8538   11 31 85           LD DE,RX         ;DISABLE INT
853B   D7                 RST 10H          ;AND KEEP IN REGISTER C

853C   79                 LD A,C
853D   FE 67               CP 67H
853F   CA 5E 85            JP Z,CLRBUF1
8542   FE 65       FINAL0 CP 65H
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
8544   CA 67 85          JP Z,TAKE1
8547   FE 66             CP 66H
8549   CA 67 85          JP Z,TAKE1
854C   CD 6E 85          CALL NUMBER

854F   3E 83       OK    LD A,83H
8551   D7                RST 10H
8552   0E 20             LD C,20H
8554   3E 82             LD A,82H
8556   D7                RST 10H
8557   E1          INT   POP HL
8558   D1                POP DE
8559   C1                POP BC
855A   F1                POP AF
855B   FB                EI
855C   ED 4D             RETI

855E   CD 75 80    CLRBUF1 CALL CLRBUFF
8561   CD 24 83            CALL VEROUT
8564   C3 42 85            JP FINAL0

8567   79          TAKE1 LD A,C
8568   32 5F F0          LD (TAKBUF),A
                   ;      JP INT
856B   C3 4F 85           JP OK

856E   F5          NUMBER PUSH AF
856F   C5                 PUSH BC
8570   D5                 PUSH DE
8571   E5                 PUSH HL
8572   3A 5F F0           LD A,(TAKBUF)
8575   FE 65              CP 65H
8577   CA 84 85           JP Z,TAKE2
857A   FE 66              CP 66H
857C   CD 45 81           CALL UNTAKE

857F   E1          KICK   POP HL
8580   D1                 POP DE
8581   C1                 POP BC
8582   F1                 POP AF
8583   C9                 RET

8584   CD 93 80    TAKE2  CALL TAKE
8587   C3 7F 85           JP KICK

858A                      END
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

********** S Y M B O L I C R E F E R E N C E T A B L E **********

BCD2BN		8187	BINOUT	=	F04F	BN2BCD		8198	BUFF30	=	F000
BUSY		8111	CICILI		808A	CILICA		8080	CLEAR1		8179
CLRBUF1		855E	CLRBUFF		8075	COMBK		8174	D100LP		819D
D10LP		81A6	DECOUT	=	F040	DELAY		8511	DELAY1		8521
FINAL0		8542	FLYBLK		80DB	HBUFF1	=	F053	HBUFF2	=	F054
HOROUT		8240	HOROUTX		8245	HOUT		8200	HSET0		8250
HSET1		8259	HSET2		8262	HSET3		826B	HSET4		8274
HSET5		827D	HSET6		8286	HSET7		828F	HSET8		8298
HSET9		82A5	INT		8557	KICK		857F	MOD81		83BA
MOD82		83C5	MOD83		83D0	MOD91		83F3	MOD92		83FE
MOD93		8409	MODX		8046	NAI		8515	NAI1		8525
NOTAKE		806B	NOTAKE1		8073	NUMBER		856E	NVRES		844C
NVSET		8321	OK		854F	PUSH1		80E0	REPA		82CB
RESBUFF		8414	RMOD81		84B7	RMOD82		84C2	RMOD83		84CD
RMOD91		84F0	RMOD92		84FB	RMOD93		8506	RVOUT1		84B4
RVOUT2		84ED	RX		8531	SETBUFF		82E9	TAKBUF	=	F05F
TAKE		8093	TAKE1		8567	TAKE2		8584	TAKEN		8062
TCB100		801F	TSIBT		8026	TSTBT1		8050	TSTBT2		8059
TSTBT3		8029	TSTBT4		8052	TX0		8119	TX2		8121
UNREC		8101	UNREC1		80FB	UNTAKE		8145	VEROUT		8324
VEROUT1		83B7	VEROUT2		83F0	VPAGE	=	F048	VPAGE1	=	F050
VPAGE2	=	F051	VPAGE3	=	F052	VRES0		844F	VRES1		8459
VRES2		8463	VRES3		846D	VRES4		8477	VRES5		8481
VRES6		848B	VRES7		8495	VRES8		8499	VRES9		84D8
VSEL		82B2	VSEL1		82CE	VSEL2		82D7	VSEL3		82E0
VSET0		8352	VSET1		835C	VSET2		8366	VSET3		8370
VSET4		837A	VSET5		8384	VSET6		838E	VSET7		8398
VSET8		83A2	VSET9		83DB						

0000 ASSEMBLY ERRORS

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.6 โครงสร้างของระบบ LINE CONCENTRATOR

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ลิขสิทธิ์มหาวิทยาลัยเชียงใหม่
Copyright© by Chiang Mai University
All rights reserved

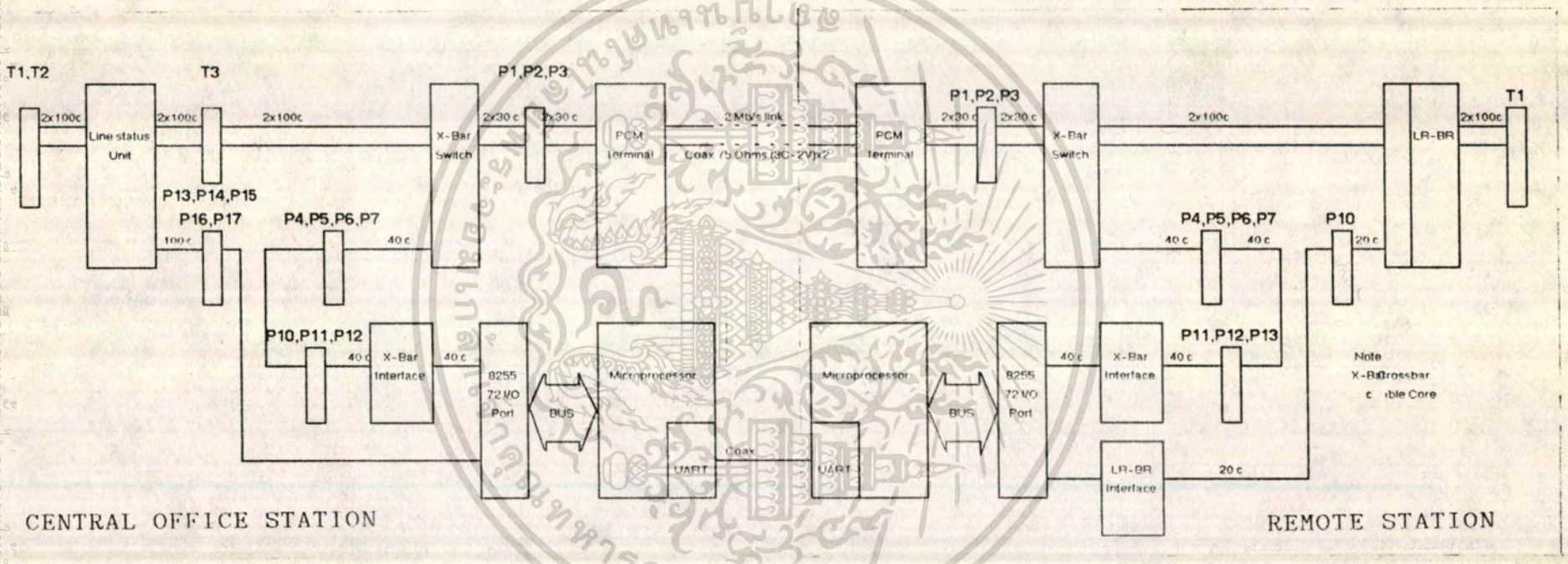
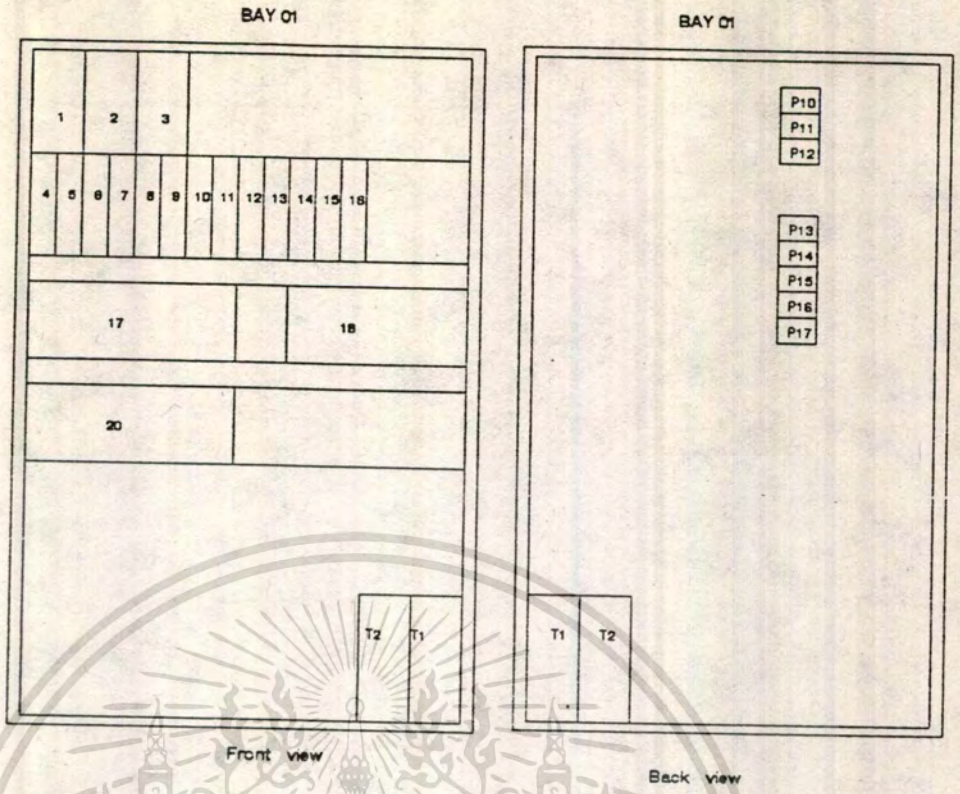
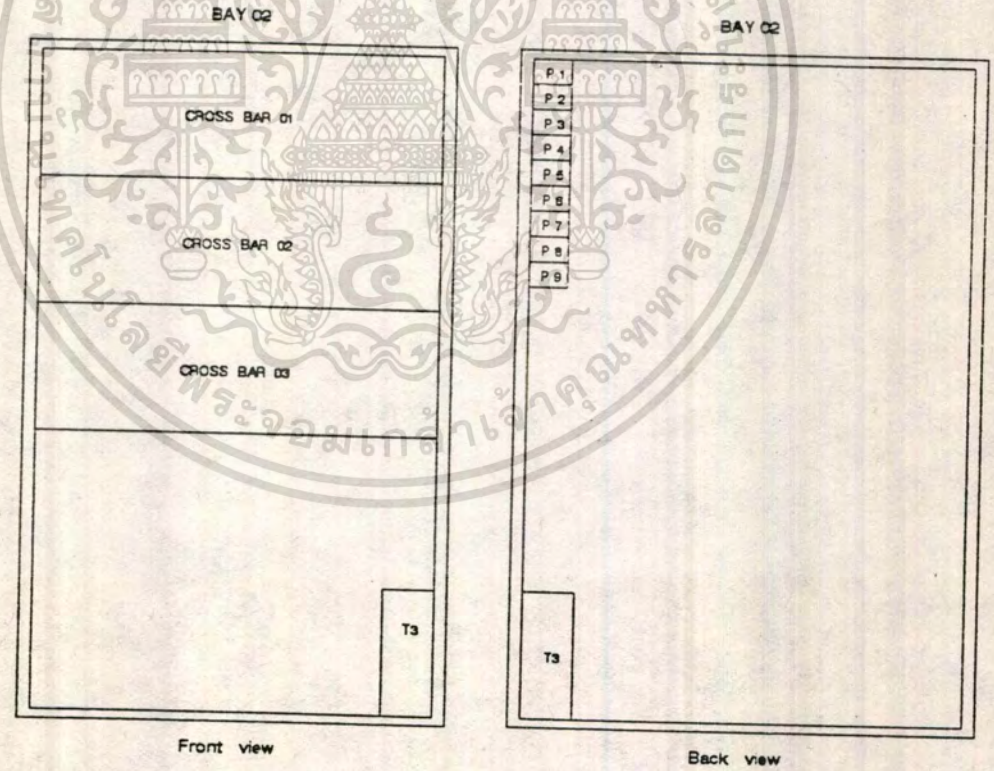


Fig. 1 LINE CONCENTRATOR





CENTRAL OFFICE STATION

NOTE

1 = CROSSBAR INTERFACE UNIT
2 = 8256 72/0
3 = MICROPROCESSOR Z80180
4 TO 16 = LINE STATUS UNIT
17 TO 18 = SWITCHING POWER SUPPLY UNIT 48 Vdc
19 = SWITCHING POWER SUPPLY UNIT 5 Vdc
T1 TO T2 = TERMINAL BLOCK for 100 lines
T3 = TERMINAL BLOCK for 100 lines

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

CROSS BAR

Front side

11	12	13	14	15	16	17	18	19	10
21	22	23	24	25	26	27	28	29	20
31	32	33	34	35	36	37	38	39	30
41	42	43	44	45	46	47	48	49	40
51	52	53	54	55	56	57	58	59	50
61	62	63	64	65	66	67	68	69	60
71	72	73	74	75	76	77	78	79	70
81	82	83	84	85	86	87	88	89	80
91	92	93	94	95	96	97	98	99	90
01	02	03	04	05	06	07	08	09	00

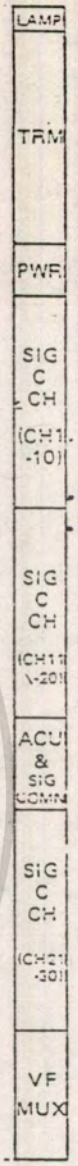
01

11	12	13	14	15	16	17	18	19	10
21	22	23	24	25	26	27	28	29	20
31	32	33	34	35	36	37	38	39	30
41	42	43	44	45	46	47	48	49	40
51	52	53	54	55	56	57	58	59	50
61	62	63	64	65	66	67	68	69	60
71	72	73	74	75	76	77	78	79	70
81	82	83	84	85	86	87	88	89	80
91	92	93	94	95	96	97	98	99	90
01	02	03	04	05	06	07	08	09	00

02

11	12	13	14	15	16	17	18	19	10
21	22	23	24	25	26	27	28	29	20
31	32	33	34	35	36	37	38	39	30
41	42	43	44	45	46	47	48	49	40
51	52	53	54	55	56	57	58	59	50
61	62	63	64	65	66	67	68	69	60
71	72	73	74	75	76	77	78	79	70
81	82	83	84	85	86	87	88	89	80
91	92	93	94	95	96	97	98	99	90
01	02	03	04	05	06	07	08	09	00

03



PCM-30 Terminal Equipment

CENTRAL OFFICE STATION

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

COT STATION

T1

02	02	01	01	00	00
05	05	04	04	03	03
08	08	07	07	06	06
11	11	10	10	09	09
14	14	13	13	12	12
17	17	16	16	15	15
20	20	19	19	18	18
23	23	22	22	21	21
26	26	25	25	24	24
29	29	28	28	27	27
32	32	31	31	30	30
35	35	34	34	33	33
38	38	37	37	36	36
41	41	40	40	39	39
44	44	43	43	42	42
47	47	46	46	45	45
50	50	49	49	48	48
53	53	52	52	51	51
56	56	55	55	54	54
59	59	58	58	57	57
62	62	61	61	60	60
65	65	64	64	63	63
68	68	67	67	66	66
71	71	70	70	69	69
74	74	73	73	72	72

T2

77	77	76	76	75	75
80	80	79	79	78	78
83	83	82	82	81	81
86	86	85	85	84	84
89	89	88	88	87	87
92	92	91	91	90	90
95	95	94	94	93	93
98	98	97	97	96	96
				99	99

T3

R	T	R	T	R	T	R	T
03	03	02	02	01	01	00	00
07	07	06	06	05	05	04	04
11	11	10	10	09	09	08	08
15	15	14	14	13	13	12	12
19	19	18	18	17	17	16	16
23	23	22	22	21	21	20	20
27	27	26	26	25	25	24	24
31	31	30	30	29	29	28	28
35	35	34	34	33	33	32	32
39	39	38	38	37	37	36	36
43	43	42	42	41	41	40	40
47	47	46	46	45	45	44	44
51	51	50	50	49	49	48	48
55	55	54	54	53	53	52	52
59	59	58	58	57	57	56	56
63	63	62	62	61	61	60	60
67	67	66	66	65	65	64	64
71	71	70	70	69	69	68	68
75	75	74	74	73	73	72	72
79	79	78	78	77	77	76	76
83	83	82	82	81	81	80	80
87	87	86	86	85	85	84	84
91	91	90	90	89	89	88	88
95	95	94	94	93	93	92	92
99	99	98	98	97	97	96	96

PLUG

P1 = Speech
P2 = Speech
P3 = Speech
P4 = Vertical Relay
P5 = Vertical Relay
P6 = Vertical Relay
P7 = Horizontal relay
P8 Not use
P9 Not use
P10 = Vertical Relay
P11 = Vertical Relay
P12 = Horizontal relay

co1 = common (+48 V)
co2 = common (+48 V)
co3 = common (+48 V)

see contact sid

P1

1	3	5	7	9
1	3	5	7	9
2	4	6	8	0
2	4	6	8	0

P2

11	13	15	17	19
11	13	15	17	19
12	14	16	18	10
12	14	15	18	10

P3

21	23	25	27	29
21	23	25	27	29
22	24	26	28	20
22	24	26	28	20

P4

1	5	9		
2	6	0		
3	7			
4	8			

P5

11	15	19		
12	16	10		
13	17			
14	18			

P6

21	25	29		
22	26	20		
23	27			
24	28			

P7

1	5	9		
2	6	0	bo1	bo1l
3	7		bo2	bo2l
4	8		bo3	bo3l

P8

1	5	9	13	17
2	6	0	14	18
3	7	11	15	19
4	8	12	16	10

P9

21	25	29		
22	26	20		
23	27			
24	28			

P10

1	5	9	13	17
2	6	0	14	18
3	7	11	15	19
4	8	12	16	10

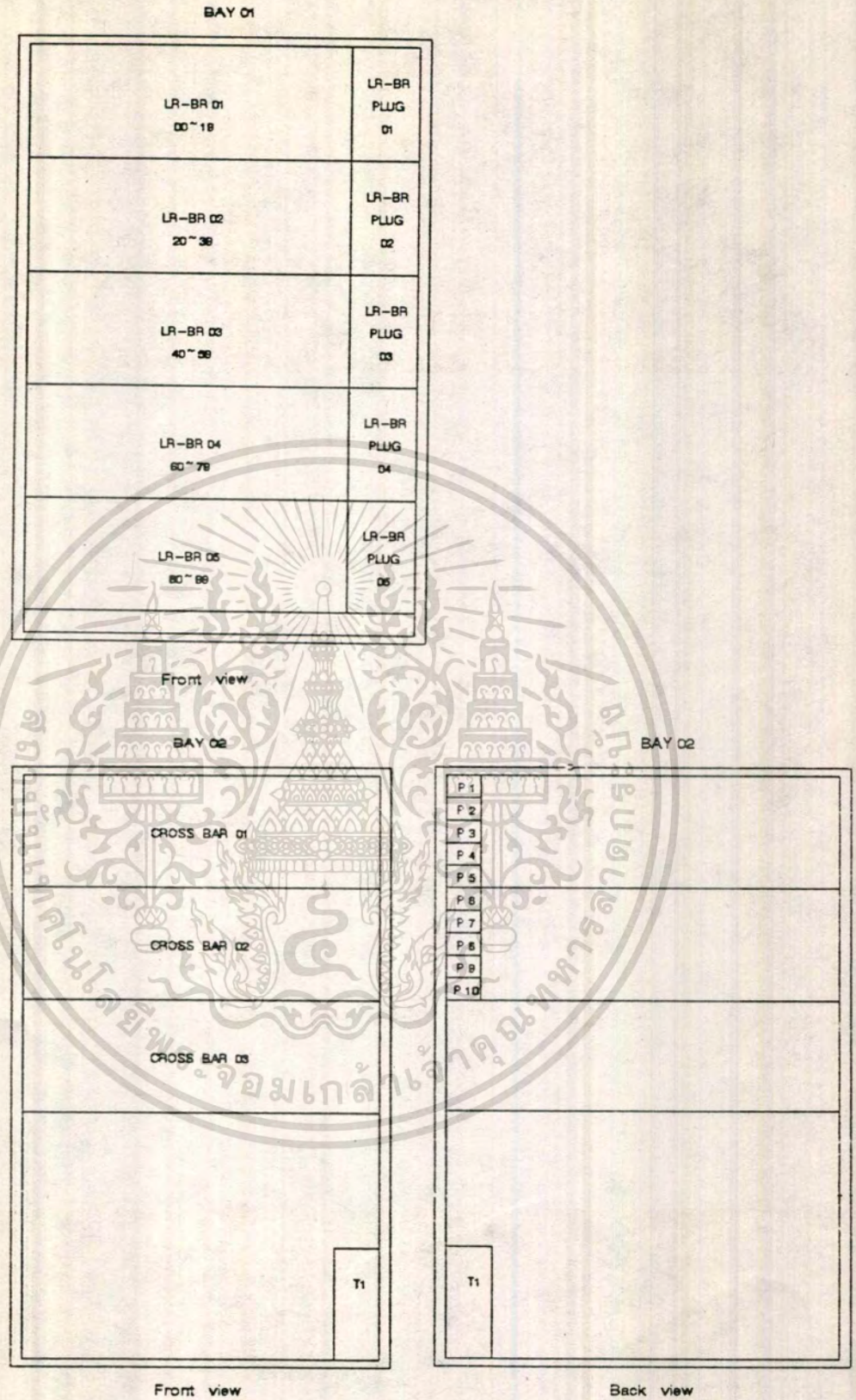
P11

21	25	29		
22	26	20		
23	27			
24	28			

P12

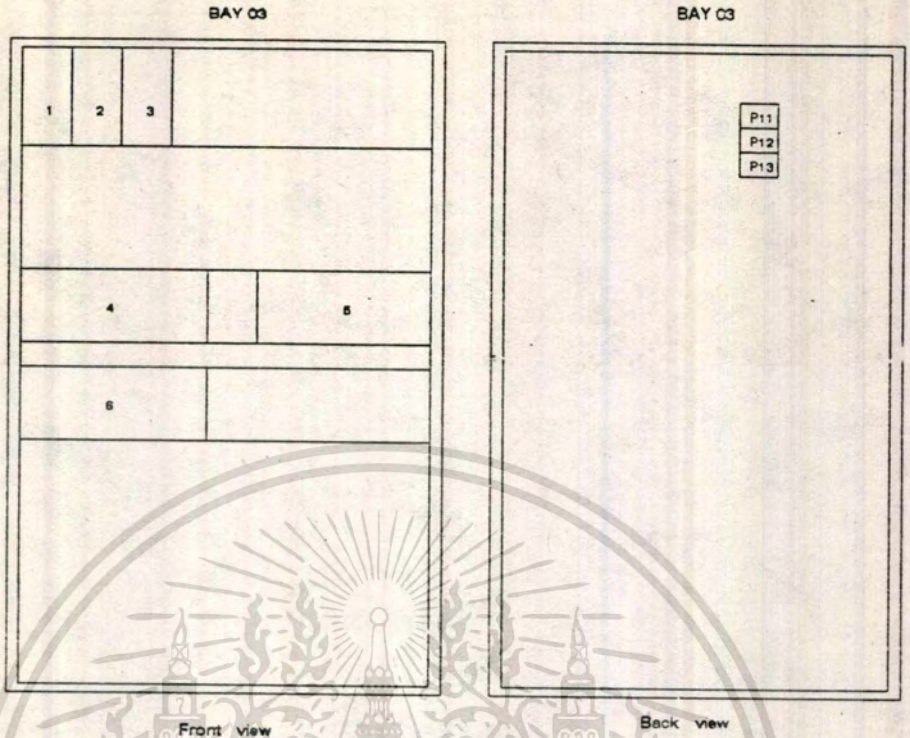
1	5	9		
2	6	0		
3	7			
4	8			

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



REMOTE STATION

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



NOTE

1 = CROSSBAR INTERFACE UNIT
2 = 8255 72I/O & LR-BR INTERFACE UNIT
4~5 = SWITCHING POWER SUPPLY UNIT 48 Vdc
6 = SWITCHING POWER SUPPLY UNIT 5 Vdc

REMOTE STATION

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

CROSS BAR

Front side

11	12	13	14	15	16	17	18	19	10
21	22	23	24	25	26	27	28	29	20
31	32	33	34	35	36	37	38	39	30
41	42	43	44	45	46	47	48	49	40
51	52	53	54	55	56	57	58	59	50
61	62	63	64	65	66	67	68	69	60
71	72	73	74	75	76	77	78	79	70
81	82	83	84	85	86	87	88	89	80
91	92	93	94	95	96	97	98	99	90
01	02	03	04	05	06	07	08	09	00

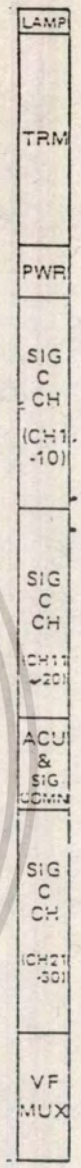
01

11	12	13	14	15	16	17	18	19	10
21	22	23	24	25	26	27	28	29	20
31	32	33	34	35	36	37	38	39	30
41	42	43	44	45	46	47	48	49	40
51	52	53	54	55	56	57	58	59	50
61	62	63	64	65	66	67	68	69	60
71	72	73	74	75	76	77	78	79	70
81	82	83	84	85	86	87	88	89	80
91	92	93	94	95	96	97	98	99	90
01	02	03	04	05	06	07	08	09	00

02

11	12	13	14	15	16	17	18	19	10
21	22	23	24	25	26	27	28	29	20
31	32	33	34	35	36	37	38	39	30
41	42	43	44	45	46	47	48	49	40
51	52	53	54	55	56	57	58	59	50
61	62	63	64	65	66	67	68	69	60
71	72	73	74	75	76	77	78	79	70
81	82	83	84	85	86	87	88	89	80
91	92	93	94	95	96	97	98	99	90
01	02	03	04	05	06	07	08	09	00

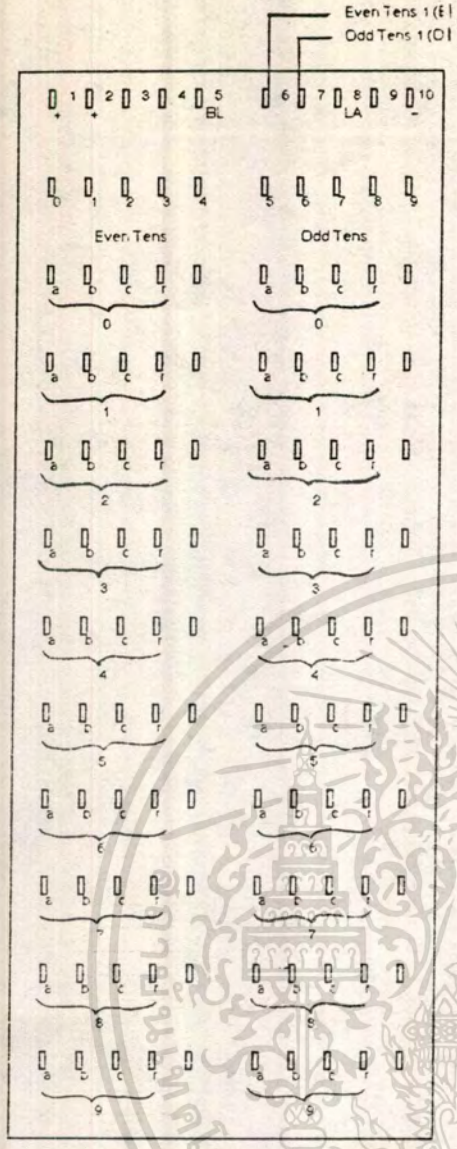
03



PCM-30 Terminal Equipment

REMOTE STATION

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



LR-BR PLUG 01 E 2 O 2

Same

LR-BR PLUG 02 E3 O3

Same

LR-BR PLUG 03 E4 O4

Same

LR-BR PLUG 04 E5 O5

Same

LR-BR PLUG 05

RT STATION

see contact side

PLUG

P1 = Speech
P2 = Speech
P3 = Speech
P4 = Vertical Relay
P5 = Vertical Relay
P6 = Vertical Relay
P7 = Horizontal relay
P8 Not use
P9 Not use
P10 = LR-BR Contact
P11 = Vertical Relay
P12 = Vertical Relay
P13 = Horizontal relay

c = clear LR-BR(+48 V)
co1 = common (+48 V)
co2 = common (+48 V)
co3 = common (+48 V)

R	T	R	T	R	T	R	T
03	03	02	02	01	01	00	00
07	07	06	06	05	05	04	04
11	11	10	10	09	09	08	08
15	15	14	14	13	13	12	12
19	19	18	18	17	17	16	16
23	23	22	22	21	21	20	20
27	27	26	26	25	25	24	24
31	31	30	30	29	29	28	28
35	35	34	34	33	33	32	32
39	39	38	38	37	37	36	36
43	43	42	42	41	41	40	40
47	47	46	46	45	45	44	44
51	51	50	50	49	49	48	48
55	55	54	54	53	53	52	52
59	59	58	58	57	57	56	56
63	63	62	62	61	61	60	60
67	67	66	66	65	65	64	64
71	71	70	70	69	69	68	68
75	75	74	74	73	73	72	72
79	79	78	78	77	77	76	76
83	83	82	82	81	81	80	80
87	87	86	86	85	85	84	84
91	91	90	90	89	89	88	88
95	95	94	94	93	93	92	92
99	99	98	98	97	97	96	96

T1

P1
1	3	5	7	9
2	4	6	8	0

P2
11	13	15	17	19
12	14	16	18	10

P3
21	23	25	27	29
22	24	26	28	20

P4
1	5	9		
2	6	0		
3	7			
4	8			

P5
11	15	19		
12	16	10		
13	17			
14	18			

P6
21	25	29		
22	26	20		
23	27			
24	28			

P7
1	5	9		c
2	6	0	co1	co1
3	7		co2	co2
4	8		co3	co3

P8
1	5	9	13	17	
2	6	0	14	18	
3	7	11	15	19	
4	8	12	16	10	

P9
21	25	29		
22	26	20		
23	27			
24	28			

P10
1	5	0	E 2	E 4	
2	6	O	O 2	O 4	
3	7	E	E 3	E 5	
4	8	O	O 3	O 5	

P11
1	5	9	13	17	
2	6	0	14	18	
3	7	11	15	19	
4	8	12	16	10	

P12
21	25	29		
22	26	20		
23	27			
24	28			

P13
1	5	9		
2	6	0		
3	7			
4	8			

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 4
การทดลองและสรุปผล

การทดสอบ Relay Set LR-BR

LR-BR ส่งผลการยกหูของเครื่องโทรศัพท์ปลายทางให้ส่วน MPU รับรู้ และตอบรับการรับรู้การทางสาย C ที่จะทำให้ผลการยกหูไม่ส่งไประบบควบคุมอีก จึงจำเป็นต้องมีสัญญาณมาสั่งปล่อย LR-BR เนื่องจาก MPU อ่านสภาพการยกหูโทรศัพท์แบบวนรอบ หากนำ Output port จาก MPU จะต้องใช้ถึง 100 บิท ซึ่งจะทำให้สิ้นเปลืองอุปกรณ์และเวลาการทำงานของโปรแกรม จึงได้ทดลองเอา Contact ของ Crossbar Switch ขา C ที่ว่างมาส่งให้ LR-BR หยุดการทำงาน ซึ่งจะเป็นการตรวจสอบการทำงานของระบบไปในตัวด้วย ซึ่งการทดลองวิธีนี้ได้ผลตามที่คาดหวังไว้

การทดสอบ Crossbar Switch

จากการทดลองเปลี่ยนระบบการทำงานของ Ver magnet ของ Crossbar Switch จากที่ในระบบเดิมของ ARF-102 จะจับ Coil ของ Ver ด้วยขดลวด 2 ขด โดยขด Action และขด Hold เพิ่มความเร็วในการ operate และประหยัดพลังงานในระหว่างที่ relay ทำงาน แต่ก็สร้างความยุ่งยากในการออกแบบวงจรจึงได้ทดลองใช้ Contract ของที่มีอยู่แล้วมาช่วยตัวตัดขดลวด Action ออกเมื่อ armature เคลื่อนที่เข้ามาถึงใกล้ yoke ซึ่งสามารถเปลี่ยนความเร็วและประหยัดอุปกรณ์ได้

การหน่วงเวลาของ Hor magnet และ Ver magnet ของ Crossbar Switch ด้วยโปรแกรม ซึ่งจะทำให้ประหยัดอุปกรณ์และสามารถปรับค่าได้ด้วย Software

การทดสอบ Line Status unit

Line status เป็นอุปกรณ์สำคัญในการใช้จุดตรวจสอบว่า สายถูกใช้หรือไม่ ไม่ว่าจะอยู่ในภาวะถูกเรียกหรือระหว่างใช้สาย โดยการตรวจกระแสที่ไหลในสายเพียงจุดเดียว การยกหูของผู้เช่าปลายทาง, การสนทนา, การวางหูของผู้เช่าด้านชุมสาย ไม่มีปัญหาแต่การรียกจาก Ringing Tone ที่มาจากชุมสายมีลักษณะเป็นพัลซ์ 1 วินาที เงียบ 3 วินาที ทำให้การตรวจจับสำหรับ MPU เป็นไปได้ยาก จึง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ปรับปรุงวงจร Line status ให้หน่วงเวลาช่วงมีพัลซ์นาน 4 วินาที รอ MPU ตวจสอบทัน ดังนั้นสำหรับสัญญาณอื่นจึงถูกหน่วงเวลาไปด้วย มีผลให้ผู้ใช้คู่สาย เมื่อวางหูแล้วยกใหม่ไม่ได้ จะต้องรอ 4 วินาทีจึงจะใช้ได้ใหม่

การทดลองทางด้าน RT

Line Concentrator ในสภาพการใช้งานปกติ โดยนำคู่สายโทรศัพท์ที่ใช้งานปกติมาต่อเข้าที่ input (T1) ของสถานี COT ที่ตำแหน่งนัมเบอร์ "00" แล้วต่อเครื่องโทรศัพท์เข้าที่ T1 ของสถานี RT ที่ตำแหน่ง "00" เช่นเดียวกัน ยกหูโทรศัพท์ขึ้น Line Concentrator ทำงานเชื่อมโยงเครื่องโทรศัพท์เข้ากับคู่สายจากชุมสาย ทำให้ได้รับ Dial Tone กดเลขหมายเรียกผู้เช่าหมายเลขอื่นในโดยเขตกรุงเทพฯ ใช้เลข 7 ตัวปกติ หลังจากสนทนา วางหูโทรศัพท์ลง Line Concentrator เคลียตัวเองได้เรียบร้อย ทดลองต่อโทรศัพท์กับตำแหน่งนัมเบอร์อื่นโดยโยงสายให้ตรงกันทั้ง COT และ RT ระบบก็ทำงานได้ปกติ ต่อมาทำการ Simulate เสมือนมีการเรียกใช้โทรศัพท์ คือการ loop คู่สายใดๆด้าน RT ทำให้ระบบทำงานทุกครั้ง เมื่อต่อ loop ครบจำนวน 30 คู่สาย ระบบไม่ยอมรับการยกหูของรายที่ 31 เกิดจากการใช้คู่สายในระบบ PCM เต็ม เมื่อใช้เครื่องโทรศัพท์ต่อแทนจะไม่ได้รับสัญญาณใดๆ

แนวการพัฒนาต่อไป

1. เพิ่ม busy tone เทียมให้กับผู้เช่าผู้เรียกทั้งด้านปลายทาง ในกรณี line ของ PCM เต็ม และผู้เรียกภายนอกที่เรียกเข้ามา เพื่อขจัดความเข้าใจผิด
2. เพิ่มวงจรการตรวจสภาพสายปลายทาง
3. เมื่อผู้เช่าปลายทางต้องการติดต่อผู้เช่าปลายทางด้วยกันเอง ปรับปรุงโปรแกรมให้ผู้เช่าติดต่อกันเองโดยไม่ต้องผ่าน line PCM ซึ่งจะสามารถประหยัด line PCM ลงถึง 2 วงจร แต่ต้องเพิ่ม crossbar switch อีก 3 ชุดที่สถานีปลายทาง
4. พัฒนาโปรแกรมให้เร็วขึ้น โปรแกรมที่เขียนขึ้นมานี้มีขนาดยาวอาจเขียนให้สั้นได้ด้วยคำสั่งที่กระชับกว่า เพื่อให้เครื่องทำงานได้เร็วขึ้น ปรับปรุงการตรวจสอบการยกหูแยกออกจากการถูกเรียกเมื่อสัญญาณแจ้งว่าสายไม่ว่าง
5. ใน time slot 0 และ 16 มี bit หลายตำแหน่งที่ว่าง สามารถนำมาใช้รับส่งข้อมูลได้ จึงอาจสามารถนำ data จาก CPU ทั้งสองด้านมา link ผ่านได้ จึงอาจทำให้ใช้คู่สายระหว่างสถานีทั้งสองลดลงได้ (วิธีนี้มีการนำใช้งานในเครื่อง PCM รุ่นใหม่ๆ)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ระบบ Power Supply

อุปกรณ์ต้นทาง COT ปกติมักจะติดตั้งในชุมสายโทรศัพท์ จึงใช้ไฟจากชุมสาย และอุปกรณ์ปลายทาง RT จะต้องมีไฟ 48 VDC ป้อนให้เครื่องโทรศัพท์แต่ละ line และให้ใช้ได้ถึงแม้ว่าไฟฟ้าจะดับ จึงต้องมีแบตเตอรี่สำรอง ดังนั้นมื่อนำไปใช้งานจริงจะต้องคำนึงถึงจุดนี้ด้วย

สรุป

ผลงานจากโครงการวิจัยพัฒนา Line concentrator สามารถนำไปใช้งานได้จริง และแสดงให้เห็นว่าสามารถนำอุปกรณ์ที่เสื่อมค่ามาทำงานร่วมกับ MPU ให้เกิดคุณค่าเพิ่มขึ้นได้ ประโยชน์ของโครงการนี้ นอกจากคณะผู้จัดทำจะได้รับความรู้และประสบการณ์แล้ว ซึ่งเป็นการเปิดประตูให้ผู้ต้องการศึกษาระบบโทรคมนาคมได้ใช้เครื่อง Line Concentratorได้เรียนรู้ เพราะเป็น Model ที่เล็กกระทัดรัดและเป็นจริง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก ก.
ความรู้ทั่วไปเกี่ยวกับการให้บริการโทรศัพท์

ในการให้บริการโทรศัพท์โดยทั่วไปนั้น จะใช้สาย 1 คู่ ต่อ 1 เลขหมาย เชื่อมโยงสายระหว่างชุมสายโทรศัพท์ และเครื่องโทรศัพท์ของผู้เช่า ในเบื้องต้น ผู้เช่ามีจำนวนน้อยราย คู่สายเชื่อมโยงระหว่างชุมสายโทรศัพท์กับผู้เช่ายังไม่มีปัญหา แต่เมื่อมีผู้เช่ามากขึ้นมาก ๆ ทำให้ต้องมีการวางระบบข่ายสายโดยใช้เคเบิลจำนวนพันๆ คู่ วางแผ่กระจายออกจากชุมสายไปรอบทิศ เมื่อผู้เช่าต้องการใช้คู่สายเพื่อต่อเข้ากับเครื่องโทรศัพท์ในทิศทางที่ต้องการนั้น ๆ จนเต็ม แต่ยังมีเลขหมายที่ชุมสายเหลืออยู่สามารถเพิ่มได้อีก การแก้ปัญหาสำหรับผู้เช่ารายใหม่ ที่อยู่ใกล้บริเวณที่ชุมสายตั้งอยู่ โดยการเดินสายใหม่จากชุมสายตรงไปหาผู้เช่านั้นได้เลย แต่ถ้าบริเวณที่ผู้เช่านั้นอยู่ห่างไกลจากชุมสายมาก ๆ จำนวนคู่สายมีเหลืออยู่ไม่เพียงพอกับจำนวนผู้ขอใช้ เมื่อคำนวณค่าใช้จ่ายทั้งหมดในการสร้างระบบโทรศัพท์หนึ่งๆแล้ว ค่าใช้จ่ายในการสร้างข่ายสาย (Link Network) จะสูงถึง 70 % ส่วนอีก 30 % เป็นค่าอุปกรณ์ชุมสายและอุปกรณ์อื่นๆที่เกี่ยวข้อง การวางเคเบิลเพิ่มเพียงจำนวนไม่มากนัก จึงเป็นการไม่คุ้มค่าทางเศรษฐกิจ จำเป็นต้องรอการวางแผนจัดทำข่ายสายในโครงการต่อๆมา ซึ่งจะต้องเสียเวลารอนานนับปี ในกรณีที่มีผู้เช่าต้องการใช้โทรศัพท์อย่างเร่งด่วน จะมีการแก้ไขปัญหา เฉพาะหน้าด้วยวิธีการต่าง ๆ เช่น

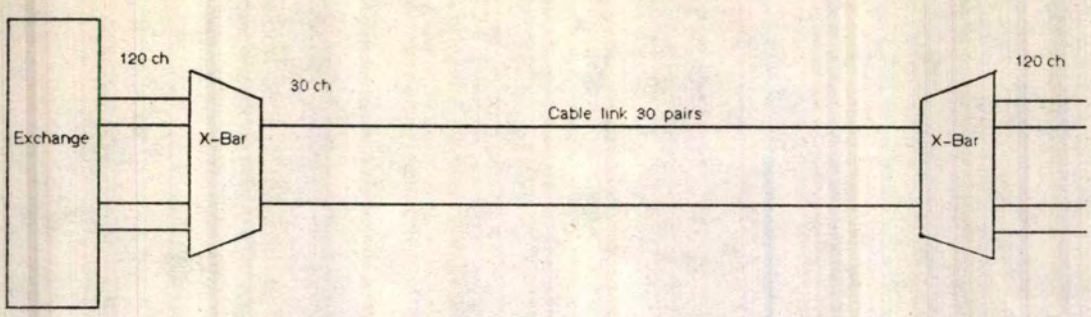
- ใช้เครื่องวิทยุ VHF,UHF สำหรับ 2 ~ 5 ราย
- ใช้เครื่อง pulse code modulation สำหรับ 30 ราย
- ใช้เครื่อง multi access สำหรับ 8 ~ 256 ราย
- ใช้เครื่อง line concentrator สำหรับ 96 ~ 128 ราย

1. การใช้เครื่องวิทยุ VHF,UHF ใช้วิธีการ modulate แบบ single sideband จำนวน channel ใช้งานสำหรับผู้เช่าขึ้นกับ bandwidth ของเครื่องวิทยุ

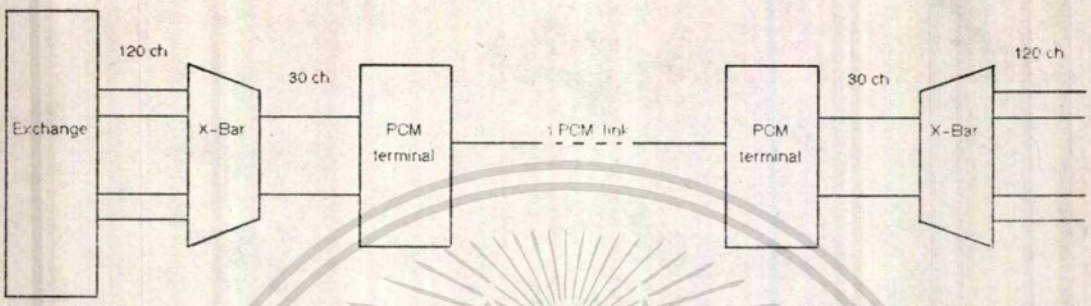
2. ใช้เครื่อง pulse code modulation (PCM) ข้อกำหนดของ CCITT กำหนดใช้กับความถี่ digital 2.048 Mb/s สำหรับผู้เช่า 30 ราย สามารถใช้กับคู่สายโทรศัพท์ธรรมดาเป็นตัวกลาง (media) จำนวน 2-3 คู่

3. เครื่อง multi access เป็นระบบ digital ที่อาศัยวิธีการจากระบบการสื่อสารดาวเทียมที่เรียกว่า Data Speech Interpolation มาใช้ กล่าวคือ อาศัยช่องว่างของคำพูดระหว่างคำหรือระหว่างประโยคของผู้พูดโทรศัพท์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

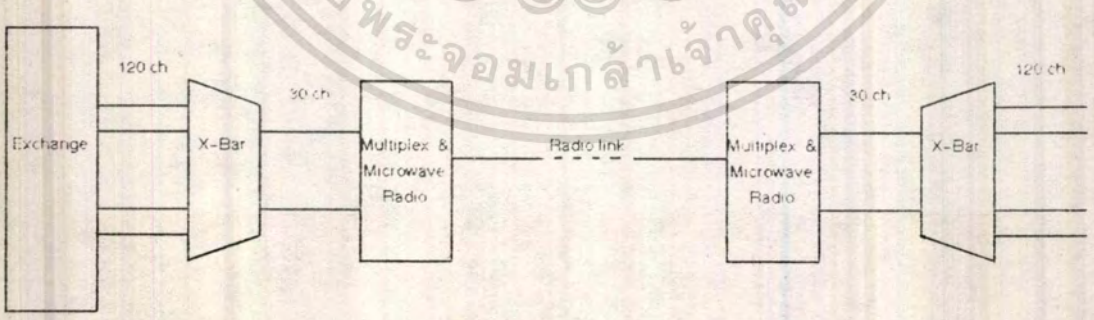


Cable link Line Concentrator



PCM link Line Concentrator

FDM link Line Concentrator



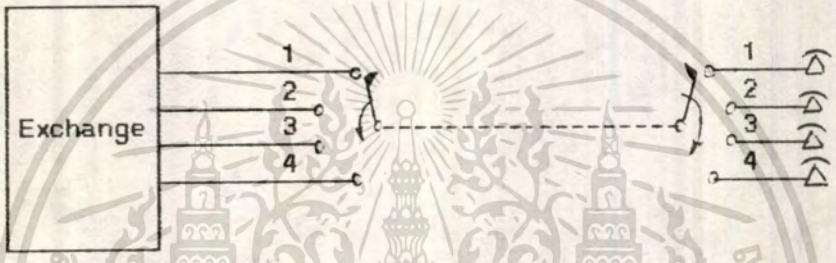
Radio link Line Concentrator

X-Bar = cross bar switch
PCM = pulse code modulation equipment
FDM = frequency division multiplex equipment

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เอาข้อมูลคำพูดของผู้อื่นสอดแทรกเข้าไป ทำให้สามารถใช้งานกับผู้เช่าได้มากราย ใน bandwidth ที่มีอยู่อย่างจำกัด อุปกรณ์ media ของ multi access มีทั้งอุปกรณ์ PCM และเครื่องวิทยุ UHF

4. เครื่อง line concentrator ระบบจะรับคู่สายโทรศัพท์จากชุมสายโทรศัพท์นำมาเข้าขบวนการเลือกเปรียบเทียบเหมือน selector switch ต้นทางและปลายทาง ที่คอยเลือกต่อเลขหมายที่มีจำนวนมาก ให้เข้าไปในคู่สายที่มีจำกัด โดยการเลือกต่อเฉพาะผู้ต้องการใช้คู่สายเท่านั้น จึงไม่มีผู้เช่ารายใดได้ครองคู่สายอย่างถาวร มีการผลัดกันใช้ในจำนวนผู้เช่า 96 ถึง 128 ราย สามารถใช้ได้พร้อมๆ กัน 30 ราย



รูปที่ 2 Basic Line Concentrator

จากรูปที่ 2 switch นี้อาจจะมีโครงสร้างเป็น space switch หรือ time switch หรือการแบ่งความถี่ แต่โดยทั่วไปมักจะรวมเอากรรมวิธีมากกว่า 1 วิธี เข้ามาใช้ซึ่งจะมีข้อดีคือ สามารถใช้ได้กับชุมสายโทรศัพท์ทุกระบบ ที่องค์การโทรศัพท์มีอยู่ ข้อจำกัดของระบบนี้ คือ จำนวนผู้เช่าใช้ได้สูงสุดพร้อมกัน เท่ากับจำนวน channel ของ ตัวกลาง เช่น ถ้าใช้ PCM เป็นตัวกลางจะใช้ได้พร้อมกันเท่ากับ 30 ราย

คำจำกัดความเกี่ยวกับ traffic

เนื่องจากการใช้โทรศัพท์ (traffic) นั้นมีค่าเปลี่ยแปลงไปในช่วงต่าง ๆ ของเวลา ซึ่งทำให้เกิดการเข้าใจผิดในการกำหนดค่าเฉลี่ย (average value) ว่าอยู่ในช่วงเวลาใด , จึงได้มีการตกลงกันว่าให้ใช้ค่า mean traffic volume ในช่วงของ Busy hour เป็นตัวกำหนดมาตรฐาน (basis) ในการคำนวณค่า traffic busy hour หมายถึง ช่วงเวลา 60 นาที ที่มีการใช้โทรศัพท์สูงที่สุด ถึงค่า peak value (ในประเทศไทยปกติอยู่ที่ เวลาประมาณ 10:20 น. ถึง 11:20 น.)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ปี ค.ศ.1917 Agner Krarup Erlang นักคณิตศาสตร์ชาวเดนมาร์ก ได้คิดทฤษฎีเกี่ยวกับ Telecommunication traffic ขึ้น

Erlang เป็นหน่วยของการวัดค่าแทรฟฟิคในช่วงหนึ่งชั่วโมง (1 Erlang หมายถึง การเรียก 1 call ติดต่อกันตลอดในเวลา 1 ชั่วโมง

$$A = Y \times S$$

A = ค่า traffic (หน่วย Erlang)

Y = จำนวนการ call ต่อ 1 period (ครั้ง)

S = เวลาการใช้โทรศัพท์ต่อ 1 ครั้ง (ชั่วโมง)

ตัวอย่าง สมมุติผู้เช่ายกหูเรียกไปสนทนากับเบอร์อื่น ใช้เวลา 2 นาที และถูกเบอร์อื่นเรียกเข้ามาใช้เวลา 3 นาที ดังนั้น เรามี traffic เท่ากับ

$$1 \times 2/60 + 1 \times 3/60 = 0.083 \text{ erlang}$$

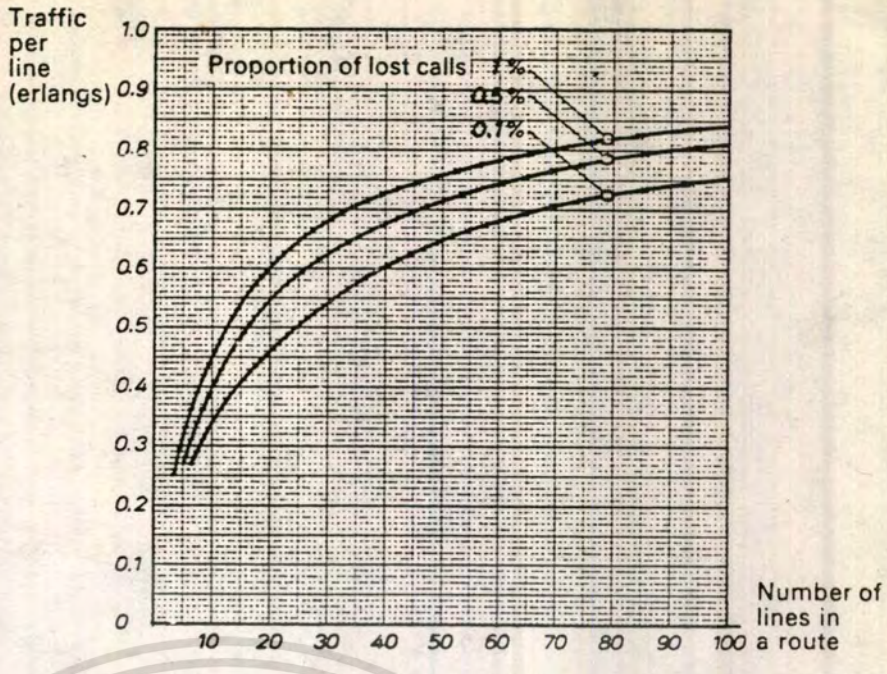
ปกติค่า traffic ต่อผู้เช่า 1 เลขหมาย จะมีค่าประมาณ 0.06 ถึง 0.10 erlang หมายความว่าสายของผู้เช่าจะถูกใช้งานโดยเฉลี่ย 6 ถึง 10 เปอร์เซนต์ต่อผู้เช่า 1 เลขหมาย ใน busy hour

Congestion (สภาพอุปกรณ์โทรศัพท์ไม่ว่าง)

ช่วง Busy hour ค่า traffic ของโทรศัพท์จะขึ้นสูงมากในการที่เครื่องชุมสายโทรศัพท์จะให้บริการแก่ traffic ที่สูงมากในช่วง Busy hour อย่างเพียงพอนั้น อุปกรณ์ของเครื่องชุมสายย่อมจะต้องมีจำนวนมาก ทำให้มีราคาแพงมาก และไม่คุ้มค่า เพราะอุปกรณ์เหล่านั้นถูกใช้เต็มที่เพียงช่วงเวลาสั้นๆ ส่วนช่วงเวลาอื่น อุปกรณ์ถูกใช้งานบางส่วน ในการที่จะประหยัดเงินลง เราจำเป็นต้องยอมใช้อุปกรณ์จำนวนพอสมควร ทำให้ traffic ในช่วง peak traffic ต้องสูญเสียไปบางส่วน เครื่องชุมสายโทรศัพท์จะถูกคำนวณ เพื่อกำหนดขนาดว่าจะให้มีจำนวน lost call กี่เปอร์เซนต์ โดยปกติแล้ว อัตราส่วน lost call มีค่าเท่ากับ 0.1% ถึง 0.5 %

จากรูปที่ 3 แสดงการเปรียบเทียบระหว่างค่าเฉลี่ยของ Traffic (A) ในช่วง busy hour กับจำนวนของอุปกรณ์ที่ต้องใช้ เมื่อกำหนดให้มีอัตราส่วนของ lost call (E) มีค่าต่าง ๆ จะเห็นได้ว่าหากต้องการให้ lost call ต่ำลง จะต้องใช้จำนวนอุปกรณ์ชุมสายมากขึ้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



Traffic per line with a varying number of lines in a route, the proportion of lost calls being set to 0.1, 0.5 and 1.0% respectively.

รูปที่ 3

traffic ของ Line concentrator

เมื่อกำหนดไว้ 100 เลขหมาย ผ่านไปใน line 30 channel จะได้ผู้ใช้โทรศัพท์พร้อม ๆ กัน รวมกันได้ 30x60 = 1800 นาที ต่อ 1 ชั่วโมง สามารถเฉลี่ยกันใช้ได้เลขหมายละ 1800/100 = 18 นาที ต่อ 1 ชั่วโมง นั่นคือจะได้ค่า traffic ถึง 1x18/60 = 0.3 erlang ซึ่งสูงกว่าค่ามาตรฐาน จึงเพียงพอต่อการใช้งาน

ค่าจำกัดตามความยาวของสายโทรศัพท์

สายโทรศัพท์คู่หนึ่งๆ มีความยาวจากชุมสายได้ประมาณ 5 กิโลเมตร กำหนดโดยความต้านทางของสาย โดยปกติ ความต้านทางสูงสุดที่ยอมรับได้ คือ 1800 ohm โดยการ loop

Line Concentrator

กำหนดความยาวของสายโทรศัพท์ด้วย media ต้นทางกับปลายทาง เช่น ถ้าใช้เครื่อง PCM จะต้องใช้ Repeater ทุก ๆ 2 กิโลเมตร ความยาวรวมทั้งสิ้นได้ไม่เกิน 50 กิโลเมตร ถ้าใช้คู่สายโทรศัพท์ที่มีอยู่แล้วเป็น media แทนก็จะได้ไม่เกิน 5 กิโลเมตร จึงทำให้เครื่อง line concentrator ให้บริการผู้เช่าได้ระยะทางไกลกว่าโทรศัพท์ธรรมดา 5 กิโลเมตรขึ้นไป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MICROPROCESSOR DATA TECHNICAL MANUAL Z80180

TABLE OF CONTENT

Features	1
General Description	1
Block Diagram	2
Pin Description	3
Architecture	5
Operation Modes	5
Timing	6
Wait State Generator	9
Halt and Low Power Modes	10
Internal I/O Registers	11
Memory Management Unit (MMU)	14
Interrupts	16
Dynamic RAM Refresh Control	23
DMA Controller (DMAC)	24
Asynchronous Serial Communication Interface (ASCI)	30
Clock Serial I/O Port (CSI/O)	34
Programmable Reload Timer (PRT)	37
Secondary Bus Interface	39
On-Chip Clock Generator	40
Miscellaneous	41
Software Architecture	42
CPU Registers	43
Electrical Characteristics	46
Timing Diagrams	50

APPENDICES

A	Instruction Set	59
B	Instruction Summary in Alphabetical Order	73
C	Op-code Map	83
D	Bus and Control Signal Condition in Each Machine cycle	87
E-1	Request Acceptances in Each Operating Mode	105
E-2	Request priority	108
E-3	Operation Mode Transition	109
F-1	Status Signals	111
F-2	Pin Status During Request and Low Power Operation Modes	112
G	Internal I/O Registers	113
	Ordering Information	120
	Packet Dimensions	121

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

June 1988

Z80180
Z180 MPU

FEATURES:

- Operating Frequency to 10 MHz
- On-Chip MMU Supports Extended Address Space
- Two DMA Channels
- On-Chip Wait State Generators
- Two UART Channels
- Two 16-Bit Timer Channels
- On-Chip Interrupt Controller
- On-Chip Clock Oscillator/Generator
- Clocked Serial I/O Port
- Code Compatible with Zilog Z80 CPU
- Extended Instructions

GENERAL DESCRIPTION:

Based on a microcoded execution unit and an advanced CMOS manufacturing technology, the Z80180 is an 8-bit MPU which provides the benefits of reduced system costs and low power operation while offering higher performance and maintaining compatibility with a large base of industry standard software written around the Zilog Z80 CPU.

Higher performance is obtained by virtue of higher operating frequencies, reduced instruction execution times, an enhanced instruction set, and an on-chip memory management unit (MMU) with the capability of addressing up to 1 Mbyte of memory.

Reduced system costs are obtained by incorporating several key system functions on-chip with the CPU. These key functions include I/O devices such as DMA, UART, and timer channels. Also included on-chip are several "glue" functions such as dynamic RAM refresh control, wait state generators, clock oscillator, and interrupt controller.

Not only does the Z80180 consume a low amount of power during normal operation, but it also provides two operating modes that are designed to drastically reduce the power consumption even further. The SLEEP mode reduces power by placing the CPU into a "stopped" state, thereby consuming less current, while the on-chip I/O device is still operating. The SYSTEM STOP mode places both the CPU and the on-chip peripherals into a "stopped" mode, thereby reducing power consumption even further.

When combined with other CMOS VLSI devices and memories, the Z80180 provides an excellent solution to system applications requiring high performance, and low power operation.

Figure 1. 64 Pin DIP

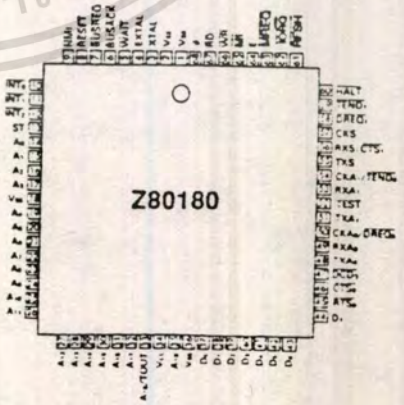


Figure 2. 68 Pin PLCC

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

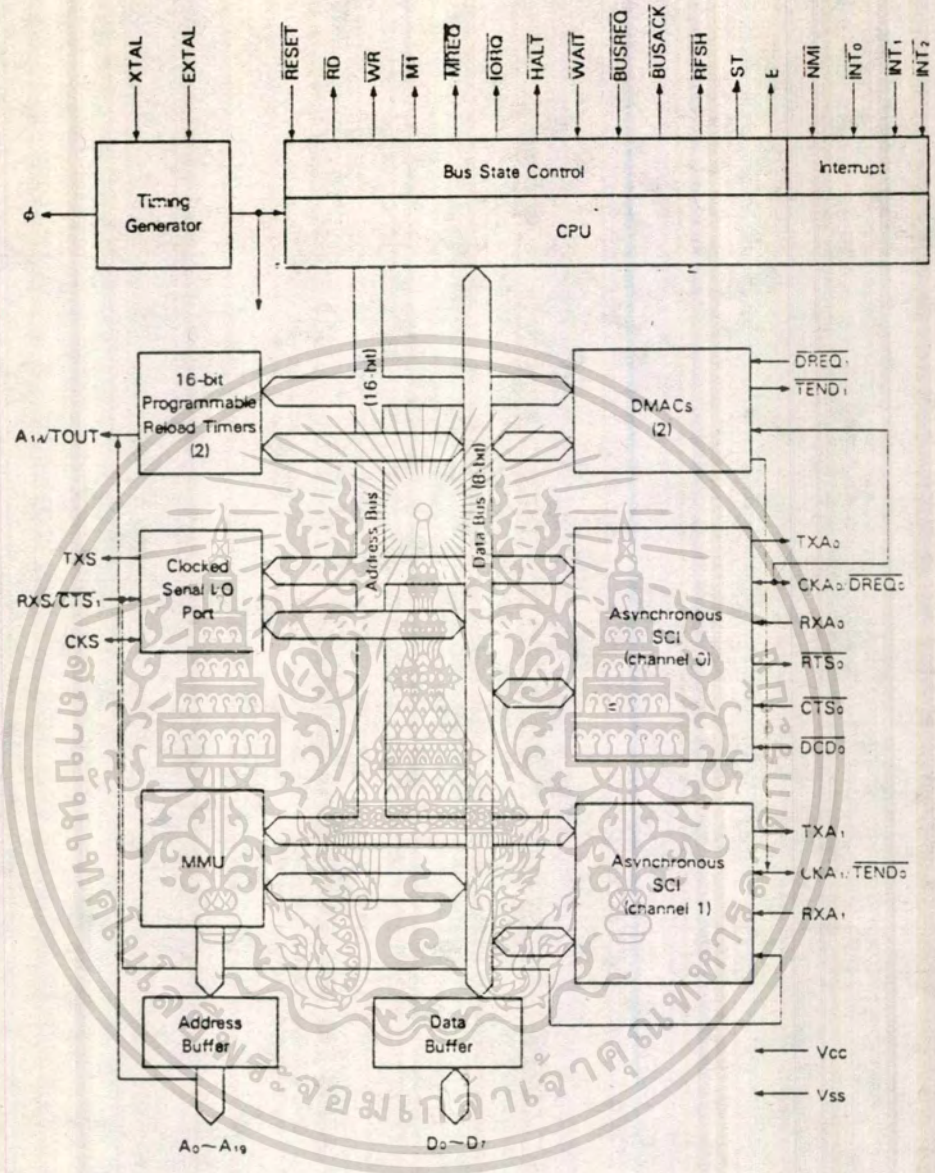


Figure 3. Block Diagram

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

PIN DESCRIPTION:

A_0-A_{19}. *Address Bus (Output, active High, 3-state).* A_0-A_{19} form a 20-bit address bus. The Address Bus provides the address for memory data bus exchanges, up to 1 Mbyte, and I/O data bus exchanges, up to 64K. The address bus enters a high impedance state during reset and external bus acknowledge cycles. Address line A_{18} is multiplexed with the output of PRT channel 1 (TOUT, selected as address output on reset) and address line A_{19} is available only in PLCC versions of the Z80180.

$\overline{BUSACK}$. *Bus Acknowledge (Output, active Low).* $\overline{BUSACK}$ indicates the requesting device, the MPU address and data bus, and some control signals, have entered their high impedance state.

$\overline{BUSREQ}$. *Bus Request (Input, active Low).* This input is used by external devices (such as DMA controllers) to request access to the system bus. This request has a higher priority than $\overline{NMI}$ and is always recognized at the end of the current machine cycle. This signal will stop the CPU from executing further instructions and places the address and data buses, and other control signals, into the high impedance state.

CKA_0, CKA_1. *Asynchronous Clock 0 and 1 (Bidirectional, active High).* These pins are the transmit and receive clocks for the synchronous channels. CKA_0 is multiplexed with $\overline{DREQ_0}$ and CKA_1 is multiplexed with $\overline{TEND_0}$.

CKS. *Serial Clock (Bidirectional, active High).* This line is clock for the CSIO channel.

CLOCK. *System Clock (Output, active High).* The output is used as a reference clock for the MPU and the external system. The frequency of this output is equal to one-half that of the crystal or input clock frequency.

$\overline{CTS_0}$-$\overline{CTS_1}$. *Clear to Send 0 and 1 (Inputs, active Low).* These lines are modem control signals for the ASCI channels. $\overline{CTS1}$ is multiplexed with RXS.

D_0-D_7. *Data Bus (Bidirectional, active High, 3-state).* D_0-D_7 constitute an 8-bit bidirectional data bus, used for the transfer of information to and from I/O and memory devices. The data bus enters the high impedance state during reset and external bus acknowledge cycles.

$\overline{DCD_0}$. *Data Carrier Detect 0 (Input, active Low).* This is a programmable modem control signal for ASCI channel 0.

$\overline{DREQ_0}$, $\overline{DREQ_1}$. DMA Request 0 and 1 (Input, active Low). $\overline{DREQ}$ is used to request a DMA transfer from one of the on-chip DMA channels. The DMA channels monitor these inputs to determine when an external device is ready for a read or write operation. These inputs can be programmed to be either level or edge sensed. $\overline{DREQ_0}$ is multiplexed with CKA_0.

E. *Enable Clock (Output, active High).* Synchronous machine cycle clock output during bus transactions.

EXTAL. *External Clock/Crystal (Input, active High).* Crystal oscillator connection. An external clock can be input to the Z80180 on this pin when a crystal is not used. This input is Schmitt triggered.

$\overline{HALT}$. *Halt/Sleep Status (Output, active Low).* This output is asserted after the CPU has executed either the HALT or SLP instruction, and is waiting for either non-maskable or maskable interrupt before operation can resume. It is also used with the $\overline{M1}$ and ST signals to decode status of the CPU machine cycle.

$\overline{INT_0}$. *Maskable Interrupt Request 0 (Input, active Low).* This signal is generated by external I/O devices. The CPU will honor this request at the end of the current instruction cycle as long as the $\overline{NMI}$ and $\overline{BUSREQ}$ signals are inactive. The CPU acknowledges this interrupt request with an interrupt acknowledge cycle. During this cycle, both the $\overline{M1}$ and $\overline{IORQ}$ signals will become active.

$\overline{INT_1}$, $\overline{INT_2}$. *Maskable Interrupt Requests 1 and 2 (Inputs, active Low).* This signal is generated by external I/O devices. The CPU will honor these requests at the end of the current instruction cycle as long as the $\overline{NMI}$, $\overline{BUSREQ}$, and $\overline{INT_0}$ signals are inactive. The CPU will acknowledge these interrupt requests with an interrupt acknowledge cycle. Unlike the acknowledgement for $\overline{INT_0}$, during this cycle neither the $\overline{M1}$ or $\overline{IORQ}$ signals will become active.

$\overline{IORQ}$. *I/O Request (Output, active Low, 3-state).* $\overline{IORQ}$ indicates that the address bus contains a valid I/O address for an I/O read or I/O write operation. $\overline{IORQ}$ is also generated, along with $\overline{M1}$, during the acknowledgement of the $\overline{INT_0}$ input signal to indicate that an interrupt response vector can be placed onto the data bus. This signal is analogous to the $\overline{IOE}$ signal of the Z64180.

$\overline{M1}$. *Machine Cycle 1 (Output, active Low).* Together with $\overline{MREQ}$, $\overline{M1}$ indicates that the current cycle is the opcode fetch cycle of an instruction execution. Together with $\overline{IORQ}$, $\overline{M1}$ indicates that the current cycle is for an interrupt acknowledge. It is also used with the $\overline{HALT}$ and ST signal to decode status of the CPU machine cycle. This signal is analogous to the $\overline{LIR}$ signal of the Z64180.

$\overline{MREQ}$. *Memory Request (Output, active Low, 3-state).* $\overline{MREQ}$ indicates that the address bus holds a valid address for a memory read or memory write operation. This signal is analogous to the $\overline{ME}$ signal of the Z64180.

$\overline{NMI}$. *Non-maskable Interrupt (Input, negative edge triggered).* $\overline{NMI}$ has a higher priority than $\overline{INT}$ and is always recognized at the end of an instruction, regardless of the state of the interrupt enable flip-flops. This signal forces CPU execution to continue at location 0066H.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$\overline{RD}$. *Read (Output, active Low, 3-state).* $\overline{RD}$ indicates that the CPU wants to read data from memory or an I/O device. The addressed I/O or memory device should use this signal to gate data onto the CPU data bus.

$\overline{RFSH}$. *Refresh (Output, active Low).* Together with $\overline{MREQ}$, $\overline{RFSH}$ indicates that the current CPU machine cycle and the contents of the address bus should be used for refresh of dynamic memories. The low order 8 bits of the address bus (A_7-A_0) contain the refresh address.

This signal is analogous to the $\overline{REF}$ signal of the Z64180.

$\overline{RTS}_0$. *Request to Send 0 (Output, active Low).* This is a programmable modem control signal for ASCI channel 0.

RXA_0, RXA_1. *Receive Data 0 and 1 (Inputs, active High).* These signals are the receive data to the ASCI channels.

RXS. *Clocked Serial Receive Data (Input, active High).* This line is the receiver data for the CSIO channel. RXS is multiplexed with the $\overline{CTS1}$ signal for ASCI channel 1.

ST. *Status (Output, active High).* This signal is used with the $\overline{M1}$ and $\overline{HALT}$ output to decode the status of the CPU machine cycle.

ST	$\overline{HALT}$	$\overline{M1}$	Operation
0	1	0	CPU operation (1st op-code fetch)
1	1	0	CPU operation (2nd op-code and 3rd op-code fetch)
1	1	1	CPU operation (MC except for op-code fetch)
0	X	1	DMA operation
0	0	0	HALT mode
1	0	1	SLEEP mode (including SYSTEM STOP mode)

NOTE X: Don't care
MC: Machine cycle

Table 1. Status Summary

$\overline{TEND}_0$, $\overline{TEND}_1$. *Transfer End 0 and 1 (Outputs, active Low).* This output is asserted active during the last write cycle of a DMA operation. It is used to indicate the end of the block transfer. $\overline{TEND}_0$ in multiplexed with CKA_1.

TOUT. *Timer Out (Output, active High).* TOUT is the pulse output from PRT channel 1. This line is multiplexed with A_{18} of the address bus.

TXA_0, TXA_1. *Transmit Data 0 and 1 (Outputs, active High).* These signals are the transmitted data from the ASCI channels. Transmitted data changes are with respect to the falling edge of the transmit clock.

TXS. *Clocked Serial Transmit Data (Output, active High).* This line is the transmitted data from the CSIO channel.

$\overline{WAIT}$. *Wait (Input, active Low).* $\overline{WAIT}$ indicates to the MPU that the addressed memory or I/O devices are not ready for a data transfer. This input is used to induce additional clock cycles into the current machine cycle. The $\overline{WAIT}$ input is sampled on the falling edge of T_2 (and subsequent wait states). If the input is sampled low, then additional wait states are inserted until the $\overline{WAIT}$ input is sampled high, at which time execution will continue.

$\overline{WR}$. *Write (Output, active Low, 3-state).* $\overline{WR}$ indicates that the CPU data bus holds valid data to be stored at the addressed I/O or memory location.

XTAL. *Crystal (Input, active High).* Crystal oscillator connection. This pin should be left open if an external clock is used instead of a crystal. The oscillator input is not a TTL level (reference DC characteristics).

Multiplexed pin descriptions

$A_{18}/\overline{TOUT}$ — During RESET, this pin is initialized as A_{18} pin. If either TOC1 or TOC0 bit of the Timer Control Register (TCR) is set to 1, TOUT function is selected. If TOC1 and TOC0 bits are cleared to 0, A_{18} function is selected.

$CKA_0/\overline{DREQ}_0$ — During RESET, this pin is initialized as CKA_0 pin. If either DM1 or SM1 in DMA Mode Register (DMODE) is set to 1, $\overline{DREQ}_0$ function is always selected.

$CKA_1/\overline{TEND}_0$ — During RESET, this pin is initialized as CKA_1 pin. If CKA1D bit in ASCI control register ch 1 (CNTLA1) is set to 1, $\overline{TEND}_0$ function is selected. If CKA1D bit is set to 0, CKA_1 function is selected.

$RXS/\overline{CTS}_1$ — During RESET, this pin is initialized as RXS pin. If CTS1E bit in ASCI status register ch1 (STAT1) is set to 1, $\overline{CTS}_1$ function is selected. If CTS1E bit is set to 0, RXS function is selected.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ARCHITECTURE:

The Z80180 combines a high performance CPU core with a variety of system and I/O resources useful in a broad range of applications. The CPU core consists of five functional blocks: clock generator, bus state controller (including dynamic memory refresh), interrupt controller, memory management unit (MMU), and the central processing unit (CPU). The integrated I/O resources make up the remaining four functional blocks: direct memory access (DMA) control (2 channels), asynchronous serial communications interface (ASCI, 2 channels), programmable reload timers (PRT, 2 channels), and a clock serial I/O (CSIO) channel.

Clock Generator. This logic generates the system clock from either an external crystal or clock input. The external clock is divided by two and provided to both internal and external devices.

Bus State Controller. This logic performs all of the status and bus control activity associated with both the CPU and some on-chip peripherals. This includes wait state timing, reset cycles, DRAM refresh, and DMA bus exchanges.

Interrupt Controller. This block monitors and prioritizes the variety of internal and external interrupts and traps to provide the correct responses from the CPU. To remain compatible with the Z80 CPU, three different interrupt modes are supported.

Memory Management Unit. The MMU allows the user to "map" the memory used by the CPU (logically only 64K) into the 1M Byte addressing range supported by the Z80180. The organization of the MMU object code compatibility with the Z80 CPU while offering access to an extended memory space. This is accomplished by using an effective "common area - banked area" scheme.

Central Processing Unit. The CPU is microcoded to provide a core that is object code compatible with the Z80 CPU. It also provides a superset of the Z80 instruction set, including 8-bit multiply and divide. This core has been enhanced to allow many of the instructions to execute in fewer clock cycles.

DMA Controller. The DMA controller provides high speed transfers between memory and I/O devices. Transfer operations supported are memory to memory, memory to/from I/O, and I/O to I/O. Transfer modes supported are request, burst, and cycle steal. DMA transfers can access the full 1 Mbyte addressing range with a block length up to 64K bytes, and can cross over 64K boundaries.

Asynchronous Serial Communications Interface (ASCI). The ASCI logic provides two individual full-duplex UARTs. Each channel includes a programmable baud rate generator and modem control signals. The ASCI channels can also support a multiprocessor communications format.

Programmable Reload Timer (PRT). This logic consists of two separate channels, each containig a 16-bit counter (timer) and count reload register. The time base for the counters is derived from the system clock (divided by 20) before reaching the counter. PRT channel 1 provides an optional output to allow for waveform generation.

Clocked Serial I/O (CSIO). The CSIO channel provides a half-duplex serial transmitter and receiver. This channel can be used for simple high-speed data connection to another microprocessor or microcomputer.

OPERATION MODES:

The Z80180 can be configured to operate like the 64180. This is accomplished by allowing the user to have control over the $\overline{M1}$, $\overline{IORQ}$, $\overline{WR}$, and $\overline{RD}$ signals. The Operation Mode Control Register (OMCR) determines the $\overline{M1}$ options; the timing of the $\overline{IORQ}$, RD, and $\overline{WR}$ signals; and the RETI operation.

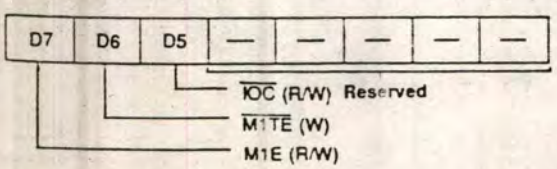


Figure 4. Operation Mode Control Register

M1E ($\overline{M1}$ Enable): This bit controls the M1 output and is set to a 1 during reset.

When M1E=1, the $\overline{M1}$ output is asserted LOW during the opcode fetch cycle, the $\overline{INT0}$ acknowledge cycle, and the first machine cycle of the $\overline{NMI}$ acknowledge. This will also cause the $\overline{M1}$ signal to be active during both fetches of the RETI instruction sequence, which may cause corruption of the external interrupt daisy chain. Hence, this bit should be set to 0 for the Z80180. When M1E=0, the $\overline{M1}$ output is normally inactive and asserted LOW only during the refetch of the RETI instruction sequence and during the $\overline{INT0}$ acknowledge cycle.

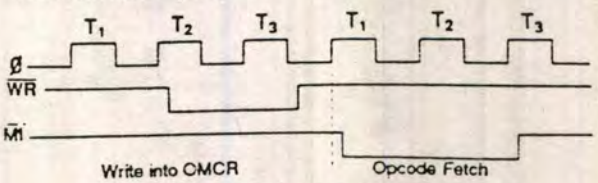


Figure 5. M1 Temporary Enable Timing

$\overline{M1TE}$ (M1 Temporary Enable): This bit controls the temporary assertion of the $\overline{M1}$ signal. It is always read back as

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

a 1 and is set to 1 during reset. This function is used to "arm" the internal interrupt structure of the Z80PIO. When a control word is written to the Z80PIO to enable interrupts, no enable actually takes place until the PIO sees an active $\overline{M1}$ signal. When $\overline{M1TE}$=1, there is no change in the operation of the $\overline{M1}$ signal and M1E controls its function. When $\overline{M1TE}$=0, the $\overline{M1}$ output will be asserted during the next opcode fetch cycle regardless of the state programmed into the M1E bit. This is only momentary (one time) and the user need not reprogram a 1 to disable the function (See Figure 5).

$\overline{IOC}$: this bit controls the timing of the $\overline{IORQ}$ and $\overline{RD}$ signals. It is set to 1 by reset.

When $\overline{IOC}$=1, the $\overline{IORQ}$ and $\overline{RD}$ signals function the same as the Z64180.

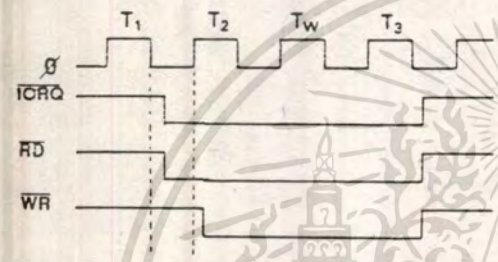


Figure 6. I/O Read and Write Cycles with $\overline{IOC}$ =1

When $\overline{IOC}$=0, the timing of the $\overline{IORQ}$ and $\overline{RD}$ signals match the timing required by the Z80 family of peripherals. The $\overline{IORQ}$ and $\overline{RD}$ signals will go active as a result of the rising edge of T2. This allows the Z80180 to satisfy the setup times required by the Z80 peripherals on those two signals.

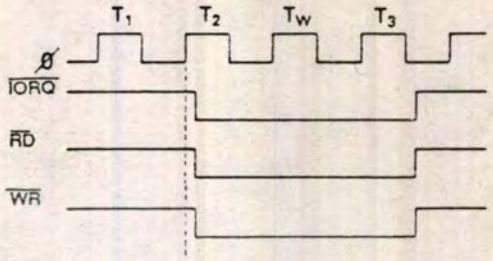


Figure 7. I/O Read and Write Cycles with $\overline{IOC}$ = 0

For the rest of this manual, it is assumed that M1E=0 and $\overline{IOC}$=0. The user must program the Operation Mode Control Register before the first I/O instruction is executed.

TIMING:

This section explains the Z80180 CPU timing for the following operations:

Instruction (op-code) fetch timing.
Operand and data read/write timing.
I/O read/write timing.
Basic instruction (fetch and execute) timing.
RESET timing.
BUSREQ/BUSACK bus exchange timing.

The basic CPU operation consists of one or more "Machine Cycles" (MC). A machine cycle consists of three system clocks, T1, T2, and T3 while accessing memory or I/O, or it consists of one system clock (T1) during CPU internal operations. The system clock is half the frequency of the Crystal oscillator (e.g., an 8 MHz crystal produces 4 MHz or 250 nsec). For interfacing to slow memory or peripherals, optional wait states (Tw) may be inserted between T2 and T3.

Instruction (op-code) Fetch Timing. Fig. 8 shows the instruction (op-code) fetch timing with no wait states. An op-code fetch cycle is externally indicated when the $\overline{M1}$ output pin is LOW.

In the first half of T_1, the address bus (A_0-A_{19}) is driven from the contents of the Program Counter (PC). Note that this is the translated address output of the Z80180 on-chip MMU.

In the second half of T_1, the $\overline{MREQ}$ (Memory Request) and $\overline{RD}$ (Read) signals are asserted LOW, enabling the memory.

The op-code on the data bus is latched at the rising edge of T_3 and the bus cycle terminates at the end of T_3.

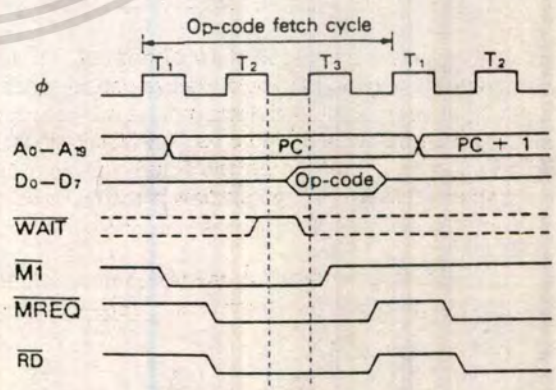


Figure 8. Opcode Fetch timing (Without Wait State)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Fig. 9 illustrates the insertion of wait states (Tw) into the op-code fetch cycle. Wait states (Tw) are controlled by the external $\overline{WAIT}$ input combined with an on-chip programmable wait state generator.

At the falling edge of T_2 the combined $\overline{WAIT}$ input is sampled. If $\overline{WAIT}$ input is asserted LOW, a wait state (Tw) is inserted. The address bus, $\overline{MREQ}$, $\overline{RD}$ and $\overline{M1}$ are held stable during wait states. When the WAIT is sampled inactive HIGH at the falling edge of Tw, the bus cycle enters T_3 and completes at the end of T_3.

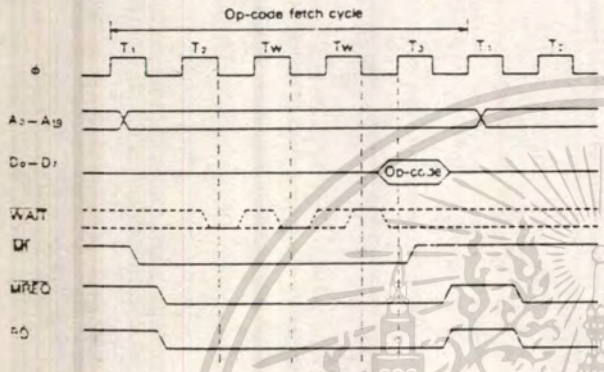


Figure 9. Opcode Fetch Timing (With Wait State)

Operand and Data Read/Write Timing. The instruction operand and data read/write timing differs from op-code fetch timing in two ways. First, the $\overline{M1}$ output is held inactive. Second, the read cycle timing is relaxed by one-half clock cycle since data is latched at the falling edge of T_3.

Instruction operands include immediate data, displacement, and extended addresses, and have the same timing as memory data reads.

During memory write cycles the $\overline{MREQ}$ signal goes active in the second half of T_1. At the end of T_1, the data bus is driven with the write data.

At the start of T_2, the $\overline{WR}$ signal is asserted LOW enabling the memory. $\overline{MREQ}$ and $\overline{WR}$ go inactive in the second half of T3 followed by disabling of the write data on the data bus.

Wait states (Tw) are inserted as previously described for op-code fetch cycles. Fig. 10 illustrates the read/write timing without wait states (Tw), while Fig. 11 illustrates read/write timing with wait states (Tw).

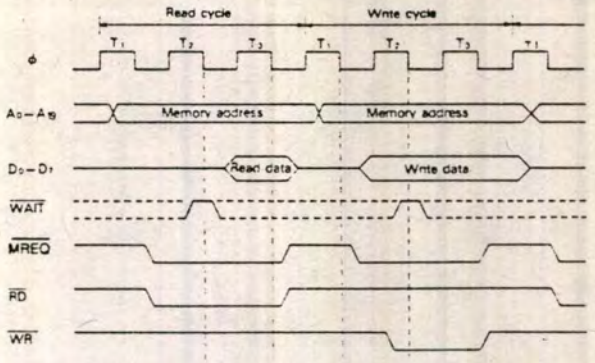


Figure 10. Memory Read/Write Timing (Without Wait State)

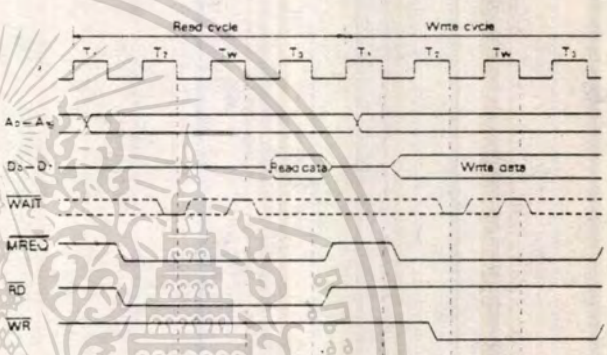


Figure 11. Memory Read/Write Timing (With Wait State)

I/O Read/Write Timing. I/O instructions cause data read/write transfers which differ from memory data transfers in the following three ways:

1. The $\overline{IORQ}$ (I/O Request) signal is asserted LOW instead of the $\overline{MREQ}$ signal.
2. The 16-bit I/O address is not translated by the MMU.
3. A_{16}-A_{19} are held LOW.

At least one wait state (Tw) is always inserted for I/O read and write cycles (except internal I/O cycles).

Fig. 12 shows I/O read/write timing with the automatically inserted wait state (Tw).

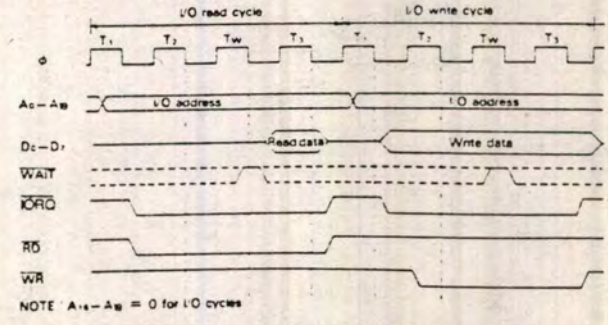


Figure 12. I/O Read/Write Timing

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Basic Instruction Timing. An instruction may consist of a number of machine cycles including op-code fetch, operand fetch, and data read/write cycles. An instruction may also include cycles for internal processes which make the bus idle.

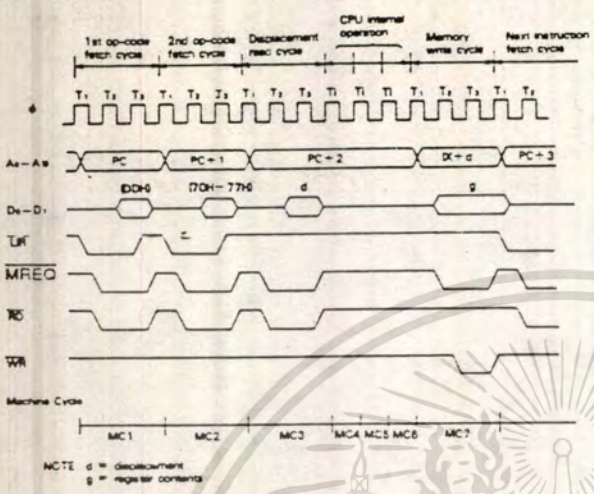


Figure 13. Instruction Timing

The example in Fig. 13 illustrates the bus timing for the data transfer instruction LD (IX+d),g. This instruction moves the contents of a CPU register (g) to the memory location with address computed by adding a signed 8-bit displacement (d) to the contents of an index register (IX).

The instruction cycle starts with the two machine cycles to read the two byte instruction op-code as indicated by $\overline{M1}$ LOW. Next, the instruction operand (d) is fetched.

The external bus is idle while the CPU computes the effective address. Finally, the computed memory location is written with the contents of the CPU register (g).

RESET Timing. Fig. 14 shows the Z80180 hardware RESET timing. If the $\overline{RESET}$ pin is LOW for six or more than six clock cycles, processing is terminated and the Z80180 restarts execution from (logical and physical) address 00000H.

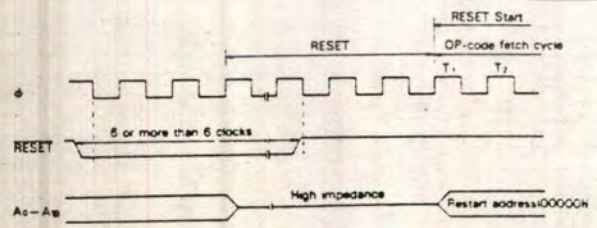


Figure 14. Reset Timing

$\overline{BUSREQ}/\overline{BUSACK}$ Bus Exchange Timing. The Z80180 can coordinate the exchange of control, address and data bus ownership with another bus master. The alternate bus master can request the bus release by asserting the $\overline{BUSREQ}$ (Bus Request) input LOW. After the Z80180 releases the bus, it relinquishes control to the alternate bus master by asserting the $\overline{BUSACK}$ (Bus Acknowledge) output LOW.

The bus may be released by the Z80180 at the end of each machine cycle. In this context, a machine cycle consists of a minimum of 3 clock cycles (more if wait states are inserted) for op-code fetch, memory read/write, and I/O read/write cycles. Except for these cases, a machine cycle corresponds to one clock cycle.

When the bus is released, the address (A_0-A_{19}), data (D_0-D_7), and control ($\overline{MREQ}$, $\overline{IORQ}$, $\overline{RD}$, and $\overline{WR}$) signals are placed in the high impedance state.

Note that dynamic RAM refresh is not performed when the Z80180 has released the bus. The alternate bus master must provide dynamic memory refreshing if the bus is released for long periods of time.

Fig. 15 illustrates $\overline{BUSREQ}/\overline{BUSACK}$ bus exchange during a memory read cycle. Fig. 16 illustrates bus exchange when the bus release is requested during a Z80180 CPU internal operation. $\overline{BUSREQ}$ is sampled at the falling edge of the system clock prior to T_3, T_i and T_x (BUS RELEASE state). If $\overline{BUSREQ}$ is asserted LOW at the falling edge of the clock state prior to T_x, another T_x is executed.

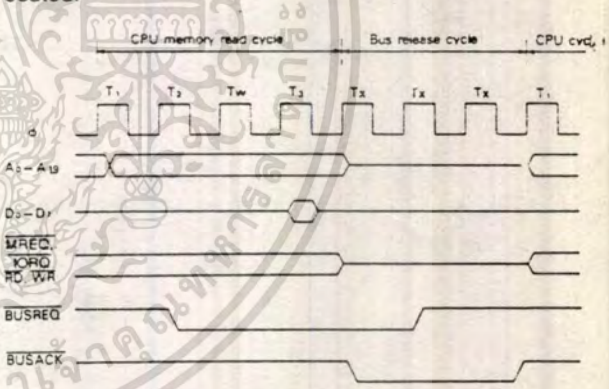


Figure 15. Bus Exchange Timing

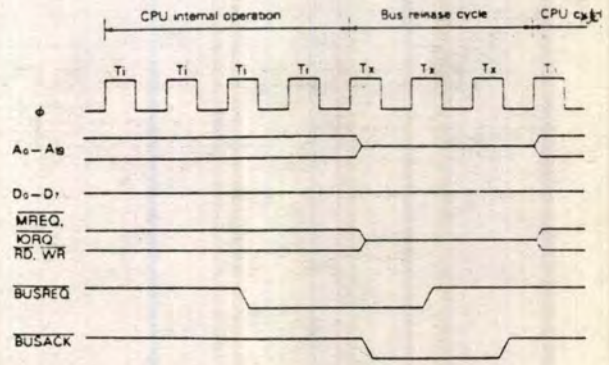


Figure 16. Bus Exchange Timing

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

WAIT State Generator

To ease interfacing with slow memory and I/O devices, the Z80180 uses wait states (Tw) to extend bus cycle timing. A wait state(s) is inserted based on the combined (logical OR) state of the external $\overline{WAIT}$ input and an internal programmable wait state (Tw) generator. Wait states (Tw) can be inserted in both CPU execution and DMA transfer cycles.

When the external $\overline{WAIT}$ input is asserted LOW, wait state(s) (Tw) are inserted between T_2 and T_3 to extend the bus cycle duration. The $\overline{WAIT}$ input is sampled at the falling edge of the system clock in T_2 or Tw. If the $\overline{WAIT}$ input is asserted LOW at the falling edge of the system clock in Tw, another Tw is inserted into the bus cycle. Note that $\overline{WAIT}$ input transitions must meet specified set-up and hold times. This can easily be accomplished by externally synchronizing $\overline{WAIT}$ input transitions with the rising edge of the system clock.

Dynamic RAM refresh is not performed during wait states (Tw) and thus system designs which use the automatic refresh function must consider the effects of the occurrence and duration of wait states (Tw). Figure 8 shows $\overline{WAIT}$ timing.

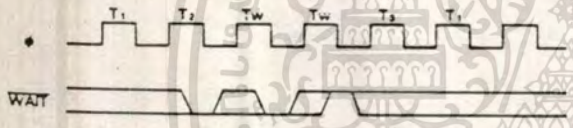


Figure 17. $\overline{WAIT}$ Timing

Programmable Wait State Insertion. In addition to the $\overline{WAIT}$ input, wait states (Tw) can also be inserted by program using the Z80180 on-chip wait state generator. Wait state (Tw) timing applies for both CPU execution and on-chip DMAC cycles.

By programming the four significant bits of the DMA/WAIT Control Register (DCNTL) the number of wait states, (Tw) automatically inserted in memory and I/O cycles, can be separately specified. Bits 4 and 5 specify the number of wait states (Tw) inserted for I/O access and bits 6 and 7 specify the number of wait states (Tw) inserted for memory access.

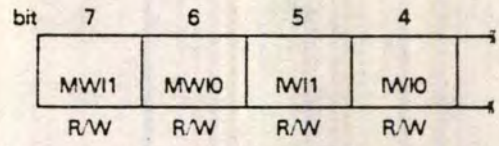


Figure 18. Memory and I/O Wait State Insertion

The number of wait states (Tw) inserted in a specific cycle is the maximum of the number requested by the WAIT input, and the number automatically generated by the on-chip wait state generator.

Bit 7, 6: MWI1, MWI0, (Memory Wait Insertion)
For CPU and DMAC cycles which access memory (including memory mapped I/O), 0 to 3 wait states may be automatically inserted depending on the programmed value in MWI1 and MWI0.

MWI1	MWI0	The number of wait states
0	0	0
0	1	1
1	0	2
1	1	3

Table 2: Memory Wait States

Bit 5, 4: IWI1, IWI0 (I/O Wait Insertion)
For CPU and DMA cycles which access external I/O (and interrupt acknowledge cycles), 1 to 6 wait states (Tw) may be automatically inserted depending on the programmed value in IWI1 and IWI0.

Note:
(1) For Z80180 internal I/O register access (I/O addresses 0000H-003FH), IWI1 and IWI0 do not determine wait state (Tw) timing. For ASCI, CSI/O and PRT Data Register accesses, 0 to 4 wait states (Tw) will be generated. The number of wait states inserted during access to these registers is a function of internal synchronization requirements and CPU state. All other on-chip I/O register accesses (i.e. MMU, DMAC, ASCI Control Registers, etc.) have 0 wait states inserted and thus require only three clock cycles.

(2) For interrupt acknowledge cycles in which $\overline{M1}$ is HIGH, such as interrupt vector table read and PC stacking cycle, memory access timing applies.

		the number of wait states				
IWI1	IWI0	For external I/O registers accesses	For internal I/O registers accesses	For $\overline{INT_0}$ interrupt acknowledge cycles when $\overline{M1}$ is LOW	For $\overline{INT_1}$, $\overline{INT_2}$ and internal interrupts acknowledge cycles (Note (2))	For $\overline{NMI}$ interrupt acknowledge cycles when $\overline{UR}$ is LOW (Note (2))
0	0	1	0 (Note (1))	2	2	0
0	1	2		4		
1	0	3		5		
1	1	4		6		

Table 3: Wait State Insertion

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

WAIT input and RESET. During RESET, MWI1, MWI0, IWI1 and IWI0 are all set = 1, selecting the maximum number of wait states (Tw) (3 for memory accesses, 4 for external I/O accesses).

Also, note that the $\overline{WAIT}$ input is ignored during RESET. For example, if RESET is detected while the Z80180 is in a wait state (Tw), the wait stated cycle in progress will be aborted, and the RESET sequence initiated. Thus, $\overline{RESET}$ has higher priority than $\overline{WAIT}$.

HALT and Low Power Operation Modes

The Z80180 can operate in 4 different modes. HALT mode, IOSTOP mode and 2 low power operation modes - SLEEP and SYSTEM STOP. Note that in all operating modes, the basic CPU clock (XTAL, EXTAL) must remain active.

HALT mode. HALT mode is entered by execution of the HALT instruction (op-code = 76H) and has the following characteristics.

(1) The internal CPU clock remains active.

(2) All internal and external interrupts can be received.

(3) Bus exchange ($\overline{BUSREQ}$ and $\overline{BUSACK}$) can occur.

(4) Dynamic RAM refresh cycle ($\overline{RFSH}$) insertion continues at the programmed interval.

(5) I/O operations (ASCI, CSI/O and PRT) continue.

(6) The DMAC can operate.

(7) The $\overline{HALT}$ output pin is asserted LOW.

(8) The external bus activity consists of repeated "dummy" fetches of the op-code following the HALT instruction.

Essentially, the Z80180 operates normally in HALT mode, except that instruction execution is stopped.

HALT mode can be exited in the following two-ways.

RESET Exit from HALT mode. If the $\overline{RESET}$ input is asserted LOW for at least 6 clock cycles, HALT mode is exited and the normal RESET sequence (restart at address 00000H) is initiated.

Interrupt Exit from HALT mode. When an internal or external interrupt is generated, HALT mode is exited and the normal interrupt response sequence is initiated.

If the interrupt source is masked (individually by enable bit, or globally by IEF1 state), the Z80180 remains in HALT mode. However, $\overline{NMI}$ interrupt will initiate the normal $\overline{NMI}$ interrupt response sequence independent of the state of IEF_1.

HALT timing is shown in Fig. 19.

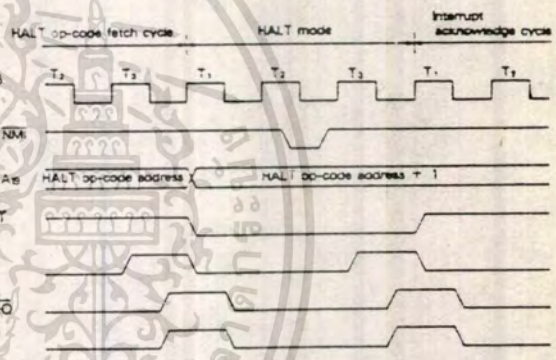


Figure 19. HALT Timing

SLEEP mode. SLEEP mode is entered by execution of the 2 byte SLP instruction. SLEEP mode has the following characteristics.

(1) The internal CPU clock stops, reducing power consumption.

(2) The internal crystal oscillator does not stop.

(3) Internal and external interrupt inputs can be received.

(4) DRAM refresh cycles stop.

(5) I/O operations using on-chip peripherals continue.

(6) The internal DMAC stop.

(7) $\overline{BUSREQ}$ can be received and acknowledged.

(8) Address outputs go HIGH and all other control signal output become inactive HIGH.

(9) Data Bus, 3-state.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้