



## INDUCTION HEATING SYSTEM



ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาดำเนินการตามหลักสูตรปริญญาวิศวกรรมศาสตรบัณฑิต

ภาควิชาวิศวกรรมไฟฟ้า

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2534

ปริญญาโทปีการศึกษา 2534

ภาควิชา วิศวกรรมศาสตร์

คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เรื่อง INDUCTION HEATING SYSTEM

โดย.....

นายจำเริญ

เพชรรัช

นายทองดี

พีชเอี่ยม

นายสุพร

อัศวรรัชกาญจน์



อาจารย์ที่ปรึกษา

.....

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้รวมเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
 ( รศ.ดร.วิริยะ พีชเอี่ยม )  
 ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้อยังอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## สารบัญ

| ชื่อเรื่อง  | หน้า |
|---|------|
| บทคัดย่อ  | 1    |
| บทที่ 1. บทนำ                                     | 2    |
| บทที่ 2. ทฤษฎีการเหนี่ยวนำความร้อนโดยสนามแม่เหล็ก | 5    |
| บทที่ 3. อินเวอร์เตอร์                            | 15   |
| บทที่ 4. VOLTAGE SOURCE SERIES RESONANT INVERTER  | 40   |
| บทที่ 5. การควบคุม                                | 47   |
| บทที่ 6. ผลการทดลอง                               | 84   |
| ภาคผนวก   | 95-  |



# การใช้ POWER MOSFET สำหรับเครื่องเหนี่ยวนำความร้อนที่ความถี่รีโซแนนซ์

## บทคัดย่อ

โครงการนี้เป็นการใช้ POWER MOSFET สำหรับเครื่องเหนี่ยวนำความร้อนที่ความถี่รีโซแนนซ์ ความถี่ที่มอสเฟสทำงานนี้ ได้มาจากความถี่โดยประมาณซึ่งอาศัยจากค่ากระแสเอาต์พุตที่สูงสุด อันเนื่องมาจากเป็นจุดที่เกิดสภาวะรีโซแนนซ์ ระบบเหนี่ยวนำความร้อนนี้ถูกปรับปรุงขึ้นเพื่อให้สามารถติดตามความถี่ RESONANT ที่เหนี่ยวนำขึ้นบนชิ้นงานได้ เมื่อคุณสมบัติของชิ้นงานซึ่งเป็นโลหะได้เปลี่ยนแปลงไป เมื่อโลหะมีอุณหภูมิสูงขึ้น

POWER MOSFET For Induction Heating System With Various Resonance

## Frequencies

## Abstract

A MOSFET for an induction heating system with various resonance frequencies is proposed. Operating frequency of the MOSFET is controlled such that an effective value of output current of the MOSFET is kept maximum after predicting an approximate resonance frequency. This MOSFET is operative even when the resonance frequency changes extensively.

ระบบเหนี่ยวนำความร้อนนั้นจะต้องทำงานภายใต้สภาวะความถี่รีโซแนนซ์ ซึ่งเงื่อนไขการเกิดสภาวะดังกล่าว ขึ้นอยู่กับขนาดและคุณสมบัติของโลหะที่จะเหนี่ยวนำให้ร้อน ค่าคาปาซิแตนซ์และอื่น ๆ โดยทั่วไปวงจรเฟสล็อกกลูป (PLL) จะถูกนำมาใช้เพื่อสร้างสภาวะดังกล่าว

ในระบบเหนี่ยวนำความร้อนแบบเก๋าคงรูปที่ 1 จะไม่สามารถใช้ได้ในกรณีที่ความถี่รีโซแนนซ์เปลี่ยนแปลงในช่วงที่กว้าง เพราะค่าความถี่รีโซแนนซ์นั้น เราได้รู้ล่วงหน้าจากการทดสอบแล้ว และเงื่อนไขในการเหนี่ยวนำให้ร้อนก็ไม่เปลี่ยนแปลง

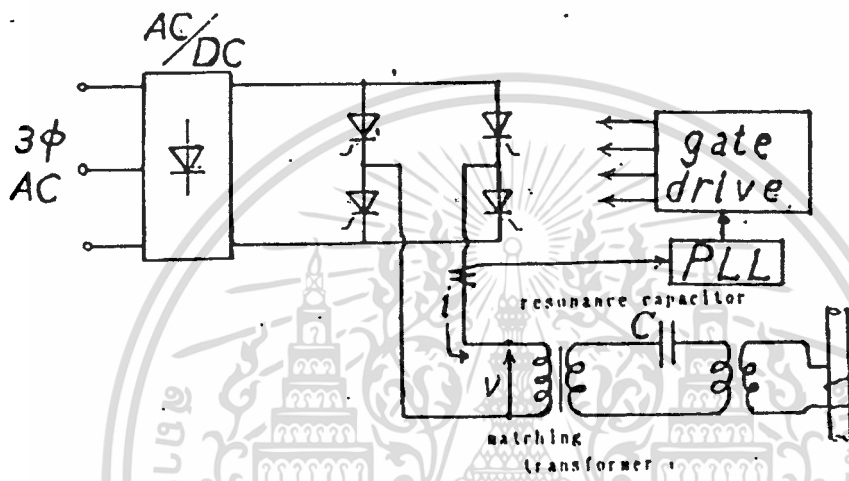
อย่างไรก็ตาม เมื่อมีความต้องการที่จะให้ระบบทำงานที่ความถี่อื่น เช่น เมื่อโลหะถูกเหนี่ยวนำให้ร้อนขึ้นเรื่อย ๆ จะทำให้ค่า Conductivity ( $\rho$ ) ของโลหะเปลี่ยนแปลงไปเรื่อย ๆ จะมีผลทำให้ความต้านทานของ load เปลี่ยนไปและความถี่ Resonant เปลี่ยนไปด้วยจึงได้มีการนำเสนอบริบทใหม่ ซึ่งสามารถใช้งานได้ดีกว่า ดังแสดงในรูปที่ 2

ระบบใหม่มีการเปลี่ยนแปลงจากเดิมคือ การนำเอาคอมพิวเตอรืเข้ามาทำงานแทนเฟสล็อกกลูป ซึ่งจะสามารถที่จะทำงานได้เมื่อความถี่เปลี่ยนแปลงไปมาก ๆ ซึ่งส่วนควบคุมความถี่ในระบบมีการทำงานดังนี้คือ

เริ่มแรกคอมพิวเตอรืจะคำนวณความถี่ เริ่มต้นจากตัวประกอบต่าง ๆ ในวงจรและส่งเป็นสัญญาณดิจิทัลออกมา ผ่านวงจรดีจิจิตอลเพื่อแปลงเป็นอนาลอก จากนั้นวีทูปเอก็ที่จะเปลี่ยนให้เป็นความถี่ที่ต้องการอีกทีหนึ่ง ผ่านวงจรขับเพื่อไปทรานส์มิทซึ่ง เราจะได้แหล่งจ่ายไฟสลับที่มีความถี่ที่เราต้องการ จากนั้นส่วนตรวจจับกระแสก็จะวัดค่ากระแสส่งผ่านวงจรเอทูปที่แปลงกลับเป็นดิจิทัล เพื่อให้คอมพิวเตอรืประมวลผลต่อไป เสร็จแล้วคอมพิวเตอรืก็จะส่งข้อมูลใหม่ออกมา ซึ่งทำให้ความถี่เปลี่ยนแปลงไม่ ularทำงานก็จะวนเช่นนี้ไปเรื่อย ๆ จนกระทั่งคอมพิวเตอรืพบว่า กระแสที่วัดได้นั้นเป็นกระแสสูงสุด ก็จะเก็บค่าความถี่นั้นไว้ และถ้าหากค่ากระแสลดลงเมื่อวัตต์ร้อนขึ้นทำให้ความถี่รีโซแนนซ์เปลี่ยนไป ส่วนควบคุมนี้ก็จะสามารถติดตามหาความถี่รีโซแนนซ์ได้

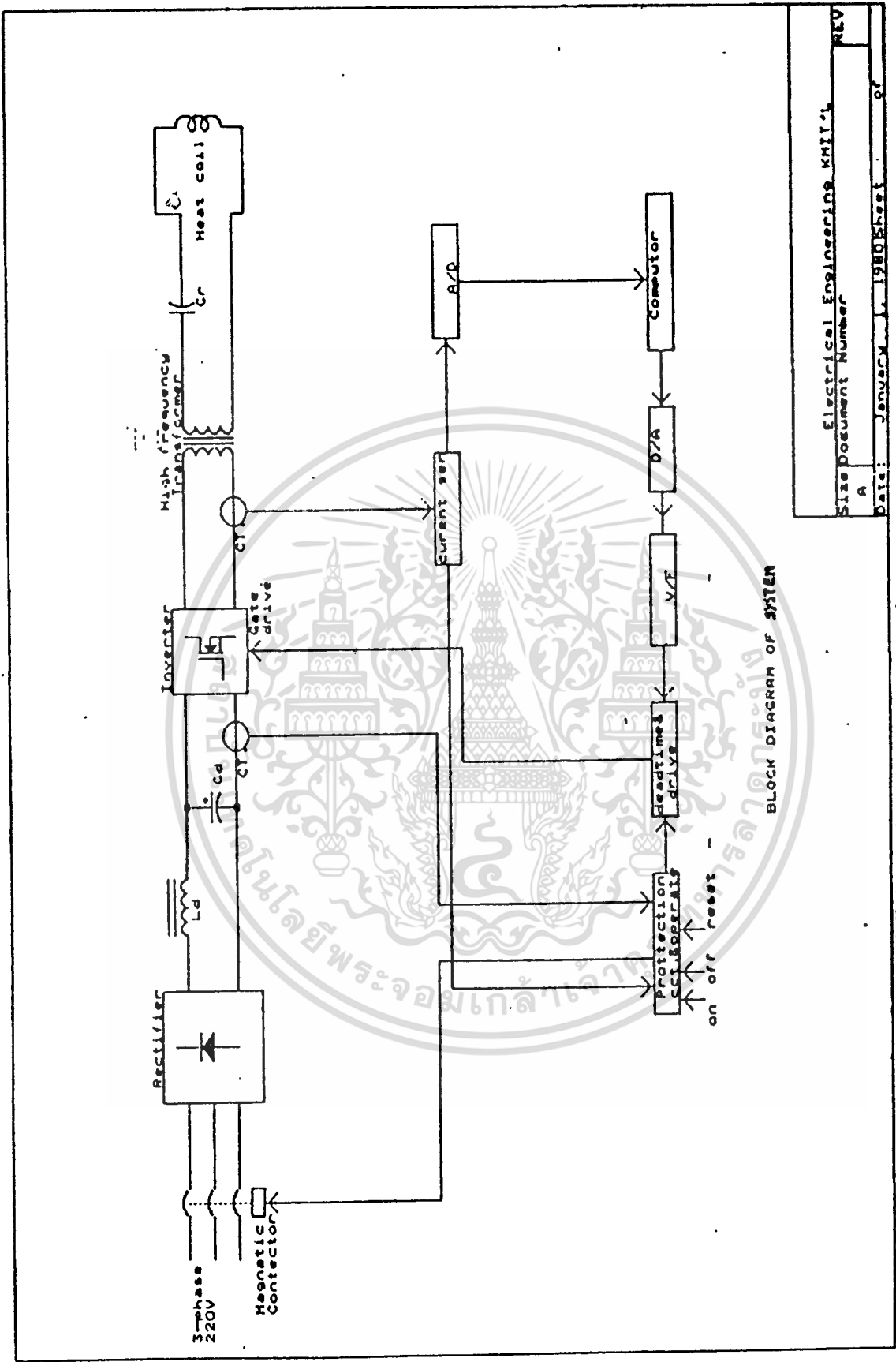
จากหลักการการทำงานที่ได้กล่าวไปแล้ว จะเห็นได้ว่า ระบบนี้มีความน่าเชื่อถือได้ เนื่องจากการใช้กระแสมาควบคุมความถี่ ยิ่งไปกว่านั้น ยังมีความรวดเร็วในการค้นหาความถี่รีโซแนนซ์ หลังจากการคำนวณค่าความถี่ เริ่มต้นโดยประมาณ

ดังนั้นวิทยานิพนธ์นี้ จึงมุ่งเน้นที่จะศึกษาการนำเอาระบบควบคุมความถี่แบบใหม่นี้มาใช้ เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ค้นหาความถี่รีโซแนนซ์ที่ต้องการ และสามารถเหนี่ยวนำความร้อนได้ที่พิกัดที่ต้องการ ไม่วากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 1 แสดงระบบแบบเกา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



|                               |          |
|-------------------------------|----------|
| Electrical Engineering KMIT'L | REV      |
| Size Document Number          | A        |
| Date: January 1, 1980         | Sheet of |

รูปที่ 2 แสดงระบบแบบโวลเทจโหมด

ทฤษฎีของการเหนี่ยวนำความร้อนโดยสนามแม่เหล็กไฟฟ้าสลับ

สนามแม่เหล็กซึ่งมีการเปลี่ยนแปลงกับเวลาเมื่ออยู่ภายในเนื้อเหล็กจะเกิดปรากฏการณ์ในลักษณะที่ว่า สนามแม่เหล็กที่ผิวมีการเปลี่ยนแปลงตามความลึกจากผิวของเหล็ก ซึ่งเราเรียกลักษณะนี้ว่า skin effect ซึ่งจากผลของ skin effect นี้ ทำให้มีกระแสไหลเฉพาะที่ผิวของเหล็กเท่านั้น ดังนั้นพลังงานที่ป้อนเข้าไปให้กับเหล็กจะอยู่เฉพาะที่ผิว

2.1 การกระจายของสนามแม่เหล็กในเนื้อเหล็ก

ในการหาการกระจายของสนามแม่เหล็กในเนื้อเหล็กนั้น กำหนดให้ displacement current นั้นน้อยมากไม่นำมาคิด

จากสมการของสนามแม่เหล็ก

$$\nabla \times \mathbf{H} = \mathbf{J} \quad (1)$$

$$\nabla \times \mathbf{E} = -\frac{\partial \mathbf{B}}{\partial t} \quad (2)$$

$$\nabla \cdot \mathbf{B} = 0 \quad (3)$$

ถ้าในเหล็กมีค่า conductivity ( $\sigma$ ) และจากกฎของโอห์ม

$$\mathbf{J} = \sigma \mathbf{E} \quad (4)$$

แทนค่า  $\mathbf{J}$  ในสมการ (1)

$$\nabla \times \mathbf{H} = \sigma \mathbf{E}$$

$$\nabla \times \nabla \times \mathbf{H} = \nabla \times (\sigma \mathbf{E})$$

$$\nabla (\nabla \cdot \mathbf{H}) - \nabla^2 \mathbf{H} = \nabla (\sigma) \times \mathbf{E} + \sigma \nabla \times \mathbf{E} \quad (5)$$

จากสมการ (3)  $\nabla \cdot \mathbf{B} = 0$

$$= \nabla \cdot \mu \mathbf{H}$$

$$= \mathbf{H} \cdot \nabla \mu + \mu \nabla \cdot \mathbf{H} = 0$$

$$\nabla \cdot \mathbf{H} = -\mathbf{H} \cdot \frac{1}{\mu} \nabla \mu \quad (6)$$

แทนค่าจากสมการ (2), (6) ในสมการ (5)

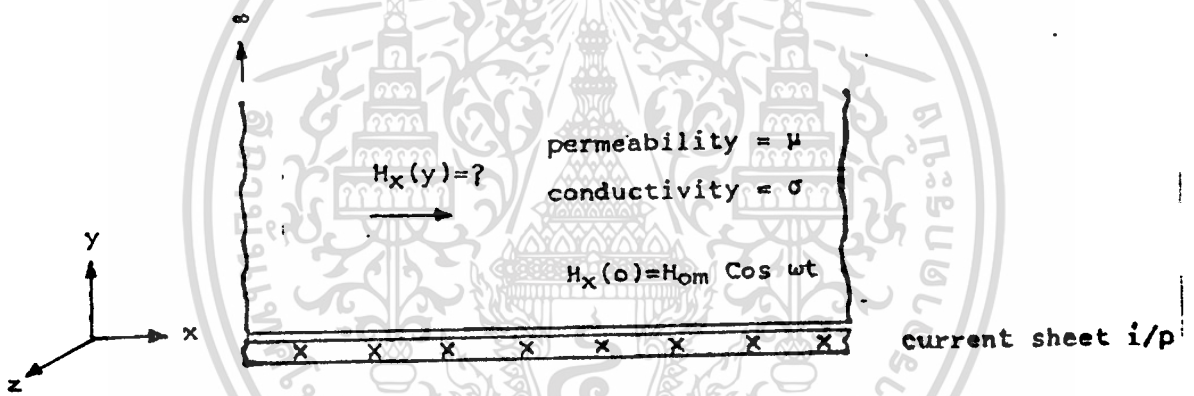
$$\nabla^2 \mathbf{H} = \nabla \left( -\mathbf{H} \cdot \frac{1}{\mu} \nabla \mu \right) - \nabla (\sigma) \times \mathbf{E} - \sigma \left( -\frac{\partial \mathbf{B}}{\partial t} \right)$$

กำหนดให้เหล็กที่ใช้เป็น isotropic media มีค่า permeability กับค่า conductivity ( $\sigma$ ) นั้น คงที่ตลอดเนื้อสาร ดังนั้น  $\nabla\mu = 0$  ;  $\nabla\sigma = 0$  ;  $\frac{dB}{dH} = \mu$

$$\nabla^2 H = \frac{dB}{dH} \cdot \frac{\partial H}{\partial t}$$

ดังนั้น  $\nabla^2 H = \sigma\mu \frac{\partial H}{\partial t}$  (7)

หากการกระจายของ H ภายในเนื้อเหล็ก โดยเริ่มกำหนดจากค่า ความเข้มของสนามแม่เหล็ก ( $H_x$ ) ที่ผิวเหล็กมีทิศทางในแนวแกน x เท่านั้น และคิดว่าแท่งเหล็กมีขนาดยาวในแกนต่าง ๆ มาก โดยมี current sheet ที่ทำให้เกิด  $H_x$  อยู่ในตำแหน่ง  $x = 0$  โดยมีค่าสูงสุดคือ  $H_{om}$  และมีทิศทางของ current sheet อยู่ในแนวแกน z ดังแสดงในรูปที่ 2.1 และเนื่องจาก current sheet ขนานกับแกน z ตลอด  $\therefore$  ขนาดของ H จะขึ้นอยู่กับค่า y โดยไม่แปรตาม x และ z



รูปที่ 2.1 ขดลวดตัวนำและเหล็กที่หนามาก

กำหนดให้ที่  $y = 0$  (ที่ผิวของเหล็ก)

$$H_x(0) = H_{om} \cos \omega t$$

เราสามารถแทนสมการตรีโกณมิติให้อยู่ในรูปของ exponential ได้ โดยจาก

Euler's Identities  $e^{j\omega t} = \cos \omega t + j \sin \omega t$

ซึ่งสามารถเขียนสมการของความเข้มของสนามแม่เหล็กที่ตำแหน่ง  $y = 0$  ได้ดังนี้คือ

$$H_x(0) = \text{Re} (H_{om} \cdot e^{j\omega t})$$

หรืออาจไม่เขียน Re ไว้ แต่เมื่อได้คำตอบก็หาค่า real part จากสมการ (7)

$$\nabla^2 H = \sigma\mu \frac{\partial H}{\partial t}$$

$$\nabla^2 H = \frac{\partial^2 H_x}{\partial x^2} + \frac{\partial^2 H_y}{\partial y^2} + \frac{\partial^2 H_z}{\partial z^2} = \sigma \mu \frac{\partial H}{\partial t}$$

แต่เนื่องจากว่า ความเข้มของสนามแม่เหล็ก มีทิศทางในแนวแกน x และแปรตามระยะทาง y เท่านั้น

$$\frac{d^2 H_x}{dy^2} = \sigma \mu \frac{dH}{dt}$$

กำหนดให้  $H_x = H_x(y) e^{j\omega t}$  โดยที่  $H_x(y)$  เป็นค่า ความเข้มของสนามแม่เหล็กที่แปรตามระยะ y

$$\therefore \frac{\partial^2 H_x}{\partial y^2} - \sigma \mu j\omega H_x = 0$$

จาก  $\sigma = \frac{1}{\rho}$  เมื่อ  $\rho$  : เป็นค่า resistivity

$$\therefore \frac{d^2 H_x}{dy^2} - \frac{\mu \omega}{\rho} j H_x = 0$$

$$\therefore \text{กำหนดให้ } \alpha^2 = \frac{\mu \omega}{2\rho}$$

$$\therefore \frac{d^2 H_x}{dy^2} - 2j\alpha^2 H_x = 0$$

ซึ่งสามารถจัดให้อยู่ในรูปของ differential equation ได้คือ

$$\frac{d^2 H_x}{dy^2} - K^2 H_x = 0 \quad \text{เมื่อ } K^2 = 2j\alpha^2$$

และ solution of differential ได้ดังนี้

$$H_x = A_1 \exp(Ky) + A_2 \exp(-Ky)$$

ซึ่งสามารถหาค่า  $A_1$  และ  $A_2$  ได้จาก boundary condition

ที่ตำแหน่ง  $y = \infty \quad H_x = 0 \quad \therefore A_1 = 0$

$y=0 \quad H_x(0) = H_{om} \exp(j\omega t)$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ดังนั้น

$$H_x = H_{om} \cdot \exp(-Ky) \exp(j\omega t)$$

$$\text{จาก } K = \sqrt{2j \cdot \alpha^2} = \sqrt{(1+j)^2} \cdot \alpha = (1+j)\alpha$$

$$H_x = H_{om} \cdot \exp\{- (1+j)\alpha y\} \cdot \exp(j\omega t)$$

$$H_x = H_{om} \cdot \exp(-\alpha y) \cdot \exp\{j(\omega t - \alpha y)\} \quad (8)$$

ซึ่งค่าของ ความเข้มของสนามแม่เหล็ก จะเป็น real part

$$H_x(y) = H_{om} \cdot \exp(-\alpha y) \cos(\omega t - \alpha y) \quad (9)$$

จะเห็นว่า ความเข้มของสนามแม่เหล็กจะมีค่าเปลี่ยนแปลงตามความลึกจากผิวตามค่าที่นำมาคูณคือ  $\exp(-\alpha y)$  และมีความลึกต่าง ๆ ความเข้มของสนามแม่เหล็ก จะ lag สนามที่ผิวเป็นมุม  $\alpha y$

## 2.2 Skin effect

จากหัวข้อ 2.1 จะเห็นได้ว่าค่าของสนามแม่เหล็กนั้นกระจายตามความลึกของ  $y$  โดย

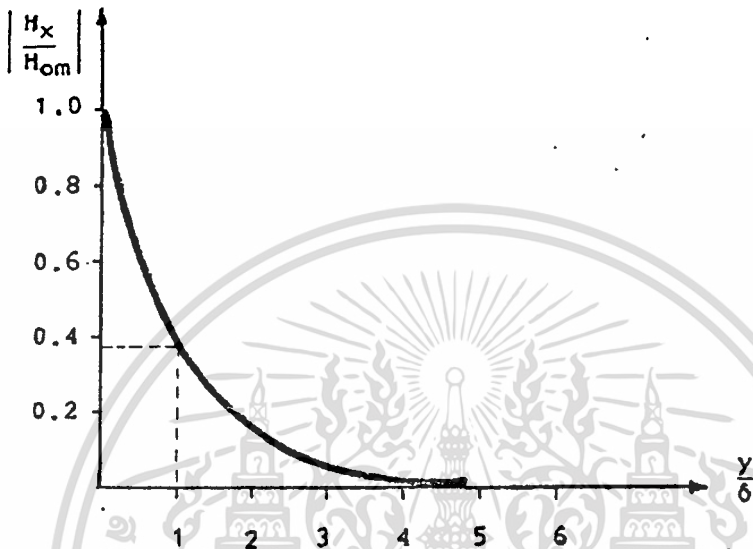
$$H_x(y) = H_{om} \exp(-\alpha y) \cos(\omega t - \alpha y)$$

โดย เทอมของ  $\exp(-\alpha y)$  เป็นตัวกำหนดขนาดของ magnitude ของ  $H_x$  ที่ระดับความลึกจากผิวต่าง

$$\text{ที่ } y = \frac{1}{\alpha} \text{ ซึ่งมีผลทำให้เทอม } \exp(-\alpha y) = e^{-1} = 0.368$$

เรียกค่า  $y$  นี้ว่า skin depth หรือ depth of penetration

ใช้สัญลักษณ์  $\delta$



รูปที่ 2.2 การกระจายของ ค่าความเข้มของสนามแม่เหล็กกับความลึก

$$\begin{aligned} \delta &= \frac{1}{\alpha} \\ &= \frac{2\rho}{\mu \omega} = \sqrt{\frac{2\rho}{\mu \omega}} \end{aligned} \quad (10)$$

โดยที่  $\rho$  : resistivity โอห์ม-เมตร  
 $\mu$  : permeability เวบเปอร์/แอมป์-เทอรัน-เมตร  
 $\omega$  : ความเร็วเชิงมุม เรเดียน/วินาที

ซึ่งจะได้ความสัมพันธ์ออกมาดังแสดงไว้ในรูปที่ 2.2

### 2.3 ความหนาแน่นของเส้นแรงแม่เหล็ก, ความหนาแน่นของกระแสและความเข้มของสนามไฟฟ้า

เมื่อทราบถึงการกระจายของ ความเข้มของสนามแม่เหล็กในเหล็ก ซึ่งมีค่า permeability คงที่ จึงสามารถหาความหนาแน่นของเส้นแรงแม่เหล็กได้ โดยจากสมการ(9)

$$H_x(y) = H_{om} \exp(-\alpha y) \cdot \cos(\omega t - \alpha y)$$

$$H_x(y) = H_{om} \exp(-\alpha y) \cdot \cos(\omega t - \alpha y)$$

และจาก  $B = \mu H$

$$B_x(y) = \mu H_{om} \exp(-\alpha y) \cos(\omega t - \alpha y) \quad (11)$$

นอกจากนี้ยังสามารถหา ความหนาแน่นของกระแส ในเนื้อเหล็กที่จุดต่าง ๆ ได้ โดยจากที่ทราบว่า  $\nabla \times H = J$

โดยที่ ค่าความเข้มของสนามแม่เหล็กนั้น มีทิศทางในแนวแกน x เท่านั้น และแปรค่าตามระยะทางในแกน y

เมื่อ i, j, k เป็น unit vector ในแนวแกน x, y และ z ตามลำดับ

$$\nabla \times H = \begin{bmatrix} i & j & k \\ 0 & \frac{\partial}{\partial y} & 0 \\ H_x & 0 & 0 \end{bmatrix}$$

$$\therefore J_z(y) = -\frac{\partial H_x}{\partial y}$$

จากสมการ(8)

$$H_x(y) = H_{om} \exp(-\alpha y) \cdot \exp(j(\omega t - \alpha y))$$

$$= H_{om} \exp(j\omega t) \cdot \exp(-\sqrt{2}j \cdot \alpha y)$$

ดังนั้นจะได้ -

$$J_z(y) = H_{om} \sqrt{2}j \cdot \alpha \cdot \exp(-\sqrt{2}j \cdot \alpha y) \cdot \exp(j\omega t)$$

จาก  $\sqrt{2}j = 1 + j = \sqrt{2} \cdot \exp(j \frac{\pi}{4})$

$$J_z(y) = \sqrt{2} H_{om} \cdot \alpha \exp(-\alpha y) \cdot \exp\{j(\omega t - \alpha y + \frac{\pi}{4})\}$$

ซึ่งค่าของ ความหนาแน่นกระแส จะเป็นค่า real part

$$J_z(y) = \sqrt{2} \alpha H_{om} \cdot \exp(-\alpha y) \cdot \cos(\omega t - \alpha y + \frac{\pi}{4})$$

กำหนดให้

$$J_{om} = \sqrt{2} \alpha H_{om} \exp(j\frac{\pi}{4})$$

ซึ่งค่า  $J_{om}$  จะเป็นขนาด magnitude ที่ตำแหน่ง  $y = 0$  หรือที่ผิวของโลหะ และเฟส ของ  $J$  จะ lead  $H$  ที่จุดต่าง ๆ เป็นมุม  $\pi/4$  หรือ  $45^\circ$

ดังนั้นจะสามารถหาค่า ความหนาแน่นกระแส ที่ความลึกต่าง ๆ จาก

$$J_x(y) = J_{om} \cdot \exp(-\alpha y) \cdot \cos(\omega t - \alpha y) \quad (13)$$

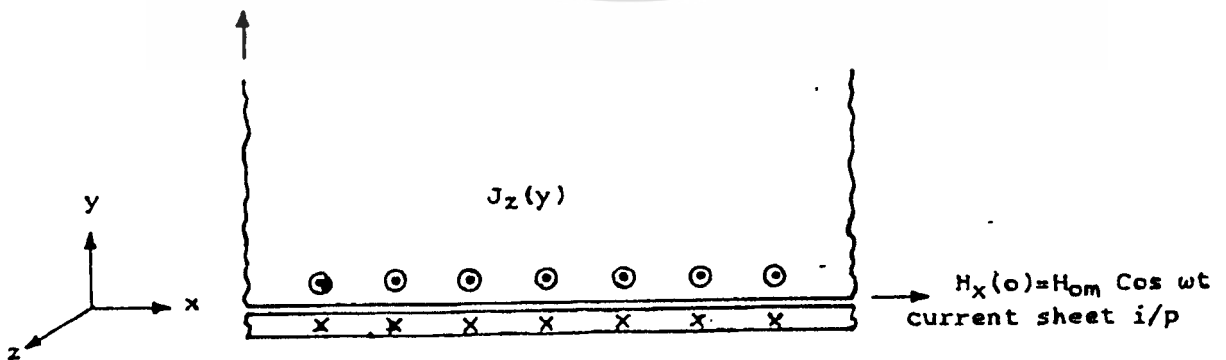
จากการหา ความหนาแน่นกระแส จะพบว่า  $J$  จะมีทิศอยู่ในแนวแกน  $z$  และจะสามารถหาค่าความเข้มของสนามไฟฟ้าที่เกิดในเหล็ก

จาก 
$$E = \frac{J}{\sigma} = \rho J$$

$$E_z(y) = \rho J_{om} \cdot \exp(-\alpha y) \cos(\omega t - \alpha y) \quad (14)$$

#### 2.4 กระแสทั้งหมด

จากในหัวข้อ 2.3 เมื่อทราบค่า ความหนาแน่นของกระแสที่จุดต่าง ๆ ในเนื้อเหล็ก โดยรู้ว่าทิศทางของกระแสอยู่ในแนวแกน  $z$  ดังนั้นเมื่อจะหากระแสไฟฟ้าทั้งหมดจะต้อง integrate  $J$  ในแนวระนาบ  $x$  และ  $y$  จากรูปที่ 2.3 จะเห็นว่าค่าความหนาแน่นกระแสแปรตามระยะ  $y$  เท่านั้น



รูปที่ 2.3 แสดงทิศทางของความเข้มของสนามแม่เหล็กและความหนาแน่นกระแส

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เมื่อ ค่าความหนาแน่นกระแสไม่แปรตามระยะทาง  $x$  จึงสามารถหาค่ากระแสไฟฟ้า ต่อเมตร ในแนวแกน  $x$

$$\begin{aligned}
 \text{ค่ากระแสไฟฟ้า ต่อ เมตร} &= \int_0^{\infty} J_z dy \\
 &= \int_0^{\infty} J_{om} \cdot \exp(-\alpha y) \cdot \cos(\omega t - \alpha y) dy \\
 &= J_{om} \cdot \text{Re} \left[ \int_0^{\infty} \exp \{ j\omega t - (1+j)\alpha y \} dy \right] \\
 &= J_{om} \cdot \text{Re} \left[ \frac{\exp \{ j\omega t - (1+j)\alpha y \}}{-(1+j)\alpha} \right]_0^{\infty} \\
 &= J_{om} \cdot \text{Re} \left[ \frac{\exp(j\omega t)}{(1+j)\alpha} \right]
 \end{aligned}$$

$$\begin{aligned}
 \text{จาก } J_{om} &= \sqrt{2} \cdot \alpha H_{om} \exp(j \frac{\pi}{4}) \\
 \text{ค่ากระแส ต่อ เมตร} &= \text{Re} [ H_{om} \cdot \exp(j\omega t) ] \\
 &= H_{om} \cdot \cos \omega t
 \end{aligned}$$

จะเห็นได้ว่ากระแสที่ไหลในเนื้อเหล็ก จะมีค่าเท่ากับ ค่าความเข้มของสนามแม่เหล็กที่ผิวของเหล็ก และ inphase กัน

$$I_m = H_{om} \quad (16)$$

## 2.5 กำลังที่เกิดขึ้นในเหล็ก

จากที่สามารถหาค่าความหนาแน่นกระแสที่จุดต่าง ๆ ในเหล็กเมื่อทราบค่า resistivity ของเหล็กแล้ว ก็จะหาค่าของกำลังที่สูญเสียในเหล็กต่อ ละบ.เมตร เท่ากับ  $\rho J^2$  เมื่อต้องการรู้กำลังที่สูญเสียทั้งหมดโดยการ integrate ตลอดปริมาตร

แต่เนื่องจาก  $J$  ไม่แปรตามแกน  $x$  และ  $z$  ดังนั้นจึงสามารถหากำลังที่สูญเสียต่อพื้นที่ผิวในแกน  $x$  และ  $z$  โดย

$$\begin{aligned}
 \text{กำหนดให้ } P &: \text{ กำลังที่สูญเสียต่อพื้นที่ผิว วัตต์/เมตร}^2 \\
 P &: \int_0^{\infty} \rho J^2 dy
 \end{aligned}$$

$$= \rho J_{om}^2 \int_0^{\infty} \exp(-2\alpha y) \cos^2(\omega t - \alpha y) dy$$

จะเห็นว่า เทอม  $\cos^2(\omega t - \alpha y)$  เมื่อเรา integrate ในช่วงคาบของคลื่น จะได้เท่ากับ  $\frac{1}{2}$  โดยที่  $\alpha y$  ไม่มีผลต่อค่าของ integrate เนื่องจากค่า  $(-\alpha y)$  เป็นผลทำให้ phaseshift ไปเท่านั้นเอง

$$p = \rho \frac{J_{om}^2}{2} \int_0^{\infty} \exp(-2\alpha y) dy$$

$$= \rho \frac{J_{om}^2}{4\alpha} \left| \exp(-2\alpha y) \right|_0^{\infty}$$

$$p = \rho \frac{J_{om}^2}{4\alpha} = \rho \frac{J_{om}^2}{4} \delta$$

จาก  $\left| J_{om} \right| = \sqrt{2} \cdot \alpha \cdot \left| H_{om} \right| = \frac{\sqrt{2} \cdot \left| H_{om} \right|}{\delta}$

ค่ากำลังที่สูญเสียที่คำนวณได้เป็นค่าเฉลี่ยซึ่งคิดกำลังรวมทั้งหมด ตั้งแต่ผิว  $y=0$  จนถึง  $y = \infty$  เมื่อค่าเปรียบเทียบความสูญเสียตั้งแต่ผิวถึงจุด  $y$  ใดๆ กับความสูญเสียที่ผิวถึง  $y = \infty$  ซึ่งจะออกมาเป็น per-unit loss

$$\frac{p}{p_y} = \frac{\left| \exp(-2\alpha y) \right|_0^y}{\left| \exp(-2\alpha y) \right|_0^{\infty}} = \frac{\exp(-2\alpha y) - 1}{-1}$$

$$\text{ที่ } y = \frac{1}{\alpha} = \delta \quad \frac{p}{p_y} = 1 - \exp(-2\alpha y)$$

$$\frac{p}{p_y} = 1 - e^{-2} = 1 - 0.135 = 0.865$$

$$y = \frac{2}{\alpha} = 2\delta$$

$$\frac{p}{p_y} = 1 - e^{-4} = 1 - 0.018 = 0.982$$

## 2.6 เส้นแรงแม่เหล็ก

เส้นแรงแม่เหล็กทั้งหมดหาได้โดยการ integrate ตลอดพื้นที่หน้าตัดของสนามแม่เหล็กที่ผ่าน เนื่องจากทิศทางของความหนาแน่นของสนามแม่เหล็กขนานกับแกน  $x$  ดังนั้นจะตั้งฉากกับระนาบ  $y-z$  ซึ่งค่า  $B$  จะเปลี่ยนแปลงตามระยะ  $y$  เท่านั้น ดังนั้นเราสามารถหาเส้นแรงแม่เหล็กต่อหน่วยความยาวในแกน  $z$

$$\Phi = \mu H_{om} \int_0^{\infty} \exp[ j\omega t - (1+j) y ] dy (x1)$$

$$= \frac{\mu H_{om}}{\sqrt{2} \alpha} \exp[ j(\omega t - \frac{\pi}{4}) ]$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ค่าของเส้นแรงแม่เหล็กเป็นค่า real part

$$\phi = \frac{\mu H_0 a}{\sqrt{2} \alpha} \cdot \cos(\omega t - \frac{\pi}{4}) \quad (18)$$

## 2.7 การเหนี่ยวนำศักดาไฟฟ้า

เมื่อทราบถึงเส้นแรงแม่เหล็กทั้งหมดในเนื้อเหล็ก ก็จะสามารถหาการเหนี่ยวนำศักดาที่เกิดขึ้นในขดลวดจ่ายพลังงาน

โดยกำหนดว่าขดลวดจ่ายพลังงานมีอยู่ N รอบ

จาก

$$\begin{aligned} \text{emf.} &= N \frac{d\phi}{dt} \\ &= \frac{\mu N \omega H_0 a}{\sqrt{2} \alpha} \sin(\omega t - \frac{\pi}{4}) \\ \text{emf.} &= \frac{\mu N \omega H_0 a}{\sqrt{2} \alpha} \cos(\omega t + \frac{\pi}{4}) \end{aligned} \quad (19)$$

### บทที่ 3

#### อินเวอร์เตอร์

๒๒-๕ AC

๒๒

#### 3.1 มอสเฟตกำลัง

พฤติกรรมดลัษณะทางโครงสร้าง การไหลของกระแสอยู่ทางแนวนอน ซึ่งจะ  
มีช่องทางไหลของกระแสอยู่ในช่องแคบ ๆ เท่านั้น ไม่สามารถทำงานที่วัดสูง ๆ ได้ จากการ  
ที่จะทำให้เพนกระแสได้ในแนวตั้งเหมือนทรานซิสเตอร์ทำให้สามารถใช้งานเพตได้ที่กำลังสูง ๆ  
เรียกโครงสร้างเพตแบบนี้ว่า VMOS (Vertical MOS)

ในขณะที่ใช้งานเราจะให้แรงดันที่ขาเกตและเดรนมีศักดาเป็นบวกเมื่อเทียบกับแรงดัน  
ที่ซอร์สส่วนของเกตจะสร้างสนามไฟฟ้าเหนี่ยวนำให้เกิดช่องที่พลีซันในเนื้อสารส่วน p ซึ่งเป็นส่วน  
ลบหรือช่องทางไหลของกระแสระหว่างเดรนกับซอร์ส การไหลของกระแสจะเกิดขึ้นในแนวตั้ง  
และเป็นระยะทางของการเคลื่อนที่ของประจุที่สั้น เมื่อเทียบกับการไหลในแนวราบ ดังนั้นความ  
ต้านทานระหว่างเดรนกับซอร์สจึงมีค่าต่ำ เนื่องจากการไหลของกระแสเดรนเกิดจากพาหะที่เป็น  
อิเล็กตรอนอิสระอย่างเดียวกั้นนั้นถ้าให้แรงดันที่เกตมีค่าสูงขึ้น ช่องทางเดินของกระแส  
อิเล็กตรอนก็จะกว้างขึ้น การไหลของกระแสก็จะมากขึ้นตามด้วย

ข้อได้เปรียบจากการใช้ มอสเฟต

#### ด้านความเร็ว

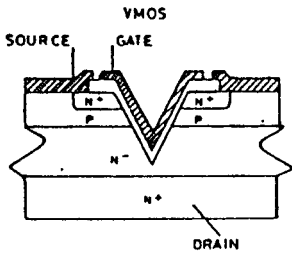
มอสเฟตกำลังมีความสามารถในการสวิตชิ่ง ด้วยความเร็วโดยปราศจากการ  
สะสมประจุอย่างไบโพลาร์ทรานซิสเตอร์จึงไม่เกิดช่วงเวลาสะสม จึงทำให้มอสเฟตมีความเร็ว  
มากกว่าทรานซิสเตอร์ในการสวิตชิ่งมาก

ความเร็วของมอสเฟตนั้น ขึ้นอยู่กับการอัดและคายประจุของการเก็บประจุของ  
มอสเฟตเองโดยจะไม่ขึ้นกับอุณหภูมิ

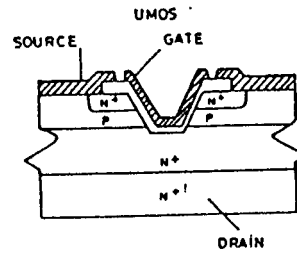
#### ลักษณะของอินพุท

ขาเกตของมอสเฟตกำลัง นั้นจะถูกแยก (isolate) จากแหล่ง  
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการศึกษาเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

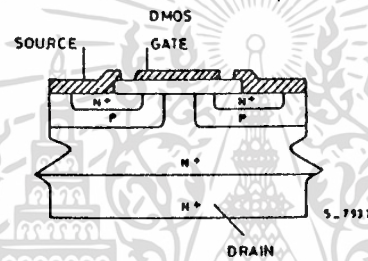
a) V-Groove structure



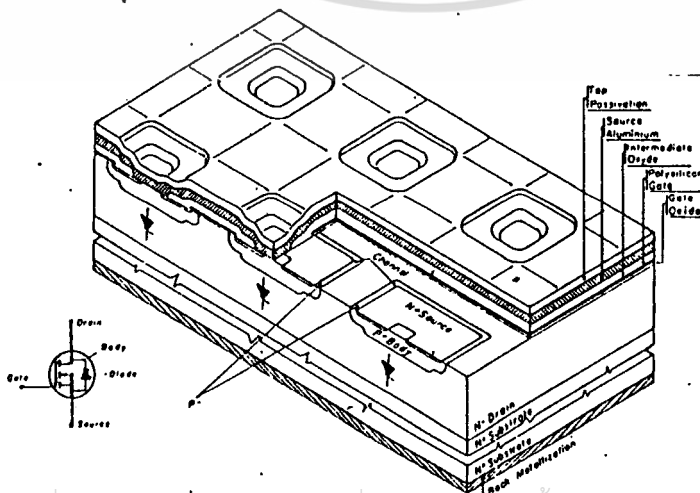
b) U-Groove structure



c) D-MOS structure



d) POWER MOS cell structure



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่นุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามPOWER MOSFETหรือSTRUCTUREของอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จ่ายด้วยชั้นออกไซด์ที่ทำให้เกิดความต้านทานกระแสตรงประมาณ 40 แมกกะโหล่ม มอสเฟต จะถูกไบอัสด้วยแรงดัน 10 โวลต์ ด้วยแรงดันขนาดนี้จึงสามารถขับมอสเฟตนี้ได้ด้วย ไอซี ซีมอส หรือ ทีทีแอล ได้โดยตรง จึงไม่ต้องคำนึงถึงกระแสของโหลด ทำให้ลดความยุ่งยากของ วงจรขับ โดยรวมแล้วจะทำให้ประหยัดยิ่งขึ้น

### ย่านทำงานปลอดภัย

การใช้งาน เกินพิกัดของมอสเฟตนั้น อาจจะทำให้มอสเฟตพังได้ แต่สำหรับ มอสเฟตแล้วบางทีอาจจะไม่จำเป็นจะต้องใช้วงจรสับเบอร์ดก็ได้ หรือใช้ค่าตัวเก็บประจุค่าน้อย ๆ ได้ ขอบเขตของย่านปลอดภัย ถูกกำหนดด้วยพิกัดกระแสสูงสุด แรงดันเบรคดาวน์ และความจุของอุปกรณ์ ขอบเขตของย่านปลอดภัยจะกว้าง เนื่องจากไม่เกิดเบรคดาวน์เซคันดารี

### แรงดัน

แรงดันต่ำสุดของมอสเฟตกำลังหาได้จากค่าความต้านทานของอุปกรณ์  $r_{DS}$  สำหรับอุปกรณ์แรงดันต่ำ ค่าของ  $r_{DS}$  จะต้องมีค่าต่ำที่สุด สำหรับอุปกรณ์แรงดันสูงค่า  $r_{DS}$  ต้องมีค่าสูงขึ้น เนื่องจาก ส.ป.ส. อุณหภูมิของ  $r_{DS}$  เป็นบวก

### สัมประสิทธิ์ทางอุณหภูมิ

สัมประสิทธิ์ทางอุณหภูมิของมอสเฟตมีค่าตรงข้ามกับทรานซิสเตอร์ กล่าวคือ เมื่ออุณหภูมิในตัวมอสเฟตสูงขึ้น กระแสครนจะมีค่าลดลง ดังนั้นการทำงานของมอสเฟตจึงไม่มีเหตุเกิดขึ้นเนื่องจากการเพิ่มหนีของอุณหภูมิ ( thermal runaway )

### เพิ่มกำลังได้

สามารถเพิ่มกำลังของสวิทซ์ได้โดยการนำมอสเฟตมาต่อขนานกันได้หลาย ๆ ตัว

อย่างไรก็ดี มอสเฟตกำลังก็มีข้อเสียเช่นกันคือ ค่า  $r_{DS(on)}$  ในมอสเฟต กำลังสูงกว่าในทรานซิสเตอร์ชนิดไบโพลาร์ ดังนั้น การใช้งานที่ความถี่ต่ำซึ่งค่าความสูญเสียขณะนำกระแสในอุปกรณ์สวิทซ์กำลัง เป็นสิ่งสำคัญ จึงไม่ควรใช้มอสเฟตกำลังที่ความถี่ต่ำ

ลักษณะพื้นฐานของมอสเฟตกำลัง

ลักษณะ เอาร์ทพุท

พิจารณาเอาร์ทพุทของมอสเฟตเปรียบเทียบกับไบโพลาร์คิงรูป

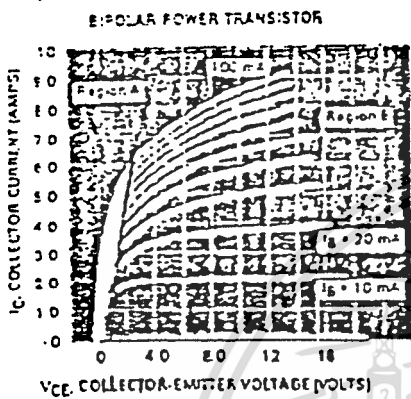


FIGURE 2-2 — IC-VCE TRANSFER CHARACTERISTICS OF MJE15030 (NPN, IC CONTINUOUS = 4.0A, VCE0 = 150V) REGION A IS THE SATURATION REGION, REGION B IS THE LINEAR OR ACTIVE REGION.

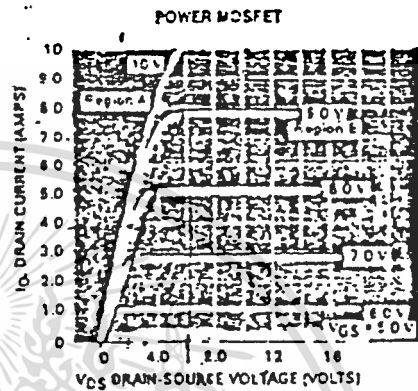


FIGURE 2-1 — ID-VDS TRANSFER CHARACTERISTICS OF MTFEN18. REGION A IS CALLED THE OHMIC, OR, CONSTANT RESISTANCE OR LINEAR REGION. REGION B IS CALLED THE ACTIVE, CONSTANT CURRENT, OR SATURATION REGION.

รูปที่ 3.1 แสดงการผ่านค่าของค่า MTM. N 50 ย่าน A เรียกว่า

ohmic region, on, constance resistance หรือ ย่านลิเนียร์ ย่าน B เรียก

ย่านแอกทีฟ, กระแสคงที่ หรือ ย่านอิ่มตัว

รูปที่ 3.2 แสดงการผ่านค่าของ MJE 15030 ย่าน A คอย่าน

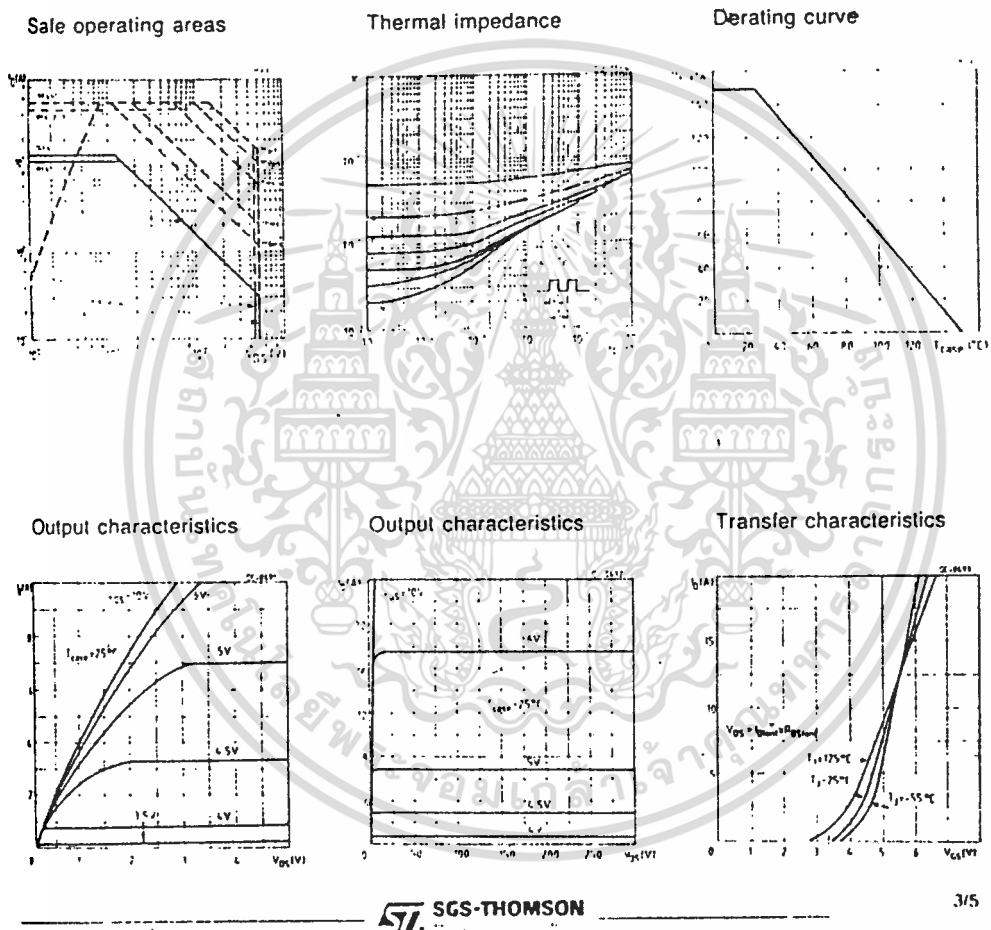
อิ่มตัว ย่าน B คอย่านลิเนียร์ หรือ ย่านแอกทีฟ

ความแตกต่างอย่างหนึ่งที่ได้เห็นได้จากรูป 3.1 เทียบกับรูป 3.2 ลักษณะกราฟของมอสเฟตกำลังเป็นการเปลี่ยนแปลงของแรงดันเกตไม่ได้เปลี่ยนแปลงกระแส ข้อแตกต่างที่สอง คือความชันของกราฟในย่านอิ่มตัวของไบโพลาร์นั้นชันกว่าความชัน ในย่านโอห์มของมอสเฟต แสดงว่าความต้านทานของมอสเฟตสูงกว่าความต้านทานของไบโพลาร์ ข้อแตกต่างที่สาม คือในย่านแอกทีฟ ความชันของไบโพลาร์จะมากกว่าความชันของมอสเฟต ดังนั้นจึงนำมอสเฟตไปใช้งานเป็นแหล่งจ่ายกระแสที่ได้ดีกว่า

พารามิเตอร์พื้นฐานของมอสเฟต

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่นอนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ความต้านทาน  $r_{DS}$  เป็นตัวสำคัญในการระบุจำนวนของกระแสที่  
 อุปกรณ์จะจัดการได้ไม่ให้อุณหภูมิ  $r_{DS}$  เมื่อมอสเฟตทำงานจาก off  
 เป็น on ค่าความต้านทานเดรน-ซอร์ส จะตกลงจากค่าสูงมาก ๆ ถึง  $r_{DS}$  เมื่อ  
 เปรียบเทียบกันแล้วจะมีค่าน้อยกว่ามากสำหรับ  $r_{DS}$  ต่ำ ๆ ค่าแรงดันเกตควรมี  
 ขนาดใหญ่พอ ที่จะให้กระแสเดรนสำหรับการทำงานที่ ohmic region ได้  
 data sheet มักจะให้กราฟมาด้วยดังตัวอย่างรูป 3.3.1



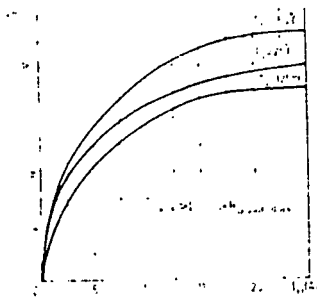
รูป 3.3.2 การเพิ่มของแรงดันเกตประมาณ 12 โวลท์ที่มี  $r_{DS}$  ค่าต่ำ ๆ จนถึง  
 แรงดันเกตประมาณ 20 โวลท์จะทำให้  $r_{DS}$  ลดลง เมื่อกระแสเดรนเพิ่มขึ้นจะทำให้  
 $r_{DS}$  เพิ่มขึ้นด้วยดังรูปที่ 3.3.3

ทรานคอนคักแทนซ์

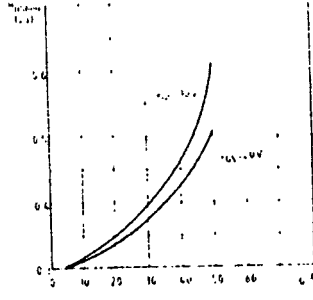
ทรานคอนคักแทนซ์  $g_{fs}$  จะหมายถึงเกนของมอสเฟต คล้าย ๆ กับค่า  $\beta$  ของ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
 ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

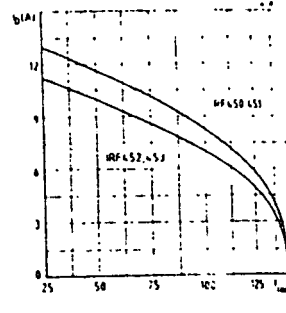
Transconductance



Static drain-source on resistance

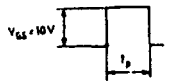


Maximum drain current vs temperature

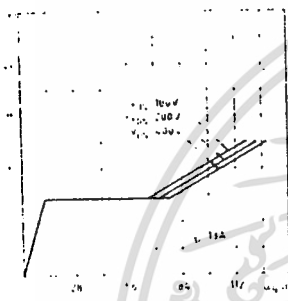


Clamped inductive

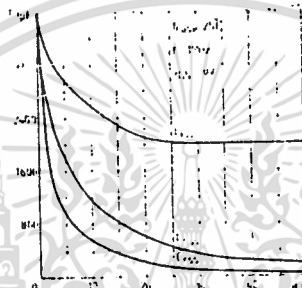
VARY  $I_p$  TO OBTAIN REQUIRED PEAK  $I_p$



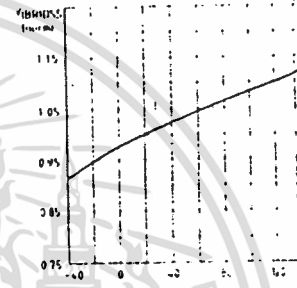
Gate charge vs gate-source voltage



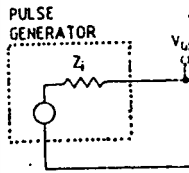
Capacitance variation



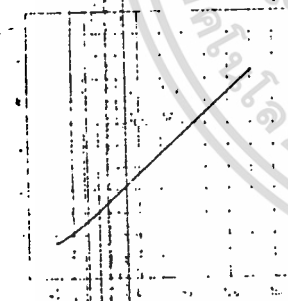
Normalized breakdown voltage vs temperature



Switching times test



Normalized on resistance vs temperature



Source-drain diode forward characteristics



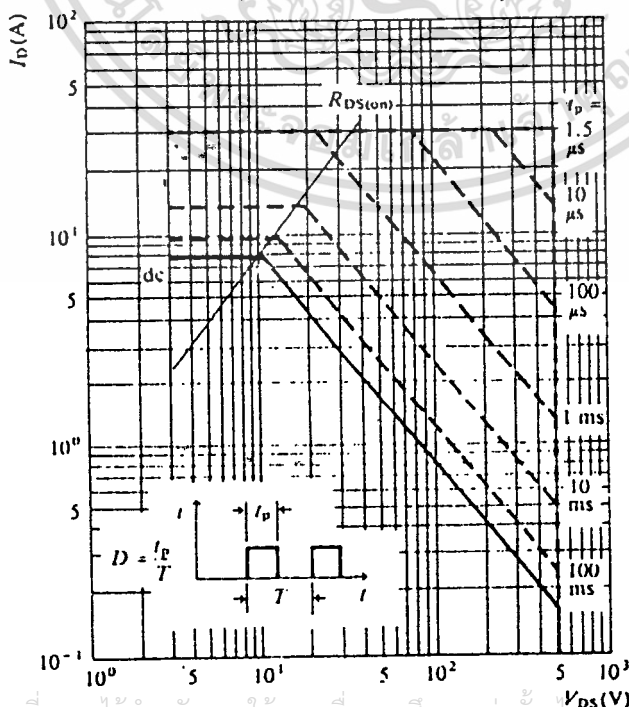
ทรานซิสเตอร์เป็นค่าพารามิเตอร์ที่สำคัญ สำหรับอุปกรณ์ที่ทำงานในย่านแอกทีฟ หรือย่านกระแสคงที่ หาได้จากกราฟการเปลี่ยนแปลงของกระแสตรงต่อการเปลี่ยนแปลงของแรงดันเกต ( $g_{fs} = dI_D / dV_{GS}$ ) ค่าทรานคอนคัก แทนที่จะเปลี่ยนแปลงกับสภาวะการทำงานดังแสดงในรูป 3.3.4 ค่าของ  $g_{fs}$  หาได้จากส่วน active ของ V - I CURVE การออกแบบให้สั้นในเพียงช่วงของการ on และ off เท่านั้น ค่าทรานคอนคัก แทนข้มักจะไม่ได้ใช้ สังเกตได้จากเมื่ออุปกรณ์ได้สวิชชท์หมดแล้ว ความต้านทานจะทำงานที่ ohmic region ที่แรงดันเกตสูงมาก ที่ย่านนั้นค่าแรงดันเกตสูงมาก ๆ จะทำให้กระแสตรงเปลี่ยนแปลงเพียงเล็กน้อย เพราะความต้านทานสูงมาก จึงเป็นผลให้ค่า  $g_{fs}$  เกือบจะเป็นศูนย์

Threshold voltage

threshold voltage,  $V_{GS(th)}$  เป็นค่าแรงดันเกตที่น้อยที่สุดที่ทำให้เกิดกระแสตรงไหลอยู่ได้

ข้อพิจารณาในการใช้เพาเวอร์มอสเฟส

ย่านการทำงานที่ปลอดภัยสามารถบอกได้ 2 วิธี คือ ช่วงไบอัสข้างหน้า SOA อาจหมายถึง ถึง SOA โดยทั่วไป หรือ switching SOA อีกอย่างเรียกว่า RBSOA



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
**Figure 2.4 Safe operating area  $I_D = f(V_{DS}), D = 0.01, T_{case} = 25^\circ C$**   
 ไม่ว่ากรณีใดๆทางสน อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

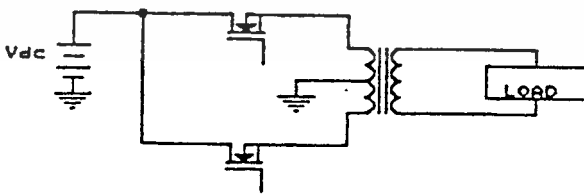
ไว้เพื่อความปลอดภัยในการทำงาน ย่านความปลอดภัยถูกจำกัดค่าตัวแปร 4 ค่า คือ แรงดันพิกัด แตรอน-ซอร์สแสดงขอบเขตด้วยขอบ A ถ้าแรงดันเกินกว่าขอบเขต จะทำให้อุปกรณ์พัง ใต้สิ่งที่ต้องระวัง คือ แรงดันทรานเซียนของแรงดันแตรอน-ซอร์ส ค่ากระแสแตรอนสูงสุดระบุเป็น คาบเวลา แสดงด้วยเส้น D อุปกรณ์ไม่ควรจะนำกระแสที่มีช่วงเวลามากกว่าที่กำหนด พิกัด

3.2 ระบบอินเวอร์เตอร์

อินเวอร์เตอร์เป็นอุปกรณ์ที่ทำหน้าที่เปลี่ยนสัญญาณไฟฟ้าที่เป็นกระแสตรง ให้เป็น สัญญาณไฟฟ้ากระแสสลับ โดยอาศัยอุปกรณ์สวิตชิ่งเป็นสวิตช์ปิดเปิด ในโครงงานนี้ได้ใช้อินเวอร์เตอร์แบบเฟสเดียว ซึ่งจะขอล่าวถึงระบบที่นิยมใช้กันโดยทั่วไป 3 แบบ คือ

อินเวอร์เตอร์แบบพชพูล

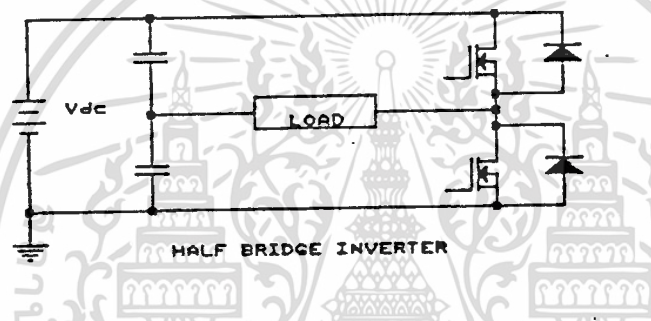
อินเวอร์เตอร์แบบนี้ใช้อุปกรณ์สวิตชิ่งเพียง 2 ตัวเท่านั้นแต่ต้องมีหม้อแปลงเซนเตอร์แทป ( center tap ) อินเวอร์เตอร์แบบนี้เหมาะสำหรับงานที่ไม่ต้องการกำลังสูงนัก เนื่องจากการใช้หม้อแปลงเซนเตอร์แทปจะทำให้มีสไปค์โวลล์เตจเกิดขึ้นมาก และข้อเสียอีกแบบหนึ่งของอินเวอร์เตอร์แบบนี้คือ ต้องพันด้านปฐมภูมิให้ขดลวดสองขดที่แบ่งโดยจุดกราวด์มีความสมมาตร ( symmetrical ) กัน ลักษณะของอินเวอร์เตอร์แบบนี้แสดงไว้ ดังรูป



PUSH PULL INVERTER

### อินเวอร์เตอร์แบบฮาล์ฟบริดจ์

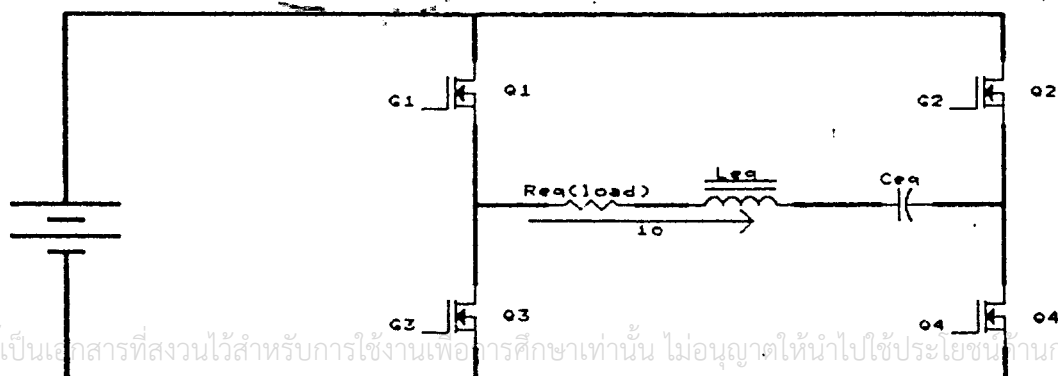
อินเวอร์เตอร์แบบนี้ใช้อุปกรณ์สวิทซ์ซึ่ง 2 ตัว แต่ต้องมีกปาซิเตอร์ 2 ตัว เพื่อแบ่งโวลต์เตจออกมาตกร่อมคาปาซิเตอร์ตัวละครึ่ง ข้อเสียของอินเวอร์เตอร์ชนิดนี้คือค่ากำลังที่ออกมาจะน้อยกว่าแบบพูลบริดจ์และแบบพูลบริดจ์ครึ่งหนึ่ง เนื่องจากค่าโวลต์เตจลดลงครึ่งหนึ่ง ลักษณะของอินเวอร์เตอร์แบบนี้เป็นดังรูป



รูปที่ 3.5.2 รูปแสดงอินเวอร์เตอร์แบบฮาล์ฟบริดจ์

### อินเวอร์เตอร์แบบพูลบริดจ์

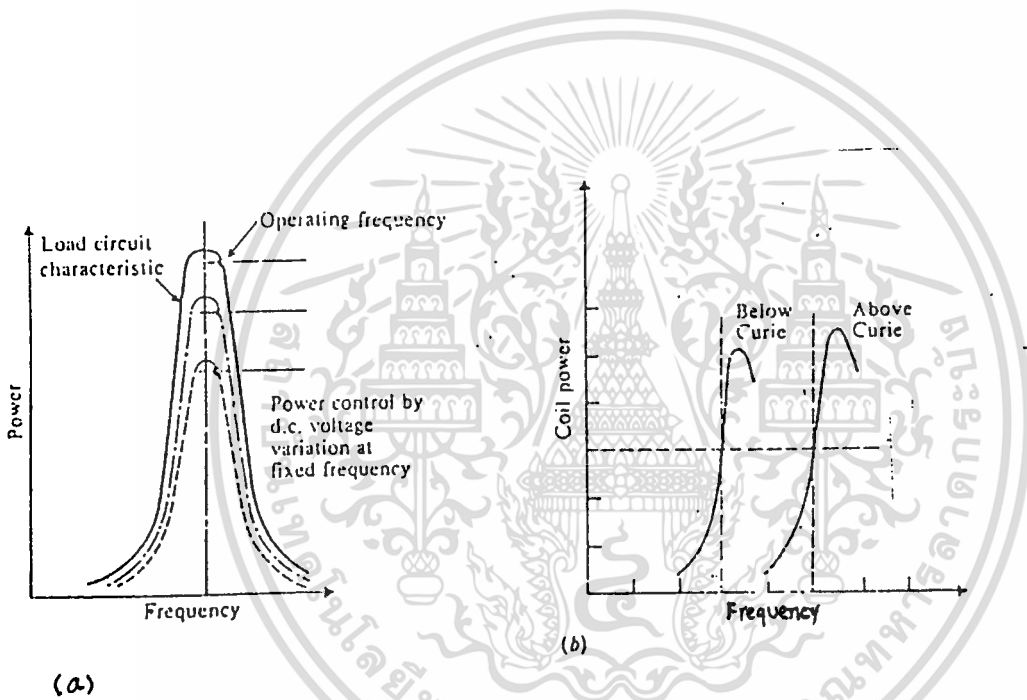
อินเวอร์เตอร์แบบนี้ใช้อุปกรณ์สวิทซ์ซึ่ง 4 ตัว สำหรับอินเวอร์เตอร์เฟสเดียวมีข้อได้เปรียบคือสามารถให้กำลังงานได้สูงจึงเหมาะสำหรับงานที่ต้องการค่ากำลังงานสูง ๆ ลักษณะของอินเวอร์เตอร์แบบนี้แสดงไว้ในรูปข้างล่าง



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ทางการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 3.5.3 รูปแสดงอินเวอร์เตอร์แบบพูลบริดจ์

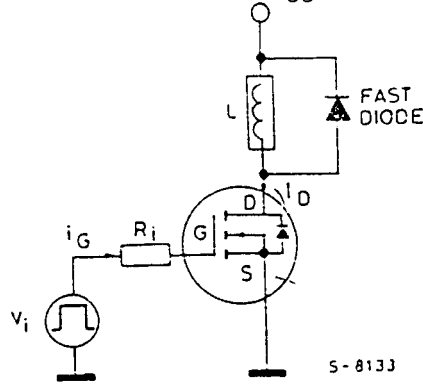
ระบบอินเวอร์เตอร์แบบนี้ เป็นระบบซึ่งใช้ในโรงงานนี้ โดยใช้วงจรขับแบบพัลส์ เทรนทรานส์ฟอร์มเมอร์ มีสับเบเกอร์ป้องกันสไปค์โวลต์เตจ และมีคเอนดิวเซอร์เพื่อป้องกันการลัดวงจรในกิ่งเดียวกัน ซึ่งรายละเอียดจะกล่าวในหัวข้อต่อไป สำหรับการทำงานร่วมกับวงจรเหนี่ยวนำนั้นจะทำงานด้วยระบบโพลครีโซแนนซ์คือ ความถี่ของอินเวอร์เตอร์จะวิ่งเข้าหาความถี่รีโซแนนซ์ตลอดเวลาเพื่อให้เกิดกำลังสูงสุดในวงจร ซึ่งการติดตามความถี่นี้ใช้คอมพิวเตอร์ในการติดตาม



รูป 3.5.4 รูปแสดงการเปลี่ยนแปลงค่ากำลังของระบบโพลครีโซแนนซ์

### 3.3 วงจรขับ (drive circuit)

เพาเวอร์มอสเฟตเป็นอุปกรณ์สวิทช์ซึ่งที่ควบคุมการทำงานโดยแรงดันไฟฟ้า สำหรับชนิด n - channel แล้ว ต้องการแรงดันไฟบวกบ่อนที่ขาเกตและซอร์ส เพื่อขับให้เกิดกระแสไหลที่ขาเดรน ดังแสดงในรูปที่ 3.6



รูปที่ 3.6

ลักษณะการขับเพาเวอร์มอสเฟต

ขาเกตของเพาเวอร์มอสเฟตแยกออกจากขาซอร์สโดยชั้นซิลิคอนไดออกไซด์ ความทฤษฎีนั้น จะต้องไม่มีกระแสไหลเข้าขาเกตเมื่อมีแรงดันตกคร่อมที่ขาเกตและซอร์ส แต่ในทางปฏิบัติมันต้องการกระแสที่จะชาร์จคาปาซิเตอร์ที่ขาเกต และมีกระแสรั่วไหลขนาดนาโนแอมป์ เพื่อจะสร้างแรงดันที่ขาเกต

เมื่อไม่มีแรงดันตกคร่อมมีขาเกตและซอร์ส ค่าอิมพีแดนซ์ที่ขาเกตและซอร์สจะสูงมาก และมีกระแสรั่วไหลเล็กน้อย (น้อยกว่ามิลลิแอมป์) ไหลเข้าขาเกต จนกระทั่งทำให้เกิดแรงดันตกคร่อมเกตซอร์ส เป็นแรงดันอวาลานซ์  $V$

เมื่อมีแรงดันตกคร่อมขาเกต สนามไฟฟ้าจะถูกสร้างขึ้น จนกระทั่งเมื่อแรงดันขาเกตถึงค่าแรงดันรักษาระดับ ( threshold voltage level ) ความต้านทานของ channel จะลดลงจนมีค่าต่ำและมีกระแสไหลที่ขาเกต ค่ากระแสสูงสุดของขาเกตนั้น ขึ้นอยู่กับขนาดของแรงดันที่ขาเกต ดังนั้นค่าอิมพีแดนซ์ภายนอกจึงไม่ใช่การจำกัดกระแส

ขณะ Turn off กระแสที่ขาเกตจะลดลงจนถึงระดับกระแสรั่วไหล ( leakage level ) ซึ่งเกิดขึ้นเมื่อแรงดันเกตลดลงต่ำกว่าแรงดันรักษาระดับ ( threshol voltage ) ความเร็วในการสวิตช์ หาได้จากความเร็วของแรงดันเกตที่สามารถขึ้นไปถึงแรงดันรักษาระดับ (ในการ turn on ) หรือลดลงต่ำกว่าแรงดันรักษาระดับ (ในการ turn off ) แม้ว่าค่าคาปาซิแตนซ์ระหว่างเกตซอร์สจะเป็นตัวประกอบที่สำคัญ แต่ค่าคาปาซิแตนซ์ระหว่างเกต ยังมีความสำคัญ เนื่องจากผลของปรากฏการณ์มิลเลอร์ ( Miller effect ) ขณะ

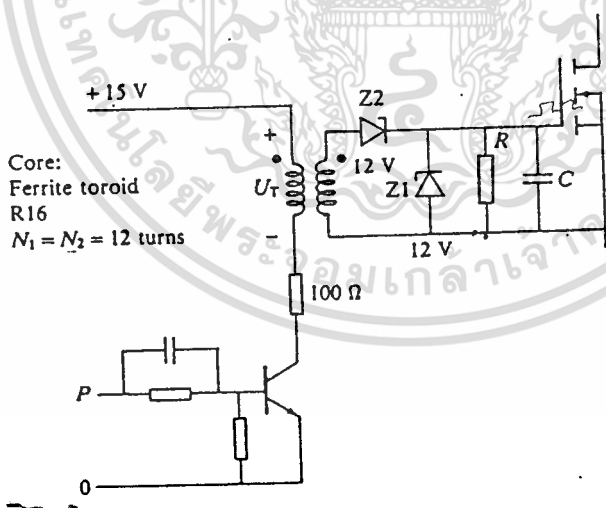
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หากการสวิตชิง ค่าไดนามิกส์คาปาซิแตนซ์ระหว่างเกตเดรน มีผลมากกว่าค่าคาปาซิแตนซ์ระหว่างเกตซอร์ส โดยทั่วไปมิลิเลอ์คาปาซิแตนซ์ที่ต้องการถูกซาร์จในการสวิตชิงมากกว่าคาปาซิแตนซ์ด้านอินพุท

วงจรรีบ ( Gate drive circuit )

หัวข้อที่ผ่านมา ได้กล่าวถึงเงื่อนไขในการ turn on และ turn off ของวงจรรีบ ซึ่งมีวิธีการออกแบบวงจรรีบได้หลายแบบ ขึ้นกับลักษณะที่จะนำไปใช้ ซึ่งในวิทยานิพนธ์ฉบับนี้จะขอล่าถึงแต่แบบที่ได้นำไปใช้ในโครงงานเท่านั้น

พัลส์ทรานฟอร์มเมอร์ ( pulse transformers ) เป็นวงจรรีบ ซึ่งเป็นที่นิยมอย่างมากในการใช้กับมอสเฟตประเภท n - channel โดยที่วงจรรีบจะสามารถแยกกราวด์ของวงจรรีบออกจากวงจรรำลั้งได้ ทำให้สามารถป้องกันการรบกวนซึ่งกันและกัน นอกจากนี้วงจรรีบจะทำงานที่ความถี่สูง ๆ ได้ดี ซึ่งการออกแบบหม้อแปลงมีความสำคัญรูปที่ 3.7 แสดงให้เห็นถึงวงจรรีบแบบพัลส์ทรานฟอร์มเมอร์อย่างง่ายแบบหนึ่ง



รูปที่ 3.7

อย่างไรก็ตาม ถ้าใช้วงจรรีบในการทำงาน หม้อแปลงซึ่งนำมาใช้ก็จะต้องตัวใหญ่ ซึ่งทำให้สิ้นเปลืองและอาจเกิดการอ้อมตัวในแกนเหล็กได้ง่าย ดังนั้นโครงงานนี้จึงได้แนะนำวงจรรีบซึ่งพัฒนามาจากแบบนี้เรียกว่า พัลส์ทรานฟอร์มเมอร์ ( pulse train

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

transformers)

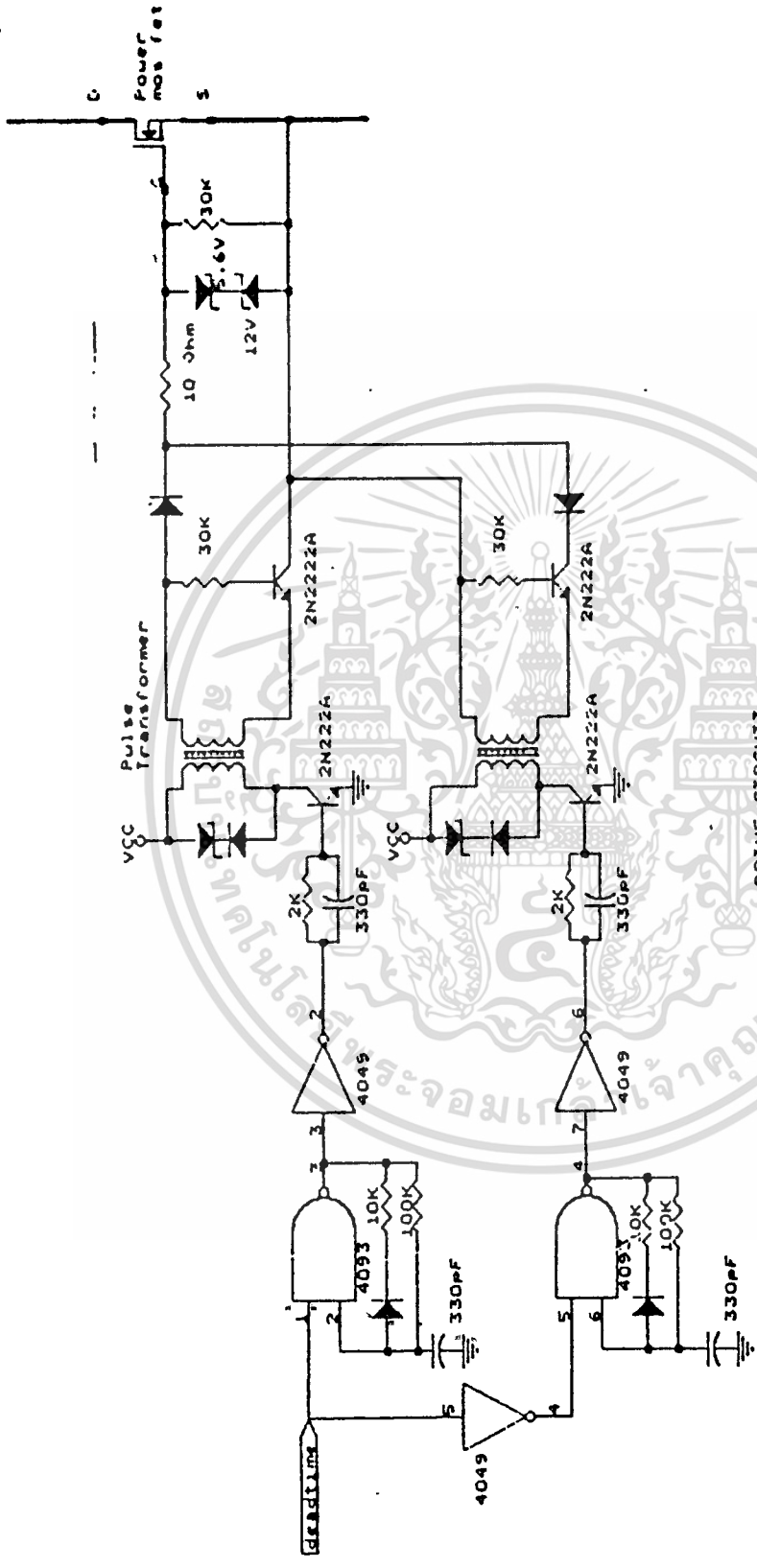
โดยหลักการก็คือ เราพยายามที่จะแบ่งพัลส์หนึ่งลูกนั้นให้กลายเป็นพัลส์ย่อย ๆ เพื่อให้ความถี่สูงขึ้นดังรูป 3.8 ซึ่งทำให้เราสามารถใช้อ้อมแปลงเล็กลงได้ในการส่งผ่านพลังงานตามสมการ  $E = kfnBA$  (เมื่อ  $k$  คือค่าคงที่) ดังนั้นเมื่อความถี่สูงขึ้น พื้นที่หน้าตัด ( $A$ ) ก็สามารถลดลงได้ นั่นคือขนาดหม้อแปลงลดลงนั่นเอง



รูปที่ 3.8

การออกแบบวงจรขับ

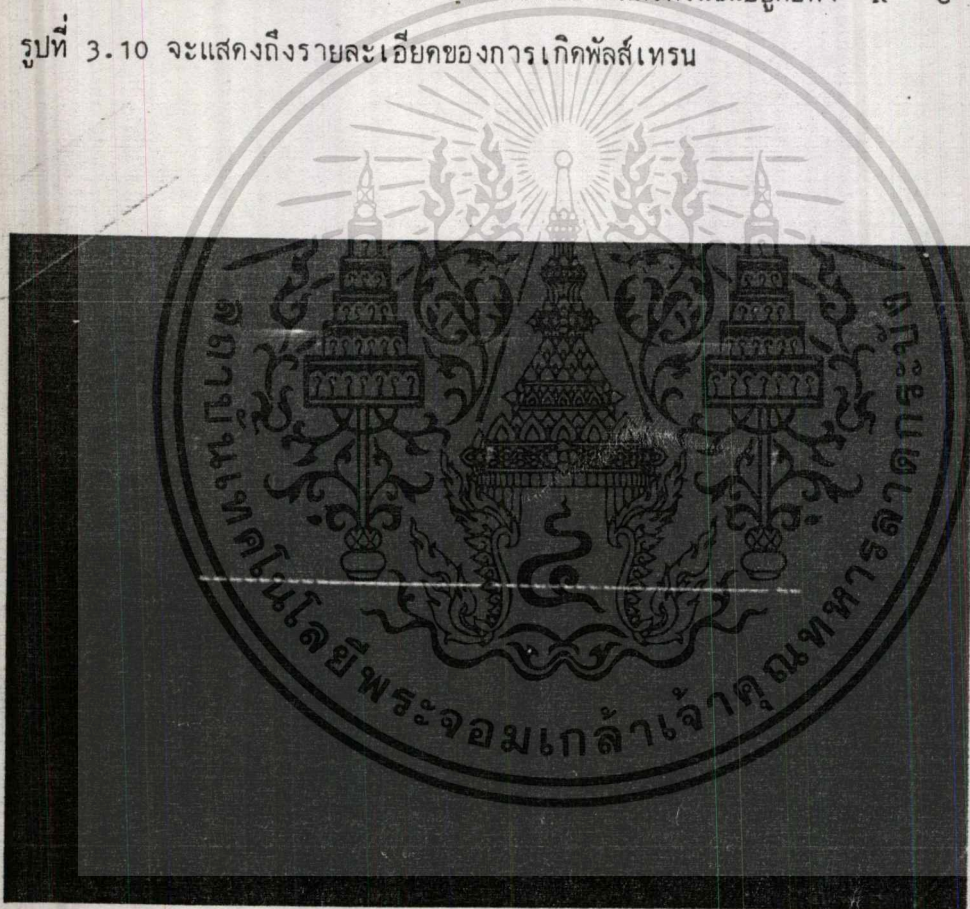
รูปที่ 3.9 แสดงถึงวงจรขับที่ใช้ในโครงการนี้ ซึ่งจะอธิบายการทำงานได้ดังนี้



|                      |                          |
|----------------------|--------------------------|
| REV                  |                          |
| Site Document Number | A                        |
| Date:                | January 1, 1960 Sheet 21 |

รูปที่ 3.9 วงจร drive gate

เมื่อมีพัลส์เข้ามา (มีความถี่เท่ากับความถี่ของการสวิตชิง) ที่ขา 1 จะมีสถานะเป็นลอจิก 0 ดังนั้นไม่ว่าขา 2 จะมีสถานะอย่างไร เอาท์พุทที่ขา 3 ก็จะเป็นลอจิก 1 เสมอ และขณะเดียวกันก็จะมีการชาร์จคาปาซิเตอร์ที่ขา 2 ค่อย จนกระทั่งขา 1 เปลี่ยนสถานะเป็นลอจิก 1 ตอนนั้นจึงขึ้นอยู่กับว่าขา 2 มีสถานะเป็นอะไร ถ้าเป็น 1 เอาท์พุทจะเป็น 0 แต่ถ้าเป็น 0 เอาท์พุทจะออกเป็น 1 ดังนั้นขณะที่ขา 1 มีสถานะเป็นลอจิก 1 นี้เองที่ทำให้คาปาซิเตอร์ทำหน้าที่ออสซิลเลท ( oscillate ) ทำให้เอาท์พุทเปลี่ยนสถานะไปมาตลอดเวลา ทำให้เกิดพัลส์เทรนตามต้องการ ซึ่งความถี่ของพัลส์เทรนขึ้นอยู่กับค่า R C ในวงจร รูปที่ 3.10 จะแสดงถึงรายละเอียดของการเกิดพัลส์เทรน



รูปที่ 3.10

ช่วงที่ 1 คาปาซิเตอร์ถูกชาร์จ

ช่วงที่ 2 คาปาซิเตอร์คิสรชาร์จจนกระทั่งถึงระดับที่ทำให้ขา 2 เปลี่ยนสถานะ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ช่วงที่ 3 เกิดการอสซิลเลทของคาปาซิเตอร์ทำให้ได้พัลส์เทรน

เมื่อได้พัลส์เทรนตามที่ต้องการ ก็นำมาผ่านอินเวอร์เตอร์แอมป์เพื่อไปไบแอสทรานซิสเตอร์ต่อไป ซึ่งขณะที่แรงดันไบแอสเป็นศูนย์ ทรานซิสเตอร์ก็จะ off ดังนั้นแรงดันตกคร่อมขา CE ก็จะเท่ากับ  $V_{cc}$  และแรงดันตกคร่อมขดปฐมภูมิของหม้อแปลงเป็นศูนย์ จนกระทั่งมีพัลส์เทรนเข้ามา ขณะทรานซิสเตอร์ on แรงดันตกคร่อม CE ก็จะเป็นศูนย์ ทำให้แรงดันตกคร่อมขดปฐมภูมิเป็น  $V_{cc}$  จนกระทั่งเมื่อทรานซิสเตอร์ off จะทำให้เกิดผลของ flyback voltage จากค่าความเหนี่ยวนำของหม้อแปลง (  $L di/dt$  ) ทำให้เกิดแรงดันตกคร่อมขดปฐมภูมิเป็น  $-V_{cc}$  ดังนั้นถ้าวัคแรงดันตกคร่อมขา CE ก็จะต้องเป็น  $2 V_{cc}$  รูปที่ 3.11 จะแสดงให้เห็นลักษณะของแรงดันที่จุดต่าง ๆ



รูปที่ 3.11

แรงดันทางปฐมภูมิจะส่งผ่านหม้อแปลงด้วยอัตราส่วน 1:1 ซึ่งมีทั้งแรงดันบวกและลบในช่วงแรงดันบวก  $Tr_2$  จะนำกระแสทำให้แรงดันไปปรากฏที่ GS แต่เมื่อเป็นแรงดันไฟลบทรานซิสเตอร์จะไม่นำกระแส ดังนั้นทำให้แรงดันช่วงลบถูกตัดทิ้ง

สำหรับวงจรส่วนที่สองนั้นเป็นการสร้างแรงดันช่วงลบให้กับขาเกตซอร์ส ซึ่งหลักการก็เหมือนกันเพียงแต่ให้อัตราส่วนหม้อแปลงเป็น 3:1 และนำเอาที่หุหุที่ได้มาบวกกับวงจรส่วนที่ 1 ทำให้แรงดันที่ขาเกตซอร์สเป็นทั้งบวกและลบ คือ  $+V_{cc}$  และ  $-V_{cc} / 3$  จะเห็นว่าเอาที่หุหุขาเกตซอร์สนั้นเป็นพัลส์เทรนอยู่ แต่เมื่อเราก่อมอสเฟตเข้าไปแล้ว คาปาซิเตอร์ภายในมอสเฟตจะกรอง ทำให้พัลส์เทรนหายไปดังแสดงในรูปที่ 3.12



รูปที่ 3.12

### 3.4 สนับเบอร์ (Snubber)

จะถูกกำหนดโดยขนาดแรงดันของแหล่งจ่าย และโอกาสของการเกิดแรงดันสูงสุดที่อาจเกิดขึ้นได้ ที่จะตกคร่อมขั้วเทรนและซอสส์ ถึงแม้ว่าค่าแรงดันนี้จะเป็นแรงดันสไปค์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

(Spikevoltage) ก็ตามก็อาจทำให้เพาเวอร์มอสเฟตเสียหายได้ สำหรับในวงจรแบบลิเนียร์ มักจะใช้ค่าทนแรงดันเท่ากับ  $\sqrt{2}$  เท่าของแรงดันแหล่งจ่ายไฟ แต่ในวงจรสวิชชิ่งแล้วควรจะ เลือกค่าทนแรงดันของเพาเวอร์มอสเฟต (Break down voltage) เท่ากับ 3 เท่า ใน กรณีที่โหลดเป็นอินดักทีฟ โดยที่จะต้องมียังวงจรที่จะทำหน้าที่ดูดกลืนพลังงานอย่างทันที (Turn off) ซึ่งเรียกว่าวงจรสแน็บเบอร์ (Snubber circuit) ที่ประกอบด้วยตัวเก็บประจุและขดลวดขอส้อยอยู่กับ เพาเวอร์มอสเฟตทั้ง 4 ชุดดังแสดงในรูป 3.13



รูปที่ 3.13 วงจรสแน็บเบอร์ที่ต่อรวมในวงจร

เมื่อในการทดลอง เราเลือกขนาดแรงดันแหล่งจ่าย  $\approx 150$  volt ดังนั้น เรา จึงเลือกขนาดแรงดันที่เพาเวอร์มอสเฟตทนได้  $V$  เท่ากับ  $3 \times 150 \approx 500$  V ดังนั้นเราจึงเลือก ใช้เพาเวอร์มอสเฟตเบอร์ MTM 15 N 50 จำนวน 4 ตัว ทำให้มันมี ขนาดกระแสทนได้สูงสุด ตัวละ 5.2 A และกระแสต่อเนื่องทางไฟตรงที่ 15 A

สำหรับการหาค่าคาปาซิเตอร์,  $C_s$  และค่าความต้านทาน,  $R_s$  ในวงจรสแน็บเบอร์ สามารถหาได้จากการพิจารณาขนาดกระแสสูงสุดที่ไหลผ่านเพาเวอร์มอสเฟต และขนาดแรงดัน ที่ย้อนให้กับวงจร โดยที่เมื่อเพาเวอร์มอสเฟตเทอร์นออฟอย่างรวดเร็ว กระแสไหลผ่านโหลด จะไหลผ่านความต้านทาน ,  $R_s$  มาประจุที่คาปาซิเตอร์ ,  $C_s$

$$C_s = I_L t_{off} / 2V_s$$

เมื่อ  $I_L$  = กระแสโหลด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$t_{off}$  = เวลาในการเทิร์นออฟ

$V_s$  = แรงดันของแหล่งจ่าย

แรงดันที่ประจุคาปาซิเตอร์ ในช่วงเทิร์นออฟนี้ จะคายพลังงานออก ผ่านเพาเวอร์มอสเฟต เข้าสู่ความต้านทาน  $R_s$  ในช่วงการเทิร์นออน และเปลี่ยนพลังงานออกเป็นรูปความร้อนออกไป แต่พลังงานที่ประจุนี้ จะต้องคายพลังงานออกหมดเข้าสู่  $R_s$  ในช่วงเวลาการเทิร์นออนด้วย ซึ่งเราจะหาค่า  $R_s$  จาก

$$R_s \leq t_{on} / 3C_s$$

ดังนั้นเมื่อเรากำหนดแรงดันแหล่งจ่ายไฟไว้เท่ากับ 150 V และกระแสสูงสุดมีค่า 15 Amp และเวลาในการเทิร์นออฟเท่ากับ 200 nS

$$\begin{aligned} C_s &= (15A * 0.2\mu s) / 2 * 150V \\ &= \cancel{0.0001} \mu F \\ &= 0.01 \mu F \end{aligned}$$

เมื่อ  $t_{on}$  อาจจะมีค่าต่ำสุดที่อาจเกิดขึ้นเท่ากับ 0 แต่เราจะกำหนดให้เท่ากับ 5 % ของคาบเวลาของพัลส์

$$\begin{aligned} &= 0.05 / 50 \text{ KHz} \\ &= 1 \mu s \end{aligned}$$

$$\begin{aligned} \text{ฉะนั้น } R_s &< (1 \mu s) / (3 * 0.01 \mu F) \\ &< 33.33 \text{ โอห์ม} \end{aligned}$$

ขนาดกำลังงานสะสมใน  $C_s$  ที่คายให้  $R_s$  แปลงพลังงานออกเป็นรูปความร้อนนั้น จะมีค่าเท่ากับ  $P$  โดยที่

$$\begin{aligned} P &= I^2 * R \\ &= (3 * V^2 * C_s) / 2T \end{aligned}$$

$$\text{โดยที่ } P = (3 (150V)^2 * 0.01 \mu F) / 2(1/50KHz)$$

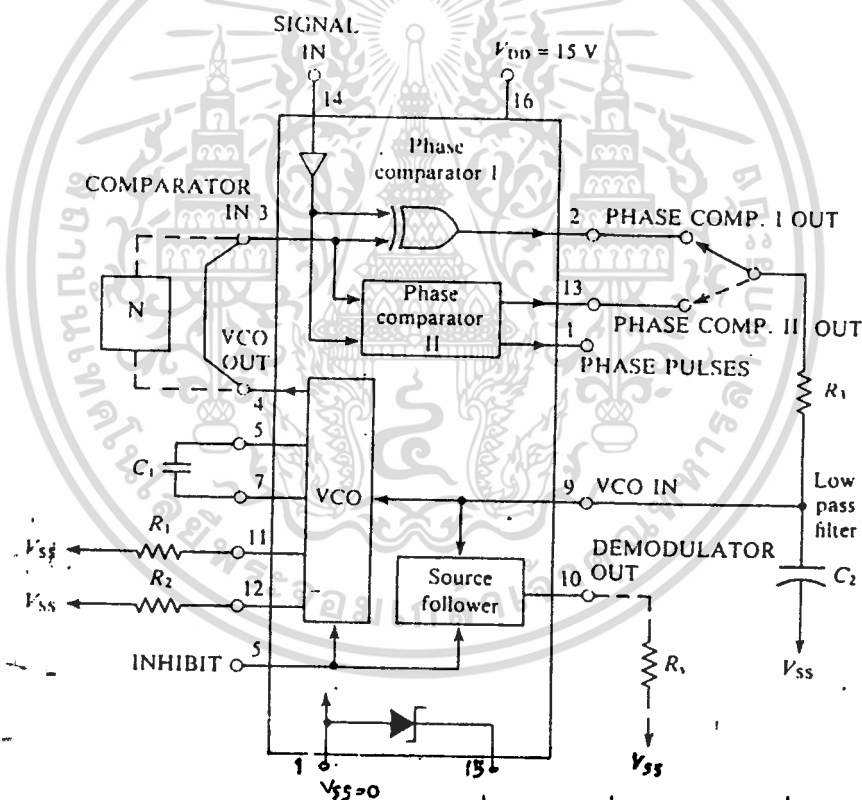
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

= 16.875 Watts

เราได้เลือกใช้ความต้านทาน 250 โอห์ม ขนาด 10 วัตต์ 9 ตัว ขนาดกัน  
 ดังนั้นจึงสามารถที่จะทนวัตต์ได้ถึง 90 วัตต์ มีความต้านทาน 27.7 โอห์ม

### 3.5 วงจรวีทูเอฟ (V/F)

หลังจากที่ที่ทูเอฟแปลงสัญญาณดิจิตอลเป็นสัญญาณอะนาลอกแล้ว จะได้ระดับแรงดัน  
 ต่าง ๆ กันไป ขึ้นอยู่กับข้อมูลที่ออกมาจาก คอมพิวเตอร์ ดังนั้น วงจรวีทูเอฟจะเป็นส่วนสำคัญ  
 ที่จะแปลงระดับแรงดันเหล่านี้ให้เป็นความถี่ที่ต้องการ โครงการนี้ได้เลือกใช้ ไอซี 4046 ซึ่ง  
 เป็นเฟสล็อกคัลป์ แต่เรานำเฉพาะส่วน VCO มาใช้ดังรูปที่ 3.14 โดยต่อเป็นวงจรดังรูป  
 ที่ 3.15



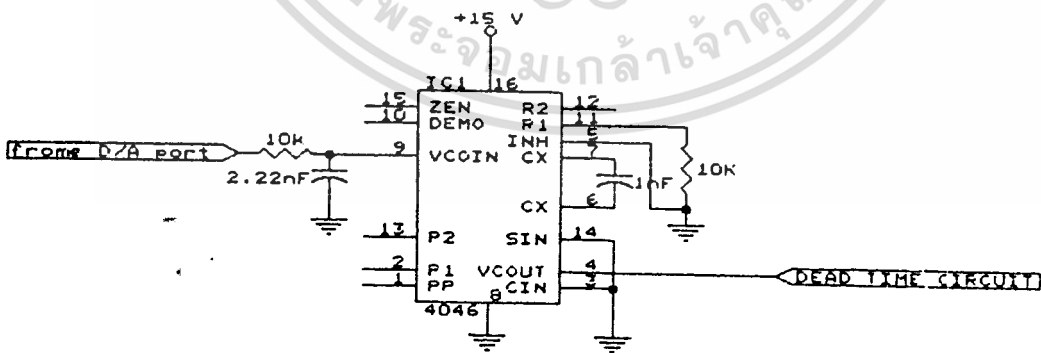
จะเป็นตัวสำคัญในการกำหนดความถี่ของวงจรที่ระดับแรงดันหนึ่ง ๆ เนื่อง  
 จากมันจะเป็นตัวออสซิลเลทความถี่ พิจารณา  $R_1$  และ  $C_1$  ร่วมกันจะมีผล  
 ต่อการกำหนดช่วงความถี่ที่ใช้งานและ  $R_2$  เป็นตัวกำหนดความถี่ออฟเซตที่ต้องการ  
 ซึ่งการกำหนดค่า  $C_1$ ,  $R_1$  และ  $R_2$  มีความสำคัญมากเนื่องจากว่า  
 จะเป็นการกำหนดช่วงความถี่ใช้งานที่เหมาะสม

จากรูปที่ 3.16  $f_o$  คือ ความถี่ที่แรงดัน  $V_{os}/2$

$\alpha f$  คือช่วงของความถี่ ซึ่งหาได้จาก  $f_{max} - f_{min}$   
 ถ้าหากเรารู้ค่า  $f_o$  และ  $\alpha f_L$  แล้ว เราจะสามารถนำมากำหนดค่า  
 ของ  $C_1$ ,  $R_1$  และ  $R_2$  ได้ดังนี้คือ  
 หา  $f_{min}$  จาก  $f_o - f_L$   
 นำค่า  $f_{min}$  ไปเปิดกราฟรูป 5 ( b ) เพื่อหาค่า  $R_1$  และ  $C_1$   
 คำนวณค่า  $f_{max} / f_{min}$  จากสมการ

นำค่า  $f_{max} / f_{min}$  ไปเปิดตาราง 5 ( c ) เพื่อหาอัตราส่วน  $R_1/R_2$   
 จากนั้นก็จะหาค่า  $R_1$  ออกมา  
 เมื่อเราได้ค่า  $C_1$ ,  $R_1$  และ  $R_2$  ออกมาแล้วเราก็จะได้ช่วง  
 ของความถี่ที่เราต้องการ  
วงจรที่ใช้ในโครงการ

วงจรงี้รูปที่ 3.17 จะเป็นวงจรที่ใช้งานจริงซึ่งมีส่วนต่าง ๆ ดังนี้



VOLTAGE TO FREQUENCY CIRCUIT

รูปที่ 3.17

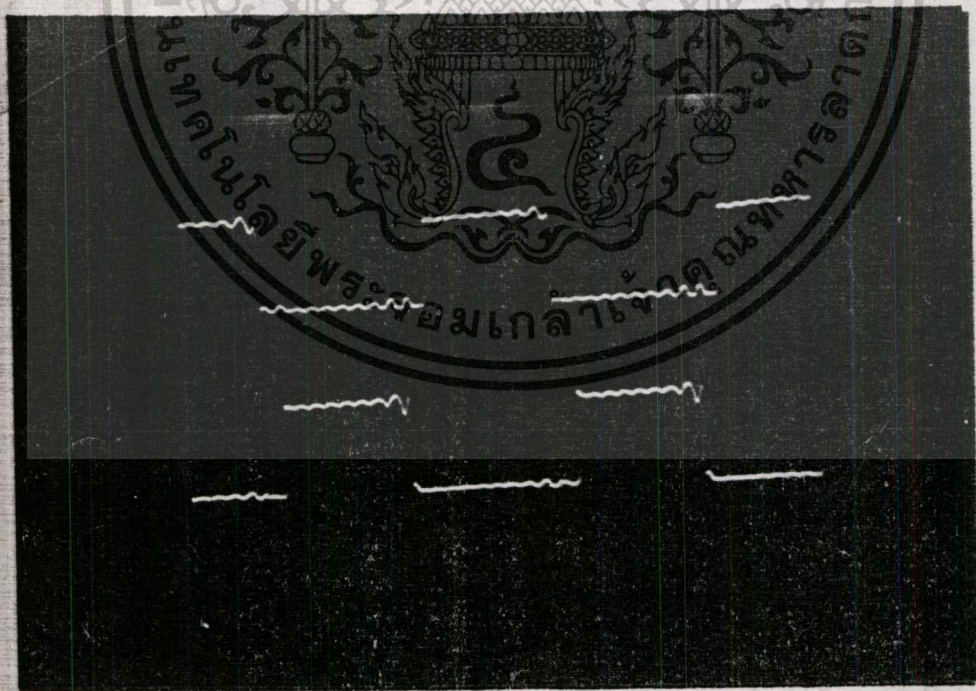
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
 ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ส่วนสร้างสัญญาณ square wave ซึ่งสร้างจาก 4046 เมื่อได้สัญญาณแล้ว ก็จะนำมามีอินทรีเกรตในไอซีตัวที่สอง จะได้สัญญาณสามเหลี่ยมออกมาจากนั้นก็ขยายโดย ไอซีตัวที่ 3 แล้วก็นำมาเข้าวงจรเปรียบเทียบกับ ไอซีตัวที่ 4 ( LM311 ) หลังจากนั้น เอาต์พุตที่ได้จะนำไปเข้าวงจรเทคโมมิ

### 3.6 วงจรซีกเนื้อพัลส์

วงจรมีหน้าที่ตัดขนาดความกว้างของพัลส์ให้เล็กลงเล็กน้อย เพื่อป้องกันการลัดวงจรในระหว่างมอสเฟสในแนวตั้งเดียวกัน เนื่องจากในทางปฏิบัติแล้วมอสเฟสจะมีเวลาหน่วงเนื่องจากการสวิตชิ่งอยู่ค่าหนึ่ง ซึ่งเมื่อพิจารณาในด้านการใช้งานให้ปลอดภัยแล้วก็จะจำเป็นอยู่มาก แต่อย่างไรก็ตามการพิจารณาขนาดพัลส์ที่จะตัดออกนั้น จะขึ้นอยู่กับว่าเอาต์พุตของวงจรอินเวอร์เตอร์จะยังคงเป็นรูปสัญญาณแบบ 2 ระดับอีกด้วย

การทำงานของวงจรมีใช้หลักการของการลัดและคาบประจุของตัวเก็บประจุ แล้วนำช่วงเวลากระทำทางลอจิก จะให้เอาต์พุตเป็นพัลส์ที่เหมือนกับพัลส์ที่เข้าหุ้บประการ แต่จะแตกต่างที่เนื้อพัลส์บริเวณขอบขาขึ้นของพัลส์ขาเข้าจะถูกตัดออกไปเล็กน้อยดังรูป



รูปที่ 3.18 volt ในวงจร

จากรูปพัลส์ที่แสดงจะอธิบายหลักการของการซิงค์เนื้อพัลส์ได้ คือตัวเก็บประจุ จะช่วยทำให้ศักย์ที่ขาอินพุทของอินเวอร์เตอร์ตัวที่ 2 ยังคงสถานะเป็น " high " อยู่ได้อีกช่วงเวลาหนึ่ง ซึ่งช่วงเวลานี้ก็คือช่วงเวลาเนื้อพัลส์ (ดูรูปที่ 3 ของรูป 3.19 ) จะถูกกำจัดออกไปนั่นเองสำหรับไดโอดทำหน้าที่บล็อกเพื่อให้ตัวเก็บประจุคายประจุให้แก่ตัวต้านทานเท่านั้น ดังนั้นจากหลักการนี้การกำหนดขนาดเนื้อพัลส์ที่จะถูกกำจัดออกจึงขึ้นอยู่กับ ขนาดของตัวเก็บประจุนั่นเอง โดยพิจารณาตัวต้านทาน และไอซีที่ใช้เป็นอินเวอร์เตอร์ ประกอบด้วยรูปวงจรทั้งหมดจะแสดงดังในรูป



รูปที่ 3.19 วงจร dead time



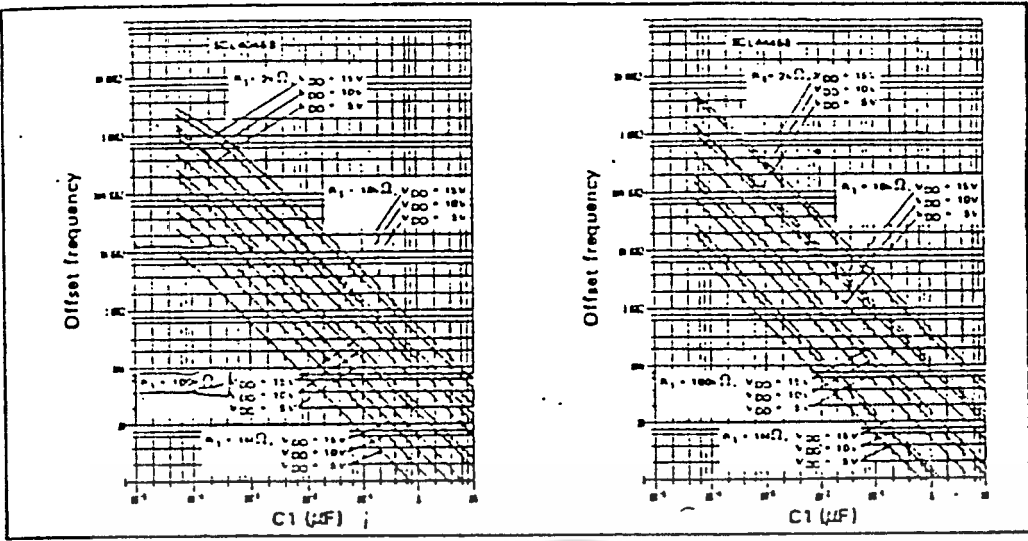


Fig. 5 (b) Typical frequency offset vs C1 (VCO<sub>IN</sub> = V<sub>SS</sub>, T<sub>A</sub> = 25°C).

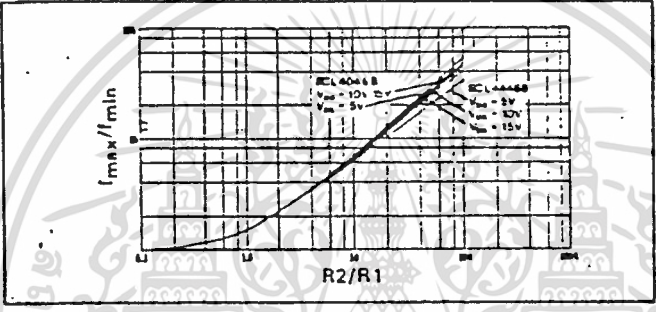


Fig. 5 (c) Typical  $f_{max}/f_{min}$  vs R2/R1

รูปที่ 3.20 กราฟหาค่า  $R_1, R_2, C_1$

รูปที่ 4

VOLTAGE SOURCE SERIES RESONANT INVERTER

รูปที่ 4.1

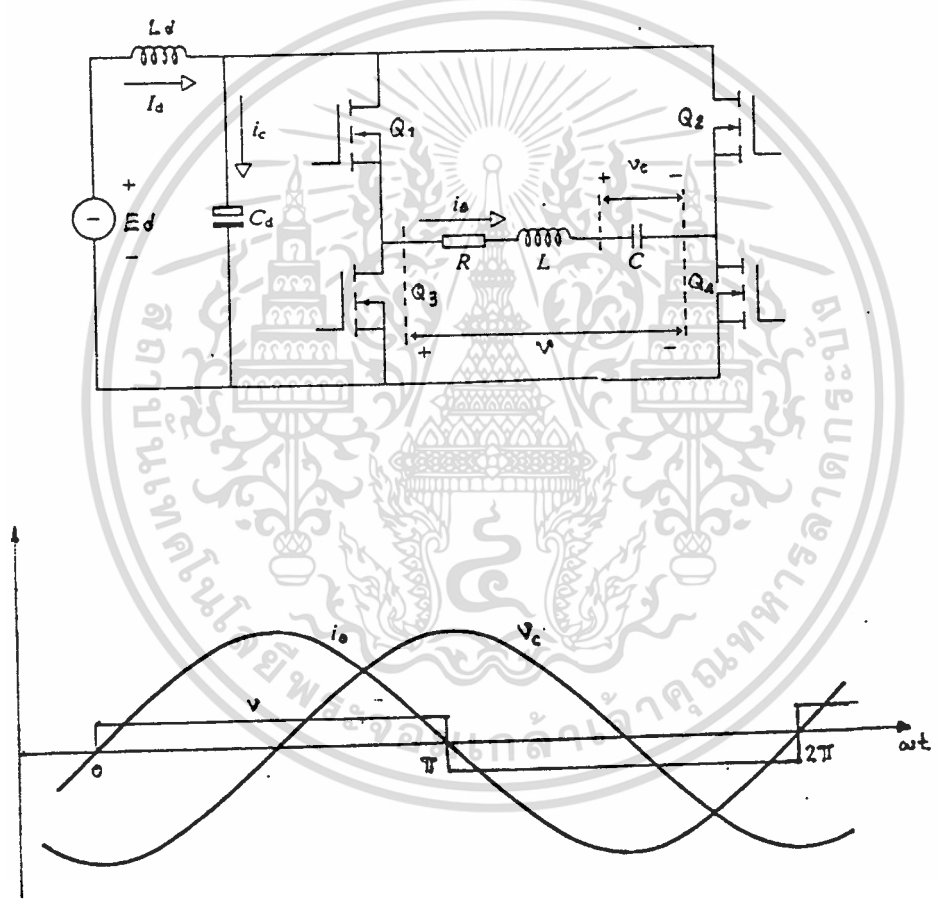
INVERTER แบบที่จะสร้างสัญญาณ out put voltage เป็น square wave ที่ความถี่สูงประมาณ 1-1000 KHz เพื่อจ่ายให้กับ RLC underdamped series load ( $R^2 < 4L/C$ ) กระแสที่ไหลผ่านอุปกรณ์ SWITCHING และ LOAD จะตกลงเป็นศูนย์

เมื่อเกิด คุณสมบัติของวงจร ถ้าส่วนของ switching เป็น thyristor อาจพูดได้ว่าใน case of underdamped กระแสที่ไหล RLC series circuit จะมี wave form ใกล้เคียงกับ sine wave จะทำให้เกิดกำลังปรากฏในส่วนของ R เท่ากับ  $i^2R$  เป็นพลังงานความร้อน

4.2 การวิเคราะห์และคุณน้าของวงจร

ในโครงงานนี้เราได้ใช้ POWER MOSFET # MTH 15N50 4 ตัว เป็นอุปกรณ์ SWITCHING คือเป็นแบบ full bridge series resonant inverter ดังตาม รูป 4.1 ซึ่ง power mosfet นี้สามารถทำงานที่ความถี่สูงกว่าอุปกรณ์ thyristor มาก และ firing angle ความถี่ resonant สูงสุดจะถูกจำกัดด้วย turn off time ของ power mosfet เมื่อ  $Q_1, Q_4$  triggate จะทำให้ positive resonant current ไหลผ่าน  $Q_1, load, Q_4$  และ supply เมื่อกระแสส่วนช่วงลบตกลงเป็นศูนย์จะต้อง trig gate  $Q_2, Q_3$  ให้มีความถี่ที่ จะทำให้ negative resonant current ไหลผ่าน  $Q_2, load, Q_3$  และ supply เมื่อกระแสส่วนช่วงลบตกลงเป็นศูนย์ก็ trig gate ให้  $Q_1, Q_4$  ใหม่อีก หนึ่งรอบเวียนอย่างนี้ไปเรื่อยๆ จะทำให้ได้กระแสที่ไหลผ่าน load มีทั้งช่วงบวก

เอกสารนี้เป็นลิขสิทธิ์ส่วนบุคคลห้ามเผยแพร่โดยไม่ได้รับอนุญาต  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดลอกเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้  
ภาควิชาวิศวกรรมไฟฟ้า ภาควิชาวิศวกรรมเครื่องกล ภาควิชาวิศวกรรมโยธา ภาควิชาวิศวกรรมอุตสาหการ ภาควิชาวิศวกรรมคอมพิวเตอร์ ภาควิชาวิศวกรรมสิ่งแวดล้อม ภาควิชาวิศวกรรมพลังงาน ภาควิชาวิศวกรรมวัสดุ ภาควิชาวิศวกรรมเคมี ภาควิชาวิศวกรรมเหมืองแร่ ภาควิชาวิศวกรรมปิโตรเลียม ภาควิชาวิศวกรรมโยธา ภาควิชาวิศวกรรมเครื่องกล ภาควิชาวิศวกรรมอุตสาหการ ภาควิชาวิศวกรรมคอมพิวเตอร์ ภาควิชาวิศวกรรมสิ่งแวดล้อม ภาควิชาวิศวกรรมพลังงาน ภาควิชาวิศวกรรมวัสดุ ภาควิชาวิศวกรรมเคมี ภาควิชาวิศวกรรมเหมืองแร่ ภาควิชาวิศวกรรมปิโตรเลียม



รูปที่ 1.1 แสดง CIRCUIT และ WAVEFORM ของ RESONANT INVERTER

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เมื่อ  $t = 0$  หนึ่งซีก เริ่มเมื่อ  $Q_1, Q_4$  ถูก TRIG GATE กระแส RESONANT หนึ่งซีก ใน  $Q_1, Q_4$  และ SUPPLY เริ่ม INSTANTANEOUS CURRENT หนึ่งซีก

$$L \frac{di_o}{dt} + Ri_o + \frac{1}{C} \int i_o dt + V_c(t=0) = V_s \quad \text{--- (2)}$$

INITIAL CONDITIONS  $i(0) = 0, V_c(t=0) = -V_c$

Take Laplace

$$L(sI(s) - i(0)) + R(sI(s)) + \frac{1}{Cs} I(s) - \frac{V_c}{s} = \frac{V_s}{s}$$

$$\left( Ls + R + \frac{1}{Cs} \right) I(s) = \frac{V_s + V_c}{s}$$

Take inverse

$$I(s) = \frac{V_s + V_c}{L} \frac{1}{s^2 + \frac{R}{L}s + \frac{1}{LC}}$$

Let  $\omega_n = \sqrt{\frac{1}{LC}}$  and  $\zeta = \frac{R}{2L\omega_n}$

$$I(s) = \frac{(V_s + V_c)}{L} \frac{1}{(s^2 + 2\zeta\omega_n s + \omega_n^2)}$$

$$= \frac{(V_s + V_c)}{L} \frac{1}{(s^2 + 2\zeta\omega_n s + \omega_n^2)}$$

$$= \frac{(V_s + V_c)}{L} \frac{1}{(s + \zeta\omega_n)^2 + \omega_n^2 (1 - \zeta^2)}$$

เอกสารนี้เป็นเอกสารที่สวอนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปด (S1 S W<sub>n</sub>)<sup>2</sup> และ ω<sub>n</sub><sup>2</sup> อ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

OVERLAP CAPLACE ได้

$$i_0(t) = (V_s + V_c) e^{-\delta \omega_n t} \sin \omega_r t \quad (3)$$

$\omega_r L$

เมื่อ  $\omega_n = \frac{1}{\sqrt{LC}}$

$$\delta = \frac{R}{2L\omega_n} = \frac{R}{2} \sqrt{C/L}$$

$$\omega_r = \omega_n \sqrt{1 - \delta^2}$$

$$\alpha = \frac{R}{2L}$$

เมื่อ  $i_0(t) = (V_s + V_c) e^{-\alpha t} \sin \omega_r t$

$$V_c(t) = \int_0^t i_0(t) dt \quad V_c(t=0) = 0$$

$$= (V_s + V_c) e^{-\alpha t} (\alpha \sin \omega_r t + \omega_r \cos \omega_r t) + V_s \quad (4)$$

$\omega_r$

Lower mosfet  $Q_1, Q_2$  Turn off ที่  $t_1 = \pi/\omega_r$  เมื่อ  $i_0(t)$  ลดมาเป็นศูนย์  
แล้วจะหา

$$V_{c1} = V_c(t=t_1) = (V_s + V_c) e^{-\alpha \pi/\omega_r} + V_s \quad (5)$$

กรณีที่ 2 เมื่อเริ่มเมื่อ  $i_1(t)$  ลดเป็นศูนย์ และ  $Q_2, Q_3$  ถูก Trig gate

เมื่อเริ่มจะหา (Reverse Resonant) Current ในพ่วง  $Q_3, \text{load}, Q_4$  และ  
ไม่ว่ากรณีใดก็ตาม อีกทั้งหมดมีให้ตั้งแปลงเมื่อห และต่ออ้างอิงถึงจุดของเอกสารทุกครั้งที่มีการนำไปใช้  
comely นาน Instantaneous current ได้โดย

$$L \frac{di_1}{dt} + Ri_1 + \frac{1}{C} \int i_1 dt = V_s \cos(\omega t + \theta) = -V_s \sin \omega t$$

การหาค่าคงที่การอินทิเกรตที่ 1 ที่ Initial Condition  $i_2(t=0) = 0$

$$V_s \cos(\omega t) = V_{s1} \sin \omega t$$

ได้

$$i_1(t) = (V_{s1} + V_{s2}) e^{-\alpha t} \sin \omega_p t \quad \dots (6)$$

ที่

$$V_{s1} = (V_{s1} + V_{s2}) e^{-\alpha t} (\alpha \sin \omega_p t + \omega_p \cos \omega_p t) = V_{s2} \quad \dots (7)$$

เมื่อ  $t = 0$  :  $i_1(0) = 0$  ที่  $t_1 = \pi/\omega_p$   $i_1(t)$  จะลดลง เป็นศูนย์ จะได้

$$V_{s1} = V_{s2} e^{-\alpha t_1} = (V_{s1} + V_{s2}) e^{-\alpha \pi/\omega_p} + V_{s2} \quad \dots (8)$$

เมื่อ  $V_{s1} = -V_{s2}$  จากสมการที่ 8 และ 9

$$V_{s1} = -V_{s2} = V_{s2} e^{\alpha \pi/\omega_p} \quad \dots (9)$$

$\alpha \pi/\omega_p$

สมการ (9) ให้  $i_1(t)$  ที่  $t_1 = \pi/\omega_p$  มีค่า maximum สามารถหาได้จากเงื่อนไข

$$\frac{di_1}{dt} = 0$$

$$\omega_p e^{-\alpha t_1} (\alpha \cos \omega_p t_1 - \alpha e^{-\alpha t_1} \sin \omega_p t_1) = 0$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และตัวอ้างอิงอื่น ๆ ของเอกสารทุกฉบับ (10) ใช้

peak load current ( $I_{rL}$ ) =  $i_o(t = t_m)$

$$= \frac{V_s + V_c}{\omega_r L} e^{-\alpha t_m} \sin \omega_r t_m \quad (11)$$

Average Power mosfet Current ( $I_a$ ): เป็นกระแสเฉลี่ยที่ไหลผ่าน mosfet แต่ละ BRANCH

$$I_a = f_r \int_0^{\pi/\omega_r} i_o(t) dt$$

$$= f_r \frac{(V_s + V_c)}{\omega_r L} \left[ \frac{\omega_r^2}{(\omega_r^2 + \alpha^2)} e^{-\alpha t} \cos \omega_r t - \frac{\alpha}{\omega_r^2} e^{-\alpha t} \sin \omega_r t \right]_0^{\pi/\omega_r}$$

$$= C f_r (V_s + V_c) (e^{-\alpha \pi/\omega_r} + 1) \quad (12)$$

RMS Power mosfet Current :  $I_q$  (rms)

$$I_q (rms) = \left[ f_r \int_0^{\pi/\omega_r} i_o^2(t) dt \right]^{1/2}$$

$$= \sqrt{f_r} \frac{(V_s + V_c)}{\omega_r L} \left[ \frac{1 - e^{-2\alpha \pi/\omega_r}}{2\alpha} - \frac{2\alpha \pi/\omega_r}{\alpha(\omega_r^2 + \alpha^2)} (e^{-\alpha \pi/\omega_r} + 1) \right]^{1/2} \quad (13)$$

เอกสารนี้เป็นเอกสารที่  $\sqrt{f_r} \frac{(V_s + V_c)}{\omega_r L}$  ใช้ค่า  $(1 - e^{-2\alpha \pi/\omega_r})$  นั้น ไม่นอนุ  $2(e^{-2\alpha \pi/\omega_r} - 1)$  นั้นตามการค้ำ  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

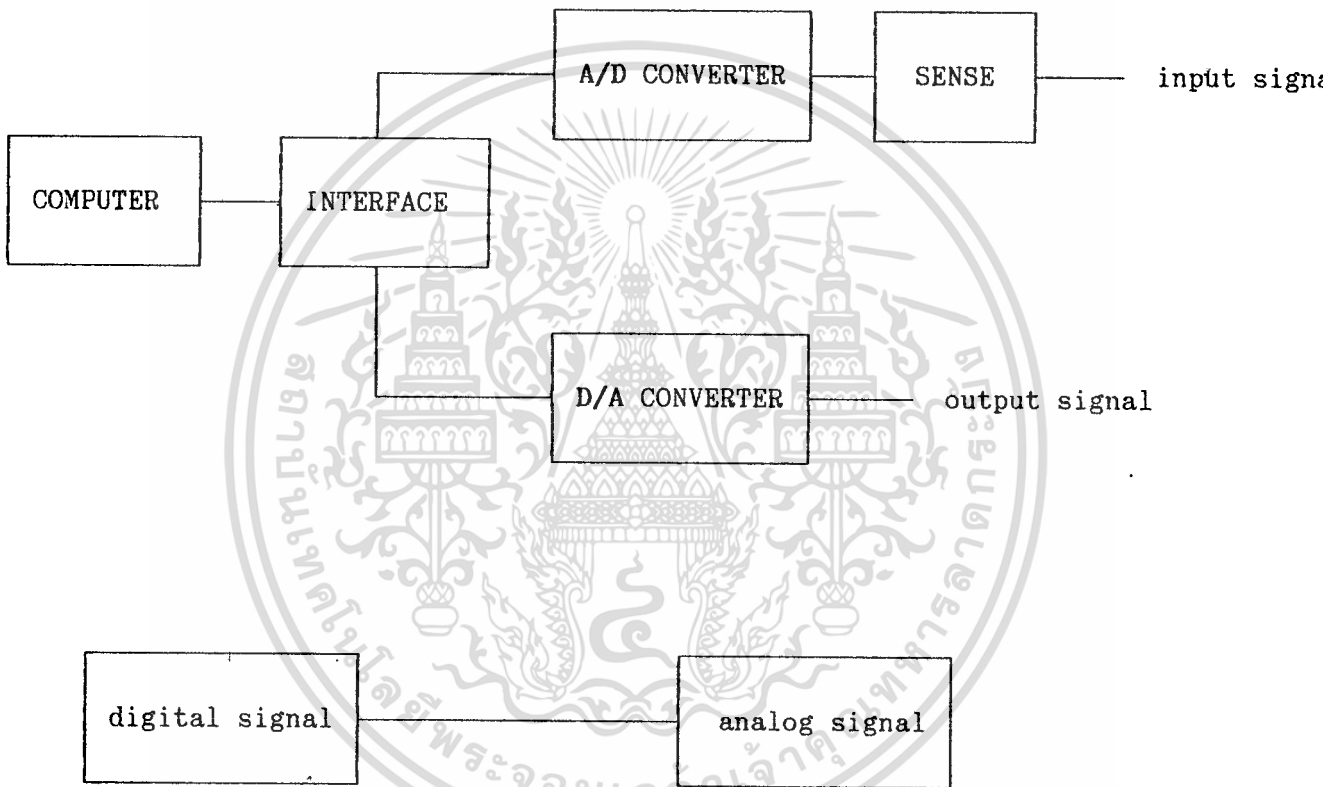


# การควบคุม

ในบทนี้จะกล่าวถึงการควบคุมด้วยไมโครคอมพิวเตอร์หรือ pc โดยใช้กระแสและความถี่ในการควบคุม โดยมีจุดประสงค์คือ

1. ให้กระแสสูงสุดตลอดเวลา
2. ให้ความถี่ที่จุด resonance

คุณสมบัติของวงจร resonance ได้กล่าวมาแล้วในตอนต้น ดังนั้นในส่วนนี้จะแบ่งออกเป็นสองส่วนคือ interface และ program



blockdiagram ของ interface IBM-PC

จาก blockdiagram ไมโครคอมพิวเตอร์จะติดต่อกับสัญญาณอินพุต เข้าที่พู่ ซึ่งเป็นสัญญาณอนาลอก ผ่านกระบวนการเปลี่ยนแปลงเป็นข้อมูลหรือสัญญาณดิจิทัล เพื่อควบคุมการทำงานของอินเวอร์เตอร์ สำหรับการทํางานของแต่ละส่วนสามารถอธิบายได้ดังต่อไปนี้

1. การออกแบบ interface IBM-PC
2. การแปลงผันสัญญาณอนาลอกเป็นดิจิทัลสำหรับ IBM-PC
3. การแปลงผันสัญญาณดิจิทัลเป็นอนาลอกสำหรับ IBM-PC

4. การ FLOWCHART และการประมวลผล งานเพื่อการศึกษาเท่านั้น ไม่นอนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ถ้าได้รับรายละเอียดต่างจากจะได้อีกส่วนต่อไป

### 1. การออกแบบ interface IBM-PC

1.1 การจัดแอดเดรสสำหรับ I/O-POINT ภายในไมโครโปรเซสเซอร์ 8086 หรือ 8088 จะใช้กับพอร์ทัลอินพุต/เอาต์พุตอยู่ที่ตั้งแต่ 65,536 หรือ 64k แอดเดรส ในขณะที่จะช่วยความจำมีอยู่ 1 Mbyte จากแอดเดรสทั้งหมด 16 ไบนารีคือ A0 - A15 แต่สำหรับใน IBM-PC จะใช้แอดเดรสสำหรับพอร์ทัลเฉพาะ 10 ไบนารีคือ A0 - A9 เท่านั้น ดังนั้นในข้างถึงแอดเดรสของพอร์ทัลของอุปกรณ์หรือชิพพอร์ทัลต่างๆที่ใช้ร่วมกับ IBM-PC จึงใช้แอดเดรสเพียง 10 ไบนารี

เมื่อมีแอดเดรสเพียง 10 ไบนารีก็สามารถอ้างพอร์ทัลได้สูงสุด 1,024 พอร์ทัล ( $2^{10} = 1024$ ) จากจำนวน 64k พอร์ทัล นอกจากนี้ในการอ่านข้อมูลจากพอร์ทัลของ IBM-PC ข้อมูลในบิต A9 จะถูกจัดค่านำหน้าในการแบ่งพอร์ทัลทั้ง 1024 พอร์ทัลออกเป็นสองส่วน ส่วนละ 512 พอร์ทัลคือ ถ้าข้อมูลในพอร์ทัล A9 เป็น "0" แล้วเราจะทำการอ่านข้อมูลได้เฉพาะจาก 8253-5 , 8237-5 หรือ 8259 เท่านั้น แต่ถ้าข้อมูลในพอร์ทัล A9 เป็น "1" ก็จะทำการอ่านข้อมูลได้เฉพาะจากพอร์ทัลบนการ์ดต่างๆบนสล็อตเท่านั้น

งานที่ใช้พอร์ทัล 2F0H - 2F3H

| A <sub>9</sub> | A <sub>8</sub> | A <sub>7</sub> | A <sub>6</sub> | A <sub>5</sub> | A <sub>4</sub> | A <sub>3</sub> | A <sub>2</sub> | A <sub>1</sub> | A <sub>0</sub> |
|----------------|----------------|----------------|----------------|----------------|----------------|----------------|----------------|----------------|----------------|
| 1              | 0              | 1              | 1              | 1              | 1              | 0              | 0              | x              | x              |

### 1.2 สัญญาณต่างๆบนสล็อต IBM-PC

CLK (clock ; ขา B20)

ขาสัญญาณนี้เป็นเอาต์พุตให้ความถี่ออกมาประมาณ 4.77 Mhz ( $14.31818/3$ ) หรือที่ช่วงเวลาใน 1 คาบ (clock 1 ลูก) เท่ากับ 210 nsec สำหรับค่า duty cycle ของสัญญาณนี้จะมีค่าประมาณ 70 nsec ลอจิก "0" เท่ากับ 2/3 ของคาบเวลาทั้งหมดหรือ 140 nsec

ALE (address latch enable ; ขา B28 )

ขาสัญญาณนี้เป็นสัญญาณ เอาท์พุตที่แสดงว่าอุปกรณ์ภายนอกทราบค่าแอดเดรสที่ cpu ต้องการติดต่อ ด้วยนั้นถูกส่งออกมาบนบัสแอดเดรสแล้วโดยที่สัญญาณ ALE จะเปลี่ยนจากลอจิก "1" เป็น "0" เมื่อค่าแอดเดรสถูกส่งออกมาบนบัสข้อมูลเรียบร้อยแล้ว ดังนั้นขอบข่ายของสัญญาณ ALE นี้จะถูกใช้ในการแลกรหัสค่าแอดเดรสจากบัสแอดเดรส / ข้อมูล AD<sub>0</sub> - AD<sub>7</sub> ของ cpu

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่นอนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

I/O CHECK (I/O CHANNEL CHECK ; A1)

ขาสัญชาตนี้เป็นอินพุตที่ทำการแสดงควารผิดพลาดของฮาร์ดแวร์ที่เก็บขึ้น การทำงานของวงจร interface หรือ อุปกรณ์ I/O เมื่อขาของสัญญาณได้รับ "0" ทำให้ 8088 ถูก interrupt แบบ non-maskable (NMI) และยังสามารถกำหนดให้วงจรมายของ IBM/PC ทำการรบกวน interrupt ได้โดยการกำหนดลอจิกของบิตข้อมูลของ port ที่ควบคุมการขอ interrupt แบบ NMI โดยใช้ บิต D7 ของ PORT 00A0H หากบิต D7 ถูกเซตเป็น "1" จะทำให้วงจรมายนอกขม interrupt แบบ NMI ได้ (ENABLE) ถ้าบิต D7 "0" จะเป็นการ DISABLE

การขอ interrupt แบบ NMI ทำได้ดังนี้

Enable ใช้คำสั่ง out ส่งข้อมูล 80H ไปยัง PORT 00A0H

Disable ใช้คำสั่ง out ส่งข้อมูล 00H ไปยัง PORT 00A0H

A0 - A19 (Address Bus ; A31 - A12)

ขาทั้งหมดนี้เป็น out put ที่ใช้สำหรับกำหนด address ของหน่วยความจำหรืออุปกรณ์ I/O ที่ 8088 ต้องการติดต่อ สำหรับค่า address บน bus address A0 - A9 จะถูกกำหนดโดย 8088 ในระหว่างขบวนการเขียน การอ่าน ข้อมูลลงในหน่วยความจำหรืออุปกรณ์ I/O แต่ในช่วง DMA นั้น 8088 จะถูกตัดออกจากระบบ โดย DMA CONTROLLER จะเป็นผู้กำหนดค่าบน bus address เอง

I/O CHRDY (I/O channel Ready ; A10)

ขาสัญชาตนี้เป็น input ที่ใช้เพื่อช่วงเวลาใน บัสไซเคิล ในกรณีที่อุปกรณ์ I/O หรือหน่วย ความจำไม่สามารถทำงานทันตามเวลาที่ (ช่วงเวลาของบัสไซเคิลที่เกี่ยวกับหน่วยความจำใช้ช่วง เวลาเท่ากับ 840 nanosec ในขณะที่ บัสไซเคิลที่เกี่ยวข้องกับ I/O ใช้ช่วงเวลาเท่ากับ 1.05 usec)

เมื่ออุปกรณ์ I/O หรือหน่วยความจำต้องการเพิ่มช่วงเวลาในบัสไซเคิล ทำได้โดยการป้อน "0" ให้กับ I/O CHRDY ในช่วงเวลาที่มี I/O หรือหน่วยความจำที่ถูกกำหนดให้ ได้รับสัญญาณจากที่ ใต้แอดเดรสและสัญญาณ MEMR, MEMW, IOR, IOW แอคทีฟ

IOW ( I/O Write ; ขา B13 )

ขาสัญชาตนี้เป็น active ที่ "0" ซึ่งสร้างขึ้นโดย 8288 bus controller เพื่อแสดงว่าบัสไซเคิล ที่เกิดขึ้นนี้คือ การเขียนข้อมูลลง port I/O เพื่อให้ PORT I/O ที่มี address ตรงกับ address บน bus address นั้น รับข้อมูลที่อยู่ใน บิตข้อมูลขาเก็บไว้ เนื่องจากในช่วงเวลาที่สัญญาณ IOW นี้ active "0" นั้นข้อมูลบนบิตข้อมูลยัง ไม่สมบูรณ์ ดังนั้นในการออกแบบจึงควรรอขาบัสของสัญญาณ ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเมื่อ และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีกรณีนำไปใช้

เดิมก่อน สำหรับในขบวนการ DMA นั้น DMA controller จะทำการสร้างสัญญาณ IOW เอง โดยที่ค่า address บน bus address เป็น ค่า address ของหน่วยความจำที่ PORT I/O ที่ขอ DMA ต้องการว่า:

**IOR (I/O Read ; B14)**

สัญญาณนี้เป็น out put และ active ที่ "0" ถูกสร้างขึ้นโดย 8283 bus controller เพื่อแสดงว่ามีคำสั่งที่เกิดขึ้นนี้ เป็นขั้นของการอ่านข้อมูลจาก PORT I/O เพื่อให้ PORT I/O ที่มี address ตรงกับ address บน bus controller นั้นส่งข้อมูลออกมาบนบัสข้อมูล โดยถูกส่งออกมาก่อนขอมาขั้นของสัญญาณ IOR ประมาณ 30 nanosec เพื่อให้แน่ใจได้ว่า 8088 สามารถรับข้อมูลได้ถูกต้อง สำหรับในขบวนการ DMA 8237A-5 DMA Controller จะทำการสร้างสัญญาณ IOR เอง โดยที่ค่า address ขบวนการ DMA ที่เกิดขึ้นช่วงที่ DACK0 active นั้น เป็นขบวนการที่ใช้สำหรับการรีเฟรชหน่วยความจำที่เป็น dinamic RAM ซึ่งวงจร interface ที่ใช้หน่วยความจำประเภทนี้ ต้องการหน่วยความจำการ รีเฟรช diinamic RAM ที่อยู่ในวงจรได้

การรีเฟรชหน่วยความจำจะเกิดขึ้นทุก ๆ 15.12 usec หรือ ทุกๆ 72 clock

**AEN (Address Enable ; A11)**

สัญญาณนี้เป็น out put ที่ชี้แสดงว่า bus cycle ที่เกิดขึ้นในช่วงเวลาที่สัญญาณ AEN active (0) นั้น เป็น bus cycle ของขบวนการ DMA

สำหรับ main board ของ IBM/PC ใช้สัญญาณในการ disable 8288 Bus controller และ PORT I/O ต่างๆที่ไม่เกี่ยวข้องกับขบวนการ DMA เพราะในระหว่างขบวนการ DMA นั้น 8237A-5 จะส่ง address ของหน่วยความจำออกมาบน bus address และทำให้สัญญาณ IOR, IOW active ด้วย ถ้าไม่ทำการ disable I/O ที่ไม่เกี่ยวข้องไว้จะทำให้ PORT I/O ทำการอ่านหรือส่งข้อมูลออกมาทำให้เกิดความผิดพลาดได้

**T/C (Terminal count ; B27)**

สัญญาณถูกสร้างโดยการนำ out put ที่ขา EOP ของ 8237A-5 มา inverter ทำให้สัญญาณนี้ active ที่ "1"

สำหรับสัญญาณนี้จะ active เมื่อจำนวนบิตในการส่งผ่านข้อมูลของขบวนการ DMA ใน channel หนึ่ง channel ใด ครบตามจำนวนที่กำหนดไว้ เนื่องจากสัญญาณนี้จะ active โดยไม่แสดงว่า เป็นสัญญาณของแชนแนลใด จึงต้องทำการนำสัญญาณ T/C นี้ผ่าน inverter แล้ว OR กับสัญญาณ B2CK เพื่อจะทราบว่า สัญญาณที่เกิดขึ้นเป็นของแชนแนลใด สำหรับแชนแนล "0" นั้นสัญญาณจะ active ในช่วงเวลาที่คือทุกๆ 990.804 msec ซึ่งก็คือช่วงเวลาที่รีเฟรชหน่วยความจำ เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่นับญาติให้นำไปใช้ประโยชน์ด้านการค้า ขนาด 64 kbyte ที่ตัวเอง  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บัพของแหล่งจ่ายไฟของระบบ

+5Vdc (B3, B29)

ขาทั้งสี่ขั้วที่ต่อกับแหล่งจ่ายไฟ DC + 5V ของระบบ มีค่าความเที่ยงตรง (Regulated)  $\pm$  5%  
คืออยู่ในช่วง +4.75 ถึง +5.25 VDC

+12VDC (B9)

ขาทั้งสี่ขั้วที่ต่อกับแหล่งจ่ายไฟ DC +12V ของระบบ มีค่าความเที่ยงตรง (Regulate)  $\pm$  5%  
อยู่ในช่วง +11.4 ถึง +12.6VDC

- 5VDC (B5)

ขาทั้งสี่ขั้วที่ต่อกับแหล่งจ่ายไฟ DC -5V ของระบบ มีค่าความเที่ยงตรง (Regulate)  $\pm$  10%  
อยู่ในช่วง -5.5 ถึง -4.5 VDC

-12 VDC (B7)

-ขาทั้งสี่ขั้วที่ต่อกับแหล่งจ่ายไฟ DC -12V ของระบบ มีค่าความเที่ยงตรง  $\pm$  10%  
อยู่ในช่วง -13.2 ถึง -10.8 VDC

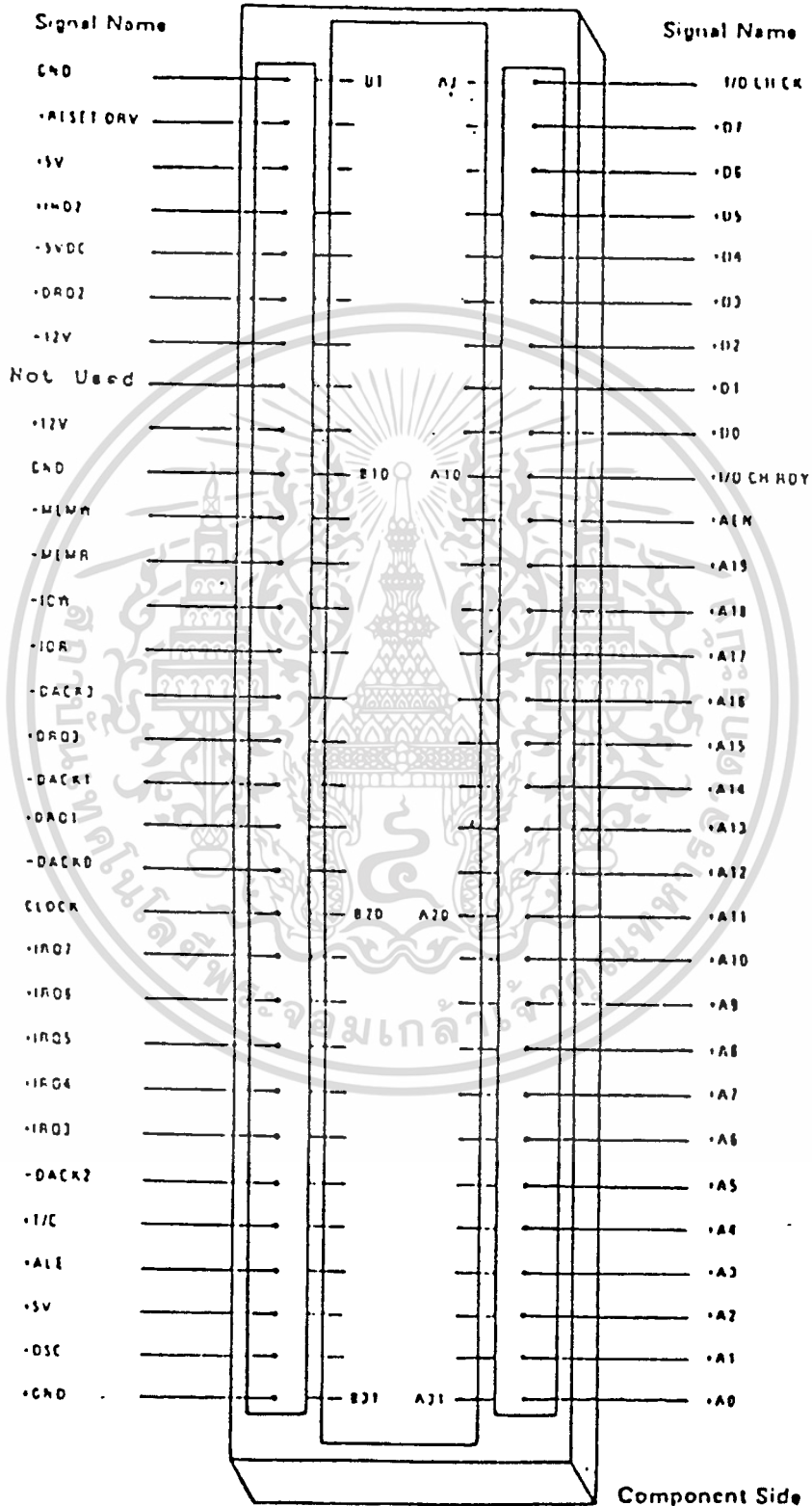
GND ( B1, B10 และ B13 )

ขาทั้งสามขั้วที่ต่อเข้ากับกราวด์ของระบบ

### 1.3 การจัดลักษณะบน SLOT ของ IBM PC/XT

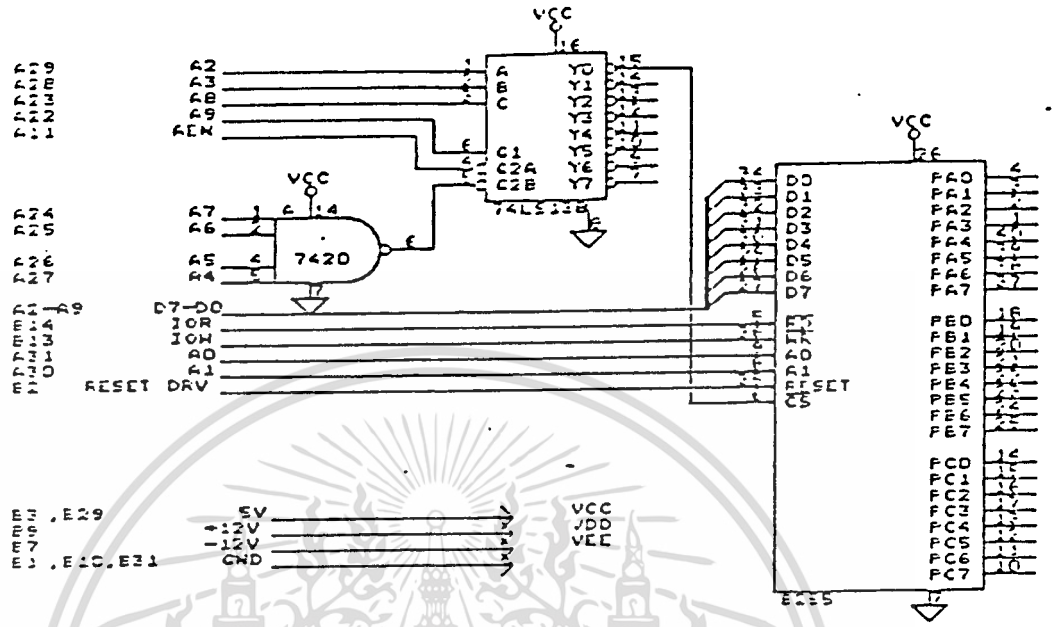
ลักษณะบน IBM PC/XT มี SLOT สำหรับต่อกับวงจรมานอกได้มากขึ้นแล้ว จะทำการเพิ่มว่า  
จะมี SLOT บนเมนบอร์ดขึ้นเป็น 8 SLOT จากเดิมที่มีเพียง 5 SLOT การจัดลักษณะต่างๆยังคงเหมือน  
IBM PC เพียงแต่ลักษณะที่ถูกส่งมาของ SLOT 8 นี้จะต่อผ่านวงจร buffer ก่อน และขา B8 จะ  
ถูกใช้ร่วมกับขา B9 จะถูกใช้เป็นที่ CARD SLCTD (card selected) ซึ่งเป็นลักษณะ in put  
จากวงจรมานอกที่เสียบบน SLOT 8 เพื่อให้วงจรมานอกทราบว่า card ที่เสียบบน SLOT นี้ถูก  
เลือกใช้งานอยู่ ทำให้ driver บนเมนบอร์ดทำการอ่านหรือส่งข้อมูลไปยัง SLOT 8

### Rear Panel



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2. 8255 INTERFACE AND DECODER



port use 02F0<sub>H</sub>

ADDRESS DECODER

| A <sub>9</sub> | A <sub>8</sub> | A <sub>7</sub> | A <sub>6</sub> | A <sub>5</sub> | A <sub>4</sub> | A <sub>3</sub> | A <sub>2</sub> | A <sub>1</sub> | A <sub>0</sub> |
|----------------|----------------|----------------|----------------|----------------|----------------|----------------|----------------|----------------|----------------|
| 1              | 0              | 1              | 1              | 1              | 1              | 0              | 0              | x              | x              |

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
 ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

| A <sub>1</sub> | A <sub>0</sub> | PORT SELECTED  |
|----------------|----------------|----------------|
| 0              | 0              | PORT A (02F0H) |
| 0              | 1              | PORT B (02F1H) |
| 1              | 0              | PORT C (02F2H) |
| 1              | 1              | CONTROL PORT   |

พินหัวของสัญญาณ ต่างๆ ของ 8255 เป็นดังนี้

D<sub>0</sub>-D<sub>7</sub> เป็นขารับข้อมูลที่ใช้ต่อกับไมโครคอมพิวเตอร์

CS CHIP SELECT INPUT

RD READ INPUT

WR WRITE INPUT

A<sub>0</sub>-A<sub>1</sub> ADDRESS INPUT ใช้สำหรับชี้ตำแหน่งของ REGISTER ภายใน 8255 ที่ CPU ต้องการติดต่อ

RESET

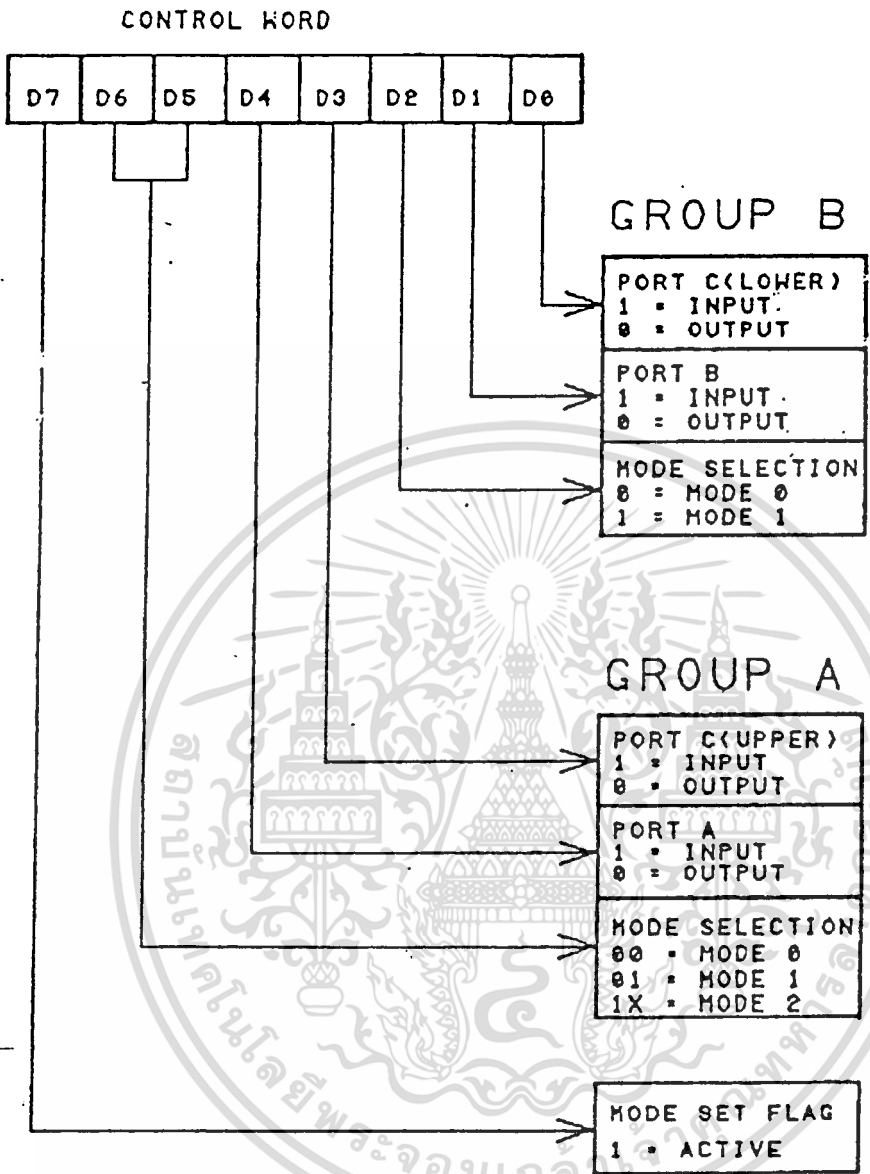
P<sub>A0</sub>-P<sub>A2</sub> PORT ข้อมูลที่ใช้สำหรับติดต่ออุปกรณ์ภายนอก

P<sub>B0</sub>-P<sub>B2</sub> PORT ข้อมูลที่ใช้สำหรับติดต่อกับอุปกรณ์ภายนอก

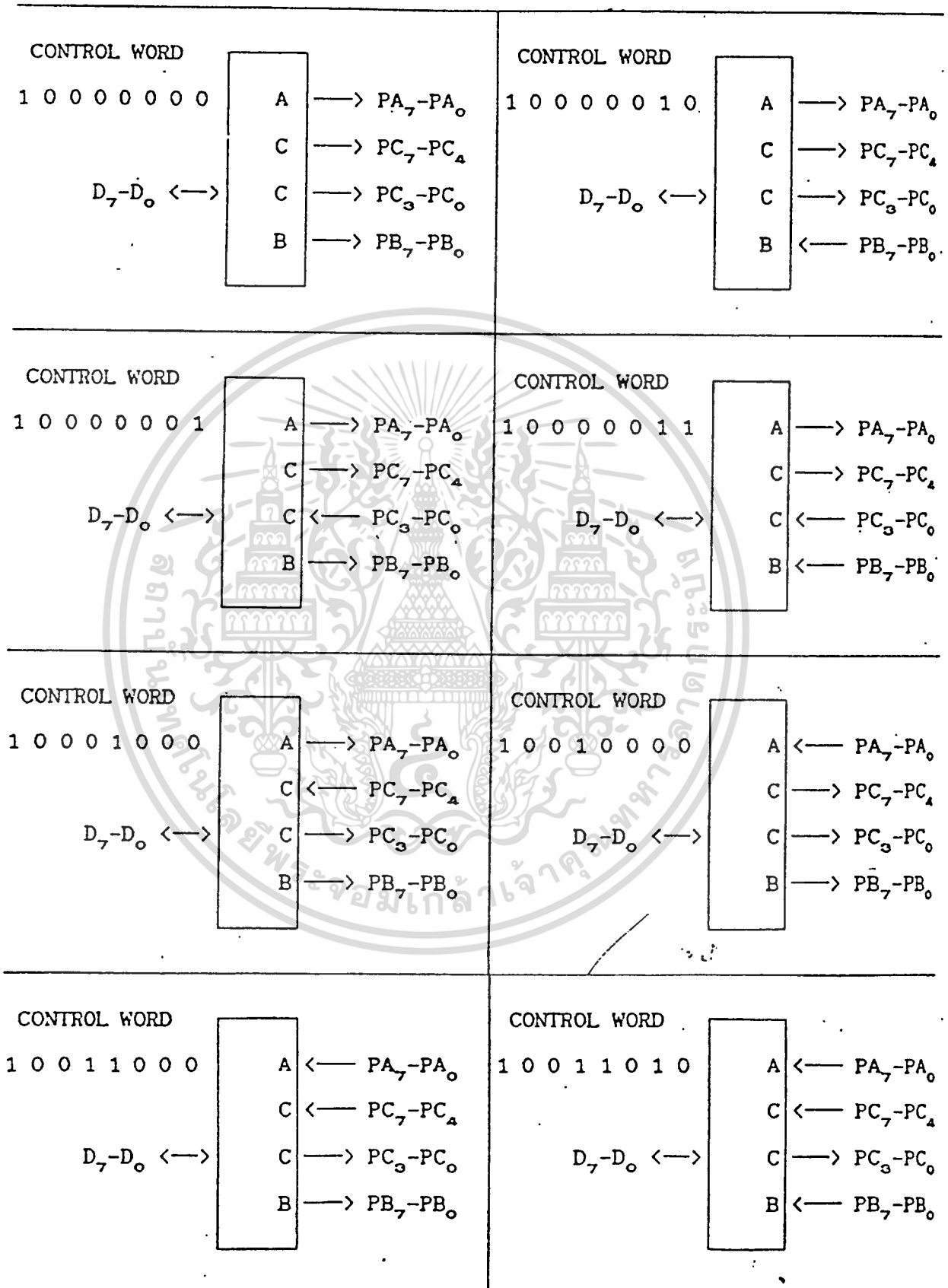
P<sub>C0</sub>-P<sub>C2</sub> PORT ข้อมูลที่ใช้ติดต่อกับอุปกรณ์ภายนอก

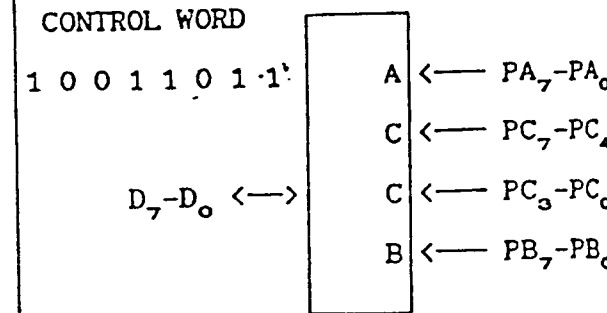
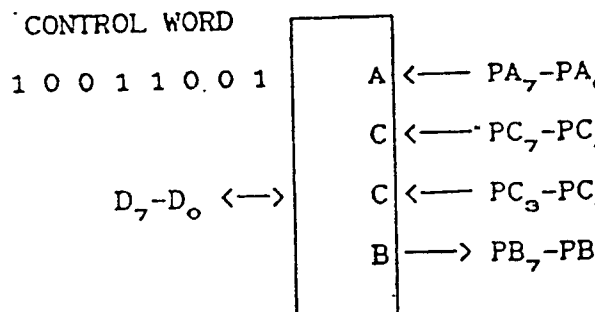
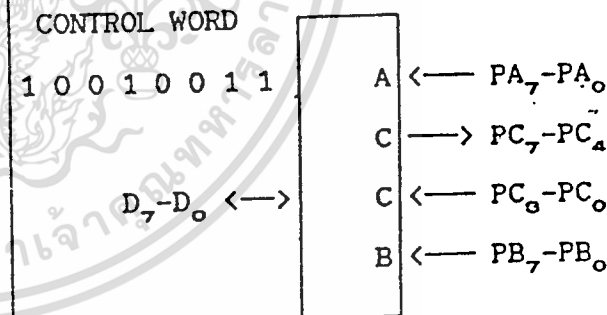
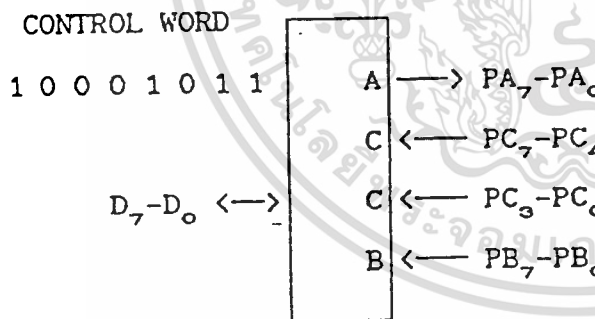
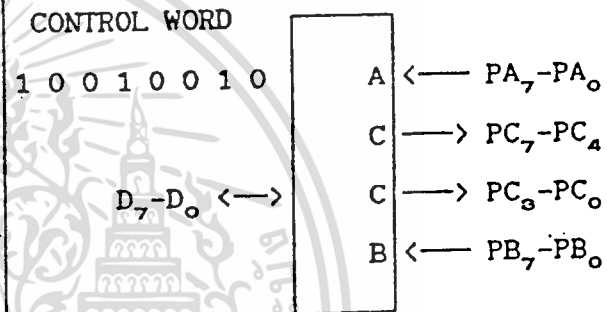
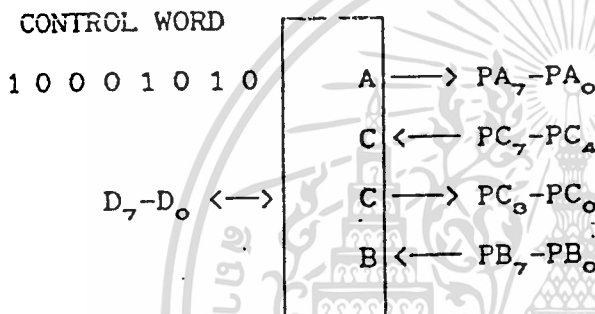
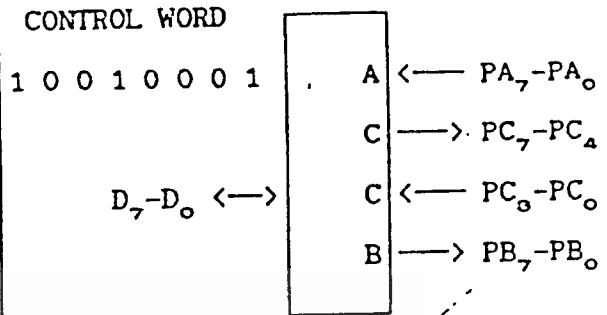
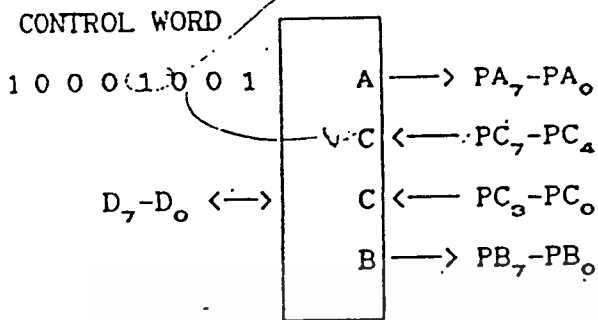
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การติดต่อกับ PORT ต่างๆ ของ 8255



รูป CONTROL WORD ของ 8255





## การ interface คอมพิวเตอร์

จากรูป สามารถดูการทำงานของวงจร ได้ ผมคุมการรับส่งข้อมูลเข้าออก computer จากระบบไมโครคอมพิวเตอร์ที่ใช้ IC 8088 เป็นหน่วยประมวลผลในระบบข้อมูล 8 บิต การกำหนด IC 8255 กำหนด PORT A เป็น input port รับข้อมูล 8 บิต จากวงจร A/D ทำหน้าที่อ่านค่าแรงดันที่ PORT B เป็น out put รับข้อมูลแรงดันที่ส่งออกมาจากหน่วยประมวลผล และส่งให้วงจรอ้างอิงสัญญาณ V/F ส่วน PORT C จะเป็นทั้ง input และ out put โดยส่งสัญญาณควบคุมให้กับวงจร A/D เพื่อให้การส่งข้อมูลเข้าได้เหมาะสมและถูกต้อง

การเลือก PORT ที่จะใช้ติดต่อกับ IC 8255 จะกำหนดจากข้อมูลจำเพาะของเครื่องไมโครคอมพิวเตอร์ จากข้อมูลพบว่า การจัดตำแหน่ง input และ out put ( I/O address map ) ของเครื่องไมโครคอมพิวเตอร์ที่เป็น IBM compatible จะกำหนดไว้ดังตาราง

จากตารางจะเลือกใช้ 2F0-2F7 ซึ่งเป็นตำแหน่งสำรองที่เอาไว้ในการต่อกับอุปกรณ์ภายนอก เลือกตำแหน่ง 2F0-2F7 ในโครงงานนี้ ซึ่งกำหนดให้ port ต่างๆของ IC 8255 มีตำแหน่งดังนี้

|               |          |         |         |
|---------------|----------|---------|---------|
| ตำแหน่งใช้ตัว | PORT 2F0 | ใช้ตัว  | PORT A  |
|               | 2F1      | ใช้ตัว  | PORT B  |
|               | 2F2      | ใช้ตัว  | PORT C  |
|               | 2F3      | ใช้ว่าง | IC 8255 |

การใช้งาน 8255 ในโหมด 0

การทำงานจะเป็น PORT INPUT หรือ OUT PUT ธรรมดา สามารถกำหนดให้ 8255 ทำงานในโหมด 0 ได้โดยส่ง control word ไปยัง port ควบคุม ที่ค่าต่อไปนี้

|    |    |    |    |    |    |    |    |
|----|----|----|----|----|----|----|----|
| D7 | D6 | D5 | D4 | D3 | D2 | D1 | D0 |
| 1  | 0  | 0  | 0  | 0  | 0  | 0  | 0  |

จากค่าส่งควบคุม สามารถอธิบายความหมายของบิตต่าง ๆ ดังนี้

- D7=1 กำหนดค่าให้ข้อมูลนี้เป็น control word
- D6,D5 กำหนดค่าให้ PORT A ใน 8255 ทำงานในโหมด 0
- D4 กำหนดค่าให้ PORT A เป็น OUT PUT
- D3 กำหนดค่าให้ 4 บิตบนของ PORT A เป็น OUT PUT

- D1 กำหนด PORT B เป็น OUT PUT
- D0 กำหนด 4 บิตล่างของ PORT C เป็น OUT PUT

รายละเอียดของวงจรต่าง ๆ และลำดับขั้นตอนจะ ได้แสดงดังต่อไปนี้

ลำดับขั้นตอนการปฏิบัติงาน

ชุดประมวลผลในการใช้ไมโครคอมพิวเตอร์ เพื่อควบคุมการทำงานของมอด  
 เฟลเพื่อให้ inverter ให้การดำเนินงานที่ความถี่เดียวกับความถี่ของวงจรเหนี่ยวนำได้ ลำดับขั้น  
 ตอนการทำงานของเครื่องไมโครคอมพิวเตอร์ แสดงได้ดังรูป flowchart ต่อไปนี้  
 เริ่มจากการกำหนดค่าเริ่มต้นให้แก่ออสซิลเลเตอร์ ซึ่งการกำหนดค่าไว้ให้กระบวนเคียบอร์ค

ตั้งนิยามช่วงที่จึงต้องมีการกำหนดค่าให้คอมพิวเตอร์คอยรับ in put  
 ของ คีย์บอร์ด เพื่อให้ได้ค่าความถี่แล้วที่แบบค่าความถี่นั้น เป็นค่า D/A จะส่งออกไปเป็นค่าที่  
 ตรงกับความถี่ที่แท้จริงของความถี่ที่ออก กับระดับความต่างศักย์ที่ขั้วขาเข้าของวงจรสร้างสัญญาณ V  
 /F ดังแสดงไว้ในรูป

จากนั้นจะเริ่มการควบคุมการติดตามความถี่โดยใช้หลักการที่ว่า จุดที่เกิดการ  
 รั่วของกระแสจะเป็นจุดที่วงจร inverter ตรงกับความถี่ของวงจร ความถี่นั้น ความสูญเสียกำลัง  
 เนื่องจากการ สวิตช์ มีค่าน้อยที่สุด ( switch loss ) ดังนั้นที่จุดนี้จะทำให้กระแสไหลในวงจร  
 มากที่สุด จึงจะต้องมีการรับค่ากระแสเข้ามานี้ โดยเริ่มที่ให้ออสซิลเลเตอร์กระแสไหลที่ถี่ระดับ  
 ของกระแสแสดงมาให้อยู่ในระดับที่วงจรอินเวอร์เตอร์จะรับได้ จากนั้นวงจร A/D จะแปลงสัญญาณ  
 อนุพัทธ์ เป็นดิจิตอลรับสัญญาณจากหัวแปลงกระแสแปลงให้เป็นข้อมูลดิจิตอล 8 บิต ข้อมูล  
 เหนือนี้จะถูกส่งเข้าเครื่องและถูกนำใบคำนวณให้ค่ารากกำลังสองของค่าเฉลี่ยกำลังสองจากนั้นจะ  
 มีการเปรียบเทียบค่ากระแสที่เข้ามาที่กับกระแสในค่าที่กระทำก่อนหน้านี้ ( การกระทำซ้ำที่ถี่ที่ถี่ )  
 ผลของการเปรียบเทียบจะ แสดงได้ในเรื่องลักษณะ คือ เมื่อค่ากระแสที่เข้ามามากกว่ากระแสเก่า  
 กับค่ากระแสที่เข้ามาน้อยกว่าหรือเท่ากับค่ากระแสเก่า ซึ่งแต่ละ ลักษณะจะทำให้เกิดการอุป  
 การกระทำซ้ำย่อยสองจุดดังมีรายละเอียดต่อไปนี้

1. ผลการเปรียบเทียบมากกว่า

ระบบกำลังอยู่ในการติดตามความถี่ของวงจรเหนี่ยวนำ เพราะฉะนั้นจะ  
 ต้องส่งความถี่ค่าใหม่ออกไป โดยค่าความถี่จะคำนวณได้จากสูตร

2. ผลการเปรียบเทียบน้อยกว่าหรือเท่ากับ

แสดงว่าระบบได้ติดตามความถี่มาจนเท่ากับหรือใกล้เพียงกันแล้ว ก็จะมีค

ความถี่ดังกล่าวไว้คือ ความถี่ที่ส่งออกก็คือ ความถี่เท่า และระบบจะปิดภาวะนี้ไปเรื่อย ๆ โดยจะ  
 มีการรีเซ็ตแอสเซมบลีขึ้นมาเรื่อยๆเป็นช่วงนั้น คือ เกิดลูปภาษาช่วยภายในลูป การทำงานในข้อที่  
 บ่อย จะทำซ้ำไปเรื่อย ๆ จนกว่ากระแสที่เข้ามาใหม่จะน้อยกว่ากระแสเดือค่า นี้จึงแสดงว่าชะ  
 วงจรเหนี่ยวนำที่หลุดจากค่าความถี่ดังกล่าวแล้ว จึงจะต้องมีการติดตามความถี่ที่เข้ามา  
 หลุดจากลูปบ่อยและหลุดออกจากลูปที่กล่าวนี้ด้วย

จากนั้นเมื่อระบบหลุดจากลูปภาษาทั้งสองแล้ว จะทำการคำนวณค่าความถี่  
 ความถี่ดังกล่าว เมื่อได้ความถี่แล้ว โปรแกรมจะส่งค่าออกทางวงจร interface ไปยังวงจร  
 D/A จากนั้น โปรแกรมจะเก็บค่ากระแสและค่าความถี่ไว้เป็นค่าเท่ากับลูปการทำงานต่อไป

การทำงานของระบบทั้งหมดจะทำซ้ำอย่างนี้ไปเรื่อย ๆ ระบบจะได้  
 ตามความถี่หรือความถี่ไปเรื่อย ๆ จนกว่าผู้ควบคุมระบบเห็นว่าเกิดค่าได้รับการเหนี่ยวนำความ  
 ร้อนเพียงพอแล้วตรงจุดที่ผู้ต้องการ จะสั่งให้ระบบทั้งหมดหยุดการทำงาน ซึ่งจะเป็นการ  
 หยุดการทำงานของคอมพิวเตอร์ด้วย

ภาษาที่ใช้เขียนโปรแกรมการทำงานจะใช้ภาษาแอสเซมบลีที่เขียนไว้แล้ว  
 แอลกอฮอล์คอมพิวเตอร์ โปรแกรมของระบบทั้งหมดได้แสดงไว้ในภาคผนวกท้ายเล่ม

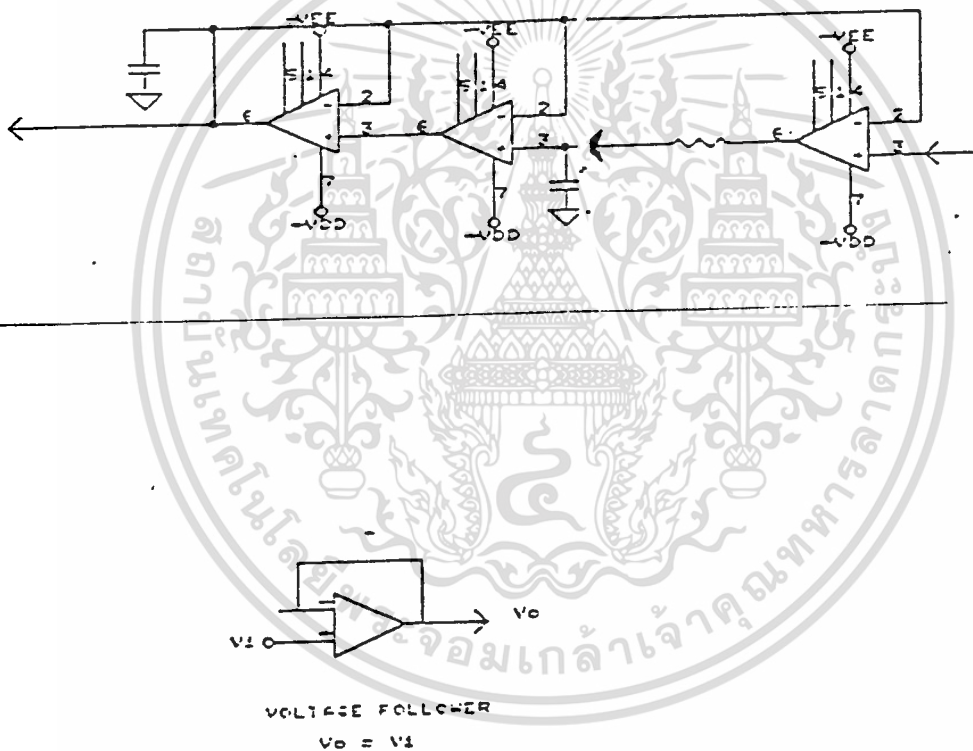
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
 ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

### วงจรตรวจวัดขนาดของสัญญาณ

วงจรนี้ใช้ในการตรวจจับยอดขนาดสัญญาณกระแสที่ออกมาจากตัวส่งสัญญาณของ  
เพื่อแปลงกระแส เพื่อส่งให้กับวงจร A/D ให้ส่งข้อมูลเข้าเครื่องคอมพิวเตอร์ นำไปประมวล  
ผลต่อไป การทำงานของวงจรนี้ต้องสามารถส่งแรงดันไฟตรงที่มีขนาดเท่ากับยอดสัญญาณกระแส  
ซึ่งเป็นพลาสมาที่ตลอดเวลาที่สัญญาณกระแสเกิดการเปลี่ยนแปลง

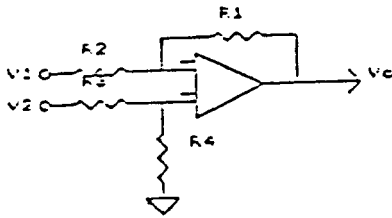
หลักการการทำงานของวงจรนี้ใช้หลักการอัดและการคายประจุ ของตัวเก็บประจุ  
ดู ศึกษาได้จากรูปข้างล่างนี้

รูปที่ 4.3.1 วงจร sense peak



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากรูป IC 741 ตัวที่ 1 จะตรวจเช็คสัญญาณที่เข้า ซึ่งถูกต่อแบบ differential amplifier ซึ่งหลักการและวิธีต่อแบบใช้เคยใช้ ออปแอมป์ทั่ว ๆ ไป จะแสดงดังรูป



DIFFERENTIAL AMPLIFIER

$$V_o = V_1 - V_2 \quad : \quad R_1 = R_2 = R_3 = R_4$$

$$V_o = -(R_1/R_2)V_1 - (1 + (R_1/R_2))(R_3/(R_3 + R_4))V_2$$

### รูปที่ 4.3.2 differential amplifier

เมื่อเปรียบเทียบกับแล้วจะพบว่า วงจรนี้ของไอซี 741 ตัวที่ 1 จะใช้ค่า  $R_1$ ,  $R_2$ ,  $R_3$ ,  $R_4$  แต่เนื่องจากวงจรภายในของ ออปแอมป์เอง จะมีค่าความต้านทานภายในตัวเองอยู่แล้ว นอกจากนั้นยังประมาณให้ค่าความต้านทานของสายส่งสัญญาณเข้า ไอซีมีค่าน้อยมาก จนทำให้สมการที่ 2 ของรูป 4.3.2 เป็นจริง นั่น จะทำให้  $V_2 - V_1 = V_o$  ซึ่งเป็นการนำสัญญาณ output มาเทียบกับสัญญาณ input นั้นเอง เมื่อสัญญาณ input มีค่าเพิ่มขึ้นเรื่อย ๆ จะทำให้สัญญาณ output มีค่าเป็นบวก และเป็นค่าผลต่างที่มากขึ้นด้วย จากหลักการดังกล่าวนี้ทำให้เราสามารถพิจารณาการทำงานของวงจรได้ดังนี้

เนื่องจากวงจรนี้ได้รับสัญญาณจากทรานสดิวเซอร์ ซึ่ง เป็นสัญญาณรูป ขยายสัญญาณนี้จะถูกตรวจจับและสุ่มค่า (sample and hold) IC 741 ตัวที่ 1 เมื่ออยู่ในช่วงอัตราการเบี่ยงเบนแรงของคิกดีเป็น บวก ของสัญญาณชกชวก ค่าที่สุ่มได้จะเพิ่มขึ้นเรื่อย ๆ ค่าเหล่านี้จะออกที่ output ขา 5 ของ IC ตัวนี้ ทำให้เกิดการอัดประจุของตัวเก็บประจุ โดยผ่าน ไดโอด ตัวเก็บประจุจะคงค่าคิกดีที่เกิดขึ้นแล้ว ช่วงต่อมาที่แรงเหวี่ยงของคาบของรูปสัญญาณ ตัวเก็บประจุจะไม่สามารถคายประจุได้เนื่องจากคาบเวลาของสัญญาณที่เข้ามีค่าไวยมากนั่นเอง จากหลักการดังกล่าวนี้ทำให้วงจรสามารถตามยอดสัญญาณได้ ส่วน IC ตัวที่ 2 ถูกต่อแบบ voltage follower ซึ่งจะทำหน้าที่เป็น บัฟเฟอร์ขยายกำลังจร สามารถส่งสัญญาณเข้าเครื่องไมโครคอมพิวเตอร์ได้ หลักการและวิธีการต่อวงจร voltage follower โดยข้อออปแอมป์ทั่ว ๆ ไป ดังแสดงในรูป

จากที่กล่าวมาทั้งหมดจะทราบได้ว่า วงจรจะส่งค่าออกสัญญาณออกมาด้วย  
 วงจร แต่ในกรณีที่ค่าออกสัญญาณตกลงเข้ามา ในช่วงเวลา out put ของ IC เบอร์ 741  
 จะมีค่าเป็นลบ ในขณะที่ค่าที่เคลื่อนตัวเก็บประจุลงเป็นลบอยู่นั้น ดังนั้นในการที่จะทำให้ไดโอดถูก  
 บิดแรงดันกลับทาง ( revers bias ) ทำให้ diode ตัดวงจรออกจากกัน ทำให้ตัวเก็บประ  
 จุคายประจุผ่านทาง IC ตัวที่ 2 และคิกต์ที่เคลื่อนตัวเก็บประจุซึ่งจะแสดงที่ out put ของ IC  
 ตัวที่ 2 และเป็น out put ของวงจรอยู่แล้ว ก็จะลดลงตามในตัวเก็บประจุคายประจุออกมา ตัว  
 เก็บประจุจะคายประจุจนกระทั่งถึงคิกต์เคลื่อนมีค่าน้อย จนทำให้ไดโอดถูกบิดด้วย forward bias  
 และตัวเก็บประจุถูกอัดประจุอีกครั้งหนึ่งนั้นก็จะทำให้วงจรเปลี่ยนค่าการเบี่ยงเบนของ  
 ของยอดของสัญญาณได้และคงค่าไว้ในขณะไม่มีการเบี่ยงเบนของ ค่าที่จะถูกบิดเข้าด้วยวงจร A/D ต่อไป

วงจร A/D

วงจร A/D เป็นวงจรที่รับแปลงสัญญาณอนาล็อกให้เป็นสัญญาณดิจิทัล ในโครง  
 งานที่ใช้เพื่อแปลงข้อมูลจากกระแส ในการช้อนกลับให้เครื่องไมโครคอมพิวเตอร์ วงจร A/D จะ  
 กอบด้วย A/D และวงจรสร้างคิกต์อ้างอิง

A/D ที่ใช้ในวงจรจะใช้ IC เบอร์ ADC080 ซึ่งเป็นแบบ successive  
 approximation ที่ให้ข้อมูลออกเป็น 8 บิต และช่วงของคิกต์ที่ช้อนเข้าระหว่าง 0-5 โวลต์ ทำ  
 งานที่แรงดันอ้างอิง 2.5 โวลต์และใช้เวลาในการแปลงค่า 100 ns ซึ่งรายละเอียดสามารถดู  
 ได้จากภาพผนวก

เนื่องจาก A/D ส่งข้อมูลเป็นระบบ 8 บิต ทำให้สามารถส่งข้อมูลออกได้แตกต่างกัน  
 256 ค่า หรือจะแบ่งข้อมูลเข้าออกเป็น 256 ระดับ ในการที่วงจรของ A/D ที่ใช้ใน  
 โครงงานนี้ ข้อมูลแต่ละระดับจะแตกต่างกัน 0.0195 โวลต์ เมื่อพิจารณาจากรูปและ  
 จากการทำงานของวงจรตรวจรับขนาดยอคลื่นสัญญาณ จะพบว่าข้อมูลแต่ละระดับที่ A/D รับ  
 จะหมายถึงกระแสในวงจร เทียบว่าความรบกวนที่แตกต่างกัน

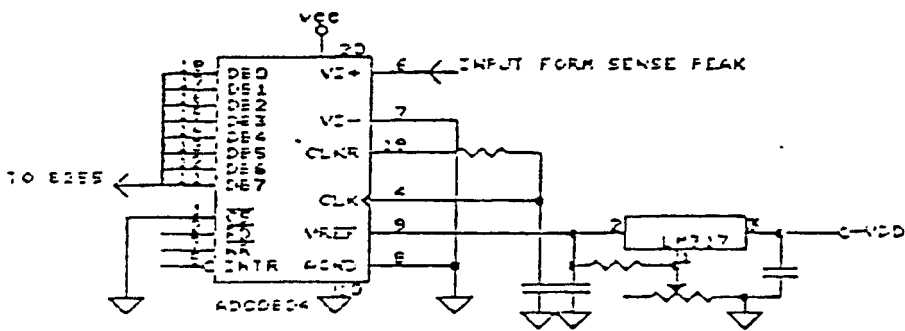
$$= ((5-0)/2^2/256 = 0.0138016 \text{ Amp}$$

ซึ่งในการกำหนดช่วงของกระแสที่หาให้ข้อมูลแตกต่างกันในแต่ละระดับ ดังที่แสดง  
 ข้างต้นนี้ขึ้นอยู่กับปัจจัยหลายอย่าง คือ ความสามารถของอุปกรณ์แปลงสัญญาณ (A/D, D/A) ช่วง  
 ของสัญญาณที่เปลี่ยนแปลงจริงในวงจรกำลัง การต้องการความละเอียดในการทำงานของโครงงาน

วงจรสร้างคิกต์อ้างอิงที่ใช้ IC LM331 Adjustable Voltage Regulator  
 ลสร้างคิกต์ 2.5 โวลต์ ช้อนให้กับ A/D เพื่อใช้เป็นคิกต์อ้างอิงในการทำงานของ A/D

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่นอนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
 ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 4.4 วงจร A/D



วงจร D/A

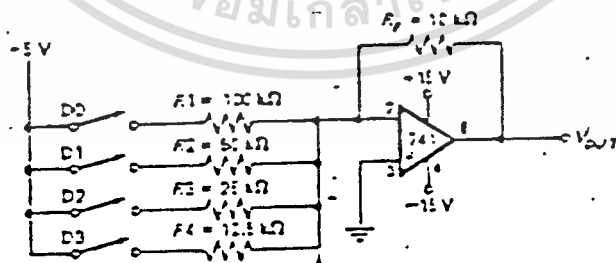
วงจร D/A คือ วงจรที่ใช้เปลี่ยนสัญญาณดิจิทัล เป็นแอนะล็อกซึ่งต่อเชื่อมกับคอมพิวเตอร์เพื่อรับข้อมูลถึงการประมวลผลว่าต้องให้ inverter ทำงานที่ใดวางระดับเท่าใด

วงจร D/A แบบต่างๆ

แบบที่ 1 แบบใช้ตัวต้านทานหลายค่า

วงจรชนิดนี้ใช้ตัวต้านทานต่างๆและออปแอมป์ เพื่อเปลี่ยนสัญญาณดิจิทัล 2 ระดับเป็นแรงดันที่ได้สัดส่วนกัน รูปที่ 4.5.2 แสดงวงจรเปลี่ยนสัญญาณดิจิทัลขนาด 4 บิต

รูปที่ 4.5.1 วงจร D/A ใช้ตัวต้านทานหลายค่า

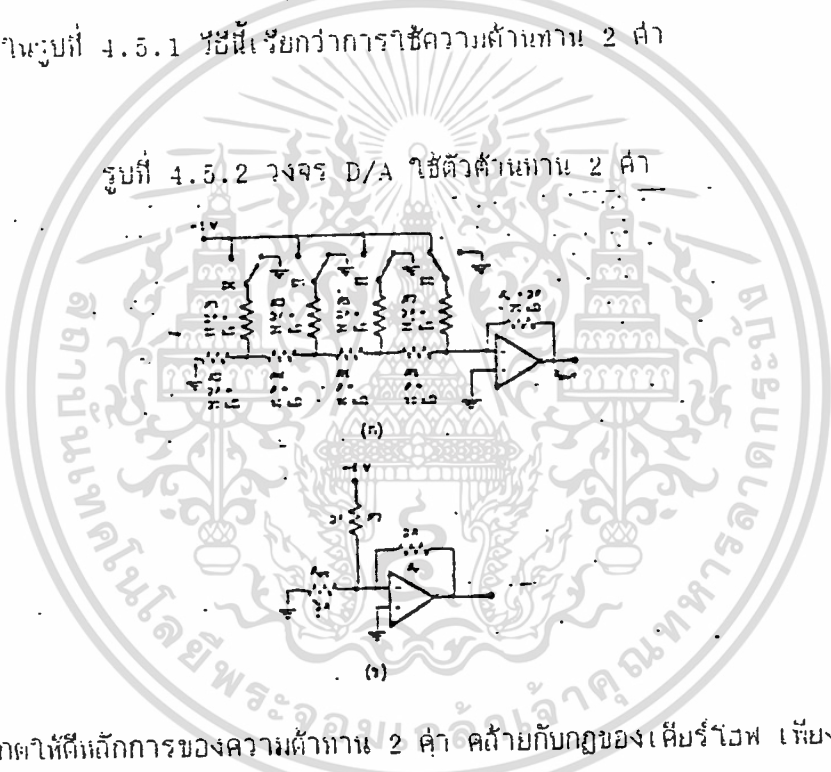


ขณะที่ sw  $D_0$  ปิดจะมีแรงดันตกคร่อม  $R_1$  5 โวลต์ ทำให้กระแสไหลผ่านเท่ากับ 0.05 แอมป์ ดังนั้นเอาต์พุตจึงมีค่าเท่ากับ  $-0.05 \times 10k = -0.5$  โวลต์ เมื่อเปิด sw  $D_1$  จะมีแรงดันตกคร่อม  $R_2$  เท่ากับ 0.1 แอมป์ ทำให้กระแสรวมที่ไหลผ่าน  $R_f$  เท่ากับ  $0.05 + 0.1 = 0.15$  Amp ดังนั้น เอาต์พุตจึงเป็น  $-0.15 \times 10k = -1.5$  v

เมื่อเปิด sw  $D_0-D_3$  ต่างๆไปก็จะได้แรงดันที่ต่างกันออกไปได้ลักษณะเป็นขั้นๆ แบบใช้ความต้านทาน 2 ค่า (R/2R ladder D/A converter)

เนื่องจาก ไอซีที่ใช้ในวงจรงานที่ใช้หลักการนี้ตั้งชื่อจึงขอกล่าวโดยละเอียดเพียงนี้ เพื่อ วงจร D/A มีขนาดมากกว่า 4 บิต วงจรตามรูปที่ 4.5.1 จะเกิดปัญหาเนื่องจากต้องการค่า ความต้านทานที่มีช่วงกว้างมากวิธีที่ใช้หลักการไบนารี่ เวลเหมือนกัน แต่ใช้ความต้านทานเพียง 2 ค่าดัง แลวงจรรูปที่ 4.5.2 ซึ่งกระแสจะถูกแปลงค่าแรงดันโดยออปแอมป์และตัวต้านทานป้อนกลับ  $R_f$  เปรียบวงจรในรูปที่ 4.5.1 วิธีนี้เรียกว่าการใช้ความต้านทาน 2 ค่า

รูปที่ 4.5.2 วงจร D/A ใช้ตัวต้านทาน 2 ค่า



สังเกตได้ที่หลักการของความต้านทาน 2 ค่า คล้ายกับกฎของเคอร์ชอฟ เพียงแต่ที่ว่าค่า ความต้านทานที่ใช้เป็นอัตราส่วนที่คำนวณได้ง่าย สมมติว่า sw  $D_3$  ซึ่งเป็น sw ปิดที่มีน้ำหนัก 8 คูณสูงสุดต่อกับแรงดันอ้างอิง 5 โวลต์ ในขณะที่ sw อื่นๆ ปิดลงกราวด์ถึงนั้น  $R_1 R_2$  จึงต่อ ขนานลงกราวด์ สังเกตตัวต้านทาน  $2R$  ต่อขนาน กับ  $2R$  อีกตัวหนึ่งซึ่งมีค่าเท่ากับ  $R$  ค่า  $R$  นี้จะ ถูกบวกกับ  $R_1$  กลายเป็นค่า  $2R$  แล้วขนานกับ  $R_3$  ลงกราวด์ การรวมของ  $R_3$  และตัว ต้านทานก่อนหน้าจึงทำให้เหลือเพียงค่า  $R$  ต่ออนุกรมกับ  $R_6$  ที่จากรูป เช่นเดียวกันกับวงจรส่วนที่ เกือบจะได้เป็นวงจรง่ายขึ้น ดังรูปที่ 4.5.2 ข

โดยที่กราวด์เฟืองของออปแอมป์มีแรงดัน 0 โวลต์ ทำให้ไม่มีกระแสไหลผ่านค่า ความต้านทานเหล่านี้ลงกราวด์ จึงไม่ต้องสนใจส่วนนี้ ดังนั้นแรงดัน 5 โวลต์ ที่ปลายข้างหนึ่ง เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่นอนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ของ  $R_7$  20 กิโลโห์ม ทำให้กระแส 0.25 มิลลิแอมป์ ผ่านโฟลตโวลต์เมตเตอร์  $R_f$  20 กิโลโห์ม แรงดันเอาต์พุตที่ได้จากปัดที่โหม้ยาศักดิ์สูงสุดจึงมีค่า -5 โวลต์

แรงดันที่ได้จากปัดที่โหม้ยาศักดิ์รองลงมาที่หาได้จากปัด  $sw$   $D_2$  โยบึง +5 โวลต์ และ  $D_3$  ลงกราวด์ ตัวต้านทานทั้งหมดที่มุ่งทางสายของ  $R_5$  ในรูปที่ 2.5.2 ก ลดรูปเหลือเพียง  $2R$  ต่อลงกราวด์ การวิเคราะห์วงจรสามารถหาคุณสมบัติของเทรโคโนเมอร์ได้โดยไม่ต้องแบ่งแรงดันระหว่าง  $R_5$  และ  $2R$  ที่ต่อลงกราวด์ดังรูป 2.5.2 ค แรงดันเทรโคโน คือแรงดันที่รอยต่อ หรือ 2.5 โวลต์ ตัวต้านทานเทรโคโนมีค่าเท่ากับตัวต้านทาน 2 ตัวต่อขนานกัน (หรือ  $R$ ) อุดกรณี่อยู่ด้านซ้ายของ  $R_6$  สามารถลดรูปได้เหลือค่า  $R$  ผสมกับ 2.5 โวลต์ สามารถหาทั้ง  $R_7$  ได้เพราะจุดปลายทั้ง 2 ค่าต่อลงกราวด์ ค่าความต้านทานรวมระหว่างที่จุดรวม (จุดกราวด์ใหม่) และแรงดันเทรโคโนคือ  $2R$  หรือ 20 กิโลโห์มกระแสที่จุดรวม คือ 2.5 โวลต์ หรือ 0.125 มิลลิแอมป์ กระแสที่ผ่าน  $R_f$  20 กิโลโห์ม ทำให้เกิดแรงดันเอาต์พุต -2.5 โวลต์ (สำหรับปัดที่โหม้ยาศักดิ์โหม้)

ด้วยการวิเคราะห์ในตนเองเดียวกันนี้ สามารถหาแรงดันเอาต์พุตที่โหม้ยาลงมาอีกได้ 1.25 โวลต์ ค่าสุดได้ 0.625 โวลต์ ในขณะที่ค่าดีจิตอลสูงสุด (สวิชชุกตัวต่อเอาต์ +5 โวลต์) ได้เอาต์พุตเต็มแกล 9.375 โวลต์

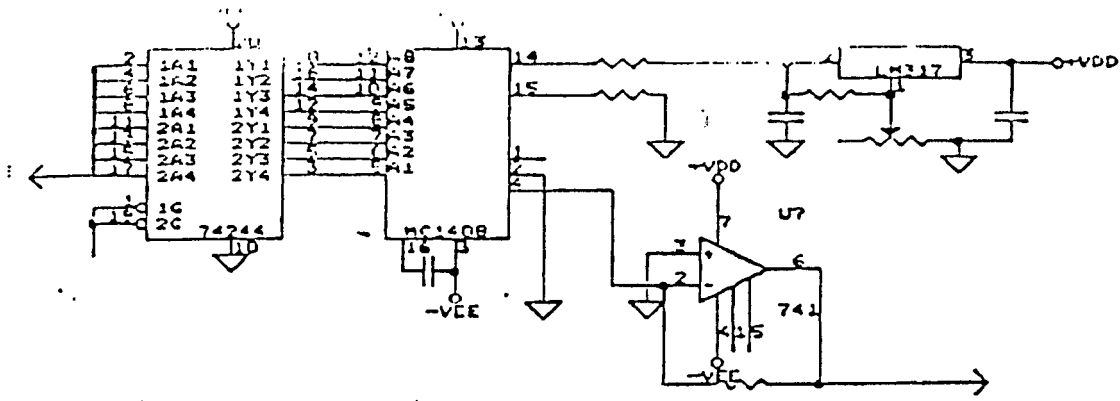
แม้ว่า  $D/A$  แบบ  $R/2R$  จะวิเคราะห์ยากกว่าแบบใช้ตัวต้านทานหลายค่า (weighted resistor) แต่จะง่ายกว่าสำหรับการต่อวงจรให้ถูกต้อง เพราะใช้ค่าความต้านทานเพียง 2 ค่าเท่ากัน จำนวนเพิ่มขึ้นได้โดยเพิ่มส่วนของ  $R/2R$  ลงไป วงจรมี 4 บิต ที่เป็น TTL หรือ CMOS อาจนำมาต่อแทนเอาต์พุตของ  $sw$  ในวงจรรูปที่ 4.5.2 ก เพื่อเพิ่มแรงดันเป็นขั้นบันไดได้

แบบใช้ IC

ซึ่งโครงการที่ใช้ IC เบอร์ 1408 มาใช้ในการทำงานซึ่งให้หลักการในการทำงานแบบ  $R/2R$  ladder ดังที่ได้กล่าวมาแล้วใน 1408L  $R/2R$  ladder แบ่งกระแสที่ได้จากภาคขยายเป็น 8 ระดับขึ้นกับค่าทางเลข binary . transistor แบบไฟโพลาร์ จะ  $sw$  ให้กระแสที่ได้สอดคล้องกับฮันท์ A ถึง  $A_5$  การเรียงจากปัดที่โหม้ยาศักดิ์สูงสุดถึงปัดที่โหม้ยาศักดิ์ต่ำสุดจะกลับกันของวงจรแบบทั่วไป แต่วงจรเบสิยาเส็ดิพพาคดีจิตอล เบสิเส็ดิพพาคดีจิตอลออกทางตัวจะไปได้เรียงอย่างนี้ ดังนั้นควรสำเนาออกอย่างละเอียดเสียก่อน

1408 มีกระแสเอาต์พุตที่สามารถเบสิยาเป็นแรงดันได้ด้วย ออปแอมป์และตัวต้านทานดังแผดงดังรูป 4.5.3

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.5.3 วงจร D/A ที่ใช้ในโครงการ

จากค่าที่เลือกไว้ ได้แรงดันเอาต์พุตเต็มสเกล ( อินพุต A<sub>1</sub> ถึง A<sub>8</sub> เป็น 1 )

คือ 2 โวลต์ \* ( 5 กิโลโห์ม / 1 กิโลโห์ม ) \* ( 255/256 ) ซึ่งถือว่าเป็นวงจรเบต่ายนสัญญาณแบบ 10 โวลต์ เต็มสเกล

คุณสมบัติของวงจร D/A

ลักษณะสมบัติพื้นฐานของการแปลงสัญญาณดิจิทัลเป็นแอนาลอกที่กล่าวถึง คือความละเอียด (resolution) ซึ่งขึ้นกับจำนวนของบิตทางเข้าอินพุต เช่น วงจรเบต่ายนสัญญาณ 8 บิต มีระดับเอาต์พุต 2<sup>8</sup> หรือ 256 ระดับ ดังนั้นความละเอียดคือ 1 ใน 256 วงจรเบต่ายนสัญญาณ 12 บิต มีความละเอียด 2<sup>12</sup> หรือ 4096 ความละเอียดบางครั้งจะคิดเป็นเปอร์เซ็นต์ คือ 1 / 4.96 = 0.024 เปอร์เซ็นต์

ลักษณะสมบัติต่อมาคือความถูกต้อง (accuracy) ของ D/A ความถูกต้องจากการเปรียบเทียบระหว่างเอาต์พุตจริงและเอาต์พุตที่ปรากฏ โดยคิดที่เต็มสเกล ถ้าวงจรเบต่ายนสัญญาณมีเอาต์พุตเต็มสเกลที่ 10 โวลต์ มีความถูกต้อง +/- 0.2 เปอร์เซ็นต์ ดังนั้นความผิดพลาดสูงสุดคือ 0.002 \* 10 โวลต์ หรือ 20 มิลลิโวลต์ ในทางทฤษฎีแล้ว ความถูกต้องของวงจรเบต่ายนสัญญาณดิจิทัลเป็นแอนาลอกไม่ควรต่ำกว่า +/- 2 ของค่าที่ LSB (บิตที่มีนัยสำคัญต่ำสุด)

วงจรเบต่ายนสัญญาณ 10 บิต มีความละเอียด 1/1024 หรือประมาณ 0.1 เปอร์เซ็นต์ ความถูกต้องควรมีค่า +/- 0.05 เปอร์เซ็นต์

ความผิดพลาดอาจเกิดขึ้นได้หลายประการ ในรูปที่ 4.5.2.1 แสดงไว้ 3 แบบ ดังต่อไปนี้

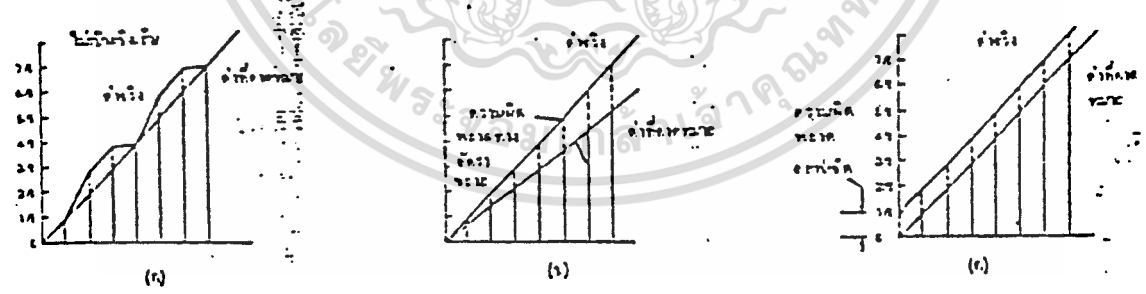
รูปที่ 4.5.4 รูปความเพี้ยนของสัญญาณ D/A

ความผิดพลาดเชิงเส้น (linearity errors) ค่าจริงที่ได้จากเอาต์พุตจริง ต่างจากเอาต์พุตตามทฤษฎีที่ควรจะเป็นเส้นตรง ความผิดพลาดนี้มักจะถูกวัดจากความผิดพลาดจากแหล่งจ่ายกระแสหรือความต้านทาน ความผิดพลาดแบบที่ 2 คือ ความผิดพลาดทางอัตราขยาย (gain error) ความผิดพลาดนี้มักจะถูกวัดจากความผิดพลาดของตัวต้านทานป้อนกลับของออปแอมป์ที่ทำการหาค่าที่ เบี่ยงเบนและเป็นแรงดัน

ความผิดพลาดออฟเซต (offset error) คือเมื่ออินพุตทุกตัวเป็น 0 แล้วเอาต์พุตไม่เป็น 0 ทำให้เอาต์พุตมีค่าแรงดันผิดพลาดค่าหนึ่งบวกกับค่าจริงตลอดเวลา ดังรูปที่ 5 ก. ความผิดพลาดนี้เกิดจากความผิดพลาดของการขยายออปแอมป์ และกระแสรั่วไหลที่การ sw.

ลักษณะสมบัติต่อมาคือ ความเป็นขั้นบันได (monotonicity) จะเรียกว่าเป็นขั้นบันไดขั้นบันไดต่อเนื่องเมื่อไม่มีกรณีการกระโดดข้ามขั้นตลอดอย่างยกเว้นการใช้งาน

ส่วนเวลา เซตเอาต์พุต (out put setting time) เป็นเวลาที่เอาต์พุตของวงจรเบี่ยงเบนสัญญาณที่ขึ้นถึง  $\pm 12$  ของ LSB หลังจากมีการเบี่ยงเบนแปลงทางด้านอินพุต ถ้าวงจรเบี่ยงเบนสัญญาณที่ทำงานด้วยความถี่สูงอาจทำให้การเพิ่มแรงดันไปถึงค่าที่ต้องการทำให้เกิดความผิดพลาดขึ้นได้อีกประการหนึ่ง



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## 2. การแปลงผันสัญญาณดิจิทัลเป็นอนาลอกสำหรับ IBM-PC

ในระบบคอมพิวเตอร์ที่มีการทำงานเป็นแบบดิจิทัลการจะเชื่อมต่อเข้ากันได้กับสัญญาณอนาลอกจำเป็นต้องมีการแปลงสัญญาณดิจิทัลเป็นสัญญาณอะนาลอก

อุปกรณ์ภายนอกแบบอนาลอก ที่ถูกควบคุมโดยคอมพิวเตอร์ ได้แก่ การควบคุมความเร็วของ DC motor การควบคุมเฟสแรงดันไฟฟ้าภาคเพาเวอร์คอนโทรล การแปลงสัญญาณดิจิทัลเป็นอนาลอก มีลักษณะดังนี้ หากสัญญาณดิจิทัลที่ใช้มีจำนวน  $x$  บิต เมื่อต้องการเปลี่ยนเป็นอนาลอกแรงดันไฟฟ้าเท่ากับ  $y$  พบว่าแต่ละช่วงของสัญญาณที่เปลี่ยนไปจะแตกต่างกัน

เมื่อสัญญาณดิจิทัลเปลี่ยนไปที่ละบิต สัญญาณอะนาลอกที่เปลี่ยนแต่ละช่วงมีค่าเท่ากับ  $(y/(2^x-1))$  โวลต์

รูปแสดงการเปลี่ยนค่าแต่ละบิต  $D_0-D_9$  จาก 0-1024

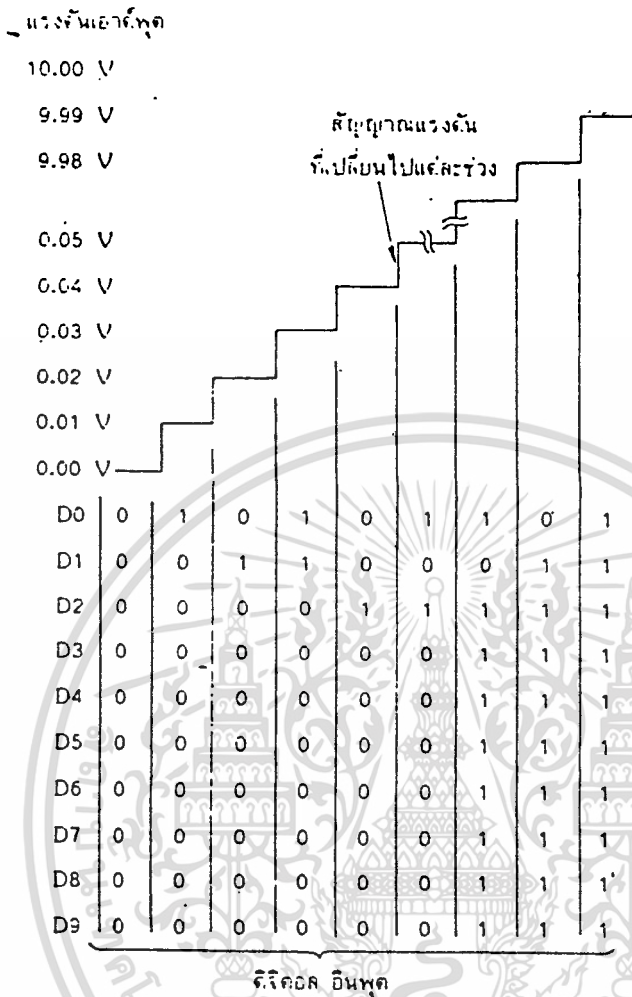
10 บิต

| D9 | D8 | D7 | D6 | D5 | D4 | D3 | D2 | D1 | D0 |   |
|----|----|----|----|----|----|----|----|----|----|---|
| 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0 |
| 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 1 |
| 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 1  | 0  |   |
| 1  | 1  | 1  | 1  | 1  | 1  | 1  | 1  | 1  | 1  | 1 |

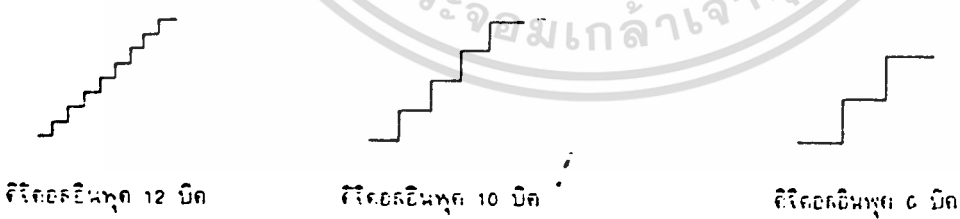
ถ้าสัญญาณดิจิทัลมีอินพุตบิต 10 บิต จะมีค่าเท่ากับ  $2^{10} - 1$  เท่ากับ 1023 ดังนั้นการเปลี่ยนค่าแต่ละบิต จะเปลี่ยนจาก 0-1024 ค่าและสัญญาณอะนาลอกที่เอาต์พุต แรงดันไฟฟ้ามีค่ามากที่สุดเป็น 10 โวลต์ ดังนั้นแรงดันไฟฟ้าที่เปลี่ยนไปเมื่อบิตเปลี่ยน จะเท่ากับ  $10/1023$  หรือประมาณ 10 มิลลิโวลต์ ตามลำดับ เมื่อค่าแต่ละบิตเปลี่ยนไป 1 บิตจะทำให้แรงดันไฟฟ้าเปลี่ยนไปช่วงละประมาณ 10 มิลลิโวลต์จะได้แรงดันอยู่ในระหว่าง 0-10 โวลต์ หากเพิ่มจำนวนบิตอินพุตของสัญญาณดิจิทัลมากขึ้นจะทำให้แต่ละช่วงของสัญญาณอนาลอกมีค่าน้อยลง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การแปลงสัญญาณดิจิทัลเป็นแอนะล็อก (D/A) สามารถทำได้ดังรูป



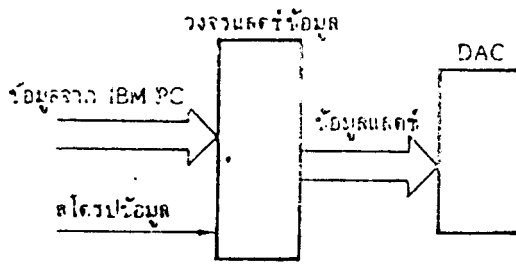
รูปที่ ความสัมพันธ์ระหว่างค่าดิจิทัลกับแรงดันเอาต์พุตของ DAC 10 บิต



รูปที่ การเปลี่ยนช่วงแต่ละช่วงของสัญญาณแอนะล็อกเอาต์พุต เมื่อเปลี่ยนจำนวนบิตของสัญญาณดิจิทัลอินพุตเป็น 12, 10, 6 บิต

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

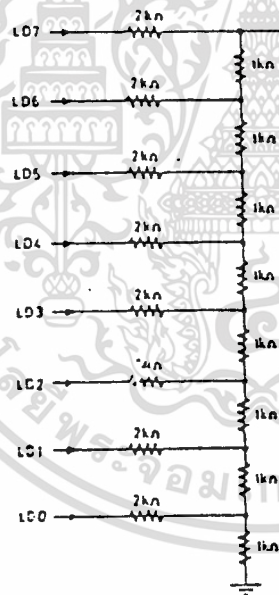
รูปแบบการเชื่อมโยงวงจร D/A เข้ากับ IBM PC



การแปลงผันสัญญาณดิจิทัลเป็นอะนาล็อกหรือ DAC (D/A) สามารถกระทำได้ด้วยวงจรอิเล็กทรอนิกส์เชื่อมต่อกับ IBM PC แสดงโครงสร้างวงมคังรูปที่

รูปแบบวงจร D/A แบบ R-2R ladder ขนาด 8 บิต

วงจร DAC ขนาด 8 บิต สามารถใช้แบบ R-2R ladder แสดงรายละเอียดของวงจรดังรูป โดยที่ทำการเชื่อมต่อขา Data D0-D7

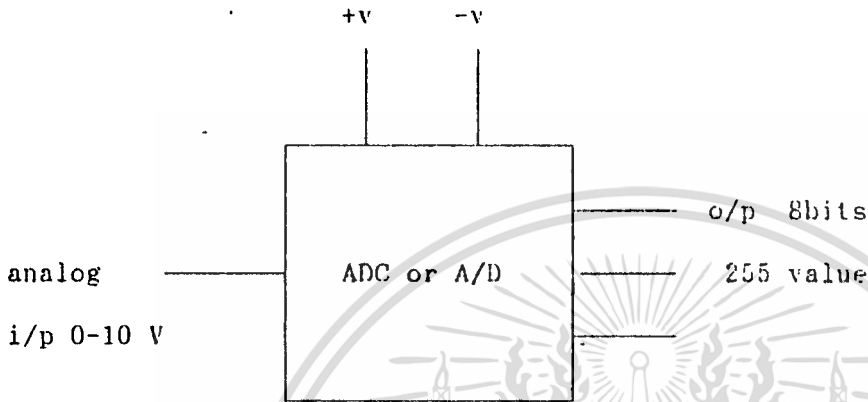


รายละเอียดของวงจร DAC แบบ R-2R ladder ขนาด 8 บิต

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีกรนำไปใช้

### 3. การแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิทัลสำหรับ IBM PC

การแปลงสัญญาณอนาลอกเป็นดิจิทัล ( A/D ) เป็นการแปลงสัญญาณแรงดันช่วงต่างๆ เป็นสัญญาณดิจิทัล



สัญญาณอินพุตให้ด้วย  
แปลงเป็น สัญญาณเอาต์พุตแปลง  
เป็นตัวเลขแล้ว

รูปแสดง Diagram ของ A/D

จากรูป ถ้าแรงดันอินพุตมีค่าต่ำสุด 0 โวลต์ ค่าดิจิทัล 8 บิตเท่ากับ 0 แต่ถ้าแรงดัน  
หยุดเท่ากับ 10 โวลต์ ค่าของดิจิทัลสูงสุดจะเท่ากับ 255 โวลต์ ซึ่งค่าเหล่านี้หาได้จาก  
แรงดันอินพุตมากที่สุด/ค่าดิจิทัลมากที่สุด =  $10/255$   
= 0.04 โวลต์

ดังนั้นค่าแรงดันอินพุต 0.04 โวลต์ ทำให้ค่าตัวเลขดิจิทัลเปลี่ยนไปเป็น 1 การต่อ วงจร  
A/D เข้ากับ IBM PC ใช้ IC # AD 570 สัญญาณอนาลอกที่อินพุต AD570 ซึ่งมีค่าระหว่าง 0-10  
โวลต์จะถูกแปลงเป็นสัญญาณดิจิทัลขนาด 8 บิต มีค่า 0-255 ผ่านทาง buffer IC 74LS244 เข้า  
D<sub>0</sub> - D<sub>7</sub> ของ IBM PC

การทำงานของเริ่มโดยการส่งสัญญาณ low เข้าที่ 11 ของ IC AD570 เพื่อทำการเริ่ม

ต้นแปลงสัญญาณดิจิทัล หลังจากนี้จะส่งสัญญาณเพื่อบอกการสิ้นสุดแก่ IBM PC ทางขา 17 เพื่อ  
ให้ IBM PC ทำการอ่านข้อมูลดิจิทัล ตารางต่อไปนี้แสดงการเปลี่ยนค่าดิจิทัล (D) เป็นค่าแรงดัน

ตาราง การเปลี่ยนค่าดีจิตอล (D) เป็นค่าแรงดันอินพุต (V)

| การเปลี่ยนค่าดีจิตอลกับแรงดันอินพุต |      |     |      |     |      |     |      |     |      |
|-------------------------------------|------|-----|------|-----|------|-----|------|-----|------|
| D                                   | V    | D   | V    | D   | V    | D   | V    | D   | V    |
| 0                                   | 0.00 | 1   | 0.04 | 2   | 0.08 | 3   | 0.12 | 4   | 0.16 |
| 5                                   | 0.20 | 6   | 0.24 | 7   | 0.27 | 8   | 0.31 | 9   | 0.35 |
| 10                                  | 0.39 | 11  | 0.43 | 12  | 0.47 | 13  | 0.51 | 14  | 0.55 |
| 15                                  | 0.59 | 16  | 0.63 | 17  | 0.67 | 18  | 0.71 | 19  | 0.75 |
| 20                                  | 0.78 | 21  | 0.82 | 22  | 0.85 | 23  | 0.90 | 24  | 0.94 |
| 25                                  | 0.98 | 25  | 1.02 | 27  | 1.06 | 28  | 1.10 | 29  | 1.14 |
| 30                                  | 1.18 | 31  | 1.22 | 32  | 1.25 | 33  | 1.29 | 34  | 1.33 |
| 35                                  | 1.37 | 36  | 1.41 | 37  | 1.45 | 38  | 1.49 | 39  | 1.63 |
| 40                                  | 1.57 | 41  | 1.61 | 42  | 1.65 | 43  | 1.69 | 44  | 1.73 |
| 45                                  | 1.76 | 46  | 1.80 | 47  | 1.84 | 48  | 1.88 | 49  | 1.92 |
| 50                                  | 1.96 | 51  | 2.00 | 52  | 2.04 | 53  | 2.06 | 54  | 2.12 |
| 55                                  | 2.16 | 56  | 2.20 | 57  | 2.24 | 58  | 2.27 | 59  | 2.31 |
| 60                                  | 2.35 | 61  | 2.39 | 62  | 2.43 | 63  | 2.47 | 64  | 2.51 |
| 65                                  | 2.55 | 66  | 2.59 | 67  | 2.63 | 68  | 2.67 | 69  | 2.71 |
| 70                                  | 2.75 | 71  | 2.78 | 72  | 2.82 | 73  | 2.86 | 74  | 2.90 |
| 75                                  | 2.94 | 76  | 2.98 | 77  | 3.02 | 78  | 3.06 | 79  | 3.10 |
| 80                                  | 3.14 | 81  | 3.18 | 82  | 3.22 | 83  | 3.25 | 84  | 3.29 |
| 85                                  | 3.33 | 86  | 3.37 | 87  | 3.41 | 88  | 3.45 | 89  | 3.49 |
| 90                                  | 3.53 | 91  | 3.57 | 92  | 3.61 | 93  | 3.65 | 94  | 3.69 |
| 95                                  | 3.73 | 96  | 3.76 | 97  | 3.80 | 98  | 3.84 | 99  | 3.88 |
| 100                                 | 3.91 | 101 | 3.96 | 102 | 4.00 | 103 | 4.04 | 104 | 4.08 |
| 105                                 | 4.12 | 106 | 4.16 | 107 | 4.20 | 108 | 4.24 | 109 | 4.27 |
| 110                                 | 4.31 | 111 | 4.35 | 112 | 4.39 | 113 | 4.43 | 114 | 4.47 |
| 115                                 | 4.51 | 116 | 4.55 | 117 | 4.59 | 118 | 4.63 | 119 | 4.67 |
| 120                                 | 4.71 | 121 | 4.75 | 122 | 4.78 | 123 | 4.82 | 124 | 4.86 |
| 125                                 | 4.90 | 126 | 4.94 | 127 | 4.98 | 128 | 5.02 | 129 | 5.06 |

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

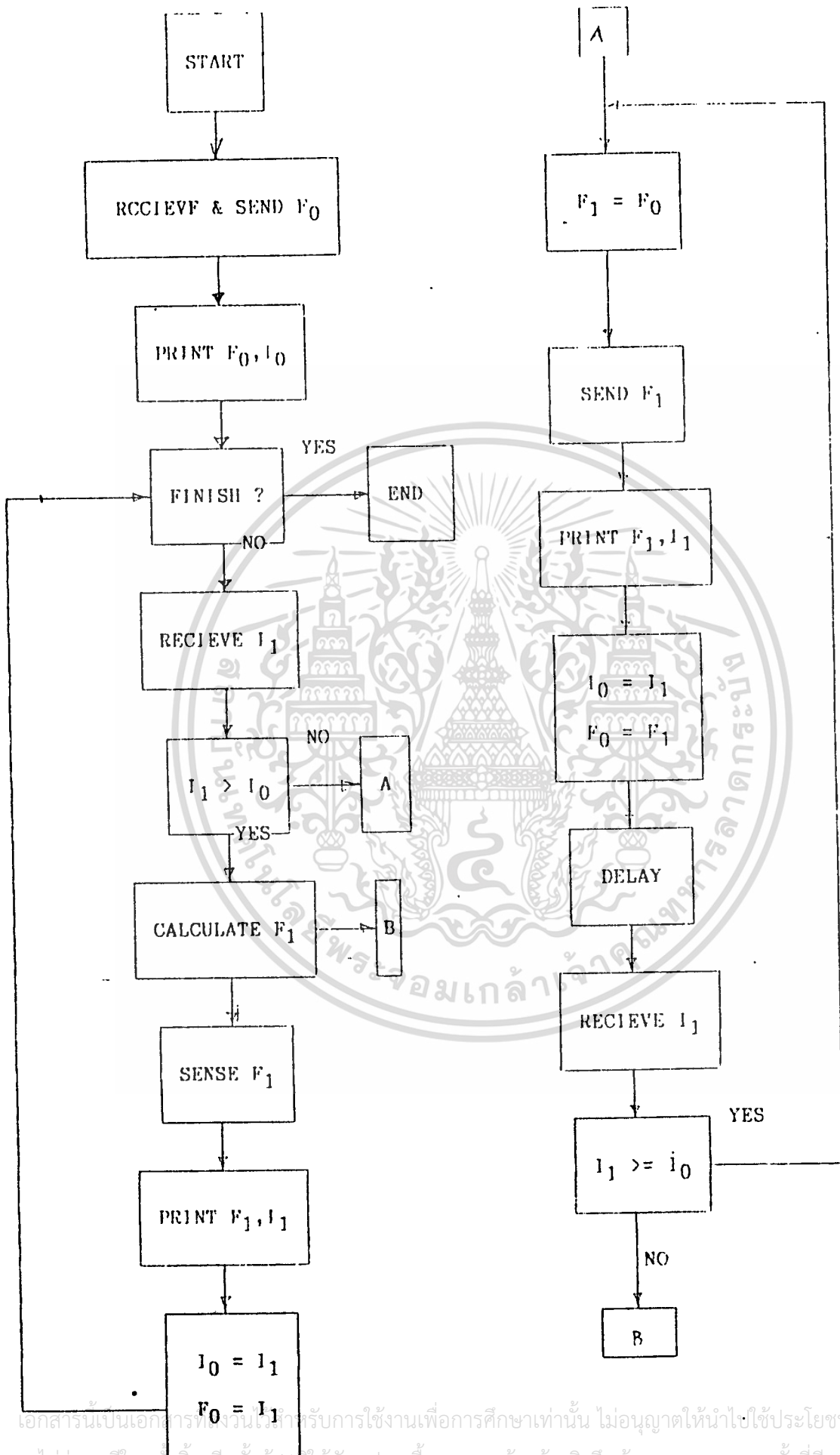
(ข้อ) การเปลี่ยนค่าจิจิตอล (D) เป็นค่าแรงดันอินพุต (V)

| การเปลี่ยนค่าจิจิตอลกับแรงดันอินพุต |       |     |      |     |      |     |      |     |      |
|-------------------------------------|-------|-----|------|-----|------|-----|------|-----|------|
| D                                   | V     | D   | V    | D   | V    | D   | V    | D   | V    |
| 130                                 | 5.10  | 131 | 5.14 | 132 | 5.18 | 133 | 5.22 | 134 | 5.25 |
| 135                                 | 5.29  | 136 | 5.33 | 137 | 5.37 | 138 | 5.41 | 139 | 5.45 |
| 140                                 | 5.49  | 141 | 5.53 | 142 | 5.57 | 143 | 5.61 | 144 | 5.65 |
| 145                                 | 5.69  | 146 | 5.73 | 147 | 5.76 | 148 | 5.80 | 149 | 5.84 |
| 150                                 | 5.88  | 151 | 5.92 | 152 | 5.96 | 153 | 6.00 | 154 | 6.04 |
| 155                                 | 6.08  | 156 | 6.12 | 157 | 6.16 | 158 | 6.20 | 159 | 6.24 |
| 160                                 | 6.27  | 161 | 6.31 | 162 | 6.35 | 163 | 6.39 | 164 | 6.43 |
| 165                                 | 6.47  | 166 | 6.51 | 167 | 6.55 | 168 | 6.59 | 169 | 6.63 |
| 170                                 | 6.67  | 171 | 6.71 | 172 | 6.75 | 173 | 6.78 | 174 | 6.82 |
| 175                                 | 6.86  | 176 | 6.90 | 177 | 6.94 | 178 | 6.98 | 179 | 7.02 |
| 180                                 | 7.06  | 181 | 7.10 | 182 | 7.14 | 183 | 7.18 | 184 | 7.22 |
| 185                                 | 7.25  | 186 | 7.29 | 187 | 7.33 | 188 | 7.37 | 189 | 7.41 |
| 190                                 | 7.45  | 191 | 7.49 | 192 | 7.53 | 193 | 7.57 | 194 | 7.61 |
| 195                                 | 7.65  | 196 | 7.69 | 197 | 7.73 | 198 | 7.76 | 199 | 7.80 |
| 200                                 | 7.84  | 201 | 7.88 | 202 | 7.92 | 203 | 7.96 | 204 | 8.00 |
| 205                                 | 8.04  | 206 | 8.08 | 207 | 8.12 | 208 | 8.16 | 209 | 8.20 |
| 210                                 | 8.24  | 211 | 8.27 | 212 | 8.31 | 213 | 8.35 | 214 | 8.39 |
| 215                                 | 8.43  | 216 | 8.47 | 217 | 8.51 | 218 | 8.55 | 219 | 8.59 |
| 220                                 | 8.63  | 221 | 8.67 | 222 | 8.71 | 223 | 8.75 | 224 | 8.78 |
| 225                                 | 8.82  | 226 | 8.86 | 227 | 8.90 | 228 | 8.94 | 229 | 8.98 |
| 230                                 | 9.02  | 231 | 9.06 | 232 | 9.10 | 233 | 9.14 | 234 | 9.18 |
| 235                                 | 9.22  | 236 | 9.25 | 237 | 9.29 | 238 | 9.33 | 239 | 9.37 |
| 240                                 | 9.41  | 241 | 9.45 | 242 | 9.49 | 243 | 9.53 | 244 | 9.57 |
| 245                                 | 9.61  | 246 | 9.65 | 247 | 9.69 | 248 | 9.73 | 249 | 9.76 |
| 250                                 | 9.80  | 251 | 9.84 | 252 | 9.88 | 253 | 9.92 | 254 | 9.96 |
| 255                                 | 10.00 |     |      |     |      |     |      |     |      |

D-ค่าจิจิตอล V-แรงดันอินพุต

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4. FLOWCHART



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

START

SEND F1

RECEIVE I1

INC F1 = F2

SET TO F1

RESEND F2

RECEIVE I2

$I_1 \geq I_2$

DEC F2 = F1  
DEC F1 = F3

SEND F3

RECEIVE I3

$I_1 \geq I_3$

INC F3 = F3+1

SEND F3+1

RECEIVE I3+1

DELAY

RECEIVE I3+2

$I_{3+1} = I_{3+2}$

INC F2 = F4

SEND F4

RECEIVE I4

$I_2 \geq I_4$

DEC F4 = F4+1

SEND F4+1

RECEIVE I4+1

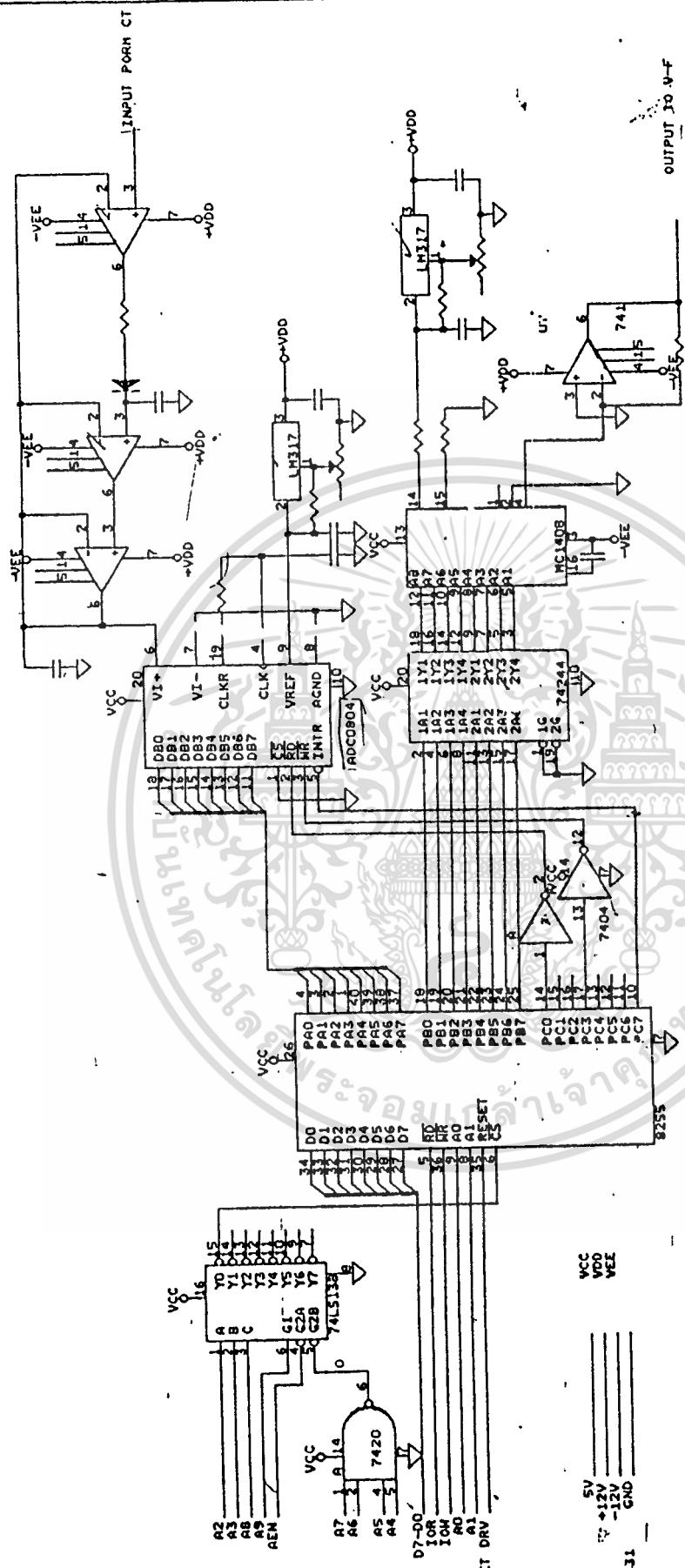
DELAY

RECEIVE I4+2

$I_{4+1} = I_{4+2}$

A

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไป



ANALOG INTERFACE CARD  
CONTROL4.0RC

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น มิใช่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามตัดต่อเปลี่ยนแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

|    |      |         |         |                |
|----|------|---------|---------|----------------|
| 1  | 0000 |         |         | cseg segment   |
| 2  |      |         |         | assume cs:cseg |
| 3  | 0100 |         |         | org 0100h      |
| 4  |      |         |         |                |
| 5  | 0100 | BA 02F3 |         | mov dx,02f3h   |
| 6  | 0103 | B0 90   |         | mov al,090h    |
| 7  | 0105 | EE      |         | out dx,al      |
| 8  | 0106 | BA 02F1 |         | mov dx,02f1h   |
| 9  | 0109 | B3 F0   |         | mov bl,0f0h    |
| 10 | 010B | 50      |         | push ax        |
| 11 | 010C | BA C3   |         | mov al,bl      |
| 12 | 010E | EE      |         | out dx,al      |
| 13 | 010F | 5B      |         | pop ax         |
| 14 | 0110 | BA 02F0 |         | mov dx,02f0h   |
| 15 | 0113 | 51      |         | push cx        |
| 16 | 0114 | B9 0100 |         | mov cx,0100h   |
| 17 | 0117 | EC      | m1:     | in al,dx       |
| 18 | 0118 | E2 FD   |         | loop m1        |
| 19 | 011A | 59      |         | pop cx         |
| 20 | 011B | B4 00   |         | mov ah,00h     |
| 21 | 011D | 50      |         | push ax        |
| 22 | 011E | BA 02F1 | stat:   | mov dx,02f1h   |
| 23 | 0121 | FE C3   |         | inc bl         |
| 24 | 0123 | 50      |         | push ax        |
| 25 | 0124 | BA C3   |         | mov al,bl      |
| 26 | 0126 | EE      |         | out dx,al      |
| 27 | 0127 | 5B      |         | pop ax         |
| 28 | 0128 | BA 02F0 |         | mov dx,02f0h   |
| 29 | 012B | 51      |         | push cx        |
| 30 | 012C | B9 0100 |         | mov cx,0100h   |
| 31 | 012F | EC      | m2:     | in al,dx       |
| 32 | 0130 | E2 FD   |         | loop m2        |
| 33 | 0132 | 59      |         | pop cx         |
| 34 | 0133 | B4 00   |         | mov ah,00h     |
| 35 | 0135 | 59      |         | pop cx         |
| 36 | 0136 | 50      |         | push ax        |
| 37 | 0137 | 3B CB   |         | cmp cx,ax      |
| 38 | 0139 | 50      |         | push ax        |
| 39 | 013A | 53      |         | push bx        |
| 40 | 013B | 51      |         | push cx        |
| 41 | 013C | 52      |         | push dx        |
| 42 | 013D | B2 41   |         | mov dl,041h    |
| 43 | 013F | B4 02   |         | mov ah,02h     |
| 44 | 0141 | CD 21   |         | int 021h       |
| 45 | 0143 | 5A      |         | pop dx         |
| 46 | 0144 | 59      |         | pop cx         |
| 47 | 0145 | 5B      |         | pop bx         |
| 48 | 0146 | 5B      |         | pop ax         |
| 49 | 0147 | 73 61   |         | jae decre      |
| 50 | 0149 | BA 02F1 | incre:  | mov dx,02f1h   |
| 51 | 014C | FE C3   | incre1: | inc bl         |
| 52 | 014E | 50      |         | push ax        |
| 53 | 014F | BA C3   |         | mov al,bl      |
| 54 | 0151 | EE      |         | out dx,al      |

|     |      |         |         |              |
|-----|------|---------|---------|--------------|
| 55  | 0152 | 5B      |         | pop ax       |
| 56  | 0153 | BA 02F0 |         | mov dx,02f0h |
| 57  | 0156 | 51      |         | push cx      |
| 58  | 0157 | B9 0100 |         | mov cx,0100h |
| 59  | 015A | EC      | m3:     | in al,dx     |
| 60  | 015B | E2 FD   |         | loop m3      |
| 61  | 015D | 59      |         | pop cx       |
| 62  | 015E | B4 00   |         | mov ah,00h   |
| 63  | 0160 | 59      |         | pop cx       |
| 64  | 0161 | 50      |         | push ax      |
| 65  | 0162 | 3B CB   |         | cmp cx,ax    |
| 66  | 0164 | 50      |         | push ax      |
| 67  | 0165 | 53      |         | push bx      |
| 68  | 0166 | 51      |         | push cx      |
| 69  | 0167 | 52      |         | push dx      |
| 70  | 0168 | B2 42   |         | mov dl,042h  |
| 71  | 016A | B4 02   |         | mov ah,02h   |
| 72  | 016C | CD 02   |         | int 02h      |
| 73  | 016E | 5A      |         | pop dx       |
| 74  | 016F | 59      |         | pop cx       |
| 75  | 0170 | 5B      |         | pop bx       |
| 76  | 0171 | 5B      |         | pop ax       |
| 77  | 0172 | 73 D5   |         | jae incre    |
| 78  | 0174 | BA 02F1 |         | mov dx,02f1h |
| 79  | 0177 | FE CB   |         | dec bl       |
| 80  | 0179 | 50      | incre3: | push ax      |
| 81  | 017A | BA C3   |         | mov al,bl    |
| 82  | 017C | EE      |         | out dx,al    |
| 83  | 017D | 5B      |         | pop ax       |
| 84  | 017E | BA 02F0 |         | mov dx,02f0h |
| 85  | 0181 | 51      |         | push cx      |
| 86  | 0182 | B9 0100 |         | mov cx,0100h |
| 87  | 0185 | EC      | m4:     | in al,dx     |
| 88  | 0186 | E2 FD   |         | loop m4      |
| 89  | 0188 | 59      |         | pop cx       |
| 90  | 0189 | B4 00   |         | mov ah,00h   |
| 91  | 018B | 50      |         | push ax      |
| 92  | 018C | BA 02F0 |         | mov dx,02f0h |
| 93  | 018F | 51      |         | push cx      |
| 94  | 0190 | B9 0100 |         | mov cx,0100h |
| 95  | 0193 | EC      | m5:     | in al,dx     |
| 96  | 0194 | E2 FD   |         | loop m5      |
| 97  | 0196 | 59      |         | pop cx       |
| 98  | 0197 | 59      |         | pop cx       |
| 99  | 0198 | 3B CB   |         | cmp cx,ax    |
| 100 | 019A | 50      |         | push ax      |
| 101 | 019B | 53      |         | push bx      |
| 102 | 019C | 51      |         | push cx      |
| 103 | 019D | 52      |         | push dx      |
| 104 | 019E | B2 43   |         | mov dl,043h  |
| 105 | 01A0 | B4 02   |         | mov ah,02h   |
| 106 | 01A2 | CD 21   |         | int 021h     |
| 107 | 01A4 | 5A      |         | pop dx       |
| 108 | 01A5 | 59      |         | pop cx       |

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

|     |      |         |         |              |
|-----|------|---------|---------|--------------|
| 109 | 01A6 | 5B      |         | pop bx       |
| 110 | 01A7 | 5B      |         | pop ax       |
| 111 | 01A8 | 74 CF   |         | jz incre3    |
| 112 | 01AA | BA 02F1 | decre:  | mov dx,02f1h |
| 113 | 01AD | FE CB   | decre1: | dec bl       |
| 114 | 01AF | 50      |         | push ax      |
| 115 | 01B0 | 8A C3   |         | mov al,bl    |
| 116 | 01B2 | EE      |         | out dx,al    |
| 117 | 01B3 | 5B      |         | pop ax       |
| 118 | 01B4 | BA 02F0 |         | mov dx,02f0h |
| 119 | 01B7 | 51      |         | push cx      |
| 120 | 01B8 | B9 0100 |         | mov cx,0100h |
| 121 | 01BB | EC      | m6:     | in al,dx     |
| 122 | 01BC | E2 FD   |         | loop m6      |
| 123 | 01BE | 59      |         | pop cx       |
| 124 | 01BF | B4 00   |         | mov ah,00h   |
| 125 | 01C1 | 59      |         | pop cx       |
| 126 | 01C2 | 50      |         | push ax      |
| 127 | 01C3 | 3B CB   |         | cmp cx,ax    |
| 128 | 01C5 | 50      |         | push ax      |
| 129 | 01C6 | 53      |         | push bx      |
| 130 | 01C7 | 51      |         | push cx      |
| 131 | 01C8 | 52      |         | push dx      |
| 132 | 01C9 | B2 44   |         | mov dl,044h  |
| 133 | 01CB | B4 02   |         | mov ah,02h   |
| 134 | 01CD | CD 21   |         | int 21h      |
| 135 | 01CF | 5A      |         | pop dx       |
| 136 | 01D0 | 59      |         | pop cx       |
| 137 | 01D1 | 5B      |         | pop bx       |
| 138 | 01D2 | 5B      |         | pop ax       |
| 139 | 01D3 | 73 DB   |         | jae decre1   |
| 140 | 01D5 | BA 02F1 | decre2: | mov dx,02f1h |
| 141 | 01D8 | FE C3   |         | inc bl       |
| 142 | 01DA | 50      | decre3: | push ax      |
| 143 | 01DB | 8A C3   |         | mov al,bl    |
| 144 | 01DD | EE      |         | out dx,al    |
| 145 | 01DE | 5B      |         | pop ax       |
| 146 | 01DF | BA 02F0 |         | mov dx,02f0h |
| 147 | 01E2 | 51      |         | push cx      |
| 148 | 01E3 | B9 0100 |         | mov cx,0100h |
| 149 | 01E6 | EC      | m7:     | in al,dx     |
| 150 | 01E7 | E2 FD   |         | loop m7      |
| 151 | 01E9 | 59      |         | pop cx       |
| 152 | 01EA | B4 00   |         | mov ah,00h   |
| 153 | 01EC | 50      |         | push ax      |
| 154 | 01ED | BA 02F0 |         | mov dx,02f0h |
| 155 | 01F0 | 51      |         | push cx      |
| 156 | 01F1 | B9 0100 |         | mov cx,0100h |
| 157 | 01F4 | EC      | m8:     | in al,dx     |
| 158 | 01F5 | E2 FD   |         | loop m8      |
| 159 | 01F7 | 59      |         | pop cx       |
| 160 | 01F8 | 59      |         | pop cx       |
| 161 | 01F9 | 50      |         | push ax      |
| 162 | 01FA | 3B CB   |         | cmp cx,ax    |

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

|     |      |    |    |             |
|-----|------|----|----|-------------|
| 163 | 01FC | 50 |    | push ax     |
| 164 | 01FD | 53 |    | push bx     |
| 165 | 01FE | 51 |    | push cx     |
| 166 | 01FF | 52 |    | push dx     |
| 167 | 0200 | B2 | 45 | mov dl,045h |
| 168 | 0202 | B4 | 02 | mov ah,02h  |
| 169 | 0204 | CD | 21 | int 021h    |
| 170 | 0206 | 5A |    | pop dx      |
| 171 | 0207 | 59 |    | pop cx      |
| 172 | 0208 | 5B |    | pop bx      |
| 173 | 0209 | 58 |    | pop ax      |
| 174 | 020A | 75 | 9E | jnz decre   |
| 175 | 020C | 74 | CC | jz decre3   |
| 176 | 020E | CD | 20 | int 020h    |
| 177 | 0210 |    |    | ends        |
| 178 |      |    |    | end         |

cseg

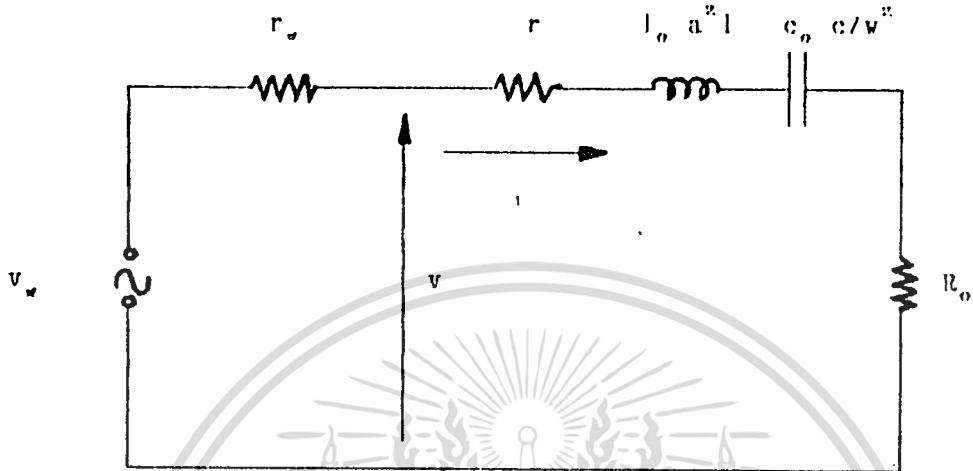


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# FREQUENCY INDUCTION HEATING

$$f_0 = 1/2\pi \sqrt{L(c/v/a^2 i_0 + 1/w, c) \cdot c/w, l}$$

circuit load

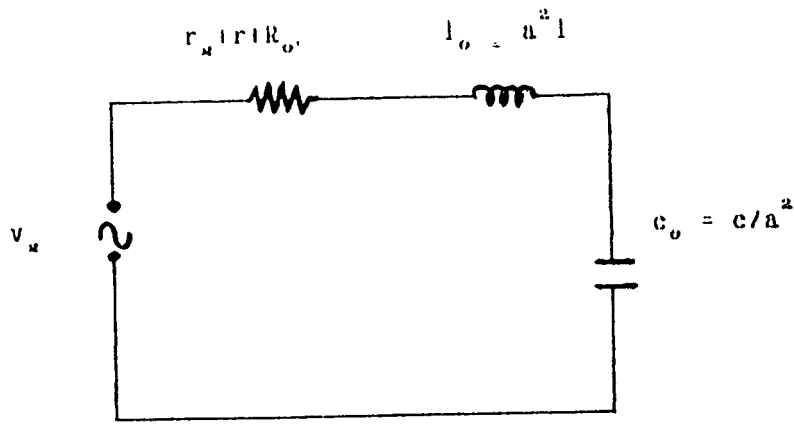


definition :

- $v_w$  = equivalent
- $r_w$  = internal resonance of the inverter
- $v$  = output voltage of the inverter
- $i$  = output current of the inverter
- $R_0$  = equivalent output resistance of the heating system
- $a$  = turns ratio of matching transformer
- $L$  = equivalent inductance of the heating system
- $c$  = resonance capacitor

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

equivalent circuit



$$X_L = \omega L = \omega a^2 l$$

$$X_C = 1/\omega C = a^2 / \omega C$$

$$V/I_1 = a^2 (\omega L_1 + 1/\omega C_1)$$

$$L_1 = 1/\omega_1 (V/I_1 a^2 + 1/\omega_1 C)$$

$$L_1 = [V/a^2 I_1 + 1/\omega_1 C] / \omega_1$$

resonance frequency r-l-c circuit

$$f_o = 1/(2\pi \sqrt{LC})$$

thus 
$$f_o = 1/[2\pi \sqrt{(V/a^2 I_1 + 1/\omega_1 C) / \omega_1 C}]$$

$$f_o = 1/[2\pi \sqrt{(V/a^2 I_1 + 1/\omega_1 C) C / \omega_1}]$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การสร้างเครื่องต้นแบบและผลการทดลอง

6.1 การสร้างเครื่องต้นแบบ

inverter

powermosfet # MTM 15N50 , I<sub>r</sub> 15 amp ,  
I<sub>p</sub> 52 amp 500 volt

highfrequency transformer

ใช้แกน ferrite แบบ c type ภาค high volt ของ TV มา  
ประกบกันเพื่อให้ได้พื้นที่ตามต้องการ

$$A_n \cdot A_n = P \cdot 10^5 / (1.16 f B d)$$

A<sub>n</sub> = พ.ท. ของแกน ferrite ทั้งหมด

A<sub>n</sub> = พ.ท. สำหรับ พันขดลวด

P = power ที่ต้องการ

f = frequency

B = flux density (wb/m<sup>2</sup>)

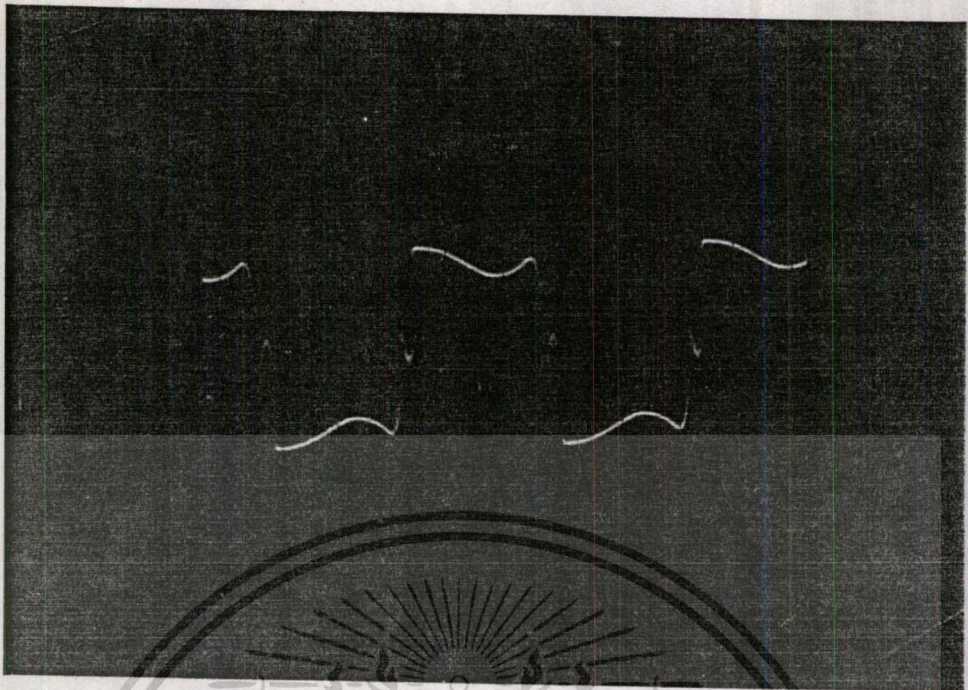
d = current density (450 amp/cm<sup>2</sup>)

และ 
$$e = 4.44 f N B A_n$$

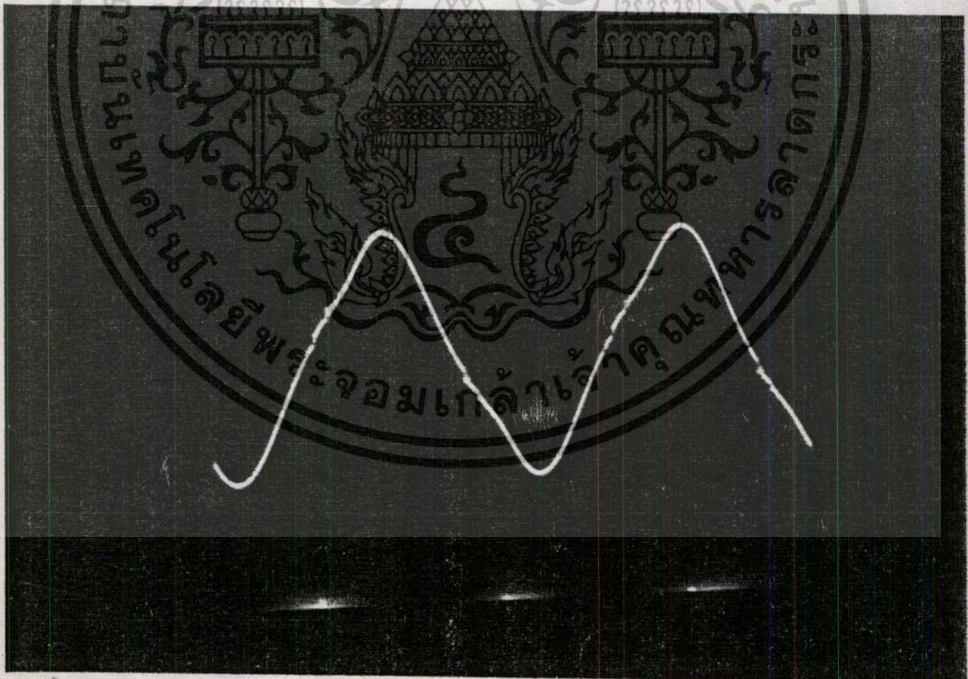
$$N = e / (4.44 f B A_n)$$

resonant capacitor 1 uF

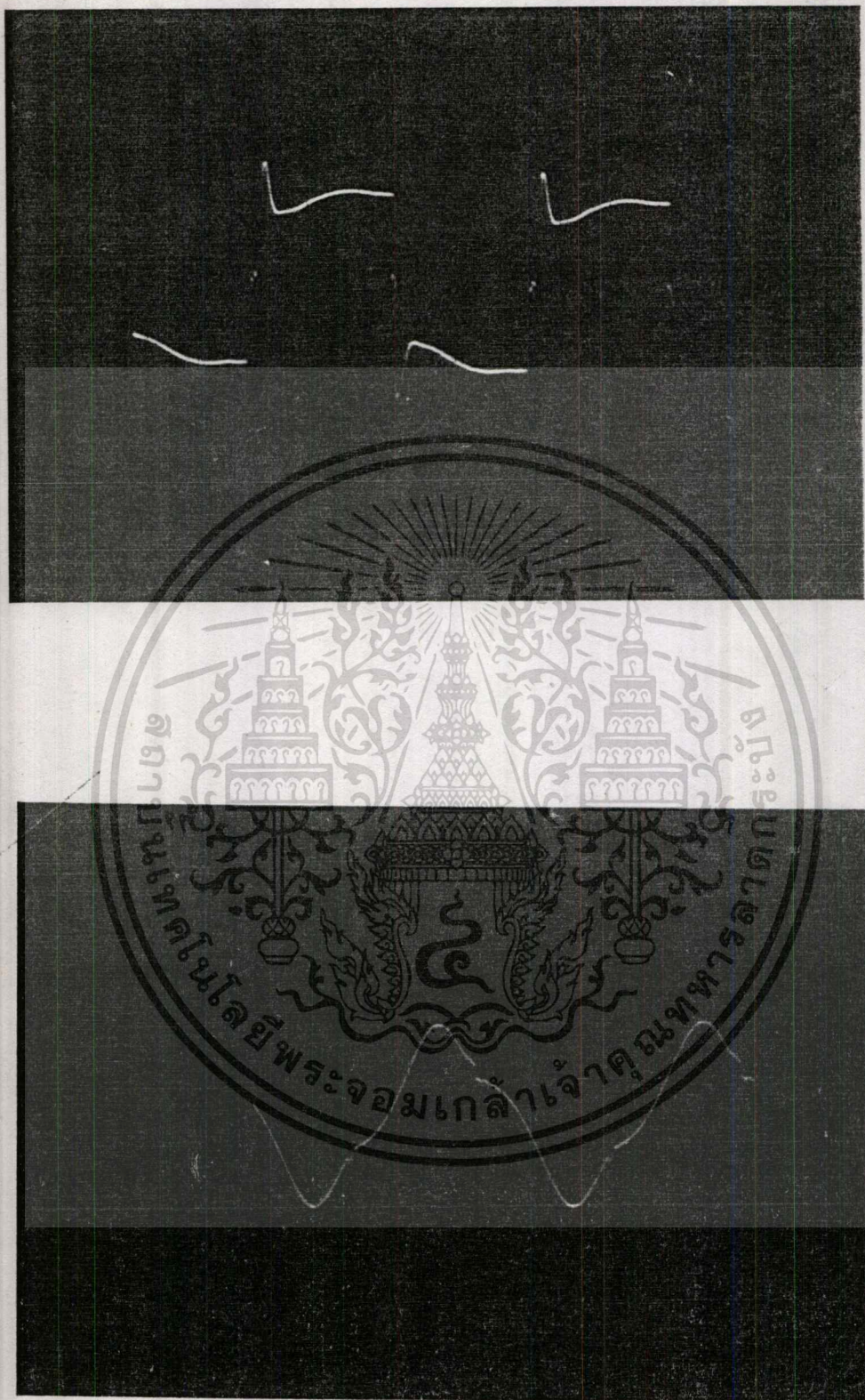
heat coil ใช้ ท่อทองแดงขนาด 3/16 นิ้ว พันเป็น coil เส้นผ่า  
ศูนย์กลาง 3/4 นิ้ว 7 รอบ



รูปที่ 6.1 แสดงลักษณะ VOLTAGE ที่จ่ายให้ด้าน PRIMARY ของ TRANSFORMER  
 100 V 33 kHz

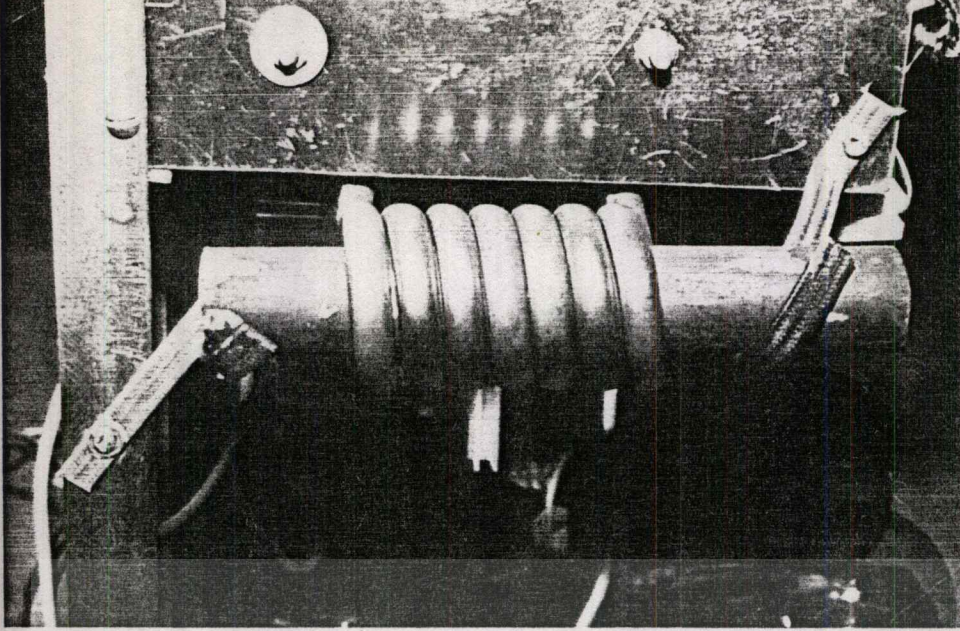


รูปที่ 6.2 แสดงลักษณะของกระแสทางด้าน PRIMARY ของ TRANSFORMER 4 A

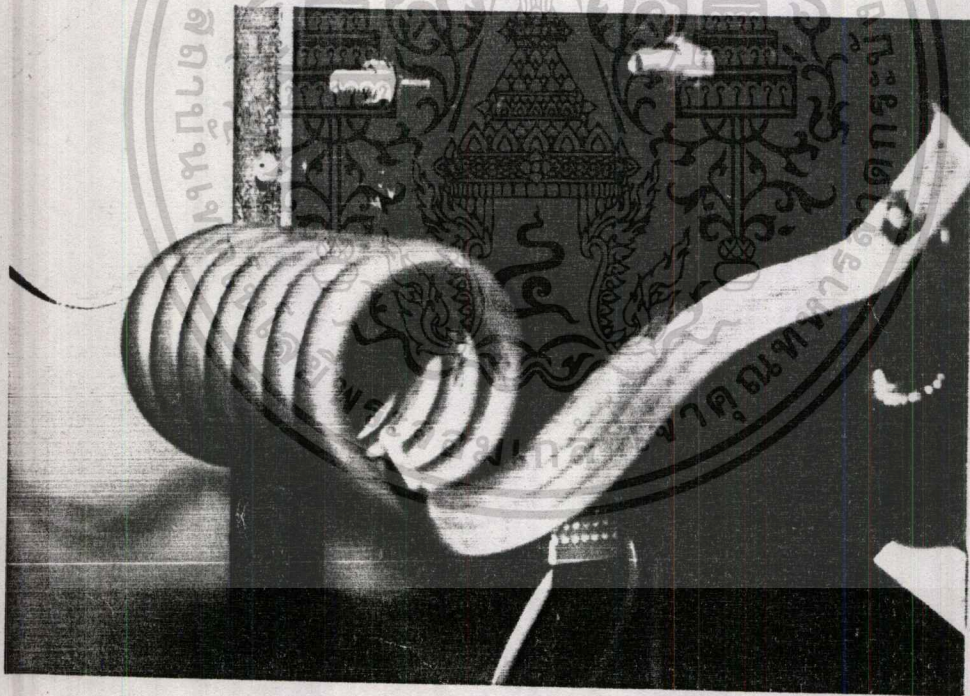


รูปที่ 6.3 แสดงสัญญาณของ voltage and current ที่ความถี่ยังไม่ resonant

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

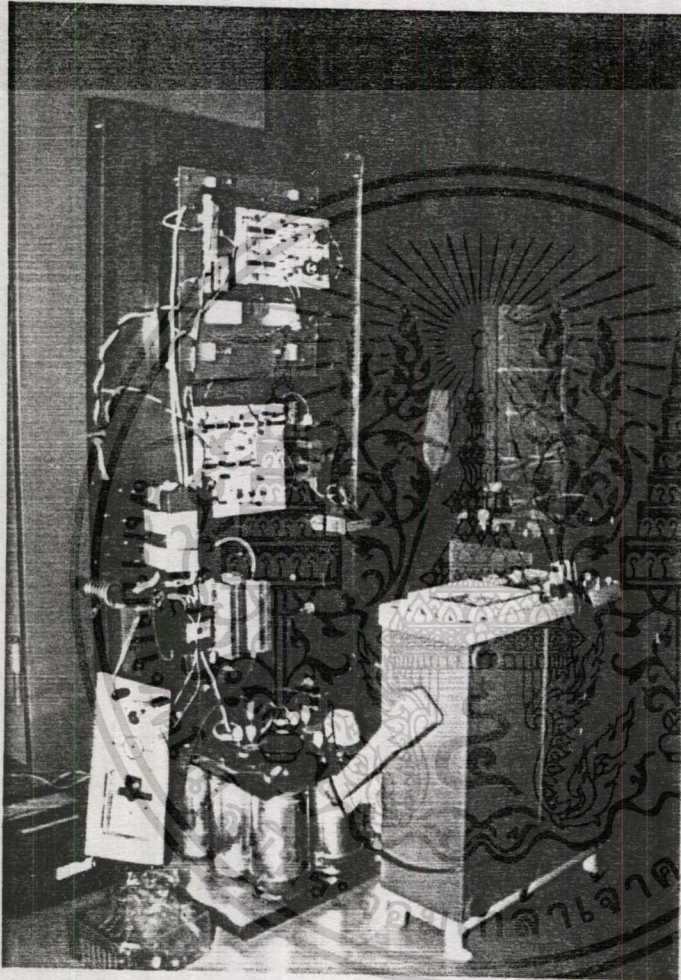


รูปที่ 6.4 แสดงชิ้นงานเมื่อได้รับความร้อนจะแดงเฉพาะที่ผิว



รูปที่ 6.5 แสดง coil ให้ความร้อนที่ได้สร้างชิ้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 6.6 แสดงเครื่องต้นแบบที่สร้างขึ้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

### 6.3 สรุปผลและวิจารณ์การทดลอง

ตอนที่ 1 OPEN LOOP (ไม่มี computer) เราทำการทดลองโดยปรับความถี่ให้ inverter ทำงานที่ความถี่ resonant โดยสังเกตจากการเปลี่ยนแปลงของสัญญาณกระแส ที่จุดนี้สัญญาณจะมีลักษณะคล้าย sine wave และกระแสจะมีค่าสูงสุดด้วย เมื่ออุณหภูมิของโลหะเริ่มสูงขึ้น ผลปรากฏว่ากระแสเริ่มลดลง และรูปสัญญาณของกระแสเริ่มเปลี่ยนไป ถ้าต้องการให้รูปสัญญาณของกระแสมีลักษณะเหมือนเดิม จะต้องปรับให้ความถี่มีค่าเพิ่มขึ้น ซึ่งแสดงว่าความถี่สูงขึ้น ดังนั้น เพื่อให้การติดตามความถี่เป็นไปอย่างใกล้ชิด จึงได้ใช้ computer ในการติดตามความถี่

#### ตอนที่ 2 CLOSED LOOP CONTROL

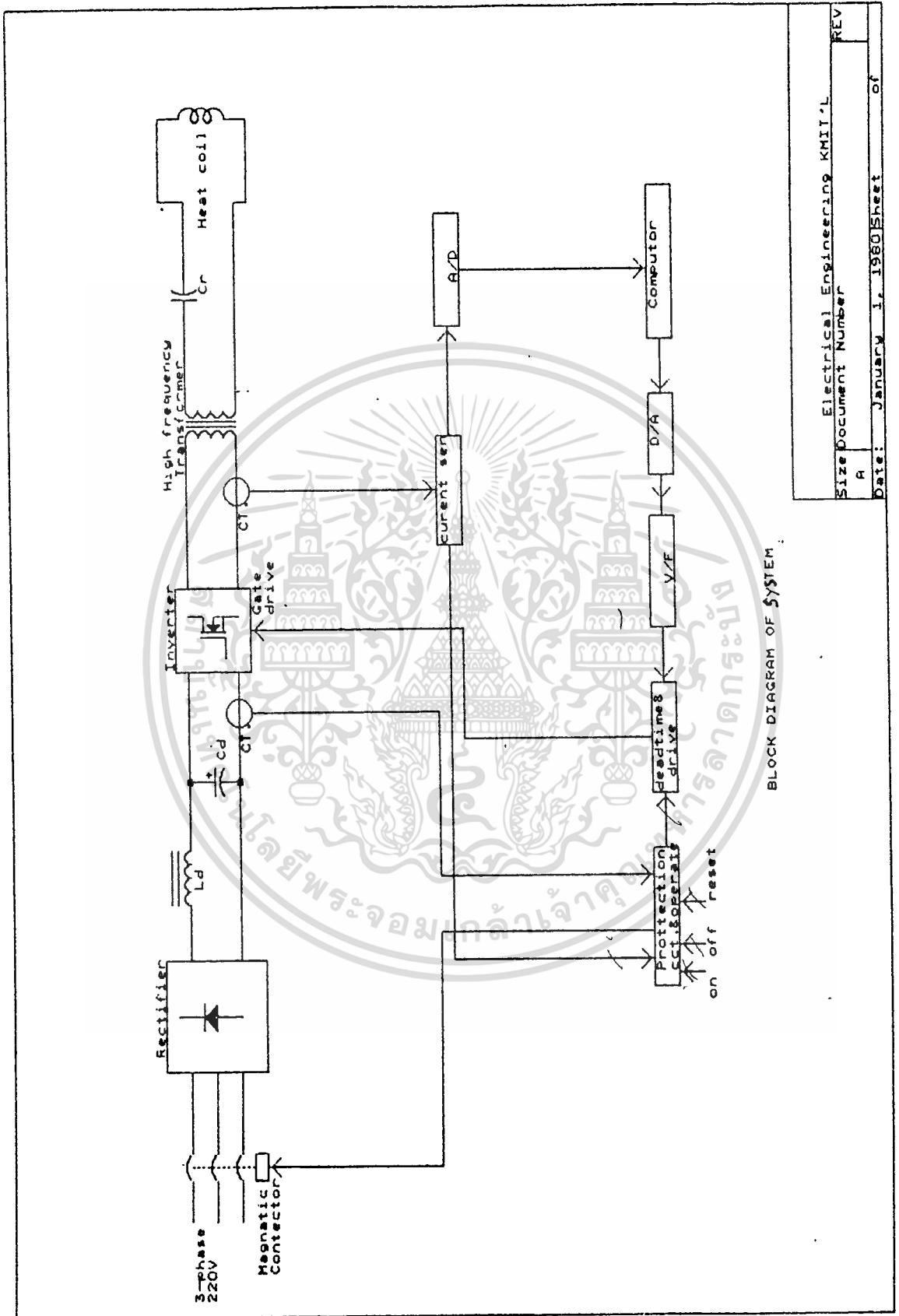
เมื่อนำ computer มาควบคุม ทำให้การติดตามความถี่เป็นไปอย่างใกล้ชิด กระแสที่จ่ายไปที่ชิ้นงานมีค่าสูงสุดตลอดเวลา กำลังสูงสุด ทำให้เวลาในการให้ความร้อนลดลง และกำลังสูญเสียในการลัดวงจรน้อย

#### วิจารณ์ผลการทดลองและปัญหาที่เกิดขึ้น

1. ปัญหาที่เกิดขึ้นที่ high frequency transformer เนื่องจากแกน ferrite ขนาดใหญ่ไม่มีขายในท้องตลาด จึงต้องมีการสร้างขึ้นเอง อาจจะทำให้เกิด lose ในส่วนนี้มาก และความถี่ในการทำงานสูงด้วย
2. ขั้นตอนในการออกแบบยังไม่ถูกต้องอยู่ ควรจะเริ่มจาก กำหนดเวลาในการให้ความร้อน แล้วหากำลังต่อพื้นที่ของชิ้นงาน แล้วจึงมากำหนดอุปกรณ์ แต่เราทำกลับกัน
3. เวลาในการให้ความร้อนยังนานอยู่ ทำให้เกิดความร้อนสะสมในชิ้นงาน
4. ความถี่ที่ computer ส่งออกไปยังไม่ละเอียดพอ ทำให้ inverter ไม่ทำงานที่ความถี่ resonant ที่แท้จริง



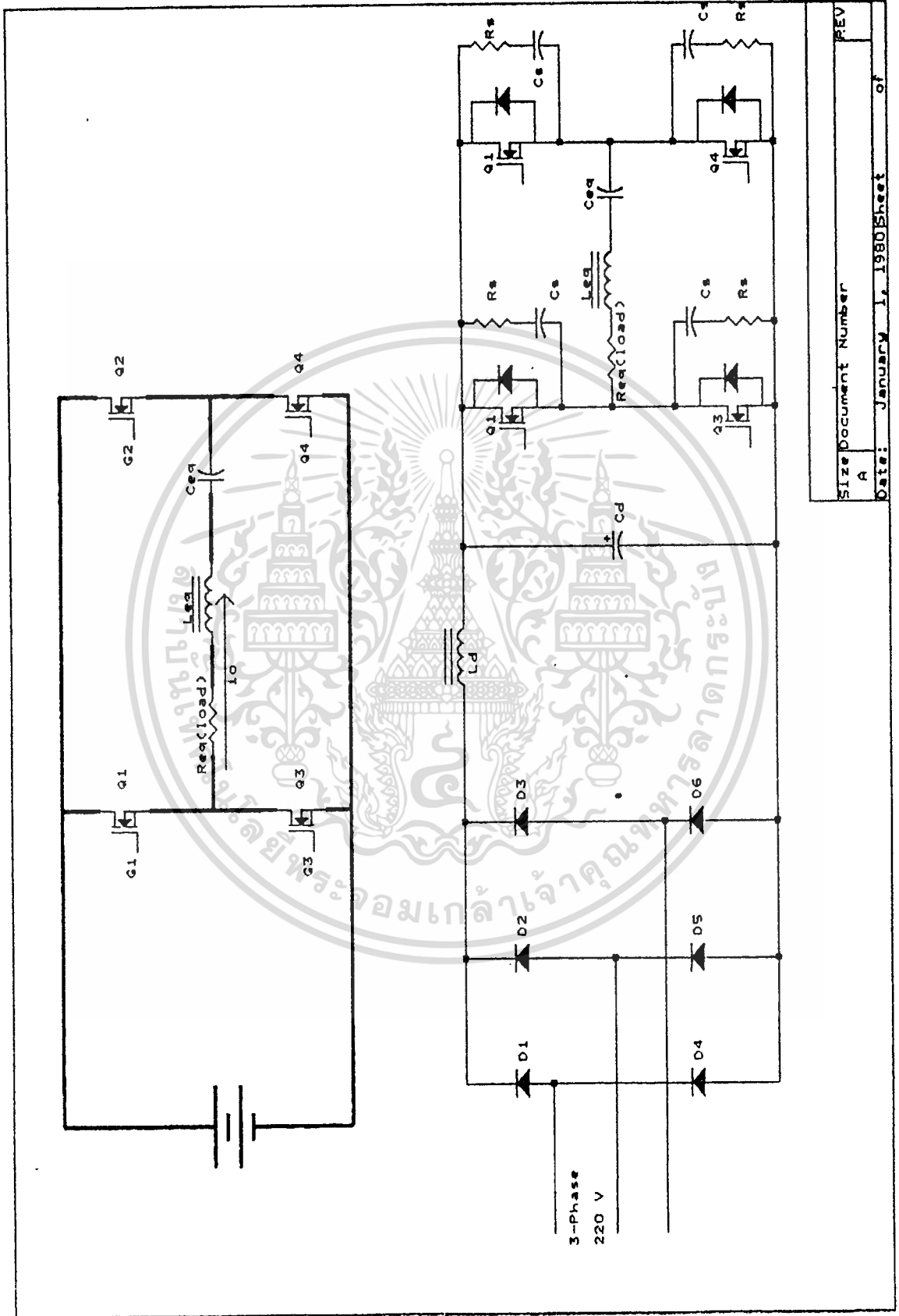
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



BLOCK DIAGRAM OF SYSTEM :

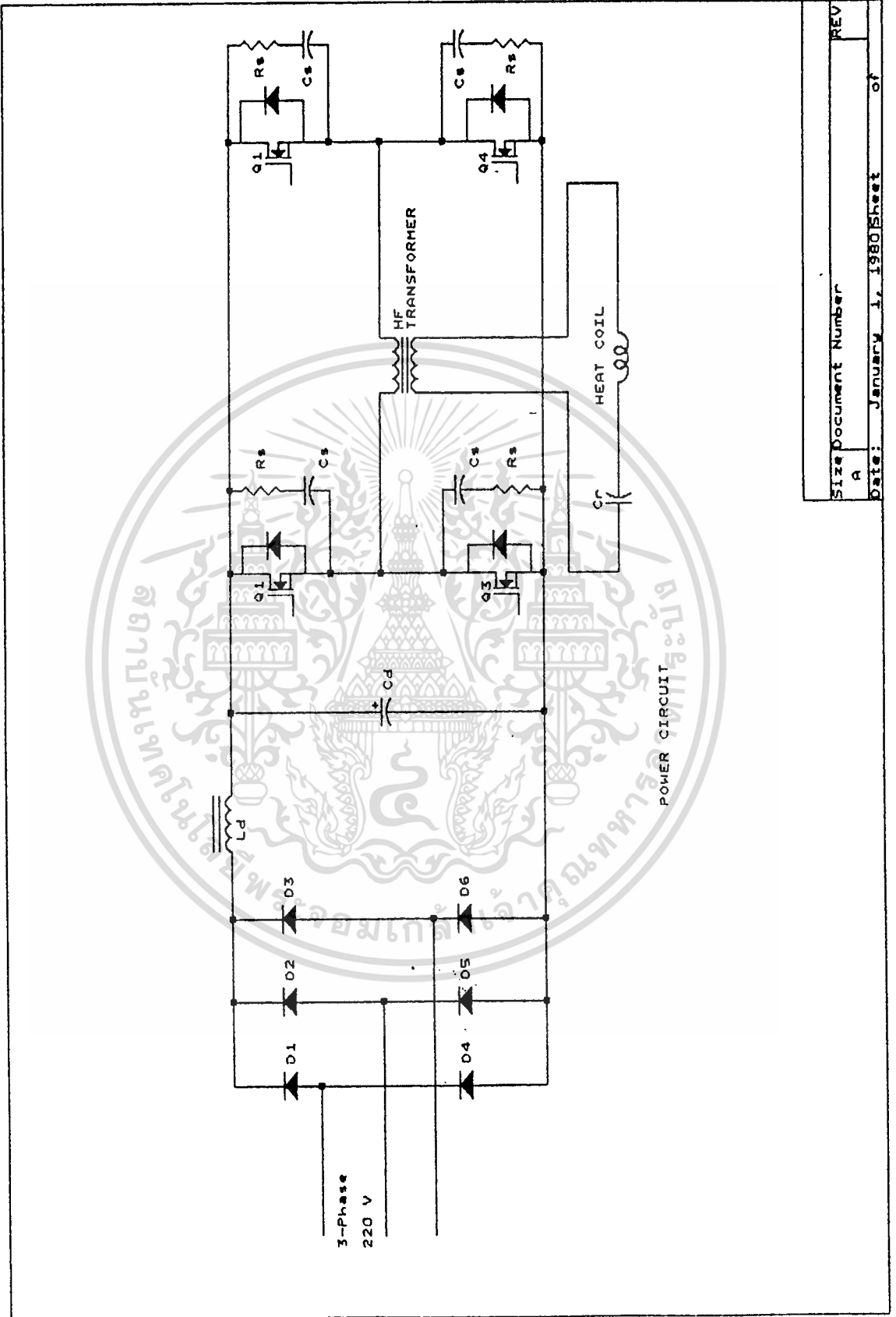
|                               |                          |
|-------------------------------|--------------------------|
| Electrical Engineering KMIT'L |                          |
| Size                          | Document Number          |
| A                             | REV                      |
| Date:                         | January 1, 1980 Sheet of |

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่นอนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



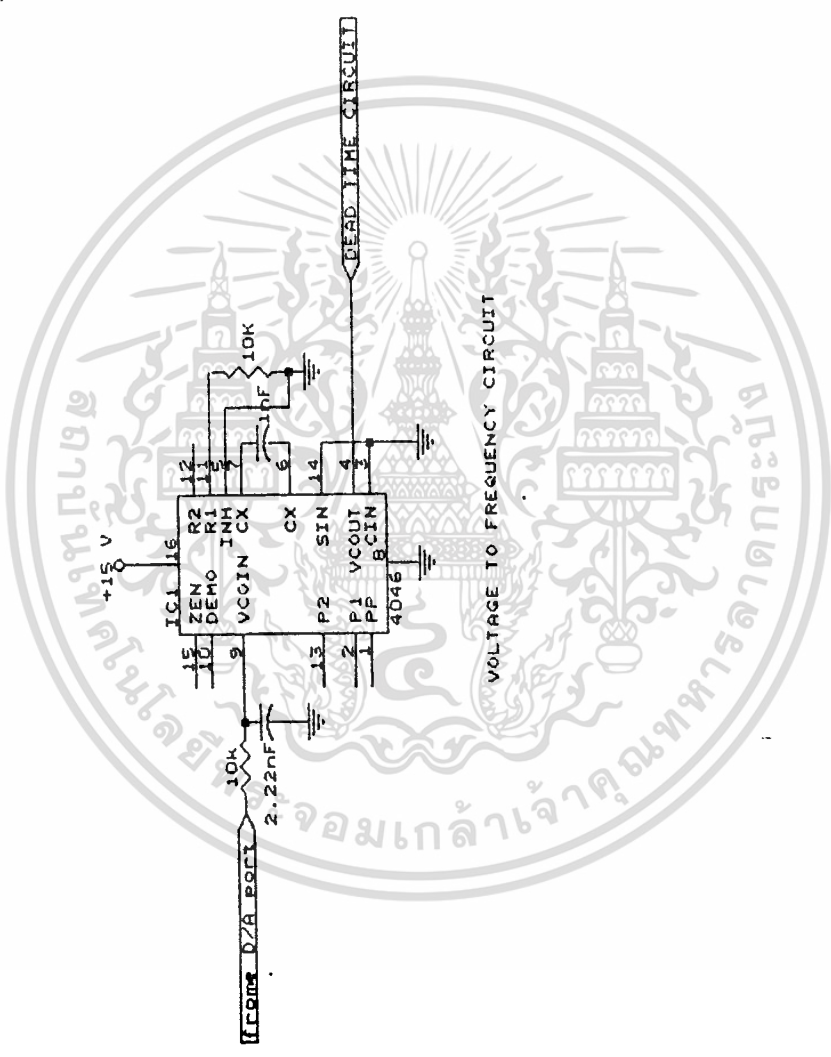
|       |                 |          |
|-------|-----------------|----------|
| Size  | Document Number | REV      |
| A     |                 |          |
| Date: | January 1, 1980 | Sheet of |

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



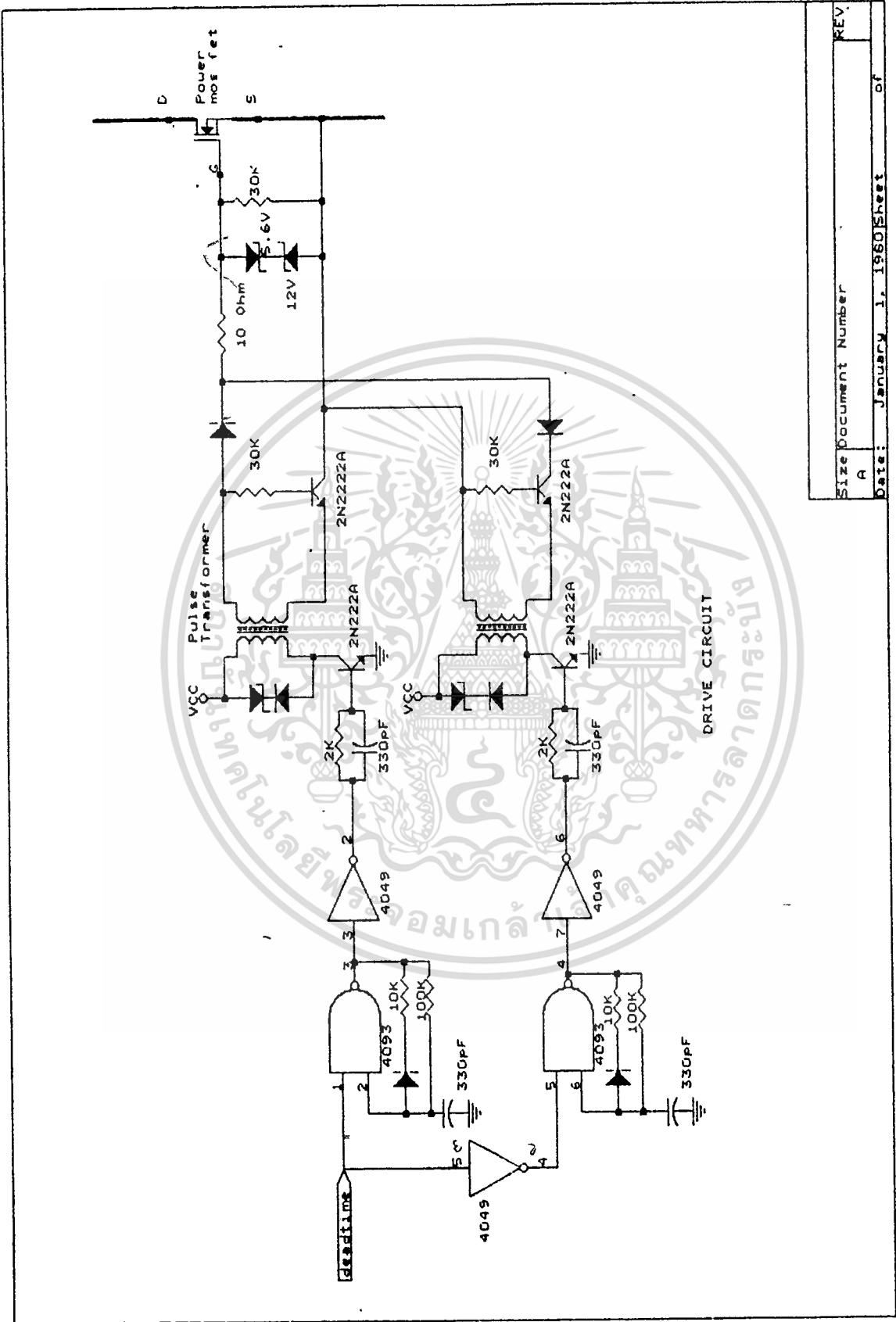
|                       |          |
|-----------------------|----------|
| Size Document Number  | REV      |
| A                     | 1        |
| Date: January 1, 1980 | Sheet of |

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



|                      |                          |
|----------------------|--------------------------|
| Size Document Number | REV                      |
| A                    |                          |
| Date:                | January 1, 1980 Sheet of |

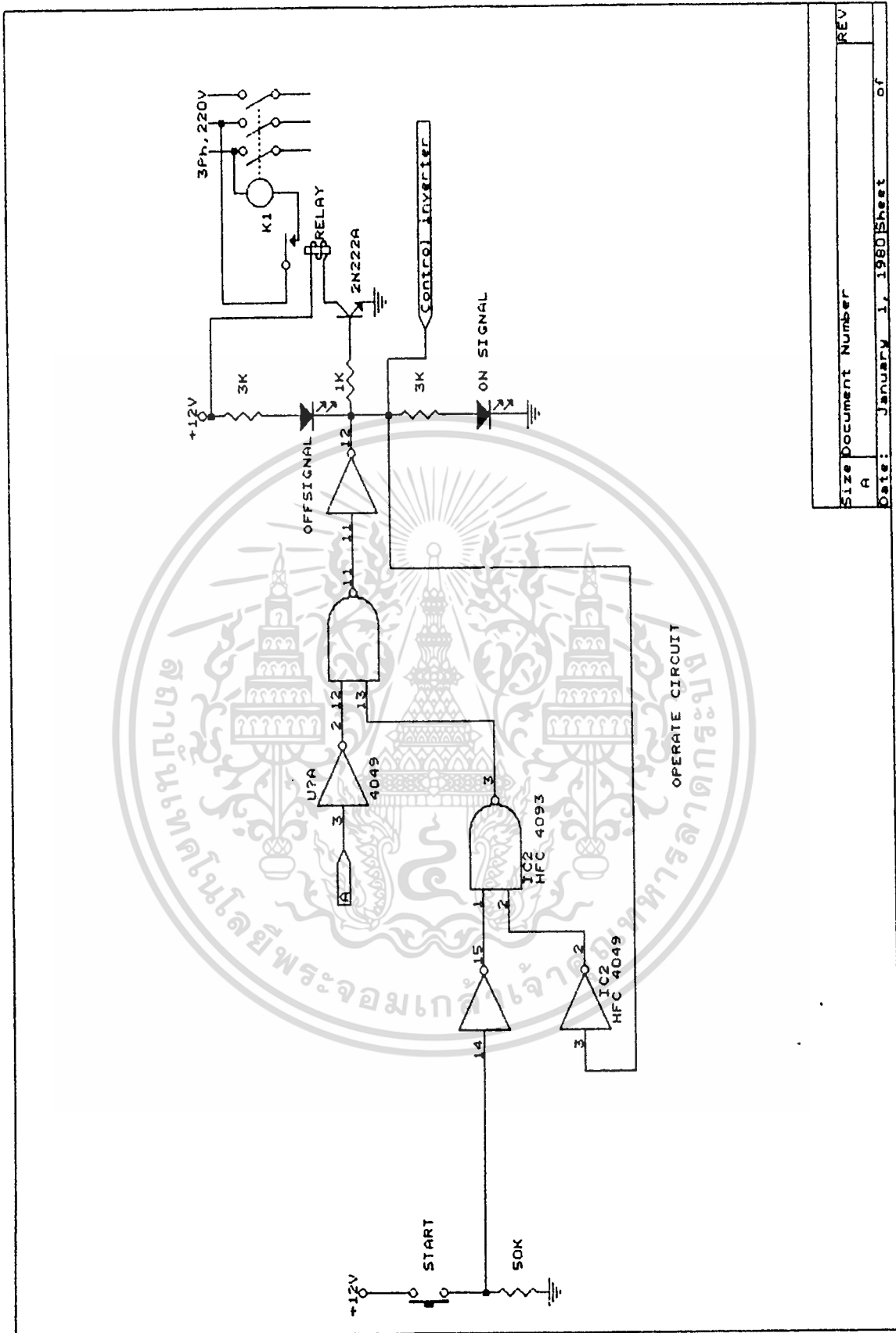
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



|       |                          |      |
|-------|--------------------------|------|
| Size  | Document Number          | REV. |
|       | A                        |      |
| Date: | January 1, 1960 Sheet of |      |

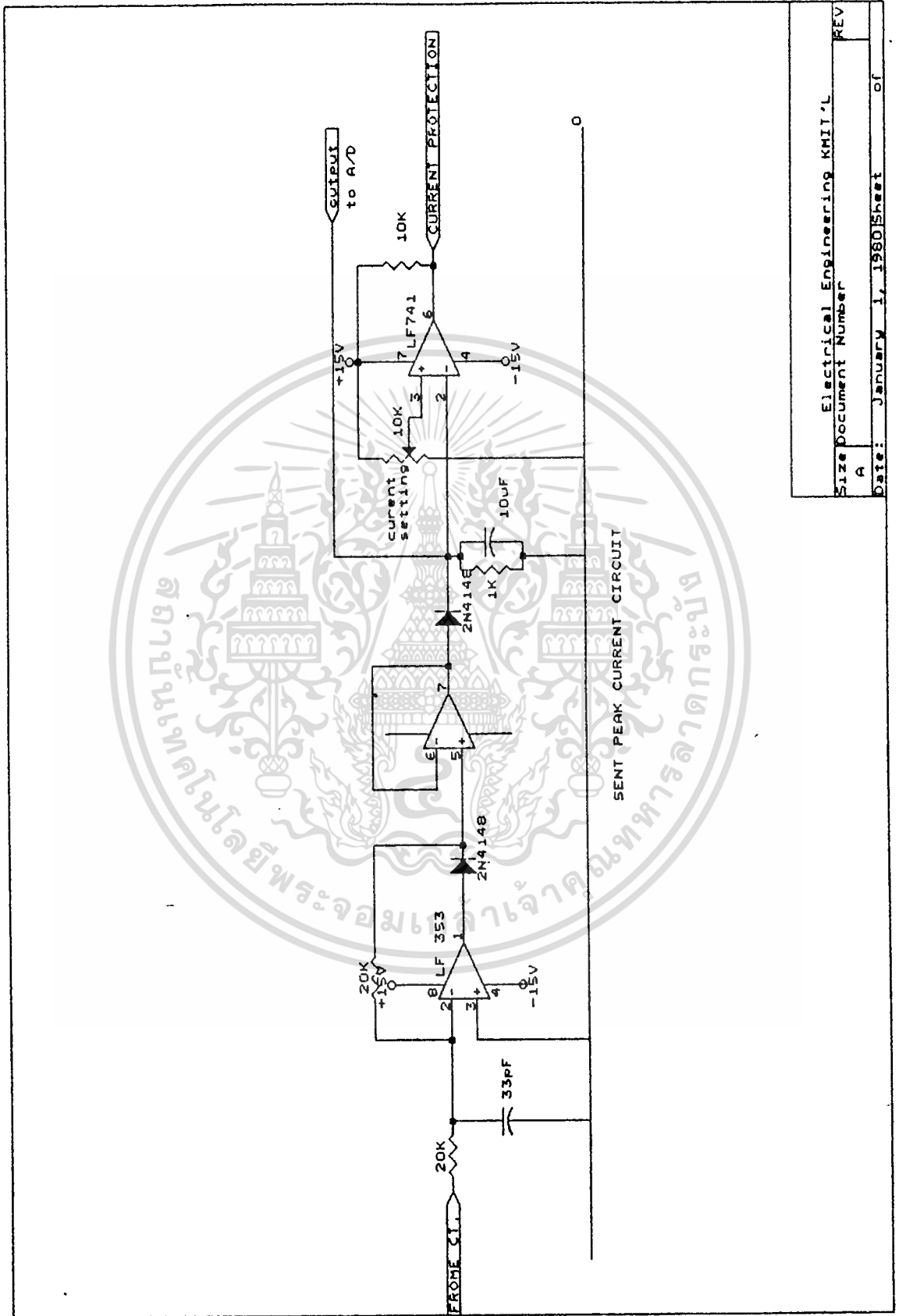
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้





|       |                 |          |
|-------|-----------------|----------|
| Size  | Document Number | REV      |
| A     |                 |          |
| Date: | January 1, 1980 | Sheet of |

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



|                               |                          |
|-------------------------------|--------------------------|
| Electrical Engineering KMII'L |                          |
| Size                          | Document Number          |
| A                             |                          |
| Date:                         | January 1, 1960 Sheet of |

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ADC0801, ADC0802, ADC0803, ADC0804, ADC0805



A to D, D to A

# ADC0801, ADC0802, ADC0803, ADC0804, ADC0805 8-Bit $\mu$ P Compatible A/D Converters

## General Description

The ADC0801, ADC0802, ADC0803, ADC0804 and ADC0805 are CMOS 8-bit successive approximation A/D converters which use a differential potentiometric ladder—similar to the 256R products. These converters are designed to allow operation with the NSC800 and INS8080A derivative control bus, and TRI-STATE<sup>®</sup> output latches directly drive the data bus. These A/Ds appear like memory locations or I/O ports to the microprocessor and no interfacing logic is needed.

A new differential analog voltage input allows increasing the common-mode rejection and offsetting the analog zero input voltage value. In addition, the voltage reference input can be adjusted to allow encoding any smaller analog voltage span to the full 8 bits of resolution.

- Differential analog voltage inputs
- Logic inputs and outputs meet both MOS and T<sup>2</sup>L voltage level specifications
- Works with 2.5V (LM336) voltage reference
- On-chip clock generator
- 0V to 5V analog input voltage range with single 5V supply
- No zero adjust required
- 0.3" standard width 20-pin DIP package
- Operates ratiometrically or with 5 VDC, 2.5 VDC, or analog span adjusted voltage reference.

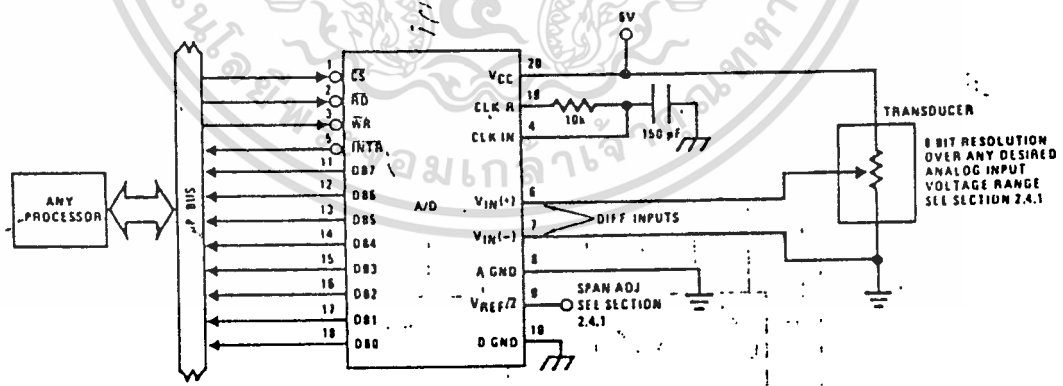
## Features

- Compatible with 8080  $\mu$ P derivatives—no interfacing logic needed—access time—135 ns
- Easy interface to all microprocessors, or operates "stand alone"

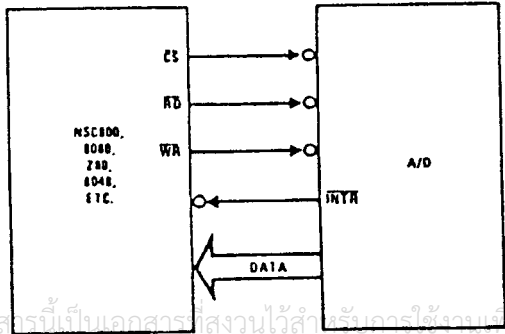
## Key Specifications

- Resolution 8 bits
- Total error  $\pm 1/4$  LSB,  $\pm 1/2$  LSB and  $\pm 1$  LSB
- Conversion time 100  $\mu$ s

## Typical Applications



8080 Interface



| ERROR SPECIFICATION (INCLUDES FULL SCALE ZERO ERROR, AND NON LINEARITY) |                     |                                     |   |
|---|---------------------|-------------------------------------|---|
| PART NUMBER   | FULL-SCALE ADJUSTED | VREF/2 = 2.500 VDC (NO ADJUSTMENTS) | VREF/2 = NO CONNECTION (NO ADJUSTMENTS) |
| ADC0801   | $\pm 1/4$ LSB       |                                     |   |
| ADC0802   |                     | $\pm 1/2$ LSB                       |   |
| ADC0803   |                     |                                     | $\pm 1$ LSB                             |
| ADC0804   |                     |                                     |   |
| ADC0805   |                     |                                     | $\pm 1$ LSB                             |

TRI-STATE<sup>®</sup> is a registered trademark of National Semiconductor Corp.

ขอสงวนลิขสิทธิ์ในส่วนไว้สำหรับองค์กรใช้งานเพื่อการศึกษเท่านั้น ไม่นอนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
 บริษัทเซมิคอนดักเตอร์แห่งชาติ จำกัด ขอสงวนสิทธิ์ในข้อมูลและข้อกำหนดที่ปรากฏในเอกสารนี้ และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## Absolute Maximum Ratings (Notes 1 and 2)

|  |                                   |
|--|-----------------------------------|
| Supply Voltage (V <sub>CC</sub> ) (Note 3)   | 6.5V                              |
| Voltage                                      |                                   |
| Logic Control Inputs                         | -0.3V to +18V                     |
| At Other Input and Outputs                   | -0.3V to (V <sub>CC</sub> + 0.3V) |
| Storage Temperature Range                    | -65°C to +150°C                   |
| Package Dissipation at T <sub>A</sub> = 25°C | 875 mW                            |
| Lead Temperature (Soldering, 10 seconds)     | 300°C                             |

## Operating Ratings (Notes 1 and 2)

|                          |  |
|--------------------------|--|
| Temperature Range        | T <sub>MIN</sub> ≤ T <sub>A</sub> ≤ T <sub>MAX</sub> |
| ADC0801/02LD             | -65°C ≤ T <sub>A</sub> ≤ +125°C                      |
| ADC0801/02/03/04LCD      | -40°C ≤ T <sub>A</sub> ≤ +85°C                       |
| ADC0801/02/03/05LCN      | -40°C ≤ T <sub>A</sub> ≤ +85°C                       |
| ADC0804LCN               | 0°C ≤ T <sub>A</sub> ≤ +70°C                         |
| Range of V <sub>CC</sub> | 4.5 V <sub>DC</sub> to 6.3 V <sub>DC</sub>           |

## Electrical Characteristics

The following specifications apply for V<sub>CC</sub> = 5 V<sub>DC</sub>, T<sub>MIN</sub> ≤ T<sub>A</sub> ≤ T<sub>MAX</sub> and f<sub>CLK</sub> = 640 kHz unless otherwise specified.

| PARAMETER                                      | CONDITIONS   | MIN        | TYP        | MAX                   | UNITS           |
|--|--|------------|------------|-----------------------|-----------------|
| ADC0801:<br>Total Adjusted Error<br>(Note 8)   | With Full-Scale Adj.<br>(See Section 2.5.2)  |            |            | ±1/4                  | LSB             |
| ADC0802:<br>Total Unadjusted Error<br>(Note 8) | V <sub>REF/2</sub> = 2.500 V <sub>DC</sub>   |            |            | ±1/2                  | LSB             |
| ADC0803:<br>Total Adjusted Error<br>(Note 8)   | With Full-Scale Adj.<br>(See Section 2.5.2)  |            |            | ±1/2                  | LSB             |
| ADC0804:<br>Total Unadjusted Error<br>(Note 8) | V <sub>REF/2</sub> = 2.500 V <sub>DC</sub>   |            |            | ±1                    | LSB             |
| ADC0805:<br>Total Unadjusted Error<br>(Note 8) | V <sub>REF/2</sub> - No Connection   |            |            | ±1                    | LSB             |
| V <sub>REF/2</sub> Input Resistance (Pin 9)    | ADC0801/02/03/05<br>ADC0804 (Note 9)   | 2.5<br>1.0 | 8.0<br>1.3 |                       | kΩ<br>kΩ        |
| Analog Input Voltage Range                     | (Note 4) V(+) or V(-)<br>Gnd-0.05V   |            |            | V <sub>CC</sub> +0.05 | V <sub>DC</sub> |
| DC Common-Mode Error                           | Over Analog Input Voltage<br>Range   |            | ±1/16      | ±1/8                  | LSB             |
| Power Supply Sensitivity                       | V <sub>CC</sub> = 5 V <sub>DC</sub> ±10% Over<br>Allowed V <sub>IN</sub> (+) and V <sub>IN</sub> (-)<br>Voltage Range (Note 4) |            | ±1/16      | ±1/8                  | LSB             |

## AC Electrical Characteristics

The following specifications apply for V<sub>CC</sub> = 5 V<sub>DC</sub> and T<sub>A</sub> = 25°C unless otherwise specified.

| PARAMETER                                       | CONDITIONS  | MIN | TYP | MAX  | UNITS              |
|---|---|-----|-----|------|--------------------|
| T <sub>C</sub>                                  | Conversion Time<br>f <sub>CLK</sub> = 640 kHz (Note 6)  | 103 |     | 114  | μs                 |
| T <sub>C</sub>                                  | Conversion Time<br>(Note 5, 6)  | 66  |     | 73   | 1/f <sub>CLK</sub> |
| f <sub>CLK</sub>                                | Clock Frequency<br>V <sub>CC</sub> = 5V, (Note 5)   | 100 | 640 | 1460 | kHz                |
|   | Clock Duty Cycle<br>(Note 5)  | 40  |     | 60   | %                  |
| CR  | Conversion Rate In Free-Running<br>Mode<br>INT <sub>R</sub> tied to $\overline{WR}$ with<br>$\overline{CS}$ = 0 V <sub>DC</sub> , f <sub>CLK</sub> = 640 kHz          |     |     | 8770 | convs              |
| t <sub>W</sub> ( $\overline{WR}$ ) <sub>L</sub> | Width of $\overline{WR}$ Input (Start Pulse<br>Width)<br>$\overline{CS}$ = 0 V <sub>DC</sub> (Note 7)   | 100 |     |      | ns                 |
| t <sub>ACC</sub>                                | Access Time (Delay from<br>Falling Edge of $\overline{RD}$ to Output<br>Data Valid)<br>C <sub>L</sub> = 100 pF  |     | 135 | 200  | ns                 |
| t <sub>1H</sub> , t <sub>0H</sub>               | TRI-STATE Control (Delay<br>from Rising Edge of $\overline{RD}$ to<br>Hi-Z State)<br>C <sub>L</sub> = 10 pF, R <sub>L</sub> = 10k<br>(See TRI-STATE Test<br>Circuits) |     | 125 | 200  | ns                 |
| t <sub>W</sub> , t <sub>RI</sub>                | Delay from Falling Edge<br>of $\overline{WR}$ or $\overline{RD}$ to Reset of INT <sub>R</sub>   |     | 300 | 450  | ns                 |
| C <sub>IN</sub>                                 | Input Capacitance of Logic<br>Control Inputs  |     | 5   | 7.5  | pF                 |
| C <sub>OUT</sub>                                | TRI-STATE Output<br>Capacitance (Data Buffers)  |     | 5   | 7.5  | pF                 |

## Electrical Characteristics

The following specifications apply for  $V_{CC} = 5 \text{ VDC}$  and  $T_{MIN} \leq T_A \leq T_{MAX}$ , unless otherwise specified.

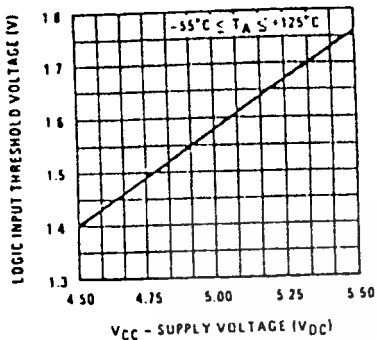
| PARAMETER  |  | CONDITIONS  | MIN | TYP        | MAX        | UNITS                              |
|--|--|---|-----|------------|------------|------------------------------------|
| <b>CONTROL INPUTS</b> [Note: CLK IN (Pin 4) is the input of a Schmitt trigger circuit and is therefore specified separately] |  |   |     |            |            |                                    |
| $V_{IN(1)}$  | Logical "1" Input Voltage (except Pin 4 CLK IN)      | $V_{CC} = 5.25 \text{ VDC}$   | 2.0 |            | 15         | VDC                                |
| $V_{IN(0)}$  | Logical "0" Input Voltage (except Pin 4 CLK IN)      | $V_{CC} = 4.75 \text{ VDC}$   |     |            | 0.8        | VDC                                |
| $I_{IN(1)}$  | Logical "1" Input Current (All Inputs)               | $V_{IN} = 5 \text{ VDC}$  |     | 0.005      | 1          | $\mu\text{ADC}$                    |
| $I_{IN(0)}$  | Logical "0" Input Current (All Inputs)               | $V_{IN} = 0 \text{ VDC}$  | -1  | -0.005     |            | $\mu\text{ADC}$                    |
| <b>CLOCK IN AND CLOCK R</b>  |  |   |     |            |            |                                    |
| $V_{T+}$   | CLK IN (Pin 4) Positive Going Threshold Voltage      |   | 2.7 | 3.1        | 3.5        | VDC                                |
| $V_{T-}$   | CLK IN (Pin 4) Negative Going Threshold Voltage      |   | 1.5 | 1.8        | 2.1        | VDC                                |
| $V_H$  | CLK IN (Pin 4) Hysteresis ( $V_{T+} - V_{T-}$ )      |   | 0.6 | 1.3        | 2.0        | VDC                                |
| $V_{OUT(0)}$   | Logical "0" CLK R Output Voltage                     | $I_O = 360 \mu\text{A}$<br>$V_{CC} = 4.75 \text{ VDC}$  |     |            | 0.4        | VDC                                |
| $V_{OUT(1)}$   | Logical "1" CLK R Output Voltage                     | $I_O = -360 \mu\text{A}$<br>$V_{CC} = 4.75 \text{ VDC}$   | 2.4 |            |            | VDC                                |
| <b>DATA OUTPUTS AND INT/R</b>  |  |   |     |            |            |                                    |
| $V_{OUT(0)}$   | Logical "0" Output Voltage Data Outputs              | $I_{OUT} = 1.6 \text{ mA}, V_{CC} = 4.75 \text{ VDC}$   |     |            | 0.4        | VDC                                |
|  | INT/R Output   | $I_{OUT} = 1.0 \text{ mA}, V_{CC} = 4.75 \text{ VDC}$   |     |            | 0.4        | VDC                                |
| $V_{OUT(1)}$   | Logical "1" Output Voltage                           | $I_O = -360 \mu\text{A}, V_{CC} = 4.75 \text{ VDC}$   | 2.4 |            |            | VDC                                |
| $V_{OUT(1)}$   | Logical "1" Output Voltage                           | $I_O = -10 \mu\text{A}, V_{CC} = 4.75 \text{ VDC}$  | 4.5 |            |            | VDC                                |
| $I_{OUT}$  | TRI STATE Disabled Output Leakage (All Data Buffers) | $V_{OUT} = 0 \text{ VDC}$<br>$V_{OUT} = 5 \text{ VDC}$  | -3  |            | 3          | $\mu\text{ADC}$<br>$\mu\text{ADC}$ |
| $I_{SOURCE}$   |  | $V_{OUT}$ Short to Gnd, $T_A = 25^\circ\text{C}$  | 4.5 | 6          |            | mADC                               |
| $I_{SINK}$   |  | $V_{OUT}$ Short to $V_{CC}$ , $T_A = 25^\circ\text{C}$  | 9.0 | 16         |            | mADC                               |
| <b>POWER SUPPLY</b>  |  |   |     |            |            |                                    |
| $I_{CC}$   | Supply Current (Includes Ladder Current)             | $f_{CLK} = 640 \text{ kHz}$ ,<br>$V_{REF/2} = \text{NC}, T_A = 25^\circ\text{C}$<br>and $\overline{CS} = "1"$<br>ADC0801/02/03/05<br>ADC0804 (Note 9) |     | 1.1<br>1.9 | 1.8<br>2.5 | mA<br>mA                           |

- Note 1:** Absolute maximum ratings are those values beyond which the life of the device may be impaired.
- Note 2:** All voltages are measured with respect to Gnd, unless otherwise specified. The separate A Gnd point should always be wired to the D Gnd.
- Note 3:** A zener diode exists internally, from  $V_{CC}$  to Gnd and has a typical breakdown voltage of 7 VDC.
- Note 4:** For  $V_{IN(1)}$  :  $V_{IN(1)}$  the digital output code will be 0000 0000. Two on-chip diodes are tied to each analog input (see block diagram) which will forward conduct for analog input voltages one diode drop below ground or one diode drop greater than the  $V_{CC}$  supply. Be careful, during testing at low  $V_{CC}$  levels (4.5V), as high level analog inputs (5V) can cause this input diode to conduct—especially at elevated temperatures, and cause errors for analog inputs near full-scale. The spec allows 50 mV forward bias of either diode. This means that as long as the analog  $V_{IN}$  does not exceed the supply voltage by more than 50 mV, the output code will be correct. To achieve an absolute 0 VDC to 5 VDC input voltage range will therefore require a minimum supply voltage of 4.950 VDC over temperature variations, initial tolerance and loading.
- Note 5:** Accuracy is guaranteed at  $f_{CLK} = 640 \text{ kHz}$ . At higher clock frequencies accuracy can degrade. For lower clock frequencies, the duty cycle limits can be extended so long as the minimum clock high time interval or minimum clock low time interval is no less than 275 ns.
- Note 6:** With an asynchronous start pulse, up to 8 clock periods may be required before the internal clock phases are proper to start the conversion process. The start request is internally latched, see Figure 2 and section 2.0.
- Note 7:** The  $\overline{CS}$  input is assumed to bracket the  $\overline{WR}$  strobe input and therefore timing is dependent on the  $\overline{WR}$  pulse width. An arbitrarily wide pulse width will hold the converter in a reset mode and the start of conversion is initiated by the low to high transition of the  $\overline{WR}$  pulse (see timing diagrams).
- Note 8:** None of these A/Ds requires a zero adjust (see section 2.5.1). To obtain zero code at other analog input voltages see section 2.5 and Figure 5.
- Note 9:** For ADC0804LCD typical value of  $V_{REF/2}$  input resistance is 8 k $\Omega$  and of  $I_{CC}$  is 1.1 mA.

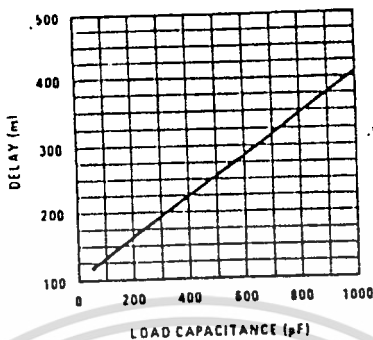
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# Typical Performance Characteristics

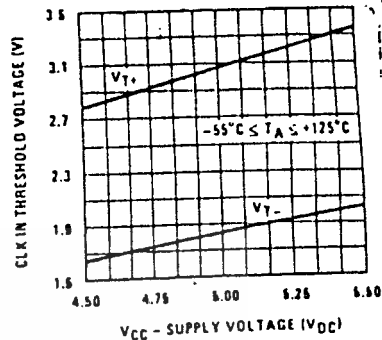
Logic Input Threshold Voltage vs. Supply Voltage



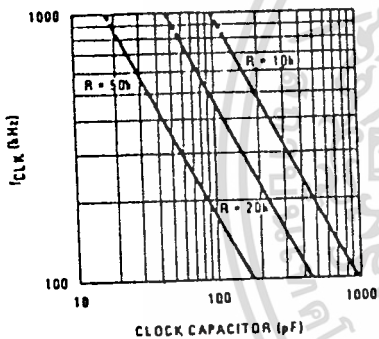
Delay From Falling Edge of RD to Output Data Valid vs. Load Capacitance



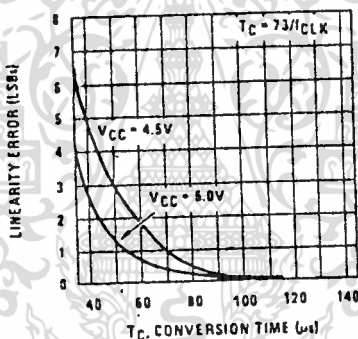
CLK IN Schmitt Trip Levels vs. Supply Voltage



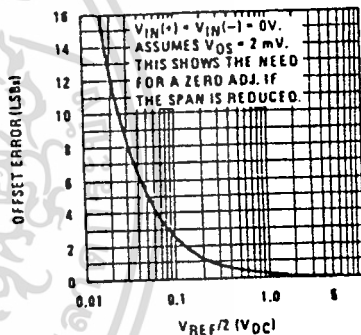
fCLK vs. Clock Capacitor



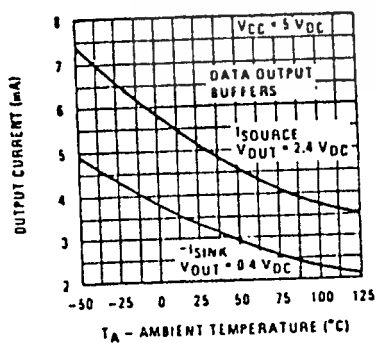
Full-Scale Error vs Conversion Time



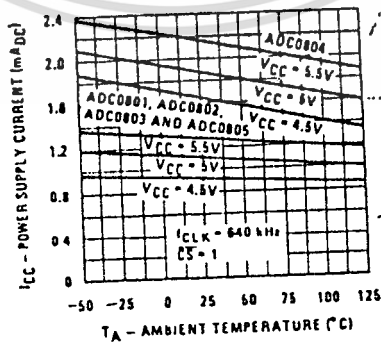
Effect of Unadjusted Offset Error vs. VREF/2 Voltage



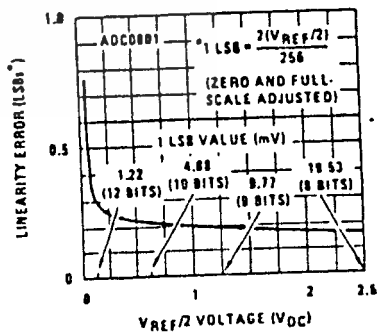
Output Current vs Temperature



Power Supply Current vs Temperature (Note 9)



Linearity Error at Low VREF/2 Voltages



## 1.0 UNDERSTANDING A/D ERROR SPECS

A perfect A/D transfer characteristic (staircase waveform) is shown in *Figure 1a*. The horizontal scale is analog input voltage and the particular points labeled are in steps of 1 LSB (19.53 mV with 2.5V tied to the  $V_{REF}/2$  pin). The digital output codes which correspond to these inputs are shown as D-1, D, and D+1. For the perfect A/D, not only will center-value (A-1, A, A+1, . . .) analog inputs produce the correct output digital codes, but also each riser (the transitions between adjacent output codes) will be located  $\pm 1/2$  LSB away from each center-value. As shown, the risers are ideal and have no width. Correct digital output codes will be provided for a range of analog input voltages which extend  $\pm 1/2$  LSB from the ideal center-values. Each tread (the range of analog input voltage which provides the same digital output code) is therefore 1 LSB wide.

*Figure 1b* shows a worst case error plot for the ADC0801. All center-valued inputs are guaranteed to produce the correct output codes and the adjacent risers are guaranteed to be no closer to the center-value points than

$\pm 1/4$  LSB. In other words, if we apply an analog input, equal to the center-value  $\pm 1/4$  LSB, we guarantee that the A/D will produce the correct digital code. The maximum range of the position of the code transition is indicated by the horizontal arrow and it is guaranteed to be no more than  $1/2$  LSB.

The error curve of *Figure 1c* shows a worst case error plot for the ADC0802. Here we guarantee that if we apply an analog input equal to the LSB analog voltage center-value the A/D will produce the correct digital code.

Next to each transfer function is shown the corresponding error plot. Many people may be more familiar with error plots than transfer functions. The analog input voltage to the A/D is provided by either a linear ramp or by the discrete output steps of a high resolution DAC. Notice that the error is continuously displayed and includes the quantization uncertainty of the A/D. For example the error at point 1 of *Figure 1a* is  $+1/2$  LSB because the digital code appeared  $1/2$  LSB in advance of the center-value of the tread. The error plots always have a constant negative slope and the abrupt upside steps are always 1 LSB in magnitude.

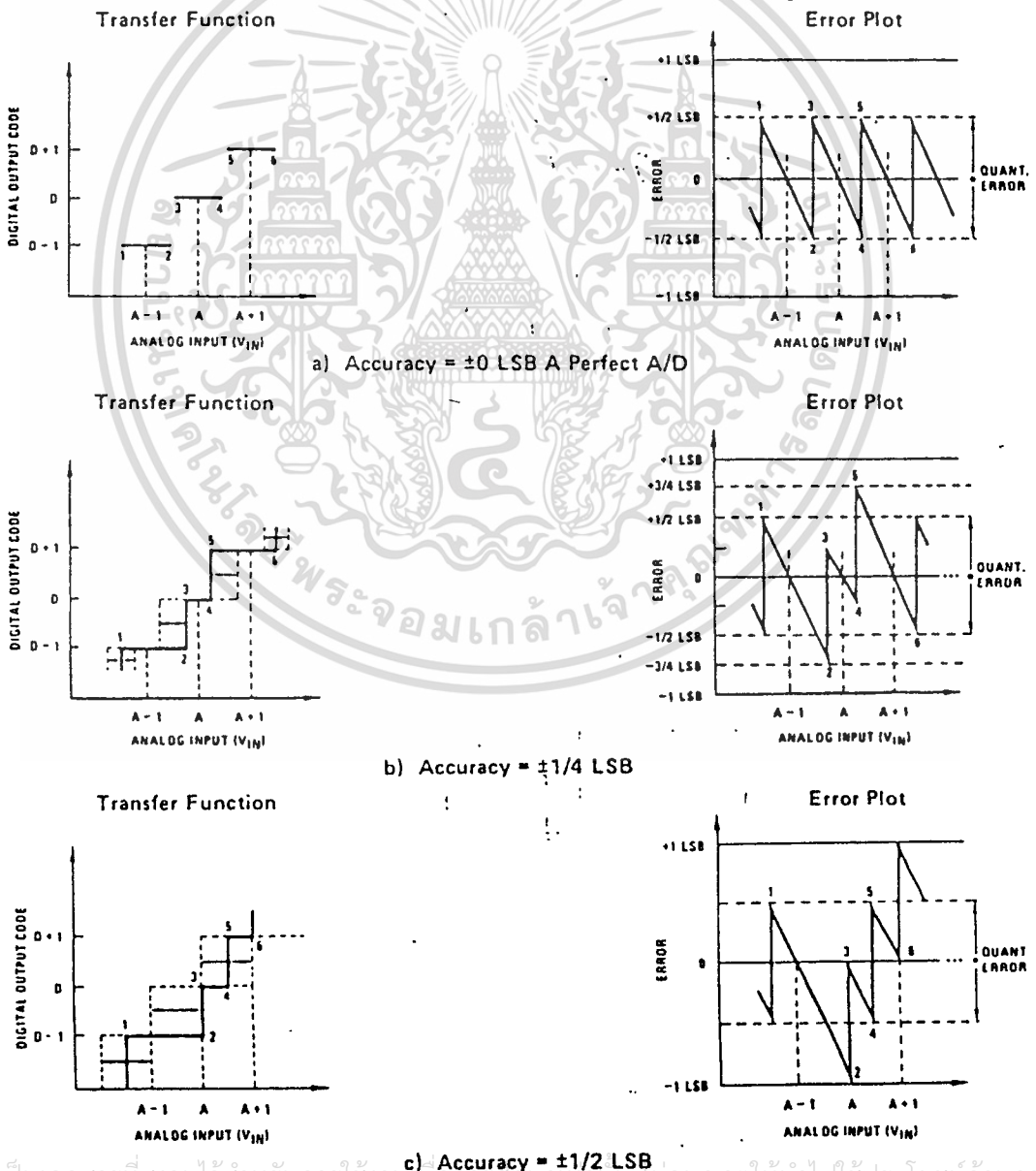


FIGURE 1. Clarifying the Error Specs of an A/D Converter

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับใช้ในการศึกษาเท่านั้น ไม่สามารถนำไปใช้ประโยชน์ด้านการค้า

ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

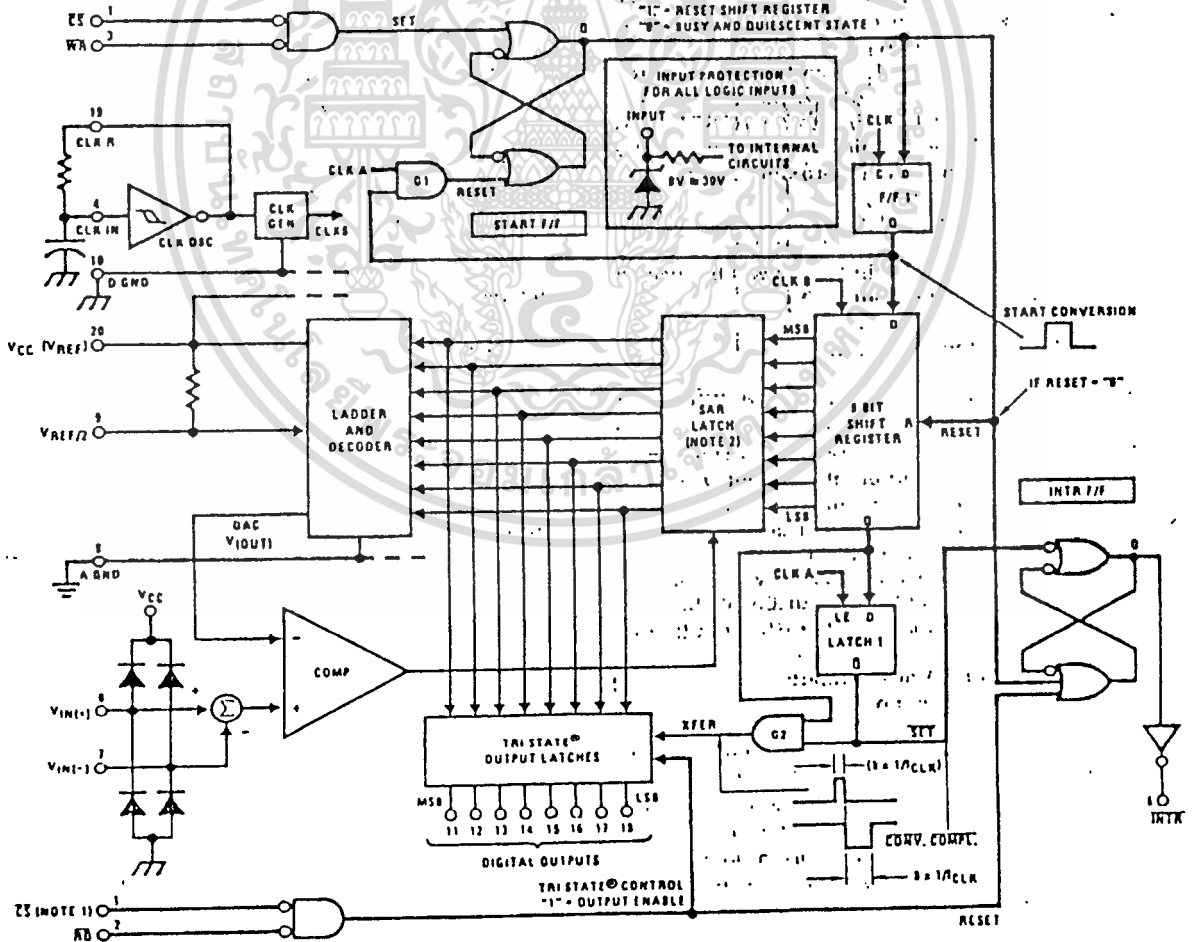
## 2.0 FUNCTIONAL DESCRIPTION

The ADC0801 series contains a circuit equivalent of the 256R network. Analog switches are sequenced by successive approximation logic to match the analog difference input voltage  $[V_{IN}(+) - V_{IN}(-)]$  to a corresponding tap on the R network. The most significant bit is tested first and after 8 comparisons (64 clock cycles) a digital 8-bit binary code (1111 1111 = full-scale) is transferred to an output latch and then an interrupt is asserted ( $\overline{INTR}$  makes a high-to-low transition). A conversion in process can be interrupted by issuing a second start command. The device may be operated in the free-running mode by connecting  $\overline{INTR}$  to the  $\overline{WR}$  input with  $\overline{CS} = 0$ . To insure start-up under all possible conditions, an external  $\overline{WR}$  pulse is required during the first power-up cycle.

On the high-to-low transition of the  $\overline{WR}$  input the internal SAR latches and the shift register stages are reset. As long as the  $\overline{CS}$  input and  $\overline{WR}$  input remain low, the A/D will remain in a reset state. Conversion will start from 1 to 8 clock periods after at least one of these inputs makes a low-to-high transition.

A functional diagram of the A/D converter is shown in Figure 2. All of the package pinouts are shown and the major logic control paths are drawn in heavier weight lines.

The converter is started by having  $\overline{CS}$  and  $\overline{WR}$  simultaneously low. This sets the start flip-flop (F/F) and the resulting "1" level resets the 8-bit shift register, sets the Interrupt (INTR) F/F and inputs a "1" to the D flop, F/F1, which is at the input end of the 8-bit shift register. Internal clock signals then transfer this "1" to the Q output of F/F1. The AND gate, G1, combines this "1" output with a clock signal to provide a reset signal to the start F/F. If the set signal is no longer present (either  $\overline{WR}$  or  $\overline{CS}$  is a "1") the start F/F is reset and the 8-bit shift register then can have the "1" clocked in, which starts the conversion process. If the set signal were to still be present, this reset pulse would have no effect (both outputs of the start F/F would momentarily be at a "1" level) and the 8-bit shift register would continue to be held in the reset mode. This logic therefore allows for wide  $\overline{CS}$  and  $\overline{WR}$  signals and the converter will start after at least one of these signals returns high and the internal clocks again provide a reset signal for the start F/F.



Note 1:  $\overline{CS}$  shown twice for clarity.

Note 2: SAR = Successive Approximation Register.

FIGURE 2. Block Diagram

After the "1" is clocked through the 8-bit shift register (which completes the SAR search) it appears as the input to the D-type latch, LATCH 1. As soon as this "1" is output from the shift register, the AND gate, G2, causes the new digital word to transfer to the TRI-STATE output latches. When LATCH 1 is subsequently enabled, the Q output makes a high-to-low transition which causes the INTR F/F to set. An inverting buffer then supplies the  $\overline{\text{INTR}}$  output signal.

Note that this  $\overline{\text{SET}}$  control of the INTR F/F remains low for 8 of the external clock periods (as the internal clocks run at 1/8 of the frequency of the external clock). If the data output is continuously enabled ( $\overline{\text{CS}}$  and  $\overline{\text{RD}}$  both held low), the  $\overline{\text{INTR}}$  output will still signal the end of conversion (by a high-to-low transition), because the  $\overline{\text{SET}}$  input can control the Q output of the INTR F/F even though the RESET input is constantly at a "1" level in this operating mode. This  $\overline{\text{INTR}}$  output will therefore stay low for the duration of the  $\overline{\text{SET}}$  signal, which is 8 periods of the external clock frequency (assuming the A/D is not started during this interval).

When operating in the free-running or continuous conversion mode ( $\overline{\text{INTR}}$  pin tied to  $\overline{\text{WR}}$  and  $\overline{\text{CS}}$  wired low—see also section 2.8), the START F/F is SET by the high-to-low transition of the  $\overline{\text{INTR}}$  signal. This resets the SHIFT REGISTER which causes the input to the D-type latch, LATCH 1, to go low. As the latch enable input is still present, the  $\overline{\text{Q}}$  output will go high, which then allows the INTR F/F to be RESET. This reduces the width of the resulting  $\overline{\text{INTR}}$  output pulse to only a few propagation delays (approximately 300 ns).

When data is to be read, the combination of both  $\overline{\text{CS}}$  and  $\overline{\text{RD}}$  being low will cause the INTR F/F to be reset and the TRI-STATE output latches will be enabled to provide the 8-bit digital outputs.

### 2.1 Digital Control Inputs

The digital control inputs ( $\overline{\text{CS}}$ ,  $\overline{\text{RD}}$ , and  $\overline{\text{WR}}$ ) meet standard T<sup>2</sup>L logic voltage levels. These signals have been renamed when compared to the standard A/D Start and Output Enable labels. In addition, these inputs are active low to allow an easy interface to microprocessor control busses. For non-microprocessor based applications, the  $\overline{\text{CS}}$  input (pin 1) can be grounded and the standard A/D Start function is obtained by an active low pulse applied at the  $\overline{\text{WR}}$  input (pin 3) and the Output Enable function is caused by an active low pulse at the  $\overline{\text{RD}}$  input (pin 2).

### 2.2 Analog Differential Voltage Inputs and Common-Mode Rejection

This A/D has additional applications flexibility due to the analog differential voltage input. The  $V_{\text{IN}}(-)$  input (pin 7) can be used to automatically subtract a fixed voltage value from the input reading (tare correction). This is also useful in 4 mA–20 mA current loop conversion. In addition, common-mode noise can be reduced by use of the differential input.

The time interval between sampling  $V_{\text{IN}}(+)$  and  $V_{\text{IN}}(-)$  is 4-1/2 clock periods. The maximum error voltage due

to this slight time difference between the input voltage samples is given by:

$$\Delta V_{\text{e}}(\text{MAX}) = (V_{\text{p}}) (2\pi f_{\text{cm}}) \left( \frac{4.5}{f_{\text{CLK}}} \right)$$

where:

$\Delta V_{\text{e}}$  is the error voltage due to sampling delay

$V_{\text{p}}$  is the peak value of the common-mode voltage

$f_{\text{cm}}$  is the common-mode frequency

As an example, to keep this error to 1/4 LSB (~5 mV) when operating with a 60 Hz common-mode frequency,  $f_{\text{cm}}$ , and using a 640 kHz A/D clock,  $f_{\text{CLK}}$ , would allow a peak value of the common-mode voltage,  $V_{\text{p}}$ , which is given by:

$$V_{\text{p}} = \frac{[\Delta V_{\text{e}}(\text{MAX})] (f_{\text{CLK}})}{(2\pi f_{\text{cm}}) (4.5)}$$

or

$$V_{\text{p}} = \frac{(5 \times 10^{-3}) (640 \times 10^3)}{(6.28) (60) (4.5)}$$

which gives

$$V_{\text{p}} \approx 1.9\text{V.}$$

The allowed range of analog input voltages usually places more severe restrictions on input common-mode noise levels.

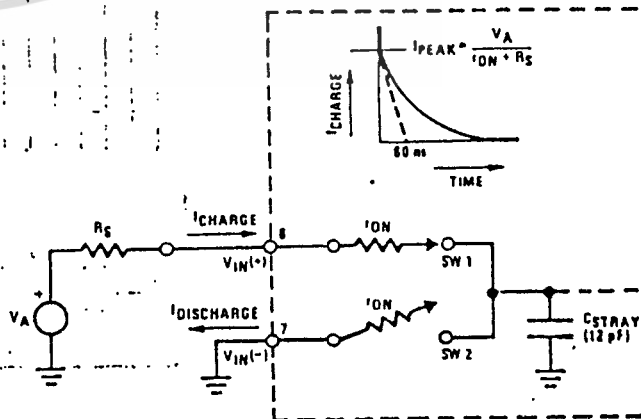
An analog input voltage with a reduced span and a relatively large zero offset can be easily handled by making use of the differential input (see section 2.4 Reference Voltage).

### 2.3 Analog Inputs

#### 2.3.1 Input Current

##### Normal Mode

Due to the internal switching action, displacement currents will flow at the analog inputs. This is due to on-chip stray capacitance to ground as shown in Figure 3.



$$R_{\text{ON}} \text{ of SW 1 and SW 2} \approx 5 \text{ k}\Omega$$

$$\tau = R_{\text{ON}} C_{\text{STRAY}} = 5 \text{ k}\Omega \times 12 \text{ pF} = 60 \text{ ns}$$

FIGURE 3. Analog Input Impedance



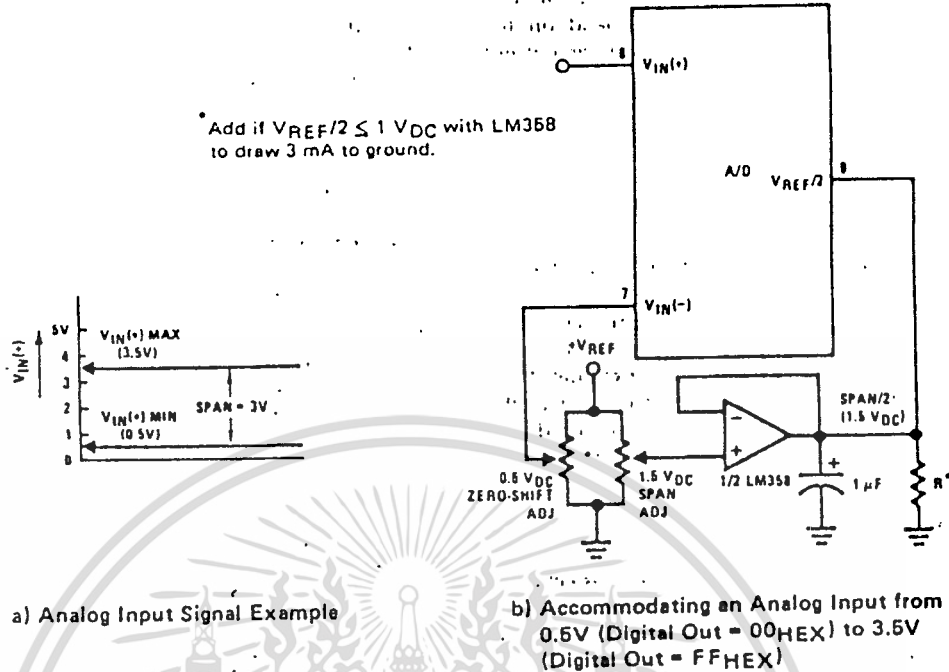


FIGURE 5. Adapting the A/D Analog Input Voltages to Match an Arbitrary Input Signal Range

### 2.4.2 Reference Accuracy Requirements

The converter can be operated in a ratiometric mode or an absolute mode. In ratiometric converter applications, the magnitude of the reference voltage is a factor in both the output of the source transducer and the output of the A/D converter and therefore cancels out in the final digital output code. The ADC0805 is specified particularly for use in ratiometric applications with no adjustments required. In absolute conversion applications, both the initial value and the temperature stability of the reference voltage are important accuracy factors in the operation of the A/D converter. For  $V_{REF}/2$  voltages of 2.5 VDC nominal value, initial errors of  $\pm 10$  mVDC will cause conversion errors of  $\pm 1$  LSB due to the gain of 2 of the  $V_{REF}/2$  input. In reduced span applications, the initial value and the stability of the  $V_{REF}/2$  input voltage become even more important. For example, if the span is reduced to 2.5V, the analog input LSB voltage value is correspondingly reduced from 20 mV (5V span) to 10 mV and 1 LSB at the  $V_{REF}/2$  input becomes 5 mV. As can be seen, this reduces the allowed initial tolerance of the reference voltage and requires correspondingly less absolute change with temperature variations. Note that spans smaller than 2.5V place even tighter requirements on the initial accuracy and stability of the reference source.

In general, the magnitude of the reference voltage will require an initial adjustment. Errors due to an improper value of reference voltage appear as full-scale errors in the A/D transfer function. IC voltage regulators may be used for references if the ambient temperature changes are not excessive. The LM336B 2.5V IC reference diode

(from National Semiconductor) is available which has a temperature stability of 1.8 mV typ (6 mV max) over  $0^\circ\text{C} \leq T_A \leq +70^\circ\text{C}$ . Other temperature range parts are also available.

### 2.5 Errors and Reference Voltage Adjustments

#### 2.5.1 Zero Error

The zero of the A/D does not require adjustment. If the minimum analog input voltage value,  $V_{IN(MIN)}$ , is not ground, a zero offset can be done. The converter can be made to output 0000 0000 digital code for this minimum input voltage by biasing the A/D  $V_{IN(-)}$  input at this  $V_{IN(MIN)}$  value (see Applications section). This utilizes the differential mode operation of the A/D.

The zero error of the A/D converter relates to the location of the first riser of the transfer function and can be measured by grounding the  $V(-)$  input and applying a small magnitude positive voltage to the  $V(+)$  input. Zero error is the difference between the actual DC input voltage which is necessary to just cause an output digital code transition from 0000 0000 to 0000 0001 and the ideal 1/2 LSB value (1/2 LSB = 9.8 mV for  $V_{REF}/2 = 2.500$  VDC).

#### 2.5.2 Full-Scale

The full-scale adjustment can be made by applying a differential input voltage which is 1-1/2 LSB down from the desired analog full-scale voltage range and then adjusting the magnitude of the  $V_{REF}/2$  input (pin 9 or the  $V_{CC}$  supply if pin 9 is not used) for a digital output code which is just changing from 1111 1110 to 1111 1111.

### 2.5.3 Adjusting for an Arbitrary Analog Input Voltage Range

If the analog zero voltage of the A/D is shifted away from ground (for example, to accommodate an analog input signal which does not go to ground) this new zero reference should be properly adjusted first. A  $V_{IN}(+)$  voltage which equals this desired zero reference plus 1/2 LSB (where the LSB is calculated for the desired analog span, 1 LSB = analog span/256) is applied to pin 6 and the zero reference voltage at pin 7 should then be adjusted to just obtain the 00HEX to 01HEX code transition.

The full-scale adjustment should then be made (with the proper  $V_{IN}(-)$  voltage applied) by forcing a voltage to the  $V_{IN}(+)$  input which is given by:

$$V_{IN}(+) \text{ fs adj} = V_{MAX} - 1.5 \left[ \frac{(V_{MAX} - V_{MIN})}{256} \right]$$

where:

$V_{MAX}$  = The high end of the analog input range

and

$V_{MIN}$  = the low end (the offset zero) of the analog range. (Both are ground referenced.)

The  $V_{REF}/2$  (or  $V_{CC}$ ) voltage is then adjusted to provide a code change from FEHEX to FFHEX. This completes the adjustment procedure.

### 2.6 Clocking Option

The clock for the A/D can be derived from the CPU clock or an external RC can be added to provide self-clocking. The CLK IN (pin 4) makes use of a Schmitt trigger as shown in Figure 6.

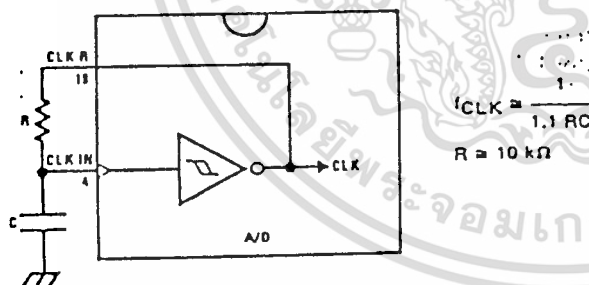


FIGURE 6. Self-Clocking the A/D

Heavy capacitive or DC loading of the clock R pin should be avoided as this will disturb normal converter operation. Loads less than 60 pF, such as driving up to 7 A/D converter clock inputs from a single clock R pin of 1 converter, are allowed. For larger clock line loading, a CMOS or low power T<sup>2</sup>L buffer or PNP input logic should be used to minimize the loading on the clock R pin (do not use a standard T<sup>2</sup>L buffer).

### 2.7 Restart During a Conversion

If the A/D is restarted ( $\overline{CS}$  and  $\overline{WR}$  go low and return high) during a conversion, the converter is reset and a new conversion is started. The output data latch is not updated if the conversion in process is not allowed to

be completed, therefore the data of the previous conversion remains in this latch. The  $\overline{INTR}$  output also simply remains at the "1" level.

### 2.8 Continuous Conversions

For operation in the free-running mode an initializing pulse should be used, following power-up, to insure circuit operation. In this application, the  $\overline{CS}$  input is grounded and the  $\overline{WR}$  input is tied to the  $\overline{INTR}$  output. This  $\overline{WR}$  and  $\overline{INTR}$  node should be momentarily forced to logic low following a power-up cycle to guarantee operation.

### 2.9 Driving the Data Bus

This MOS A/D, like MOS microprocessors and memories, will require a bus driver when the total capacitance of the data bus gets large. Other circuitry, which is tied to the data bus, will add to the total capacitive loading, even in TRI-STATE (high impedance mode). Backplane bussing also greatly adds to the stray capacitance of the data bus.

There are some alternatives available to the designer to handle this problem. Basically, the capacitive loading of the data bus slows down the response time, even though DC specifications are still met. For systems operating with a relatively slow CPU clock frequency, more time is available in which to establish proper logic levels on the bus and therefore higher capacitive loads can be driven (see typical characteristics curves).

At higher CPU clock frequencies time can be extended for I/O reads (and/or writes) by inserting wait states (8080) or using clock extending circuits (6800).

Finally, if time is short and capacitive loading is high, external bus drivers must be used. These can be TRI-STATE buffers (low power Schottky is recommended such as the DM74LS240 series) or special higher drive current products which are designed as bus drivers. High current bipolar bus drivers with PNP inputs are recommended.

### 2.10 Power Supplies

Noise spikes on the  $V_{CC}$  supply line can cause conversion errors as the comparator will respond to this noise. A low inductance tantalum filter capacitor should be used close to the converter  $V_{CC}$  pin and values of 1  $\mu$ F or greater are recommended. If an unregulated voltage is available in the system, a separate LM340LAZ-5.0, TO-92, 5V voltage regulator for the converter (and other analog circuitry) will greatly reduce digital noise on the  $V_{CC}$  supply.

### 2.11 Wiring and Hook-Up Precautions

Standard digital wire-wrap sockets are not satisfactory for breadboarding this A/D converter. Sockets on PC boards can be used and all logic signal wires and leads should be grouped and kept as far away as possible from the analog signal leads. Exposed leads to the analog inputs can cause undesired digital noise and hum pickup, therefore shielded leads may be necessary in many applications.

A single point analog ground should be used which is separate from the logic ground points. The power supply bypass capacitor and the self-clocking capacitor (if used) should both be returned to digital ground. Any  $V_{REF}/2$  bypass capacitors, analog input filter capacitors, or input signal shielding should be returned to the analog ground point. A test for proper grounding is to measure the zero error of the A/D converter. Zero errors in excess of 1/4 LSB can usually be traced to improper board layout and wiring (see section 2.5.1 for measuring the zero error).

### 3.0 TESTING THE A/D CONVERTER

There are many degrees of complexity associated with testing an A/D converter. One of the simplest tests is to apply a known analog input voltage to the converter and use LEDs to display the resulting digital output code as shown in Figure 7.

For ease of testing, the  $V_{REF}/2$  (pin 9) should be supplied with 2.560 VDC and a  $V_{CC}$  supply voltage of 5.12 VDC should be used. This provides an LSB value of 20 mV.

If a full-scale adjustment is to be made, an analog input voltage of 5.090 VDC (5.120 - 1/2 LSB) should be applied to the  $V_{IN}(+)$  pin with the  $V_{IN}(-)$  pin grounded. The value of the  $V_{REF}/2$  input voltage should then be adjusted until the digital output code is just changing from 1111 1110 to 1111 1111. This value of  $V_{REF}/2$  should then be used for all the tests.

The digital output LED display can be decoded by dividing the 8 bits into 2 hex characters, the 4 most significant (MS) and the 4 least significant (LS). Table 1 shows the fractional binary equivalent of these two 4-bit groups. By adding the decoded voltages which are obtained from the column: Input voltage value for a 2.560  $V_{REF}/2$  of both the MS and the LS groups, the value of

the digital display can be determined. For example, for an output LED display of 1011 0110 or B6 (in hex), the voltage values from the table are 3.520 + 0.120 or 3.640 VDC. These voltage values represent the center-values of a perfect A/D converter. The effects of quantization error have to be accounted for in the interpretation of the test results.

For a higher speed test system, or to obtain plotted data, a digital-to-analog converter is needed for the test set-up. An accurate 10-bit DAC can serve as the precision voltage source for the A/D. Errors of the A/D under test can be provided as either analog voltages or differences in 2 digital words.

A basic A/D tester which uses a DAC and provides the error as an analog output voltage is shown in Figure 8. The 2 op amps can be eliminated if a lab DVM with a numerical subtraction feature is available to directly readout the difference voltage, "A-C". The analog input voltage can be supplied by a low frequency ramp generator and an X-Y plotter can be used to provide analog error (Y axis) versus analog input (X axis). The construction details of a tester of this type are provided in the NSC application note AN-179, "Analog-to-Digital Converter Testing".

For operation with a microprocessor or a computer-based test system, it is more convenient to present the errors digitally. This can be done with the circuit of Figure 9, where the output code transitions can be detected as the 10-bit DAC is incremented. This provides 1/4 LSB steps for the 8-bit A/D under test. If the results of this test are automatically plotted with the analog input on the X axis and the error (in LSB's) as the Y axis, a useful transfer function of the A/D under test results. For acceptance testing, the plot is not necessary and the testing speed can be increased by establishing internal limits on the allowed error for each code.

### 4.0 MICROPROCESSOR INTERFACING

To discuss the interface with 8080A and 6800 microprocessors, a common sample subroutine structure is used. The microprocessor starts the A/D, reads and stores the results of 16 successive conversions, then returns to the user's program. The 16 data bytes are stored in 16 successive memory locations. All Data and Addresses will be given in hexadecimal form. Software and hardware details are provided separately for each type of microprocessor.

#### 4.1 Interfacing 8080 Microprocessor Derivatives (8048, 8085)

This converter has been designed to directly interface with derivatives of the 8080 microprocessor. The A/D can be mapped into memory space (using standard memory address decoding for  $\overline{CS}$  and the  $\overline{MEMR}$  and  $\overline{MEMW}$  strobes) or it can be controlled as an I/O device by using the I/O R and I/O W strobes and decoding the address bits A0 → A7 (or address bits A8 → A15 as they will contain the same 8-bit address information) to obtain the  $\overline{CS}$  input. Using the I/O space provides 256 additional addresses and may allow a simpler 8-bit address decoder but the data can only be input to the accumulator. To make use of the additional memory reference instructions, the A/D should be mapped into memory space. An example of an A/D in I/O space is shown in Figure 10.

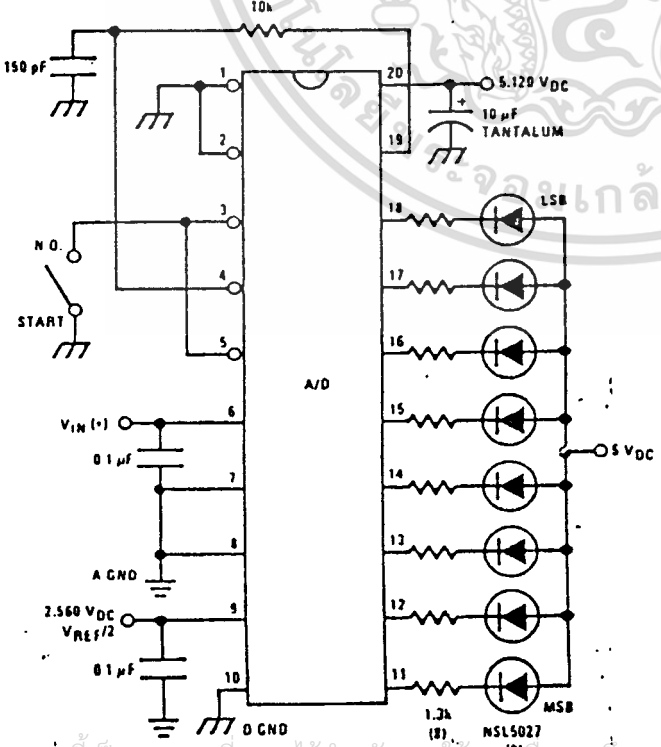
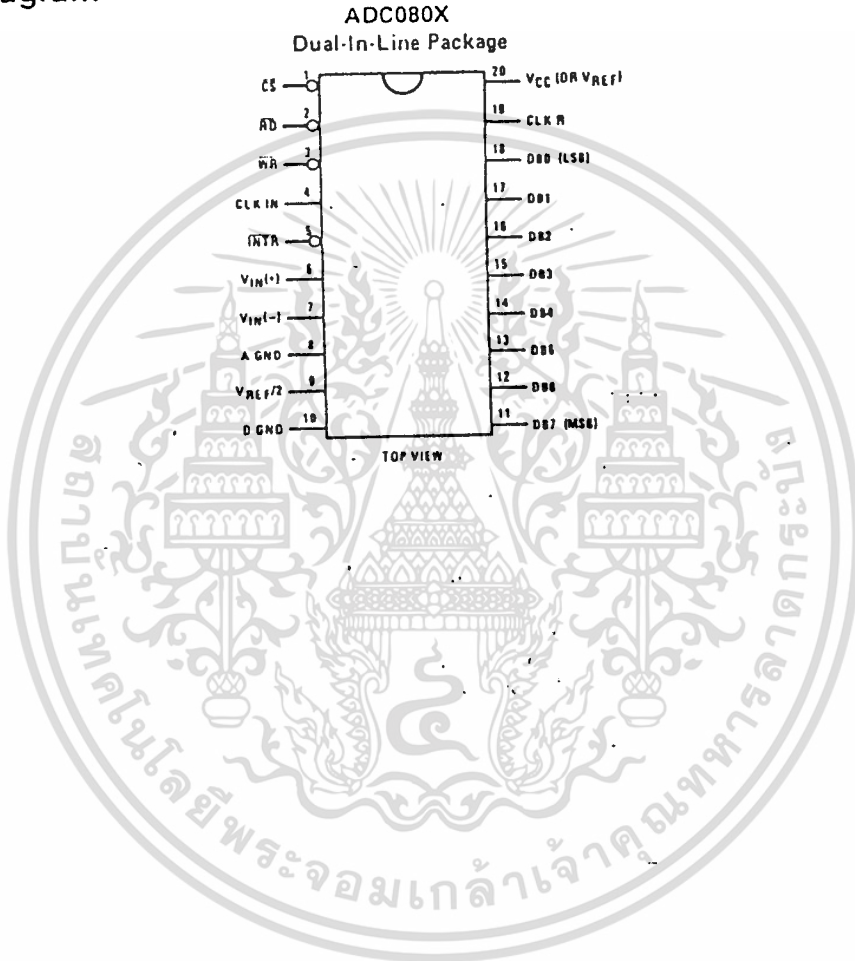


FIGURE 7. Basic A/D Tester

### Ordering Information

| TEMPERATURE RANGE |                     | 0°C TO 70°C     | -40°C TO +85°C | -40°C TO +85°C  | -55°C TO +125°C |
|-------------------|---------------------|-----------------|----------------|-----------------|-----------------|
| ERROR             | ±1/4 Bit Adjusted   |                 | ADC0801LCN     | ADC0801LCD      | ADC0801LD       |
|                   | ±1/2 Bit Unadjusted |                 | ADC0802LCN     | ADC0802LCD      | ADC0802LD       |
|                   | ±1/2 Bit Adjusted   |                 | ADC0803LCN     | ADC0803LCD      |                 |
|                   | ±1 Bit Unadjusted   | ADC0804LCN      | ADC0805LCN     | ADC0804LCD      |                 |
| PACKAGE OUTLINE   |                     | N20A—MOLDED DIP |                | D20A—CAVITY DIP | D20A—CAVITY DIP |

### Connection Diagram



ADC0801, ADC0802, ADC0803, ADC0804, ADC0805



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



A to D, D to A

# DAC0808, DAC0807, DAC0806 8-Bit D/A Converters

## General Description

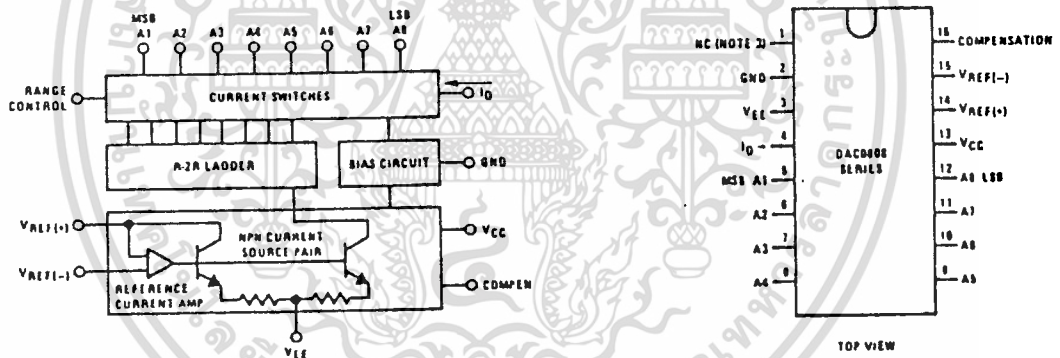
The DAC0808 series is an 8-bit monolithic digital-to-analog converter (DAC) featuring a full scale output current settling time of 150 ns while dissipating only 33 mW with  $\pm 5V$  supplies. No reference current ( $I_{REF}$ ) trimming is required for most applications since the full scale output current is typically  $\pm 1$  LSB of  $255 I_{REF}/256$ . Relative accuracies of better than  $\pm 0.19\%$  assure 8-bit monotonicity and linearity while zero level output current of less than  $4 \mu A$  provides 8-bit zero accuracy for  $I_{REF} \geq 2$  mA. The power supply currents of the DAC0808 series are independent of bit codes, and exhibits essentially constant device characteristics over the entire supply voltage range.

The DAC0808 will interface directly with popular TTL, DTL or CMOS logic levels, and is a direct replacement for the MC1508/MC1408. For higher speed applications, see DAC0800 data sheet.

## Features

- Relative accuracy:  $\pm 0.19\%$  error maximum (DAC0808)
- Full scale current match:  $\pm 1$  LSB\*typ
- 7 and 6-bit accuracy available (DAC0807, DAC0806)
- Fast settling time: 150 ns typ
- Noninverting digital inputs are TTL and CMOS compatible
- High speed multiplying input slew rate: 8 mA/ $\mu s$
- Power supply voltage range:  $\pm 4.5V$  to  $\pm 18V$
- Low power consumption: 33 mW @  $\pm 5V$

## Block and Connection Diagrams



## Typical Application

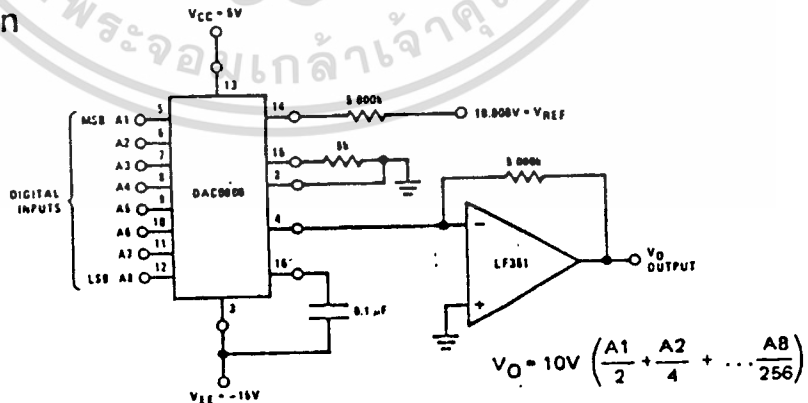


FIGURE 1. +10V Output Digital to Analog Converter

## Ordering Information

| ACCURACY | OPERATING TEMPERATURE RANGE                | ORDER NUMBERS*   |          |                  |          |                  |          |
|----------|--|------------------|----------|------------------|----------|------------------|----------|
|          |  | D PACKAGE (D16C) |          | J PACKAGE (J16A) |          | N PACKAGE (N16A) |          |
| 8-bit    | $-55^{\circ}C \leq T_A \leq +125^{\circ}C$ | DAC0808LD        | MC1508L8 | DAC0808LCJ       | MC1408L8 | DAC0808LCN       | MC1408P8 |
| 8-bit    | $0^{\circ}C \leq T_A \leq +75^{\circ}C$    |                  |          | DAC0807LCJ       | MC1408L7 | DAC0807LCN       | MC1408P7 |
| 7-bit    | $0^{\circ}C \leq T_A \leq +75^{\circ}C$    |                  |          | DAC0806LCJ       | MC1408L6 | DAC0806LCN       | MC1408P6 |
| 6-bit    | $0^{\circ}C \leq T_A \leq +75^{\circ}C$    |                  |          |                  |          |                  |          |

\* Note. Devices may be ordered by using either order number.

### Absolute Maximum Ratings

|   |  |  |                                 |
|---|--|--|---------------------------------|
| Power Supply Voltage  | +18 V <sub>DC</sub>                        | Power Dissipation (Package Limitation) | 1000 mW                         |
| V <sub>CC</sub>   | +18 V <sub>DC</sub>                        | Derate above T <sub>A</sub> = 25°C     | 6.7 mW/°C                       |
| V <sub>EE</sub>   | -18 V <sub>DC</sub>                        | Operating Temperature Range            |                                 |
| Digital Input Voltage, V <sub>5</sub> -V <sub>12</sub>        | -10 V <sub>DC</sub> to +18 V <sub>DC</sub> | DAC0808L                               | -55°C ≤ T <sub>A</sub> ≤ +125°C |
| Applied Output Voltage, V <sub>O</sub>                        | -11 V <sub>DC</sub> to +18 V <sub>DC</sub> | DAC0808L Series                        | 0 ≤ T <sub>A</sub> ≤ +75°C      |
| Reference Current, I <sub>14</sub>                            | 5 mA                                       | Storage Temperature Range              | -65°C to +150°C                 |
| Reference Amplifier Inputs, V <sub>14</sub> , V <sub>15</sub> | V <sub>CC</sub> -V <sub>EE</sub>           |  |                                 |

### Electrical Characteristics

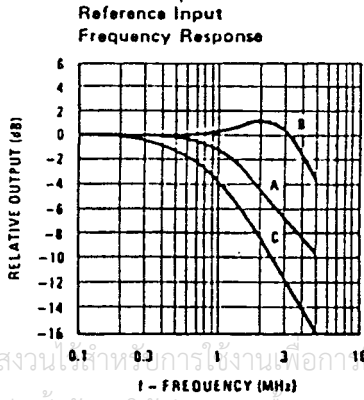
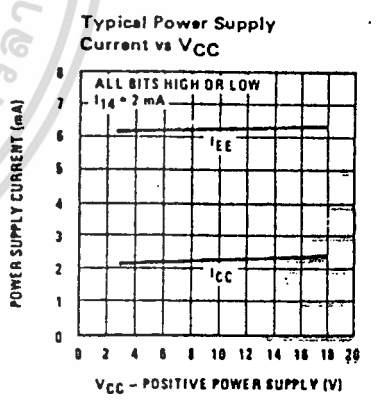
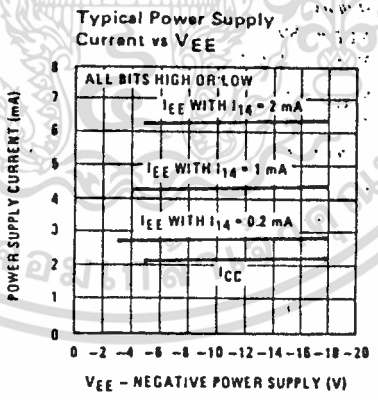
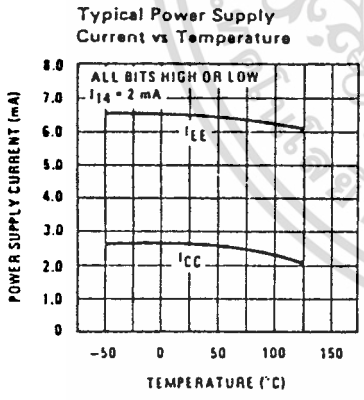
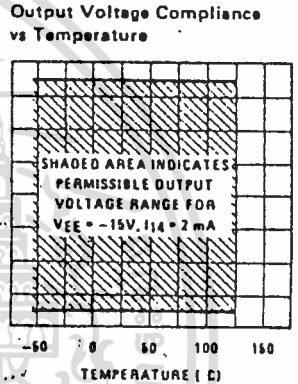
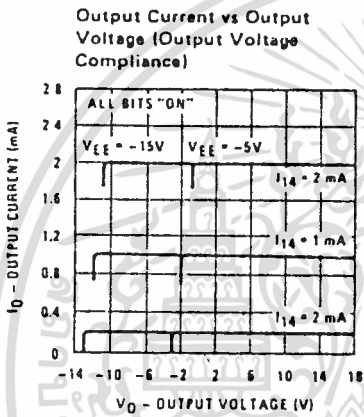
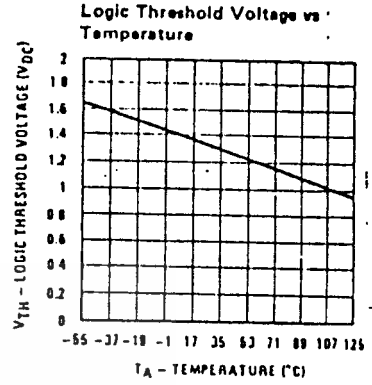
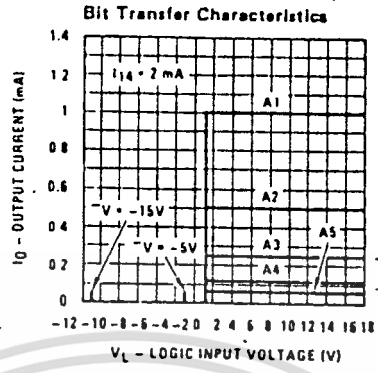
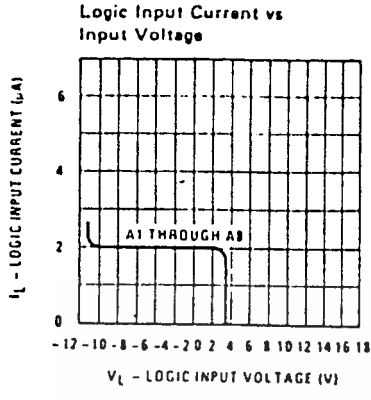
(V<sub>CC</sub> = 5V, V<sub>EE</sub> = -15 V<sub>DC</sub>, V<sub>REF</sub>/R<sub>14</sub> = 2 mA, DAC0808: T<sub>A</sub> = -55°C to +125°C, DAC0808C, DAC0807C, DAC0806C, T<sub>A</sub> = 0°C to +75°C, and all digital inputs at high logic level unless otherwise noted.)

| PARAMETER                           | CONDITIONS   | MIN  | TYP    | MAX        | UNITS           |                 |
|-------------------------------------|--|--|--------|------------|-----------------|-----------------|
| E <sub>r</sub>                      | Relative Accuracy (Error Relative to Full Scale I <sub>O</sub> ) | (Figure 4)   |        |            | %               |                 |
|                                     | DAC0808L (LM1508-8), DAC0808LC (LM1408-8)                        |  |        | ±0.19      | %               |                 |
|                                     | DAC0807LC (LM1408-7), (Note 1)                                   |  |        | ±0.39      | %               |                 |
|                                     | DAC0806LC (LM1408-6), (Note 1)                                   |  |        | ±0.78      | %               |                 |
|                                     | Settling Time to Within 1/2 LSB (Includes t <sub>PLH</sub> )     | T <sub>A</sub> = 25°C (Note 2), (Figure 5)                     | 150    |            | ns              |                 |
| t <sub>PLH</sub> , t <sub>PHL</sub> | Propagation Delay Time   | T <sub>A</sub> = 25°C, (Figure 5)                              | 30     | 100        | ns              |                 |
| TC <sub>IO</sub>                    | Output Full Scale Current Drift                                  |  | ±20    |            | ppm/°C          |                 |
| MSB                                 | Digital Input Logic Levels                                       | (Figure 3)   |        |            |                 |                 |
| V <sub>IH</sub>                     | High Level, Logic "1"  | 2  |        | 0.8        | V <sub>DC</sub> |                 |
| V <sub>IL</sub>                     | Low Level, Logic "0"   |  |        | 0.8        | V <sub>DC</sub> |                 |
| MSB                                 | Digital Input Current  | (Figure 3)   |        |            |                 |                 |
|                                     | High Level   | V <sub>IH</sub> = 5V   | 0      | 0.040      | mA              |                 |
|                                     | Low Level  | V <sub>IL</sub> = 0.8V   | -0.003 | -0.8       | mA              |                 |
| I <sub>15</sub>                     | Reference Input Bias Current                                     | (Figure 3)   | -1     | -3         | µA              |                 |
|                                     | Output Current Range   | (Figure 3)   |        |            |                 |                 |
|                                     | V <sub>EE</sub> = -5V  | 0  | 2.0    | 2.1        | mA              |                 |
|                                     | V <sub>EE</sub> = -15V, T <sub>A</sub> = 25°C                    | 0  | 2.0    | 4.2        | mA              |                 |
| I <sub>O</sub>                      | Output Current   | V <sub>REF</sub> = 2.000V, R <sub>14</sub> = 1000Ω, (Figure 3) | 1.9    | 1.99       | 2.1             | mA              |
|                                     | Output Current, All Bits Low                                     | (Figure 3)   |        | 0          | 4               | µA              |
|                                     | Output Voltage Compliance  | E <sub>r</sub> ≤ 0.19%, T <sub>A</sub> = 25°C                  |        |            | -0.55, +0.4     | V <sub>DC</sub> |
|                                     | Pin 1 Grounded, V <sub>EE</sub> Below -10V                       |  |        | -5.0, +0.4 | V <sub>DC</sub> |                 |
| SRI <sub>REF</sub>                  | Reference Current Slew Rate                                      | (Figure 6)   | 4      | 8          | mA/µs           |                 |
|                                     | Output Current Power Supply Sensitivity                          | -5V ≤ V <sub>EE</sub> ≤ -16.5V                                 |        | 0.05       | 2.7             | µA/V            |
|                                     | Power Supply Current (All Bits Low)                              | (Figure 3)   |        |            |                 |                 |
| I <sub>CC</sub>                     |  |  | 2.3    | 22         | mA              |                 |
| I <sub>EE</sub>                     |  |  | -4.3   | -13        | mA              |                 |
|                                     | Power Supply Voltage Range                                       | T <sub>A</sub> = 25°C, (Figure 3)                              |        |            |                 |                 |
| V <sub>CC</sub>                     |  | 4.5  | 5.0    | 5.5        | V <sub>DC</sub> |                 |
| V <sub>EE</sub>                     |  | -4.5   | -15    | -16.5      | V <sub>DC</sub> |                 |
|                                     | Power Dissipation  |  |        |            |                 |                 |
|                                     | All Bits Low   | V <sub>CC</sub> = 5V, V <sub>EE</sub> = -5V                    | 33     | 170        | mW              |                 |
|                                     |  | V <sub>CC</sub> = 5V, V <sub>EE</sub> = -15V                   | 106    | 305        | mW              |                 |
|                                     | All Bits High  | V <sub>CC</sub> = 15V, V <sub>EE</sub> = -5V                   | 90     |            | mW              |                 |
|                                     |  | V <sub>CC</sub> = 15V, V <sub>EE</sub> = -15V                  | 160    |            | mW              |                 |

Note 1: All current switches are tested to guarantee at least 60% of rated current.  
 Note 2: All bits switched.  
 Note 3: Range control is not required.

# Typical Performance Characteristics

VCC = 5V, VEE = -15V, TA = 25°C, unless otherwise noted



Unless otherwise specified:  $R_{14} = R_{15} = 1 \text{ k}\Omega$ ,  $C = 15 \text{ pF}$ , pin 16 to  $V_{EE}$ ;  $R_L = 50\Omega$ , pin 4 to ground.

Curve A: Large Signal Bandwidth Method of Figure 7,  $V_{REF} = 2 \text{ Vp-p}$  offset 1 V above ground

Curve B: Small Signal Bandwidth Method of Figure 7,  $R_L = 250\Omega$ ,  $V_{REF} = 50 \text{ mVp-p}$  offset 200 mV above ground.

Curve C: Large and Small Signal Bandwidth Method of Figure 9 (no op amp,  $R_L = 50\Omega$ ,  $R_S = 50\Omega$ ,  $V_{REF} = 2V$ ,  $V_S = 100 \text{ mVp-p}$  centered at 0V.

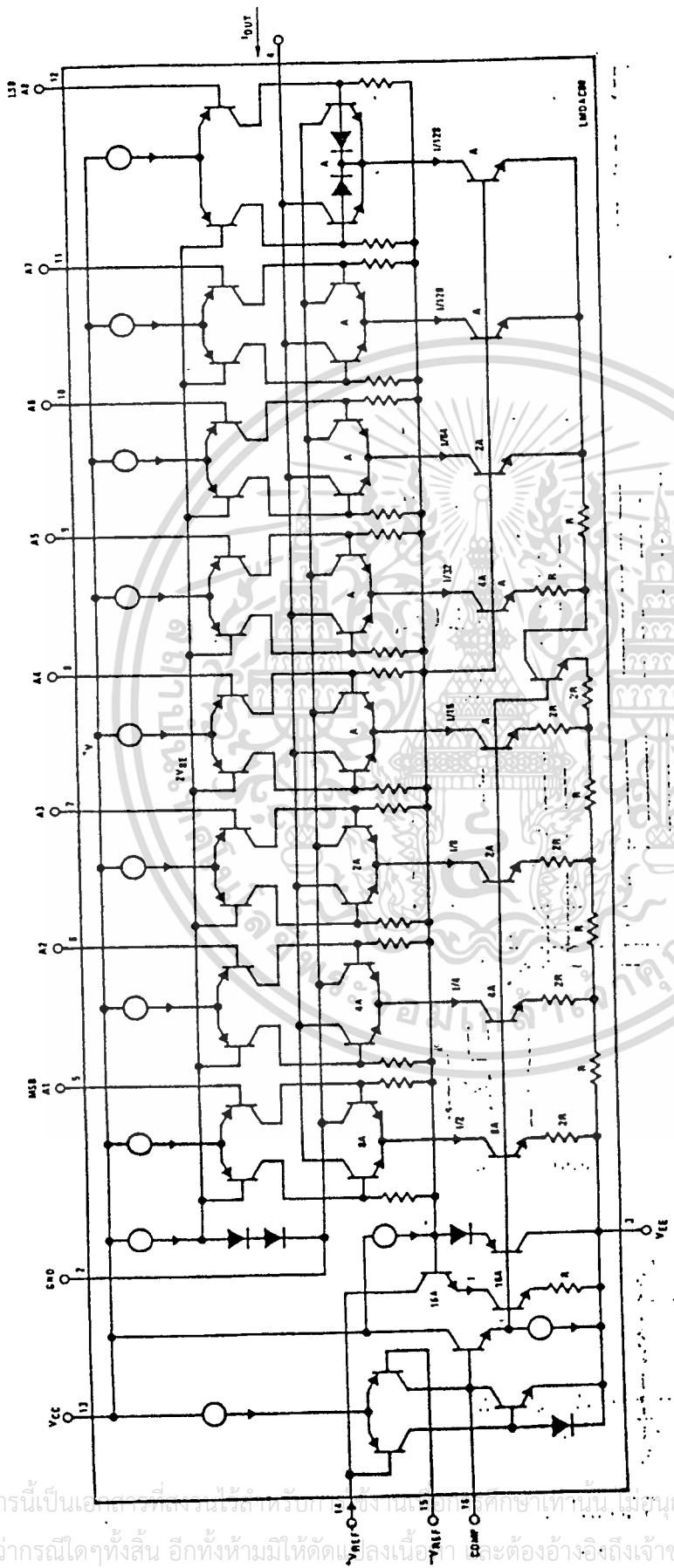


FIGURE 2. Equivalent Circuit of the DAC0808 Series

เอกสารนี้เป็นเอกสารที่สงวนลิขสิทธิ์ของสถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง ไม่สามารถนำไปใช้ประโยชน์ด้านการค้า  
 ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดลอกเผยแพร่สู่สาธารณะต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



Test Circuits (Continued)

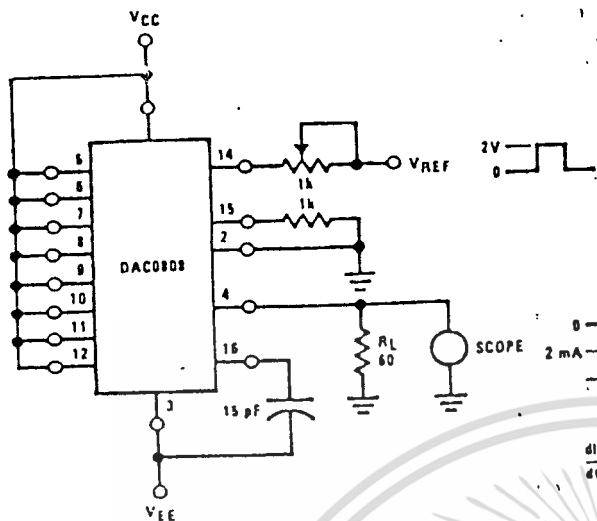


FIGURE 6. Reference Current Slew Rate Measurement

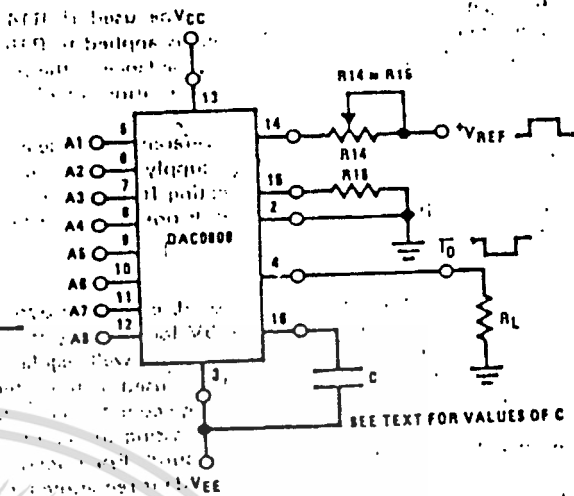


FIGURE 7. Positive VREF

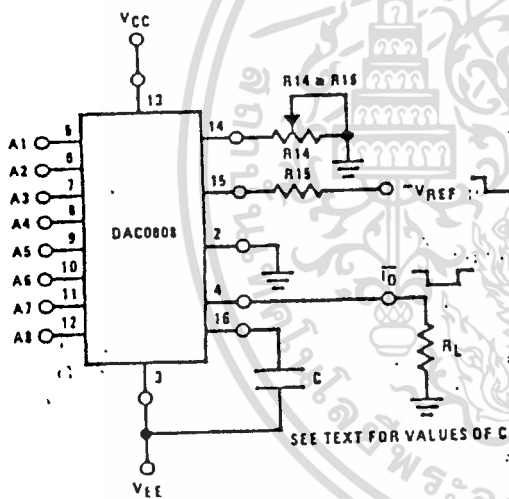


FIGURE 8. Negative VREF

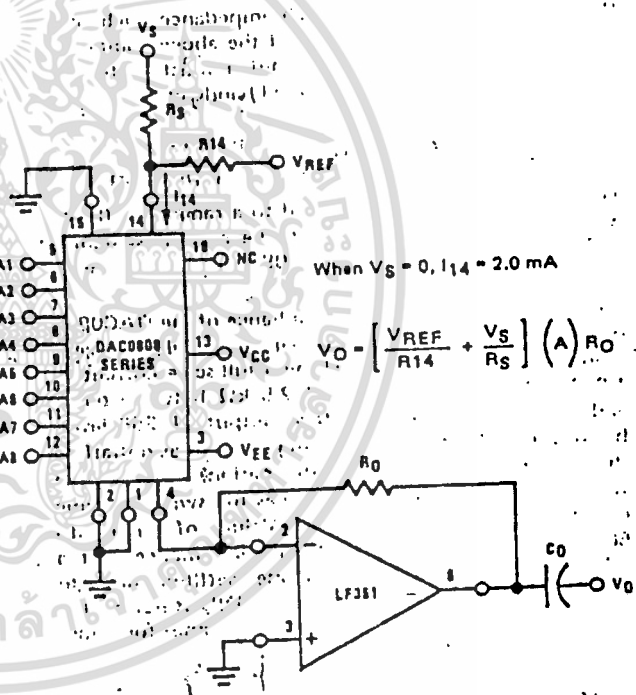


FIGURE 9. Programmable Gain Amplifier or Digital Attenuator Circuit

Application Hints

REFERENCE AMPLIFIER DRIVE AND COMPENSATION

The reference amplifier provides a voltage at pin 14, for converting the reference voltage to a current, and a turn-around circuit or current mirror for feeding the ladder. The reference amplifier input current,  $I_{14}$ , must always flow into pin 14, regardless of the set-up method or reference voltage polarity.

Connections for a positive voltage are shown in Figure 7. The reference voltage source supplies the full current

$I_{14}$ . For bipolar reference signals, as in the multiplying mode,  $R_{15}$  can be tied to a negative voltage corresponding to the minimum input level. It is possible to eliminate  $R_{15}$  with only a small sacrifice in accuracy and temperature drift.

The compensation capacitor value must be increased with increases in  $R_{14}$  to maintain proper phase margin; for  $R_{14}$  values of 1, 2.5 and 6 k $\Omega$ , minimum capacitor values are 15, 37 and 75 pF. The capacitor may be tied to either VEE or ground, but using VEE increases negative supply rejection.

## Application Hints (Continued)

A negative reference voltage may be used if R14 is grounded and the reference voltage is applied to R15 as shown in *Figure 8*. A high input impedance is the main advantage of this method. Compensation involves a capacitor to  $V_{EE}$  on pin 16, using the values of the previous paragraph. The negative reference voltage must be at least 4V above the  $V_{EE}$  supply. Bipolar input signals may be handled by connecting R14 to a positive reference voltage equal to the peak positive input level at pin 15.

When a DC reference voltage is used, capacitive bypass to ground is recommended. The 5V logic supply is not recommended as a reference voltage. If a well regulated 5V supply which drives logic is to be used as the reference, R14 should be decoupled by connecting it to 5V through another resistor and bypassing the junction of the 2 resistors with 0.1  $\mu\text{F}$  to ground. For reference voltages greater than 5V, a clamp diode is recommended between pin 14 and ground.

If pin 14 is driven by a high impedance such as a transistor current source, none of the above compensation methods apply and the amplifier must be heavily compensated, decreasing the overall bandwidth.

### OUTPUT VOLTAGE RANGE

The voltage on pin 4 is restricted to a range of -0.6 to 0.5V when  $V_{EE} = -5\text{V}$  due to the current switching methods employed in the DAC0808.

The negative output voltage compliance of the DAC0808 is extended to -5V where the negative supply voltage is more negative than -10V. Using a full-scale current of 1.992 mA and load resistor of 2.5 k $\Omega$  between pin 4 and ground will yield a voltage output of 256 levels between 0 and -4.980V. Floating pin 1 does not affect the converter speed or power dissipation. However, the value of the load resistor determines the switching time due to increased voltage swing. Values of  $R_L$  up to 500 $\Omega$  do not significantly affect performance, but a 2.5 k $\Omega$  load increases worst-case settling time to 1.2  $\mu\text{s}$  (when all bits are switched ON). Refer to the subsequent text section on Settling Time for more details on output loading.

### OUTPUT CURRENT RANGE

The output current maximum rating of 4.2 mA may be used only for negative supply voltages more negative than -7V, due to the increased voltage drop across the resistors in the reference current amplifier.

### ACCURACY

Absolute accuracy is the measure of each output current level with respect to its intended value, and is dependent upon relative accuracy and full-scale current drift. Relative accuracy is the measure of each output current level as a fraction of the full-scale current. The relative accuracy of the DAC0808 is essentially constant with temperature due to the excellent temperature tracking

of the monolithic resistor ladder. The reference current may drift with temperature, causing a change in the absolute accuracy of output current. However, the DAC0808 has a very low full-scale current drift with temperature.

The DAC0808 series is guaranteed accurate to within  $\pm 1/2$  LSB at a full-scale output current of 1.992 mA. This corresponds to a reference amplifier output current drive to the ladder network of 2 mA, with the loss of 1 LSB (8  $\mu\text{A}$ ) which is the ladder remainder shunted to ground. The input current to pin 14 has a guaranteed value of between 1.9 and 2.1 mA, allowing some mismatch in the NPN current source pair. The accuracy test circuit is shown in *Figure 4*. The 12-bit converter is calibrated for a full-scale output current of 1.992 mA. This is an optional step since the DAC0808 accuracy is essentially the same between 1.5 and 2.5 mA. Then the DAC0808 circuits' full-scale current is trimmed to the same value with R14 so that a zero value appears at the error amplifier output. The counter is activated and the error band may be displayed on an oscilloscope, detected by comparators, or stored in a peak detector.

Two 8-bit D-to-A converters may not be used to construct a 16-bit accuracy D-to-A converter. 16-bit accuracy implies a total error of  $\pm 1/2$  of one part in 65,536, or  $\pm 0.00076\%$ , which is much more accurate than the  $\pm 0.019\%$  specification provided by the DAC0808.

### MULTIPLYING ACCURACY

The DAC0808 may be used in the multiplying mode with 8-bit accuracy when the reference current is varied over a range of 256:1. If the reference current in the multiplying mode ranges from 16  $\mu\text{A}$  to 4 mA, the additional error contributions are less than 1.6  $\mu\text{A}$ . This is well within 8-bit accuracy when referred to full-scale.

A monotonic converter is one which supplies an increase in current for each increment in the binary word. Typically, the DAC0808 is monotonic for all values of reference current above 0.5 mA. The recommended range for operation with a DC reference current is 0.5 to 4 mA.

### SETTLING TIME

The worst-case switching condition occurs when all bits are switched ON, which corresponds to a low-to-high transition for all bits. This time is typically 150 ns for settling to within  $\pm 1/2$  LSB, for 8-bit accuracy, and 100 ns to  $1/2$  LSB for 7 and 6-bit accuracy. The turn OFF is typically under 100 ns. These times apply when  $R_L \leq 500\Omega$  and  $C_O \leq 25 \text{ pF}$ .

Extra care must be taken in board layout since this is usually the dominant factor in satisfactory test results when measuring settling time. Short leads, 100  $\mu\text{F}$  supply bypassing for low frequencies, and minimum scope lead length are all mandatory.