ระบบแจ้งผลการสอบคัดเลือกทางโทรศัพท์ด้วยไมโครคอมพิวเตอร์

COMPUTERIZED SPEECH RESPONSE SYSTEM FOR EXAMINATION RESULT REPORTING

โดย

จ.ส.ต.สมบัติ พบสมัย

นายสหัส ฟักอ่อน

นายอนันต์ สุขโต

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตร์บัณฑิต

ภาควิชาเทคนิคอุตสาหกรรม

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2534

009590

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ปริญญานิพนธ์ปีการศึกษา 2534

ภาควิชา เทคนิคอุตสาหกรรม

คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้า เจ้าคุณทหารลาดกระบัง

เรื่อง ระบบแจ้งผลการสอบคัดเลือกทางโทรศัพท์ด้วยไมโครคอมพิวเตอร์

ผู้จัดทำ

1. จ.ส.ต.สมบัติ พบสมัย

2. นาย สหัส ฟ้าอ่อน

3. นาย อนันต์ สุขโต

อาจารย์ สมภพ แก้วมีชัย อาจารย์ที่ปรึกษา

(_____)

_____ คณะกรรมการ

(_____)

_____ คณะกรรมการ

(_____)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ระบบแจ้งผลการสอบคัดเลือกทางโทรศัพท์ด้วยไมโครคอมพิวเตอร์

ชื่อ จ.ส.ต. สมบัติ พบสมัย

นาย สหัส ฟักอ่อน

นาย อนันต์ สุขโต

อาจารย์ สมภพ แก้วมีชัย อาจารย์ที่ปรึกษา

บทคัดย่อ

ปริญญานิพนธ์นี้ เป็นการนำเอาระบบไมโครคอมพิวเตอร์มาประยุกต์ใช้งานกับระบบโทรศัพท์ สำหรับใช้แจ้งผลการสอบคัดเลือกทางโทรศัพท์ ในสถาบันการศึกษาต่างๆ โดยที่ระบบถูกออกแบบมาเพื่อให้ใช้งานกับเครื่องโทรศัพท์แบบกดปุ่ม โดยจะทำการยกหูและวางหูเองโดยอัตโนมัติ สามารถพูดโต้ตอบกับผู้เรียกพร้อมทั้งทวนรหัสของผู้เรียกได้ด้วย ซึ่งผู้เรียกแต่ละคนสามารถสอบถามได้ 3ครั้ง ซึ่งแต่ละครั้งจะต้องใช้เวลาไม่เกิน 25 วินาที ระบบแจ้งผลนี้สามารถเก็บรหัสประจำตัวสอบของนักศึกษาซึ่งมีจำนวน 7 หลัก พร้อมทั้งเก็บไฟล์เสียงและโปรแกรมควบคุมการทำงานได้ ระบบยังสามารถใช้กับคอมพิวเตอร์ส่วนตัวแบบ 16 บิท ทั่วไปได้ ระบบประกอบด้วย แผ่นวงจรพร้อมอุปกรณ์ 1 แผ่นและ แผ่นดิสเกตท์ อีก 1 แผ่น ในส่วนของโปรแกรมควบคุมใช้ภาษา C เขียนเพื่อง่ายต่อการออกแบบและพัฒนาระบบให้มีความรวดเร็วและประสิทธิภาพสูงยิ่งขึ้นไปอีกในอนาคต

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Computerized Sspeech Response System For Examination Result Reporting

Name SSG. Sombat Pobsamai
Mr. Sahat Fakon
Mr. Anun Sukto

Advisor Mr. Sompob Gaomeechai

Abstract

The presentation of this project is an appication of microprocesser for report the examination result for the called through telephone used in this system can be the pushed butten type only. The system is an automatic operation and can provide speech response back to incoming call. Each call is limited to not more then 25 seconds and the same calling code can be repeated for 3 limes only the system can memorize the 7 digits student code and corresponding sound file. The software program can be used with any 16 bits personal computer. The system compose of 1 circuit card an 1 floppy disk an software program used is written in C language that easy to design and develop for higher speed and more efficiency for future use.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ

	หน้า
✓ บทคัดย่อ	ก
Abstract	ฆ
✓บทที่ 1 บทนำ	
1.1 ความรู้เบื้องต้น	1
1.2 วัตถุประสงค์ของโครงงาน	1
✓บทที่ 2 ความรู้เกี่ยวโทรศัพท์และทฤษฎีที่เกี่ยวข้อง	
2.1 การสื่อสารทางโทรศัพท์	2
2.2 มาตรฐานสัญญาณโทรศัพท์	3
2.3 สัญญานความถี่ DTMF	5
บทที่ 3 โครงสร้างของระบบไมโครคอมพิวเตอร์	
3.1 โครงสร้างของไมโครคอมพิวเตอร์	6
3.2 ไดอะแกรมของระบบ IBM PC/XT	7
3.3 ฮาร์ดแวร์ของระบบไมโครคอมพิวเตอร์ไอบีเอ็ม	8
✓บทที่ 4 ขั้นตอนและวิธีการดำเนินงาน	
4.1 ส่วนควบคุมการติดต่อทางโทรศัพท์	20
4.2 วงจรตรวจจับเสียงกริ่ง	22
4.3 วงจรถอดระหัส	25
4.4 ส่วนของการตอบรับด้วยเสียงพูด	29
4.5 ส่วนของการบันทึกสัญญาณเสียง	30
4.6 ส่วนของการควบคุม	36
บทที่ 5 โปรแกรมและการทดสอบระบบ	
5.1 โฟลว์ชาร์ตในส่วนของกระบวนการตอบรับทางโทรศัพท์	43
5.2 การทดลองโดยใช้งานจำลอง	46
5.3 การทดลองโดยใช้งานจริง	47

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 6 บทสรุป

6.1 สรุปผลของโครงงาน 48

6.2 ปัญหาในการดำเนินงาน 48

6.3 ข้อเสนอแนะในการพัฒนา 49

กิตติกรรมประกาศ

เอกสารอ้างอิง

ภาคผนวก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 1

บทนำ

1.1 ความเป็นมาของโครงงาน

จากความตั้งการที่จะให้ประเทศชาติของเราเจริญก้าวหน้า ทั้งในด้านอุตสาหกรรม เศรษฐกิจ เกษตรกรรม และ เทคโนโลยี่ด้านต่างๆนั้นจำเป็นที่จะต้องทำสิ่งแวดล้อมต่างๆ มีความเจริญก้าวหน้าตามไปด้วยไม่เช่นนั้นแล้ว สิ่งต่างๆเหล่านี้จะทำให้เกิดปัญหาขึ้นในอนาคตในฐานะที่เราเป็นนักศึกษาหรือกำลังจะเป็นนักศึกษา สิ่งที่หลีกเลี่ยงไม่ได้ก็คือ การสอบคัดเลือกเพื่อศึกษาต่อหรือสอบวัดผลการศึกษาประจำภาคเรียน ต่างๆ และ เมื่อมีการสอบก็ต้องมีการประกาศผลสอบซึ่งสถาบันการศึกษาในปัจุบันได้มีการประกาศผลการสอบคัดเลือกเข้าศึกษาต่อเป็นประจำทุกปีการศึกษา ทำให้นักศึกษาที่สอบคัดเลือก ซึ่งมีจำนวนมาก ต้องมาฟังผลการสอบด้วยตัวเอง ณ ที่ประกาศผลสอบซึ่งเป็นการเสียเวลา ทรัพย์สิน และ กำลังงานโดยไม่จำเป็นโดยเฉพาะนักศึกษาที่มีภูมิลำเนาอยู่ต่างจังหวัดไกลออกไป ด้วยเหตุผลดังกล่าว จึงควรจะมีเครื่องมือที่สามารถให้บริการรับสอบถามผลการสอบคัดเลือกก็จะทำให้เกิดความรวดเร็ว ประหยัดเวลา ทรัพสิน รวมทั้งการเดินทางแก่นักศึกษาได้อย่างมาก และทางเลือกที่จะสอดคล้องกับคุณสมบัติข้างต้นของเครื่องมือดังกล่าวก็คือ ให้เครื่องมือดังกล่าวได้ใช้งานร่วมกับ เคลือข่ายของโทรศัพท์ทั่วๆไปก็จะทำให้เครื่องมือดังกล่าว มีความสามารถที่จะรับการสอบถามผลการสอบคัดเลือกทางโทรศัพท์ได้อย่างมีประสิทธิภาพซึ่งสามารถให้ข่าวสารได้รวดเร็วฉับไวและเสียค่าใช้จ่ายในการบริการที่ถูก เราจะเรียกเครื่องมือดังกล่าวนี้ว่า "ระบบแจ้งผลการสอบคัดเลือกทางโทรศัพท์ด้วยไมโครคอมพิวเตอร์" (COMPUTERIZED SPEECH RESPONSE SYSTEM FOR EXAMINATION RESULT REPORTING)

1.2 วัตถุประสงค์ของโครงงาน

1.2.1 เพื่อเสริมสร้างความคิด ในการพัฒนาระบบไมโครคอมพิวเตอร์เพื่อใช้งานได้อย่างกว้างขวางต่อไปในอนาคต

1.2.2 สร้าง ระบบแจ้งผลการสอบคัดเลือกทางโทรศัพท์ โดยใช้เครื่องไมโครคอมพิวเตอร์ 16 บิท PC

1.2.3 เป็นการนำเอาวิชาพื้นฐานทางวิศวกรรมต่างๆมาใช้ให้เกิดประโยชน์ต่อสังคมและประเทศชาติ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ ไม่ว่ากรณีใดๆ ทั้งสิ้น หรือทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 2

ความรู้เกี่ยวกับโทรศัพท์และทฤษฎีที่เกี่ยวข้อง

2.1 การสื่อสารทางโทรศัพท์

โทรศัพท์คือ เครื่องมือสื่อสารเพื่อมโยงน้ำเสียงและคำพูดระหว่างบุคคลซึ่งอยู่ ณ สถานที่แห่งหนึ่งกับบุคคลที่ต้องการติดต่อด้วย ณ สถานที่อีกแห่งหนึ่ง ให้สามารถพูดจาโต้ตอบกันได้เสมือนบุคคลทั้งสองสนทนาอยู่ใกล้ชิดกันในการสื่อสารทางโทรศัพท์นั้นมีส่วนประกอบดังนี้

2.1.1 เครื่องโทรศัพท์

มีรูปร่างและลักษณะแตกต่างกันออกไปตามแต่ลักษณะของบริษัทผู้ผลิตแต่ต้องมีส่วนประกอบหลักๆดังนี้ มีปากพูดและหูฟังสำหรับยกขึ้นพูดและมีหน้าปัทม์สำหรับกดหมายเลขหรือหมุนหมายเลข ที่ต้องการจะพูดด้วย

2.1.2 สายโทรศัพท์หรือข่ายสายโทรศัพท์

จากตัวเครื่องโทรศัพท์จะมีสายโทรศัพท์อย่างน้อย 1 คู่ หรือ 2 เส้น เพื่อเชื่อมโยงและเป็นสื่อนำกระแสไฟฟ้าจากชุมสายมาเลี้ยงปากพูด และหูฟังในขณะเดียวกันก็ทำหน้าที่เป็นสื่อเพื่อส่งกระแสคลื่นจากไมโครโฟนปากพูดของผู้ส่งไปยังลำโพงหูฟังของผู้รับ ณ เครื่องโทรศัพท์ปลายทางอีกเครื่องหนึ่งได้เพื่อจะให้การใช้โทรศัพท์จากเครื่องหนึ่งไปอีกเครื่องหนึ่งพูดติดต่อกันได้สะดวก โดยไม่ถูกรบกวนจากผู้เช่ารายอื่นและไม่ประสงค์จะให้ผู้เช่ารายอื่นได้ยิน การสนทนาระหว่างท่านกับผู้ที่ท่านประสงค์จะพูดด้วย เครื่องโทรศัพท์แต่ละเครื่องแต่ละหมายเลขจึงต้องมีสายโทรศัพท์เป็นของตนเอง 1 คู่ โดยเฉพาะไม่เกี่ยวข้องกับคู่สายของผู้เช่ารายอื่น และสายจะต้องโยงไปยังชุมสายเสมอ

2.1.3 ชุมสายโทรศัพท์

ที่เรียกชุมสายก็เพราะ สายทุกคู่ของแต่ละเลขหมาย จะไปปรากฏเป็นหัวหมุดรอคอยการต่อเชื่อมระหว่างผู้เรียกและผู้ถูกเรียกเป็นคู่ ๆ ถ้าเป็นชุมสายแบบใช้พนักงานต่อ พนักงานสลับสายก็จะเป็นผู้ต่อให้ ถ้าเป็นชุมสายแบบอัตโนมัติ เครื่องต่อโทรศัพท์ซึ่งประกอบด้วยกลไกทางไฟฟ้ามากมายก็จะทำหน้าที่ต่อให้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.2 มาตรฐานสัญญาณโทรศัพท์

สัญญาณโทรศัพท์เป็นสิ่งจำเป็นในการใช้งานโทรศัพท์ ดังนั้นเพื่อให้เครื่องโทรศัพท์ใช้งานร่วมกันได้ จึงได้กำหนดมาตรฐานของสัญญาณโทรศัพท์ขึ้นเพื่อบอกสภาวะการใช้งานของเครื่องโทรศัพท์ สัญญาณต่างๆ ได้แก่

2.2.1 สัญญาณแมวกรน (Dial Tone)

เป็นสัญญาณความถี่ 425 Hz ทำการส่งต่อเนื่องกันไปใช้บอกให้ฝ่ายเรียกเริ่มทำการหมุนหรือกดหมายเลขเพื่อการเรียกออกได้

2.2.2 สัญญาณไม่ว่าง (Busy Tone)

เป็นสัญญาณความถี่ 425 Hz ทำการส่ง 0.4 วินาที และ หยุด 0.4 วินาที สลับกันไป เพื่อบอกให้รู้ว่า ฝ่ายรับคู่สายไม่ว่าง จะต้องทำการวางหูก่อนแล้วจึงยกหูขึ้นมาเพื่อรอสัญญาณแมวกรนใหม่เพื่อทำการเรียกออกใหม่อีกครั้งหนึ่ง

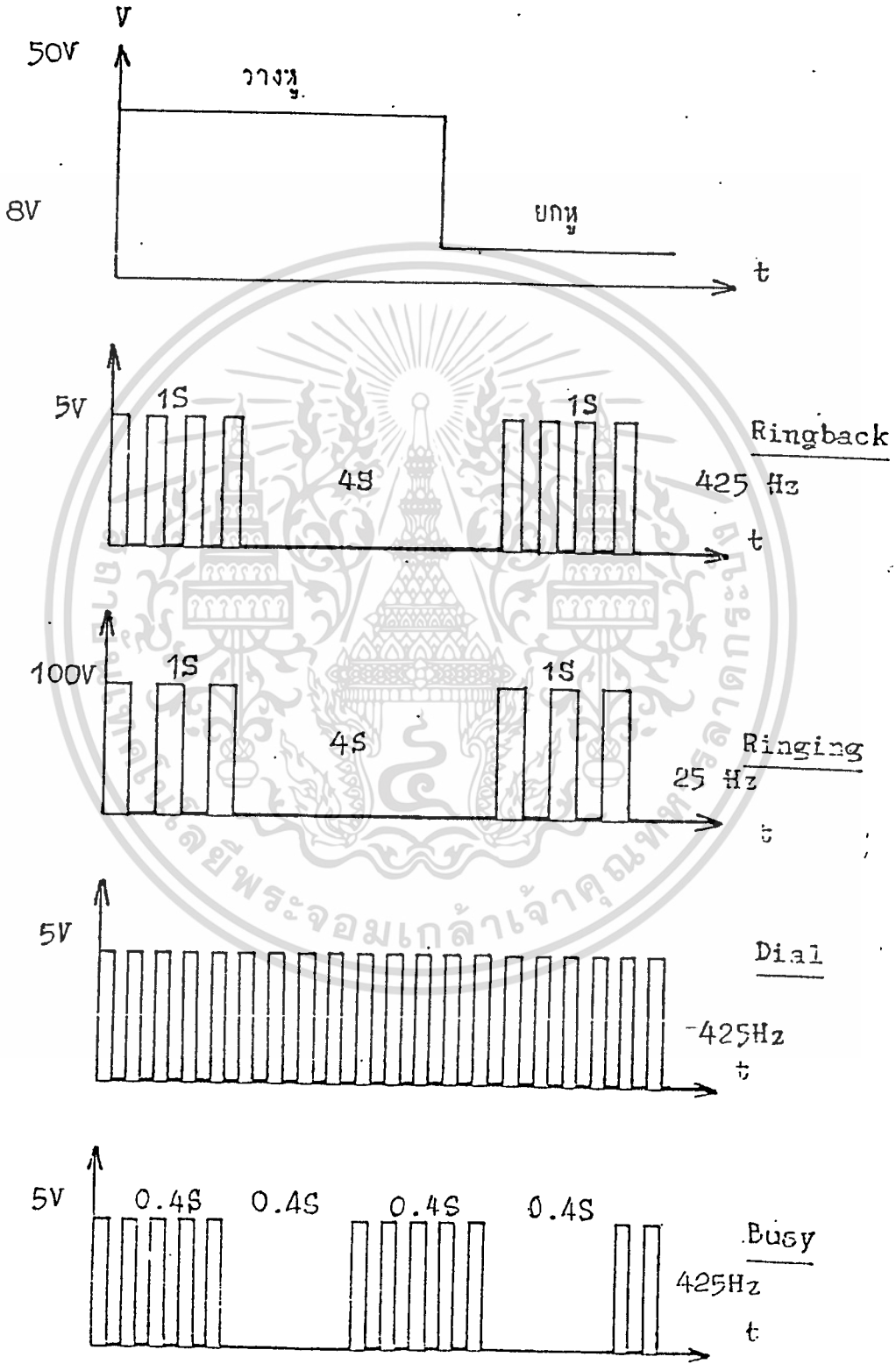
2.2.3 สัญญาณเรียกกลับ (Ring-back Tone)

เป็นสัญญาณความถี่ 425 Hz ทำการส่ง 1 วินาที และหยุด 4 วินาทีสลับกันไป เพื่อบอกให้ฝ่ายเรียกรู้ว่าเรียกคู่สายได้แล้ว เพียงแต่รอฝ่ายรับมารับสายเท่านั้น

2.2.4 สัญญาณกระดิ่ง (Ringing Tone)

เป็นสัญญาณความถี่ประมาณ 25 Hz ทำการส่ง 1 วินาที และหยุด 4 วินาที สลับกันไปเช่นเดียวกันกับสัญญาณเรียกกลับ แต่จะมีระดับแรงไฟที่สูงกว่า เพื่อบอกให้ฝ่ายรับทราบว่า มีการเรียกเข้ามา เพื่อทำการยกหู แล้วสนทนาติดต่อกันต่อไป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.3 สัญญาณความถี่ DTMF (Dual Tone Multi Frequency)

ระบบสัญญาณโทรศัพท์แบบ DTMF ซึ่งในปัจจุบันนี้เป็นที่แพร่หลาย หรือที่เรียกกันตามท้องตลาดว่า โทรศัพท์กดปุ่มนั้นในการส่งข้อมูลแต่ละหลักตัวเลขนั้น ตัวเลขเหล่านี้จะถูกแปลงและส่งไปในรูปของ รหัสความถี่สองความถี่ (Dual Tone Codes) พร้อมกัน ในย่านของความถี่เสียง (300 - 3400 Hz) หมายเลข 2 จะส่งความถี่ 697 Hz และ 1336 Hz พร้อมกันตามมาตรฐานสัญญาณโทรศัพท์ ที่กำหนดโดย CCITT มีมาตรฐานดังตารางข้างล่างนี้

DTMF Standard by CCITT Table

****

F(Hz)	1209	1336	1477	1633
697	1	2	3	A
770	4	5	6	B
852	7	8	9	C
941	*	0	#	D

จะเห็นได้ว่า โทรศัพท์นั้นมีสิ่งสำคัญที่จะต้องทำความเข้าใจเสียก่อน เพื่อจะได้นำมาประยุกต์ใช้กับระบบแจ้งผลการสอบทางโทรศัพท์ และในส่วนของระบบคอมพิวเตอร์นั้นมีทฤษฎีดังจะกล่าวถึงต่อไปนี้

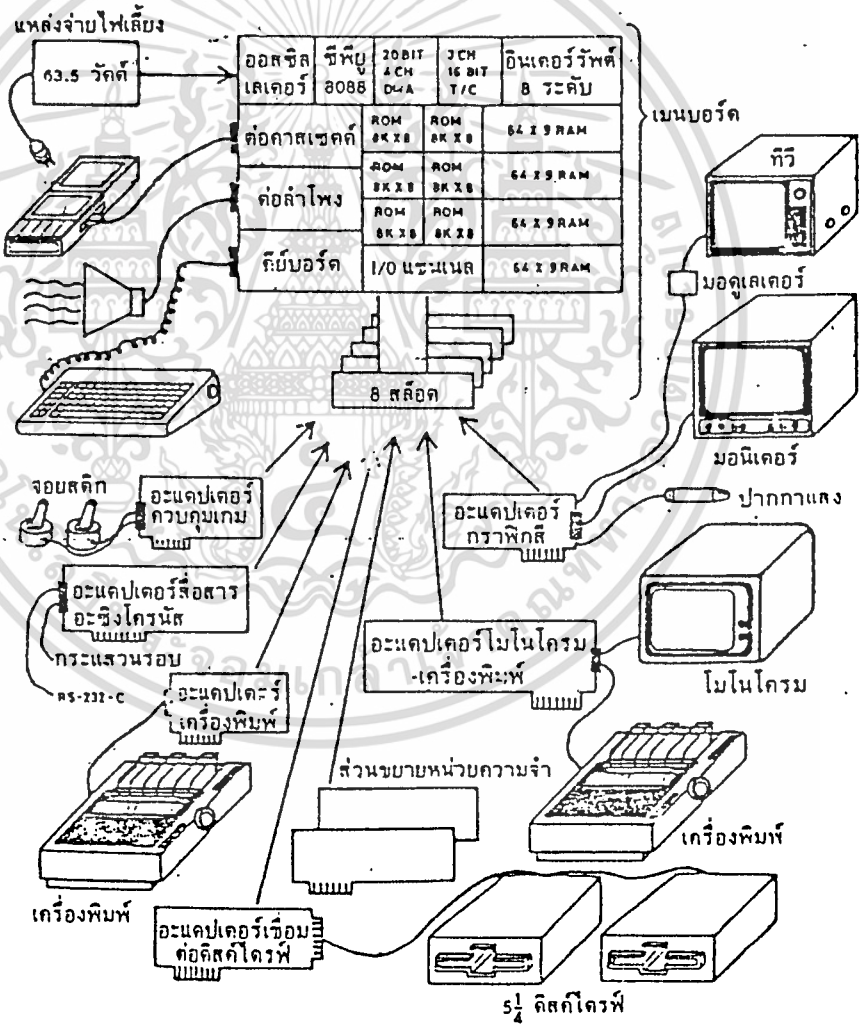
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 3

โครงสร้างของระบบไมโครคอมพิวเตอร์

3.1 โครงสร้างของไมโครคอมพิวเตอร์ (IBM PC/XT)

ประกอบด้วยชิ้นส่วนทางอิเล็คทรอนิคส์หลายๆ ชิ้น มาประกอบรวมกัน ซึ่งโครงสร้างพื้นฐานภายนอกเป็นระบบ จะประกอบด้วยหน่วยประมวลผลกลาง ซึ่งมีที่ใส่แผ่นดิสเกสท์ 5.25", คีบอร์ด, จอมอนิเตอร์ และเครื่องพิมพ์ สำหรับเครื่องพิมพ์ที่ใช้จะต่อผ่านเข้าระบบด้วยเคเบิลแบบขนาน

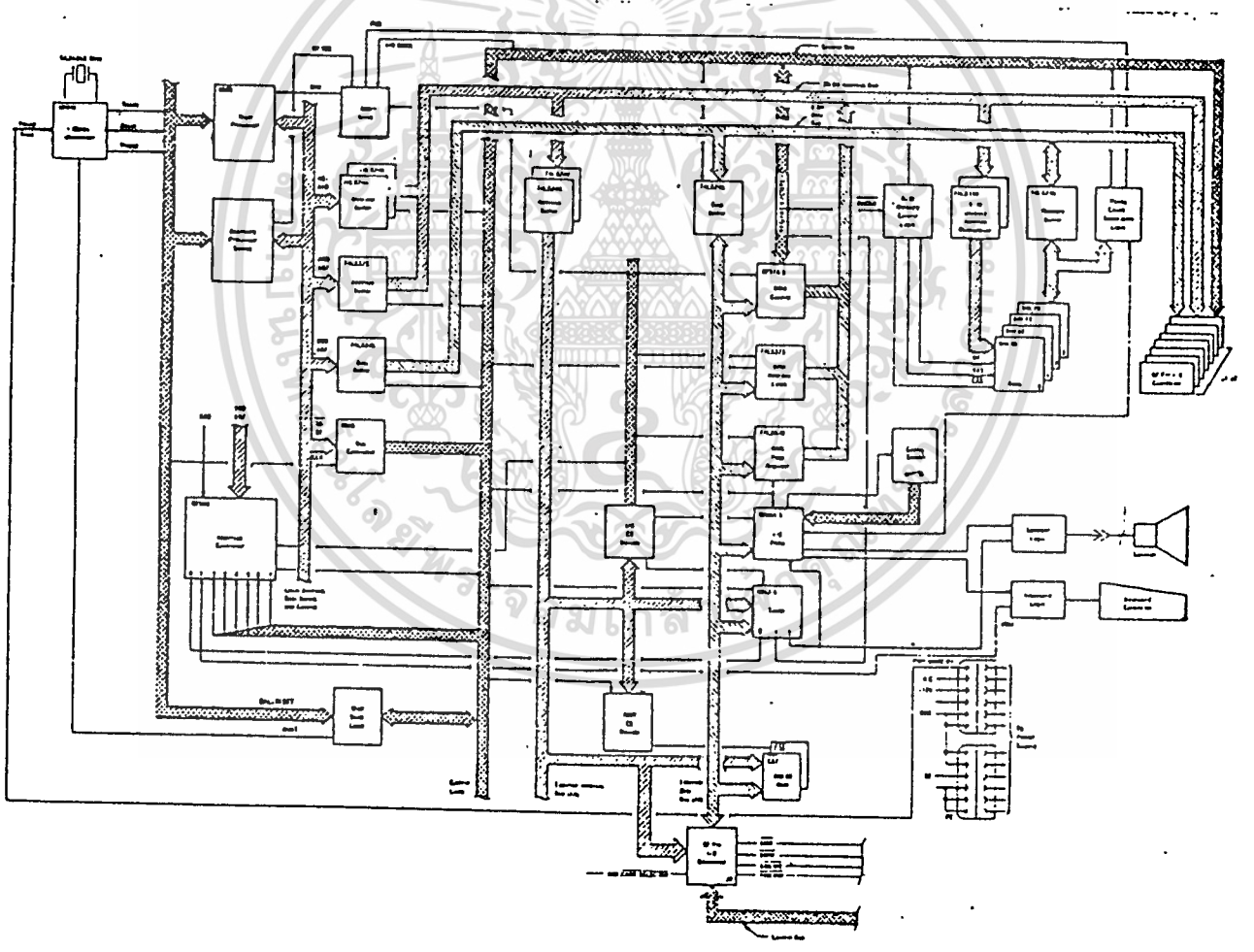


ภาพที่ 3.1 แสดงการต่อเป็นระบบของไมโครคอมพิวเตอร์ (IBM PC/XT)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.2 ไดอะแกรมของระบบ IBM PC/XT

ระบบไมโครคอมพิวเตอร์ IBM PC/XT จะประกอบด้วยเมนบอร์ดที่มีสลอตเชื่อมโยงกับแผงวงจรอิเล็คทรอนิคส์ที่จะนำมาต่อเชื่อมได้อีก 8 ช่อง บนเมนบอร์ดนี้ จะรับแหล่งจ่ายไฟเลี้ยงจากภาคจ่ายไฟซึ่งทั่วไปจะใช้ขนาดไม่น้อยกว่า 150 วัตต์ ทั้งยังเชื่อมต่อกับวงจรกำเนิดเสียงสำหรับอุปกรณ์อิเล็คทรอนิคส์ที่ต่อเข้ากับสล็อตนั้น ผู้ใช้สามารถเลือกต่อได้ตามที่ต้องการ ซึ่งไดอะแกรมของ IBM PC/XT แสดงได้ดังรูป



IBM PC/XT Circuit Diagrame

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.3 ฮาร์ดแวร์ของระบบไมโครคอมพิวเตอร์ไอบีเอ็ม

จะกล่าวถึงการทำงานอย่างเป็นระบบตั้งแต่ระบบของไมโครโปรเซสเซอร์ 8080 วงจรควบคุมตลอดจนหน่วยความจำ และการจัดการระบบอื่นๆ ระบบที่กล่าวถึงจะเน้นในส่วนของเมนบอร์ดของไมโครคอมพิวเตอร์ก่อน เพื่อความเข้าใจการทำงานของระบบ

3.3.1 โครงสร้างของเมนบอร์ด

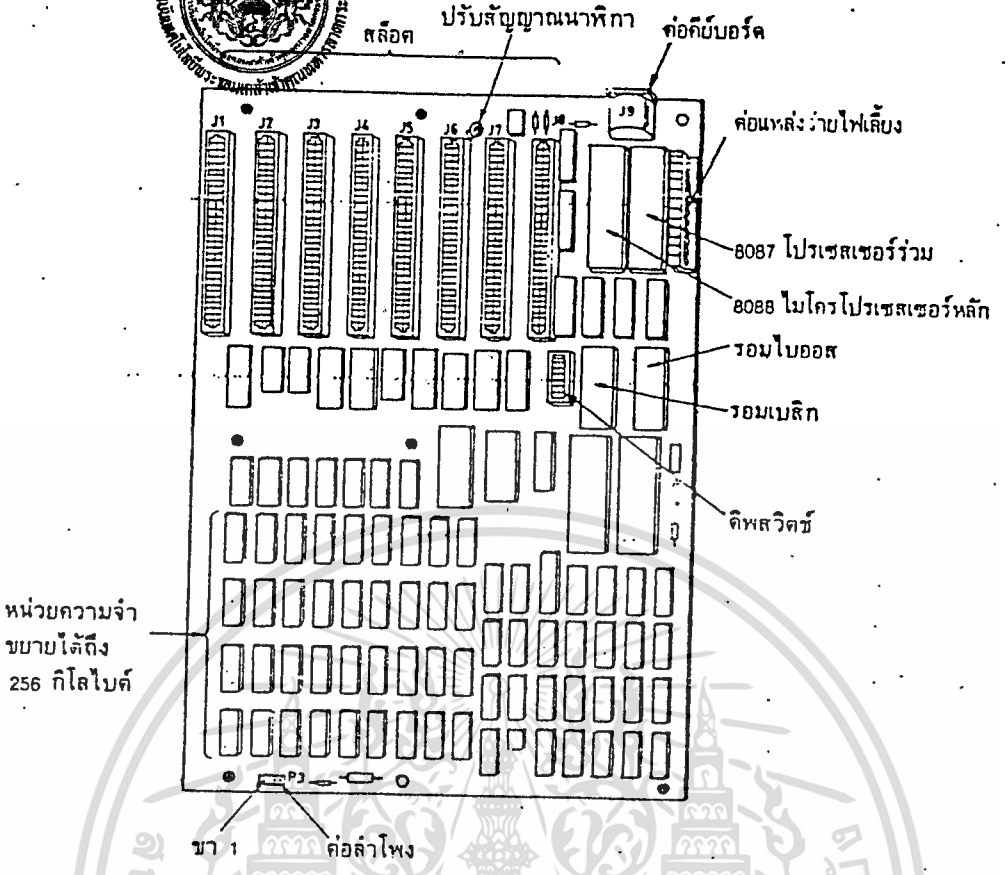
ไอบีเอ็ม เอ็กซ์ที ใช้ไอซีมาตรฐานที่สามารถหาซื้อได้ เริ่มจากซีพียูที่ใช้ไมโครโปรเซสเซอร์ 8088 ในการจัดตำแหน่งของไอซีต่างๆ บนเมนบอร์ด แสดงดังรูปที่ 3.3 ในการจัดวางไอซีรุ่นเอ็กซ์ที จะแตกต่างจากรุ่นพีซีอยู่บ้างในจำนวนสล็อต โดยรุ่นเอ็กซ์ทีจะมี 8 สล็อต ส่วนรุ่นพีซีจะมี 5 สล็อตส่วนการจัดโครงร่างของวงจรยังเหมือนกัน โดยเอ็กซ์ทีได้ตัดวงจรเชื่อมโยงเทปคาสเซตต์ออก

โครงสร้างของเมนบอร์ด มีขนาด 8.5 x 12 นิ้ว แผ่นพีซีบอร์ดชนิดหลายชั้น (Multilayer PCB) มีรอม 40 Kbyte มีแรม 256 Kbyte โดยจัดเป็น 64 Kbyte จำนวน 4 แถว มีซ็อกเกตสล็อตแบบ 62 ขาจำนวน 8 ช่อง สำหรับเชื่อมโยงกับระบบฮาร์ดแวร์อื่น สล็อตจะมีโครงสร้างสัญญาณเหมือนกันยกเว้นสล็อต J8 ซึ่งมีโครงสร้างการจัดสัญญาณแตกต่างกับสล็อตอื่น และยังมีซ็อกเกต ของ 8087 เป็นโปรเซสเซอร์ร่วมในการทำงานทางคณิตศาสตร์ให้มีความเร็วยิ่งขึ้น จากไมโครโปรเซสเซอร์จะส่งสัญญาณควบคุมเป็นบัส เพื่อใช้ในการควบคุมระบบอื่นต่อไป

3.3.2 ไมโครโปรเซสเซอร์ 8088

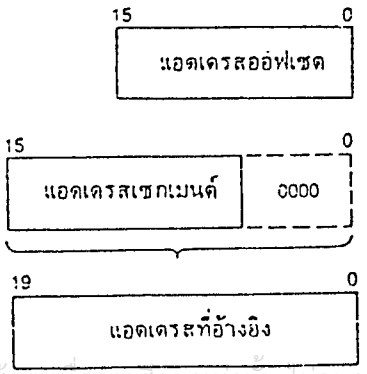
ไมโครโปรเซสเซอร์ 8088 เป็นซีพียูในตระกูลของ 8086 โดยบริษัท อินเทล ใช้บัสข้อมูลขนาด 8 บิท จึงเป็นรุ่น 8 บิทของกลุ่ม 16 บิท ใช้แอดเดรสบัส 20 เส้นสามารถใช้กับหน่วยความจำได้ถึง 1 เมกกะไบท์ (2^{20} = 1048576) การอ่านข้อมูลหรือเขียนข้อมูลจากหน่วยความจำจะกระทำทีละ 8 บิท แต่การประมวลผลภายในจะกระทำทีละ 16 บิท

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



ภาพที่ 3.3 แสดงการจัดวางอุปกรณ์บนบอร์ดของ IBM PC/XT

สำหรับไมโครโปรเซสเซอร์ 8088 ที่ใช้อยู่บนเมนบอร์ด ทำงานที่ความถี่ 4.77 MHz การทำงานภายในใช้ระบบข้อมูล 16 บิท โดยมีรีจิสเตอร์รับข้อมูลได้เพียง 16 บิท แต่การอ้างแอดเดรสใช้สายแอดเดรสบัสถึง 20เส้นดังนั้น CPU จะเห็นข้อมูลได้โดยตรงเป็นกลุ่ม กลุ่มละ 2^{16} = 64 KByte โดยมีการกำหนดเป็น Secment การอ้างแอดเดรสจึงใช้รีจิสเตอร์ 2 ตัว ดังนี้

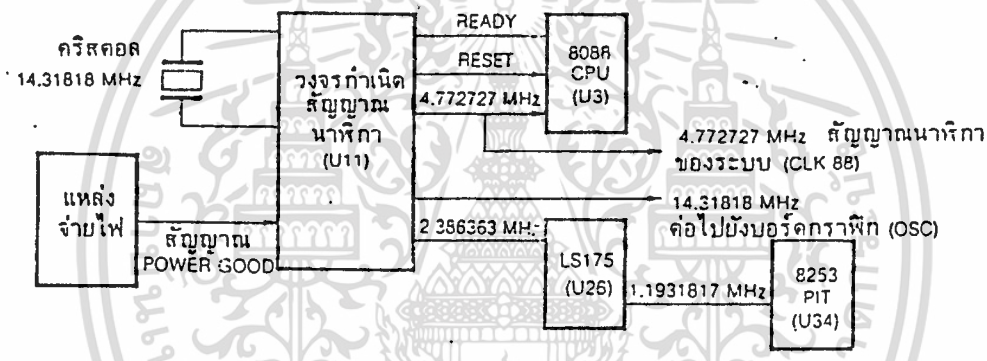


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้
009590

ภาพที่ 3.4 การอ้างแอดเดรส

โดยที่ตัวหนึ่งจะบอกค่าแอดเดรสที่อยู่ในเซ็กเม้นต์ อีกตัวจะบอกตำแหน่งเริ่มต้นของเซ็กเม้นต์ ในการอ้างอิงให้ครบ 20 บิทได้

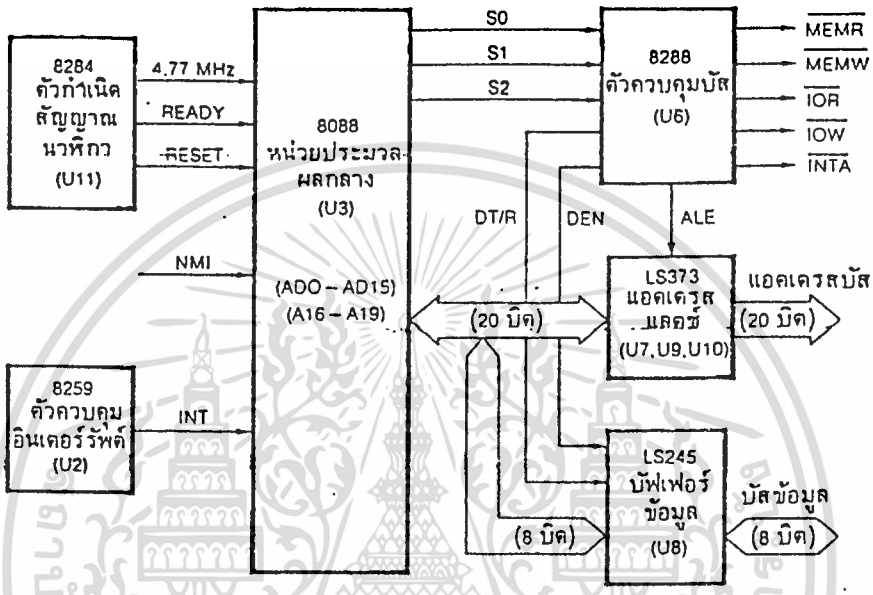
ไมโครโปรเซสเซอร์ 8088 มีบัสข้อมูล 8 บิท และแอดเดรสบัส 20 บิท สัญญาณที่ขาไอซี มี AD0-AD7 และ A8-A19 ในส่วนของ AD0-AD7 เป็นสัญญาณมัลติเพล็กซ์ระหว่างข้อมูลและแอดเดรส จึงจำเป็นที่จะต้องมีสัญญาณการกำหนดการแยกข้อมูลและแอดเดรสออกจากกันโดย 8088 กำหนดชื่อสัญญาณนี้ว่า ALE (Address Latch Enable) อย่างไรก็ดีการต่อระบบ 8088 นี้จำเป็นต้องใช้ตัวประกอบร่วมคือ 8284 เป็นตัวสร้างสัญญาณนาฬิกา 8288 เป็นตัวแยกสัญญาณออกจากกัน และสำหรับวงจรสร้างสัญญาณนาฬิกาแสดงได้ดังรูป



ภาพที่ 3.5 วงจรสร้างสัญญาณนาฬิกา

ในส่วนของของ AD0-AD7 จะผ่านเข้าทาง 74LS245 เพื่อกำหนดให้เป็นบัฟเฟอร์ของซีพียูในส่วนบัสข้อมูลส่วน AD0-AD7จะได้รับการแลชด้วยสัญญาน ALE บนไอซี LS373 เพื่อกำหนดเป็นแอดเดรส A0-A7 ร่วมกับ A8-A19 เป็นบัสแอดเดรส ส่วน S0,S1,S2 เป็นส่วนของการแสดงสถานะของซีพียู ซึ่งเมื่อประกอบเป็นอินพุทให้กับไอซี 8288 แล้วจะได้รับการแยกออกมาเป็น MEMR คือสัญญานอ่านหน่วยความจำ,MEMW คือสัญญานเขียนหน่วยความจำ,IOR คือสัญญานการอ่านอินพุท,IOW คือสัญญานการเขียนเอ้าพุท และ INTA คือการตอบรับการอินเตอร์รัพท์ ซึ่งรูปของวงจรไมโครโปรเซสเซอร์แสดงได้ดังรูป สำหรับการติดต่อกับอินพุทเอ้าพุท จะทำงานร่วมกับบัสแอดเดรสเพียง 16 สาย สามารถติดต่อกับอินพุทเอ้าพุทได้ 65536 พอร์ท

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



ภาพที่ 3.6 วงจรไมโครโปรเซสเซอร์

3.3.3 8284 ไอซีกำหนิดสัญญานนาฬิกาให้ระบบ

เป็นสัญญานนาฬิกาที่ใช้กับ 8088 โดยรับสัญญาน POWER GOOD มาเป็นตัวกำกับให้ทำงานด้วย กล่าวคือเมื่อผู้ใช้เปิดสวิทช์จ่ายไฟฟ้าให้กับระบบ หรือกดคีย์ ALT-CTRL-DEL เพื่อบอกว่าการเริ่มต้นของระบบได้เกิดขึ้นแล้ว 8284 จะสร้างสัญญานการรีเซ็ท (RESET)ให้กับ 8088 เพื่อให้ซีพียูเริ่มทำงาน กระโดดไปกระทำที่แอดเดรส OFFFFH ซึ่งเป็นจุดต้นแอดเดรสที่อยู่ใน ROM - BIOS 8284 จะสร้างสัญญานนาฬิกาออกมาพร้อมกับสัญญาน READY เพื่อบอกให้ ซีพียู รู้ว่าระบบพร้อมที่จะรับส่งข้อมูลแล้ว

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.3.4 ไอซีควบคุมการอินเตอร์รัพท์ 8259

การอินเตอร์รัพท์ เป็นวิธีหนึ่งที่จะทำให้ซีพียูทำงานดีขึ้นและรวดเร็วขึ้น การอินเตอร์รัพท์จะเกิดขึ้นเมื่ออุปกรณ์ประกอบซีพียูส่งสัญญานบอกว่า ให้ซีพียูช่วยบริการการทำงานบางอย่างให้ ซึ่งไอซี 8259 ได้ทำหน้าที่ควบคุมการอินเตอร์รัพท์ โดยได้จากอุปกรณ์ต่างๆแล้วจัดลำดับความสำคัญพร้อมส่งสัญญานอินเตอร์รัพท์ บอกไมโครโปรเซสเซอร์ 8088 (8086) เมื่อมันได้รับสัญญาน และพร้อมที่จะทำงานจะตอบสนองด้วยการส่งสัญญาน S0-S2 ให้กับ 8288 เพื่อสร้างเป็นสัญญาน INTA (INTERUPT ACKNOWLEDGE)

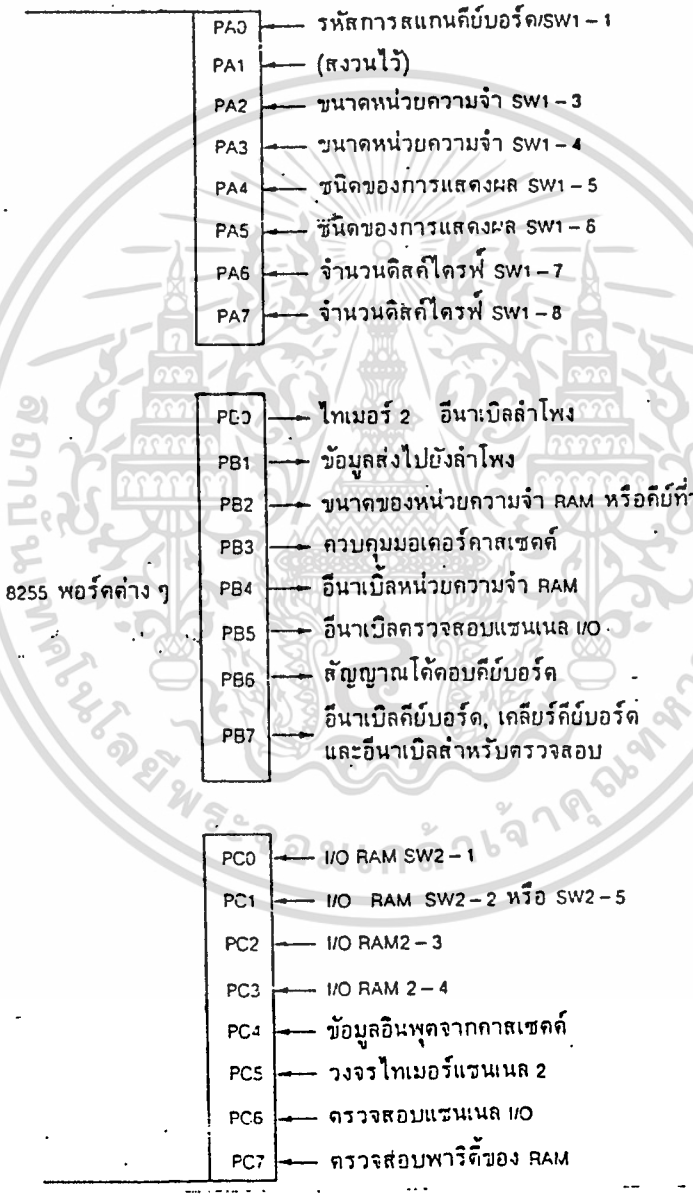
เมื่อมีการอินเตอร์รัพท์ด้วยสัญญาน INTA แล้ว 8259 จะรับสัญญาน INTA มาพร้อมกับส่งรหัสที่เรียกว่าอินเตอร์รัพท์เวกเตอร์ให้กับไมโครโปรเซสเซอร์ ตามสัญญานรหัส IRQ ที่ขอมา

หากมีการขออินเตอร์รัพท์มากกว่าหนึ่งสัญญาน 8259 จะถือลำดับความสำคัญโดยเรียงจาก IRQ0-IRQ7 ในขณะที่ 8259 ส่งสัญญานอินเตอร์รัพท์เวกเตอร์ให้นั้น มันจะส่งสัญญาน SP/EN ไปบอกว่าได้มีข้อมูลเข้ามาทางขา D0-D7 แล้วสัญญาน SP/EN จะไปเปิดเกต 74LS10 disable data ไว้ก่อน เพื่อให้ interupt vecter data เข้าไปในบัสได้

4. การเชื่อมต่อ 8255 บนเมนบอร์ด

8255 ให้ประโยชน์ในเรื่องการต่อพอร์ทแบบขนาน มีคู่ 3 พอร์ท คือ PORT A, B, and C โปรแกรมใน รอม-ไบออสจะกำหนดให้พอร์ท A เป็นอินพุท พอร์ท B เป็นเอาท์พุท และพอร์ท C เป็นอินพุท แต่ละบิทของพอร์ททั้งสาม จะมีความหมายเฉพาะ โดยเฉพาะพอร์ท A และพอร์ท C จะต่อดิพสวิทช์ ที่อยู่บนเมนบอร์ด ตำแหน่งความหมายของแต่ละบิทแสดงดังรูป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



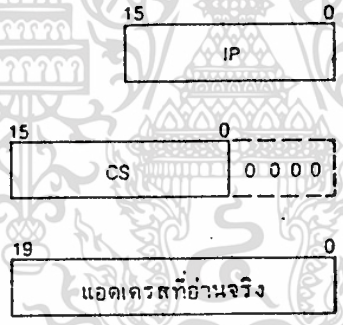
ภาพที่ 3.7 แสดงพอร์ทต่างๆของ 8255

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5. โครงสร้างหน่วยความจำ

ไอบีเอมพีซีจะมีไอซีที่เป็นหน่วยความจำอยู่แล้ว 256 KByte โดยใช้ชิพ 4164 แถวๆละ 9 ตัว (64 KByte) โดยตัวหนึ่งเป็นส่วนของพาริตี้ และ มีจำนวนทั้งสิ้น 4 แถว จึงมีหน่วยความจำบนเมนบอร์ดเท่ากับ 4 x 64 KByte แต่บางรุ่นได้รับการดัดแปลงวงจรบนเมนบอร์ดเพื่อให้ใช้ชิพ 41256 สองแถว และ 4164 สองแถว ซึ่งมีหน่วยความจำรวม 640 KByte

ในชิพซีพียู 8088 จะพบว่า 8088 ให้แอดเดรสจำนวน 20 เส้น นั่นคือให้แอดเดรสได้ 2^{20} หรือ 1,048,576 แต่ซีพียูใช้รีจิสเตอร์เพียง 16 บิท จึงไม่สามารถอ้างแอดเดรสโดยตรงได้ครบ 20 บิท เช่น IP (Instruction Pointer) เป็นตัวชี้คำสั่งจะชี้บอกให้ซีพียูอ่านคำสั่งมาตีความ แต่การอ่านคำสั่งนี้จะต้องอ้างแอดเดรสไปนำคำสั่งที่เก็บไว้ในหน่วยความจำมาโดยใช้ CS (Code Segment)เป็นตัวบอกเซกเม้นต์โดยวิธีดังนี้



ภาพที่ 3.8 การอ้างอิงแอดเดรสของซีพียูเพื่ออ่านคำสั่ง

การติดต่อกับอุปกรณ์ภายนอกของซีพียู แบ่งได้เป็น 2 กลุ่มหนึ่งคือหน่วยความจำรอมหรือแรม อีกกลุ่มหนึ่งคือ การติดต่อกับอุปกรณ์อินพุท เอ้าพุท 8088 ใช้แอดเดรสบัสสำหรับกำหนดพอร์ท 16 บิทได้ 65536 พอร์ท ซึ่งติดต่อกับพอร์ทด้วยคำสั่งอินพุทและเอ้าพุท

6. ROM บนเมนบอร์ด

ซีพียู 8088 จะมองเห็นหน่วยความจำได้ 1 เมกกะไบท์ การอ้างแอดเดรสกระทำทีละ 64 KByte โดยมีเซกเมนท์รีจิสเตอร์เป็นตัวกำหนด C0000H -FFFFFH

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ในเชิงการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตาราง 3.1 โครงสร้างของรอม

แอดเดรส	โปรแกรม
C0000H C7FFFH	สำหรับทำหน้าที่เพื่อขยายระบบเช่นใช้รอม ควบคุมงานหรืออะแดปเตอร์พิเศษ
C8000H CBFFFH	ใช้ควบคุมฮาร์ดดิสก์
CC000H EFFFFH	
F0000H F3FFFH	เผื่อไว้สำหรับอนาคต
F4000H F5FFFH	ซอ็กเก็ตว่าง
F6000H FD000H	เบสิกที่ใช้กับเทปคาสเซท
FE000H FFFFFH	ไบออสของระบบ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รอมที่มีอยู่ในเมนบอร์ดตัวสำคัญที่สุดคือแอดเดรส FE000H-FFFFFH เรียกว่า รอมไบออส หากระบบมีใช้มีรอมเบสิกอยู่ จะทำให้ระบบสามารถใช้ ภาษาเบสิกโดยไม่ต้องใช้แผ่นดิสเกตท์ และจะใช้กับเทปคาสเซทได้นอกจากนี้บางโปรแกรมจะเรียกโปรแกรมย่อยในรอมนี้ เช่น BASIC A ของไอบีเอ็มจะเรียกโปรแกรมย่อยในรอมนี้ หากไม่มีจะไม่สามารถใช้ภาษาของ ไอบีเอ็มได้

ส่วนของรอมไบออส เป็นส่วนของโปรแกรมที่ทำหน้าที่ควบคุมการแสดงผลบนจอมอนิเตอร์ทั้งจอกราฟฟิค หรือจอโมโนโครม ทำการควบคุมเครื่องพิมพ์ พอร์ทสื่อสารอะซิงโครนัส และนาฬิกา การทำงานในระบบควบคุมการอ่านเขียนดิสเกท การตรวจสอบระบบและกระทำการบูทเมื่อเริ่มใช้งาน

บนรอมไบออสนี้จะมีพื้นที่ทั้งหมด 8 กิโลไบท์ ในพื้นที่ 2 กิโลไบท์ไว้สำหรับการตรวจสอบระบบคอมพิวเตอร์เมื่อเริ่มเปิดเครื่อง โดยจะทดสอบ ซีพียู รอม แรม คีย์บอร์ด วีดีโอดิสเพลย์ คาสเซทเทปและพลอปปี้ดิสท์ ซึ่งถ้าพบข้อผิดพลาดก็จะแสดงผลออกมาทางจอภาพ และหากอะแดปเตอร์ดิสเพลย์เสียก็ จะแสดงผลโดยการส่งเสียงร้องขึ้นมาแทน

7. <u>แรม หน่วยความจำหลักของระบบ</u>

บนเมนบอร์ดจะมีแรมชนิดไดนามิกอยู่ 4 แถวๆละ 64 กิโลไบท์ โดยใช้ชิพ 4164 จำนวน 2 ตัวต่อแถว สาเหตุที่ใช้ชิพ 9 ชิพเพราะระบบหน่วยความจำของเครื่องใช้พาริตี้ในการตรวจสอบหน่วยความจำ การขยายหน่วยความจำจะอยู่บนบอร์ดที่ต่อเข้ามาในระบบผ่านสล็อท หรือบนบอร์ดรุ่นใหม่อาจใช้ไอซี 41256 ซึ่งเป็นหน่วยความจำชนิดไดนามิกแบบ 256 KBite/chip

แรมที่อยู่บนบอร์ด จะเป็นแสมือนหน่วยความจำที่ให้ระบบไมโครคอมพิวเตอร์นำข้อมูลมาเก็บไว้ แล้วเรียกใช้ได้ตลอดถ้ายังคงมีไฟเลี้ยงวงจรอยู่แต่เนื่องจากระบบแอดเดรสของซีพียูค้างอิงหน่วยความจำได้สูงสุดเพียง 2^{20} แอดเดรส การจัดหน่วยความจำของระบบจึงต้องกระทำในขอบเขต 1 เมกกะไบท์นี้ ไอบีเอ็มได้กำหนดโครงร่างของหน่วยความจำไว้ดังตารางต่อไปนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

แอดเดรสของระบบ	หน่วยความจำที่ใช้
OOOOO H 3FFFF H	256 กิโลไบต์แรม
40000 H 9FFFF H	384 กิโลไบต์แรม ที่เพิ่มเข้ามาในระบบ
A0000 H AFFFF H	หน่วยความจำ 128 กิโลไบต์ สำหรับการขยายระบบ
B0000 H B3FFF H	หน่วยความจำแสดงผลแบบโมโนโครม
B4000 H B7FFF H	หน่วยความจำส่วนนี้ไม่ได้ใช้
B8000 H BBFFFH	หน่วยความจำแสดงผลแบบกราฟฟิก
BC000H BFFFFH	เพื่อขยายรอม
CC000H FFFFFH	รอม-ไบออสและเบสิก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เนื่องจากบนเมนบอร์ดมี RAM อยู่ 4 แถว โดยใช้บิท A14,A15 และ RAM ADDR SEL ผ่านวงจรถอดรหัส LS138 เพื่อให้ได้สัญญาน CAS0-CAS3 เพื่อใช้ในการเลือกแถวของ RAM ทีละแถวใน 4 แถวนั้น

นอกจากนี้ยังใช้ A14,A15 ของระบบร่วมกับ DACKO และ RAM ADDR SEL ผ่านวงจรถอดรหัสอีกตัวหนึ่งคือ 74LS138 และเกท 74LS08 เพื่อสร้างเป็นรหัส RAS0-RAS3 การอ่านและเขียนข้อมูลในแรม มีบัฟเฟอร์ LS245 ทั้งทางด้านซีพียูและด้านแรม เนื่องจากโครงสร้างของแรมเป็นแบบไดนามิก สัญญาน REFRESH ที่เข้ามาในส่วนของ RAS0-RAS3 จึงเป็นเรื่องที่สำคัญที่จะทำให้ระบบจดจำอยู่ได้

8. <u>การจัดโครงสร้างบัสบนไมโครคอมพิวเตอร์</u>

8088 เป็นซีพียู ที่ได้รับการพัฒนาให้มีการรับส่งข้อมูลผ่านบัสข้อมูลเพียง 8 บิท โครงสร้างบัสที่ออกจากซีพียูจะแยกออกเป็น 3 กลุ่มคือ บัสข้อมูล บัสแอดเดรส และบัสควบคุม บัสข้อมูลจะแยกออกมาจากบัสแอดเดรส โดยมีขนาดเพียง 8 บิทส่วนบัสควบคุมก็มี 8 บิทเช่นกัน แต่สำหรับบัสแอดเดรสจะมีทั้งสิ้น 20 บิท

ระบบบัสทั้งหมดของเครื่องไอบีเอ็มพีซีทุกส่วน จะมีการผ่านบัฟเฟอร์อีกครั้ง โครงสร้างของบัสจะเป็นดังแสดงโดยที่โครงสร้างของบัสจะเชื่อมต่อ เพื่อให้ผู้ใช้สามารถขยายเพิ่มเติมได้ โดยมีการต่อเชื่อมกับสล็อท โดยสล็อทเป็นรูปแบบให้อินพุท เอ้าต์พุทเชื่อมเข้ากับระบบได้ง่าย โดยมีบัสข้อมูลแบบสองทิศทาง 8 บิท แอดเดรส 20 บิท มีอินเตอร์รัพต์ 6 ระดับ มีส่วนสัญญาณควบคุม สำหรับการเขียน อ่าน อินพุท เอ้าต์พุท และหน่วยความจำ มีสัญญาณนาฬิกา และสายสัญญาณกำหนดเวลา มีแชนเนลการกำหนด DMA มีสัญญาณการควบคุมการรีเฟรชหน่วยความจำ มีสายตรวจสอบสล็อทขนาด 62 ขา โดยมีการจัดเรียงตำแหน่งขาดังรูปที่ โดยแต่ละสัญญาณมีความหมายดังตารางที่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตารางที่ 3.3 ความหมายของสัญญาณต่างๆ

ชื่อสัญญาณ	I/O	ความหมาย
OSC	O	สัญญาณนาฬิกามีความกว้าง 70 ns ความถี่ 14.31818 MHz
CLK	O	สัญญาณนาฬิกาของระบบ มีความถี่ 4.77 MHz มีช่วงคาบ 210 ns
RESET DRV	O	สายสัญญาณนี้ใช้ในการรีเซตระบบในขณะเริ่มเปิดเครื่อง
A0-A19	O	แอดเดรสบัส A0-A19
D0-D7	I/O	บัสข้อมูลบิท 0 - 7
ALE	O	ทำการแลทช์แอดเดรสเป็นสัญญาณที่กำหนดค่าแอดเดรส
I/O CH CK	I	เป็นสัญญาณตรวจสอบแซนเนล I/O สัญญาณนี้จะมีผลต่อเนื่องมาเพื่อควบคุมระบบโดยส่งผลมาในลักษณะ Parity Error
I/O CHRDY	I	สัญญาณนี้ปกติเป็น "0" สัญญาณนี้จะทำให้เกิดการชิงโครไนซ์อุปกรณ์อินพุท เอาต์พุท ที่ทำงานช้าให้เข้ากับระบบได้
IRQ2-IRQ7	I	เป็นสัญญาณของอินเตอร์รัพต์ 2 ถึง 7
IOR	O	สัญญาณอ่านอินพุท เอาต์พุท
IOW	O	สัญญาณการเขียนอินพุท เอาต์พุท
MEMR	O	สัญญาณอ่านหน่วยความจำ
MEMW	O	สัญญาณการเขียนหน่วยความจำ
DRQ1-DRQ3	I	สัญญาณตอบรับการขอ DMA 1 ถึง 3
DACK0-DACK3	O	สัญญาณตอบรับการขอ DMA 0 ถึง 3
AEN	O	สัญญาณการอินาเบิลแอดเดรส
T/C	O	สัญญาณการนับเทอร์มินัล
CARD CLCTD	I	สัญญาณเลือกการ์ด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 4

ขั้นตอนและวิธีการดำเนินงาน

ในการดำเนินงาน เป็นการออกแบบเกี่ยวกับระบบของฮาร์ดแวร์ และการเขียนโปรแกรมในส่วนฮาร์ดแวร์ของระบบแจ้งผลการสอบคัดเลือกนั้น จะประกอบด้วยส่วนต่างๆซึ่งจะแบ่งออกเป็น 4 ส่วนใหญ่ดังนี้คือ

1. ส่วนควบคุมการติดต่อทางโทรศัพท์
2. วงจรตรวจจับเสียงกริ่ง
3. วงจรถอดระหัส
4. ส่วนของการตอบรับด้วยเสียงพูด
5. ส่วนของการบันทึกสัญญาณเสียง
6. ส่วนของการควบคุม

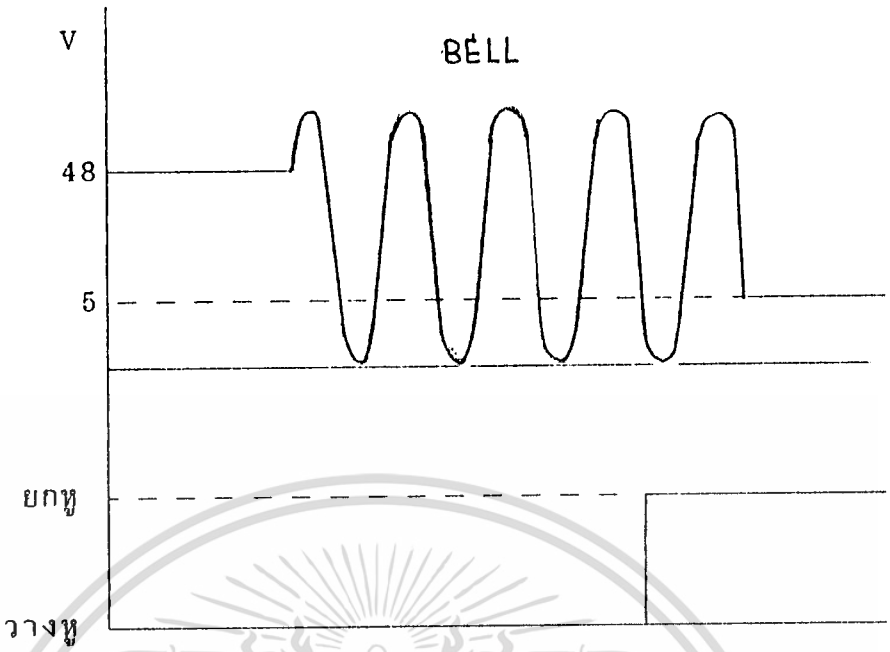
ในระบบของฮาร์ดแวร์ดังกล่าวจะมีเพียงส่วนประกอบเพียง 4 ส่วนแรกเท่านั้นโดยจะทำงานสัมพันธ์กันอย่างใกล้ชิด โดยการใช้ซอฟแวร์ จากไมโครคอมพิวเตอร์ซึ่งจะทำงานในลักษณะของกระบวนการ PROCESS คือ ตรวจจับสัญญาณเรียกเข้ายกหูโทรศัพท์ แล้วถ่ายทอดสัญญาณเสียงถอดระหัสประจำตัวสอบ ตอบรับด้วยเสียงพูด จากนั้นก็วางหูโทรศัพท์

อีกส่วนหนึ่งก็คือ ส่วนของการบันทึกเสียงนั้นจะไม่สัมพันธ์กันกับ 4 ส่วนแรก แต่จะทำงานสัมพันธ์กับไมโครคอมพิวเตอร์ ในช่วงของการที่ต้องการบันทึกเสียงพูดค่าไว้ในหน่วยความจำของไมโครคอมพิวเตอร์เท่านั้น กล่าวคือเมื่อต้องการให้คอมพิวเตอร์ตอบรับในลักษณะของเสียงพูดก็จะต้องบันทึกเสียงพูดที่เราต้องการเสียก่อน โดยผ่านชุดของการบันทึกเสียงพูด จากนั้นสัญญาณเสียงก็จะถูกเปลี่ยนเป็นข้อมูลในลักษณะของ DIGITAL ที่เก็บไว้ในแผ่นจานแม่เหล็ก(DISKATE) ของเครื่องโดยพร้อมที่จะถูกเรียกออกมาใช้งานโดยทันที

4.1 ส่วนควบคุมการติดต่อทางโทรศัพท์

ในส่วนนี้นับเป็นส่วนแรกและเป็นส่วนสำคัญของการที่สัญญาณจะถูกส่งผ่านเข้ามาในระบบของเครื่อง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



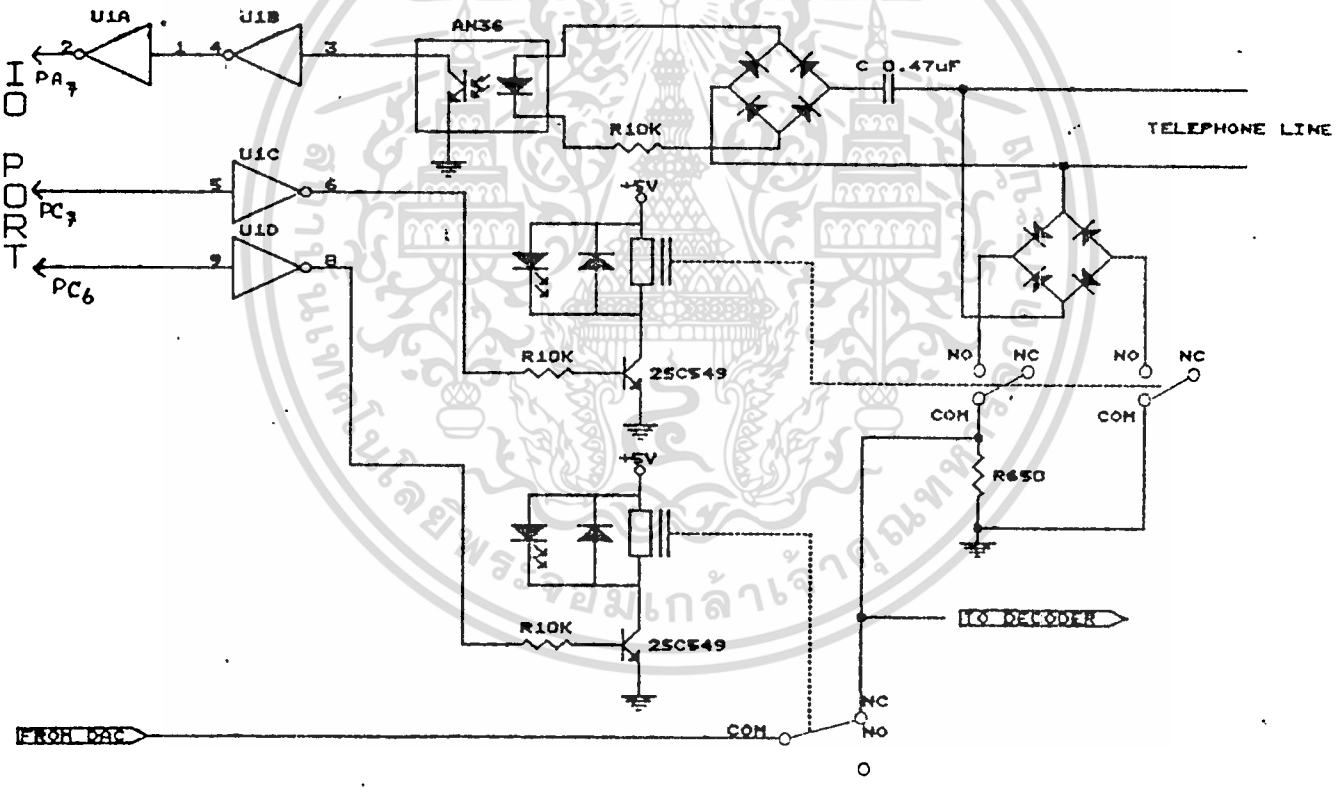
ภาพที่ 4.1 สภาวะแรงดันไฟฟ้าของสายโทรศัพท์

การยกหูโทรศัพท์ เราอาศัยพื้นฐานทางสัญญาณที่ว่า ในขณะสายว่างคู่สายโทรศัพท์จะมีแรงดันประมาณ 48 โวลท์ ซึ่งจ่ายมาจากชุมสายโทรศัพท์ และเมื่อมีผู้เรียกเข้ามาทางชุมสายโทรศัพท์จะจ่ายสัญญาณกระดิ่งมามีขนาดแรงดันไฟฟ้าเป็น 100 V_{p-p} เป็นเวลา 1 วินาที และหยุดเป็นเวลา 4 วินาที เป็นจังหวะแบบนี้ ซึ่งแรงดันนี้จะทำให้กระดิ่งภายในเครื่องโทรศัพท์ทำงาน และ ทางชุมสายจะรับทราบการยกหูโทรศัพท์จากการที่เรายกหูโทรศัพท์ซึ่งสวิทช์ภายในเครื่องโทรศัพท์จะทำการต่อคู่สายเข้ากับวงจรภายใน ที่มีความต้านทานทางกระแสตรงต่ำ ก็จะเกิดการครบวงจรขึ้น ทำให้แรงดันไฟฟ้า 48 โวลท์ ลดลงเหลือ 5-10 โวลท์ เมื่อชุมสายรับรู้แล้ว ก็จะต่อคู่สายของเรากับผู้เรียกเข้าด้วยกัน และจากหลักดังกล่าว ส่วนของการ SENSOR เราก็อาศัยช่วงสัญญานกระดิ่ง (กรณีที่มีผู้เรียกเข้ามา) มาทำการ ดีเท็ค แล้วส่งสัญญานไปยัง Microcomputer ว่ามีคนโทรเข้า ซึ่งเครื่องไมโครคอมพิวเตอร์ก็จะส่งสัญญานไปบังคับ ให้ส่วนควบคุมการยกหู ทำการยกหูเพื่อทำการติดต่อและถ่ายทอดสัญญานระหว่างวงจรต่างๆ กับคู่สายโทรศัพท์ต่อไป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.2 วงจรตรวจจับสัญญานกริ่ง (Ringing Detector Circuit)

ในการทำงานของระบบ จะต้องมีส่วนที่ใช้ตรวจจับสัญญานกริ่งแทนการเฝ้ารอคอยสัญญานกริ่งของพนักงานตัดต่อสายโทรศัพท์ ซึ่งในกรณีนี้ได้ใช้อุปกรณ์เชื่อมต่อทางแสง (Opto Couple) เพื่อกันการรบกวนจากสัญญานต่างๆ ที่สอดแทรกเข้ามาระหว่างกลางทาง ซึ่งวงจรตรวจจับสัญญานกริ่งแสดงไว้ดังนี้



ภาพที่ 4.2 วงจรตรวจจับสัญญาณกริ่ง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การทำงานของวงจร

ในสภาวะที่ไม่มีสายภายนอกเข้ามา หรือไม่มีสัญญาณกริ่ง สภาวะต่าง ๆ ของสัญญาณต่างๆจะเป็นดังต่อไปนี้

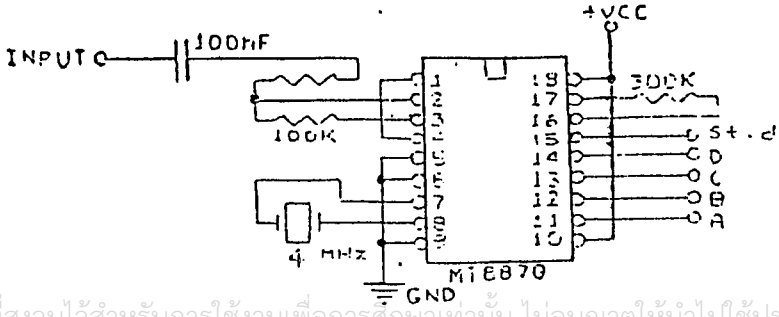
- Hand Set Signal จะเป็น Logic 0 เพราะ Opto 4N24 Off
- Hold Signal จะเป็น Logic 0 เพราะไม่มีการยกหู
- Route Signal ก็จะไม่มีเสียงเข้ามา

ในสภาวะที่มีสัญญาณเสียงกริ่งมาจากองการโทรศัพท์ สัญญาณจะถ่ายทอดผ่านตัวเก็บประจุ 0.47 uF ผ่านวงจรแปลงไฟเป็นกระแสตรงไปเลี้ยง ไดโอดเปล่งแสงภายใน Opto 4N36โดยมีตัวต้านทาน 10 KΩ จำกัดขนาดกระแสไว้ ทำให้โฟโต้ทรานซิสเตอร์นำกระแส สัญญาณ Hand Set จึงเป็น Logic 1เมื่อวงจรไมโครโปรเซสเซอร์อ่านพบสัญญาณ Hand Set นี้ก็จะสั่งให้ทำการรับสายไว้ และส่งสัญญาณไปควบคุมวงจรเสียงตอบรับด้วย นั่นก็คือ เมื่อมีเสียงกริ่งเข้ามาวงจรจะทำงานตามขั้นตอนดังต่อไปนี้

- วงจรตรวจจับสัญญาณกริ่งทำงาน มี Output Hand Set เป็น 1
- วงจรไมโครจะทำการรับสายภายนอกไว้และส่งสัญญาณไปวงจรตอบรับ
- วงจรไมโครรอรับสัญญาณการกดหมายเลขจากผู้เรียก

4.3 วงจรถอดรหัส DTMF (DTMF Decoder)

สำหรับวงจรถอดรหัส DTMF นี้ เมื่อผู้เรียกกดหมายเลขหลังจากได้รับการตอบรับเรียบร้อยแล้ว สัญญาณความถี่ สองความถี่ผสมกันมาจะเข้าสู่วงจร DTMF Decoder # MT 8870 เมื่อถอดรหัสแล้ว จะได้เอ้าพุทออกมา เป็น 4 Bit Digital Signals แล้วส่งไปส่วนควบคุมต่อไปซึ่งรายระเอียดของวงจรแสดงไว้ดังนี้



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาพที่ 4.3 วงจร DTMF DECODER

ในยุคก่อน การออกแบบวงจรถอดรหัสความถี่ของโทรศัพท์ มักใช้ไอซีจำพวกเพสล็อกลูป ซึ่งสร้างปัญหาสารพัด ไม่ว่าจะเรื่องของความถี่เปลี่ยนแปลง การปรับแต่งวงจร ขนาดของวงจรใหญ่ เพราะต้องใช้ไอซีจำนวนมาก

4.3.1 <u>คุณสมบัติของ MT 8870</u>

เป็นตัวรับและถอดรหัสความถี่ DTMF (DTMF Receiver & Decoder)

- กินไฟน้อย ใช้ไฟเลี้ยงระดับเดียวกับ TTL
- สามารถปรับ การ์ดไทม์ (Guard Time) ได้
- สามารถตั้งอัตราขยายภายในตัวไอซีได้
- เป็นไอซีคุณภาพสูง

4.3.2 <u>การนำ MT8870 ไปใช้งาน</u>

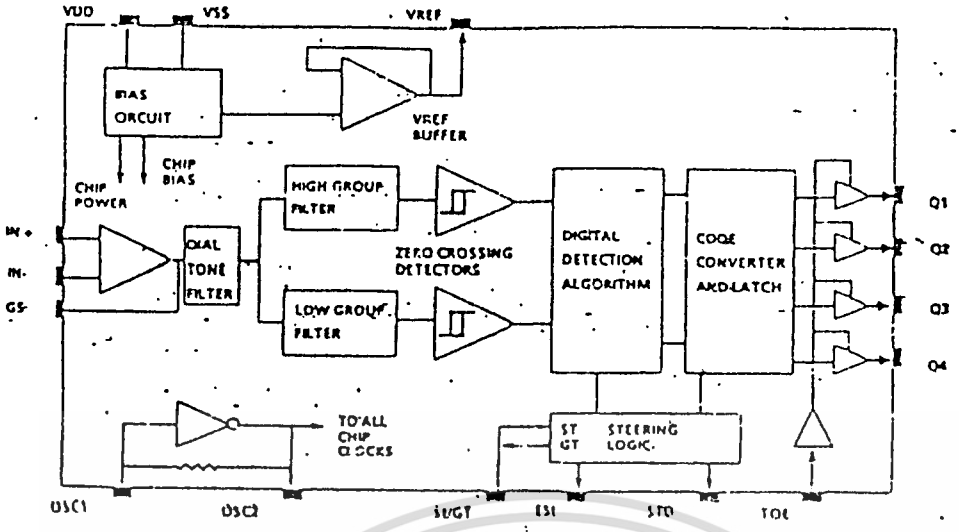
นำไปใช้งานด้านรีโมทคอนโทรล

- เครื่องป้องกันโทรศัพท์ทางไกล
- ใช้ในงานเกี่ยวกับเครดิตการ์ด
- ใช้งานร่วมกับคอมพิวเตอร์
- ใช้ในงานเครื่องชุมสายขนาดย่อย (PABX)
- ใช้กับงานด้านโทรศัพท์ทั่วไป
- เครื่องกันขโมย
- การควบคุมอุปกรณ์ทางโทรศัพท์
- ใช้ทำเครื่องสอบถามทางโทรศัพท์

4.3.3 <u>โครงสร้างของ MT 8870</u>

โครงสร้างภายในของ MT 8870 ประกอบไปด้วยวงจรกรองความถี่ และวงจรถอดรหัสฟังชั่นทางดิจิตอล เป็นไอซีที่สร้างโดยใช้เทคโนโลยี ISO^2-CMOS ในส่วนของวงจรกรองความถี่ ใช้เทคนิคของสวิทช์คาปาซิเตอร์ฟิลเตอร์ สำหรับกรองความถี่สูงและต่ำ ส่วนวงจรถอดรหัสใช้เทคนิคการนับทางดิจิตอลเพื่อตรวจจับและถอดรหัสทั้ง 16 ความถี่ออกเป็นเลขฐาน 2 ขนาด 4 บิท และ เช็คช่วงเวลาที่สัญญาณเข้ามา ส่วนภาคอินพุทเป็น ออฟแอม ซึ่งสามารถปรับ อัตราขยายได้ โดยต่อกับอุปกรณ์ภายนอก เอ้าพุท เป็นวงจรแลทช์ 3 สถานะ ภายในโครงสร้างของ MT 8870 จะประกอบไปด้วยส่วนสำคัญ 5 ส่วน คือ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



ภาพที่ 4.4 แสดงโครงสร้างภายในของ MT 8870

1). ภาคกรองความถี่ (Filter Section)

2). ภาคถอดรหัส (Decoder Section)

3). ภาคตรวจสอบสัญญาน (Steering Circuit)

4). ภาคขยายสัญญานความแตกต่าง (Differential Input)

5). ภาคกำเนิดความถี่ (Oscillator)

4.3.3.1 ภาคกรองสัญญานความถี่

ในส่วนนี้จะแยกสัญญาน DTMF ที่เข้ามาออกเป็น 2 กลุ่มความถี่ คือ ช่วงความถี่สูงและความถี่ต่ำโดยใช้วงจรกรองความถี่อันดับ 6ชนิดสวิทช์คาปาซิเตอร์ (Sixth-Order Switch Capacitor Band Pass Filter) ซึ่งความถี่ ที่แยกได้มี 2 ช่วง คือ ช่วงความถี่สูงและช่วงความถี่ต่ำ

4.3.3.2 ภาคถอดรหัส

ความถี่ DTMF ที่ถูกกรองเรียบร้อยแล้ว จะผ่านเข้าวงจรถอด รหัสความถี่ออกเป็นตัวเลข โดยใช้เทคนิคการนับแบบดิจิตอล และมีการตรวจสอบ ความถี่ที่เข้ามาว่าเป็นความถี่มาตรฐาน DTMF หรือไม่ เพื่อป้องกันความถี่อื่นเข้ามาผสม เมื่อตรวจสอบว่าความถี่นั้นถูกต้อง สัญญานที่ขา Est (Early Steering)หรือขา 16 ก็จะแอคทีฟสำหรับค่าที่ถอดรหัสได้จากความถี่ต่างๆนั้น แสดง ดังตารางหน้าต่อไปนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

F_{LOW}	F_{HIGH}	NO	TOE	Q_4	Q_3	Q_2	Q_1
697	1209	1	H	0	0	0	1
697	1336	2	H	0	0	1	0
697	1477	3	H	0	0	1	1
770	1209	4	H	0	1	0	0
770	1336	5	H	0	1	0	1
770	1477	6	H	0	1	1	0
852	1209	7	H	0	1	1	1
852	1336	8	H	1	0	0	0
852	1447	9	H	1	0	0	1
941	1336	0	H	1	0	1	0
941	1209	*	H	1	0	1	1
941	1477	#	H	1	1	0	0
697	1633	A	H	1	1	0	1
770	1633	B	H	1	1	1	0
852	1633	C	H	1	1	1	1
941	1633	D	H	0	0	0	0
-	-	ANY	L	Z	Z	Z	Z

ตารางที่ 4.1 แสดงค่าที่ถอดรหัสได้จากความถี่ต่างๆ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

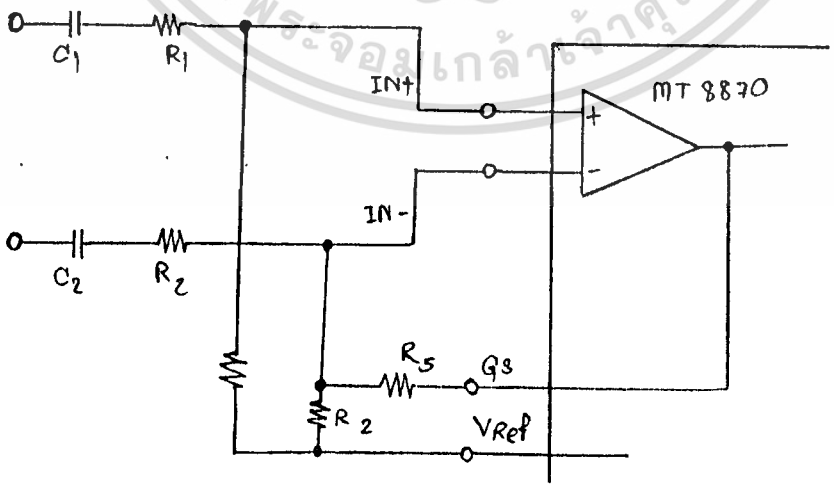
4.3.3.3 ภาคตรวจสอบสัญญาน

ก่อนที่จะมีการถอดรหัสความถี่ออกไปที่เอ้าพุท จะมีการตรวจสอบความถี่ช่วงที่เข้ามาว่ามีระยะเวลาตามที่กำหนดหรือไม่ โดยสังเกตุจาก ระยะเวลาการกดปุ่มโทรศัพท์ซึ่งต้องกดปุ่มให้มีความถี่ออกมาเป็นช่วงเวลาพอสมควร มิฉะนั้นวงจรนี้จะถือว่าสัญญานนั้นไม่ถูกต้อง ส่วนช่วงเวลายาวเท่าใด สามารถตั้งได้ โดยใช้ RC ต่อภายนอก สัญญานที่ขา Est จะเป็น High นานใกล้เคียง กับระยะเวลาที่มีความถี่ DTMF เข้ามา ทำให้ VC สูงขึ้น ตัวเก็บประจุ C จะคายประจุทำให้แรงดัน VC สูงขึ้นจนถึงค่าเทรสโฮลด์ วงจรถอดรหัสจึงจะทำการ ถอดรหัสออกเป็นตัวเลขขนาด 4บิทรายระเอียดในการทำงานดูได้จากแผนภูมิเวลา (Timing Diagram) หน้าที่ 28จะเข้าใจได้ง่าย

สำหรับ Guard Time นั้นหมายถึง ช่วงคาบเวลาของความถี่ที่เข้ามาซึ่งจะต้องนานเท่ากับหรือมากกว่าช่วงเวลาที่เราตั้งไว้ ถึงจะยอมรับว่า สัญญานนั้นถูกต้อง หรือพูดได้ว่าเวลาที่เราตั้งไว้โดย RC ก็คือ Guard Time นั่นเองถ้าสัญญานความถี่ที่เข้ามาสั้นกว่า ก็จะไม่มีการถอดรหัสเป็นตัวเลขออกไป

4.3.3.4 ภาคขยายสัญญานความแตกต่าง

วงจรส่วนอินพุทของ MT 8870 เป็นภาคขยายออฟแอมป์ ที่สามารถปรับอัตราขยายโดยต่อวงจรภายนอกเพิ่มเข้าไปดังรูป



ภาพที่ 4.5 แสดงการต่อวงจรภาคอินพุท

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

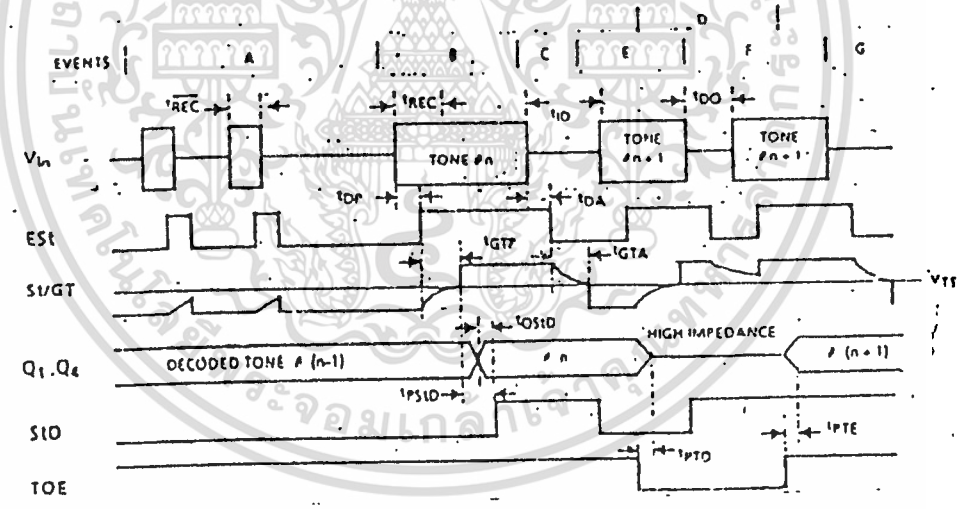
ซึ่งสามารถคำนวนอัตราขยายความแตกต่างของอินพุท และอิมพีแดนซ์ได้ดังนี้

อัตราขยาย $/AV/_{dif} = R_1/R_2$

อินพุทอิมพีแด้นซ์ $(Zin_{dif}) = 2\sqrt{(R_1)^2 + (1/wc)^2}$

4.3.3.5 ขั้นตอนการทำงาน

เพื่อให้ทราบถึงรายระเอียดต่างๆในการทำงาน และหน้าที่ของขาต่างๆของ MT 8870ในการต่อเข้าเป็นระบบเชื่อมโยงกับส่วนอื่นๆ สามารถที่จะอธิบายด้วย Timing Diagram ข้างล่างนี้



ภาพที่ 4.6 Timing Diagrame of MT 8870

A -ตรวจพบความถี่เข้ามา แต่คาบเวลาไม่ถูกต้อง เอ้าพุทไม่เปลี่ยน

B -ความถี่ # n ถูกตรวจพบ และมีคาบเวลาที่ถูกต้อง ความถี่ ถูกถอดรหัส และแลทช์ไว้ที่เอ้าพุท

C -ช่วงความถี่ # n ช่วงท่างถูกต้องเอ้าพุทยังคงแลทช์อยู่จนกว่า จะได้รับความถี่ที่ถูกต้องใหม่

D -เอ้าพุทเปลี่ยนเป็น High Impedance

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

E -ความถี่ # n+1 ถูกตรวจพบ คาบเวลาถูกต้อง ความถี่ถูกถอดรหัส และแลทช์ไว้

F -ความถี่ # n+1 หายไป ช่วงห่างไม่ถูกต้อง เอ้าพุทยังคงแลทช์อยู่

G -จบความถี่ # n+1 ช่วงห่างถูกต้อง อ้าพุทยังคงแลทช์อยู่จนถึงความถี่ใหม่ที่ถูกต้องเข้ามา

อธิบายคำศัพท์

Vin -สัญญานความถี่ DTMF ที่เข้ามา

Est -Early Steering Output ใช้แสดงความถี่ที่ถูกต้อง

St/Gt-Steering Input / Guard Time Output สำหรับต่อกับ RC ภายนอก

Q_1-Q_4-เอ้าท์พุท BCD ขนาด 4 บิท

STD -Delayed Steering Output ใช้แสดงค่าความถี่ที่ได้รับหรือหายไป มีคาบเวลาตามที่กำหนด เพื่อแสดงความถูกต้องของสัญญาน

TOE -Tone Output Enable (input) ใช้ควบคุม Q_1-Q_4 ให้เป็นไฮอิมพีแด็นซ์

T_{rec} -คาบเวลานานที่สุดที่ตรวจพบความถี่ DTMF แล้วยังไม่ถูกต้อง

T_{id} -เวลาสิ้นสุดระหว่างสัญญาน DTMF ที่ถูกต้อง 2 สัญญาน

T_{do} -เวลานานที่สุดที่ยอมให้สัญญานหายไปได้ในคาบเวลาที่ถูกต้อง

T_{dp} -เวลาที่ใช้ในการตรวจพบสัญญานความถี่ DTMF ที่ถูกต้อง

T_{da} -เวลาที่ใช้การตรวจการหายไปของสัญญานความถี่ DTMF ที่ถูกต้อง

T_{gtp} -Guard Time ของการปรากฏความถี่ DTMF

Tgta -Guard Time ของการหายไปของความถี่ DTMF

ภาคกำเนิดความถี่

ในภาคนี้ภายในไอซีจะมีวงจรอยู่ภายใน เพียงแต่ต่อแร่คริสตอลขนาด 3.75 MHz ก็สามารถใช้งานได้ทันที

4.4 ส่วนของการตอบรับด้วยเสียงพูด

ในส่วนของการตอบรับด้วยเสียงพูดนั้น จะใช้ไอซีสำเร็จรูปเพื่อแปลงสัญญานดิจิตอลให้เป็นอนาล็อก เบอร์ 0800โดยที่เราจะให้สัญญานดิจิตอลจะต้องมีหน่วยความจำเก็บสัญญานนี้ไว้ ซึ่งก็คือหน่วยความจำในเครื่องไมโครคอมพิวเตอร์ ซึ่ง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เป็นแรมของเครื่องเอง แต่เนื่องจากข้อมูลต่างๆในแรม จะหายไป เมื่อไม่มีไฟเลี้ยง นั่นก็ไม่ใช่อุปสรรค เพราะข้อมูลต่างๆเราสามารถเก็บไว้ในแผ่นดิสเกตท์ เมื่อใช้งานก็สามารถเรียกออกมาใช้ได้ทันที ในส่วนของการควบคุมการสั่งนั้นจะใช้โปรแกรมในการสั่งการให้ DAC 0800 ส่งเอ้าท์พุทออกไปซึ่งส่วนการควบคุมอินพุทเอ้าท์พุทพอร์ท จะใช้เบอร์ 8255 เป็นตัวเชื่อมโยงในการติดต่อระหว่างไมโครคอมพิวเตอร์ กับระบบฮาร์ดแวร์ส่วนอื่น ซึ่งจะได้กล่าวถึงต่อไปในเรื่องของส่วนควบคุม

4.5 <u>ส่วนของการบันทึกสัญญาณเสียง</u>

ในส่วนนี้เป็นส่วนที่แยกออกจากระบบของส่วนต่างๆ ทั้งสี่ ดังที่ได้กล่าวมาแล้ว ซึ่งเป็นขั้นตอน หรือวิธีการในการที่จะเก็บข้อมูลจากสัญญาณเสียง (Analog) ให้เป็นข้อมูลทางดิจิตอล แล้วนำข้อมูลนี้เข้าไปเก็บไว้ในหน่วยความจำโดยจะได้กล่าวถึงวิธีการได้ดังนี้

4.5.1 <u>การแปลงสัญญาณอนาล็อกเป็นสัญญาณดิจิตอล</u>

เราจะใช้ข้อมูลไบนารี่ แทนขนาดของสัญญาณอนาล็อก ในการกระทำ ก็คือ เราจะวัด สัญญาณอนาล็อกและเปลี่ยนเป็นข้อมูลไบนารี่แทน

4.5.2 <u>การสุ่มสัญญาน (Sampling)</u>

จำนวนไบนารี่ที่แทนสัญญาณอนาล็อกจะแทนจุดที่เวลาหนึ่งๆเรียกว่า การสุ่มสัญญาน (Sampling Wave Form) ในรูปแสดงถึงตัวอย่างของการสุ่มตัวอย่าง ค่าที่สุ่มได้ไม่ได้แสดงถึงรูปร่างที่แท้จริงของสัญญาณอนาล็อก เราจะรวบรวมค่าที่สุ่มแทนสัญญาณความถี่ของการสุ่มเรียกว่า Sampling Rate

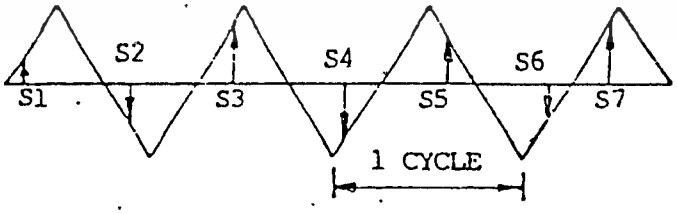


Fig.4.7 Infrequenct Sampling

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาพที่ 4.7 Infrequenct Sampling

เราจะต้องสุ่มสัญญาณด้วยอัตราอย่างน้อย 2เท่าของสัญญาณที่เกิดขึ้นในระบบของเรา สำหรับเทคนิคการแปลงสัญญาณอนาล็อก เป็น ดิจิตอลนั้นเทคนิคนี้ถูกนำมาใช้กับไมโครโปรเซสเซอร์ ซึ่งมีคุณสมบัติที่มีความเร็วสูง เที่ยงตรงและราคาถูก หลักการจะสร้างค่าสุ่มเริ่มต้นเพื่อเดาค่าอินพุทแล้วแปลงให้เป็นสัญญาณอนาล็อก และเปรียบเทียบกับค่าอินพุทที่แท้จริง ผลลัพท์ของการเปรียบเทียบขึ้นอยู่กับค่าที่เดาเริ่มต้น ซึ่งอาจจะต้องลดหรือเพิ่มค่าที่สุ่มขึ้นมาดังรูป

4.5.3 <u>รายระเอียดของ ADC 0804</u>

ในการบันทึกสัญญาณเสียงจะใช้ ICเบอร์ 0804 ซึ่งมีรายระเอียดดังต่อไปนี้

- มีช่วงเวลา Access Time 135 ns
- Input/Output สามารถต่อกับ TTL & MOS ได้
- ใช้ได้กับ IC สร้างแรงดันอ้างอิง 2.5 V (LM 336)
- Input มีย่าน 0.5 ที่แหล่งจ่ายไฟ 5 V
- ไม่ต้องปรับ Zero Adjust
- Error +/- 1 LSB
- Conversion Time 100 us

ADC 0804 มีโครงสร้างเป็นCMOS 8 Bit Successive Approximation A/D Converters ซึ่งใช้ค่าความต้านทานที่มีระดับแตกต่างกัน 256 ระดับมีบัสควบคุมเอ้าพุทแบบ Tri State ที่ Latch ได้ ไว้ต่อกับระบบบัสของ CPUโดยตรง CPU จะมอง AID นี้เหมือนกับตำแหน่งหน่วยความจำหรือ I/O port มี Input ที่มี Common Mode Rejection สูง และ offset มีค่า 0 และแรงดันอ้างอิงสามารถปรับตาม Input ที่มีขนาดต่ำ เพื่อให้ผลตอบสนองต่อ Output เต็มย่าน 8 บิท

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

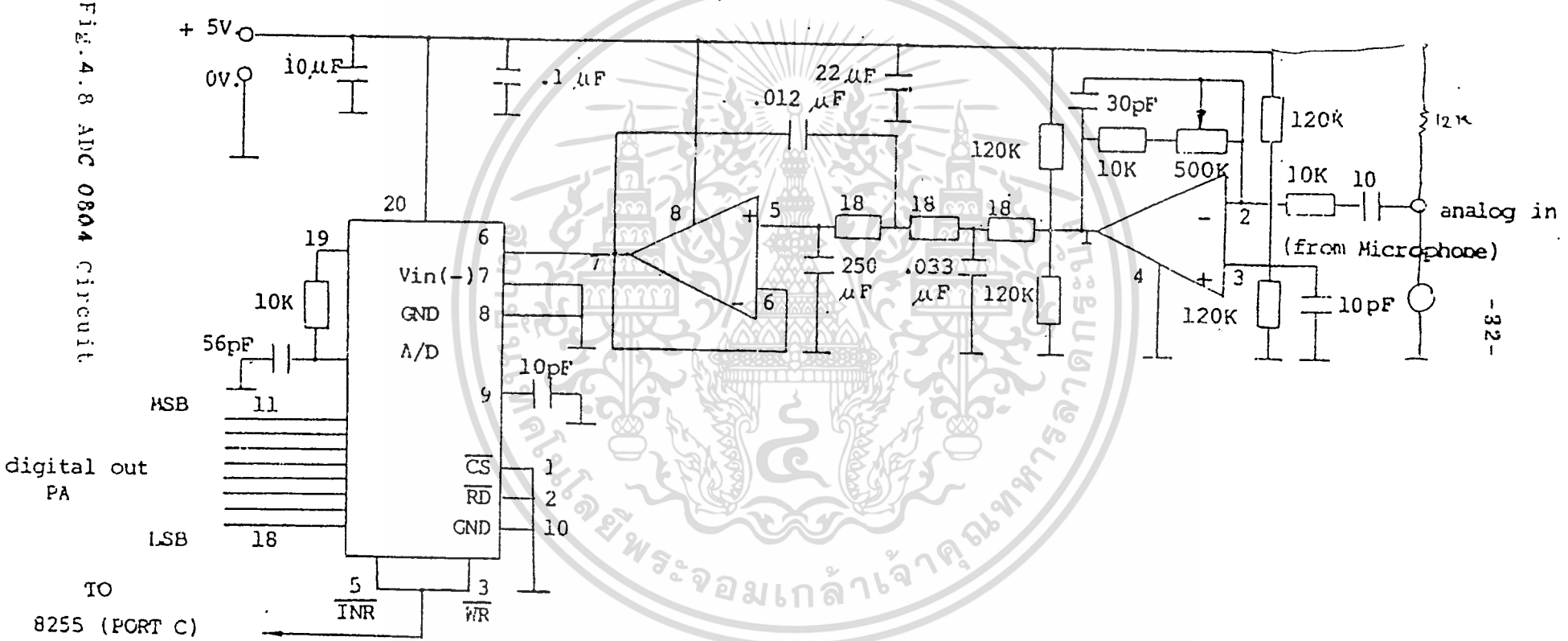


Fig.4.8 ADC 0804 Circuit

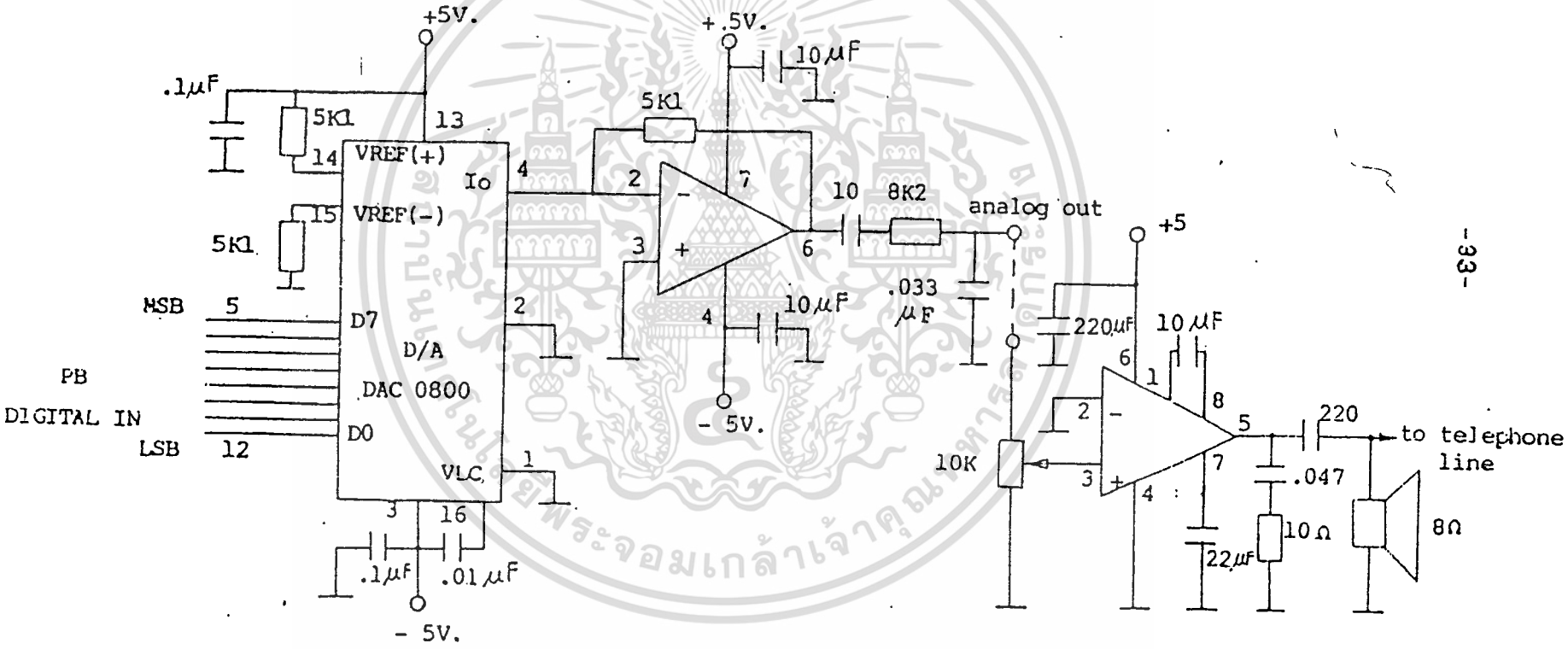
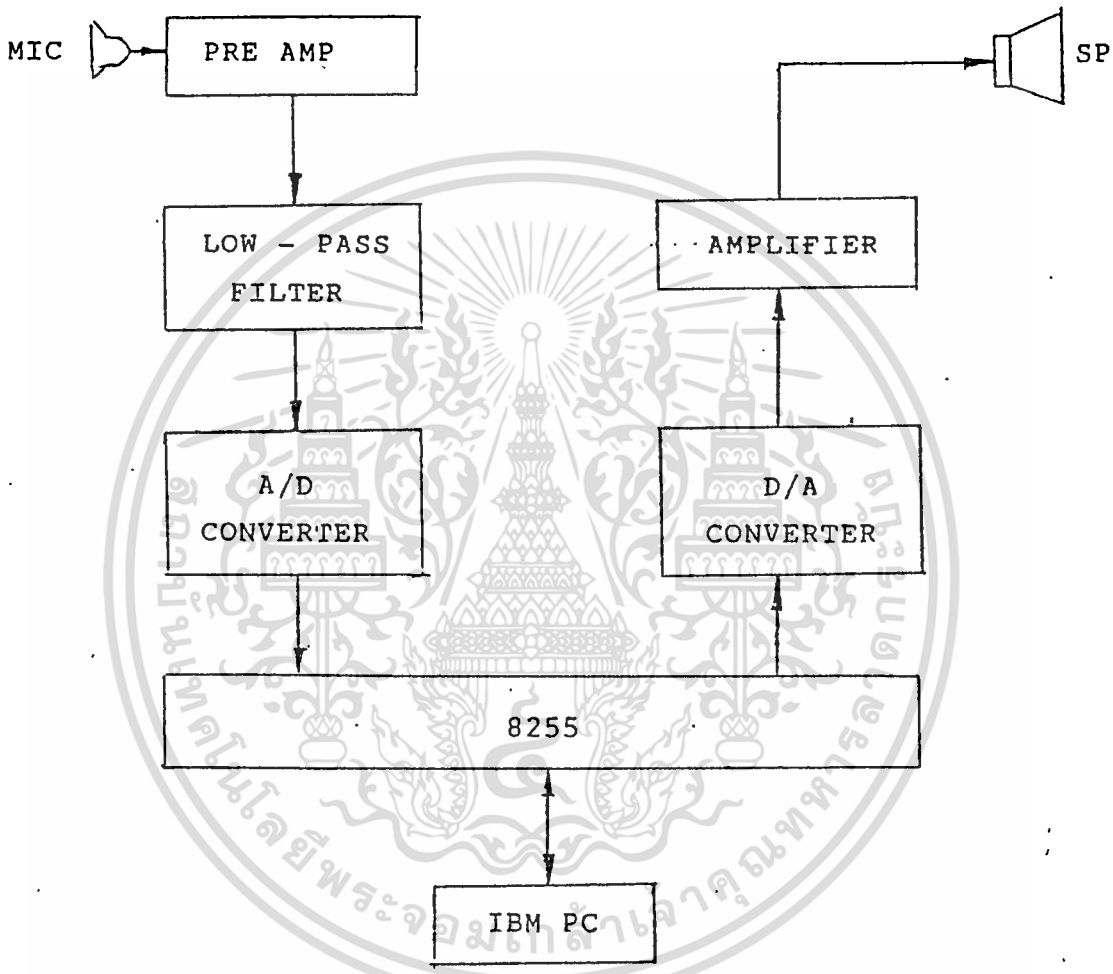


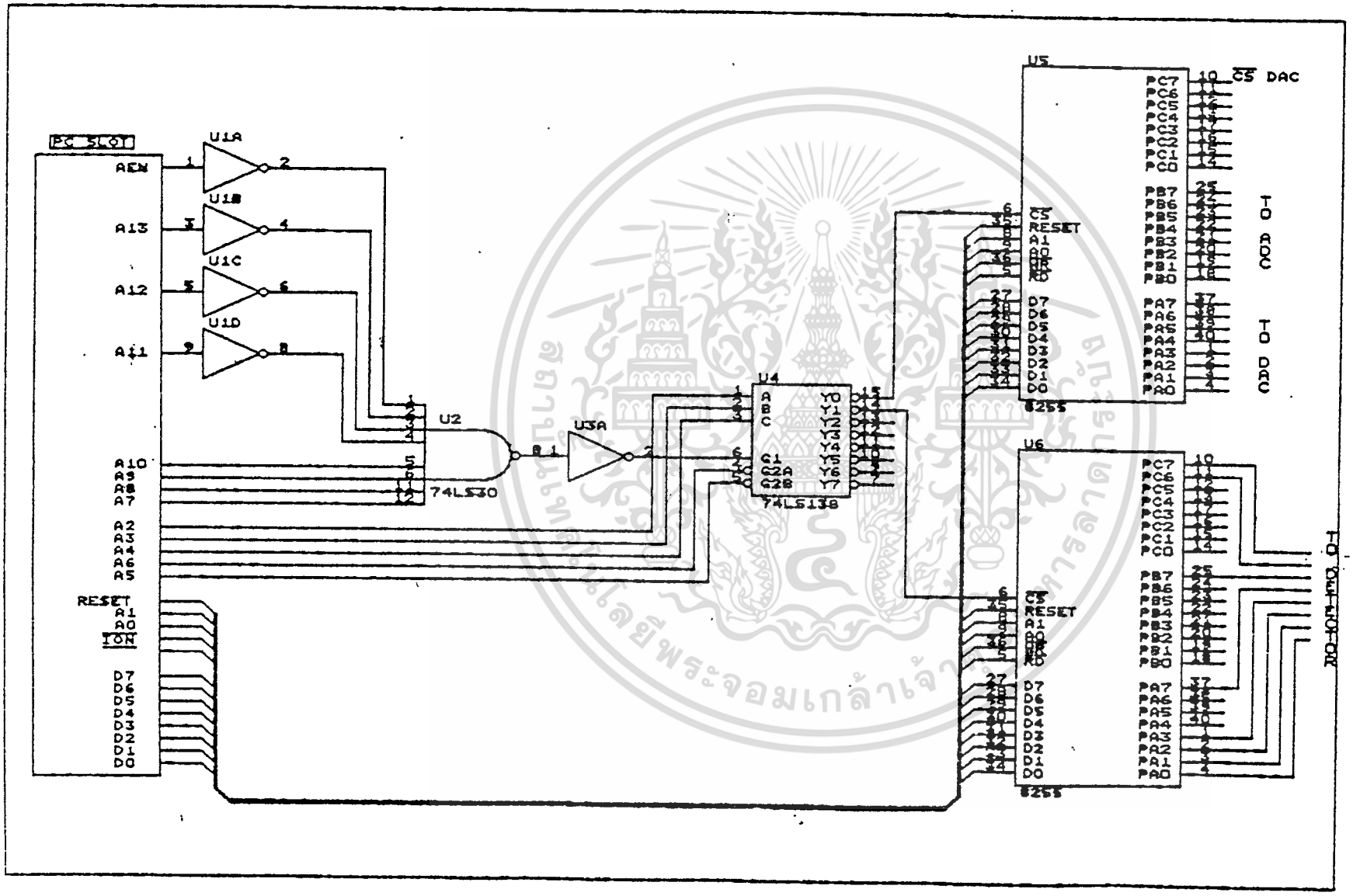
Fig.4.9 DAC 0800 Circuit

หลักการเก็บสัญญาณเสียง



ภาพที่ 4.10 Block Diagram ของชุดเก็บสัญญาณเสียง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้


PC SLOT
AEN
A13
A12
A11
A10
A9
A8
A7
A2
A3
A4
A6
A5
RESET
A1
A0
IOW
D7
D6
D5
D4
D3
D2
D1
D0
U1A
U1B
U1C
U1D
U2
74LS30
U3A
U4
74LS138
A
B
C
G1
G2A
G2B
Y0
Y1
Y2
Y3
Y4
Y5
Y6
Y7
U5
U6
8255
CS
RESET
PC7
PC6
PC5
PC4
PC3
PC2
PC1
PC0
PB7
PB6
PB5
PB4
PB3
PB2
PB1
PB0
PA7
PA6
PA5
PA4
PA3
PA2
PA1
PA0
CS DAC
TO ADC
TO DAC
TO EXPANSION

4.6ส่วนของการควบคุม

ในการที่จะให้ระบบทำงานได้อย่างมีประสิทธิภาพนั้น จะต้องมีส่วนที่ควบคุมให้การทำงานของระบบเป็นไปตามที่เราต้องการ ซึ่งส่วนที่จะใช้ควบคุมนั้นก็ได้แก่ส่วนของหน่วยความจำในเครื่องไมโครคอมพิวเตอร์เอง พอร์ทในการติดต่อระหว่างอินพุทและเอ้าท์พุท ได้แก่เบอร์ 8255 ส่วนประมวลผลใช้ CPU เบอร์ 8088 หรือเบอร์อื่นๆ เช่น 80286 หรือมากกว่านั้นก็ได้และส่วนของโปรแกรมในดิสต์เกต แต่ในที่นี้จะกล่าวถึงเฉพาะส่วนควบคุมในฮาร์ดแวร์ คือพอร์ทเบอร์ 8255 ที่ใช้ในการติดต่อพร้อมทั้งกล่าวถึง SLOT ที่ต่อกับขาสัญญาณที่มาจาก CPU เบอร์ 8088

4.6.1 I/O PORT เบอร์ 8255

พอร์ทเบอร์ 8255 ประกอบด้วยพอร์ท 3 พอร์ท คือ พอร์ท A, พอร์ท B และพอร์ท C พอร์ทละ 8 บิท โดยที่พอร์ท A มีหมายเลขประจำพอร์ทคือ 0785H เริ่มตั้งแต่ขา PA0-PA3 และ PA7 ซึ่งจะต่อเข้ากับส่วนของ MT8870 สำหรับรับสัญญาณจากอนาล็อกเป็นดิจิตอล เป็นอินพุทพอร์ท หรือใช้รับสัญญาณจากไมโครโฟนเข้าไปเก็บไว้ใน MEMORY โดยที่ PC7 นั้นเป็นตัวควบคุมในการทำงาน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

พอร์ท A คือ ขา PA0-PA7หรือขา 1-4, 37-40ของ 8255 ของ 8255ใช้เป็นเอาท์พุทพอร์ท เพื่อส่งสัญญาณของดิจิตอลเป็นอานาล็อค ในการอ้างอิงพอร์ท ใช้หมายเลข 0785Hสำหรับพอร์ทใช้หมายเลขในการอ้างอิงคือ 0786H ใช้ในการควบคุมการทำงานของอนาล็อกเป็นดิจิตอลโดยผ่านทาง D7และใช้สำหรับควบคุมให้สัญญาณเข้าไปเก็บไว้ในหน่วยความจำซึ่งได้แก่สัญญาณจากดิจิตอลเป็นอนาล็อค ในส่วนของขาต่างๆของ 8255 ที่ไม่ได้กล่าวถึงนั้น ส่วนหนึ่งจะต่อเข้ากับสัญญาณควบคุมในเครื่อง โดยผ่านทางสล็อตของ IBM อีกส่วนหนึ่งจะต่อกับส่วนอื่น เช่น ขากราวด์ และขา CS ที่ต่อกับ Yo ของ 74LS138 เป็นต้น

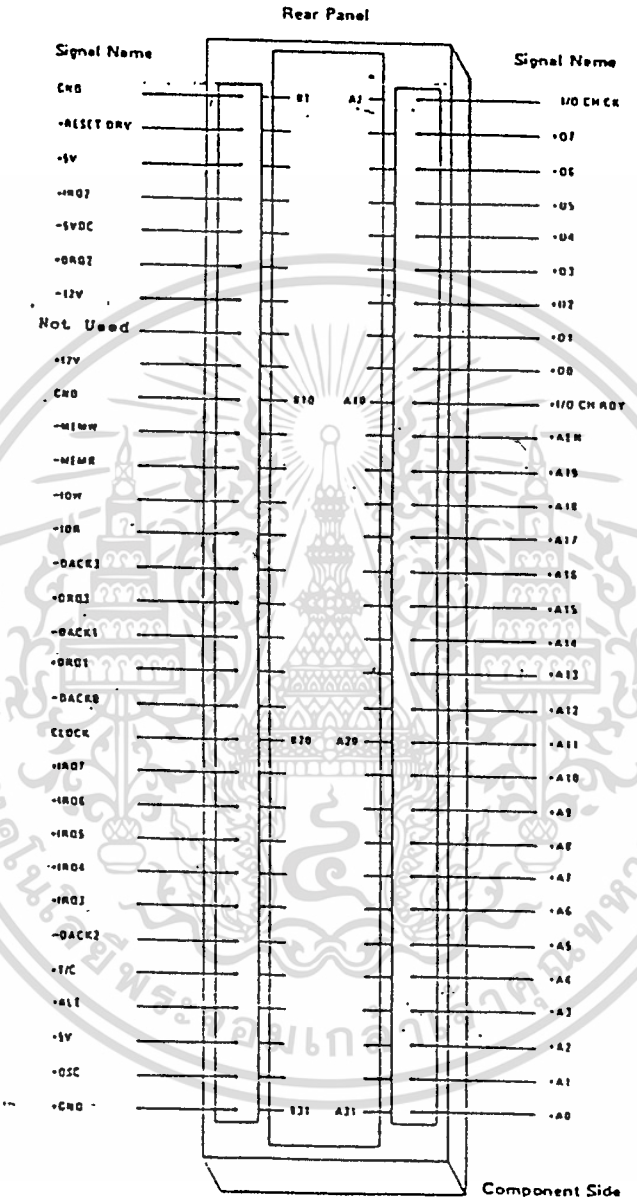
4.6.2 สัญญาณต่าง ๆ บนสล็อตของ IBM/PC

ภายใน IBM/PCได้มีการออกแบบ ให้สามารถที่จะเพิ่มเติม วงจรอินเตอร์เฟส เข้าไปในภายหลัง โดยผ่านทางสล็อต ที่อยู่บนเมนบอร์ด (Main Board) สำหรับสล็อตบนเมนบอร์ดนี้จะมีจำนวน 5 สล็อต สำหรับใน IBM PC/XTจะมี 8 สล็อต ซึ่งแต่ละสล็อตจะมีจำนวนขาทั้งสิ้น 62ขา แบ่งออกเป็น 2 ข้างๆ ละ 31 ขาส่วนการเรียกตำแหน่งขาของสล็อตเหล่านี้จะขึ้นอยู่กับว่าขานั้นอยู่ข้างใด(ซ้ายหรือขวา) ของสล็อตโดยขาที่อยู่ทางด้านซ้ายของสล็อตจะเรียกโดยใช้อักษร "B" นำหน้าเลขตำแหน่งของขา เช่น ขา B16 ก็คือขาทางด้านซ้ายของสล็อตขาที่16 (นับจากทางด้านซ้ายของเครื่อง) ส่วนขาที่อยู่ทางด้านขวาของสล็อต จะเรียกโดยใช้อักษร "A" นำหน้าเลขตำแหน่งของขา เช่น ขา A24 ก็คือ ขาทางด้านขวาของสล็อตขาที่ 24 (นับจากทางด้านซ้ายของเครื่อง)

แต่ละขาของสล็อตเหล่านี้ จะเชื่อมต่อกับเส้นสัญญาณต่าง ๆ บน เมนบอร์ด ทำให้การสร้างวงจร อินเตอร์เฟสกับ IBM/PC สามารถทำได้ โดยสะดวก ซึ่งเส้นสัญญาณ ที่เชื่อมต่อกับขาของสล็อตเหล่านี้จะประกอบไปด้วย เส้นสัญญาณของบัสแอดเดรส (Address Bus) บัสข้อมูล (Data Bus) บัสควบคุมสำหรับการเขียน/อ่าน ข้อมูลจากหน่วยความจำหรือพอร์ท I/O เส้นสัญญาณสำหรับการขออินเทอร์รัพท์ของวงจรอินเทอร์เฟส เส้นสัญญาณสำหรับการขอ DMA สัญญาณฐานเวลา (Timing Signal) ต่าง ๆ ที่ใช้ในระบบเส้นสัญญาณ แสดงการรีเฟรชหน่วยความจำ และสัญญาณสำหรับการตรวจสอบความผิดพลาด (I/O CHECK)

นอกจากเส้นสัญญาณเหล่านี้แล้ว สล็อตบนเมนบอร์ด ยังเชื่อมต่อกับ แหล่งจ่ายไฟต่างๆ ที่ใช้ในระบบอีกด้วยคือ +5Vdc, -5Vdc, +12Vdcและ -12Vdc

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



ภาพที่ 4.12 แสดงถึง Slot ของ IBM/PC

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

<u>บัสของแหล่งจ่ายไฟระบบ</u>

+5Vdc (ขา B3 และ B29):

ขาทั้งสองนี้ต่อกับแหล่งจ่ายไฟ DC +5V ของระบบ โดยจะมีค่า ความเที่ยงตรง ± 5% (+4.75 - +5.25 Vdc)

+12Vdc (ขา B9):

ขานี้จะต่อกับแหล่งจ่ายไฟ DC +12V ของระบบ โดยมีค่า ความเที่ยงตรง ± 5% (+11.4 - +12.6 Vdc)

-5Vdc (ขา B5):

ขานี้จะต่อกับแหล่งจ่ายไฟ -5V ของระบบ โดยมีค่าความเที่ยงตรง ± 10% (-5.5 - -4.5 Vdc)

-12Vdc (ขา B7):

ขานี้จะต่อกับแหล่งจ่ายไฟ DC -12V ของระบบ โดยมีค่าความเที่ยงตรง ± 10% (-13.2 - -10.8Vdc)

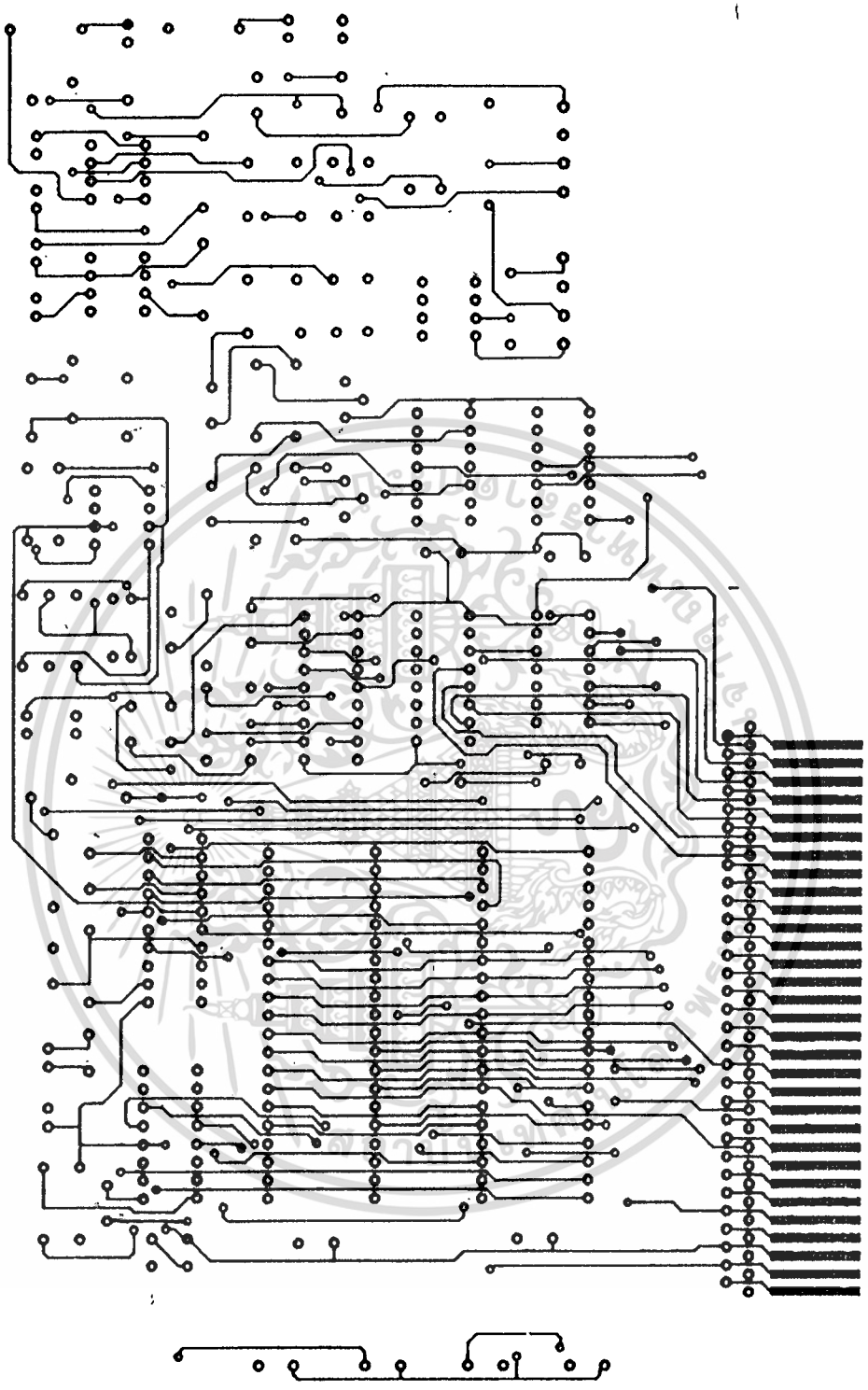
GND (ขา B1,B10 และ B13):

ขาทั้งสามนี้จะต่อกับกราวด์ของระบบ

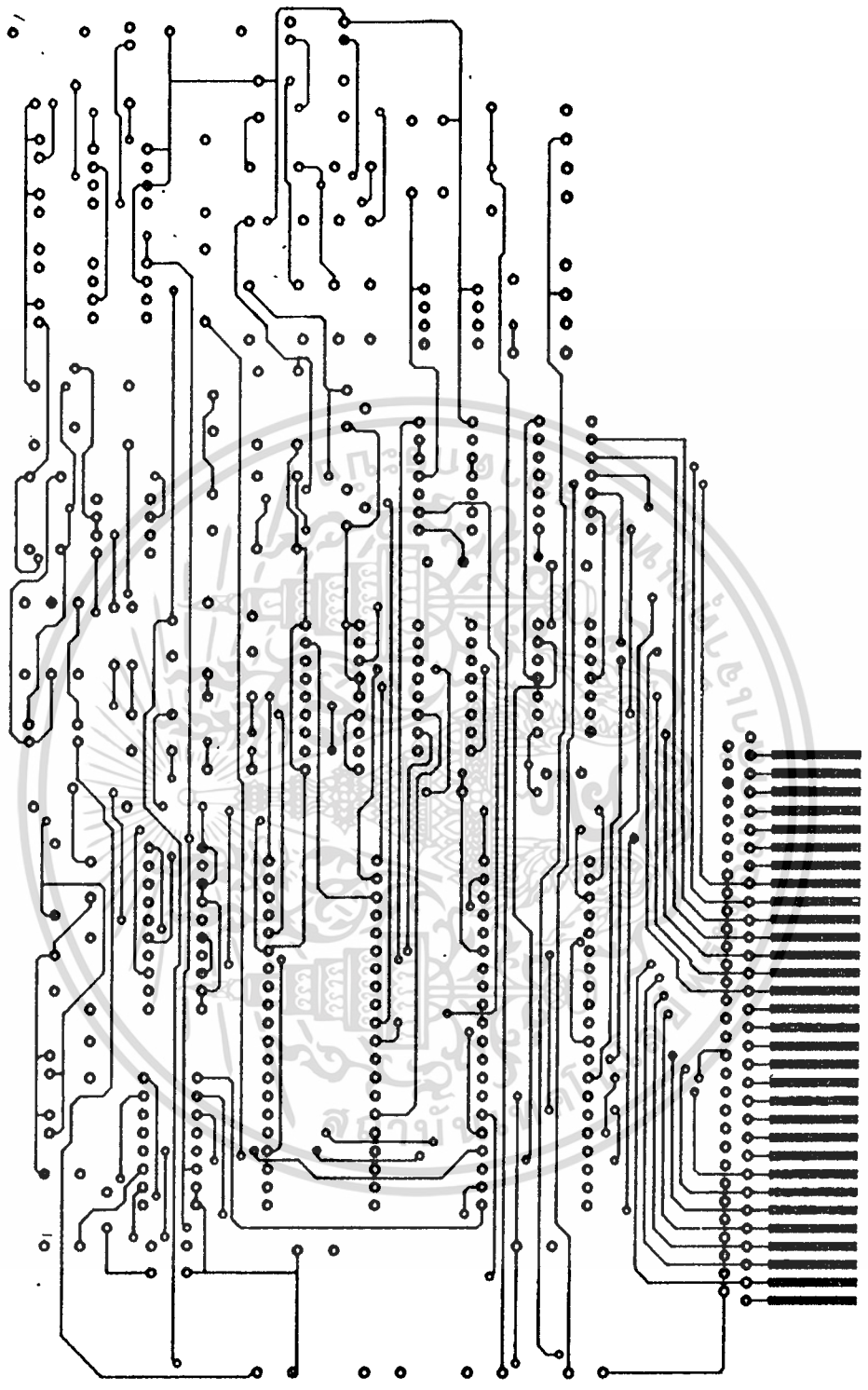
<u>การจัดสัญญาณบนสล็อตของ IBM PC/XT</u>

สำหรับใน IBM PC/XT นั้นจะมีสล็อตสำหรับเชื่อมต่อกับวงจร ภายนอกได้มากขึ้น คือ จะมี 8 สล็อต จากเดิมที่มี 5 สล็อต ส่วนการจัดสัญญาณต่างๆทั้ง 8 สล็อตยังคงเหมือนเดิม เพียงแต่สัญญาณต่างๆที่ส่งมายังสล็อตที่ 8จะถูกต่อผ่านวงจรขับกระแส (Buffer) ก่อน และขา B8 จะถูกใช้งาน โดยเป็นขา CRD-SLCTD (Card Selected) ซึ่งขาสัญญาณนี้จะเป็นสัญญาณอินพุท จากวงจรภายนอกที่เสียบอยู่บนสล็อตที่ 8 เพื่อให้วงจรบนเมนบอร์ดรู้ว่าการ์ดที่อยู่บนสล็อตนี้ถูกเลือกใช้งานอยู่ ซึ่งจะทำให้ Driver บนเมนบอร์ดทำการอ่านหรือส่ง ข้อมูลไปยังสล็อตที่ 8

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



ภาพที่ 4.13 ลายวงจรรวมด้านอุปกรณ์



ภาพที่ 1.13 ลายวงจรรวม

MIC
J1
SP
J2
LINE
J3
SW TEST
J4
A1 8255
A2 8255
A3 DAC0800
A4 ADC0804
A5 7404
A6 7430
A7 74LS138
A11 MT8870
A12 7404
A13 4N26
A9
A10
TL072CP
745
386
XTAL
RELAY2
RELAY1
BRIDGE2
BRIDGE2
C26 0.47UF
TAM CO.,LTD

บทที่ 5

โปรแกรมและการทดสอบระบบ

ในส่วนของระบบนั้น เมื่อได้ทำการออกแบบทางฮาร์ดแวร์ของระบบแล้วจะต้องมีการสร้างการควบคุมให้ทำงานตามที่เราต้องการซึ่งในที่นี้ก็ได้แก่การเขียนโปรแกรมของระบบ โดยมีรายละเอียดดังนี้

โปรแกรม (Soft Ware) จะแบ่งออกเป็น 2 ลักษณะ คือ โปรแกรมที่ใช้ในกระบวนการตอบรับทางโทรศัพท์ และโปรแกรมที่ใช้ในการบันทึกสัญญาณเสียงไปเป็นสัญญาณทางดิจิทอล (Soft Ware A/D)

ในส่วนของโฟลว์ชาร์ต แสดงการทำงานจะแบ่งออกเป็น 2 ส่วน คือ

- โฟลว์ชาร์ตในส่วนของกระบวนการการตอบรับทางโทรศัพท์
- โฟลว์ชาร์ตในการบันทึกสัญญาณเสียง (Soft Ware A/D)

5.1 โฟลว์ชาร์ตในส่วนของกระบวนการตอบรับทางโทรศัพท์

การทำงานของโฟลว์ชาร์ตในส่วนของกระบวนการตอบรับทางโทรศัพท์ นั้นจะใช้ในการควบคุมการติดต่อของการเรียกจากสายภายนอก เพื่อให้สามารถติดต่อกับระบบภายในเครื่อง โดยการทำงานนี้จะเป็นลักษณะของการตรวจสอบรูทัสของเครื่องนั้นก่อนแล้ว CPUจะทำการส่งสัญญาณไปควบคุมตามลักษณะของการใช้โทรศัพท์แบบปกติในการเริ่มต้นการทำงานของโปรแกรมนั้น จะทำการตรวจสอบไฟล์ต่าง ๆ ที่ต้องการใช้ก่อน จากนั้นก็จะทำการเซทพอร์ท และบัฟเฟอร์ต่าง ๆ ให้หมด เพื่อเป็นการเตรียมพร้อมในการที่จะรับสถานีใหม่ต่อไป ซึ่งเราจะเรียกขั้นตอนนี้ว่า การ Intitial System แล้วจึงเริ่มต้นทำการอ่านและตรวจสอบรหัส แล้วปฏิบัติตามรายละเอียดดังนี้

- CPU จะทำการตรวจสอบสัญญาณ Hand Set จากสายภายนอกซึ่งได้มาจากวงจรตรวจจับสัญญาณเสียงกริ่ง ถ้ามีจะทำการโฮลสายนอกไว้ (On Hook) และไปควบคุมวงจรตอบรับเสียง เพื่อบอกให้ผู้เรียกกดหมายเลขรหัส ที่ต้องการ

- CPU จะทำการตรวจสอบว่าสายภายนอกกดหมายเลขที่ต้องการต่อ หรือยังโดยตรวจสอบสัญญาณ St.dจากวงจร DTMF Decoderถ้ามีการกดหมายเลขเข้ามาแล้วก็จะทำการอ่านหมายเลขที่ผู้เรียกกดเข้ามา และควบคุมให้วงจรตอบรับเสียงเพื่อบอกให้ผู้เรียกทราบว่าหมายเลขตรงกับที่ได้กดหรือไม่

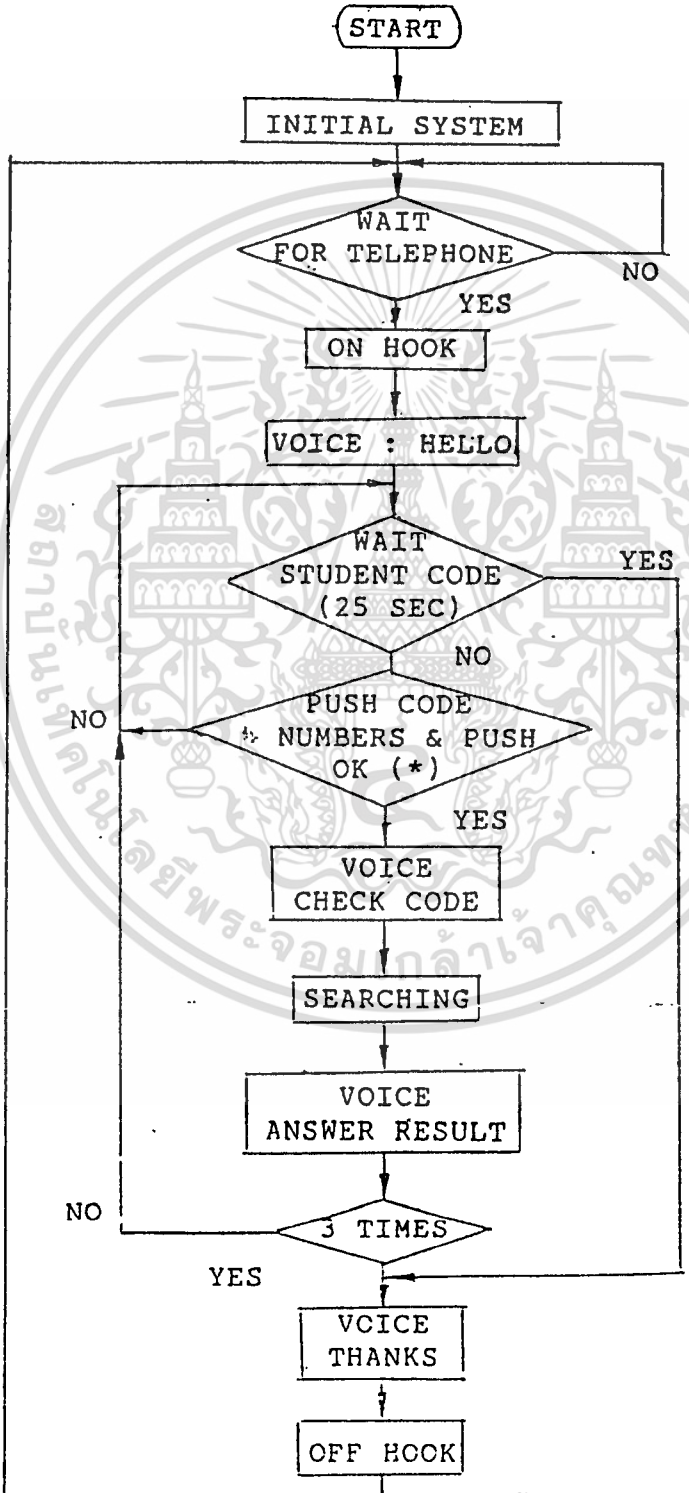
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- เมื่อได้ทำการบอกหมายเลข ที่ผู้เรียกกดเข้ามาแล้ว ก็จะทำการค้นหาหมายเลข ข้อมูลที่ได้กำหนดไว้ซึ่งก็คือข้อมูลที่อยู่ในหน่วยความจำ ภายในเครื่อง IBM PC/XT นั้นเอง

- เมื่อได้ทำการตรวจสอบข้อมูลแล้วก็จะทำการตอบผลที่ได้ว่าได้หรือไม่ได้ ซึ่งผู้เรียกสามารถที่จะกดได้ 3 ครั้งและในแต่ละครั้งจะต้องไม่เกินเวลาที่ตั้งไว้ คือ 25 วินาที เมื่อครบเวลาที่กำหนดไว้ก็จะมีเสียงบอกว่า "ขอบคุณค่ะ"แล้วจะทำการวางหูโทรศัพท์ เมื่อวางหูแล้ว CPU จะทำการเคลียร์บัฟเฟอร์ต่าง ๆ เช่น การโฮล-ไลน์ และ ออฟ-รีเลย์ ที่ใช้ควบคุม Route ด้วย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

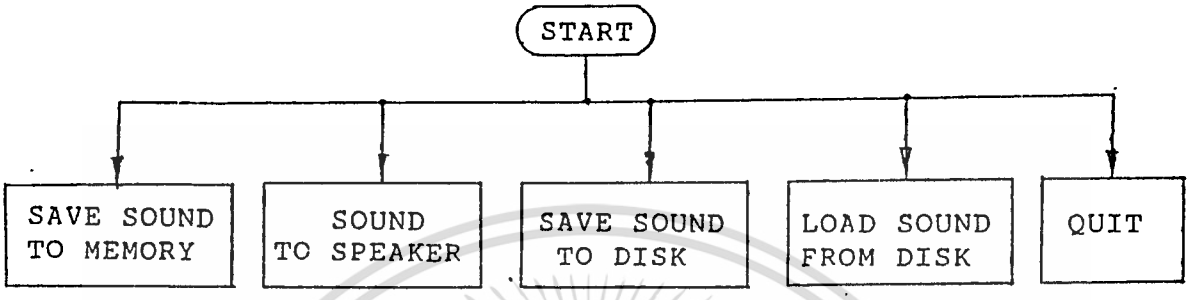
Process For Examination Result Reporting Flowchart



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

<u>โฟลว์ชาร์ตในการบันทึกสัญญาณเสียง</u>

ในส่วนของการตอบรับสัญญาณเสียงนั้นเป็นอีกขั้นตอนหนึ่งที่แยกออกจากส่วนของกระบวนการตอบรับโทรศัพท์ โดยมีโฟลว์ชาทดังข้างล่างนี้



จากโฟลว์ชาทจะแสดงถึงวิธีปฏิบัติในการบันทึกสัญญาณเสียงซึ่งแบ่งออกเป็น 5 ส่วนด้วยกัน ซึ่งสามารถจะกระทำในส่วนใดส่วนหนึ่งก่อนก็ได้ โดยจะมีลักษณะเป็น MENU ให้ผู้ใช้เลือกใช้ได้ตามความต้องการ ซึ่งมีรายระเอียดดังนี้

- การเก็บสัญญาณเสียงไว้ยังหน่วยความจำ (Save Sound To Memory) เมื่อได้ทำการเตรียมเครื่อง PC และ Gard ไว้เรียบร้อยแล้ว ในการบันทึก นั้นเราจะเอาสัญญาณเสียงจากเทปซึ่งได้มีการบันทึกไว้ก่อนแล้วนั้น ผ่านวงจร ADC เมื่อเปลี่ยนเป็นสัญญาณดิจิตอลแล้ว CPU จะสั่งให้เก็บไว้ในหน่วยความจำแล้วทำการถ่ายลงสู่แผ่นดิสท์อีกทีหนึ่ง

- การนำเอาสัญญาณเสียงออกสู่ลำโพง (Sound To Speaker)เป็นการตรวจสอบการนำข้อมูลของสัญญาณเสียง ในหน่วยความจำผ่านวงจร DAC ออกสู่ลำโพง

- การนำข้อมูลของสัญญาณเสียง เข้าไปเก็บไว้ใน แผ่นดิสเกทต์ (Save Sound To Disk) เมื่อได้ทำการบันทึกสัญญาณแล้ว ทำขบวนการ ให้ข้อมูลเข้าไปเก็บไว้ในหน่วยความจำได้แล้วเพื่อให้สามารถนำมาใช้ได้อีกจึงทำการ Save ข้อมูลที่จำเป็นต่างๆไปเก็บไว้ใน Floppy Disk แทน

- การนำข้อมูลจากแผ่นดิสท์เข้าไปเก็บไว้ในหน่วยความจำ (Load Data Frome Disk) ในการใช้งานของระบบ ข้อมูลที่เราเก็บไว้ในแผ่นดิสท์ จะต้องนำไปเก็บไว้ในหน่วยความจำของเครื่องเสียก่อน จึงจะทำให้ระบบสามารถ ทำงานได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- เมื่อเสร็จสิ้นขบวนการต่างๆแล้ว หากเราต้องการให้มันหลุดออกจากลูพที่ทำอยู่ ก็สามารถเลื่อน Cursor มายังตำแหน่ง QUITก็สามารถที่จะกระทำได้

5.2 การทดลองโดยใช้งานจำลอง

การทดลองดังกล่าว เป็นการทดลองในการตรวจสอบความพร้อมของระบบ และทดลองในขณะที่ยังไม่มีคู่สายโทรศัพท์ ซึ่งทำให้เกิดความสะดวก และ ทำให้เรารู้ผลที่ได้ว่าเป็นอย่างไร โดยกระทำได้ดังนี้

5.2.1 เตรียมความพร้อมของเครื่องไมโครคอมพิวเตอร์ พร้อมทั้ง ติดตั้งระบบฮาร์แวร์เข้ากับสล็อทของเครื่อง จากนั้นทำการโหลดข้อมูลจากแผ่นดิสเกทเข้าไปในหน่วยความจำของเครื่อง ซึ่งเรียกว่า Initial Systemหลังจากนั้นนำโทรศัพท์แบบกดปุ่มต่อเข้ากับสาย Line Telephone ของระบบ โดยทำการต่อสายไฟ +5 V และ -5 V (PC Slot B3,B29 and B31,B1 ตามลำดับ) ออกมาที่ Line Telephone เพื่อแทนแหล่งจ่ายไฟ จากชุมสายโทรศัพท์ หากต้องการฟังเสียงที่ดังกว่าโทรศัพท์ก็ทำได้โดยการต่อสัญญาณเสียงออกจากเอ้าท์-พุทของภาค DAC (อยู่ทางด้านหลังของการ์ด) เข้าสู่แอมปริไฟร์ได้

5.2.2 กดสวิทช์ที่ทำการต่อไว้ เพื่อเป็นการจำลองว่าขณะนี้ได้มีคนทำการโทรศัพท์เข้ามาแล้ว ก็จะมีเสียงสัญญาน (Ring call) ขึ้น 3 ครั้ง ระบบก็จะทำการยกหู และโต้ตอบด้วยเสียงพูด ให้กดรหัสหมายเลขประจำตัวสอบ โดยจะทำการกดเลข 0 ก่อน แล้วตามด้วยรหัสสอบของนักศึกษา 7 ตัว เมื่อกดครบแล้วก็ต้องกดปุ่ม * อีกครั้งเป็นการสิ้นสุด (0=start bit,*=stop bit) ระบบก็จะทวนรหัสหมายเลขสอบหนึ่งครั้งเพื่อผู้เรียกสามารถรู้ได้ว่ารหัสถูกต้องหรือไม่ ในกรณีที่รหัสผิด ผู้เรียกก็สามารถยกเลิกได้โดยกดปุ่ม # แล้วทำการกดรหัสใหม่ ถ้ารหัสถูกต้องระบบก็จะค้นหาข้อมูลแล้วโต้ตอบด้วยเสียงพูดว่า ได้หรือไม่ได้

5.2.3 การทำงานดังกล่าวเราสามารถกดรหัสได้ 3 ครั้ง แต่ละครั้ง ไม่เกิน 25 วินาที หลังจากครบกระบวนการแล้ว ก็จะโต้ตอบเป็นเสียงพูด อีกครั้งหนึ่ง แล้วทำการวางหูเองโดยอัตโนมัติ

การทดลองในลักษณะนี้ นับได้ว่าสะดวก และประหยัดค่าใช้จ่าย พร้อมทั้งสามารถตรวจสอบผลได้ว่าเป็นอย่างไรซึ่งที่หน้าจอก็จะสามารถสังเกตุดูได้ เมื่อลงจากกระบวนการต่างๆจะแสดงผลออกมาที่หน้าจอด้วย ทั้งยังสามารถ ตรวจสอบระบบได้หลายครั้งต่อเนื่องกันตามความต้องการโดยการกดสวิทช์จำลองข้างต้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5.3 การทดลองโดยใช้งานจริง

เป็นการทดลองโดยให้ระบบต่อเข้ากับคู่สายโทรศัพท์ของงองค์การโทรศัพท์จริงๆเหมือนกับการที่เราใช้โทรศัพท์ติดต่อกันตามธรรมดาซึ่งวิธีการปฏิบัติเหมือนกับการทดลองโดยใช้คู่สายจำลองทุกประการ เพียงแต่ต่อคู่สาย สัญญาณโทรศัพท์เข้ากับคู่สายของเครื่องเท่านั้น

จากผลการทดลองดังกล่าว กระทำได้ตรงตามวัตถุประสงค์ที่ตั้งไว้ทุกประการ ซึ่งระบบนี้ได้ออกแบบมาเพื่อให้ใช้กับ ไมโครคอมพิวเตอร์ 16 บิท IBM - PC หรือ PC 16 บิททั่วๆไปก็สามารถใช้ได้ จึงเป็นการสะดวกในการติดตั้งโดยไม่ต้องนำเครื่องไมโครคอมพิวเตอร์ไปด้วย เพียงแต่นำสาร์ดแวร์และแผ่นดิสเกทไปติดตั้งกับระบบ PC (Personal Computer)เท่านั้นก็สามารถที่จะทำงานได้สมดั่งความมุ่งหมายแล้ว

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 6

บทสรุป

6.1 สรุปผลของโครงงาน

โครงงานของระบบแจ้งผลการสอบคัดเลือกทางโทรศัพท์ด้วยไมโครคอมพิวเตอร์ที่สร้างขึ้นนี้ ผลของโครงงานพอที่จะสรุปได้ดังนี้คือ

6.1.1 สามารถออกแบบและสร้างเครื่องต้นแบบของระบบแจ้งผลการสอบคัดเลือกทางโทรศพท์ด้วยไมโครคอมพิวเตอร์16บิทIBM PCได้โดยระบบสามารถแจ้งผลด้วยเสียงพูด การทำงานทำได้อย่างรวดเร็วและถูกต้องขบวนการทำงานเป็นไปโดยอัตโนมัติ

6.1.2 สามารถเขียน โปรแกรมควบคุมการทำงานของระบบ โดยการใช้ภาษาซี(C Language) ซึ่งเป็นภาษาที่เข้าถึงฮาร์ดแวร์ของเครื่องไมโครคอมพิวเตอร์ได้ง่าย ทำให้ใช้งานได้สะดวกและง่ายต่อการพัฒนา

6.1.3 ระบบแจ้งผลการสอบคัดเลือกทางโทรศัพท์ด้วยไมโครคอมพิวเตอร์สามารถที่จะนำไปใช้กับการแจ้งผลในสถาบันการศึกษาได้

6.2 ปัญหาในการดำเนินงาน

ปัญหาในการดำเนินงานของระบบนั้น พบว่าเกิดปัญหากับระบบและข้อจำกัดบางประการดังนี้

6.2.1 การบันทึกเสียงเข้าในหน่วยจำของเครื่องไมโครคอมพิวเตอร์ โดยผ่านทางวงจร Analog to digitalนั้นจะต้องใช้สัญญาณที่ได้จากเทป โดยการบันทึกเสียงลงไว้ก่อนหน้านั้นแล้ว จะทำให้คุณภาพของเสียงที่ได้ออกมาดี หากใช้โดยการผ่านทางไมโครโฟนแล้วพบว่าเกิดปัญหาเกี่ยวกับคุณภาพและระดับเสียงไม่คงที่

6.2.2 ปัญหาในการจัดเก็บข้อมูลนั้นมีข้อจำกัด เนื่องจากเครื่องไมโครคอมพิวเตอร์ไม่สามารถจะเก็บ FILE ข้อมูลได้โตเกินไปมากนัก เพราะโปแกรมในการใช้งานนั้นจะใช้ในส่วนของการจัดการเกี่ยวกับระบบและจัดเก็บขอ้มูลของนักศึกษาตลอดจนเก็บ FILE ทางด้านเสียง แต่หน่วยความจำก็อยู่จำกัด ซึ่งจะต้องคำนึงถึงด้วย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

6.3 ข้อเสนอแนะในการพัฒนา

6.3.1 ขั้นตอนในการทำงานของระบบนี้พบว่ายังมีสิ่งที่ต้องแก้ไขในเรื่องความชัดเจนและรัดกุมในการปฏิบัติระหว่างระบบกับผู้เรียก กล่าวคือ เมื่อระบบแจ้งผลได้ตอบให้ผู้เรียกกดรหัส ควรที่จะเพิ่มคำพูด และสัญญาณเสียงลงไปจะทำให้สะดวกในการใช้งาน เพราะปัญหาที่เกิดขึ้นอย่างหนึ่ง พบว่า เมื่อบอกให้กดรหัสแล้วผู้เรียกต้องหยุดเล็กน้อย ก่อนที่จะกดรหัสแต่ไม่ทราบว่าจะต้องหยุดอย่างไร ซึ่งขึ้นอยู่กับผู้เขียนโปรแกรมที่จะกระทำได้ ก็จะกระทำให้สะดวกแก่การใช้งานได้มากขึ้น

6.3.2 โปรแกรมหลัก (Monitor Program) ยังสามารถที่จะพัฒนาได้อีกเพื่อเพิ่มขีดความสามารถให้กับระบบ ซึ่งอยู่กับผู้เขียนโปรแกรม

6.3.3 หน่วยความจำของเครื่องยังมีข้อจำกัดอยู่ ทำให้มีปัญหาในการจัดเก็บข้อมูลของนักศึกษาที่มีจำนวนมาก ๆ ซึ่งแก้ไขได้โดยการเพิ่มความจำให้กับระบบหรือพัฒนาระบบใหญ่ขึ้นกว่าเดิม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กิตติกรรมประกาศ

ปริญญานิพนธ์ฉบับนี้ ได้แนวความคิดจาก อาจารย์ สมภพ แก้วมีชัย ทั้งยังให้คำแนะนำ และให้การสนับสนุนมาโดยตลอด จึงขอกราบขอบพระคุณ อาจารย์ สมภพ แก้วมีชัย เป็นอย่างสูงไว้ ณ ที่นี้ด้วย

ขอขอบคุณ อาจารย์ภาควิชาเทคนิคอุตสาหกรรม คณะวิศวะกรรมศาสตร์ สถาบันเทคโนโลยี่พระจอมเกล้าลาดกระบัง ที่ให้ความร่วมมือและช่วยเหลืออำนวยความสะดวก ในการทำปริญญานิพนธ์ ด้วยดีตลอดมา

ขอขอบคุณ ทุกท่าน ที่ให้ความช่วยเหลือในการให้คำปรึกษาแนะนำและให้ความช่วยเหลือในการจัดทำรูปเล่ม

ท้ายสุดนี้ขอกราบระลึกถึงพระคุณบิดามารดา และคณาจารย์ ที่ให้การสนับสนุนในทุกๆ ด้านแก่คณะผู้จัดทำปริญญานิพนธ์ มาโดยตลอด ไว้ ณ ที่นี้ด้วย

คณะผู้จัดทำ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เอกสารอ้างอิง

1. ยืน ภู่วรวรรณ,ดร.ชัยยงค์ วงค์ชัยสุวัฒน์,ดร.ไพศาล สงวนหมู่,"เทคโนโลยี่ไมโครคอมพิวเตอร์ 16 บิท",บริษัท ซีแอดยูเคชั่น จำกัด, พ.ศ.2521

2. สิทธิชัย ประสานวงศ์, "เทคนิคการใช้เครื่อง IBM PC/XT" พ.ศ. 2531

3. "THE WORLD, IC DATA & CROSS-REFERENCE GUIDE", SCIENCE, ENGINEERING & EDUCATION CO.,LTD.C.E. 1983

4. "INTERFACE CIRCUIT DATA BOOK", TEXAS INSTRUMENTS, C.E. 1987

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก

คู่มืออุปกรณ์ที่ใช้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

คู่มือคำแนะนำในการใช้งาน

1. คำแนะนำในการใช้งานของผู้เรียก สามารถกระทำตามขั้นตอนได้ดังนี้

1.1 ยกหูโทรศัพท์(แบบกดปุ่ม)กดปุ่มหมายเลข 7 ตัว ซึ่งเป็นเบอร์ของระบบแจ้งผล ผ่านชุมสายขององค์การโทรศัพท์ เมื่อมีสัญญาณเรียกไปยังระบบมันก็จะทำการยกหูโดยอัตโนมัติ

1.2 ผู้เรียกจะได้ยินเสียงตอบมาว่า "สวัสดีคะ พระจอมเกล้าค่ะ กรุณากดรหัสค่ะ" ให้ผู้เรียกกดปุ่มหมายเลขประจำตัวสอบ ซึ่งได้กำหนดไว้ 8 ตัวด้วยกัน หากหมายเลขประจำตัวสอบมีเพียง 7 ตัว ก็ให้กดเลข 0 นำหน้าก่อน จากนั้นกดปุ่ม * ซึ่งหมายถึง ตกลงในกรณีที่ผู้เรียกกดรหัสผิดก็ให้กดปุ่มยกเลิก # แล้วกดใหม่อีกครั้งหนึ่ง

1.3 ผู้เรียกจะได้ยินเสียงการทวนรหัสเลขหมายแต่ละตัวจนครบ 8 ตัว ซึ่งจะทำให้ทราบว่ากดหมายเลขรหัสนั้นถูกหรือไม่

1.4 จากนั้นระบบก็จะทำงานโดยการค้นหาหมายเลข ในกรณีที่ตรวจพบก็จะบอกว่า "สอบได้ค่ะ" หากค้นหาไม่เจอก็จะตอบว่า "สอบไม่ได้ค่ะ"

1.5 ผู้เรียกแต่ละคนจะกดหมายเลขประจำตัวสอบได้ 3 ครั้ง ในแต่ละครั้งจะต้องไม่เกิน 25 วินาที หากครบ 3 ครั้ง หรือครบ 25 วินาที แล้วระบบจะเข้าสู่สภาวะเดิมอีกครั้งหนึ่ง คือวางหูเพื่อรอการโทรศัพท์เข้ามาต่อไป ซึ่งก่อนจะเข้าสู่สภาวะเดิมนั้นจะมีเสียงตอบมาว่า "ขอบคุณค่ะ" แล้วจะวางหูโดยอัตโนมัติ

2. คำแนะนำการใช้เครื่องของผู้เตรียม

ผู้เตรียมต้องเตรียมการให้พร้อมก่อนที่ผู้เรียกจะใช้โดยเตรียมการใช้บน IBM PC/XT พร้อม CIRCUIT CARD ดังนี้

2.1 การเตรียมเสียงคำพูดที่ต้องการ

-ผู้เตรียมเขียน FILE ของเสียงขึ้นมา โดยกำหนดชื่อว่า PR SOUND.EXE

-จากนั้นกำหนด SOUND ข้อมูลที่ต้องการจะใช้ว่าจะใช้เสียงพูดอะไรบ้าง โดยกำหนดให้เป็น SOUND.DAT ในที่นี้จะมีคำต่าง ๆ ดังนี้คือ

1.-0.DAT

HELLO DAT : NFND DAT :FND DAT ,THNK DAT

2.2 เตรียมระบบแจ้งผลการสอบ

-ทำการเตรียมเลขรหัสของนักศึกษาที่สอบได้ทั้งหมด

-จากนั้นทำการเรียกชื่อโดยใช้คำว่า THESIS.EXE เพื่อให้ระบบพร้อมที่จะรับการโทรศัพท์จากผู้เรียก โดยต้องเป็นโทรศัพท์แบบกดปุ่มเท่านั้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
                        /* MAIN PROGRAM */
/* THESIS 10.C */
/* COMPLETE */
/* WORK COMPLETE SIR !... */

#include <dos.h>
#include <conio.h>
#include <stdio.h>      /* SNDPLAY1.C */
#include <fcntl.h>
#include <alloc.h>
#include <string.h>     /*      ,,      */
#include <stdlib.h>
#include <math.h>
#include "ATOD.H"
#include "tele.h"
#include "biosarea.h"
#define  bk 219
#define  Oks 11
#define  timeW 25
#define  countP 2
#define  dat 500

int      si = 1;                                        ;
int i, x;
char ch;
BIOSDATA far *bios = MK_FP (0x0040, 0);
int fd;                                  /* SNDPLAY1.C VARIABLE */
long xzbegin=0,xzend,xstart,xstop;
char *xmbegin;
char huge *xmstart;
char ints_n[18];
char pid[8];
long dat_code;  /* dat_code : data use for searching to member.dat */
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
unsigned  int  DTMFc1[7];
unsigned  int  DTMFc2[7];
unsigned  float No_Buf1, No_Buf2, No_Buf3, No_Buf4, No_Buf5, No_Buf6;
unsigned  float No_Buf7, No_Buf8, No_Buf,No_st;
inf     si,Ok_tone;
intBk_flg, Cnc1_flg, Cnc2_flg, End_flg;
int     active;     /* if active = 1 :Found  ,  2 :Not Found */
int     select;
int     period = 0;
int     rec, last;
intcountR;      /* count Ring */
struct time now;
struct sound_inf{
char name[18];
long nbyte;
long locat;
long l_start;
long l_stop;
};
struct sound_inf snd[18];  /* SNDPLAY1.C VARIABLE */
struct RECORD {
  char ID[8] ;
  char STATUS[2] ;
  } ;
struct RECORD REC ;
FILE  *fp;
long  f_size, Max_Rec;
long  d_REC[dat];
void draw_border();

void main (void)
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
{

void cursoff(void);
void curson(void);

scrsys();/* write screen template */
/* Initial system part */
 posp(5);
putch('\007');
putch(bk);

posd(5);
printf("Wait for Initial system\n");

/*init_sys();*/  /* Call other file */
          /* check sound.dat */
          /* check student code */
putch('\007');
posd(7);
printf("Check student data code on disk\n");
init_sys();

/*----------------------------*/
outportb(0x787,0x92);/* set second port 8255 */

R_wait:
        outportb(PortC2,Pasive);    /* Passive the telephone relay  */
delay(3000);
clrpt();
clrd();
posp(7);
putch('\007');
putch(bk);
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
/* reject alternate state of telephone line */
while ((inportb(0x784)&0x80)==0x80)
;
delay(3000);


/* Wait for telephone ring */
for (countR=1; countR<=3; countR++) {
while ((inportb(0x784)&0x80)==0x80)
;
}

posd(7);
printf("Ring calling!...\n");
for (i=0;i<3;i++) {
sound(380);
delay(400);
nosound();
delay(2100);
}
/* hold hook switch or hook switch active */
clrpt();
clrd();
posp(9);
putch('\007');
putch(bk);
outportb(PortC2,HookOn);
posd(9);
printf("Hook switch ON\n");

/*----------------------------*/
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
/* Voice for hello */
clrpt();
clrd();
posp(11);
putch('\007');
putch(bk);
posd(11);
printf("Voice active :hello\n");
sound_ma();
select = 10;
process_snd(select);
/*--------------------------------*/

/*Wait for student code */

Tone_wait:
        now.ti_min = 0;          /* set time counter to zero */
now.ti_sec = 0;
now.ti_hund = 0;
settime (&now);
period += 1;
clrd();
clrpt();
posp(13);
putch('\007');
putch(bk);
tele_ma();
if (End_flg == 1)
goto The_end;

        /*----------------------------*/
/* Check code */
clrd();
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
clrpt();
posp(15);
putch('\007');
putch(bk);
posd(15);
printf("Voic:check student code...\n");
posd(15);
printf("Student code : ");
for(i=0; i<=7; i++)
printf("%d",pid[i]);
sound_ma();
for(i=0;i<=7;i++) {
  x = DTMFc1[i];
  process_snd(x);
       }

/*-----------------------------*/

/* Binary searching */
clrd();
clrpt();
posp(17);
putch('\007');
putch(bk);
posd(17);
printf("Binary searching!...\n");
bin_process(dat_code);

/*-----------------------------*/
/* Answer Result */

clrd();
clrpt();
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
posp(19);
putch('\007');
putch(bk);
posd(19);
printf("Answer Result : ");
for (i=0; i<=7; i++)
printf("%d",pid[i]);
posd(21);
if ( active == 1){
select = 11;
printf("FOUND !...\n");
}else   {
select = 12;
printf("NOT FOUND !...\n");
}
sound_ma();
process_snd(select);

/*-----------------------------*/
/* Off Hook end of process */
clrd();
clrpt();
posp(21);
putch('\007');
putch(bk);

/* clear state and flag */
dat_code = 0;  active = 0;
for (i=0; i<=7; i++)
DTMFc1[i] = 0;
for (i=0; i<=8; i++)
pid[i]    = 0;
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
posd(21);
printf("Hook switch Off \n");
/*-----------------------------*/
/* period += 1; */
if (period <= countP)
      goto Tone_wait;
else
      goto The_end;
The_end:
period =  End_flg = 0;
select = 13;            /* Voice : Tank you */
process_snd(select);
goto R_wait;

}


scrsys()
{
int     x;
charch;
BIOSDATA far *bios = MK_FP (0x0040,0);
clrscr();
draw_border(1, 1, 79, 24);
pos(2);
cursoff();
textattr(0x70);
gotoxy(1,1);
cprintf("     COMPUTERIZED SPEECH RESPONSE SYSTEM FOR EXAMINATION-RESULT
gotoxy(1,2);
cprintf("                KING MONGKUT'S INSTITUTE OF TECHNOLOGY LADKRABANG
textattr(0x07);/* normal */
highvideo();
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
pos(5);
puts ("    INITIAL SYSTEM      -------\n");
pos(7);
puts ("    WAIT:for telephone -------\n");
pos(9);
printf("    ON HOOK             -------\n");
pos(11);
printf("    VOICE:hello         -------\n");
pos(13);
printf("    WAIT:student code   ------\n");
pos(15);
printf("    VOICE:check code    ------\n");
pos(17);
printf("    SEARCHING           ------\n");
pos(19);
printf("    VOICE:answer result ------\n");
pos(21);
printf("    OFF HOOK:end of process --\n");
normvideo();
/*ch =getch();*/
clrd();
/*ch = getch();*/

/*for(si=4;si<=20;si += 2) */  /*test   for moving of pointer */
/*{
clrpt();
posp(si);
putch('\007');
putch(bk);
ch = getch();
if (ch == 'x')
si = 2 ;
}  */
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
}
pos (y)
int  y;
{

gotoxy(2,y);
}

posp(y)/* posp: positoin of pointer to function */
{
gotoxy(34,y);
}

posd(y)/* posd: position of infor mation data can place*/
{
gotoxy(39,y);
}

clrd(y)/* clear information data at screen data */
{             /* position of information screen  X,Y (38_78,4_23) */
int  x;
for(y=4;y<=23;y++)
{
posd(y);
for (x=38;x<78;x++)
{
gotoxy(x,y);
putch(' ');
}
}
}
clrpt(y)/* clear the point marker  */
{/* point marker posintion is row & column X,Y (33:const */
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
int x;
for(x=34,y=4;y<=23;y++)                                    /*  4_25)   */
{
gotoxy(x,y);
putch(' ');
}
}

void draw_border(int startx, int starty, int endx, int endy)
{
register int i;
for (i=startx+1; i<endx; i++) {
gotoxy(i, starty);
putch(196);
gotoxy(i, endy);
putch(196);
}
for (i=starty+1; i<endy; i++) {
gotoxy(startx, i);
putch(179);
gotoxy(endx, i);
putch(179);
}
gotoxy(startx, starty); putch(218);
gotoxy(startx, endy);   putch(192);
gotoxy(endx, starty);   putch(191);
gotoxy(endx, endy);putch(217);
}

void cursoff (void)
{
   union REGS reg;
   reg.h.ah = 1;
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
    reg.h.ch = bios->cursTop | 0x20;
    reg.h.cl = bios->cursBottom;
    int86(0x10, &reg,&reg);
}

void curson (void)
{
    union REGS reg;
    reg.h.ah = 1;
    reg.h.ch = bios->cursTop & 0xdf;
    reg.h.cl = bios->cursBottom;
    int86 (0x10,&reg,&reg);
}
/*####################*/

sound_ma()
{
int select, i;
strcpy(snd[0].name,"0.DAT");
strcpy(snd[1].name,"1.DAT");
strcpy(snd[2].name,"2.DAT");
strcpy(snd[3].name,"3.DAT");
strcpy(snd[4].name,"4.DAT");
strcpy(snd[5].name,"5.DAT");
strcpy(snd[6].name,"6.DAT");
strcpy(snd[7].name,"7.DAT");
strcpy(snd[8].name,"8.DAT");
strcpy(snd[9].name,"9.DAT");
strcpy(snd[10].name,"HELLO.DAT");
strcpy(snd[11].name,"FND.DAT");
strcpy(snd[12].name,"NFND.DAT");
strcpy(snd[13].name,"THNK.DAT");
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
}
process_snd(int select)
{
long lseek();
long ybyte;
char c;
int  fd,i,x;
i = select;
/*setport();*/
if ((fd = open(snd[i].name,O_RDONLY|O_BINARY)) == -1){
fprintf(stderr,"Can't open :snd[%d].name=%s \n",i,snd[i].name);
exit(0);
}
if ((xzend = lseek(fd,0L,2)) == 0L){
fprintf(stderr,"Not data  : \n");
exit(0);
}
if ((xmbegin=farmalloc((long)xzend)) == NULL){
fprintf(stderr,"MEMORY FULL\n");
exit(0);
}
xmstart = (char huge *)xmbegin;
ybyte = 0L;
lseek(fd,0L,0);
do {
if (read(fd,xmstart,MXBUF) <= 0)
break;
xmstart += MXBUF;
ybyte += MXBUF;
} while (ybyte < xzend);
/*close(fd);*/
xmstart = (char huge *)xmbegin;
xstart = xzbegin;
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
xstop = xzend;
/*printf("<<<    START AUTO SOUND  >>>\n");*/
splay();
farfree(xmbegin);
close(fd);
}

set_port()
{
outportb(PORT_8255,DATA_1);  /* PORT_8255 A=in,B=out,Cu=Cl=out */
/* Tic Signal */
outportb(PORT_C,0xc0);  /* Bit 7,6 is HI */
outportb(PORT_C,0x00);  /* Bit 7,6 is LO */
outportb(PORT_8255,DATA_2);  /* PORT_8255 A=in,B=out,Cu=in,Cl=out */
}
splay()
{
char huge *saddr;
int i;
long ybyte;
saddr = (char huge *)xmbegin + xstart;
for (ybyte = xstart; ybyte < xstop; ybyte++) {
outportb(PORT_B,*saddr++);
/*for (i = 0; i < 0x20; i++)*/
sdelay1();
}
}
sdelay ()
{
int i;
for (i=0;i<0x16;i++)
;
}
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
sdelay1()
{
int i;
for (i=0;i<0x14;i++)
;
}

tele_ma() {


/* hold hook switch or hook switch active */
/*outportb(PortC2,HookOn);*/
outportb(PortC2,HandDsOn);
/*posd(13);
printf("Hook switch & DAsw Active \n");*/
putch('\007');

posd(13);
printf("Warning : Time limited = %d sec\n",timeW);
posd(15);
printf("TIMER is running !...\n");
posd(20);
printf("period = %d\n",period);

/*printf("min:sec:hund = %2d:%2d:%2d\n",now.ti_min,now.ti_sec,now.ti_hund
Bk_flg = 0;Cnc1_flg = 0;Cnc2_flg = 0;

/*  START : */

start:
for(i=0;i<=7;i++) {
while((inportb(0x785)&0x80)==0x00){
gettime(&now);
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
posd(18);
printf("TIME :sec :%4d\n",now.ti_sec);
if (now.ti_sec>= timeW){
End_flg = 1;
goto End1;
}
}
while((inportb(0x785)&0x80)==0x80) /* wait for low level */
;

DTMFc1[i] = inportb(0x785)&0x0f;
if (DTMFc1[i]==0x0a) {
DTMFc1[i]=0x00;
}
if (DTMFc1[i]==0x0c) { /* if DTMF tone is "#":CANCEL */
Cnc1_flg = 1;    /* CANCEL FLAG FOR LOOP1 */
goto start;
}
if (DTMFc1[i]==0x0b) { /* if DTMF tone is "*":repeat */
Cnc1_flg = 1;
goto start;
}

}

/*---------------------------------------- */
pass2:

if (Bk_flg == 1)  printf ("Break!,because wait long time\n");
Ok_tone = 0;

/*printf("If you press  '*': OK...  or '#':CANCEL\n");*/
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
/* Wait for '*' OK... tone */

while((inportb(0x785)&0x80)==0x00){
gettime(&now);
if (now.ti_sec >= timeW){
End_flg = 1;
goto End1;
}
}
while((inportb(0x785)&0x80)==0x80) /* wait for low level */
;
Ok_tone = inportb(0x0785)&0x0f;

if (Ok_tone == Oks) {
for (i=0; i<=7; i++){
pid[i] = DTMFc1[i];
}

}
else goto start;
posd(18);
printf("                                    ");
posd(18);
/*printf("Report No_st =");*/
printf("Report Student code =");
for (i=0; i<=7; i++)
printf("%d",pid[i]);
End1:if (End_flg ==1){       /* End_flag part active */
gotoxy(5,5);
posd(18);
printf("End because wait for long time\n");

}
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
cal_dat();
outportb(PortC2,HookOn);
}
cal_dat()
{

int i, x;
for (x=7,i=0; i<=7; x--,i++)
dat_code += pid[i]*pow10(x);
posd(20);
printf("dat_code = %ld\n",dat_code);
}




init_sys()
{
if ((fp = fopen("member.dat","rb")) == NULL) {
printf("error can't read member.dat");
exit(0);
}
fseek(fp, 0L, 2);
f_size = ftell(fp);
Max_Rec = f_size / sizeof (struct RECORD);
/*printf("\nFile size = %ld, Max_Record = %ld \n\n",f_size, Max_Rec);*/
/*for (i=1; i<=Max_Rec; i++) {*/
i = 0;
fseek(fp, 0L, 0);

while (!feof(fp)) {
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
i += 1;
rec = ftell(fp) / sizeof(REC);
/*fseek(fp, sizeof(REC)*rec,0);*/
fread(&REC, sizeof(struct RECORD), 1, fp);
if (!feof(fp)) {
d_REC[i] = atol(REC.ID);
}
}
fclose(fp);
set_port();
}


bin_process (dat_code)
long dat_code;
{
int i;

active = bin_ma(dat_code);
switch (active) {
case  1 :
showFnd();
break;
case  2 :
showNfnd();
break;
}
}


bin_ma(k)
long k;
{
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
                        /* ATOD.H */

#define   DATA_1    0x83    /* CTRL A=in, B=out, Cu=Cl=out */
#define   DATA_2    0x8b    /* CTRL A=in, B=out, Cu=in,Cl=out */
#define   PORT_A    0x0781    /* PORT A in 8255 */
#define   PORT_B    0x0780    /* PORT B in 8255 */
#define   PORT_C    0x0782    /* PORT C in 8255 */
#define   PORT_8255 0x0783    /* PORT CTRL in 8255 */
#define   PORT_ADC  0x0785
#define MXBUF       0x8000
#define MXINX 50
#define MXARR       10
#define MXSARR   20
#define FNDAT"SOUND.DAT"
#define FNINX"SOUND.SNX"
typedef struct {
char name[8];
long nbyte;
long locat;
} STSINX;
typedef struct {
char name[8];
unsigned nbyte;
unsigned narr;
unsigned xbyte;
char *xsarr[MXARR];
} STSMINX;
extern unsigned xmxarr,xmxbuf;
extern unsigned ymxarr,ymxbuf;
extern char *xbufarr[MXARR];
extern char *fndat;
extern char *fninx;
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
/* TELE.H */

#define Active 0x00
#define Pasive 0xff
#define HookOn  0x7f
#define DAswOn  0x4f
#define HandDsOn  0x3f
#define PortC2  0x786
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
                    /* BIOSAREA.H */

#ifndef byte
#define byte    unsigned char   /* define byte as a type */
#endif

/* BIT FIELDS USED IN ROM BIOS DATA AREA */
typedef struct {
    unsigned hasFloppies    : 1,        /* 1 = system has floppy drives */
             nu1            : 1,                          /* not used */
             mbRAM          : 2,    /* motherboard RAM size (obsolete) */
             initVideo      : 2,              /* initial video mode */
             nDisks         : 2,           /* nbr of floppy drives */
             nu8            : 1,                          /* not used */
             nSerialPorts   : 3,      /* nbr of serial ports attached */
             gamPort        : 1,         /* 1 = game port attached */
             nu13           : 1,                          /* not used */
             nLPT           : 2;              /* number of printers */
}   EQFLAGS;                  /* this is the equipment flags structure */

typedef struct {
   unsigned riteShiftDown   : 1,          /* 1 = right shift key down */
            leftShiftDown   : 1,          /* 1 = left shift key down */
            ctrlShiftDown   : 1,       /* 1 = ctrl-shift combo down */
            altShiftDown    : 1,        /* 1 = alt-shift combo down */
            scrollLockOn    : 1,         /* 1 = scroll lock mode on */
            numLockOn       : 1,          /* 1 = num lock mode on */
            capsLockOn      : 1,        /* 1 = caps lock mode on */
            insOn           : 1,                    /* ins key down */
            unused          : 3,                    /* spare bits */
            ctrlNumLockOn   : 1,     /* 1 = ctrl-NumLock mode on */
            scrollLockDown  : 1,     /* 1 = scroll lock key down */
            numLockDown     : 1,        /* 1 = num lock key down */
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
        capsLockDown    : 1,                /* 1 = caps lock key down */
        insDown         : 1;                /* 1 = ins key down */
} KBDFLAGS;                         /* this is the keyboard flags structure */

typedef struct {
    unsigned    serialPortAddr[4];
    unsigned    parallelPortAddr[4];
    EQFLAGS     eqpLFlags;
    byte        mfgrTestFlags;
    unsigned    mainMem;
    unsigned    expRAM;
    KBDFLAGS    kbdStat;
    byte        keypad;
    unsigned    kbdBuffHead;
    unsigned    kbdBuffTail;
    char        kbdBuff[32];
    byte        seekStat;
    byte        motorStat;
    byte        motorCnt;
    byte        diskErr;
    byte        NECStatus[7];
    byte        videoMode;
    unsigned    scrnWidth;
    unsigned    vidBuffSz;
    unsigned    vidBuffOfs;
    byte        cursPos[8][2];
    byte        cursBottom;
    byte        cursTop;
    byte        activeDispPage;
    unsigned    activeDispPort;
    byte        CRTModeReg;
    byte        palette;
    unsigned    dataEdgeTimeCount;
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
    unsigned    CRCReg;
    char        lastInputValue;
    unsigned    tick;
    int         hour;
    byte        timerOverflow;
    byte        brkStat;
    unsigned    resetFlag;
    long        hardDiskStat;
    byte        parallelTimeout [4];
    byte        serialTimeout[4];
    unsigned    kbdBuffOfs;
    unsigned    kbdBuffEnd;
} BIOSDATA;
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

National Semiconductor Corporation

ADC0801, ADC0802, ADC0803, ADC0804, ADC0805 8-Bit μP Compatible A/D Converters

General Description

The ADC0801, ADC0802, ADC0803, ADC0804 and ADC0805 are CMOS 8-bit successive approximation A/D converters that use a differential potentiometric ladder—similar to the 256R products. These converters are designed to allow operation with the NSC800 and INS8080A derivative control bus with TRI-STATE® output latches directly driving the data bus. These A/Ds appear like memory locations or I/O ports to the microprocessor and no interfacing logic is needed.

Differential analog voltage inputs allow increasing the common-mode rejection and offsetting the analog zero input voltage value. In addition, the voltage reference input can be adjusted to allow encoding any smaller analog voltage span to the full 8 bits of resolution.

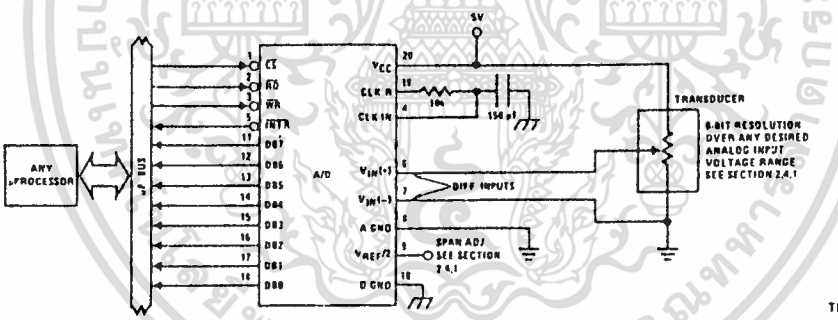
Features

- Compatible with 8080 μP derivatives—no interfacing logic needed - access time - 135 ns
- Easy interface to all microprocessors, or 'operates "stand alone"
- Differential analog voltage inputs
- Logic inputs and outputs meet both MOS and TTL voltage level specifications
- Works with 2.5V (LM336) voltage reference
- On-chip clock generator
- 0V to 5V analog input voltage range with single 5V supply
- No zero adjust required
- 0.3" standard width 20-pin DIP package
- 20-pin molded chip carrier or small outline package
- Operates ratiometrically or with 5 V_{DC}, 2.5 V_{DC}, or analog span adjusted voltage reference

Key Specifications

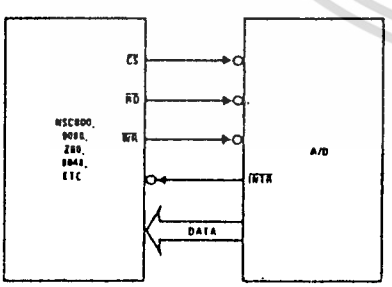
- Resolution: 8 bits
- Total error: ± ¼ LSB, ± ½ LSB and ± 1 LSB
- Conversion time: 100 μs

Typical Applications



TL/H/5671–1

8080 Interface



TL/H/5671–31

Part Number	Error Specification (Includes Full-Scale, Zero Error, and Non-Linearity) Full-Scale Adjusted	$V_{REF}/2 = 2.500\ V_{DC}$ (No Adjustments)	$V_{REF}/2$ = No Connection (No Adjustments)
ADC0801	± ¼ LSB		
ADC0802		± ½ LSB	
ADC0803	± ½ LSB		
ADC0804		± 1 LSB	
ADC0805			± 1 LSB

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Absolute Maximum Ratings (Notes 1 & 2)

If Military/Aerospace specified devices are required, contact the National Semiconductor Sales Office/ Distributors for availability and specifications.

Supply Voltage (V_{CC}) (Note 3)	6.5V
Voltage	
Logic Control Inputs	−0.3V to +18V
At Other Input and Outputs	−0.3V to (V_{CC} + 0.3V)
Lead Temp. (Soldering, 10 seconds)	
Dual-In-Line Package (plastic)	260°C
Dual-In-Line Package (ceramic)	300°C
Surface Mount Package	
Vapor Phase (60 seconds)	215°C
Infrared (15 seconds)	220°C
Storage Temperature Range	−65°C to +150°C
Package Dissipation at T_A = 25°C	875 mW
ESD Susceptibility (Note 10)	800V

Operating Ratings (Notes 1 & 2)

Temperature Range	$T_{MIN} \le T_A \le T_{MAX}$
ADC0801/02LJ	$-55°C \le T_A \le +125°C$
ADC0801/02/03/04LCJ	$-40°C \le T_A \le +85°C$
ADC0801/02/03/05LCN	$-40°C \le T_A \le +85°C$
ADC0804LCN	$0°C \le T_A \le +70°C$
ADC0802/03/04LCV	$0°C \le T_A \le +70°C$
ADC0802/03/04LCWM	$0°C \le T_A \le +70°C$
Range of V_{CC}	4.5 V_{DC} to 6.3 V_{DC}

Electrical Characteristics

The following specifications apply for V_{CC} = 5 V_{DC}. $T_{MIN} \le T_A \le T_{MAX}$ and f_{CLK} = 640 kHz unless otherwise specified.

Parameter	Conditions	Min	Typ	Max	Units
ADC0801: Total Adjusted Error (Note 8)	With Full-Scale Adj. (See Section 2.5.2)			±¼	LSB
ADC0802: Total Unadjusted Error (Note 8)	$V_{REF}/2$ = 2.500 V_{DC}			±½	LSB
ADC0803: Total Adjusted Error (Note 8)	With Full-Scale Adj. (See Section 2.5.2)			±½	LSB
ADC0804: Total Unadjusted Error (Note 8)	$V_{REF}/2$ = 2.500 V_{DC}			±1	LSB
ADC0805: Total Unadjusted Error (Note 8)	$V_{REF}/2$-No Connection			±1	LSB
$V_{REF}/2$ Input Resistance (Pin 9)	ADC0801/02/03/05 ADC0804 (Note 9)	2.5 0.75	8.0 1.1		kΩ kΩ
Analog Input Voltage Range	(Note 4) V(+) or V(−)	Gnd−0.05		V_{CC} + 0.05	V_{DC}
DC Common-Mode Error	Over Analog Input Voltage Range		±1/16	±⅛	LSB
Power Supply Sensitivity	V_{CC} = 5 V_{DC} ±10% Over Allowed V_{IN}(+) and V_{IN}(−) Voltage Range (Note 4)		±1/16	±⅛	LSB

AC Electrical Characteristics

The following specifications apply for V_{CC} = 5 V_{DC} and T_A = 25°C unless otherwise specified.

Symbol	Parameter	Conditions	Min	Typ	Max	Units
T_C	Conversion Time	f_{CLK} = 640 kHz (Note 6)	103		114	μs
T_C	Conversion Time	(Note 5, 6)	66		73	$1/f_{CLK}$
f_{CLK}	Clock Frequency Clock Duty Cycle	V_{CC} = 5V, (Note 5) (Note 5)	100 40	640	1460 60	kHz %
CR	Conversion Rate in Free-Running Mode	$\overline{INTR}$ tied to $\overline{WR}$ with $\overline{CS}$ = 0 V_{DC}, f_{CLK} = 640 kHz	8770		9708	conv/s
$t_{W(\overline{WR})L}$	Width of $\overline{WR}$ Input (Start Pulse Width)	$\overline{CS}$ = 0 V_{DC} (Note 7)	100			ns
t_{ACC}	Access Time (Delay from Falling Edge of $\overline{RD}$ to Output Data Valid)	C_L = 100 pF		135	200	ns
t_{1H}, t_{0H}	TRI-STATE Control (Delay from Rising Edge of $\overline{RD}$ to Hi-Z State)	C_L = 10 pF, R_L = 10k (See TRI-STATE Test Circuits)		125	200	ns
t_{WI}, t_{RI}	Delay from Falling Edge of $\overline{WR}$ or $\overline{RD}$ to Reset of $\overline{INTR}$			300	450	ns
C_{IN}	Input Capacitance of Logic Control Inputs			5	7.5	pF
C_{OUT}	TRI-STATE Output Capacitance (Data Buffers)			5	7.5	pF
CONTROL INPUTS (Note: CLK IN (Pin 4) is the input of a Schmitt trigger circuit and is therefore specified separately)						
V_{IN} (1)	Logical "1" Input Voltage (Except Pin 4 CLK IN)	V_{CC} = 5.25 V_{DC}	2.0		15	V_{DC}

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

AC Electrical Characteristics (Continued)

The following specifications apply for $V_{CC} = 5V_{DC}$ and $T_{MIN} \leq T_A \leq T_{MAX}$, unless otherwise specified.

Symbol	Parameter	Conditions	Min	Typ	Max	Units
CONTROL INPUTS [Note: CLK IN (Pin 4) is the input of a Schmitt trigger circuit and is therefore specified separately]						
$V_{IN}(0)$	Logical "0" Input Voltage (Except Pin 4 CLK IN)	$V_{CC} = 4.75\ V_{DC}$			0.8	V_{DC}
$I_{IN}(1)$	Logical "1" Input Current (All Inputs)	$V_{IN} = 5\ V_{DC}$		0.005	1	μA_{DC}
$I_{IN}(0)$	Logical "0" Input Current (All Inputs)	$V_{IN} = 0\ V_{DC}$	−1	−0.005		μA_{DC}
CLOCK IN AND CLOCK R						
V_T+	CLK IN (Pin 4) Positive Going Threshold Voltage		2.7	3.1	3.5	V_{DC}
V_T-	CLK IN (Pin 4) Negative Going Threshold Voltage		1.5	1.8	2.1	V_{DC}
V_H	CLK IN (Pin 4) Hysteresis $(V_T+)-(V_T-)$		0.6	1.3	2.0	V_{DC}
$V_{OUT}(0)$	Logical "0" CLK R Output Voltage	$I_O = 360\ \mu A$ $V_{CC} = 4.75\ V_{DC}$			0.4	V_{DC}
$V_{OUT}(1)$	Logical "1" CLK R Output Voltage	$I_O = -360\ \mu A$ $V_{CC} = 4.75\ V_{DC}$	2.4			V_{DC}
DATA OUTPUTS AND $\overline{INTR}$						
$V_{OUT}(0)$	Logical "0" Output Voltage Data Outputs $\overline{INTR}$ Output	 $I_{OUT} = 1.6\ mA$, $V_{CC} = 4.75\ V_{DC}$ $I_{OUT} = 1.0\ mA$, $V_{CC} = 4.75\ V_{DC}$			 0.4 0.4	 V_{DC} V_{DC}
$V_{OUT}(1)$	Logical "1" Output Voltage	$I_O = -360\ \mu A$, $V_{CC} = 4.75\ V_{DC}$	2.4			V_{DC}
$V_{OUT}(1)$	Logical "1" Output Voltage	$I_O = -10\ \mu A$, $V_{CC} = 4.75\ V_{DC}$	4.5			V_{DC}
I_{OUT}	TRI-STATE Disabled Output Leakage (All Data Buffers)	$V_{OUT} = 0\ V_{DC}$ $V_{OUT} = 5\ V_{DC}$	−3		 3	μA_{DC} μA_{DC}
I_{SOURCE}		V_{OUT} Short to Gnd, $T_A = 25°C$	4.5	6		mA_{DC}
I_{SINK}		V_{OUT} Short to V_{CC}, $T_A = 25°C$	9.0	16		mA_{DC}
POWER SUPPLY						
I_{CC}	Supply Current (Includes Ladder Current) ADC0801/02/03/04LCJ/05 ADC0804LCN/LCV/LCWM	$f_{CLK} = 640\ kHz$, $V_{REF}/2 = NC$, $T_A = 25°C$ and $\overline{CS} = 5V$		 1.1 1.9	 1.8 2.5	 mA mA

Note 1: Absolute Maximum Ratings indicate limits beyond which damage to the device may occur. DC and AC electrical specifications do not apply when operating the device beyond its specified operating conditions.

Note 2: All voltages are measured with respect to Gnd, unless otherwise specified. The separate A Gnd point should always be wired to the D Gnd.

Note 3: A zener diode exists, internally, from V_{CC} to Gnd and has a typical breakdown voltage of 7 V_{DC}.

Note 4: For $V_{IN}(-) \geq V_{IN}(+)$ the digital output code will be 0000 0000. Two on-chip diodes are tied to each analog input (see block diagram) which will forward conduct for analog input voltages one diode drop below ground or one diode drop greater than the V_{CC} supply. Be careful, during testing at low V_{CC} levels (4.5V), as high level analog inputs (5V) can cause this input diode to conduct—especially at elevated temperatures, and cause errors for analog inputs near full-scale. The spec allows 50 mV forward bias of either diode. This means that as long as the analog V_{IN} does not exceed the supply voltage by more than 50 mV, the output code will be correct. To achieve an absolute 0 V_{DC} to 5 V_{DC} input voltage range will therefore require a minimum supply voltage of 4.950 V_{DC} over temperature variations, initial tolerance and loading.

Note 5: Accuracy is guaranteed at $f_{CLK} = 640$ kHz. At higher clock frequencies accuracy can degrade. For lower clock frequencies, the duty cycle limits can be extended so long as the minimum clock high time interval or minimum clock low time interval is no less than 275 ns.

Note 6: With an asynchronous start pulse, up to 8 clock periods may be required before the internal clock phases are proper to start the conversion process. The start request is internally latched, see *Figure 2* and section 2.0.

Note 7: The $\overline{CS}$ input is assumed to bracket the $\overline{WR}$ strobe input and therefore timing is dependent on the $\overline{WR}$ pulse width. An arbitrarily wide pulse width will hold the converter in a reset mode and the start of conversion is initiated by the low to high transition of the $\overline{WR}$ pulse (see timing diagrams).

Note 8: None of these A/Ds requires a zero adjust (see section 2.5.1). To obtain zero code at other analog input voltages see section 2.5 and *Figure 5*.

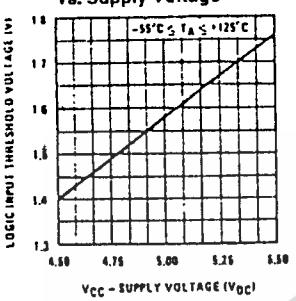
Note 9: The $V_{REF}/2$ pin is the center point of a two resistor divider connected from V_{CC} to ground. Each resistor is 2.2k, except for the ADC0804LCJ where each resistor is 16k. Total ladder input resistance is the sum of the two equal resistors.

Note 10: Human body model, 100 pF discharged through a 1.5 kΩ resistor.

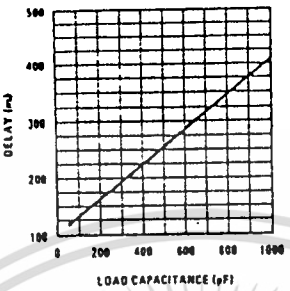
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Performance Characteristics

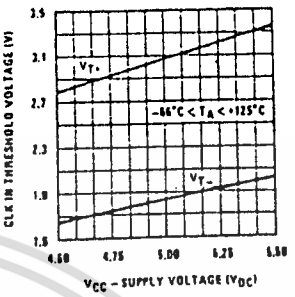
Logic Input Threshold Voltage vs. Supply Voltage



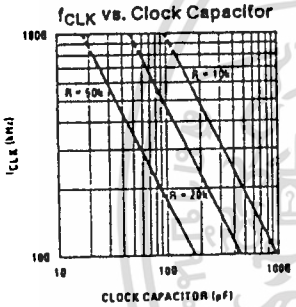
Delay From Falling Edge of $\overline{RD}$ to Output Data Valid vs. Load Capacitance



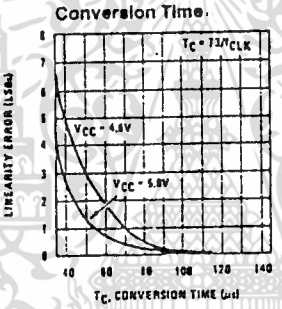
CLK IN Schmitt Trip Levels vs. Supply Voltage



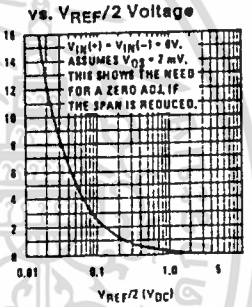
f_{CLK} vs. Clock Capacitor



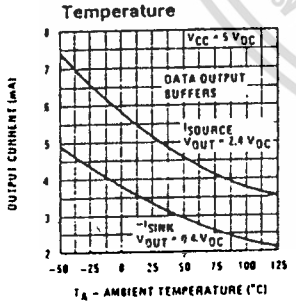
Full-Scale Error vs Conversion Time



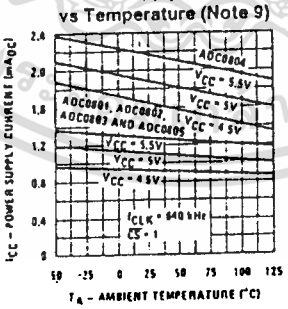
Effect of Unadjusted Offset Error vs. $V_{REF}/2$ Voltage



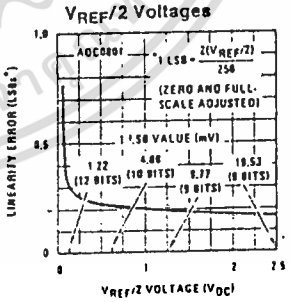
Output Current vs Temperature



Power Supply Current vs Temperature (Note 9)



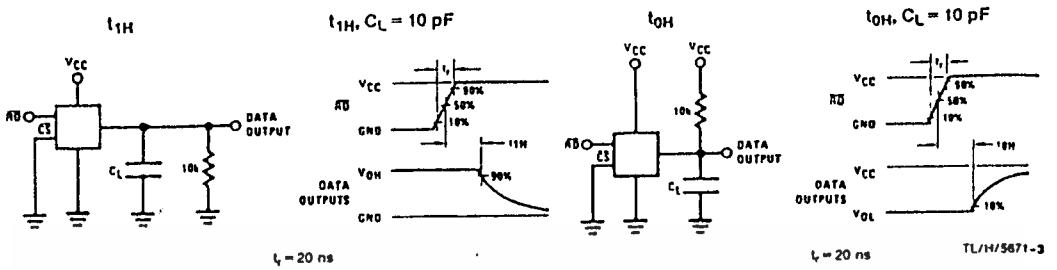
Linearity Error at Low $V_{REF}/2$ Voltages



TL/H/5671–2

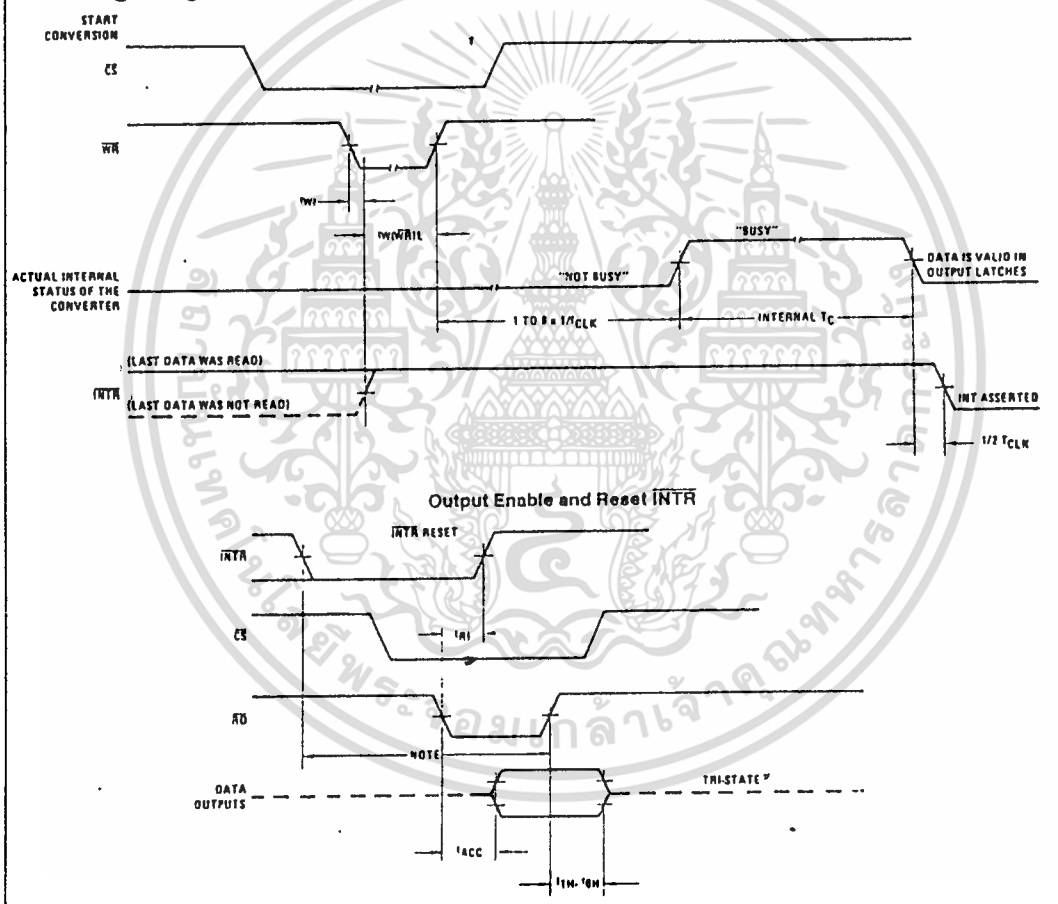
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TRI-STATE Test Circuits and Waveforms



TL/H/5671-3

Timing Diagrams (All timing is measured from the 50% voltage points)



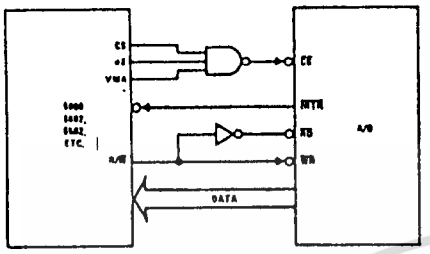
TL/H/5671-4

Note: Read strobe must occur 8 clock periods ($8/f_{CLK}$) after assertion of interrupt to guarantee reset of $\overline{INTR}$.

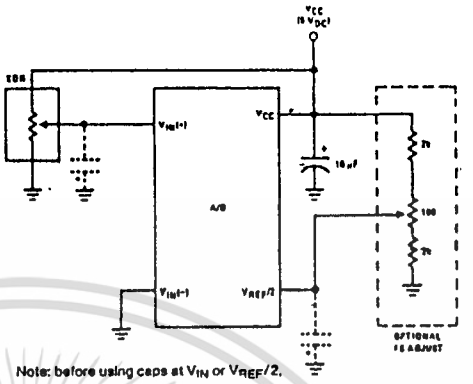
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Applications (Continued)

6800 Interface

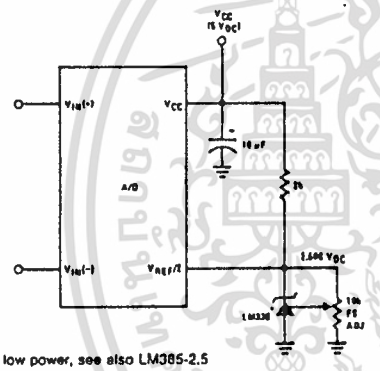


Ratiometric with Full-Scale Adjust



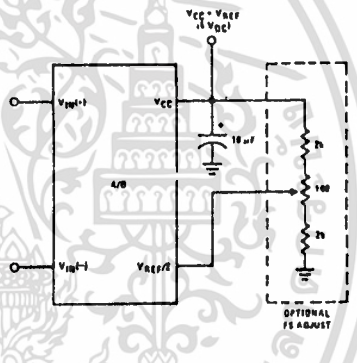
Note: before using caps at V_{IN} or $V_{REF}/2$, see section 2.3.2 Input Bypass Capacitors.

Absolute with a 2.500V Reference

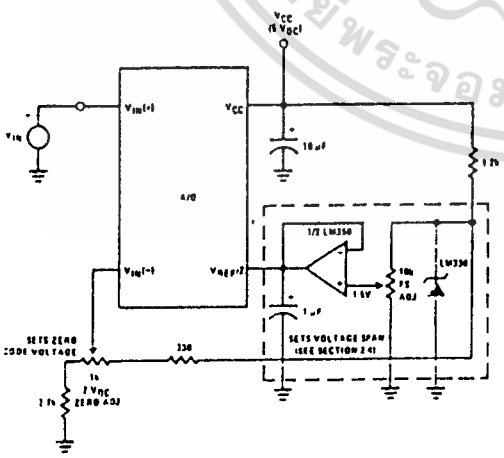


*For low power, see also LM385-2.5

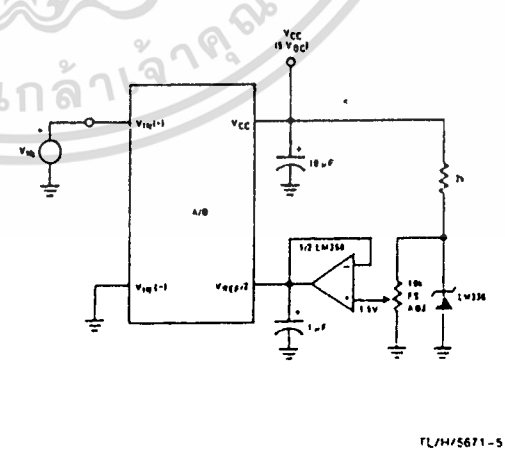
Absolute with a 5V Reference



Zero-Shift and Span Adjust: $2V \leq V_{IN} \leq 5V$



Span Adjust: $0V \leq V_{IN} \leq 3V$

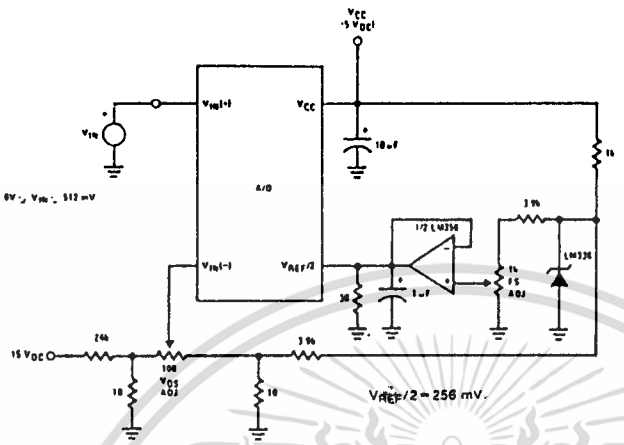


TL/H/5671–5

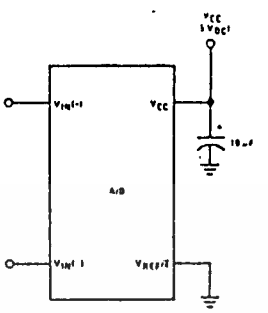
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Applications (Continued)

Directly Converting a Low-Level Signal



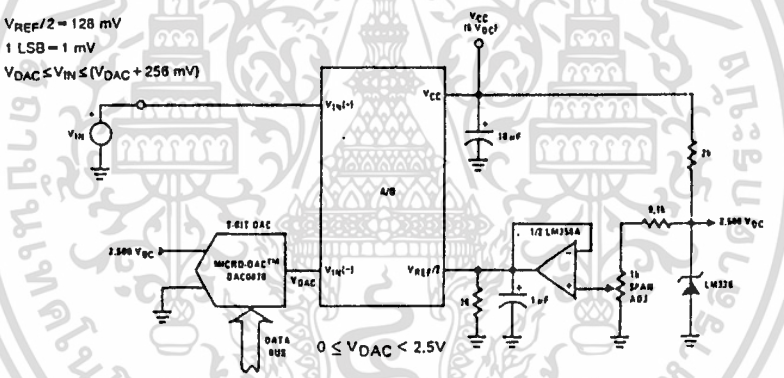
A µP Interfaced Comparator



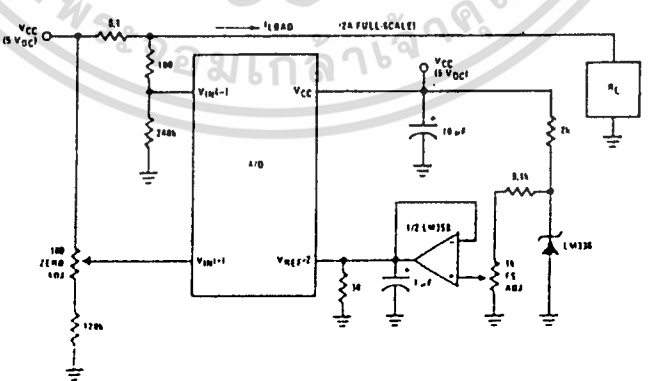
For: $V_{IN}(+) > V_{IN}(-)$
Output = FF_{HEX}
For: $V_{IN}(+) < V_{IN}(-)$
Output = 00_{HEX}

1 mV Resolution with µP Controlled Range

$V_{REF}/2$ = 128 mV
1 LSB = 1 mV
$V_{DAC} \leq V_{IN} \leq (V_{DAC} + 256\ mV)$



Digitizing a Current Flow

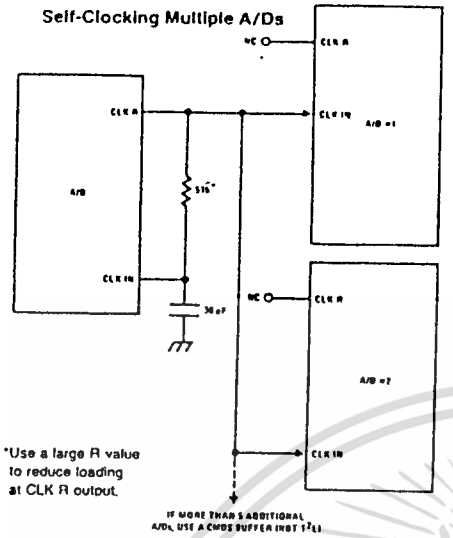


TL/H/5871-6

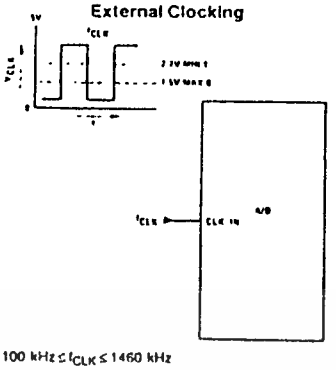
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Applications (Continued)

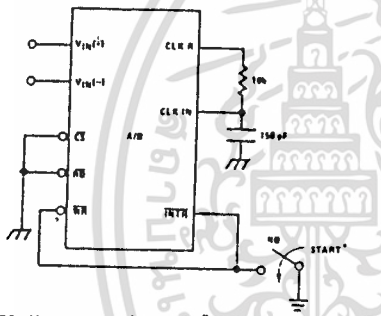
Self-Clocking Multiple A/Ds



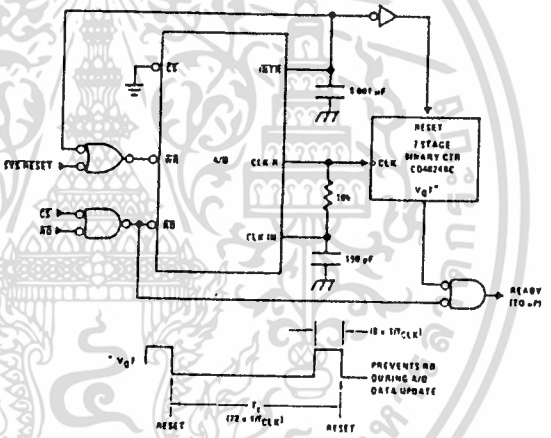
External Clocking



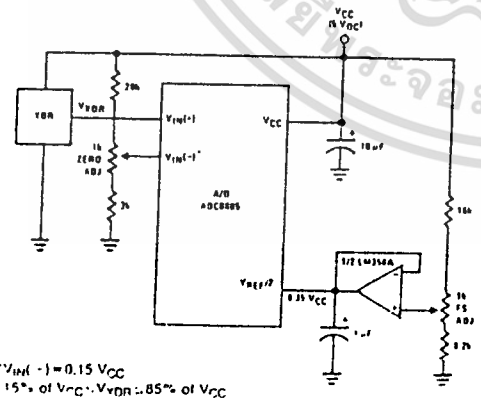
Self-Clocking in Free-Running Mode



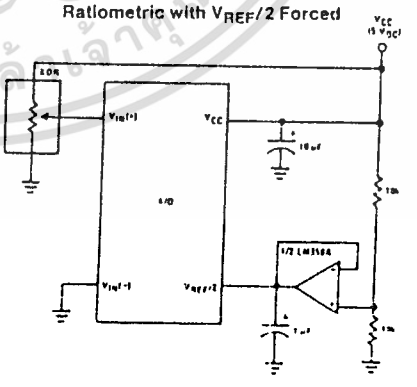
µP Interface for Free-Running A/D



Operating with "Automotive" Ratiometric Transducers



Ratiometric with $V_{REF}/2$ Forced

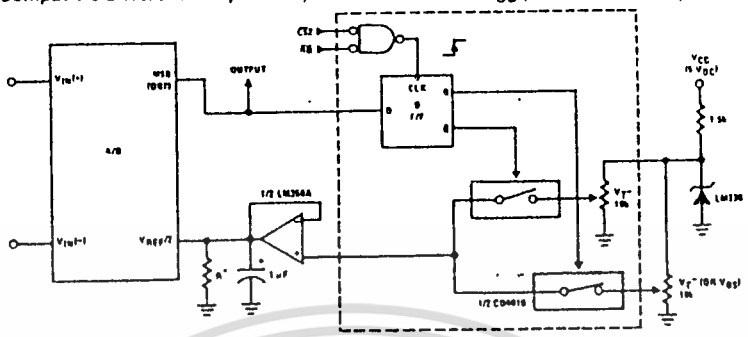


TL/H/5671–7

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Applications (Continued)

μP Compatible Differential-Input Comparator with Pre-Set V_{OS} (with or without Hysteresis)

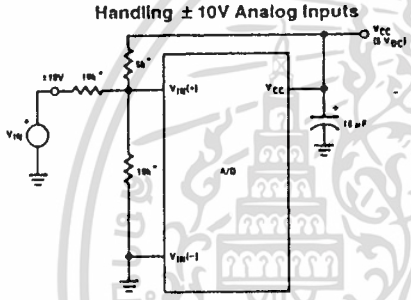


*See *Figure 5* to select R value

DB7 = "1" for $V_{IN}(+) > V_{IN}(-) + (V_{REF}/2)$

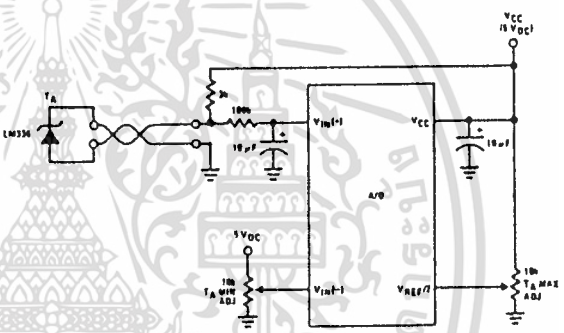
Omit circuitry within the dotted area if hysteresis is not needed

Handling ± 10V Analog Inputs

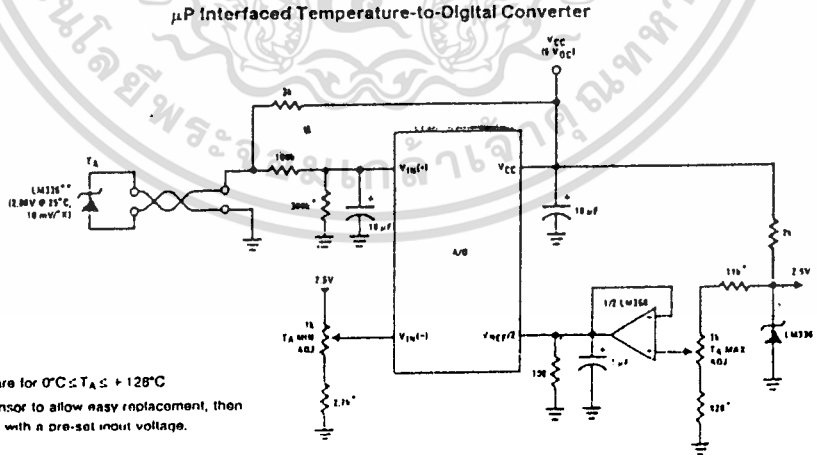


*Beckman Instruments #694-3-R10K resistor array

Low-Cost, μP Interfaced, Temperature-to-Digital Converter



μP Interfaced Temperature-to-Digital Converter



*Circuit values shown are for $0°C \leq T_A \leq +128°C$

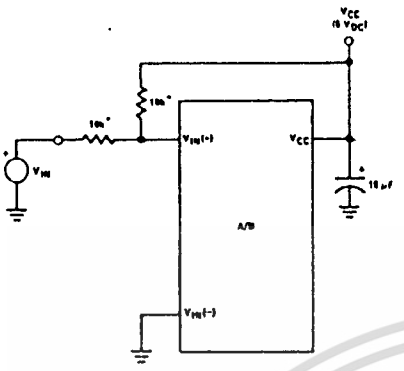
**Can calibrate each sensor to allow easy replacement, then A/D can be calibrated with a pre-set input voltage.

TL/H/5671–8

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Applications (Continued)

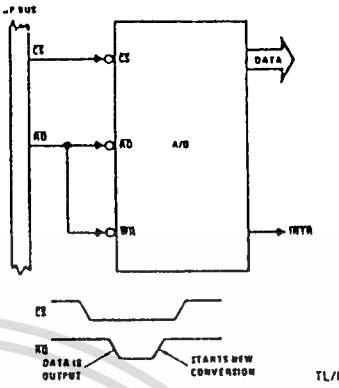
Handling ± 5V Analog Inputs



TL/H/5671–33

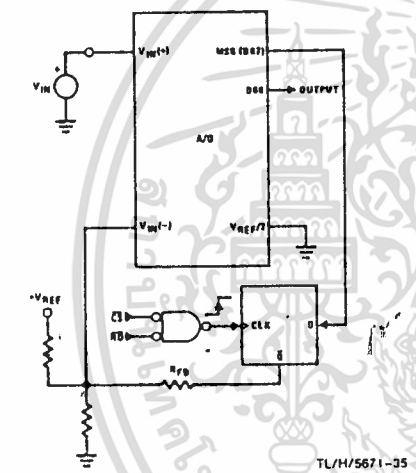
*Beckman Instruments #694-3-R10K resistor array

Read-Only Interface



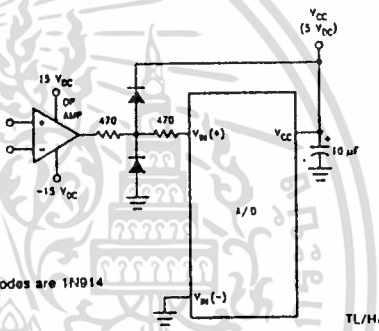
TL/H/5671–34

µP Interfaced Comparator with Hysteresis



TL/H/5671–35

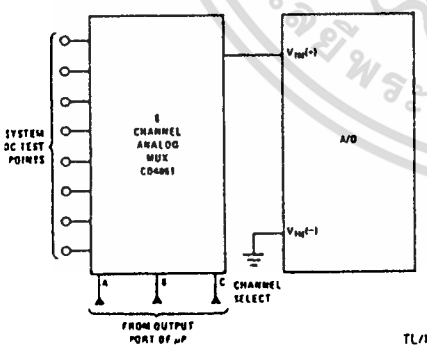
Protecting the Input



Diodes are 1N914

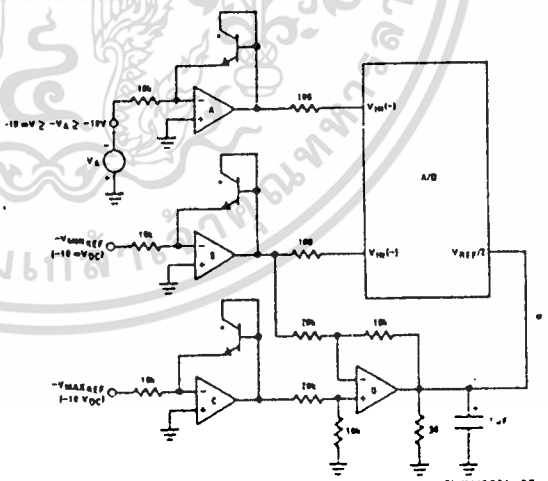
TL/H/5671–9

Analog Self-Test for a System



TL/H/5671–36

A Low-Cost, 3-Decade Logarithmic Converter



TL/H/5671–37

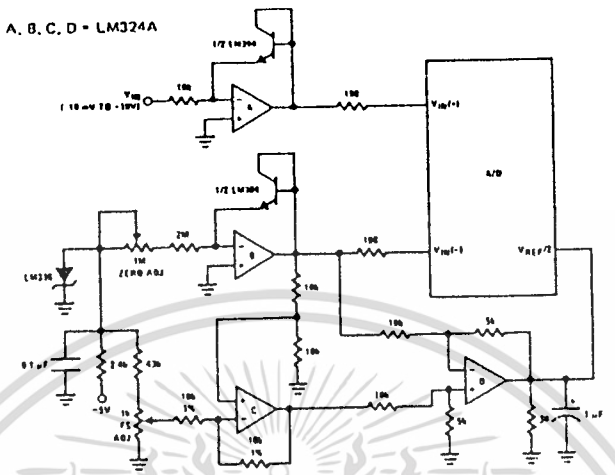
*LM389 transistors

A, B, C, D = LM324A quad op amp

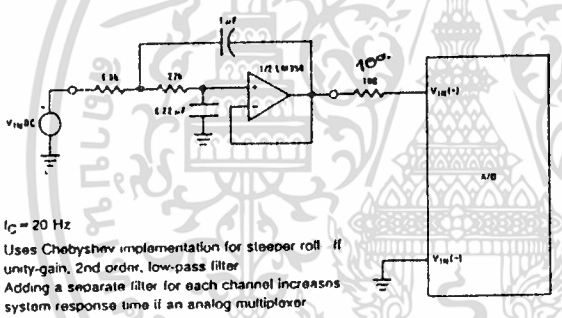
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Applications (Continued)

3-Decade Logarithmic A/D Converter

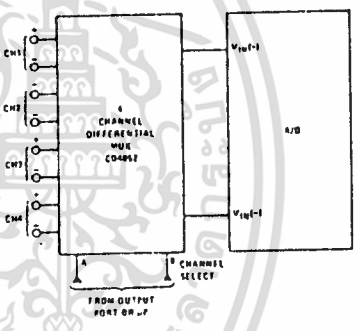


Noise Filtering the Analog Input

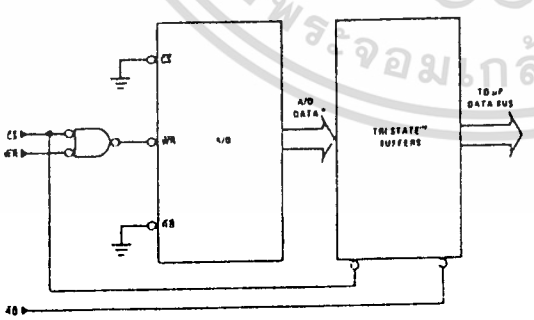


f_C = 20 Hz
Uses Chebyshev implementation for steeper roll off
unity-gain, 2nd order, low-pass filter
Adding a separate filter for each channel increases system response time if an analog multiplexer is used

Multiplexing Differential Inputs

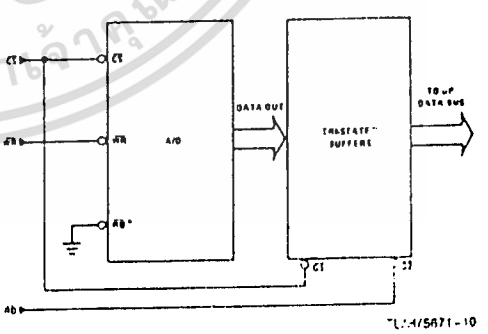


Output Buffers with A/D Data Enabled



*A/D output data is updated 1 CLK period prior to assertion of $\overline{INTR}$

Increasing Bus Drive and/or Reducing Time on Bus



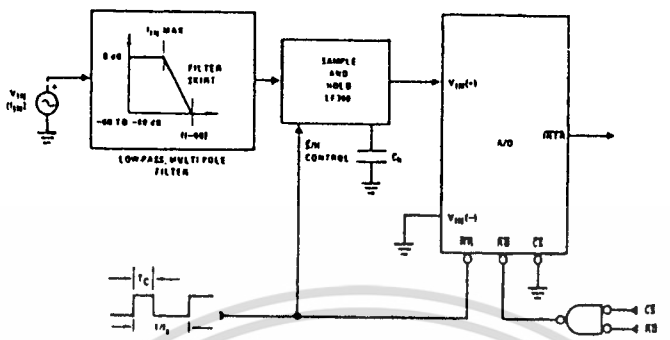
*Allows output data to set-up at falling edge of $\overline{CS}$

TL/H/5671-10

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Applications (Continued)

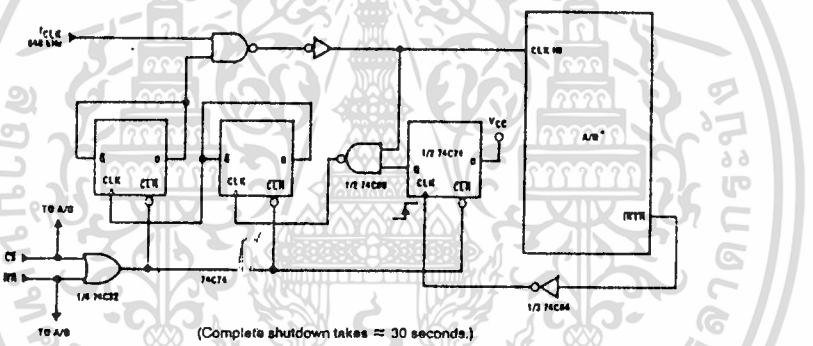
Sampling an AC Input Signal



Note 1: Oversample whenever possible [keep $f_S > 2(f - 60)$] to eliminate input frequency folding (aliasing) and to allow for the skirt response of the filter.

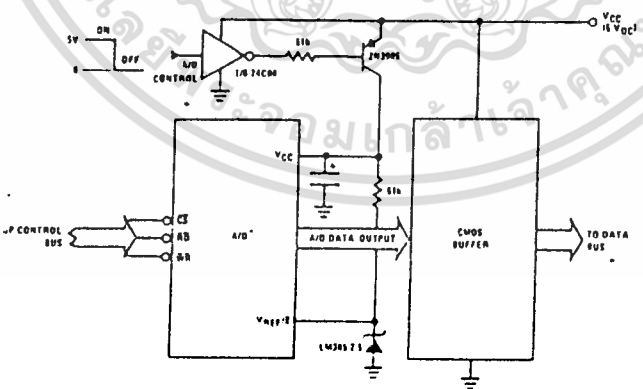
Note 2: Consider the amplitude errors which are introduced within the passband of the filter.

70% Power Savings by Clock Gating



(Complete shutdown takes ≈ 30 seconds.)

Power Savings by A/D and V_{REF} Shutdown



TL/H/5671–11

*Use ADC0801, 02, 03 or 05 for lowest power consumption.

Note: Logic inputs can be driven to V_{CC} with A/D supply at zero volts.

Buffer prevents data bus from overdriving output of A/D when in shutdown mode.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Functional Description

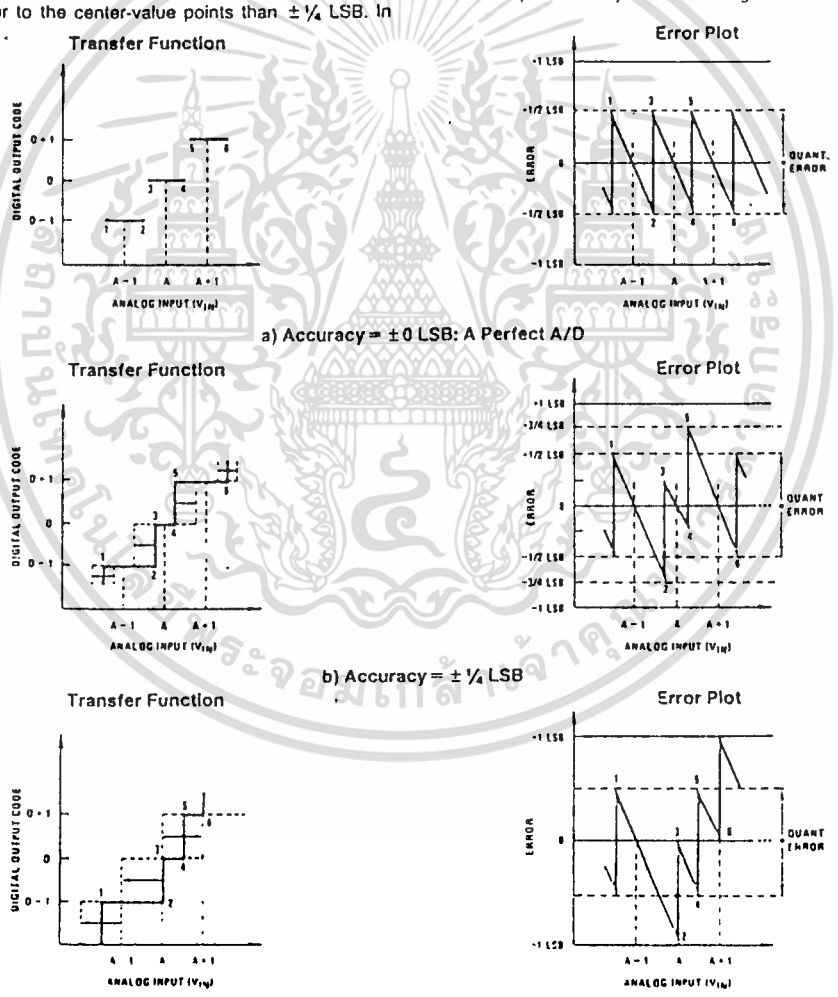
1.0 UNDERSTANDING A/D ERROR SPECS

A perfect A/D transfer characteristic (staircase waveform) is shown in *Figure 1a*. The horizontal scale is analog input voltage and the particular points labeled are in steps of 1 LSB (19.53 mV with 2.5V tied to the $V_{REF}/2$ pin). The digital output codes that correspond to these inputs are shown as D − 1, D, and D + 1. For the perfect A/D, not only will center-value (A − 1, A, A + 1, ...) analog inputs produce the correct output ditigal codes, but also each riser (the transitions between adjacent output codes) will be located ± ½ LSB away from each center-value. As shown, the risers are ideal and have no width. Correct digital output codes will be provided for a range of analog input voltages that extend ± ½ LSB from the ideal center-values. Each tread (the range of analog input voltage that provides the same digital output code) is therefore 1 LSB wide.

Figure 1b shows a worst case error plot for the ADC0801. All center-valued inputs are guaranteed to produce the correct output codes and the adjacent risers are guaranteed to be no closer to the center-value points than ± ¼ LSB. In other words, if we apply an analog input equal to the center-value ± ¼ LSB, *we guarantee* that the A/D will produce the correct digital code. The maximum range of the position of the code transition is indicated by the horizontal arrow and it is guaranteed to be no more than ½ LSB.

The error curve of *Figure 1c* shows a worst case error plot for the ADC0802. Here we guarantee that if we apply an analog input equal to the LSB analog voltage center-value the A/D will produce the correct digital code.

Next to each transfer function is shown the corresponding error plot. Many people may be more familiar with error plots than transfer functions. The analog input voltage to the A/D is provided by either a linear ramp or by the discrete output steps of a high resolution DAC. Notice that the error is continuously displayed and includes the quantization uncertainty of the A/D. For example the error at point 1 of *Figure 1a* is + ½ LSB because the digital code appeared ½ LSB in advance of the center-value of the tread. The error plots always have a constant negative slope and the abrupt upside steps are always 1 LSB in magnitude.



TL/H/5671-12

FIGURE 1. Clarifying the Error Specs of an A/D Converter

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Functional Description (Continued)

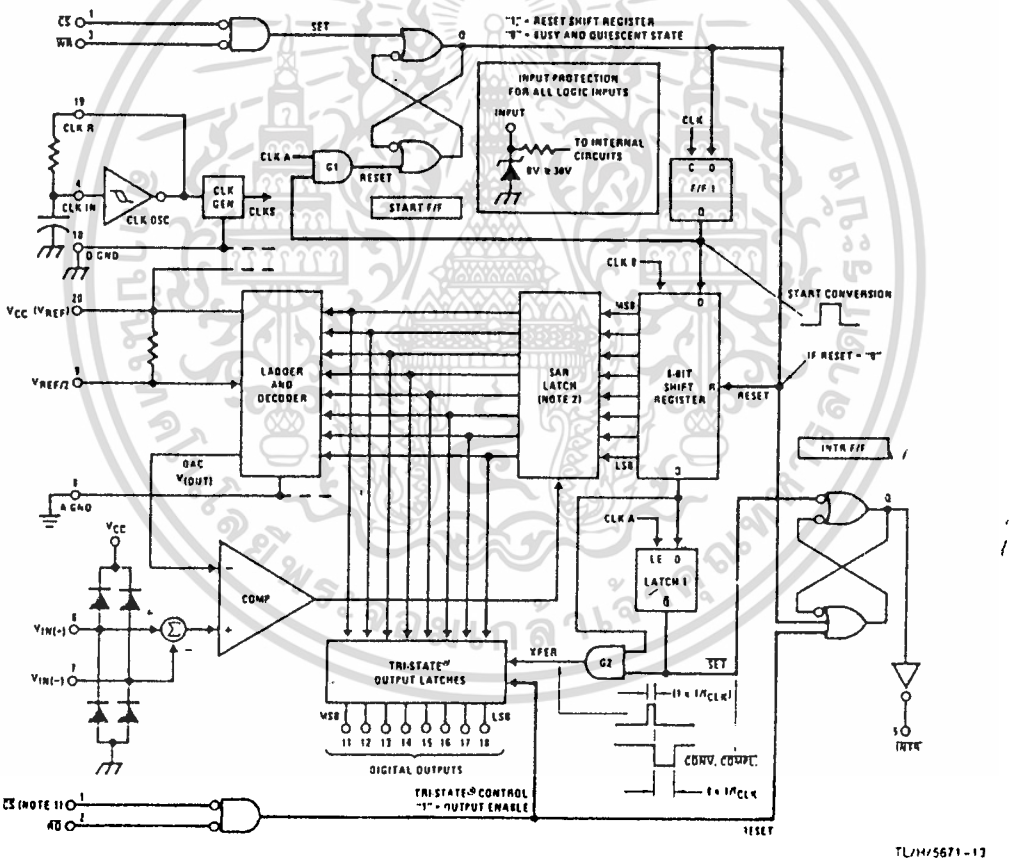
2.0 FUNCTIONAL DESCRIPTION

The ADC0801 series contains a circuit equivalent of the 256R network. Analog switches are sequenced by successive approximation logic to match the analog difference input voltage $[V_{IN}(+) - V_{IN}(-)]$ to a corresponding tap on the R network. The most significant bit is tested first and after 8 comparisons (64 clock cycles) a digital 8-bit binary code (1111 1111 = full-scale) is transferred to an output latch and then an interrupt is asserted ($\overline{INTR}$ makes a high-to-low transition). A conversion in process can be interrupted by issuing a second start command. The device may be operated in the free-running mode by connecting $\overline{INTR}$ to the $\overline{WR}$ input with $\overline{CS} = 0$. To ensure start-up under all possible conditions, an external $\overline{WR}$ pulse is required during the first power-up cycle.

On the high-to-low transition of the $\overline{WR}$ input the internal SAR latches and the shift register stages are reset. As long as the $\overline{CS}$ input and $\overline{WR}$ input remain low, the A/D will remain in a reset state. *Conversion will start from 1 to 8 clock periods after at least one of these inputs makes a low-to-high transition.*

A functional diagram of the A/D converter is shown in *Figure 2*. All of the package pinouts are shown and the major logic control paths are drawn in heavier weight lines.

The converter is started by having $\overline{CS}$ and $\overline{WR}$ simultaneously low. This sets the start flip-flop (F/F) and the resulting "1" level resets the 8-bit shift register, resets the Interrupt (INTR) F/F and inputs a "1" to the D flop, F/F1, which is at the input end of the 8-bit shift register. Internal clock signals then transfer this "1" to the Q output of F/F1. The AND gate, G1, combines this "1" output with a clock signal to provide a reset signal to the start F/F. If the set signal is no longer present (either $\overline{WR}$ or $\overline{CS}$ is a "1") the start F/F is reset and the 8-bit shift register then can have the "1" clocked in, which starts the conversion process. If the set signal were to still be present, this reset pulse would have no effect (both outputs of the start F/F would momentarily be at a "1" level) and the 8-bit shift register would continue to be held in the reset mode. This logic therefore allows for wide $\overline{CS}$ and $\overline{WR}$ signals and the converter will start after at least one of these signals returns high and the internal clocks again provide a reset signal for the start F/F.



Note 1: $\overline{CS}$ shown twice for clarity.

Note 2: SAR = Successive Approximation Register.

FIGURE 2. Block Diagram

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Functional Description (Continued)

After the "1" is clocked through the 8-bit shift register (which completes the SAR search) it appears as the input to the D-type latch, LATCH 1. As soon as this "1" is output from the shift register, the AND gate, G2, causes the new digital word to transfer to the TRI-STATE output latches. When LATCH 1 is subsequently enabled, the Q output makes a high-to-low transition which causes the INTR F/F to set. An inverting buffer then supplies the $\overline{INTR}$ input signal.

Note that this $\overline{SET}$ control of the INTR F/F remains low for 8 of the external clock periods (as the internal clocks run at 1/8 of the frequency of the external clock). If the data output is continuously enabled ($\overline{CS}$ and $\overline{RD}$ both held low), the $\overline{INTR}$ output will still signal the end of conversion (by a high-to-low transition), because the $\overline{SET}$ input can control the Q output of the INTR F/F even though the RESET input is constantly at a "1" level in this operating mode. This $\overline{INTR}$ output will therefore stay low for the duration of the $\overline{SET}$ signal, which is 8 periods of the external clock frequency (assuming the A/D is not started during this interval).

When operating in the free-running or continuous conversion mode ($\overline{INTR}$ pin tied to $\overline{WR}$ and $\overline{CS}$ wired low—see also section 2.8), the START F/F is SET by the high-to-low transition of the $\overline{INTR}$ signal. This resets the SHIFT REGISTER which causes the input to the D-type latch, LATCH 1, to go low. As the latch enable input is still present, the $\overline{Q}$ output will go high, which then allows the INTR F/F to be RESET. This reduces the width of the resulting $\overline{INTR}$ output pulse to only a few propagation delays (approximately 300 ns).

When data is to be read, the combination of both $\overline{CS}$ and $\overline{RD}$ being low will cause the INTR F/F to be reset and the TRI-STATE output latches will be enabled to provide the 8-bit digital outputs.

2.1 Digital Control Inputs

The digital control inputs ($\overline{CS}$, $\overline{RD}$, and $\overline{WR}$) meet standard T^{2}L logic voltage levels. These signals have been renamed when compared to the standard A/D Start and Output Enable labels. In addition, these inputs are active low to allow an easy interface to microprocessor control busses. For non-microprocessor based applications, the $\overline{CS}$ input (pin 1) can be grounded and the standard A/D Start function is obtained by an active low pulse applied at the $\overline{WR}$ input (pin 3) and the Output Enable function is caused by an active low pulse at the $\overline{RD}$ input (pin 2).

2.2 Analog Differential Voltage Inputs and Common-Mode Rejection

This A/D has additional applications flexibility due to the analog differential voltage input. The $V_{IN}(-)$ input (pin 7) can be used to automatically subtract a fixed voltage value from the input reading (tare correction). This is also useful in 4 mA–20 mA current loop conversion. In addition, common-mode noise can be reduced by use of the differential input.

The time interval between sampling $V_{IN}(+)$ and $V_{IN}(-)$ is 4-1/2 clock periods. The maximum error voltage due to this slight time difference between the input voltage samples is given by:

$$\Delta V_e(MAX) = (V_P)(2\pi f_{cm})\left(\frac{4.5}{f_{CLK}}\right),$$

where:

ΔV_e is the error voltage due to sampling delay

V_P is the peak value of the common-mode voltage

f_{cm} is the common-mode frequency

As an example, to keep this error to 1/4 LSB (~5 mV) when operating with a 60 Hz common-mode frequency, f_{cm}, and using a 640 kHz A/D clock, f_{CLK}, would allow a peak value of the common-mode voltage, V_P, which is given by:

$$V_P = \frac{[\Delta V_{e(MAX)}(f_{CLK})]}{(2\pi f_{cm})(4.5)}$$

or

$$V_P = \frac{(5 \times 10^{-3})(640 \times 10^3)}{(6.28)(60)(4.5)}$$

which gives

$V_P \simeq 1.9V$.

The allowed range of analog input voltages usually places more severe restrictions on input common-mode noise levels.

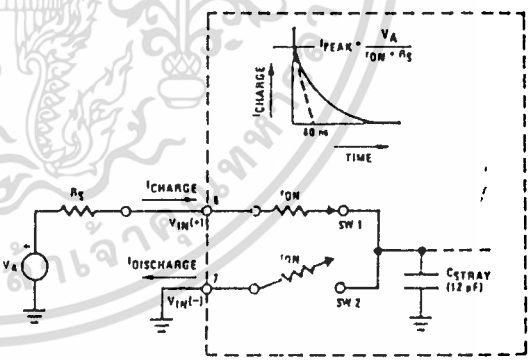
An analog input voltage with a reduced span and a relatively large zero offset can be handled easily by making use of the differential input (see section 2.4 Reference Voltage).

2.3 Analog Inputs

2.3.1 Input Current

Normal Mode

Due to the internal switching action, displacement currents will flow at the analog inputs. This is due to on-chip stray capacitance to ground as shown in *Figure 3*.



r_{ON} of SW 1 and SW 2 ≅ 5 kΩ

$\tau = r_{ON} C_{STRAY} \cong 5\ k\Omega \times 12\ pF = 60\ ns$

FIGURE 3. Analog Input Impedance

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Functional Description (Continued)

The voltage on this capacitance is switched and will result in currents entering the $V_{IN}(+)$ input pin and leaving the $V_{IN}(-)$ input which will depend on the analog differential input voltage levels. These current transients occur at the leading edge of the internal clocks. They rapidly decay and *do not cause errors* as the on-chip comparator is strobed at the end of the clock period.

Fault Mode

If the voltage source applied to the $V_{IN}(+)$ or $V_{IN}(-)$ pin exceeds the allowed operating range of $V_{CC}+50$ mV, large input currents can flow through a parasitic diode to the V_{CC} pin. If these currents can exceed the 1 mA max allowed spec, an external diode (1N914) should be added to bypass this current to the V_{CC} pin (with the current bypassed with this diode, the voltage at the $V_{IN}(+)$ pin can exceed the V_{CC} voltage by the forward voltage of this diode).

2.3.2 Input Bypass Capacitors

Bypass capacitors at the inputs will average these charges and cause a DC current to flow through the output resistances of the analog signal sources. This charge pumping action is worse for continuous conversions with the $V_{IN}(+)$ input voltage at full-scale. For continuous conversions with a 640 kHz clock frequency with the $V_{IN}(+)$ input at 5V, this DC current is at a maximum of approximately 5 μA. Therefore, *bypass capacitors should not be used at the analog inputs or the $V_{REF}/2$ pin* for high resistance sources (> 1 kΩ). If input bypass capacitors are necessary for noise filtering and high source resistance is desirable to minimize capacitor size, the detrimental effects of the voltage drop across this input resistance, which is due to the average value of the input current, can be eliminated with a full-scale adjustment while the given source resistor and input bypass capacitor are both in place. This is possible because the average value of the input current is a precise linear function of the differential input voltage.

2.3.3 Input Source Resistance

Large values of source resistance where an input bypass capacitor is not used, *will not cause errors* as the input currents settle out prior to the comparison time. If a low pass filter is required in the system, use a low valued series resistor (≤ 1 kΩ) for a passive RC section or add an op amp RC active low pass filter. For low source resistance applications, (≤ 1 kΩ), a 0.1 μF bypass capacitor at the inputs will prevent noise pickup due to series lead inductance of a long wire. A 100Ω series resistor can be used to isolate this capacitor—both the R and C are placed outside the feedback loop—from the output of an op amp, if used.

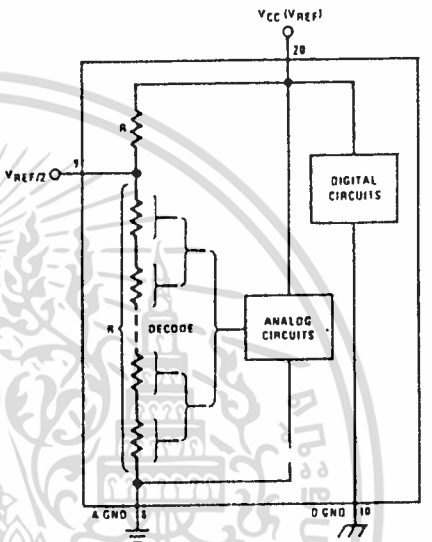
2.3.4 Noise

The leads to the analog inputs (pin 6 and 7) should be kept as short as possible to minimize input noise coupling. Both noise and undesired digital clock coupling to these inputs can cause system errors. The source resistance for these inputs should, in general, be kept below 5 kΩ. Larger values of source resistance can cause undesired system noise pickup. Input bypass capacitors, placed from the analog inputs to ground, will eliminate system noise pickup but can create analog scale errors as these capacitors will average the transient input switching currents of the A/D (see section 2.3.1.). This scale error depends on both a large source resistance and the use of an input bypass capacitor. This error can be eliminated by doing a full-scale adjustment of the A/D (adjust $V_{REF}/2$ for a proper full-scale reading—see section 2.5.2 on Full-Scale Adjustment) with the source resistance and input bypass capacitor in place.

2.4 Reference Voltage

2.4.1 Span Adjust

For maximum applications flexibility, these A/Ds have been designed to accommodate a 5 V_{DC}, 2.5 V_{DC} or an adjusted voltage reference. This has been achieved in the design of the IC as shown in *Figure 4*.



TL/H/5671-15

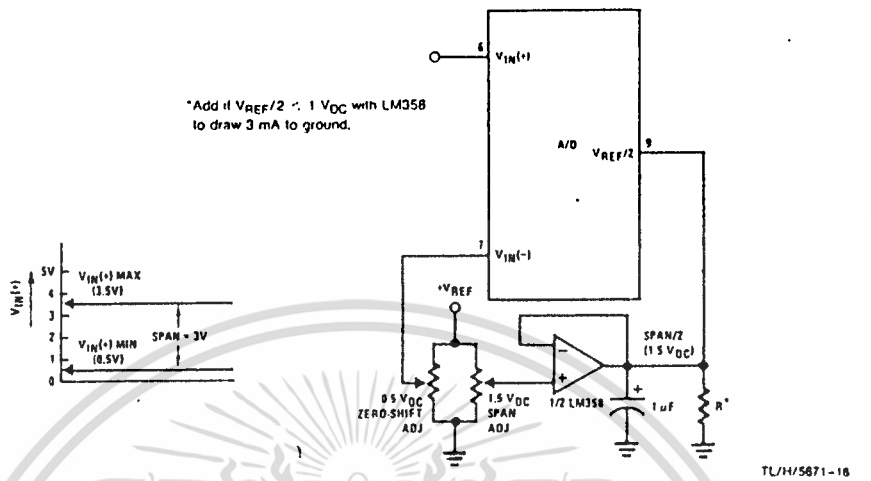
FIGURE 4. The $V_{REFERENCE}$ Design on the IC

Notice that the reference voltage for the IC is either ½ of the voltage applied to the V_{CC} supply pin, or is equal to the voltage that is externally forced at the $V_{REF}/2$ pin. This allows for a ratiometric voltage reference using the V_{CC} supply, a 5 V_{DC} reference voltage can be used for the V_{CC} supply or a voltage less than 2.5 V_{DC} can be applied to the $V_{REF}/2$ input for increased application flexibility. The internal gain to the $V_{REF}/2$ input is 2, making the full-scale differential input voltage twice the voltage at pin 9.

An example of the use of an adjusted reference voltage is to accommodate a reduced span—or dynamic voltage range of the analog input voltage. If the analog input voltage were to range from 0.5 V_{DC} to 3.5 V_{DC}, instead of 0V to 5 V_{DC}, the span would be 3V as shown in *Figure 5*. With 0.5 V_{DC} applied to the $V_{IN}(-)$ pin to absorb the offset, the reference voltage can be made equal to ½ of the 3V span or 1.5 V_{DC}. The A/D now will encode the $V_{IN}(+)$ signal from 0.5V to 3.5 V with the 0.5V input corresponding to zero and the 3.5 V_{DC} input corresponding to full-scale. The full 8 bits of resolution are therefore applied over this reduced analog input voltage range.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Functional Description (Continued)



a) Analog Input Signal Example

b) Accommodating an Analog Input from 0.5V (Digital Out = = 00_{HEX}) to 3.5V (Digital Out = FF_{HEX})

FIGURE 5. Adapting the A/D Analog Input Voltages to Match an Arbitrary Input Signal Range

2.4.2 Reference Accuracy Requirements

The converter can be operated in a ratiometric mode or an absolute mode. In ratiometric converter applications, the magnitude of the reference voltage is a factor in both the output of the source transducer and the output of the A/D converter and therefore cancels out in the final digital output code. The ADC0805 is specified particularly for use in ratiometric applications with no adjustments required. In absolute conversion applications, both the initial value and the temperature stability of the reference voltage are important factors in the accuracy of the A/D converter. For $V_{REF}/2$ voltages of 2.4 V_{DC} nominal value, initial errors of ±10 mV_{DC} will cause conversion errors of ±1 LSB due to the gain of 2 of the $V_{REF}/2$ input. In reduced span applications, the initial value and the stability of the $V_{REF}/2$ input voltage become even more important. For example, if the span is reduced to 2.5V, the analog input LSB voltage value is correspondingly reduced from 20 mV (5V span) to 10 mV and 1 LSB at the $V_{REF}/2$ input becomes 5 mV. As can be seen, this reduces the allowed initial tolerance of the reference voltage and requires correspondingly less absolute change with temperature variations. Note that spans smaller than 2.5V place even tighter requirements on the initial accuracy and stability of the reference source.

In general, the magnitude of the reference voltage will require an initial adjustment. Errors due to an improper value of reference voltage appear as full-scale errors in the A/D transfer function. IC voltage regulators may be used for references if the ambient temperature changes are not excessive. The LM336B 2.5V IC reference diode (from National Semiconductor) has a temperature stability of 1.8 mV typ (6 mV max) over $0°C \leq T_A \leq +70°C$. Other temperature range parts are also available.

2.5 Errors and Reference Voltage Adjustments

2.5.1 Zero Error

The zero of the A/D does not require adjustment. If the minimum analog input voltage value, $V_{IN(MIN)}$, is not ground, a zero offset can be done. The converter can be made to output 0000 0000 digital code for this minimum input voltage by biasing the A/D $V_{IN}(-)$ input at this $V_{IN(MIN)}$ value (see Applications section). This utilizes the differential mode operation of the A/D.

The zero error of the A/D converter relates to the location of the first riser of the transfer function and can be measured by grounding the V_{IN} (−) input and applying a small magnitude positive voltage to the V_{IN} (+) input. Zero error is the difference between the actual DC input voltage that is necessary to just cause an output digital code transition from 0000 0000 to 0000 0001 and the ideal ½ LSB value (½ LSB = 9.8 mV for $V_{REF}/2 = 2.500$ V_{DC}).

2.5.2 Full-Scale

The full-scale adjustment can be made by applying a differential input voltage that is 1½ LSB less than the desired analog full-scale voltage range and then adjusting the magnitude of the $V_{REF}/2$ input (pin 9 or the V_{CC} supply if pin 9 is not used) for a digital output code that is just changing from 1111 1110 to 1111 1111.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Functional Description (Continued)

2.5.3 Adjusting for an Arbitrary Analog Input Voltage Range

If the analog zero voltage of the A/D is shifted away from ground (for example, to accommodate an analog input signal that does not go to ground) this new zero reference should be properly adjusted first. A $V_{IN}(+)$ voltage that equals this desired zero reference plus $\frac{1}{2}$ LSB (where the LSB is calculated for the desired analog span, 1 LSB = analog span/256) is applied to pin 6 and the zero reference voltage at pin 7 should then be adjusted to just obtain the 00_{HEX} to 01_{HEX} code transition.

The full-scale adjustment should then be made (with the proper $V_{IN}(-)$ voltage applied) by forcing a voltage to the $V_{IN}(+)$ input which is given by:

$$V_{IN}(+) \text{ fs adj} = V_{MAX} - 1.5\left[\frac{(V_{MAX} - V_{MIN})}{256}\right],$$

where:

V_{MAX} = The high end of the analog input range

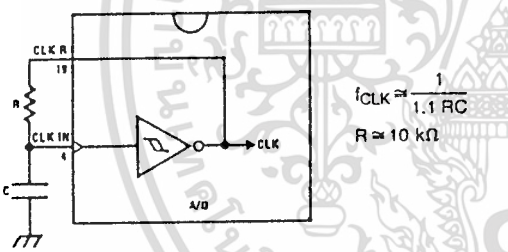
and

V_{MIN} = the low end (the offset zero) of the analog range. (Both are ground referenced.)

The $V_{REF}/2$ (or V_{CC}) voltage is then adjusted to provide a code change from FE_{HEX} to FF_{HEX}. This completes the adjustment procedure.

2.6 Clocking Option

The clock for the A/D can be derived from the CPU clock or an external RC can be added to provide self-clocking. The CLK IN (pin 4) makes use of a Schmitt trigger as shown in *Figure 6*.



TL/H/5671–17

FIGURE 6. Self-Clocking the A/D

Heavy capacitive or DC loading of the clock R pin should be avoided as this will disturb normal converter operation. Loads less than 50 pF, such as driving up to 7 A/D converter clock inputs from a single clock R pin of 1 converter, are allowed. For larger clock line loading, a CMOS or low power TTL buffer or PNP input logic should be used to minimize the loading on the clock R pin (do not use a standard TTL buffer).

2.7 Restart During a Conversion

If the A/D is restarted ($\overline{CS}$ and $\overline{WR}$ go low and return high) during a conversion, the converter is reset and a new conversion is started. The output data latch is not updated if the conversion in process is not allowed to be completed, therefore the data of the previous conversion remains in this latch. The $\overline{INTR}$ output simply remains at the "1" level.

2.8 Continuous Conversions

For operation in the free-running mode an initializing pulse should be used, following power-up, to ensure circuit operation. In this application, the $\overline{CS}$ input is grounded and the $\overline{WR}$ input is tied to the $\overline{INTR}$ output. This $\overline{WR}$ and $\overline{INTR}$ node should be momentarily forced to logic low following a power-up cycle to guarantee operation.

2.9 Driving the Data Bus

This MOS A/D, like MOS microprocessors and memories, will require a bus driver when the total capacitance of the data bus gets large. Other circuitry, which is tied to the data bus, will add to the total capacitive loading, even in TRI-STATE (high impedance mode). Backplane bussing also greatly adds to the stray capacitance of the data bus.

There are some alternatives available to the designer to handle this problem. Basically, the capacitive loading of the data bus slows down the response time, even though DC specifications are still met. For systems operating with a relatively slow CPU clock frequency, more time is available in which to establish proper logic levels on the bus and therefore higher capacitive loads can be driven (see typical characteristics curves).

At higher CPU clock frequencies time can be extended for I/O reads (and/or writes) by inserting wait states (8080) or using clock extending circuits (6800).

Finally, if time is short and capacitive loading is high, external bus drivers must be used. These can be TRI-STATE buffers (low power Schottky such as the DM74LS240 series is recommended) or special higher drive current products which are designed as bus drivers. High current bipolar bus drivers with PNP inputs are recommended.

2.10 Power Supplies

Noise spikes on the V_{CC} supply line can cause conversion errors as the comparator will respond to this noise. A low inductance tantalum filter capacitor should be used close to the converter V_{CC} pin and values of 1 μF or greater are recommended. If an unregulated voltage is available in the system, a separate LM340LAZ-5.0, TO-92, 5V voltage regulator for the converter (and other analog circuitry) will greatly reduce digital noise on the V_{CC} supply.

2.11 Wiring and Hook-Up Precautions

Standard digital wire wrap sockets are not satisfactory for breadboarding this A/D converter. Sockets on PC boards can be used and all logic signal wires and leads should be grouped and kept as far away as possible from the analog signal leads. Exposed leads to the analog inputs can cause undesired digital noise and hum pickup, therefore shielded leads may be necessary in many applications.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Functional Description (Continued)

A single point analog ground that is separate from the logic ground points should be used. The power supply bypass capacitor and the self-clocking capacitor (if used) should both be returned to digital ground. Any $V_{REF}/2$ bypass capacitors, analog input filter capacitors, or input signal shielding should be returned to the analog ground point. A test for proper grounding is to measure the zero error of the A/D converter. Zero errors in excess of ¼ LSB can usually be traced to improper board layout and wiring (see section 2.5.1 for measuring the zero error).

3.0 TESTING THE A/D CONVERTER

There are many degrees of complexity associated with testing an A/D converter. One of the simplest tests is to apply a known analog input voltage to the converter and use LEDs to display the resulting digital output code as shown in *Figure 7*.

For ease of testing, the $V_{REF}/2$ (pin 9) should be supplied with 2.560 V_{DC} and a V_{CC} supply voltage of 5.12 V_{DC} should be used. This provides an LSB value of 20 mV.

If a full-scale adjustment is to be made, an analog input voltage of 5.090 V_{DC} (5.120 − 1½ LSB) should be applied to the $V_{IN}(+)$ pin with the $V_{IN}(-)$ pin grounded. The value of the $V_{REF}/2$ input voltage should then be adjusted until the digital output code is just changing from 1111 1110 to 1111 1111. This value of $V_{REF}/2$ should then be used for all the tests.

The digital output LED display can be decoded by dividing the 8 bits into 2 hex characters, the 4 most significant (MS) and the 4 least significant (LS). Table I shows the fractional binary equivalent of these two 4-bit groups. By adding the voltages obtained from the "VMS" and "VLS" columns in Table I, the nominal value of the digital display (when $V_{REF}/2$ = 2.560V) can be determined. For example, for an output LED display of 1011 0110 or B6 (in hex), the voltage values from the table are 3.520 + 0.120 or 3.640 V_{DC}. These voltage values represent the center-values of a perfect A/D converter. The effects of quantization error have to be accounted for in the interpretation of the test results.

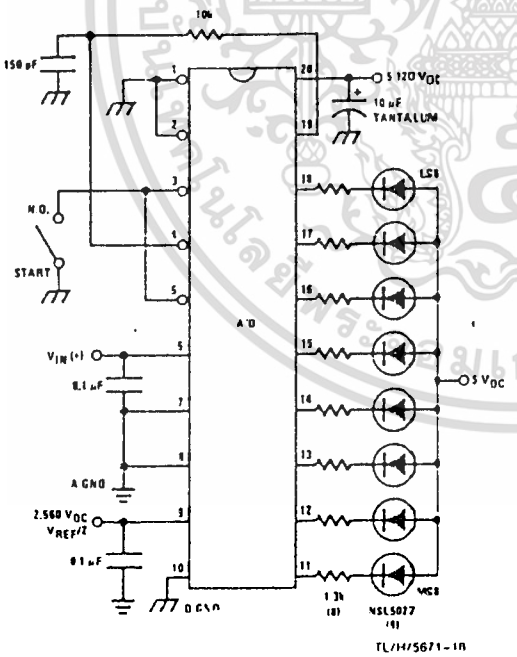


FIGURE 7. Basic A/D Tester

For a higher speed test system, or to obtain plotted data, a digital-to-analog converter is needed for the test set-up. An accurate 10-bit DAC can serve as the precision voltage source for the A/D. Errors of the A/D under test can be expressed as either analog voltages or differences in 2 digital words.

A basic A/D tester that uses a DAC and provides the error as an analog output voltage is shown in *Figure 8*. The 2 op amps can be eliminated if a lab DVM with a numerical subtraction feature is available to read the difference voltage, "A−C", directly. The analog input voltage can be supplied by a low frequency ramp generator and an X-Y plotter can be used to provide analog error (Y axis) versus analog input (X axis). The construction details of a tester of this type are provided in the NSC application note AN-179, "Analog-to-Digital Converter Testing".

For operation with a microprocessor or a computer-based test system, it is more convenient to present the errors digitally. This can be done with the circuit of *Figure 9*, where the output code transitions can be detected as the 10-bit DAC is incremented. This provides ¼ LSB steps for the 8-bit A/D under test. If the results of this test are automatically plotted with the analog input on the X axis and the error (in LSB's) as the Y axis, a useful transfer function of the A/D under test results. For acceptance testing, the plot is not necessary and the testing speed can be increased by establishing internal limits on the allowed error for each code.

4.0 MICROPROCESSOR INTERFACING

To dicuss the interface with 8080A and 6800 microprocessors, a common sample subroutine structure is used. The microprocessor starts the A/D, reads and stores the results of 16 successive conversions, then returns to the user's program. The 16 data bytes are stored in 16 successive memory locations. All Data and Addresses will be given in hexadecimal form. Software and hardware details are provided separately for each type of microprocessor.

4.1 Interfacing 8080 Microprocessor Derivatives (8048, 8085)

This converter has been designed to directly interface with derivatives of the 8080 microprocessor. The A/D can be mapped into memory space (using standard memory address decoding for $\overline{CS}$ and the $\overline{MEMR}$ and $\overline{MEMW}$ strobes) or it can be controlled as an I/O device by using the $\overline{I/O\ R}$ and $\overline{I/O\ W}$ strobes and decoding the address bits A0 → A7 (or address bits A8 → A15 as they will contain the same 8-bit address information) to obtain the $\overline{CS}$ input. Using the I/O space provides 256 additional addresses and may allow a simpler 8-bit address decoder but the data can only be input to the accumulator. To make use of the additional memory reference instructions, the A/D should be mapped into memory space. An example of an A/D in I/O space is shown in *Figure 10*.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Functional Description (Continued)

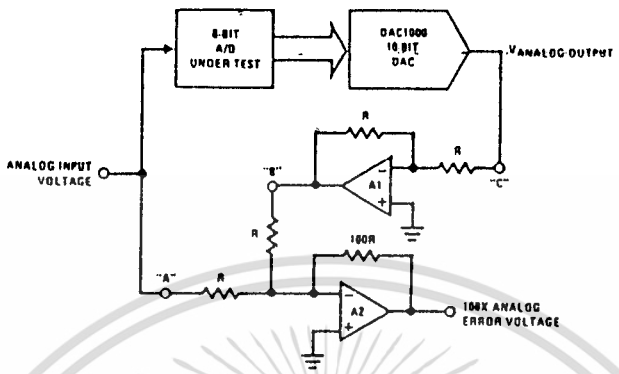


FIGURE 8. A/D Tester with Analog Error Output

TL/H/5671-19

FIGURE 9. Basic "Digital" A/D Tester

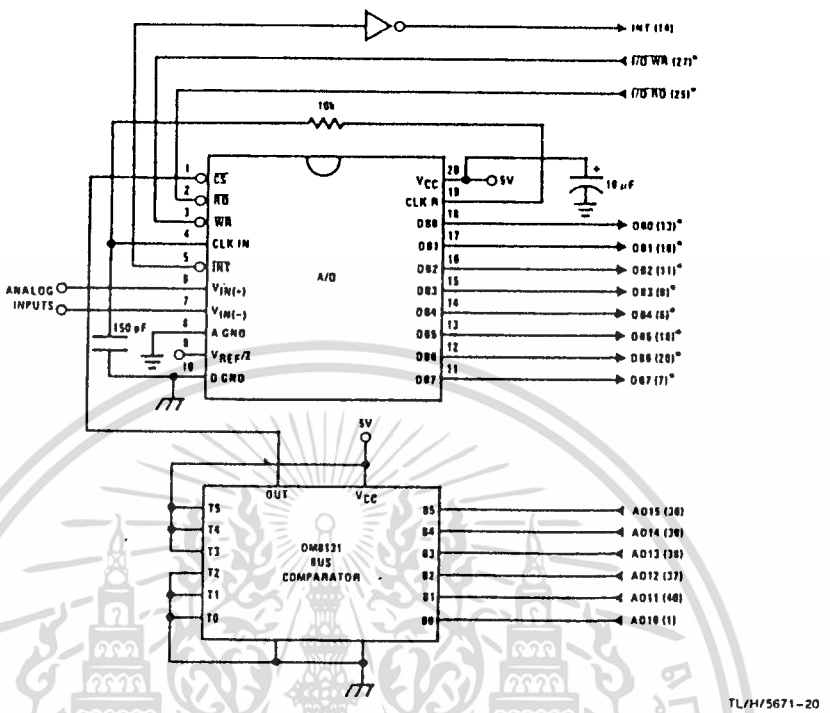
TABLE I. DECODING THE DIGITAL OUTPUT LEDs

HEX	BINARY	FRACTIONAL BINARY VALUE FOR		OUTPUT VOLTAGE CENTER VALUES WITH $V_{REF}/2 = 2.560\ V_{DC}$	
		MS GROUP	LS GROUP	VMS GROUP*	VLS GROUP*
F	1 1 1 1	15/16	15/256	4.800	0.300
E	1 1 1 0	7/8	7/128	4.480	0.280
D	1 1 0 1	13/16	13/256	4.160	0.260
C	1 1 0 0	3/4	3/64	3.840	0.240
B	1 0 1 1	11/16	11/256	3.520	0.220
A	1 0 1 0	5/8	5/128	3.200	0.200
9	1 0 0 1	9/16	9/256	2/880	0.180
8	1 0 0 0	1/2	1/32	2/560	0.160
7	0 1 1 1	7/16	7/256	2.240	0.140
6	0 1 1 0	3/8	3/128	1.920	0.120
5	0 1 0 1	5/16	2/256	1.600	0.100
4	0 1 0 0	1/4	1/64	1/280	0.080
3	0 0 1 1	3/16	3/256	0.960	0.060
2	0 0 1 0	1/8	1/128	0.640	0.040
1	0 0 0 1	1/16	1/256	0.320	0.020
0	0 0 0 0			0	0

*Display Output = VMS Group + VLS Group

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Functional Description (Continued)



TL/H/5671–20

Note 1: *Pin numbers for the DP8228 system controller, others are INS8080A.

Note 2: Pin 23 of the INS8228 must be tied to +12V through a 1 kΩ resistor to generate the RST 7 instruction when an interrupt is acknowledged as required by the accompanying sample program.

FIGURE 10. ADC0801–INS8080A CPU Interface

SAMPLE PROGRAM FOR *FIGURE 10* ADC0801–INS8080A CPU INTERFACE

```
0038    C3 00 03    RST 7:      JMP     LD DATA
  •         •           •
  •         •           •
0100    21 00 02    START:      LXI H 0200H     ;HL pair will point to
                                                ;data storage locations
0103    31 00 04    RETURN:     LXI SP 0400H    ;Initialize stack pointer (Note 1)
0106    7D                      MOV A, L        ;Test # of bytes entered
0107    FE 0F                   CPI 0F H        ;If # = 16, JMP to
0109    CA 13 01                JZ CONT         ;user program
010C    D3 E0                   OUT E0 H        ;Start A/D
010E    FB                      EI              ;Enable interrupt
010F    00          LOOP:       NOP             ;Loop until end of
0110    C3 0F 01                JMP LOOP        ;conversion
0113        •       CONT:           •
  •         •           •               •
  •         •       (User program to    •
  •         •       process data)       •
  •         •           •               •
  •         •           •               •
0300    DB E0       LD DATA:    IN E0 H         ;Load data into accumulator
0302    77                      MOV M, A        ;Store data
0303    23                      INX H           ;Increment storage pointer
0304    C3 03 01                JMP RETURN
```

Note 1: The stack pointer must be dimensioned because a RST 7 instruction pushes the PC onto the stack.

Note 2: All address used were arbitrarily chosen.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Functional Description (Continued)

The standard control bus signals of the 8080 $\overline{CS}$, $\overline{RD}$ and $\overline{WR}$) can be directly wired to the digital control inputs of the A/D and the bus timing requirements are met to allow both starting the converter and outputting the data onto the data bus. A bus driver should be used for larger microprocessor systems where the data bus leaves the PC board and/or must drive capacitive loads larger than 100 pF.

4.1.1 Sample 8080A CPU Interfacing Circuitry and Program

The following sample program and associated hardware shown in *Figure 10* may be used to input data from the converter to the INS8080A CPU chip set (comprised of the INS8080A microprocessor, the INS8228 system controller and the INS8224 clock generator). For simplicity, the A/D is controlled as an I/O device, specifically an 8-bit bi-directional port located at an arbitrarily chosen port address, E0. The TRI-STATE output capability of the A/D eliminates the need for a peripheral interface device, however address decoding is still required to generate the appropriate $\overline{CS}$ for the converter.

It is important to note that in systems where the A/D converter is 1-of-8 or less I/O mapped devices, no address decoding circuitry is necessary. Each of the 8 address bits (A0 to A7) can be directly used as $\overline{CS}$ inputs—one for each I/O device.

4.1.2 INS8048 Interface

The INS8048 interface technique with the ADC0801 series (see *Figure 11*) is simpler than the 8080A CPU interface. There are 24 I/O lines and three test input lines in the 8048. With these extra I/O lines available, one of the I/O lines (bit 0 of port 1) is used as the chip select signal to the A/D, thus eliminating the use of an external address decoder. Bus control signals $\overline{RD}$, $\overline{WR}$ and $\overline{INT}$ of the 8048 are tied directly to the A/D. The 16 converted data words are stored at on-chip RAM locations from 20 to 2F (Hex). The $\overline{RD}$ and $\overline{WR}$ signals are generated by reading from and writing into a dummy address, respectively. A sample interface program is shown below.

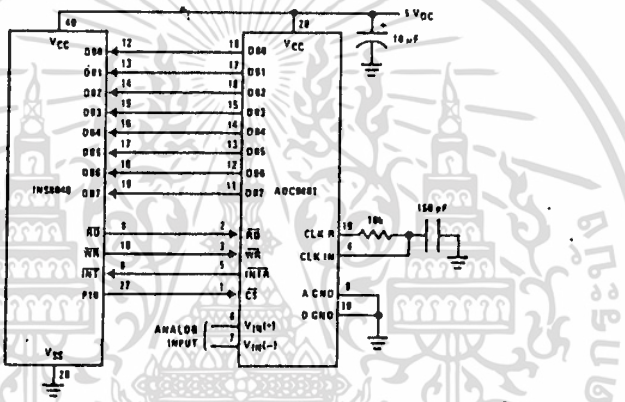


FIGURE 11. INS8048 Interface

SAMPLE PROGRAM FOR *FIGURE 11* INS8048 INTERFACE

```
04 10                  JMP     10H             ; Program starts at addr 10
                       ORG     3H
04 50                  JMP     50H             ; Interrupt jump vector
                       ORG     10H             ; Main program
99 FE                  ANL     P1, #0FEH       ; Chip select
81                     MOVX    A, @R1          ; Read in the 1st data
                                               ; to reset the intr
89 01        START:    ORL     P1, #1          ; Set port pin high
B8 20                  MOV     R0, #20H        ; Data address
B9 FF                  MOV     R1, #0FFH       ; Dummy address
BA 10                  MOV     R2, #10H        ; Counter for 16 bytes
23 FF        AGAIN:    MOV     A, #0FFH        ; Set ACC for intr loop
99 FE                  ANL     P1, #0FEH       ; Send CS (bit 0 of P1)
91                     MOVX    @R1, A          ; Send WR out
05                     EN      I               ; Enable interrupt
96 21        LOOP:     JNZ     LOOP            ; Wait for interrupt
EA 1B                  DJNZ    R2, AGAIN       ; If 16 bytes are read
00                     NOP                     ; go to user's program
00                     NOP
                       ORG     50H
31           INDATA:   MOVX    A, @R1          ; Input data, CS still low
A0                     MOV     @R0, A          ; Store in memory
18                     INC     R0              ; Increment storage counter
89 01                  ORL     P1, #1          ; Reset CS signal
27                     CLR     A               ; Clear ACC to get out of
93                     RETR                    ; the interrupt loop
```


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Functional Description (Continued)

4.2 Interfacing the Z-80

The Z-80 control bus is slightly different from that of the 8080. General $\overline{RD}$ and $\overline{WR}$ strobes are provided and separate memory request, $\overline{MREQ}$, and I/O request, $\overline{IORQ}$, signals are used which have to be combined with the generalized strobes to provide the equivalent 8080 signals. An advantage of operating the A/D in I/O space with the Z-80 is that the CPU will automatically insert one wait state (the $\overline{RD}$ and $\overline{WR}$ strobes are extended one clock period) to allow more time for the I/O devices to respond. Logic to map the A/D in I/O space is shown in *Figure 13*.

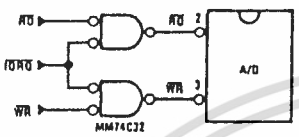


FIGURE 13. Mapping the A/D as an I/O Device for Use with the Z-80 CPU

Additional I/O advantages exist as software DMA routines are available and use can be made of the output data transfer which exists on the upper 8 address lines (A8 to A15) during I/O input instructions. For example, MUX channel selection for the A/D can be accomplished with this operating mode.

4.3 Interfacing 6800 Microprocessor Derivatives (6502, etc.)

The control bus for the 6800 microprocessor derivatives does not use the $\overline{RD}$ and $\overline{WR}$ strobe signals. Instead it employs a single R/$\overline{W}$ line and additional timing, if needed, can be derived fom the $\phi 2$ clock. All I/O devices are memory mapped in the 6800 system, and a special signal, VMA, indicates that the current address is valid. *Figure 14* shows an interface schematic where the A/D is memory mapped in the 6800 system. For simplicity, the $\overline{CS}$ decoding is shown using ½ DM8092. Note that in many 6800 systems, an already decoded $\overline{475}$ line is brought out to the common bus at pin 21. This can be tied directly to the $\overline{CS}$ pin of the A/D, provided that no other devices are addressed at HX ADDR: 4XXX or 5XXX.

The following subroutine performs essentially the same function as in the case of the 8080A interface and it can be called from anywhere in the user's program.

In *Figure 15* the ADC0801 series is interfaced to the M6800 microprocessor through (the arbitrarily chosen) Port B of the MC6820 or MC6821 Peripheral Interface Adapter, (PIA). Here the $\overline{CS}$ pin of the A/D is grounded since the PIA is already memory mapped in the M6800 system and no $\overline{CS}$ decoding is necessary. Also notice that the A/D output data lines are connected to the microprocessor bus under program control through the PIA and therefore the A/D $\overline{RD}$ pin can be grounded.

A sample interface program equivalent to the previous one is shown below *Figure 15*. The PIA Data and Control Registers of Port B are located at HEX addresses 8006 and 8007, respectively.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

National Semiconductor Corporation

DAC0800/DAC0801/DAC0802 8-Bit Digital-to-Analog Converters

General Description

The DAC0800 series are monolithic 8-bit high-speed current-output digital-to-analog converters (DAC) featuring typical settling times of 100 ns. When used as a multiplying DAC, monotonic performance over a 40 to 1 reference current range is possible. The DAC0800 series also features high compliance complementary current outputs to allow differential output voltages of 20 Vp-p with simple resistor loads as shown in *Figure 1*. The reference-to-full-scale current matching of better than ±1 LSB eliminates the need for full-scale trims in most applications while the nonlinearities of better than ±0.1% over temperature minimizes system error accumulations.

The noise immune inputs of the DAC0800 series will accept TTL levels with the logic threshold pin, V_{LC}, grounded. Changing the V_{LC} potential will allow direct interface to other logic families. The performance and characteristics of the device are essentially unchanged over the full ±4.5V to ±18V power supply range; power dissipation is only 33 mW with ±5V supplies and is independent of the logic input states.

The DAC0800, DAC0802, DAC0800C, DAC0801C and DAC0802C are a direct replacement for the DAC-08, DAC-08A, DAC-08C, DAC-08E and DAC-08H, respectively.

Features

- Fast settling output current — 100 ns
- Full scale error — ±1 LSB
- Nonlinearity over temperature — ±0.1%
- Full scale current drift — ±10 ppm/°C
- High output compliance — −10V to +18V
- Complementary current outputs
- Interface directly with TTL, CMOS, PMOS and others
- 2 quadrant wide range multiplying capability
- Wide power supply range — ±4.5V to ±18V
- Low power consumption — 33 mW at ±5V
- Low cost

Typical Applications

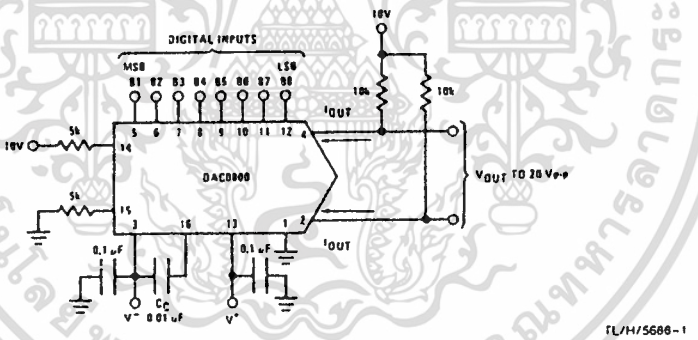


FIGURE 1. ±20 V_{p-p} Output Digital-to-Analog Converter (Note 4)

Ordering Information

Non-Linearity	Temperature Range	Order Numbers				
		J Package (J16A)*		N Package (N16A)*		SO Package (M16A)
±0.1% FS	−55°C ≤ T_A ≤ +125°C	DAC0802LJ	DAC-08AQ			
±0.1% FS	0°C ≤ T_A ≤ +70°C	DAC0802LCJ	DAC-08HQ	DAC0802LCN	DAC-08HP	DAC0802LCM
±0.19% FS	−55°C ≤ T_A ≤ +125°C	DAC0800LJ	DAC-08Q			
±0.19% FS	0°C ≤ T_A ≤ +70°C	DAC0800LCJ	DAC-08EQ	DAC0800LCN	DAC-08EP	DAC0800LCM
±0.39% FS	0°C ≤ T_A ≤ +70°C	DAC0801LCJ	DAC-08CQ	DAC0801LCN	DAC-08CP	DAC0801LCM

*Devices may be ordered by using either order number.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Absolute Maximum Ratings (Note 1)

If Military/Aerospace specified devices are required, contact the National Semiconductor Sales Office/ Distributors for availability and specifications.

Supply Voltage ($V^+ - V^-$)	± 18V or 36V
Power Dissipation (Note 2)	500 mW
Reference Input Differential Voltage (V14 to V15)	V to V^+
Reference Input Common-Mode Range (V14, V15)	V^- to V^+
Reference Input Current	5 mA
Logic Inputs	V^- to V^- plus 36V
Analog Current Outputs ($V_S^- = -15V$)	4.25 mA
ESD Susceptibility (Note 3)	TBD V
Storage Temperature	−65°C to +150°C
Lead Temp. (Soldering, 10 seconds)	
Dual-In-Line Package (plastic)	260°C
Dual-In-Line Package (ceramic)	300°C
Surface Mount Package	
Vapor Phase (60 seconds)	215°C
Infrared (15 seconds)	220°C

Operating Conditions (Note 1)

	Min	Max	Units
Temperature (T_A)			
DAC0802L	−55	+125	°C
DAC0800L	−55	+125	°C
DAC0800LC	0	+70	°C
DAC0801LC	0	+70	°C
DAC0802LC	0	+70	°C

Electrical Characteristics The following specifications apply for $V_S = \pm 15V$, $I_{REF} = 2$ mA and $T_{MIN} \le T_A \le T_{MAX}$ unless otherwise specified. Output characteristics refer to both I_{OUT} and $\overline{I_{OUT}}$.

Symbol	Parameter	Conditions	DAC0802L/ DAC0802LC			DAC0800L/ DAC0800LC			DAC0801LC			Units
			Min	Typ	Max	Min	Typ	Max	Min	Typ	Max	
	Resolution		8	8	8	8	8	8	8	8	8	Bits
	Monotonicity		8	8	8	8	8	8	8	8	8	Bits
	Nonlinearity				±0.1			±0.19			±0.39	%FS
	Settling Time	To ±½ LSB, All Bits Switched "ON" or "OFF", $T_A = 25°C$		100	135					100	150	ns
		DAC0800L					100	135				ns
		DAC0800LC					100	150				ns
t_{PLH}, t_{PHL}	Propagation Delay Each Bit	$T_A = 25°C$		35	60		35	60		35	60	ns
	All Bits Switched			35	60		35	60		35	60	ns
TC_{IFS}	Full Scale Tempco			±10	±50		±10	±50		±10	±80	ppm/°C
V_{OC}	Output Voltage Compliance	Full Scale Current Change < ½ LSB, $R_{OUT} > 20$ MΩ Typ	−10		18	−10		18	−10		18	V
I_{FS4}	Full Scale Current	$V_{REF} = 10.000V$, R14 = 5.000 kΩ R15 = 5.000 kΩ, $T_A = 25°C$	1.984	1.992	2.000	1.94	1.99	2.04	1.94	1.99	2.04	mA
I_{FSS}	Full Scale Symmetry	$I_{FS4} - I_{FS2}$		±0.5	±4.0		±1	±8.0		±2	±16	μA
I_{ZS}	Zero Scale Current			0.1	1.0		0.2	2.0		0.2	4.0	μA
I_{FSR}	Output Current Range	$V^- = -5V$	0	2.0	2.1	0	2.0	2.1	0	2.0	2.1	mA
		$V^- = -8V$ to $-18V$	0	2.0	4.2	0	2.0	4.2	0	2.0	4.2	mA
	Logic Input Levels Logic "0"	$V_{LC} = 0V$			0.8			0.8			0.8	V
	Logic "1"		2.0			2.0			2.0			V
	Logic Input Current Logic "0"	$V_{LC} = 0V$, $-10V \le V_{IN} \le +0.8V$		−2.0	−10		−2.0	−10		−2.0	−10	μA
	Logic "1"	$2V \le V_{IN} \le +18V$		0.002	10		0.002	10		0.002	10	μA
	Logic Input Swing	$V^- = -15V$	−10		18	−10		18	−10		18	V
V_{THR}	Logic Threshold Range	$V_S = \pm 15V$	−10		13.5	−10		13.5	−10		13.5	V
	Reference Bias Current			−1.0	−3.0		−1.0	−3.0		−1.0	−3.0	μA
dI/dt	Reference Input Slew Rate	*(Figure 12)*	4.0	8.0		4.0	8.0		4.0	8.0		mA/μs
$PSSI_{FS+}$	Power Supply Sensitivity	$4.5V \le V+ \le 18V$		0.0001	0.01		0.0001	0.01		0.0001	0.01	%/%
$PSSI_{FS-}$		$-4.5V \le V^- \le 18V$, $I_{REF} = 1$mA		0.0001	0.01		0.0001	0.01		0.0001	0.01	%/%
	Power Supply Current	$V_S = \pm 5V$, $I_{REF} = 1$ mA		2.3	3.8		2.3	3.8		2.3	3.8	mA
				−4.3	−5.8		−4.3	−5.8		−4.3	−5.8	mA
		$V_S = 5V, -15V$, $I_{REF} = 2$ mA		2.4	3.8		2.4	3.8		2.4	3.8	mA
				−6.4	−7.8		−6.4	−7.8		−6.4	−7.8	mA
		$V_S = \pm 15V$, $I_{REF} = 2$ mA		2.5	3.8		2.5	3.8		2.5	3.8	mA
				−6.5	−7.8		−6.5	−7.8		−6.5	−7.8	mA

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Electrical Characteristics (Continued)

The following specifications apply for $V_S = \pm 15V$, $I_{REF} = 2$ mA and $T_{MIN} \leq T_A \leq T_{MAX}$ unless otherwise specified. Output characteristics refer to both I_{OUT} and $\overline{I_{OUT}}$.

Symbol	Parameter	Conditions	DAC0802L/ DAC0802LC			DAC0800L/ DAC0800LC			DAC0801LC			Units
			Min	Typ	Max	Min	Typ	Max	Min	Typ	Max	
P_D	Power Dissipation	$\pm 5V$, $I_{REF} = 1$ mA		33	48		33	48		33	48	mW
		5V, −15V, $I_{REF} = 2$ mA		108	136		108	136		108	136	mW
		$\pm 15V$, $I_{REF} = 2$ mA		135	174		135	174		135	174	mW

Note 1: Absolute Maximum Ratings indicate limits beyond which damage to the device may occur. DC and AC electrical specifications do not apply when operating the device beyond its specified operating conditions.

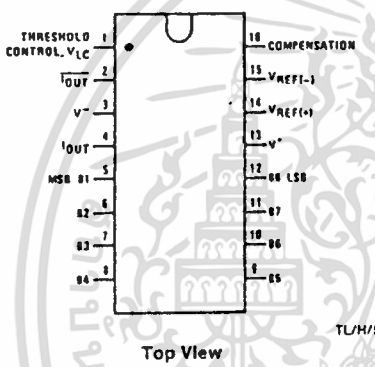
Note 2: The maximum junction temperature of the DAC0800, DAC0801 and DAC0802 is 125°C. For operating at elevated temperatures, devices in the Dual-In-Line J package must be derated based on a thermal resistance of 100°C/W, junction-to-ambient, 175°C/W for the molded Dual-In-Line N package and 100°C/W for the Small Outline M package.

Note 3: Human body model, 100 pF discharged through a 1.5 kΩ resistor.

Note 4: Pin-out numbers for the DAC080X represent the Dual-In-Line package. The Small Outline package pin-out differs from the Dual-In-Line package.

Connection Diagrams

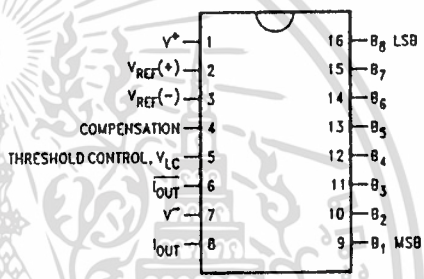
Dual-In-Line Package



TL/H/5686-13

Top View

Small Outline Package

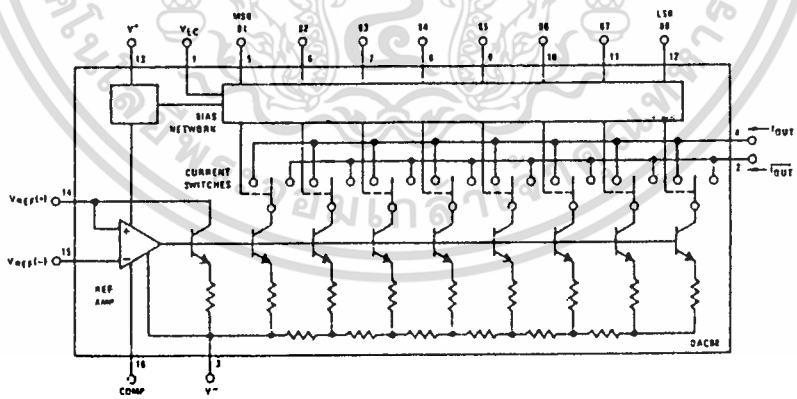


TL/H/5686-14

Top View

See Ordering Information

Block Diagram (Note 4)

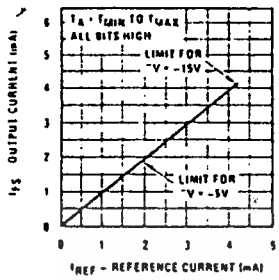


TL/H/5686-2

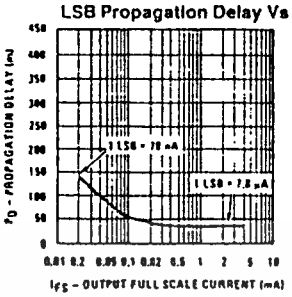
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Performance Characteristics

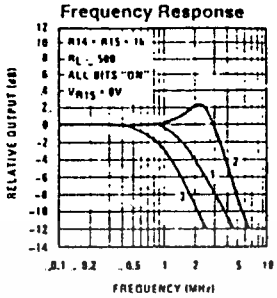
Full Scale Current vs Reference Current



LSB Propagation Delay Vs I_{FS}

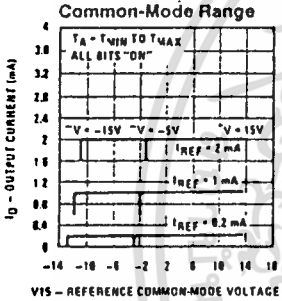


Reference Input Frequency Response



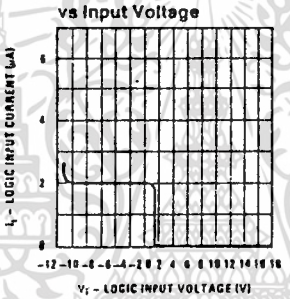
Curve 1: C_C = 15 pF, V_{IN} = 2 Vp-p centered at 1V.
Curve 2: C_C = 15 pF, V_{IN} = 50 mVp-p centered at 200 mV.
Curve 3: C_C = 0 pF, V_{IN} = 100 mVp-p at 0V and applied through 50 Ω connected to pin 14.2V applied to R14.

Reference Amp Common-Mode Range

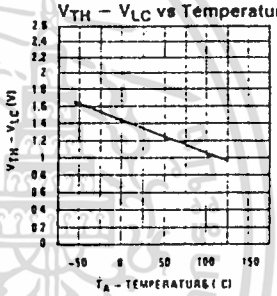


Note. Positive common-mode range is always (V+) − 1.5V

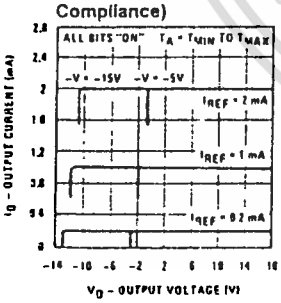
Logic Input Current vs Input Voltage



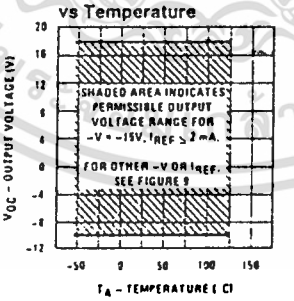
$V_{TH} - V_{LC}$ vs Temperature



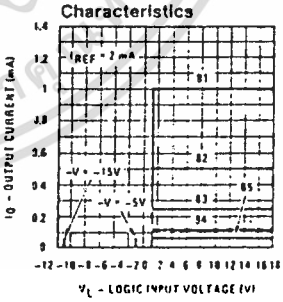
Output Current vs Output Voltage (Output Voltage Compliance)



Output Voltage Compliance vs Temperature



Bit Transfer Characteristics



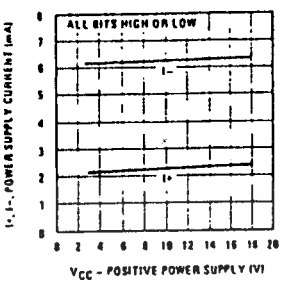
TL/H/5686–3

Note. B1–B8 have identical transfer characteristics. Bits are fully switched with less than ½ LSB error, at less than ± 100 mV from actual threshold. These switching points are guaranteed to be between 0.8 and 2V over the operating temperature range (V_{LC} = 0V).

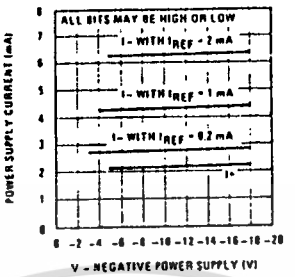
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Performance Characteristics (Continued)

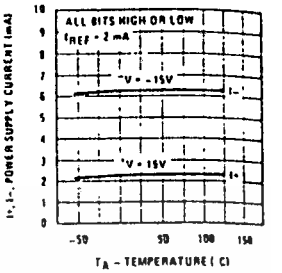
Power Supply Current vs +V



Power Supply Current vs −V

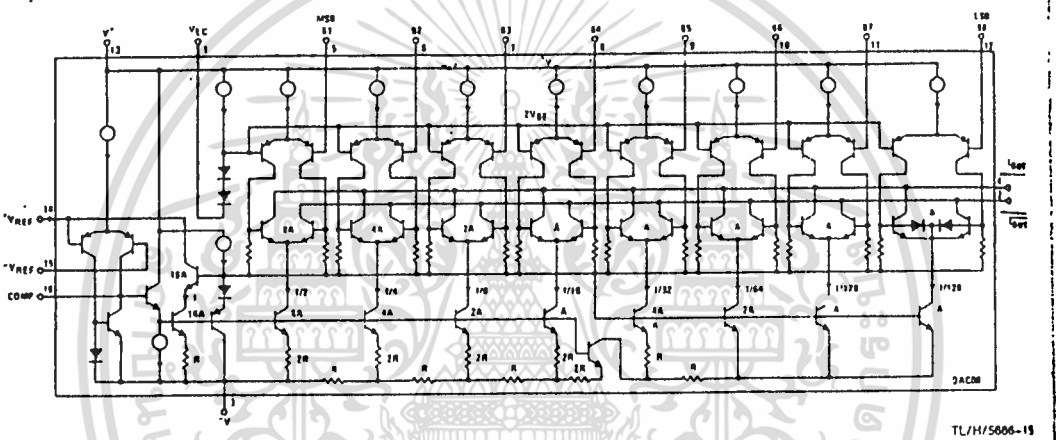


Power Supply Current vs Temperature



TL/H/5686–4

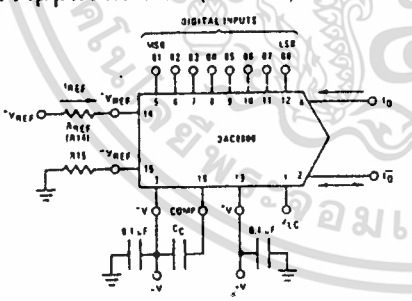
Equivalent Circuit



TL/H/5686–15

FIGURE 2

Typical Applications (Continued)



$$I_{FS} \approx \frac{+V_{REF}}{R_{REF}} \times \frac{255}{256}$$

$I_O + \overline{I_O} = I_{FS}$ for all logic states

For fixed reference, TTL operation, typical values are:

$V_{REF} = 10.000V$

$R_{REF} = 5.000k$

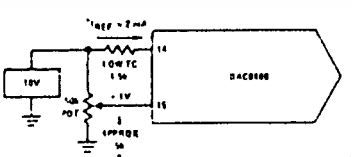
$R15 \approx R_{REF}$

$C_C = 0.01\ \mu F$

$V_{LC} = 0V$ (Ground)

TL/H/5686–5

FIGURE 3. Basic Positive Reference Operation (Note 4)



TL/H/5686–21

FIGURE 4. Recommended Full Scale Adjustment Circuit (Note 4)

TL/H/5686–16

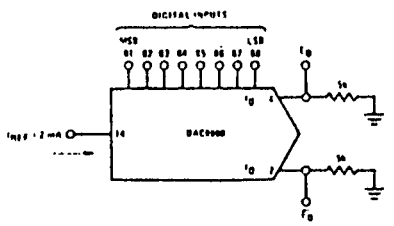
$$I_{FS} \approx \frac{-V_{REF}}{R_{REF}} \cdot \frac{255}{256}$$

Note: R_{REF} sets I_{FS}, R15 is for bias current cancellation

FIGURE 5. Basic Negative Reference Operation (Note 4)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

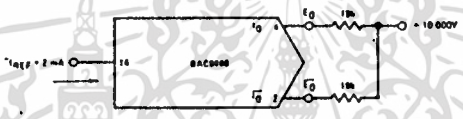
Typical Applications (Continued)



TL/H/5686–17

	B1	B2	B3	B4	B5	B6	B7	B8	I_O mA	$\overline{I_O}$ mA	E_O	$\overline{E_O}$
Full Scale	1	1	1	1	1	1	1	1	1.992	0.000	−9.960	0.000
Full Scale − LSB	1	1	1	1	1	1	1	0	1.984	0.008	−9.920	−0.040
Half Scale + LSB	1	0	0	0	0	0	0	1	1.008	0.984	−5.040	−4.920
Half Scale	1	0	0	0	0	0	0	0	1.000	0.992	−5.000	−4.960
Half Scale − LSB	0	1	1	1	1	1	1	1	0.992	1.000	−4.960	−5.000
Zero Scale + LSB	0	0	0	0	0	0	0	1	0.008	1.984	−0.040	−9.920
Zero Scale	0	0	0	0	0	0	0	0	0.000	1.992	0.000	−9.960

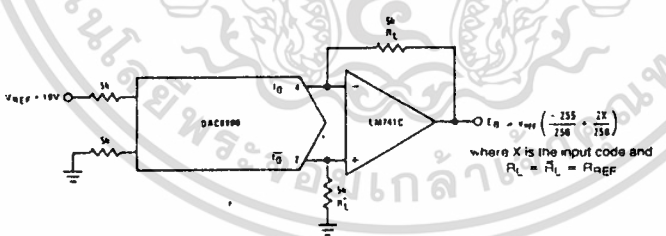
FIGURE 6. Basic Unipolar Negative Operation (Note 4)



TL/H/5686–6

	B1	B2	B3	B4	B5	B6	B7	B8	E_O	$\overline{E_O}$
Pos. Full Scale	1	1	1	1	1	1	1	1	−9.920	+10.000
Pos. Full Scale − LSB	1	1	1	1	1	1	1	0	−9.840	+9.920
Zero Scale + LSB	1	0	0	0	0	0	0	1	−0.080	+0.160
Zero Scale	1	0	0	0	0	0	0	0	0.000	+0.080
Zero Scale − LSB	0	1	1	1	1	1	1	1	+0.080	0.000
Neg. Full Scale + LSB	0	0	0	0	0	0	0	1	+9.920	−9.840
Neg. Full Scale	0	0	0	0	0	0	0	0	+10.000	−9.920

FIGURE 7. Basic Bipolar Output Operation (Note 4)



TL/H/5686–18

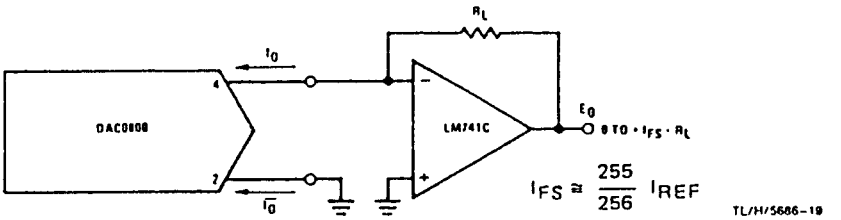
If $R_L = \overline{R_L}$ within ±0.05%, output is symmetrical about ground

	B1	B2	B3	B4	B5	B6	B7	B8	E_O
Pos. Full Scale	1	1	1	1	1	1	1	1	+9.960
Pos. Full Scale − LSB	1	1	1	1	1	1	1	0	+9.880
(+)Zero Scale	1	0	0	0	0	0	0	0	+0.040
(−)Zero Scale	0	1	1	1	1	1	1	1	−0.040
Neg. Full Scale + LSB	0	0	0	0	0	0	0	1	−9.880
Neg. Full Scale	0	0	0	0	0	0	0	0	−9.960

FIGURE 8. Symmetrical Offset Binary Operation (Note 4)

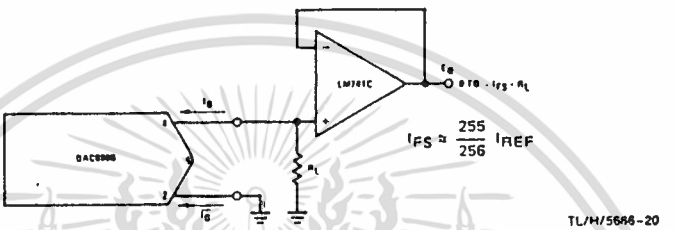
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Applications (Continued)



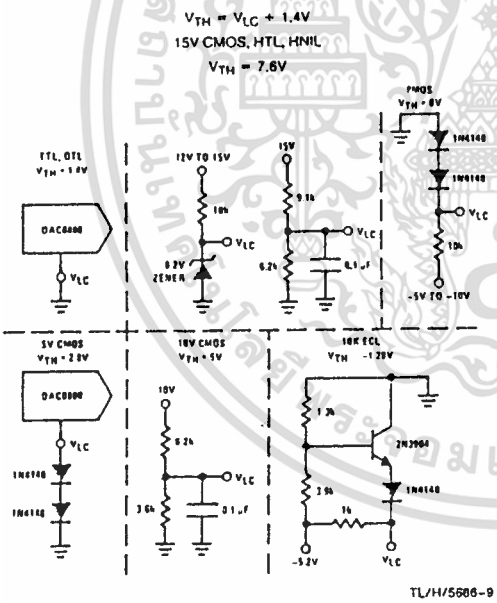
For complementary output (operation as negative logic DAC), connect inverting input of op amp to $\overline{I_O}$ (pin 2), connect I_O (pin 4) to ground.

FIGURE 9. Positive Low Impedance Output Operation (Note 4)



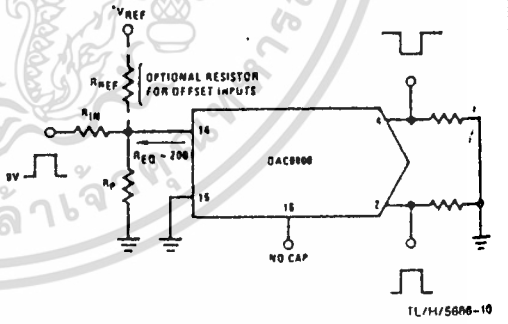
For complementary output (operation as a negative logic DAC) connect non-inverting input of op am to $\overline{I_O}$ (pin 2); connect I_O (pin 4) to ground.

FIGURE 10. Negative Low Impedance Output Operation (Note 4)



Note. Do not exceed negative logic input range of DAC.

FIGURE 11. Interfacing with Various Logic Families



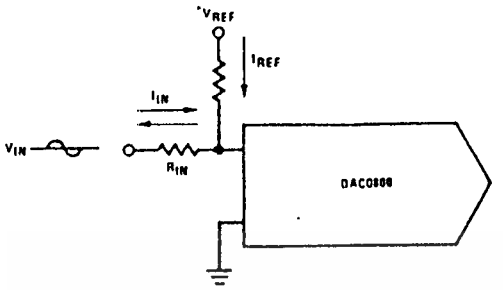
Typical values: $R_{IN} = 5k$, $+ V_{IN} = 10V$

FIGURE 12. Pulsed Reference Operation (Note 4)

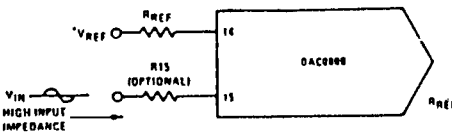
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Applications (Continued)

(a) $I_{REF} \geq$ peak negative swing of I_{IN}



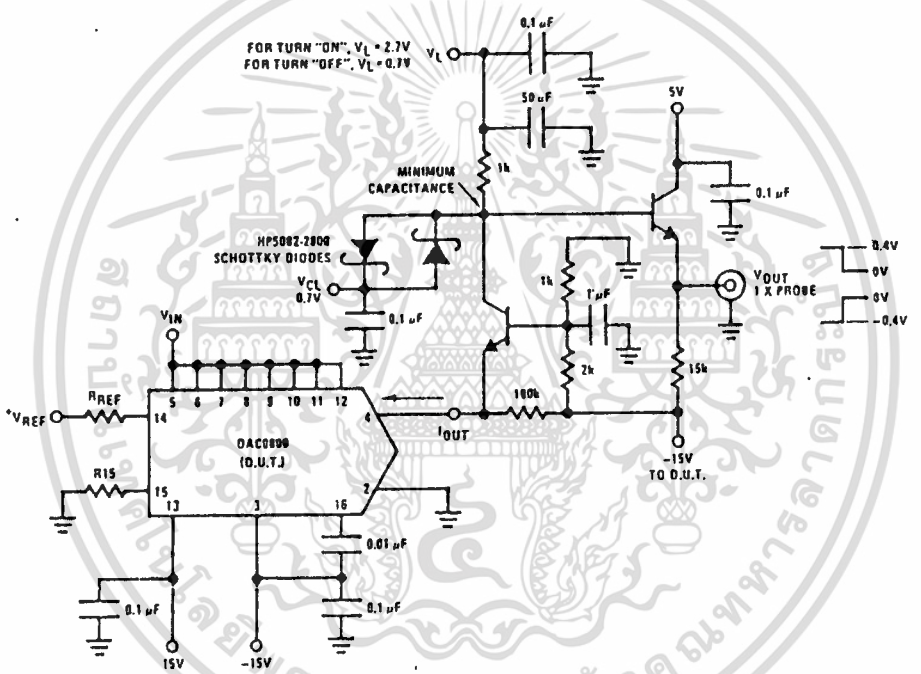
(b) + V_{REF} must be above peak positive swing of V_{IN}



TL/H/5686-12

TL/H/5686-11

FIGURE 13. Accommodating Bipolar References (Note 4)

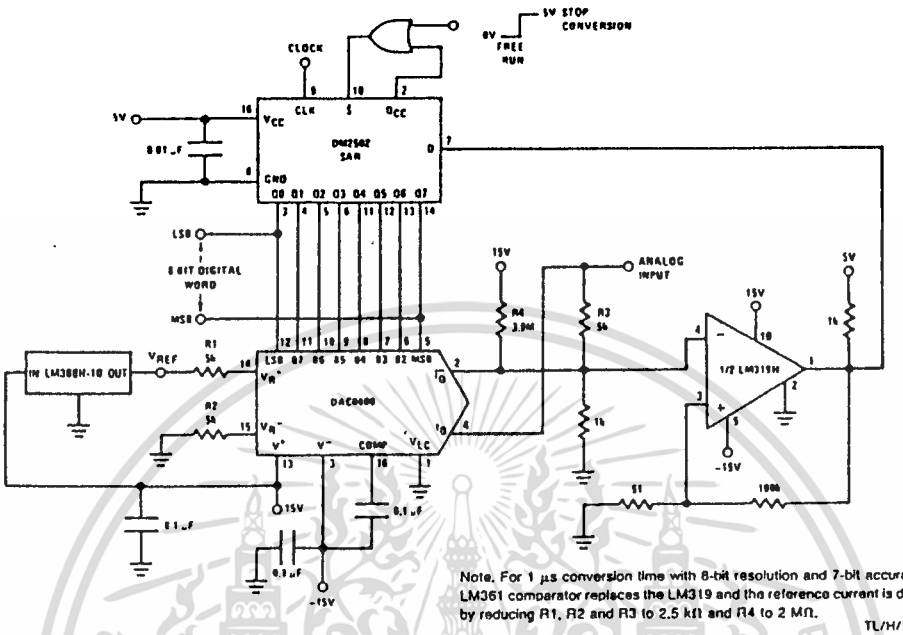


TL/H/5686-7

FIGURE 14. Settling Time Measurement (Note 4)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Applications (Continued)



Note. For 1 μs conversion time with 8-bit resolution and 7-bit accuracy, an LM361 comparator replaces the LM319 and the reference current is doubled by reducing R1, R2 and R3 to 2.5 kΩ and R4 to 2 MΩ.

TL/H/5686–8

FIGURE 15. A Complete 2 μs Conversion Time, 8-Bit A/D Converter (Note 4)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ISO²-CMOS MT8870
Integrated DTMF Receiver

9161-002-031-NA ISSUE 2 January 1989

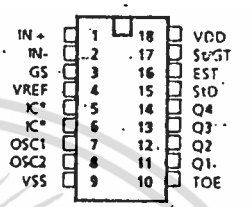
Features

- Complete DTMF receiver
- Low power consumption
- Internal gain setting amplifer
- Adjustable guard time
- Central Office Quality

Applications

- Paging systems
- Repeater systems/mobile radio
- Credit card systems
- Remote Control
- Personal Computers

Pin Connections



*connect to VSS

Ordering Information

MT8870E 18 PIN PLASTIC
MT8870C 18 PIN CERDIP

Description

The MT8870 is a complete DTMF receiver integrating both the bandsplit filter and digital decoder functions, fabricated in Mitel's double poly ISO²-CMOS technology. The filter section uses switched capacitor techniques for high and low group filters; the decoder uses digital counting techniques to detect and decode all 16 DTMF tone-pairs into a 4-bit code. External component count is minimized by on chip provision of a differential input amplifier, clock oscillator and latched 3-state bus interface.

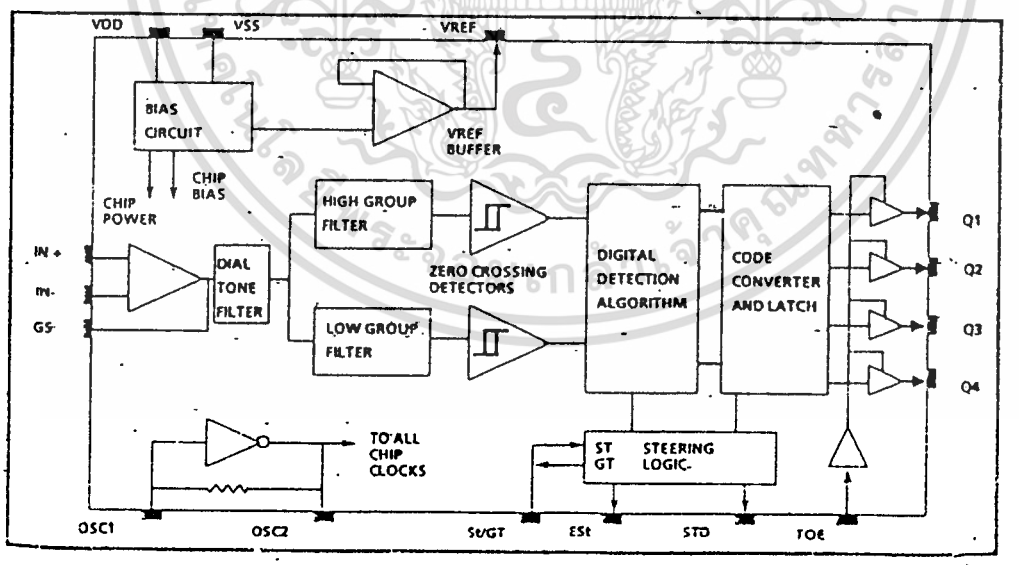


Figure 1. Functional Block Diagram

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Absolute Maximum Ratings†

	Parameter	Symbol	Min	Max	Units
1	Power supply voltage V_{DD}-V_{SS}			6	V
2	Voltage on any pin		V_{SS}-0.3	V_{DD} + 0.3	V
3	Current at any pin			10	mA
4	Operating temperature		-40	+ 85	°C
5	Storage temperature		-65	+ 150	°C
6	Package power dissipation			1000	mW

† Exceeding these values may cause permanent damage. Functional operation under these conditions is not implied.
Derate above 75 °C at 16 mW/°C All leads soldered to board.

DC Electrical Characteristics

		Characteristics	Sym	Min	Typ‡	Max	Units	Test Conditions†
1	SUPPLY	Operating supply voltage		4.75	5.0	5.25	V	
2		Operating supply current	I_{DD}		3.0	9.0	mA	
3		Power consumption	P_D		15	45	mW	f = 3.58MHz; V_{DD} = 5V
4	INPUTS	High level input	V_{IH}	3.5			V	
5		Low level input voltage	V_{IL}			1.5	V	
6		Input leakage current	I_{IH}/I_{IL}		0.1		μA	V_{IN} = V_{SS} or V_{DD}
7		Pull up (source) current	I_{SO}		7.5	15	μA	TOE (pin 10) = 0V
8		Input impedance (IN +, IN-)	R_{IN}		10		MΩ	@ 1 kHz
9		Steering threshold voltage	V_{TSt}	2.2		2.5	V	
10	OUTPUTS	Low level output voltage	V_{OL}			0.03	V	No load
11		High level output voltage	V_{OH}	4.97			V	No load
12		Output low (sink) current	I_{OL}	1	2.5		mA	V_{OUT} = 0.4V
13		Output high (source) current	I_{OH}	0.4	0.8		mA	V_{OUT} = 4.6V
14		V_{Ref} output voltage	V_{Ref}	2.4		2.8	V	No load
15		V_{Ref} output resistance	R_{OR}		10		KΩ	

‡ Typical figures are at 25°C and are for design aid only: not guaranteed and not subject to production testing.
V_{DD} = 5V ± 5%, V_{SS} = 0V Voltages are with respect to ground (V_{SS}) unless otherwise stated

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Operating Characteristics† - Voltages are with respect to ground (V_{SS}) unless otherwise stated

Gain Setting Amplifier

	Characteristics	Sym	Min	Typ‡	Max	Units	Test Conditions
1	Input leakage current	I_{IN}		100		nA	$V_{SS} \le V_{IN} \le V_{DD}$
2	Input resistance	R_{IN}		10		MΩ	
3	Input offset voltage	V_{OS}		25		mV	
4	Power suply rejection	PSRR		60		dB	1 KHz
5	Common mode rejection	CMRR		60		dB	-3.0V ≤ V_{IN} ≤ 3.0V
6	DC open loop voltage gain	A_{VOL}		65		dB	
7	Open loop unity gain bandwidth	f_C		1.5		MHz	
8	Output voltage swing	V_O		4.5		V_{pp}	$R_L \ge 100K\Omega$ to V_{SS}
9	Maximum capacitive load (GS)	C_L		100		pF	
10	Maximum resistive load (GS)	R_L		50		KΩ	
11	Common mode range	V_{CM}		3.0		V_{DD}	No Load

† V_{DD} = 5 V, V_{SS} = 0 V, T_A = 25°C

Typical figures are at 25°C and are for design aid only: not guaranteed and not subject to production testing

AC Electrical Characteristics† - Voltages are with respect to ground (V_{SS}) unless otherwise stated

		Characteristics	Sym	Min	Typ†	Max	Units	Notes
1	SIGNAL CONDITIONS	Valid input signal levels (each tone of composite signal)		-29			dBm	1,2,3,5,6,9
				27.5			mV_{RMS}	1,2,3,5,6,9
						+1	dBm	1,2,3,5,6,9
						883	mV_{RMS}	1,2,3,5,6,9
2		Positive twist accept			10		dB	2,3,6,9
3		Negative twist accept			10		dB	2,3,6,9
4		Freq. deviation accept		± 1.5% ± 2Hz			Nom.	2,3,5,9
5		Freq. deviation reject		± 3.5%			Nom.	2,3,5,9
6		Third tone tolerance			-16		dB	2,3,4,5,9,10
7		Noise tolerance			-12		dB	2,3,4,5,7,9,10
8		Dial tone tolerance			+22		dB	2,3,4,5,8,9,11

† V_{DD} = 5 V, V_{SS} = 0 , T_A = 25°C and f_C = 3.579545 MHz using test circuit shown in Figure 2

NOTES

1 dBm = decibels above or below a reference power of 1 mW into a 600 ohm load

2. Digit sequence consists of all DTMF tones

3 Tone duration = 40 ms, tone pause = 40 ms

4 Signal condition consists of nominal DTMF frequencies

5 Both tones in composite signal have an equal amplitude

6 Tone pair is deviated by ± 1.5% ± 2Hz

7 Bandwidth limited (3kHz) Gaussian noise

8 The precise dial tone frequencies are (350 Hz and 440 Hz) ± 2%

9 For an error rate of better than 1 in 10,000

10 Referenced to lowest level frequency component in DTMF signal

11 Referenced to the minimum valid accept level

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

AC Electrical Characteristics† - Voltages are with respect to ground (V_{SS}) unless otherwise stated

		Characteristics	Sym	Min	Typ‡	Max	Units	Test Conditions
1	TIMING	Tone present detect time	t_{DP}	5	11	14	ms	see Figure 3
2		Tone absent detect time	t_{DA}	0.5	4	8.5	ms	see Figure 3
3		Tone duration accept	t_{REC}			40	ms	User adjustable
4		Tone duration reject	t_{REC}	20			ms	User adjustable
5		Interdigit pause accept	t_{ID}			40	ms	User adjustable
6		Interdigit pause reject	t_{DO}	20			ms	User adjustable
7	OUTPUTS	Propagation delay (St to Q)	t_{PQ}		8	11	µs	TOE = V_{DD}
8		Propagation delay (St to StD)	t_{PStD}		12		µs	TOE = V_{DD}
9		Output data set up (Q to StD)	t_{QStD}		3.4		µs	TOE = V_{DD}
10		Propagation delay (TOE to Q ENABLE)	t_{PTE}		50		ns	RL = 10KΩ CL = 50 pF
11		Propagation delay (TOE to Q DISABLE)	t_{PTD}		300		ns	RL = 10KΩ CL = 50 pF
26	CLOCK	Crystal /clock frequency	f_C	3.5759	3.5795	3.5831	MHz	
27		Clock input rise time	t_{LHCL}			110	ns	Ext. clock
28		Clock input fall time	t_{HLCL}			110	ns	Ext. clock
29		Clock input duty cycle	DC_{CL}	40	50	60	%	Ext. clock
30		Capacitive load (OSC2)	C_{LO}			30	pF	

† V_{DD} = 5V, V_{SS} = 0V T_A = 25°C and f_C = 3.579545 MHz, using test circuit in Figure 2.
‡ Typical figures are at 25°C and are for design aid only: not guaranteed and not subject to production testing.

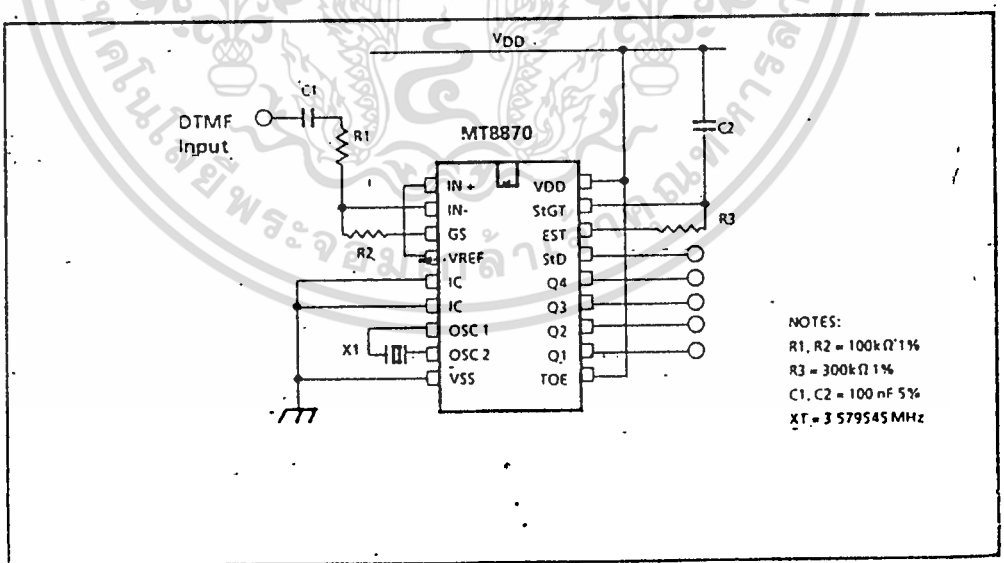


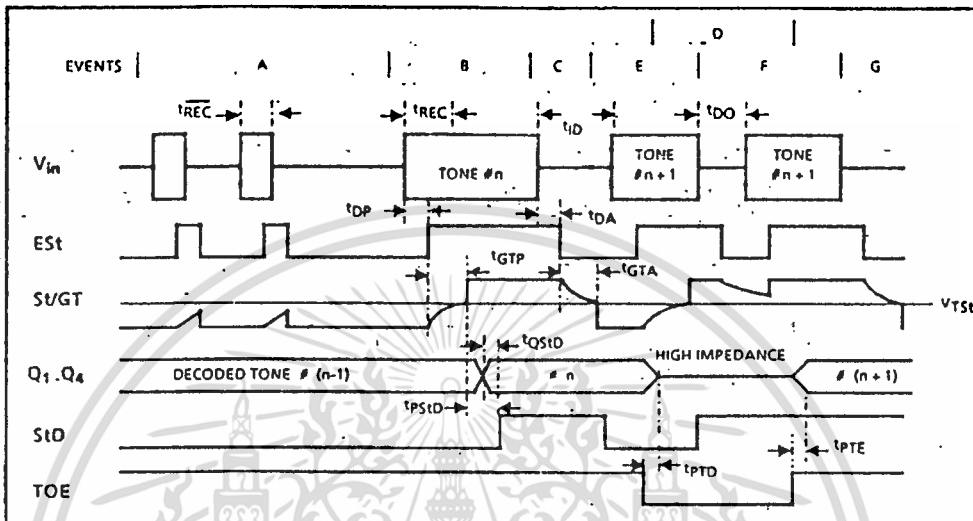
Figure 2. Single Ended Input Configuration

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Pin Description

Pin #	Name	Description
1	IN +	Non-inverting op-amp input.
2	IN-	Inverting op-amp input.
3	GS	Gain select. Gives access to output of front-end differential amplifier for connection of feedback resistor.
4	V_{REF}	Reference voltage output, nominally $V_{DD}/2$ is used to bias inputs at mid-rail (see Fig.2).
5	IC	Internal connection. Must be tied to V_{SS}.
6	IC	Internal connection. Must be tied to V_{SS}.
7	OSC1	Clock input.
8	OSC2	Clock output. A 3.5795 MHz crystal connected between OSC1 and OSC2 completes the internal oscillator circuit.
9	V_{SS}	Negative power supply input.
10	TOE	3- state output enable (input). Logic high enables the outputs Q1-Q4. Internal pull up.
11-14	Q1-Q4	3-state data outputs. When enabled by TOE, provide the code corresponding to the last valid tone-pair received (see Fig. 5).
15	StD	Delayed steering output.Presents a logic high when a received tone-pair has been registered and the output latch updated; returns to logic low when the voltage on St/Gt falls below V_{TSt}.
16	ESt	Early steering output. Presents a logic high once the digital algorithm has detected a valid tone pair (signal condition). Any momentary loss of signal condition will cause ESt to return to a logic low.
19	St/GT	Steering input/guard time output (bi-directional). A voltage greater than V_{TSt} detected at St causes the device to register the detected tone pair and update the output latch. A voltage less than V_{TSt} frees the device to accept a new tone pair. The GT output acts to reset the external steering time-constant; its state is a function of ESt and the voltage on St.
18	V_{DD}	Positive power supply input.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



EXPLANATION OF EVENTS

A) TONE BURSTS DETECTED, TONE DURATION INVALID, OUTPUTS NOT UPDATED.
B) TONE #n DETECTED, TONE DURATION VALID, TONE DECODED AND LATCHED IN OUTPUTS.
C) END OF TONE #n DETECTED, TONE ABSENT DURATION VALID, OUTPUTS REMAIN LATCHED UNTIL NEXT VALID TONE.
D) OUTPUTS SWITCHED TO HIGH IMPEDANCE STATE.
E) TONE #n + 1 DETECTED, TONE DURATION VALID, TONE DECODED AND LATCHED IN OUTPUTS (CURRENTLY HIGH IMPEDANCE).
F) ACCEPTABLE DROPOUT OF TONE #n + 1, TONE ABSENT DURATION INVALID, OUTPUTS REMAIN LATCED.
G) END OF TONE #n + 1 DETECTED, TONE ABSENT DURATION VALID, OUTPUTS REMAIN LATCHED UNTIL NEXT VALID TONE.

EXPLANATION OF SYMBOLS

V_{in}	DTMF COMPOSITE INPUT SIGNAL.
ESt	EARLY STEERING OUTPUT. INDICATES DECTECTION OF VALID TONE FREQUENCIES.
St/GT	STEERING INPUT/GUARD TIME OUTPUT. DRIVES EXTERNAL RC TIMING CIRCUIT.
Q_1-Q_4	4-BIT DECODED TONE OUTPUT.
StD	DELAYED STEERING OUTPUT. INDICTES THAT VALID FREQUENCIES HAVE BEEN PRESENT/ABSENT FOR THE REQUIRED GUARD TIME THUS CONSISTUTING A VALID SIGNAL.
TOE	TONE OUTPUT ENABLE (INPUT). A LOW LEVEL SHIFTS Q_1-Q_4 TO ITS HIGH IMPEDANCE STATE.
$t_{\overline{REC}}$	MAXIMUM DTMF SIGNAL DURATION NOT DETECTED AS VALID
t_{REC}	MINIMUM DTMF SIGNAL DURATION REQUIRED FOR VALID RECOGNITION
t_{ID}	MINIMUM TIME BETWEEN VALID DTMF SIGNALS.
t_{DO}	MAXIMUM ALLOWABLE DROP OUT DURING VALID DTMF SIGNAL.
t_{DP}	TIME TO DETECT THE PRESENCE OF VALID DTMF SIGNALS
t_{DA}	TIME TO DETECT THE ABSENCE OF VALID DTMF SIGNALS
t_{GTP}	GUARD TIME, TONE PRESENT
t_{GTA}	GUARD TIME, TONE ABSENT

Figure 3. Timing Diagram

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Functional Description

The MT8870 monolithic DTMF receiver offers small size, low power consumption and high performance. Its architecture consists of a bandsplit filter section, which seperates the high and low group tones, followed by a digital counting section which verifies the frequency and duration of the received tones before passing the corresponding code to the output bus.

Filter Section

Seperation of the low-group and high group tones is achieved by applying the DTMF signal to the inputs of two sixth-order switched capacitor band pass filters, the band-widths of which correspond to the low and high group frequencies. The filter section also incorporates notches at 350 and 440 Hz for exceptional dial tone rejection (see Fig. 4). Each filter output is followed by a single order switched capacitor filter section which smooths the signals prior to limiting. Limiting is performed by high-gain comparators which are provided with hysteresis to prevent detection of unwanted low-level signals. The outputs of the comparators provide full rail logic swings at the frequencies of the incoming DTMF signals.

Decoder Section

Following the filter section is a decoder employing digital counting techniques to determine the frequencies of the incoming tones and to verify that they correspond to standard DTMF frequencies. A complex averaging algorithm protects against tone simulation by extraneous signals such as voice while providing tolerance to small frequency deviations and variations. This averaging algorithm has been developed to ensure an optimum combination of immunity to talk-off and tolerance to the presence of interfering frequencies (third tones) and noise. When the detector recognizes the presence of two valid tones (this is referred to as the "signal condition" in some industry specifications) the "Early Steering" (ESt) output will go to an active state. Any subsequent loss of signal condition will cause ESt to assume an inactive state (see "Steering Circuit").

Steering Circuit

Before registration of a decoded tone pair, the receiver checks for a valid signal duration (referred to as character recognition condition). This check is performed by an external RC time constant driven by ESt. A logic high on ESt causes v_c (see Fig. 6) to rise as the capacitor discharges.

Provided signal condition is maintained (ESt remains high) for the validation period (t_{GTP}), v_c reaches the threshold (V_{TSt}) of the steering logic to register the tone pair, latching its corresponing 4-bit code (see Fig. 5) into the output latch. At this point the GT output is activated and drives v_c to VDD. GT continues to drive high as long as ESt remains high. Finally, after a short delay to allow the output latch to settle, the delayed steering output flag (StD) goes high, signalling that a received tone pair has been registered. The contents of the output latch are made available on the 4-bit output bus by raising the three state control input (TOE) to a logic high. The steering circuit works in reverse to

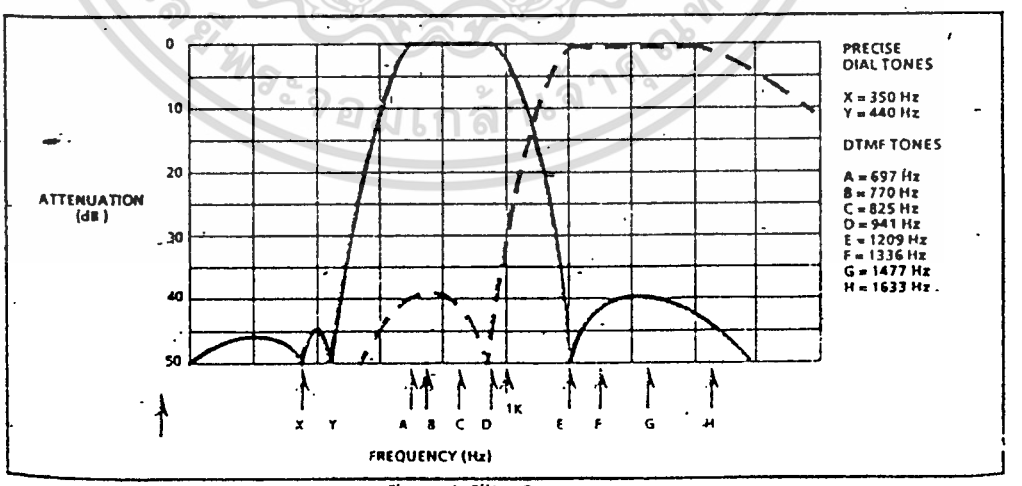


Figure 4. Filter Response

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

f_{LOW}	f_{HIGH}	NO.	TOE	Q_4	Q_3	Q_2	Q_1
697	1209	1	H	0	0	0	1
697	1336	2	H	0	0	1	0
697	1477	3	H	0	0	1	1
770	1209	4	H	0	1	0	0
770	1336	5	H	0	1	0	1
770	1477	6	H	0	1	1	0
852	1209	7	H	0	1	1	1
852	1336	8	H	1	0	0	0
852	1477	9	H	1	0	0	1
941	1336	0	H	1	0	1	0
941	1209	*	H	1	0	1	1
941	1477	#	H	1	1	0	0
697	1633	A	H	1	1	0	1
770	1633	B	H	1	1	1	0
852	1633	C	H	1	1	1	1
941	1633	D	H	0	0	0	0
-	-	ANY	L	Z	Z	Z	Z

L = LOGIC LOW, H = LOGIC HIGH, Z = HIGH IMEDANCE

Figure 5. Functional Decode Table

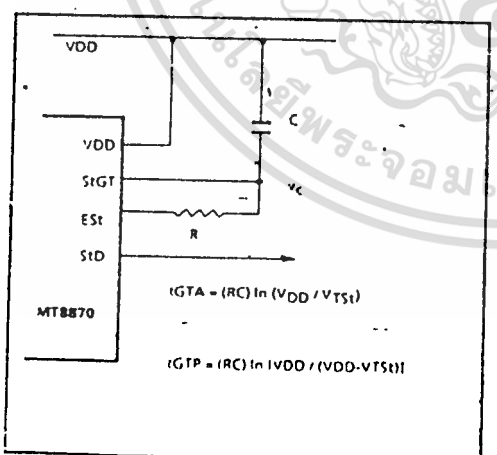


Figure 6. Basic Steering Circuit

validate the interdigit pause between signals. Thus, as well as rejecting signals too short too be considered valid, the receiver will tolerate signal interruptions (drop out) too short to be considered a valid pause. This facility, together with the capability of selecting the steering time constants externally, allows the designer to tailor performance to meet a wide variety of system requirements.

Guard Time Adjustment

In many situations not requiring selection of tone duration and interdigital pause, the simple steering circuit shown in Fig. 6 is applicable. Component values are chosen according to the formula:

$$t_{REC} = t_{DP} + t_{GTP}$$
$$t_{ID} = t_{DA} + t_{GTA}$$

The value of t_{DP} is a device parameter (see table) and t_{REC} is the minimum signal duration to be recognized by the receiver. A value for C of 0.1 μF is recommended for most applications, leaving R to be selected by the designer.

Different steering arrangements may be used to select independantly the guard times for tone present (t_{GTP}) and tone absent (t_{GTA}). This may be necessary to meet system specifications which place both accept and reject limits on both tone duration and interdigital pause. Guard time adjustment also allows the designer to tailor system parameters such as talk off and noise immunity. Increasing t_{REC} improves talk-off performance since it reduces the probability that tones simulated by speech will maintain signal condition long enough to be registered. Alternatively, a relatively short t_{REC} with a long t_{DO} would be appropriate for extremely noisy environments where fast aquisition time and immunity to tone drop-outs are required. Design information for guard time adjustment is shown in Figure 7

Differential Input Configuration

The input arrangement of the MT8870 provides a differential-input operational amplifier as well as a bias source(V_{Ref}) which is used to bias the inputs at mid-rail. Provision is made for connection of a feedback resistor to the op-amp output (GS) for adjustment of gain. In a single-ended configuration, the input pins are connected as shown in Fig. 2 with the op-amp connected for unity gain and V_{Ref} biasing the input at $\frac{1}{2}V_{DD}$. Fig. 3 shows the differential configuration, which permits the

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

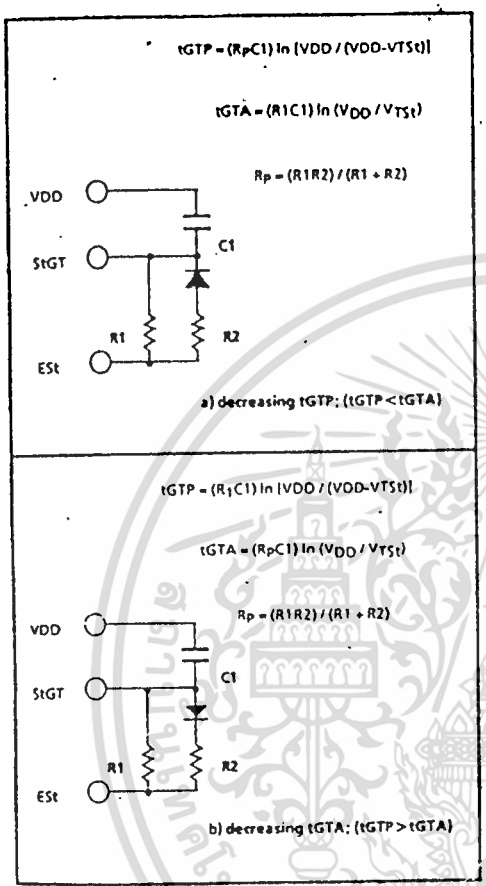


Figure 7. Guard Time Adjustment

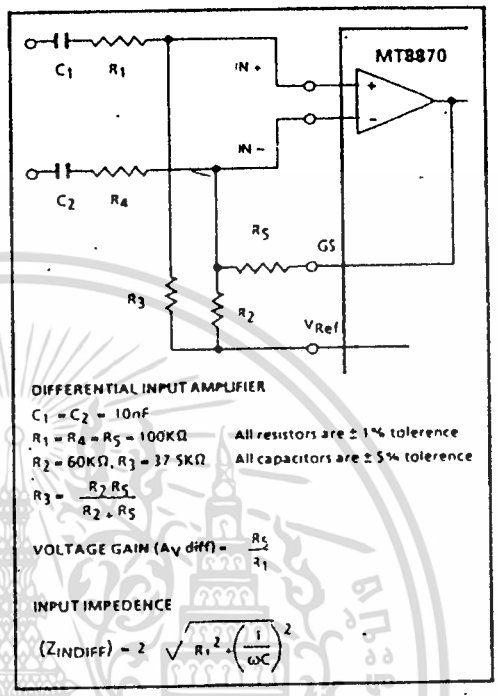


Figure 8. Differential Input Configuration

adjustment of gain with the feedback resistor R_S.

Crystal Oscillator

The internal clock circuit is completed with the addition of an external 3.58 MHz crystal and is normally connected as shown in Figure 2 (Single Ended Input Configuration). However, it is possible to configure several MT8870 devices employing only a single oscillator crystal. The oscillator output of the first device in the chain is coupled through a 30 pF capacitor to the oscillator input (OSC1) of the next device. Subsequent devices are connected in a similar fashion. Refer to Fig. 9 for details. The problems associated with unbalanced loading are not a concern with the arrangement shown, ie; precision balancing capacitors are not required.

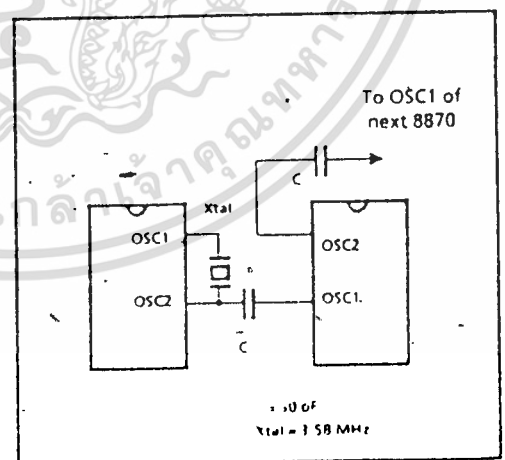


Figure 9. Oscillator Connection

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้