



ปีการศึกษา 2534

ปริญญานิพนธ์ เรื่อง
เครื่องชั่งน้ำหนักแบบดิจิตอล

โดย

จรัญ	ชนบุญสมบัติ	31-1026
จักรี	กุลจรรยาวิวัฒน์	31-1031
สฤณี	วงศ์อัครเศรณี	31-1320

อาจารย์ที่ปรึกษา

อาจารย์ สรพันธุ์ เอื้อไพฑูริย์

อาจารย์ที่ปรึกษาร่วม

อาจารย์ สมศักดิ์ เข็ญศิริกุล

008504

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ปริญญานิพนธ์ ปีการศึกษา 2534

ภาควิชา อิเลคทรอนิกส์

คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เรื่อง เครื่องชั่งน้ำหนักแบบดิจิตอล

ผู้จัดทำ

1. นาย จรรย์ ชนบุญสมบัติ 31-1026
2. นาย จักรี กุลจรรยาวิวัฒน์ 31-1031
3. นาย สฤชดี วงศ์อัครเศ 31-1320

.....อาจารย์ที่ปรึกษา
(อาจารย์ สุรพันธ์ เอื้อไพฑูริย์)

.....อาจารย์ที่ปรึกษาร่วม
(อาจารย์ สมศักดิ์ เข็ยร์ศิริกุล)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ABSTRACT

This project is concerns in the studying of digital weight-meter. It's consists of two main parts: the first is the mechanics part and the second part is the electronics circuits. In the mechanics part , the transducer is pressured by weight and it's give an electrical output signal proportional to the pressure. This signal is amplified by instrumentation amplified. This signal is analog signal and it converted to be digital output signal by analog to digital converter successively. This digital signal is sent to cpu board and operated to give output that can be read directly from the LCD display.

บทคัดย่อ

ในโครงการนี้ เป็นการศึกษาที่เกี่ยวกับเรื่องของเครื่องชั่งแบบดิจิทัล ซึ่งมีส่วนประกอบที่สำคัญสองส่วนคือ ส่วนทางเครื่องจักรกล (mechanics part) และส่วนวงจรทางอิเล็กทรอนิกส์ (electronics circuits) ในส่วนของเครื่องจักรกล จะเป็นส่วนที่น้ำหนักของสิ่งที่ต้องการจะชั่งตกลงบน ทรานสดิวเซอร์ (transducer) ผลที่ได้จากนั้นจะได้สัญญาณอิเล็กทรอนิกส์ออกมา ซึ่งจะสัมพันธ์กับน้ำหนักที่ตกลงไป และสัญญาณนี้จะนำไปขยายโดย อินสตรูเมนต์แอมป์ริไฟเออร์ (instrumentation amplified) ซึ่งเป็นสัญญาณ อนาล็อก และจะถูกแปลงเป็นสัญญาณดิจิทัลโดย A to D converter (analog to digital converter) หลังจากที่แปลงสัญญาณเรียบร้อยแล้ว ก็จะนำสัญญาณที่ได้ส่งไปยังส่วนประมวลผลกลาง เพื่อที่จะได้เปรียบเทียบค่าที่ได้มานั้นเทียบกับน้ำหนักเท่าไร แล้วส่งสัญญาณที่ได้ไปยังส่วนแสดงผล ซึ่งเป็น จอ LCD เพื่อที่จะทำให้สามารถทราบได้เลยว่ามีค่าเท่าใด

สารบัญ

บทที่ 1	บทนำ	1
บทที่ 2	ทฤษฎีหรือหลักการ	2
2.1	โวลต์เตจเรกกูเรเตอร์แบบอนุกรม	2
2.2	อินสตรูเมนต์ชั้น แอมป์ไฟเออร์	3
2.3	A/D CONVERTER (ADC)	6
2.3.1	DUAL SLOPE A/D CONVERTER	8
2.3.2	SUCCESSIVE APPROXIMATION A/D CONVERTER	12
2.4	DOT MATRIX LCD MODULE	13
2.5	CPU Z84C11	18
บทที่ 3	การคำนวณและการสร้าง โฟลท์ชาร์ท โปรแกรมที่นำมาใช้งาน	20 27 31
บทที่ 4	การทดลองและผลการทดลอง	61
บทที่ 5	บทวิจารณ์และสรุป	65

ภาคผนวก

กิตติกรรมประกาศ

หนังสืออ้างอิง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

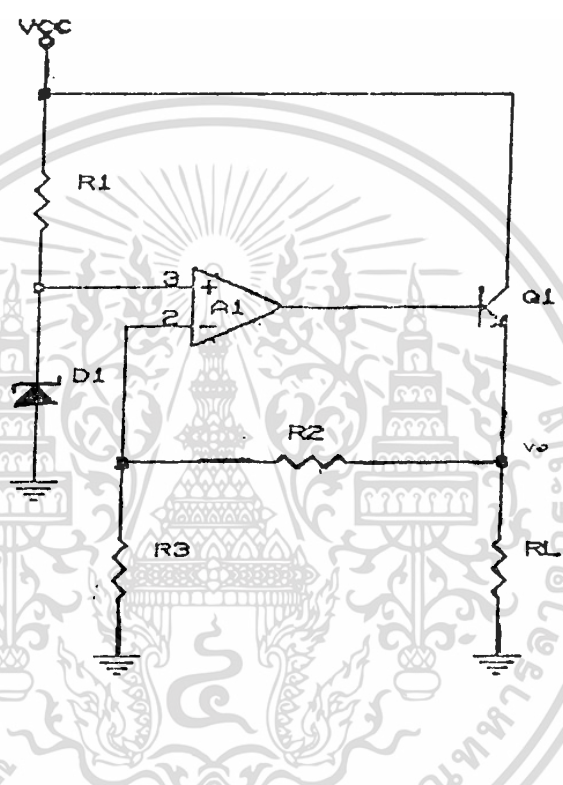
บทที่ 1
บทนำ

เครื่องซึ่งที่ใช้กันทั่วไปในปัจจุบันมีหลายแบบ เช่น เครื่องซึ่งแบบเข็ม เครื่องซึ่งสปริงใน
บรรดาเครื่องซึ่งแบบต่าง ๆ เหล่านี้ ยังมีเครื่องซึ่งอีกแบบที่น่าสนใจ และน่าจะมีการใช้
งานอย่างแพร่หลายมากขึ้นเรื่อย ๆ คือเครื่องซึ่งแบบคิจิตอล ซึ่งอาจจะพบเห็นได้ตามโรงงาน
อุตสาหกรรมหรือห้างสรรพสินค้าต่าง ๆ ทั้งนี้เนื่องจากว่าเครื่องซึ่งแบบนี้สามารถอ่านค่าได้
โดยตรงจากตัวเลขที่ปรากฏให้เห็น และยังสามารถอ่านค่าได้ละเอียดมากด้วย ดังนั้นหากมี
การค้นคว้าและพัฒนาให้มีประสิทธิภาพดีขึ้นเรื่อย ๆ รวมทั้งทำให้มีราคาถูกลง ก็อาจจะเป็นไปได้
ได้ว่าเครื่องซึ่งแบบเก่าจะถูกแทนที่ด้วยเครื่องซึ่งแบบคิจิตอล



บทที่ 2
ทฤษฎีหรือหลักการ

2.1 โวลเตจเรกกูเลเตอร์แบบอนุกรม (SERIES TYPE VOLTAGE REGULATOR)



$$V_{ref} = \frac{V_o R_3}{R_2 + R_3}$$

$$V_{ref} \frac{R_2 + R_3}{R_3} = V_o$$

ภาพที่ 2.1.1

จากภาพที่ 2.1.1 แหล่งกำเนิดศักดาปริยายเทียบ (reference voltage source) V_{ref} จะให้เอาต์พุตที่มีค่าคงที่เท่ากับ V_{ref} และจะป้อนเข้าที่ขาอินอินเวอร์ตติงของ A_1 เอาต์พุตของ A_1 จะขับทรานซิสเตอร์ Q_1 เพื่อให้จ่ายกระแสให้แก่โหลดได้อย่างเพียงพอ ศักดาไฟฟ้าที่เอาต์พุต (V_o) ที่ขา emitter ของ Q_1 จะถูกป้อนกลับโดยผ่านทาง feedback network R_2 และ R_3 เข้าที่ขาอินเวอร์ตติงของ A_1 ค่าการลดทอน (attenuation) ของ feedback network (B) จะเป็นไปตามสมการ

$$B = R_2 / (R_2 + R_3) \tag{2.1.1}$$

เนื่องจากศักดาที่ขาอินอินเวอร์ตติงและขาอินเวอร์ตติงของ A_1 จะต้องมีความเท่ากันดังนั้นจะไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้
ได้ว่า

$$Bv_o = [R_2 / (R_2 + R_3)] v_{ref} = v_{ref} \quad (2.1.2)$$

ซึ่งผลที่ได้ก็คือ

$$v_o = \left(\frac{R_2 + R_3}{R_2} \right) v_{ref}$$

$$v_o = (1 + R_3/R_2) v_{ref} \quad (2.1.3)$$

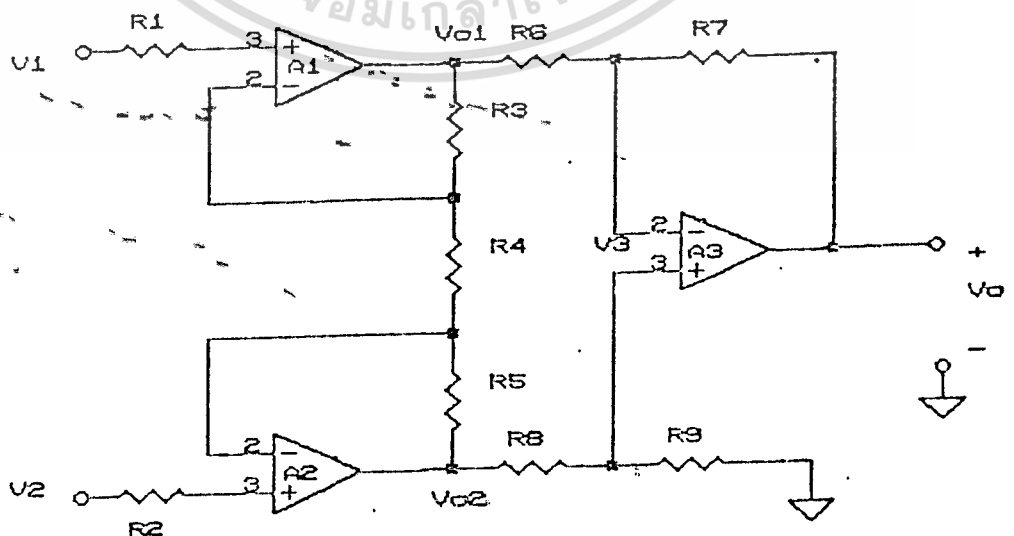
จากสมการที่ (2.1.3) จะเห็นว่า v_o มีค่าแปรผันโดยตรงกับ v_{ref} ดังนั้นการที่จะทำให้ v_o มีค่าคงที่โดยไม่เปลี่ยนแปลงตามอุณหภูมิและเวลา แหล่งกำเนิดศักดาเปรียบเทียบจะต้องมีคุณสมบัติดังนี้คือ

1. ค่าสัมประสิทธิ์ตามอุณหภูมิ (temperature coefficient) ของแหล่งกำเนิดศักดาเปรียบเทียบ จะต้องเท่ากับ ศูนย์ ซึ่งกระทำได้โดยการรักษาให้กระแสที่ไหลผ่านแหล่งกำเนิดศักดาเปรียบเทียบมีค่าคงที่ และในทางปฏิบัติค่าสัมประสิทธิ์ตามอุณหภูมิของแหล่งกำเนิดศักดาเปรียบเทียบมักจะมีค่าคงที่ที่กระแสแน่นอนค่าหนึ่งเท่านั้น

2. ถ้า v_{cc} มีค่าเปลี่ยนแปลงจะทำให้ v_{ref} มีการเปลี่ยนแปลงด้วย เนื่องจากค่าไดนามิกคริสเตนซ์ (dynamic resistance) ของแหล่งกำเนิดศักดาเปรียบเทียบมักจะมีค่าไม่เป็นศูนย์

นอกจากนี้จะเห็นได้จากวงจรว่า v_o ที่คร่อมโหลดจะมีค่าสูงสุดได้ไม่เกิน $v_{cc} - v_{be}$ และกระแสที่ไหลผ่าน R_L จะมีค่าสูงสุดได้ไม่เกิน I_{max} ของ Q_L นั่นคือ R_L จะต้องมีความต้านทานมากพอ ดังนั้นในการใช้งานจึงควรคำนึงถึงขีดความสามารถของอุปกรณ์แต่ละตัวด้วย

2.2 อินสตรูเมนต์แอมพลิฟายเออร์ (INSTRUMENTATION AMPLIFIER)



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา ภาพที่ 2.2:1 ถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

พิจารณาจากวงจรในภาพที่ 2.2.1 จะเห็นว่าวงจรมีประกอบด้วยสองภาค โดยภาคแรกประกอบด้วย A_1 และ A_2 ซึ่งมีลักษณะเป็นแบบ differential input differential output และ ภาคที่สองคือ A_3

ขณะที่มีสัญญาณป้อนเข้าที่จุดอินพุทของวงจรมีค่า v_1 และ v_2 ดังนั้น ได้โดยจะเห็นว่าศักดาคร่อม R_4 มีค่าเท่ากับ $v_1 - v_2$ ดังนั้น

$$i = (v_1 - v_2)/R_4 \quad (2.2.1)$$

ดังนั้นจะได้

$$\begin{aligned} v_{o1} &= v_1 + [(v_1 - v_2)/R_4]R_3 \\ &= v_1(1 + R_3/R_4) - v_2(R_3/R_4) \end{aligned} \quad (2.2.2)$$

$$\begin{aligned} v_{o2} &= v_2 - [(v_1 - v_2)/R_4]R_5 \\ &= v_2(1 + R_5/R_4) - v_1(R_5/R_4) \end{aligned} \quad (2.2.3)$$

ดังนั้น

$$v_{o1} - v_{o2} = [(v_1 - v_2)/R_4](R_3 + R_4 + R_5) \quad (2.2.4)$$

$$A_{diff} = (R_3 + R_4 + R_5)/R_4 \quad (2.2.5)$$

ในกรณีที่สัญญาณอินพุทเป็นแบบคอมมอนโหมดคือ $v_1 = v_2 = v_{cm}$ จะไม่มีกระแสไหลผ่าน R_4 ทำให้ไม่มีกระแสไหลผ่าน R_3 และ R_5 ดังนั้นจะได้ว่า v_{o1} และ v_{o2} จะเท่ากับ v_{cm} ด้วย

$$\begin{aligned} A_{cm} &= v_o/v_{cm} \\ &= [R_3/(R_3 + R_4)][(R_5 + R_7)/R_6] - (R_7/R_6) \end{aligned} \quad (2.2.6)$$

ถ้าต้องการใช้วงจรนี้ในการขยายเฉพาะสัญญาณแบบดิฟเฟอเรนเชียลโหมดนั้นคือ เมื่อ $v_1 = v_2 = v_{cm}$ จะได้ v_o มีค่าเป็นศูนย์ จากสมการ (2.2.6) เงื่อนไขนี้จะเป็นจริงก็ต่อเมื่อ

$$R_6/R_7 = R_5/R_3 \quad (2.2.7)$$

และเมื่อสมการ (2.2.7) เป็นจริง จะได้

$$v_o = (v_{o2} - v_{o1})(R_7/R_6) \quad (2.2.8)$$

แทนค่าสมการ (2.2.4) ใน (2.2.8) จะได้

$$v_o = -(v_1 - v_2)[(R_3 + R_4 + R_5)/R_4](R_7/R_6) \quad (2.2.9)$$

เอกสารนี้เป็นเอกสารลิขสิทธิ์ของวงจรมอนิเตอร์ INSTRUMENTATION AMP. ไม่อนุญาตให้ทำซ้ำโดยไม่ได้รับอนุญาต

1. จากสมการ (2.2.5) จะเห็นว่าภาคแรกของวงจรมีค่า S/N RATIO สัญญาณ

ให้มีความสูงขึ้นเนื่องจากสัญญาณแบบคิฟเฟอร์เรนเซียลโหมดเท่านั้นที่จะถูกขยาย ส่วนสัญญาณรบกวน (noise) ที่เป็นแบบคอมมอนโหมดจะถูกกำจัดออกไป

2. จากสมการ (2.2.9) จะเห็นว่าการปรับอัตราขยายของวงจรสามารถกระทำได้ โดยการปรับค่าความต้านทาน R_u , R_d หรือ R_{uu} โดยไม่มีผลต่อค่า CMRR ของวงจรราบใดที่เงื่อนไขของสมการ (2.2.7) ยังเป็นความจริงอยู่ แต่ในทางปฏิบัติมักจะใช้ค่าความต้านทาน R_u ในการปรับอัตราขยายของวงจร

3. ในกรณีที่ A_1 และ A_2 มีคุณสมบัติเหมือนกันทุกประการ การดริฟท์ (drift) ของวงจรจะเกิดในทิศทางเดียวกันด้วยขนาดเท่ากัน ดังนั้นสัญญาณที่เกิดจากการดริฟท์ของทั้ง A_1 และ A_2 จะกลายเป็นสัญญาณคอมมอนโหมดซึ่งจะถูกกำจัดโดย A_u ดังนั้นถ้าเลือกใช้ A_u ที่เป็นออปแอมป์ที่มีคุณภาพดี ออฟเซตดริฟท์ (offset drift) ที่เกิดจากวงจรถัดๆ จะมีความน้อยมาก

ในการทำงานครั้งนี้เราใช้อินสตรูเมนเตชันแอมป์ปรีนาฬายเออร์ ที่เป็น IC เบอร์ INA101 ซึ่งมีคุณสมบัติคือ

1. มีค่าโวลท์เทจดริฟท์ (voltage drift) ที่ต่ำมาก คือ $25 \mu\text{V}/^\circ\text{C}$
2. มีค่า ออฟเซตโวลท์ (offset voltage) ที่ต่ำ คือประมาณ $25 \mu\text{V}$
3. มีค่าที่เป็นนอนลิเนียร์ตีตี (nonlinearity) ประมาณ 0.002 %
4. มีสัญญาณรบกวน (noise) ต่ำ คือ $13 \text{ nV}/\sqrt{\text{Hz}}$ at $f_{\text{no}} = 1 \text{ kHz}$
5. มีค่า CMR (Common Mode Rejection) ที่สูง คือ 106 dB at 60 Hz
6. มีค่าอินพุตอิมปีแดนซ์ที่สูง เท่ากับ 10^{10} โอห์ม
7. ประหยัดค่าใช้จ่าย

นอกจากนี้ยังสามารถนำไปประยุกต์ใช้กับเรื่องต่าง ๆ ได้เช่น

1. ขยายสัญญาณที่มาจากแหล่งกำเนิดต่าง ๆ เช่น Strain Gages, Thermocouples
2. ใช้กับทรานสดิวเซอร์ที่อยู่ในระยะไกล

เอกสารนี้เป็นเอกสารที่จัดทำขึ้นเพื่อใช้ในการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งยังมีให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4. เครื่องมือทางการแพทย์

2.3 A/D CONVERTER (ADC)

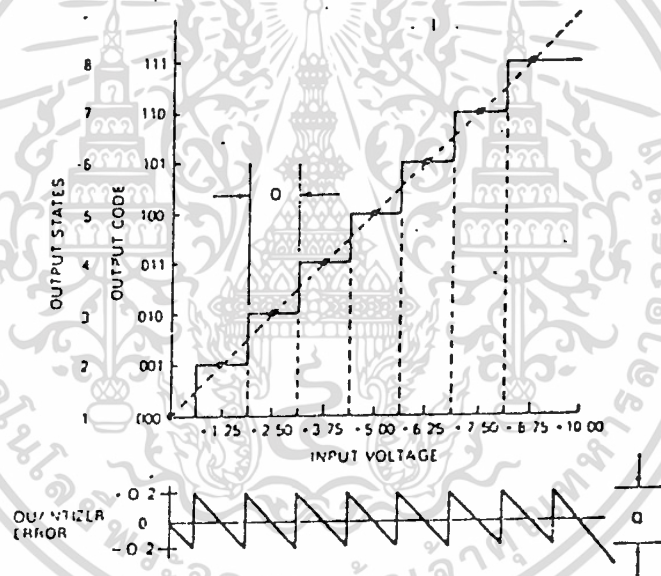
นิยามของค่าที่ใช้เกี่ยวกับ A/D CONVERTER

resolution หมายถึงจำนวนเอาต์พุตสเตต (output state) ของ ADC ซึ่งมีค่าเท่ากับ 2^n โดย n คือจำนวน bit ของดิจิตอลเอาต์พุต (digital output) ของ ADC

quantum หมายถึงช่วงที่เล็กที่สุดของอนาล็อกอินพุต (analog input) ที่จะทำให้ค่าของดิจิตอลเอาต์พุตเป็นค่าเดียวกัน ซึ่งจะหาได้จากสมการต่อไปนี้

$$Q = \text{FSR}/2^n \quad (2.3.1)$$

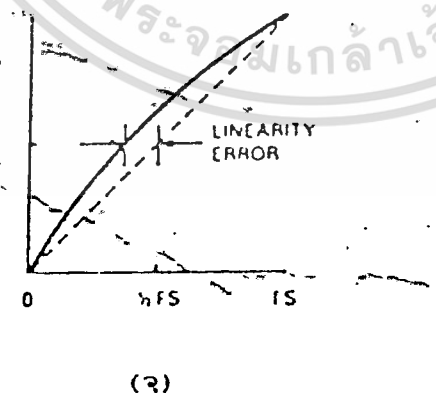
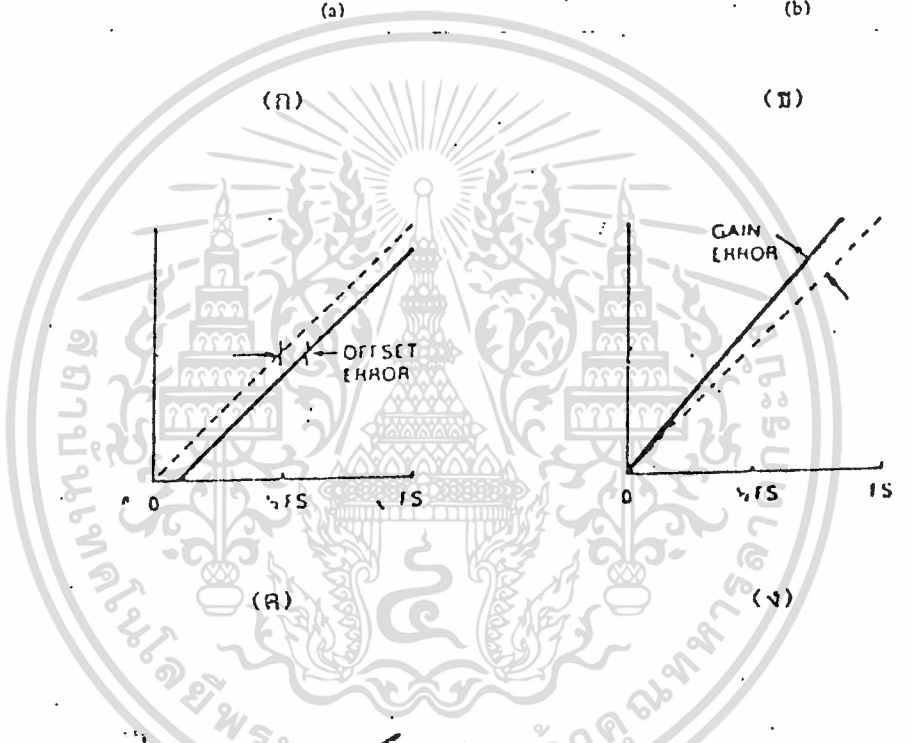
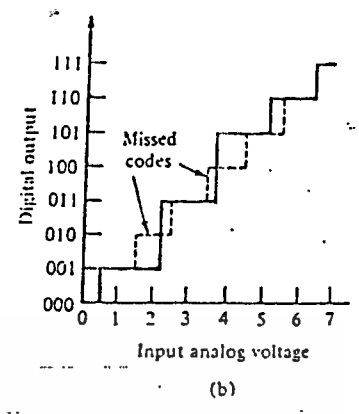
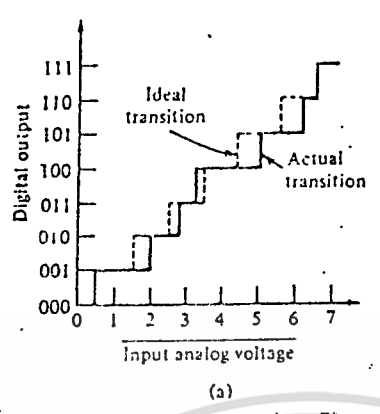
โดย FSR คือ full scale range ของอนาล็อกอินพุต



ภาพที่ 2.3.1

ถ้าให้ออนาล็อกอินพุตมีค่าเปลี่ยนแปลงในช่วง full scale range แล้วหาผลต่างของอนาล็อกอินพุตกับดิจิตอลเอาต์พุตจะได้ error function มีลักษณะเป็นรูป sawtooth ซึ่งเรียกว่า quantizing error ดังภาพที่ 2.3.1 และจะเห็นได้ว่าผลต่างของอนาล็อกอินพุตกับดิจิตอลเอาต์พุตจะมีค่าอยู่ในช่วง $(1/2)Q$ ซึ่งเมื่อพิจารณาจากสมการ (2.3.1) จะเห็นได้ว่าค่าผิดพลาด (error) ดังกล่าวจะสามารถลดลงได้โดยการเพิ่มค่า n

เอกสารนี้เป็นเอกสารที่สงวนลิขสิทธิ์ไว้สำหรับใช้ภายในเท่านั้น ไม่ควรเผยแพร่โดยไม่ได้รับอนุญาต
 monotonic คือเมื่อทำการเปลี่ยนแปลงค่าของอนาล็อกอินพุตแล้วจะทำให้ดิจิตอลเอาต์พุตมีการเปลี่ยนแปลงในทิศทางเดียวกันกับอินพุตด้วย ดังที่แสดงไว้ในภาพที่ 2.3.2 (ก)



ภาพที่ 2.3.2

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

missing code คือการที่เอาท์พุทสเตทบางค่าหายไป กล่าวคือถึงแม้ว่าจะมีการเปลี่ยนแปลงค่าของอนาลอกอินพุทตลอดช่วงที่ใช้งานแล้วก็ตาม จะไม่มีค่าของอินพุทค่าใดที่ทำให้เกิดเอาท์พุทสเตทค่านี้ได้ ดังแสดงในภาพที่ 2.3.2 (ข)

offset error คือค่าผิดพลาดซึ่งเกิดจากการที่แต่ละช่วง (step) ของอนาลอกอินพุทที่ทำให้ดิจิตอลเอาท์พุทมีการเปลี่ยนแปลงต่างก็มีค่าเท่ากับ 1 LSB แต่จุดกึ่งกลางของช่วงแรกไม่ได้เกิดที่ตำแหน่งศูนย์ ดังที่แสดงในภาพที่ 2.3.2 (ค)

gain error คือค่าผิดพลาดซึ่งเกิดจากการที่แต่ละช่วงของอนาลอกอินพุทที่ทำให้ดิจิตอลเอาท์พุทมีการเปลี่ยนแปลงต่างก็มีค่าเท่ากันแต่ไม่เท่ากับ 1 LSB ดังนั้นถ้าลากเส้นเชื่อมระหว่างจุดกึ่งกลางของแต่ละช่วงแล้วจะได้อุปเป็นเส้นตรง ดังแสดงในภาพที่ 2.3.2 (ง)

linearity error คือค่าผิดพลาดซึ่งเกิดจากการที่แต่ละช่วงของอนาลอกอินพุท ที่ทำให้ดิจิตอลเอาท์พุท มีการเปลี่ยนแปลงมีค่าไม่เท่ากันตลอดช่วงของอินพุท ดังนั้นถ้าลากเส้นเชื่อมระหว่างจุดกึ่งกลางของแต่ละช่วงแล้วจะไม่ได้รูปเป็นเส้นตรง ดังแสดงในภาพที่ 2.3.2 (จ)

2.3.1 DUAL SLOPE A/D CONVERTER

A/D CONVERTER ชนิดนี้จะประกอบด้วยส่วนที่สำคัญคือออปแอมป์อินทิเกรเตอร์ ออปแอมป์คอมพาราเตอร์ (มักจะใช้งานในรูปแบบของ zero crossing detector) เคานเตอร์ (counter) ส่วน control logic และแหล่งกำเนิดคิกดาเปรียบเทียบ นอกจากนี้ยังอาจจะประกอบด้วยส่วน automatic-zero-correction (AUTO ZERO) ซึ่งจะใช้ในการลดผลของดีซีออฟเซต (DC offset) ของตัววงจรเอง

จากภาพที่ 2.3.4 เมื่อเริ่มเฟส 1 (AUTO ZERO) ซึ่งเป็นส่วนแรกของ conversion cycle สวิตช์ S_1 จะต่ออินพุทของออปแอมป์เข้ากับจุดกราวด์ (S_1 อยู่ที่ตำแหน่ง A) และ S_2 จะปิดวงจรทำให้เกิด AUTO ZERO LOOP ขึ้น ดังนั้น C_{A2} จะถูก charge ทำให้ผลรวมของคิกดาออฟเซต (offset voltage) ที่เกิดจาก A_1 , A_2 และ A_3 ปรากฏที่ขา non-inverting ของ A_2 ช่วงเวลาที่ใช้โดยเฟส 1 (t_1) จะถูกกำหนดให้มีค่าคงที่

เมื่อเริ่มเฟส 2 (SIGNAL INTEGRATE) S_2 จะเปิดวงจรที่ทำให้ AUTO ZERO LOOP ถูกตัดออกจากวงจร สวิตช์ S_1 จะต่อกับคิกดาอินพุทที่ต้องการวัด (S_2 ต่อกับตำแหน่ง B) วงจรอินทิเกรเตอร์ทำการอินทิเกรต (integrate) สัญญาณอินพุทในช่วงเวลาที่กำหนดไว้



แน่นอนเท่ากับ t_2 และในขณะที่เริ่มเฟส 2 ก็จะมีสัญญาณทริกเคอร์เตอร์ให้เริ่มนับขึ้นจำนวนสัญญาณ clock ที่นับได้จะมีค่าคงที่ด้วย เมื่อสิ้นสุดเฟส 2 สวิตช์ S_2 จะต่อเข้ากับศักดาเปรียบเทียบที่มีค่าคงที่และมีทิศทางตรงกันข้ามกับอินพุต V_{in} . ตำแหน่ง C นั้นคือเริ่มเข้าสู่เฟส 3 (REFERENCE INTEGRATE) ดังนั้นขณะที่อยู่ในเฟส 2 จะต้องมีส่วนของวงจรที่คอยตรวจสอบทิศทางของอินพุตด้วยเพื่อให้ศักดาเปรียบเทียบมีทิศทางที่ถูกต้อง และเนื่องจากศักดาเปรียบเทียบมีค่าคงที่ ดังนั้นค่าความชัน (slope) ของเอาท์พุทที่ A_2 ก็จะมีค่าคงที่ และมีทิศทางตรงข้ามกับเอาท์พุทที่ เฟส 2 จึงอาจกล่าวได้ว่า เฟส 3 เป็นการ de-integrated สัญญาณอินพุตและในขณะที่เริ่มเข้าสู่เฟส 3 เคาน์เตอร์จะเริ่มนับใหม่อีกครั้งหนึ่ง ในช่วงนี้ A_2 จะคอยตรวจสอบว่าเอาท์พุทของ A_2 มีศักดาเท่ากับศูนย์หรือยัง ถ้าหากมีการตรวจพบ ส่วน control logic จะควบคุมให้เคาน์เตอร์หยุดนับ ดิจิตอลเอาท์พุทของเคาน์เตอร์ซึ่งค่าแปรผันตรงกับอินพุทก็จะถูกลัทช์ (latch) ไว้เป็นการสิ้นสุดเฟส 3 และจะเริ่มเข้าสู่เฟส 1 อีกครั้งหนึ่ง การทำงานของ A/D CONVERTER ก็จะวนไปเรื่อย ๆ ดังเช่นที่ได้กล่าวมาแล้วในช่วงต้น

จากภาพที่ 2.3.4 ขณะที่สิ้นสุดเวลา t_2 ศักดาที่เอาท์พุทของ A_2 จะมีการเปลี่ยนแปลงเท่ากับ

$$V_2(A_2)t=t_2 = -(V_{in}/R_{int}C_{int})t_2 \tag{2.3.2}$$

และขณะที่สิ้นสุดเวลา t_3 ศักดาที่เอาท์พุทของ A_2 จะมีการเปลี่ยนแปลงเท่ากับ

$$V_2(A_2)t=t_3 = -(V_{ref}/R_{int}C_{int})t_3 \tag{2.3.3}$$

เนื่องจากศักดาที่มีการเปลี่ยนแปลงในช่วงเวลาทั้งสองมีค่าเท่ากัน ดังนั้น

$$t_3 = t_2 (V_{in}/V_{ref}) \tag{2.3.4}$$

หรืออาจจะเขียนสมการ (2.3.4) ในรูปของจำนวนสัญญาณ clock ที่นับได้เป็น

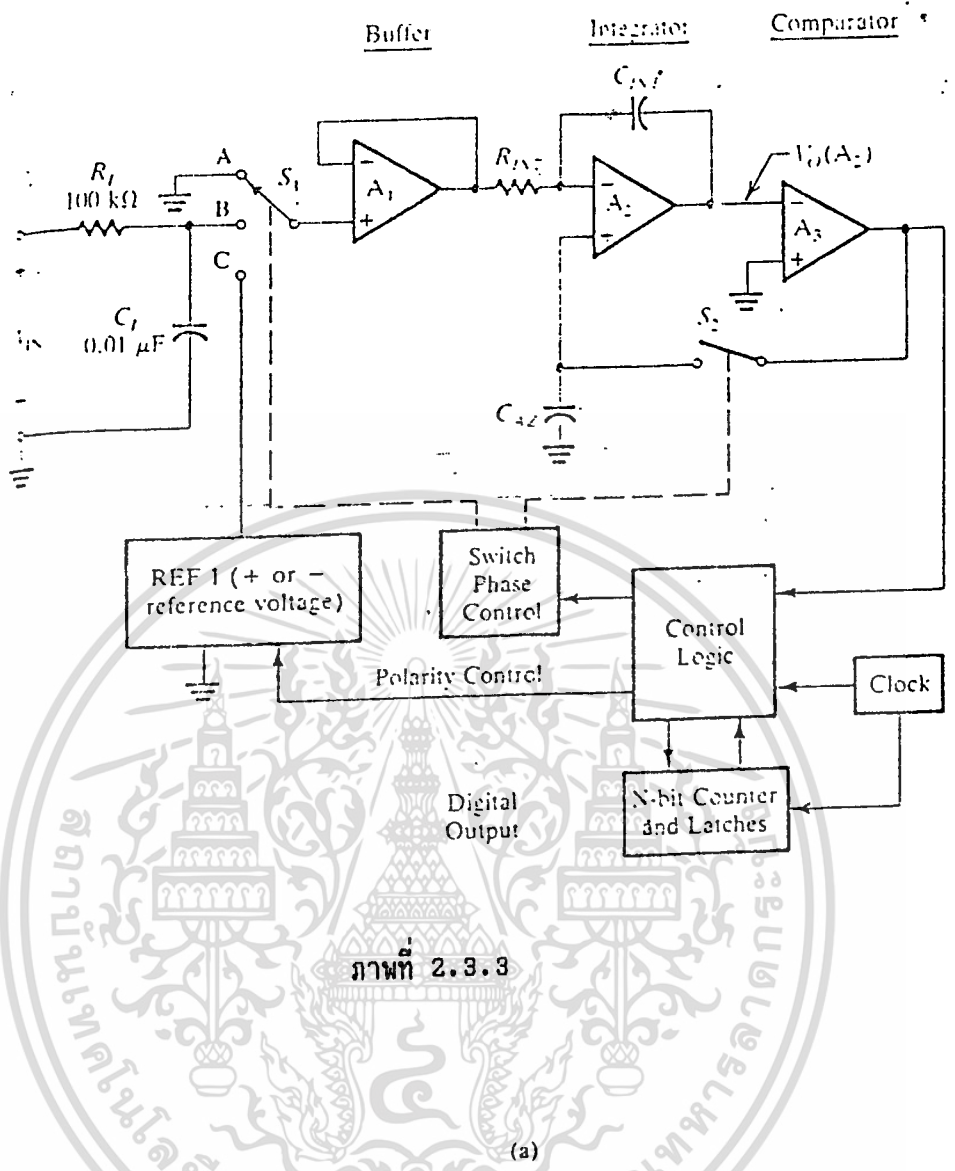
$$N_3 = N_2 (V_{in}/V_{ref}) \tag{2.3.5}$$

จากสมการ (2.3.4) และ (2.3.5) จะเห็นว่าค่าความถูกต้อง (accuracy) ในทางทฤษฎีของ A/D CONVERTER จะขึ้นอยู่กับค่าความถูกต้องของศักดาเปรียบเทียบและค่าความถูกต้องของสัญญาณ clock เท่านั้น ส่วนค่าความผิดพลาดของ C_{int} จะไม่มีผลต่อวงจรเพียงแต่ค่าของ C_{int} จะต้องมีค่าคงที่ในแต่ละ conversion cycle เท่านั้น

ข้อดีของ DUAL SLOPE A/D CONVERTER

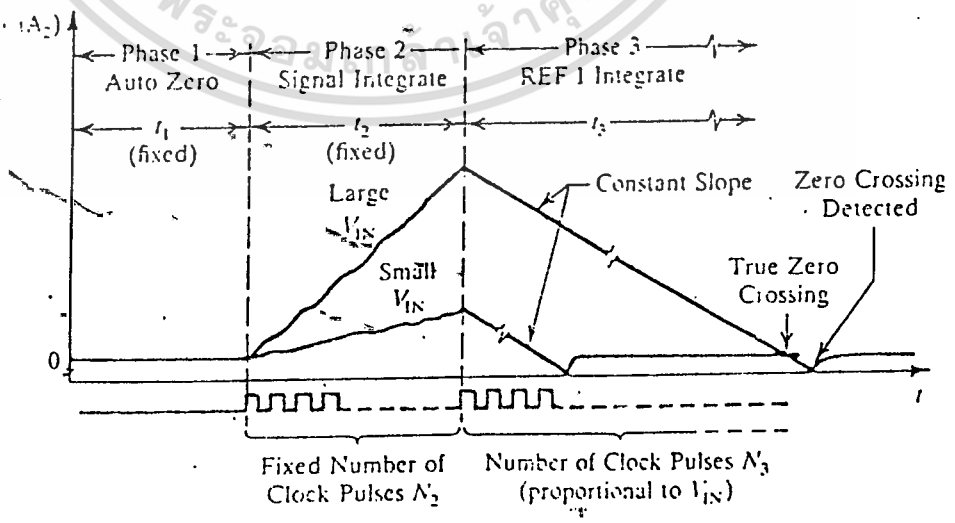
ถ้ากำหนดให้ช่วงเวลา t_2 ที่ใช้ในเฟส 2 มีค่าเท่ากับ integral multiple ของ

คาบเวลาของสัญญาณรบกวน เช่น ในกรณีของสัญญาณความถี่ 50 Hz. สัญญาณดังกล่าวจะถูกอินทิเกรตครบคาบเวลาพอดี ดังนั้นค่าอินทิกรัล ของสัญญาณความถี่นี้จะมีค่าเป็นศูนย์จึงไม่มีผลต่อค่า



ภาพที่ 2.3.3

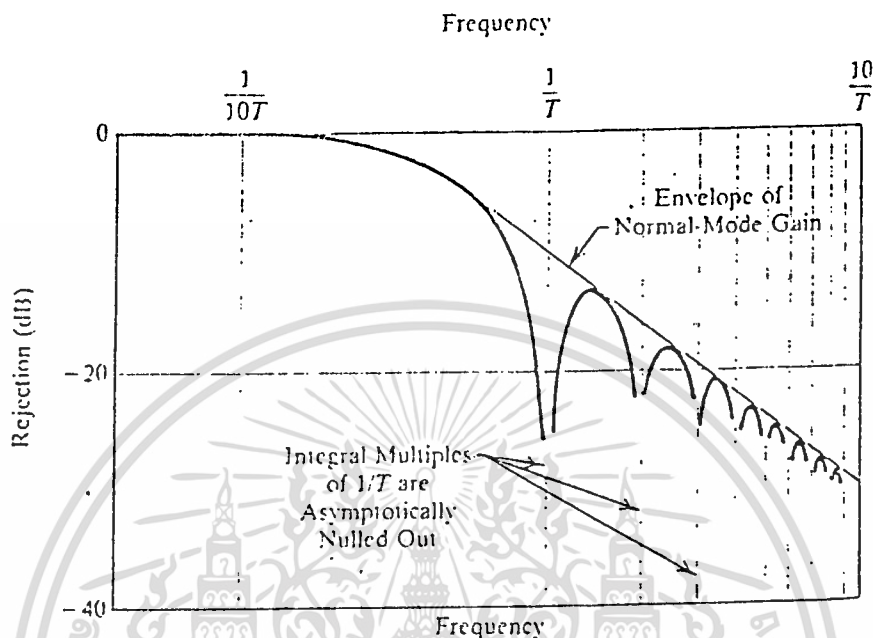
(a)



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาพที่ 2.3.4

อินทิกรัลของสัญญาณที่ต้องการวัด ซึ่งคุณสมบัตินี้เรียกว่า normal mode หรือ line frequency rejection (NMR) ดังแสดงในภาพที่ 2.3.5



ภาพที่ 2.3.5

ในกรณีของกรณีของสัญญาณความถี่ 50 Hz ค่า integration time ของสัญญาณ (t_2) ที่น้อยที่สุดจะต้องเท่ากับ $1/50 = 20$ msec.

ถึงแม้ว่า DUAL SLOPE A/D CONVERTER จะมีค่าความถูกต้องดี แต่ค่าความผิดพลาด บางค่าจะไม่สามารถกำจัดได้อีก เช่น

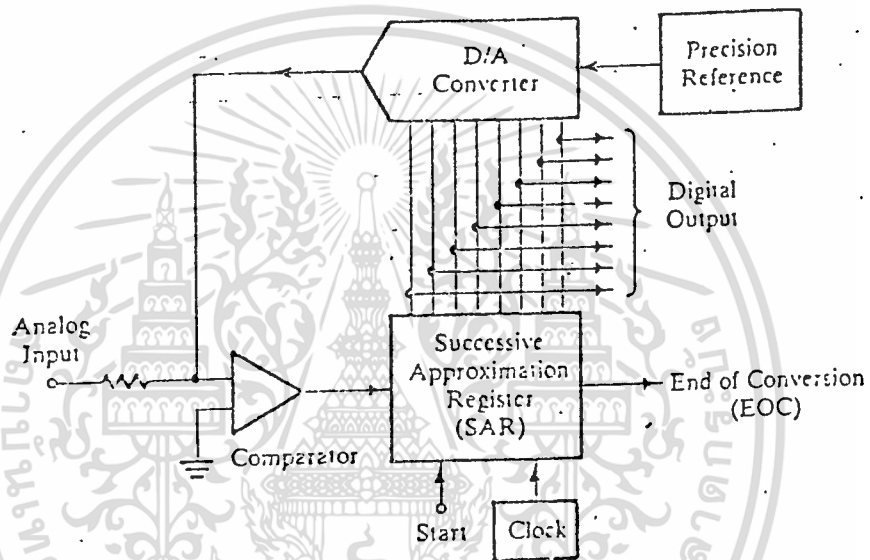
1. ในช่วงของเฟส 1 (AUTO ZERO) analog switch S_2 จะมีกระแสรั่วไหล (leakage current) ซึ่งจะลดคักคาที่จะ charge C_{Az} และ C_{int} และยังมีปัญหาเกี่ยวกับช่วงเวลาปิดเปิดสวิตช์ S_1 และ S_2 ด้วย เนื่องจากการที่จะต้องใช้เวลาหนึ่งในการ charge ตัวเก็บประจุที่เกิดขึ้นระหว่างขาเกต (gate) และขาไดรैन (drain) ของ analog switch ด้วย
2. A_1 และ A_2 จะทำให้เกิดความไม่เป็นเชิงเส้น (nonlinearity) ที่เอาท์พุท ด้วย
3. ตัวเก็บประจุ C_{int} และ C_{Az} จะมีค่า dielectric absorption ซึ่งจะ

สามารถลดผลของปรากฏการณ์นี้ได้โดยการใช้ตัวเก็บประจุแบบพอลิสไตรีน (polystyrene) ไม่ว่ากรณีใดๆ ทั้งนั้น หรือถ้าไม่มีให้ดัดแปลงก็อาจจะต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้ หรือแบบโพลิโพรไพลีน (polypropylene)

4. จะเกิดช่วงเวลาที่เป็นค่าผิดพลาดระหว่าง true zero crossing และ zero crossing ที่ถูกตรวจสอบโดยส่วนของวงจร control logic

ผลรวมของค่าผิดพลาดที่เกิดจากวงจรทั้งหมดจะต้องมีค่าไม่เกิน $(1/2)$ LSB จึงจะทำให้วัดค่าได้อย่างถูกต้อง

2.3.2 SUCCESSIVE APPROXIMATION A/D CONVERTER



ภาพที่ 2.3.6

จากภาพที่ 2-3-6 จะเห็นว่า A/D CONVERTER แบบนี้จะประกอบด้วยส่วนที่สำคัญ คือ ออปแอมป์คอมพาราโตร์ , D/A CONVERTER (DAC) , แหล่งจ่ายศักดาเปรียบเทียบ และ SAR (successive approximation register)

เมื่อเริ่ม conversion cycle ทุกบิทของ SAR จะถูกรีเซทให้มีค่าเป็นศูนย์ เมื่อมีสัญญาณ clock ลุกแรกผ่านเข้ามา most significant bit (MSB) ของ SAR จะถูกเซทให้มีค่าเป็น "1" และส่งให้เป็นดิจิตอลอินพุทของ DAC จากนั้นออปแอมป์คอมพาราเตอร์จะเปรียบเทียบค่าเอาต์พุทของ DAC กับอนาลอกอินพุท ถ้าเอาต์พุทของ DAC มีค่าน้อยกว่าอนาลอกอินพุท MSB จะยังคงมีค่าเป็น "1" แต่ถ้าเอาต์พุทของ DAC มีค่ามากกว่าอนาลอกอินพุท MSB จะถูกรีเซทให้มีค่าเป็น "0" จากนั้นบิทต่อไปจะถูกเซทให้มีค่าเป็น "1" ขึ้นต้นต่อไปของการทำงานจะไม่ต่างกัน ทั้งสิ้นอีกทั้งยังมีให้ดาวน์ลงบิทตามลำดับดังเช่นนี้จนครบทุกบิทเพื่อที่จะทำให้มีลักษณะเหมือนกับกรณของ MSB การทำงานในลักษณะเช่นนี้จะกระทำจนครบทุกบิทเพื่อที่จะทำให้

เอาท์พุทของ DAC มีค่าใกล้เคียงกับอนาลอกอินพุทมากที่สุด ซึ่งสุดท้ายจะได้ว่าผลต่างระหว่างเอาท์พุทของ DAC กับอนาลอกอินพุทจะมีค่าอยู่ในช่วง $(1/2)LSB$

สำหรับ A/D CONVERTER แบบนี้ ค่า conversion time (t_{conv}) จะมีค่าแปรผันโดยตรงกับความเร็วยของคอมพาราเตอร์ และ DAC ซึ่งช่วงเวลา t_{conv} ที่ใช้จะต้องมีค่าอย่างน้อยที่สุดเท่ากับ n clock period โดย n คือจำนวนบิตของดิจิตอลเอาท์พุทของ DAC และเมื่อเปรียบเทียบความเร็วในการทำงานแล้วจะพบว่าแบบ successive approximation จะทำงานได้เร็วกว่าแบบ dual slope

ในการใช้งานมักจะต้องเพิ่มวงจร sampling and hold เพื่อให้ค่าของอนาลอกอินพุทคงที่ในขณะที่ ADC ทำงานอยู่

ข้อเสียของ successive approximation A/D CONVERTER คือค่าความถูกต้องความเป็นเชิงเส้น และ t_{conv} ของ A/D CONVERTER แบบนี้จะถูกจำกัดโดยส่วน DAC

ในที่นี้เราใช้ A/D CONVERTER หมายเลข 7109 ในการแปลงสัญญาณจากอนาลอกเป็นสัญญาณดิจิตอลโดยมีลักษณะเป็นเลขฐานสอง 12 บิต (รวม overrange และ polarity) เป็นแบบ dual slope ที่ขา RUN/HOLD อินพุทและขา STATUS เอาท์พุทสามารถใช้ควบคุมเวลาที่ใช้ในการคอนเวอร์ชัน และมีสัญญาณรบกวนน้อย คือประมาณที่ $15 \mu Vp-p$ ส่วนกระแสที่อินพุทคือ $1pA$ ซึ่งได้กับคริสตอลที่ผลิตความถี่ $3.58 MHz$ จึงทำให้สามารถทำการคอนเวอร์ชันได้ ~ 7.5 คอนเวอร์ชันต่อวินาทีสำหรับการรีเฟรชที่ $60 Hz$ และมีการป้องกันการคายประจุไฟฟ้าสถิต (static discharge) ในตัวไม่จำเป็นต้องเพิ่มส่วนพิเศษต่าง ๆ เข้าไป

2.4 DOT MATRIX LCD MODULE

อุปกรณ์ในปัจจุบันในส่วนแสดงผลนั้นจะใช้ LCD เสียเป็นส่วนใหญ่ไม่ว่าจะเป็นเครื่องเล่นวีดีโอ, เครื่องถ่ายภาพเอกสาร, เครื่องคอมพิวเตอร์ ฯลฯ เราขอแนะนำ DOT MATRIX LCD MODULE นี้ออกได้เป็นพวกๆดังนี้

1. DOT MATRIX LCD เป็นตัวแสดงผลให้เรามองเห็นในลักษณะการปิดและเปิดตัว

เองกับแสงก็คือ ส่วนของที่เป็นตัวกระจกบรรจุผลึก นั้น ไม่นอนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้นำไปเผยแพร่ และอ้างสิทธิ์ในส่วนของเอกสารฉบับนี้ไปอย่างเด็ดขาด

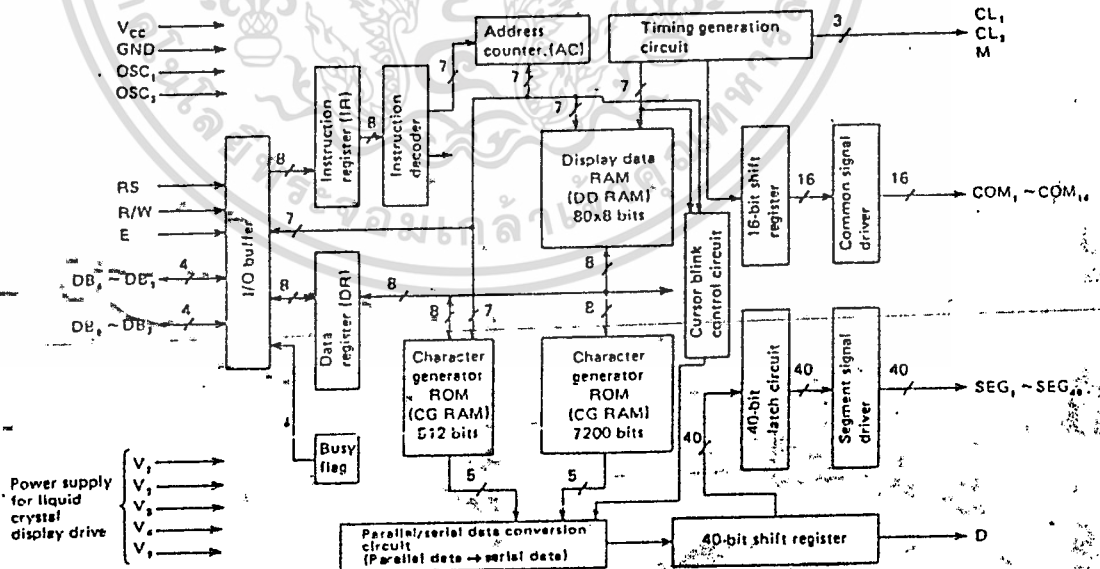
2. DRIVER เป็นตัวรับสัญญาณจากตัวควบคุมมาขับผลึก LCD อีกทีหนึ่งโดยมีเบอร์ที่นิยม

ใช้ใน LCD MODULE เช่น HD44100H, MSM5259

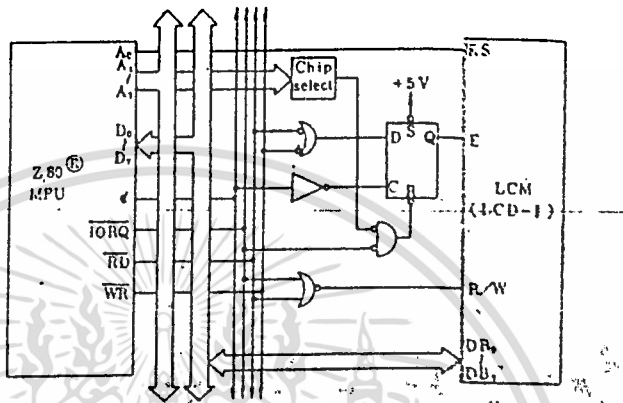
3. CONTROLLER เป็นตัวรับข้อมูลจากอุปกรณ์ภายนอกมา และจัดการควบคุม LCD MODULE ให้ทำงานแสดงผลต่างๆ เช่น การลบจอภาพ, การเกิดตัวอักษร เป็นต้น โดยมี เบอร์ IC ที่นิยมใช้กัน คือ HD44780 ซึ่งจะใช้ในแบบ CHARACTER LCD MODULE เป็นส่วนใหญ่ เบอร์ IC HD44780 จะใช้ในแบบ GRAPHIC LCD MODULE

HD44780 เป็นไอซี LSI ตัวหนึ่งใช้ควบคุม LCD โดยแสดงผลในรูปตัวอักษร หรือ สัญลักษณ์ต่างๆ และตัวมันเองยังสามารถต่อใช้งานแบบ 4 บิต หรือ 8 บิต ก็ได้ โดยถ้าเราต่อแบบ 4 บิต จะต่อใช้งานที่ DB7-DB4 เท่านั้น โดยข้อมูลครั้งแรกที่ส่งนั้น HD44780 จะถือเป็นข้อมูล 4 บิตบน และข้อมูลที่ส่งต่อมานั้นเป็นข้อมูล 4 บิตล่าง

Block diagram of HD44780 interior



Example of interfacing to Z80 MPU



ภาพที่ 2.4.2 ตัวอย่างการต่ออินเทอร์เฟส กับ Z80 MPU

เมื่อเราเริ่มเปิดไฟป้อนให้ HD44780 นั้นก็จะทำการ RESET ตัวมันเอง โดยจะใช้เวลาประมาณ 10 ms. หลังจากไฟ VDD ถึง 4.5 Volt แล้ว โดยจะ SET ตัวเองดังนี้

1. DISPLAY CLEAR จะทำการลบข้อมูลจอภาพ LCD

2. FUNCTION SET โดยจะ SET ค่าภายใน

DL = 0 : เป็นการ SET ให้การติดต่อแบบ 8 บิต

N = 0 : SET เป็น 1 บรรทัดการแสดงผล

F = 0 : 5*7 DOT ต่อหนึ่งตัวอักษร

3. DISPLAY ON/OFF D = 0 : DISPLAY OFF

C = 0 : CURSOR OFF

B = 0 : BLINK OFF

4. ENTRY MODE SET I/D = 1 : +1 (เพิ่มค่า COUNTER ขึ้น 1) โยชน์ด้านการค้า

ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

S = 0 : NO SHIFT

ตารางคำสั่ง HD44780

INSTRUCTION	CODE										DESCRIPTION
	RS	R/W	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0	
CLEAR DISPLAY	0	0	0	0	0	0	0	0	0	1	CLEAR ALL DPLY & CURSOR HOME POS.
RETURN HOME	0	0	0	0	0	0	0	0	1	*	RETURN CURSOR HOME POSITION
ENTRY MODE SET	0	0	0	0	0	0	0	1	I/D	S	SET THE CURSOR MOVE DIRECTION NOT SHIFT DPLY
DISPLAY ON/OFF CONTROL	0	0	0	0	0	0	1	D	C	B	SET ON/OFF OF ALL DISPLAY
CURSOR & DISPLAY SHIFT	0	0	0	0	0	1	S/C	R/L	*	*	MOVE CURSOR & SHIFT DISPLAY

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

INSTRUCTION	CODE										DESCRIPTION
	RS	R/W	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0	
FUNCTION SET	0	0	0	0	1	DL	N	F	*	*	SET INTERFACE DATA LENGTH
SET CG RAM ADDRESS	0	0	0	1	A _{CG}					SET THE CG RAM ADDRESS	
SET DD RAM ADDRESS	0	0	1	A _{DD}					SET THE DD RAM ADDRESS		
READ BUSY FLAG & ADDRESS	0	1	BF		AC					READY BUSY FLAG INDICATING IN- TERNAL OPERATION	
WRITE DATA TO CG OR DD RAM	1	0	WRITE DATA								WRITE DATA INTO DD RAM OR CG RAM
READ DATA TO CG OR DD RAM	1	1	READ DATA								READ DATA FROM DD RAM OR CG RAM

I/D = 1: INCREMENT = 0: DECREMENT	DD RAM: DISPLAY DATA RAM
S = 1: ACCOMPENIES DISPLAY SHIFT S/C = 1: DISPLAY SHIFT = 0: CURSOR MOVE	CG RAM: CHARACTER GE NERATER RAM
R/L = 1: SHIFT TO THE RIGHT	A _{CG} : CG RAM ADDRESS A _{DD} : DD RAM ADDRESS
DL = 1: 8 BITS ; DL = 0: 4 BITS	CORRESPONDS TO
N = 1: 7 LINES ; N = 0: 1 LINES	CURSOR ADDRESS
F = 1: 5*10 DOTS; F = 0: 5*7 DOTS	AC: ADDRESS COUNTER
BF = 1: INTERNALLY OPERATING BF = 0: CAN ACCEPT INSTRUCTION	USED FOR BOTH DD & CG RAM ADDRESS

* NO EFFECT

2.5 CPU-Z84C11

CPU Z84C11 เป็นของบริษัท ZILOG ตระกูลเดียวกับ CPU Z80 ซึ่งเป็น CPU ที่มี HIGH SPEED OPERATION โดย RUN ที่ 10 MHz และ CPU เบอร์นี้ของบริษัท ZILOG จะเป็นแบบ CMOS ทำให้กินกระแสต่ำมาก ในขณะที่เรา SET ให้อยู่ใน STOP MODE จะกินกระแสเพียง 50 μ A. ข้อดีอีกอย่างหนึ่งของ CPU ตัวนี้ก็คือ ถึงแม้จะ RUN 10 MHz ก็ตามเราก็สามารถ SET ให้ RUN เพียงครั้งเดียวก็ได้คือ 5 MHz ในกรณีที่ใช้ RAM หรือ ROM ที่มี ACCESS TIME ต่ำๆ โดยเมื่อ Power On แล้ว CPU จะ RUN เพียง 5 MHz เท่านั้นตอนเริ่มต้น และเมื่อเราต้องการ RUN 10 MHz ก็สามารถใช้โปรแกรม รูปแบบลักษณะของ CPU จะเป็น Package แบบ 100 PIN QFP

Z84C11 สามารถอ้างหน่วยความจำได้สูงสุด 64 KBYTE โดยแบ่งเป็น

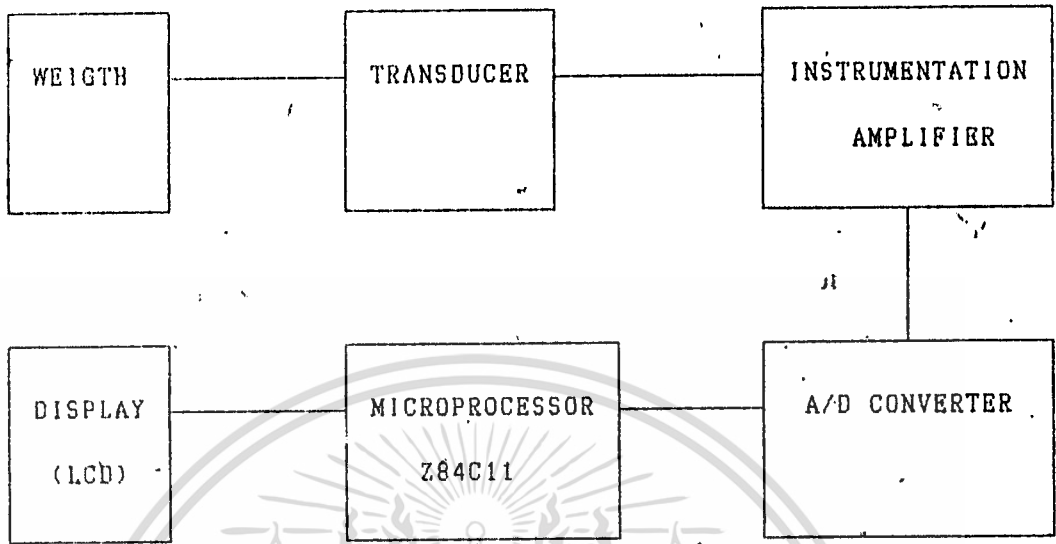
เอกสารนี้เป็นเอกสารที่สงวนลิขสิทธิ์ ขนาดใช้ 32 M KBYTE โดยที่ใช้เบอร์ 27256 มีหน่วยความจำเริ่มจาก
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้นำเอกสารนี้ไปเผยแพร่หรือทำซ้ำโดยไม่ได้รับอนุญาตจาก
ADDRESS 0000H ถึง ADDRESS 7FFFH

RAM ขนาด 8 KBYTE โดยใช้เบอร์ 6264 มีหน่วยความจำเริ่มจาก ADDRESS 8000H ถึง ADDRESS FFFFH
Z84C11 เป็น CHIP IC ที่มี PORT I/O ในตัวด้วยกัน 5 PORT โดย PORT หนึ่งจะมี 8 บิต

CHANNEL PORT	ADDRESS PORT
PORT A DATA PORT	50 H
PORT B DATA PORT	51 H
PORT C DATA PORT	52 H
PORT D DATA PORT	30 H
PORT E DATA PORT	40 H
CHANNEL CONTROL PORT	ADDRESS PORT
PORT A DATA DIRECTION REGISTER	54 H
PORT B DATA DIRECTION REGISTER	55 H
PORT C DATA DIRECTION REGISTER	56 H
PORT D DATA DIRECTION REGISTER	34 H
PORT E DATA DIRECTION REGISTER	44 H

เราสามารถสั่งให้ PORT ของ Z84C11 เป็น INPUT หรือ OUTPUT ได้โดยอิสระ BIT ต่อ BIT โดยถ้าเรา SET ค่าออกที่ PORT DATA DIRECTION REGISTER ถ้าให้ BIT ใดเป็น "1" ก็คือให้ PORT DATA ของ BIT นั้น ๆ เป็น OUTPUT PORT (ถ้า SET PORT นั้นเป็น OUTPUT PORT : ค่าเริ่มต้นจะเป็นศูนย์) และถ้าเราต้องการให้เป็น INPUT PORT ก็ SET ค่าออกที่ PORT SET PORT DATA DIRECTION REGISTER เป็นค่า "0"

การคำนวณและการสร้าง



ภาพที่ 3.1

ภาพที่ 3.1 แสดงบล็อกไดอะแกรม (block diagram) ของเครื่องชั่งน้ำหนักแบบดิจิทัลซึ่งสามารถอธิบายหลักการทำงานได้ดังนี้ คือ น้ำหนักที่ต้องการซึ่งจะถูกวางลงบนจานโลหะซึ่งวางอยู่บนแผ่นไดอะเฟรม (diaphragm) โลหะ ทำให้น้ำหนักนั้นถูกเปลี่ยนให้อยู่ในรูปของความดันกระทำกันของเหลวที่อยู่ใต้แผ่นไดอะเฟรมความดันนี้จะถูกส่งผ่านของเหลวไปกระทำกับทรานสดิวเซอร์ทำให้ได้สัญญาณไฟฟ้าที่ค่าแปรผันโดยตรงกับน้ำหนักที่วางอยู่ สัญญาณนี้จะผ่านภาคขยายซึ่งเป็นวงจรอินสตรูเมนเตชันแอมป์ แล้วส่งต่อไปยังวงจร A/D CONVERTER เพื่อแปลงให้เป็นสัญญาณดิจิทัล จากนั้นหน่วยประมวลผลจะรับสัญญาณดิจิทัลดังกล่าวไปประมวลผลและแสดงค่าน้ำหนักเป็นตัวเลขที่สามารถอ่านค่าได้โดยตรงจากจอ LCD

ภาพที่ 3.2 แสดงวงจรที่ใช้ในการไบอัสทรานสดิวเซอร์ซึ่งมีลักษณะคล้ายกับวงจรในหัวข้อ 2.1 จากภาพที่ 3.2 จะเห็นว่าโหลดของวงจรประกอบด้วย R_{22} และทรานสดิวเซอร์ โดย R_{22} ต่อไว้เพื่อชดเชยผลของอุณหภูมิที่มีต่อทรานสดิวเซอร์ซึ่งกำหนดค่า R_{22} ไว้ดังนี้

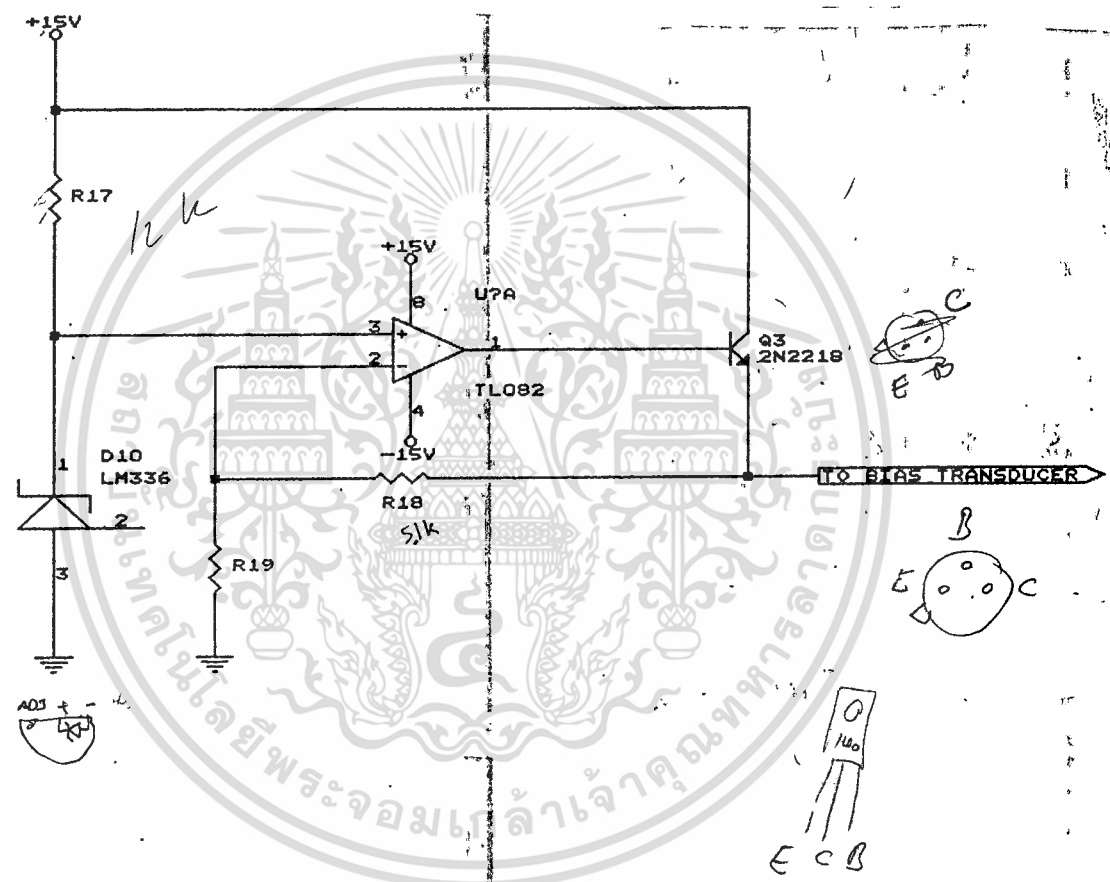
$$R_{22} = 3.577 R \quad (3.1)$$

โดย R คือ ค่าความต้านทานของทรานสดิวเซอร์ ซึ่งจากการวัดจะได้ค่า R มีค่าเท่ากับ 430 โอห์ม ดังนั้น R_{22} จึงมีค่าเท่ากับ 1.538 กิโลโอห์ม

ตาม 2.5 โวลต์โดยมี R_{17} เป็นตัวจำกัดกระแสที่ไหลผ่าน D_{10} ดังนั้นจากสมการที่ (2.5.3) จะได้ว่า

$$V_o = (1 + 5.1k/5.1k)2.5 = 5 \text{ โวลต์}$$

โดย V_o เป็นศักดาที่ขาอิมิตเตอร์ (emitter) ของ Q_1



ภาพที่ 3.2

ภาพที่ 3.3 แสดงการหาค่า R_{24} และ R_{25} ซึ่งจะทำให้ความต้านทานของทรานซิสเตอร์ ซึ่งมีลักษณะเป็นวงจรวัดแต่จะต่ออยู่ในลักษณะที่ไม่สมดุล ให้เป็นวงจรวัดที่สมดุล

$$V_2 = V_{REF} \times 789 / [789 + 708]$$

$$= 0.527 V_{REF}$$

$$V_3 = V_{REF} \times 729 / [729 + 813]$$

$$= 0.473 V_{REF}$$

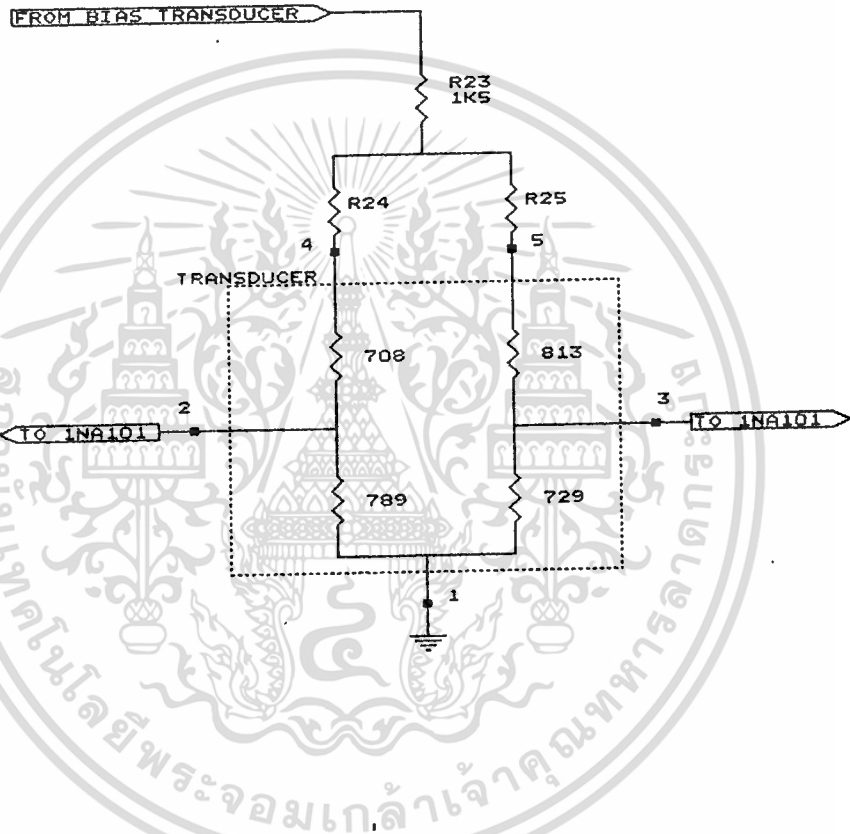
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับใช้ในการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาใดๆ ของอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้ จะเห็นว่า V_2 มีค่ามากกว่า V_3 ดังนั้นให้ $V_2 = V_3$

$$V_2 = 0.473 V_{REF} = V_{REF} \times 789 / [789 + 708 + R_{24}]$$

$$R_{24} = [789/0.473] - 789 - 708$$

$$= 171.076 \text{ โอห์ม}$$

$$R_{25} = 0 \text{ โอห์ม}$$



ภาพที่ 3.3

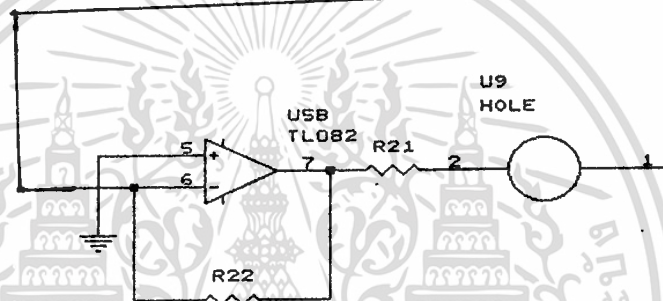
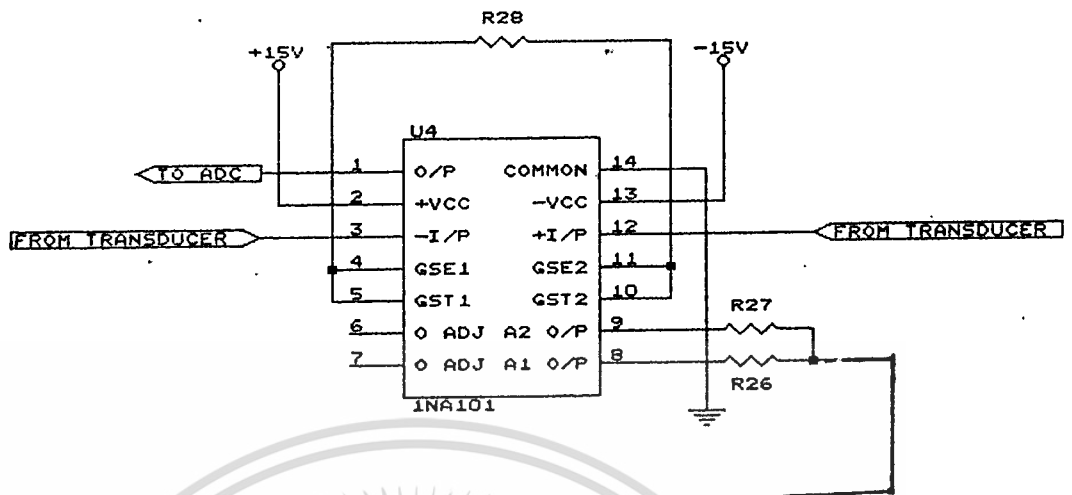
ภาพที่ 3.4 แสดงส่วนของวงจรอินสตรูเมนต์เซ็นแอมป์ ซึ่งในที่นี้ใช้ IC เบอร์ INA101 สามารถหาค่า R_u ได้จากสูตร

$$E_u = [1 + (40k/R_u)](E_2 - E_1) \tag{3.2}$$

โดยในที่นี้จะกำหนดให้ Voltage gain = 10 สามารถหาค่า R_u ได้จาก

$$A_v = [1 + (40k/R_u)] \quad (\text{ให้ } A_v = 10)$$

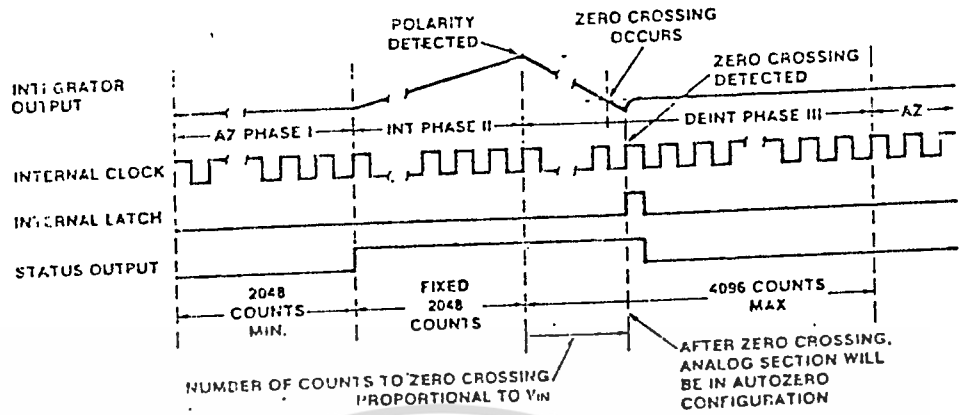
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับ $10^3 = [1 + (40 \times 10^3 / R_u)]$ อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาเอกสารทุกครั้งที่มีการนำไปใช้
 $R_u = 40 \times 10^3 / 9 = 4444.444 \text{ โอห์ม}$



ภาพที่ 3.4

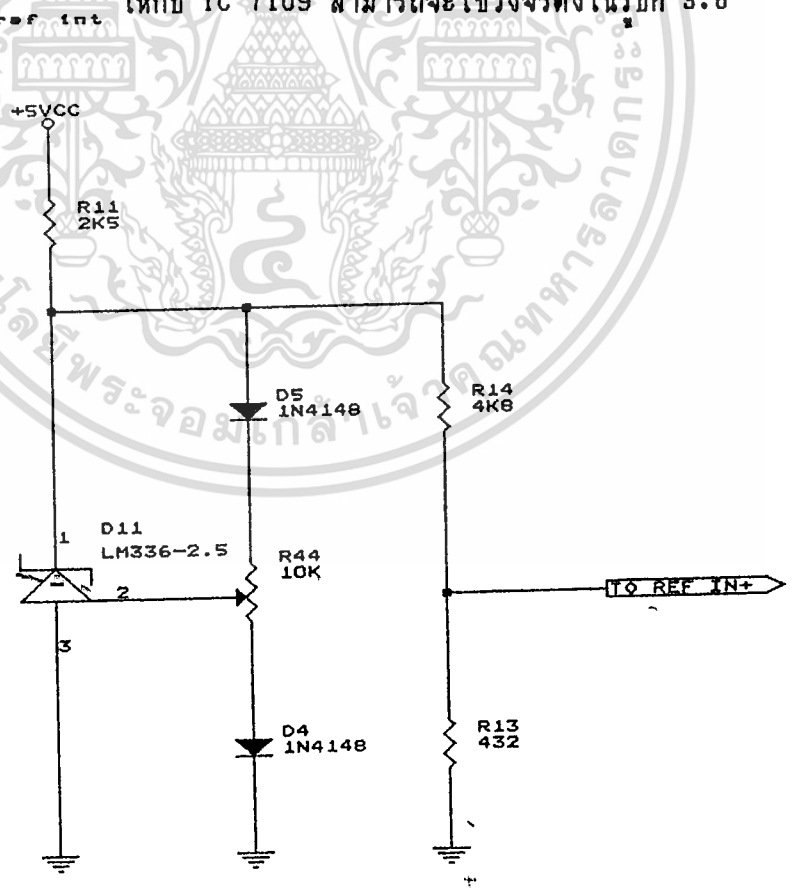
ส่วนของวงจร A/D CONVERTER จะใช้ IC เบอร์ 7109 ซึ่งเป็น ADC แบบ dual slope ขนาด 12 บิต เอาท์พุทของ IC7109 มีทั้งหมด 14 บิต โดยจะมี 2 บิต ที่เพิ่มขึ้นมาคือ overrange และ polarity ภาพที่ 3.5 แสดงแผนภูมิเวลา (timing diagram) ของ IC7109 ซึ่งจะเห็นได้ว่าถ้าใช้คริสตอล (crystal) ความถี่ 3.58 MHz ในการสร้างสัญญาณ clock จะได้ค่า conversion time

$$t_{conv} = 8192 * (58 / 3.58 * 10^6) = 132.7 \text{ msec}$$



ภาพที่ 3.5

ในการตั้ง V_{ref} ให้กับ IC 7109 สามารถใช้วงจรดังในรูปที่ 3.6



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อภาพที่ 3.6 นั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากรูปที่ 3.6 สามารถเขียนเป็นสมการเพื่อหาค่า R_{14} เพื่อตั้ง V_{ref_int} ได้ดังนี้คือ

$$V_{ref_int} = (R_{13} * 2.5v) / (R_{13} + R_{14}) \quad (3.3)$$

(ให้ค่า $R_{13} = 432$ โอห์ม)

$$0.2048 = (432 * 2.5) / (432 + R_{14})$$

ดังนั้นค่า $R_{14} = 4841$ โอห์ม

หลักการการทำงานของ IC7109 จะมีลักษณะคล้ายกับที่กล่าวมาแล้วในหัวข้อ 2.3.1 ค่าของ R_{int} และ C_{int} ที่ใช้สามารถคำนวณได้จาก

$$R_{int} = \text{full scale voltage} / 20 \mu A$$

ซึ่งในที่นี้จะใช้ full scale voltage ที่ 0.2048 โวลต์ เนื่องจากตกคาไฟฟ้าที่ได้จากภาคขยายสัญญาณมีค่าอยู่ระหว่าง 0 - 1.5 โวลต์ ดังนั้น

$$R_{int} = 0.2048 / 20 \mu A = 10.24 \text{ กิโลโอห์ม}$$

$$C_{int} = (2048T)(20\mu A) / \text{integrator output voltage swing}$$

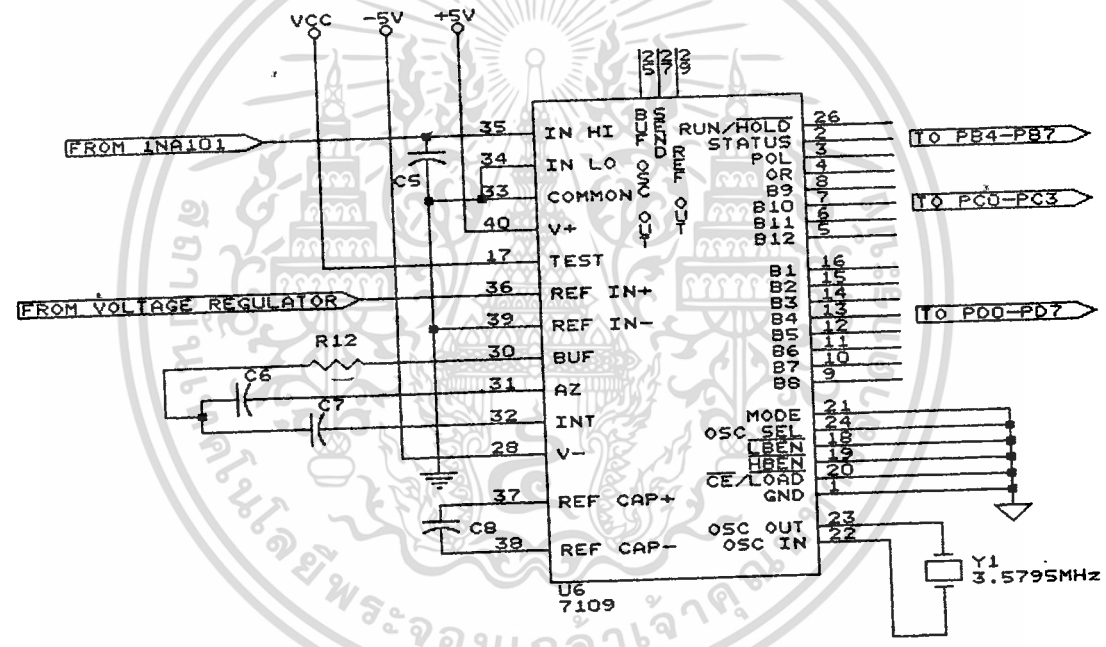
ในที่นี้กำหนดค่า voltage swing มีค่าประมาณ 4 โวลต์ ดังนั้นจะได้

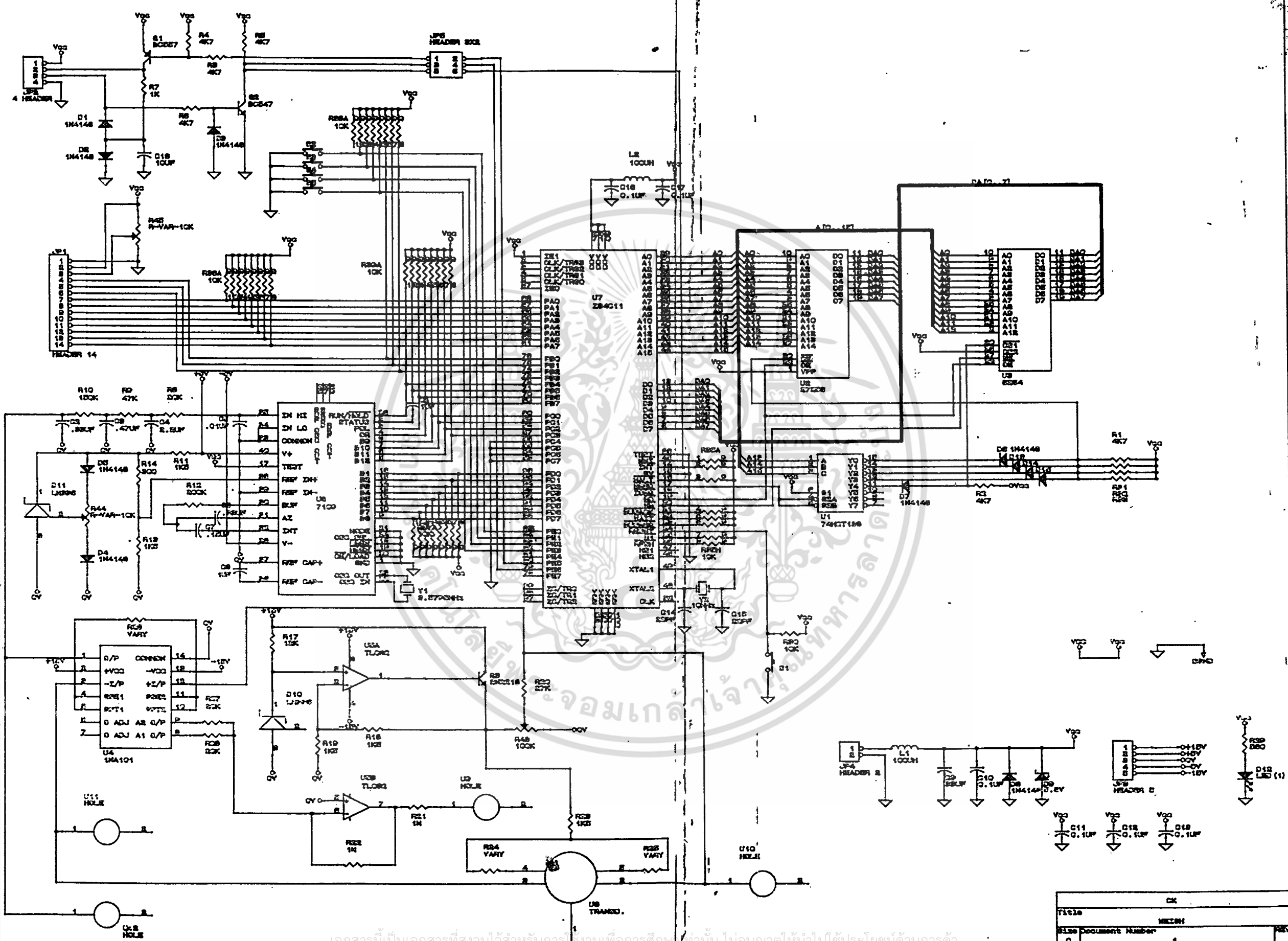
$$C_{int} = (2048 * 16.2 \mu\text{sec})(20 \mu A) / 4 = 0.16 \mu F$$

เอาต์พุตของ ADC จะส่งให้กับอินพุตพอร์ท (input port) ซึ่งจะใช้พอร์ท C และ D ซึ่งมีหมายเลข 50H และ 30H ตามลำดับ ซึ่งสัญญาณที่ได้รับมาเป็นสัญญาณที่ได้รับการแปลงมาจากการคอนเวอร์ทของ ADC นอกจากนี้ยังใช้สัญญาณ STATUS จาก IC7109 เป็นอินพุตเพื่อตรวจสอบข้อมูลว่ามีค่าเสถียรหรือยัง และจะใช้พอร์ท B4 เป็นขา RUN/HOLD ของเอาต์พุตพอร์ท เพื่อคอยควบคุมให้หยุด conversion cycle ไว้ในขณะที่ทำการอ่านข้อมูลเพื่อให้ข้อมูลไม่มีการเปลี่ยนแปลง ภาพที่ 3.7 แสดงขาต่าง ๆ ที่ต่อใช้งานของ IC 7109

เมื่อมีการรับข้อมูลจาก ADC แล้ว จะนำข้อมูลดังกล่าวไปประมวลผลและแสดงผลเป็นค่านำหนักโดย หน่วยประมวลผลกลาง ซึ่งหลักการการทำงานของวงจรนี้จะแสดงได้โดยโฟลวชาร์ท (flow chart) ดังในภาพที่ 3.8.1 , 3.8.2 , 3.8.3 และ 3.8.4

รูปที่ 3.7

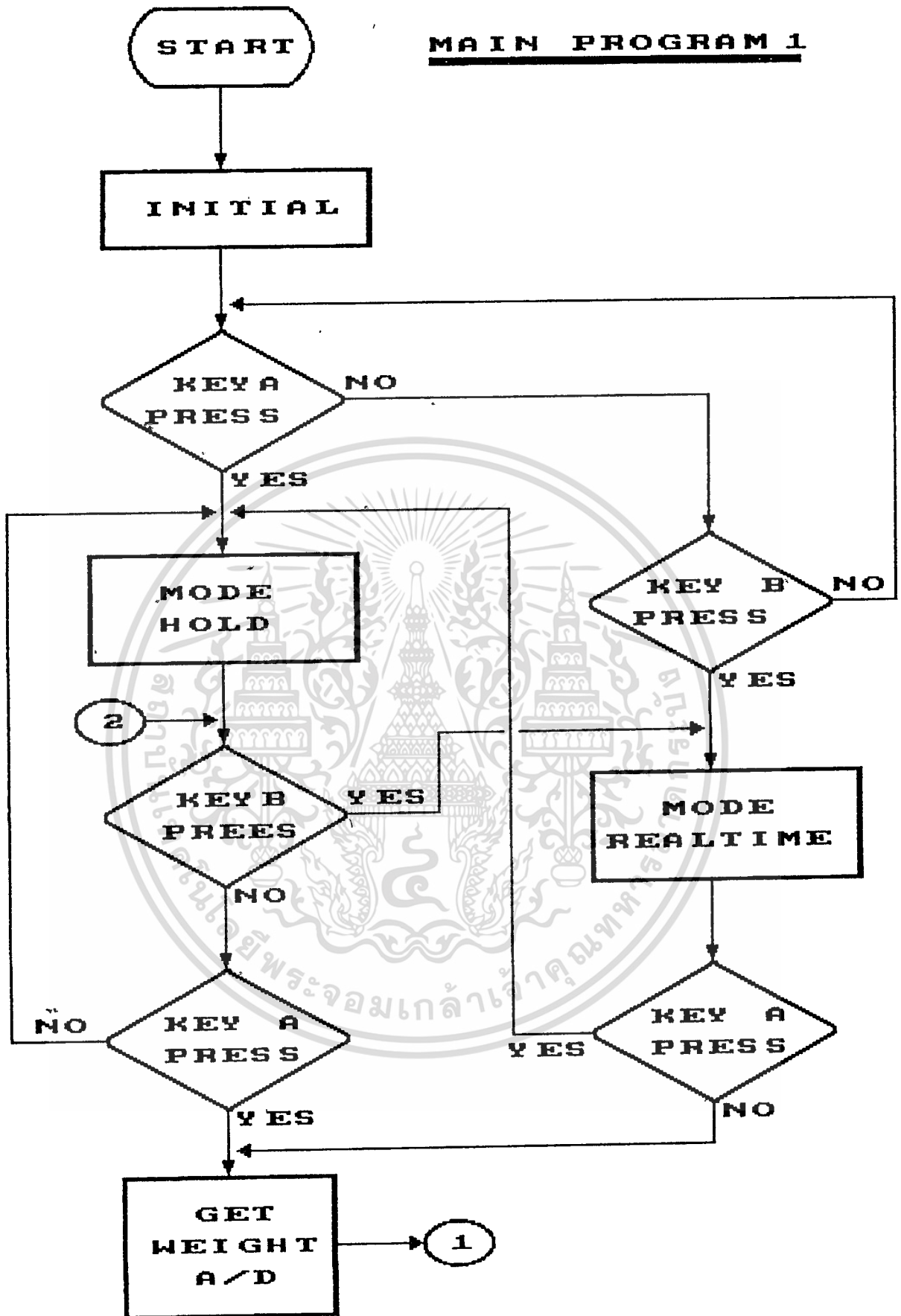




เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

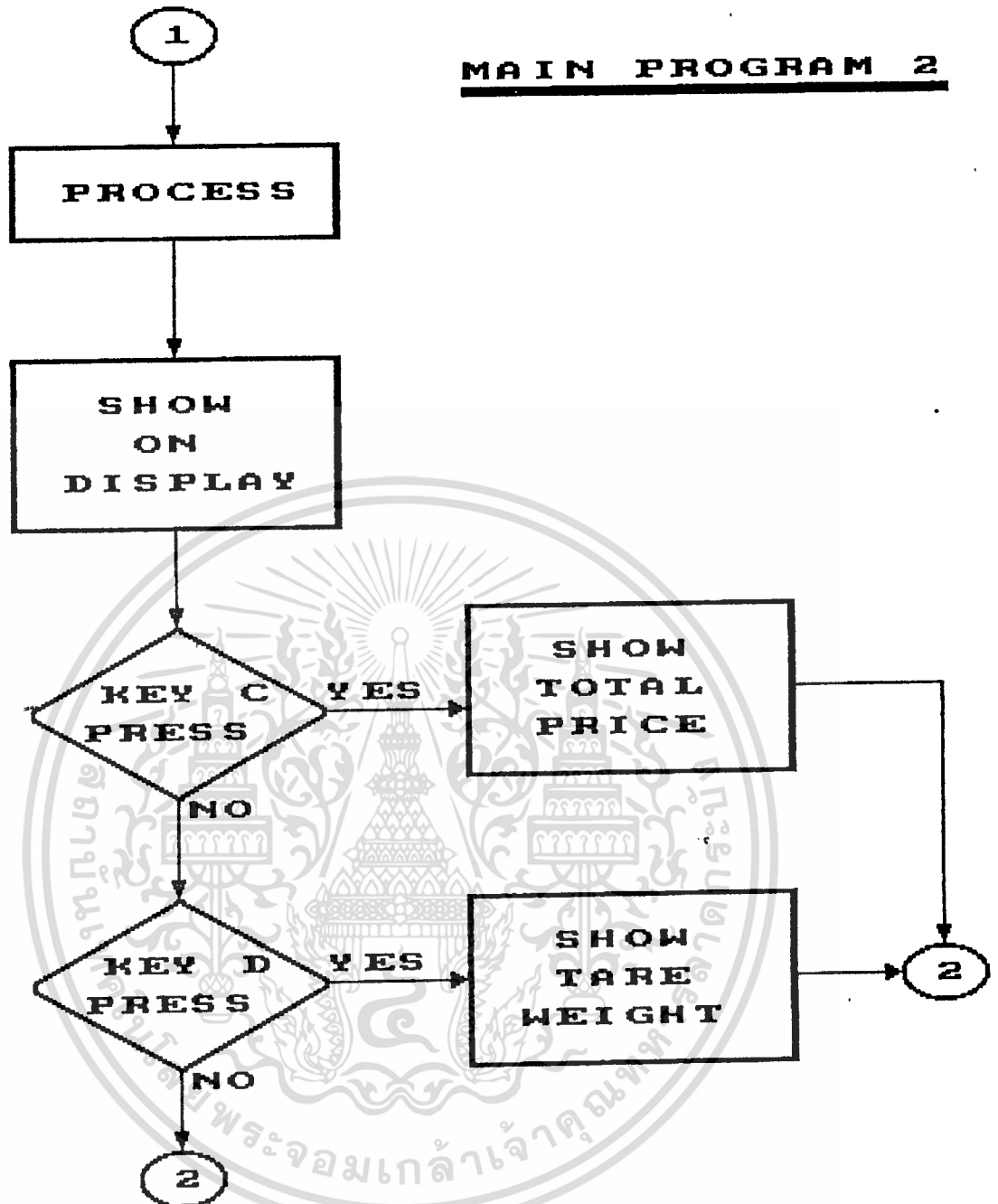
File No	CK
Size	MEZM1
Document Number	
Page	1

MAIN PROGRAM 1



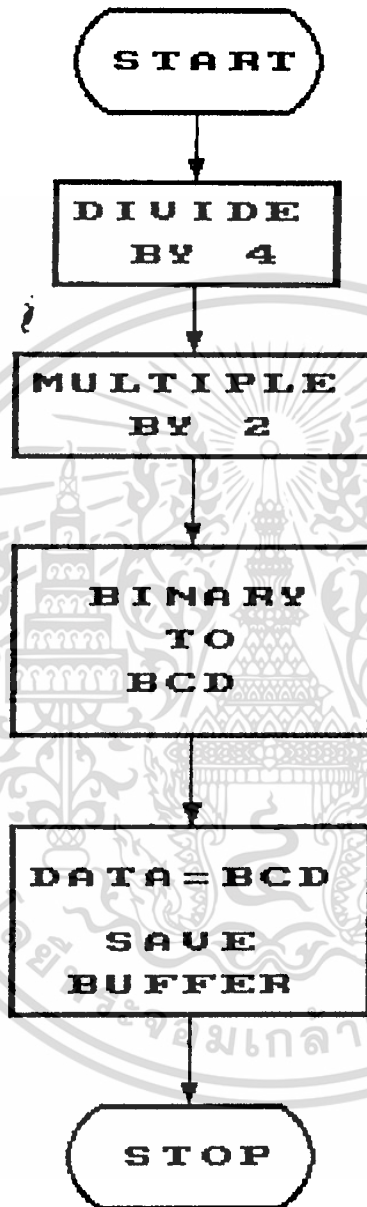
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MAIN PROGRAM 2



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

PROCESS



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

DISPLAY

START

RECEIVE
DATA
FROM
BUFFER

ADD DATA
BY 30H

DATA
SHOW
DISPLAY

STOP

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```

0000          CPU "Z80.TBL"
0000          HOF "INT8"
;
8000          ORG    8000H
;
;*****CHANNEL PORT & ADDRESS PORT*****
;
0050 =       PORT_A:   EQU    50H
0051 =       PORT_B:   EQU    51H
0052 =       PORT_C:   EQU    52H
0030 =       PORT_D:   EQU    30H
0040 =       PORT_E:   EQU    40H
;
;*****CHANNEL CONTROL PORT & ADDRESS PORT*****
0054 =       PORT_AC:  EQU    54H
0055 =       PORT_BC:  EQU    55H
0056 =       PORT_CC:  EQU    56H
0034 =       PORT_DC:  EQU    34H
0044 =       PORT_EC:  EQU    44H
;
;*****INITIAL PORT*****
;
;PORT_A      :PA=OUTPUT PORT
;PORT_B      :PB=OUTPUT PORT
;PORT_B5,7   :PB=INPUT  PORT
;PORT_C      :PC=INPUT  PORT
;PORT_D      :PD=INPUT  PORT
;PORT_E      :PE=INPUT  PORT
;PORT_E5     :PE=OUTPUT PORT

8000 AF      XOR    A
8001 3E5F    LD     A,05FH
8003 D355    OUT    (PORT_BC),A
8005 AF      XOR    A
8006 3E00    LD     A,00H
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้
8008 D334    OUT    (PORT_DC),A

```

```

800A D356          OUT    (PORT_CC),A
800C AF           XOR    A
800D 3EFF         LD     A,OFFH
800F D354          OUT    (PORT_AC),A
8011 AF           XOR    A
8012 3E20         LD     A,020H
8014 D344          OUT    (PORT_EC),A

```

```
;
```

```
;*****MAIN PROGRAM*****
```

```
;
```

```

8016 AF           XOR    A
8017 CDB586       CALL   INITLCD
801A CD7981       CALL   DOWLOAD
801D CDA987       TEST:  CALL   DELAY2
8020 CD1182       CALL   TEST1
8023 CDA987       CALL   DELAY2
8026 DB40         KEYA:  IN     A,(PORT_E)
8028 CB47         BIT    0,A
802A CACB80       JP     Z,VALUE
802D DB40         IN     A,(PORT_E)
802F CB4F         BIT    1,A
8031 C22680       JP     NZ,KEYA
;
8034 CDE682       RTIME:  CALL   CLRLCD
8037 CD9F82       CALL   TEST3
803A CDBE87       CALL   DELAY3
803D DB40         RTIME1: IN    A,(PORT_E)
803F CB47         BIT    0,A
8041 CACB80       JP     Z,VALUE
8044 CDE682       CALL   CLRLCD
8047 3EFF         LD     A,111.11111B
8049 D351         OUT    (PORT_B),A
804B CD6484       CALL   CLRMEMO
804E CD9D86       CALL   CLR
8051 CDEE82       CALL   READ

```

```

8054 CD9883          CALL  SOLVE
8057 CDOC84          CALL  DISPLAY
805A CDBE87          CALL  DELAY3
;
805D DB40            IN    A,(PORT_E)
805F CB57            BIT    2,A
8061 CAB280          JP    Z,TOTAL1
8064 DB40            IN    A,(PORT_E)
8066 CB5F            BIT    3,A
8068 CA9C80          JP    Z,TARE111
;
806B DB40            IN    A,(PORT_E)
806D CB47            BIT    0,A
806F CACB80          JP    Z,VALUE
8072 CDE682          CALL  CLRLCD
8075 3EFF            LD    A,11111111B
8077 D351            OUT   (PORT_B),A
8079 CD9186          CALL  CLRMEMO2
807C CDA986          CALL  CLR1
807F CD6983          CALL  READ3
8082 CD6D85          CALL  TARE1
8085 CD3986          CALL  DISPLAY3
-8088 CDBE87          CALL  DELAY3
;

```

```

808B DB40            KEYCC: IN    A,(PORT_E)
808D CB57            BIT    2,A
808F CAB280          JP    Z,TOTAL1
8092 DB40            IN    A,(PORT_E)
8094 CB5F            BIT    3,A
8096 CA9C80          JP    Z,TARE111
8099 C33D80          JP    RTIME1
;

```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
 809C CDE682 TARE111: CALL CLRLCD
 ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้
 809F 3EFF LD A,11111111B

```

80A1 D351          OUT    (PORT_B),A
80A3 CD4885       CALL    SUBTRT
80A6 CD6D85       CALL    TARE1
80A9 CDE185       CALL    DISPLAY2
80AC CDBE87       CALL    DELAY3
80AF C33D80       JP     RTIME1

;

80B2 CDE682       TOTAL1: CALL    CLRLCD
80B5 3EFF         LD     A,11111111B
80B7 D351          OUT    (PORT_B),A
80B9 CD3C85       CALL    CLRMEMO1
80BC CDF982       CALL    READ2
80BF CD7084       CALL    PRICE
80C2 CDE484       CALL    DISPLAY1
80C5 CDBE87       CALL    DELAY3
80C8 C33D80       JP     RTIME1

;

80CB CDE682       VALUE:  CALL    CLRLCD
80CE CD5882       CALL    TEST2
80D1 CDBE87       CALL    DELAY3
80D4 DB40         IN     A,(PORT_E)
80D6 CB4F         BIT    1,A
80D8 CA3480       JP     Z,RTIME
80DB DB40         IN     A,(PORT_E)
80DD CB47         BIT    0,A
80DF C2CB80       JP     NZ,VALUE
80E2 CDE682       CALL    CLRLCD
80E5 3EFF         LD     A,11111111B
80E7 D351          OUT    (PORT_B),A
80E9 CD6484       CALL    CLRMEMO
80EC CD9D86       CALL    CLR
80EF CDEE82       CALL    READ
80F2 CD9883       CALL    SOLVE
80F5 CDOC84       CALL    DISPLAY
80F8 CDBE87       CALL    DELAY3

```

```

;
80FB DB40      IN      A,(PORT_E)
80FD CB57      BIT      2,A
80FF CA6081    JP      Z,TOTAL
8102 DB40      IN      A,(PORT_E)
8104 CB5F      BIT      3,A
8106 CA4A81    JP      Z,TARE

```

```

;
8109 CDE682    VALUE1:  CALL   CLRLCD
810C CD5882    CALL   TEST2
810F CDBE87    CALL   DELAY3
8112 DB40      IN      A,(PORT_E)
8114 CB4F      BIT      1,A
8116 CA3480    JP      Z,RTIME
8119 DB40      IN      A,(PORT_E)
811B CB47      BIT      0,A
811D C20981    JP      NZ,VALUE1
8120 CDE682    CALL   CLRLCD
8123 3EFF      LD      A,11111111B
8125 D351      OUT    (PORT_B),A
8127 CD9186    CALL   CLRMEMO2
812A CDA986    CALL   CLR1
812D CD6983    CALL   READ3
8130 CD6D85    CALL   TARE1
8133 CD3986    CALL   DISPLAY3
8136 CDBE87    CALL   DELAY3

```

```

;
8139 DB40      KEYC:   IN      A,(PORT_E)
813B CB57      BIT      2,A
813D CA6081    JP      Z,TOTAL
8140 DB40      IN      A,(PORT_E)
8142 CB5F      BIT      3,A

```

```

8144 CA4A81    JP      Z,TARE
8147 C3CB80    JP      VALUE

```

```

814A CDE682      TARE:      CALL  CLRLCD
814D 3EFF                LD    A,11111111B
814F D351                OUT   (PORT_B),A
8151 CD4885      CALL  SUBTRT
8154 CD6D85      CALL  TARE1
8157 CDE185      CALL  DISPLAY2
815A CDBE87      CALL  DELAY3
815D C3CB80      JP    VALUE

```

;

```

8160 CDE682      TOTAL:    CALL  CLRLCD
8163 3EFF                LD    A,11111111B
8165 D351                OUT   (PORT_B),A
8167 CD3C85      CALL  CLRMEMO1
816A CDF982      CALL  READ2
816D CD7084      CALL  PRICE
8170 CDE484      CALL  DISPLAY1
8173 CDBE87      CALL  DELAY3
8176 C3CB80      JP    VALUE

```

;

*****SET CG RAM CHARACTER*****

;

```

8179 0E00      DOWNLOAD: LD  C,0
817B 0640                LD  B,64
817D 21D181      LD  HL,TABB
8180 56          DO1:   LD  D,(HL)
8181 C5          PUSH BC
8182 CDDA86      CALL WRCGRAM
8185 C1          POP  BC
8186 23          INC  HL
8187 0C          INC  C
8188 10F6      DJNZ DO1

```

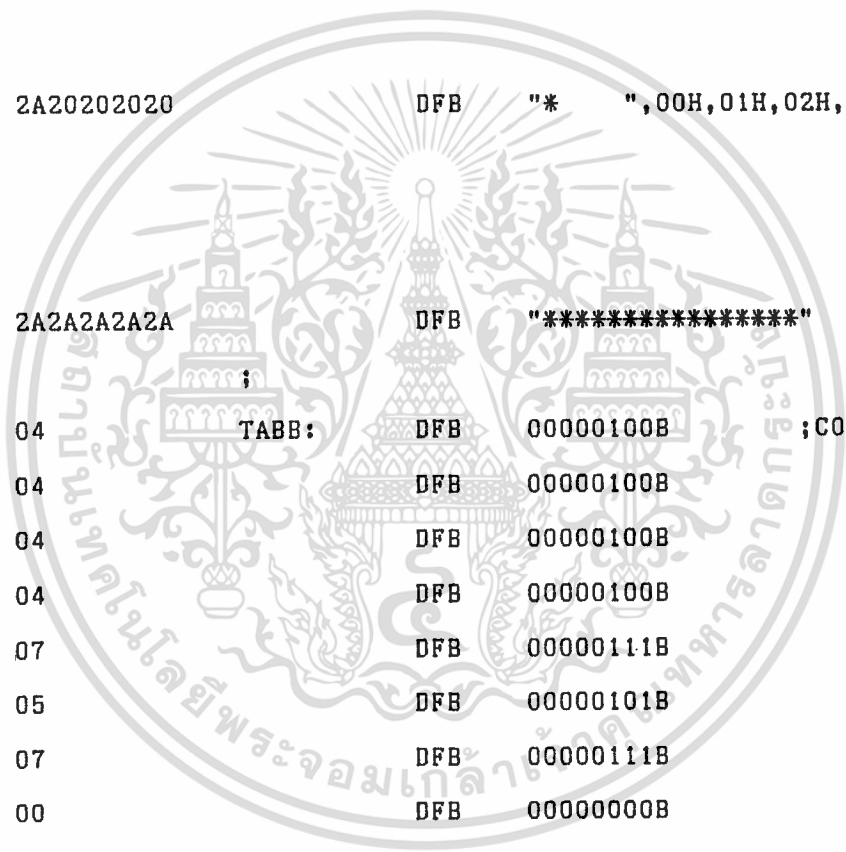
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับครูใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

ไม่ว่ากรณีใดๆ ทั้งสิ้น ถือว่าห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงชื่อของเอกสารทุกครั้งที่มีการนำไปใช้

818A 219181

LD HL,TABA

818D	CDF286		CALL	LINE	
8190	C9		RET		
					;
8191	2A2A2A2A2A	TABA:	DFB	"*****"	
81A1	2A20202020		DFB	"* " ,03H, 20H, 20H, 07H, "	*
81B1	2A20202020		DFB	"* " ,00H, 01H, 02H, 04H, 05H, 06H, "	
81C1	2A2A2A2A2A		DFB	"*****"	
					;
81D1	04	TABB:	DFB	00000100B	;CODE 00H
81D2	04		DFB	00000100B	
81D3	04		DFB	00000100B	
81D4	04		DFB	00000100B	
81D5	07		DFB	00000111B	
81D6	05		DFB	00000101B	
81D7	07		DFB	00000111B	
81D8	00		DFB	00000000B	
					;
81D9	1F		DFB	00011111B	;CODE 01H
81DA	11		DFB	00010001B	
81DB	11		DFB	00010001B	
81DC	1D		DFB	00011101B	
81DD	11		DFB	00010001B	
81DE	11		DFB	00010001B	
81DF	11		DFB	00010001B	
81E0	00		DFB	00000000B	
81E1	1F		DFB	00011111B	;CODE 02H



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับครูใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
 ไม่ว่าจะโดยวิธีใด ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่ใช้
 81E1 1F DFB 00011111B ;CODE 02H

81E2 10	DFB	00010000B
81E3 1F	DFB	00011111B
81E4 01	DFB	00000001B
81E5 07	DFB	00000111B
81E6 05	DFB	00000101B
81E7 07	DFB	00000111B
81E8 00	DFB	00000000B

;

81E9 01	DFB	00000001B	;CODE 03H
81EA 01	DFB	00000001B	
81EB 00	DFB	00000000B	
81EC 05	DFB	00000101B	
81ED 05	DFB	00000101B	
81EE 0F	DFB	00001111B	
81EF 11	DFB	00010001B	
81F0 1F	DFB	00011111B	

;

81F1 1F	DFB	00011111B	;CODE 04H
81F2 11	DFB	00010001B	
81F3 01	DFB	00000001B	
81F4 1D	DFB	00011101B	
81F5 11	DFB	00010001B	
81F6 11	DFB	00010001B	
81F7 1F	DFB	00011111B	
81F8 00	DFB	00000000B	

;

81F9 07	DFB	00000111B	;CODE 05H
81FA 05	DFB	00000101B	
81FB 07	DFB	00000111B	
81FC 11	DFB	00010001B	
81FD 09	DFB	00001001B	
81FE 05	DFB	00000101B	
81FF 03	DFB	00000011B	
8200 00	DFB	00000000B	

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

;

```

8201 19          DFB  00011001B          ;CODE 06H
8202 0A          DFB  00001010B
8203 19          DFB  00011001B
8204 11          DFB  00010001B
8205 11          DFB  00010001B
8206 11          DFB  00010001B
8207 1F          DFB  00011111B
8208 00          DFB  00000000B

```

;

```

8209 01          DFB  00000001B          ;CODE 07H
820A 01          DFB  00000001B
820B 00          DFB  00000000B
820C 01          DFB  00000001B
820D 01          DFB  00000001B
820E 0F          DFB  00001111B
820F 11          DFB  00010001B
8210 0E          DFB  00001110B

```

*****DISPLAY SHOW SELECT MODE*****

```

8211 2118B2     TEST1:  LD    HL,TABC
8214 CDF286     CALL  LINE
8217 C9         RET

```

;

```

8218 20202020   TABC:  DFB  "          "
8228 4D4F444520 DFB  "MODE HOLE  KEYA"
8238 20202020   DFB  "          "
8248 4D4F444520 DFB  "MODE R-TIME KEYB"

```

;

*****DISPLAY SHOW READ WEIGHT*****

```

8258 215F82     TEST2:  LD    HL,TABG
825B CDF286     CALL  LINE
825E C9         RET

```

;

```

825F 20202020   TABG:  DFB  "          "
826F 5245414420 DFB  "READ WEIGHT KEYA"

```

```

827F 2020202020          DFB      "          "
828F 4D4F444520          DFB      "MODE R-TIME KEYB"
;
829F 21A682              TEST3:   LD        HL,TABS
82A2 CDF286              CALL     LINE
82A5 C9                  RET
;
82A6 2020205245          TABS:   DFB      "  READY  READ  "
82B6 2020202020          DFB      "    WEIGHT  "
82C6 2020202020          DFB      "          "
82D6 204D4F4445          DFB      " MODE HOLD  KEYA"
;
;*****CLEAR ON LCD DISPLAY*****
82E6 3E00                CLRLCD: LD        A,00H
82E8 D351                OUT      (PORT_B),A
82EA CDCF86              CALL     CLRLCD1
82ED C9                  RET
;
;*****READ WEIGHT*****
82EE AF                  READ:   XOR     A
82EF DB51                READ1:  IN     A,(PORT_B)
82F1 CB6F                BIT     5,A                      ;STATUS
-82F3 20FA                JR      NZ,READ1
82F5 E6EF                AND     0EFH                      ;RUN/HOLD
82F7 D351                OUT      (PORT_B),A
82F9 DB30                READ2:  IN     A,(PORT_D)
82FB 6F                  LD      L,A                      ;DATA B1-B8
82FC DB52                IN      A,(PORT_C)
82FE 67                  LD      H,A                      ;DATA B9-B12
82FF DD21EE87            LD      IX,ONE
8303 DD7500              LD      (IX+0),L
8306 DD7401              LD      (IX+1),H
8309 7D                  LD      A,L
830A FE11                CP      0A1H
830C DA1583              JP      C,CHECK

```

```

830F 7C          LD      A,H
8310 FE0F        CP      0FH
8312 CA1D83      JP      Z,OVRANGE
8315 DB51        CHECK:  IN      A,(PORT_B)
8317 CB7F        BIT      7,A
8319 C21D83      JP      NZ,OVRANGE
831C C9          RET

;

831D 212983      OVRANGE: LD      HL,TABD
8320 CDF286      CALL    LINE
8323 CDA987      CALL    DELAY2
8326 C3CB80      JP      VALUE

;

8329 20202020    TABD:  DFB    "
8339 20202020    DFB    "
8349 20204F5645  DFB    " OVER WEIGHT "
8359 20202020    DFB    "

;

8369 AF          READ3:  XOR      A
836A DB51        READ4:  IN      A,(PORT_B)
836C CB6F        BIT      5,A ; STATUS
836E 20FA        JR      NZ,READ4
8370 E6EF        AND     0EFH ; RUN/HOLD
8372 D851        OUT     (PORT_B),A
8374 DB52        IN      A,(PORT_C)
8376 67          LD      H,A ; DATA B9-B12
8377 DB30        IN      A,(PORT_D)
8379 6F          LD      L,A ; DATA B1-B8
837A FD21F087    LD      IY,TWO
837E FD7500      LD      (IY+0),L
8381 FD7401      LD      (IY+1),H
8384 7D          LD      A,L
8385 FEAF        CP      0A1H
8387 DA9083      JP      C,CHECK1
838A 7C          LD      A,H

```

```

838B FEOF          CP      OFH
838D CA1D83       JP      Z,OVRANGE
8390 DB51         CHECK1: IN    A,(PORT_B)
8392 CB7F         BIT    7,A
8394 C21D83       JP      NZ,OVRANGE
8397 C9           RET

;

8398 AF          SOLVE: XOR    A
8399 54          LD     D,H
839A 5D          LD     E,L
839B 0600        DIVIDE: LD    B,00H
839D 0E04        LD    C,04H
839F 67          LD    H,A
83A0 6F          LD    L,A
83A1 3E10        LD    A,16
83A3 CB13        DIV1:  RL    E
83A5 CB12        RL    D
83A7 ED6A        ADC   HL,HL
83A9 ED42        SBC   HL,BC
83AB 3001        JR    NC,DIV2
83AD 09          ADD   HL,BC
83AE 3F          DIV2:  CCF
83AF 3D          DEC   A
83B0 20F1        JR    NZ,DIV1
83B2 EB         EX    DE,HL
83B3 ED6A        ADC   HL,HL

;

83B5 54          MULTIP: LD    D,H
83B6 5D          LD    E,L
83B7 3E02        LD    A,02H
83B9 210000      LD    HL,0000H
83BC B7          LOOP:  OR    A
83BD CAC983      JP    Z,BINBCD
83C0 1F          RRA
83C1 3001        JR    NC,LOOP1

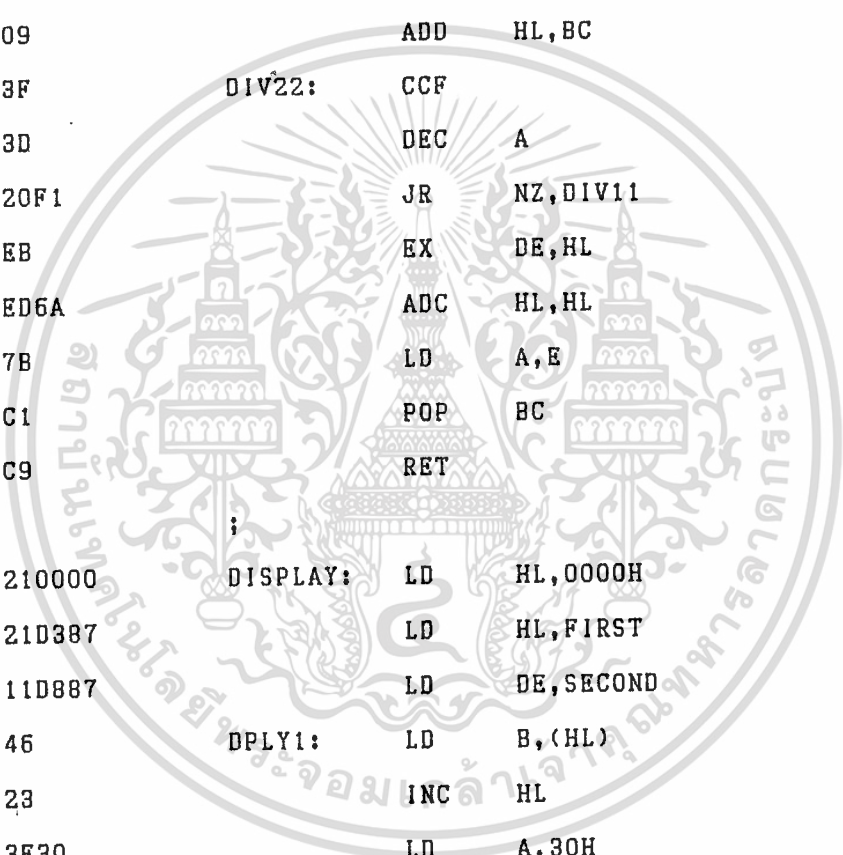
```

```

83C3 19          ADD    HL,DE
83C4 EB          LOOP1:  EX    DE,HL
83C5 29          ADD    HL,HL
83C6 EB          EX    DE,HL
83C7 18F3        JR    LOOP
;
83C9 3EFF        BINBCD: LD    A,OFFH
83CB F5          PUSH   AF
83CC 7C          LD    A,H
83CD B5          OR    L
83CE 2803        JR    Z,BINBCD2
83D0 C0ED83      BINBCD1: CALL  DIV10
83D3 F5          BINBCD2: PUSH  AF
83D4 7C          LD    A,H
83D5 B5          OR    L
83D6 20F8        JR    NZ,BINBCD1
83D8 F1          BINBCD3: POP   AF
83D9 32D387      LD    (FIRST),A
83DC 21D387      LD    HL,FIRST
83DF 23          INC   HL
83E0 FEFF        CP    OFFH
83E2 2001        JR    NZ,BINBCD4
83E4 C9          RET
;
83E5 F1          BINBCD4: POP   AF
83E6 77          LD    (HL),A
83E7 23          INC   HL
83E8 FEFF        CP    OFFH
83EA 20F9        JR    NZ,BINBCD4
83EC C9          RET
;
83ED C5          DIV10:  PUSH  BC
83EE EB          EX    DE,HL
83EF 010A00      LD    BC,000AH
83F2 AF          XOR   A

```

83F3 67		LD	H,A
83F4 6F		LD	L,A
83F5 3E10		LD	A,16
83F7 CB13	DIV11:	RL	E
83F9 CB12		RL	D
83FB ED6A		ADC	HL,HL
83FD ED42		SBC	HL,BC
83FF 3001		JR	NC,DIV22
8401 09		ADD	HL,BC
8402 3F	DIV22:	CCF	
8403 3D		DEC	A
8404 20F1		JR	NZ,DIV11
8406 EB		EX	DE,HL
8407 ED6A		ADC	HL,HL
8409 7B		LD	A,E
840A C1		POP	BC
840B C9		RET	
840C 210000	DISPLAY:	LD	HL,0000H
840F 21D387		LD	HL,FIRST
8412 11D887		LD	DE,SECOND
8415 46	DPLY1:	LD	B,(HL)
8416 23		INC	HL
8417 3E30		LD	A,30H
8419 80		ADD	A,B
841A FE2F		CP	02FH
841C CA2484		JP	Z,DPLY2
841F 12		LD	(DE),A
8420 13		INC	DE
8421 C31584		JP	DPLY1
8424 210000	DPLY2:	LD	HL,0000H
8427 213484		LD	HL,TABE
842A CD4887		CALL	LINE1
842D 21D887		LD	HL,SECOND
8430 CD6887		CALL	LINE2



```

8433 C9                RET
;
8434 2A20202020      TABE:   DFB   "*"   "*"
8444 2A20202020      DFB   "*"   GRAMS  "*"
8454 2A20202020      DFB   "*"   "*"
;
8464 3E20            CLRMEMO: LD   A,20H
8466 0604            LD   B,4
8468 21D887          LD   HL,SECOND
846B 77              MEMO:   LD   (HL),A
846C 23              INC   HL
846D 10FC            DJNZ  MEMO
846F C9              RET
;
8470 AF              PRICE:  XOR   A
8471 54              LD   D,H
8472 5D              LD   E,L
8473 0600            PRICE1: LD   B,00H
8475 0E04            LD   C,04H
8477 67              LD   H,A
8478 6F              LD   L,A
8479 3E10            LD   A,16
847B CB13            PRI1:  RL   E
847D CB12            RL   D
847F ED6A            ADC   HL,HL
8481 ED42            SBC   HL,BC
8483 3001            JR   NC,PRI2
8485 09              ADD   HL,BC
8486 3F              PRI2:  CCF
8487 3D              DEC   A
8488 20F1            JR   NZ,PRI1
848A EB              EX   DE,HL
848B ED6A            ADC   HL,HL
848D 54              MULTIP1: LD   D,H

```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
 ;
 ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

84C2 20F9		JR	NZ, TOTPRI4
84C4 C9		RET	
		;	
84C5 C5	DIV101:	PUSH	BC
84C6 EB		EX	DE, HL
84C7 010A00		LD	BC, 000AH
84CA AF		XOR	A
84CB 67		LD	H, A
84CC 6F		LD	L, A
84CD 3E10		LD	A, 16
84CF CB13	DIV111:	RL	E
84D1 CB12		RL	D
84D3 ED6A		ADC	HL, HL
84D5 ED42		SBC	HL, BC
84D7 3001		JR	NC, DIV222
84D9 09		ADD	HL, BC
84DA 3F	DIV222:	CCF	
84DB 3D		DEC	A
84DC 20F1		JR	NZ, DIV111
84DE EB		EX	DE, HL
84DF ED6A		ADC	HL, HL
84E1 7B		LD	A, E
84E2 C1		POP	BC
84E3 C9		RET	
		;	
84E4 210000	DISPLAY1:	LD	HL, 0000H
84E7 21DC87		LD	HL, THIRD
84EA 11E187		LD	DE, FOURTH
84ED 46	DPLY11:	LD	B, (HL)
84EE 23		INC	HL
84EF 3E30		LD	A, 30H
84F1 80		ADD	A, B
84F2 FE2F		CP	02FH
84F4 CAF84		JP	Z, DPLY22
84F7 12		LD	(DE), A

```

84F8 13          INC    DE
84F9 C3ED84     JP     DPLY11
84FC 210000     DPLY22: LD    HL,0000H
84FF 210C85     LD    HL,TABF
8502 CD4887     CALL  LINE1
8505 21E187     LD    HL,FOURTH
8508 CD6887     CALL  LINE2
850B C9        RET

;
850C 2A20544F54 TABF:   DFB   "* TOTAL PRICE *"
851C 2A20202020 DFB   "* BATH   *"
852C 2A20202020 DFB   "*          *"

;
853C 3E20       CLRMEMO1: LD    A,20H
853E 0604       LD    B,4
8540 21E187     LD    HL,FOURTH
8543 77         MEMO1:  LD    (HL),A
8544 23         INC    HL
8545 10FC       DJNZ  MEMO1
8547 C9        RET

;
8548 DD21F087   SUBTRT: LD    IX,TWO
854C FD21EE87   LD    IY,ONE
8550 AF        XOR    A
8551 0602       LD    B,2
8553 DD7E00     SUB1:   LD    A,(IX+0)
8556 FD9E00     SBC   A,(IY+0)
8559 DD7700     LD    (IX+0),A
855C DD23       INC    IX
855E FD23       INC    IY
8560 10F1       DJNZ  SUB1
8562 DD21F087   LD    IX,TWO
8566 DD6E00     LD    L,(IX+0)
8569 DD6601     LD    H,(IX+1)
856C C9        RET

```

```

;
856D AF          TARE1:   XOR    A
856E 54          LD      D,H
856F 5D          LD      E,L
8570 0600        TARE11:  LD      B,00H
8572 0E04        LD      C,04H
8574 67          LD      H,A
8575 6F          LD      L,A
8576 3E10        LD      A,16
8578 CB13        TAR1:    RL      E
857A CB12        RL      D
857C ED6A        ADC     HL,HL
857E ED42        SBC     HL,BC
8580 3001        JR      NC,TAR2
8582 09          ADD     HL,BC
8583 3F          TAR2:    CCF
8584 3D          DEC     A
8585 20F1        JR      NZ,TAR1
8587 EB          EX     DE,HL
8588 ED6A        ADC     HL,HL
;
858A 54          TAR3:    LD      D,H
858B 5D          LD      E,L
858C 3E02        LD      A,02H
858E 210000      LD      HL,0000H
8591 B7          TAR4:    OR      A
8592 CA9E85      JP      Z,TAR6
8595 1F          RRA
8596 3001        JR      NC,TAR5
8598 19          ADD     HL,DE
8599 EB          TAR5:    EX     DE,HL
859A 29          ADD     HL,HL
859B EB          EX     DE,HL
859C 18F3        JR      TAR4

```

859E 3EFF	TAR6:	LD	A, OFFH
85A0 F5		PUSH	AF
85A1 7C		LD	A, H
85A2 B5		OR	L
85A3 2803		JR	Z, TAR7
85A5 CDC285	TAR8:	CALL	DIVTEN
85A8 F5	TAR7:	PUSH	AF
85A9 7C		LD	A, H
85AA B5		OR	L
85AB 20F8		JR	NZ, TAR8
85AD F1	TAR9:	POP	AF
85AE 32E587		LD	(FIFTH), A
85B1 21E587		LD	HL, FIFTH
85B4 23		INC	HL
85B5 FEFF		CP	OFFH
85B7 2001		JR	NZ, TAR10
85B9 C9		RET	
			;
85BA F1	TAR10:	POP	AF
85BB 77		LD	(HL), A
85BC 23		INC	HL
85BD FEFF		CP	OFFH
85BF 20F9		JR	NZ, TAR10
85C1 C9		RET	
			;
85C2 C5	DIVTEN:	PUSH	BC
85C3 EB		EX	DE, HL
85C4 010A00		LD	BC, 000AH
85C7 AF		XOR	A
85C8 67		LD	H, A
85C9 6F		LD	L, A
85CA 3E10		LD	A, 16
85CC CB13	DIV1101:	RL	E
85CE CB12			
85D0 ED6A			

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งห้ามมิให้ดัดแปลงเนื้อหา ADC ต้องอัปเดต HL, HL เจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

85D2	ED42		SBC	HL,BC
85D4	3001		JR	NC,DIV202
85D6	09		ADD	HL,BC
85D7	3F	DIV202:	CCF	
85D8	3D		DEC	A
85D9	20F1		JR	NZ,DIV1101
85DB	EB		EX	DE,HL
85DC	ED6A		ADC	HL,HL
85DE	7B		LD	A,E
85DF	C1		POP	BC
85E0	C9		RET	
;				
85E1	210000	DISPLAY2:	LD	HL,0000H
85E4	21E587		LD	HL,FIFTH
85E7	11EA87		LD	DE,SIXTH
85EA	46	DPLY111:	LD	B,(HL)
85EB	29		INC	HL
85EC	3E30		LD	A,30H
85EE	80		ADD	A,B
85EF	FE2F		CP	02FH
85F1	CAF985		JP	Z,DPLY222
85F4	12		LD	(DE),A
85F5	13		INC	DE
85F6	C3EA85		JP	DPLY111
85F9	210000	DPLY222:	LD	HL,0000H
85FC	210986		LD	HL,TABH
85FF	CD4887		CALL	LINE1
8602	21EA87		LD	HL,SIXTH
8605	CD6887		CALL	LINE2
8608	C9		RET	
;				
8609	2A20544152	TABH:	DFB	"* TARE WEIGHT *"
8619	2A20202020		DFB	"* GRAMS *"
8629	2A20202020		DFB	"* *"

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```

8639 210000      DISPLAY3: LD      HL,0000H
863C 21E587      LD      HL,FIFTH
863F 11EA87      LD      DE,SIXTH
8642 46          DPLY111: LD      B,(HL)
8643 23          INC     HL
8644 3E30        LD      A,30H
8646 80          ADD     A,B
8647 FE2F        CP      02FH
8649 CA5186      JP      Z,DPLY222
864C 12          LD      (DE),A
864D 13          INC     DE
864E C34286      JP      DPLY111
8651 210000      DPLY222: LD      HL,0000H
8654 216186      LD      HL,TABX
8657 CD4887      CALL   LINE1
865A 21EA87      LD      HL,SIXTH
865D CD6887      CALL   LINE2
8660 C9          RET
;
8661 24202020    TABX:   DFB     "$"
8671 24202020    DFB     "$ GRAMS"
8681 24202020    DFB     "$"
;
8691 3E20        CLRMEMO2: LD     A,20H
8693 0604        LD     B,4
8695 21EA87      LD     HL,SIXTH
8698 77          MEMO2:  LD     (HL),A
8699 23          INC     HL
869A 10FC        DJNZ   MEMO2
869C C9          RET
;
869D 3E00        CLR:   LD     A,00H
869F 0602        LD     B,2
86A1 21EE87      LD     HL,ONE
86A4 77          MEM:   LD     (HL),A

```

```

86A5 23          INC    HL
86A6 10FC        DJNZ   MEM
86A8 C9          RET
;
86A9 3E00        CLR1:  LD    A,00H
86AB 0602        LD    B,2
86AD 21F087      LD    HL,TWO
86B0 77          MEM1:  LD    (HL),A
86B1 23          INC    HL
86B2 10FC        DJNZ   .MEM1
86B4 C9          RET
;
;*****INITIAL LCD DISPLAY*****
; PORT_A0-PORT_A7 :POUT DO-D7    (DATA READ/WRITE
; PORT_B0          :POUT RS      (REGISTER SELECTI
; PORT_B1          :POUT R/W     (READ/WRITE)
; PORT_B2          :POUT E       (ENABLE SIGNAL)
; PORT_B4          :PIN  RUN/HOLD (RUN/HOLD OF A/D)
; PORT_B5          :PIN  STATUS  (STATUS OF A/D)
; PORT_B6          :POUT POL     (POLARITY OF A/D)
; PORT_B7          :POUT OR      (OVERRANGE OF A/D)
;
86B5 D351        INITLCD: OUT  (PORT_B),A
86B7 3E38        LD    A,00111000B ;function set 38H
;DL=1 8hit,N=1 1/16
;F=0 5*7
86B9 D350        OUT  (PORT_A),A
86BB CD7987      CALL  EPLUSE
86BE CDA087      CALL  DELAY1
86C1 3E0D        LD    A,00001101B ;display on/off con
;D=1 off,C=1 cursor
;B=1 blink
86C3 D350        OUT  (PORT_A),A
86C5 CD7987      CALL  EPLUSE
86C8 3E06        LD    A,00000110B ;entry mode set

```

;I/D=1 increment,S=

```
86CA D350          OUT    (PORT_A),A
86CC CD7987       CALL    EPLUSE

86CF 3E01          CLRLCD1: LD    A,00000001B ;clear all display
86D1 D350          OUT    (PORT_A),A
86D3 CD7987       CALL    EPLUSE
86D6 CDA087       CALL    DELAY1
86D9 C9           RET
```

```

;
;*****WRITE CG RAM*****
; INPUT REG C=ADDRESS 1-64
; REG D=DATA BIT 4-0
```

```
86DA CBB9          WRCGRAM: RES    7,C
86DC CBF1          SET    6,C
86DE 79           LD    A,C
86DF D350          OUT    (PORT_A),A
86E1 3E00          LD    A,0
86E3 D351          OUT    (PORT_B),A
86E5 CD7987       CALL    EPLUSE
86E8 CDA087       CALL    DELAY1
86EB CD9587       CALL    WRBYTE
86EE CDA087       CALL    DELAY1
86F1 C9           RET
```

```

;
;*****WRITE LINE 16 CHAR*****
; INPUT (HL)=DATA
; INPUT A=LINE
;
```

```
86F2 3E01          LINE:   LD    A,1
86F4 CD0787       CALL    WLINE
86F7 3E02          LD    A,2
86F9 CD0787       CALL    WLINE
86FC 3E03          LD    A,3
86FE CD0787       CALL    WLINE
```

```

8701 3E04          LD      A,4
8703 CD0787       CALL   WLINE
8706 C9           RET

;

8707 FE01         WLINE:   CP      1
8709 CA1C87       JP      Z,WRL1
870C FE02         CP      2
870E CA2487       JP      Z,WRL2
8711 FE03         CP      3
8713 CA2C87       JP      Z,WRL3
8716 FE04         CP      4
8718 CA3487       JP      Z,WRL4
871B C9           RET

;

871C 3E00         WRL1:   LD      A,00H
871E CD8887       CALL   GOTO
8721 C33C87       JP      WRLM
8724 3E40         WRL2:   LD      A,40H
8726 CD8887       CALL   GOTO
8729 C33C87       JP      WRLM
872C 3E10         WRL3:   LD      A,10H
872E CD8887       CALL   GOTO
8731 C33C87       JP      WRLM
8734 3E50         WRL4:   LD      A,50H
8736 CD8887       CALL   GOTO
8739 C33C87       JP      WRLM

;

873C 0610         WRLM:   LD      B,16
873E 56           WRL:    LD      D,(HL)
873F C5           PUSH   BC
8740 CD9587       CALL   WRBYTE
8743 C1           POP    BC
8744 23           INC    HL
8745 10F7         DJNZ   WRL
8747 C9           RET

```

```

;
8748 3E01      LINE1:  LD    A,1
874A CD5887          CALL  WLINE1
874D 3E03      LD    A,3
874F CD5887          CALL  WLINE1
8752 3E04      LD    A,4
8754 CD5887          CALL  WLINE1
8757 C9        RET

```

```

;
8758 FE01      WLINE1: CP    1
875A CA1C87          JP    Z,WRL1
875D FE03      CP    3
875F CA2C87          JP    Z,WRL3
8762 FE04      CP    4
8764 CA3487          JP    Z,WRL4
8767 C9        RET

```

```

;
8768 3E45      LINE2:  LD    A,45H
876A CD8887          CALL  GOTO
876D 0604      LD    B,4
876F 56        WRL1:  LD    D,(HL)
8770 C5        PUSH  BC
8771 CD9587          CALL  WRBYTE
8774 C1        POP   BC
8775 23        INC   HL
8776 10F7      DJNZ  WRL1
8778 C9        RET

```

```

;
;*****ENABLE PULSE SUB.*****
8779 DB51      EPLUSE: IN   A,(PORT_B)
877B CBD7          SET   2,A
877D D351      OUT   (PORT_B),A      ;ENABLE BIT 2
877F 0600      LD    B,00H

```

```

8781 10FE      EP1:   DJNZ  EP1
8783 CB97      RES   2,A

```

```

8785 D351          OUT    (PORT_B),A          ;ENABLE BIT 2
8787 C9           RET

;
;*****GOTO POSITION*****
; INPUT  REG  A=DATA
8788 C5          GOTO:    PUSH    'BC
8789 CBFF        SET     7,A              ;SET DD RAM
878B D350        OUT    (PORT_A),A
878D AF          XOR     A
878E D351        OUT    (PORT_B),A          ;SET RS=0, R/
8790 CD7987     CALL    EPLUSE
8793 C1          POP     BC
8794 C9          RET

;*****WRITE BYTE SUB*****
; INPUT  REG  D=DATA
8795 3E01        WRBYTE:  LD     A,00000001B  ;DATA WRITE
8797 D351        OUT    (PORT_B),A
8799 7A          LD     A,D              ;DATA BYTE
879A D350        OUT    (PORT_A),A
879C CD7987     CALL    EPLUSE
879F C9          RET

;
;*****DELAY SUB*****
;
87A0 C5          DELAY1:  PUSH    BC
87A1 F5          PUSH    AF
87A2 0680        LD     B,80H
87A4 10FE        DELAY11: DJNZ    DELAY11
87A6 F1          POP     AF
87A7 C1          POP     BC
87A8 C9          RET

;
87A9 11201C     DELAY2:  LD     DE,7200 ;LOAD COUNTER
87AC CDB587     DELAY21: CALL    LDELAY

```

```

87AF 1B          DEC    DE
87B0 7A          LD     A,D
87B1 B3          OR     E
87B2 20F8        JR     NZ,DELAY21
87B4 C9          RET

```

```
;
```

```
;*****SUBROUTINE FOR FEW SECOND DELAY*****
```

```
;
```

```

87B5 019600      LDELAY: LD    BC,150    ;LOAD COUNT
87B8 0B          LDELAY1: DEC   BC
87B9 78          LD     A,B
87BA B1          OR     C
87BB 20F8        JR     NZ,LDELAY1
87BD C9          RET

```

```

87BE 11201C      DELAY3: LD    DE,7200    ;LOAD COUNTER
87C1 CDCAB7      DELAY31: CALL  LLDELAY
87C4 1B          DEC   DE
87C5 7A          LD     A,D
87C6 B3          OR     E
87C7 20F8        JR     NZ,DELAY31
87C9 C9          RET

```

```
;
```

```
;*****SUBROUTINE FOR FEW SECOND DELAY*****
```

```
;
```

```

87CA 016400      LLDELAY: LD    BC,100    ;LOAD COUNT
87CD 0B          LLDELAY1: DEC   BC
87CE 78          LD     A,B
87CF B1          OR     C
87D0 20F8        JR     NZ,LLDELAY1
87D2 C9          RET

```

```
;
```

```

87D3          FIRST: DFS    5          ;BUFFER
87D8          SECOND: DFS   4          ;BUFFER
87DC          THIRD:  DFS   5          ;BUFFER

```

87E1	FOURTH:	DFS	4	;BUFFER
87E5	FIFTH:	DFS	5	;BUFFER
87EA	SIXTH:	DFS	4	;BUFFER
87EE	ONE:	DFS	2	;BUFFER
87F0	TWO:	DFS	2	;BUFFER

END

83C9	BINBCD	83D0	BINBCD1	83D3	BINBCD2
83D8	BINBCD3	83E5	BINBCD4	8315	CHECK
8390	CHECK1	869D	CLR	86A9	CLR1
82E6	CLRLCD	86CF	CLRLCD1	8464	CLRMEMO
853C	CLRMEMO1	8691	CLRMEMO2	87A0	DELAY1
87A4	DELAY1:1	87A9	DELAY2	87AC	DELAY2:1
87BE	DELAY3	87C1	DELAY3:1	840C	DISPLAY
84E4	DISPLAY1	85E1	DISPLAY2	8639	DISPLAY3
83A3	DIV1	83ED	DIV10	84C5	DIV10:1
83F7	DIV1:1	85CC	DIV110:1	84CF	DIV11:1
83AE	DIV2	85D7	DIV20:2	8402	DIV2:2
84DA	DIV2:2	839B	DIVIDE	85C2	DIVTEN
8180	DO1	8179	DOWLOAD	8415	DPLY1
84ED	DPLY1:1	85EA	DPLY1:1:1	8424	DPLY2
84FC	DPLY2:2	85F9	DPLY2:2:2	8642	DPLY:1:1:1
8651	DPLY:2:2:2	8781	EP1	8779	EPLUSE
87E5	FIFTH	87D3	FIRST	87E1	FOURTH
8788	GOTO	86B5	INITLCD	8026	KEYA
8139	KEYC	808B	KEYCC	87B5	LDELAY
87B8	LDELAY:1	86F2	LINE	8748	LINE:1
8768	LINE:2	87CA	LLDELAY	87CD	LLDELAY:1
83BC	LOOP	83C4	LOOP:1	86A4	MEM
86B0	MEM:1	846B	MEMO	8543	MEMO:1
8698	MEMO:2	8494	MUL	849C	MUL:1
83B5	MULTIP	848D	MULTIP:1	87EE	ONE
831D	OVRANGE	0050	PORT_A	0054	PORT_AC
0051	PORT_B	0055	PORT_BC	0052	PORT_C

0056	PORT_CC	0030	PORT_D	0034	PORT_DC
0040	PORT_E	0044	PORT_EC	847B	PRI1
8486	PRI2	8470	PRICE	8473	PRICE1
82EE	READ	82EF	READ1	82F9	READ2
8369	READ3	836A	READ4	8034	RTIME
803D	RTIME1	87D8	SECOND	87EA	SIXTH
8398	SOLVE	8553	SUB1	8548	SUBTRT
8191	TABA	81D1	TABB	8218	TABC
8329	TABD	8434	TABE	850C	TABF
825F	TABG	8609	TABH	82A6	TABS
8661	TABX	8578	TAR1	85BA	TAR10
8583	TAR2	858A	TAR3	8591	TAR4
8599	TAR5	859E	TAR6	85A8	TAR7
85A5	TAR8	85AD	TAR9	814A	TARE
856D	TARE1	8570	TARE11	809C	TARE111
801D	TEST	8211	TEST1	8258	TEST2
829F	TEST3	87DC	THIRD	8160	TOTAL
80B2	TOTAL1	84A1	TOTPRI	84A8	TOTPRI1
84AB	TOTPRI2	84B0	TOTPRI3	84BD	TOTPRI4
87F0	TWO	80CB	VALUE	8109	VALUE1
8707	WLINE	8758	WLINE1	8795	WRBYTE
86DA	WRCGRAM	873E	WRL	871C	WRL1
8724	WRL2	872C	WRL3	8734	WRL4
876F	WRL1	873C	WRLM		

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การทดลองและผลการทดลอง

ในการทดสอบเครื่องชั่งน้ำหนักแบบดิจิตอลจะทำการทดสอบคุณสมบัติของแต่ละส่วนก่อนโดยจะสรุปเป็นขั้นตอนการทดสอบได้ดังนี้

4.1 การทดสอบความเป็นเชิงเส้นของทรานสดิวเซอร์

ในการทดสอบจะป้อนน้ำหนักมาตรฐานให้กับทรานสดิวเซอร์แล้ววัดศักดาไฟฟ้าแบบดิฟเฟอเรนเชียลที่ขาเอาต์พุตทั้งสองของทรานสดิวเซอร์เปรียบเทียบกับความดันที่ป้อนให้ ซึ่งจะได้ผลการทดลองดังภาพที่ 4.1

4.2 การทดสอบคุณสมบัติของวงจรอินสตรูเมนเตชันแอมพลิฟายเออร์

4.2.1 การทดสอบความเป็นเชิงเส้นของวงจรอินสตรูเมนเตชันแอมพลิฟายเออร์

ในการทดสอบจะป้อนศักดาไฟฟ้าแบบดิฟเฟอเรนเชียลจากขาเอาต์พุตทั้งสองของทรานสดิวเซอร์เข้าที่จุดอินพุตของวงจร แล้วจึงวัดศักดาไฟฟ้าที่จุดเอาต์พุตของวงจรอินสตรูเมนเตชันแอมป์ ผลการทดลองจะได้ดังในภาพที่ 4.2

4.3 การทดสอบเครื่องชั่งน้ำหนักแบบดิจิตอล

ในการทดสอบจะวางน้ำหนักที่ต้องการจะชั่งลงบนจานโลหะ แล้วอ่านค่าที่วัดได้จากส่วนแสดงผล ซึ่งจะได้ผลการทดลองดังในตารางที่ 4.3.

ตารางที่ 4.1 ความสัมพันธ์ระหว่างศักดาเอาก์พทและน้ำหนักที่มีต่อทรานสดิวเซอร์

น้ำหนัก (กรัม)	เอาก์พทของทรานสดิวเซอร์ (มิลลิโวลต์)	น้ำหนัก (กรัม)	เอาก์พทของทรานสดิวเซอร์ (มิลลิโวลต์)
10	0.043	600	2.456
20	0.083	700	2.813
30	0.14	800	3.263
40	0.17	900	3.667
50	0.206	1000	3.77
60	0.246	1100	4.18
70	0.286	1200	4.67
80	0.327	1300	5.10
90	0.363	1400	5.58
100	0.396	1500	6.02
200	0.82	1600	6.40
300	1.27	1700	6.93
400	1.67	1800	7.38
500	2.00	1900	7.92
		2000	8.30

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตารางที่ 4.2 แสดงความสัมพันธ์ระหว่างน้ำหนักกับเอาท์พุทของอินสตรูเมนต์เซ็นแอมป์

น้ำหนัก (กรัม)	เอาท์พุทของอินสตรูเมนต์เซ็นแอมป์ (มิลลิโวลต์)	น้ำหนัก (กรัม)	เอาท์พุทของอินสตรูเมนต์เซ็นแอมป์ (มิลลิโวลต์)
10	2.0	700	135.73
20	3.93	800	157.43
30	6.0	900	177.03
40	8.1	1000	188.36
50	10.2	1100	206.03
60	12.23	1200	229.03
70	14.3	1300	255.03
80	16.3	1400	276.67
90	18.33	1500	304.4
100	20.5	1600	326.76
200	41.0	1700	353.1
300	60.27	1800	370.07
400	80.93	1900	392.9
500	94.02	2000	404.8
600	112.8		

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตารางที่ 4.8 การเปรียบเทียบระหว่างน้ำหนักมาตรฐานกับค่าที่อ่านได้จากเครื่องชั่ง

ค่าน้ำหนักมาตรฐาน(กรัม)	ค่าน้ำหนักที่อ่านได้(กรัม)	ค่าผิดพลาด(%)
20	18	10.0
50	48	4.0
100	98	2.0
200	200	0.0
300	302	0.66
400	398	0.5
500	500	0.0
600	602	0.33
700	702	0.285
800	804	0.5
900	898	0.22
1000	1000	0.0
1200	1204	0.33
1400	1406	0.428
1600	1602	0.125
1800	1802	0.11
2000	1990	0.5

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

7. ข้อผิดพลาดอีกอย่างที่เกิดขึ้นคือ เอาที่หูของทรานสดิวเซอร์ยังแกว่งขึ้นลงอยู่จึงทำให้ค่าที่อ่านได้จากส่วนแสดงภาพจึงไม่คงที่

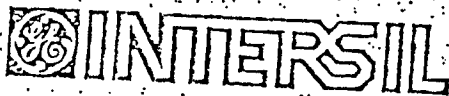
สำหรับในทางด้านวงจรที่พัฒนาขึ้นคือ การลดขนาดของวงจรลงมาเนื่องจากโครงการเดิมใช้ CPU Z80 และจำเป็นต้องใช้พอร์ต 8255 ทำให้จำนวนชิปและขนาดวงจรใหญ่ขึ้นแต่ได้แก้ไขโดยการใส่ CPU Z84C11 ซึ่งในตัวของ CPU Z84C11 มีพอร์ตอยู่ 5 พอร์ตและสามารถใช้สั่งการในงานต่าง ๆ ได้เช่นเดียวกับ CPU Z80 และอีกส่วนคือการใช้ส่วนแสดงผลแบบ LCD แทน LED เนื่องจากแสดงผลในรูปแบบต่าง ๆ ได้มากกว่าละเอียดกว่า และในการใช้งานกระแสที่กระชากจะน้อยกว่า LED

ในส่วนโปรแกรมนั้นยังสามารถพัฒนาต่อไปได้อีก เช่น นำไปใช้ในการคิดราคาสินค้าที่ต้องชั่งน้ำหนักเวลาขาย โดยการกำหนดอัตราราคาสินค้าต่อหน่วยที่รับมาจากคีย์บอร์ดข้างนอกลงไปก็สามารถคิดราคาได้โดยให้ส่วนประมวลผลกลางคำนวณ





เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



ICL7109 12 Bit Binary A/D Converter for Microprocessor Interface

FEATURES

- 12 bit binary (plus polarity and overrange) dual slope integrating analog-to-digital converter.
- Binary organized TTL-compatible three-state outputs and UART handshake mode for simple parallel or serial interfacing to microprocessor systems.
- RUN/HOLD input and STATUS output can be used to monitor and control conversion timing.
- True differential input and differential reference.
- Low noise — typically 15 μ V p-p.
- 1pA typical input current.
- Operates at up to 30 conversions per second.
- On-chip oscillator operates with inexpensive 3.58MHz TV crystal giving 7.5 conversions per second for 60Hz rejection. May also be operated as RC oscillator for other clock frequencies.
- Fabricated using MAX-CMOS™ technology combining analog and digital functions on a single low power LSI CMOS chip.
- All inputs fully protected against static discharge; no special handling precautions necessary.

GENERAL DESCRIPTION

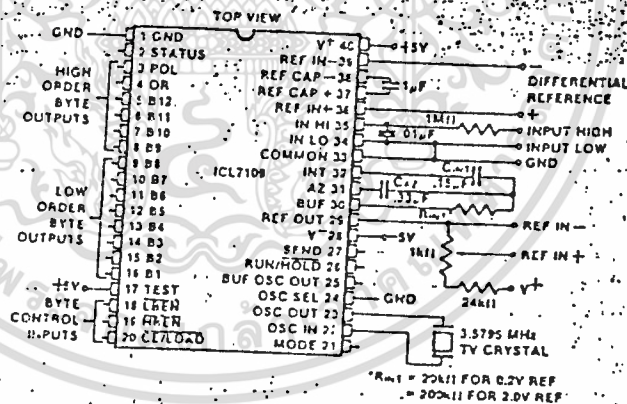
The ICL7109 is a high performance, low power integrating A/D converter designed to easily interface with microprocessors.

The output data (12 bits, polarity and overrange) may be directly accessed under control of two byte enable inputs and a chip select input for a simple parallel bus interface. A UART handshake mode is provided to allow the ICL7109 to work with industry-standard UARTs in providing serial data transmission, ideal for remote data logging applications. The RUN/HOLD input and STATUS output allow monitoring and control of conversion timing.

The ICL7109 provides the user with the high accuracy, low noise, low drift, versatility and economy of the dual-slope integrating A/D converter. Features like true differential input and reference, drift of less than 1 μ V/°C, maximum input bias current of 10pA, and typical power consumption of 20mW make the ICL7109 an attractive per-channel alternative to analog multiplexing for many data acquisition applications.

PIN CONFIGURATION AND TEST CIRCUIT:

(See Figure 1 for typical connection to a UART or Microcomputer)



(OUTLINE DWGS DL, JL, PL)

ORDERING INFORMATION

Part	Temp. Range	Package	Order Number
7109	-55°C to +125°C	40 Pin Ceramic DIP	ICL7109MDL
7109	-20°C to +85°C	40-Pin Ceramic DIP	ICL7109IDL
7109	-20°C to +85°C	40-Pin CERDIP	ICL7109JL
7109	0°C to 70°C	40-Pin Plastic DIP	ICL7109CPL

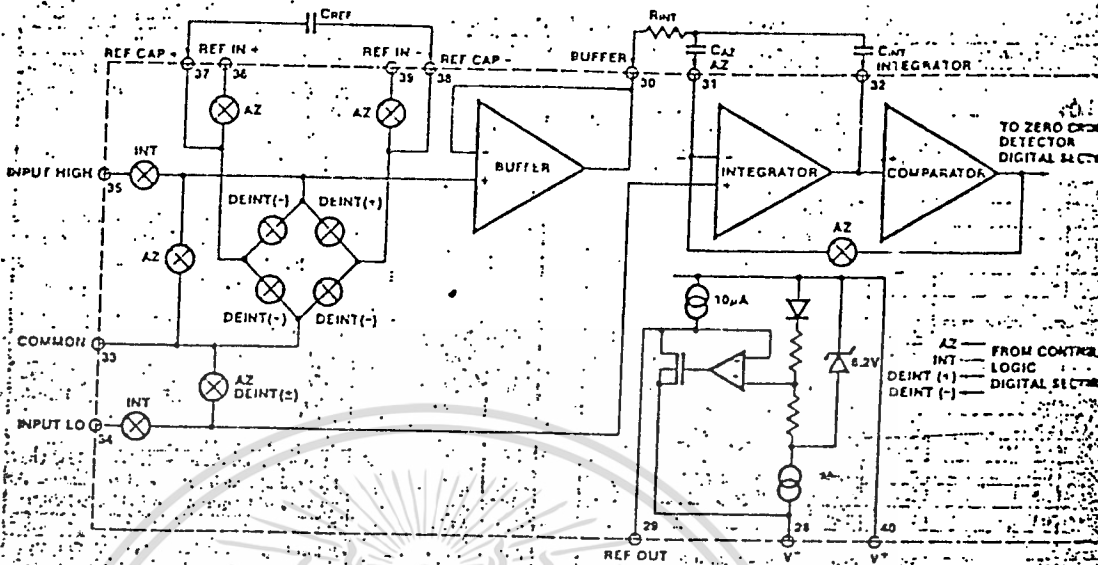


Figure 2: Analog Section

4

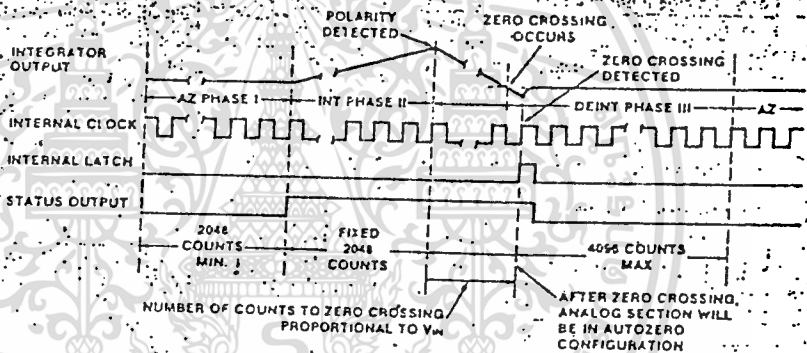


Figure 3: Conversion Timing (RUN/HOLD Pin High)

3. De-Integrate Phase

The final phase is de-integrate, or reference integrate. Input low is internally connected to analog COMMON and input high is connected across the previously charged (during auto-zero) reference capacitor. Circuitry within the chip ensures that the capacitor will be connected with the correct polarity to cause the integrator output to return to zero crossing (established in Auto Zero) with a fixed slope. Thus the time for the output to return to zero (represented by the number of clock periods counted) is proportional to the input signal.

Differential Input

The input can accept differential voltages anywhere within the common mode range of the input amplifier; or specifically from 1.0 volts below the positive supply to 1.5 volts above the negative supply. In this range the system has a CMRR of 86dB typical. However, since the integrator also swings with the common mode voltage, care must be exercised to assure the integrator output does not saturate. A worst case condition would be a large positive common mode voltage with a near full-scale negative differential input voltage. The negative input signal drives the integrator,

positive when most of its swing has been used up by the positive common mode voltage. For these critical applications the integrator swing can be reduced to less than the recommended 4V full scale with some loss of accuracy. The integrator output can swing within 0.3 volts of either supply without loss of linearity.

The ICL7109 has, however, been optimized for operation with analog common near digital ground. With power supplies of +5V and -5V, this allows a 4V full scale integrator swing positive or negative maximizing the performance of the analog section.

Differential Reference

The reference voltage can be generated anywhere within the power supply voltage of the converter. The main source of common mode error is a roll-over voltage caused by the reference capacitor losing or gaining charge to the capacity on its nodes. If there is a large common mode voltage, the reference capacitor can gain charge (increase voltage) when called up to deintegrate a positive signal or lose charge (decrease voltage) when called up to deintegrate a negative input signal. This difference in reference for (+/-) input voltage will give a roll-over error. However,

TABLE 2 - Pin Assignment and Function Description

SYMBOL	DESCRIPTION
GND	Digital Ground, 0V. Ground return for all digital logic.
STATUS	Output High during integrate and deintegrate until data is latched. Output Low when analog section is in Auto-Zero configuration.
POL	Polarity - HI for Positive Input.
OR	Overrange - HI if Overranged.
A12	Bit 12 (Most Significant Bit)
B11	Bit 11
A10	Bit 10
B9	Bit 9
A8	Bit 8
B7	Bit 7
A6	Bit 6
B5	Bit 5
A4	Bit 4
B3	Bit 3
A2	Bit 2
B1	Bit 1 (Least Significant Bit)
TEST	Input High - Normal Operation. Input Low - Forces all bit outputs high. Note: This input is used for test purposes only. Tie high if not used.
LBEN	Low Byte Enable - With Mode (Pin 21) low, and CE/LOAD (Pin 20) low, taking this pin low activates low order byte outputs B1-B8. - With Mode (Pin 21) high, this pin serves as a low byte flag output used in handshake mode. See Figures 7, 8, 9.
HBEN	High Byte Enable - With Mode (Pin 21) low, and CE/LOAD (Pin 20) low, taking this pin low activates high order byte outputs B9-B12, POL, OR. - With Mode (Pin 21) high, this pin serves as a high byte flag output used in handshake mode. See Figures 7, 8, 9.
CE/LOAD	Chip Enable Load - With Mode (Pin 21) low, CE/LOAD serves as a master output enable. When high, B1-B12, POL, OR outputs are disabled. - With Mode (Pin 21) high, this pin serves as a load strobe used in handshake mode. See Figures 7, 8, 9.

All three state output data bits

PIN	SYMBOL	DESCRIPTION
21	MODE	Input Low - Direct output mode where CE/LOAD (Pin 20), HBEN (Pin 19) and LBEN (Pin 18) act as inputs directly controlling byte outputs. Input Pulsed High - Causes immediate entry into handshake mode and output of data as in Figure 9. Input High - Enables CE/LOAD (Pin 20), HBEN (Pin 19), and LBEN (Pin 18) as outputs, handshake mode will be entered and data output as in Figures 7 and 8 at conversion completion.
22	OSC IN	Oscillator Input
23	OSC OUT	Oscillator Output
24	OSC SEL	Oscillator Select - Input high configures OSC IN, OSC OUT, BUF OSC OUT as RC oscillator - clock will be same phase and duty cycle as BUF OSC OUT. - Input low configures OSC IN, OSC OUT for crystal oscillator - clock frequency will be 1/58 of frequency at BUF OSC OUT.
25	BUF OSC OUT	Buffered Oscillator Output
26	RUN/HOLD	Input High - Conversions continuously performed every 8192 clock pulses. Input Low - Conversion in progress completed, converter will stop in Auto-Zero 7 counts before integrate.
27	SEND	Input - Used in handshake mode to indicate ability of an external device to accept data. Connect to +5V if not used.
28	V ⁻	Analog Negative Supply - Nominally -5V with respect to GND (Pin 1).
29	REF OUT	Reference Voltage Output - Nominally 2.5V down from V ⁺ (Pin 40).
30	BUFFER	Buffer Amplifier Output
31	AUTO-ZERO	Auto-Zero Node - Inside foil of C _{AZ}
32	INTEGRATOR	Integrator Output - Outside foil of C _{INT}
33	COMMON	Analog Common - System is Auto-Zeroed to COMMON
34	INPUT LO	Differential Input Low Side
35	INPUT HI	Differential Input High Side
36	REF IN ⁺	Differential Reference Input Positive
37	REF CAP ⁺	Reference Capacitor Positive
38	REF CAP ⁻	Reference Capacitor Negative
39	REF IN ⁻	Differential Reference Input Negative
40	V ⁺	Positive Supply Voltage - Nominally +5V with respect to GND (Pin 1).

All digital levels are positive true.

DETAILED DESCRIPTION

Analog Section

Figure 2 shows the equivalent circuit of the Analog Section of the ICL7109. When the RUN/HOLD input is left open or connected to V⁺, the circuit will perform conversions at a rate determined by the clock frequency (8192 clock periods per second). Each measurement cycle is divided into three phases shown in Figure 3. They are (1) Auto-Zero (AZ), (2) Signal Integrate (INT) and (3) Deintegrate (DE).

Auto-Zero Phase

During auto-zero three things happen. First, Input high and low are disconnected from their pins and internally shorted to analog COMMON. Second, the reference capacitor is charged to the reference voltage. Third, a feedback loop is closed around the system to charge the auto-zero capacitor C_{AZ} to compensate for offset voltages in

the buffer amplifier, integrator, and comparator. Since the comparator is included in the loop, the AZ accuracy is limited only by the noise of the system. In any case, the offset referred to the input is less than 10µV.

2. Signal Integrate Phase

During signal integrate the auto-zero loop is opened, the internal short is removed and the internal input high and low are connected to the external pins. The converter then integrates the differential voltage between IN HI and IN LO for a fixed time of 2048 clock periods. Note that this differential voltage can be within the common mode range of the inputs. At the end of this phase, the polarity of the integrated signal is determined.

ICL7109



DIGITAL SECTION

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Output High Voltage	V_{OH}	$I_{OUT} = 100 \mu A$ Pins 2-16, 1E, 19, 20	3.5	4.3		V
Output Low Voltage	V_{OL}	$I_{OUT} = 1.6 mA$		0.2	0.4	V
Output Leakage Current		Pins 3-16 high impedance		± 0.1	± 1	μA
Control I/O Pullup Current		Pins 18, 19, 23 $V_{OUT} = V^+ - 3V$ MODE input at GND		5		μA
Control I/O Loading		HBEN Pin 19 LBEN Pin 18			50	pF
Input High Voltage	V_{IH}	Pins 18-21, 26, 27 referred to GND	2.5			V
Input Low Voltage	V_{IL}	Pins 18-21, 26, 27 referred to GND			1	V
Input Pull-up Current		Pins 26, 27 $V_{OUT} = V^+ - 3V$		5		μA
Input Pull-up Current		Pins 17, 24 $V_{OUT} = V^+ - 3V$		25		μA
Input Pull-down Current		Pin 21 $V_{OUT} = GND + 3V$		5		μA
Oscillator Output Current	High	O_{OH}	$V_{OUT} = 2.5V$	1		mA
	Low	O_{OL}	$V_{OUT} = 2.5V$	1.5		mA
Buffered Oscillator Output Current	High	BO_{OH}	$V_{OUT} = 2.5V$	2		mA
	Low	BO_{OL}	$V_{OUT} = 2.5V$	5		mA
MODE Input Pulse Width	t_w		50			ns

- Note 1: Input voltages may exceed the supply voltages provided the input current is limited to $\pm 100 \mu A$.
- Note 2: Due to the SCR structure inherent in the process used to fabricate these devices, connecting any digital inputs or outputs to voltages greater than V^+ or less than GND may cause destructive device latchup. For this reason it is recommended that no inputs from sources other than the same power supply be applied to the ICL7109 before its power supply is established, and that in multiple supply systems the supply to the ICL7109 be activated first.
- Note 3: This limit refers to that of the package and will not be obtained during normal operation.

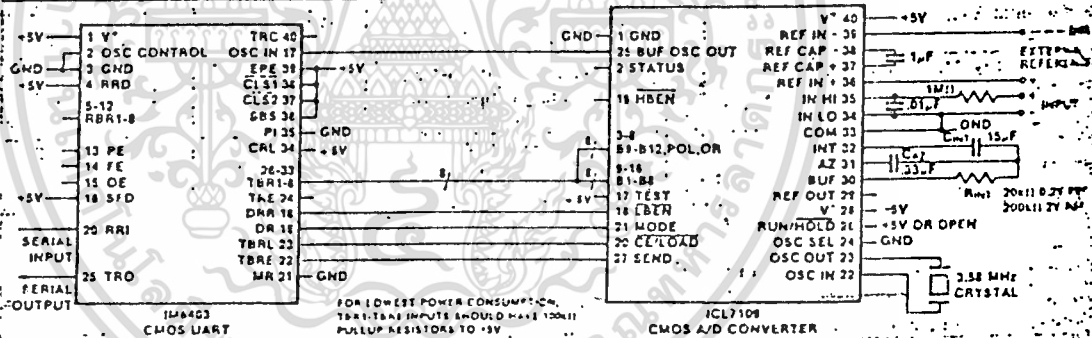


Figure 1A: Typical Connection Diagram UART Interface - To transmit latest result, send any word to UART

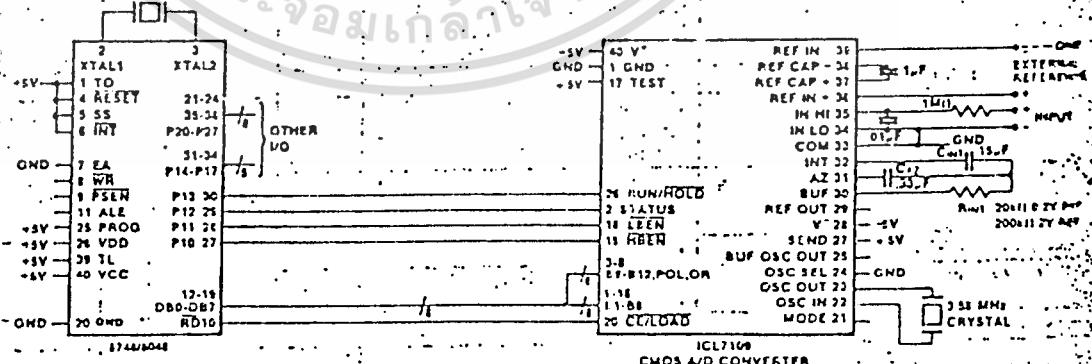


Figure 1B: Typical Connection Diagram Parallel Interface With MCS-48 Microcomputer

ABSOLUTE MAXIMUM RATINGS

Positive Supply Voltage (GND to V ⁺)	+6.2V
Negative Supply Voltage (GND to V ⁻)	-9V
Analog Input Voltage (Lo or Hi) (Note 1)	V ⁺ to V ⁻
Reference Input Voltage (Lo or Hi) (Note 1)	V ⁺ to V ⁻
Digital Input Voltage	V ⁺ + 0.3V
IPins 2-27) (Note 2)	GND - 0.3V
Power Dissipation (Note 3)		
Ceramic Package	1W @ +85°C
Plastic Package	500mW @ +70°C
Operating Temperature		
Ceramic Package (MDL)	-55°C ≤ T _A ≤ +125°C
(IDL)	-25°C ≤ T _A ≤ +65°C
Plastic Package (CPL)	0°C ≤ T _A ≤ +70°C
Storage Temperature	-55°C ≤ T _A ≤ +125°C
Lead Temperature (soldering, 60 sec.)	+300°C

CAUTION: Stresses above those listed under "Absolute Maximum Ratings" may cause permanent damage to the devices. This is a stress only and functional operation of the devices at these or any other conditions above those indicated in the operational sections of the data sheet is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

TABLE I OPERATING CHARACTERISTICS

Parameters with V⁺ = +5V, V⁻ = -5V, GND = 0V, T_A = 25°C, unless otherwise indicated. Circuit as shown on page 1.

LOG SECTION

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Input Reading		V _{IN} = 0.0V Full Scale = 409.6mV	-0000 _b	±0000 _b	+0000 _b	Octal Reading
ometric Reading		V _{IN} = V _{REF} V _{REF} = 204.8mV	3777 _b	3777 _b 4000 _b	4000 _b	Octal Reading
Non-Linearity (Max deviation from best straight line fit)		Full Scale = 409.6mV to 4.096V Over full operating temperature range.	-1	±2	+1	Counts
Over Error (difference in reading for equal pos. and neg. inputs near full scale)		Full Scale = 409.6mV to 4.096V Over full operating temperature range.	-1	±2	+1	Counts
Common Mode Rejection Ratio	CMRR	V _{CM} ±1V V _{IN} = 0V Full Scale = 409.6mV		50		μV/V
Input Common Mode Range	V _{CMR}	Input Hi, Input Lo, Common	V ⁻ +1.5		V ⁻ -1.0	V
Worst Ip-p value not exceeded 95% of time	e _n	V _{IN} = 0V Full Scale = 409.6mV		15		μV
Leakage current at Input	I _{ILK}	V _{IN} = 0 All devices 25°C ICL7109CPL 0°C ≤ T _A ≤ +70°C ICL7109IDC -25°C ≤ T _A ≤ +85°C ICL7109MDL -55°C ≤ T _A ≤ +125°C		1 20 100 2	10 100 250 5	pA pA pA nA
Zero Reading Drift		V _{IN} = 0V		0.2	1	μV/°C
Scale Factor Temperature Coefficient		V _{IN} = 408.8mV => 7770 _b reading Ext. Ref. 0 ppm/°C		1	5	ppm/°C
Supply Current V ⁺ to GND	I ⁺	V _{IN} = 0, Crystal Osc. 3.58MHz test circuit		700	1500	μA
Supply Current V ⁺ to V ⁻	I _{SUP}	Pins 2-21, 25, 26, 27, 29, open		700	1500	μA
Ref Out Voltage	V _{REF}	Referred to V ⁺ , 25kΩ between V ⁺ and REF OUT	-2.4	-2.8	-3.2	V
Ref Out Temp. Coefficient		25kΩ between V ⁺ and REF OUT		80		ppm/°C
Input Common Mode Range	V _{CM}	IN HI, IN LO, COMMON	V ⁻ +1.5	V ⁺ -0.5 to V ⁻ +1.0	V ⁺ -1.0	V

LM136-2.5/LM236-2.5/LM336-2.5



LM136-2.5/LM236-2.5/LM336-2.5V Reference Diode

General Description

The LM136-2.5/LM236-2.5 and LM336-2.5 integrated circuits are precision 2.5V shunt regulator diodes. These monolithic IC voltage references operate as a low-temperature-coefficient 2.5V zener with 0.2Ω dynamic impedance. A third terminal on the LM136-2.5 allows the reference voltage and temperature coefficient to be trimmed easily.

The LM136-2.5 series is useful as a precision 2.5V low voltage reference for digital voltmeters, power supplies or op amp circuitry. The 2.5V make it convenient to obtain a stable reference from 5V logic supplies. Further, since the LM136-2.5 operates as a shunt regulator, it can be used as either a positive or negative voltage reference.

The LM136-2.5 is rated for operation over -55°C to +125°C while the LM236-2.5 is rated over a -25°C to +85°C temperature range.

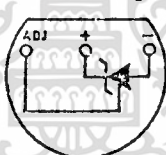
Both are packaged in a TO-46 package. The LM336-2.5 is rated for operation over a 0°C to +70°C temperature range and is available in a TO-92 plastic package.

Features

- Low temperature coefficient
- Wide operating current of 400 μA to 10 mA
- 0.2Ω dynamic impedance
- ±1% initial tolerance available
- Guaranteed temperature stability
- Easily trimmed for minimum temperature drift
- Fast turn-on
- Three lead transistor package

Connection Diagrams

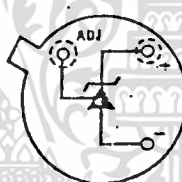
TO-92 Plastic Package



Bottom View

Order Number LM336Z-2.5
or LM336BZ-2.5
See NS Package Number Z03A

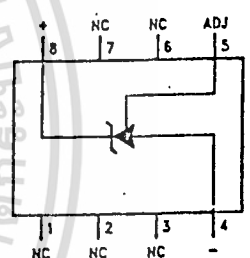
TO-46 Metal Can Package



Bottom View

Order Number LM136H-2.5,
LM236H-2.5, LM336H-2.5,
LM136AH-2.5 or LM236AH-2.5
See NS Package Number H03H

SO Package

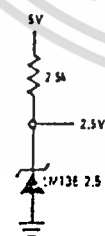


Top View

Order Number LM336M-2.5
or LM336BM-2.5
See NS Package Number M08A

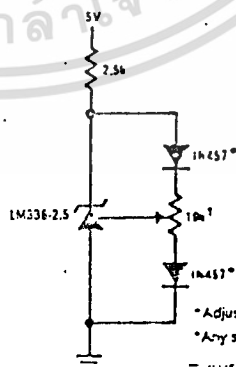
Typical Applications

2.5V Reference



TL/H/5715-9

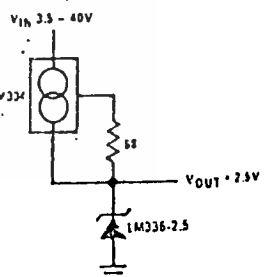
2.5V Reference with Minimum Temperature Coefficient



*Adjust to 2.490V
*Any silicon signal diode

TL/H/5715-10

Wide Input Range Reference



TL/H/5715-11

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Absolute Maximum Ratings

If Military/Aerospace specified devices are required, contact the National Semiconductor Sales Office/Distributors for availability and specifications.

Reverse Current	15 mA
Forward Current	10 mA
Storage Temperature	-60°C to +150°C
Operating Temperature Range	
LM136	-55°C to +150°C
LM236	-25°C to +85°C
LM336	0°C to +70°C

Soldering Information

TO-92 Package (10 sec.)	260°C
TO-46 Package (10 sec.)	300°C
SO Package	
Vapor Phase (60 sec.)	215°C
Infrared (15 sec.)	220°C

See AN-450 "Surface Mounting Methods and Their Effect on Product Reliability" (Appendix D) for other methods of soldering surface mount devices.

Electrical Characteristics (Note 1)

Parameter	Conditions	LM136A-2.5/LM236A-2.5 LM136-2.5/LM236-2.5			LM336B-2.5 LM336-2.5			Units
		Min	Typ	Max	Min	Typ	Max	
Reverse Breakdown Voltage	$T_A = 25^\circ\text{C}$, $I_R = 1\text{ mA}$ LM136/LM236/LM336 LM136A/LM236A, LM336B	2.440	2.490	2.540	2.390	2.490	2.590	V
Reverse Breakdown Change With Current	$T_A = 25^\circ\text{C}$, $400\ \mu\text{A} \leq I_R \leq 10\text{ mA}$		2.6	6		2.6	10	mV
Reverse Dynamic Impedance	$T_A = 25^\circ\text{C}$, $I_R = 1\text{ mA}$		0.2	0.6		0.2	1	Ω
Temperature Stability (Note 2)	V_R Adjusted to 2.490V $I_R = 1\text{ mA}$, (Figure 2) $0^\circ\text{C} \leq T_A \leq 70^\circ\text{C}$ (LM336) $-25^\circ\text{C} \leq T_A \leq +85^\circ\text{C}$ (LM236) $-55^\circ\text{C} \leq T_A \leq +125^\circ\text{C}$ (LM136)		3.5 12	9 18		1.8	6	mV mV mV
Reverse Breakdown Change With Current	$400\ \mu\text{A} \leq I_R \leq 10\text{ mA}$		3	10		3	12	mV
Reverse Dynamic Impedance	$I_R = 1\text{ mA}$		0.4	1		0.4	1.4	Ω
Long Term Stability	$T_A = 25^\circ\text{C} \pm 0.1^\circ\text{C}$, $I_R = 1\text{ mA}$		20			20		ppm

Note 1: Unless otherwise specified, the LM136-2.5 is specified from $-55^\circ\text{C} \leq T_A \leq +125^\circ\text{C}$, the LM236-2.5 from $-25^\circ\text{C} \leq T_A \leq +85^\circ\text{C}$ and the LM336-2.5 from $0^\circ\text{C} \leq T_A \leq +70^\circ\text{C}$.

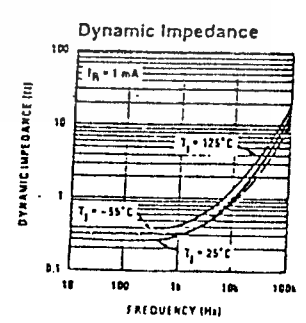
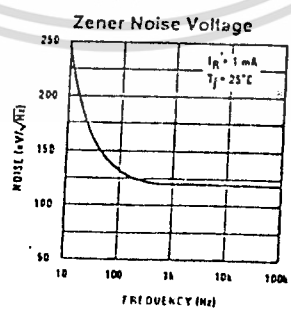
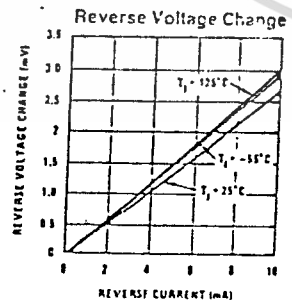
Note 2: Temperature stability for the LM336 and LM236 family is guaranteed by design. Design limits are guaranteed (but not 100% production tested) over the indicated temperature and supply voltage ranges. These limits are not used to calculate outgoing quality levels. Stability is defined as the maximum change in V_{BR} from 25°C to T_A (min) or T_A (max).

Note 3: For elevated temperature operation, T_J max is:

LM136	150°C
LM236	125°C
LM336	100°C

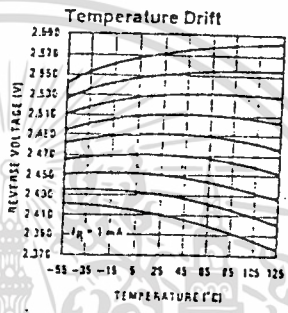
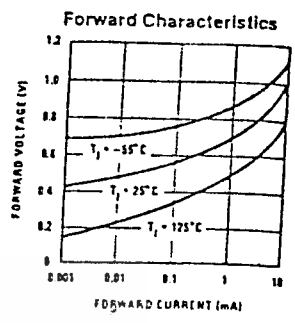
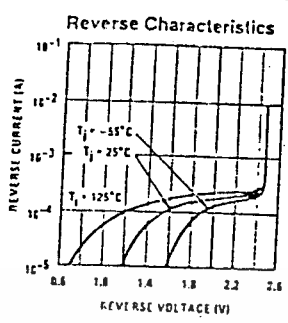
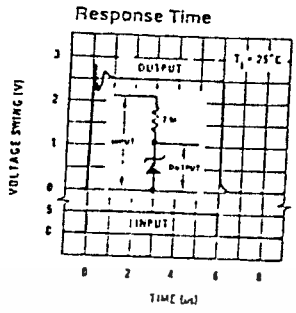
Thermal Resistance	TO-92	TO-46	SO-8
θ_{JA} (Junction to Ambient)	165°C/W (0.4" leads) 170°C/W (0.125" lead)	440°C/W	165°C/W
θ_{JC} (Junction to Case)	n/a	80°C/W	n/a

Typical Performance Characteristics



TL/M/5715-2

Typical Performance Characteristics (Continued)



Application Hints

The LM136 series voltage references are much easier to use than ordinary zener diodes. Their low impedance and wide operating current range simplify biasing in almost any circuit. Further, either the breakdown voltage or the temperature coefficient can be adjusted to optimize circuit performance.

Figure 1 shows an LM136 with a 10k potentiometer for adjusting the reverse breakdown voltage. With the addition of R1 the breakdown voltage can be adjusted without affecting the temperature coefficient of the device. The adjustment range is usually sufficient to adjust for both the initial device tolerance and inaccuracies in buffer circuitry.

If minimum temperature coefficient is desired, two diodes can be added in series with the adjustment potentiometer as shown in Figure 2. When the device is adjusted to 2.490V the temperature coefficient is minimized. Almost any silicon signal diode can be used for this purpose such as a 1N914, 1N4148 or a 1N457. For proper temperature compensation the diodes should be in the same thermal environment as the LM136 on the printed circuit board. The absolute resistance of R1 is not critical and any value from 2k to 20k will work.

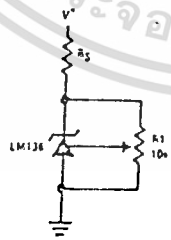


FIGURE 1. LM136 With Pot for Adjustment of Breakdown Voltage (Trim Range = ± 120 mV typical)

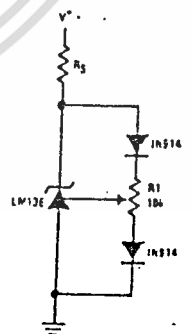
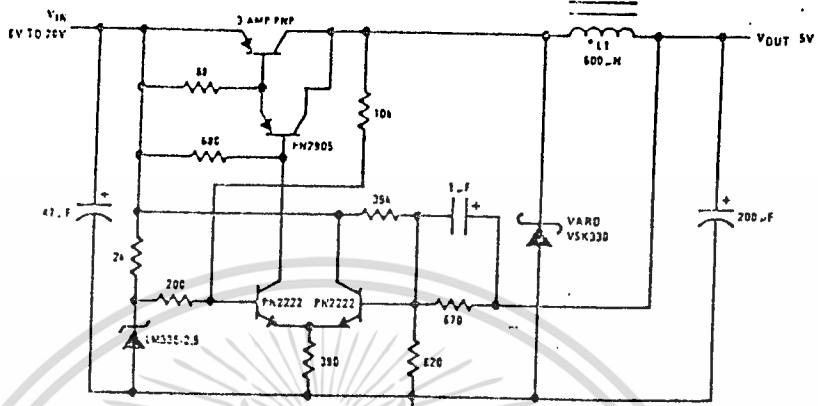


FIGURE 2. Temperature Coefficient Adjustment (Trim Range = ± 70 mV typical)

Typical Applications (Continued)

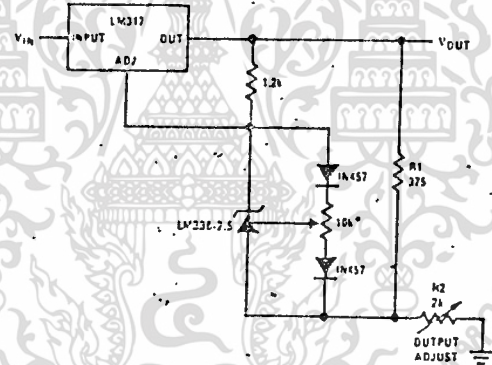
Low Cost 2 Amp Switching Regulator¹



*L1 60 turns #16 wire on Arnold Core A-254168-2
 1 Efficiency = 80%

TL/H/5715-5

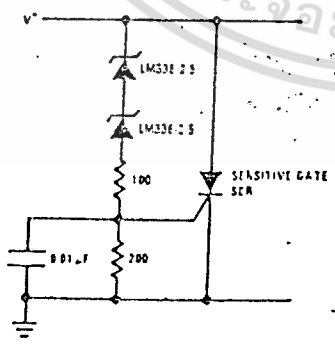
Precision Power Regulator with Low Temperature Coefficient



*Adjust for 3.75V across R1

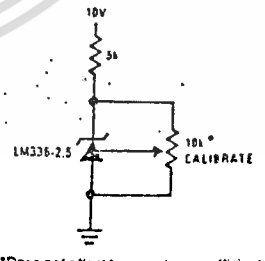
TL/H/5715-13

5V Crowbar



TL/H/5715-14

Trimmed 2.5V Reference with Temperature Coefficient Independent of Breakdown Voltage

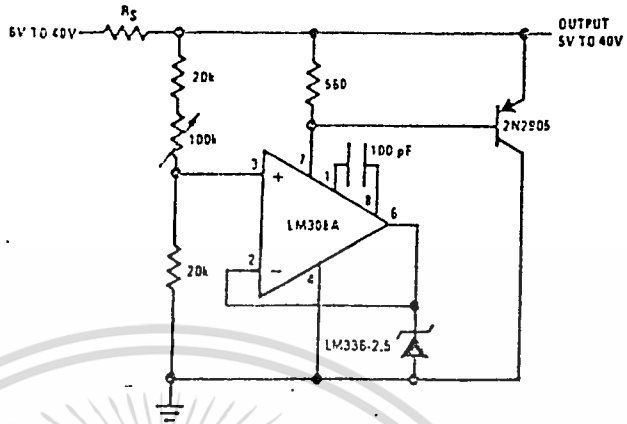


*Does not affect temperature coefficient TL/H/5715-15

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้ทำไปใช้ประโยชน์ด้านการค้า
 ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

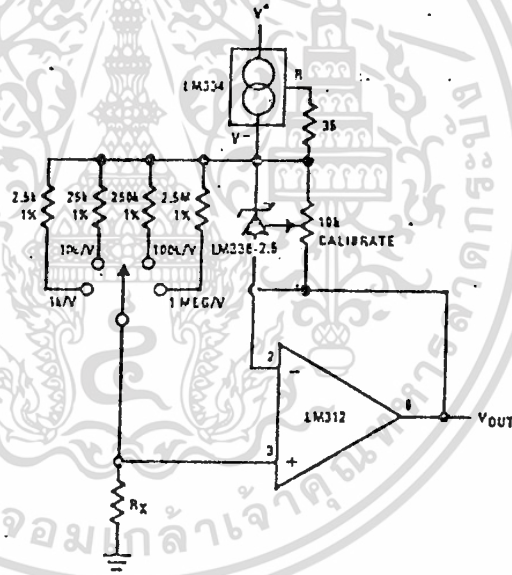
Typical Applications (Continued)

Adjustable Shunt-Regulator



TL/H/5715-6

Linear Ohmmeter

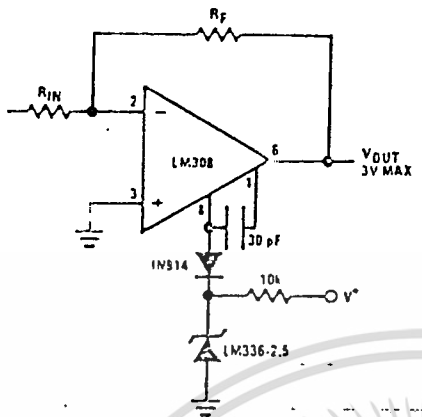


TL/H/5715-16

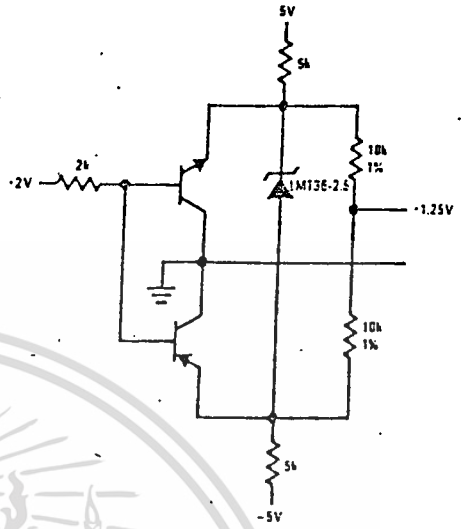
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และห้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Applications (Continued)

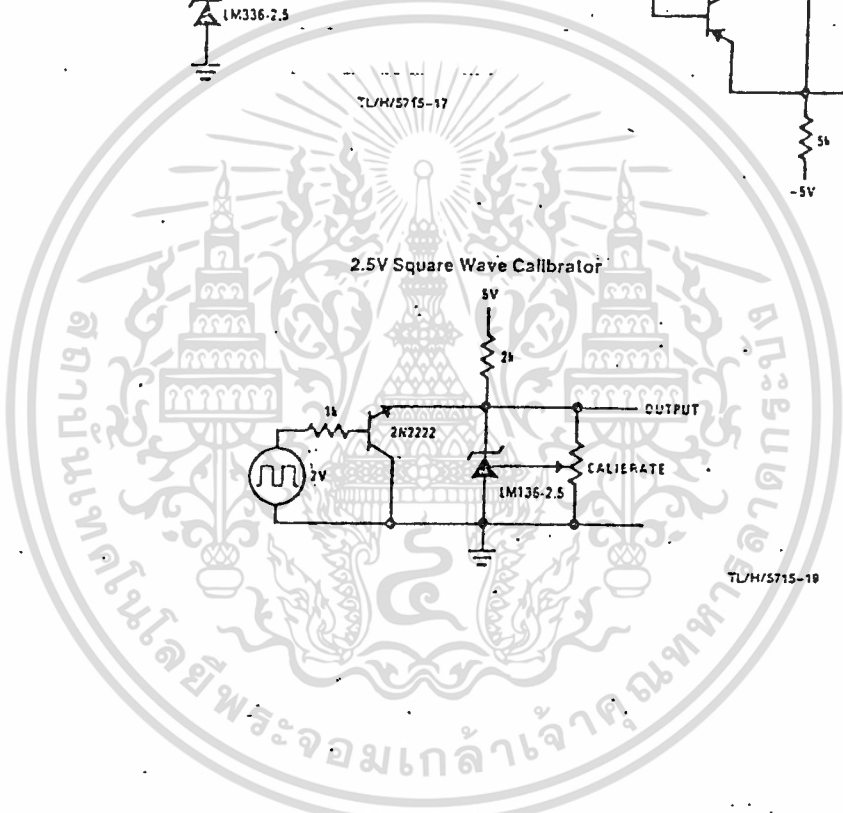
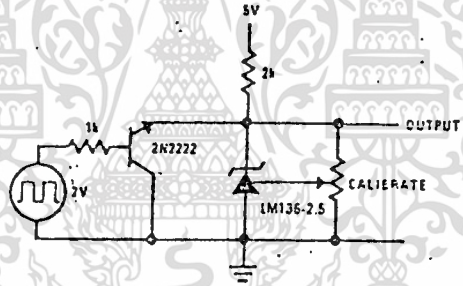
Op Amp with Output Clamped



Bipolar Output Reference



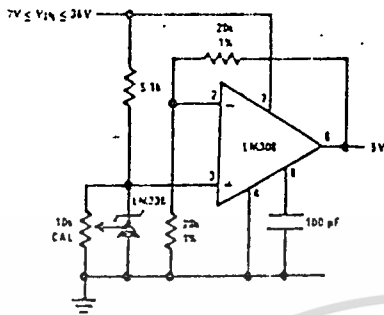
2.5V Square Wave Calibrator



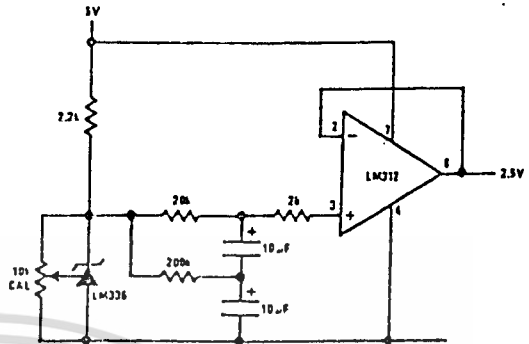
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Applications (Continued)

5V Buffered Reference

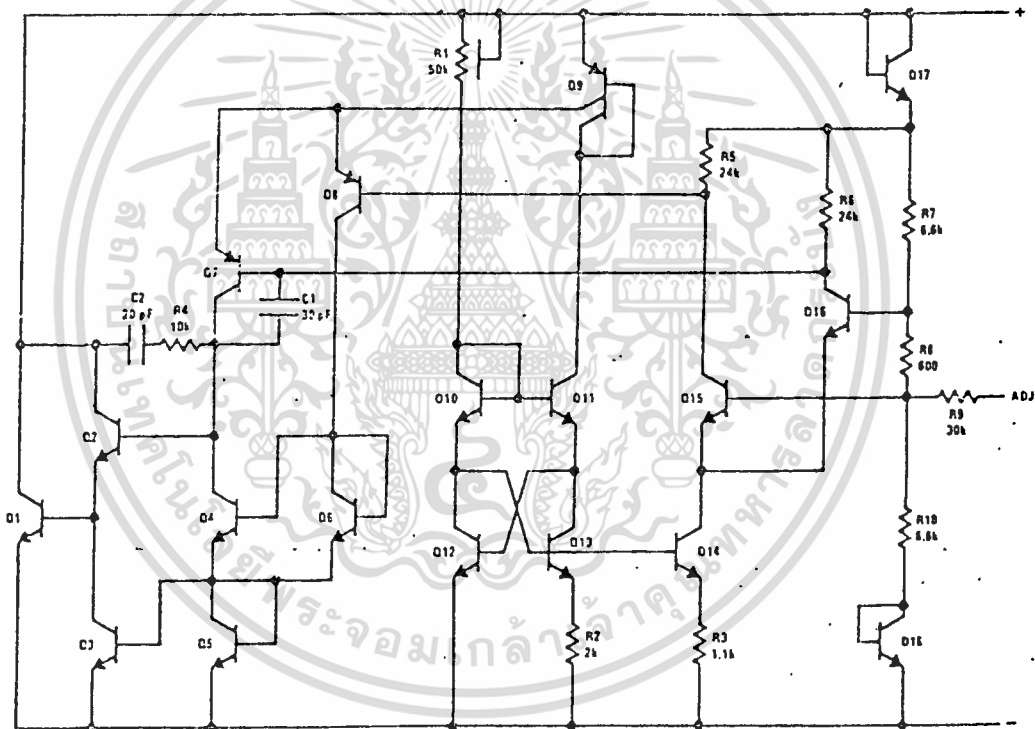


Low Noise Buffered Reference



TL/H/5715-7

Schematic Diagram



TL/H/5715-1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Very-High Accuracy INSTRUMENTATION AMPLIFIER

FEATURES

- ULTRA-LOW VOLTAGE DRIFT - $0.25\mu\text{V}/^\circ\text{C}$
- LOW OFFSET VOLTAGE - $25\mu\text{V}$
- LOW NONLINEARITY - 0.002%
- LOW NOISE - $13\text{nV}/\sqrt{\text{Hz}}$ at $f_0 = 1\text{kHz}$
- HIGH CMR - 106dB at 60Hz
- HIGH INPUT IMPEDANCE - $10^{10}\Omega$
- LOW COST, TO-100, CERAMIC DIP AND PLASTIC PACKAGE

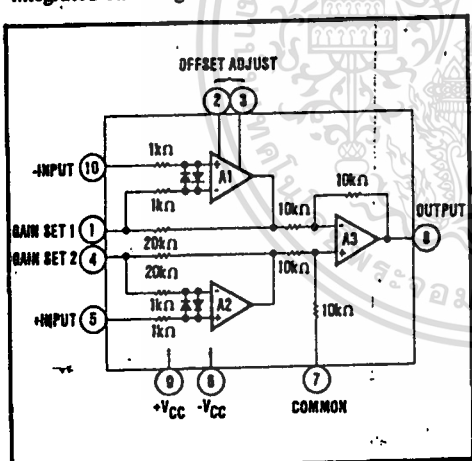
APPLICATIONS

- AMPLIFICATION OF SIGNALS FROM SOURCES SUCH AS:
 - Strain Gages
 - Thermocouples
 - RTDs
- REMOTE TRANSDUCERS
- LOW LEVEL SIGNALS
- MEDICAL INSTRUMENTATION

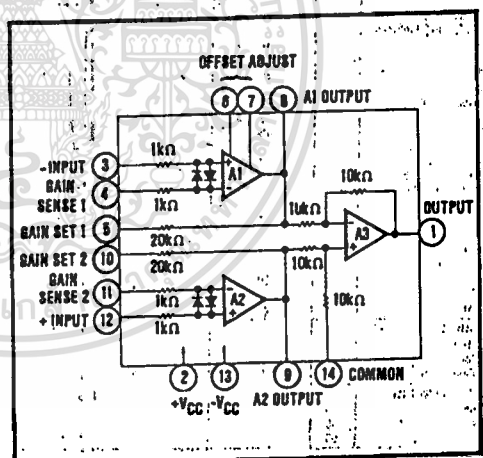
DESCRIPTION

The INA101 is a high accuracy, multistage, integrated-circuit instrumentation amplifier designed for signal conditioning requirements where very-high performance is desired. All circuits, including the interconnected laser-trimmed thin-film resistors, are integrated on a single monolithic substrate.

A multi-amplifier design is used to provide the highest performance and maximum versatility with monolithic construction for low cost. The input stage uses Burr-Brown's ultra-low drift, low noise technology to provide exceptional input characteristics.



M Package



G and P Packages

International Airport Industrial Park • P.O. Box 11400 • Tucson, Arizona 85734 • Tel. (602) 746-1111 • Twx: 910-952-1111 • Cable: BBRCORP • Telex: 66-6491

PDS-454F

2-7

SPECIFICATIONS

ELECTRICAL

At +25°C with ±15VDC power supply and in circuit of Figure 2 unless otherwise noted.

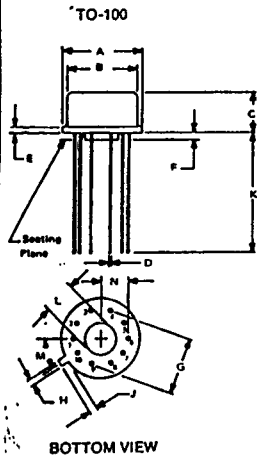
MODEL	INA101AM/AG			INA101SM/SG			INA101CM/CG			INA101SP		
	MIN	TYP	MAX	MIN	TYP	MAX	MIN	TYP	MAX	MIN	TYP	MAX
GAIN												
Range of Gain	1		1000									
Gain Equation		$G=1+(40k/R_g)$										
Error From Equation, DC ¹		$\pm(0.04+0.0001\theta -0.02/G)$	$\pm(0.1+0.0003G -0.05/G)$							$\pm(0.1+0.00015G)$	$\pm(0.3+0.0002G)$	$\pm(0.3+0.0002G)$
Gain Temp. Coefficient ²												
G = 1		2	5									
G = 10		20	100					10				
G = 100		22	110					11				
G = 1000		22	110					11				
Nonlinearity, DC ³		$\pm(0.002+10^{-6}G)$	$\pm(0.005+2 \times 10^{-6}G)$		$\pm(0.001+10^{-6}G)$	$\pm(0.002+10^{-6}G)$		$\pm(0.001+10^{-6}G)$	$\pm(0.002+10^{-6}G)$			
RATED OUTPUT												
Voltage	±10	±12.5										
Current	±5	±10										
Output Impedance		0.2										
Capacitive Load		1000										
INPUT OFFSET VOLTAGE												
Initial Offset at +25°C		$\pm(25+200/G)$	$\pm(50+400/G)$		$\pm(10+100/G)$	$\pm(25+200/G)$		$\pm(10+100/G)$	$\pm(25+200/G)$		$\pm(125+450/G)$	$\pm(250+900/G)$
vs Temperature			$\pm(2+20/G)$			$\pm(0.75+10/G)$			$\pm(0.25+10/G)$		$\pm(2+20/G)$	
vs Supply		$\pm(1+20/G)$										
vs Time		$\pm(1+20/G)$										
INPUT BIAS CURRENT (Initial Bias Current each input)		±15	±30		±10			±5	±20			
vs Temperature		±0.2										
vs Supply		±0.1										
Initial Offset Current		±15	±30		±10			±5	±20			
vs Temperature		±0.5										
INPUT IMPEDANCE												
Differential		10^{10}	10^{13}									
Common-mode		10^{10}	10^{13}									
INPUT VOLTAGE RANGE												
Range, Linear Response	±10	±12										
CMR with 1kΩ Source Imped.												
DC to 80Hz, G=1	80	90								85	85	
DC to 80Hz, G=10	96	106								90	95	
DC to 80Hz, G=100 to 1000	106	110								100	105	
INPUT NOISE												
Input Voltage Noise												
$f_c=0.01\text{Hz}$ to 10Hz		0.8										
Density, G=1000												
$f_c=10\text{Hz}$		18										
$f_c=100\text{Hz}$		15										
$f_c=1\text{Hz}$		13										
Input Current Noise												
$f_c=0.01\text{Hz}$ to 10Hz		50										
Density												
$f_c=10\text{Hz}$		0.8										
$f_c=100\text{Hz}$		0.46										
$f_c=1\text{Hz}$		0.35										
DYNAMIC RESPONSE												
Small Signal, ±3dB Flatness												
G = 1		300										
G = 10		140										
G = 100		25										
G = 1000		2.5										
Small Signal, ±1% Flatness												
G = 1		20										
G = 10		10										
G = 100		1										
G = 1000		200										
Full Power, G=1 to 100		6.4										
Slew Rate, G=1 to 100	0.2	0.4										
Settling Time (0.1%)												
G = 1		30	40									
G = 100		40	55									
G = 1000		350	470									
Settling Time (0.01%)												
G = 1		30	45									
G = 100		50	70									
G = 1000		500	650									
POWER SUPPLY												
Rated Voltage		±15										
Voltage Range	±5		±20									
Current, Output ⁴		±6.7	±8.5									
TEMPERATURE RANGE⁵												
Specification	-25		+85	-55		+125				0	+70	
Operation	-55		+125							-25	+85	
Storage	-65		+150							-40	+85	

* Specifications same as for INA101AM/AG.

NOTES: (1) Typically the tolerance of R_g will be the major source of gain error. (2) Nonlinearity is the maximum peak deviation from the best straight-line as a percent peak-to-peak full scale output. (3) Not including the TCR of R_g . (4) Adjustable to zero at any one gain. (5) θ_c output stage = 113°C/W , θ_c quiescent circuitry = 70°C/W .

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

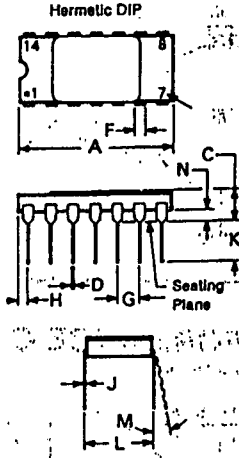
M Package



Case = -Vcc
 Leads in true position within 0.010" (0.25mm) R at MMC at seating plane.
 Pin numbers shown for reference only. Numbers may not be marked on package.

DIM	INCHES		MILLIMETERS	
	MIN	MAX	MIN	MAX
A	.336	.370	8.51	9.40
B	.305	.335	7.75	8.51
C	.165	.185	4.19	4.70
D	.018	.021	0.41	0.53
E	.010	.040	0.25	1.02
F	.010	.040	0.25	1.02
G	.230 BASIC		5.84 BASIC	
H	.028	.034	0.71	0.86
J	.029	.045	0.74	1.14
K	.500	--	12.70	--
L	.170	.160	3.05	4.06
M	36° BASIC		36° BASIC	
N	.110	.120	2.78	3.05

G Package



Leads in true position within 0.01" (0.25mm) R at MMC at seating plane.
 Pin numbers shown for reference only. Numbers may not be marked on package.

DIM	INCHES			MILLIMETERS		
	MIN	MAX		MIN	MAX	
A	.870	.710		17.02	18.03	
C	.068	.170		1.68	4.32	
D	.018	.021		0.38	0.53	
F	.048	.060		1.14	1.52	
G	.100 BASIC			2.54 BASIC		
H	.025	.070		0.64	1.78	
J	.008	.012		0.20	0.30	
K	.120	.240		3.05	6.10	
L	.300 BASIC			7.62 BASIC		
M	--	15°		--	15°	
N	.008	.060		0.23	1.52	

ORDERING INFORMATION

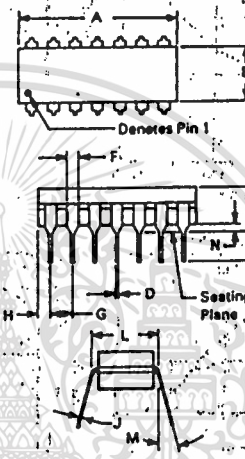
Basic Model Number INA101 C G

Performance Grade Code
 S: -55°C to +125°C
 A, C: -25°C to +85°C
 H: 0°C to +70°C

Package Code
 M: TO-100
 G: 14-Pin Hermetic DIP
 P: 14-Pin Plastic DIP

TO-100 (M Suffix)	Hermetic DIP (G Suffix)	Plastic DIP (P Suffix)
INA101AM	INA101AG	INA101HP
INA101CM	INA101CG	
INA101SM	INA101SG	

P Package



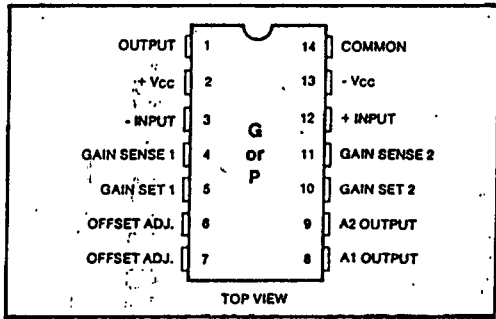
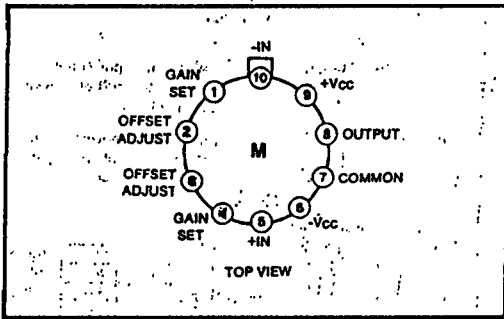
Case = -Vcc
 Leads in true position within 0.10" (0.25mm) R at MMC at seating plane.
 Pin numbers shown for reference only. Numbers may not be marked on package.

DIM	INCHES			MILLIMETERS		
	MIN	MAX		MIN	MAX	
A	.860	.785		18.78	19.94	
B	.220	.290		5.59	7.11	
C	--	.200		--	5.08	
D	.015	.023		0.38	0.58	
F	.020	.070		0.76	1.78	
G	.100 BASIC			2.54 BASIC		
H	.020	.095		0.20	0.38	
J	.008	.016		0.20	0.38	
K	.100	--		2.54	--	
L	.300 BASIC			7.62 BASIC		
M	--	15°		--	15°	
N	.020	.060		0.81	1.27	

ABSOLUTE MAXIMUM RATINGS

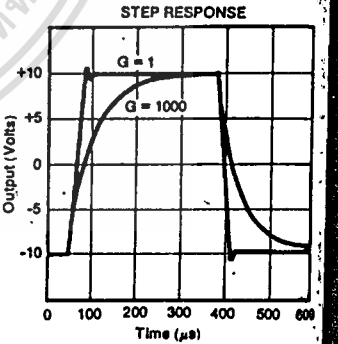
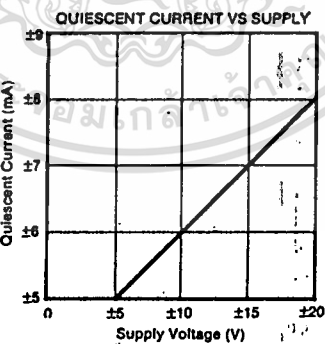
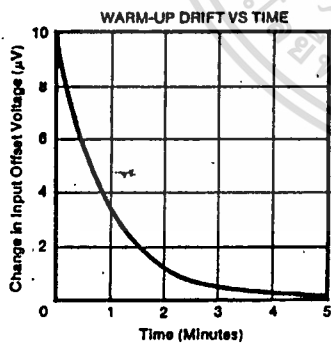
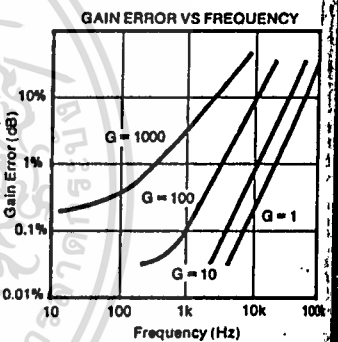
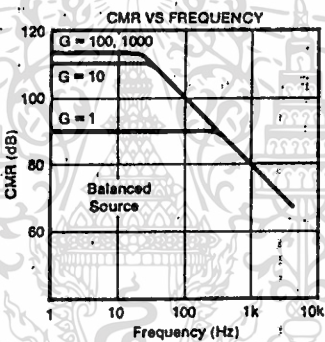
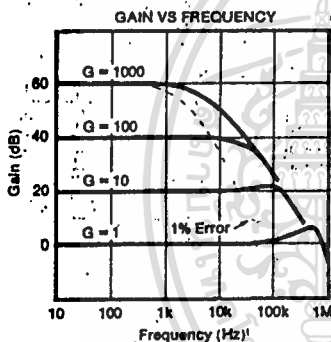
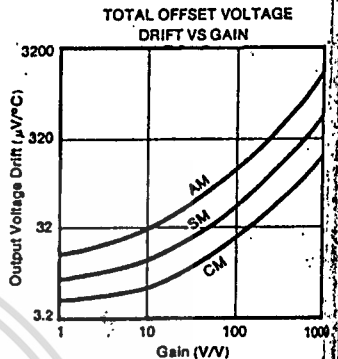
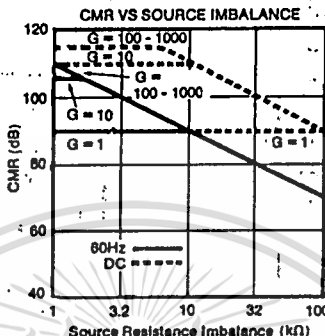
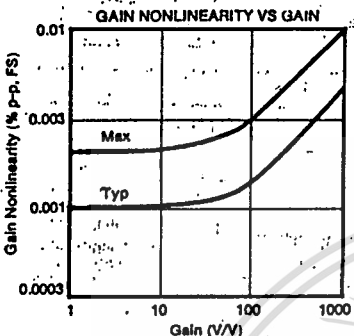
Supply	±20V
Internal Power Dissipation	600mW
Input Voltage Range	±Vcc
Operating Temperature Range	-55°C to +125°C
Storage Temperature Range:	
M, G	-65°C to +150°C
P	-40°C to +85°C
Lead Temperature (soldering 10 seconds)	+300°C
Output Short-Circuit Duration	Continuous to ground

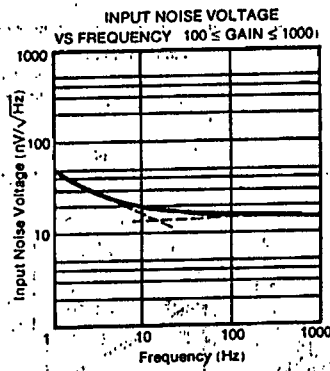
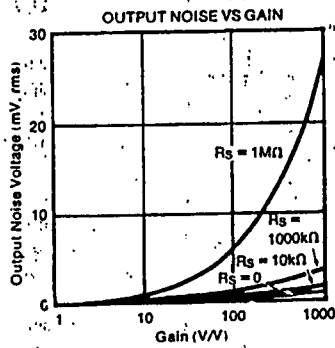
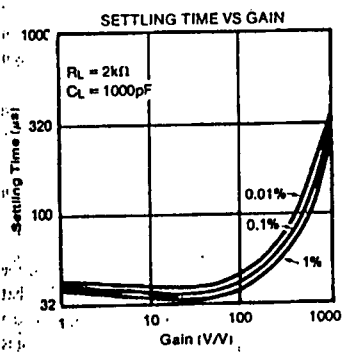
PIN CONFIGURATION.



TYPICAL PERFORMANCE CURVES

At +25°C and in circuit of Figure 2 unless otherwise noted.





DISCUSSION OF PERFORMANCE

INSTRUMENTATION AMPLIFIERS

Instrumentation amplifiers are differential input closed-loop gain blocks whose committed circuit accurately amplifies the voltage applied to their inputs. They respond only to the difference between the two input signals and exhibit extremely-high input impedance, both differentially and common-mode. Feedback networks are packaged within the amplifier module. Only one external gain setting resistor must be added. An operational amplifier, on the other hand, is an open-loop, uncommitted device that requires external networks to close the loop. While op amps can be used to achieve the same basic function as instrumentation amplifiers, it is very difficult to reach the same level of performance. Using op amps often leads to design trade-offs when it is necessary to amplify low level signals in the presence of common-mode voltages while maintaining high input impedances. Figure 1 shows a simplified model of an instrumentation amplifier that eliminates most of the problems.

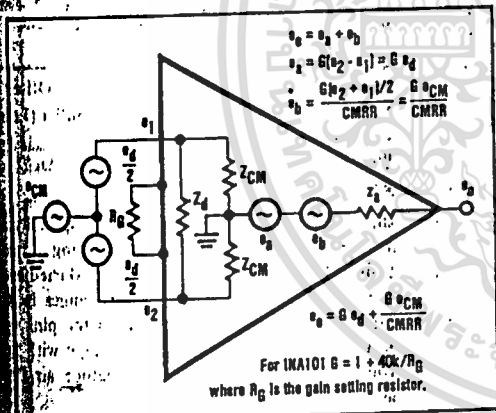


FIGURE 1. Model of an Instrumentation Amplifier.

THE INA101

Simplified schematics of the INA101 are shown on the next page. It is a three-amplifier device which provides all

the desirable characteristics of a premium performance instrumentation amplifier. In addition, it has features not normally found in integrated circuit instrumentation amplifiers.

The input section (A1 and A2) incorporates high performance, low drift amplifier circuitry. The amplifiers are connected in the noninverting configuration to provide the high input impedance ($10^{10}\Omega$) desirable in the instrumentation amplifier function. The offset voltage and offset voltage versus temperature is low due to the monolithic design and improved even further by the state-of-the-art laser-trimming techniques.

The output section (A3) is connected in a unity-gain difference amplifier configuration. A critical part of this stage is the matching of the four $10k\Omega$ resistors, which provide the difference function. These resistors must be initially well matched and the matching must be maintained over temperature and time in order to retain excellent common-mode rejection. (The 106dB minimum at 60Hz for gains greater than $100V/V$ is a significant improvement compared to most other integrated circuit instrumentation amplifiers.)

All of the internal resistors are compatible thin-film nichrome formed with the integrated circuit. The critical resistors are laser-trimmed to provide the desired high gain accuracy and common-mode rejection. Nichrome ensures long-term stability of trimmed resistors and simultaneous achievement of excellent TCR and TCR tracking. This provides gain accuracy and common-mode rejection when the INA101 is operated over wide temperature ranges.

USING THE INA101

Figure 2 shows the simplest configuration of the INA101. The gain is set by the external resistor, R_G with a gain equation of $G = 1 + (40K/R_G)$. The reference and TCR of R_G contribute directly to the gain accuracy and drift.

For gains greater than unity, resistor R_G is connected externally between pins 1 and 4. At high gains where the value of R_G becomes small, additional resistance (i.e., relays, sockets) in the R_G circuit will contribute to a gain error. Care should be taken to minimize this effect.

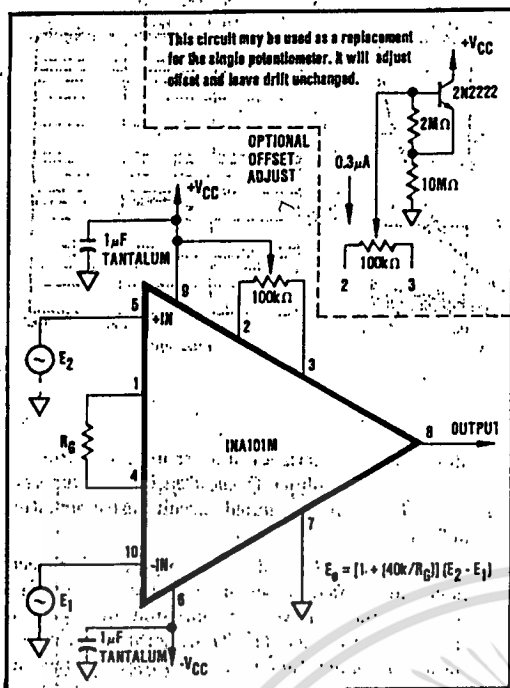


FIGURE 2. Basic Circuit Connection for the INA101 Including Optional Input Offset Null Potentiometer.

The optional offset null capability is shown in Figure 2. The adjustment affects only the input stage component of the offset voltage. Thus, the null condition will be disturbed when the gain is changed. Also, the input drift will be affected by approximately $0.31\mu\text{V}/^\circ\text{C}$ per $100\mu\text{V}$ of input offset voltage that is trimmed. Therefore, care should be taken when considering use of the control for removal of other sources of offset. Output offsetting can be accomplished in Figure 3 by applying a voltage to Common (pin 7) through a buffer amplifier. This limits the resistance in series with pin 7 to minimize CMR error. Resistance above 0.1Ω will cause the common-mode rejection to fall below 106dB . Be certain to keep this resistance low.

It is important to not exceed the input amplifiers' dynamic range! The amplified differential input signal and its associated common-mode voltage should not cause the output of A_1 or A_2 to exceed approximately $\pm 10\text{V}$ or nonlinear operation will result.

BASIC CIRCUIT CONNECTION

The basic circuit connection for the INA101 is shown in Figure 2. The output voltage is a function of the differential input voltage times the gain.

OPTIONAL OFFSET ADJUSTMENT PROCEDURE

It is frequently desirable to null the input component of offset (Figure 2) and occasionally that of the output (Figure 3). The quality of the potentiometer will affect the results, therefore, choose one with good temperature and mechanical-resistance stability. The procedure is as follows:

1. Set $E_1 = E_2 = 0\text{V}$ (be sure a good ground return path exists to the input).
2. Set the gain to the desired value by choosing R_g .
3. Adjust to $100\text{k}\Omega$ potentiometer in Figure 2 until the output reads $0\text{V} \pm 1\text{mV}$ or desired setting. Note that the offset will change when the gain is changed. If the output component of offset is to be removed or if it is desired to establish an intentional offset, adjust the $100\text{k}\Omega$ potentiometer in Figure 3 until the output reads $0\text{V} \pm 1\text{mV}$ or desired setting. Note that the offset will not change with gain, but be sure to use a stable external amplifier with good DC characteristics. The range of adjustment is $\pm 15\text{mV}$ as shown. For larger ranges change the ratio of R_1 to R_2 .

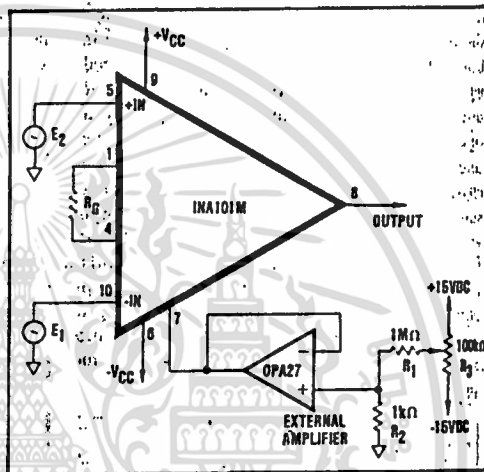


FIGURE 3. Optional Output Offset Nulling or Offsetting Using External Amplifier (Low Impedance to Pin 7).

THERMAL EFFECTS ON OFFSET

To maintain specified offset performance, especially at high gain, prevent air currents from circulating around the input pins. This can be done by using a skirted heat sink on the INA101M package. Rapid changes in temperature and thermocouple effects on the pins will then be minimized. Surrounding the package with low power components will also help to reduce air flow across the package and pins.

TYPICAL APPLICATIONS

Many applications of instrumentation amplifiers involve the amplification of low level differential signals from

bridges
couplers,
include
of com
impeda

FIG1

FIG

FIG

bridges and transducers such as strain gages, thermocouples, and RTD's. Some of the important parameters include common-mode rejection (differential cancellation of common-mode offset and noise, see Figure 1), input impedance, offset voltage and drift, gain accuracy,

linearity, and noise. The INA101 accomplishes all of these with high precision.

Figures 4 through 16 show some typical applications circuits.

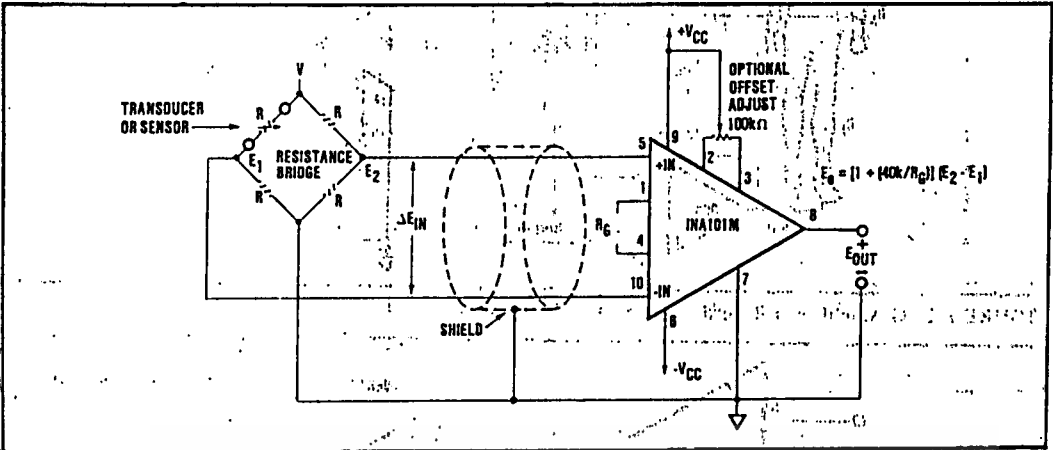


FIGURE 4. Amplification of a Differential Voltage from a Resistance Bridge.

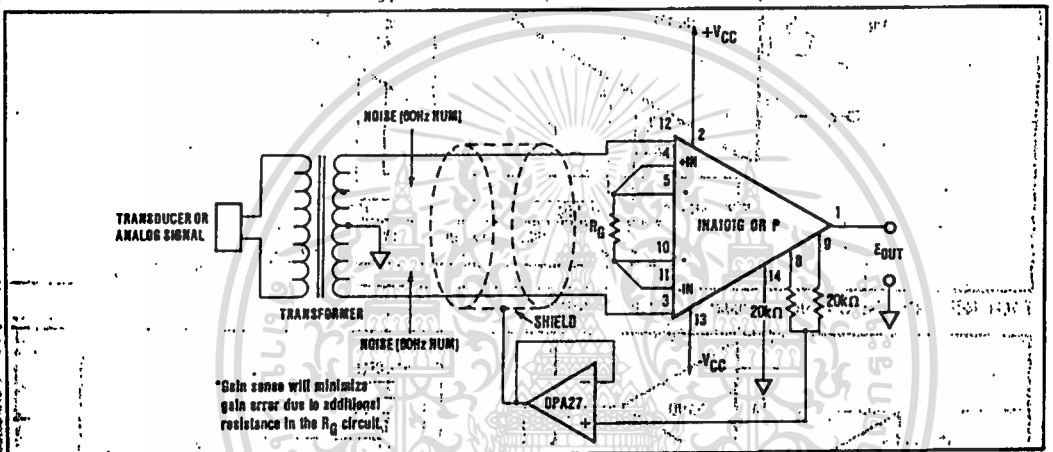


FIGURE 5. Amplification of a Transformer-Coupled Analog Signal.

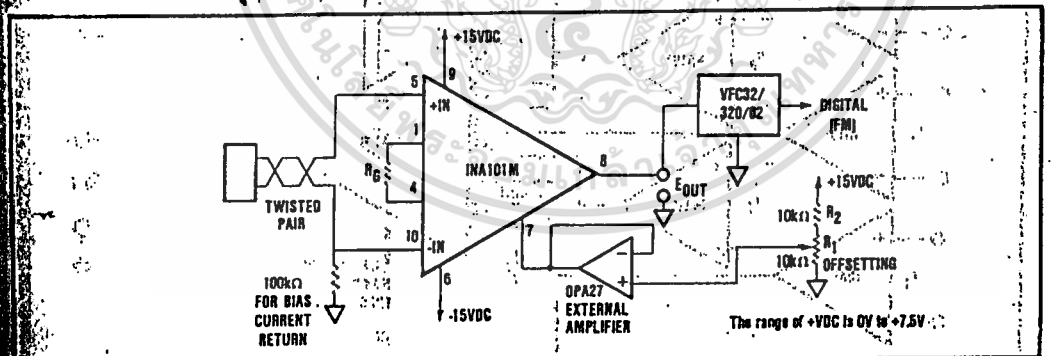


FIGURE 6. Output Offsetting Used to Introduce a DC Voltage for Use with a Voltage-to-Frequency Converter.

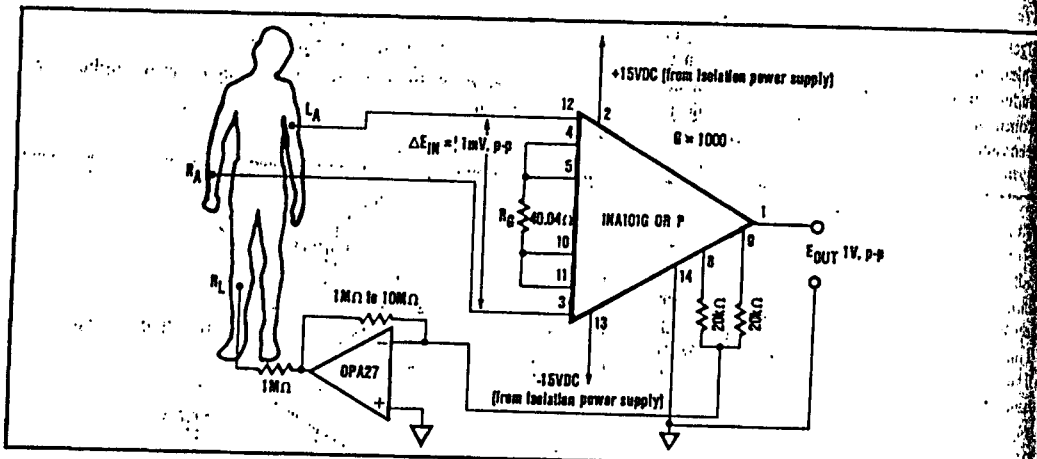


FIGURE 7. ECG Amplifier or Recorder Preamp for Biological Signals.

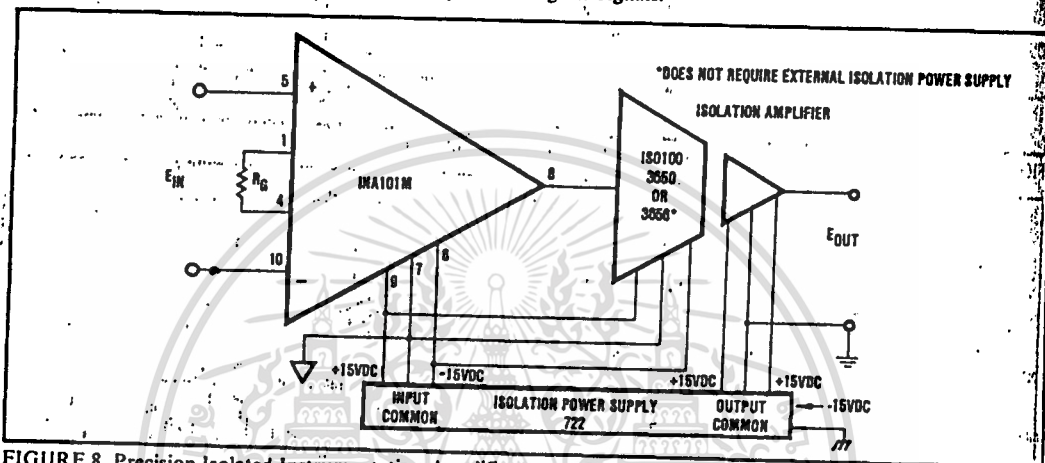


FIGURE 8. Precision Isolated Instrumentation Amplifier.

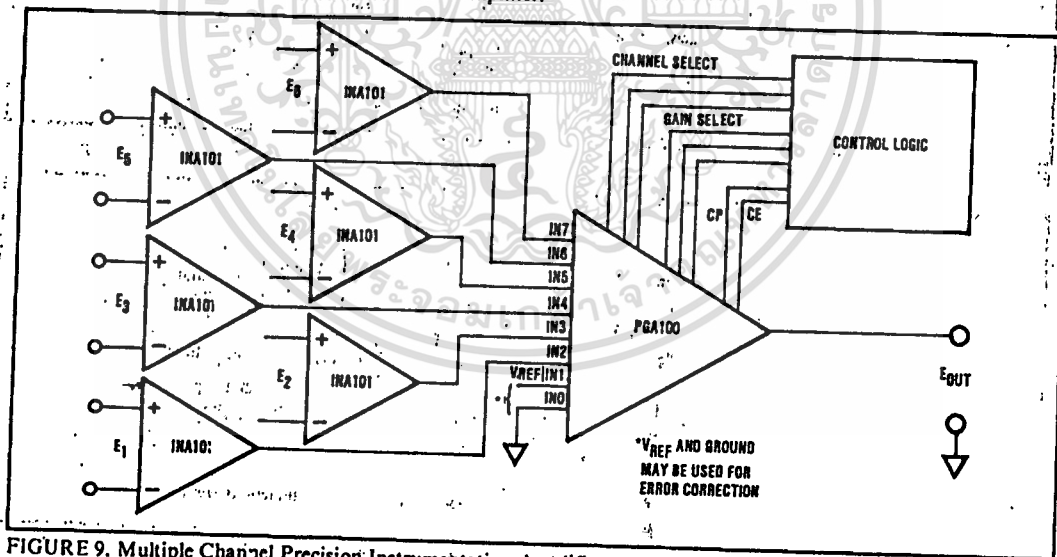


FIGURE 9. Multiple Channel Precision Instrumentation Amplifier.

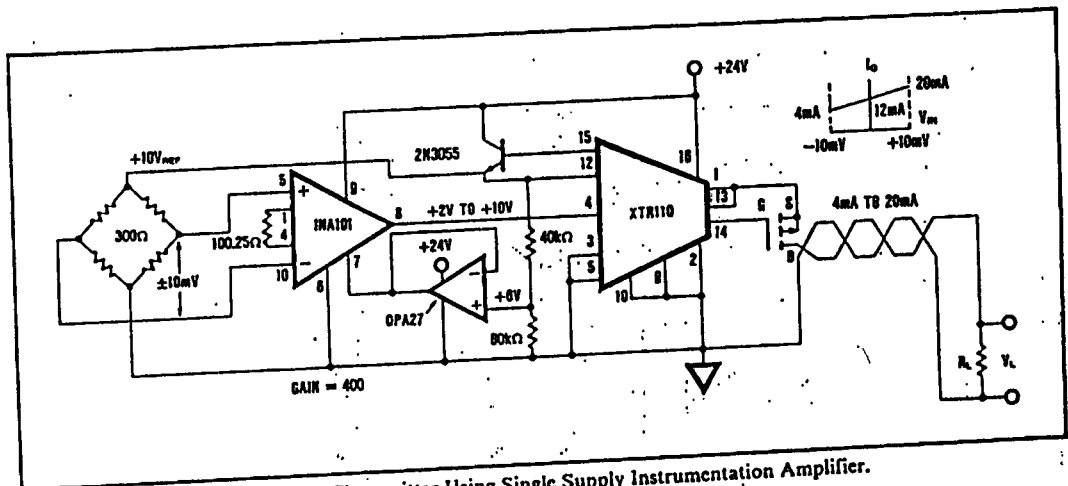


FIGURE 10. 4mA to 20mA Bridge Transmitter Using Single Supply Instrumentation Amplifier.

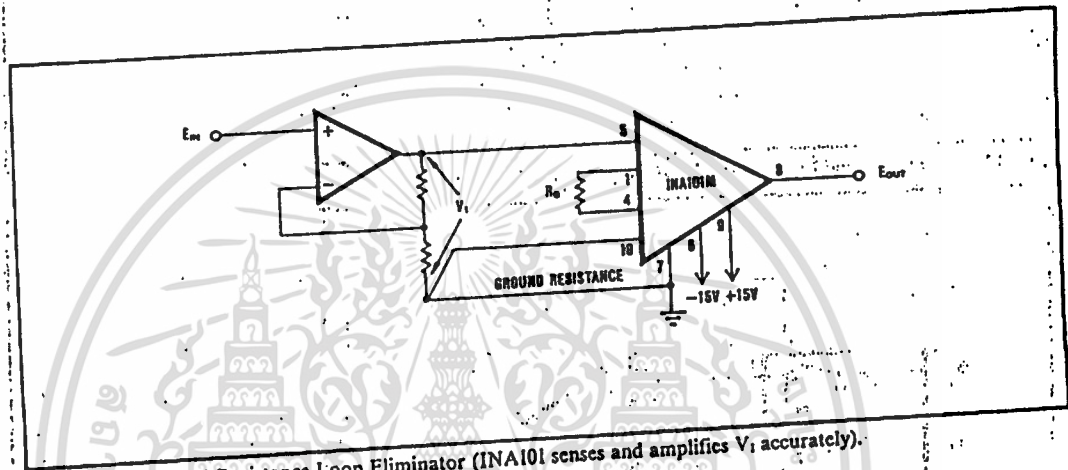


FIGURE 11. Ground Resistance Loop Eliminator (INA101 senses and amplifies V_1 accurately).

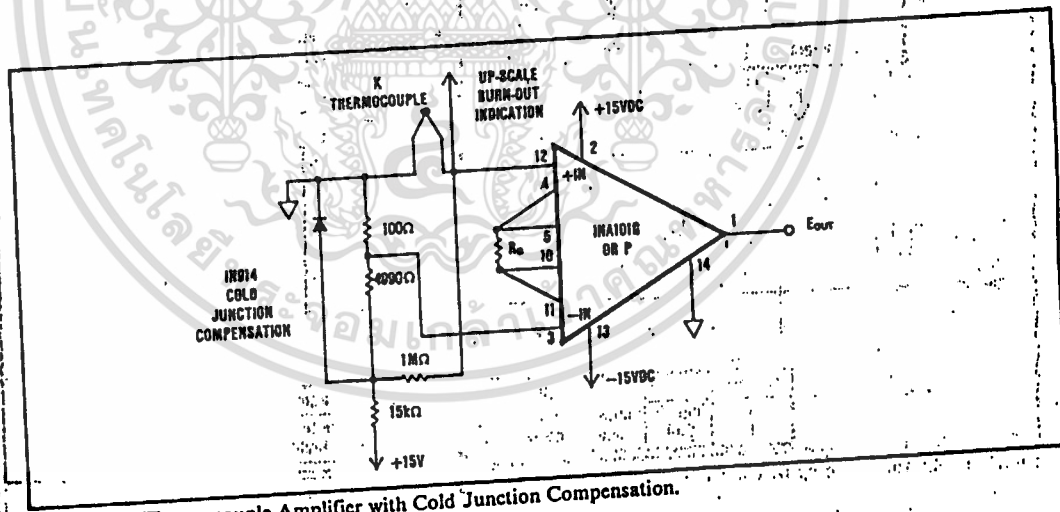
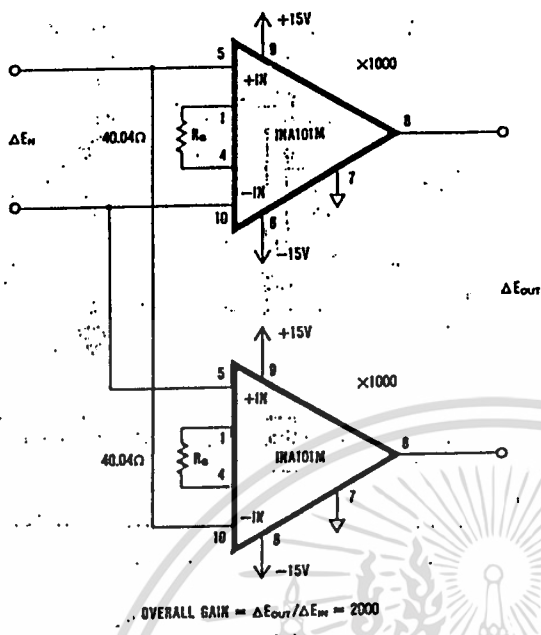
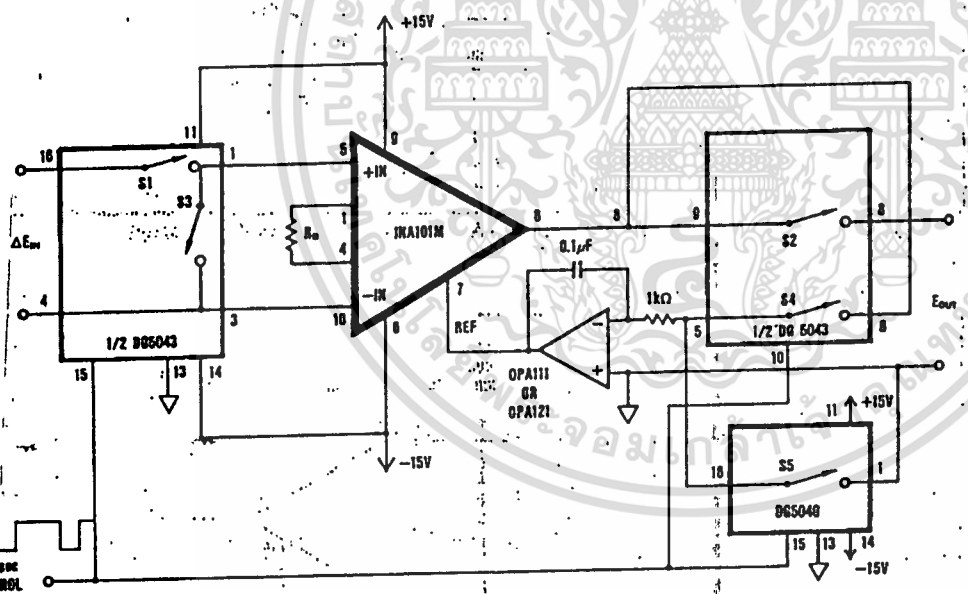


FIGURE 12. Thermocouple Amplifier with Cold Junction Compensation.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

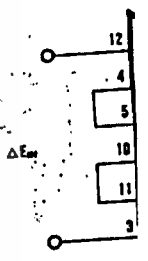


13. Differential Input/Differential Output Amplifier (twice the gain of one INA).



CONTROL	S1	S2	S3	S4	S5	MODE
0	Closed	Closed	Open	Open	Closed	Auto-Zeroing
1	Open	Open	Closed	Closed	Open	Signal Amplification

FIGURE 15. Programmab



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

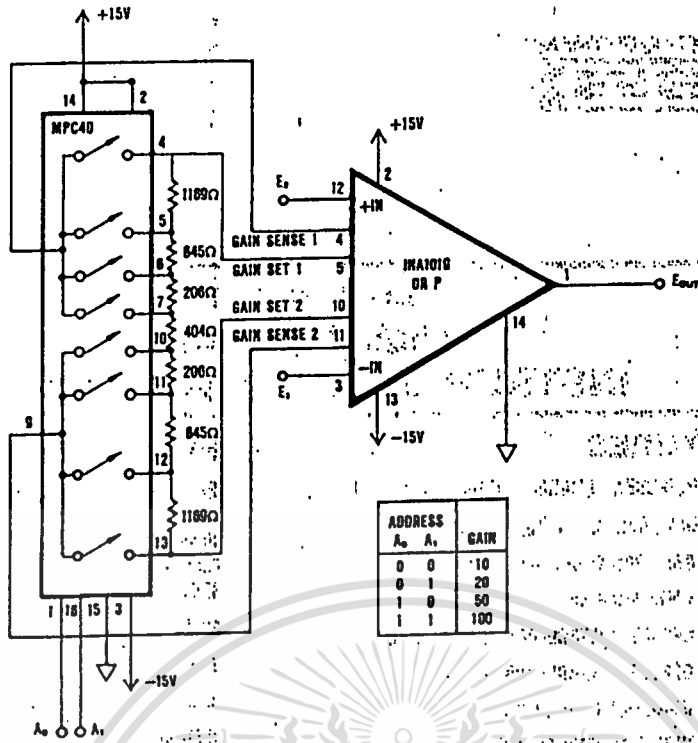


FIGURE 15. Programmable Gain Instrumentation Amplifier.

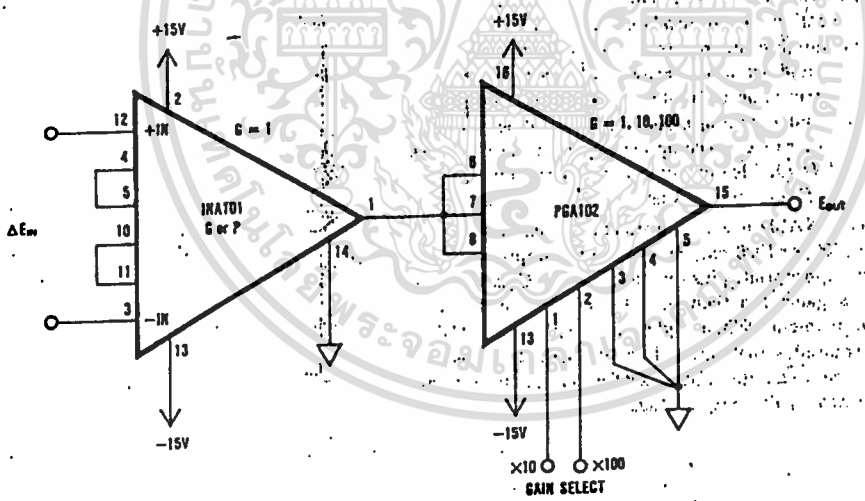


FIGURE 16. Programmable-Gain Instrumentation Amplifier Using the INA101 and PGA102.

The following are numbers for the above calculations:

	8 MHz		10 MHz		12.5 MHz	
	Min	Max	Min	Max	Min	Max
Input Buffer delay	10 ns		10 ns		10 ns	
Output Buffer delay	10 ns		10 ns		10 ns	

8 MHz	PIO part		CTC part		SIO part	
	Min	Max	Min	Max	Min	Max
TdM1(IEO)	60 ns		80 ns		120 ns	
TsIE(IEO)	70 ns		70 ns		70 ns	
TdIE(IEOf)		50 ns		50 ns		40 ns
TdIE(IEOr)		50 ns		50 ns		40 ns

10 MHz	PIO part		CTC part		SIO part	
	Min	Max	Min	Max	Min	Max
TdM1(IEO)	60 ns		60 ns		90 ns	
TsIE(IEO)	50 ns		70 ns		50 ns	
TdIE(IEOf)		50 ns		50 ns		30 ns
TdIE(IEOr)		50 ns		50 ns		30 ns

12.5 MHz	PIO part		CTC part		SIO part	
	Min	Max	Min	Max	Min	Max
TdM1(IEO)	50 ns		50 ns		70 ns	
TsIE(IEO)	40 ns		60 ns		40 ns	
TdIE(IEOf)		40 ns		40 ns		25 ns
TdIE(IEOr)		40 ns		40 ns		25 ns

Note [4] (Continued)

When using an interrupt from only a portion of the Z80KIO, these numbers are smaller than the values shown above.

For more details about the "Z80 daisy-chain structure", please refer to the application note "Z80 Family Interrupt Structure," which is included in the Z80 Data Book.



Z84011/C11

PARALLEL I/O
CONTROLLER

FEATURES

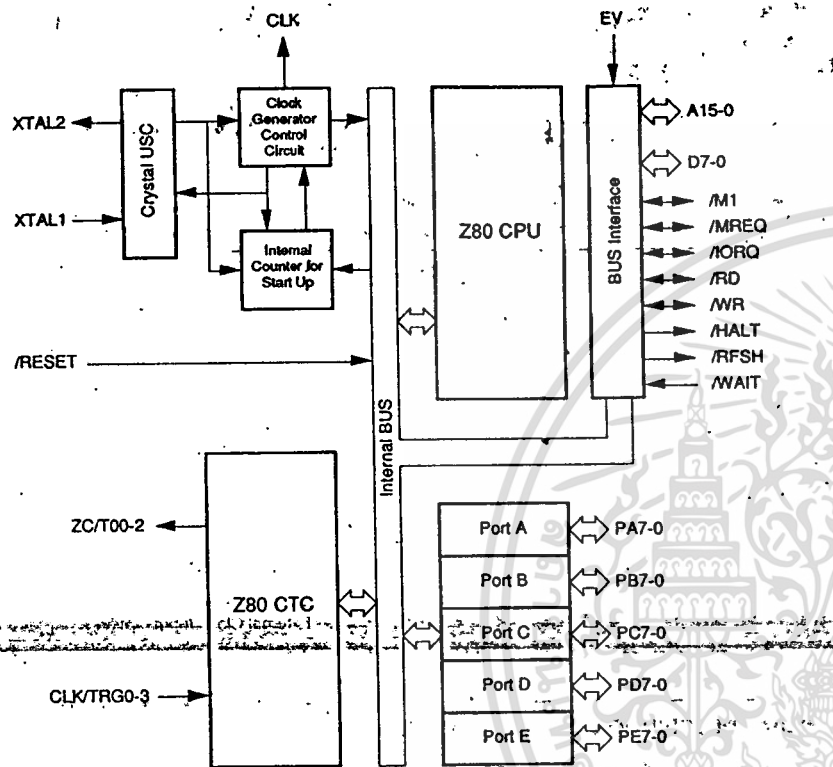
- Z84C00 Z80 CPU with CGC, Z84C30 Z80 CTC, five 8-bit parallel ports.
- High speed operation (6/10 MHz).
- Low power consumption in four operation modes:
 - 45 mA Typ. (Run mode).
 - 6 mA Typ. (Idle 1 mode).
 - 9 mA Typ. (Idle 2 mode; Not applicable to Z84011).
 - 1 μ A Typ. (Stop mode).
- Wide operational voltage range (5V \pm 10%).
- TTL/CMOS compatible.
- Z84011 features:
 - Z84C00 Z80 CPU.
 - On-chip four channel Counter/Timer Controller (Z80 CTC).
 - Built-in Clock Generator Controller (CGC).
 - Five 8-bit parallel ports.
 - 100-pin QFP Package.
 - Noise filter to CLK/TRG inputs of the Z80 CTC.
- Z84C11 features:
 - All Z84011 features.
 - Support of Idle 2 Mode.
 - Built-in Watch Dog Timer (WDT).
 - Power-on Reset and Reset Extension.
 - Wait State Generator.
 - Simplified EV Mode Selection.
 - Crystal Divide-by-One Option.
 - External Clock Input Option.

GENERAL DESCRIPTION

The Z84011 and Z84C11 Parallel I/O Controllers (PIC) are CMOS 8-bit microprocessors. They are integrated with the CTC and five 8-bit parallel ports into a single 100-pin QFP (Quad Flat Pack) package. The Z84C11 is an upward compatible version of the Z84011. Figure 1(a) shows the block diagram of Z84011, and Figure 1(b) shows the block diagram of the Z84C11. Figure 2 has pin assignments for both versions. These high end superintegrated Parallel I/O Controllers are targeted for a broad range of applica-

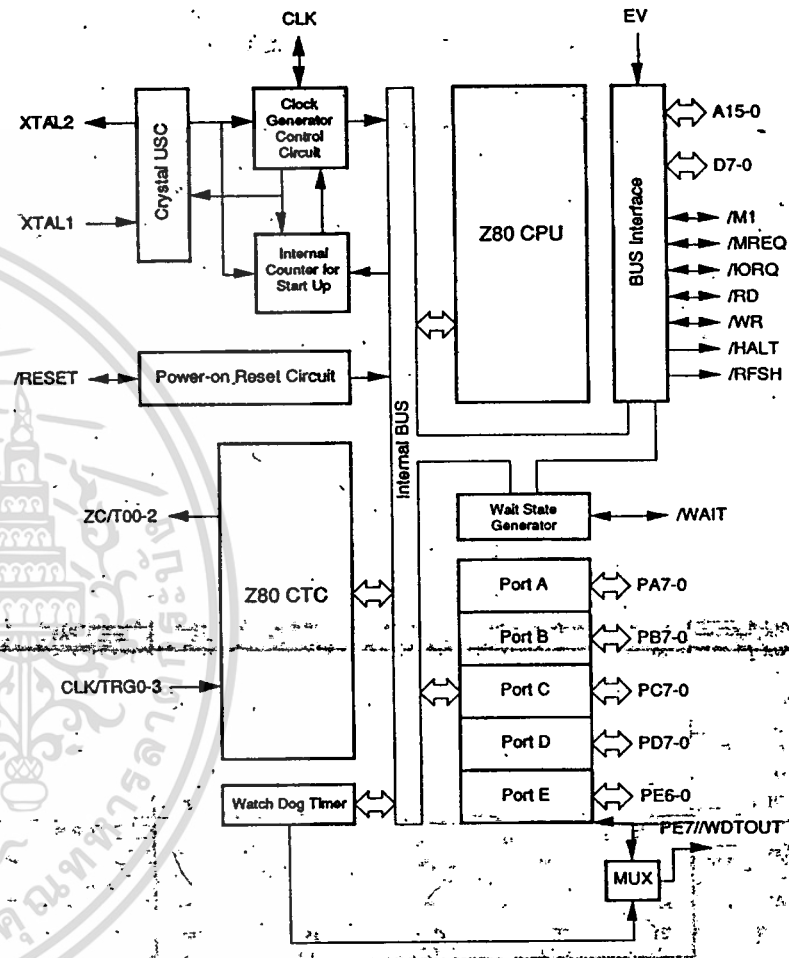
tions ranging from embedded controller to enhancement/cost reductions of existing hardware using Z80 based discrete peripherals.

Hereinafter, the word PIC on the description covering both versions (Z84C11 and Z84011) is used. Use Z84C11 on the description which applies only to the Z84C11, and use Z84011 which applies only to the Z84011.



(a) Z84011 Functional Block Diagram

Figure 1. PIC Functional Block Diagram



(b) Z84C11 Functional Block Diagram

Figure 1. PIC Functional Block Diagram (Continued)

CPU SIGNALS

Signal Name	# of Pins	Pin #	I/O, 3-State	Description
/RFSH	1	(26)	Output(011), Output/3-State (C11)	The refresh signal. When the dynamic memory refresh address is on the low order byte on the address bus, this pin goes active along with /MREQ signal.
<p>Note: For the Z84011 the /RFSH is not tri-stated during EV mode.</p> <p>Note: For the Z84C11 the /RFSH is tri-stated during EV mode.</p>				
/INT	1	(14)	I/O (Open Drain)	Maskable interrupt request signal. Interrupt is generated by peripheral LSI. This signal is accepted if the Interrupt enable Flip-Flop (IFF) is set to "1". The /INT signal of the CTC is internally wired-OR without pull-up resistors and requires external pull-up. The interrupts from on-chip CTC go out from this pin.
/NMI	1	(45)	Input	Non-maskable interrupt request signal. This interrupt request has a higher priority than the maskable interrupt request and does not rely upon the state of the Interrupt enable Flip-Flop (IFF).
/HALT	1	(16)	Output, 3-State	Halt signal. Indicates that the CPU has executed a HALT instruction. This signal is tri-stated in EV mode.
/BUSREQ	1	(23)	Input	Bus request signal. /BUSREQ requests placement of the address bus, data bus, /MREQ, /IORQ, /RD and /WR signals into the high impedance state. /BUSREQ is normally wired-OR and a pull-up resistor is externally connected.
/BUSACK	1	(21)	Output(011), Output, 3-State (C11)	Bus acknowledge signal. In response to /BUSREQ signal, /BUSACK informs a peripheral LSI that the address bus, data bus, /MREQ, /IORQ, /RD, and /WR signals have been placed in the high impedance state.
<p>Note: For the Z84011 the /BUSACK will not be tri-stated during EV mode. For the Z84C11 the /BUSACK will be tri-stated during EV mode.</p>				
/WAIT	1	(22)	Input(011), I/O(C11)	Wait signal. /WAIT informs the CPU that specified memory or peripheral is not ready for data transfer. As long as /WAIT signal is active, MPU is continuously kept in the wait state.
<p>Note: For the Z84C11, the /WAIT pin becomes an output to bring out on-chip Wait State Generator during EV mode.</p>				

CTC SIGNALS

Signal Name	# of Pins	Pin #	I/O, 3-State	Description
CLK/TRG0 - CLK/TRG3	4	(2-5)	Input	External Clock/Trigger input. These four CLK/TRG pins correspond to four Counter/Timer Channels. In the counter mode, each active edge causes the downcounter to decrement by one. In timer mode, an active edge starts the timer. It is program selectable whether the active edge is rising or falling.
ZC/IO0 - ZC/IO23		(97-99)	Output	Zero count/timer out signal: In either timer or counter mode, pulses are output when the down counter has reached zero. The Counter/Timer Channel 3 does not have this output.

GENERAL PURPOSE I/O PORT

Signal Name	# of Pins	Pin #	I/O, 3-State	Description
PA7-PA0	8	(61-68)	I/O	General purpose I/O port (Port A). These lines are configured as an input or an output, bit by bit. On Reset, set as "all input."
PB7-PB0	8	(69-76)	I/O	General purpose I/O port (Port B). These lines are configured as an input or an output, bit by bit. On Reset, set as "all input."
PC7-PC0	8	(53-60)	I/O	General purpose I/O port (Port C). These lines are configured as an input or an output, bit by bit. On Reset, set as "all input."
PD7-PD0	8	(88-89, 91-96)	I/O	General purpose I/O port (Port D). These lines are configured as an input or an output, bit by bit. On Reset, set as "all input."
PE6-PE0	7	(85-79)	I/O	General purpose I/O port (Port E). These lines are configured as an input or an output, bit by bit. On Reset, set as "all input."
PE7 (011 Only)	1	(3)	I/O	General purpose I/O port (Port E 7). This pin is configured as an input or an output. On Reset, set as /Input.
PE7/WDIOUT (C11 Only)	1	(78)	I/O (Open-drain I/O when WDIOUT)	Port E 7/Watchdog Timer Output (Multiplexed). This pin is configured as a Watch Dog output pin, or as a general purpose input or an output pin. When Watch Dog Timer is enabled, this pin becomes WDIOUT, regardless of the programming as an I/O port, and also becomes an Open-drain output. If WDIOUT is connected either to a /RESET pin, an external pull-up resistor may be required. On Power-on Reset, this pin is set as PE7 and "Input."

SYSTEM CONTROL SIGNALS

Signal Name	# of Pins	Pin #	I/O, 3-State	Description
IEI	1	(1)	Input	Z80 CTC Interrupt enable Input signal. This signal is used with the IEO to form an interrupt priority daisy chain when there is more than one interrupt-driven peripheral.
IEO	1	(87)	Output	Z80 CTC Interrupt enable output signal. In the daisy chain interrupt control, IEO controls the interrupt of external peripherals. IEO is active when IEI is "1" and the CPU is not servicing an interrupt from the on-chip peripherals.
/RESET	1	(24)	Input (011), I/O (Open Drain) on C11	Reset signal. /RESET signal is used for initializing MPU and other devices in the system. Also used to return from the steady state in the STOP or IDLE modes.

Note:

For the Z84011 the /RESET is kept in active state for a period of at least three system clock cycles.

Note:

For the Z84C11, during the power-up sequence, the /RESET becomes Open-drain output and the Z84C11 will drive this pin to "0" for 25 to 75 msec after the power supply passes through approx. 2.2V and then reverts to input. If it receives the /RESET signal after power-on sequence, it will drive the /RESET pin for 16-processor clock cycles depending on the status of the Reset Output Disable bit in the Watch Dog Timer Master Register. If this Reset output is disabled, it must be kept in an active state for a period of at least three system clock cycles. Note, that if using Z84C11 in the Z84011 socket, modification may be required on the Reset circuit since this pin is a "pure input pin" on the Z84011. The /RESET pin does not have internal pull-up resistors and requires external pull-up. For more details of the function, refer to "Functional Description."

Signal Name	# of Pins	Pin #	I/O, 3-State	Description
XTAL1	1	(49)	Input	Crystal oscillator connecting terminal. A parallel resonant crystal is recommended. If an external clock source is used as an input to the CGC unit, supply clock goes into this terminal.

Note:

For the Z84C11, a crystal presence is automatically detected by the Z84C11; oscillator and divide-by-two circuits are activated. The single phase clock generated is output on the CLK pin if the external clock is not applied on CLK pin.

Signal Name	# of Pins	Pin #	I/O, 3-State	Description
XTAL2	1	(48)	Output	Crystal oscillator connecting terminal.
CLK	1	(52)	Output (011), I/O(C11)	System Clock

Note:

For the Z84011, CLK provides Single Phase system clock generated by CGC. For the Z84C11, if the clock is applied on this pin, the internal oscillator and divide-by-two circuits are bypassed. Otherwise, CLK provides System Clock to the system.

SYSTEM CONTROL SIGNALS

Signal Name	# of Pins	Pin #	I/O, 3-State	Description
MS1, MS2	2	(47,46)	I	Mode select 1 and 2. The mode select input pins. The status on these pins determine one of four power save modes.(Run, Idle1, Idle2 or STOP)
EV	1	(15)	Input	Evaluator signal. When "1" is applied to this pin, PIC is put in Evaluation mode. For details, refer to "Functional Description" on EV mode.

Note:

For the Z84011, together with /BUSREQ, the EV signal puts the Z84011 into the evaluation mode. When this signal becomes active, the status of /M1, /HALT and /RFSH change to input. When using Z84011 as an evaluator chip, the CPU is electrically disconnected after one machine cycle is executed with the EV signal "1" and the /BUSREQ signal "0". It follows the instructions from the other CPU (of ICE). Upon receiving /BUSREQ; A15-A0, /MREQ, /IOR, /RD and /WR are changed to input and D7-D0 changes its direction. /BUSACK is NOT tri-stated so it should be disconnected by an externally connected circuit.

Note:

For the Z84C11, to access on-chip resources from the CPU (e.g., ICE CPU), the CPU is electrically disconnected; A15-A0, /MREQ, /IOR, /RD and /WR are changed to input; D7-D0 changes its direction; /M1, /HALT and /RFSH are put into the high impedance state when the EV pin is set to "1". Also, /BUSACK is tri-stated.

Signal Name	# of Pins	Pin #	I/O, 3-State	Description
V _{cc}	3	(27, 51, 90)	Power	+5 Volts
V _{ss}	4	(28, 50, 77, 100)	GND	0 Volts
TEST	1	(86)	Input	Test pin, This pin should be tied to "0"

Note:

The following pins have different functions between Z84011 and Z84C11:

Pin Name	Pin #	Function
/RESET	24	Functionality is different.
/WAIT	22	Functionality is different in EV mode.
EV	15	Functionality is different.
PE7	78	(Port E7) on Z84011; PE7//WDTOUT on Z84C11.
/BUSACK	21	In EV mode, tri-stated on Z84C11; remains active on Z84011.

FUNCTIONAL DESCRIPTION

As shown in Figure 1(a), the Z84011 has a Z80 CPU, CTC, Clock Generator/Controller and Five 8-bit General Purpose I/Os. In addition to these, the Z84C11 has a Watch Dog Timer, Wait State Generator, and Power-on Reset circuit (Figure 1b).

Functionally, the on-chip Z80 CPU and the Z80 CTC are the same as the discrete devices. Therefore, for detailed description of each individual unit, refer to the Product Specification/Technical Manual of each discrete product.

The following subsections describe each individual functional unit of the PIC.

Z84C00/01 Logic Unit

The CPU unit provides all the capabilities and pins of the Zilog Z80 CPU. This allows 100% software compatibility with existing Z80 software. Refer to "Z84C01 Z80 CPU with CGC" Product Specification.

Z84C30 Counter/Timer Logic Unit

This logic unit provides the user with four individual 8-bit Counter/Timer Channels that are compatible with the Z84C30 CTC (Figure 3). The Counter/Timers are programmed by the CPU for a broad range of counting and timing applications. Typical applications include event counting, interrupt and interval counting, and serial baud rate clock generation.

Each of the Counter/Timer Channels, designated Channels 0-3, have an 8-bit prescaler (when used in timer mode) and its own 8-bit counter to provide a wide range of count resolution. Each of the channels have their own Clock/Trigger input to quantify the counting process and an output to indicate zero crossing/timeout conditions. Note that Channel 3 doesn't have its output pin. With only one interrupt vector programmed into the logic unit, each channel can generate a unique interrupt vector in response to the interrupt acknowledge cycle.

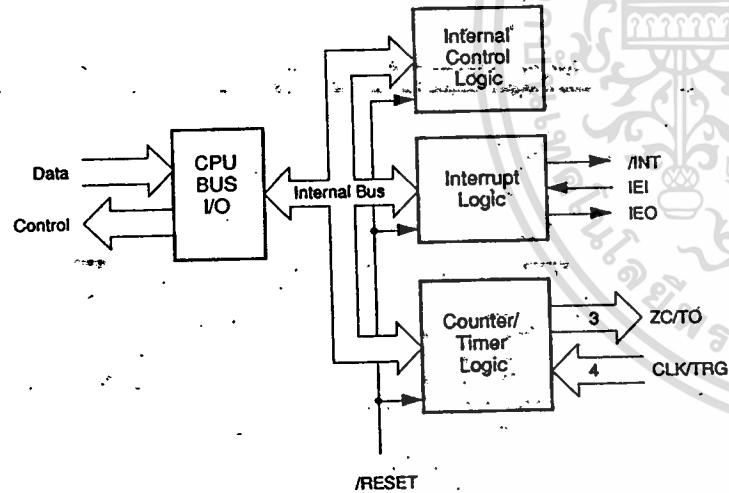


Figure 3. CTC Block Diagram

General Purpose I/O Ports

The PIC has five 8-bit General Purpose I/O ports (a total of 40 I/O lines). Each bit is configured as input or output individually. Figure 4 has the block diagram for General Purpose I/O ports. Each port has 2 associated registers. One is the Port Data Port, which latches the data to the port, and the other is the Data Direction Register, which defines the direction of data flow for the individual bits of its port. While the port bit is assigned as output, the contents of Port Data register can be read back through I/O instructions. For the addresses of these registers, refer to Table 1.

Note: For Z84C11, Port 7 bit 7 is multiplexed with Watch Dog Timer Output (WDTOU). When enabling the Watch Dog Timer, the /WDTOU is overriding the function as an I/O port. When used as /WDTOU, a write to Port Data Register has no effect on the PE7/WDTOU pin, but changes the contents of the Port E data register. A read to this bit returns the status of the /WDTOU. For more details about Watch Dog Timer, refer to the "Watch Dog Timer" Section.

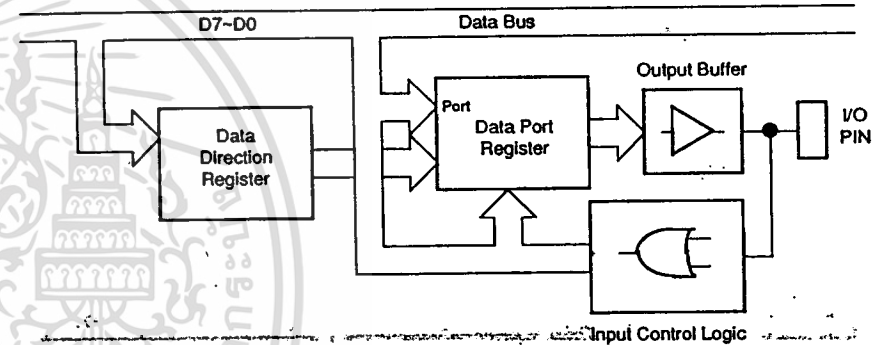


Figure 4. I/O Port Block Diagram

Watch Dog Timer (WDT) Logic Unit (Z84C11 Only)

This logic unit is being superintegrated into the Z84C11 as an enhanced feature to the Z84011. It detects an operation error, caused by the program runaway, and returns to normal operation. Figure 5, shows the block diagram of the

WDT. While WDT is enabled, the signal PE7/WDTOUT acts as /WDTOUT. During power down mode of operation (either IDLE1/2 or Stop), Watch Dog Timer is halted. Upon Power-on Reset, it is disabled.

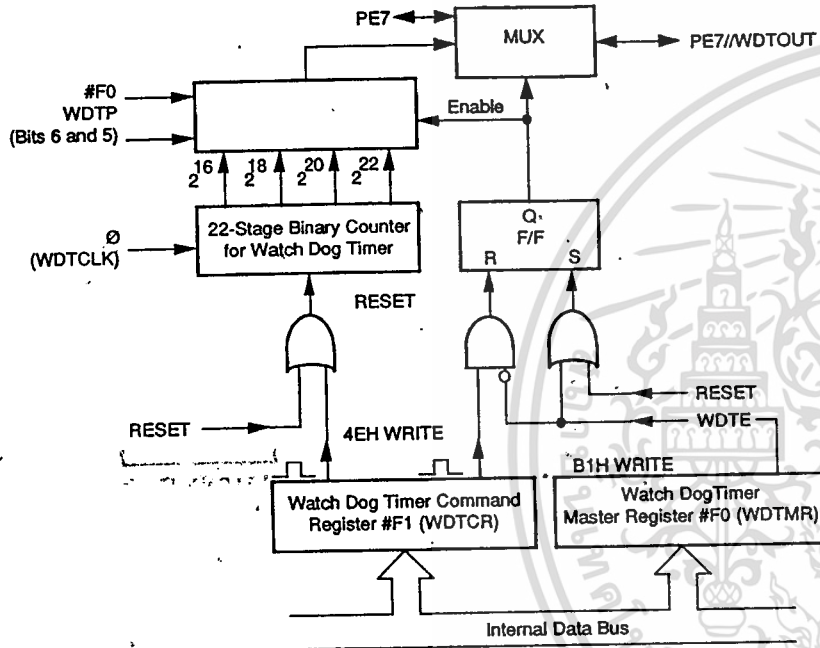


Figure 5. Watch Dog Timer Block Diagram

WDT Output (PE7/WDTOUT)

Since the Z84C11 doesn't have a dedicated WDT output pin, the WDT output is multiplexed with Port E bit 7. When enabling the Watch Dog Timer, the WDTOUT function overrides PE7 function.

When the WDT is used, the "0" level signal is output from the PE7/WDTOUT pin after a duration of time specified in

the WDTP in the WDTMR. The output pulse width is one of the following, depending on the PE7/WDTOUT pin connection.

The PE7/WDTOUT is connected to the /RESET pin: The "0" level is pulsed for 5TcC (System Clock cycles).

The PE7/WDTOUT is connected to a pin other than the /RESET pin: The "0" level is kept until the Watch Dog timer is cleared by software, or reset by /RESET pin.

CGC Logic Unit

The PIC has a CGC (Clock Generator/Controller) unit. The PIC allows crystal input (XTAL1, XTAL2) or System Clock Input on the XTAL1 pin. It has clock divide-by-two circuits and generates half-speed clock to the input.

Z84011 Only. The CGC unit is not supporting "Idle 2" mode of operation.

Z84C11 Only. External clock can be also applied from CLK pin. If external clock is provided on the CLK pin, the oscillator and the divide-by-two circuit are bypassed. On Power-on Reset, it comes up in divide-by-two mode. If the external clock or crystal input is provided on the XTAL pins, the internal oscillator is used and the divide-by-two circuit is activated depending upon bit D4 of the WDTMR (See "Programming" section). Power Down modes of the Z84C11 vary based on whether the clock is input on the XTAL1 pin or the CLK pin. If the clock is input on the crystal pin, all of the modes in "halt" state are available. If the system clock is provided from the CLK pin, only the IDLE2 mode is applicable (CIC is kept on running but the internal CPU and Watch Dog Timer are stopped).

Generating the System Clock

The PIC has a built-in oscillator circuit and the required clock is easily generated by connecting a crystal to the external terminals (XTAL1, XTAL2). Clock output is the half speed of the clock source. Example of an oscillator connection is shown in Figure 6.

Z84C11. Clock speed is the same, or half, the frequency of the clock source.

Recommended characteristics of the crystal and the values for the capacitor are as follows, (the values will change with crystal frequency).

- Type of crystal: Fundamental, parallel type crystal (AT cut is recommended).
- Frequency tolerance: Application dependent.
- CL, Load capacitance: Approximately 22pf. (Acceptable range is 20-30pf.)
- Rs, equivalent-series resistance: ≤ 60 ohms
- Drive level: 10mW (for ≤ 10 MHz crystal) 5mW (for ≥ 10 MHz crystal)
- CIN = COUT = 33pf.

Power-on Reset Logic Unit (Z84C11 Only)

The Z84C11 has the enhanced feature of a Power-on Reset circuit. During the power-up sequence, the Open-drain gate of the on-chip Power-on Reset circuit drives /RESET pin to "0" for 25 to 75 msec after the power supply passes through approx. 2.2V. After the termination of the "Power-on Reset" cycle, the Open-drain gate of the on-chip Power-on Reset circuit stops to drive the /RESET pin. It is required to have external pull-up resistor on the /RESET pin.

If it receives /RESET input from outside after the power-on sequence, and while Reset Output Disable bit in Watch Dog Master Register is cleared to "0", it drives the /RESET pin for 16 processor clock cycles from the falling edge of external /RESET input. Otherwise, /RESET pin must be kept in active state for a period of at least 3 system clock cycles.

If there are power-on reset circuits outside of this device, drive this pin with OPEN-DRAIN type gates and pull-up resistors because the /RESET signal is driven low for the period mentioned above during the Power-on sequence. If the external Power-on Reset circuit has push-pull type drivers and they drive the /RESET pin to "1" during that period, it may cause damage. In particular, when using Z84C11 in the Z84011 socket, modification may be required on the external reset circuit.

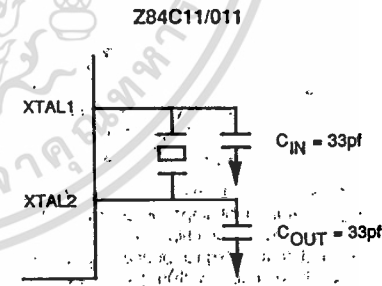


Figure 6. Circuit Configuration for Crystal

Wait State Generator Unit (Z84C11 Only)

The Z84C11 has the enhanced feature of a Wait State Generator circuit. It is capable of generating /WAIT signals to the CPU internally. The status of the External/WAIT input line is sampled after the insertion of software wait states, except the wait states insertion for Interrupt Daisy Chain Wait (for this cycle, insertion of a wait state is complex). The Wait State Control Register can be programmed to generate multiple Wait states during different CPU cycles as listed as follows.

Memory Wait and Op-code Wait

The Wait State Generator can put 0 to 3 wait states in memory accesses. Additionally, one added wait state can be inserted during an /M1 (Op-code fetch) cycle, because /M1 cycles' timing requirement is tighter than memory Read/Write cycles. It generates wait states to the Memory Access in a specified address range, which is programmed in Memory Wait Boundary Register.

I/O Wait

The Wait State Generator can put 0, 2, 4 or 6 wait states to I/O accesses. Regardless of the programming of this field, no I/O wait states are inserted for accesses to on-chip peripherals.

Interrupt Vector Wait

During Interrupt acknowledge cycle, the Wait State Generator can insert one wait state after /IORQ goes active, to extend the time between /IORQ fall to vector fetch by CPU. It allows a slow vector response device.

Interrupt Daisy Chain Wait and RETI Sequence Extension

During Interrupt acknowledge cycle, the Wait State Generator can insert 0, 2, 4 or 6 wait states between /M1 falling to the /IORQ falling edge. This extends the time required to settle the daisy chain. This also allows a longer daisy chain. Further, this field controls the number of wait states inserted during RETI (Return From Interrupt) cycle. If specified to insert 4 or 6 wait states during Interrupt Acknowledge cycle, the Wait State Generator also inserts wait states during the RETI fetch sequence. This sequence is generated with two op-code fetch cycles (Op-code is EDh followed by 4Dh). It inserts 2 or 4 wait states, respectively, if op-code followed by EDh is 4Dh. One wait state if the following op-code is not 4Dh.

Other Functional Features (Z84C11 Only)

For more system design flexibility, the Z84C11 has the following unique features. These features are controlled by WDTMR (Watch Dog Master Register; Address:F0h) For more details, refer to "Programming section."

- Clock Divide-By-One option
- Reset Output Disable
- Control Register Initialize Option

Clock Divide-by-One Option

This feature is programmed through Bit D4 of WDTMR. Upon Power-on Reset, the Clock from on-chip CGC is passed through a divide-by-two circuit. By setting this bit to one, the divide-by-two circuit is bypassed so that the system clock is equal to X1AL input. If the clock is applied to the CLK pin from external clock source, the status of this bit is ignored. Upon power-on reset, it is cleared to 0. For details, refer to "Programming" section.

Reset Output Disable

This feature is programmed by Bit D3 of WDTMR. If this bit is cleared to "0", the /RESET pin is driven to "0" for 16 clock cycles from the falling edge of /RESET input. This feature is for the cases where /RESET is used to get out from the "HALT" state. If this bit has been set to one, the on-chip reset circuit will not drive the /RESET pin except during power-on sequence.

Control Register Initialize Option

This feature is programmed by Bit D2 of WDTMR. This bit determines whether or not to initialize system control registers to initial value on /RESET. An ideal application for using the Watch Dog Timer.

Evaluation Mode

The PIC has a built-in evaluation (or development) mode feature which allows the users to utilize standard Z80 development systems conveniently. This mode virtually replaces the on-chip Z80 CPU with the external CPU. In this mode, the on-chip CPU is electrically disconnected from the internal bus and all tri-state signals (15-A0, D7-10), /MREQ, /IORQ, /RD, /WR, /HALT, /M1, (for C11, /RFSH) and /BUSREQ as well) as they are tri-stated, or changed to input. This allows the development system CPU to take over and use the internal I/O registers of the PIC (like the CPU was on-chip).

Z84011 Only. When the EV pin is active, the /M1 and /HALT pins are put in the high-impedance state. In using the Z84011 as an evaluator chip, the CPU is electrically disconnected (put in high-impedance state) after one machine cycle is executed with the EV signal being "1" and the /BUSREQ signal being "0". Then, on-chip resources are accessed from outside. /BUSACK and /M1 St1 are disconnected by an externally connected circuit.

Z84C11 Only. If the EV pin is tied to Vcc on power-up, the Z84C11 enters into an evaluation mode. In this mode, the internal CPU is immediately disconnected from the internal bus and all tri-state signals listed above, and /BUSACK and /RFSH signals are tri-stated, or changed to input. Note that the /WAIT pin became the OUTPUT pin in EV mode, and Wait State Generator generates wait states only as programmed. If the target application board has a separate wait state generator, modification of the target may be required.

The Z84C11 acts like regular operation where the /BUSREQ signal is asserted by an external master. This causes all tri-state signals to be tri-stated by the Z84C11 after one clock delay. For this case, /RFSH, /M1, /HALT and /BUSREQ remain active. The /BUSREQ approach was not used for the evaluation mode. This avoided significant external circuitry to work around the time period before the external CPU uses the bus for the Z84C11 accesses.

PROGRAMMING

I/O Address Assignment

The PIC's on-chip peripherals' I/O addresses are listed in Table 1. They are fully decoded from A7-A0 and have no image. The registers with Z84C11 located at I/O Address

EEh, EFh, F0h and F1h control enhanced features to the Z84C11, and are not assigned on Z84011.

Table 1. I/O Control Register Address

Address	Device	Channel	Register
10h	CTC	Ch 0	Control Register
11h	CTC	Ch 1	Control Register
12h	CTC	Ch 2	Control Register
13h	CTC	Ch 3	Control Register
50h	PIA	Port A	Port A Data Port (PADP)
54h	PIA	Port A	Port A Data Direction Register (PADR)
51h	PIA	Port B	Port B Data Port (PBDP)
55h	PIA	Port B	Port B Data Direction Register (PBDR)
52h	PIA	Port C	Port C Data Port (PCDP)
56h	PIA	Port C	Port C Data Direction Register (PCDR)
30h	PIA	Port D	Port D Data Port (PDDP)
34h	PIA	Port D	Port D Data Direction Register (PDDR)
40h	PIA	Port E	Port E Data Port (PEDP)
44h	PIA	Port E	Port E Data Direction Register (PEDR)
F0h	WDT		Watch Dog Timer Master Register (WDTMR; Not with Z84011)
F1h	WDT		Watch Dog Timer Control Register (WDTCR; Not with Z84011)
EEh	Misc		System Control Register Pointer (SCRIP; Not with Z84011)
EFh	Misc		System Control Data Port (SCDP; Not with Z84011) through SCRIP and SCDP Control Register 00 - Wait State Control register (WCR) Control Register 01 - Memory Wait state Boundary Register (MWB3R)

กิตติกรรมประกาศ

ขอขอบคุณอาจารย์ สรุพันธ์ เอื้อไพบุลย์ ที่กรุณาช่วยให้คำปรึกษาในด้านต่าง ๆ และ
ขอขอบคุณอาจารย์ สมศักดิ์ เขียวศรีวิกุล ที่กรุณาให้คำแนะนำและช่วยจัดหาอุปกรณ์ต่างๆ ในการทำ
โครงงานครั้งนี้ รวมทั้งขอขอบคุณ คุณ เกียรติศักดิ์ ศรีนิมานวัฒน์ นักศึกษาปริญญาโทที่ช่วยดูแลและ
ให้คำแนะนำ มาโดยตลอด สุดท้ายนี้ขอขอบคุณทั้งผู้ที่ได้เอยนามและผู้ที่ไม่ได้เอยนามมา ณ.
ที่นี้ด้วย

คณะผู้จัดทำ



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หนังสืออ้างอิง

1. บุญชัย ปัญญาวิเศษพงศ์ และ เบลูจศักดิ์ จรรยาสิทธิ์, " เครื่องซิงแบบดิจิทัล " , ปรินต์มานิปส์, 2532
2. Zilog, " Z84C11 PIO Parallel I/O controller Product Specification " , Intelligent Peripheral, p. 225-286
3. MPF-IP MANUAL, ACER INC. , 1988
4. BURR-BROWN, " Instrumentation Amplifier " , Integrated Circuits Data book, p. 2.7-2.17, 1986.