เครื่องรับสัญญาณเทเลเท็กซ์

TELETEXT

ธนาธิป มูลวงษ์

ปิติ ยิ้มเจริญ

ปิยะ สุขสม

ปริญญานิพนธ์สำหรับปริญญาวิศวกรรมศาสตรบัณฑิต

สาขาวิชาอิเล็คทรอนิกส์

คณะวิศวกรรมศาสตร์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2534

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

008485

ปริญญานิพนธ์ปีการศึกษา 2534

ภาควิชาอิเลคทรอนิกส์

คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้า เจ้าคุณทหาร ลาดกระบัง

เรื่อง เครื่องรับสัญญาณเทเลเท็กซ์

ผู้จัดทำ

1. นาย ธนาธิป มูลวงษ์ 31.1102
2. นาย ปิติ ยิ้มเจริญ 31.1154
3. นาย ปิยะ สุขสม 31.1155

_____ อาจารย์ที่ปรึกษา

(รศ.ดร. มนัส สังวรศิลป์)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ปีการศึกษา 2534

เครื่องรับสัญญาณเทเลเทกซ์

โดย

นาย ธนาธิป มูลวงษ์ 31.1102

นาย ปิติ ยิ้มเจริญ 31.1154

นาย ปิยะ สุขสม 31.1155

อาจารย์ที่ปรึกษา

รศ.ดร. มนัส สังวรศิลป์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เท เล เท็กซ์

ธนาธิป มูลวงศ์

ปิติ ยิ้ม เจริญ

ปิยะ สุขสม

รศ. ดร. มนัส สังวรศิลป์ อาจารย์ที่ปรึกษา

บทคัดย่อ

ในปัจจุบันนี้ชีวิตประจำวันของเรานั้น ต้องเกี่ยวข้องกับการสื่อสารอยู่ตลอดเวลา ดังนั้นการสื่อสารจึงเป็นสิ่งจำเป็นต่อความเป็นอยู่ของเราอีกอย่างหนึ่ง จึงได้มีการศึกษาด้านนี้กันอย่างจริงจัง

เท เล เท็กซ์ เป็นการส่งข้อมูลอีกอย่างหนึ่ง ซึ่งกำลังแพร่หลายในปัจจุบันเป็นอย่างมาก ในหลาย ๆ ประเทศ ดังนั้นเราจึงศึกษาเกี่ยวกับเครื่องรับชนิดนี้ ซึ่งในเมืองไทยยังเป็นเทคโนโลยีปิดอยู่ การส่งข้อมูลทาง เท เล เท็กซ์นี้ เป็นการมอดดูเลตสัญญาณแบบดิจิตอลมากับสัญญาณภาพของโทรทัศน์ซึ่งเป็นแอนนาลอก และต้องนำมาถอดรหัสเฉพาะตัวจึงจะสามารถแสดงผลได้ ดังปรากฏในวิทยานิพนธ์ฉบับนี้

แบ่งขั้นตอนการศึกษาและประดิษฐ์เครื่องรับดังนี้

- แยกเส้นสแกนของสัญญาณโทรทัศน์ที่มีข้อมูลของ เท เล เท็กซ์
- นำสัญญาณไปทำให้เป็นสัญญาณดิจิตอลให้ชัดเจน
- สร้างสัญญาณ คล็อก เพื่อจะนำไปใช้ในการแปลงข้อมูล
- แปลงข้อมูลจาก แบบอนุกรม ไปเป็น แบบขนาน
- เก็บข้อมูลเข้าสู่หน่วยความจำภายนอก
- อินเตอร์เฟสเข้ากับคอมพิวเตอร์
- เขียนโปรแกรมเพื่อวิเคราะห์ข้อมูลและนำมาแสดงผล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Teletext

Thanathip Moolvong

Piti Yimcharoen

Piya Suksom

Dr. Manus Sangworasil Advisor

Abstract

In the present, data and information are more assential in our life. That is why we are pushed to begin study seriously about the data communication.

Teletext is one of the interesting data, information communication and expanded in variety countries. So we have to study about teletext reciever because it is a secret technology in thai.

In this thesis, Showing the Analizing Data and signal in variety points.

Steping of studying and inventing reciever

- Sync Separator + Line Selector
- Data Slicer
- Synthesis Clock (6.9375 MHz)
- Convert serial Data to Paralle Data
- Address Counter and RAM
- Interfacing Computer
- Software for Analizing Data and Representation

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ

		หน้า
บทที่ 1	บทนำ	1-1
บทที่ 2	ทฤษฎีและหลักการ	2-1
	แนวความคิดและลักษณะสัญญาณ เท เล เท็กซ์	2-1
	- องค์ประกอบระบบ เท เล เท็กซ์	2-1
	- ที่มาของ เท เล เท็กซ์	2-2
	- สัญญาณ เท เล เท็กซ์	2-4
	- รายละเอียดโครงสร้างเส้นข้อมูล	2-7
บทที่ 3	วิธีการสร้างและการคำนวณ	3-1
	- Video Sync Separator	3-2
	- Line Selector	3-3
	- Data Slicer	3-5
	- Clock Synthesis	3-6
	- Data Preparing	3-9
	- Address Counter and RAM	3-11
	- Interface Circuit	3-12
	- Software	3-16
บทที่ 4	การทดลองและผลการทดลอง	4-1
	- การจับสัญญาณ ณ จุดต่าง ๆ	4-1
	- ผลการทดลองที่ได้จากการถอดรหัส	4-3
บทที่ 5	สรุปและวิจารณ์ผลการทดลอง	5-1
	- อภิปรายผลการทดลอง	5-1
	- สรุปผลการทดลอง	5-2

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 1

บทนำ

เนื่องด้วยความต้องการข้อมูลและข่าวสาร ในปัจจุบันนี้มีปริมาณเพิ่มขึ้นสูงมาก แต่ด้วยความจำกัดขององค์ประกอบต่างๆ ในการสื่อสาร อันได้แก่ เครื่องส่ง ตัวกลาง และเครื่องรับ จึงทำให้การพัฒนาเทคโนโลยีทางด้านการสื่อสารต้องมุ่งหาทางแก้ปัญหา อันเนื่องมาจากความจำกัดข้างต้น และนี่คือต้นกำเนิดของระบบการสื่อสารในรูปแบบหนึ่ง.. เทเลเท็กซ์..

เทเลเท็กซ์ เป็นระบบการสื่อข้อมูลและข่าวสารที่อาศัยคลื่นโทรทัศน์ตามปกติที่มีอยู่แล้วเป็นตัวกลางในการนำสื่อ โดยไม่รบกวนสัญญาณของภาพปกติ ทั้งนี้โดยอาศัยเทคนิคการผสมสัญญาณของข้อมูลหรือข่าวสาร ซึ่งอยู่ในรูปของสัญญาณดิจิตอล ลงไปในสัญญาณภาพโทรทัศน์ แต่เป็นช่วงการสับกลับของสัญญาณ หรือเป็นช่วงสัญญาณว่าง (Blanking) ดังนั้นจึงไม่ปรากฏเป็นภาพบนจอโทรทัศน์ และเนื่องจากสัญญาณข่าวสารเป็นรูปแบบสัญญาณดิจิตอลจึงให้ความถูกต้องสูงและสามารถตอบสนองความต้องการของผู้ใช้ได้กว้างขวาง ได้แก่ การเก็บข้อมูลลงในหน่วยความจำ การเลือกดูข้อมูลในส่วนที่ต้องการ ตลอดจนมีปริมาณข้อมูลได้มาก ซึ่งในปัจจุบันมีถึง 700 หน้า โดยประมาณ

สำหรับในส่วนของภาครับสัญญาณนั้น ผู้ที่มีเครื่องรับโทรทัศน์ธรรมดาก็สามารถรับข้อมูลเทเลเท็กซ์นี้ได้ โดยการติดตั้งแผ่นวงจรพิเศษ (Decoder) ที่เครื่องรับเท่านั้น

ปัจจุบันนี้ ประเทศไทยมีการออกอากาศสัญญาณเทเลเท็กซ์มาพร้อมกับรายการปกติของสถานีโทรทัศน์ช่อง 5 ซึ่งก็มีทั้ง ข่าวสารทางราชการ ข่าวสารทางธุรกิจ การค้า และอื่น ๆ โดยที่เราสามารถเลือกชมได้ตามความต้องการ

จะเห็นได้ว่า การสื่อสารด้วยระบบเทเลเท็กซ์นี้มีประสิทธิภาพสูงมาก เมื่อเทียบกับต้นทุนในการนำเสนอ กล่าวคือ เพิ่มอุปกรณ์ผสมสัญญาณข่าวสารลงในสัญญาณภาพ แล้วใช้สถานีโทรทัศน์ที่มีอยู่เดิมเป็นสถานีส่ง ตามปกติก็จะได้ระบบการส่งสัญญาณเทเลเท็กซ์ที่สมบูรณ์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 2

ทฤษฎีและหลักการ

แนวความคิดและลักษณะสัญญาณเทเลเท็กซ์

เทเลเท็กซ์ คือ ระบบที่สามารถส่งข้อมูล ข่าวสาร มาตามคลื่นวิทยุ โทรทัศน์ พร้อมกับการออกอากาศรายการปกติ ระบบเทเลเท็กซ์ ข้อมูลในรูปหนังสือพิมพ์ ทางโทรทัศน์ มีการแบ่งข่าวสารข้อมูลเป็นหน้า ๆ ซึ่งผู้ชมสามารถเลือกชมได้เอง เช่น ผู้ชมคนหนึ่ง อาจเลือกดูข่าวเรื่องหุ้น ในขณะที่ผู้ชมอีกคนหนึ่งเลือกดูข่าวพยากรณ์อากาศ

เทเลเท็กซ์ มีข้อได้เปรียบหนังสือพิมพ์ที่ ข่าวสารสามารถแก้ไขให้ทันสมัยได้ตลอดเวลา ผู้ชมจึงได้ข่าวสารที่ทันต่อเหตุการณ์จริง ๆ

1. องค์ประกอบระบบเทเลเท็กซ์

1.1 การรวบรวมข่าวสารข้อมูล

เนื่องจาก เทเลเท็กซ์มีจุดประสงค์ที่จะเสนอข้อมูลข่าวสารที่ทันต่อเหตุการณ์ให้แก่ผู้ชม ดังนั้นการรวบรวมข้อมูลจึงสำคัญมาก ผู้ส่งจะต้องมีเครือข่ายการรวบรวมข้อมูลที่ดีโดยวิธีการต่าง ๆ เช่น มีทีมข่าวดี มีประสิทธิภาพ มีการออนไลน์ (ON LINE) กับตลาดหลักทรัพย์ เพื่อติดตามการเปลี่ยนแปลงของตลาดหลักทรัพย์ตลอดเวลาที่มีการเปิดตลาด มีการออนไลน์กับธนาคาร มีการออนไลน์กับอุตุนิยมวิทยา เป็นต้น

1.2 การส่งข้อมูล

ผู้ส่งระบบเทเลเท็กซ์ จะต้องมีเครื่องมือหลักคือ ตัวป้อนข้อมูล (DATA-ENTRY), กับตัวเข้ารหัส (ENCODER) ที่จะใช้ป้อนข้อมูลแล้วทำการเข้ารหัสข้อมูลให้มีการส่งสัญญาณโทรทัศน์ เพื่อออกสู่ผู้ชมต่อไป

1.3 การรับข้อมูล

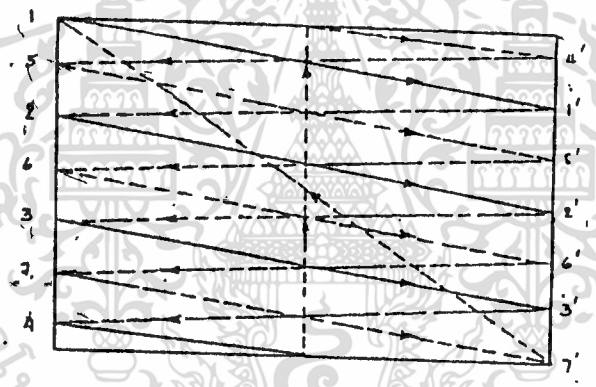
ผู้ชมที่ต้องการดูข้อมูลทางเทเลเท็กซ์ นอกจากจะต้องมีเครื่องรับโทรทัศน์แล้วยังต้องมีตัวถอดรหัส (ENCODER) ที่ถอดรหัสที่แสดงออกทางจอภาพ ซึ่งตัวถอดรหัสนี้จะมีตัว

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ควบคุม เพื่อให้ผู้ชมเลือกดูข้อมูลได้

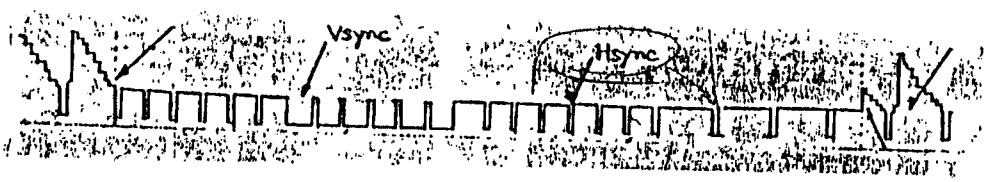
2. ที่มาของเทเลเท็กซ์

ในการปรากฏบนจอภาพโทรทัศน์ให้เราเห็นนั้น เกิดจากสแกนหลอดภาพให้เกิดภาพจำนวน 25 ภาพ ใน 1 วินาที และในระบบ 625 เส้น โดยวิธีการ สแกนจะแบ่ง 1 ภาพ เป็น 2 ฟิลด์ (1 flame : 2 fields) ฟิลด์ละ 625/2 = 312.5 เส้น ฟิลด์หนึ่งจะสแกนทางเฉพาะเส้นคี่ อีกฟิลด์หนึ่งจะสแกนเฉพาะเส้นคู่ ดังภาพ



รูปแสดงการสแกนแบบสลับเส้น

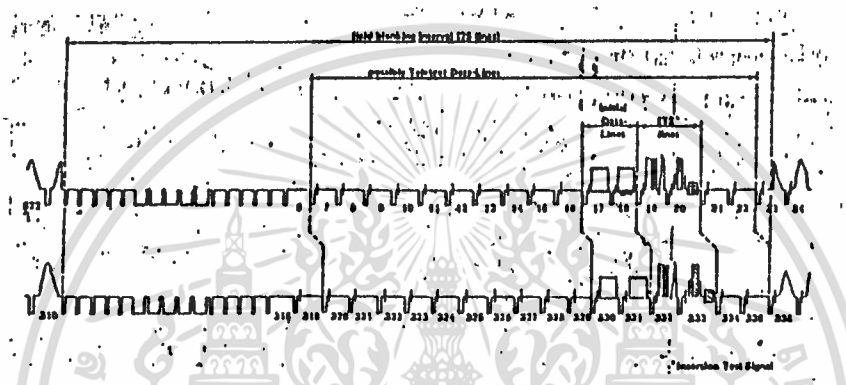
ดังนั้นสัญญาณภาพที่สถานีส่งมาจะเป็นเส้น ๆ โดยมีสัญญาณที่เรียกว่า สัญญาณซิงค์ทางแนวนอน (Horizontal Sychronizing : Hsync) เป็นตัวบอกและมีสัญญาณซิงค์ทางแนวตั้ง (Vertical Synchronizing : Vsync) เป็นตัวบอกการสแกนแต่ละฟิลด์



รูปแสดงสัญญาณซิงค์ทางแนวตั้ง และสัญญาณซิงค์ทางแนวนอน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในช่วงสัญญาณเวอร์แบลงค์กิ้ง (Verblanking) หรือฟิลด์แบลงค์กิ้ง (Field Blanking) นั้นมีเส้นว่าง ๆ ที่ไม่มีสัญญาณภาพอยู่ 25 เส้นที่เรียกว่า เส้นแบลงค์กิ้ง (Line Blanking) เพื่อให้เป็นช่วงเวลากลับไปเริ่มต้นสแกนฟิลด์ใหม่ของหลอดภาพ

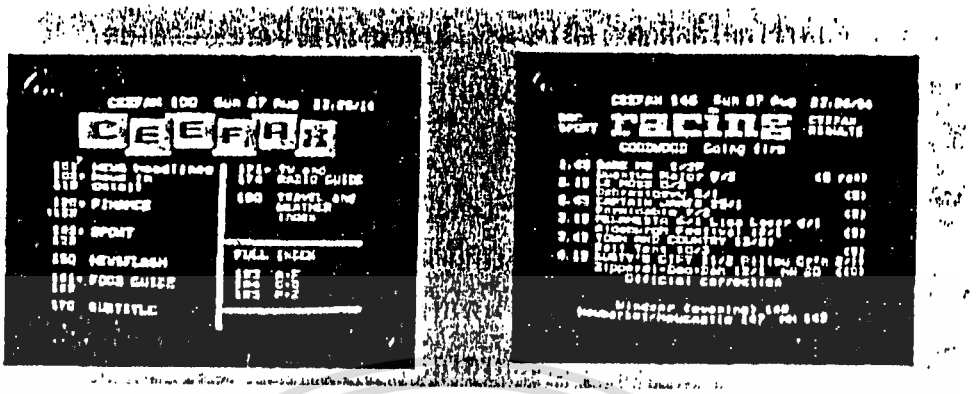


รูปแสดงเส้นแสดงแบลงค์กิ้งที่อยู่ในแบลงค์กิ้งทางแนวตั้ง

นับแต่มีระบบโทรทัศน์เกิดขึ้น เหล่าวิศวกรที่เกี่ยวข้องทั้งหลายก็พยายามที่จะใช้ประโยชน์จากเส้นแบลงค์กิ้งเหล่านี้ พวกเขาทดลองให้สัญญาณต่าง ๆ ลงบนเส้นแบลงค์กิ้งเรื่อยมา ซึ่งต่อมามีการใส่สัญญาณทดสอบ (Test Signal) ในช่วงเส้นแบลงค์กิ้ง เพื่อการทดสอบการส่งสัญญาณของสถานี และนิยมใช้กันมากในปัจจุบัน

แต่วิศวกรเหล่านั้นก็ยังพยายามที่จะใช้เส้นเหล่านี้ เพื่อการส่งข่าวข้อมูลถึงผู้ชมให้ได้ จนในช่วงศตวรรษที่ 70 เมื่อระบบดิจิตอลเจริญก้าวหน้าขึ้นพร้อม ๆ กัน มีผู้เสนอแนวความคิดเรื่องการส่งข่าวสารทางโทรทัศน์ในรูปหนังสือพิมพ์ที่ให้ผู้ชมเป็นผู้เลือกข้อมูลได้ ความคิดนี้ได้ถูกพัฒนาขึ้นเข้ากับการใช้ประโยชน์จากเส้นแบลงค์กิ้งจนเป็นผลสำเร็จ และในปี 1973 สถานีโทรทัศน์บีบีซี (BBC) และ องค์การไอบีเอ (IBA : Independent Broadcasting Authorrity) ของอังกฤษก็พัฒนาระบบเทเลเท็กซ์ที่สมบูรณ์แบบขึ้นมา เรียกว่า ออราเคิล ("ORACLE" : Optional Reception of Announcements by Code by Line Electronics) นับแต่นั้นมาก็แพร่หลายไปยังประเทศต่าง ๆ และมีการพัฒนาขึ้นตามลำดับเรื่อยมา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปแสดงตัวอย่างเทเลเท็กซ์ของ CEEFAX

3. ลักษณะของเทเลเท็กซ์

ในช่วง เส้นแบลงค์กิ้ง 25 เส้น (Line) คือ ช่วงเส้นที่ 623.5 ถึง 22.5 ของฟิลด์แรก และเส้น 311 ถึง 335 ของฟิลด์หลังนั้น เราสามารถใส่สัญญาณใด ๆ ลงไปได้ทุกเส้น แต่เส้นที่เหมาะสมในการใส่สัญญาณเทเลเท็กซ์ลงไป คือ เส้น 7-22 และ 320-335

สัญญาณเทเลเท็กซ์ที่ใส่ลงไปนั้นอยู่ในรูปของสัญญาณดิจิตอล (digital) ซึ่งเกิดจากการเข้ารหัสของตัวอักษรของข้อมูลที่ต้องการ และใน 1 เส้น สามารถใส่ข้อมูลดิจิตอลได้ถึง 45 ไบต์ หรือ 360 บิต ซึ่งข้อมูล 45 ไบต์จะปรากฏข้อมูล 1 บรรทัดบนจอภาพ และ 1จอภาพมีข้อมูลทั้งหมด 24 บรรทัด (0-23) ซึ่งกำหนดเป็น 1 หน้าข้อมูล (page) ระบบเทเลเท็กซ์ระบบหนึ่งจะส่งข่าวสารเป็นแม็กกาซีน (Magazine) ซึ่งอาจมีตั้งแต่ 1 ถึง 8 แม็กกาซีน แต่ละแม็กกาซีนจะมีจำนวนที่หน้าขึ้นอยู่กับจำนวนข่าวสารที่สถานีต้องการส่งไปตั้งแต่หน้า 00-99

การเลือกข้อมูลที่ใส่เทเลเท็กซ์ลงไปนั้น ขึ้นอยู่กับความสามารถของระบบเครื่องส่งและระบบเทเลเท็กซ์ของแต่ละสถานีโทรทัศน์ เพราะถึงแม้เส้นที่ใช้ได้คือ 7-22 (320-335) แต่เส้นที่ดีที่สุดในการส่งข้อมูลคือ เส้น 17,18(330,331) ฉะนั้นยิ่งใช้เส้นในการส่งมากเท่าไร โอกาสที่จะส่งข้อมูลผิดพลาดมากขึ้น แต่ใช้เส้นเฉพาะเส้น 17,18(330-331)การส่งข้อมูลให้ครบทั้งหมด 1 แม็กกาซีน ก็จะใช้เวลานาน เพราะการส่งสัญญาณจะเป็น 50 ฟิลด์ต่อวินาที

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

คงที่ ดังนั้น ถ้าใช้ 2 เส้น ก็จะส่งข้อมูลได้ 100 บรรทัดต่อวินาที ถ้าข้อมูลมีหลาย เส้นผู้ชม ต้องรอรับข้อมูลนาน การเลือกจำนวนเส้นที่จะใช้ขึ้นอยู่กับความเหมาะสมของจำนวนข้อมูลทั้งหมดที่จะส่งไปด้วย

สำหรับระบบเทเลเท็กซ์แรกของประเทศไทยนั้น เป็นของสถานีโทรทัศน์กองทัพบกช่อง 5 ใช้ชื่อว่า อาร์มเทกซ์ (ARMTEXT) มีจำนวนข่าวสาร 8 แมกกาซีน แมกกาซีนละ 100 หน้า คือส่งตั้งแต่หน้า 100-899 และใช้เส้นในการส่ง 8 เส้นต่อฟิลด์ โดยใช้เส้นที่ 11-16 และ 19,20(324-329 และ 332-333) ส่วนเส้นที่ 17,18(330,331) ทางสถานีใช้เป็นการส่งสัญญาณทดสอบ

แต่ในปัจจุบันทางช่อง 5 ได้เพิ่มการส่งข้อมูลที่ส่งมาอีก 1 เส้น คือ เส้นที่ 21 (334) ทำให้การรับข้อมูลมีความเร็วเพิ่มขึ้นมาอีกระดับหนึ่ง

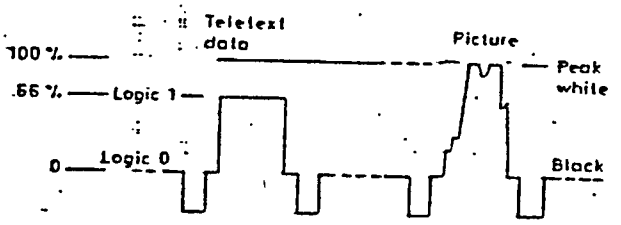
ทางด้านผู้ชมที่ต้องการรับข้อมูลทางเทเลเท็กซ์ จะต้องมีอุปกรณ์พิเศษในการรับข้อมูลถอดรหัส และเลือกข้อมูลหน้าที่ต้องการออกจอภาพโทรทัศน์ อุปกรณ์นี้เรียกว่า "ตัวถอดรหัส หรือ ดิโค้ดเดอร์ (Decode)" ในโทรทัศน์บางรุ่น มีตัวถอดรหัสติดอยู่ภายในเครื่องแล้ว ผู้ชมเพียงแต่รับคลื่นช่อง 5 และเลือกระบบเทเลเท็กซ์ เท่านั้น

4. สัญญาณเทเลเท็กซ์

ในการนำสัญญาณเทเลเท็กซ์มาถอดรหัส เป็นข้อมูลที่มาแสดงบนจอโทรทัศน์นั้น เราต้องรู้ว่า สัญญาณเทเลเท็กซ์ที่ส่งมามีลักษณะเป็นอย่างไร ส่งข้อมูลมาในรูปแบบไหน ซึ่งมีรายละเอียด ดังนี้

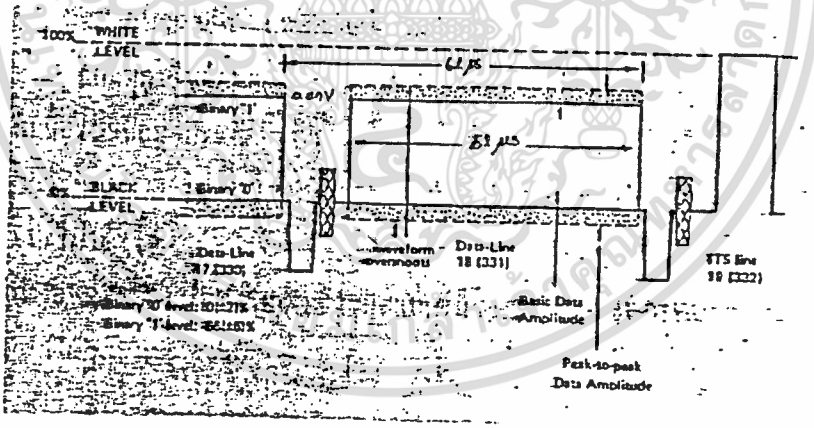
1. สัญญาณเทเลเท็กซ์ ส่งมาในรูปสัญญาณดิจิตอล (Digital Sigeal) เป็นข้อมูลอนุกรมแบบซิงโครนัส (Synchronous Serail Data Signal) มีระดับลอจิก 0 เท่ากับระดับสีดำ (Black Level) หรือระดับต่ำสุดของสัญญาณภาพ และลอจิกมีระดับ 1 มีระดับเท่ากับ 66 % ของระดับสีขาว (White Level) หรือระดับภาพสูงสุดของสัญญาณภาพ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปแสดงระดับสัญญาณของ เท เล เท็กซ์ กับระดับสัญญาณภาพ

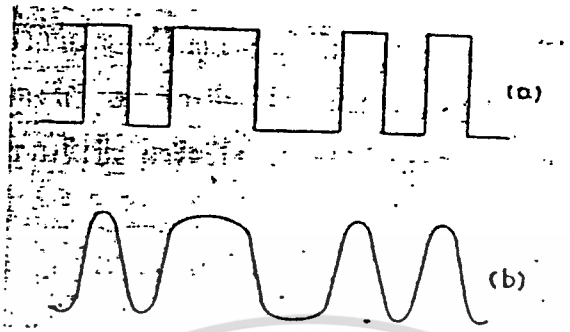
2. เส้นสแกน (Scan line) มีคาบเวลา 64 ไมโครวินาที เรา ใช้สัญญาณ เท เล เท็กซ์ 52 ไมโครวินาที ดังนั้นข้อมูลที่มี 45 ไบต์ หรือ 360 บิตต่อเส้น อัตรา การส่งข้อมูลจะเป็น 6.9375 เมกกะบิต (Mbit/sec) หรือ 1 บิต มีคาบเวลาประมาณ 144 นาโนวินาที (ns)



รูปแสดงเส้น เท เล เท็กซ์ใน 1 บรรทัด

3. รูปร่างสัญญาณ เท เล เท็กซ์ เมื่อส่งมากับสัญญาณโทรทัศน์จะทำให้เกิด ความเพี้ยนทำให้มีรูปร่างสัญญาณเป็นสัญญาณ Sine wave ในการนำมาใช้งานต้องมีการนำมาปรับ แต่งให้เป็นสัญญาณดิจิตอลที่มีคุณภาพเสียก่อน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปแสดงสัญญาณ เทเลเท็กซ์ (a) ทางด้านส่ง (b) ทางด้านรับ

4. ข้อมูลใน 1 เส้น ซึ่งมี 45 ไบต์ จะแทนข้อมูล 1 บรรทัด และมีโครงสร้างเป็นมาตรฐาน ในระบบเทเลเท็กซ์ทุกระบบ

5. รายละเอียดโครงการสร้างเส้นของข้อมูล

1. คล็อกรันอิน (Clock Run-in) 2 ไบต์แรกของทุกเส้นข้อมูล (Data Line) จะเป็นคล็อกรันอินซึ่งจะมีลักษณะข้อมูลเป็น 1010101010101010 เพื่อบอกอัตราเร็วของบิตของข้อมูลเทเลเท็กซ์ เพื่อจะถอดรหัสสร้างสัญญาณนาฬิกา (Clock) ที่ตรงกับข้อมูลอนุกรม (Serial data) ที่ส่งมา

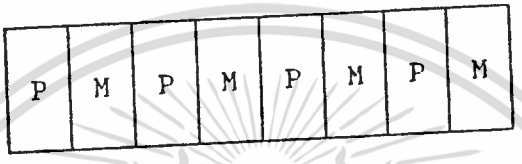
2. รหัสเฟรมมิ่ง (Framing code) ไบต์ 3 ของทุกเส้นข้อมูล จะเป็นข้อมูล 11100100 เสมอเรียกว่า F.C. ใช้ในการตรวจสอบข้อมูลตรงกันของไบต์ข้อมูล (Byte synchronous) ของตัวถอดรหัสว่าได้ข้อมูล 1 ไบต์ ได้ตรงกับข้อมูลที่ส่งมาหรือไม่

3. แม็กกาซีน และกลุ่มบอกแถว (Magazine and Row address Group) ไบต์ที่ 4 และ 5 ของทุกเส้นข้อมูล จะเป็นข้อมูลบอกเส้นแม็กกาซีน และความหมายบรรทัดข้อมูลว่า เส้นนั้นเป็นข้อมูลบรรทัดที่เท่าไร ในจอโทรทัศน์ ซึ่งเทเลเท็กซ์ระบบหนึ่งมี

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ได้ 8 แม็กกาซีน (000-111) และข้อมูล 1 หน้าจะมีได้ 24 บรรทัด (00000-10111 ส่วน 11000-11111 ไม่ได้ใช้)

M & R-A:G. เป็นข้อมูลที่เข้ารหัสแบบเทเลเท็กซ์ (Teletext code) มีรูปแบบดังนี้



รหัสเทเลเท็กซ์นั้น จะแบ่งข้อมูล 1 ไบต์เป็นบิตป้องกัน (Protect bit) 4 บิต (0,2,4,6) และบิตข้อมูล (Massage bit) 4 บิต (1,3,5,7) ข้อดีของรหัสเทเลเท็กซ์ คือว่าฝ่ายรับสามารถตรวจสอบว่า ข้อมูลที่ได้รับถูกต้องหรือไม่ แต่มีข้อเสีย คือ สามารถเข้ารหัสได้เพียง $2^4 = 16$ ตัว เพราะใน 1 ไบต์ จะถูกใช้เป็นพาริตี้บิตถึงครึ่งหนึ่ง จึงจะได้บิตข้อมูล 4 บิต

รหัสเทเลเท็กซ์ ใช้อ้างอิงพาริตี้บิตเป็นแบบคี่ (Odd Parity) คือ มีบิต 1 ในไบต์นั้น เป็นจำนวนคี่ ถ้ามีข้อมูลผิดพลาดเพียงหนึ่งบิต ถ้ามีข้อมูลที่ผิดเพียง 1 บิต จะสามารถตรวจสอบของบิตที่ผิด แต่ถ้าข้อมูลนั้นผิดพลาดเกิน 1 บิต ก็จะไม่ยอมรับข้อมูลในไบต์นั้น ซึ่งวิธีการตรวจสอบของรหัสเป็นดังนี้

ก. บิต 0 จะเป็น พาริตี้ของบิต 1,5,7

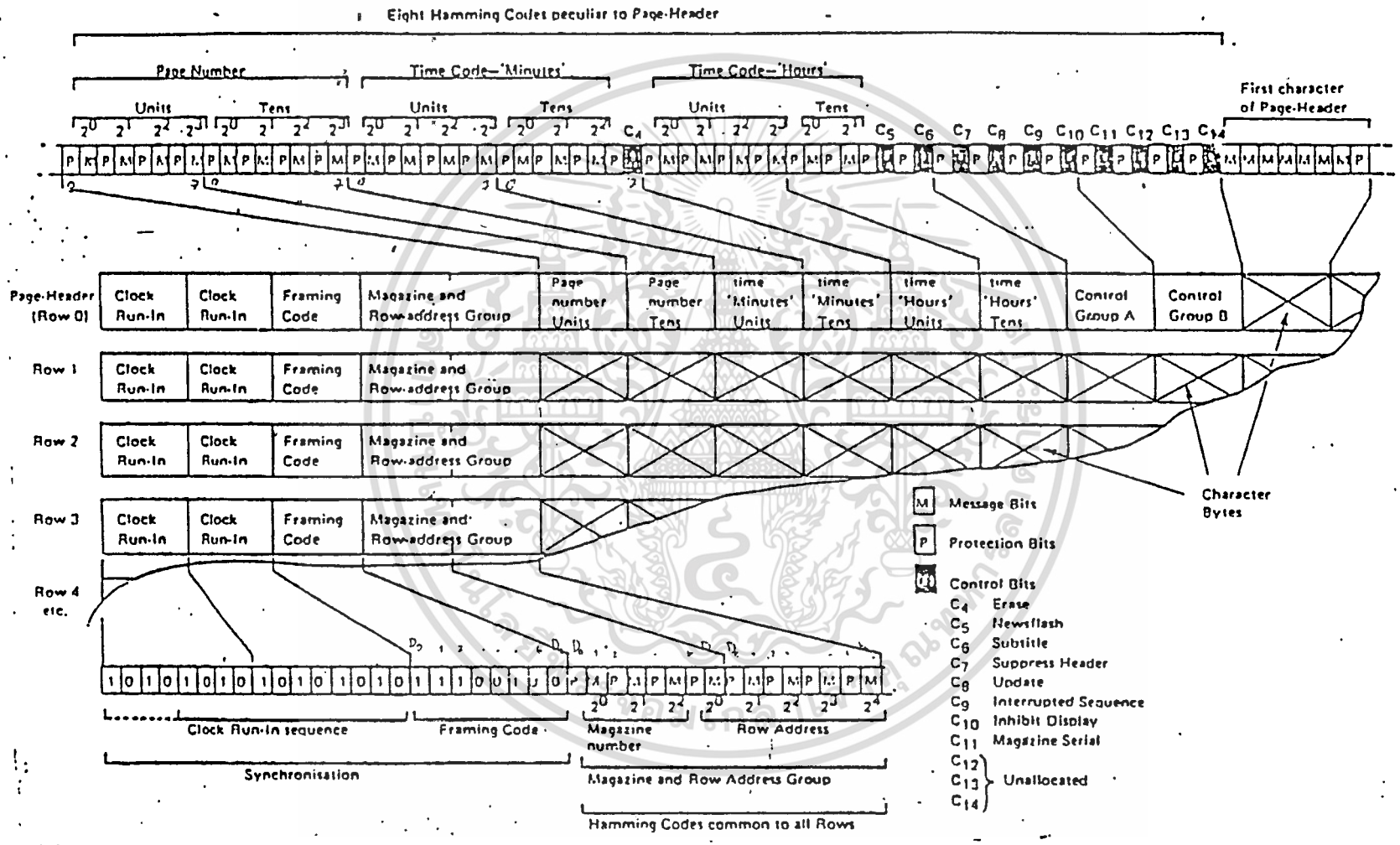
บิต 2 จะเป็น พาริตี้ของบิต 1,3,7

บิต 4 จะเป็น พาริตี้ของบิต 1,3,5

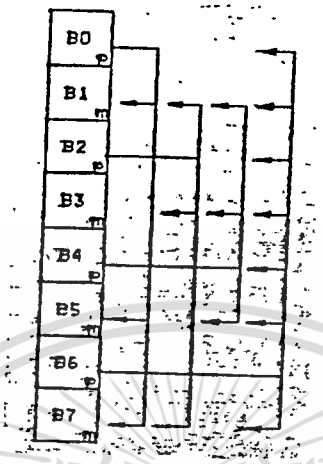
บิต 6 จะเป็น พาริตี้ของบิต 0,1,2,3,4,5,7

พาริตี้ จะเป็น "0" เมื่อจำนวน "1" ในบิตนั้นของมันเป็นจำนวนคี่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้


Eight Hamming Codes peculiar to Page-Header
Page Number
Time Code—'Minutes'
Time Code—'Hours'
Units
Tens
First character of Page-Header
Page-Header (Row 0)
Row 1
Row 2
Row 3
Row 4 etc.
Clock Run-In
Framing Code
Magazine and Row-address Group
Page number Units
Page number Tens
time 'Minutes' Units
time 'Minutes' Tens
time 'Hours' Units
time 'Hours' Tens
Control Group A
Control Group B
Character Bytes
Message Bits
Protection Bits
Control Bits
C4 Erase
C5 Newsflash
C6 Subtitle
C7 Suppress Header
C8 Update
C9 Interrupted Sequence
C10 Inhibit Display
C11 Magazine Serial
C12 C13 C14 Unallocated
Clock Run-In sequence
Framing Code
Magazine number
Row Address
Synchronisation
Magazine and Row Address Group
Hamming Codes common to all Rows

0084885



รูปนี้แสดงพาริตี้บิตของการตรวจสอบข้อมูล

ข. เมื่อได้รับข้อมูล 1 ไบต์ จะมีการตรวจสอบพาริตี้ 4 แบบ คือ

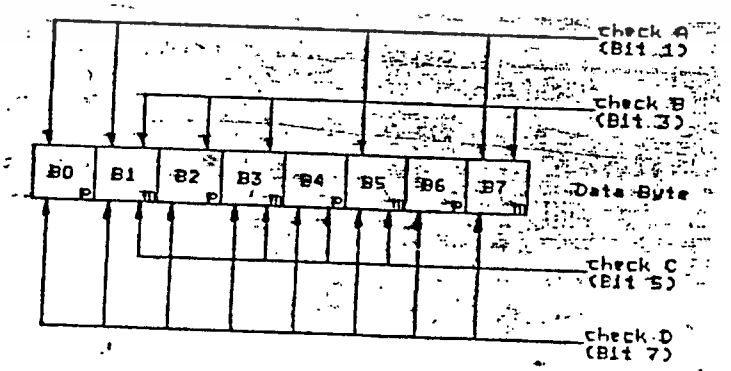
A ตรวจสอบบิต 0,1,5,7

B ตรวจสอบบิต 1,2,3,7

C ตรวจสอบบิต 1,3,4,5

D ตรวจสอบบิต 0 - 7

ถ้าตรวจสอบพบว่า 1 ในแต่ละบิตที่เช็ครวมเป็นจำนวนคี่ก็บอกจะเป็น 0 ถ้ามี 1 เป็นจำนวนคู่ จะให้ผลเป็น 1 พาริตี้แบบหนึ่ง



รูปแสดงการตรวจสอบพาริตี้ของรหัสเทเลเท็กซ์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ค. นำผลการตรวจสอบไปวิเคราะห์ตามตาราง

A	B	C	D	ACTION REQUIRED
0	0	0	0	DATA IS CORRECT
1	0	0	0	REJECT DATA TWO OR MORE ERRORS DETECTED IN BYTE.
0	1	0	0	
1	1	0	0	
0	0	1	0	
1	0	1	0	
0	1	1	0	
1	1	1	0	
0	0	0	1	INVERT BIT 6
1	0	0	1	INVERT BIT 0
0	1	0	1	INVERT BIT 2
1	1	0	1	INVERT BIT 7
0	0	1	1	INVERT BIT 4
1	0	1	1	INVERT BIT 5
0	1	1	1	INVERT BIT 3
1	1	1	1	INVERT BIT 1

0 = Parity test O.K.
1 = Error detected

ตารางที่ 1 แสดงผลการทดสอบพาริตี้ และการกลับบิตที่ผิด

<u>ตัวอย่างเช่น</u> การส่งข้อมูล 1101 เมื่อใส่พาริตี้บิตเข้าไปแต่ละตำแหน่งจะได้

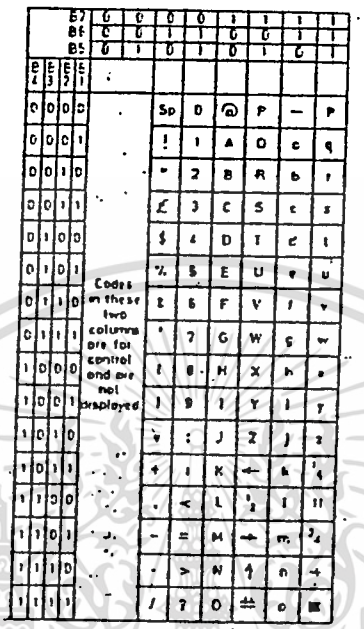
M_1	M_3	M_5	M_7
1	0	1	1

ดังนั้น $P_0 = 0$ $P_2 = 1$ $P_4 = 1$ $P_6 = 0$

	B7	0	0	0	0	1	1	1	1
	B6	0	0	1	1	0	0	1	1
	B5	0	1	0	1	0	1	0	1
B4 B3 B2 B1		0	1	2	3	4	5	6	7
0 0 0 0		NUL	DLE			@	P		
0 0 0 1		ALPHA RED	GRAPHICS RED			A	Q		
0 0 1 0		ALPHA GREEN	GRAPHICS GREEN			B	R		
0 0 1 1		ALPHA YELLOW	GRAPHICS YELLOW			C	S		
0 1 0 0		ALPHA BLUE	GRAPHICS BLUE			D	T		
0 1 0 1		ALPHA MAGENTA	GRAPHICS MAGENTA			E	U		
0 1 1 0		ALPHA CYAN	GRAPHICS CYAN			F	V		
0 1 1 1		ALPHA WHITE	GRAPHICS WHITE			G	W		
1 0 0 0		FLASH	CONCEAL			H	X		
1 0 0 1		STEADY	CONTIGUOUS GRAPHICS			I	Y		
1 0 1 0		END BOX	SEPARATED GRAPHICS			J	Z		
1 0 1 1		START BOX	ESC			K	←		
1 1 0 0		NORMAL HEIGHT	BLACK BACKGROUND			L	½		
1 1 0 1		DOUBLE HEIGHT	NEW BACKGROUND			M	→		
1 1 1 0		SO	HOLD GRAPHICS			N	↑		
1 1 1 1		SI	RELEASE GRAPHICS			O	#		

ตารางที่ 2 แสดงสัญญลักษณ์และรหัสทางด้านกราฟิก และตัวควบคุม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



ตารางที่ 3 แสดงสัญญลักษณ์ และ รหัสของเทเลเท็กซ์

ดังนั้น จะได้ข้อมูลเป็นไบต์ดังนี้

$P_0^M P_1 P_2^M P_3 P_4^M P_5 P_6^M P_7$ = 01101101

ซึ่งเมื่อรหัสนี้ ที่ส่งจะเป็น 10110110 ถ้าทางฝ่ายรับได้ข้อมูลจะเป็น 10010110 คือ บิตที่ 5 ผิด เมื่อนำไปตรวจสอบจะได้

A = 1 บิต 0,1,5,7

B = 0 บิต 1,2,3,7

C = 1 บิต 1,3,4,5

D = 1 ใน 8 บิต มีการผิดพลาดเป็นจำนวนคี่ บิต

เมื่อในข้อมูล 8 บิตมีข้อผิดพลาด แต่บิต 1,2,3,7 (ถูกต้อง) แสดงว่า บิตที่ผิดต้องอยู่ใน 0,4,5,6 แต่เมื่อ D = 1 แสดงว่า บิตที่ผิดต้องมีจำนวนคี่บิต เพราะถ้าผิด 2 บิต เมื่อเช็คพาริตี้แบบคี่ทุกตัว จะต้องได้ผลว่าถูกต้อง (D = 0) บิต ที่เป็นบิตของ A กับ C ก็คือ 10 1,5 ดังนั้นจึงพบว่า บิต 5 เช่นเดียวกับการตรวจจากตาราง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4. ไบต์ตัวอักขระ (Character byte) ไบต์อื่น ๆ อีก 40 ไบต์ ของแต่ละเส้น จะเป็นไบต์อักขระ 1 ไบต์ แทนอักขระ 1 ตัว และแทนตัวอักษรได้ 2^7 = 128 ตัว คือเป็นบิตข้อมูล 7 บิต และพาริตี้ 1 บิต สำหรับการตรวจการผิดพลาดของข้อมูลพาริตี้แบบคี่รหัสของอักขระต่าง ๆ ในการส่งข้อมูลเทเลเท็กซ์ เป็นไปดังตารางที่ 3 และตารางที่ 4

5. เพจเฮดเดอร์ (Page-Header) เส้นที่ 0 ของข้อมูลทุก ๆ หน้าซึ่งปรากฏบนจอภาพจะเป็นข้อมูลของ

- ชื่อแม็กกาซีน 1-8
- หมายเลขหน้า 00-99
- วัน
- เวลา
- บิตควบคุม

ซึ่งมีรูปแบบ (Format) ในการส่งเส้นที่ 0 หรือ เพจเฮดเดอร์ ซึ่งแตกต่างกับเส้นข้อมูลอื่น ๆ ดังรูปในหน้าที่ผ่านมา

6. รหัสกราฟฟิก และสี (Graphics Coding and Colour) นอกจากข้อมูลเทเลเท็กซ์ จะแสดงข้อมูลแบบเท็กซ์ได้แล้ว เรายังสามารถรับข้อมูลกราฟิก หรือให้สีต่างกับอักษรบนจอโทรทัศน์อีกด้วย โดยมีรหัสข้อมูลดังมีตารางที่ 2

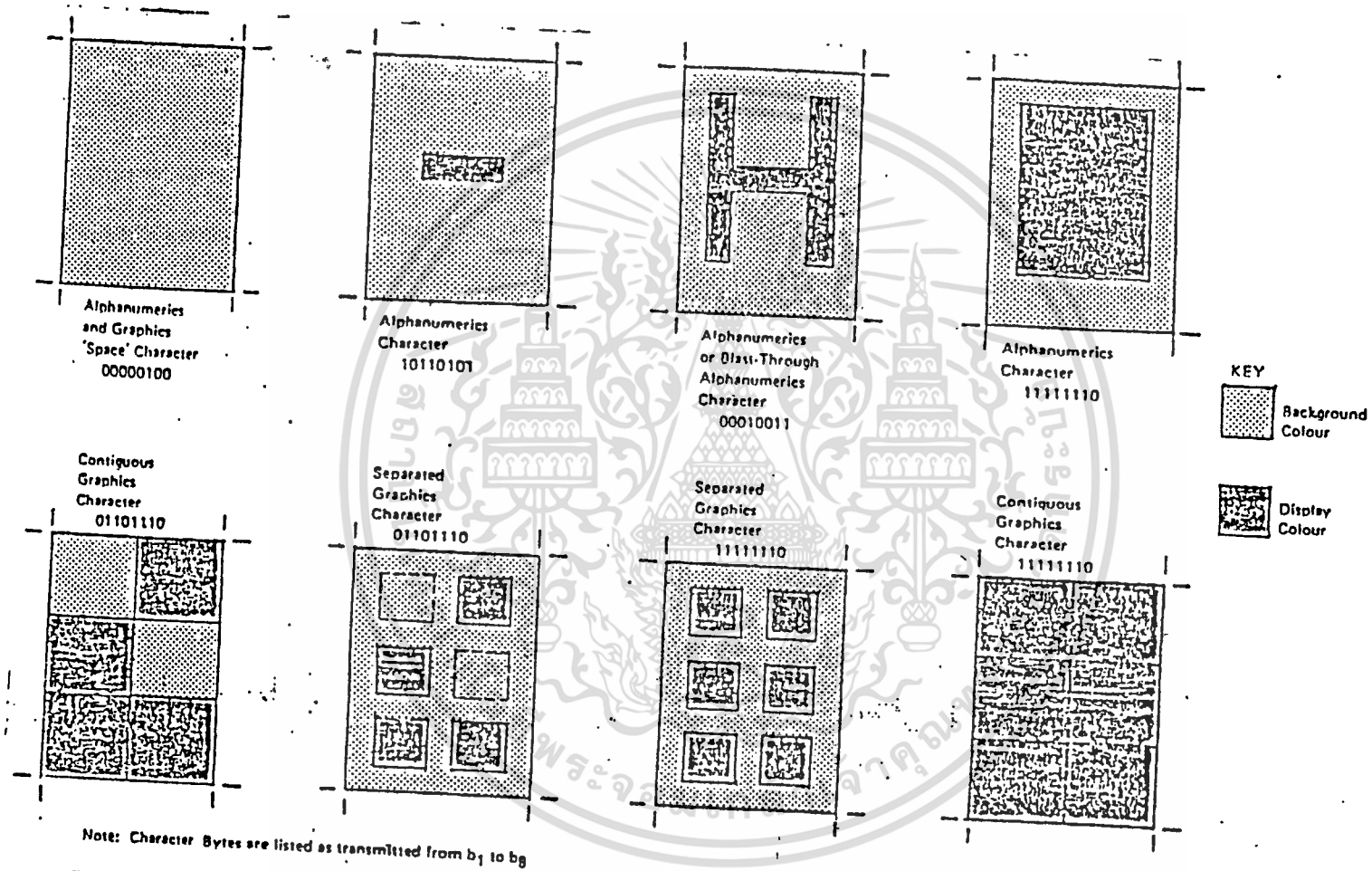
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

DISPLAY MODE	SET AT	SET AFTER	COMPLEMENTARY DISPLAY MODE	SET AT	SET AFTER	SEE SECTION
ALPHANUMERICS	New Start	0/1 0/2 0/3 0/4 0/5 0/6 0/7	GRAPHICS	—	1/1 1/2 1/3 1/4 1/5 1/6 1/7	3.1.1.
CONTIGUOUS	New Start 1/9*	1/9*	SEPARATED	1/10*	1/10*	3.1.1.
DISPLAY COLOUR Includes RED	New Start	0/1 0/3 0/5 0/7 1/1 1/3 1/5 1/7	DISPLAY COLOUR excludes RED	—	0/2 0/4 0/6 1/2 1/4 1/6	3.1.2.
DISPLAY COLOUR Includes GREEN	New Start	0/2 0/3 0/6 0/7 1/2 1/3 1/6 1/7	DISPLAY COLOUR excludes GREEN	—	0/1 0/4 0/5 1/1 1/4 1/5	3.1.2.
DISPLAY COLOUR Includes BLUE	New Start	0/4 0/5 0/6 0/7 1/4 1/5 1/6 1/7	DISPLAY COLOUR excludes BLUE	—	0/1 0/2 0/3 1/1 1/2 1/3	3.1.2.
BLACK BACKGROUND	New Start 1/12	—	NEW BACKGROUND	1/13**	—	3.1.3.
REVEAL	New Start User Control***	0/1 0/2 0/3 0/4 0/5 0/6 0/7 1/1 1/2 1/3 1/4 1/5 1/6 1/7	CONCEAL	1/8	—	3.1.4.
STEADY	New Start 0/9	—	FLASH	—	0/8	3.1.4.
UNBOXED	New Start 0/10****	0/10****	BOXED	0/11****	0/11****	3.1.5.
NORMAL HEIGHT	New Start 0/12	—	DOUBLE HEIGHT	—	0/13	3.1.6.
RELEASE	New Start	1/15 —	HOLD	1/14	—	3.1.7.

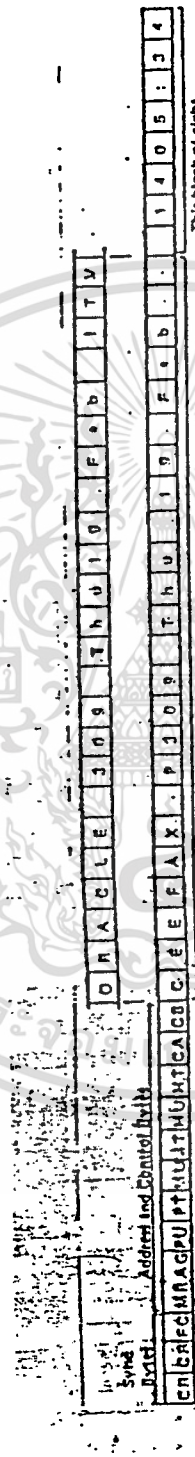
* these codes may take effect 'at' or 'after' their occurrence.
** whenever this code occurs the Display Colour is adopted as the New Background colour.
*** the Reveal mode may be maintained throughout a page by a user control.
**** two consecutive codes are transmitted, the mode changes between them.

ตารางที่ 4 แสดงโหมดการแสดงผล และรูปแบบอักษร

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



Note: Character Bytes are listed as transmitted from b_1 to b_8



รูปแสดงมาตราฐานบรรทัดแรกของ 1 หน้า เทเลเท็กซ์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปแสดงแบบมาตราฐานของบรรทัดอื่น

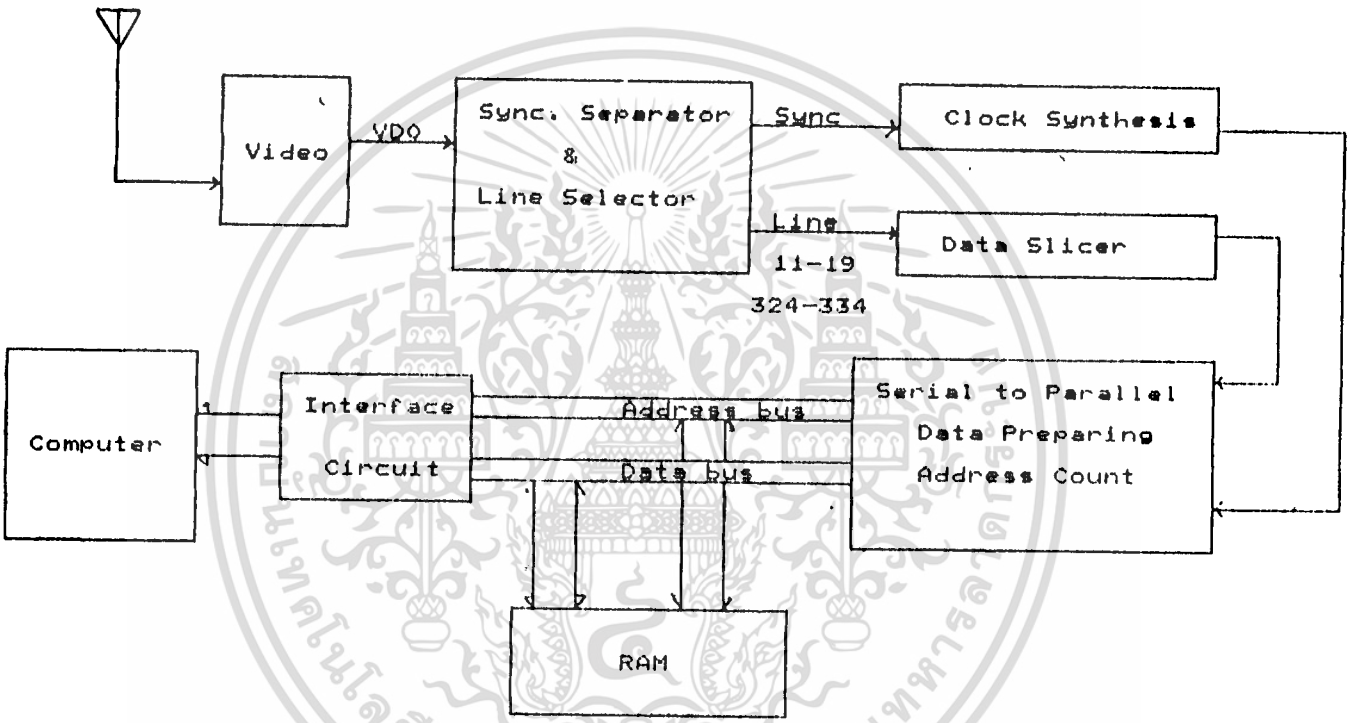
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 3

วิธีการสร้างและการคำนวณ

วิธีการสร้าง เครื่องรับสัญญาณ เท เล เท็กซ์

การสร้าง เครื่องรับสัญญาณนี้ มีหลักการดังบล็อกไดอแกรมด้านล่างนี้



รูปส่วนประกอบต่าง ๆ ของ เครื่องรับสัญญาณ Teletext

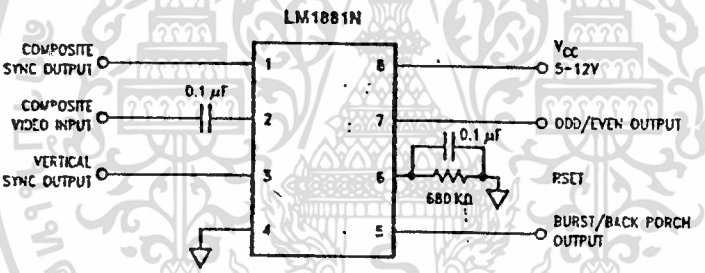
แบ่งขั้นตอนการศึกษาและประดิษฐ์ เครื่องรับดังนี้

- แยก เส้นสแกนของสัญญาณโทรทัศน์ที่มีข้อมูลของ เท็ก เล เท็กซ์
- นำสัญญาณไปทำให้ เป็นสัญญาณดิจิตอลให้ชัด เจน
- สร้างสัญญาณ คล็อก เพื่อจะนำไปใช้ในการแปลงข้อมูล
- แปลงข้อมูลจาก แบบอนุกรม ไปเป็น แบบขนาน
- เก็บข้อมูล เข้าสู่หน่วยความจำภายนอก
- อิน เตอร์ เฟส เข้ากับคอมพิว เตอร์
- เขียนโปรแกรม เพื่อวิ เคราะห์ข้อมูลและนำมาแสดงผล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Video Sync Separator

ในการแยกสัญญาณต่าง ๆ ออกจากสัญญาณภาพนั้น ซึ่งสัญญาณจากภาพนั้นมีคลื่นต่าง ๆ ปะปนกันอย่างมากมาย เราจะใช้เพียงสัญญาณบางส่วนเท่านั้น เพื่อนำมาวิเคราะห์และนำมาแสดงผล ดังนั้นเราจึงหันมาใช้ LM1881 ซึ่งมีคุณสมบัติพิเศษ สามารถแยกสัญญาณต่าง ๆ ของสัญญาณภาพได้ ทั้งระบบ NTSC และระบบ PAL สามารถแยกสัญญาณได้หลายเอาท์พุทในเวลาเดียวกัน ซึ่งในสมัยก่อนหน้านี้ยังต้องใช้เป็นวงจรซึ่งแยกได้ทีละสัญญาณ สิ่งที่เราจะได้จากตัวแยกสัญญาณนี้ (SYNC SEPARATOR) ได้แก่ Composite Sync, Vertical Sync, Odd/Even singal (เป็นสัญญาณบอก Field ของสัญญาณโทรทัศน์)

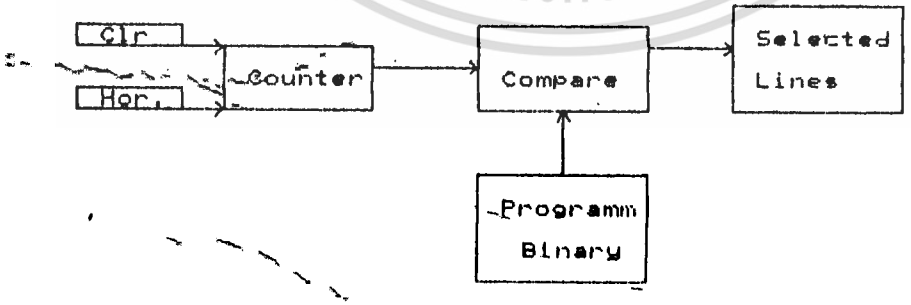


ซึ่งสัญญาณที่เราจะนำมาใช้มีเพียง 2 อย่างเท่านั้น คือสัญญาณ Composite Sync และ Odd/Even Sync เราจะนำสัญญาณ Composite Sync มาใช้ในการสร้าง Horizontal Sync (15.625 KHz) ไปเป็นสัญญาณในการนับเส้นสแกนของสัญญาณภาพ เพราะเนื่องจากข้อมูลของเทเลเทกซ์นั้นมิได้มีทุกเส้นสแกน จึงจำเป็นต้องเลือกเป็นบางเส้นจึงทำให้เกิดวงจร Line Selector การทำสัญญาณ Composite Sync ให้เป็น Horizental Sync นั้นต้องนำสัญญาณไปผ่าน 74LS221 ซึ่งเป็น Mono stable จึงจะได้ความถี่ 15.625 KHz ส่งสัญญาณ Odd/Even นั้น นำไป Delay ประมาณ 20 μs. อินเวอร์เตอร์สมิททิเกอร์ (74LS14) และ C 15 nF กับ R 560 โอห์ม เพื่อทำ Phase shift ให้ Delay Time ออกไปเล็กน้อย แล้วนำไป Xor สัญญาณ Odd/Even เดิมที่ออกจากขา 7 ของ LM1881 เป็นสัญญาณ Clear เวลาเปลี่ยน Field โดยที่มีความถี่ 50 Hz การสแกนภาพนั้นจะมี 2 Field ต่อ 1 ภาพ (Frame)

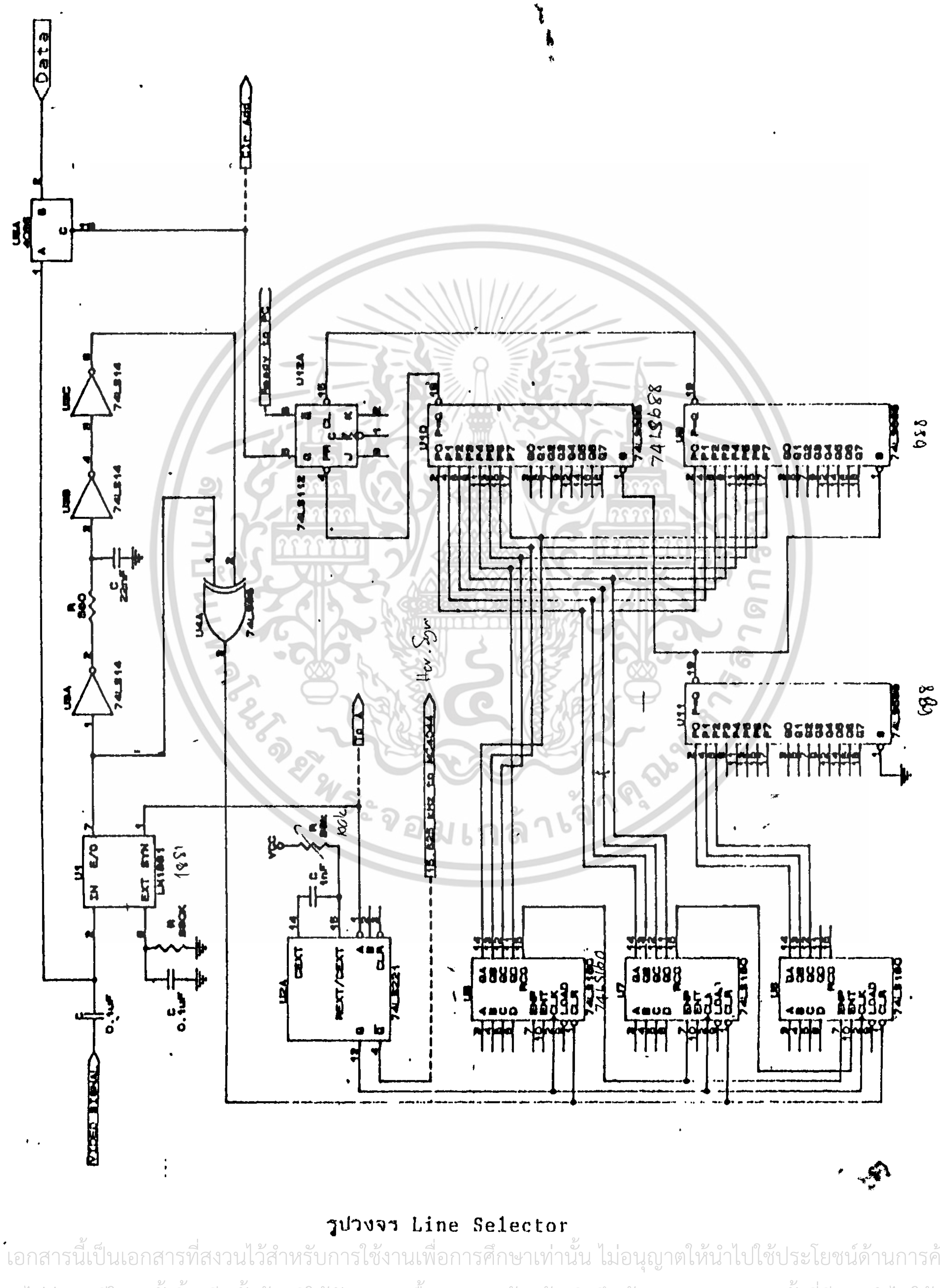
เอกสารนี้มีไว้เพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Line Selector

เนื่องจากสัญญาณภาพทางช่อง 5 ที่ส่งมาในช่วง Blanking คือช่วงที่ไม่มีสัญญาณภาพ ข้อมูลจะมีมาบางเส้นสแกนเท่านั้น คือ เส้นที่ 11 จนถึงเส้นที่ 21 เว้นเส้นที่ 17,18 ที่เป็นสัญญาณทดสอบจากทางสถานี จะไม่ข้อมูลมา และเส้นที่ 324 จึงถึงเส้นที่ 334 เว้นเส้นที่ 330,331 เป็นสัญญาณทดสอบเช่นเดียวกับเส้นที่ 17 และ 18 ของอีก Feild หนึ่ง เพราะว่าการสแกนในระบบ Pal นี้มีการสแกน 625 เส้น แบ่งเป็น 2 Field ต่อ 1 ภาพ การที่จะเลือกเส้นสแกนนั้นก็ คือ การเลือกสัญญาณ Horizontal Sync นั่นเอง จึงนำสัญญาณ Hor. Sync ที่ได้จาก Mono stable ไปนับ โดยใช้ 74LS160 Synchronous Decoder Counter โดย Programm ด้วย Binary จะใช้ Counter นี้นับเส้นไปเรื่อย เป็นเลขฐานสิบ สามหลักจึงจำเป็นต้องใช้ 3 ตัว ส่วนการ Programm นั้นจะใช้ 74LS688 (8 Bits Equal to Comparator) 3 ตัว เช่นกัน โดยตั้งไว้ที่เส้น 10 และเส้นที่ 21 แล้วนำสัญญาณนี้ไปใช้ในการเปิดปิด Flip-Flop (74LS112) เพื่อไปเป็นสัญญาณให้กับ ขา Control ของ Analog Switch (CMOS 4066) เพื่อให้สัญญาณภาพผ่าน Switch เฉพาะเส้นที่ต้องการเท่านั้น ซึ่งที่จริงแล้วเราต้องวงจรนี้ 2 ชุด เพื่อเก็บเส้นที่ 324 ถึง 334 แต่เนื่องจากเราใช้สัญญาณ Clear ต่อ 1 Field ดังนั้นเส้นที่ 11 และเส้นที่ 324 ทับกันพอดี จึงสามารถเก็บได้ทั้ง 2 Fields ในวงจรชุดเดียวกัน ขั้นตอนการทำงาน Block Diagram



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

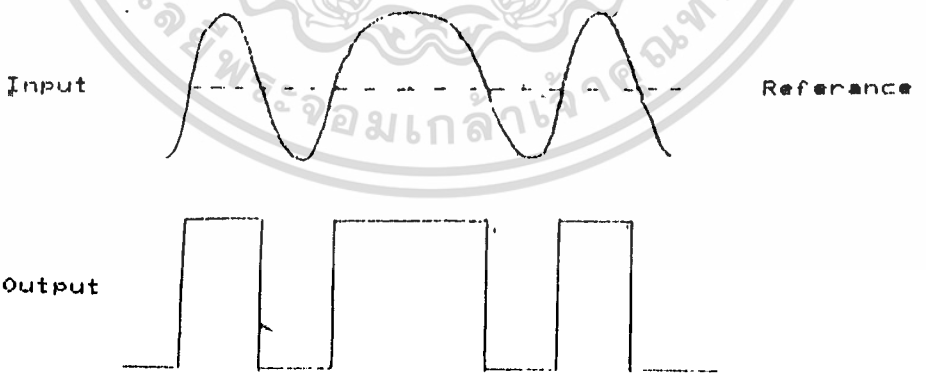


รูปวงจร Line Selector

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Data Slicer

สัญญาณภาพที่ผ่านจาก Analog Switch 4066 มานั้นเป็นสัญญาณเฉพาะเส้นที่เราเลือกแล้วจะมีข้อมูลทางเทเลเทกซ์อยู่ แต่ก็มีบางเส้นที่ไม่มีและจะต้องถูกกำจัดคือเส้นที่ 17 และ 18 โดยการใช้วงจรถอดรหัส Heading ซึ่งเส้นที่มีข้อมูลนี้ จะมี Heading code ก่อนเสมอ สัญญาณที่ผ่านมาจาก Switch นั้น ยังเป็นสัญญาณ แอนนาลอก อยู่จำเป็นต้องมีการปรับแต่งให้เป็นสัญญาณดิจิตอลเสียก่อนที่จะนำเข้าหน่วยความจำ และวิเคราะห์ข้อมูลในขั้นตอนต่อไป เนื่องจากที่ส่งมาจากสถานีนี้มาด้วยความถี่ 6.9375 Mbit/sec ซึ่งในแต่ละบิทจะมีความกว้างบิทละ 143.6 ns ซึ่งตัวนี้จะถูกแต่งสัญญาณโดยใช้ LM360 Coparator High Speed เพราะว่าจะต้องทำงานที่ ความเร็วประมาณ 7 MHz การที่จะใช้ Comparator โดยจะใช้ R ปรับค่าได้ ประมาณ 5 K เป็น R เป็นที่ปรับละเอียดจะช่วยให้เห็นข้อมูลได้ชัดเจนมากขึ้น ปรับค่า R ไปประมาณ 2.5 K จับสัญญาณโดยใช้ Oscilloscope ความเร็วสูง จะได้ Data เป็นแบบ Serial ซึ่งจะต้องนำไปเป็นแบบ Paralle ในขั้นตอนต่อไป จึงจำเป็นต้องใช้ Clock ที่มีความถี่ 6.9375 MHz.

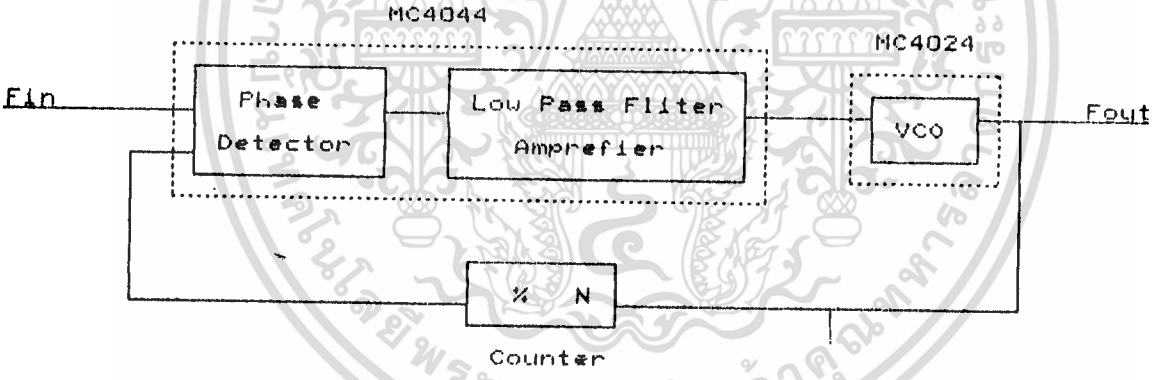


รูปสัญญาณ Input และ Output ของ LM360

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Clock Synthesis (6.9375 MHz)

ใช้วงจรเฟสลอกลูป คือ การนำสัญญาณ Horizental Sync (15.625 KHz) มาคูณกับ 444 จะได้ความถี่ 6.9375 MHz พอดี เราจะนำสัญญาณ Hor. Sync เข้าสู่เฟสดีเทคเตอร์ (Phase Detector) เพื่อจะได้สัญญาณที่มีเฟสเท่ากัน ส่วนมากจะใช้กับวงจรที่มีความถี่สูง เพราะเนื่องจากเฟสต่างกันเพียงนิดเดียวข้อมูลก็เปลี่ยนไปได้ จากนั้นก็นำสัญญาณไปผ่าน Lock Loop Ampifier เพื่อขยายสัญญาณแล้วเข้าสู่บลอกของ VCO (Voltage Control Frequency) เป็นบลอกที่สำคัญมาเพราะจะเป็นตัวกำเนิดความถี่ จากนั้นก็นำสัญญาณก่อนเข้า Phase Detector มาเข้าสู่บลอก วงจรหาร 444 แล้วนำมาต่อที่ Output ของ VCO ซึ่งรายละเอียดจะกล่าวดังต่อไปนี้ เราจะใช้ MC4044 เป็นตัว Phase Detector แล้วนำไปใช้ร่วมกับ Phase lock loop VCO MC4024 ซึ่งจะต้องมีการคำนวณค่า R และ C ดังต่อไปนี้



รูปบลอกไดอแกรมของการสร้างวงจร

กำหนดให้

K_ϕ : Phase detector gain

K_f : Amplifier/ Fitter gain

K_v : VCO gain (rad/s/v)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

f_{out} = 6.9375 MHz

f_{in} = 15.625 kHz

N = 444

C_x = 33 pF

K_v = $20*10^2$ rad/s/v

K_ϕ = 0.1 เมื่อ R_1 = 1 k

C = 220 nF

R_2 = 1.5 k

หาค่าของ C_x ที่เหมาะสม (จากตาราง)

แล้วทดลอง ดูช่วงความถี่ให้ได้ตามต้องการ

หาค่า K_v จากการทดลองข้างต้น

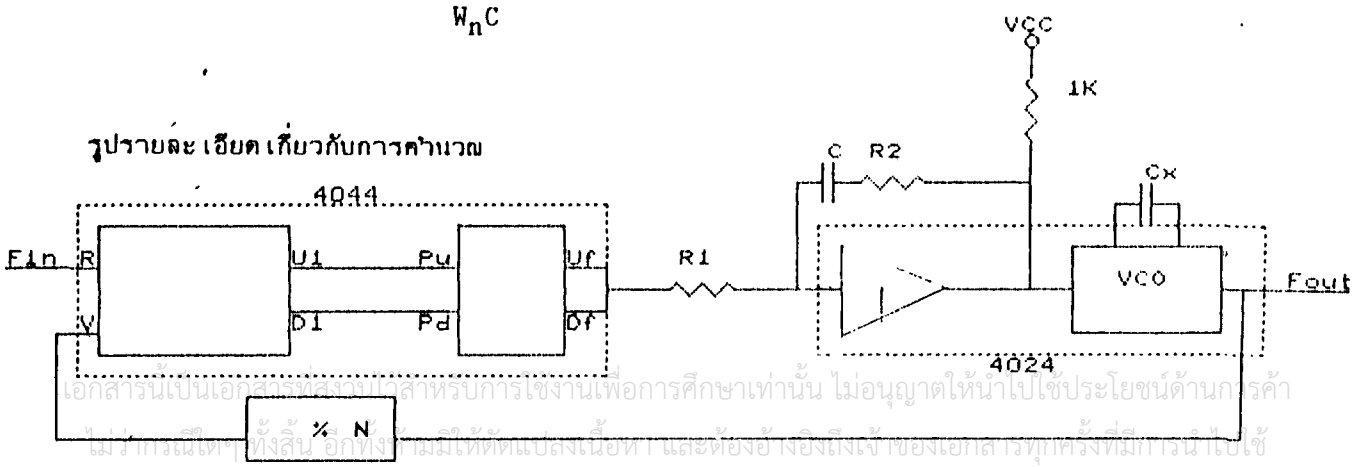
$$K_v = 2\pi f/volt$$

กำหนด ζ = 0.8 และ $\omega_n = 4.5*10^3$

$$C = \frac{K_\phi K_v}{N \omega_n^2 R_1}$$

$$R_2 = \frac{2\zeta}{\omega_n C}$$

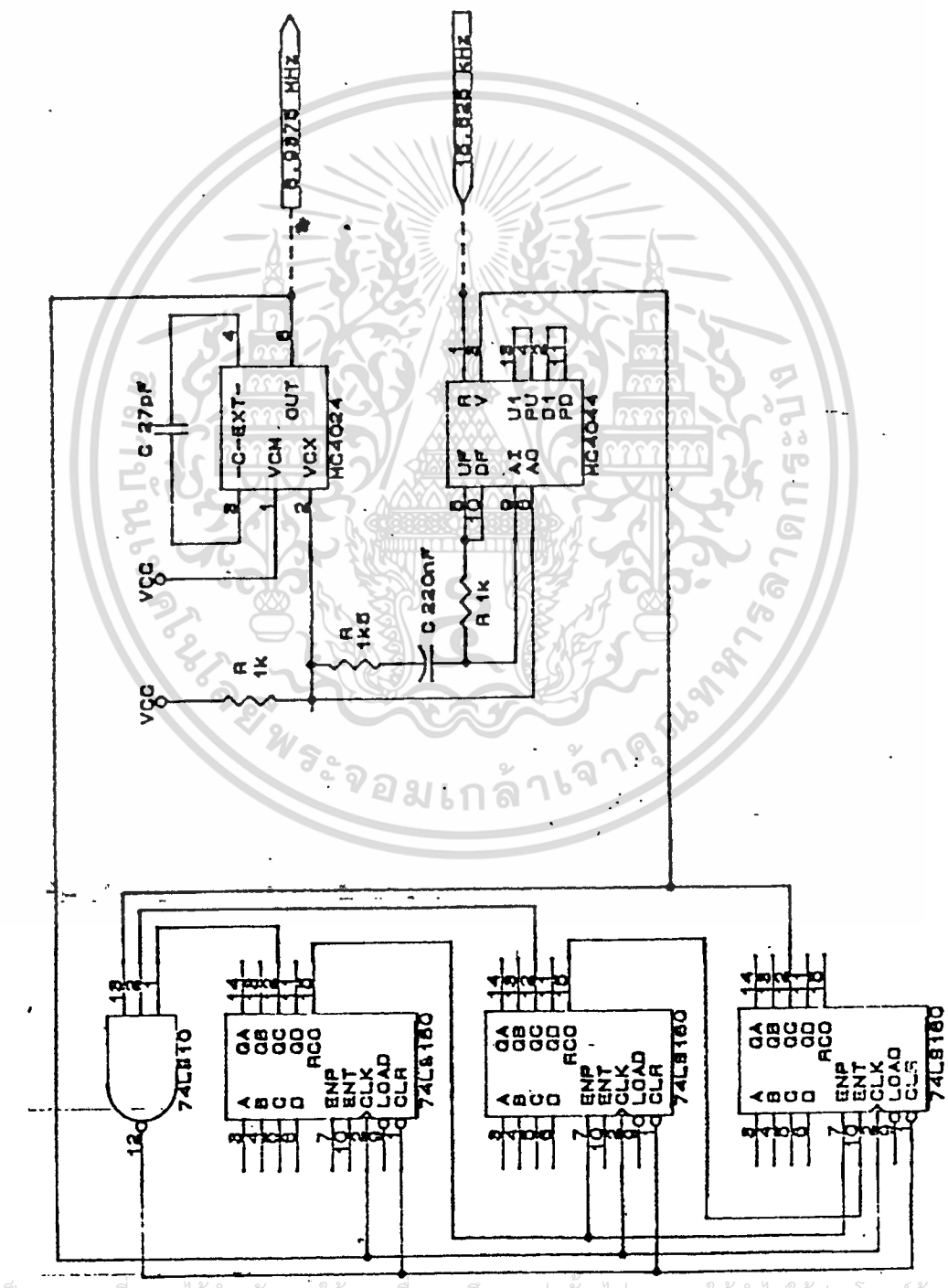
รูปรายละเอียดเกี่ยวกับการคำนวณ



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ข้อกำหนด

1. R_2 มากกว่า 50 โอห์ม
2. R_2/R_1 น้อยกว่าหรือเท่ากับ 10 โอห์ม
3. 1k < R_1 < 5k



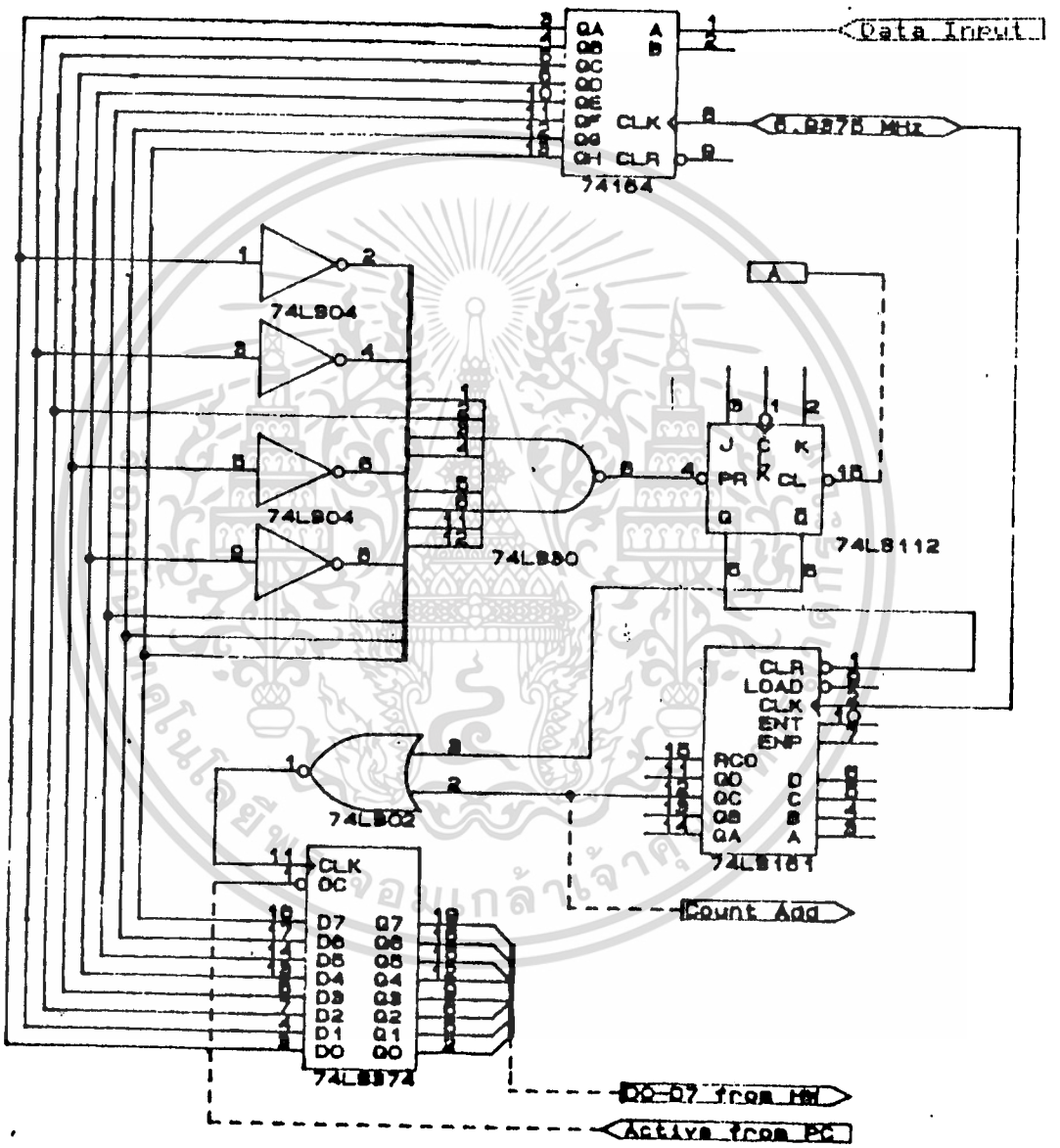
รูปวงจรของ Clock Synthesis

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Data Preparing

ดังได้กกล่าวมาข้างต้นแล้วว่า ข้อมูลที่ถูกปรับแต่งโดย Comparator เป็นสัญญาณดิจิตอลแล้วนั้น มิใช่เป็นข้อมูลทั้งหมด เพราะว่า ยังมีเส้นสแกนที่ 17(330) และ 18(331) เป็นสัญญาณทดสอบจากทางสถานีจึงมิใช่ข้อมูลทาง Teletext เส้นสแกนที่มีข้อมูลนั้น จะมี Framing code แล้วจะตามด้วยข้อมูล เพราะฉะนั้นเราจึงสามารถคัดสัญญาณของเส้นสแกนที่ไม่มีข้อมูลออกไปได้ แต่ก่อนอื่นเราจะต้องจัดข้อมูลที่เป็นแบบอนุกรมให้เป็นแบบขนานเสียก่อน เพื่อจะนำมาหา Framing code และจะเก็บใน RAM ต่อไปแล้วจึงนำไปถอดรหัสโดยการเปรียบเทียบกับ Software การแปลงข้อมูลโดยใช้ 74LS164 จะได้ข้อมูลจาก Serial เป็น Paralle แต่จะต้องนำสัญญาณ Clock (6.9375 MHz) ที่ Phase lock loop นั่นเอง จากนั้นเราจะได้ข้อมูลออกมาเป็นแบบขนาน เรานำมาหา Framing code จะมีรหัส 11100100 จำนวน 2 Bytes ของเส้นสแกนที่มีข้อมูล นำมาต่อกับ Invertor 74LS04 ให้เป็นรหัส Framing และนำไป NAND กันทั้งหมด เพื่อจะนำสัญญาณไปเปิด Flip/Flop 74LS112 ซึ่งจะใช้ร่วมกับ 74LS161 ใช้ Clock 6.9375 MHz มาหาร 8 เพื่อที่จะให้เป็น Clock ของข้อมูลแบบขนานในการเก็บในหน่วยความจำ เพื่อจะให้ Flip/Flop ไปเปิด 74LS374 ให้รับข้อมูลเข้า RAM โดยควบคุมจาก Flip/Flop และ 74LS161 (วงจรหาร 8) และสัญญาณอีกตัวหนึ่งซึ่งนำมาใช้ในการควบคุม Flip/Flop คือ สัญญาณ Composite Sync ที่ได้จาก LM1881 ซึ่งมีการยกระดับ DC เรียบร้อยแล้ว ข้อมูลเทเลเทกซ์ ที่ได้เป็นแบบขนานตรงที่ ขาOutput ของ 74LS374 เป็นข้อมูลที่กลั่นกรองแล้วเป็นข้อมูลทางเทเลเท็กซ์อย่างเดียวเท่านั้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

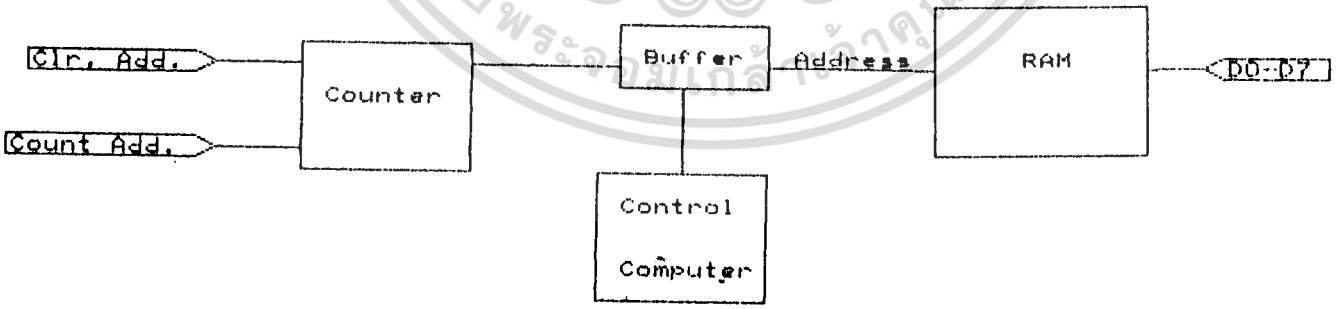


รูปวงจร Data preparing

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

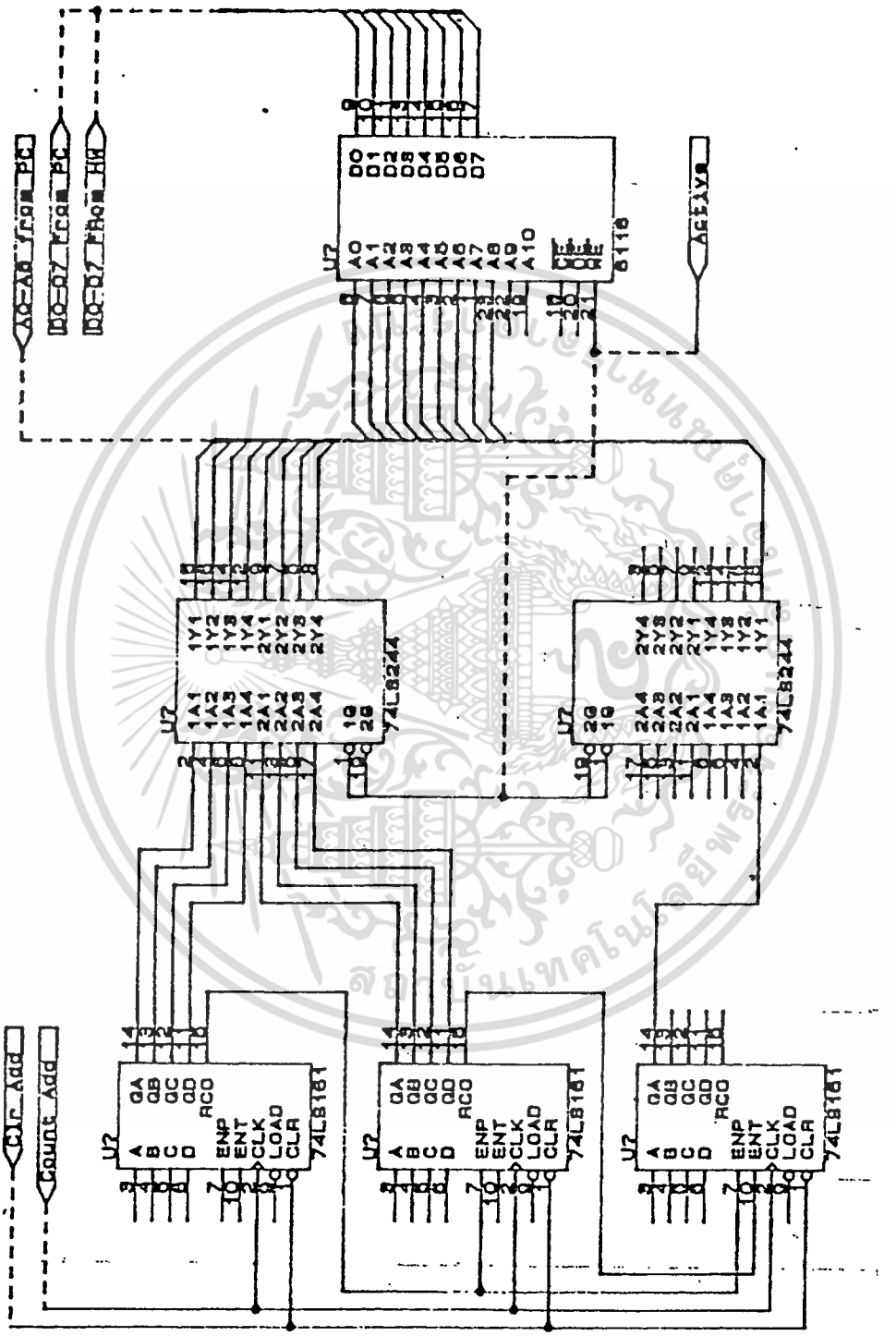
Address Counter and RAM

การนับ Address จะใช้ Counter เบอร์ 74LS161 3 ตัวด้วยกัน โดยทำการนับตั้งแต่ 0ไปเรื่อย ๆ จนกว่าจะมีสัญญาณ Clear Address ทั้งหมดมี 9 บิท สัญญาณ Counter Address จากรูปของวงจรนั้น นำมาจากสัญญาณ Clock(6.9375 MHz) ที่หารด้วย 8 แล้ว Counter Addressนี้จะมีการนับอยู่เรื่อยตลอดการทำงานของวงจรทั้งหมด แต่ Bus Address เหล่านี้จะถูกควบคุมโดย Buffer 74LS24 โดยมีสัญญาณควบคุมจาก เครื่องคอมพิวเตอร์ โดยสัญญาณนี้จะควบคุมการเปิดปิด RAM ในเวลาเดียวกัน ในขณะที่ช่วงสัญญาณ Teletext เข้ามานั้น เครื่องคอมพิวเตอร์จะสั่งเปิด Buffer เพื่อรับ Address ของข้อมูล ในขณะเดียวกับของมูลวิ่งเข้ามาบรรจุใน RAM ในทำนองเดียวกัน เมื่อเครื่องคอมพิวเตอร์ต้องการข้อมูลนำไปใช้ ก็จะปิด Buffer ตัวนี้ ขา Output ก็จะเป็น High Impedance เพื่อที่จะนำข้อมูลไปวิเคราะห์ เพื่อที่จะแสดงผลในขั้นต่อไป



รูป Block Diagram การทำงาน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปวงจรของ Counter Address และ RAM

วงจรส่วนที่ติดต่อกับเครื่องคอมพิวเตอร์ (Interface Curcuit)

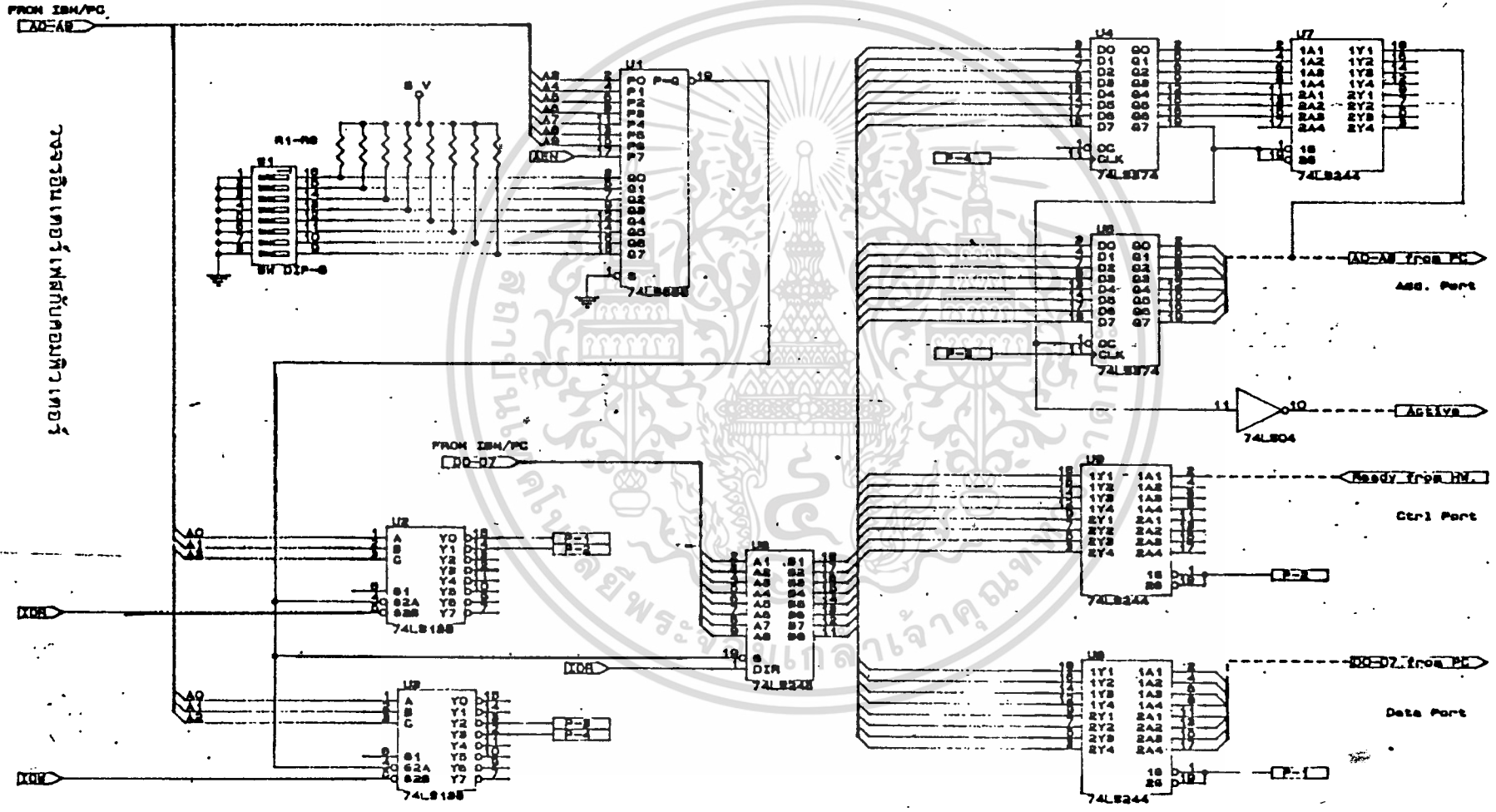
ในการทำงานของวงจรที่ทำหน้าที่ในการเก็บข้อมูลมาจากสัญญาณเทเลเทกซ์นั้น จำเป็นที่จะต้องอาศัยคำสั่งที่ใช้ควบคุมการทำงานมาจากเครื่องคอมพิวเตอร์ และตัวของมันเองก็ต้องส่งข้อมูลให้กับเครื่องคอมพิวเตอร์ด้วย จึงจำเป็นที่จะต้องมีส่วนที่ทำหน้าที่ติดต่อระหว่างเครื่องงคอมพิวเตอร์กับวงจรภายนอก โดยการรับและส่งสัญญาณต่าง ๆ ออกมาทางพอร์ตของเครื่องคอมพิวเตอร์ ในที่นี้จะใช้ทั้งหมดสี่พอร์ต คือ 2B0H-2B3H ซึ่งเป็นพอร์ตที่ยังว่างและไม่ได้ถูกใช้งานโดยเครื่องคอมพิวเตอร์หรือดอส

หลักการทำงานของการดีโค้ดพอร์ตนั้นจะอาศัยไอซีเบอร์ LS688 และ LS139 เป็นตัวดีโค้ดพอร์ต ดังรูปในหน้าต่อไป

การตั้งหมายเลขพอร์ตจะทำได้โดยการปรับดิพสวิทช์ (DIP switch) เป็นการตั้งค่าแอดเดรสที่ต้องการดีโค้ด โดยจะปรับ S_7-S_0 ตามค่าดังต่อไปนี้คือ 01010110B ตามลำดับ โดยที่ S_7 จะเปรียบเทียบกับเออีเอ็น (AEN:Address Enble) ส่วน S_6-S_0 จะเปรียบเทียบกับแอดเดรส A_9-A_3 ตามลำดับ สำหรับ A_2-A_0° จะนำไปต่อเข้ากับ LS139 ซึ่งเป็นดีโค้ดเดอร์ขนาด 3ต่อ 8 ทำให้สามารถที่จะดีโค้ดได้ทั้งหมด 8 พอร์ท ซึ่งนับว่าเพียงพอแล้ว ทั้งนี้เราจะใช้เพียงแค่สี่พอร์ตเท่านั้น การที่ใช้ LS139 สองตัวนั้นก็เพื่อที่จะแยกการทำงานระหว่างการอ่านข้อมูลเข้าสู่พอร์ตซึ่งใช้สัญญาณไอโอวีด (IOR) และการเขียนข้อมูลออกพอร์ตซึ่งใช้สัญญาณไอโอไรท์ (IOW) และเราจะนำสัญญาณเอาท์พุทจาก LS688 มาเป็นสัญญาควบคุม LS139 ทั้งสองตัวร่วมกับสัญญาณไอโอทั้งสองด้วย เมื่อเราได้หมายเลขพอร์ตที่ต้องการแล้ว แต่เราก็ไม่สามารถที่จะรับหรือส่งข้อมูลได้เลยทันที

ในการส่งสัญญาณจากเครื่องคอมพิวเตอร์เพื่อเป็นการบอกให้วงจรภายนอกทราบว่า ขณะนี้ทางเครื่องคอมพิวเตอร์อยู่ในสภาวะที่พร้อมจะรับข้อมูลเข้ามาแล้ว โดยที่จะส่งสัญญาณออกมาทางพอร์ต 2B3H โดยมีค่าเป็น FFH การส่งข้อมูลออกนี้จะต้องรักษาข้อมูลไว้ตลอดจนกว่าข้อมูลใหม่จะเข้ามาจึงจะมีการเปลี่ยนแปลง เราเรียกว่าแลทช์ (Latch) ในที่นี้ใช้ LS374 เป็นตัวควบคุมการส่งข้อมูลออกมาให้วงจรภายนอกทั้งสองพอร์ต เมื่อส่งสัญญาณพร้อมแล้วก็จะต้องรอสัญญาณคำสั่งจากทางซอฟท์แวร์ว่าจะให้เก็บข้อมูลจากสัญญาณเทเลเทกซ์เมื่อไร เมื่อสัญญาณคำสั่งมาแล้วทางวงจรภายนอกก็เริ่มเก็บสัญญาณเทเลเทกซ์และแปลงให้เป็นสัญญาณดิจิตอล หลังจากนั้นก็จะ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้


FROM IBM/PC
A0-A9
5 V
R1-R8
SW DIP-8
74LS688
74LS373
74LS244
74LS04
A0-A9 from PC
Add. Port
Active
FROM IBM/PC
D0-D7
74LS138
74LS245
Ready from HW.
Ctrl Port
D0-D7 from PC
Data Port

เก็บไว้ในหน่วยความจำในวงจรนั้น หลังจากนั้นทางซอฟท์แวร์ก็ทำการตรวจสอบว่าทางวงจรนั้น พร้อมที่จะส่งข้อมูลเข้ามาไว้ในหน่วยความจำของเครื่องแล้วหรือยัง เมื่อวงจรพร้อม 0 และ 1 เข้ามาทางพอร์ต 2B1H การส่งข้อมูลเข้าสู่เครื่อง ในที่นี้ใช้ LS244 ซึ่งเป็นบัฟเฟอร์ทางเดียว เป็นตัวรับข้อมูลเข้าไปสู่เครื่องคอมพิวเตอร์ เมื่อได้รับสัญญาณพร้อมแล้ว เครื่องคอมพิวเตอร์จะส่งค่าแอดเดรสออกไป เพื่อให้วงจรชาร์แวร์ภายนอกทราบแอดเดรสของข้อมูลที่จะส่งเข้าสู่คอมพิวเตอร์ จากนั้นก็จะอ่านข้อมูลเข้าไปทางพอร์ตหมายเลข 2B0H จำนวน 256 ไบต์ ก็เป็นการสิ้นสุดการอ่านข้อมูลชุดแรก หลังจากนั้นก็จะส่งค่า E7H ออกมาทางพอร์ต 2B3H อีกทีหนึ่ง เพื่ออ่านข้อมูลชุดหลังอีกจำนวน 256 ไบต์ จนกระทั่งครบ 512 ไบต์แล้ว จึงส่งค่า 81H ออกมาเพื่อเป็นการบอกให้ทางวงจรข้างนอกทราบว่าได้เก็บข้อมูลครบแล้ว

ไม่ว่าการส่งข้อมูลเข้าหรือออกจากเครื่องคอมพิวเตอร์ก็ตาม จำเป็นต้องผ่านบัฟเฟอร์สองทางคือ LS245 เพื่อเพิ่มค่ากระแสที่จะจ่ายให้กันไอซีต่าง ๆ ในส่วนติดต่อ สำหรับทิศทางที่จะควบคุม LS245 นั้นใช้สัญญาณไอโอวีดเป็นสัญญาณควบคุม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ซอฟท์แวร์

ในส่วนของซอฟท์แวร์ ได้ใช้ภาษาซี (C language) เป็นส่วนควบคุมการทำงาน และมีบางฟังชั่นที่ใช้ภาษาแอสเซมบลี (Assembly Language) เข้าเชื่อมด้วย ด้วยเหตุที่ภาษาซีนั้นเป็นภาษาที่มีออปเจ็คท์โค้ด (Object code) ที่สั้น สามารถทำงานได้รวดเร็ว และเข้าถึงฮาดแวร์ได้ดีใกล้เคียงกับภาษาแอสเซมบลี

ลักษณะการทำงานของซอฟท์แวร์นั้น เริ่มต้นจากทำการตรวจสอบเครื่องคอมพิวเตอร์ก่อนว่าเป็นเครื่องชนิดใด หากเป็นเครื่องเอกซ์ที (PC/XT) หรือต่ำกว่าแล้วจะทำการเตือนและหลุดออกจากโปรแกรม

สาเหตุที่ต้องใช้เครื่องระดับเอที (PC/AT) ขึ้นไปนั้น เพราะต้องการการทำงานที่รวดเร็วพอที่จะรับข้อมูลจากฮาร์ดแวร์ได้ เพราะระดับความเร็วของข้อมูลนั้นค่อนข้างสูง หากเครื่องทำงานช้ากว่าแล้วย่อมจะรับข้อมูลเข้ามาไม่ทันอย่างแน่นอน ทำให้ข้อมูลที่รับเข้ามาผิดพลาด และนอกจากนี้แล้วการรับข้อมูลเข้ามาจะต้องพยายามเขียนให้สั้นที่สุด เพื่อใช้เวลาให้น้อยที่สุด

ก่อนอื่นโปรแกรมจะทำการตรวจสอบว่า ฮาร์ดแวร์ที่ทำหน้าที่เก็บสัญญาณเทเลเท็กซ์เข้ามานั้น พร้อมหรือยัง หากยังก็หลุดออกจากโปรแกรมไป แต่หากพร้อมแล้ว ก็จะส่งสัญญาณเป็นการบอกว่าให้ส่งข้อมูลมาได้แล้ว จากนั้นก็เริ่มทำงานวนรอบจำนวน 512 รอบ เก็บข้อมูลเข้าไว้ในหน่วยความจำของเครื่องที่ได้จองไว้ดังตัวอย่าง

```
for (t=0; z<=512; z++)
{
  outporb(OUT_1,(unsigned char)z);
  *(ch-men+(2*z)) =inportb(IN_1);
 }
```

ข้อมูลที่ได้มานี้จะถูกเก็บไว้ในรูปตัวอักขระแบบไม่คิดเครื่องหมายคณิตศาสตร์ (unsign character) ซึ่งถือว่าเป็นข้อมูลดิบ จะต้องทำการตรวจสอบข้อมูลให้ดีเสียก่อน โดยเฉพาะ 11 ไบท์ (byte)แรกของแถวแรก (แถว0) คือ แมกกาซีน (magazine), หน้า (page), แถว (Row) ซึ่งสิ่งเหล่านี้มีความสำคัญมาก ส่วนคล็อก-รันอิน (Clock run-in) นั้น ไม่ได้เก็บเข้ามา และรหัสเฟรมมิ่ง(Framing Code)นั้น เก็บเข้ามาแต่ไม่ได้นำมาทำการวิเคราะห์แต่จะเป็น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การบอกจุดเริ่มต้นของข้อมูลที่เก็บมาได้ ว่าให้เริ่มต้นวิเคราะห์ที่นี่โดยจะใช้วิธีเปรียบเทียบกับค่า 27 ในฐานสิบหก หรือ 1110 0100 ในฐานสอง แมกกาซีนจะอยู่ไบท์ที่ถัดมาจากรหัสเฟรมมิ่งข้อมูลนี้จะมีความสำคัญค่าต้องถูกต้องเสมอ จึงจำเป็นต้องมีบิตเช็คความผิดพลาด (Parity Bit) โดยการเข้ารหัสเทเลเทกซ์ (Teletext Code) โดยจะมีบิตเช็คความผิดพลาดอยู่สลับกับบิตข้อมูลเสมอหากบิตไหนผิดพลาดก็สามารถแก้ไขข้อมูลให้ถูกต้องได้ แต่หากความผิดพลาดเกิน2บิตแล้วก็ไม่สามารถจะแก้ไขข้อมูลได้ ส่วนไบท์ที่บอกหน้า,แถว และเวลาก็เช่นเดียวกับแมกกาซีน สำหรับแมกกาซีนจะมีพิเศษอยู่ที่ว่ามีค่าตั้งแต่ 0 ถึง8 เท่านั้นจึงใช้ค่าเพียง 3 บิตเท่านั้น ส่วน2บิตบนจะเป็นของแถวซึ่งแถวก็จะมีทั้งหมด 5 บิต

ฟังชันก์ที่ทำหน้าที่ตรวจสอบข้อมูลและแก้ไขข้อมูลนั้น หรือ ฟังก์ชั่น check_bit โดยที่จะรับข้อมูลเข้าไปเป็นตัวบอกตำแหน่งของข้อมูลนั้น โดยจะมีความสัมพันธ์ (Relative) กับค่าตัวชี้ (Pointer) นำไปปฏิบัติการบนบิตจนได้ว่างจรถูกต้องหรือไม่สามารถแก้ไขและจะคืนค่า 00x00 ออกมาในไบต์แถว, ไบต์หน้าไบต์เวลาก็เช่นเดียวกันในส่วนของไบต์ถัดจากไบต์เวลาก็จะเป็นข้อมูล โดยที่ 2 ไบต์แรกจะเป็นไบต์ควบคุม (Control byte) ในที่นี้เราจะไม่สนใจนำมาวิเคราะห์ หลังจากนั้นก็จะเป็นไบต์ตัวอักขระ จนไปสิ้นสุดที่ไบต์ 45 ก็คือเป็นการสิ้นสุดแถวแรก(แถว 0)

ในแถวถัดมา รวมทั้งแถวอื่นๆ ที่ไม่ใช้แถวแรกนั้น จะมีเพียงไบต์ไบต์แมกกาซีนและไบต์แถวเท่านั้นนอกนั้นก็จะเป็นไบต์อักขระ จนครบ 45 ไบต์สำหรับไบต์อักขระ จะใช้วิธีตรวจสอบค่าสั่งบิตสุดท้ายเท่านั้น หรืออาจกล่าวได้ว่าบิตที่ 0 เป็นบิตตรวจสอบความผิดพลาด (Paruty bit) โดยอาศัยหลักการที่นำผลรวมของข้อมูลมารวมกันทั้งหมด 8 บิต โดยผลรวมของทั้งหมดนั้นจะต้องมีผลรวมเป็นเลขคี่เท่านั้น จึงจะถือว่าเป็นข้อมูลที่ไม่ผิดพลาด หากเป็นเลขคู่ก็จะถือว่าข้อมูลที่ได้มาเป็นข้อมูลที่ผิดพลาด โดยจะมีฟังก์ชั่น get_char จะทำหน้าที่ตรวจข้อมูลและคืนค่าตัวอักขระออกมา หากเกิดข้อมูลผิดพลาดขึ้นมา ก็จะคืน '*' เป็นการแสดงว่าข้อมูลนั้นเกิดการผิดพลาด

นอกจากนี้ แล้วเราจำเป็นที่จะต้องเก็บข้อมูลไว้เพื่อที่จะได้นำมาดูในภายหลัง จึงได้สร้างฟังก์ชั่นที่ทำหน้าที่เก็บข้อมูล โดยที่เก็บในรูปไฟล์อักขระ ไฟล์ข้อมูลชนิดนี้นั้นไม่เหมือนกับการเก็บข้อมูลในรูปเท็กซ์ไฟล์ (Text file) แต่เป็นการเก็บข้อมูลที่อยู่ในรูปการเก็บแบบตามลำดับ (Sequential file) เมื่อสร้างไฟล์เก็บข้อมูลขึ้นมาแล้ว เราก็ต้องสร้างไฟล์ที่ทำหน้าที่อ่านข้อมูลขึ้นมาเช่นกัน โดยไฟล์ที่ใช้เก็บและอ่านข้อมูลนั้น ชื่อ keep_d และ read_d ตามลำดับ ข้อมูลที่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เก็บนี้ยังเป็นข้อมูลดิบอยู่ โดยยังไม่ได้นำมาแก้ไขหรือเปลี่ยนแปลงใด ๆ ดังนั้นจำเป็นที่จะต้องนำมาตรวจสอบหรือ แก้ไขก่อนที่จะนำมาแสดงหน้าจอทุกครั้ง

ฟังก์ชั่นที่เขียนด้วยภาษาแอสเซมบลี้นั้น เป็นฟังก์ชั่นที่ใช้ควบคุมการทำงานของเคอร์เซอร์ (Cursor) หลักการทำงานของฟังก์ชั่นทั้งสองนั้นใช้อินเทอร์รัพท์ที่ 10H (INT 10H) ซึ่งเป็นอินเทอร์รัพท์ของไบออสที่ควบคุมเกี่ยวกับจอภาพ โดยนำฟังก์ชั่นทั้งสองไปควบคุมการเปิดปิดเคอร์เซอร์ให้เหมาะสมด้วย ฟังก์ชั่นที่ทำหน้าที่ปิดและเปิดเคอร์เซอร์คือ cur_off และ normcurs ตามลำดับ

ขั้นตอนการทำงานของเมนูนั้นจะเป็นลักษณะที่เป็นการตอบโต้กับผู้ใช้ (User) โดยให้ผู้ใช้กดอักษรที่เป็นตัวแรกของคำสั่ง ทำให้การใช้งานค่อนข้างสะดวก นอกจากนี้แล้วขณะที่มีการเก็บข้อมูลหรืออ่านข้อมูลเข้ามายังหน่วยความจำของเครื่องคอมพิวเตอร์ ก็จะแสดงข้อมูลที่เก็บหรืออ่านทางหน้าจอในรูปรหัสแอสกี (ASCII) เลขฐานสิบหกอีกด้วย

การทำงานของแต่ละฟังก์ชั่น เป็นดังนี้

void normcurs(void) เป็นฟังก์ชันที่เขียนด้วยภาษาแอสเซมบลี้ ทำหน้าที่แสดงเคอร์เซอร์ให้อยู่ในรูปปกติ

void cur_off(void) เป็นฟังก์ชันที่เขียนด้วยภาษาแอสเซมบลี้เช่นกัน ทำหน้าที่ปิดเคอร์เซอร์ไม่ให้แสดงออกมา ซึ่งใช้ใน เมนูเลือกการทำงาน

check(void) ทำหน้าที่ตรวจสอบฮาร์ดแวร์ของเครื่องคอมพิวเตอร์ว่าเป็นเครื่องชนิดใด โดยถ้าหากเป็นเครื่องที่ต่ำกว่าเครื่องพีซีเอที ก็จะคืนค่าที่เป็นเท็จออกมา หากเป็นเครื่องที่ระดับเอทีขึ้นไปแล้ว ก็จะให้ค่าที่เป็นจริง

void get_data(void) เป็นฟังก์ชันที่ทำหน้าที่ติดต่อกับฮาร์แวร์ภายนอกโดยตรง โดยที่ครั้งแรกจะทำการตรวจสอบดูว่าฮาร์ดแวร์ภายนอกนั้นอยู่ในสภาพที่พร้อมแล้วหรือยัง หากยังก็ไม่สามารถที่จะรับข้อมูลได้ แต่หากฮาร์ดแวร์ภายนอกพร้อม ก็จะเริ่มที่จะเก็บข้อมูลเข้ามาไว้ในหน่วยความจำของเครื่องที่จัดเตรียมไว้ในฟังก์ชัน main() และข้อมูที่เก็บได้นี้เราสามารถนำไปดีโค้ดหรือเก็บไว้ในแผ่นแม่เหล็กเก็บข้อมูล (diskette) ก็แล้วแต่ผู้ใช้ นอกจากนี้แล้ว ในขณะที่มีการเก็บข้อมูลเข้ามานั้นเอง ก็จะมีการแสดงการเก็บข้อมูลเลขฐานสิบหกทางหน้าจอของเครื่องคอมพิวเตอร์อีกด้วย เมื่อสิ้นสุดการเก็บข้อมูลเข้ามา ก็จะแจ้งให้ผู้ใช้ทราบว่าได้เก็บข้อมูลเข้ามาเรียบ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ร้อยแล้ว หรือว่าขณะนี้ไม่สามารถเก็บข้อมูลได้ ฟังก์ชันนี้ไม่มีการคืนค่าออกมา (void)

check_bit(int w) ฟังก์ชั่นนี้มีการส่งค่าตัวแปรเข้าไปด้วย ตัวแปรที่ส่งผ่านเข้าไปนี้คือข้อมูลของเทเลเท็กซ์ที่เป็นเทเลเท็กซ์โค้ด จึงจำเป็นต้องที่จะแยกแต่ละบิตออกมา จากนั้นจึงนำมาตรวจสอบ หากมีข้อมูลที่ผิดพลาดเพียงหนึ่งบิตก็สามารถที่จะแก้ไขได้ แต่หากผิดพลาดเกินหนึ่งบิตก็ไม่สามารถที่จะแก้ไขได้ หลังจากนั้นก็จะส่งค่าของข้อมูลที่ถูกต้องออกไป แต่หากข้อมูลนั้นผิดพลาดก็จะส่งค่าที่บอกว่าผิดพลาดออกไป

unsigned char magazine(void) เนื่องจากตำแหน่งข้อมูลของแมกกาซีนนั้น อยู่ที่หลังของรหัสเฟรมมิ่งแน่นอน ฟังก์ชั่นนี้สามารถที่ให้ค่าของแมกกาซีนออกมา แต่จำเป็นจะต้องเรียกฟังก์ชัน check_bit มาใช้งาน เนื่องจากข้อมูลนั้นเป็นการเข้ารหัส หากข้อมูลถูกต้องก็จะคืนค่าของแมกกาซีน หากข้อมูลผิดพลาดก็จะคืนค่า '*' เพื่อแสดงว่าข้อมูลนั้นเกิดการผิดพลาด ไบต์ที่บอกแมกกาซีนนี้ จะถูกใช้โดยแมกกาซีนเพียง 6 บิตเท่านั้น ส่วนอีก 2 บิตจะถูกใช้โดยเป็นค่าบอกแถว

row(void) ลักษณะการทำงานของฟังก์ชันนี้ ก็คล้ายกับฟังก์ชันแมกกาซีน แต่จะต้องคิดค่าของ 2 บิตที่ใช้บอกแมกกาซีนด้วย เท่ากับว่าแถวจะมีทั้งหมด 10 บิต โดยเป็นข้อมูล 5 บิต เพราะฉะนั้นเท่ากับว่าแถวมีค่าได้ 2^5 = 32 บิต นับว่าเพียงพอที่จะบอกจำนวนบรรทัด ซึ่งใช่เพียง 25 บรรทัดเท่านั้น หากข้อมูลนั้นออกมาถูกต้องก็จะส่งค่านั้นออกไป แต่หากข้อมูลนั้นผิดพลาดก็จะส่ง '*' ออกไป เป็นการบอกว่าข้อมูลนั้นเกิดความผิดพลาด

page(void) เป็นฟังก์ชั่นที่ต้องตรวจสอบเช่นเดียวกับสองฟังก์ชั่นที่ผ่านมาจะเห็นได้ว่า check_bit จากใช้งานใช้งานตลอด จำนวนไบต์ที่บอกหน้าจะมีทั้งหมด 2 ไบต์ คือหลักหน่วยกับหลักสิบ โดยค่าสูงสุดได้แค่ 1001 ในฐานสอง หรือ 9 ในฐานสิบ หาค่าเกินก็ถือว่าผิดพลาดเช่นกัน เช่นเดียวกันกับฟังก์ชั่นอื่น ๆ หากค่าผิดพลาดให้คืนค่า "*"แต่ถ้าหากถูกต้องให้คืนค่าที่ถูกต้องออกมาเช่นกัน

unsigned char get_char(unsigned char num) จะเห็นว่าฟังก์ชั่นนี้เกี่ยวข้องกับตัวอักขระตลอด ไม่ว่าจะมีการกำหนดผ่านค่าที่เข้ามาหรือค่าที่คืนกลับออกไป ถ้าเป็นอักขระแบบไม่คิดเครื่องหมาย แต่เราสามารถนำมาคำนวณได้ในทางปฏิบัติการบนบิตได้ นี่เป็นลักษณะข้อดีของภาษา C ที่ภาษาอื่นไม่สามารถทำได้หรือทำได้ไม่ดีกว่าภาษานี้ ลักษณะของข้อมูลอักขระจะเป็นข้อมูล 8 บิตโดยบิตที่ 0 เป็นบิตป้องกันหรือบิตตรวจสอบ การตรวจสอบจะตรวจสอบแบบพาริตี้แบบคี่ คือ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ผลรวมของทุกบิตต้องเป็นคี่จึงจะถือว่าถูกต้องโดยบิตตรวจสอบจะตรวจสอบและรักษา ผลรวมของทุกบิตให้เป็นคี่เสมอ หากทางฝ่ายรับตรวจสอบข้อมูลเป็นคู่ก็หมายความว่า เกิดการผิดพลาดของข้อมูล และเป็นข้อมูลที่ใช้ไม่ได้ ก็จะแสดง "*" ออกมาแทนแต่หากตรวจสอบแล้วเป็นไบต์ควบคุม ในที่นี้ไม่ได้ใช้ไบต์ควบคุมจึงคืนค่า 0X00 ออกมา

Voltage_time (void) ในสัญญาณเทเลเท็กซ์ที่ส่งมาจะมีค่าของเวลาบัจจุบันส่งพร้อมกับข้อมูลมาด้วย เพื่อเป็นการบอกให้กับผู้รับให้ทราบเวลาในตัว จึงต้องแสดงเวลาออกมาโดยใช้ฟังก์ชั่น get_timeนี้เอง ฟังก์ชั่นนี้ไม่ผ่านค่าตัวแปรและไม่มีการส่งค่ากลับคืนมา

void keep_d(void) เป็นฟังก์ชั่นที่ใช้เก็บข้อมูลลงแผ่นข้อมูลโดยจะนำข้อมูลที่รับมาจากฮาร์แวร์ภายนอกหรือเป็นข้อมูลที่เกิดจากการโหลดข้อมูลจากแผ่นดิสก์ก็ได้เช่นกัน โดยผู้ใช้เป็นตัวตั้งชื่อไบต์ขึ้นมาเอง จากนั้นที่จะเก็บข้อมูลทั้งหมด 512 ไบต์จากแผ่นดิสก์และจะแสดงผลของการเก็บข้อมูลว่าสำเร็จหรือไม่ด้วย การเก็บข้อมูลไม่ได้เก็บเป็นรูปของเทกซ์ไฟล์(Text File) แต่เก็บในรูปของ(Sequatial file) การเก็บข้อมูลแบบลำดับจึงสามารถค้นหาข้อมูลทีละไบต์ได้

void read(void) ข้อมูลที่เก็บเข้าไปนั้นเราก็ต้องนำออกมาใช้ด้วยจะต้องมีฟังก์ชั่น read_d (void) การทำงานก็เหมือนฟังก์ชั่น Keep_dทุกอย่าง เพียงแต่เปลี่ยนทิศทางข้อมูลเท่านั้น โดยผู้ใช้ต้องได้ชื่อไฟล์ของไป โดยจะเช็คดูว่าไฟฟล์ชื่อนั้นมีหรือไม่หากมีก็ทำการโหลดข้อมูลออกมาตามลำดับ จนครบ 512 ไบต์ และจะนำข้อมูลที่โหลดมาไปเก็บไว้ในหน่วยความจำที่เตรียมไว้ และขณะโหลดก็จะแสดงข้อมูลในรูประหัสเอสกี้ฐานสิบหกเช่นกัน

pos_d (void) ข้อมูลที่เก็บเข้าไปนั้น เราไม่สามารถจะระบุค่าต่าง ๆ ได้ตามต้องการจึงจำเป็นต้องหา ตำแหน่งของไบต์ข้อมูลแรก คือ รหัสเฟรมมิ่ง ซึ่งมีค่า 27 โดยก่อนหน้า 27 จะเป็น 00 อยู่เสมอ เราจะนำไปใช้เงื่อนไขเป็นตามหาตำแหน่งเริ่มต้นได้ จากนั้นก็จะนำค่านี้ไปคำนวณหาตำแหน่งอื่น ๆ แบบสัมพัทธ์ (Relative)ได้ โดยฟังก์ชั่นจะคืน ตำแหน่งของรหัส 27 ที่มี 00 นำหน้าเสมอ

ฟังก์ชั่นทั้งหมดจะเป็นการนำข้อมูลมาและนำมาแปลงรหัส และคืนค่าที่ถูกต้องออกมาแต่ก็ต้องมีฟังก์ชั่นที่ทำหน้าที่ติดต่อกับผู้ใช้งาน(user interface) เพื่อให้ผู้ที่มาใช้งานนั้น สามารถใช่ง่ายไม่ต้องรู้อะไรมากนัก ตามเมนูที่ปรากฏบนหน้าจอ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

void_menu(void) ก่อนอื่นต้องทำการส่งสัญญาณบอกให้ฮาร์แวร์ภายนอกทราบว่าตอนนี้

ทางซอฟแวร์พร้อมที่จะทำงานแล้ว จากนั้นก็ทำการสร้างหน้าต่างและอักขระต่าง ๆ ในผู้อ่านและเลือกกดตามอักขระตัวแรก ส่วนต่อมาเป็นส่วนรับข้อมูลจากผู้ใช้ว่าต้องการทำงานอะไร เช่น เก็บข้อมูล โหลดข้อมูล ฯลฯ โดยใช้หลักการวนวูปและเงื่อนไขเป็นซาร์ทำงาน(case) การทำงานนั้นจะหลุดออกจากลูปเมื่อผู้ถือใช้เลือกคำสั่งให้ออก (Quit)ก็เป็นการจบการทำงานของเมนูหลัก ๆ

Display(void) เป็นฟังก์ชั่นที่ทำหน้าที่นำอักขระไปแสดงหน้าจอ ทำหน้าที่จะตำแหน่งของอักขระให้แสดงหน้าต่างของจอให้เหมาะสมด้วยโดยจะทำการตรวจก่อนว่า แถวมีค่าเป็นศูนย์หรือไม่ เพราะแถวแรกหรือแนวศูนย์ จะมีอะไรเป็นพิเศษกว่า ตามที่เคยอธิบสบมาแล้วจากนั้นจึงจัดตำแหน่งให้เหมาะสม

ฟังก์ชั่นสุดท้ายและสำคัญคือ main() จะเรียกฟังก์ชั่น Check() มาตรวจสอบหากเป็นจริงก็จะทำการจองหน่วยความจำประมาณ 2 กิโลไบต์ (2048 ไบต์) หากหน่วยความจำไม่เพียงพอ ก็จะสิ้นสุดการทำงานทันที และแสดงผลว่าหน่วยความจำไม่เพียงพอ แต่ถ้าเพียงพอก็จะเข้าสู่ฟังก์ชั่น menu()ทันที เมื่อผู้ใช้เลือกออกจากโปรแกรมแล้ว เราจำเป็นต้องคำสั่ง free() เป็นการบอกให้เครื่องทราบว่า เราไม่ใช้หน่วยความจำ ส่วนนั้นต้องการคืนให้เป็นอิสระกับเครื่อง หากไม่คืนกับเครื่อง ก็จะเป็นการสูญหน่วยความจำไปโดยเปล่าประโยชน์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
/* Header */
#include <alloc.h>
#include <conio.h>
#include <ctype.h>
#include <dos.h>
#include <math.h>
#include <stdio.h>

/* Definition value */
#define FALSE 0
#define TRUE !FALSE
#define SAVE 2048
#define A0 0xA0
#define IN_1 0x2b0
#define IN_2 0x2b1
#define OUT_1 0x2b2
#define OUT_2 0x2b3

/* External function */
extern  void normcurs(void);
extern  void cur_off(void);

/* Set global variable */
        int     *ch_mem;
        unsigned char     dat;
        int     i,j,k,s,b;
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
/* Check machine */
void interrupt (*oldvec) ();
void interrupt a0isr (bp,si,di,ds,es,dx,cx,bx,ax,ip,cs,flags)
{
      bx = peekb(0xF000,0xFFFE);
}

check (void)                    /* check the machine, it must be PC/AT */
{
        unsigned char machine;
        oldvec = getvect (A0);                  /* get the old vector */
        setvect (A0, a0isr);                    /* stuff vector */
        geninterrupt (A0);                      /* do software interrupt */
        machine = _BX;                          /* save result */
        if (machine < 0xFD)
           return (TRUE);
        else
           return (FALSE);
}

void get_data (void)            /* Get data from external hardware */
{
         register int z,ch;
         do
         {
               ch = inportb(IN_2);              /* Hardware ready? */
         }
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
while  (ch != 0x00);
do
{
      ch = inportb(IN_2);
}
while (ch != 0x80);                                    /* Yes */
outportb(OUT_2,0x00);                        /* Inactive hardware */
for (z=0;z<=255;z++)
{
            outportb(OUT_1,(unsigned char) z);
            * (ch_mem+(2*z)) = inportb(IN_1);
}

outportb(OUT_2,0x7E);
for (z=256;z<=387;z++)
{
            outportb(OUT_1,(unsigned char)z - 256);
            * (ch_mem+(2*z)) = inportb(IN_1);
}
outportb(OUT_2,0x81);                        /* Active hardware */
window(2,22,78,23);
clrscr();
cputs("Get data complete");
window(2,22,78,23);
window(7,3,60,20);
clrscr();
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
        for (i=0;i<=387;i++)                    /* Show data to be kept */
        {
            cprintf("%02X ",* (ch_mem+2*i));
        }
        window(7,3,60,20);
}

/* Check data and convert wrong data to be rihgt */
/* This function is used for Teletext code only   */
check_bit (int w)
{
    int bits[8];
    unsigned char temp;
    int A,B,C,D,ii;

/* Set bit value into variable */
    temp = w;
    bits[0] = temp & 1;
    bits[1] = (temp & 2)/2;
    bits[2] = (temp & 4)/4;
    bits[3] = (temp & 8)/8;
    bits[4] = (temp & 16)/16;
    bits[5] = (temp & 32)/32;
    bits[6] = (temp & 64)/64;
    bits[7] = (temp & 128)/128;
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
/*  Chech parity for ecach bits  but it is invert bit */
    A = (bits[0] + bits[1] + bits[5] + bits[7]) % 2;
    B = (bits[1] + bits[2] + bits[3] + bits[7]) % 2;
    C = (bits[1] + bits[3] + bits[4] + bits[5]) % 2;
    D = 0;
    ii = 0;
    do {
        D = D + bits[ii];
        ii++;
    }
    while (ii <= 7);
    D = D % 2;

/* Convert bits */
    A = A ^ 1;
    B = B ^ 1;
    C = C ^ 1;
    D = D ^ 1;

/* Check and covert tobe right bit */
    if (A==0 && B==0 && C==0 && D==0)
      temp =temp;
    else {
      if (A==1 && B==0 && C==0 && D==1)
       {
          bits[0] = bits[0] ^ 1;
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
        temp = 0;
        ii = 0;
        do {
            temp = temp + bits[ii]*pow(2,ii);
            ii++;
            }
        while (ii <= 7);
    }
    else {
        if ((A==1) && (B==1) && (C==1) && (D==1))
        {
          bits[1] = bits[1] ^ 1;
          temp = 0;
          ii = 0;
          do {
              temp = temp + bits[ii]*pow(2,ii);
              ii++;
              }
          while (ii <= 7);
        }
        else {
          if ((A==0) && (B==1) && (C==0) && (D==1))
          {
            bits[2] = bits[2] ^ 1;
            temp = 0;
            ii = 0;
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
        do {
            temp = temp + bits[ii]*pow(2,ii);
            ii++;
            }
        while (ii <= 7);
    }
    else {
        if ((A==0) && (B==1) && (C==1) && (D==1))
        {
            bits[3] = bits[3] ^ 1;
            temp = 0;
            ii = 0;
            do {
                temp = temp + bits[ii]*pow(2,ii);
                ii++;
                }
            while (ii <= 7);
        }
        else {
            if ((A==0) && (B==0) && (C==1) && (D==1))
            {
                bits[4] = bits[4] ^ 1;
                temp = 0;

            }
            else {
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
if ((A==1) && (B==0) && !(C==1) && (D==1))
{
   bits[5] = bits[5] ^ 1;
   temp = 0;
   ii = 0;
   do {
        temp = temp + bits[ii]*pow(2,ii);
       ii++;
      }
   while (ii <= 7);
}
else {
   if ((A==0) && (B==0) && (C==0) && (D==1))
   {
    bits[6] = bits[6] ^ 1;
    temp = 0;
    ii = 0;
    do {
         temp = temp + bits[ii]*pow(2,ii);
          ii++;
        }
   while (ii <= 7);
   }
   else  {
   if ((A==1) && (B==1) && (C==0) && (D==1))
        {
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
                    bits[7] = bits[7] ^ 1;
                    temp = 0;
                    ii = 0;
                    do {
                       temp = temp + bits[ii]*pow(2,ii);
                       ii++;
                       }
                    while (ii <= 7);
                    }
                 else {
                    temp = 0;   /* If error more one bit */
                    return(0x00);    /*  Send error code */
                   }
                 }
               }
             }
           }
         }
       }
     }
     return (temp);              /* Send true value to main program */
}
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
unsigned char magazine (void)
{
        unsigned char  j,temp;
        int bits[8];

        j = * (ch_mem + (pos_d()+1)*2);       /* Get data from memory */
        temp = check_bit(j);          /* Check and covert to be right */
        if (temp != 0)
        {
             bits[1] = temp & 2;
             bits[3] = temp & 8;
             bits[5] = temp & 32;
             temp = 0;
             temp = (bits[1]/2 + bits[3]/4 + bits[5]/8);
        }
        else                                  /* If can't return right data */
            temp = '*';                                  /* Return '*' */
        return (temp);
}

row (void)
{
      unsigned char temp1,temp2,r,t;
      int  bits[10];

      r = * (ch_mem + (pos_d() + 1)*2);
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
        temp1 = check_bit(r);
        t = * (ch_mem + (pos_d() + 2)*2);
        temp2 = check_bit(t);
        if ( temp2 != 0 )
           {
              bits[1] = temp2 & 2;
              bits[3] = temp2 & 8;
              bits[5] = temp2 & 32;
              bits[7] = temp2 & 128;
              bits[9] = temp1 & 128;

              temp1 = (bits[1] + bits[3]/2 + bits[5]/4 + bits[7]/8
                    + bits[9]/128);

             if ( temp1 < 25 )
               return(temp1);
               else return ('*');

           }
           else return ('*');

}

/* Get page from teletext */
page (void)
{
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
    unsigned char temp1,temp2,s,t;
    int  bits[8];

/*  units */
    s = * (ch_mem + (pos_d() + 3)*2);
    temp1 = check_bit(s);
    if ( temp1 != 0 )
    {
        bits[0] = temp1 & 2;
        bits[1] = temp1 & 8;
        bits[2] = temp1 & 32;
        bits[3] = temp1 & 128;
        temp1 = 0;
        temp1 = bits[0]/2 + bits[1]/4 + bits[2]/8 + bits[3]/16;
    }
    else return ('*');

/* tens */
    t = * (ch_mem + (pos_d() + 4)*2);
    temp2 = check_bit(t);
    if (temp2 != 0)
    {
        bits[4] = temp2 & 2;
        bits[5] = temp2 & 8;
        bits[6] = temp2 & 32;
        bits[7] = temp2 & 128;
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
            temp2 = bits[4]/2 + bits[5]/4 + bits[6]/8 + bits[7]/16;
        }
        else return ('*');

        temp1 = temp1 + temp2 * 10;
        if ( temp1 > 99)
            return ('*');
            else return (temp1);
}

/* Decode data from teletext */
unsigned char get_char (unsigned char num)
{
            register unsigned char temp;
            register int bits[8],ii,chi;

            temp  = * (ch_mem + (pos_d() + num)*2);
/* Set each bits */
            bits[0] = temp & 1;
            bits[1] = (temp & 2)/2;
            bits[2] = (temp & 4)/4;
            bits[3] = (temp & 8)/8;
            bits[4] = (temp & 16)/16;
            bits[5] = (temp & 32)/32;
            bits[6] = (temp & 64)/64;
            bits[7] = (temp & 128)/128;
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
        ii = 0;
        chi = 0;
        do {
                chi = chi + bits[ii];
                ii++;
           }
        while (ii <= 7);
        chi = chi % 2;
        if (chi == 0)                   /* If error detected then send '*' */
            return ('*');
         else
        {
            temp = temp & 0x7f ;                    /* Cut parity bit */
            if ((temp >= 0x20) && (temp < 127))
                return (temp);
            else
                return (0);
        }
}

/* Save data to disk */
void keep_d (void)
{
        FILE    *f;
        char    name[12];
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
        window(2,22,78,23);
        clrstr();
        normcurs();
        cprintf("Enter file name : ");
        scanf("%s",name);
        gotoxy(1,1);
        if ((f = fopen(name,"w")) != NULL)        /* If can open file */
        {
           for (i=0;i<=387;i++)
              putc((int)*(ch_mem+2*i),f);
           clrscr();
           cprintf("Keep data complete!");
           fclose(f);
        }
        else                                      /* Can't open file */
        {
           clrscr();
           cprintf("Can't open file");
        }
        cur_off();
        window(2,22,78,23);
}

/* This function of read data from disk */
void read_d(void)
{
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
FILE *f;
unsigned char temp;
char     name[12];

window(2,22,78,23);
clrscr();
normcurs();
cprintf("Enter file name to be loaded : ");
scanf("%s",name);                    /* Get file name to be loaded */
gotoxy(1,1);
window(2,22,78,23);
if ((f = fopen(name,"r")) != NULL)       /* If can open file */
{
      window(7,3,60,20);
      clrscr();
      rewind(f);          /* Set file pointer to top of byte  */
      for (i=0;i<=387;i++)
      {
          fseek(f,i,0);              /* Seek data byte by byte */
          temp = fgetc(f);
          * (ch_mem + 2*i) = temp;
          cprintf("%02X ",temp);
                /* Display character with ASCII code in HEX */
      }
      window(7,3,60,20);
      fclose(f);
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
            window(2,22,78,23);
            clrscr();
            cprintf("Load data complete!!!");
            window(2,22,78,23);
        }
        else                                    /* Can't open file */
        {
            clrscr();
            cprintf("Can't open file.");
        }
            cur_off();
            window(2,22,78,23);
}

void menu (void)
{
        int temp,i,j;
        char pi;

        outportb(OUT_2,0xFF);                   /* Active hardware */

/* Create menu screen */
        clrscr();
        cur_off();
        gotoxy(1,1);
        printf("┌");
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
for (i=2;i<=79;i++)
   printf("-");
printf("┐");
for (j=2;j<=23;j++)
{
     gotoxy(1,j);
     printf("|");
     gotoxy(80,j);
     printf("|");
}
      gotoxy(1,24);
      printf("└");
      for (i=2;i<=79;i++)
          printf("-");
      printf("");
      gotoxy(2,2);
      printf("╔"); /* 201 */
      for (i=3;i<=64;i++)
           printf("═"); /* 205 */
      printf("╗");  /* 187 */
      for (i=3;i<=20;i++)
      {
          gotoxy(2,i);
          printf("╢"); /* 186 */
          gotoxy(65,i);
          printf("╟");
      }
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
gotoxy(2,i);
printf("╚");       /* 200 */
for  (i=3;i<=64;i++)
   printf("═");
printf("╝");       /* 188 */
gotoxy(29,2);
textattr(78);      /* high video */
cputs("TELETEXT");
textattr(2);       /* norm  video */
gotoxy(71,3);
textattr(113);     /* underline */
cputs("MENU");
gotoxy(69,6);
textattr(78);
cputs("G");
textattr(RED);
textbackground(CYAN);
cputs("et data ");
gotoxy(69,7);
textattr(78);
cputs("D");
textattr(2);
textattr(RED);
textbackground(CYAN);
cputs("ecode   ");
gotoxy(69,8);
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
                textattr(78);
                cputs("S");
                textattr(2);
                textattr(RED);
                textbackground(CYAN);
                cputs("ave data");
                gotoxy(69,9);
                textattr(78);
                cputs("L");
                textattr(2);
                textattr(RED);
                textbackground(CYAN);
                cputs("oad data");
                gotoxy(69,10);
                textattr(78);
                cputs("Q");
                textattr(2);
                textattr(RED);
                textbackground(CYAN);
                cputs("uit     ");
                textbackground(0);
                textattr(YELLOW);

/* End of menu screen */
                do                                  /* Loop of case */
                {
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
pi = getch();                    /* Get character */
pi = toupper(pi);     /* Convert to upper letter */
switch (pi)
{
   case (0x47) : {      /* 'G' */
                        b = 0;
                        get_data();
                        break;
                 }
   case (0x44) : {      /* 'D' */
                        b = 0;
                        display();
                        break;
                 }
   case (0x53) : {      /* 'S' */
                        keep_d();
                        break;
                 }
   case (0x4C) :  {     /* 'L' */
                        b = 0;
                        read_d();
                        break;
                 }
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
                case (0x51) :;          /* 'Q' */
                }
        }
        while (pi != 0x51);             /* Until = 'Q' */
}

/* Display character on moniter screen */
display (void)
{
        int qu;

        window(7,3,60,20);
        clrscr();
        j = 1;
        while ((j <= 18)&&(b<= 387))
        {

          if (row()==0)                 /* If row is first line */
          {
               gotoxy(2,j);
               if (magazine()=='*')     /* If magazine error */
                   cprintf("Magazine : %c",magazine());
               else                     /* If not error */
                   cprintf("Magazine : %d",magazine());
               gotoxy(19,j);
               if (row()=='*')          /* If magazine error */
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
            cprintf("Row : %c",row());
        else                                    /* If not error */
            cprintf("Row : %d",row());
        gotoxy(30,j);
        if (page()=='*')                        /* If page error */
           cprintf("Page : %c",page());
        else                                    /* If not error */
           cprintf("Page : %d",page());
        gotoxy(2,j+1);
        qu = 11;
        while ( (qu<=43) || ( (* (ch_mem+2*(qu-1) ) == 0x00)
        && ( * (ch_mem+2*qu) == 0x27) ))
        {
          cprintf("%c",get_char((unsigned char) qu));
          qu++;
        }
    }
    else                                /* If row is other line */
    {
        gotoxy(2,j);
        if (magazine()=='*')                    /* If magazine error */
           cprintf("Magazine : %c",magazine());
        else                                    /* If not error */
           cprintf("Magazine : %d",magazine());
        gotoxy(19,j);
      if (row()=='*')                           /* If magazine error */
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
            cprintf("Row : %c",row());
        else                                    /* If not error */
            cprintf("Row : %d",row());
        gotoxy(2,j+1);
        qu = 3;
        while ((qu<=43)||((*(ch_mem+2*(qu-1))==0x00)
                &&(*(ch_mem+2*qu)==0x27)))
        {
            cprintf("%c",get_char((unsigned char) qu));
            qu++;
        }
    }
    j += 2;
    b += 2;
} /* end of while loop */

window(7,3,60,20);
}

/* This function return relative address of framing code */
pos_d(void)
{
        s = 0;
loop1:
       if (( *(ch_mem+(s+b-1)*2)==0x00) && (*(ch_mem+(s+b)*2)==0x27) )
            /* Detect framing */
            {
```

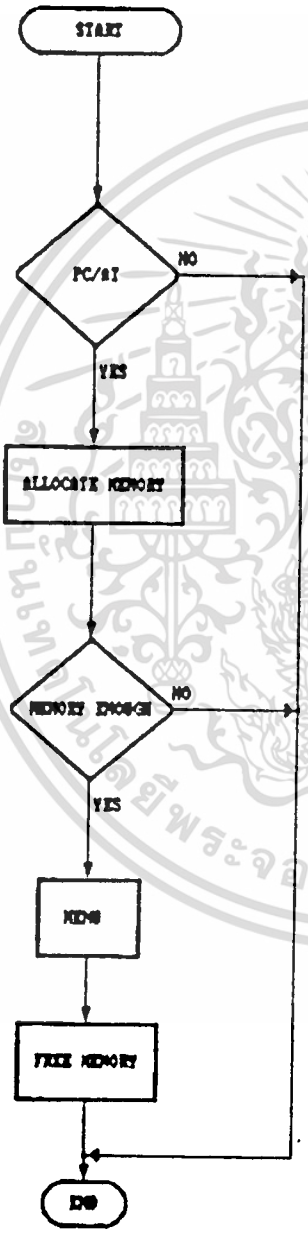
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
            b += s;
            return(b);
         }
         else                                          /* If not */
         {
            s++;
            if ((b+s) > 387)
               return (b);
            else
               goto loop1;                             /* Loop */
         }
}

/* This is M A I N function */

void main (void)
{
        directvideo = 1;          /* Set to direct video memory mode */
        if ( !check () )                              /* If check is false */
           puts("Machine must be PC/AT.");
        else {                                        /* If true */
           /* Check and allocate memory */
           ch_mem = (int *) malloc(SAVE);
           if (ch_mem == NULL)
              puts ("Not enough memory");             /* If not enough */
           else
```

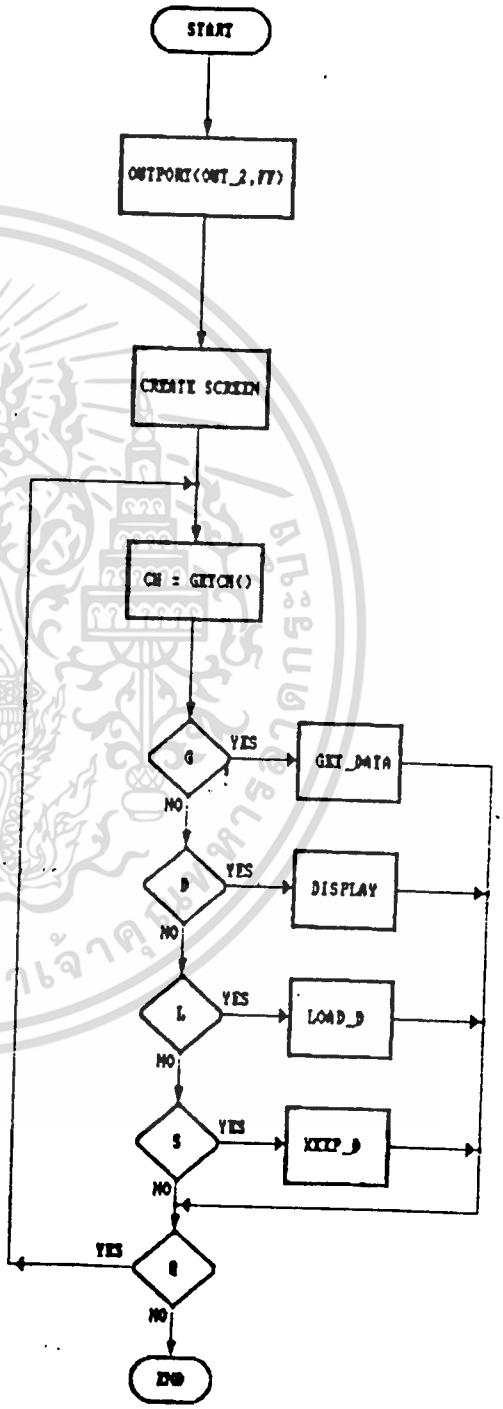
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
            menu();
          }
        free(ch_mem);                          /* Free memory */
        normcurs();                           /* Turn on cursor */
        window(1,1,80,25);
        textattr(7);
        clrscr();
        puts("Create by....");
        puts("          MR.Thanathip    Moolvong     31.1102");
        puts("          MR.Piti         Yimchareon   31.1154");
        puts("          MR.Piya         Suksom       31.1155");
}

/* End of programme */
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

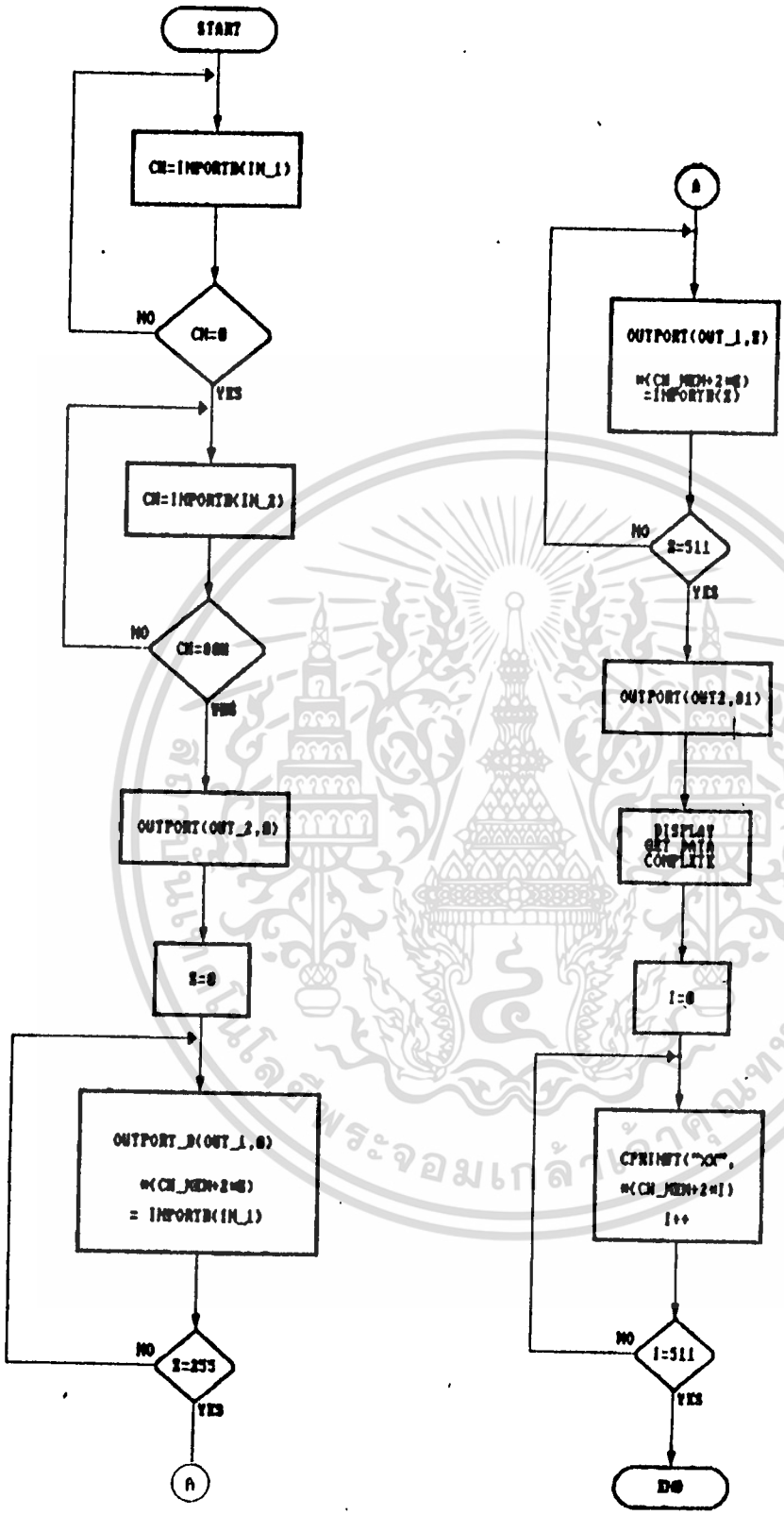


ไฟล์ชาร์ของ main()



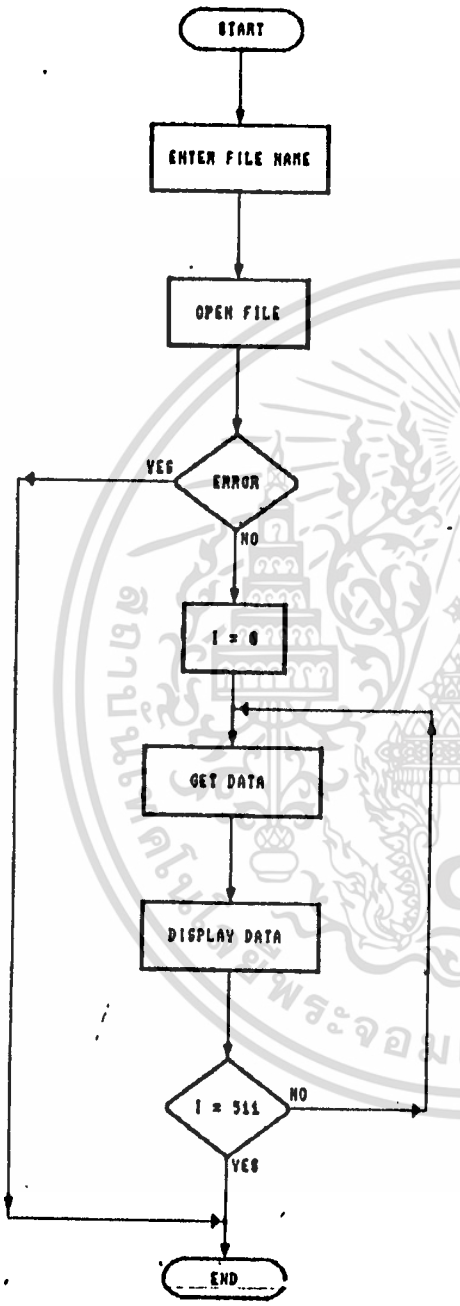
ไฟล์ชาร์ของคำสั่ง menu()

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

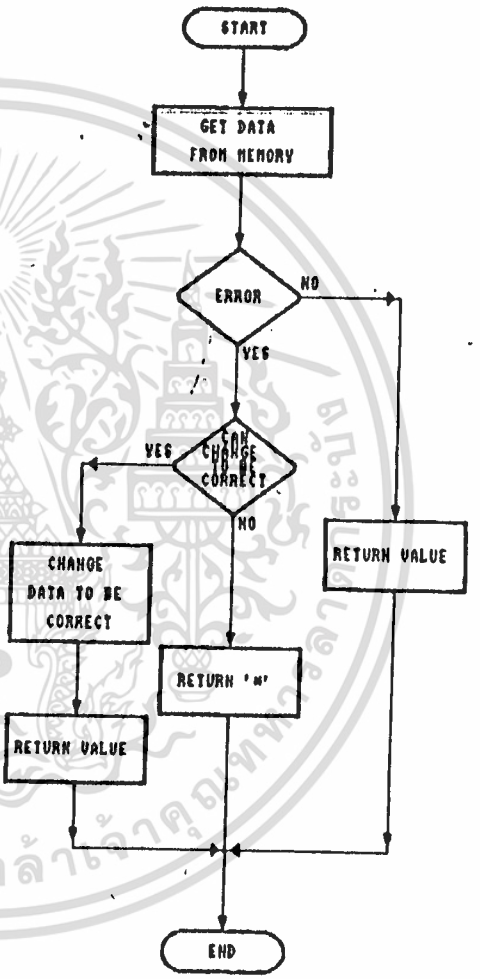


โฟล์ชาร์ตคำสั่ง get_data (void)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

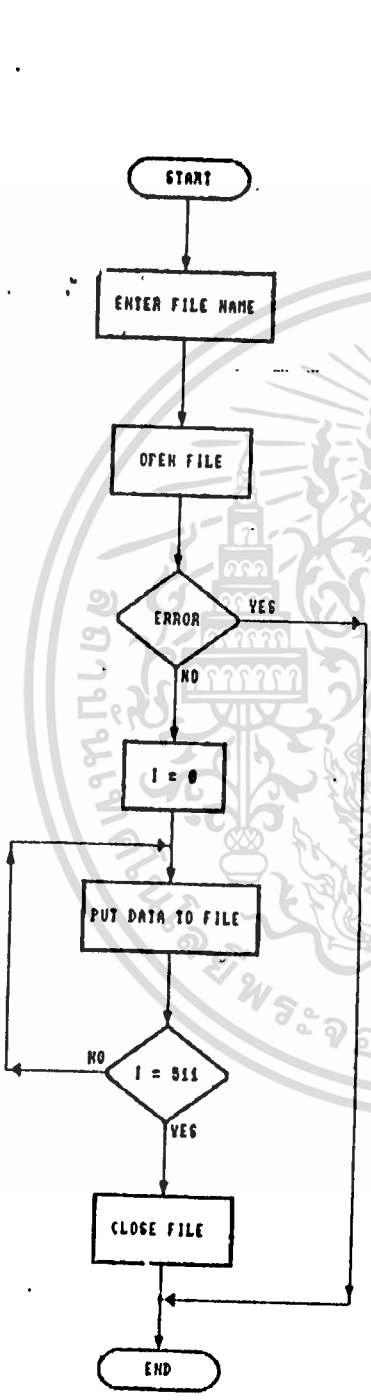


ไฟล์ชาร์ตคำสั่ง read_data

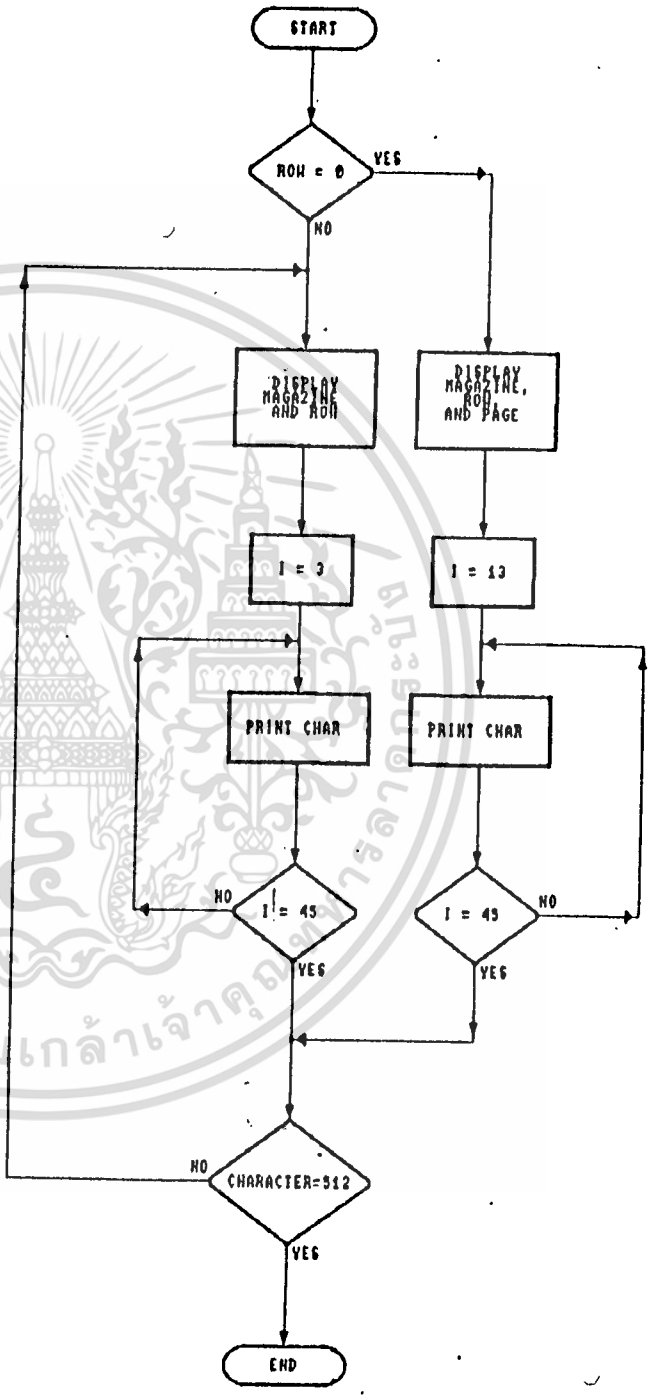


ไฟล์ชาร์ตคำสั่ง check_bit

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



โฟล์ชาร์ตคำสั่ง Keep_d()



โฟล์ชาร์ตของ Display

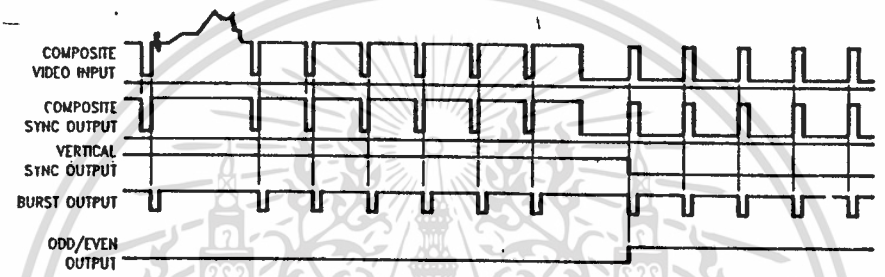
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 4

การทดลองและผลการทดลอง

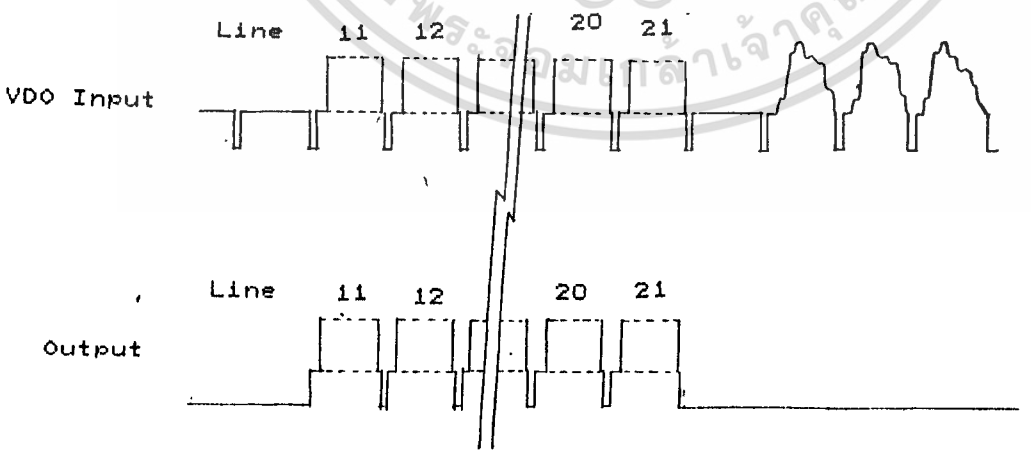
การจับสัญญาณ ณ จุดต่าง ๆ

Sync Separator



รูปนี้เป็นรูปที่จับ LM1881 ทั้ง Input และ Output เฉพาะสัญญาณที่ต้องการ

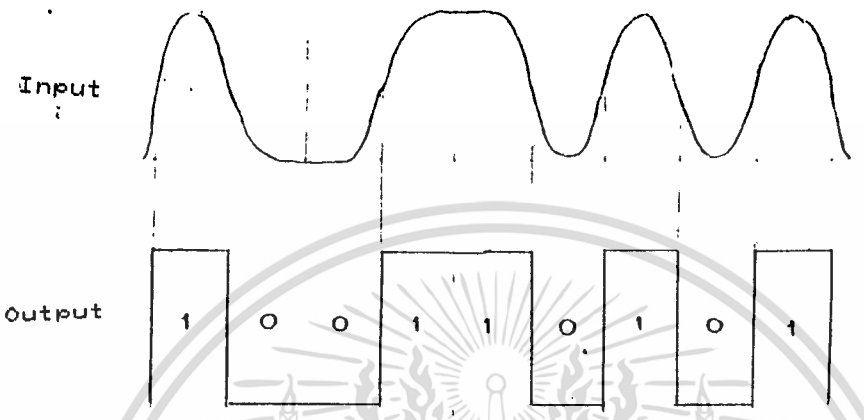
Line Selector



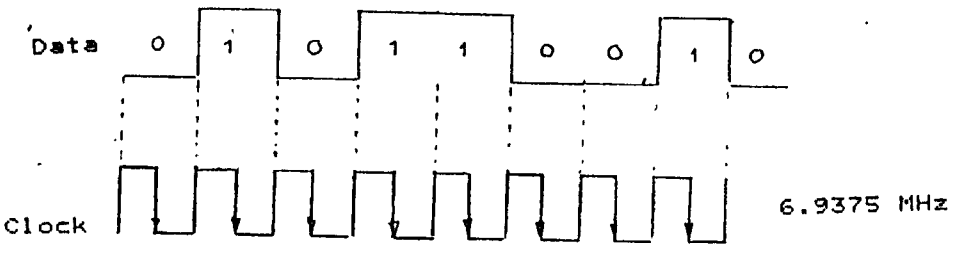
รูปนี้ เป็นรูปสัญญาณที่ เข้าและออก จากวงจร Line Selector

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Data Slicer



รูปนี้เป็นรูปของสัญญาณเข้าและสัญญาณที่ผ่านการปรับแต่งจาก LM360 แล้ว



รูปนี้สัญญาณจุดต่าง ๆ ของวงจร Clock Synthesis

เอกสารนี้เป็นเอกสารที่สงวนลิขสิทธิ์สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ผลการเก็บข้อมูล

0000(0000) 00 8F 1D 0C 3F 07 00 00 04 EC 7D 78 79 6B 60 60

0016(0010) 3F A7 E3 E7 8F 0F AD FC 7D 7F 6E 7F 3F 3C 38 7F

0032(0020) 20 20 20 20 20 20 20 20 20 20 20 00 27 02 38 15

0048(0030) 15 15 54 4C 15 ED 15 B5 9F 20 20 31 B9 3F A7 E3

0064(0040) 15 20 0F 32 30 2E 30 30 20 87 C3 D8 D9 20 23 6E

0080(0050) 6D 6C 27 38 40 00 00 00 27 02 2F E0 2F 02 2B 2B

0096(0060) 2B 2B 02 07 83 27 3F BD 8F 78 F8 20 23 20 30 00

0112(0070) 28 20 FC 40 44 E4 C3 1F FF FF FF F7 73 FF FF 2F

0128(0080) EC 6F 6F 00 27 02 2B E0 2F 02 2B 2B 2B 2B 02 07

0144(0090) 83 27 3B DF 8F 78 F8 20 23 20 30 00 28 20 FC 46

0160(00A0) 20 33 40 DC 41 C8 00 00 73 70 33 7F 78 33 23 00

0176(00B0) 27 02 2B E0 2F 02 2B 2B 2B 2B 02 07 83 1F 07 3F

0192(00C0) 8F 58 F8 20 23 20 30 00 A8 F8 EB 20 23 73 20 93

0208(00D0) 03 E0 40 00 38 7B 23 77 7E 77 77 00 27 02 2B E0

0224(00E0) 2F 02 2F 2F 2F EF 02 7F 83 6F EF 6F AF 98 B8 20

0240(00F0) 23 20 30 02 A8 F8 EB 20 23 73 20 9F 8F E6 20 22

0256(0100) 73 CF EF FF 7F 7F 6F FF FF FF 01 00 00 00 00 00

0272(0110) 1F 02 00 4C 40 EF 46 00 44 45 D1 11 30 08 98 98

0288(0120) C0 E9 E8 2B 3F FF FF FF B7 BF F7 08 08 08 08 1F

0304(0130) 1F BF FF 33 A7 DF 3F 8F 3F E7 2F AF 2F 9F 2F 63

0320(0140) F0 9F FF 9F F5 0F 1F 7F 6F FF FF FF BF 6F 7F 6F

0336(0150) EF E7 7F FF 7F 7F FF FF 77 FF FF E7 00 00 40 00

0352(0160) 87 FF FF 2F 87 7F 00 00 00 00 00 00 00 00 00 00

0368(0170) 00 00 00 00 00 1C 08 08 08 08 00 00 FF 10 10 10

0384(0180) 10 10 10 1C 00 00 00 00 00 00 00 00 00 CB C9 DF

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

0400(0190)	DF	E3	E3	CF	FE	FC	9F	5F	1F	00	E3	6F	7E	70	70	20
0416(01A0)	20	20	20	FB	20	20	20	20	20	00	9C	83	40	00	00	21
0432(01B0)	AF	A0	20	00	00	00	00	00	00	00	00	00	00	00	00	00
0448(01C0)	00	00	00	00	00	00	00	00	00	00	00	00	00	00	00	00
0464(01D0)	00	00	00	00	00	00	00	00	00	00	00	27	21	2F	04	21
0480(01E0)	20	20	20	20	20	20	20	03	2F	0B	58	21	61	FF	33	3F
0496(01F0)	5F	03	07	00	07	21	22	21	21	20	15	21	00	20	3F	21

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 5

สรุปและวิจารณ์

อภิปรายการทดลอง

จากการทดลองในขั้นแรก เราพยายามเก็บข้อมูล เท เล เท็กซ์ เข้าสู่ คอมพิว เตอร์ในทันที (real_time) แต่เนื่องจาก สัญญาณมีความเร็วสูงมาก (6.9375 Mbit/s) ซึ่งคอมพารา เตอร์ทำงานไม่ทัน ดังนั้น เราจึงต้อง เก็บข้อมูลในช่วงสัญญาณ คือช่วง เส้นสแกนที่11-21 (324-334) ลงใน RAM ก่อนแล้วจึงใช้ เวลาต่อมาในการอิน เตอร์ เฟส ซึ่งจะใช้หน่วยความจำประมาณ 400 bytes ในการ เก็บข้อมูล 9 เส้น (43 * 9 = 387 bytes) แต่ เนื่องจากอิน เตอร์เฟสใช้ความ เร็วสูงสุดประมาณ 20 kbyte/sec จึงไม่สามารถวนไปรับสัญญาณในช่วงต่อไปได้ทัน การทดลองครั้งนี้จึงศึกษาข้อมูลครั้งละ 9 บรรทัด เท่านั้น

ข้อมูลที่ได้รับนั้นมีข้อผิดพลาดจำนวนมาก แต่อย่างไรก็ตามก็มีส่วนที่ถูกต้องสามารถอ่านได้ ทั้งนี้ความผิดพลาดของข้อมูลมีสา เหตุหลายประการดังนั้น

1. เนื่องจากความ เร็วสูงของข้อมูล จึงมีปัญหาในการสร้างคล็อก เพื่อซิงค์กับข้อมูลให้ถูกต้อง การ เลื่อนของข้อมูล เพียง เล็กน้อยก็ทำให้ เกิดความผิดพลาดได้มากมาย

2. การ เปลี่ยนระดับ DC ของสัญญาณภาพแม้ เป็นค่า เล็กน้อยก็สามารถทำให้ข้อมูลผิดพลาดได้ เนื่องจากการอ้างอิงคอมพารา เตอร์ LM360 ไม่ เปลี่ยนแปลงตาม เมื่ออินพุท เป็นระดับสัญญาณ เอาท์พุทจึง เกิดการผิดพลาด

3. สัญญาณรบกวน จากคอมพิว เตอร์ คือ เมื่อคอมพิว เตอร์ทำงานจะส่งสัญญาณรบกวนภาพ ซึ่งจะมีส่วนสัญญาณ เท เล เท็กซ์ด้วย ดังนั้นการซิงค์วงจรจึงมีส่วนสำคัญมาก

4. Propagation Delay Time ของ IC. ที่ เกี่ยวข้องกับข้อมูลมีความสำคัญมากที่ต้องคำนึงถึงด้วย เนื่องจากความ เร็วสูงของข้อมูลซึ่งมีคาบ เพียง 144 นาโนวินาที

- จากข้อมูลที่ได้ พบว่า การส่งสัญญาณนั้นจะส่งข้อมูลแต่ละบรรทัดมาหลายครั้ง จึงทำการ เปรียบ เทียบหาข้อมูลที่ถูกต้องได้ เมื่อมีข้อผิดพลาด

- ถ้าสัญญาณ Framing code มีความผิดพลาด ข้อมูลบรรทัดนั้น ก็จะไม่ถูก เก็บลงใน RAM ก็ทำให้สัญญาณต่อ เนื่อง

- ความถูกต้องของข้อมูลมีความ เกี่ยวพันโดยตรงกับความชัด เจนของสัญญาณภาพที่รับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับใช้ในการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ได้ ดังนั้นขั้นแรกก่อนการทดลองจึงต้องเตรียมสัญญาณภาพที่มีความคมชัดไว้ก่อนโดยการจูนให้ช่วงข้อมูลบนสัญญาณภาพชัดเจน เมื่อดูจาก Osciloscope แล้ว

สรุปผลการทดลอง

เทเลเท็กซ์เป็นการสื่อสารข้อมูลในรูปแบบ Simplex Serial Syneronous ซึ่งมีความเร็ว 6.9375 Mbit/sec ส่งมากพร้อมกับภาพโทรทัศน์โดยส่งมาบน Blanking line ที่ 11-21 เว้น 17,18 และ 324-334 เว้น 330,331ในการจะรับข้อมูล ต้องนำ line ที่มีข้อมูลมาแยกข้อมูลออก สร้าง Clock Sync แล้ว อินเตอร์เฟสเข้าสู่คอมพิวเตอร์ เพื่อประมวลผลจากการทดลอง การรับข้อมูลเป็นการสุ่มรับข้อมูลในช่วง ๆ หนึ่ง เพื่อดูผลที่รับได้ พบว่าสามารถรับข้อมูลได้ แต่ไม่สมบูรณ์นัก คือมีความผิดพลาดสูง และรับไม่ได้อย่างต่อเนื่อง เนื่องจากความผิดพลาดที่สัญญาณ Framing

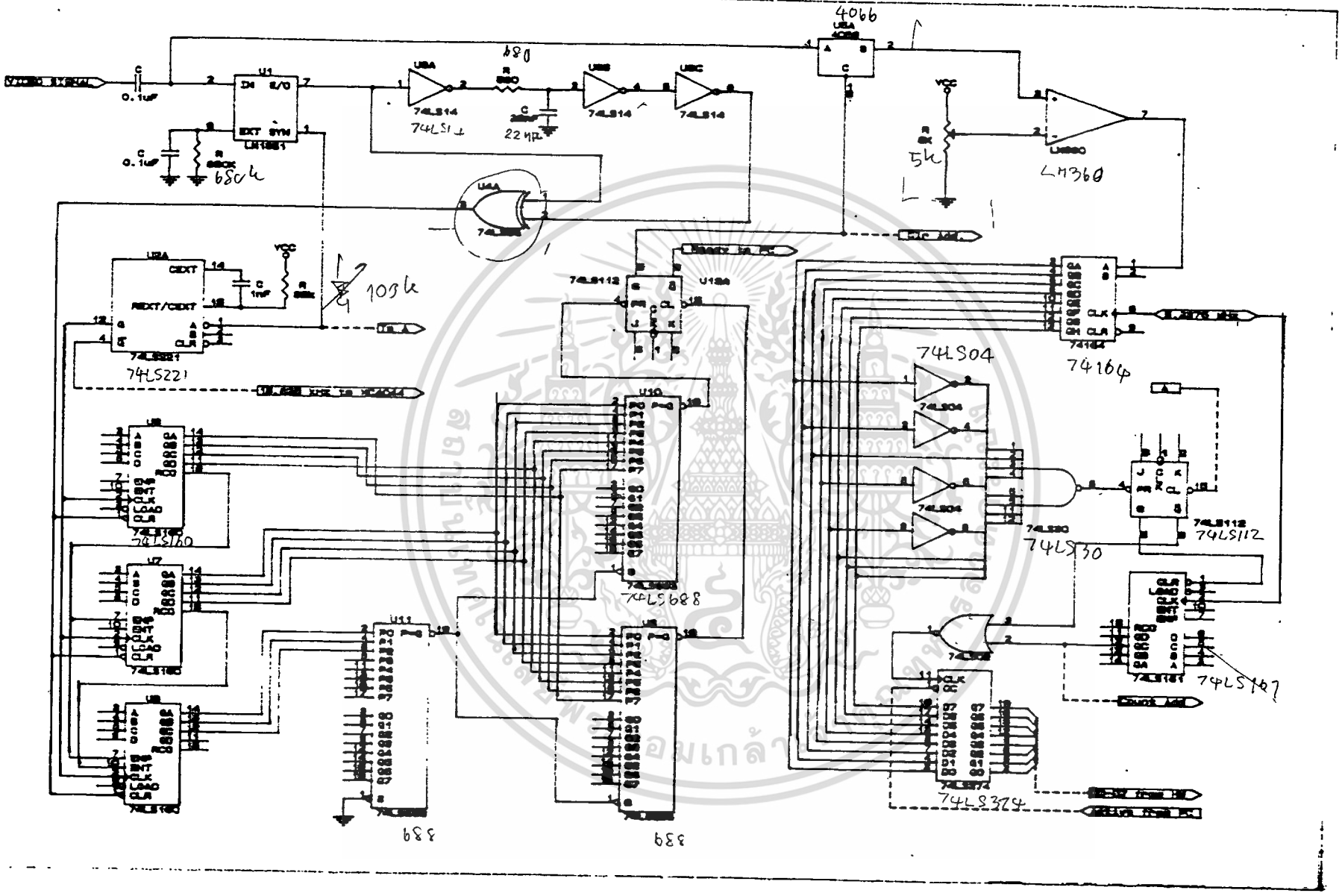
แต่อย่างไรก็ตาม การทดลองนี้ก็สามารถรับข้อมูลได้ ซึ่งน่าพอใจในขั้นต้น ในขั้นตอนต่อไปในการพัฒนาต้องหาทางลดความผิดพลาดของข้อมูลเป็นขั้นเครื่องแรก และพัฒนาซอฟแวร์ และฮาร์แวร์ให้สามารถทำงานได้กว้างขวางกว่านั้น เช่น เลือกหน้าเก็บข้อมูลได้มากขึ้น ฯลฯ

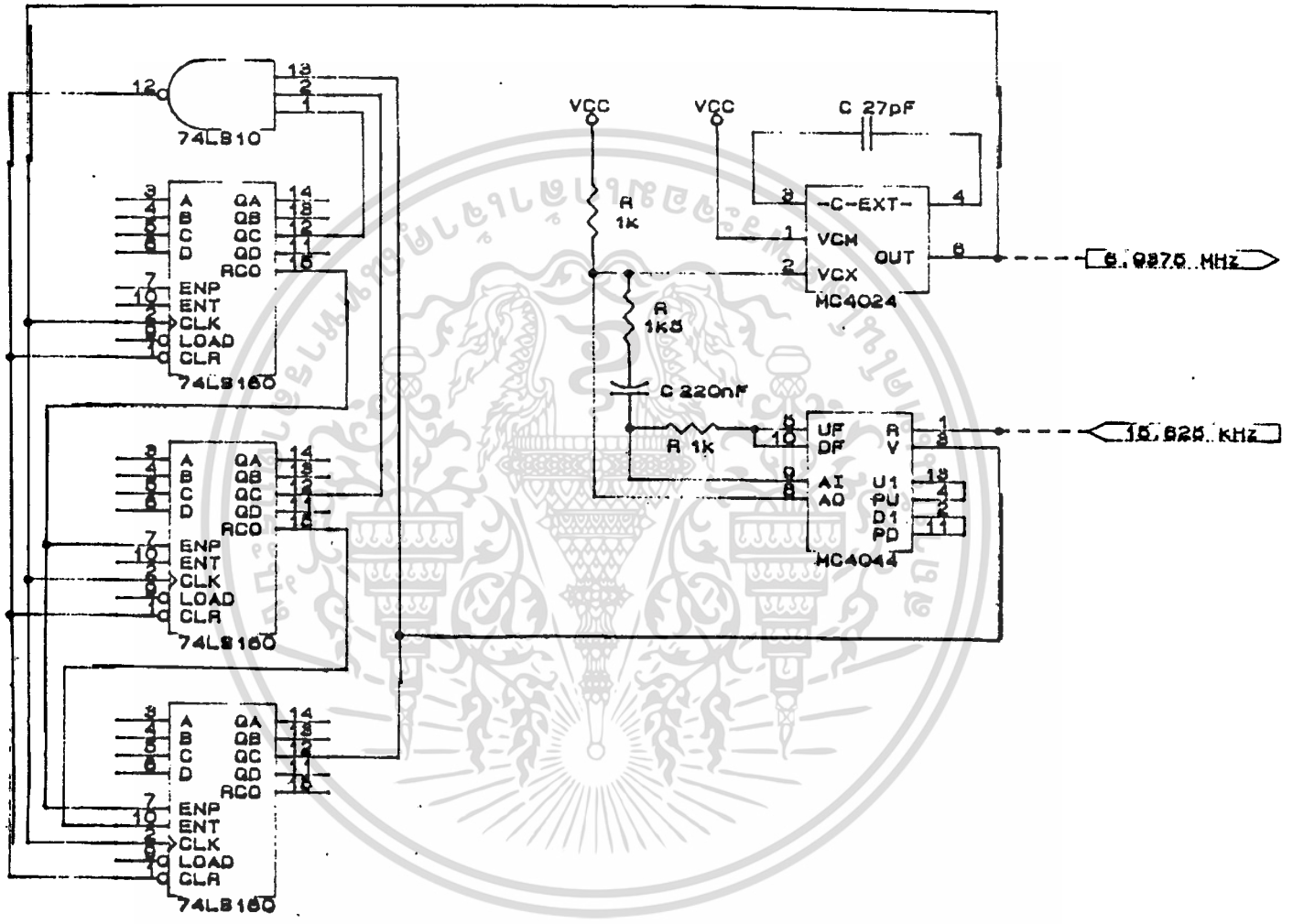
จะเห็นว่าการสื่อสารข้อมูลด้วยวิธีเทเลเท็กซ์ เป็นการชิงสารที่อาศัยสื่อที่มีอยู่แล้วให้คุ้มค่าขึ้นโดยไม่ลดทอนประสิทธิภาพของสื่อเดิม จึงมีประโยชน์น่าสนใจที่จะศึกษาและพัฒนาเป็นอย่างยิ่ง

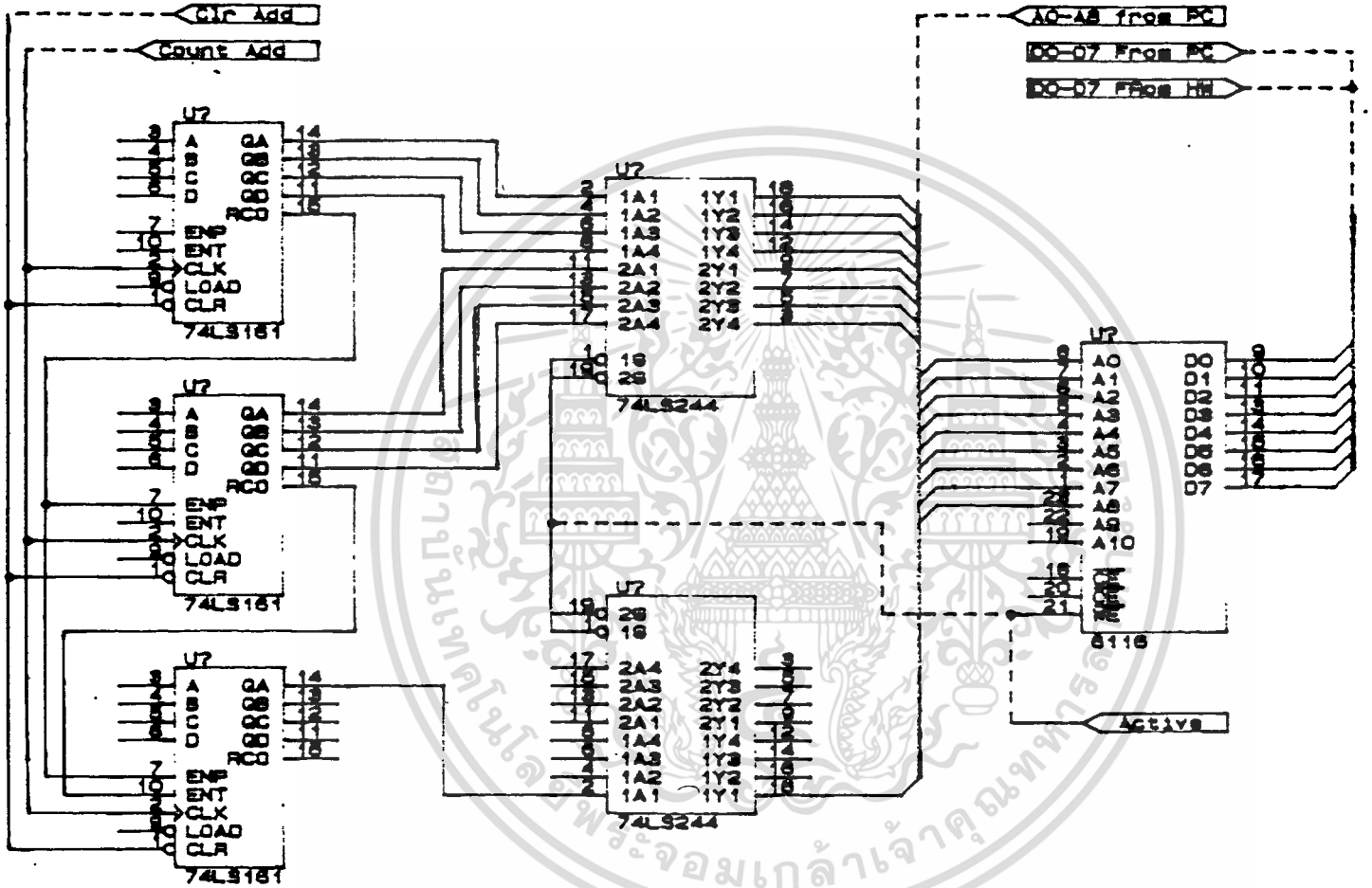
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

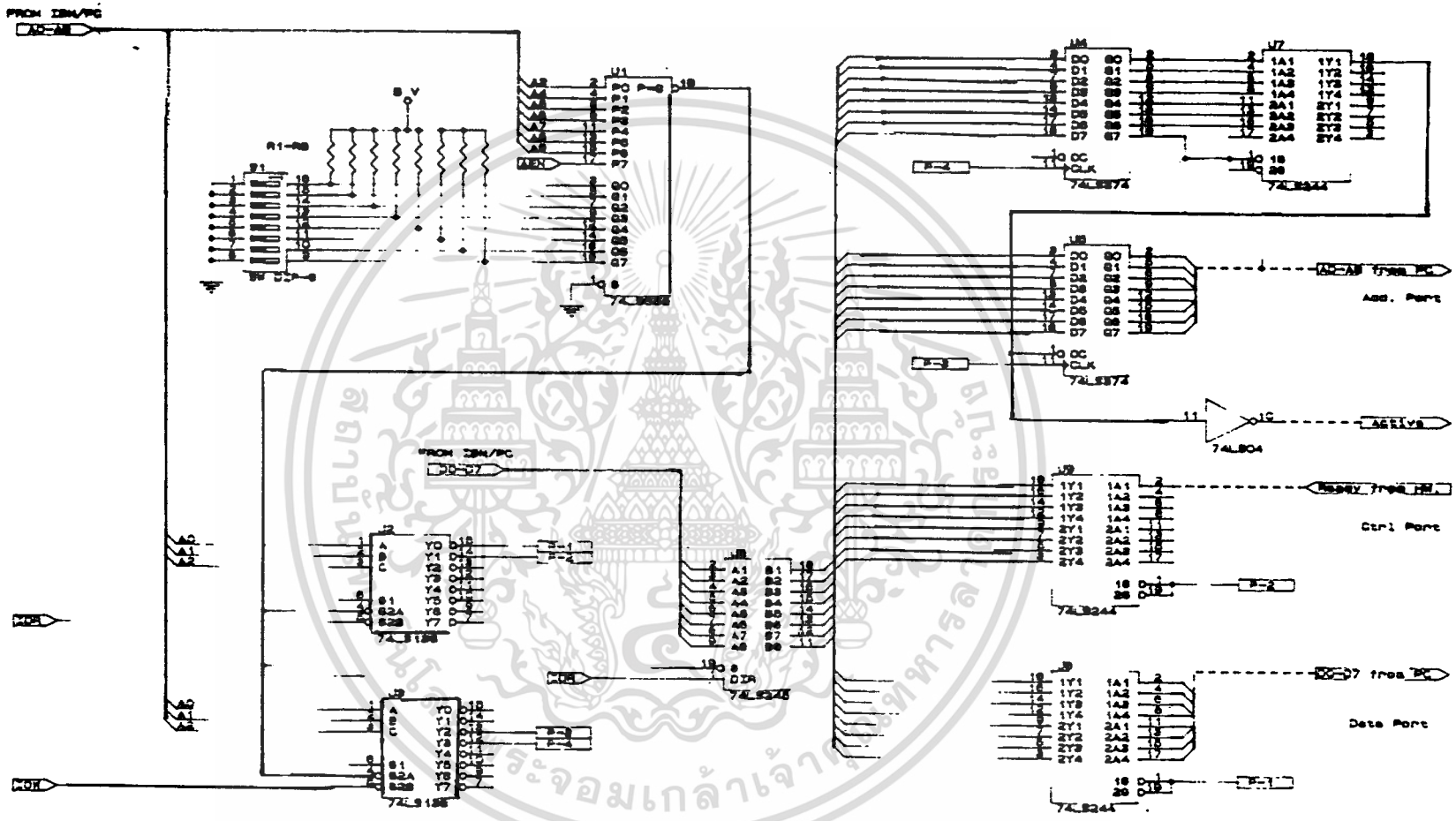
รูปวงจรรวม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้


4066
74LS14
74LS14
74LS14
74LS14
22 pF
5k
LM360
74LS04
74164
74LS04
74LS04
74LS30
74LS112
74LS112
74LS221
74LS688
74LS374
74LS157
74LS160
74LS160
74LS160
339
339


74LS10
74LS160
74LS160
74LS160
A
B
C
D
QA
QB
QC
QD
RCO
ENP
ENT
CLK
LOAD
CLR
VCC
VCC
C 27pF
R
1k
R
1k5
C 220nF
R 1k
-C-EXT-
VCM
VCX
OUT
MC4024
UF
DF
AI
AO
R
V
U1
PU
D1
PD
MC4044
6.9875 MHz
15.625 kHz


Clr Add
Count Add
A0-A8 from PC
D0-D7 From PC
D0-D7 FRom HW
U7
74LS161
74LS244
6116
Active


FROM IBM/PC
A0-A9
5 V
R1-R8
74LS374
74LS244
A0-A9 from PC
Add. Port
74LS04
Active
Busy from PC
Ctrl Port
D0-D7 from PC
Data Port
74LS245
74LS138

เอกสารอ้างอิง

1. BW. Kernigham and D.M. Ritchie, "The C Programming Language Bell Laboratory",1985

2. IBM,"IBM Technical Reference",1981

3. Jan Gecsei,"The Architectture of Videotex Systems", Prentice Hall,1983

4. ธานินทร์ ภาววศาสนวงศ์ และ ทินกร ตุ๊ก,"การอินเทอร์เฟส IBM PC"

5. สมศักดิ์ เตชะเศรษฐ์ธนะ,"ทฤษฎีและปฏิบัติโทรทัศน์สีระบบ PAL

6. ศาสตราจารย์ บุญถึงแน่นหนา,"ตำราโทรทัศน์ ภาคทฤษฎีและปฏิบัติ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กิตติกรรมประกาศ

ขอขอบพระคุณ- รศ.ดร. มนัส สังวรศิลป์ ที่กรุณาให้คำปรึกษา อุปกรณ์ และสถานที่ในการปฏิบัติงาน

- อาจารย์ ประภากร สุวรรณะ ที่กรุณาในคำแนะนำ และอุปกรณ์ตลอดจนอำนวยความสะดวกต่าง ๆ

- โทรทัศน์กองทัพบกช่อง 5 ที่ได้ให้ข้อมูลเกี่ยวกับเครื่องรับเทเลเท็กซ์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก

มีอุปกรณ์บางตัวที่ไม่มีจำหน่ายในประเทศไทย ซึ่งเป็นส่วนประกอบที่สำคัญจึงได้มาเสนอในส่วนนี้ แสดงคุณสมบัติต่าง ๆ และการนำเอาไปใช้ ตลอดจนตัวอย่างวงจรที่จะนำไปใช้บางวงจร ได้แก่

- LM1881 Video Sync Separator
- LM360 High Speed Differential
- MC4044 Phase-Frequency Detector
- MC4024 Dual Voltage-Controlled Multivibrator

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MOTOROLA

MC4344/ MC4044

PHASE-FREQUENCY DETECTOR

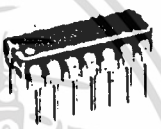
The MC4344/4044 consists of two digital phase detectors, a charge pump, and an amplifier. In combination with a voltage controlled multivibrator (such as the MC4324/4024 or MC1648), it is useful in a broad range of phase-locked loop applications. The circuit accepts TTL waveforms at the R and V inputs and generates an error voltage that is proportional to the frequency and/or phase difference of the input signals. Phase detector #1 is intended for use in systems requiring zero frequency and phase difference at lock. Phase detector #2 is used if quadrature lock is desired. Phase detector #2 can also be used to indicate that the main loop, utilizing phase detector #1, is out of lock.

Input Loading Factor: R, V = 3
Output Loading Factor (Pin 8) = 10
Total Power Dissipation = 85 mW typ/pkg
Propagation Delay Time = 9.0 ns typ
(thru phase detector)

PHASE-FREQUENCY DETECTOR

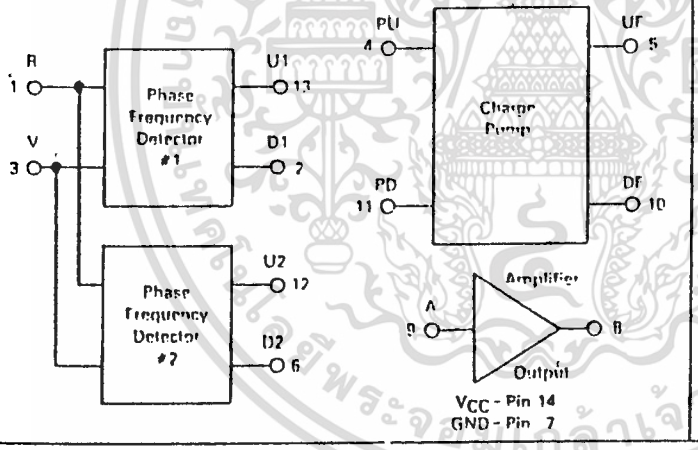
L SUFFIX
CERAMIC PACKAGE
CASE 632
(TO-116)

F SUFFIX
CERAMIC PACKAGE
CASE 607

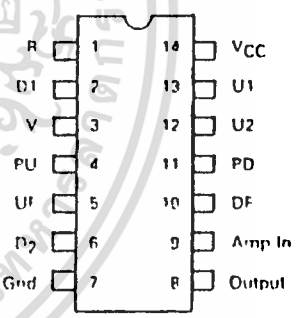


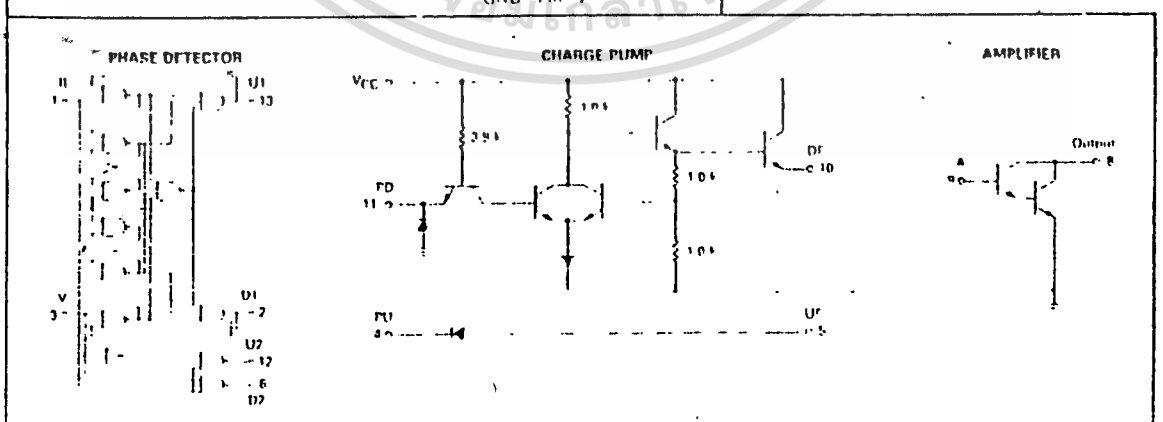
P SUFFIX
PLASTIC PACKAGE
CASE 646
MC4044 only

LOGIC DIAGRAM



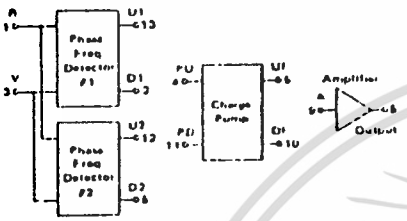
PIN ASSIGNMENT





เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ELECTRICAL CHARACTERISTICS

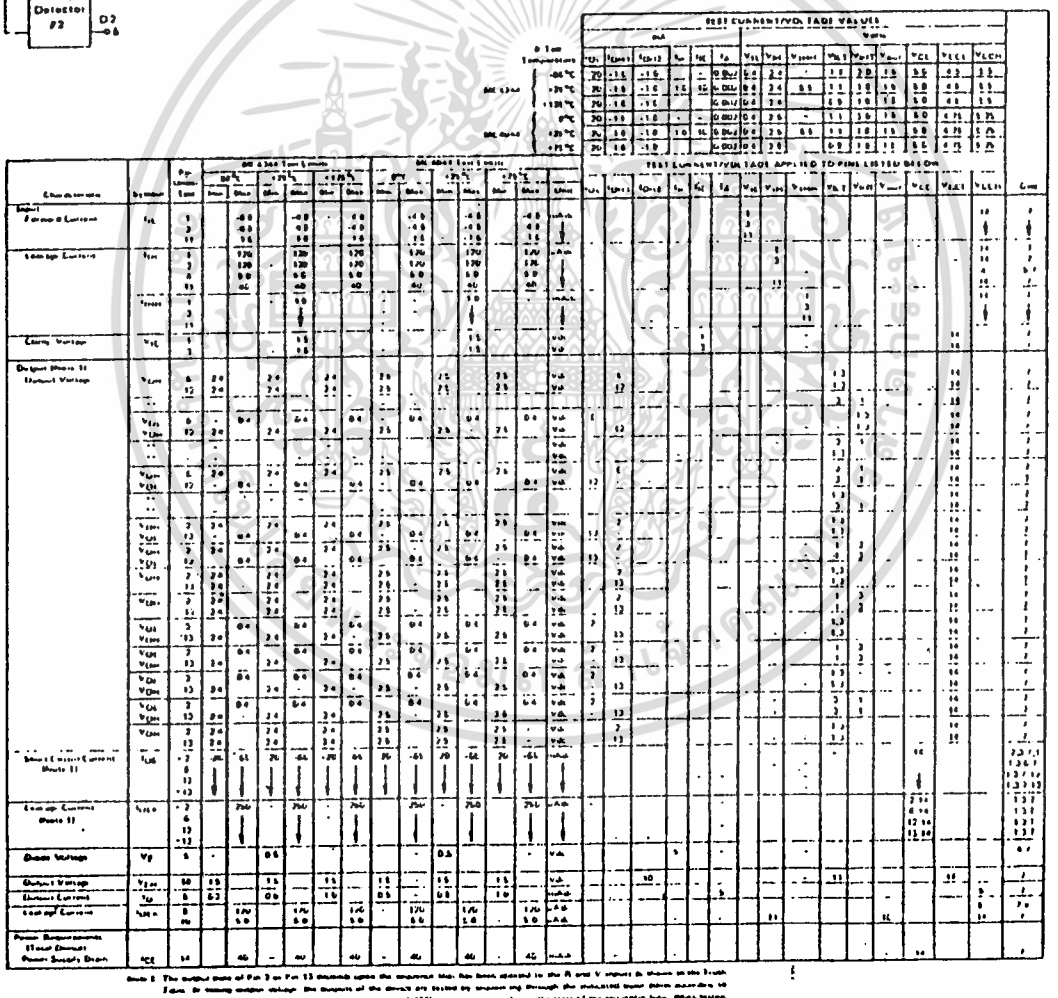


INPUT STATE	INPUT R	INPUT V	OUTPUT U1	OUTPUT D1	OUTPUT U2	OUTPUT D2
1	0	0	X	X	1	1
2	1	0	X	X	0	1
3	1	1	X	X	1	0
4	1	0	X	X	0	1
5	0	0	X	X	1	1
6	1	0	X	X	0	1
7	0	0	0	1	1	1
8	1	0	0	1	0	1
9	0	0	0	1	1	1
10	0	1	0	1	1	1
11	0	0	1	1	1	1
12	0	1	1	1	1	1
13	0	0	1	0	1	1
14	0	1	1	0	1	1
15	0	0	1	0	1	1
16	1	0	1	0	0	1
17	0	0	1	1	1	1

TRUTH TABLE

This is not strictly a functional truth table; i.e., it does not show all possible modes of operation. It is useful for dc testing.

1. X indicates output state unknown
2. U1 and D1 outputs are sequential, i.e., they must be sequenced in order shown
3. U2 and D2 outputs are coincidental, i.e., they need only inputs shown to obtain outputs



Note 1: The output state of Pin 3 or Pin 13 depends upon the sequence that has been applied to the R and V inputs as shown on the Truth Table. In making certain tests, the outputs of the device are tested by sequencing through the indicated input states according to the Truth Table. Each input sequence is indicated by a number surrounded by a circle (1) and each step in the sequence has other testing limits and tests on Pins 3 or 13 a single asterisk (*) indicates that the R and V inputs are sequenced as per the Truth Table to obtain data. If values are guaranteed, but not tested, a dagger (†) is used. Unless otherwise noted, all parameters apply over the recommended operating conditions.

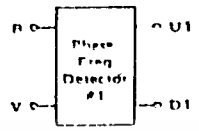
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

APPLICATION

Operation of the MC4344/4044 is best explained by initially considering each section separately. If phase detector #1 is used, loop lockup occurs when both outputs U1 and D1 remain high. This occurs only when all the negative transitions on R, the reference input, and V, the variable or feedback input, coincide. The circuit responds only to transitions, hence phase error is independent of input waveform duty cycle or amplitude variation. Phase detector #1 consists of sequential logic circuitry, therefore operation prior to lockup is determined by initial conditions.

When operation is initiated, by either applying power to the circuit or active input signals to R and V, the circuitry can be in one of several states. Given any particular starting conditions, the flow table of Figure 1 can be used to determine subsequent operation. The flow table indicates the status of U1 and D1 as the R and V inputs are varied. The numbers in the table which are in parentheses are arbitrarily assigned labels that correspond to stable states that can result for each input combination. The numbers without parentheses refer to unstable conditions. Input changes are traced by horizontal movement in the table; after each input change, circuit operation will settle in the numbered state indicated by moving horizontally to the appropriate R-V column. If the number at that location is not in parentheses, move vertically to the number of the same value that is in parentheses. For a given input pair, any one of three stable states can exist. As an example, if R = 1 and V = 0, the circuit will be in one of the stable states (4), (8), or (12).

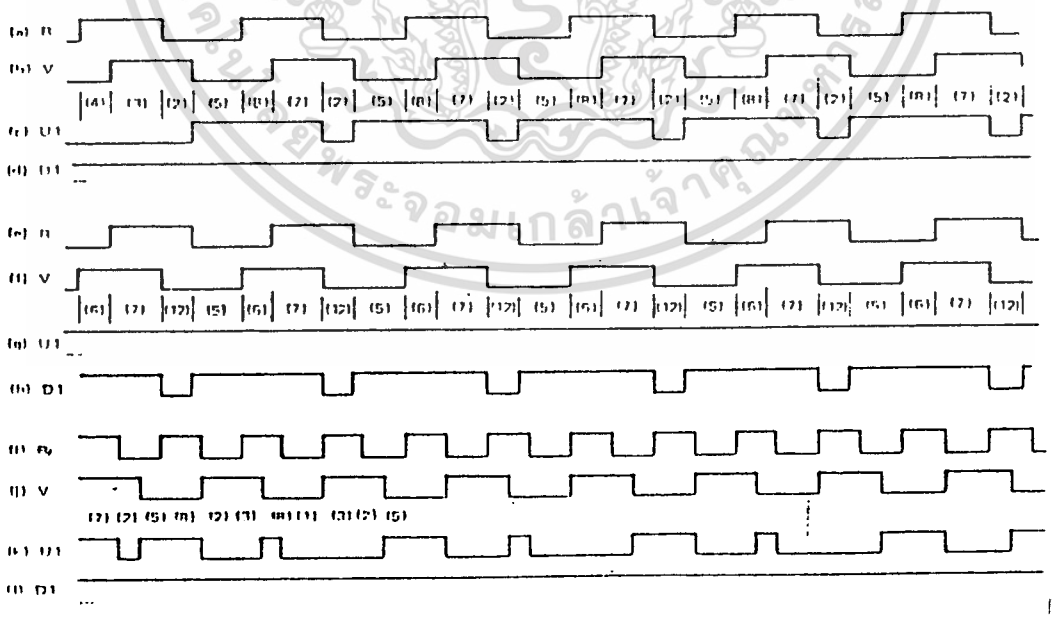
FIGURE 1 — PHASE DETECTOR #1 FLOW TABLE



R V 0 0	R V 0 1	R V 1 1	R V 1 0	U1	D1
(1)	2	3	(4)	0	1
5	(2)	(3)	8	0	1
(5)	6	7	8	1	1
9	(6)	7	12	1	1
5	7	(7)	12	1	1
1	2	7	(8)	1	1
(9)	(10)	11	12	1	0
5	6	(11)	(12)	1	0

Use of the table in determining circuit operation is illustrated in Figure 2. In the timing diagram, the input to R is the reference frequency; the input to V is the same frequency but lags in phase. Stable state (4) is arbitrarily assumed as the initial condition. From the timing diagram and flow table, when the circuit is in stable state (4), outputs U1 and D1 are "0" an "1" respectively. The next input state is R-V = 1-1; moving horizontally from stable state (4) under R-V = 1-0 to the R-V = 1-1 column, state 3 is indicated. However, this is an unstable condition and the circuit will assume the state indicated by moving vertically in the R-V = 1-1 column to stable state (3). In this

FIGURE 2 — PHASE DETECTOR #1 TIMING DIAGRAM



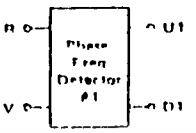
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

APPLICATION

Operation of the MC4344/4044 is best explained by initially considering each section separately. If phase detector #1 is used, loop lockup occurs when both outputs U1 and D1 remain high. This occurs only when all the negative transitions on R, the reference input, and V, the variable or feedback input, coincide. The circuit responds only to transitions, hence phase error is independent of input waveform duty cycle or amplitude variation. Phase detector #1 consists of sequential logic circuitry, therefore operation prior to lockup is determined by initial conditions.

When operation is initiated, by either applying power to the circuit or active input signals to R and V, the circuitry can be in one of several states. Given any particular starting conditions, the flow table of Figure 1 can be used to determine subsequent operation. The flow table indicates the status of U1 and D1 as the R and V inputs are varied. The numbers in the table which are in parentheses are arbitrarily assigned labels that correspond to stable states that can result for each input combination. The numbers without parentheses refer to unstable conditions. Input changes are traced by horizontal movement in the table; after each input change, circuit operation will settle in the numbered state indicated by moving horizontally to the appropriate R-V column. If the number at that location is not in parentheses, move vertically to the number of the same value that is in parentheses. For a given input pair, any one of three stable states can exist. As an example, if R = 1 and V = 0, the circuit will be in one of the stable states (4), (8), or (12).

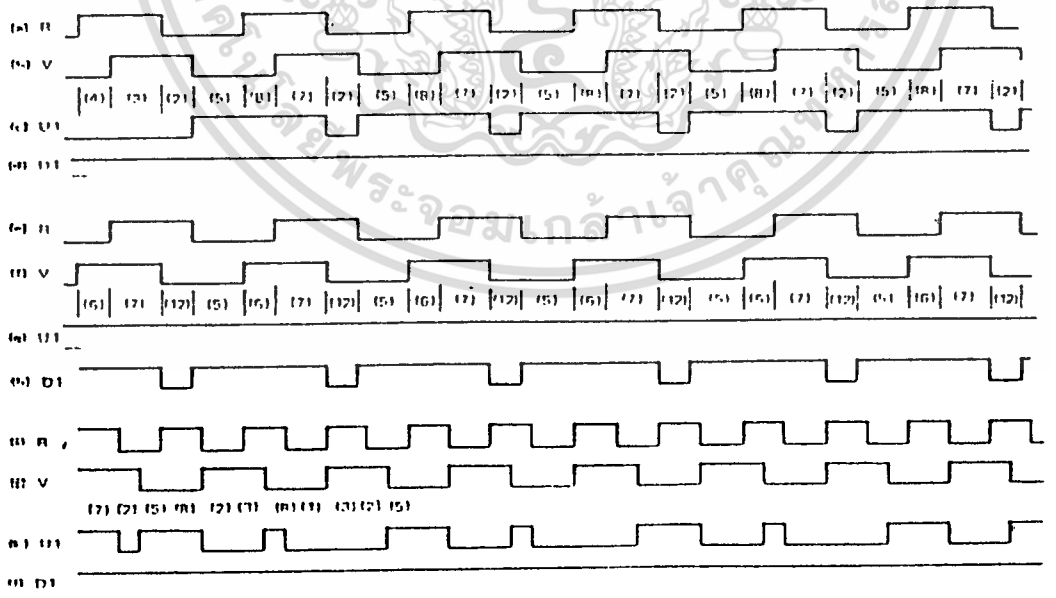
FIGURE 1 — PHASE DETECTOR #1 FLOW TABLE



R V 0 0	R V 0 1	R V 1 1	R V 1 0	U1	D1
(1)	2	3	(4)	0	1
5	(2)	(3)	8	0	1
(5)	6	7	8	1	1
9	(6)	7	12	1	1
5	2	(7)	12	1	1
1	2	7	(8)	1	1
(9)	(10)	11	12	1	0
5	6	(11)	(12)	1	0

Use of the table in determining circuit operation is illustrated in Figure 2. In the timing diagram, the input to R is the reference frequency; the input to V is the same frequency but lags in phase. Stable state (4) is arbitrarily assumed as the initial condition. From the timing diagram and flow table, when the circuit is in stable state (4), outputs U1 and D1 are "0" an "1" respectively. The next input state is R-V = 1-1; moving horizontally from stable state (4) under R-V = 1-0 to the R-V = 1-1 column, state 3 is indicated. However, this is an unstable condition and the circuit will assume the state indicated by moving vertically in the R-V = 1-1 column to stable state (3). In this

FIGURE 2 — PHASE DETECTOR #1 TIMING DIAGRAM



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

instance, outputs U1 and D1 remain unchanged. The input states next become R-V = 0-1; moving horizontally to the R-V = 0-1 column, stable state (2) is indicated. At this point there is still no change in U1 or D1. The next input change shifts operation to the R-V = 0-0 column where unstable state 5 is indicated. Moving vertically to stable state (5), the outputs now change state to U1-D1 = 1-1. The next input change, R-V = 1-0, drives the circuitry to stable state (8), with no change in U1 or D1. The next input, R-V = 1-1, leads to stable state (7) with no change in the outputs. The next two input state changes cause U1 to go low between the negative transitions of R and V. As the inputs continue to change, the circuitry moves repeatedly through stable states (2), (5), (8), (7), (2), etc., as shown, and a periodic waveform is obtained on the U1 terminal while D1 remains high.

A similar result is obtained if V is leading with respect to R, except that the periodic waveform now appears on D1 as shown in rows e–h of the timing diagram of Figure 2. In each case, the average value of the resulting waveform is proportional to the phase difference between the two inputs. In a closed loop application, the error signal for controlling the VCO is derived by translating and filtering these waveforms.

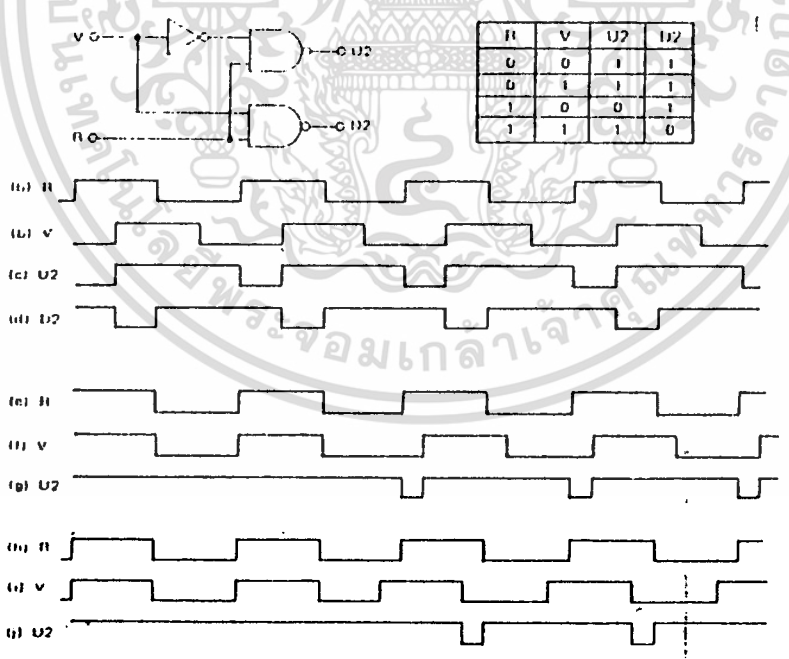
The results obtained when R and V are separated by a fixed frequency difference are indicated in rows i–l of the timing system. For this case, the U1 output goes low when R goes low and stays in that state until a negative transition on V occurs. The resulting waveform is similar to the fixed phase difference case, but now the duty cycle of the U1 waveform varies at a rate proportional to the difference frequency of the two inputs, R and V. It is this characteristic that permits the MC4344/4044 to be used as a frequency discriminator; if the signal on R has been frequency modulated and if the loop bandwidth is selected to pass the deviation frequency but reject R and V, the resulting error voltage applied to the VCO will be the recovered modulation signal.

Phase detector #2 consists only of combinatorial logic, therefore its characteristics can be determined from the simple truth table of Figure 3. Since circuit operation requires that both inputs to the charge pump either be high or have the same duty cycle when lock occurs, using this phase detector leads to a quadrature relationship between R and V. This is illustrated in rows a–d of the timing diagram of Figure 3. Note that any deviation from a fifty percent duty cycle on the inputs would appear as phase error.

Waveforms showing the operation of phase detector #2 when phase detector #1 is being used in a closed loop are indicated in rows e–j. When the main loop is locked, U2 remains high. If the loop drifts out of lock in either direction a negative pulse whose width is proportional to the amount of drift appears on U2. This can be used to generate a simple loss-of-lock indicator.

Operation of the charge pump is best explained by considering it in conjunction with the Darlington amplifier included in the package (see Figure 4)..There will be

FIGURE 3 — PHASE DETECTOR #2 OPERATION



R	V	U2	D2
0	0	1	1
0	1	1	1
1	0	0	1
1	1	1	0

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

a pulsed waveform on either PD or PU, depending on the phase-frequency relationship of R and V. The charge pump serves to invert one of the input waveforms (D1) and translates the voltage levels before they are applied to the loop filter. When PD is low and PU is high, O1 will be conducting in the normal direction and O2 will be off. Current will be flowing through O3 and CR2; the base of O3 will be two V_{BE} drops above ground or approximately 1.5 volts. Since both of the resistors connected to the base of O3 are equal, the emitter of O4 (base of O5) will be approximately 3.0 volts. For this condition, the emitter of O5 (DF) will be on V_{BE} below this voltage, or about 2.25 volts. The PU input to the charge pump is high (> 2.4 volts) and CR1 will be reverse biased. Therefore O5 will be supplying current to O6. This will tend to lower the voltage at the collector of O7, resulting in an error signal that lowers the VCO frequency as required by a "pump down" signal.

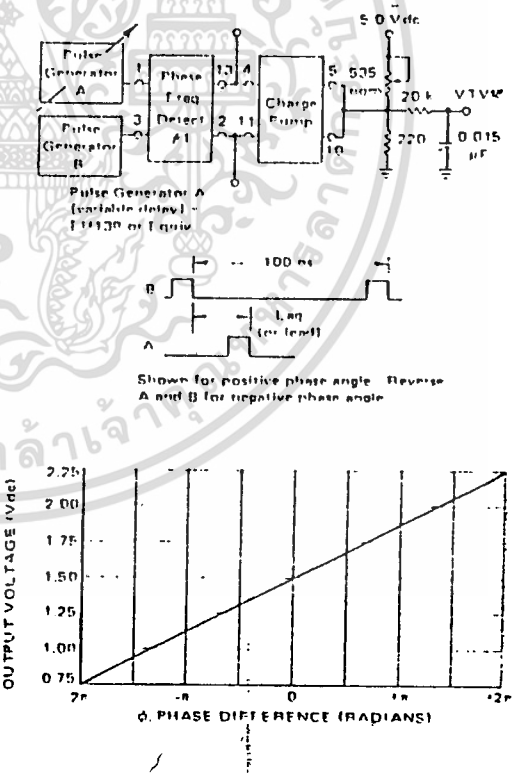
FIGURE 4 — CHARGE PUMP OPERATION

When PU is low and PD is high, CR1 is forward biased and UF will be approximately one V_{BE} above ground (neglecting the $V_{CE(sat)}$ of the driving gate). With PD high, O1 conducts in the reverse direction, supplying base current for O2. While O2 is conducting, O4 is prevented from supplying base drive to O5; with O5 cut off and UF low there is no base current for O6 and the voltage at the collector of O7 moves up, resulting in an increase in the VCO operating frequency as required by a "pump up" signal.

If both inputs to the charge pump are high (zero phase difference), both CR1 and the base-emitter junction of O5 are reverse biased and there is no tendency for the error voltage to change. The output of the charge pump varies between one V_{BE} and three V_{BE} as the phase difference of R and V varies from minus 2π to plus 2π. If this signal is filtered to remove the high-frequency components, the phase detector transfer function, K_ϕ, of approximately 0.12 volt/radian is obtained (see Figure 5).

The specified gain constant of 0.12 volt/radian may not be obtained if the amplifier/filter combination is improperly designed. As indicated previously, the charge pump delivers pump commands of about 2.25 volts on the positive swings and 0.75 volt on the negative swings for a mean no-pump value of 1.5 volts. If the filter amplifier is biased to threshold "on" at 1.5 volts, then the pump up and down voltages have equal effects. The pump signals are established by V_{BE}s of transistors with milliamperes of current flowing. On the other hand, the transistors included for use as a filter amplifier will have very small currents flowing and will have correspondingly lower V_{BE}s — on the order of 0.6 volt each for a threshold of 1.2 volts. Any displacement of the threshold from 1.5 volts causes an increase in gain in one direction and a reduction in the other. The transistor configuration provided is hence not optimum but does allow for the use of an additional transistor to improve filter response. This addition also results in a non-symmetrical response since the threshold is now approximately 1.8 volts. The effective positive swing is limited to 0.45 volt while the negative swing below threshold can be greater than 1.0 volt. This means that the loop gain when changing from a high frequency to a lower frequency is less than when changing in the opposite direction. For type two loops this tends to increase overshoot when going from low to high and increases damping in the other direction. These problems and the selection of external filter components are intimately related to system requirements and are discussed in detail in the filter design section.

FIGURE 5 — PHASE DETECTOR TEST



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

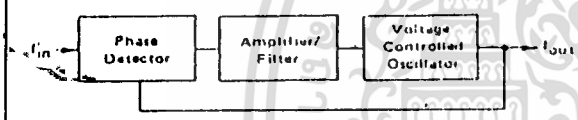
PHASE-LOCKED LOOP COMPONENTS

General

A basic phase-locked loop, when operating properly, will acquire ("lock on") an input signal, track it in frequency, and exhibit a fixed phase relationship relative to the input. In this basic loop, the output frequency will be identical to the input frequency (Figure 6). A fundamental loop consists of a phase detector, amplifier/filter, and voltage-controlled oscillator (Figure 7). It appears and acts like a unity gain feedback loop. The controlled variable is phase; any error between f_{in} and f_{out} is amplified and applied to the VCO in a corrective direction.

FIGURE 6 — BASIC PHASE-LOCKED LOOP FREQUENCY RELATIONSHIP

FIGURE 7 — FUNDAMENTAL PHASE-LOCKED LOOP



Simple phase detectors in digital phase-locked loops usually put out a series of pulses. The average value of these pulses is the "gain constant," K_ϕ, of the phase detector — the volts out for a given phase difference, expressed as volts/radian.

The VCO is designed so that its output frequency range is equal to or greater than the required output frequency range of the system. The ratio of change in output frequency to input control voltage is called "gain constant," K_O. If the slope of f_{out} to V_{in} is not linear (i.e., changes greater than 25%) over the expected frequency range, the curve should be piece-wise approximated and the appropriate constant applied for "best" and "worst" case analysis of loop performance.

System dynamics when in lock are determined by the amplifier/filter block. Its gain determines how much phase error exists between f_{in} and f_{out}, and filter characteristics shape the capture range and transient performance. This will be discussed in detail later.

Loop Filter

Fundamental loop characteristics such as capture range, loop bandwidth, capture time, and transient response are controlled primarily by the loop filter. The loop behavior is described by gains in each component block of Figure 8. The output to input ratio reflects a second order low pass filter in frequency response with a static gain of N:

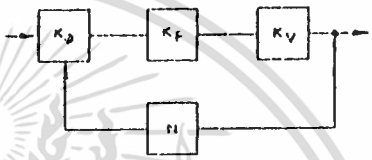
$$\frac{\theta_O(s)}{\theta_i(s)} = \frac{K_\phi K_F K_V}{s + \frac{K_\phi K_F K_V}{N}} \quad (1)$$

where: $K_F = \frac{1 + T_1 s}{T_2 s}$ (2)

$T_1 = R_2C$ and $T_2 = R_1C$ of Figure 4. Therefore,

$$\frac{\theta_O(s)}{\theta_i(s)} = \frac{N(1 + T_1 s)}{\frac{s^2 N T_2}{K_\phi K_V} + T_1 s + 1} \quad (3)$$

FIGURE 8 — GAIN CONSTANTS



K_ϕ = Phase Detector Gain (volts/radian)
K_F = Amplifier/Filter Gain
K_V = VCO Gain (radians/second/volt)
N = Integer Divider

Both ω_n (loop bandwidth or natural frequency) and ζ (damping factor) are particularly important in the transient response to a step input of phase or frequency (Figure 9), and are defined as:

$$\omega_n = \sqrt{\frac{K_\phi K_V}{N T_2}} \quad (4)$$

$$\zeta = \sqrt{\frac{K_\phi K_V}{N T_2}\left(\frac{T_1}{2}\right)} \quad (5)$$

Using these terms in Equation 3,

$$\frac{\theta_O(s)}{\theta_i(s)} = \frac{N(1 + T_1 s)}{\frac{s^2}{\omega_n^2} + \frac{2\zeta s}{\omega_n} + 1} \quad (6)$$

In a well defined system controlling factors such as ω_n and ζ may be chosen either from a transient basis (time domain response) or steady state frequency plot (roll-off point and peaking versus frequency). Once these two design goals are defined, synthesis of the filter is relatively straight-forward.

Constants K_ϕ, K_V, and N are usually fixed due to other design constraints, leaving T_1 and T_2 as variables to set ω_n and ζ. Since only T_2 appears in Equation 4, it is the easiest to solve for initially.

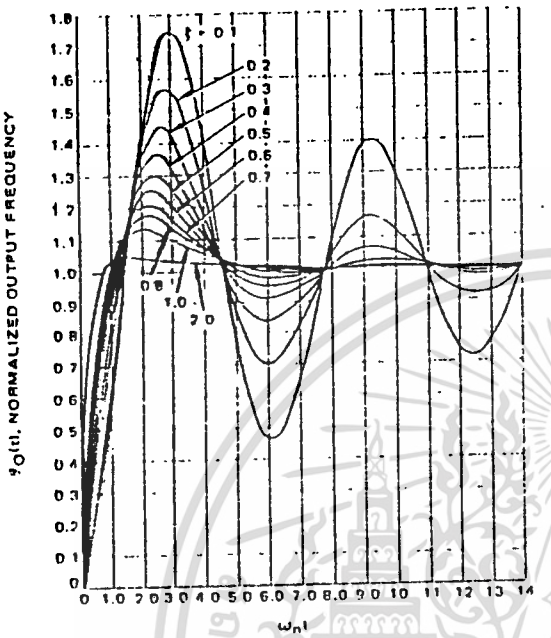
$$T_2 = \frac{K_\phi K_V}{N \omega_n^2} \quad (7)$$

From Equation 5, we find

$$T_1 = \frac{2\zeta}{\omega_n} \quad (8)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

FIGURE 9 — TYPE 2 SECOND ORDER STEP RESPONSE



Using relationships 7 and 8, actual resistor values may be computed:

$$R_1 = \frac{K_\phi K_V}{N\omega_n^2 C} \quad (9)$$

$$R_2 = \frac{2\zeta}{\omega_n C} \quad (10)$$

Although fundamentally the range of R_1 and R_2 may be from several hundred to several thousand ohms, sideband considerations usually force the value of R_1 to be set first, and then R_2 and C computed.

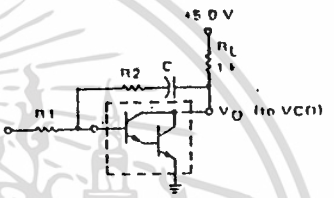
$$C = \frac{K_\phi K_V}{N\omega_n^2 R_1} \quad (11)$$

Calculation of passive components R_2 and C (in synthesizers) is complicated by incomplete information on N, which is variable, and the limits of ω_n and ζ during that variance. Equally important are changes in K_V over the output frequency range. Minimum and maximum values of ω_n and ζ can be computed from Equations 4 and 5 when the appropriate worst case numbers are known for all the factors.

Amplifier/filter gain usually determines how much phase error exists between f_{in} and f_{out}, and the filter characteristic shapes capture range and transient performance. A relatively simple, low gain amplifier may usually be used in the loop since many designs are not constrained so much by phase error as by the need to make f_{in} equal f_{out}. Unnecessarily high gains can cause problems in linear loops when the system is out of lock if the amplifier output swing is not adequately restricted since integrating operational amplifier circuits will latch up in time and effectively open the loop.

The internal amplifier included in the MC4344/4044 may be used effectively if its limits are observed. The circuit configuration shown in Figure 10 illustrates the placement of R_1, R_2, C, and load resistor R_L (1 kΩ). Due to the non-infinite gain of this stage ($A_V \approx 30$) and other non-ideal characteristics, some restraint must be placed on passive component selection. Foremost is a lower limit on the value of R_2 and an upper limit on R_1. Placed in order of priority, the recommendations are as follows: (a) R2 > 50 Ω, (b) R2/R1 ≤ 10, (c) 1 kΩ < R1 < 5 kΩ.

FIGURE 10 — USING MC4344/4044 LOOP AMPLIFIER



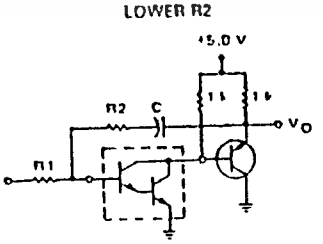
Limit (c) is the most flexible and may be violated with either higher sidebands and phase error (R_1 > 5 kΩ) or lower phase detector gain (R_1 < 1 kΩ). If limit (b) is exceeded, loop bandwidth will be less than computed and may not have any similarity to the prediction. For an accurate reproduction of calculated loop characteristics one should go to an operational amplifier which has sufficient gain to make limit (b) readily satisfied. Limit (a) is very important because T_1 in Equation 5 is in reality composed of three elements:

$$T_1 = C\left(R_2 - \frac{1}{g_m}\right) \quad (12)$$

where g_m = transconductance of the common emitter amplifier.

Normally g_m is large and T_1 nearly equals R_2C, but resistance values below 50 Ω can force the phase-compensating "zero" to infinity or worse (into the right half plane) and give an unstable system. The problem can be circumvented to a large degree by buffering the feedback with an emitter follower (Figure 11). Inequality (a) may then be reduced by at least an order of magnitude (R_2 > 5 Ω) keeping in mind that electrolytic capacitors used

FIGURE 11 — AMPLIFIER CAPABLE OF HANDLING LOWER R2



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

as C may approach this value by themselves at the frequency of interest (ω_n).

Larger values of R_1 may be accommodated by either using an operational amplifier with a low bias current (I_b < 1.0 μA) as shown in Figure 12 or by buffering the internal Darlington pair with an FET (Figure 13). It is vitally important, however, that the added device be operated at zero V_{GS}. Source resistor R_4 should be adjusted for this condition (which amounts to I_{DSS} current for the FET). This insures that the overall amplifier input threshold remains at the proper potential of approximately two base-emitter drops. Use of an additional emitter follower instead of the FET and R_4 (Figure 14) gives a threshold near the upper limit of the phase detector charge pump, resulting in an extremely unsymmetrical phase detector gain in the pump up versus pump down mode. It is not unusual to note a 5:1 difference in K_ϕ for circuits having the bipolar buffer stage. If the initial design can withstand this variation in loop gain and remain stable, the approach should be considered since there are no critical adjustments as in the FET circuit.

FIGURE 12 — USING AN OPERATIONAL AMPLIFIER TO EXTEND THE VALUE OF R1

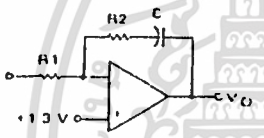


FIGURE 13 — FET BUFFERING TO RAISE AMPLIFIER INPUT IMPEDANCE

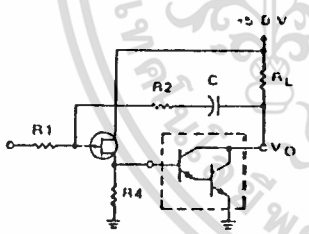
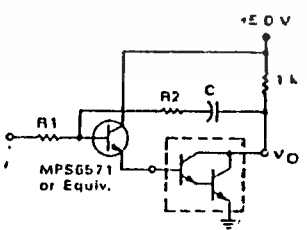


FIGURE 14 — EMITTER FOLLOWER BUFFERING OF AMPLIFIER INPUT



DESIGN PROBLEMS AND THEIR SOLUTIONS

Dynamic Range

A source of trouble for all phase-locked loops, as well as most electronics is simply overload or lack of sufficient dynamic range. One limit is the amplifier output drive to the VCO. Not only must a designer note the outside limits of the dc control voltage necessary to give the output frequency range, he must also account for the worst case of overshoot expected for the system. Relatively large damping factors ($\zeta \approx 0.5$) can contribute significant amounts of overshoot (30%). To be prepared for the worst case output swing the amplifier should have as much margin to positive and negative limits as the expected swing itself. That is, if a two-volt swing is sufficient to give the desired output frequency excursion, there should be at least a two-volt cushion above and below maximum expected steady-state values on the control line.

This increase in range, in order to be effective, must of course by followed by an equivalent range in the VCO or there is little to be gained. Any loss in loop gain will in general cause a decrease in ζ and a consequent increase in overshoot and ringing. If the loss in gain is caused by saturation or near saturation conditions, the problem tends to accelerate towards a situation where the system settles in not only a slow but oscillator manner as well.

Loss of amplifier gain may not be due entirely to normal system damping considerations. In loops employing digital phase detectors, an additional problem is likely to appear. This is due to amplifier saturation during a step input when there is a maximum phase detector output simultaneous with a large transient overshoot. The phase detector square wave rides on top of the normal transient and may even exceed the amplifier output limits imposed above. Since the input frequency will exceed the R_2C time constant, gain K_f for these annoying pulses will be R_2/R_1. Ordinarily this ratio will be less than 1, but some circumstances dictate a low loop gain commensurate with a fairly high ω_n. For these cases, R_2/R_1 may be higher than 10 and cause pulse-wise saturation of the amplifier. Since the dc control voltage is an average of phase detector pulses, clipping can be translated into a reduction in gain with all the "benefits" already outlined, i.e., poor settling time. An easy remedy to apply in many cases is a simple RC low pass section preceding or together with the integrator-lag section. To make transient suppression independent of amplifier response, the network may be imbedded within the input resistor R_1 (Figure 15) or be implemented by placing a feedback capacitor across R_2 (Figure 16). Besides rounding off and inhibiting pulses, these networks add an additional pole to the loop and may cause further overshoot if the cutoff frequency (ω_c) is too close to ω_n. If at all possible the cutoff point should be five to ten times ω_n. How far ω_c can be placed from ω_n depends on the input frequency relationship to ω_n since f_{in} is, after all, what is being filtered. A side benefit of this simple RC pulse "flattener" is a reduction in f_{in} sidebands around f_{out} for synthe-

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

sizers with N > 1. However, a series of RC filters is not recommended for either extended pulse suppression or sideband improvement as excess phase will begin to build up at the loop crossover (≈ ω_n) and tend to cause instability. This will be discussed in more detail later.

FIGURE 15 — IMPROVED TRANSIENT SUPPRESSION WITH R1 — C_c

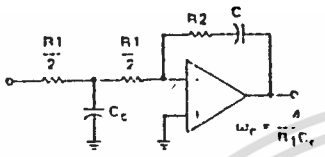
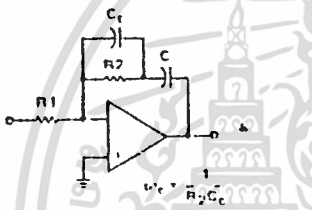


FIGURE 16 — IMPROVED TRANSIENT SUPPRESSION WITH R2 — C_c



Spurious Outputs

Although the major problem in phase-locked loop design is defining loop gain and phase margin under dynamic operating conditions, high-quality synthesizer designs also require special consideration to minimize spurious spectral components — the worst of which is reference-frequency sidebands. Requirements for good sideband suppression often conflict with other performance goals — loop dynamic behavior, suppression of VCO noise, or suppression of other in-loop noise. As a result, most synthesizer designs require compromised specifications. For a given set of components and loop dynamic conditions, reference sidebands should be predicted and checked against design specifications before any hardware is built.

Any steady-state signal on the VCO control will produce sidebands in accordance with normal FM theory. For small spurious deviations on the VCO, relative sideband-to-carrier levels can be predicted by:

$$\frac{\text{sidebands}}{\text{carrier}} \cong \frac{V_{ref} K_V}{2\omega_{ref}} \qquad (13)$$

where V_{ref} = peak voltage value of spurious frequency at the VCO input.

Unwanted control line modulation can come from a variety of sources, but the most likely cause is phase detector pulse components feeding through the loop filter. Although the filter does establish loop dynamic conditions, it leaves something to be desired as a low pass section for reference frequency components.

For the usual case where ω_{ref} is higher than $1/T_2$, the K_F function amounts to a simple resistor ratio:

$$K_F(j\omega)\Big|_{\omega = \omega_{ref}} \cong -\frac{R_2}{R_1} \qquad (14)$$

By substitution of Equations 9 and 10, this signal transfer can be related to loop parameters.

$$K_F(j\omega)\Big|_{\omega = \omega_{ref}} = \frac{2\zeta N\omega_n}{K_\phi K_V} - \frac{V_{ref}}{V_\phi} \qquad (15)$$

where V_{ref} = peak value of reference voltage at the VCO input, and

V_ϕ = peak value of reference frequency voltage at the phase detector output.

Sideband levels relative to reference voltage at the phase detector output can be computed by combining Equations 13 and 15:

$$\frac{\text{sideband level}}{f_{out}\text{ level}} = V_\phi \left(\frac{\zeta N\omega_n}{\omega_{ref} K_\phi}\right) \qquad (16)$$

From Equation 16 we find that for a given phase detector, a given value of R_1 (which determines V_ϕ), and given basic system constraints (N, f_{ref}), only ζ and ω_n remain as variables to diminish the sidebands. If there are few limits on ω_n, it may be lowered indefinitely until the desired degree of suppression is obtained. If ω_n is not arbitrary and the sidebands are still objectionable, additional filtering is indicated.

One item worthy of note is the absence of K_V in Equation 16. From Equation 15 it might be concluded that decreasing K_V would be another means for reducing spurious sidebands, but for constant values of ζ and ω_n this is not a free variable. In a given loop, varying K_V will certainly affect sideband voltage, but will also vary ζ and ω_n.

On the other hand, the choice of ω_n may well affect spectral purity near the carrier, although reference sideband levels may be quite acceptable.

In computing sideband levels, the value of V_ϕ must be determined in relation to other loop components. Residual reference frequency components at the phase detector output are related to the dc error voltage necessary to supply charge pump leakage current and amplifier bias current. From these average voltage figures, spectral components of the reference frequency and its harmonics can be computed using an approximation that the phase detector output consists of square waves τ seconds

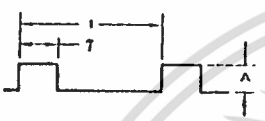
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

wide repeated at t second intervals (Figure 17). A Fourier analysis can be summarized for small ratios of τ/t by:

(1) the average voltage (V_{avg}) is $A(\tau/t)$
(2) the peak reference voltage value (V_ϕ) is twice V_{avg}, and
(3) the second harmonic ($2f_{ref}$) is roughly equal in amplitude to the fundamental.

By knowing the requirements for (1) due to amplifier bias and leakage currents, values for (2) and (3) are uniquely determined.

FIGURE 17 — PHASE DETECTOR OUTPUT



An example of this sideband approximation technique can be illustrated using the parameters specified for the synthesizer design included in the applications information section.

$N_{max} = 30$ $\quad \omega_n = 4500$ rad/s
$K_V = 11.2 \times 10^6$ rad/s/V $\quad R_1 = 2$ kΩ
$K_\phi = 0.12$ V/rad $\quad f_{ref} = 100$ kHz
$\zeta = 0.8$

Substituting these numbers into Equation 16:

$$\frac{\text{sideband}}{f_{out}} = V_\phi \frac{(0.8)(30)(4500)}{2\pi(10^5)(0.111)} \quad (17)$$

$$= V_\phi (1.55) \quad (18)$$

The result illustrates how much reference feedthrough will affect sideband levels. If 1.0 mV peak of reference appears at the output of the phase detector, the nearest sideband will be down 56.2 dB.

If the amplifier section included in the MC4344/4044 is used, with $R_L = 1$ kΩ, some approximations of the value of V_ϕ can be made based on the input bias current and the value of R_1. The phase detector must provide sufficient average voltage to supply the amplifier bias current, I_b, through R_1; when the bias current is about 5.0 μA and R_1 is 2 kΩ, V_{avg} must be 10 mV. From the assumptions earlier concerning the Fourier transform, and with the help of Figure 18, we can see that the phase detector duty cycle will be about 1.7% (A = 0.6 V), giving a fundamental (reference) of 20 mV peak. If this value for V_ϕ is substituted into Equation 18, the resulting sideband ratio represents 30 dB suppression due to this component alone.

In addition to the amplifier bias current, another factor to consider is transistor Q5 reverse leakage current I_L flowing into pin 10 of the MC4344/4044 charge pump. I_L is generally less than 1.0 μA and is no more than 5.0 μA over the temperature range. A typical design value for 25°C is 0.1 μA. Both I_L and amplifier bias current I_B are in a direction to deplenish the charge on filter capacitor C. A second charge pump leakage, I_L', attributed by diode CR1 flows out of pin 5. This current, however, is in a direction to help supply I_B and I_L and thus tends to minimize the discharge of C. Typically I_L' is much less than I_L and, since it is also in a direction to minimize discharge of the filter capacitor, it will be ignored in the following discussion. The total charge removed from C must be replaced by current supplied by the charge pump during the next up-date opportunity. This current flows through R1. To minimize the effects of I_B and I_L a relative small value of R1 should be chosen. A minimum value of 1 kΩ is a good choice.

FIGURE 18 — OUTPUT ERROR CHARACTERISTICS

DUTY CYCLE (%)	PHASE ERROR (Deg)	V_{avg} (mV)	$V_{c(peak)}$ (mV)
0.1	0.36	0.6	1.2
0.2	0.72	1.2	2.4
0.3	1.08	1.8	3.6
0.4	1.44	2.4	4.8
0.5	1.80	3.0	6.0
0.6	2.16	3.6	7.2
0.7	2.52	4.2	8.4
0.8	2.88	4.8	9.6
0.9	3.24	5.4	10.8
1.0	3.60	6.0	12.0
2.0	7.2	12.0	24.0
3.0	10.8	18.0	35.9
4.0	14.4	24.0	47.9
5.0	18.0	30.0	59.8
6.0	21.6	36.0	71.6
7.0	25.2	42.0	83.3
8.0	28.8	48.0	95.0
9.0	32.4	54.0	106.6
10.0	36.0	60.0	118.0

After values for C and R_2 have been computed on the basis of loop dynamic properties, the overall sideband to f_{out} ratio computation can be simplified.

Since

$$V_\phi = 2V_{avg}$$
$$V_{avg} = (I_b + I_L)R_1 \qquad = 2R_1(I_b + I_L)\left(\frac{R_2}{R_1}\right)$$
$$V_\phi = 2(I_b + I_L)R_1$$

$$V_{ref} = V_\phi \left(\frac{R_2}{R_1}\right) \qquad = 2R_2(I_b + I_L)$$

we find that

$$\frac{\text{sideband}}{f_{out}} = \frac{V_{ref}K_V}{2\omega_{ref}} \quad (19)$$

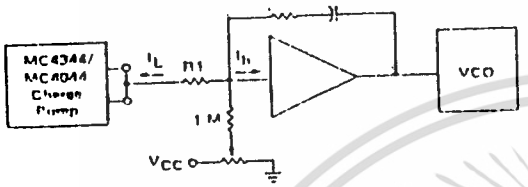
$$\frac{\text{sideband}}{f_{out}} = \frac{2R_2(I_b + I_L)K_V}{2\omega_{ref}} \quad (20)$$

Equation 20 indicates that excellent suppression could be achieved if the bias and leakage terms were nulled by current summing at the amplifier input (Figure 19). This has indeed proved to be the case. Experimental results indicate that greater than 60 dB rejection can routinely

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

be achieved at a constant temperature. However when nulling fairly large values (> 100 nA), the rejection becomes quite sensitive since leakages are inherently a function of temperature. This technique has proved useful in achieving improved system performance when used in conjunction with good circuit practice and reference filtering.

FIGURE 19 — COMPENSATING FOR BIAS AND LEAKAGE CURRENT



Additional Loop Filtering

So far, only the effects of fundamental loop dynamics on resultant sidebands have been considered. If further sideband suppression is required, additional loop filtering is indicated. However, care must be taken in placement of any low pass rolloff with regard to the loop natural frequency (ω_n). On one hand, the "corner" should be well below (lower than) ω_{ref} and yet far removed (above) from ω_n. Although no easy method for placing the roll-off point exists, a rule of thumb that usually works is:

$$\omega_c = 5\omega_n \qquad (21)$$

Reference frequency suppression per pole is the ratio of ω_c to ω_{ref}.

$$SB_{dB} \cong n\ 20 \log_{10} \left(\frac{\omega_c}{\omega_{ref}}\right) \qquad (22)$$

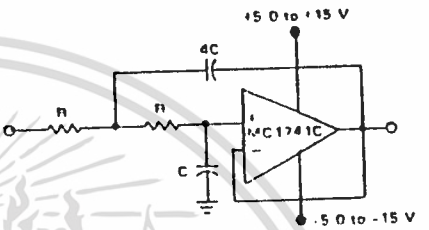
where n is the number of poles in the filter.

Equation 22 gives the additional loop suppression to ω_{ref}; this number should be added to whatever suppression already exists.

For non-critical applications, simple RC networks may suffice, but if more than one section is required, loop dynamics undergo undesirable changes. Loop damping factor decreases, resulting in a high percentage of overshoot and increased ringing since passive RC sections tend to accumulate phase shift more rapidly than signal suppression and part of this excess phase subtracts from the loop phase margin. Less phase margin translates into a lower damping factor and can, in the limit, cause outright oscillation.

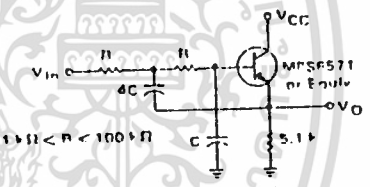
A suitable alternative is an active RC section, Figure 20, compatible with the existing levels and voltages. An active two pole filter (second order section) can realize a more gradual phase shift at frequencies less than the cutoff point and still get nearly equal suppression at frequencies above the cutoff point. Sections designed with a slight amount of peaking ($\zeta \cong 0.5$) show a good compromise between excess phase below cutoff (ω_c), without peaking enough to cause any danger of raising the loop gain for frequencies above ω_n. A fairly non-critical section may simply use an emitter follower as the active device with two resistors and capacitors completing the circuit (Figure 21). This provides a – 12 dB/octave (– 40 dB/decade) rolloff characteristic above ω_n, though the attenuation may be more accurately determined by Equation 22. If the sideband problem persists, an additional section may be added in series with the first. No more than two sections are recommended since at that time either (1) the constraint between ω_n and ω_{ref} is too close, or (2) reference voltage is modulating the VCO from a source other than the phase detector through the loop amplifier.

FIGURE 20 — OPERATIONAL AMPLIFIER LOW PASS FILTER



1. Choose R
   1 kΩ < R < 1 MΩ
2. $C = \frac{0.5}{\omega_c R}$

FIGURE 21 — EMITTER FOLLOWER LOW PASS FILTER

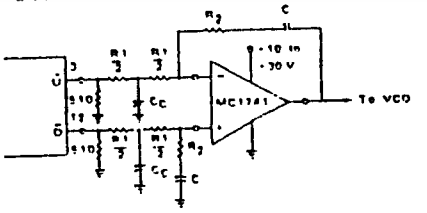


NOTE: If $V_O \geq V_{CC} - 1.0$ V, this stage is susceptible to power supply noise

Operation without charge pump phase detector #1 of the MC4344/4044 can be implemented quite successfully in many applications without using the charge pump and internal darlington amplifier approach. An operational amplifier filter can be used to process the error information appearing at U1 and D1 (pins 13 and 2) directly (Figure 22). This phase detector/filter approach offers a potentially superior performing system because:

a. Charge pump delay time is eliminated.
b. Charge pump input signed threshold level need not be overcome before error information is obtained. This can result in a substantial improvement in the

FIGURE 22—TYPICAL FILTER AND SUMMING NETWORK



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4044's transfer function linearity in the vicinity of zero phase error between the R and V inputs.

c. The filter amplifier ground location can be separated from the phase detector ground.

d. An "optimum" filter amplifier input threshold of approximately two diode drops need not be established.

The filter discussions and relationships developed for integrator-log filter sections can be applied to the system of Figure 22 and the previously derived equations can be used to determine values for R1, R2 and C.

It may be desirable to split each of the R1 resistors and incorporate a capacitor to ground in a manner similar to that shown in Figure 15. This should improve transient suppression and provide integration of the U1 and D1 signals to better enable the operational amplifier to develop corrective error information from very narrow U1 and D1 pulse widths.

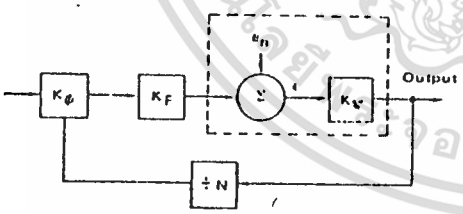
Phase error for the circuit in Figure 22 will result from input offset voltage in the operational amplifier, resistor mismatch and mismatch between the phase detector output states appearing at U1 and D1. Phase error can be trimmed to zero initially by adjusting either the amplifier input offset or one of the R1 resistors.

VCO Noise

Effects of noise within the VCO itself can be evaluated by considering a closed loop situation with an external noise source, e_n, introduced at the VCO (Figure 23). Resultant modulation of the VCO by error voltage, ϵ, is a second order high pass function:

$$\frac{\epsilon}{e_n} = \frac{S^2}{S^2 + \frac{ST_1K_\phi K_V}{T_2N} + \frac{K_\phi K_V}{T_2N}} = \frac{S_2}{S^2 + 2\zeta\omega_n S + \omega_n^2} \quad (23)$$

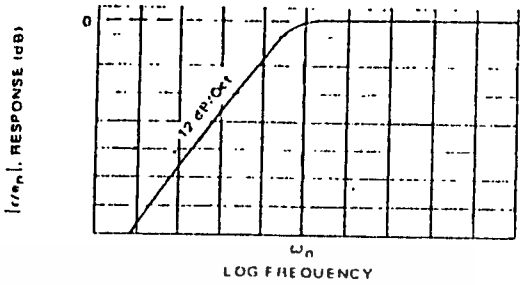
FIGURE 23 — EFFECTS OF VCO NOISE



$$\frac{\epsilon}{e_n} = \frac{S^2}{S^2 + 2\zeta\omega_n S + \omega_n^2}$$

This function has a slope of 12 dB/octave at frequencies less than ω_n (loop natural frequency), as shown in Figure 24. This means that noise components in the VCO above ω_n will pass unattenuated and those below will have some degree of suppression. Therefore choice of loop natural frequency may well rest on VCO noise quality.

FIGURE 24 — LOOP RESPONSE TO VCO NOISE

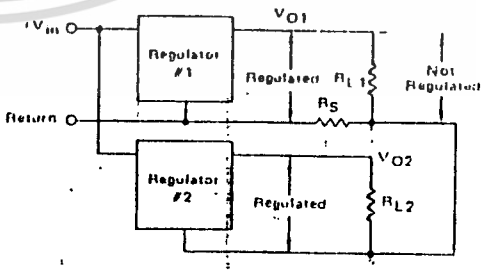


Other Spurious Responses

Spurious components appearing in the output spectrum are seldom due to reference frequency feedthrough alone. Modulation of any kind appearing on the VCO control line will cause spurious sidebands and can come in through the loop amplifier supply, bias circuitry in the control path, a translator, or even the VCO supply itself. Some VCOs have a relatively high sensitivity to power supply variation. This should be investigated and its effects considered. Problems of this nature can be minimized by operating all devices except the phase detector, charge pump, and VCO from a separate and well isolated supply. A common method uses a master supply of about 10 or 12 volts and two regulators to produce voltages for the PLL — one for all the logic (including the phase detector) and the other for all circuitry associated with the VCO control line.

Sideband and noise performance is also a function of good power supply and regulator layout. As mentioned earlier, extreme care should be exercised in isolating the control line voltage to the VCO from influences other than the phase detector. This not only means good voltage regulation but ac bypassing and adherence to good grounding techniques as well. Figure 25 shows two separate regulators and their respective loads. Resistor R_S is a small stray resistance due to a common thin ground return for both R_{L1} and R_{L2}. Any noise in R_{L2} is now reproduced (in a suppressed form) across R_{L1}. Load current from R_{L1} does not affect the voltage across R_{L2}. Even though the regulators may be quite good, they can hold V_O constant only across their outputs, not necessarily across the load (unless remote sensing is used).

FIGURE 25 — LOOP VOLTAGE REGULATION



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

One solution to the ground-coupled noise problem is to lay out the return path with the most sensitive regulated circuit at the farthest point from power supply entry as shown in Figure 26.

Even for regulated subcircuits, accumulated noise on the ground bus can pose major problems since although the cross currents do not produce a differential load voltage directly, they do produce essentially common mode noise on the regulators. Output differential load noise then is a function of the input regulation specification. By far the best way to sidestep the problem is to connect each subcircuit ground to the power supply entry return line as shown in Figure 27.

FIGURE 26 — REGULATOR LAYOUT

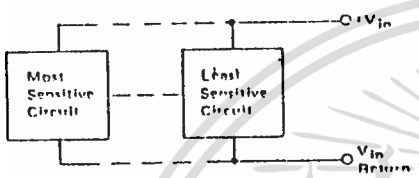
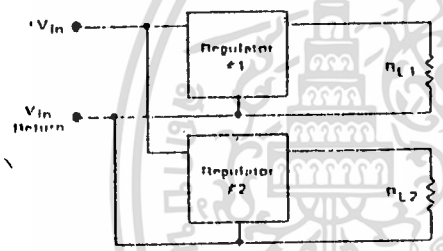


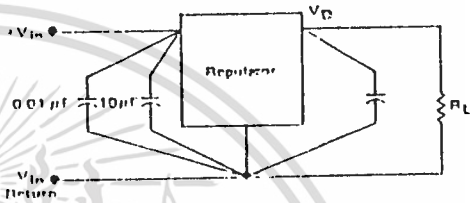
FIGURE 27 — REGULATOR GROUND CONNECTION



In Figures 25 and 27, R_{L1} and R_{L2} represent component groups in the system. The designer must insure that all ground return leads in a specific component group are returned to the common ground. Probably the most overlooked components are bypass capacitors. To minimize sidebands, extreme caution must be taken in the area immediately following the phase detector and through the VCO. A partial schematic of a typical loop amplifier and filter is shown in Figure 28 to illustrate the common grounding technique.

Bypassing in a phase-locked loop must be effective at both high frequencies and low frequencies. One capacitor in the 1.0-to-10 µF range and another between 0.01 and 0.001 µF are usually adequate. These can be effectively utilized both at the immediate circuitry (between supply and common ground) and the regulator if it is some distance away. When used at the regulator, a single electrolytic capacitor on the output and a capacitor pair at the input is most effective (Figure 29). It is important, again, to note that these bypasses go from the input/output pins to as near the regulator ground pin as possible.

FIGURE 29 — SUGGESTED BYPASSING PROCEDURE



APPLICATIONS INFORMATION

Frequency Synthesizers

The basic PLL discussed earlier is actually a special case of frequency synthesis. In that instance, $f_{out} = f_{in}$, although normally a programmable counter in the feedback loop insures the general rule that $f_{out} = Nf_{in}$ (Figure 30). In the synthesizer f_{in} is usually constant (crystal controlled) and f_{out} is changed by varying the programmable divider (÷ N). By stepping N in integer increments, the output frequency is changed by f_{in} per increment. In com-

FIGURE 30 — PHASE-LOCKED LOOP WITH PROGRAMMABLE COUNTER

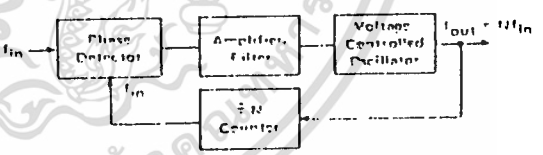
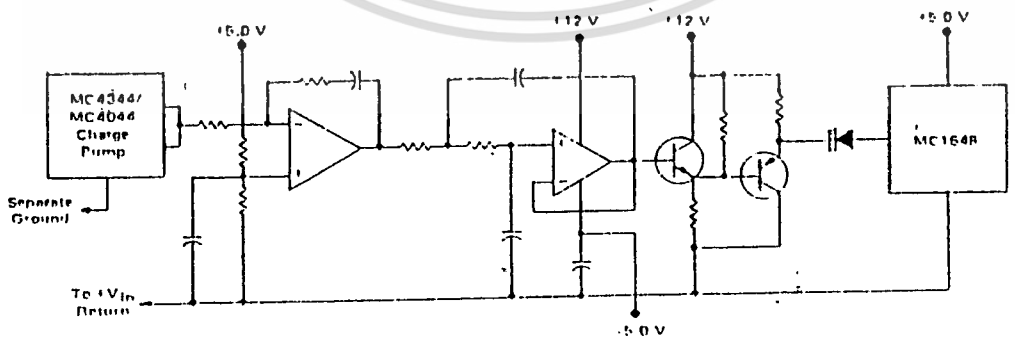


FIGURE 28 — PARTIAL SCHEMATIC OF LOOP AMPLIFIER AND FILTER



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

munication use, this input frequency is called the "channel spacing" or, in general, it is the reference frequency.

There is essentially no difference in loop dynamic problems between the basic PLL and synthesizers except that synthesizer designers must contend with problems peculiar to loops where N is variable and greater than 1. Also, sidebands or spectral purity usually require special attention. These and other aspects are discussed in greater detail in AN-535. The steps for a suitable synthesis procedure may be summarized as follows:

Synthesis Procedure

1. Choose input frequency. (f_{ref} = channel spacing)
2. Compute the range of digital division:

$$N_{max} = \frac{f_{max}}{f_{ref}}$$

$$N_{min} = \frac{f_{min}}{f_{ref}}$$

3. Compute needed VCO range:

$$(2f_{max} - f_{min}) < f_{VCO} < (2f_{min} - f_{max})$$

4. Choose minimum ζ from transient response plot, Figure 9. A good starting point is $\zeta = 0.5$.
5. Choose ω_n from needed response time (Figure 9):

$$\omega_n = \frac{\omega_n t}{t}$$

6. Compute C:

$$C = \frac{K_d K_V}{N_{max}\omega_n^2 R_1}$$

7. Compute R_2:

$$R_2 = \frac{2\zeta_{min}}{\omega_n C}$$

8. Compute ζ_{max}:

$$\zeta_{max} = \zeta_{min}\sqrt{\frac{N_{max}}{N_{min}}}$$

9. Check transient response of ζ_{max} for compatibility with transient specification.
10. Compute expected sidebands:

$$\frac{\text{sideband}}{f_{out}} \cong \frac{(I_D + I_L)R_2 K_V}{\omega_{ref}} \qquad \text{(A)}$$

(I_L is about 100 nA at T_J = 25°C.)

11. If step 10 yields larger sidebands than are acceptable, add a single pole at the loop amplifier by splitting R_1 and adding C_c as shown in Figure 15:

$$C_c \cong \frac{0.8}{R_1\omega_n}$$

Added sideband suppression (dB) is:

$$dB \cong 20\log_{10}\frac{1}{\sqrt{1 + \frac{\omega_{ref}^2}{25(\omega_n)^2}}} \qquad \text{(B)}$$

12. If step 11 still does not give the desired results, add a second order section at $\omega_c = 5\,\omega_n$ using either the configuration of Figure 20 or 21. The expected improvement is twice that of the single pole in step 11.

$$dB \cong 40\log_{10}\frac{1}{\sqrt{1 + \frac{\omega_{ref}^2}{25(\omega_n)^2}}} \qquad \text{(C)}$$

Total sideband rejection is then the total of $20\log_{10}$(A) + (B) + (C).

Design Example (Figure 31)

Assume the following requirements:
Output frequency, f_{out} = 2.0 MHz to 3.0 MHz
Frequency steps, f_{in} = 100 kHz
Lockup time between channels (to 5%) = 1.0 ms
Overshoot < 20%.
Minimum sideband suppression = −30 dB

From the steps of the synthesis procedure:

1. $f_{ref} = f_{in}$ = 100 kHz
2. $N_{max} = \frac{f_{max}}{f_{ref}} = \frac{3.0\text{ MHz}}{0.1\text{ MHz}} = 30$

$$N_{min} = \frac{f_{min}}{f_{ref}} = \frac{2.0\text{ MHz}}{0.1\text{ MHz}} = 20$$

3. VCO range:
The VCO output frequency range should extend beyond the specified minimum-maximum limits to accommodate the overshoot specification. In this instance f_{out} should be able to cover an additional 20% on either end. End limits on the VCO are:

$$f_{out}max \geq 3.0 + 0.2(1.0) = 3.2\text{ MHz}$$
$$f_{out}min \leq 2.0 - 0.2(1.0) = 1.8\text{ MHz}$$

This VCO range (~ 1.8:1) is realizable with the MC4324/4024 voltage controlled multivibrator. From Figure 7 of the MC4324/4024 data sheet we find the required tuning capacitor value to be 120 pF and the VCO gain, K_V, typically 11×10^6 rad/s/v.

4. From the step response curve of Figure 9, $\zeta = 0.8$ will produce a peak overshoot less than 20%.
5. Referring to Figure 9, overshoot with $\zeta = 0.8$ will settle to within 5% at $\omega_n t = 4.5$. Since the required lock-up time is 1.0 ms,

$$\omega_n = \frac{\omega_n t}{t} = \frac{4.5}{t} = \frac{4.5}{0.001} = (4.5)(10^3)\text{rad/s}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

6. In order to compute C, phase detector gain and R1 must be selected. Phase detector gain, K_ϕ, for the MC4344/4044 is approximately 0.1 volt/radian with $R_1 = 1\ k\Omega$. Therefore,

$$C = \frac{(0.1)(11 \times 10^6)}{(30)(4.5 \times 10^3)^2(10^3)} = 1.8\ \mu F$$

7. At this point, R_2 can be computed:

$$R_2 = \frac{2\zeta_{min}}{\omega_n C} = \frac{1.6}{(4.5 \times 10^3)(1.8 \times 10^{-6})} = 200\ \Omega$$

8. $\zeta_{max} = \zeta_{min}\sqrt{\frac{N_{max}}{N_{min}}} = 0.98$

9. Figure 9 shows that $\zeta = 0.98$ will meet the settling time requirement.

10. Sidebands may be computed for two cases: (1) with I_L (charge pump leakage current) nominal (100 nA), and (2) with I_L maximum (5.0 μA). A value of 5 μA will also be assumed for the amplifier bias current, i_b.

$$\left.\frac{\text{sideband}}{f_{out}}\right|_{max} = \frac{(10 \times 10^{-6})(200)(11 \times 10^6)}{6.28 \times 10^5} \cong 35 \times 10^{-3}$$

The sideband-to-center frequency ratio nominally will be:

$$\left.\frac{\text{sideband}}{f_{out}}\right|_{nom} = \frac{5.1}{10} \times 35 \times 10^{-3}$$

$$= 20 \log_{10}(17.85 \times 10^{-3}) \cong -35\ dB$$

If desired additional sideband filtering can be obtained as noted in steps 11 and 12.

11. By splitting R_1 and C_c, further attenuation can be gained. The magnitude of C_c is approximately:

$$C_C = \frac{0.8}{R_1 \omega_n} = \frac{0.8}{(10^3)(4.5)(10^3)} \cong 0.18\ \mu F$$

Improvement in sidebands will be:

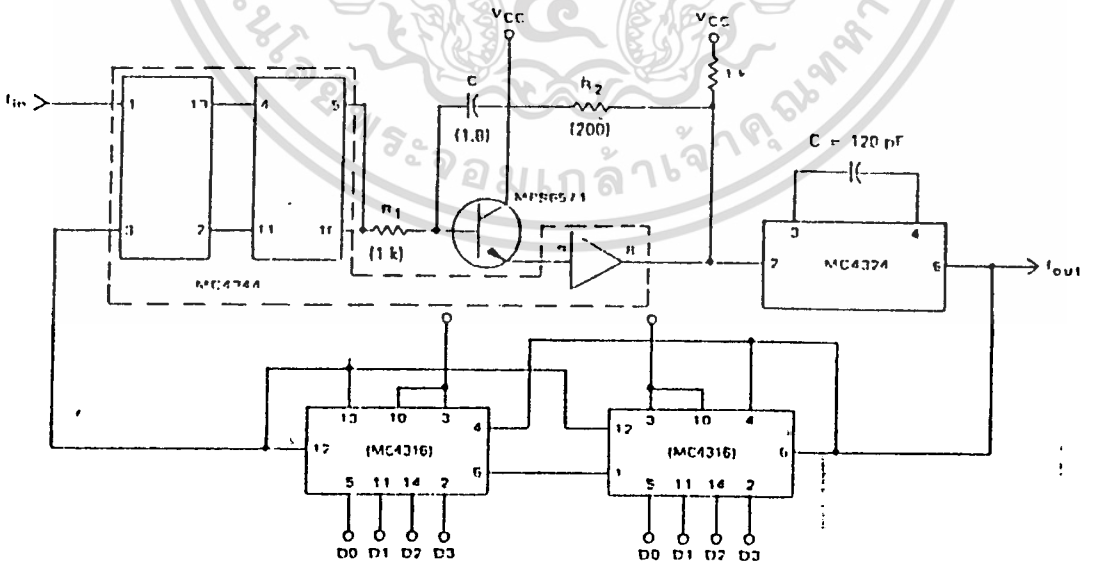
$$20 \log_{10} \frac{1}{\sqrt{1 + \frac{(2\pi \times 10^5)^2}{25(4.5 \times 10^3)^2}}} = -28\ dB$$

Nominal suppression is now – 63 dB. Worst-case is 6 dB higher than nominal suppression of – 57 dB. This is well within the – 30 dB design requirement, step 12 is included for completeness only.

12. Attenuation of a second order filter is double that of the single order filter section described in step 11. The calculations for a second order filter indicate an additional – 56 dB of sideband rejection. Figures 20 and 21 show two second order filter configurations. If R is assigned a value of 10 kΩ then C may be calculated.

$$C = \frac{0.1}{\omega_n R} = \frac{0.1}{(4.5 \times 10^3)(10^4)} = 0.0022\ \mu F$$

FIGURE 31 — CIRCUIT DIAGRAM OF TYPE 2 PHASE-LOCKED LOOP



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Clock Recovery from Phase-Encoded Data

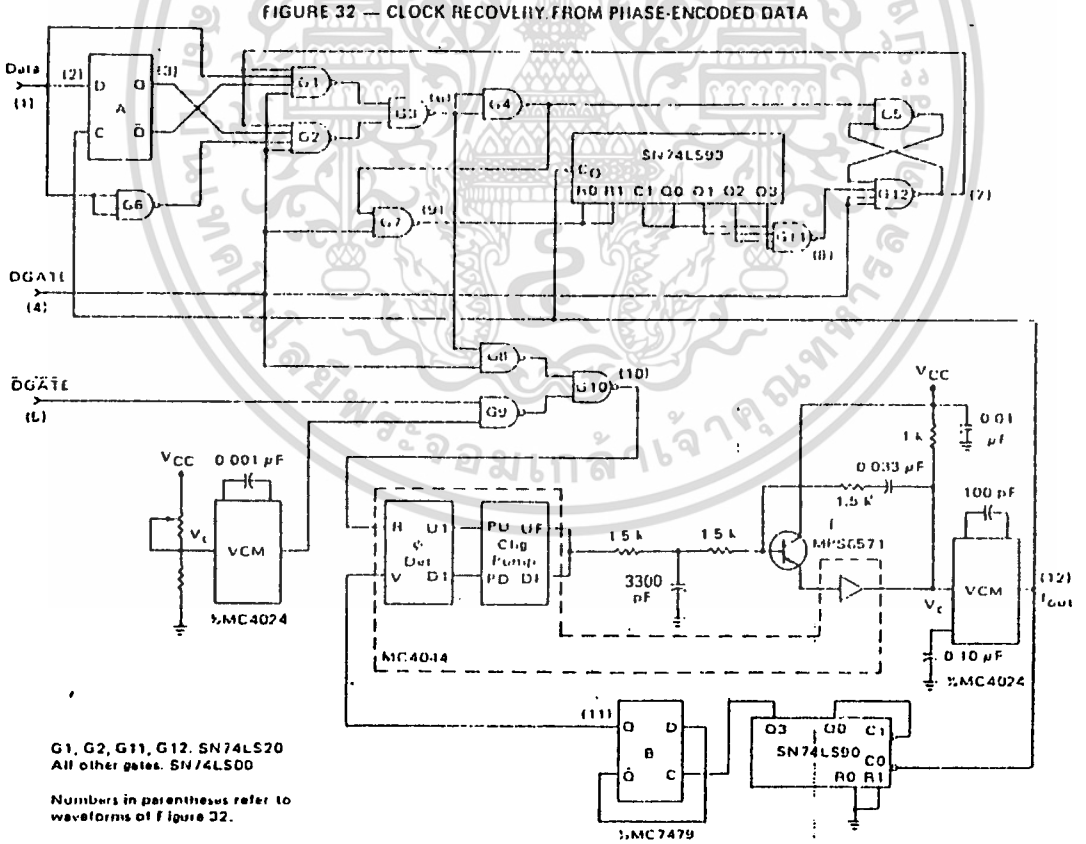
The electro-mechanical system used for recording digital data on magnetic tape often introduces random variations in tape speed and data spacing. Because of this and the encoding technique used, it is usually necessary to regenerate a synchronized clock from the data during this read cycle. One method for doing this is to phase-lock a voltage controlled multivibrator to the data as it is read (Figure 32).

A typical data block using the phase encoded format is shown in row 1 of Figure 33. The standard format calls for recording a preamble of forty "0"s followed by a single "1"; this is followed by from 18 to 2048 characters of data and a postamble consisting of a "1" followed by forty "0"s. The encoding format records a "0" as a transition from low to high in the middle of a data cell. A "1" is indicated by a transition from high to low at the data cell midpoint. When required, phase transitions occur at the end of data cells. If a string of either consecutive "0"s or consecutive "1"s is recorded, the format duplicates the original clock; the clock is easily recovered by straight forward synchronization with a phase-locked loop. In the general case, where the data may appear in any order, the phase-encoded data must be processed to obtain a single pulse during each data cell before it is applied to the phase detector. For example, if the data consisted only of alternating "1"s and "0"s, the phase-encoded format would result in a waveform equal to one-half the original clock frequency. If this were applied directly to the loop, the VCM would of course move down to that frequency. The encoding format insures that there will be a transition in the middle of each data time. If only these transitions are sensed they can be used to regenerate the clock. The schematic diagram of Figure 32 indicates one method of accomplishing this.

The logic circuitry generates a pulse at the midpoint of each data cell which is then applied to the reference input of the phase detector. The loop VCM is designed to operate at some multiple of the basic clock rate. The VCM frequency selected depends on the decoding resolution desired and other system timing requirements. In this example, the VCM operates at twenty-four times the clock rate (Figure 33, Row 12).

Referring to Figure 32 and the timing diagram of Figure 33, the phase-encoded data (Figure 33, Row 1) is combined with a delayed version of itself (output of flip-flop A row 3) to provide a positive pulse out of G3 for every transition of the input signal. Portions of the data block are shown expanded in row 2 of Figure 33. Flip-flop A delays the incoming data of one-half of a VCM clock period. Gates G1, G2 and G3 implement the logic Exclusive OR of waveforms 1 and 3 except when inhibited by DGATE (row 4) or the output of G12 (row 7). DGATE and

FIGURE 32 — CLOCK RECOVERY FROM PHASE-ENCODED DATA



G1, G2, G11, G12, SN74LS20
All other gates, SN74LS00

Numbers in parentheses refer to waveforms of Figure 32.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

its complement, $\overline{DGATE}$, serve to initialize the circuitry and insure that the first transition of the data block (a phase transition) is ignored. The MC7493 binary counter and the G5-G12 latch generate a suitable signal for gating out G3 pulses caused by phase transitions at the end of a data cell, such as the one shown dashed in row 6.

The initial data pulse from G3 sets G12 low and is combined with DGATE in G7 to reset the counter to its zero state. Subsequent VCM clock pulses now cycle the counter and approximately one-third of the way through the next data cell the counter's full state is decoded by G11, generating a negative transition. This causes G12 to go high, removing the inhibit signal until it is again reset by the next data transition. This pulse also resets the counter, continuing the cycle and generating a positive pulse at the midpoint of each data cell as required.

Acquisition time is reduced if the loop is locked to a frequency approximately the same as the expected data rate during inter-block gaps. In Figure 32, this is achieved by operating the remaining half of the dual VCM at slightly less than the data rate and applying it to the reference input of the phase detector via the G8-G9-G10 data selector. When data appears, DGATE and $\overline{DGATE}$ cause the output of G3 to be selected as the reference input to the loop.

The loop parameters are selected as a compromise between fast acquisition and jitter-free tracking once synchronization is achieved. The resulting filter component values indicated in Figure 32 are suitable for recovering the clock from data recorded at a 120 kHz rate, such as would result in a tape system operating at 75 i.p.s. with a recording density of 1600 b.p.i. Synchronization is achieved by approximately the twenty-fourth bit time of the preamble. The relationship between system requirements and the design procedure is illustrated by the following sample calculation:

Assume a −3.0 dB loop bandwidth much less than the input data rate (≈ 120 kHz), say 10 kHz. Further, assume a damping factor of $\zeta = 0.707$. From the expression for loop bandwidth as a function of damping factor and undamped natural frequency, ω_n, calculate ω_n as:

$$\omega_{-3\ dB} = \omega_n \left(1 + 2\zeta^2 + \sqrt{2 + 4\zeta^2 + 4\zeta^4}\right)^{1/2} \quad (24)$$

or for $\omega_{-3\ dB} = (2\pi)10^4$ rad/s and $\zeta = 0.707$:

$$\omega_n = \frac{(2\pi)10^4}{2.06} = (3.05)10^4 \text{ rad/s}$$

As a rough check on acquisition time, assume that lockup should occur not later than half-way through a 40-bit preample, or for twenty 8.34 µs data periods.

$$\omega_n t = (3.05)10^4(20)(8.34)10^{-6} = 5.1 \quad (26)$$

From Figure 8, the output will be within 2 to 3% of its final value for $\omega_n t = 5$ and $\zeta = 0.707$. The filter components are calculated by:

$$\frac{K_\phi K_V}{R_1 C N} = \omega_n^2 \quad (27)$$

and

$$\frac{K_\phi K_V R_2}{R_1 N} = 2\zeta\omega_n \quad (28)$$

where $K_\phi = 0.115$ v/rad
$K_V = (18.2)\ 10^6$ rad/s/volt
$N = 24$ = Feedback divider ratio
$\omega_n = (3.05)\ 10^4$ rad/s
$\zeta = 0.707$

$$\frac{K_\phi K_V}{N} = \frac{(0.115)(18.2)10^6}{24} = (8.72)10^4$$

From Equation 27:

$$R_1 C = \frac{K_\phi K_V}{N\omega_n^2} = \frac{(8.72)10^4}{(3.05)^2 10^8} = (9.34)10^{-5}$$

From Equation 28:

$$\frac{R_2}{R_1} = \frac{2\zeta\omega_n N}{K_\phi K_V} = \frac{2(0.707)(3.05)10^4}{(8.72)10^4} = 0.494 \approx \tfrac{1}{2}$$

Let $R_1 = 3.0$ kΩ; then $R_2 = 1.5$ kΩ and

$$C = \frac{(9.34)10^{-5}}{(3.0)10^3} = (3.1)10^{-8}$$

or using a close standard value, use C = 0.033 µF. Now add the additional prefiltering by splitting R_1 and selecting a time constant for the additional section so that it is large with respect to R_2C_2.

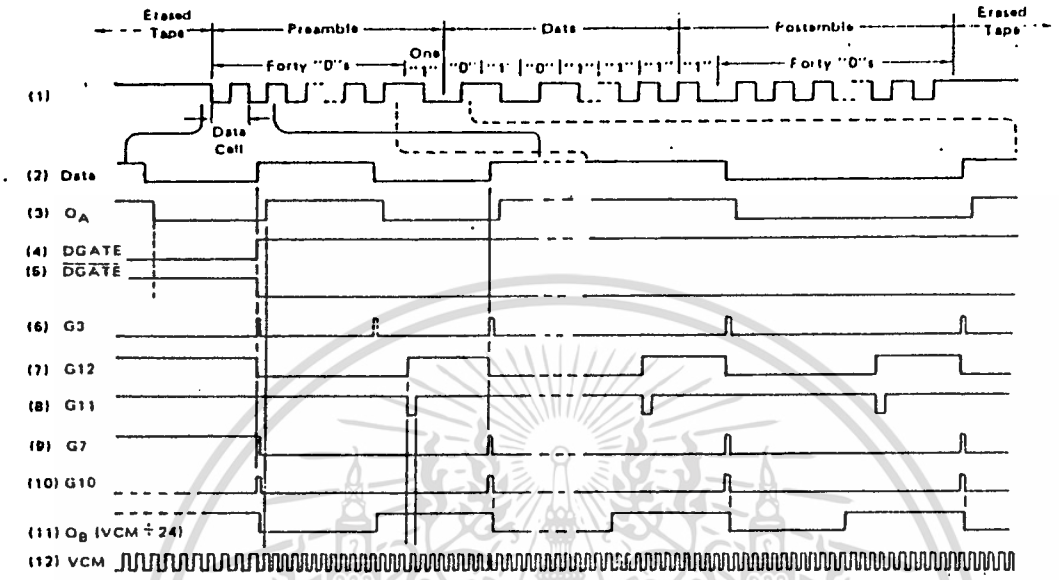
$$10(\tfrac{1}{2}R_1)C_C = R_2C$$

or

$$C_C = \frac{2R_2C}{10R_1} = \frac{2(1.5)10^3(3.3)10^{-8}}{10(3.0)10^3} = 3300 \text{ pF}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

FIGURE 33 — TIMING DIAGRAM — CLOCK RECOVERY FROM PHASE-ENCODED DATA



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MOTOROLA

MC4324/ MC4024

DUAL VOLTAGE-CONTROLLED MULTIVIBRATOR

The MC4324/4024 consists of two independent voltage-controlled multivibrators with output buffers. Variation of the output frequency over a 3.5-to-1 range is guaranteed with an input dc control voltage of 1.0 to 5.0 voltage.

Operating frequency is specified at 25 MHz at 25°C. Operation to 15 MHz is possible over the specified temperature range. For higher frequency requirements, see the MC1648 (200 MHz) or the MC1658 (125 MHz) data sheet.

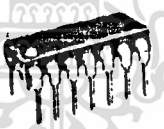
This device was designed specifically for use in phase-locked loops for digital frequency control. It can also be used in other applications requiring a voltage-controlled frequency, or as a stable fixed frequency oscillator (3.0 MHz to 15 MHz) by replacing the external control capacitor with a series mode crystal.

Maximum Operating Frequency = 25 MHz Guaranteed @ 25°C
Power Dissipation = 150 mW typ/pkg
Output Loading Factor = 7

DUAL VOLTAGE-CONTROLLED MULTIVIBRATOR

L SUFFIX
CERAMIC PACKAGE
CASE 632
(TO-116)

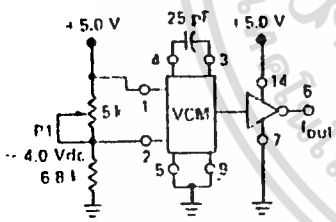
F SUFFIX
CERAMIC PACKAGE
CASE 607



P SUFFIX
PLASTIC PACKAGE
CASE 646
(MC4024 only)

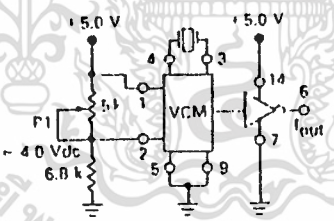
TYPICAL APPLICATIONS

FIGURE 1 — ASTABLE MULTIVIBRATOR



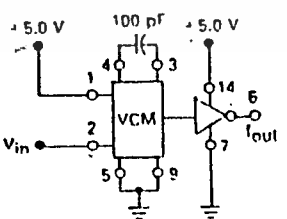
f_{out} = 10 MHz

FIGURE 2 — CRYSTAL CONTROLLED MULTIVIBRATOR



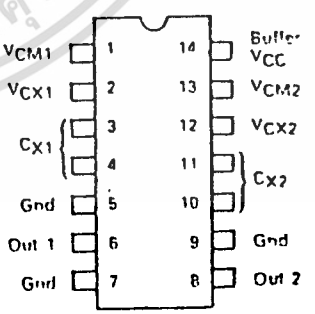
Crystal frequency can be pulled slightly by adjusting P1.

FIGURE 3 — VOLTAGE-CONTROLLED MULTIVIBRATOR



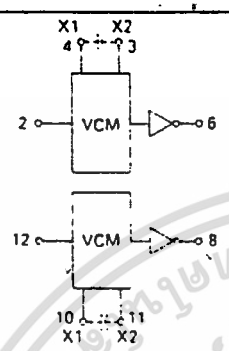
V_{in} = 2.5 V to 5.5 V
f_{out} = 1.0 MHz min, 5.0 MHz max

PIN ASSIGNMENT



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ELECTRICAL CHARACTERISTICS

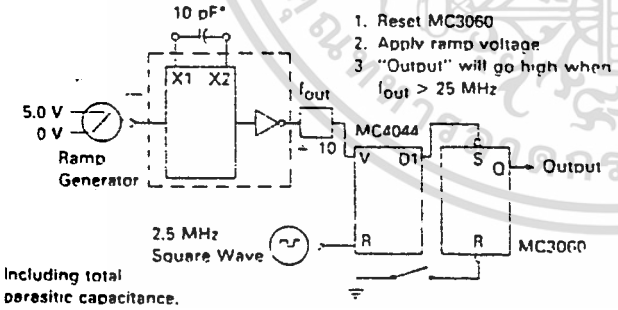


V_{CC}: VCM = 1, 13
Output Buffer = 14
Gnd: VCM = 5, 9
Output Buffer = 7
External Capacitor for Frequency Range Determination

Test Temperature		TEST CURRENT/VOLTAGE VALUES						
		mA			Volts			
		I_{OL1}	I_{OL2}	I_{OH}	V_{IN}	V_{CC}	V_{CCL}	V_{CCH}
MC4324	-55°C	9.8	11.2	-1.6	5.0	5.0	4.5	5.5
	+25°C	9.8	11.2	-1.6	5.0	5.0	4.5	5.5
	+125°C	9.8	11.2	-1.6	5.0	5.0	4.5	5.5
MC4024	0°C	9.8	11.2	-1.6	5.0	5.0	4.75	5.25
	+25°C	9.8	11.2	-1.6	5.0	5.0	4.75	5.25
	+75°C	9.8	11.2	-1.6	5.0	5.0	4.75	5.25

Characteristic	Symbol	Pin Under Test	MC4324 Test Limits −55°C Min	−55°C Max	+25°C Min	+25°C Max	+125°C Min	+125°C Max	MC4024 Test Limits 0°C Min	0°C Max	+25°C Min	+25°C Max	+75°C Min	+75°C Max	Unit	TEST CURRENT/VOLTAGE APPLIED TO PINS LISTED BELOW. I_{OL1}	I_{OL2}	I_{OH}	V_{IN}	V_{CC}	V_{CCL}	V_{CCH}	Gnd
Input																							
Forward Current	I_{in}	2	—	100	—	100	—	100	—	100	—	100	—	100	μAdc	—	—	—	2	—	—	14	5,7,9
		12	—	100	—	100	—	100	—	100	—	100	—	100	μAdc	—	—	—	12	—	—	14	5,7,9
Output																							
Output Voltage	V_{OL}	6	—	0.4	—	0.4	—	0.4	—	0.4	—	0.4	—	0.4	Vdc	6	—	—	2	—	1,4,14	—	5,7,9
		8	—	↓	—	↓	—	↓	—	↓	—	↓	—	↓	↓	8	—	—	12	—	10,13,14	—	↓
		6	—		—		—		—		—		—			—	6	—	2	—	—	1,4,14	
		8	—		—		—		—		—		—			—	8	—	12	—	—	10,13,14	
	V_{OH}	6	2.4	—	2.4	—	2.4	—	2.5	—	2.5	—	2.5	—	Vdc	—	—	6	2	—	1,3,14	—	5,7,9
		8	2.4	—	2.4	—	2.4	—	2.5	—	2.5	—	2.5	—	Vdc	—	—	8	12	—	11,13,14	—	5,7,9
Short-Circuit Current	I_{OS}	6	-20	-65	-20	-65	-20	-65	-20	-65	-20	-65	-20	-65	mAdc	—	—	—	2	1,3,14	—	—	5,6,7,9
		8	-20	-65	-20	-65	-20	-65	-20	-65	-20	-65	-20	-65	mAdc	—	—	—	12	11,13,14	—	—	5,7,8,9
Power Requirements (Total Device)																							
Power Supply Drain	I_{CC}	1,3,14	—	—	—	37	—	—	—	—	—	37	—	—	mAdc	—	—	—	2,4,10,12	1,13,14	—	—	5,7,9

FIGURE 4 — AC TEST CIRCUIT AND WAVEFORMS



1. Reset MC3060
2. Apply ramp voltage
3. "Output" will go high when f_{out} > 25 MHz

(V_{CC} = 5.0 Vdc, T_A = 25°C)

TEST	SYMBOL	CONDITIONS	VALUE Min	VALUE Typ
Maximum Operating Frequency	F_{max}	C_X = 10 pF, V_{in} = 5.0 Vdc Frequency Ratio = 3.5:1	25 MHz	30 MHz
Ratio of Frequency of Oscillation Over Specified Input Voltage Range	$\frac{F_{high}}{F_{low}}$	C_X = 100 pF, V_{in} high = 5.0 Vdc, V_{in} low = 1.0 Vdc	3.5:1.0	4.5:1.0

FIGURE 5 — FREQUENCY-CAPACITANCE PRODUCT

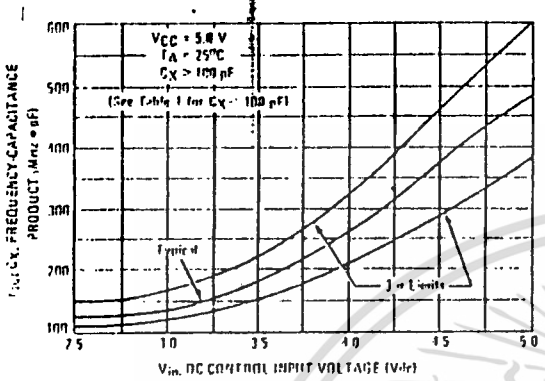


FIGURE 6 — FREQUENCY-VOLTAGE GAIN CHARACTERISTICS

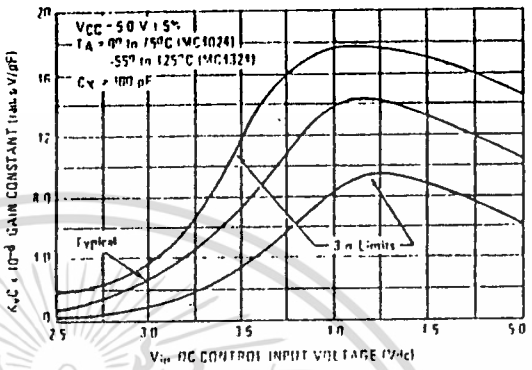


FIGURE 7 — TYPICAL FREQUENCY DEVIATION versus SUPPLY VOLTAGE

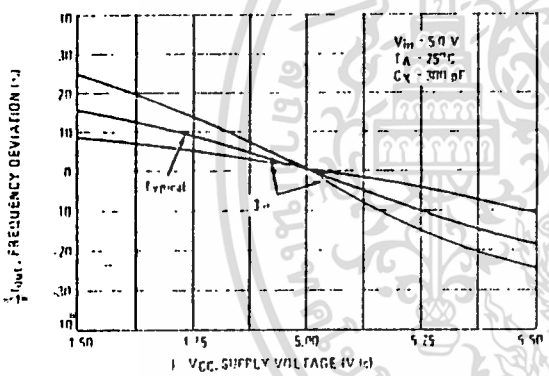


FIGURE 8 — TYPICAL FREQUENCY DEVIATION versus SUPPLY VOLTAGE

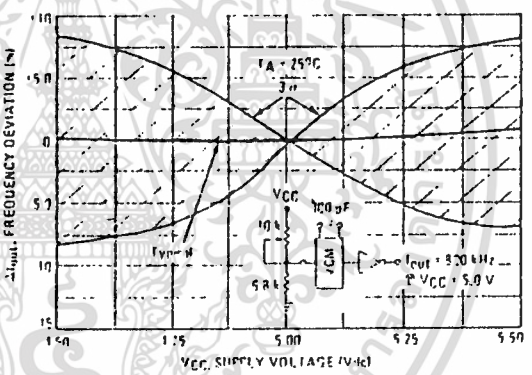


FIGURE 9 — FREQUENCY DEVIATION versus AMBIENT TEMPERATURE

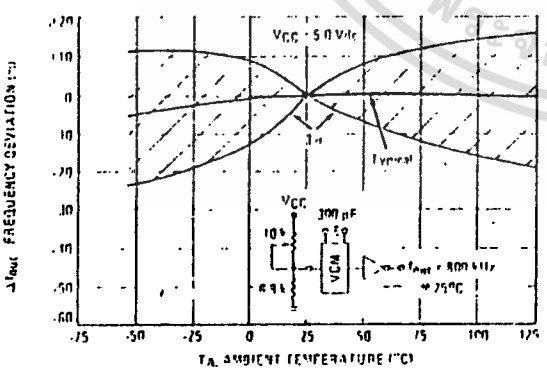
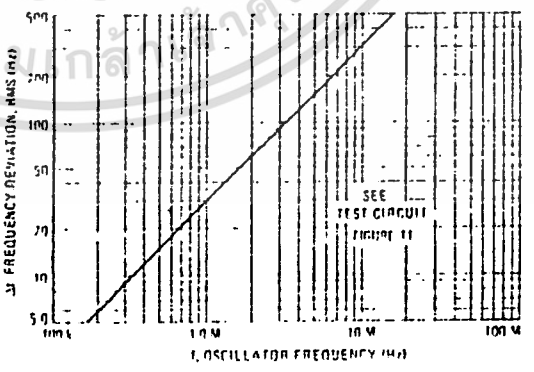


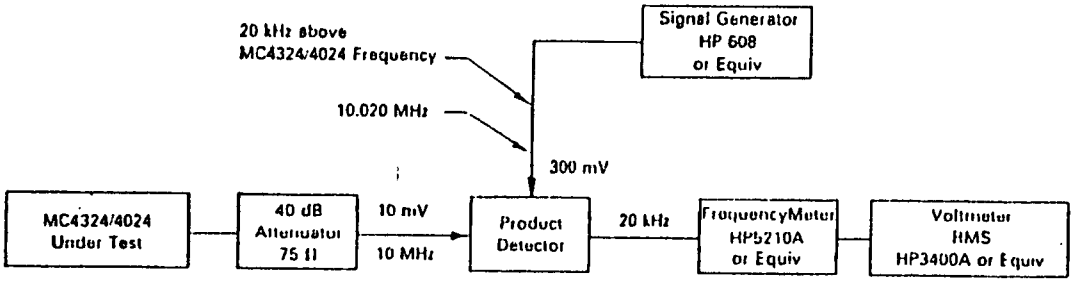
FIGURE 10 — RMS NOISE DEVIATION versus OSCILLATOR FREQUENCY



NOTE: Curves labeled as 3 σ limits denote that 99.7% of the devices tested fell within these limits.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

FIGURE 11 — NOISE DEVIATION TEST CIRCUIT



$$\text{Frequency Deviation} = \frac{\text{(HP5210A output voltage) (Full Scale Frequency)}}{\text{1.0 Volt}}$$

NOTE: Frequency deviation values of either the signal generator or power supply should be determined prior to testing.

APPLICATIONS INFORMATION

Suggested Design Practices

Three power supply and three ground connections are provided in this circuit (each multivibrator has separate power supply and ground connections, and the output buffers have common power supply and ground pins). This provides isolation between VCM's and minimizes the effect of output buffer transients on the multivibrators in critical applications. The separation of power supply and ground lines also provides the capability of disabling one VCM by disconnecting its V_{CC} pin. However, all ground lines must always be connected to insure substrate grounding and proper isolation.

General design rules are:

1. Ground pins 5, 7, and 9 for all applications, including those where only one VCM is used.
2. Use capacitors with less than 50 nA leakage at plus and minus 3.0 volts. Capacitance values of 15 pF or greater are acceptable.
3. When operated in the free running mode, the minimum voltage applied to the DC Control input should be 60% of V_{CC} for good stability. The maximum voltage at this input should be V_{CC} + 0.5 volt.
4. When used in a phase-locked loop, the filter design should have a minimum DC Control input voltage of 1.0 volt and a maximum voltage of V_{CC} + 0.5 volt. The maximum restriction may be waived if the output impedance of the driving device is such that it will not source more than 10 mA at a voltage of V_{CC} + 0.5 volt.
5. The power supply for this device should be bypassed with a good quality RF-type capacitor of 500 to 1000 pF. Bypass capacitor lead lengths should be kept as short as possible. For best results, power supply voltage should be maintained as close to + 5.0 V as possible. Under no conditions should the design require operation with a power supply voltage outside the range of 5.0 volts ± 10%.

External Control Capacitor (C_X) Determination (See Table 1)

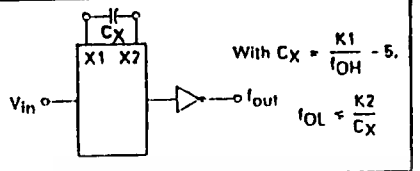
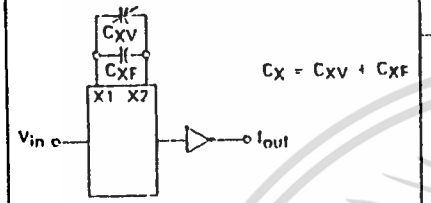
The operating frequency range of this multivibrator is controlled by the value of an external capacitor that is connected between X1 and X2. A tuning ratio of 3.5-to-1 and a maximum frequency of 25 MHz are guaranteed under ideal conditions (V_{CC} = 5.0 volts, T_A = 25°C). Under actual operating conditions, variations in supply voltage, ambient temperature, and internal component tolerances limit the tuning ratio (see Figures 7 thru 12). An improvement in tuning ratio can be achieved by providing a variable tuning capacitor to facilitate initial alignment of the circuit.

Figures 5 through 9 show typical and suggested design limit information for important VCM characteristics. The suggested design limits are based on operation over the specified temperature range with a supply voltage of 5.0 volts ± 5% unless otherwise noted. They include a safety factor of three times the estimated standard deviation.

Figures 5 and 6 provide data for any external control capacitor value greater than 100 pF. With smaller capacitor values, the curves are effectively moved downward. For example, a typical curve of frequency versus control voltage would be very nearly identical to the lower suggested design limit of Figure 5 if a 15 pF capacitor is used. To use Figure 5 divide on the ordinate by the capacitor

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TABLE 1 — EXTERNAL CONTROL CAPACITOR VALUE DETERMINATION

CONFIGURATION	T_A	V_{CC}	VALUES OF K				
			K1	K2	K3	K4	K5
 With $C_X = \frac{K1}{f_{OH}} - 5$, $f_{OL} = \frac{K2}{C_X}$	25°C ± 3°C	5.0 V	385	150	600	110	1.0
		5.0 V ± 5%	325	175	680	125	1.14
		5.0 V ± 10%	290	190	750	140	1.25
 $C_X = C_{XV} + C_{XF}$ Choose C_{XF} and C_{XV} such that C_X can be adjusted to: $\frac{K1}{f_{OH}} - 5 \le C_X \le \frac{K3}{f_{OH}} - 5$ With $V_{in} = V_{CC} = 5.0$ V, adjust C_X to obtain: $f_{out} = K5\ (f_{OH})$ Then: $f_{OL} = \frac{K4}{K1} f_{OH}$	0°C to 75°C	5.0 V	335	165	660	120	1.10
		5.0 V ± 5%	280	190	750	140	1.25
		5.0 V ± 10%	250	200	840	150	1.40
	−55°C to 125°C	5.0 V	300	175	690	125	1.15
		5.0 V ± 5%	260	200	780	145	1.30
		5.0 V ± 10%	230	210	860	155	1.45

Definitions: f_{OH} = Output frequency with $V_{in} = V_{CC}$
f_{OL} = Output frequency with $V_{in} = 2.5$ V
(Frequencies in MHz, C_X in pF)

value in picofarads to obtain output frequency in megahertz. In Figure 6 the ordinate axis is multiplied by the capacitor value in picofarads to obtain the gain constant (K_V) in radians/second/volt.

Frequency Stability

When the MC4324/4024 is used as a fixed-frequency oscillator (V_{in} constant), the output frequency will vary slightly because of internal noise. This variation is indicated by Figure 10 for the circuit of Figure 11. These variations are relatively independent (< 10%) of changes in temperature and supply voltage.

10-to-1 Frequency Synthesizer

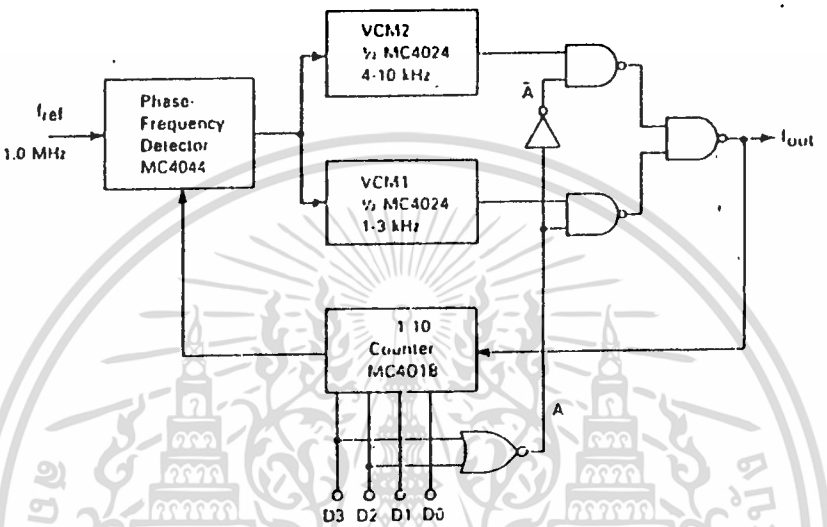
A frequency synthesizer covering a 10-to-1 range is shown in Figure 14. Three packages are required to complete the loop: The MC4344/4044 phase-frequency detector, the MC4324/4024 dual voltage-controlled multivibrator, and the MC4318/4018 programmable counter. Two VCM's (one package) are used to obtain the required frequency range. Each VCM is capable of operating over a 3-to-1 range, thus VCM1 is used for the lower portion of the times ten range and VCM2 covers the upper end. The proper divide ratio is set into the programmable counter and the VCM for that frequency is selected by control gates. The other VCM is left to be free running since its output is gated out of the feedback path.

Normally with a single VCM the loop gain would vary over a 10-to-1 range due to the range of the counter ratios. This affects the bandwidth, lockup time, and damping ratio severely. Utilizing two VCM's reduces this change in loop gain rom 10-to-1 to 3-to-1 as a result of the different sensitivities of the two VCM's due to the different frequency ranges. This change of VCM sensitivity (3-to-1) is of such a direction of compensate for loop gain variations due to the programmable counter.

The overall concept of multi-VCM operation can be expanded for ranges greater than 10-to-1. Four VCM's (two packages) could be used to cover a 100-to-1 range.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

FIGURE 12 — 10-TO-1 FREQUENCY SYNTHESIZER



÷N	Input D3	D2	D1	D0	A	VCM1 kHz	VCM2 kHz	f_{out} kHz
1	0	0	0	1	1	1	X	1
2	0	0	1	0	1	2	X	2
3	0	0	1	1	1	3	X	3
4	0	1	0	0	0	X	4	4
5	0	1	0	1	0	X	5	5
6	0	1	1	0	0	X	6	6
7	0	1	1	1	0	X	7	7
8	1	0	0	0	0	X	8	8
9	1	0	0	1	0	X	9	9
10	1	0	1	0	0	X	10	10

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

National Semiconductor Corporation

PRELIMINARY

LM1881 Video Sync Separator

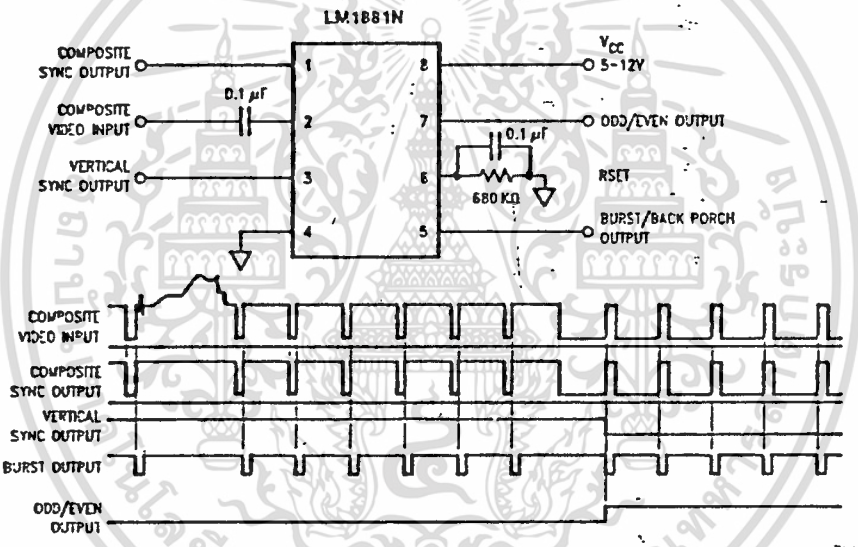
General Description

The LM1881 Video sync separator extracts timing information including composite and vertical sync, burst/back porch timing, and odd/even field information from a standard negative going sync NTSC video signal with amplitude from 0.5 to 2V p-p. The integrated circuit is also capable of providing sync separation for non-standard, faster horizontal rate video signals by changing an external horizontal scan rate setting resistor. The vertical output is produced on the rising edge of the first serration in the vertical sync period. A default vertical output is produced after a time delay if the rising edge mentioned above does not occur within the internally set delay period, such as might be the case for a non-standard video signal.

Features

- AC coupled composite input signal
- >10 kΩ input resistance
- <10 mA power supply drain current
- Composite sync and vertical outputs
- Odd/even field output
- Burst gate/back porch output
- Resistor programmable horizontal scan rate (up to 64 kHz)
- Edge triggered vertical output
- Default triggered vertical output for non-standard video signal (video games-home computers)

Connection Diagram



TL/H/9150-1

Order Number LM1881M or LM1881N
See NS Package Number M08A or N08E

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Absolute Maximum Ratings

If Military/Aerospace specified devices are required, contact the National Semiconductor Sales Office/ Distributors for availability and specifications.

Supply Voltage	13.2V
Input Voltage	3 Vp-p
Output Sink Currents; Pins 1, 3, 5	5 mA
Output Sink Current; Pin 7	2 mA
Package Dissipation (Note 1)	1100 mW
Operating Temperature Range	0°C – 70°C
Storage Temperature Range	−65°C to + 150°C
ESD Susceptibility (Note 2)	2 kV
Soldering Information	
Dual-In-Line Package (10 sec.)	260°C
Small Outline Package	
Vapor Phase (60 sec.)	215°C
Infrared (15 sec.)	220°C

See AN-450 "Surface Mounting Methods and their Effect on Product Reliability" for other methods of soldering surface mount devices.

Electrical Characteristics

V_{CC} = 5V; Rset = 680 kΩ; T_A = 25°C; Unless otherwise specified

Parameter	Conditions	Typ	Tested Limit (Note 3)	Design Limit (Note 4)	Units (Limits)
Supply Current	V_{CC} = 5V; Outputs at Logic 1	5.2	10		mAmax
	V_{CC} = 12V; Outputs at Logic 1	5.5	12		mAmax
DC Input Voltage	Pin 2	1.5	1.3 1.8		Vmin Vmax
Input Threshold Voltage	Note 5	70	55 85		mVmin mVmax
Input Discharge Current	Pin 2; V_{IN} = 2V	11	6 16		µAmin µAmax
Input Clamp Charge Current	Pin 2; V_{IN} = 1V	0.8	0.2		mAmin
R_{SET} Pin Reference Voltage	Pin 6; Note 6	1.22	1.10 1.35		Vmin Vmax
Composite Sync. & Vertical Outputs	I_{OUT} = 40 µA; Logic 1	4.5	4.0		Vmin
	I_{OUT} = 1.6 mA; Logic 1	3.6	2.4		Vmin
Burst Gate & Odd/Even Outputs	I_{OUT} = 40 µA; Logic 1	4.5	4.0		Vmin
Composite Sync. Output	I_{OUT} = −1.6 mA; Logic 0; Pin 1	0.2	0.8		Vmax
Vertical Sync. Output	I_{OUT} = −1.6 mA; Logic 0; Pin 3	0.2	0.8		Vmax
Burst Gate Output	I_{OUT} = −1.6 mA; Logic 0; Pin 5	0.2	0.8		Vmax
Odd/Even Output	I_{OUT} = −1.6 mA; Logic 0; Pin 7	0.2	0.8		Vmax
Vertical Sync Width		230	190 300		µsmin µsmax
Burst Gate Width	2.7 kΩ from Pin 5 to V_{CC}	4	2.5 4.7		µsmin µsmax
Vertical Default Time	Note 7	65	32 90		µsmin µsmax

Note 1: For operation in ambient temperatures above 25°C, the device must be derated based on a 150°C maximum junction temperature and a package thermal resistance of 110° C/W, junction to ambient.

Note 2: ESD susceptibility test uses the "human body model, 100 pF discharged through a 1.5 kΩ resistor".

Note 3: These parameters are guaranteed and 100% production tested.

Note 4: Design Limits are guaranteed but not 100% production tested. These limits are not used to calculate outgoing quality levels.

Note 5: Relative difference between the input clamp voltage and the minimum input voltage which produces a horizontal output pulse.

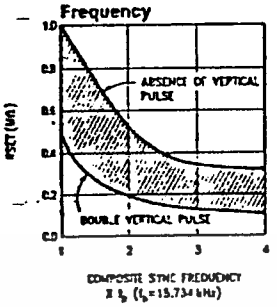
Note 6: Careful attention should be made to prevent parasitic capacitance coupling from any output pin (Pins 1, 3, 5, and 7) to the R_{SET} pin (Pin 6).

Note 7: Delay time between the start of vertical sync (at input) and the vertical output pulse.

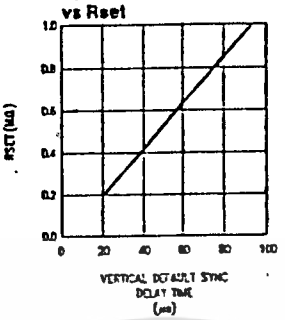
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Performance Characteristics

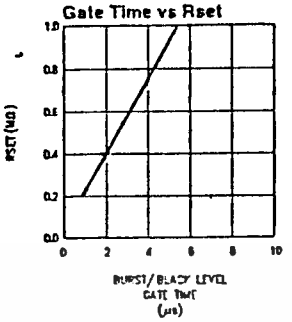
Rset Value Selection vs Composite Sync Frequency



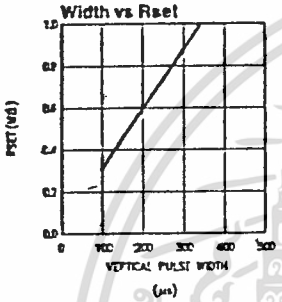
Vertical Default Sync Delay Time vs Rset



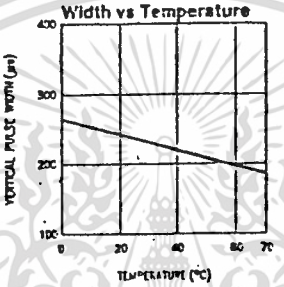
Burst/Black Level Gate Time vs Rset



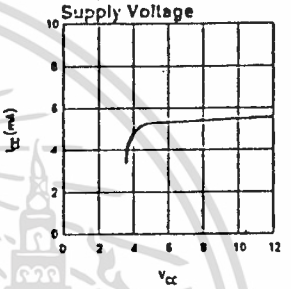
Vertical Pulse Width vs Rset



Vertical Pulse Width vs Temperature



Supply Current vs Supply Voltage



TL/H/9150-2

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Application Notes

The LM1881 is designed to strip the synchronization signals from composite video sources that are in, or similar to, the N.T.S.C. format. Input signals with positive polarity video (increasing signal voltage signifies increasing scene brightness) from 0.5V (p-p) to 2V (p-p) can be accommodated. The LM1881 operates from a single supply voltage between 5V DC and 12V DC. The only required external components beside power supply and set current decoupling are the input coupling capacitor and a single resistor that sets internal current levels, allowing the LM1881 to be adjusted for source signals with line scan frequencies differing from 15.734 kHz. Four major sync signals are available from the I/C: composite sync including both horizontal and vertical scan timing information; a vertical sync pulse; a burst gate or back porch clamp pulse; and an odd/even output. The odd/even output level identifies which video field of an interlaced video source is present at the input. The outputs from the LM1881 can be used to gen-lock video camera/VTR signals with graphics sources, provide identification of video fields for memory storage, recover suppressed or contaminated sync signals, and provide timing references for the extraction of coded or uncoded data on specific video scan lines.

To better understand the LM1881 timing information and the type of signals that are used, refer to *Figure 2(a–e)* which shows a portion of the composite video signal from the end of one field through the beginning of the next field.

COMPOSITE SYNC OUTPUT

The composite sync output, *Figure 2(b)*, is simply a reproduction of the signal waveform below the composite video black level, with the video completely removed. This is obtained by clamping the video signal sync tips to 1.5V DC at Pin 2 and using a comparator threshold set just above this voltage to strip the sync signal, which is then buffered out to Pin 1. The threshold separation from the clamped sync tip is nominally 70 mV which means that for the minimum input level of 0.5V (p-p), the clipping level is close to the halfway point on the sync pulse amplitude (shown by the dashed line on *Figure 2(a)*). This threshold separation is independent of the signal amplitude, therefore, for a 2V (p-p) input the clipping level occurs at 11% of the sync pulse amplitude. The charging current for the input coupling capacitor is 0.8 mA, whereas the discharge current is only 11 µA, typically. This allows relatively small capacitor values to be used—0.1 µF is generally recommended.

Normally the signal source for the LM1881 is assumed to be clean and relatively noise-free, but some sources may have excessive video peaking, causing high frequency video and chroma components to extend below the black level reference. Some video discs keep the chroma burst pulse present throughout the vertical blanking period so that the burst actually appears on the sync tips for three line periods instead of at black level. A clean composite sync signal can be generated from these sources by filtering the input signal. When the source impedance is low, typically 75Ω, a 620Ω resistor in series with the source and a 510 pF capacitor to ground will form a low pass filter with a corner frequency of 500 kHz. This bandwidth is more than sufficient to pass the sync pulse portion of the waveform; however, any subcarrier content in the signal will be attenuated by almost 18 dB, effectively taking it below the comparator threshold. Filtering will also help if the source is contaminated with thermal noise. The output waveforms will become delayed from between 40 ns to as much as 200 ns due to this filter. This much delay will not usually be significant but it does contribute to the sync delay produced by any additional signal processing. Since the original video may also undergo processing, the need for time delay correction will depend on the total system, not just the sync stripper.

VERTICAL SYNC OUTPUT

A vertical sync output is derived by internally integrating the composite sync waveform *(Figure 3)*. Horizontal sync pulses are not able to charge the integrating capacitor sufficiently because of their short duty cycle, but when the vertical retrace interval is reached, the broad serrated pulse charges the capacitor past a fixed threshold. Once the threshold is reached, the next serration in the sync waveform triggers an R-S flipflop and starts the vertical output pulse at Pin 3. Simultaneously an internal oscillator begins clocking a counter. When a count of eight is reached the vertical output pulse is terminated and the circuit resets. Both the time required to reach the integrator threshold and the period of the oscillator are programmed by an external resistor at Pin 6. For an N.T.S.C. signal with 32 µs between serrations, a 680 kΩ resistor will ensure the vertical output pulse will start coincident with the leading edge of the first vertical serration *(Figure 2c)*. If the resistor value gets too small it becomes possible for the oscillator circuit to time out before the input vertical sync period has ended. When this is the case, the sequence will repeat and a double vertical output pulse will appear. Therefore, the resistor value for a given horizontal scan rate is chosen small enough to trigger the vertical output pulse on the first serration yet not so small as to give a double pulse, rather than attempting to choose a value that gives a specific output pulse width. If the incoming vertical sync is not serrated, the integrating capacitor is allowed to charge to a second threshold which automatically initiates the vertical output pulse sequence. In this instance, the start of the vertical pulse as well as the pulse period will be dependent on the resistor value.

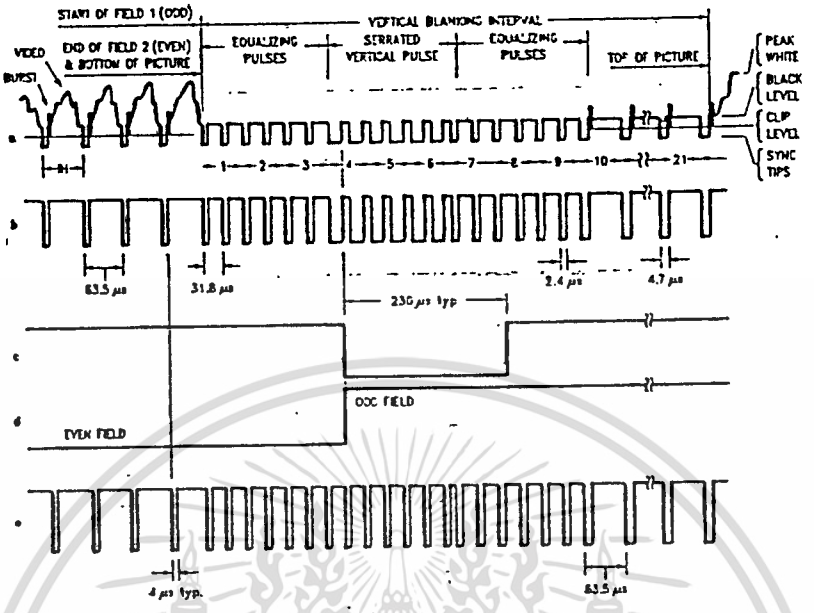
ODD/EVEN FIELD PULSE

An unusual feature of LM1881 is an output level from Pin 7 that identifies the video field present at the input to the LM1881. This can be useful in frame memory storage applications or in extracting test signals that occur only in alternate fields. For a composite video signal that is interlaced, one of the two fields that make up each video frame or picture must have a half horizontal scan line period at the end of the vertical scan—i.e., at the bottom of the picture. This is called the "odd field" or "field 1". The "even field" or "field 2" has a complete horizontal scan line at the end of the field. An odd field starts on the leading edge of the first equalizing pulse, whereas the even field starts on the leading edge of the second equalizing pulse of the vertical retrace interval. *Figure 2(a)* shows the end of the even field and the start of the odd field.

To detect the odd/even fields the LM1881 again integrates the composite sync waveform *(Figure 3)*. A capacitor is charged during the period between sync pulses and discharged when the sync pulse is present. The period between normal horizontal sync pulses is enough to allow the capacitor voltage to reach a threshold level of a comparator that clears a flipflop which is also being clocked by the sync waveform. When the vertical interval is reached, the shorter integration time between equalizing pulses prevents this

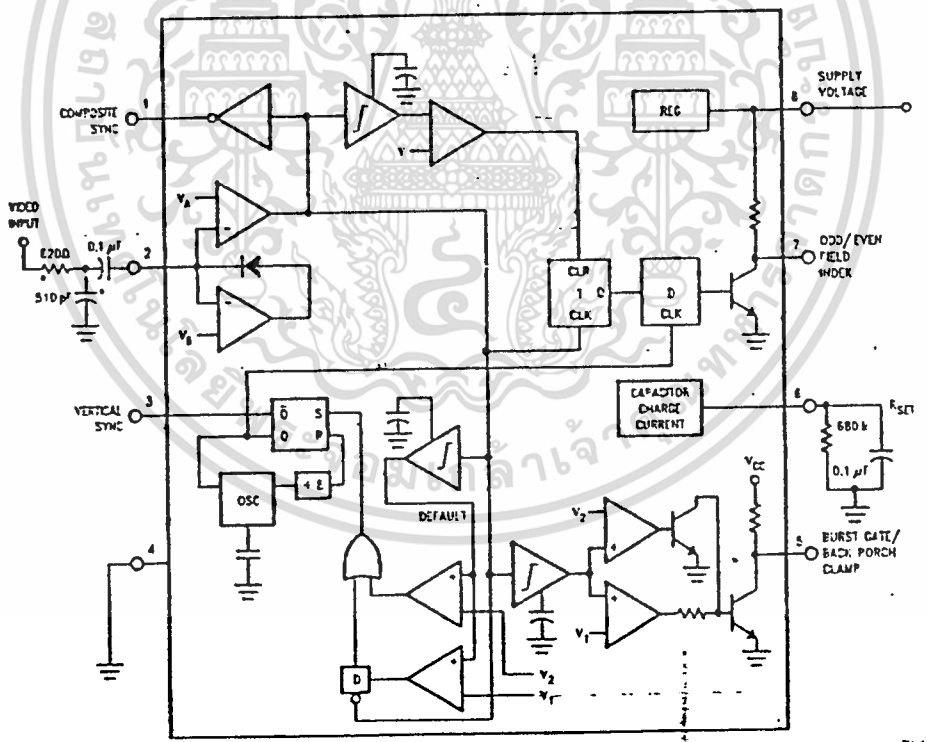
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Application Notes (Continued)



TL/H/8150–3

FIGURE 2. (a) Composite Video; (b) Composite Sync; (c) Vertical Output Pulse; (d) Odd/Even Field Index; (e) Burst Gate/Back Porch Clamp



TL/H/8150–4

*Components Optional, See Text

FIGURE 3

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Application Notes (Continued)

threshold from being reached and the Q output of the flip-flop is toggled with each equalizing pulse. Since the half line period at the end of the odd field will have the same effect as an equalizing pulse period, the Q output will have a different polarity on successive fields. Thus by comparing the Q polarity with the vertical output pulse, an odd/even field index is generated. Pin 7 remains low during the even field and high during the odd field.

BURST/BACKPORCH OUTPUT PULSE

In a composite video signal, the chroma burst is located on the backporch of the horizontal blanking period. This period, approximately 4.8 µs long, is also the black level reference for the subsequent video scan line. The LM1881 generates a pulse at Pin 5 that can be used either to retrieve the chroma burst from the composite video signal (thus providing a subcarrier synchronizing signal) or as a clamp for the DC restoration of the video waveform. This output is obtained simply by charging an internal capacitor starting on the trailing edge of the horizontal sync pulses. Simultaneously the output of Pin 5 is pulled low and held until the capacitor charge circuit times out—4 µs later. A shorter output burst gate pulse can be derived by differentiating the burst output using a series C-R network. This may be necessary in applications which require high horizontal scan rates in combination with normal (60–120 Hz) vertical scan rates.

APPLICATIONS

Apart from extracting a composite sync signal free of video information, the LM1881 outputs allow a number of interesting applications to be developed. As mentioned above, the burst gate/backporch clamp pulse allows DC restoration of the original video waveform for display or remodulation on an R.F. carrier, and retrieval of the color burst for color synchronization and decoding into R.G.B. components. For frame memory storage applications, the odd/even field level allows identification of the appropriate field ensuring the correct read or write sequence. The vertical pulse output is particularly useful since it begins at a precise time—the rising edge of the first vertical serration in the sync waveform. This means that individual lines within the vertical blanking period (or anywhere in the active scan line period) can easily be extracted by counting the required number of transitions in the composite sync waveform following the start of the vertical output pulse.

The vertical blanking interval is proving popular as a means to transmit data which will not appear on a normal T.V. receiver screen. Data can be inserted beginning with line 10 (the first horizontal scan line on which the color burst appears) through to line 21. Usually lines 10 through 13 are not used which leaves lines 14 through 21 for inserting signals, which may be different from field to field. In the U.S., line 19 is normally reserved for a vertical interval reference signal (VIRS) and line 21 is reserved for closed caption data for the hearing impaired. The remaining lines are used in a number of ways. Lines 17 and 18 are frequently used during studio processing to add and delete vertical interval test signals (VITS) while lines 14 through 18 and line 20 can be used for Videotex/Teletext data. Several institutions are proposing to transmit financial data on line 17 and cable systems use the available lines in the vertical interval to send decoding data for descrambler terminals.

Since the vertical output pulse from the LM1881 coincides with the leading edge of the first vertical serration, sixteen positive or negative transitions later will be the start of line 14 in either field. At this point simple counters can be used to select the desired line(s) for insertion or deletion of data.

VIDEO LINE SELECTOR

The circuit in *Figure 4* puts out a single video line according to the binary coded information applied to line select bits b0–b7. A line is selected by adding two to the desired line number, converting to a binary equivalent and applying the result to the line select inputs. The falling edge of the LM1881's vertical pulse is used to load the appropriate number into the counters (MM74C193N) and to set a start count latch using two NAND gates. Composite sync transitions are counted using the borrow out of the desired number of counters. The final borrow out pulse is used to turn on the analog switch (CD4066BC) during the desired line. The falling edge of this signal also resets the start count latch, thereby terminating the counting.

The circuit, as shown, will provide a single line output for each field in an interlaced video system (television) or a single line output in each frame for a non-interlaced video system (computer monitor). When a particular line in only one field of an interlaced video signal is desired, the odd/even field index output must be used instead of the vertical output pulse (invert the field index output to select the odd field). A single counter is needed for selecting lines 3 to 14; two counters are needed for selecting lines 15 to 253; and three counters will work for up to 2046 lines. An output buffer is required to drive low impedance loads.

MULTIPLE CONTIGUOUS VIDEO LINE SELECTOR WITH BLACK LEVEL RESTORATION

The circuit in *Figure 5* will select a number of adjoining lines starting with the line selected as in the previous example. Additional counters can be added as described previously for either higher starting line numbers or an increased number of contiguous output lines. The back porch pulse output of the LM1881 is used to gate the video input's black level through a low pass filter (10 kΩ, 10 µF) providing black level restoration at the video output when the output selected line(s) is not being gated through.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Applications

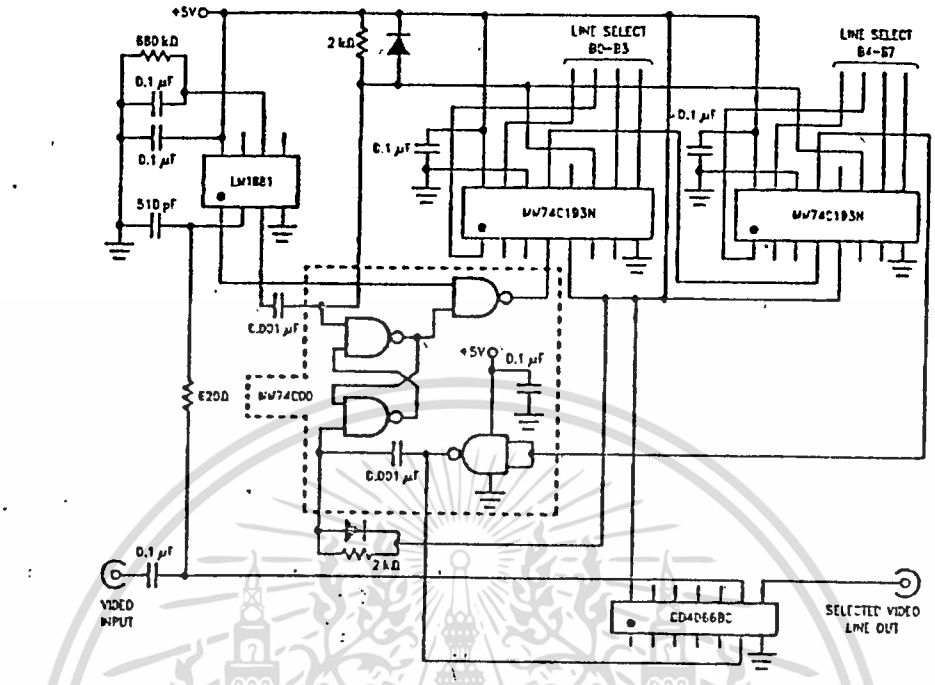


FIGURE 4. Video Line Selector

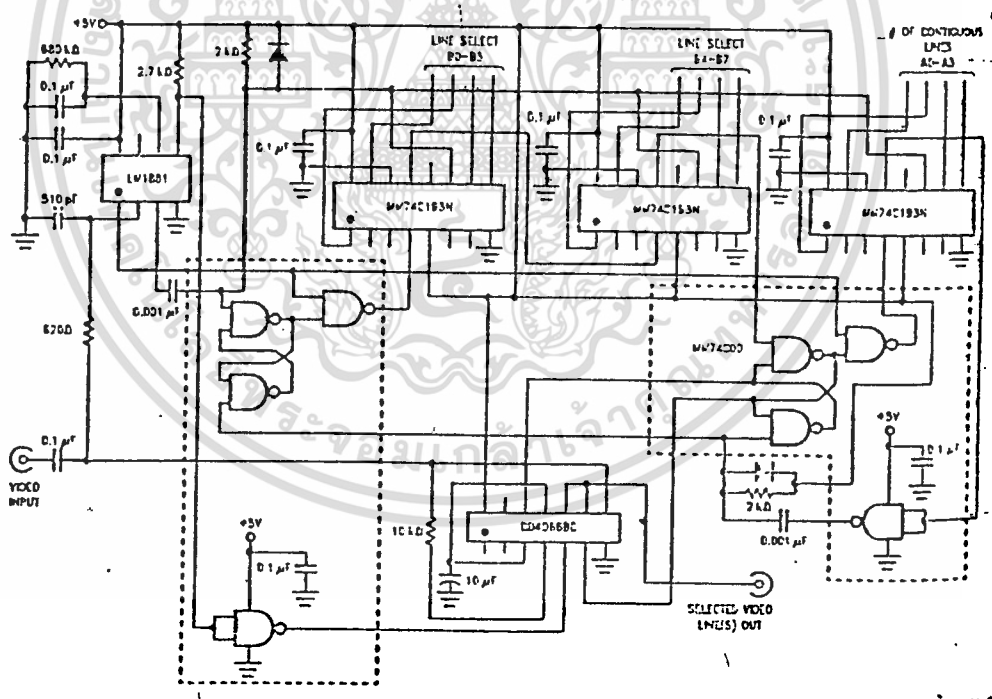


FIGURE 5. Multiple Contiguous Video Line Selector With Black Level Restoration

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

National Semiconductor Corporation

LM160/LM260/LM360 High Speed Differential Comparator

General Description

The LM160/LM260/LM360 is a very high speed differential input, complementary TTL output voltage comparator with improved characteristics over the μA760/μA760C, for which it is a pin-for-pin replacement. The device has been optimized for greater speed, input impedance and fan-out, and lower input offset voltage. Typically delay varies only 3 ns for overdrive variations of 5 mV to 400 mV.

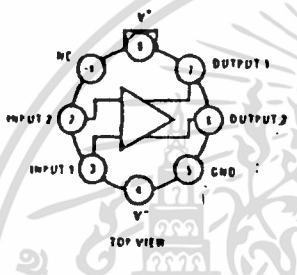
Complementary outputs having minimum skew are provided. Applications involve high speed analog to digital converters and zero-crossing detectors in disk file systems.

Features

- Guaranteed high speed — 20 ns max
- Tight delay matching on both outputs
- Complementary TTL outputs
- High input impedance
- Low speed variation with overdrive variation
- Fan-out of 4
- Low input offset voltage
- Series 74 TTL compatible

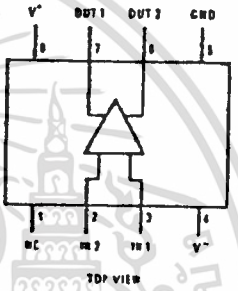
Connection Diagrams

Metal Can Package



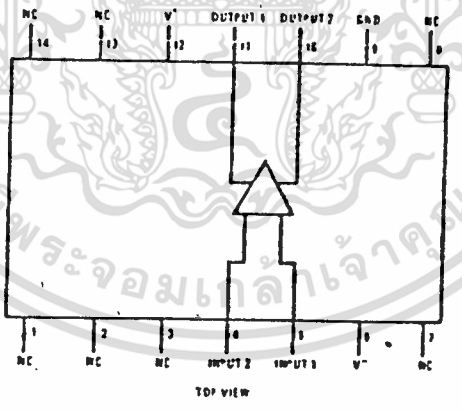
Order Number LM160H, LM260H or LM360H
See NS Package Number H08C

Dual-In-Line Package



Order Number LM360M or LM360N
See NS Package Number M08A or N08E

Dual-In-Package



Order Number LM160J-14, LM360J-14 or LM360N-14
See NS Package Number J14A or N14A

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Absolute Maximum Ratings (Note 5)

If Military/Aerospace specified devices are required, contact the National Semiconductor Sales Office/ Distributors for availability and specifications.

(Note 7)	
Positive Supply Voltage	+8V
Negative Supply Voltage	−8V
Peak Output Current	20 mA
Differential Input Voltage	±5V
Input Voltage	$V^+ \geq V_{IN} \geq V^-$
ESD rating is to be determined.	

Operating Temperature Range	
LM160	−55°C to +125°C
LM260	−25°C to +85°C
LM360	0°C to +70°C
Storage Temperature Range	−65°C to +150°C
Lead Temperature (Soldering, 10 sec.)	260°C
Soldering Information	
Dual-In-Line Package	
Soldering (10 seconds)	260°C
Small Outline Package	
Vapor Phase (60 seconds)	215°C
Infrared (15 seconds)	220°C

See AN-450 "Surface Mounting Methods and Their Effect on Product Reliability" for other methods of soldering surface mount devices.

Electrical Characteristics ($T_{MIN} \leq T_A \leq T_{MAX}$)

Parameter	Conditions	Min	Typ	Max	Units
Operating Conditions					
Supply Voltage V_{CC}^+		4.5	5	6.5	V
Supply Voltage V_{CC}^-		−4.5	−5	−6.5	V
Input Offset Voltage	$R_S \leq 200\Omega$		2	5	mV
Input Offset Current			0.5	3	μA
Input Bias Current			5	20	μA
Output Resistance (Either Output)	$V_{OUT} = V_{OH}$		100		Ω
Response Time	$T_A = 25°C$, $V_S = \pm 5V$ (Notes 1, 6)		13	25	ns
	$T_A = 25°C$, $V_S = \pm 5V$ (Notes 2, 6)		12	20	ns
	$T_A = 25°C$, $V_S = \pm 5V$ (Notes 3, 6)		14		ns
Response Time Difference between Outputs					
t_{pd} of $+V_{IN1}$) − (t_{pd} of $-V_{IN2}$)	$T_A = 25°C$ (Notes 1, 6)		2		ns
t_{pd} of $+V_{IN2}$) − (t_{pd} of $-V_{IN1}$)	$T_A = 25°C$ (Notes 1, 6)		2		ns
t_{pd} of $+V_{IN1}$) − (t_{pd} of $+V_{IN2}$)	$T_A = 25°C$ (Notes 1, 6)		2		ns
t_{pd} of $-V_{IN1}$) − (t_{pd} of $-V_{IN2}$)	$T_A = 25°C$ (Notes 1, 6)		2		ns
Input Resistance*	f = 1 MHz		17		kΩ
Input Capacitance	f = 1 MHz		3		pF
Average Temperature Coefficient of Input Offset Voltage	$R_S = 50\Omega$		8		μV/°C
Average Temperature Coefficient of Input Offset Current			7		nA/°C
Common Mode Input Voltage Range	$V_S = \pm 6.5V$	±4	±4.5		V
Differential Input Voltage Range		±5			V
Output High Voltage (Either Output)	$I_{OUT} = -320\ \mu A$, $V_S = \pm 4.5V$	2.4	3		V
Output Low Voltage (Either Output)	$I_{SINK} = 6.4$ mA		0.25	0.4	V
Positive Supply Current	$V_S = \pm 6.5V$		18	32	mA
Negative Supply Current	$V_S = \pm 6.5V$		−9	−16	mA

Note 1: Response time measured from the 50% point of a 30 mVp-p 10 MHz sinusoida' input to the 50% point of the output.

Note 2: Response time measured from the 50% point of a 2 Vp-p 10 MHz sinusoidal input to the 50% point of the output.

Note 3: Response time measured from the start of a 100 mV input step with 5 mV overdrive to the time when the output crosses the logic threshold.

Note 4: Typical thermal impedances are as follows:

Cavity DIP (J):	θ_{JA}	135°C/W	Header (H)	θ_{JA}	230°C/W	(Still Air)
Molded DIP (N):	θ_{JA}	130°C/W			190°C/W	(400 LF/min Air Flow)
				θ_{JC}	25°C/W	

Note 5: The device may be damaged if used beyond the maximum ratings.

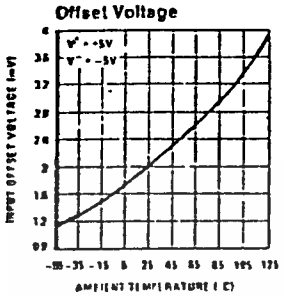
Note 6: Measurements are made in AC Test Circuit, Fanout = 1

Note 7: Refer to RETS 160X for LM160H, LM160J-14 and LM160J military specifications.

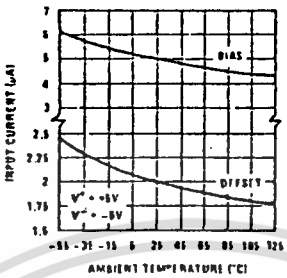
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Performance Characteristics

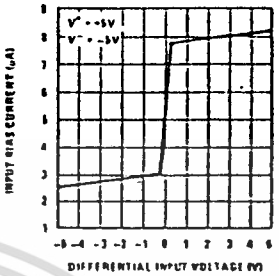
Offset Voltage



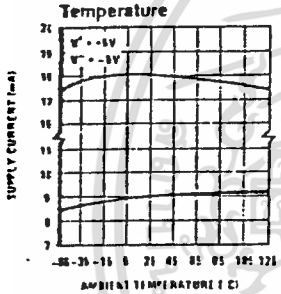
Input Currents vs Ambient Temperature



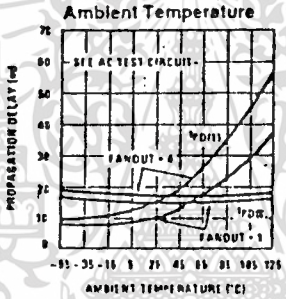
Input Characteristics



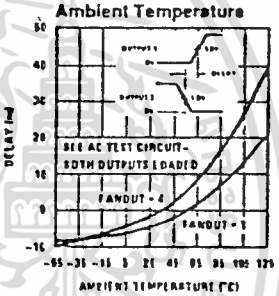
Supply Current vs Ambient Temperature



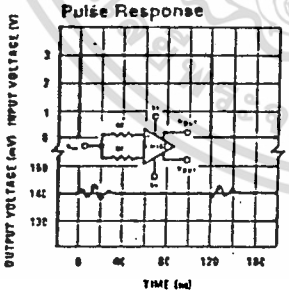
Propagation Delay vs Ambient Temperature



Delay of Output 1 With Respect to Output 2 vs Ambient Temperature

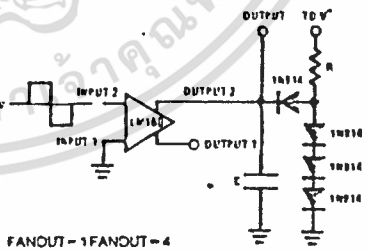


Common-Mode Pulse Response



TL/H/5707-2

AC Test Circuit

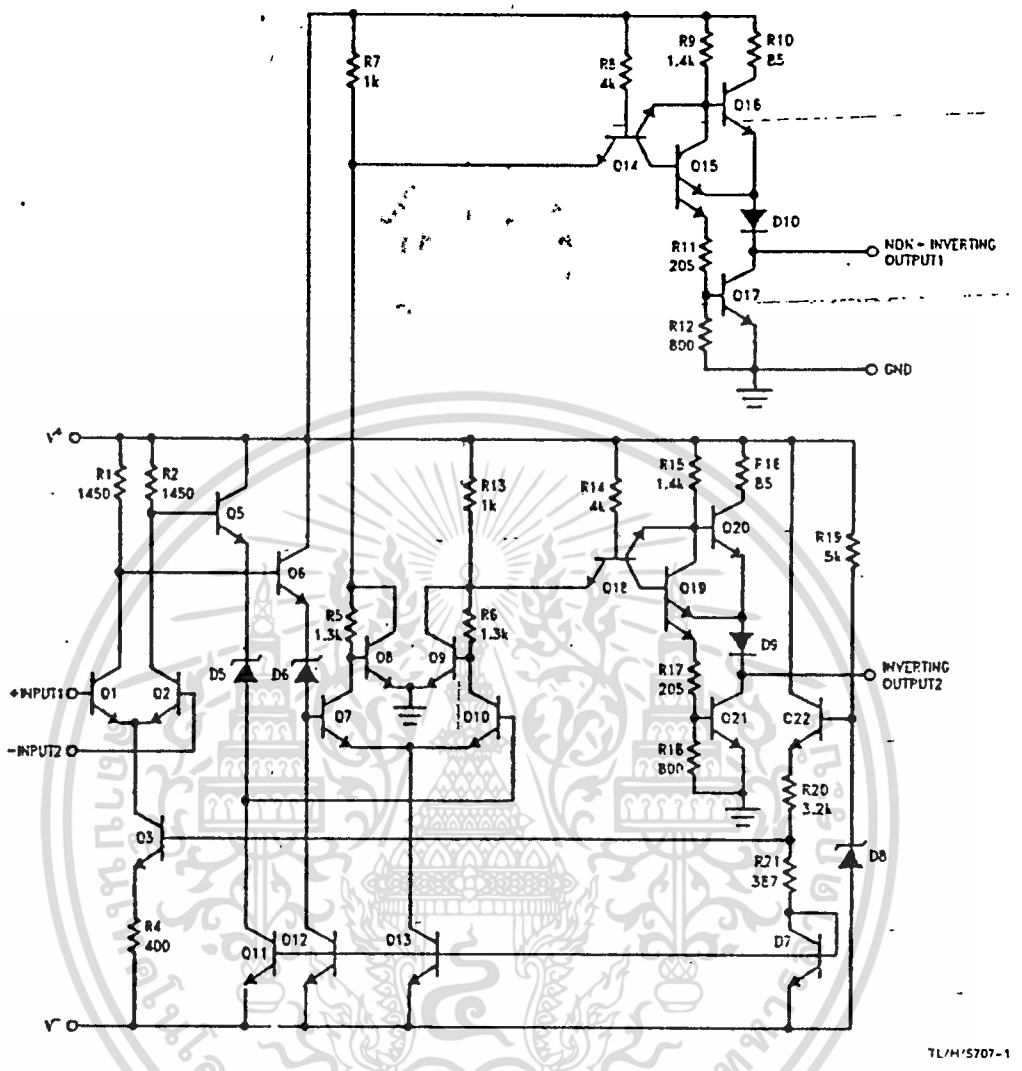


V_{IN} = ±50 mV	FANOUT = 1	FANOUT = 4
V^+ = +5V	R = 2.4k	R = 630Ω
V^- = −5V	C = 15 pF	C = 30 pF

TL/H/5707-3

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Schematic Diagram



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้