เครื่องประจุและวิเคราะห์แบตเตอรี่ชนิด นิเกิลและแคดเมี่ยม

BATTERY CHARGER AND ANALYZER

โดย

นายเกตุ หนูรัตน์

นายแดน พลอินทร์

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตร์บัณฑิต

ภาควิชาเทคนิคอุตสาหกรรม

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2534

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

008474

หัวข้อปริญญานิพนธ์ เครื่องประจุและวิเคราะห์แบตเตอรี่ชนิด นิเกิลและแคดเมี่ยม

โดย นายเกตุ หนูรัตน์
นายแดน พลอินทร์

สาขา เทคโนโลยีโทรคมนาคม

ภาควิชา เทคนิคอุตสาหกรรม

อาจารย์ที่ปรึกษา อาจารย์ประดิษฐ์ วัชรพิบูลย์

ปีการศึกษา 2534

คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้า เจ้าคุณทหารลาดกระบัง อนุมัติให้ปริญญานิพนธ์ ฉบับนี้เป็นส่วนหนึ่งของการศึกษา ตามหลักสูตรปริญญาอุตสาหกรรมศาสตร์บัณฑิต

_____ ประธานกรรมการ
( )

_____ กรรมการ
( )

_____ กรรมการ
( )

_____ กรรมการ
( )

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

PROJECT REPORT: BATTERY CHARGER AND ANALYZER

BY: KET NIURAT 33.132201

DAN PONIN 33.132206

FIELD: TELECOMMUNICATION

DEPARTMENT: INDUSTRIAL TECHNOLOGY

PROJECT COUNSELLOR: PRADIT VATCHARAPIBUL

ACADEMIC YEAR: 1991

RECOGNIZED BY THE FACULTY OF ENGINEERING, KING MONGKUT INSTITUTE OF TECHNOLOGY,LADKRABANG,IN FULFILLMENT OF THE REQUIREMENTS FOR THE BACHELOR OF INDUSTRIL TECHNOLOGY DEGREE

_____ CHAIRMAN

( )

_____ MEMBER

( )

_____ MEMBER

( )

_____ MEMBER

( )

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทคัดย่อ

ปริญญานิพนธ์ จะกล่าวถึงการออกแบบและสร้างเครื่องประจุ และวิเคราะห์สภาพแบตเตอร์รี่ชนิดนิเกิล แคดเมี่ยม ซึ่งใช้ไมโครโปรเซสเซอร์ เบอร์ Z-80 เป็นตัวควบคุม ซึ่งได้ออกแบบให้ใช้ได้กับแบตเตอร์รี่ ขนาด AA และ AAA ได้จำนวน 4-8 ก้อน การทำงานของระบบ ประกอบด้วย สามโหมดใหญ่ ๆ คือ โหมดชาร์ต โหมดคอนดิชั่น และ โหมดอนาไลท์ โดยโหมดชาร์ต เครื่องสามารถทำการประจุได้ทั้งแบบประจุเร็ว หรือประจุช้า เมื่อประจุเต็มแล้ว เครื่องก็จะทำการประจุให้แบบประจุอ่อน ๆ โดยอัตโนมัติ โหมดคอนดิชั่นใช้ในการแก้ปัญหาเกี่ยวกับความเสื่อมและความจำของแบตเตอร์รี่ ส่วนโหมดวิเคราะห์สภาพของแบตเตอร์รี่ ใช้ในการตรวจ ประสิทธิภาพของแบตเตอร์รี่ ว่ามีความสามารถในการจ่ายประจุเป็นเท่าใด

ได้ทำการทดสอบและทดลองนำระบบใช้งานจริง ปรากฏว่าระบบสามารถทำงานได้ถูกต้องได้ผลดีเป็นที่น่าพอใจ.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ABSTRACT

THE PAPER PRESENTS A METHOD OF DESIGN AND IMPLEMENTATION OF A CHARGER AND ANALYSER NI-CAD BAT TERY BY MICROPROCESSOR Z-80. THIS SYSTEM WAS DESIGNED FOR BATTERY SIZE AA,AAA ABOUT 4-8 PIECES. THE OPERATION OF SYSTEM COMPRISED OF 3 MODE. THERE ARE CHARGE MODE,CONDITION MODE AND ANALYSE MODE. THE CHARGE MODE CAN BE CHARGE IN QUICK CHARGE AND SLOW CHARGE AND THEN WHEN CHARGE IS FULLED NI-CAD BATTERY WERE SOFT CHARGED BY AUTOMATIC. THE CONDITION MODE WAS DESIGED FOR SOLVE THE PROBLEM ABOUT MEMORY EFFECT OF BATTERY. THE ANALYSE MODE USED FOR CHECKED THE EFFICIENTCY OF BATTERY.

CHARGER AND ANALYSER NI-CAD BAT TERY HAD BEEN TRIAL WITH SATISFACTORY RESULT.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กิตติกรรมประกาศ

โครงงานชิ้นนี้ สำเร็จลุล่วงได้ด้วยดี เนื่องจากได้รับคำปรึกษาและชี้แนะแนวทางที่เป็นประโยชน์ โดยท่านอาจารย์ประดิษฐ์ วัชรพิบูลย์ และ คุณฉัตรชัย เชาวนศิลป์ ที่ให้ความช่วยเหลือและแนะแนวทางต่างๆ ในการเขียน SOFTWARE ของระบบ จนสำเร็จสมความมุ่งหมาย

ซึ่งทีมงานของเราขอกราบขอบพระคุณท่านทั้งสอง ที่ให้ความกรุณามา ณ ที่นี้

(นายเกตุ หนูรัตน์ 33.132201)

(นายแดน พลอินทร์ 33.132206)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ

	หน้า
บทคัดย่อภาษาไทย	ก
บทคัดย่อภาษาอังกฤษ	ข
กิตติกรรมประกาศ	ค
บทที่	
1. บทนำ	
1.1 กล่าวโดยทั่วไป	1-2
1.2 วัตถุประสงค์ของโครงงาน	2
1.3 ประโยชน์ที่คาดว่าจะได้รับจากโครงงาน	2-3
2. แบตเตอร์รี่	
2.1 เซลและแบตเตอร์รี่	4-8
2.2 เรื่องน่ารู้เกี่ยวกับการใช้แบตเตอร์รี่	9-15
2.3 การตรวจและทดสอบ	15-17
2.4 การจ่ายกำลังของถ่านนิแคด	17-18
2.5 การชาร์จนิเกิล-แคดเมี่ยม แบตเตอร์รี่	18-22
3. ระบบเครื่องประจุและวิเคราะห์แบตเตอร์รี่	
3.1 คุณลักษณะเฉพาะ	23-24
3.2 แนวความคิดระบบ	24
3.3 การกำหนดขนาดและจำนวนของถ่าน	25
3.4 การเลือกระบบควบคุม	25-27
4. โปรแกรมควบคุมระบบ	
4.1 แนวความคิดในการเขียนโปรแกรม	28-31

เอกสารนี้มีไว้เพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.2 โครงสร้างของโปรแกรมควบคุมระบบ 32-36

4.3 เครื่องมือช่วยในการพัฒนาโปรแกรม 37

5. การออกแบบและผลการทดลอง

5.1 วงจรประจุแบตเตอร์รี่ 38-39

5.2 วงจรคายประจุแบตเตอร์รี่ 39

5.3 วงจรกำเนิดสัญญาณนาฬิกา 40

5.4 วงจรแปลงสัญญาณอนาลอกเป็นดิจิตอล 41-43

6. บทสรุป 44

เอกสารอ้างอิง

ภาคผนวก ก วงจรสมบูรณ์ของเครื่องประจุแบตเตอร์รี่ชนิดนิเกิล-แคดเมี่ยม

ภาคผนวก ข โปรแกรมควบคุมระบบ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 1

บทนำ

1.1 กล่าวโดยทั่วไป

ปัจจุบัน แบตเตอร์รี่ได้เข้ามามีบทบาทในชีวิตประจำวันอย่างสูง เพื่อเพิ่มพูนความสามารถในระบบอุตสาหกรรม และเพิ่มความสะดวกสบาย เพิ่มประสิทธิภาพแก่อุปกรณ์ไฟฟ้าอิเลคทรอนิกส์ แบตเตอร์รี่มีอยู่มากมายหลายชนิดด้วยกัน และได้รับการพัฒนาต่อเนื่องกันมาตามเทคโนโลยีรุ่นใหม่ ๆ ตามบริษัทผู้ผลิต ปัจจุบัน แบตเตอร์รี่ชนิดนิเกิล แคดเมี่ยม เป็นแบตเตอร์รี่ ชนิดหนึ่งที่มีประสิทธิภาพและได้รับความนิยมอย่างสูงในปัจจุบัน

แบตเตอร์รี่ชนิดนิเกิล แคดเมี่ยมนี้มีข้อดีอยู่ที่ความสามารถในการนำมาประจุใหม่ได้หลายครั้งนี่เอง ทำให้ค่าใช้จ่ายในระยะยางต่ำกว่าแบบธรรมดา ถึงแม้ว่าการเริ่มต้นจะลงทุนสูงกว่ามากก็ตาม แต่ถ้าหากเรานำมาประจุใหม่ ด้วยวิธีการและค่ากระแสที่เหมาะสมและถูกต้อง จะทำให้สามารถนำมาประจุได้หลายร้อยครั้ง

สำหรับการประจุ แบตเตอร์รี่ชนิดนิเกิล แคดเมี่ยมนี้มีอยู่หลายวิธีด้วยกันและมีการประจุอยู่หลายแบบในปัจจุบันนี้ โครงการนี้ได้รับการออกแบบมาให้ทำการประจุแบบกระแสคงที่ แรงดันคงที่ ซึ่งเป็นวิธีหนึ่งที่มีประสิทธิภาพสูงในปัจจุบันนี้ โดยได้นำเอาไมโครโปรเซสเซอร์เบอร์ Z-80 มาควบคุม ทำให้ความสามารถในการควบคุมสูงและง่ายขึ้น INTERFACE ด้วยอุปกรณ์ HARDWARE เพียงเล็กน้อย ครั้งเมื่อเขียนโปรแกรมควบคุม ก็ได้เครื่องต้นแบบที่มีประสิทธิภาพสูง โดยอาศัยการตรวจ CHECK ความสัมพันธ์ระหว่างโวลท์เตจกับเวลา ซึ่งเป็นหัวใจสำคัญในการนำมาตัดสินการทำงานของเครื่องประจุและวิเคราะห์สภาพแบตเตอร์รี่

เครื่องประจุและวิเคราะห์สภาพแบตเตอร์รี่นี้ สามารถใช้กับถ่านนิเกิล แคดเมี่ยมได้ 2 ขนาดคือ AA และ AAA และมีการทำงาน สามโหมด คือ โหมดชาร์ต โหมดคอนดิชั่น และโหมดอนาไลท์ โดยที่โหมดชาร์ต มีความสามารถในการดัสชาร์ตอัตโนมัติ, ชาร์ตเร็ว(QUICK CHARGE),ชาร์ตช้า (SLOW CHARGE),และชาร์ตแบบอ่อน ๆ (TRICKLE CHARGE)โดยมีความสามารถในการแสดงผลทั้งค่าแรงดันของแบตเตอร์รี่ และเวลาที่ได้ทำการประจุ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โหมดคอนด์ชั่น มีความสามารถในการแก้ปัญหาเกี่ยวกับการความจำและกระตุ้นความสามารถในการจ่ายประจุของแบตเตอร์รี่ โดยให้ทำการคายประจุและประจุ ทำเป็นวงจรเช่นนี้ สามรอบ ซึ่งจะช่วยทำให้กระตุ้นแบตเตอร์รี่ได้บ้าง

โหมดวิเคราะห์สภาพแบตเตอร์รี่(ANALIZE MODE)โหมดนี้มีความสามารถในการตรวจเช็คค่าประจุของแบตเตอร์รี่ ว่ามีค่าความจะเป็นเท่าใด และสามารถคำนวนออกมาเป็นเปอร์เซ็นต์ได้ เมื่อได้ทำการวิเคราะห์สภาพแบตเตอร์รี่ก็จะทำการประจุจนเต็มเพื่อใช้งานต่อไป

นอกจากนี้ ยังมีการขยายความสามารถในการประจุแบตเตอร์รี่ได้หลายขนาดขึ้นเพียงแก้ไข HARD WARE เพียงเล็กน้อย และเขียนโปรแกรมควบคุมเพิ่มเติม เพื่อให้ไมโครโปรเซสเซอร์ทำงานตามที่ต้องการ

จากการได้ทดลองสร้างเครื่องประจุ และวิเคราะห์สภาพแบตเตอร์รี่ชนิดนิเกิล แคดเมี่ยมนี้ ถ้าทดลองเขียนโปรแกรมควบคุมระบบให้สามารถทำงานในหน้าที่หลักได้ทั้งสามโหมด ได้ผลเป็นที่น่าพอใจ ซึ่งความรู้ที่ได้จากการวิจัยครั้งนี้ เป็นแนวทางในการพัฒนาเครื่องประจุ และวิเคราะห์ ให้มีขีดความสามารถเพิ่มขึ้นกว่านี้

1.2 วัตถุประสงค์ของโครงงาน

1.2.1 เพื่อศึกษาวิจัย เครื่องประจุและวิเคราะห์แบตเตอร์รี่ชนิดนิเกิล แคดเมี่ยม

1.2.2 เพื่อทดลองสร้างเครื่องประจุและวิเคราะห์แบตเตอร์รี่

1.2.3 เพื่อทดลองนำไมโครโปรเซสเซอร์และระบบ INTERFACE มาประยุกต์ใช้งาน

1.2.4 เพื่อศึกษาการเขียนโปรแกรม ควบคุมการทำงานของไมโครคอมพิวเตอร์

1.2.5 เพื่อเปิดเผยทฤษฎีและแนวทางในการประจุแบตเตอร์รี่ เพื่อเป็นแนวทางในการพิจารณาต่อไป

1.3 ประโยชน์ที่คาดว่าจะได้รับจากการโครงงาน

1.3.1 ได้เครื่องต้นแบบของเครื่องประจุและวิเคราะห์สภาพแบตเตอร์รี่ ซึ่งใช้ไมโครโปรเซสเซอร์เป็นตัวควบคุม

1.3.2 จากข้อมูลต่าง ๆ ที่ได้จากการศึกษา นำไปสู่การพัฒนาเครื่องประจุ และวิเคราะห์แบตเตอร์รี่ ในรูปแบบอื่น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

1.3.3 มีความสามารถในการเข้าใจการทำงานระบบไมโครคอมพิวเตอร์ได้ลึกซึ้งขึ้น และเป็นสาเหตุในการเขียนโปรแกรมควบคุมการทำงานไมโครโปรเซสเซอร์ในระบบที่ซับซ้อนขึ้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 2

ทฤษฎีทั่วไป

2.1 เซลและแบตเตอร์รี่

แหล่งกำเนิดกำลังกระแสไฟตรงในวงจรอีเล็คทรอนิคส์ที่สำคัญ และเป็นที่รู้จักกันดีก็เห็นจะไม่เกิน "แบตเตอร์รี่" (Battery)โดยแบตเตอร์รี่นี้เกิดจากการนำเอา "เซ็ล" (cell) ซึ่งเป็น voltage unit ตั้งแต่ 2 เซ็ลขึ้นไปมาต่อเข้าด้วยกันแบบอนุกรมหรือแบบขนาน (แล้วแต่กรณี) แต่อย่างไรก็ตามคำว่าเซ็ลนี้ในบางครั้งก็หมายถึงแบตเตอร์รี่ด้วย เช่น แบตเตอร์รี่สำหรับไฟฉาย

เซ็ลปฐมภูมิ (Primary cells)

แบตเตอร์รี่หรือเซ็ลก็มีการพัฒนาขึ้นมาเรื่อย ๆ ตามการพัฒนาของอุปกรณ์โซลิด-สเตท โดยในปัจจุบันมีอยู่ด้วนกันสองประเภทใหญ่ๆ คือ แบบที่ทำากรประจุใหม่ได้ (rechargeable) หรือแบบทุติยภูมิกับแบบประจุใหม่ไม่ได้ (nonrechargeable)หรือแบบ ปฐมภูมิ

1.เซ็ลคาร์บอน-สังกะสี(Carbon-Zinc cell)

เซ็ลแบบคาร์บอน-สังกะสี(รูปที่ 1)เป็นเซ็ลประเภทปฐมภูมิแบบหนึ่งที่มีราคาถูกที่สุด นิยมใช้กันในไฟฉาย วิทยุกระเป๋าหิ้ว และอุปกรณ์เครื่องใช้ต่าง ๆ ที่คล้ายคลึงกัน และตามปกติมันเรียกว่า "เซ็ลแห้ง (dry cell) แม้ว่าอีเล็คโตรดภายในเซ็ลจะมีความชื้นอยู่ก็ตาม และมันจะไม่ทำงานถ้าหากมันแห้งเกินไป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

อุณหภูมิเป็นแฟคเตอร์ที่สำคัญอันหนึ่ง ที่มีผลต่ออายุการใช้งานของเซ็ลแห้ง แบตเตอรี่แห้ง แบตเตอรี่แห้งส่วนใหญ่แล้วออกแบบมาให้ทำงานที่อุณหภูมิประมาณ 70 องศาฟาเรนไฮ ดังนั้น หากนำไปใช้งานที่อุณหภูมิสูง ๆ (สูงกว่าประมาณ 130 องศาฟาเรนไฮ) แบตเตอรรี่ จะมีการทำงานตกลงทันที อย่างไร ก็ตามที่อุณหภูมิต่ำกว่าอุณหภูมิสูงสุด เซ็ลแห้งจะมีเฮ้าท์พุทสูงสุด เมื่ออุณหภูมิเพิ่มขึ้น และเฮ้าท์พุทของมันจะลดลงเมื่ออุณหภูมิลดลง

เซ็ลแบบ คาร์บอน-สังกะสี สามารถแบ่งออกได้หลายชนิด เช่น

1. ชนิดทั่วไป หรืออเนกประสงค์ ออกแบบมาสำหรับใช้ในงานปานกลางระยะสั้น มีเวลาพักนาน

2. ชนิดใช้ทางอุตสาหกรรมงานหนัก (heavy-duty) เป็นแบบสามารถทนต่อการใช้งานนานโดยมีเวลาพักเล็กน้อย

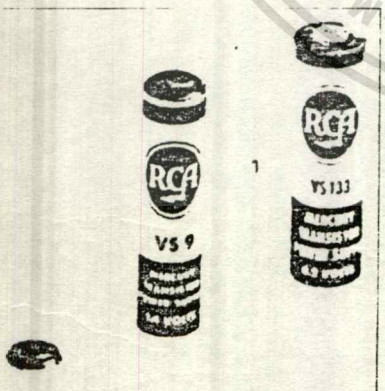
3. โฟโต้แฟล็ช-ออกแบบมาให้กระแสกระโชกสูงในช่วงเวลาสั้น ๆ

4. แบตเตอรี่สำหรับวิทยุทรานซิสเตอร์ ออกแบบมาทำงานได้นาน ๆ โดยให้อัตราขยายกระแสต่ำ ๆ

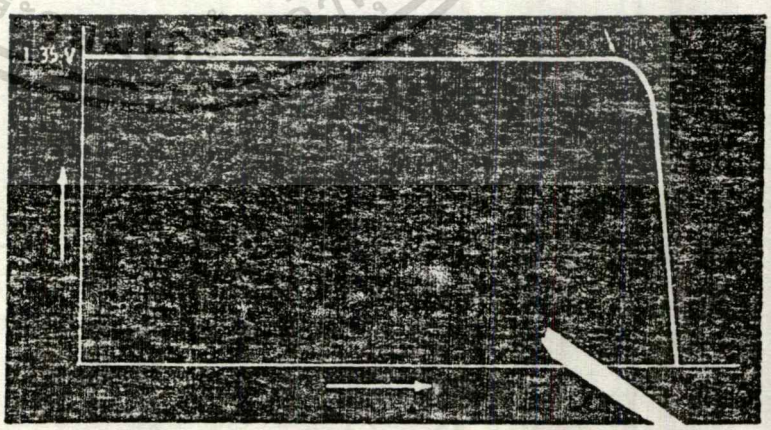
2. เซ็ลปรอท (Mercury - cell)

เซ็ลปรอทนี้ เดิมทีเดียวออกแบบขึ้นมาสำหรับใช้ในทางการทหารในช่วงสงคราม ทั้งนี้เพราะมันทำงานได้ดีที่อุณหภูมิสูง ๆ (รูปที่ 2)และยังมีข้อดีอื่น ๆ ที่น่าสนใจอีกเช่น

1. แรงดันในเซ็ลแบบปรอท(1.35 โวลท์ หรือ 1.4 โวลท์ แล้วแต่แบบ) จะคงที่ตลอดอายุการใช้งานของมัน แล้วจึงตกลงเป็นศูนย์อย่างรวดเร็ว(รูปที่ 3)

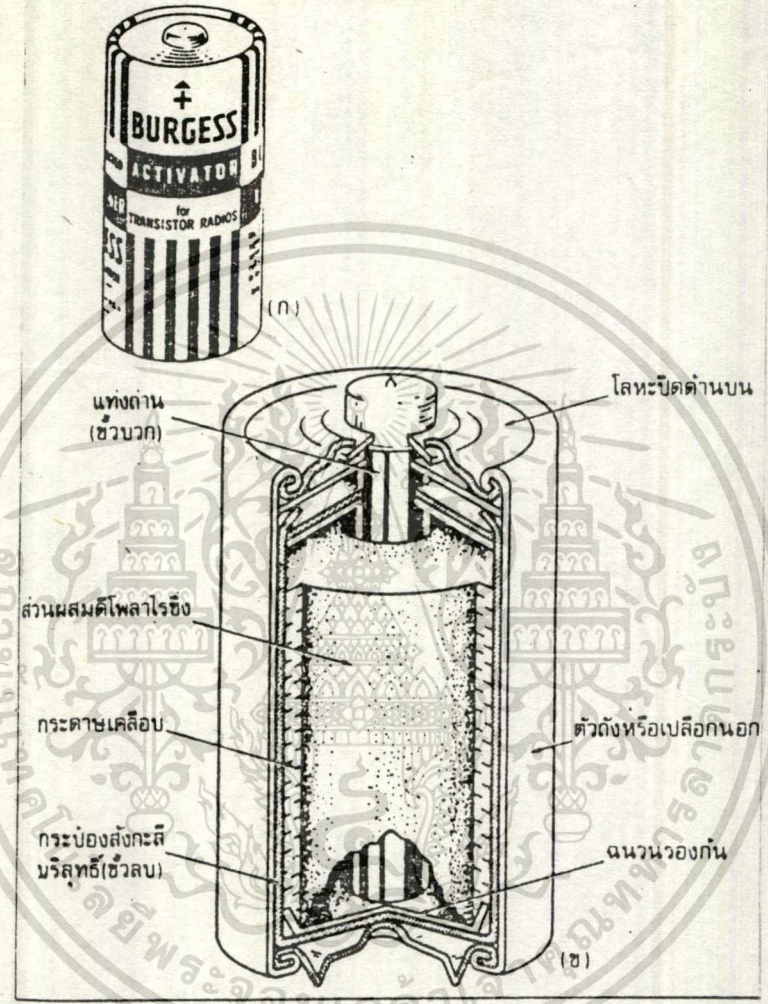


รูปที่ 2 แบลเตอรี่แบบปรอท หัว ๆ ไป



รูปที่ 3 แรงดันในช่วงอายุ การใช้งานของเซ็ลปรอท

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 1 เซ็ลแห้ง ขนาด D (หรือ ที่เรียกว่าถ่านไฟฉาย (ก) รูปร่างภายนอก (ข) โครงสร้างภายใน

REFLEX SPECIAL REFLEX SPECIAL REFLE
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2. ความจุแอมแปร์-ชั่วโมงของเซ็ลปรอทมีค่าประมาณ 3 เท่า ของความจุของเซ็ลแบบคาร์บอน-สังกะสีในขนาดเดียวกัน

3. เซ็ลปรอทนี้ไม่จำเป็นต้องมีช่วง recovery ระหว่างการประจุใหม่ เหมือนกับแบบคาร์บอน-สังกะสี เพื่อให้อายุการใช้งานสูงสุด

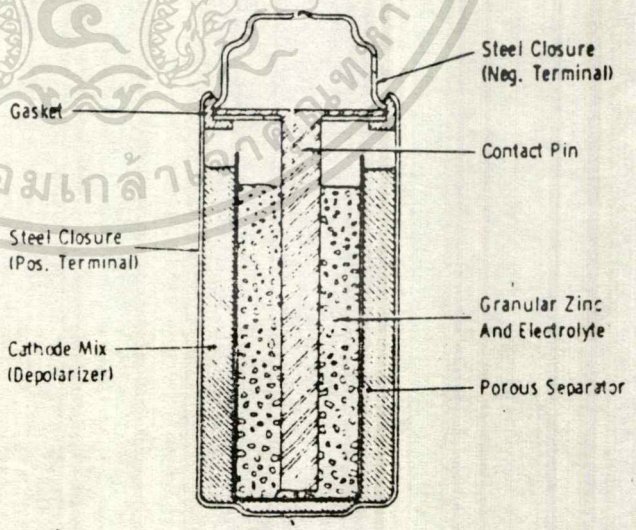
4. ในทางทฤษฎี เซ็ลปรอทนี้มีอายุใช้งาน(เก็บไว้เฉย ๆ)ได้เป็นเวลานาน ๆ

อย่างไรก็ตาม เซ็ลแบบนี้ก็มีข้อเสียที่สำคัญคือราคาของมันแพงกว่าเซ็ลแบบคาร์บอน-สังกะสีมากทีเดียว และเซ็ลแบบนี้ต่างกับแบบแรกตรง "ขั้ว" อีกด้วย กล่าวคือตัวถังของเซ็ลแบบปรอทจะเป็นขั้วบวก(+)ในขณะที่ขั้วตรงกลางเป็นขั้วลบ(-)ซึ่งเป็นสิ่งที่ควรจะต้องจำเอาไว้ด้วยจะได้ไม่เกิดการผิดพลาดเวลาใช้งาน

3.เซ็ลแบบด่าง (Alkaline-cell)

แรงดันขั้วของเซ็ลแบบด่างแบบใหม่ ๆ จะมีขนาด 1.5 โวลท์ เหมือนกับเซ็ลแบบอาร์บอน-สังกะสีมากทีเดียว และเซ็ลแบบนี้หากใช้ต่อเนื่องกัน โดยให้ดึงกระแสมาก ๆ แล้วมันจะมีอายุนานกว่าเซ็ลแบบคาร์บอน-สังกะสีราว 10 เท่า ด้วยขนาดเดียวกัน เซ็ลแบบนี้มีความจุแอมแปร์-ชั่วโมงน้อยกว่าเซ็ลปรอทที่ขนาดเท่ากัน แต่ทว่ามันก็ดีกว่าเมื่อต้องดึงกระแสหนัก ๆ

(ก) ลักษณะภายนอก



(ข) ส่วนประกอบ

รูปที่ 4 เซ็ลแบบด่าง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4. เซ็ลแบบเงินออกไซด์ (Silver oxide cell)

เซ็ลแบบเงินออกไซด์นี้มีอัตรส่วนความจุต่อขนาดสูงกว่าเซ็ลแบบบรอท และเหมือนกับเซ็ลแบบบรอทตรงที่จะให้ค่าความต้านทานภายในต่ำ และแรงดันเอ๊าท์พุทเกือบจะคงที่ตลอดอายุการใช้งานของมัน สำหรับแรงดันขั้วของมันจะสูงกว่าแบบบรอทเล็กน้อย (ประมาณ 1.55 โวลท์ต่อเซ็ล) ทั้งนี้ขึ้นอยู่กับชนิดของเซ็ล

เซ็ลทุติยภูมิ (Secondary cells)

เซ็ลทุติยภูมิเป็นเซ็ลที่สามารถประจุใหม่ได้เมื่อใช้หมดแล้ว เซ็ลแบบนี้ส่วนใหญ่จะเป็นแบบตะกั่วกรด ซึ่งใช้ในแบตเตอรี่รถยนต์

1. เซ็ลแบบ นิกเกิล-แคดเมี่ยม (Nickel - Cadmium cell)

เซ็ลแบบนิคเกิด-แคดเมี่ยมหรือที่เรียกกันสั้น ๆ ว่า นิ-แคด(Ni-cad) นี้คล้าย ๆ กับเซ็ลแห้ง (รูปที่ 5) แต่ทว่ามันสามารถที่จะทำการบรรจุได้ใหม่ (rechargeable) เซ็ลแบบนี้ไม่เหมือนกับหม้อแบตเตอรี่ที่ใช้ในรถยนต์ซึ่งเป็นแบบตะกั่วกรด กล่าวคือ เซ็ลแบบนี้สร้างขึ้นด้วยอีเล็คโตรไลท์ที่มีการผนึกอย่างดีโดยไม่จำเป็นต้องมีการเปลี่ยนใหม่แต่อย่างใด เซ็ลแบบนิกเกิล-แคดเมี่ยม นี้มีแรงดันขั้วเท่ากับ 1.25 โวลท์ เมื่อมันได้รับการประจุแรงไฟเต็มที่

ในปัจจุบันจะพบเซ็ลชนิดนี้ถูกใช้อยู่ในเครื่องใช้ต่าง ๆ เช่น ในเครื่องคำนวณ หรือเครื่องใช้ที่อาศัยแบตเตอรี่ต่าง ๆ เป็นอันมาก

รูปที่ 5 เซ็ลแบบนิคเกิ้ล-แคดเมี่ยม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

8/...

2. เซ็ลทุติยภูมิแบบอื่น ๆ

เซ็ลแบบอื่น ๆ ก็เช่น เซ็ลแบบนิคเกิล-เหล็ก (หรือที่เรียกกันว่า "เอดิสัน เซ็ล" (Edison cell) เพื่อให้เกียรติกับ นายโทมัส แอลวาเอดิสัน ผู้ประดิษฐ์) และเซ็ลแบบแคดเมี่ยม-เงินออกไซด์ ซึ่งก็คล้าย ๆ กับเซ็ลแบบนิคเกิล-แคดเมี่ยม

(ก) แบตเตอรี่สำหรับวงจรทรานซิสเตอร์ขนาด 9 โวลท์

(ข) แบตเตอรี่แบบ B ขนาด 67 1/2 โวลท์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.2 เรื่องน่ารู้เกี่ยวกับการใช้แบตเตอรี่

คำว่าแบตเตอรี่ในที่นี้หมายถึงแบตเตอรี่แห้งหรือเซลแห้ง ที่ชาวบ้านเรียนกว่าถ่านไฟฉาย ซึ่งมีหลายขนาด และเรียกชื่อสามัญต่างกันไปในทางการค้าหรือวิชาการเขามักเรียกตามชนิดของสารเคมีที่ใช้ เช่นถ่านไฟฉาย หรือถ่านวิทยุที่มีขายอยู่ในราคาถูก ๆ ก็เรียกว่า เซลแบบคาร์บอน-ซิงค์ เนื่องจากโครงสร้างของมันเป็นแท่งถ่านหรือแผ่นสังกะสี(ซิงค์) เป็นขั้วบวกและลบตามลำดับ ส่วนประเภทอื่นก็มีเช่น พวกแมงกานิสไดออกไซด์-อัลคาไลน์,พวกซิลเวอร์ไดออกไซด์ ซึ่งเป็นพวกที่ชาร์จใหม่ไม่ได้ส่วนพวกที่ชาร์จใหม่ได้แก่ พวก นิเกิล-แคดเมี่ยม เรียกย่อ ๆ ว่า นิแคด(Nicad) ซึ่งแต่ละแบบจะมีโครงสร้างภายในแบบมาตรฐานอันเดียวกันเช่นแบบ AA หรือ UM-3 AAA designation R6 หรือแบบอื่น ๆ ที่มีรูปร่างและขนาดต่าง ๆ กันไป และในแต่ละประเภทยังแบ่งออกเป็นพวกใช้งานปกติหรือใช้งานหนักหรือกระแสสูงอย่างต่อเนื่อง (Heavy duty) อีกด้วย นำเอาแบตเตอรี่ชนิดที่กล่าวมาไปทำการทดสอบรวมกับข้อมูลจากผู้ผลิตเพื่อดูว่าแบตเตอรี่ชนิดไหนมีข้อดีข้อเสียอย่างไร เพื่อเป็นแนวทางในการเลือกใช้งานอย่างเหมาะสม ในแบบของการทำงานของเครื่องมือที่ใช้เซลชนิดนั้น, ช่วงการใช้งาน,ปริมาณของกระแสที่ใช้ น้ำหนักและราคา แต่อย่างไรก็ดีผู้ทำการทดสอบกล่าวว่าไม่อาจจะกำหนดแบตเตอรี่ แต่ละชนิดนั้นแบบไหนดีที่สุด ทั้งนี้เป็นเพราะคุณภาพเซลบางชนิด ขึ้นอยู่กับชนิดของโหลดหรืองานที่ใช้ ดังนั้นผลการทดสอบเป็นเพียงข้อมูลในการเลือกใช้เท่านั้น ไม่ได้บ่งชัดเจน ไปว่าควรจะใช้เซลชนิดนั้น ๆ ลงไปทีเดียว

การทดสอบ

วิธีการทดสอบเปรียบเทียบว่าเซลแต่ละชนิดแตกต่างกันอย่างไร จะใช้เซลที่มีขนาดใดขนาดหนึ่งและดูคุณภาพในสภาวะและเงื่อนไขอันเดียวกัน ในที่นี้ได้ทำการเปรียบเทียบเซลสามชนิด คือคาร์บอน-ซิงค์แบบธรรมดาและแบบ Heavy duty แบบแมงกานิส ไดออกไซด์-อัลคาไลน์และแบบนิเกิล แคดเมียม ขนาดที่ใช้เป็น AA หรือ UM-3 ในกรณีของ นิแคด เป็นเซลที่มีความจุ 450 มิลลิแอมป์-ชั่วโมง โหลดที่ใช้ทดสอบเลือกขนาด 30 มิลลิแอมป์ ในเวลาสี่ชั่วโมงต่อหนึ่งวัน ซึ่งขนาดกระแสนี้เป็นขนาดที่เครื่องอุปกรณ์กระเป๋าหิ้วเช่นวิทยุรับส่ง เครื่องรับวิทยุ เครื่องคำนวณ ฯลฯ ใช้งานซึ่งเป็นโหลดที่ง่ายที่สุดสำหรับการเปรียบเทียบ

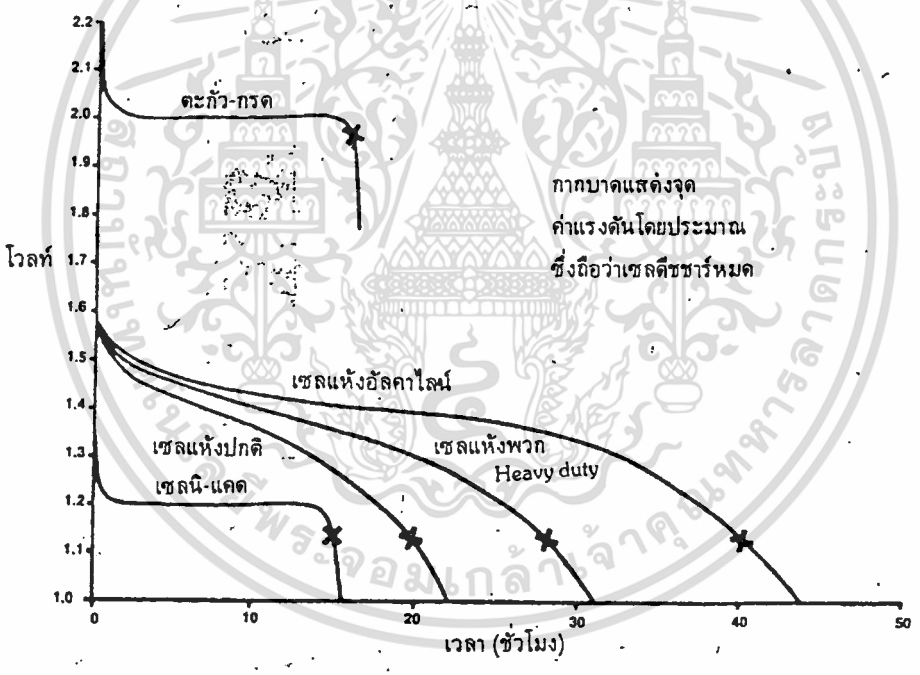
10/...

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

008474

ผลของการเปรียบเทียบ

เมื่อดูผลโดยทั่ว ๆ ไปแล้วการเปรียบเทียบ ณ ที่นี้แสดงให้เห็นว่า เซลพวกอัลคาไลน์ให้คุณภาพดีกว่าพวกคาร์บอน-ซิงค์แบบธรรมดาเกือบสองเท่า ซึ่งบางครั้งก็มากกว่านี้ขึ้นอยู่กับการใช้ถ่าพวกอัลคาไลน์มีประสิทธิภาพสูง เมื่อใช้งานอย่างต่อเนื่องหรือโหลดมาก ๆ (กระแสสูง ๆ) เมื่อเทียบกับคาร์บอน-ซิงค์ในขนาดเดียวกันสำหรับพวกนิแคดซึ่งสามารถประจุไฟหรือชาร์จไฟใหม่ได้ สามารถใช้ในงานที่ใช้กระแสสูง ๆ และต้องการแรงดันป้อนคงที่ได้ดี แต่โชคไม่ดีที่คาร์บอน-ซิงค์หรืออัลคาไลน์ไม่สามารถหรือยากที่จะเปลี่ยนกับพวก นิ-แคดได้โดยตรง ทั้งนี้เนื่องจากความแตกต่างของแรงดันที่จ่ายได้ เป็นเพราะโครงสร้างของสารเคมีที่ใช้ทำแตกต่างกัน โดยที่พวกคาร์บอน-ซิงค์และอัลคาไลน์สามารถจ่ายแรงดันได้ก้อนละ 1.5 โวลท์พวกนิแคดจ่ายได้เพียง 1.2 โวลท์ต่อก้อน



รูปที่ 1 แสดงการดีชชาร์จของเซลแต่ละชนิดสังเกตว่าแรงดันที่ขั้วไม่สามารถที่จะแสดงภาวะการชาร์จของเซลนิแคดได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในรูปที่ 1 แสดงให้เห็นคุณภาพของเซลแต่ละชนิดที่กล่าวมา แต่เพิ่มแบตเตอรี่รถยนต์แบบน้ำกรด-ตะกั่วเข้าไปเปรียบเทียบด้วย จะสังเกตว่าแรงดันที่ขั้วของเซลพวกนิแคด ไม่สามารถใช้แสดงสภาวะของการชาร์จหรือประจุไฟได้เลย แต่สำหรับพวกเซลแห้งแบบอื่น จะสังเกตได้อย่างคร่าว ๆ ว่าในช่วงเวลาไหนมีระดับของกำลังงานที่จะจ่ายได้หรือใช้ไปแล้วเท่าใดและเมื่อเทียบทางด้านน้ำหนัก ในขนาดแรงดันเท่า ๆ กัน แล้วคงจะบอกได้ว่านิแคดจะต้องหนักกว่าแบบอื่น ๆ แน่นอก

แบตเตอรี่เมื่อใช้งาน

โหลดสำหรับแบตเตอรี่ชนิดต่าง ๆ ก็คงได้แก่อุปกรณ์-เครื่องมือต่าง ๆ ซึ่งมีแฟคเตอร์หลายอย่างที่สำคัญ จุดที่จะพิจารณาได้แก่ ช่วงการใช้งาน (duty cyle) คือโหลดที่ใช้เป็นแบบต่อเนื่องหรือเป็นกระแสสูงแต่เป็นช่วง ๆ หรือกระแสต่ำต่อเนื่องหรือเป็นช่วง ๆ สภาพแวดล้อมการใช้งานอันได้แก่ว่ากำลังงานที่ต้องจ่าย ให้เครื่องมือดังกล่าว จะทำให้อุณหภูมิสูงขึ้นหรือไม่อย่างไร แรงดันที่เครื่องมือที่ถูกออกแบบที่ขนาดเท่าใดและเซลสามารถจ่ายได้หรือไม่ การเปลี่ยนใหม่หรือชาร์จใหม่ ในบางสถานการณ์แบบหนึ่งอาจจะเหมาะสมกว่าทั้งในแง่ความเหมาะสมหรือราคา อายุการใช้งาน ได้แก่ว่าเซล แต่ละชนิดสามารถใช้งานได้ยาวนานเพียงใดก่อนที่ต้องเปลี่ยนหรือชาร์จใหม่ ประการสุดท้ายที่จะพิจารณาได้แก่อายุการเก็บจะดูว่าสภาพของเซลแต่ละชนิดจะเป็นเช่นใด หลังจากเก็บไว้โดยไม่ได้ใช้งาน

ช่วงการใช้งาน

ในข้อนี้ดูเหมือนว่าจะเป็นผลสำคัญต่อคุณภาพของเซลในสภาวการณ์ต่าง ๆ เซลพวกคาร์บอนซิงค์ จะใช้งานได้ดีกรณีที่โหลดมีค่าต่ำ และใช้ไม่ต่อเนื่องสำหรับเซลพวกอัลคาไลน์ อายุการใช้งานไม่ขึ้นอยู่กับว่าจะใช้งานแบบต่อเนื่องหรือไม่ต่อเนื่อง และมีการแสดงออกมาว่ามีข้อดีกว่าพวกคาร์บอน-ซิงค์ ในแง่ของอายุการใช้งานเกือบสิบเท่า

ข้อดีอื่น ๆ ของพวกอัลคาไลน์ ได้แก่ความสามารถในการจ่ายกระแสได้มากกว่าพวกคาร์บอน-ซิงค์ ความจริงแล้วปริมาณของกระแสที่อัลคาไลน์จ่ายได้นั้น เกือบเท่ากับพวกนิแคดซึ่งชาร์ทใหม่ได้ สำหรับโหลดที่ต้องการกระแสสูง ๆ อย่างต่อเนื่องหรือเป็น ช่วง ๆ ควรใช้เซลพวกนิแคดดีกว่า ทั้งนี้เนื่องจากเซลชนิดนี้ไม่สามารถจ่ายกระแสได้เพียงพอ หรือเพราะการจ่ายกระแสมาก ทำให้เซล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หมดอายุเร็วต้องเปลี่ยนบ่อย ๆ อย่างไรก็ดีการที่จะเอาแต่ นิ-แคดไปเปลี่ยนแทนที่คาร์บอน-ซิงค์หรืออัลคาไลน์จำเป็นต้องพิจารณาแฟคเตอร์ทั้งหมดที่เกี่ยวข้อง เช่น ภาวะแวดล้อมในการใช้งาน แรงดันที่เครื่องมือต้องการ และอายุการเก็บ

สภาวะแวดล้อมในการทำงาน

ถ่านพวกคาร์บอน-ซิงค์จะเสื่อมคุณภาพลงอย่างรวดเร็ว ในอุณหภูมิรอบตัวสูงกว่า 50 องศาเซลเซียส และจะไม่สามารถจ่ายกระแสได้อย่างเพียงพอ ณ อุณหภูมิต่ำกว่า -18 องศาเซลเซียส ส่วนพวกอัลคาไลน์แสดงให้เห็นว่าคุณสมบัตินี้ดีกว่า แม้ว่าเป็นการยากที่จะกำหนดอุณหภูมิจำกัดสูงสุดของเซลชนิดนี้ แต่เท่าที่ปรากฏจะพบว่ามีคุณสมบัติที่ดีกว่าพวกคาร์บอน-ซิงค์ เซลอัลคาไลน์สามารถทำงานได้ดีจนถึงอุณหภูมิต่ำ -40 องศาเซลเซียส

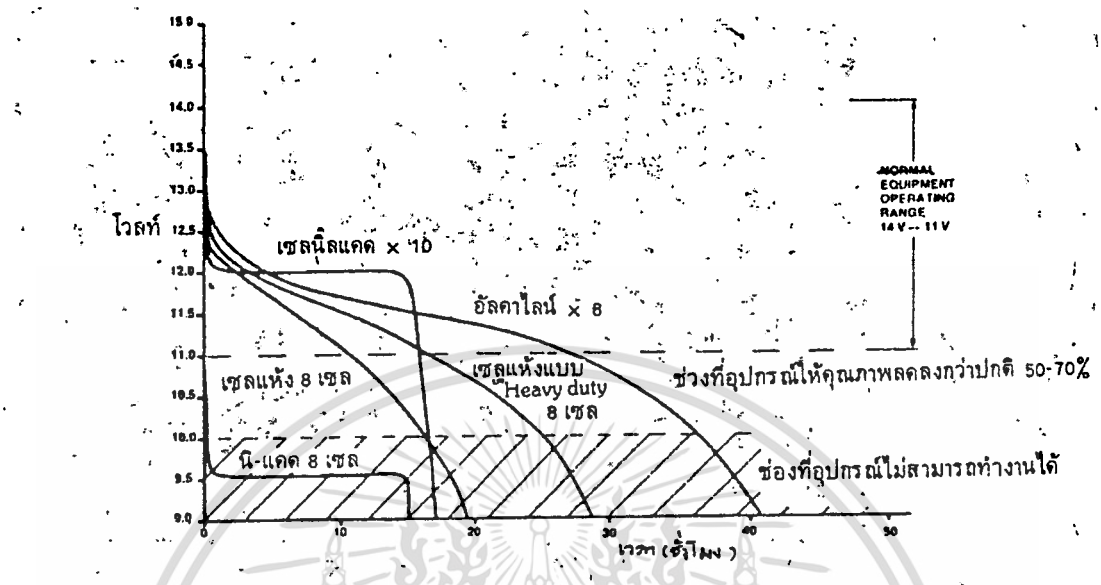
สำหรับพวกนิ-แคดมีช่วงอุณหภูมิใช้งานประมาณ -20 องศาเซลเซียส ถึง +45 องศาเซลเซียส แต่ในขณะทำการชาร์จ ไม่ควรให้อุณหภูมิต่ำกว่า 0 องศาเซลเซียส โดยทั่วไปอุณหภูมิขณะใช้งานจะพอ ๆ กับพวกคาร์บอน-ซิงค์ แต่ในขณะชาร์จหรือเมื่อโหลดกระแสสูง ๆ อุณหภูมิจะสูงขึ้นซึ่งเป็นแฟคเตอร์อันหนึ่งในการพิจารณาเมื่อต้องนำไปใช้กับอุปกรณ์ที่มีความไวสูงต่ออุณหภูมิ

ความต้องการแรงดันของเครื่องมือ/อุปกรณ์

นี่เป็นแฟคเตอร์หนึ่งที่ควรพิจารณา เมื่อต้องการแทนเซลพวกคาร์บอน-ซิงค์หรืออัลคาไลน์ด้วย เซลนิแคด โดยเฉพาะในอุปกรณ์สื่อสารกระเป๋าหิ้วที่จะทำงานสมบูรณ์ก็ต่อเมื่อแรงดันที่จ่ายอยู่ในช่วงที่กำหนดนอกเหนือจากช่วงนี้จะทำงานผิดพลาดหรือเกิดอันตรายต่อวงจรภายใน ดังนั้นถ้าอุปกรณ์ดังกล่าว ถูกออกแบบให้ใช้กับแบตเตอรี่ชนิดใด การสับเปลี่ยนระหว่างเซลแห้งแบบธรรมดากับเซลนิแคดจำเป็นต้องพิจารณาให้ถี่ถ้วนก่อน ตามปกติแล้วอุปกรณ์ที่ต้องการแรงดัน 12 โวลท์ จะยังคงทำงานได้ปกติในช่วงแรงดัน 11-14 โวลท์หรือ 10-15 โวลท์ ซึ่งทำให้ดูเหมือนว่าน่าที่จะแทนพวกคาร์บอน-ซิงค์ หรืออัลคาไลน์ด้วยนิแคดในจำนวนเซลเท่า ๆ กันได้ แต่ว่าความแตกต่างของแรงดันแต่ละเซล(1.5 โวลท์ และ 1.2 โวลท์) ถึงแม้ว่าจะชาร์ทนิแคดจนเต็มแล้วก็ตาม ก็ยังคงไม่เท่ากับแรงดันต่ำสุดที่ต้องการของเครื่องมือนั้น ๆ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

13/...



รูปที่ 2 แสดงการใช้งานของแบตเตอรี่หลายชนิดในเครื่องส่งวิทยุสังเกตว่าไม่สามารถแทนเซลแห้งธรรมดา 8 เซลได้ด้วยเซลนิ-แคด 8 เซลได้

ในรูปที่ 2 แสดงคุณภาพของแบตเตอรี่ชนิดต่าง ๆ จัดให้ขนาดแรงดัน 12 โวลท์ ใช้ในเครื่องรับส่งวิทยุ สังเกตว่าจะใช้จำนวนเซลทั้งหมด 3 เซล ซึ่งถ้าใช้เซลแต่ละเซลที่มีแรงเคลื่อนต่ำกว่าจะทำให้แรงดันต่ำกว่าค่าที่กำหนด เพื่อที่ให้ยังคงทำงานได้ตามปกติ ในทางตรงกันข้าม หากใช้เซลที่แรงดันมากกว่าไปแทนก็จะทำให้แรงดันเกินได้

เปลี่ยนใหม่หรือชาร์จใหม่ดี

ถ้าหากจะใช้คำว่าอย่างไหนดีที่สุดต้องขึ้นอยู่กับผู้ใช้มากกว่า ตัวอย่างเช่นเครื่องรับส่งวิทยุรุ่นหนึ่งใช้สำหรับแจ้งภัยการเปลี่ยนใหม่จะดีกว่าการรอการชาร์จใหม่ แต่สำหรับงานที่ไม่สร้างปัญหามากนักเมื่อแบตเตอรี่หมดลง การชาร์จใหม่จะได้ประหยัดกว่าในระยะยาว ส่วนงานที่ต้องใช้ไฟจำนวนมากและอย่างต่อเนื่อง การชาร์จใหม่และเปลี่ยนนใหม่ควรจะใช้คู่กัน

ในเรื่องราคาการเปลี่ยนใหม่ขึ้นอยู่กับว่าบ่อยแค่ไหน พวกที่ชาร์จใหม่ได้ต้องลงทุนขั้นแรกสูงกว่ามาก จากราคาของเซลเอง อุปกรณ์ประกอบเช่น เครื่องชาร์จ และกะบะถ่าน ประกอบการชาร์จเป็นต้น และที่สำคัญอีกประการหนึ่งคือ แหล่งจ่ายกำลังงานสำหรับชาร์จจะต้องหาง่าย มิฉะนั้นแล้วคงเป็นคำแนะนำที่ไม่ดีนักในการใช้ นิ-แคดแทน

เอกสารนี้มีลิขสิทธิ์ สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

อายุการใช้งาน

ในรูปที่ 2 แสดงกราฟการทดสอบอายุการใช้งานในภาวะโหลดที่กำหนดในระยะเวลา 15 ชั่วโมงโดยที่เซลอยู่ในสภาพดีและชาร์จจนเต็ม จะเห็นว่าพวกนิ-แคดมีอายุการใช้งานพอ ๆ กับพวกคาร์บอน-ซิงค์ธรรมดา ส่วนพวก Heavy duty จะเหนือกว่าเกือบสองเท่า สำหรับพวกอัลคาไลน์จะดีกว่าพวกนิ-แคดและคาร์บอน-ซิงค์ 3 เท่าตัว

แฟคเตอร์อื่น ๆ ที่ควรพิจารณาเลือกใช้พวกนิ-แคดคือ เซลพวกนิ-แคดทำตัวคล้าย ๆ กับมีหน่วยความจำอยู่ คือมันจะจำรูปแบบการใช้งานไว้ ดังเช่นสมมุติว่าเริ่มแรกเมื่อเราใช้ เซลจึงได้ถูกชาร์จจนเต็มจนกระทั่งความจุเหลือเพียง 50% แล้วก็นำไปชาร์จจนเต็มใหม่ ทำอย่างนี้สองสามครั้งจะพบว่า ความสามารถในการจ่ายกำลังงานเหลือเพียง 50% ของเดิมเท่านั้น ซึ่งการจะให้มีมีประสิทธิภาพเหมือนเดิมได้ จะต้องทำการเปลี่ยนรูปแบบการใช้และชาร์จใหม่ที่ถูกต้องหลาย ๆ รอบ ก็จะกลับมาอยู่ในสภาพเดิมได้ ถ้าไม่ทำเช่นนี้แล้วจะเป็นการลดคุณภาพหรืออายุการใช้งานของเครื่องมือที่ใช้มันเป็นแหล่งพลังงานไปด้วย

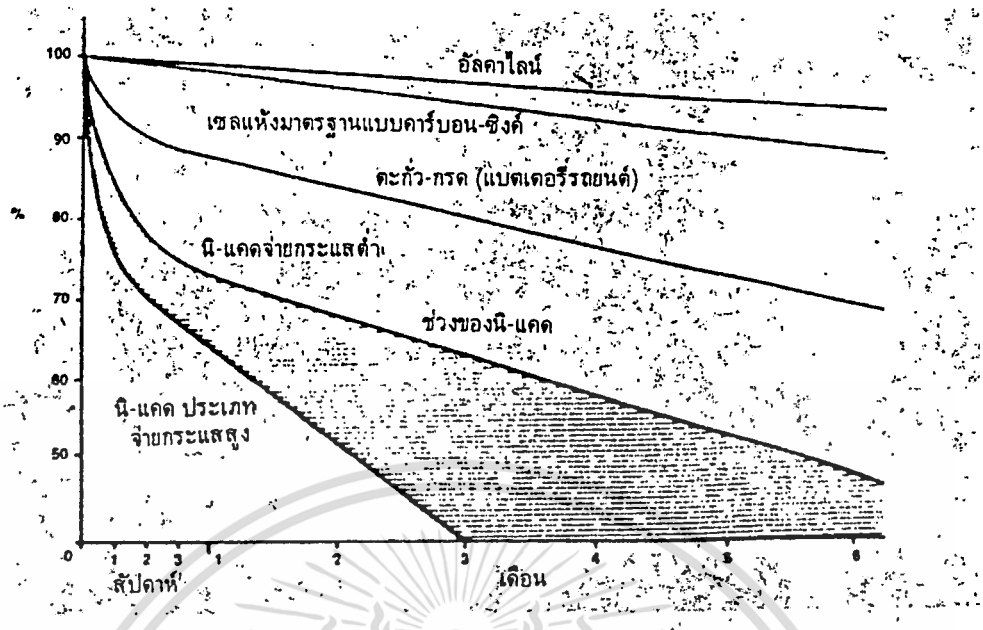
อายุการเก็บ

ตามปกติแบตเตอรี่เมื่อปล่อยไว้มันจะดีชชาร์จด้วยตนเองได้มากน้อยต่างกัน แฟคเตอร์สำคัญทำให้เกิดการดีชชาร์จคืออุณหภูมิของที่เก็บ ปริมาณของประจุไฟฟ้าของที่เก็บและสภาพของเซล การวัดอายุการเก็บ จะดูว่าเวลา ที่มีความจุเหลือ 90 % ของเดิม เซลแต่ละชนิดจะมีระยะเวลาแตกต่างกันในสภาวะเดียวกันดังนี้

คาร์บอน-ซิงค์	8-9 เดือน
อัลคาไลน์	2 ปี
นิ-แคด	3วัน-4 สัปดาห์

โดยกำหนดว่าอุณหภูมิคงที่ที่ 20-25 องศา ซึ่งอายุการเก็บนี้จะยาวนานขึ้นถ้าเก็บในอุณหภูมิ 5-10 องศาเซลเซียส ปกติอายุการเก็บจะสั้นลงถ้าอุณหภูมิสูงขึ้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3 แสดงการคิชชาร์จของเซลแต่ละชนิด ในเมื่อไม่ได้ใช้งาน

ในรูปที่ 3 แสดงอายุการเก็บในรูปของกราฟ โดยนำแบตเตอรี่รถยนต์แบบน้ำกรด–ตะกั่วมาเปรียบเทียบด้วย จะเห็นว่าเซลพวกนิแคด มีคุณภาพด้อยกว่าแบบ อื่น ๆซึ่งในปัจจุบันผู้ผลิตต่างพยายามทำให้ดีขึ้น การดิชชาร์จได้เองของนิแคดนี้ขึ้นอยู่กับชนิดของเซลนั้นว่าเป็นประเภทให้จ่ายกระแสสูง ๆ และจำนวนครั้งของการชาร์จว่ากี่รอบแล้วรวมทั้งสภาวะสิ่งแวดล้อมของการเก็บดีเพียงใด

จากที่กล่าวมาทั้งหมดแม้จะยังไม่ครอบคลุมคุณสมบัติอื่น ๆ จนครบก็ตาม แต่ก็พอจะให้เป็นข้อมูลในการเลือกซื้อเซลชนิดใดให้เหมาะสมกับเศรษฐกิจและการใช้งาน

2.3 การตรวจและทดสอบ

ในกรณีที่ไม่มีเครื่องทดสอบแบตเตอรี่โดยเฉพาะ การวัดก็จะต้องอาศัยประสพการณ์ความรู้และความชำนาญต่าง ๆ เข้าช่วย โดยทั่ว ๆ ไป แล้วในการทดสอบแบตเตอรี่ที่ใช้กับไฟฉายและเซลแห้งนั้นวิธีที่ดีที่สุดก็คือ การวัดแรงดันของแบตเตอรี่หรือเซลขณะมีโหลด กล่าวคือถ้าเป็นการวัด แบตเตอรี่ที่ใช้กับวิทยุกระเป๋าหิ้ว พอเปิดเครื่องทำการวัดแรงดัน ถ้าปรากฏว่าแรงดันตกลง 10 ถึง 20 % ตามโหลดก็ควรจะเปลี่ยนใหม่ได้แล้วถ้าต้องการให้การทำงานดีที่สุด อย่างไรก็ตามยังมีวิธีการตรวจสอบที่น่าสนใจอีกหลายวิธี เช่น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

1. การใช้แอมป์มิเตอร์

เซลคาร์บอน-สังกะสีนั้นสามารถที่จะทดสอบได้ด้วยแอมป์มิเตอร์ที่มีสเกล 10 แอมป์ เซลเอนกประสงค์ (ถ่านไฟฉาย)นั้นมีกระแสชั่วขณะ (เรียกว่ากระแสแฟล็ช - flash current) อย่างน้อย 4 แอมป์ แต่ถ้าเป็นแบตเตอรี่ที่ใช้กับวิทยุทรานซิสเตอร์แล้วกระแสดังกล่าวของมันจะมีค่าอย่างน้อย 2 แอมป์ มีข้อควรระวังก็คือในการใช้แอมป์มิเตอร์ตรวจไม่ควรจะเอาแอมป์ที่ต่ออยู่ออกก่อน 2 วินาที หรือเร็วเกินกว่าที่จะอ่านค่าได้ และพึงจำไว้ด้วยว่าเซลแต่ละชนิดแต่ละขนาดจะมีค่าของกระแสแฟล็ชแตกต่างกันไป การวัดจึงควรจะวัดเปรียบเทียบกับของใหม่ ๆ ดู

อนึ่งไม่ควรอย่างยิ่งที่จะใช้แอมป์มิเตอร์ตรวจสอบแบตเตอรี่วิทยุขนาดเล็ก ๆ ทั้งนี้เนื่องจากมันจะเป็ฯการบั่นทอนอายุการใช้งานของมัน และนอกจากนี้ไม่ควรใช้แอมป์มิเตอร์เมื่อแรงดันของแบตเตอรี่มากกว่า 2 โวลท์

2. การใช้โวลท์มิเตอร์ และโหลดตัวต้านทาน

วิธีนี้ดูเหมือนว่าจะเป็นวิธีที่ดีที่สุดเมื่อไม่สามารถทดสอบแบตเตอรี่ภายใต้สภาวะโหลดปกติของมันด้วยการต่อตัวต้านทานตัวหนึ่งคร่อมเข้าที่ขั้วของแบตเตอรี่ (โดยใช้ค่าความต้านทานประมาณ 10 โอห์มต่อแรงดันของแบตเตอรี่ 1 โวลท์ ตัวอย่างเช่น แรงดัน 1.5 โวลท์ ก็ใช้ค่า 15 โอห์ม หรือ แรงดัน 12 โวลท์ ก็ใช้ 120 โอห์ม เป็นต้น) ค่าความต้านทานนี้ก็ทำหน้าที่เหมือน ๆ กับโหลดทั่ว ๆ ไป ของแบตเตอรี่ ในวงจร อีเล็คทรอนิคส์ ถ้าหากการวัดปรากฏว่าแรงดันของแบตเตอรี่ลดลงมาก ก็แสดงว่าอายุการใช้งานของมันกำลังจะสิ้นสุดลงและสมควรจะเปลี่ยนใหม่

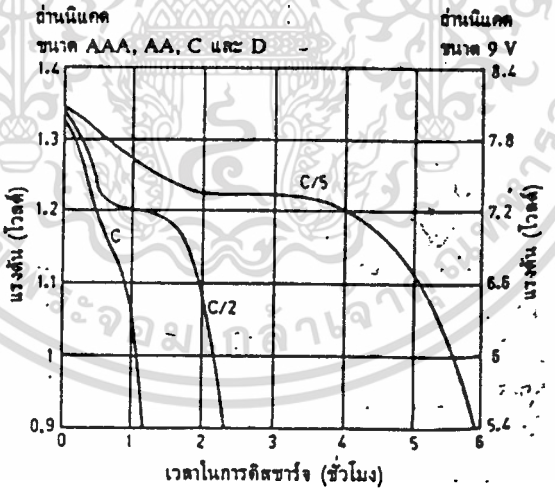
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3. โดยการเปรียบเทียบ

ในกรณีที่ท่านไม่มีทั้งโวลท์มิเตอร์และแอมป์มิเตอร์ใช้ ก็จะทดสอบได้ด้วยการทดลองกับหลอดไฟฉายขนาดเล็กหรือหลอดไฟแรงดันต่ำ แล้วสังเกตดูความสว่างของหลอดไฟที่ได้กับของโวลท์ว่าแตกต่างกันมากน้อยเพียงใด แต่จะรู้เพียงหยาบ ๆ เท่านั้น

2.4 การจ่ายกำลังของถ่านนิแคด

ความสามารถในการจ่ายกำลังหรือความจุของถ่านนิแคด ซึ่งวัดเป็นหน่วยแอมป์ - ชั่วโมง (Ah)จะถูกกำหนดด้วยการที่ถ่านนิแคดจ่ายกำลังเป็นเวลา 10 ชม.และแรงดันของมันตกลงเหลือ 1.1โวลท์ ตัวอย่างเช่น ถ่านนิแคดขนาด AA ระบุค่าความจุไว้ 500 mAh ก็หมายความว่า ถ้าเมื่อมันได้รับการชาร์จมาจนเต็มแล้ว และนำมันมาต่อกับโหลดให้จ่ายกระแสหรือดิชชาร์จ ขนาด 50 mA แรงดันของมันจะตกลงเรื่อย ๆ จนเหลือ 1.1 โวลท์ เมื่อเวลาผ่านไป 10 ชม. ซึ่งอัตราการจ่ายกระแสขนาดนี้เรียกว่า C/10 คือ 1/10 เท่าของความจุ



รูปที่ 1 กราฟแสดงการจ่ายกำลัง(ดิสชาร์จ)ของถ่านนิแคดที่อัตรา 100%, 50% และ 20% ของความจุเต็มที่ของถ่าน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 1 แสดงกราฟของอัตราการจ่ายกระแสขนาด C/5,C/2 และ C ของถ่านนิแคดแบบก้อนเดี่ยว (1.2 โวลท์) และขนาด 9 โวลท์ สังเกตุให้ดีจะเห็นว่าที่อัตรา C/5 ตัวถ่านนิแคดสามารถจ่ายกระแสได้เป็นเวลา 5 ชม.ตามที่คิดก่อนที่แรงดันจะตกลงเหลือ 1.1 โวลท์ และ 6.6 โวลท์ ตามลำดับ แต่ที่อัตรา C/2 และ C แรงดันจะตกลงเร็วกว่าตามที่คิดไว้

ในทางปฏิบัติแล้ว ที่อัตราการจ่ายกระแสหรือดิสชาร์จขนาด C จะได้เวลา 55 นาทีเท่านั้น เมื่อเทียบกับที่คิดได้ 1 ชม.

ในการชาร์จถ่านนิแคดนั้น โรงงานผู้ผลิตได้แนะนำให้ชาร์จถ่านนิแคดด้วย อัตรา C/10 เป็นเวลา 14 ชม. การชาร์จด้วยอัตราสูงขึ้นสามารถทำได้แต่จะทำให้อายุของถ่านนิแคดสั้นลง และยังทำให้ความสามารถในการจ่ายกำลังลดน้อยลงอีกด้วย

ก่อนที่จะทำการชาร์จถ่านนิแคดอาจจะมีถ่านนิแคดบางก้อนซึ่งยังคงมีประจุเหลืออยู่หรือยังจ่ายกำลังไม่หมด ดังนั้นเพื่อเป็นการป้องกันการชาร์จถ่านแบบนี้มากเกินไป เวลาในการชาร์จจึงควรลดน้อยลงตามประจุที่ยังคงเหลืออยู่ ซึ่งทำให้เกิดปัญหาขึ้นได้ เนื่องจากเราไม่สามารถวัดหรือตรวจสอบปริมาณประจุที่เหลืออยู่ได้

การชาร์จถ่านนิแคดมากเกินไปนี้ ทำให้อายุและความจุลดน้อยลงไปได้ แต่ความจุที่ลดน้อยลงไปนี้สามารถเอากลับคืนมาได้ด้วยการชาร์จจนเต็มและให้จ่ายกำลังออกจนหมดเป็นวัฏจักรเช่นนี้หลาย ๆ ครั้ง ไม่เพียงเท่านั้น หลังจากที่ได้กระทำเช่นนี้แล้ว ถ่านนิแคดเองก็ยังคงต้องการวัฏจักรดังกล่าว เพื่อให้ตัวมันมีความจุเต็มที่อยู่ตลอดเวลา

2.5 การชาร์จนิเกิล-แคดเมียม แบตเตอรี่

เนื่องจากนิเกิล-แคดเมียมแบตเตอรี่ได้นิยมนำใช้กันอย่างแพร่หลายในเครื่องเล่นเทป เครื่องคิดเลข เป็นต้น คุณลักษณะของแบตเตอรี่จึงได้รับความสนใจกันมาก จะกล่าวถึงสิ่งจำเป็นในการชาร์จ และตัวชาร์จแบบง่าย ๆ

เซลนิเกิล-แคดเมียมนี้ไม่ว่าจะเป็นขนาดไหนจะมีแรงดัน 1.2 โวลท์ ในช่วงดิสชาร์จตอนที่ชาร์จอยู่นั้น แรงดันจะมีค่าสูงประมาณ 1.5 โวลท์ ตอนชาร์จเกือบเต็มที่แล้ว เมื่อถอดตัวชาร์จออกแรงดันจะลดลงเหลือประมาณ 1.3 โวลท์ และเมื่อต่อโหลดจะมีค่า 1.2 โวลท์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สิ่งที่จะพิจารณาอันดับแรกก็คือ อัตราชาร์จ ถ้าค่านี้มากไป อาจทำให้แบตเตอรี่เสีย อัตราที่ใช้กับนิเกิล-แคดเมียมแบตเตอรี่ก็คือ จะต้องชาร์จด้วยอัตราไม่เร็วกว่า 10 ชม. ตามทฤษฎีจะหมายถึงว่าชาร์จเต็มที่ในเวลา 10 ชม.

ตัวอย่างเช่น เซล AA มีความจุ 450 มิลลิแอมป์/ชม. จะชาร์จด้วยกระแส 45 mA.และเนื่องจากการชาร์จนั้นมีประสิทธิภาพไม่ถึง 100 % เวลาที่ใช้ชาร์ทจริง ๆ อาจเป็น 14 ชม. อาจใช้เป็นกฎได้ว่าให้ชาร์จด้วยกระแสที่มีค่าเป็นหนึ่งส่วนสิบของความจุ เป็นเวลา 14 ชม. สำหรับนิเกิล-แคดเมียมแบตเตอรี่

<u>หลักเบื้องต้นของการชาร์จแบตเตอรี่นิแคด</u>

การชาร์จแบตเตอรี่นิแคด มีหลายวิธี ดังต่อไปนี้

<u>1. แบบกระแสคงที่</u>

ถ่านนิแคดจ่ายกระแสได้ 500 mAH หรือ 600 mAH มีอัตราการชาร์จที่เหมาะสมคือ 1/10 ของกระแสความจุ เพราะฉะนั้น ควรจะชาร์จ ด้วยกระแสคงที่ 60 mAH เป็นเวลานาน 10 ชม. แต่จริง ๆ แล้วต้องชาร์จนาน 14-16 ชม. เพราะขณะเมื่อใกล้เต็มกระแสจะชาร์จน้อยลง ซึ่งกินเวลานานขึ้น แบบนี้ใช้สำหรับถ่านนิแคดแบบชาร์จช้า ถ้าเป็นถ่าน NICAD แบบชาร์จเร็ว จะใช้กระแสในการชาร์จประมาณ 100-150 mA อัตราเวลาการชาร์จนาน 3-5 ชม. แต่การชาร์จเร็วมีข้อเสียคือ ในกรณีเครื่องชาร์จไม่สามารถควบคุมได้ ต้องรีบดึงออก เพราะมิฉะนั้นแล้วน้ำยาสารเคมีในถ่านจะได้รับความร้อนมากเกินไป ระเหยออกมาทางลิ้นระบายความร้อน ทำให้น้ำยาในถ่านแห้งอาจจะเสียได้ แต่สำหรับชาร์จช้าจะไม่เป็นอะไร เพราะสามารถทนความร้อนได้และไม่มีลิ้นปิดเปิด

<u>2. แบบแรงดันคงที่</u>

ถ่านนิแคดแต่ละก้อนมีแรงดัน 1.2 โวลท์ ชาร์จเต็มที่แล้วมีแรงดัน 1.25-1.3 โวลท์ ดังนั้นจะชาร์จกี่ก้อนก็บวดแรงดันเพิ่มเข้าไป เช่น 4 ก้อน ก็กำหนดแรงดันชาร์จได้ 1.2 x 4 = 4.8 V. แต่การชาร์จแบบนี้ เมื่อชาร์จตอนแรก จะมีกระแสไหลสูงมาก เพราะระดับแรงดันระหว่างเครื่องชาร์จกับถ่านนิแคดแตกต่างกันมาก อาจจะทำให้เกิดความร้อนสูง จนถ่านเสียหายได้ (ถ่านบวมหรือสารเคมีระเหยแห้งไป)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

20/...

ฉะนั้นตอนแบตเตอรี่จวนจะบรรจุเต็มที่แล้ว ใช้พลังงานเพียงนิดเดียว จึงควรจะลดอัตราการประจุลง เพื่อป้องกันไม่ให้เกิดความร้อนและแก๊ส ในการชาร์จด้วยแรงดันคงที่ กระแสจะลดลงโดยอัตโนมัติ ผลดีของการชาร์จโดยวิธีนี้คือใช้เวลาชาร์จน้อยมาก และอายุใช้งานก็มาก เหมาะอย่างยิ่งสำหรับชนิด LEAD ACID BATTERY แต่ไม่เหมาะกับนิเกิล-แคดเมียม เพราะทำให้อุณหภูมิสูงขึ้น ในช่วงท้ายของการชาร์จซึ่งเป็นผลทำให้ค่าแรงดันของแบตเตอรี่ตก

เมื่อแรงดันตก จะทำให้อัตรการชาร์จเพิ่มขึ้น ซึ่งทำให้อุณหภูมิสูงขึ้น และแรงดันจะลดลงมากขึ้น และกระแสชาร์จเพิ่มขึ้นเป็นวัฏจักร ทำให้แบตเตอรี่เสียใช้การไม่ได้

3. แบบแรงดันและกระแสคงที่

การชาร์จแบบนี้ ใช้อุปกรณ์มากกว่า 2 แบบแรกเล็กน้อย แต่ได้ผลคุ้มค่า เพราะเป็นวิธีที่ปลอดภัยที่สุด และถ่านจะมีแรงดันไม่เกินกว่าที่กำหนดไว้นั่นคือถ่านแต่ละก้อนจะมีแรงดันถูกต้อง และเมื่อชาร์จเต็มแล้ว สามารถทิ้งไว้ในเครื่องชาร์จได้ เพราะจะไม่มีกระแสไหลเนื่องจากแรงดันระหว่างเครื่องชาร์จกับแบตเตอรี่ เท่ากัน

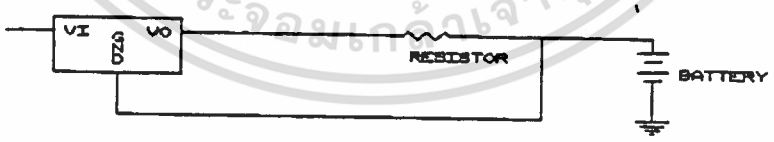
แต่สำหรับโครงงานชิ้นนี้ ได้ออกแบบมาโดยเฉพาะว่า เมื่อชาร์จเต็มแล้ว จะเข้าสู่สภาวะการชาร์จแบบอ่อน ๆ (TRICKLE CHARGE)โดยอัตโนมัติ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การใช้ 317 T เป็นวงจรจ่ายกระแสคงที่

IC LM 317 T ซึ่งเป็น Votltage Regulate แบบปรับค่าได้ มีคุณสมบัติทั่วไปดังนี้

- ปรับแรงดันต่ำสุดได้ 1.2 V (ระหว่าง Oct กับ Adj)
- จ่ายกระแสได้ 1.5 A
- ไลน์เร็กกูเลชั่น 0.01% / V
- โหลดเร็กกูเลชั่น 0.1 %
- จ่ายกระแสคงที่ได้
- ป้องกันการเกิดสะสมความร้อน
- กำจัดริปเปิ้ล (RIPPLE) ได้ด้วยอัตราส่วน 80 dB
- แรงดันไฟเข้า (สูงสุด) 40 V
- ช่วงการทำงาน -65 องศาเซลเซียส -150องศาเซลเซียส
- กระแส Adjust (สูงสุด) 100 mA



CHARGE CIRCUIT.

22/...

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

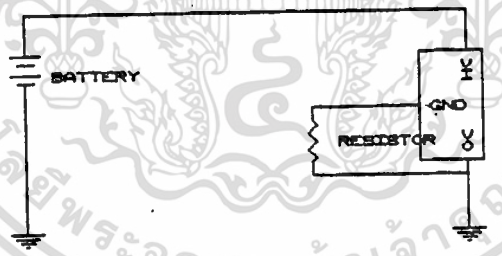
เนื่องจากถ่าน NICAD ได้รับการออกแบบให้ charge และ Discharge ด้วยกระแสคงที่ จึงได้นำวงจรที่ทำหน้าที่นี้ได้ดี และมีประสิทธิภาพมาก คือ IC LM 317 T ซึ่งมีความง่าย และสะดวก โดยกระแสที่จ่ายออกจะแปรผันตามสมการ

$$= \frac{\text{Reference Voltage}}{Rs}$$

ถ้าให้กระแสออก = 50 mA

Vref = 1.25 V

เพราะฉะนั้น $Rs = \frac{1.25}{50mA} = 25$ โอห์ม



DISCHARGE CIRCUIT

23/...

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 3

ระบบเครื่องประจุ และวิเคราะห์แบตเตอร์รี่

3.1 คุณลักษณะเฉพาะ

ระบบเครื่องประจุและวิเคราะห์แบตเตอร์รี่ ในโครงงานนี้มีคุณสมบัติดังนี้

3.1.1 คุณลักษณะทั่วไป เป็นเครื่องประจุและวิเคราะห์แบตเตอร์รี่ ชนิดนิเกิล-แคดเมี่ยม ใช้ไมโครคอมพิวเตอร์เป็นตัวควบคุม

3.1.2 คุณลักษณะของระบบ

3.1.2.1 สามารถใช้กับแบตเตอร์รี่นิเกิล-แคดเมี่ยม

1. ขนาด AA ค่าความจุ 600 mAH
2. ขนาด AAA ค่าความจุ 180 mAH
3. PACKCELL ขนาด 6,10 ก้อน

3.1.3 คุณลักษณะของการประจุและการคายประจุแบตเตอร์รี่

3.1.3.1 ทำการประจุด้วยแรงดันคงที่ และกระแสคงที่

3.1.3.2 ส่วนคายประจุ (DISCHARGE) คายประจุด้วยกระแสคงที่

3.1.3.3 ค่ากระแสประจุเร็ว (QUICK CHARGE) ประจุด้วยค่ากระแส อัตรา 30% ของความจุ และนานไม่เกิน 5 ชม.

3.1.3.4 ค่ากระแสประจุช้า (SLOW CHARGE) ประจุด้วยค่ากระแส อัตรา 10% ของความจุ และใช้เวลานานไม่เกิน 14 ชม.

3.1.3.5 ค่ากระแสประจุแบบอ่อน (TRICKLE CHARGE) ประจุด้วยค่ากระแส 2-3% ของความจุ

3.1.3.6 ค่ากระแสคายประจุ (DISCHARGE) เพื่อความสะดวกในการคำนวนประสิทธิภาพ และไม่เป็นอันตรายต่อแบตเตอร์รี่ จะใช้ค่า

240 มิลล์แอมป์ สำหรับถ่านขนาด AA

72 มิลล์แอมป์ สำหรับถ่านขนาด AAA

3.1.4 ความสามารถทั่วไป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.1.4.1 กำหนดชนิดของถ่านโดยคีย์บอร์ด

3.1.4.2 เลือกโหมดการทำงานโดย คีย์บอร์ด

3.1.4.3 เลือกสภาวะการประจุโดย คีย์บอร์ด

3.1.4.4 เลือกจำนวนก้อนของแบตเตอร์รี่โดยอัตโนมัติโดยผ่านไมโครสวิทช์

3.1.4.5 ภาคแสดงผลแสดงได้ทั้งค่าแรงดัน ค่าเวลาที่ทำการประจุมาแล้ว ค่าเปอร์เซ็นประสิทธิภาพของถ่าน และค่ากระแสความจุของถ่าน

3.2 แนวความคิดของระบบ

เครื่องประจุและวิเคราะห์สภาพแบตเตอร์รี่นี้ จากการได้ศึกษาข้อมูลเบื้องต้นมาแล้วนั้น ก็พอจะกล่าวได้ว่า ระบบการทำงานของเครื่องควรประกอบไปด้วยภาคต่าง ๆ ที่สำคัญ คือ

หน่วยควบคุมระบบ (CENTRAL CONTROL UNIT) ทำหน้าที่รับและสั่งการสถานภาพของระบบทั้งหมด โดยดำเนินการตามโปรแกรมในหน่วยความจำถาวร

ภาคเป็นสัญญาณอนาลอกเป็นดิจิตอล (ANALOG TO DIGITAL UNIT) ทำหน้าที่แปลงสัญญาณอนาลอก คือแรงดันของแบตเตอร์รี่ มาเป็นสัญญาณ DIGITAL เพื่อให้ CPU ทำการประมวลผลได้ ซึ่งจะเป็นพอร์ท (PORT) ของ CPE

ภาคประจุแบตเตอร์รี่ ทำหน้าที่ ควบคุมการจ่ายกระแสให้แก่แบตเตอร์รี่ ซึ่งสามารถจ่ายกระแสด้วยอัตราคงที่ตลอด

ภาคคายประจุแบตเตอร์รี่ ทำหน้าที่คายประจุ (DISCHARGE) แบตเตอร์รี่เพียงอย่างเดียว ซึ่งได้ออกแบบให้คายประจุด้วยอัตรากระแสที่คงที่

ภาครีเลย์ ทำหน้าที่ควบคุมการประจุและคายประจุของแบตเตอร์รี่โดยตรง ซึ่งทำหน้าที่สวิทชิ่งตามสภาวะต่าง ๆ ที่เหมาะสมตามฟังก์ชั่นการทำงานนั้น ๆ

ภาคกำเนิดสัญญาณนาฬิกา 1 เฮิร์ต เนื่องจากโครงงานนี้ได้มีฟังก์ชั่นการทำงานเกี่ยวกับเวลาเข้ามาเกี่ยวข้องด้วย จึงมาตัดสินใจว่าจะทำอย่างไรดี จึงเห็นว่าการอินเตอร์รัพท์ CPU เป็นทางที่ดีที่สุด เนื่องจาก ประหยัด และทำงานได้มีประสิทธิภาพที่ดี จึงควรมีวงจรกำเนิดสัญญาณนาฬิกาที่สามารถควบคุมได้ เข้ามาทำงานในส่วนนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.3 การกำหนดขนาดและจำนวนของถ่านนิแคด

เนื่องจากในการทดลองสร้างเครื่องประจุและวิเคราะห์สภาพแบตเตอร์รี่นี้ เป็นเครื่องขนาดเล็ก มีวัตถุประสงค์ ในการทดลองสร้างเพื่อใช้ส่วนบุคคล ใช้ในการประจุได้อย่างเพียงพอ ปัจจัยอย่างหนึ่งที่นำมาพิจารณาร่วมกันว่าปริมาณเท่าใดที่เหมาะ ก็คือ จำนวน 4-8 ก้อน ได้ออกแบบมา สองขนาดคือ AA และ AAA และถ้าหากถ่านหลายขนาดเกินไป สิ่งที่ตามมาก็คือ จำนวนของ SWITCHING CIRCUIT ในวงจรประจุ และส่วนคายประจุ จะต้องใหญ่ตามด้วย เป็นผลให้งบประมาณที่ใช้สำหรับการทดลองก็สูงตามมาด้วย ดังนั้นการตั้งสมมุติฐาน สำหรับเลือกขนาดและจำนวนของถ่านคือ 4-8 ก้อน ก็มีผลเพียงพอต่อการใช้งานส่วนบุคคลทั่วไป

3.4 การเลือกระบบควบคุม

จากแนวความคิดที่ผ่านมา และข้อมูลที่กล่าวถึง จึงมาพิจารณาต่อมาอีกว่าการเลือกใช้ CPU สำหรับไมโครคอมพิวเตอร์ ควรใช้ CPU เบอร์อะไรดี จึงจะเหมาะสมที่สุด สำหรับประเด็นนี้ได้เลือกใช้ CPU เบอร์ Z-80 ซึ่งสามารถใช้ เหตุผล ในการสนับสนุนแนวความคิดนี้คือ

ก. CPU เบอร Z-80 เป็น CPU ที่แพร่หลายในประเทศมากและอุปกรณ์สนับสนุนก็มีมาก สามารถเชื่อมต่ออุปกรณ์อื่นได้ง่าย นอกจากนี้ วงจรก็ไม่ยุ่งยากซับซ้อน

ข. โปรแกรมสนับสนุนสำหรับ CPU เบอร์ Z-80 มีมาก ข้อมูล และตัวอย่าง ของ โปรแกรมรูปแบบต่าง ๆ ก็สามารถหาได้ไม่ยากนัก

ค. ระบบพัฒนาโปรแกรมสำหรับ Z-80 มีประสิทธิภาพสูง ในที่นี้ใช้ไมโครคอมพิวเตอร์ชนิดแผ่นพิมพ์เดี่ยวเป็นระบบพัฒนาโปรแกรม ซึ่งสามารถเขียนภาษาแอสแซมบลี้ได้ ให้เครื่องแปลเป็นภาษาเครื่องโดยไม่ต้องเสียเวลาในการเปิดตารางคำสั่ง พร้อมทั้งนี้ก็ยังมีโปรแกรมสนับสนุน TERBO-80 ในการเขียนโปรแกรมบนเครื่องคอมพิวเตอร์ส่วนบุคคล (PERSONAL COMPUTER OR PC.) เพื่อเพิ่มความสามารถและความคล่องตัวในการเขียนโปรแกรม

จากเหตุผลดังกล่าวนี้ จึงเลือกใช้ระบบควบคุมไมโครคอมพิวเตอร์ซึ่งใช้ CPU เบอร์ Z-80.

3.4 บล็อคไดอะแกรมของระบบ

ซึ่งประกอบด้วยวงจรต่าง ๆ คือ

1. ภาคควบคุมระบบ (CENTRAL CONTROL UNIT)

เอกสารนี้มีไว้เพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2. ภาคขับรีเลย์ (RELAY DRIVER)

3. ภาคแปลงสัญญาณอนาลอกเป็นดิจิตอล (ANALOG TO DIGITAL CONVERSION)

4. ภาคประจุและคายประจุ แบตเตอร์รี่ (CHARGE AND DISCHARGE CIRCUIT)

5. ภาคแหล่งจ่ายไฟ (POWER SUPPLY)

3.4.1 หน้าที่ของแต่ละภาคในบล็อคไดอะแกรม

3.4.1.1 ภาคควบคุมระบบ ทำหน้าที่ดำเนินการต่าง ๆ ในการับสถานะต่าง ๆ มาประมวลผล โดยรับข้อมูลเข้ามาทางพอร์ทอินพุท ได้แก่ 8255 PORT,ANALOG TO DIGITAL PORT, แล้วแสดงค่าและควบคุม โดยพอร์ทเอาท์พุท ซึ่งได้แก่ 8255 PORT,RELAY PORT ภาพแสดงผลแสดงผ่าน 7 SEGMENT และ LED ต่าง ๆ ควบคุมให้เป็นไปตามโปรแกรมที่กำหนดไว้ล่วงหน้า โดยใช้ส่วนประมวลผลกล่าวร่วมกับหน่วยความจำ

3.4.1.2 ภาคแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอล เนื่องจากว่าการประมวงผลต่าง ๆ ของ CPU อยู่ในรูปสัญญาณดิจิตอลเท่านั้น จึงมีอุปกรณ์ที่มีหน้าที่แก้ปัญหานี้โดยเฉพาะ สำหรับสัญญาณอนาลอกที่จะนำมาแปลงเป็นสัญญาณดิจิตอลนี้คือ แรงดัน ของแบตเตอร์รี่ จะถูกแปลงเป็นสัญญาณดิจิตอลเพื่อให้ CPU ทำการประมวลผลตัดสินใจ

3.4.1.3 ภาคประจุและคายประจุแบตเตอร์รี่ ทำหน้าที่จ่ายกระแสไปยังแบตเตอร์รี่ ผ่าน RELAYซึ่งควบคุมโดย RELAY PORT ส่วนวงจรประจุนี้ ทำหน้าที่จ่ายกระแสคงที่ ผ่าน RESISTOR SWITCHING เพื่อให้ได้ค่ากระแสที่เหมาะสมสัมพันธ์ตามขนาดของถ่าน และค่ากระแสสภาวะการประจุและคายประจุ

วงจรคายประจุแบตเตอร์รี่ เป็นวงจร ทำหน้าที่หลักในการควบคุมการคายประจุของแบตเตอร์รี่ ซึ่งได้ออกแบบเป็นวงจรคายประจุแบบกระแสคงที่

3.4.1.4 ภาคขับ RELAY เป็นส่วนหลักในการควบคุมแบตเตอร์รี่ ควบคุมการประจุและคายประจุของแบตเตอร์รี่ ให้ได้ค่าสัมพันธ์ตามสถานะการประจุ และการคายประจุ ขนาดของถ่าน และ STEP ควบคุมทุกขั้นตอนตามฟังก์ชั่นการทำงาน

3.4.1.5 ภาคกำเนิดสัญญาณนาฬิกา 1 เฮิร์ต ทำหน้าที่กำเนิดสัญญาณนาฬิกาอินเตอร์รัพท์ CPU เพื่อให้ CPU ทำการประมวลผลในส่วนของโปรแกรมที่เกี่ยวกับเวลา ภาคนี้ได้รับการควบคุมการทำงานโดยผ่านพอร์ท ๆหนึ่ง พร้อมกับโปรแกรมซึ่งเป็นหัวใจหลักในการให้ CPU ประมวลผลด้านเวลา เพื่อนำความสัมพันธ์ระหว่างรีวล์ทเตจและเวลาไปประมวลผลตามโปรแกรมที่ได้ออกแบบไว้แล้ว

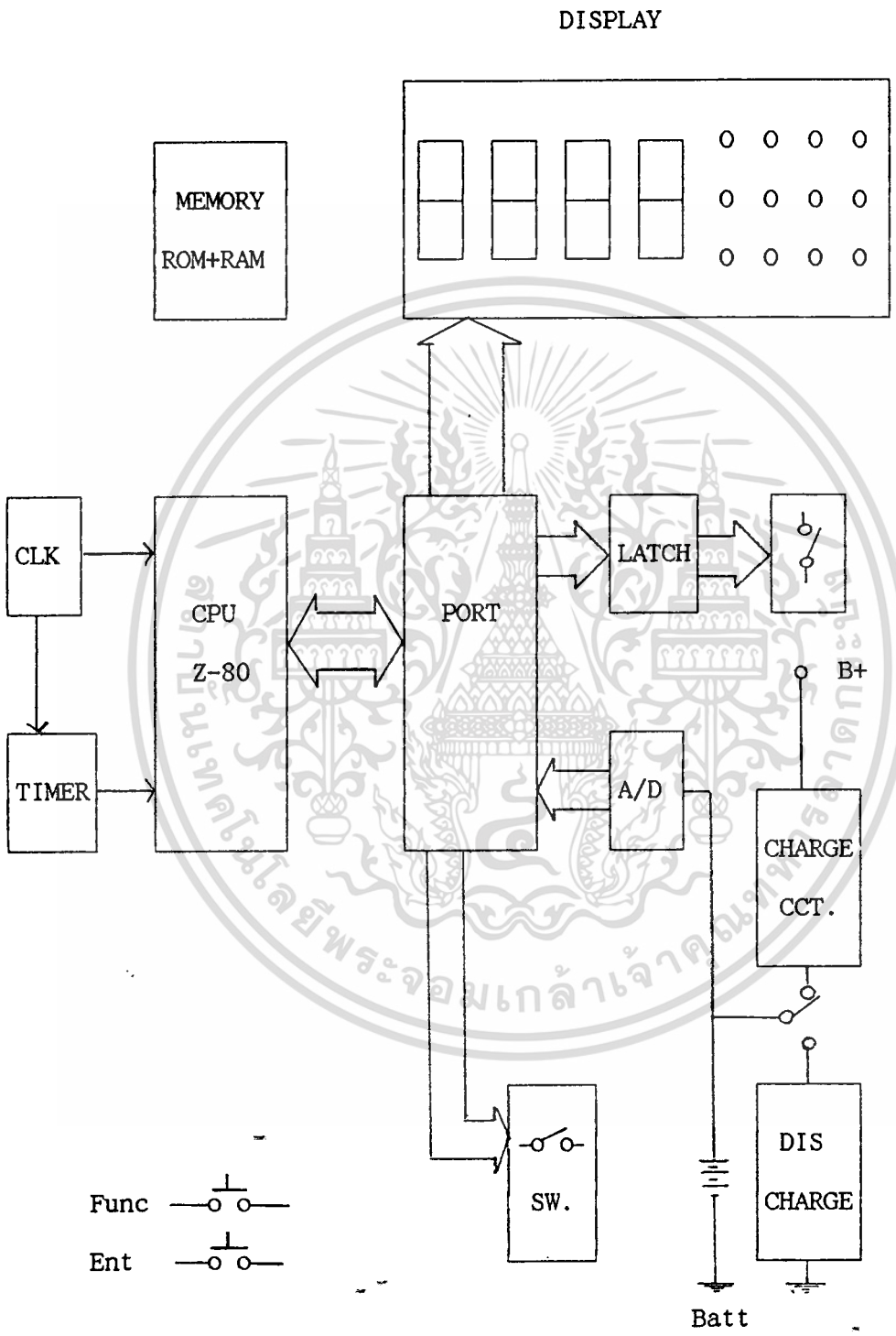
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.4.1.6 แหล่งจ่ายไฟที่ทำหน้าที่รับและเปลี่ยนระดับไฟจากไฟเมน 220 V. เป็นระดับไฟที่ระบบต้องการ

แต่ละบล็อคที่ได้กล่าวมาแล้วนั้น ร่วมกันทำงานจนสามารถประกอบเป็นเครื่องชาร์จและวิเคราะห์สภาพแบตเตอร์รี่ ซึ่งรายละเอียด จะได้กล่าวในบทต่อไป.

28/...

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



BLOCK DIAGRAM OF CHARGER

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 4

โปรแกรมควบคุมระบบ

ในการเขียน SOFTWARE นั้น โครงสร้างของ SOFTWARE อาจถูกแบ่งได้เป็น 3 โครงสร้างคือ

- TOP - DOWN DESIGN
- STRUCTURED PROGRAMMING
- PROGRAM MODULARITY

ในโครงสร้างของโปรแกรมทั้ง 3 แบบ นี้ มีข้อแตกต่างกัน ซึ่งผู้เขียน SOFTWARE จำเป็นต้องเลือกใช้ให้เหมาะสมกับงาน ทั้งนี้เพื่อให้การพัฒนาโปรแกรมกระทำได้สะดวกและรวดเร็ว สำหรับลักษณะโครงสร้างทั้ง 3 แบบ จะเป็นดังนี้

TOP - DOWN DESIGN เป็นโครงสร้างโปรแกรมที่รวมแนวความคิดของระบบเป็นหลักแล้วกระจายหน้าที่ควบคุมเป็นโปรแกรมรอง ซึ่งแต่ละโปรแกรมรองอาจแบ่งเป็นโปรแกรมย่อย ใช้ควบคุมเฉพาะหน้าที่ จะเห็นว่าเป็นการรวบรวมแนวความคิดของระบบเป็นจุดเดียว แล้วแยกย่อยลงมา บางครั้งหากเกิดปัญหาต้องทำการแก้ไข

STRUCTURED PROGRAM การเขียนโปรแกรมแบบมีโครงสร้าง การเขียนโปรแกรมจะไม่มีการไปที่อื่น เพราะเป็นการตรวจสอบเงื่อนไขของโปรแกรม เมื่อพบเงื่อนไขที่กำหนด ก็จะไปทำงานที่กำหนด แล้วกระทำกรรมวิธีเช่นนี้ จนหมดโปรแกรม เมื่อพบเงื่อนไขที่กำหนดก็จะไปทำงานที่กำหนด แล้วกระทำเช่นนี้จนหมดโปรแกรม ซึ่งในลักษณะนี้ โปรแกรมจะยาวมาก แต่การแก้ไข ทดสอบ โปรแกรมทำได้ง่าย

PROGRAM MODULARITY เป็นโครงสร้างโปรแกรมที่แบ่งเป็นโปรแกรมย่อย แต่ละโปรแกรมย่อยจะทำหน้าที่แต่ละหน้าที่โดยเฉพาะ ไม่มีส่วนหนึ่งส่วนใดของโปรแกรมเกี่ยวข้องกัน การเชื่อมต่อใช้ผลของโปรแกรมย่อยอื่นเป็นเงื่อนไขของการทำงานด้วยเทคนิคนี้ ทำให้การ DEBUG PROGRAM ทำได้ง่าย ขนาดของโปรแกรมไม่ใหญ่ และเขียนโปรแกรมได้สะดวก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในการทำโครงงานนี้ เลือกใช้โครงสร้าง PROGRAM MODULARITY ในการเขียนโปรแกรม เพราะว่า พิจารณาจากความสะดวกในการเขียนโปรแกรมและความง่ายในการแก้ไขโปรแกรม โดยที่มีโปรแกรมหลักทำหน้าที่เรียกโปรแกรมย่อยเท่านั้น โดยผลของแต่ละโปรแกรม แสดงในรูปของ FLAG ที่กำหนดในเนื้อที่ของหน่วยความจำ

4.1 แนวความคิดในการเขียนโปรแกรม

โปรแกรมเป็นชุดคำสั่งที่เขียนขึ้น เพื่อใช้ควบคุมฮาร์ดแวร์ ของระบบซึ่งเป็นระดับโปรแกรมดังนี้

ก. โปรแกรมการเริ่มต้น

ข. โปรแกรมการอินเตอร์ริพท์

ค. โปรแกรมหลัก

ง. โปรแกรมย่อย

4.1.1 หน้าที่ของโปรแกรมควบคุมระบบ

จากการแบ่งระดับของโปรแกรมต่าง ๆ ดังกล่าว สามารถแยกหน้าที่ของโปรแกรมได้ดังนี้

โปรแกรมเริ่มต้น

เป็นโปรแกรมเริ่มแรกของการเริ่มต้นของระบบ โดยระบบจะ SET ค่าต่าง ๆ ใน MEMORY เซ็ตค่า แสตคาบอร์ยเตอร์ ตรวจเช็คการกดสวิทช์ คีย์บอร์ด ในการเริ่มทำงาน

โปรแกรมอินเตอร์ริพท์

เป็นโปรแกรมที่อ้างอิงฐานเวลา เพราะการอินเตอร์ริพท์เกิดขึ้นมาทุก ๆ 1 วินาที เมื่อมีการอินเตอร์ริพท์ โปรแกรมจะสั่งให้เพิ่มเปลี่ยนแปลงค่าใน MEMORY ในส่วนที่เกี่ยวข้องกับฐานเวลา และนำมาคำนวนเป็นเปอร์เซ็นต์ ประสิทธิภาพของแบตเตอร์รี่

โปรแกรมหลัก

ทำหน้าที่เฉพาะควบคุมการเรียกโปรแกรมย่อย และนำผลจาก FLAG มาควบคุมการทำงานของระบบ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โปรแกรมย่อย

เป็นโปรแกรมโมดูล เขียนขึ้นเฉพาะแต่ละงาน เพื่อความเหมาะสมและง่ายในการพัฒนาโปรแกรม ดังนั้นโปรแกรมย่อย แต่ละโปรแกรม จึงอิสระต่อกัน นอกจากการภาค และแสดงผล

4.1.2 โฟล์วชาร์ทของโปรแกรมควบคุมระบบ

จากหน้าที่ของโปรแกรมควบคุมระบบ สามารถเขียนโฟล์วชาร์ท ได้ดังรูปที่ A.1

4.1.3 การแบ่งโปรแกรมย่อย

โปรแกรมย่อย แบ่งเป็นกลุ่ม ใหญ่ ๆ ได้ 3 กลุ่มคือ

ก. กลุ่มแสดงผลและเช็คคีย์บอร์ด

ข. กลุ่มกระทำกรรมวิธีเกี่ยวกับแรงดัน และเวลา

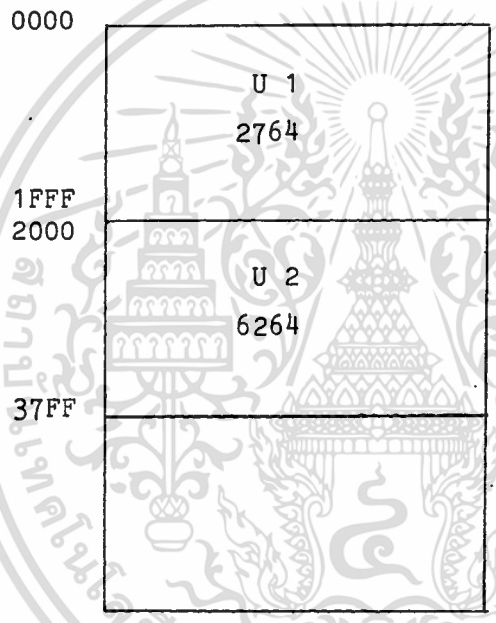
ค. กลุ่ม CHECK แบตเตอร์รี่ และ เซ็ตค่าต่าง ๆ

31/...

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.2 โครงสร้างของโปรแกรมควบคุมระบบ

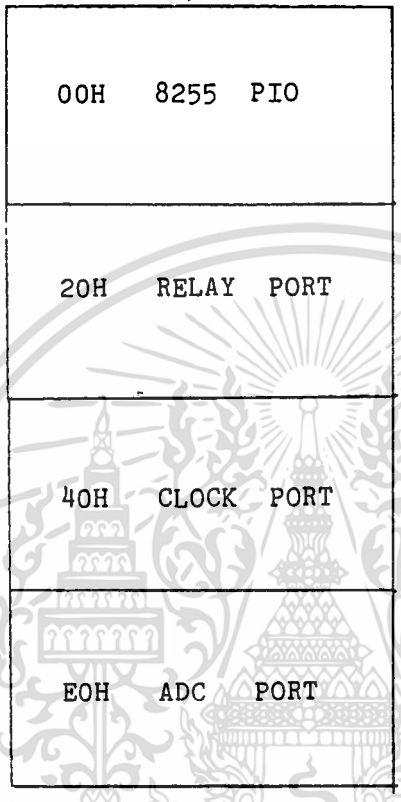
4.2.1 การจัดเนื้อที่ในหน่วยความจำ



33/...

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

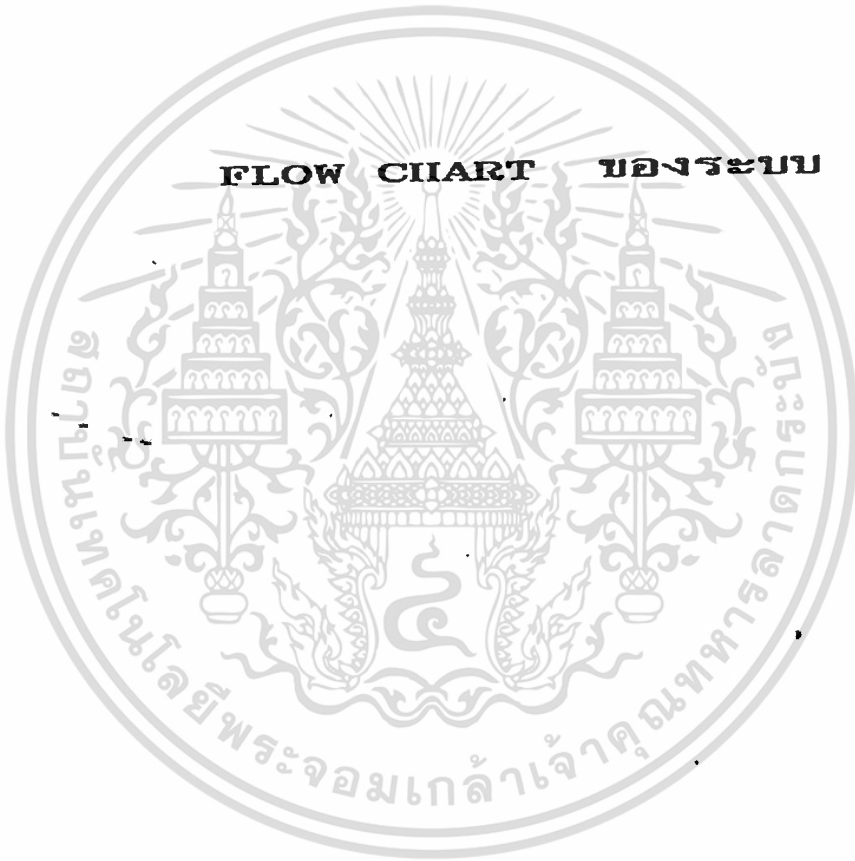
4.2.2 <u>การจัดแอดเดรสพอร์ต</u>



34/...

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

FLOW CHART ของระบบ

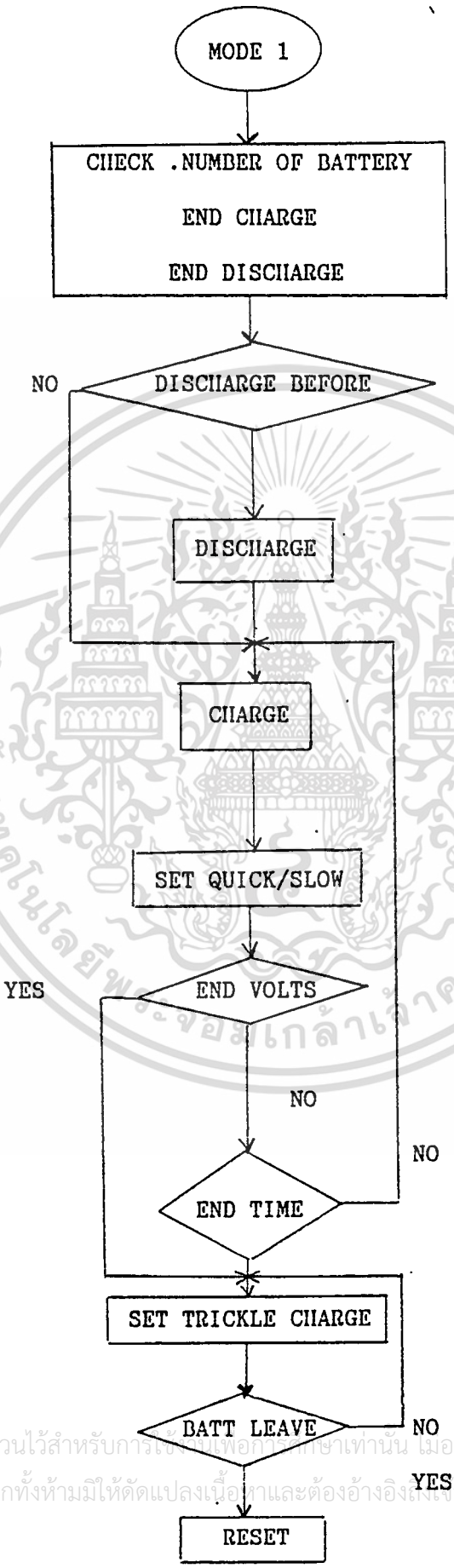


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MODE 1

35/...

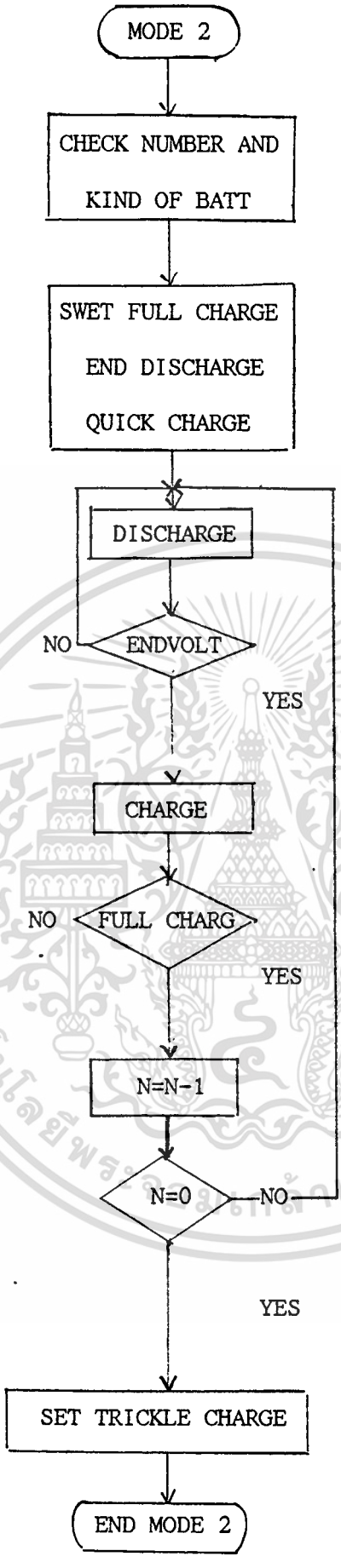
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MODE 2

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

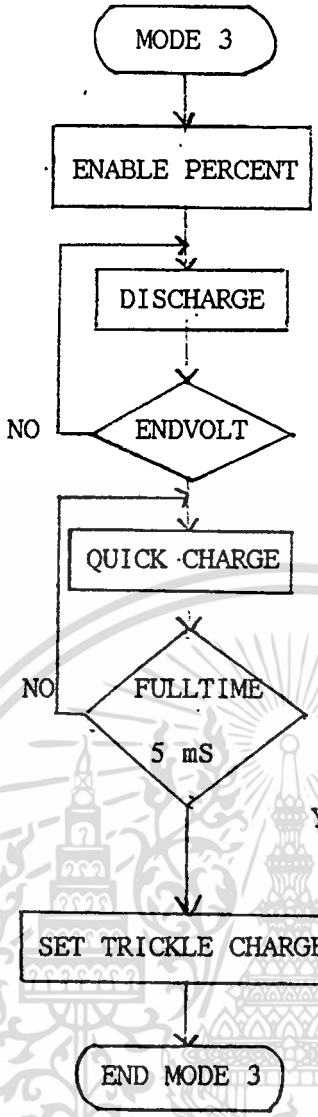


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MODE 3

37/...

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.3 เครื่องมือช่วยในการพัฒนาโปรแกรม

เครื่องมือที่ใช้ในการพัฒนาโปรแกรมนี้ ได้ดำเนินการโดยนำไมโครโปรเซสเซอร์แผ่นพิมพ์เดี่ยว รุ่น (MPF-1 PLUS) ซึ่งมีความสามารถในการเขียนโปรแกรมภาษาแอสแซมบลี ของ Z-80 ลงไปได้เลย พร้อมทั้ง COMPLY และ RUN ได้โดยรวดเร็ว ซึ่งเหมาะในการเขียน PROGRAM ย่อย แล้วทดสอบเป็นส่วน ๆ

แต่ครั้นเมื่อเขียนโปรแกรมระบบนี้มีขนาดใหญ่ขึ้น การเขียนโปรแกรมบนไมโครโปรเซสเซอร์แผ่นพิมพ์เดี่ยวนี้ จะมีปัญหาที่ยุ่งยากมากทั้งในด้านการเขียนโปรแกรม การตรวจสอบโปรแกรม และการ RUN โปรแกรม ที่เขียนด้วยตัว EDITOR ของเครื่อง จึงได้ทำการเขียนโปรแกรมลงบนเครื่องไมโครคอมพิวเตอร์ส่วนบุคคล (PERSONAL COMPUTER) โดยเขียนใช้ SOFTEARE TERBO-80 ซึ่งมีคุณสมบัติที่ดี หลายอย่างคือ

1. มี EDITOR ในตัวเอง
2. สามารถ COMPLY ได้โดยตัวเอง
3. สามารถ สร้าง .HEX FILE ได้เลย ถ้าต้องการ
4. สามารถ สร้าง .LST FILE ได้เลย ถ้าต้องการ

ซึ่งการเขียนโปรแกรมลงบน EDITOR TERBO-80 เราสามารถที่จะตรวจสอบและแก้ไขได้อย่างง่าย

เมื่อเขียนโปรแกรมบน PC. แล้วก็ทำการ LINK ลงบนตัว EPROM EMULATOR ซึ่งสามารถทำหน้าที่เหมือน EPROM ของระบบได้ทุกประการ และง่ายที่จะตรวจสอบ และแก้ไขโปรแกรม ในการ LINK ผ่าน EPROM EMULATOR นี้ จะ LINK โดยผ่าน PRINTER PORT ของเครื่อง PC.

38/...

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 5

การออกแบบและผลการทดลอง

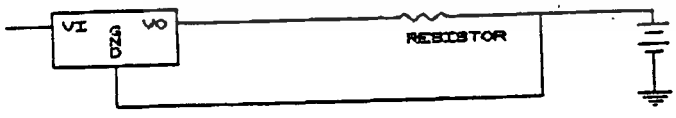
การออกแบบ และการทดลองในส่วนของเครื่องประจุและวิเคราะห์แบตเตอร์รี่ ชนิด NICLE-CADMUMI นี้ แบ่งออกเป็น 3 ส่วนด้วยกัน คือ

1. วงจรประจุแบตเตอร์รี่ (CHARGE CIRCUIT)
2. วงจรคายประจุแบตเตอร์รี่ (DISCHARGE CIRCUIT)
3. วงจรกำเนิดสัญญาณนาฬิกา
4. วงจรแปลงสัญญาณอนาลอกเป็นดิจิตอล

5.1 วงจรประจุแบตเตอร์รี่

เนื่องจากการประจุแบตเตอร์รี่ ซึ่งได้ออกแบบมาใช้ได้กับถ่าน 2 ขนาดคือ AA และ AAA และจะทำการประจุด้วย ค่ากระแส 3 อัตรา ด้วยกันคือประจุแบบเร็ว ประจุแบบช้า และประจุแบบอ่อน เพราะฉะนั้น Rx จากรูปที่ B.1 จะมีด้วยกันทั้งหมด 6 ค่าด้วยกัน ซึ่งสามารถ คำนวนได้จากสูตร

$$Rx = \frac{1.25}{I1} \qquad \ldots 1)$$



Size	I Quick 0.3c		I Slow 0.1c		I Trick 0.03c	
	I mA	R Ohm	I mA	R Ohm	I mA	R Ohm
AA 600mA	1.8	86.9	60	20	18	69
AAA 180mA	54	25	10	69	5.4	230

วงจรประจุแบตเตอร์รี่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เมื่อพิจารณาตามหลักความเป็นจริง ค่า R ที่ได้จากการคำนวน และค่าความต้านทานในทางปฏิบัติ นั้นหาค่าได้ยากในท้องตลาด และในทางปฏิบัติค่าที่ได้จากการคำนวณนั้น อาจไม่ใช่ค่าที่ถูกต้อง ดังนั้น จึงได้เพิ่มวงจรความต้านทาน ดังรูปที่ B.2 โดยนำค่าความต้านทานปรับค่าได้อนุกรมกับความต้านทาน ค่าคงที่

จากผลการทดลอง สมการ (1) จะเป็นตริงจะต้องมีเงื่อนไขคือ

1) ผลต่างระหว่าง Vin กับ Voct ต้องมากกว่าหรือเท่ากับ 5 Volts

2) ตัว IC LM 317 T ต้องมีอุณหภูมิปกติ

5.2 วงจรประจุแบตเตอร์รี่

ในการคายประจุแบตเตอร์รี่ชนิดนิเกิล-แคดเมี่ยมนี้ เนื่องจากได้ออกแบบ วงจรคายประจุด้วย กระแสคงที่ จึงได้นำเอา IC เบอร์ LM 317 T มาใช้ และจะนำหลักการ DISCHARGEด้วยกระแส คงที่นี้มาคำนวณเป็นเปอร์เซ็นต์ประสิทธิภาพในการจ่ายประจุให้แก่ LCAD ซึ่งการคำนวณจะอาศัยการ เปลี่ยนแปลงที่เป็นฟังก์ชั่นกับเวลา

SIZE	ความจุ (mAh)	กระแสคาย ประจุ (mA)	ความต้านทาน Ohm
AA	600	240	5.2
AAA	180	72	17

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4. วงจรเปรียบเทียบ (COMPARATOR CIRCUIT)

<u>การทำงานของวงจร</u>

CPU สามารถตรวจสอบ ระดับของสัญญาณอนาลอก โดยการ ส่งค่า DIGITAL ตั้งแต่ 00-FF ซึ่งสัญญาณดิจิตอลเหล่านี้ จะถูแปลงเป็นสัญญาณอนาลอก แล้วมาเปรียบเทียบกันที่วงจรเปรียบเทียบ โดย V. มีค่า

$$Vo = (Vref/R14).Ro.[\ A1/2+A2/4+A3/8+A4/16+A5/32+A6/64 +A7/128+A8/256]$$

โดยปกติ OUTPUT ของวงจรเปรียบเทียบจะเป็น LOGIC "1" แต่ทันทีที่สัญญาณอนาลอกที่ CPU ส่งมา มีค่ามากกว่า สัญญาณอนาลอกที่ต้องการตรวจสอบ OUTPUT ของวงจรเปรียบเทียบ จะเป็นค่า LOGIC "0" ทันที ซึ่ง ณ. จุดนี้ CPU จะสามารถรู้ว่าสัญญาณอนาลอก INPUT มีค่าเท่าใด โดยประมวลผลจากค่า DIGITAL นั่นเอง

ในทางปฏิบัติ เพื่อความละเอียดในการตรวจสอบเราจะควบคุมให้ Rx เปลี่ยนค่าเป็นช่วง ๆ ดังรูปที่ 5.4.2 โดยนำอนาลอกสวิทช์มาควบคุม

43/...

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทสรุป

เครื่องประจุและวิเคราะห์แบตเตอร์รี่ชนิดนิเกิล-แคดเมี่ยมนี้ ใช้ไมโครโปรเซสเซอร์เบอร์ Z-80 เป็นตัวควบคุม จัดเป็นอุปกรณ์ทางอิเล็คทรอนิคส์ที่ประยุกต์ขึ้นมาใหม่ชนิดหนึ่ง เพราะโดยทั่วไปตามท้องตลาด เครื่องประจุ สามารถประจุถ่านได้อย่างเดียว และยังไม่ได้นำเอาอุปกรณ์ไมโครโปรเซสเซอร์มาเกี่ยวข้องประการใด ขาดความสะดวกและคล่องตัวในการใช้งาน เครื่องประจุชนิดนี้ เพิ่มความสะดวกในการใช้อย่างมาก และมีความสามารถในการแสดงผลค่าต่าง ๆ ไม่ว่าค่า VOLTAGE เวลา ค่ากระแสฯ

จากการทดสอบใช้งานจริง ปรากฏว่า สามารถใช้งานได้ดีตามที่ออกแบบไว้ แต่ยังไม่จัดว่าเป็นเครื่องต้นแบบที่ดีที่สุด เพราะผู้ออกแบบ ยังไม่ได้ออกแบบให้ครอบคลุมขนาดของถ่านนิเกิล-แคดเมียม ได้กว้างขวาง ซึ่งสิ่งเหล่านี้ สามารถเป็นแนวทางในการพัฒนาโครงงานต่อไปเพียงต่ออุปกรณ์ *อินเตอร์เฟส* เพียงเล็กน้อยเท่านั้น.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เอกสารอ้างอิง

ก. เอกสารอ้างอิงที่เป็นวารสารภาษาไทย

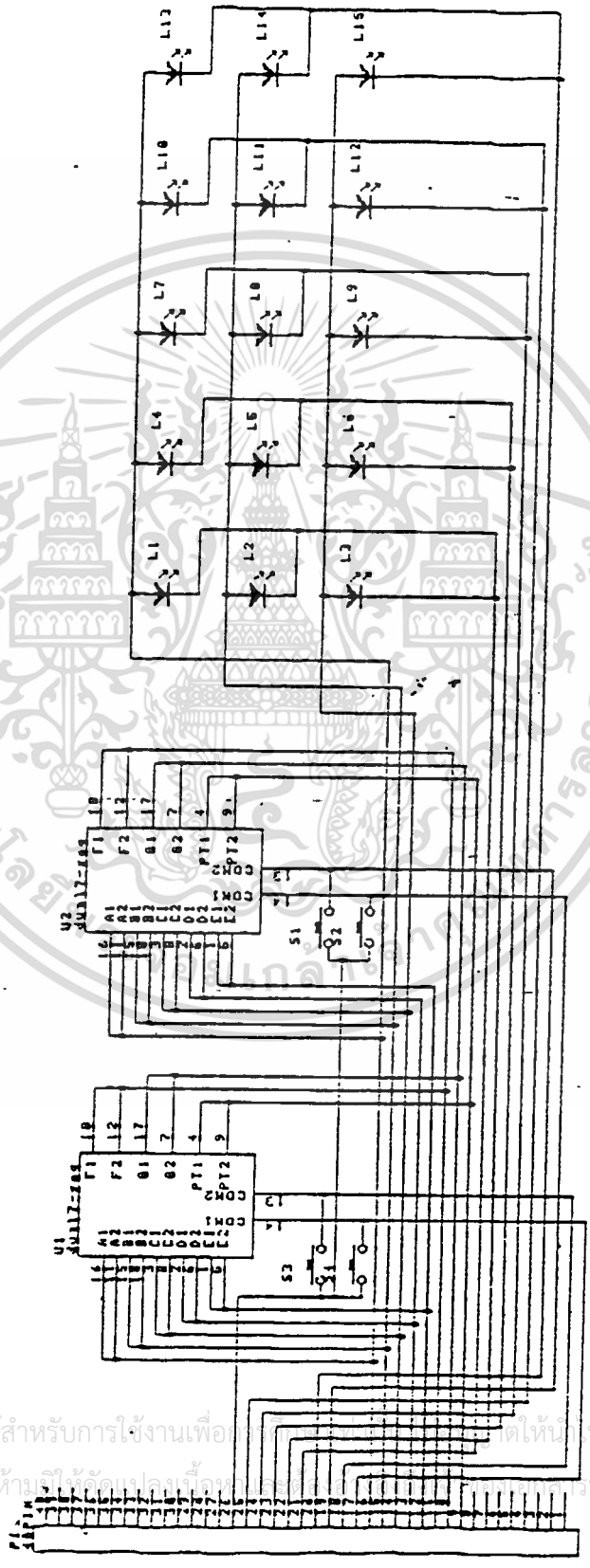
1. "RAM 2 ทาง IBM-PC", วารสารเซมิคอนดัคเตอร์อิเล็กทรอนิกส์, ฉบับที่ 84, 2531 หน้า 253-258
2. "วอตช์-ด็อก" วารสารเซมิคอนดัคเตอร์อิเล็กทรอนิกส์, ฉบับที่ 108, 2534 หน้า 126-129

ข. เอกสารอ้างอิงที่เป็นหนังสือภาษาไทยและภาษาอังกฤษ

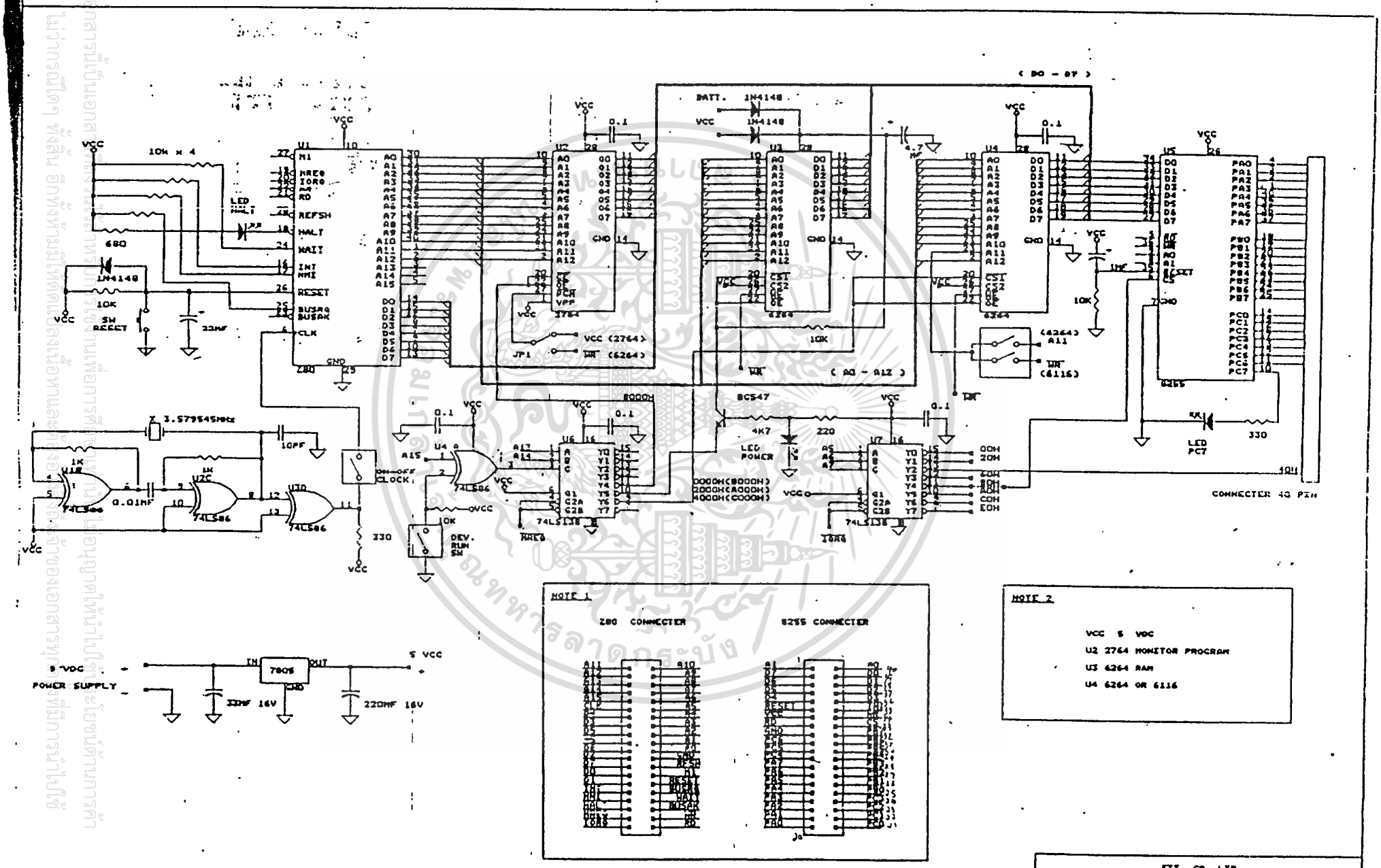
1. ทินกร ดุ๊ก, "การใช้งาน Z-80 " พีลิกส์ เซ็นตอร์, 283 หน้า 2529
2. ยืน ภู่วรวรรณ "ทฤษฎีและการประยุกต์ ไมโครโปรเซสเซอร์ Z-80", ซีเจ็ด, 238 หน้า 2532
3. LANCE A. LEVENTHAL, "Z-80 ASSEMBLY LANGUAGE PROGRAMMING

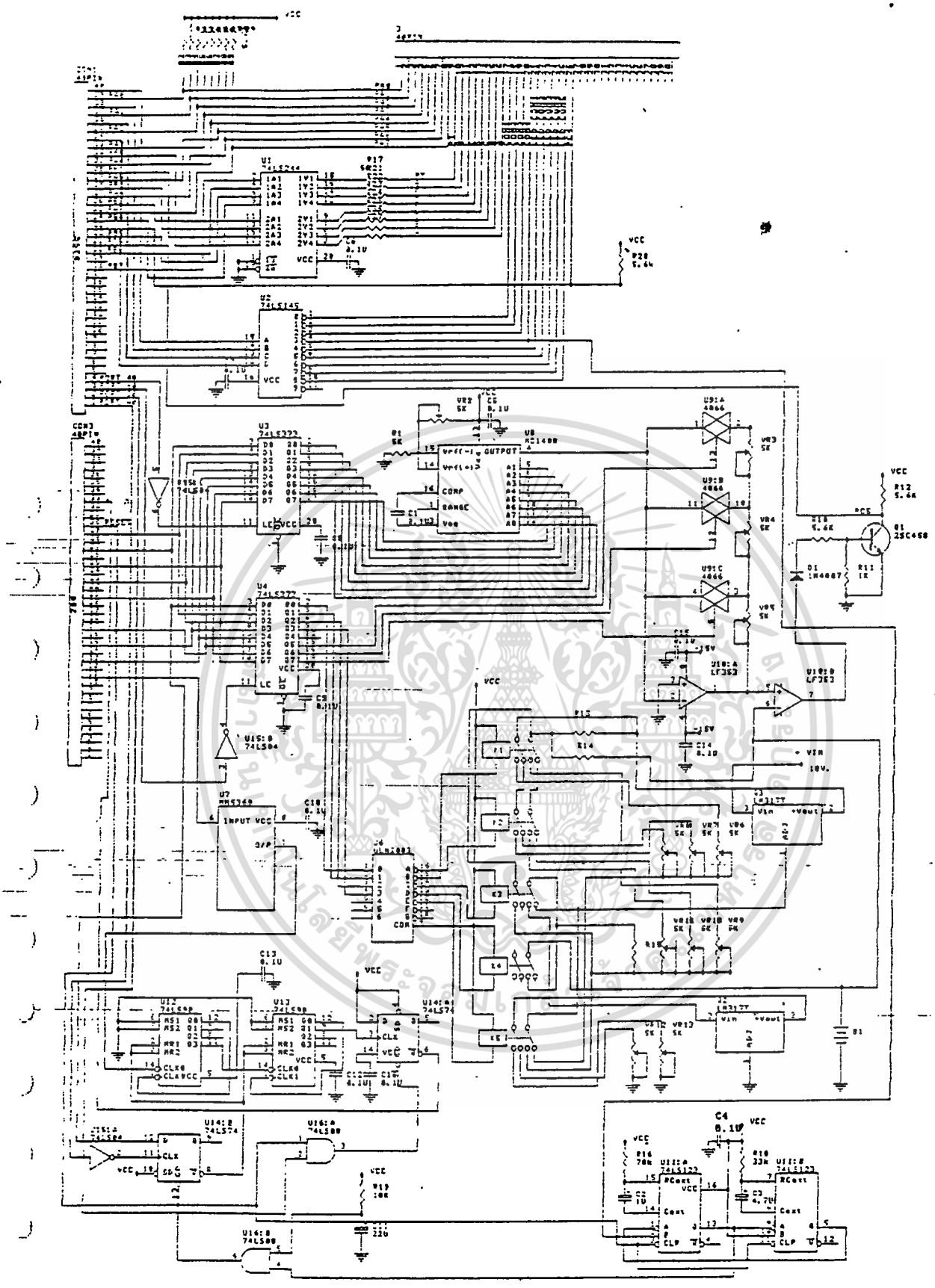
สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

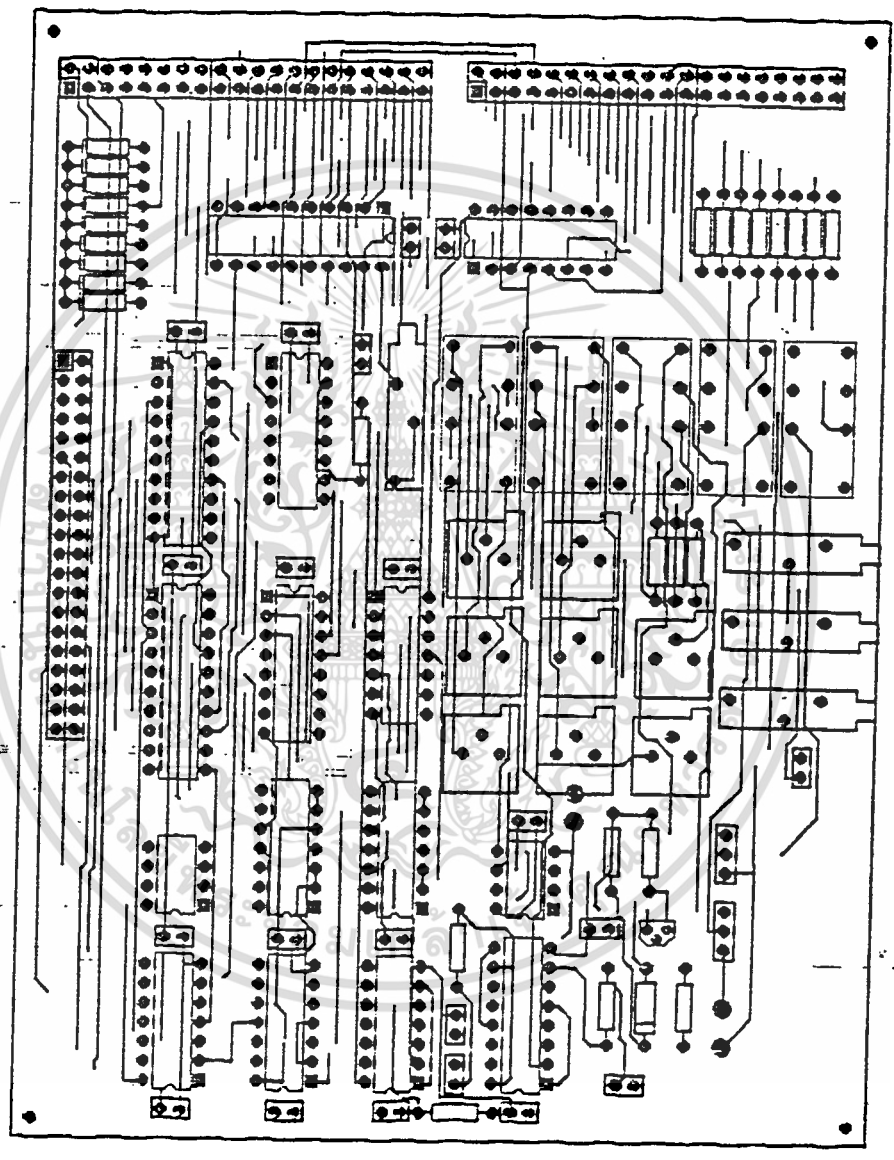


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

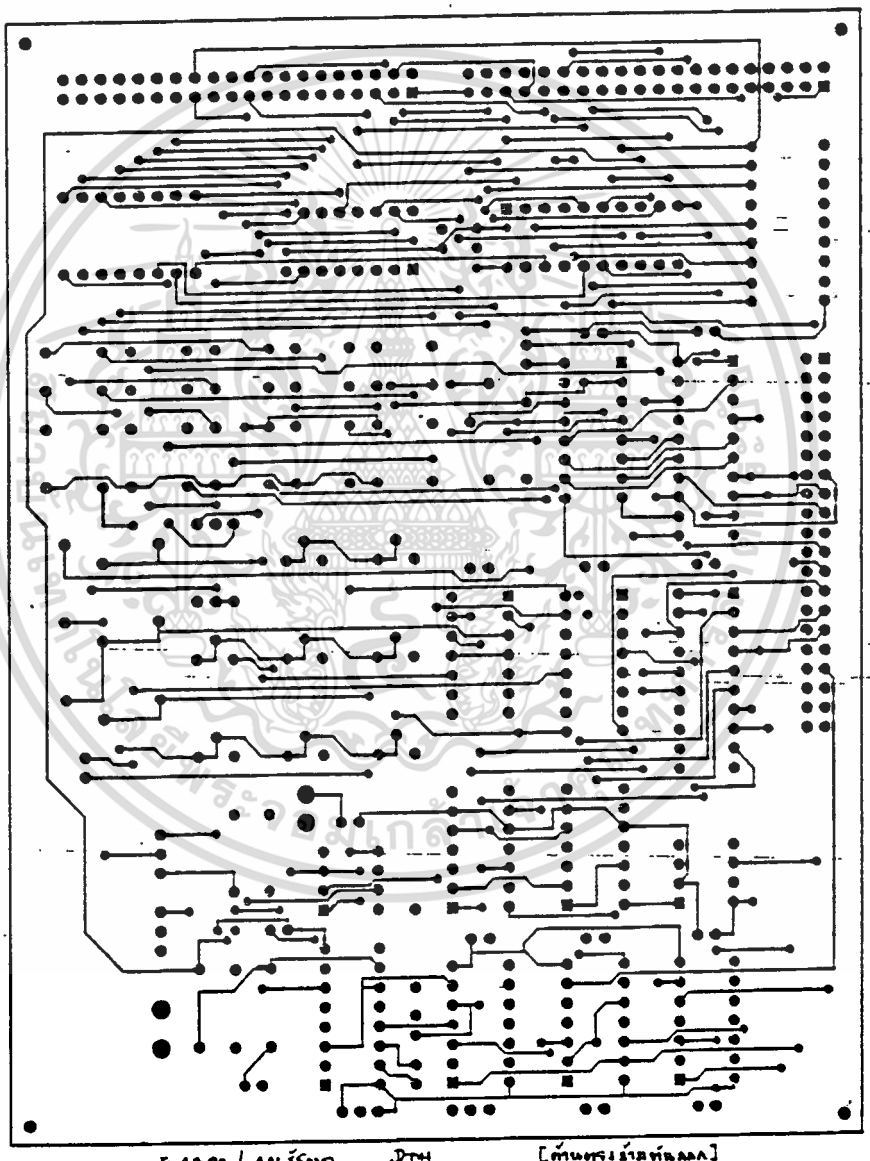

(D0 - D7)
10K x 4
LED RESET
680
1N4148
10K
SW RESET
33MF
Z80
CLK
GND
VCC
0.1
2764
VCC (2764)
WR (6264)
JP1
BATT.
1N4148
4.7
6264
(A0 - A12)
(6264) A11
WR (6116)
8255
LED PC7
330
CONNECTER 40 PIN
Y 3.579545MHz
10PF
1K
74LS86
0.01MF
330
ON-OFF CLOCK
DEV. RUN SW
8000H
BC547
4K7
220
LED POWER
74LS138
MREQ
IORQ
74LS04
74LS32
74LS00
74LS08
74LS02
74LS10
74LS20
74LS27
74LS30
74LS74
74LS86
74LS93
74LS123
74LS125
74LS126
74LS132
74LS139
74LS145
74LS147
74LS148
74LS151
74LS153
74LS154
74LS157
74LS158
74LS160
74LS161
74LS162
74LS163
74LS164
74LS165
74LS166
74LS169
74LS170
74LS173
74LS174
74LS175
74LS181
74LS190
74LS191
74LS192
74LS193
74LS194
74LS195
74LS196
74LS197
74LS221
74LS240
74LS241
74LS242
74LS243
74LS244
74LS245
74LS247
74LS248
74LS249
74LS251
74LS253
74LS257
74LS258
74LS259
74LS260
74LS266
74LS273
74LS279
74LS280
74LS283
74LS290
74LS293
74LS295
74LS298
74LS299
74LS322
74LS323
74LS324
74LS347
74LS348
74LS352
74LS353
74LS354
74LS355
74LS356
74LS357
74LS365
74LS366
74LS367
74LS368
74LS373
74LS374
74LS375
74LS377
74LS378
74LS379
74LS381
74LS382
74LS385
74LS386
74LS390
74LS393
74LS395
74LS398
74LS399
74LS424
74LS425
74LS426
74LS427
74LS428
74LS429
74LS430
74LS431
74LS432
74LS433
74LS434
74LS435
74LS436
74LS437
74LS438
74LS439
74LS440
74LS441
74LS442
74LS443
74LS444
74LS445
74LS446
74LS447
74LS448
74LS449
74LS450
74LS451
74LS452
74LS453
74LS454
74LS455
74LS456
74LS457
74LS458
74LS459
74LS460
74LS461
74LS462
74LS463



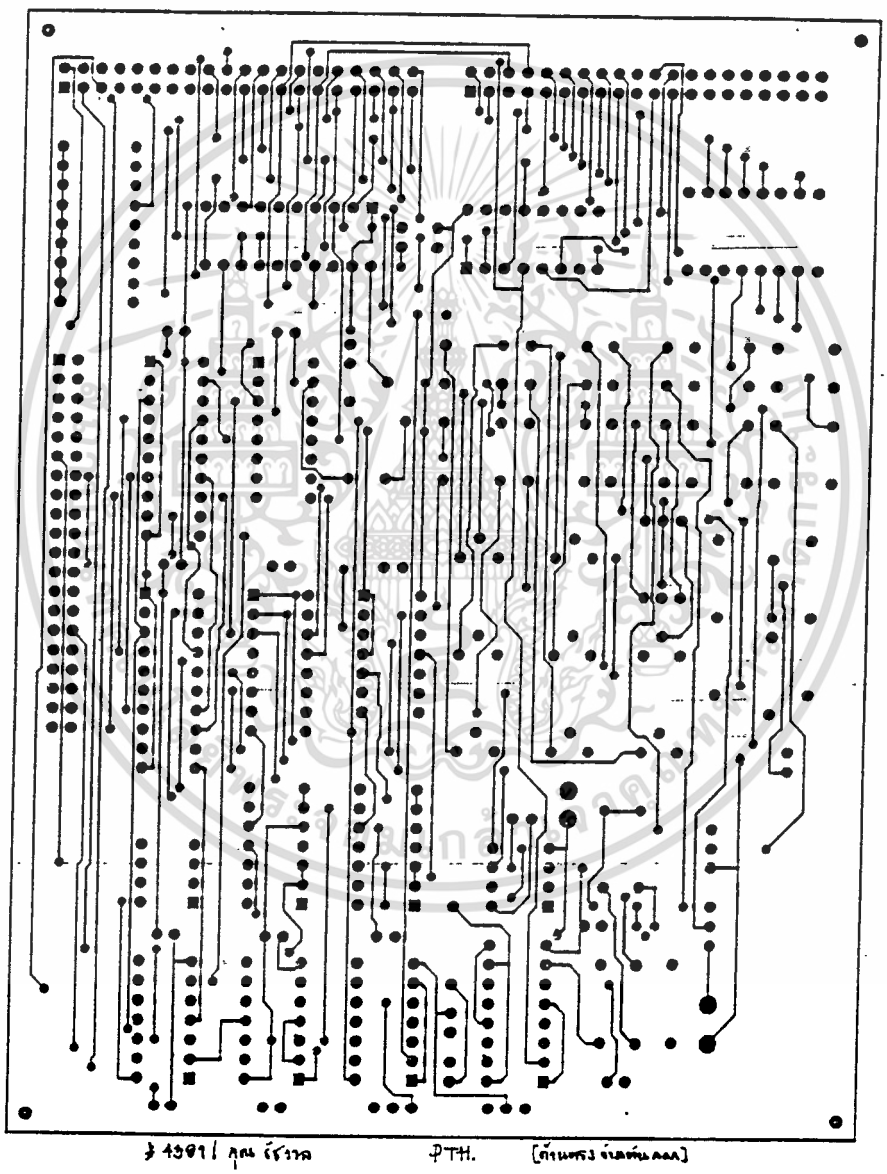
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

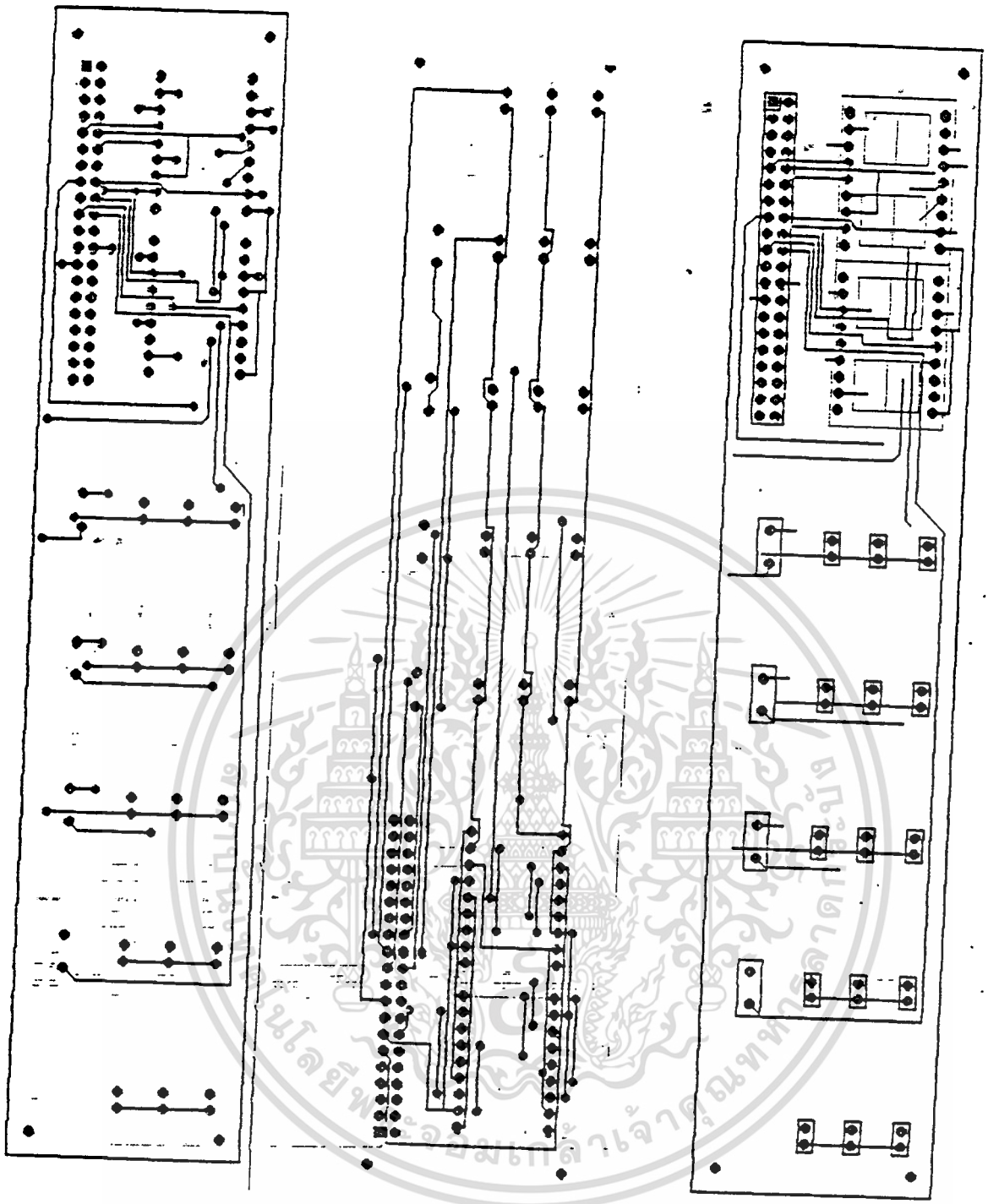


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



OR Botton Layer

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
                2500 A.D. Z80 CROSS ASSEMBLER   -   VERSION 3.00b
                ---------------------------------------------------

                        INPUT  FILENAME :  TPRNT.ASM
                        OUTPUT FILENAME :  TPRNT.LST


0000
                        ;--------------------------------------
                        ;          NICLE CADMUIM BATTERY
                        ;          CHARGER AND ANALIZER
                        ;--------------------------------------

      00 00             PA          EQU   00
      01 00             PB          EQU   01
      02 00             PC          EQU   02
      03 00             PCTRL       EQU   03
      98 00             CTRL        EQU   98H
      40 00             ADCP        EQU   40H
      60 00             RYPORT      EQU   60H
      C0 00             NMIPORT     EQU   0C0H
      00 27             STACK       EQU   2700H
      00 00             START       EQU   0000H
      00 26             STORAGE     EQU   2600H
      38 00             CLOCKS      EQU   0038H
      5E 40             ENDDIS6     EQU   405EH
      88 40             ENDCHAGE6   EQU   4088H
      9B A0             ENDDIS10    EQU   0A09BH
      E2 A0             ENDCHAGE10  EQU   0A0E2H
      05 00             FTM         EQU   05          ; 5 HRS. FOR QUICKCHAR
      03 00             ETM         EQU   03          ; FOR DISCHARGE
      00 00             OFF_BATT    EQU   00          ; OFF BATTERY
      01 00             DIS_BATT    EQU   01          ; DISCHARGE BATT
      02 00             QUICK_BATT  EQU   02          ; SET QUICK CHARGE
      03 00             SLOW_BATT   EQU   03          ; SET SLOW CHARGE
      04 00             TRICK_BATT  EQU   04          ; SET TRICKLE CHARGE
      05 00             PAA_BATT    EQU   05          ; SET PACK OR AA SIZE
      06 00             AAA_BATT    EQU   06H         ; SET AAA SIZE
      80 00             RANG1       EQU   80H
      40 00             RANG2       EQU   40H
      20 00             RANG3       EQU   20H

0000                                  ORG   START
0000  01 00 04                        LD    BC,400H
0003  ED A9             RRR:         CPD
0005  EA 03 00                       JP    PE,RRR
0008  ED 56                          IM    1
000A  3E 98                          LD    A,CTRL
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
000C   D3 03                    OUT    (PCTRL),A
000E   C3 4B 00                 JP     RESET

                        ;_____________________________________
                        ;          INTERUPT  MODE 1
                        ;_____________________________________
0038                            ORG    CLOCKS
0038   F3                       DI
0039   F5                       PUSH   AF
003A   E5                       PUSH   HL
003B   D5                       PUSH   DE
003C   C5                       PUSH   BC
003D   CD 4A 04                 CALL   CTIME
0040   CD 68 03                 CALL   RUN_PERCNT
0043   C1                       POP    BC
0044   D1                       POP    DE
0045   E1                       POP    HL
0046   F1                       POP    AF
0047   D3 C0                    OUT    (NMIPORT),A
0049   FB                       EI
004A   C9                       RET


                        ;_________ SBY CONDITION _________
004B   31 00 27         RESET:  LD     SP,STACK
004E   CD 01 04                 CALL    CLEAR
0051   3E 40                    LD     A,40H
0053   32 01 26                 LD     (DISPM),A
0056   3E 00                    LD     A,00
0058   D3 60                    OUT    (RYPORT),A
005A   32 02 26                 LD     (DISPM+1),A
005D   32 03 26                 LD     (DISPM+2),A
0060   32 04 26                 LD     (DISPM+3),A
0063   32 0E 26                 LD     (CNT_AMPH),A
0066   32 0F 26                 LD     (CNT_PERCNT),A
0069   32 10 26                 LD     (EI_PERCNT),A
006C   3E 01                    LD     A,01H
006E   32 06 26                 LD     (DISPM+5),A
0071   32 17 26                 LD     (STATUSMOD),A
0074   32 07 26                 LD     (DISPM+6),A
0077   32 1A 26                 LD     (STATUSSIZ),A
007A   32 08 26                 LD     (DISPM+7),A
007D   32 19 26                 LD     (STATUSCHA),A
0080   3E 04                    LD     A,4H
0082   32 09 26                 LD     (DISPM+8),A
0085   32 18 26                 LD     (STATUSFUC),A
0088   18 00                    JR     SHOW
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
                        ;---------------------------------------
                        ;              DISP   SHOW
                        ;---------------------------------------
008A   CD E7 03         SHOW:          CALL   DISP
008D   CD A5 04                        CALL   KEY
0090   20 02                           JR     NZ,KEYRUN1
0092   18 F6                           JR     SHOW


                        ;_______________________________________
                        ;            CHECK  FIRST  PRESSED.
                        ;---------------------------------------
0094   3A 00 26         KEYRUN1:       LD     A,(KEYCD)
0097   FE 00                           CP     00              ; PRESS  FUNC
0099   CA C5 00                        JP     Z,SWITCH
009C   FE 01                           CP     01
009E   28 03                           JR     Z,RUN           ; PRESS ENTER
00A0   C3 4B 00                        JP     RESET


                        ;_______________________________________
                        ;            START  RUN  PROGRAM.
                        ;---------------------------------------
00A3   FB               RUN:           EI
00A4   3A 17 26                        LD     A,(STATUSMOD)
00A7   FE 01                           CP     01H
00A9   CA 73 01                        JP     Z,MODE1
00AC   FE 02                           CP     02H
00AE   CA F5 01                        JP     Z,MODE2
00B1   C3 4C 02                        JP     MODE3


00B4   21 FE 01         KEYLAY:        LD     HL,01FEH
00B7   2B               ERT:           DEC    HL
00B8   E5                              PUSH   HL
00B9   CD E7 03                        CALL   DISP
00BC   E1                              POP    HL
00BD   7C                              LD     A,H
00BE   B5                              OR     L
00BF   20 F6                           JR     NZ,ERT
00C1   CD A5 04                        CALL   KEY
00C4   C9                              RET


                        ;_______________________________________
                        ;          PRESS  FIRST  FUNCTION.
                        ;---------------------------------------
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
00C5   3E 04          SWITCH:     LD      A,04
00C7   32 1B 26                   LD      (COUNT),A
00CA   21 50 00       LP1:        LD      HL,0050H
00CD   D9             DISS:       EXX
00CE   CD E7 03                   CALL    DISP            ; DELAY ROTATE
00D1   CD A5 04                   CALL    KEY
00D4   28 01                      JR      Z,JUM           ; Z=NOPRESSED
00D6   08                         EX      AF,AF'
00D7   D9             JUM:        EXX
00D8   2B                         DEC     HL
00D9   7C                         LD      A,H
00DA   B5                         OR      L
00DB   20 F0                      JR      NZ,DISS
00DD   08                         EX      AF,AF'
00DE   C4 10 01                   CALL    NZ,RUNSW        ; PRESS KEY
00E1   3A 1B 26                   LD      A,(COUNT)       ; FINAL=  STOP ROTATE
00E4   FE 08                      CP      08H
00E6   28 E2                      JR      Z,LP1
00E8   3A 17 26                   LD      A,(STATUSMOD)
00EB   FE 01                      CP      01
00ED   CA 03 01                   JP      Z,QQQ
00F0   3A 1B 26                   LD      A,(COUNT)       ; FOR MODE 2,3
00F3   FE 06                      CP      06
00F5   20 0C                      JR      NZ,QQQ
00F7   3E 04                      LD      A,04H
00F9   32 20 26                   LD      (STTS),A        ; 4 = START
00FC   3E FF                      LD      A,0FFH
00FE   32 05 26                   LD      (DISPM+4),A
0101   18 C7                      JR      LP1
0103   CD A5 02       QQQ:        CALL    ROTATE
0106   3E 00                      LD      A,00
0108   32 20 26                   LD      (STTS),A
010B   32 05 26                   LD      (DISPM+4),A
010E   18 BA                      JR      LP1

0110   3A 00 26       RUNSW:      LD      A,(KEYCD)       ; SUBROUTINE
0113   FE 02                      CP      02
0115   CA 4B 00                   JP      Z,RESET
0118   FE 00                      CP      00
011A   20 1B                      JR      NZ,NEXT
011C   3A 1B 26                   LD      A,(COUNT)
011F   FE 04                      CP      04              ; PRESS FUNC
0121   C8                         RET     Z
0122   FE 06                      CP      06
0124   28 05                      JR      Z,XXX
0126   FE 08                      CP      08
0128   28 07                      JR      Z,YYY
012A   C0                         RET     NZ
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
00C5   3E 04          SWITCH:     LD      A,04
00C7   32 1B 26                   LD      (COUNT),A
00CA   21 50 00       LP1:        LD      HL,0050H
00CD   D9             DISS:       EXX
00CE   CD E7 03                   CALL    DISP            ; DELAY ROTATE
00D1   CD A5 04                   CALL    KEY
00D4   28 01                      JR      Z,JUM           ; Z=NOPRESSED
00D6   08                         EX      AF,AF'
00D7   D9             JUM:        EXX
00D8   2B                         DEC     HL
00D9   7C                         LD      A,H
00DA   B5                         OR      L
00DB   20 F0                      JR      NZ,DISS
00DD   08                         EX      AF,AF'
00DE   C4 10 01                   CALL    NZ,RUNSW        ; PRESS KEY
00E1   3A 1B 26                   LD      A,(COUNT)       ; FINAL=  STOP ROTATE
00E4   FE 08                      CP      08H
00E6   28 E2                      JR      Z,LP1
00E8   3A 17 26                   LD      A,(STATUSMOD)
00EB   FE 01                      CP      01
00ED   CA 03 01                   JP      Z,QQQ
00F0   3A 1B 26                   LD      A,(COUNT)       ; FOR MODE 2,3
00F3   FE 06                      CP      06
00F5   20 0C                      JR      NZ,QQQ
00F7   3E 04                      LD      A,04H
00F9   32 20 26                   LD      (STTS),A        ; 4 = START
00FC   3E FF                      LD      A,0FFH
00FE   32 05 26                   LD      (DISPM+4),A
0101   18 C7                      JR      LP1
0103   CD A5 02       QQQ:        CALL    ROTATE
0106   3E 00                      LD      A,00
0108   32 20 26                   LD      (STTS),A
010B   32 05 26                   LD      (DISPM+4),A
010E   18 BA                      JR      LP1

0110   3A 00 26       RUNSW:      LD      A,(KEYCD)       ; SUBROUTINE
0113   FE 02                      CP      02
0115   CA 4B 00                   JP      Z,RESET
0118   FE 00                      CP      00
011A   20 1B                      JR      NZ,NEXT
011C   3A 1B 26                   LD      A,(COUNT)
011F   FE 04                      CP      04              ; PRESS FUNC
0121   C8                         RET     Z
0122   FE 06                      CP      06
0124   28 05                      JR      Z,XXX
0126   FE 08                      CP      08
0128   28 07                      JR      Z,YYY
012A   C0                         RET     NZ
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
018A   3A 19 26        A33:          LD      A,(STATUSCHA)
018D   FE 01                        CP      01
018F   28 05                        JR      Z,QUICK
0191   0E 03                        LD      C,SLOW_BATT
0193   CD 32 05                     CALL    SETRELAY

0196   3A 18 26        QUICK:        LD       A,(STATUSFUC)
0199   FE 01                        CP       01
019B   20 18                        JR       NZ,GOCHAGE
019D   0E 01                        LD       C,DIS_BATT
019F   CD 32 05                     CALL     SETRELAY

01A2
01A2   CD 21 06        OOD:          CALL     RUN_DISP
01A5   CD A5 04                      CALL     KEY
01A8   C4 5B 06                      CALL     NZ,SW1
01AB   CD 00 05                      CALL     V_TEST
01AE   28 05                         JR       Z,GOCHAGE
01B0   CD E0 04                      CALL     DOTIME
01B3   38 ED                         JR       C,OOD
01B5   CD F4 04        GOCHAGE:      CALL     TIMCLR
01B8   3A 21 26                      LD       A,(RYFG)
01BB   CB CF                         SET      1,A
01BD   D3 60                         OUT      (RYPORT),A
01BF   3E 01                         LD        A,01
01C1   32 21 26                      LD       (RYFG),A
01C4   32 08 26                      LD       (DISPM+7),A
01C7   32 19 26                      LD       (STATUSCHA),A
01CA
01CA   CD A5 04        MOD:          CALL     KEY
01CD   C4 5B 06                      CALL     NZ,SW1
01D0   CD 21 06                      CALL     RUN_DISP
01D3   CD 00 05                      CALL     V_TEST
01D6   20 F2                         JR       NZ,MOD
01D8   CD B1 05                      CALL     CHECKTIME
01DB   20 ED                         JR       NZ,MOD
01DD   0E 04                         LD       C,TRICK_BATT
01DF   CD 32 05        C_TRICK:      CALL     SETRELAY
01E2   3E 00                         LD        A,00              ;
01E4   32 28 26                      LD       (DISPFG),A
01E7   CD 21 06        ENDM1:        CALL     RUN_DISP
01EA   CD A5 04                      CALL     KEY
01ED   CD 86 06                      CALL     BATTLEAF
01F0   30 F5                         JR       NC,ENDM1
01F2   C3 4B 00                      JP       RESET

                       ;-----------------------------------------
                       ;          MODE 2 CONDITION.
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
                        ;-------------------------------------
01F5   3A 1A 26         MODE2:      LD      A,(STATUSSIZ)
01F8   FE 02                        CP      02              ; AAA?
01FA   20 05                        JR      NZ,PEN
01FC   0E 06                        LD      C,AAA_BATT
01FE   CD 32 05                     CALL    SETRELAY
0201   3E 00            PEN:        LD      A,00
0203   32 28 26                     LD      (DISPFG),A
0206   3E 03                        LD      A,3
0208   32 2A 26         PRC1:       LD      (N),A
020B   CD F4 04                     CALL    TIMCLR
020E   0E 01                        LD      C,DIS_BATT
0210   CD 32 05                     CALL    SETRELAY
0213   CD 21 06         PZZ:        CALL    RUN_DISP
0216   CD A5 04                     CALL    KEY
0219   C4 5B 06                     CALL    NZ,SW1
021C   CD 00 05                     CALL    V_TEST
021F   28 05                        JR      Z,AZ
0221   CD E0 04                     CALL    DOTIME
0224   38 ED                        JR      C,PZZ           ;C != TIME
0226   CD F4 04         AZ:         CALL    TIMCLR
0229   0E 02                        LD      C,QUICK_BATT
022B   CD 32 05                     CALL    SETRELAY
022E   CD 21 06          PRC2:      CALL    RUN_DISP
0231   CD A5 04                     CALL    KEY
0234   CD 00 05                     CALL    V_TEST
0237   28 05                        JR      Z,AY
0239   CD E0 04                     CALL    DOTIME
023C   38 F0                        JR      C,PRC2
023E   CD 57 03         AY:         CALL    THREESEC
0241   3A 2A 26                     LD      A,(N)
0244   3D                           DEC     A
0245   FE 00                        CP      00
0247   20 BF                        JR      NZ,PRC1
0249   C3 DF 01                     JP      C_TRICK
                        ;-----------------------------------------
                        ;       MODE 3 ANALIZE BATT.
                        ;-----------------------------------------
024C   3E 00            MODE3:      LD      A,00
024E   32 28 26                     LD      (DISPFG),A
0251   0E 02                        LD      C,QUICK_BATT
0253   CD 32 05                     CALL    SETRELAY
0256   CD 21 06         PPZZ:       CALL    RUN_DISP
0259   CD A5 04                     CALL    KEY
025C   C4 5B 06                     CALL    NZ,SW1
025F   CD 00 05                     CALL    V_TEST
0262   CA 6A 02                     JP      Z,AAZ
0265   CD E0 04                     CALL    DOTIME
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
0268   38 EC                        JR      C,PPZZ              ;C != TIME
026A   CD F4 04        AAZ:         CALL    TIMCLR
026D   0E 01                        LD      C,DIS_BATT
026F   CD 32 05                     CALL    SETRELAY
0272   CD 21 06        PPRC2:       CALL    RUN_DISP
0275   CD A5 04                     CALL    KEY
0278   C4 73 06                     CALL    NZ,SW2
027B   CD 00 05                     CALL    V_TEST
027E   28 05                        JR      Z,AAY1
0280   CD E0 04                     CALL    DOTIME
0283   38 ED                        JR      C,PPRC2
0285   3E 01           AAY1:        LD      A,01
0287   32 10 26                     LD      (EI_PERCNT),A
028A   0E 02                        LD      C,QUICK_BATT
028C   CD 32 05                     CALL    SETRELAY
028F   CD 21 06        B1:          CALL    RUN_DISP
0292   CD A5 04                     CALL    KEY
0295   C4 73 06                     CALL    NZ,SW2
0298   CD 00 05                     CALL    V_TEST
029B   28 05                        JR      Z,AAZ1
029D   CD E0 04                     CALL    DOTIME
02A0   38 E3                        JR      C,AAY1
02A2   C3 DF 01        AAZ1:        JP      C_TRICK

                       ;-----------------------------------------
                       ;       ROTAGE FOR SELECTION  MODE
                       ;-----------------------------------------
02A5   3A 1B 26        ROTATE:      LD      A,(COUNT)
02A8   FE 04                        CP      04
02AA   20 11                        JR      NZ,NXT1
02AC   3A 17 26                     LD      A,(STATUSMOD)
02AF   17                           RLA
02B0   CB 5F                        BIT     3,A
02B2   28 02                        JR      Z,AAA
02B4   3E 01                        LD      A,01
02B6   32 17 26        AAA:         LD      (STATUSMOD),A
02B9   32 06 26                     LD      (DISPM+5),A
02BC   C9                           RET
02BD   FE 05           NXT1:        CP      05
02BF   20 11                        JR      NZ,NXT2
02C1   3A 1A 26                     LD      A,(STATUSSIZ)
02C4   07                           RLCA
02C5   CB 5F                        BIT     3,A
02C7   28 02                        JR      Z,BBB
02C9   3E 01                        LD      A,01
02CB   32 1A 26        BBB:         LD      (STATUSSIZ),A
02CE   32 07 26                     LD      (DISPM+6),A
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
02D1   C9                        RET
02D2   FE 06          NXT2:      CP      06
02D4   20 11                     JR      NZ,NXT3
02D6   3A 19 26                  LD      A,(STATUSCHA)
02D9   17                        RLA
02DA   CB 57                     BIT     2,A
02DC   28 02                     JR      Z,CCC
02DE   3E 01                     LD      A,01
02E0   32 19 26       CCC:       LD      (STATUSCHA),A
02E3   32 08 26                  LD      (DISPM+7),A
02E6   C9                        RET
02E7   FE 07          NXT3:      CP      07H
02E9   C0                        RET     NZ
02EA   3A 18 26                  LD      A,(STATUSFUC)

02ED   FE 04                     CP      04H
02EF   20 02                     JR      NZ,XX
02F1   3E 80                     LD      A,80H
02F3   07             XX:       RLCA
02F4   CB 57                     BIT     2,A
02F6   28 02                     JR      Z,DDD
02F8   3E 01                     LD      A,01
02FA   32 18 26       DDD:       LD      (STATUSFUC),A
02FD   32 09 26                  LD      (DISPM+8),A
0300   C9                        RET

                      ;-----------------------------------------
                      ; INPUT  : CNT_AMPH.
                      ; OUTPUT : DISPM = PRESENT AMPH.
                      ;-----------------------------------------

0301   3A 1A 26       DIS_AMPH:  LD    A,(STATUSSIZ)
0304   FE 02                     CP    02H
0306   28 05                     JR    Z,SAREBUT
0308   11 64 08                  LD    DE,AA_AMPH
030B   18 03                     JR    MOKULLA
030D   11 2E 09       SAREBUT:   LD    DE,AAA_AMPH
0310   3A 0E 26       MOKULLA:   LD    A,(CNT_AMPH)
0313   6F                        LD    L,A
0314   26 00                     LD    H,00
0316   29                        ADD   HL,HL                ;*2
0317   19                        ADD   HL,DE
0318   11 1D 26                  LD    DE,HTEMP
031B   01 02 00                  LD    BC,02
031E   ED B0                     LDIR
0320   11 1D 26                  LD    DE,HTEMP
0323   DD 21 01 26               LD    IX,DISPM
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
0327   EB                          EX    DE,HL              ; HL= AMPHTEMP.
0328   01 00 00                    LD    BC,00
032B   16 02                       LD    D,02               ; COUNT 1 BYTE
032D   1E 04                       LD    E,4                ; COUNT 2 BYTES
032F   FD 21 5A 08      JJKJ:      LD    IY,SEG7
0333   3E 00                       LD    A,00
0335   ED 6F                       RLD
0337   4F                          LD    C,A
0338   FD 09                       ADD   IY,BC              ; POUNT 7 CODE.
033A   FD 7E 00                    LD    A,(IY+0)
033D   DD 77 00                    LD    (IX+0),A
0340   DD 23                       INC    IX
0342   1D                          DEC    E
0343   7B                          LD     A,E
0344   FE 00                       CP    00
0346   28 09                       JR    Z,SSKS
0348   15                          DEC   D
0349   7A                          LD    A,D
034A   FE 00                       CP    00
034C   20 E1                       JR    NZ,JJKJ
034E   23                          INC   HL                 ; NEXT 2 COLUMN SEGMENT
034F   18 DE                       JR    JJKJ
0351   3E 01            SSKS:      LD    A,01H
0353   32 09 26                    LD    (DISPM+8),A
0356   C9                          RET

                        ;-----------------------------------------
                        ;      WAIT FOR 3 MINUTES.
                        ;-----------------------------------------
0357   CD F4 04         THREESEC:  CALL    TIMCLR
035A   CD 21 06         JM:        CALL    RUN_DISP
035D   CD A5 04                    CALL    KEY
0360   3A 14 26                    LD      A,(TIMEM+3)
0363   FE 03                       CP      03
0365   20 F3                       JR      NZ,JM
0367   C9                          RET


                        ;-----------------------------------------
                        ;    INPUT:   STATUSMODE
                        ;             ENABLE_PERCENT
                        ;             COUNT_PERCENT
                        ;             COUNT_AMPH
                        ;    OUTPUT:  MEM_PERCENT
                        ;-----------------------------------------
0368   3A 17 26         RUN_PERCNT:  LD    A,(STATUSMOD)
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
036B   FE 04                        CP    04                  ;MODE 3
036D   C0                          RET   NZ
036E   3A 10 26                    LD    A,(EI_PERCNT)
0371   FE 00                       CP    00
0373   C8                          RET   Z                   ; 00 = OFF
0374   3A 0F 26                    LD    A,(CNT_PERCNT)      ; 1  = ON
0377   3C                          INC   A
0378   32 0F 26                    LD    (CNT_PERCNT),A
037B   FE 5A                       CP    5AH
037D   C0                          RET   NZ                  ; 5A =1;30 HR = 1 %
037E   3E 00                       LD    A,00
0380   32 0F 26                    LD    (CNT_PERCNT),A
0383   3A 0E 26                    LD    A,(CNT_AMPH)
0386   3C                          INC   A
0387   32 0E 26                    LD    (CNT_AMPH),A
038A   2A 0A 26                    LD    HL,(MEM_PERCNT)
038D   ED 4B 0C 26                 LD    BC,(MEM_PERCNT+2)
0391   04                          INC   B
0392   78                          LD    A,B
0393   FE 0A                       CP    0AH
0395   20 11                       JR    NZ,E1
0397   06 00                       LD    B,0
0399   0C                          INC   C
039A   79                          LD    A,C
039B   FE 0A                       CP    0AH
039D   20 09                       JR    NZ,E1
039F   0E 00                       LD    C,0
03A1   26 01                       LD    H,1
03A3   3E 00                       LD    A,0
03A5   32 10 26                    LD    (EI_PERCNT),A     ; OFF PERCENT
03A8   22 0A 26              E1:   LD    (MEM_PERCNT),HL
03AB   ED 43 0C 26                 LD    (MEM_PERCNT+2),BC
03AF   C9                          RET
03B0

                        ;---------------------------------------
                        ;          DISPLAY  RERCENT.
                        ;---------------------------------------
03B0   11 0A 26         DISPPERCNT: LD    DE,MEM_PERCNT
03B3   DD 21 01 26                  LD    IX,DISPM
03B7   06 04                        LD    B,04H
03B9   1A               ARR:        LD    A,(DE)
03BA   21 5A 08                     LD    HL,SEG7
03BD   85                           ADD   A,L
03BE   6F                           LD    L,A
03BF   3E 00                        LD    A,00
03C1   8C                           ADC   A,H
03C2   67                           LD    H,A
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
03C3   7E                        LD      A,(HL)
03C4   DD 77 00                  LD      (IX+0),A
03C7   DD 23                     INC     IX
03C9   13                        INC     DE
03CA   10 ED                     DJNZ    ARR
03CC   3E F3                     LD      A,0F3H              ; DISP 'P.'
03CE   DD 21 01 26               LD      IX,DISPM
03D2   DD 77 00                  LD      (IX+0),A
03D5   21 01 26                  LD      HL,DISPM
03D8   3A 12 26                  LD      A,(TIMEM+1)
03DB   CB 7F                     BIT     7,A
03DD   CA E4 03                  JP      Z,CAT               ;CLEAR POINT
03E0   CB FE                     SET     7,(HL)
03E2   18 02                     JR      CAT1
03E4   CB BE             CAT:    RES     7,(HL)
03E6   C9                CAT1:   RET

                         ;-----------------------------------------
                         ;           DRIVE DISPLAY PROGRAM
                         ;-----------------------------------------

03E7   DD 21 01 26       DISP:     LD      IX,DISPM
03EB   06 00                       LD      B,00
03ED   DD 7E 00          DIS:      LD      A,(IX+0)
03F0   D3 01                       OUT     (PB),A
03F2   78                          LD      A,B
03F3   D3 02                       OUT     (PC),A
03F5   CD 0D 04                    CALL    DELAY
03F8   DD 23                       INC     IX
03FA   04                          INC     B
03FB   78                          LD      A,B
03FC   FE 09                       CP      09H
03FE   20 ED                       JR      NZ,DIS
0400   C9                          RET

                         ;-----------------------------------------
                         ;           CLEAR   MEMORY TIME
                         ;-----------------------------------------

0401   21 01 26          CLEAR:    LD      HL,DISPM
0404   06 20                       LD      B,20H
0406   3E 00                       LD      A,00
0408   77                CL1:      LD      (HL),A
0409   23                          INC     HL
040A   10 FC                       DJNZ    CL1
040C   C9                          RET
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
                        ;_____________________________________
                        ;           DELAY  FOR  BOUNCH
                        ;-------------------------------------
040D  21 75 00          DELAY:      LD      HL,75H        ;100H RUN
0410  2B                DLL:        DEC     HL
0411  7C                          LD      A,H
0412  B5                          OR      L
0413  20 FB                       JR      NZ,DLL
0415  C9                          RET

                        ;_____________________________________
                        ;           DISPLAY TIME
                        ;-------------------------------------

0416  06 04             DTIME:      LD      B,04H
0418  DD 21 01 26                  LD      IX,DISPM
041C  11 11 26                    LD      DE,TIMEM
041F  1A                DTIME1:     LD      A,(DE)
0420  E6 7F                       AND     7FH           ; CLEAR BIT8
0422  21 5A 08                    LD      HL,SEG7
0425  85                          ADD     A,L
0426  6F                          LD      L,A
0427  7E                          LD      A,(HL)
0428  DD 77 00                    LD      (IX+0),A
042B  DD 23                       INC     IX
042D  13                          INC     DE
042E  10 EF                       DJNZ    DTIME1
0430  3A 12 26                    LD      A,(TIMEM+1)
0433  CB 7F                       BIT     7,A
0435  20 0A                       JR      NZ,CP         ;CLEAR POINT
0437  3A 02 26                    LD      A,(DISPM+1)
043A  F6 80                       OR      80H           ; POINT
043C  32 02 26                    LD      (DISPM+1),A
043F  18 05                       JR      CP1
0441  3A 02 26          CP:       LD      A,(DISPM+1)
0444  E6 7F                       AND     7FH           ;CLEAR POINT
0446  32 02 26          CP1:      LD      (DISPM+1),A
0449  C9                          RET
                        ;_____________________________________
                        ;                 TIME
                        ;-------------------------------------

044A  2A 15 26          CTIME:      LD      HL,(TIMEM+4)
044D  ED 4B 11 26                 LD      BC,(TIMEM)
0451  ED 5B 13 26                 LD      DE,(TIMEM+2)
0455  24                          INC     H
0456  7C                          LD      A,H
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
0457   FE 0A                        CP      0AH
0459   C2 89 04                     JP      NZ,C1
045C   AF                           XOR     A
045D   67                           LD      H,A
045E   2C                           INC     L
045F   7D                           LD      A,L
0460   FE 07                        CP      07H
0462   C2 89 04                     JP      NZ,C1
0465   AF                           XOR     A
0466   6F                           LD      L,A
0467   14                           INC     D
0468   7A                           LD      A,D
0469   FE 0A                        CP      0AH
046B   20 1C                        JR      NZ,C1
046D   AF                           XOR     A
046E   57                           LD      D,A
046F   1C                           INC     E
0470   7B                           LD      A,E
0471   FE 06                        CP      06H
0473   20 14                        JR      NZ,C1
0475   AF                           XOR     A
0476   1E 00                        LD      E,00
0478   04                           INC     B
0479   78                           LD      A,B
047A   FE 0A                        CP      0AH
047C   20 0B                        JR      NZ,C1
047E   AF                           XOR     A
047F   06 00                        LD      B,00
0481   0C                           INC     C
0482   79                           LD      A,C
0483   FE 0A                        CP      0AH
0485   20 02                        JR      NZ,C1
0487   AF                           XOR     A
0488   4F                           LD      C,A
0489   ED 43 11 26          C1:     LD      (TIMEM),BC
048D   ED 53 13 26                   LD      (TIMEM+2),DE
0491   22 15 26                     LD      (TIMEM+4),HL
0494   3A 12 26                     LD      A,(TIMEM+1)
0497   CB 7F                        BIT     7,A
0499   20 04                        JR      NZ,CA                ;CLEAR POINT
049B   CB FF                        SET     7,A
049D   18 02                        JR      CA1
049F   CB BF                 CA:     RES     7,A
04A1   32 12 26              CA1:    LD      (TIMEM+1),A
04A4   C9                           RET

                             ;_____________________________________________
                             ;       PRESSED     = NZ, KEYCD
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
                        ;       NO PRESSED = Z
                        ;_____________________________________________
04A5   3E 98            KEY:        LD      A,98H
04A7   D3 03                        OUT     (PCTRL),A
04A9   06 00                        LD       B,00
04AB   78               KEYL:       LD       A,B
04AC   D3 02                        OUT     (PC),A
04AE   5F                           LD      E,A
04AF   DB 02                        IN      A,(PC)
04B1   CB 67                        BIT     4,A
04B3   28 07                        JR      Z,SAFKY
04B5   04                           INC     B
04B6   78                           LD      A,B
04B7   FE 03                        CP      03
04B9   20 F0                        JR      NZ,KEYL
04BB   C8                           RET     Z
04BC   7B               SAFKY:      LD      A,E
04BD   FE 02                        CP      02H
04BF   CA 4B 00                     JP      Z,RESET
04C2   32 00 26                     LD      (KEYCD),A
04C5   DB 02            MMM:        IN      A,(PC)
04C7   CB 67                        BIT     4,A
04C9   20 05                        JR      NZ,NNN
04CB   CD E7 03                     CALL    DISP
04CE   18 F5                        JR      MMM
04D0   21 07 00         NNN:        LD      HL,0007H
04D3   E5               NN1:        PUSH    HL
04D4   CD E7 03                     CALL    DISP
04D7   E1                           POP     HL
04D8   2B                           DEC     HL
04D9   7C                           LD      A,H
04DA   B5                           OR      L
04DB   20 F6                        JR      NZ,NN1
04DD   EE 77                        XOR     77H
04DF   C0                           RET     NZ


                        ;_____________________________________________
                        ; #DOTIME       INPUT :  ETM (END TIME DISCHA.
                        ;                     :  FTM (FULL TIME QUICK.
                        ;               OUTPUT:  C = CONTINUE TIME
                        ;                        NC= OK TIME
                        ;_____________________________________________
04E0   3A 19 26         DOTIME:     LD      A,(STATUSCHA)
04E3   FE 01                        CP      01                  ; CHARGE ?.
04E5   20 04                        JR      NZ,MBR
04E7   06 05                        LD      B,FTM
04E9   18 02                        JR      MMY
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
04EB   06 03          MDR:        LD      B,ETM
04ED   3A 12 26       MMY:        LD      A,(TIMEM+1)
04F0   B8                         CP      B
04F1   D0                         RET     NC
04F2   B7                         OR      A
04F3   C9                         RET
04F4
                      ;_____________________________________

                      ;  CLEAR MEMORY TIME 6 BYTE
                      ;-------------------------------------
04F4   21 11 26       TIMCLR:     LD      HL,TIMEM
04F7   06 06                      LD      B,06
04F9   3E 00                      LD      A,00
04FB   77             SIXL:       LD      (HL),A
04FC   23                         INC     HL
04FD   10 FC                      DJNZ    SIXL
04FF   C9                         RET

                      ;-----------------------------------------
                      ;          Z = VOLTS_OK
                      ;          NZ= NO_OK
                      ;-----------------------------------------
0500   3A 18 26       V_TEST:     LD      A,(STATUSFUC)
0503   FE 01                      CP      01H
0505   20 1A                      JR      NZ,DIS1
0507   3A 24 26                   LD      A,(ENDCHAGE)
050A   4F                         LD      C,A
050B   3A 21 26                   LD      A,(RYFG)
050E   E6 1F                      AND     1FH
0510   B1                         OR      C
0511   D3 60                      OUT     (RYPORT),A
0513   3A 25 26                   LD      A,(ENDCHAGE+1)
0516   D3 40             V_TST:   OUT     (ADCP),A
0518   06 13                      LD      B,13H
051A   10 FE             JRR1:    DJNZ    JRR1
051C   DB 02                      IN      A,(PC)
051E   CB 6F                      BIT     5,A
0520   C9                         RET
0521   3A 22 26          DIS1:    LD      A,(ENDDIS)
0524   4F                         LD      C,A
0525   3A 21 26                   LD      A,(RYFG)
0528   E6 1F                      AND     1FH
052A   B1                         OR      C
052B   D3 60                      OUT     (RYPORT),A
052D   3A 23 26                   LD      A,(ENDDIS+1)
0530   18 E4                      JR      V_TST
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
                        ;_____________________________________________
                        ;            INPUT= C REGISTER
                        ;_____________________________________________
0532   A7               SETRELAY:    AND    A
0533   79                            LD     A,C
0534   21 21 26                     LD     HL,RYFG          ;OFF BATT
0537   FE 00                        CP     00
0539   20 02                        JR     NZ,B_ONE
053B   18 70                        JR     OK1
053D   FE 01            B_ONE:       CP     01               ;DISCHAGE
053F   20 10                        JR     NZ,B_TWO
0541   3E 02                        LD     A,02
0543   32 08 26                     LD     (DISPM+7),A
0546   32 18 26                     LD     (STATUSFUC),A
0549   CB C6                        SET    0,(HL)
054B   CB 8E                        RES    1,(HL)
054D   7E                           LD     A,(HL)
054E   C3 AD 05                     JP     OK1
0551   FE 02            B_TWO:       CP     02               ;CHAGE+QUICK
0553   20 1B                        JR     NZ,B_TREE
0555   3E 01                        LD     A,01
0557   32 08 26                     LD     (DISPM+7),A
055A   32 18 26                     LD     (STATUSFUC),A
055D   3E 02                        LD     A,02
055F   32 07 26                     LD     (DISPM+6),A
0562   32 19 26                     LD     (STATUSCHA),A
0565   7E                           LD     A,(HL)
0566   CB C7                        SET    0,A
0568   CB CF                        SET    1,A
056A   CB 9F                        RES    3,A
056C   CB A7                        RES    4,A
056E   18 3D                        JR     OK1
0570   FE 03            B_TREE:      CP     03               ;CHAGE+SLOW
0572   20 19                        JR     NZ,B_FOUR
0574   3E 01                        LD     A,01
0576   32 08 26                     LD     (DISPM+7),A
0579   32 18 26                     LD     (STATUSFUC),A
057C   32 07 26                     LD     (DISPM+6),A
057F   32 19 26                     LD     (STATUSCHA),A
0582   7E                           LD     A,(HL)
0583   CB C7                        SET    0,A
0585   CB CF                        SET    1,A
0587   CB DF                        SET    3,A
0589   CB A7                        RES    4,A
058B   18 20                        JR     OK1
058D   FE 04            B_FOUR:      CP     04H              ;CHARGE+TRICKLE
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
058F   20 19                        JR    NZ,B_FIVE
0591   3E 01                        LD    A,01
0593   32 08 26                     LD    (DISPM+7),A
0596   32 18 26                     LD    (STATUSFUC),A
0599   3E 04                        LD    A,04
059B   32 07 26                     LD    (DISPM+6),A
059E   32 19 26                     LD    (STATUSCHA),A
05A1   7E                           LD    A,(HL)
05A2   CB C7                        SET   0,A
05A4   CB CF                        SET   1,A
05A6   CB E7                        SET   4,A
05A8   18 03                        JR    OK1
05AA   CB D6           B_FIVE:      SET   2,(HL)              ; SET AAA SIZE
05AC   7E                           LD    A,(HL)
05AD   77              OK1:         LD    (HL),A
05AE   D3 60                        OUT   (RYPORT),A
05B0   C9                           RET


05B1   3A 19 26        CHECKTIME:   LD    A,(STATUSCHA)
05B4   FE 01                        CP    01
05B6   28 03                        JR    Z,DUK
05B8   11 05 00                     LD    DE,0005             ; 5HRS.
05BB   11 14 00        DUK:         LD    DE,0014H            ; 14 HRS.
05BE   2A 11 26        DAA:         LD    HL,(TIMEM)
05C1   ED 52                        SBC   HL,DE
05C3   C9                           RET                       ; Z = FULL
                                                              ; NZ= NO
05C4

                       ;---------------------------------------
                       ; INPUT : 8255 PORT, STATUS SIZE.
                       ; OUTPUT: PACKFG,NUMBER
                       ;---------------------------------------
05C4   3A 1A 26        SETBATT:     LD    A,(STATUSSIZ)
05C7   FE 04                        CP    04
05C9   20 2A                        JR    NZ,YES
05CB   DB 02                        IN    A,(PC)
05CD   CB 77                        BIT   6,A
05CF   28 12                        JR    Z,TANG
05D1   3E 00                        LD    A,00
05D3   32 29 26                     LD    (PACKFG),A          ; 0=P6
05D6   21 88 40                     LD    HL,ENDCHAGE6          ; 1=P10
05D9   22 24 26                     LD    (ENDCHAGE),HL
05DC   21 5E 40                     LD    HL,ENDDIS6
05DF   22 22 26                     LD    (ENDDIS),HL
05E2   C9                           RET
05E3   21 E2 A0        TANG:        LD    HL,ENDCHAGE10
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
05E6   22 24 26                    LD    (ENDCHAGE),HL
05E9   21 9B A0                    LD    HL,ENDDIS10
05EC   22 22 26                    LD    (ENDDIS),HL
05EF   3E 01                       LD    A,01H
05F1   32 29 26                    LD    (PACKFG),A
05F4   C9                          RET
05F5   CD BF 06          YES:      CALL  NUMBER1
05F8   DA FC 05                    JP    C,ERROR1          ; DISPLAY ERROR1
05FB   C9                          RET
                         ;-----------------------------------------
                         ; DISPLAY "E1"FOR BATT ERROR.
                         ; WAIT FOR KEY RESET.
                         ;-----------------------------------------

05FC   DD 21 01 26       ERROR1:   LD    IX,DISPM
0600   3E 40                       LD    A,40H   ;79H
0602   DD 77 00                    LD    (IX+0),A
0605   3E 79                       LD    A,79H   ;06
0607   DD 77 01                    LD    (IX+1),A
060A   3E 06                       LD    A,06H
060C   DD 77 02                    LD    (IX+2),A
060F   3E 40                       LD    A,40H
0611   DD 77 03                    LD    (IX+3),A
0614   3E 00                       LD    A,00
0616   DD 77 08                    LD    (IX+8),A
0619   CD E7 03          NEARN:    CALL  DISP
061C   CD A5 04                    CALL  KEY
061F   18 F8                       JR    NEARN


                         ;-----------------------------------------
                         ;  RUN_DISPLAY :  00 = VOLTS
                         ;                  01 = TIME
                         ;                  02 = PERCENT
                         ;                  03 = AMPH
                         ;-----------------------------------------
0621   3A 28 26          RUN_DISP: LD    A,(DISPFG)
0624   FE 00                       CP    00
0626   28 27                       JR    Z,VOL_DISP
0628   FE 01                       CP    01
062A   28 17                       JR    Z,TIM_DISP
062C   FE 02                       CP    02
062E   28 0C                       JR    Z,PER_DISP
0630   CD 01 03                    CALL  DIS_AMPH
0633   CD E7 03                    CALL  DISP
0636   3E 04                       LD    A,04
0638   32 05 26                    LD    (DISPM+4),A
063B   C9                          RET
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
063C   CD B0 03        PER_DISP:     CALL  DISPPERCNT
063F   CD E7 03                     CALL  DISP
0642   C9                           RET

0643   CD 16 04        TIM_DISP:     CALL  DTIME
0646   CD E7 03                     CALL  DISP
0649   3E 02                        LD    A,02
064B   32 05 26                     LD    (DISPM+4),A
064E   C9                           RET

064F   CD 12 07        VOL_DISP:     CALL  VOLTS
0652   CD E7 03                     CALL  DISP
0655   3E 01                        LD    A,01H
0657   32 05 26                     LD    (DISPM+4),A
065A   C9                           RET
                       ;_____________________________________________
                       ;     RUN_SW SUB:
                       ;          SW1 = VOLTS/TIME
                       ;          SW2 = VOLTS/TIME/PERCENT/AMPH
                       ;---------------------------------------------
065B   3A 00 26        SW1:          LD    A,(KEYCD)
065E   FE 00                        CP    00
0660   C0                           RET   NZ
0661   3A 28 26                     LD    A,(DISPFG)
0664   FE 00                        CP    00
0666   CA 6D 06                     JP    Z,TOGG
0669   3E 00                        LD    A,00
066B   18 02                        JR    FGH
066D   3E 01           TOGG:         LD    A,01H
066F   32 28 26        FGH:          LD    (DISPFG),A
0672   C9                           RET

0673   21 00 26        SW2:          LD    HL,KEYCD
0676   7E                           LD    A,(HL)
0677   FE 00                        CP    00
0679   C0                           RET   NZ
067A   21 28 26                     LD    HL,DISPFG
067D   34                           INC   (HL)
067E   7E                           LD    A,(HL)
067F   FE 04                        CP    04
0681   C0                           RET   NZ
0682   3E 00                        LD    A,00
0684   77                           LD    (HL),A
0685   C9                           RET
                       ;_____________________________________________

                       ;INPUT : NUMBER,STATUSSIZE,SW BATT,PB
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
                        ;       ; PACK FLAG <0=P6,1=P10>
                        ;OUTPUT:  C=  HAVE BATT
                        ;         NC= NOBATT
                        ;-----------------------------------------
0686   DB 01            BATTLEAF:      IN    A,(PB)
0688   3A 1A 26                       LD    A,(STATUSSIZ)
068B   FE 02                          CP    02
068D   CA A8 06                       JP    Z,CHEKPK
0690   3A 26 26                       LD    A,(NUMBER)          ; AAA+AA
0693   32 27 26                       LD    (ATEMP),A
0696   CD BF 06                       CALL  NUMBER1             ; IS IT LEAF ?
0699   3A 27 26                       LD    A,(ATEMP)
069C   47                             LD    B,A
069D   3A 26 26                       LD    A,(NUMBER)
06A0   90                             SUB   B
06A1   CA A6 06                       JP    Z,NOCHANGE
06A4   37              CHANGE:        SCF
06A5   D8                             RET   C
06A6   B7              NOCHANGE:      OR    A
06A7   D0                             RET   NC
06A8   3A 29 26        CHEKPK:        LD    A,(PACKFG)
06AB   FE 01                          CP    01
06AD   28 08                          JR    Z,YESP10            ; 0=P10
06AF   DB 02                          IN    A,(PC)
06B1   CB 7F                          BIT   7,A
06B3   28 F1                          JR    Z,NOCHANGE
06B5   18 ED                          JR    CHANGE
06B7   DB 02           YESP10:        IN    A,(PC)
06B9   CB 77                          BIT   6,A
06BB   28 E9                          JR    Z,NOCHANGE
06BD   18 E5                          JR    CHANGE

                        ;-----------------------------------------
                        ; INPUT = DIPSW FROM BATT.
                        ; OUTPUT=  NUMBER : NUMBER OF BATT.
                        ;         = ENDCHAGE:
                        ;         = ENDDISCHAGE:
                        ;         = CARRY   : ERROR
                        ;         = NOCARRY : NOERROR
                        ;-----------------------------------------
06BF   AF              NUMBER1:       XOR   A                   ; CLEAR CARRY FLAG
06C0   21 26 26                       LD    HL,NUMBER
06C3   77                             LD    (HL),A
06C4   DB 01                          IN    A,(PB)
06C6   CB 27           MAIN:          SLA   A
06C8   D2 CE 06                       JP    NC,ROUI
06CB   34                             INC   (HL)
06CC   18 F8                          JR    MAIN
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
06CE   7E              ROUI:       LD    A,(HL)
06CF   FE 04                       CP    4H                  ; < 4 CELL EXIT ERROR
06D1   D8                          RET   C
06D2   4F                          LD    C,A
06D3   21 46 08                    LD    HL,ENDVALVE
06D6   87                          ADD   A,A
06D7   5F                          LD    E,A
06D8   16 00                       LD    D,0
06DA   19                          ADD   HL,DE
06DB   7E                          LD    A,(HL)
06DC   32 22 26                    LD    (ENDDIS),A
06DF   23                          INC   HL
06E0   7E                          LD    A,(HL)
06E1   32 24 26                    LD    (ENDCHAGE),A
06E4   CD E9 06                    CALL   SET_RANGE
06E7   B7                          OR    A
06E8   D0                          RET   NC

                       ;---------------------------------------
                       ;          SET RANGE OF PROGRAM
                       ;---------------------------------------
06E9   4F              SET_RANGE:  LD    C,A
06EA   21 50 08                    LD    HL,RANGPATT
06ED   87                          ADD   A,A
06EE   5F                          LD    E,A
06EF   16 00                       LD    D,00
06F1   19                          ADD   HL,DE
06F2   7E                          LD    A,(HL)
06F3   32 23 26                    LD    (ENDDIS+1),A
06F6   23                          INC   HL
06F7   7E                          LD    A,(HL)
06F8   32 25 26                    LD    (ENDCHAGE+1),A
06FB   C9                          RET


                       ;---------------------------------------
                       ;     COPY DATA FROM LOW TO HIGHT BYTE
                       ;---------------------------------------

06FC   21 2F 26        COP:        LD    HL,MEMVOLT+4        ; VOLTM
06FF   11 01 26                    LD    DE,DISPM
0702   06 04                       LD    B,04H                ;DISPM
0704   7E              COP1:       LD    A,(HL)
0705   12                          LD    (DE),A
0706   13                          INC   DE
0707   2B                          DEC   HL
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
0708   10 FA                    DJNZ  COP1
070A   21 02 26                 LD    HL,DISPM+1
070D   7E                       LD    A,(HL)
070E   F6 80                    OR    80H
0710   77                       LD    (HL),A
0711   C9                       RET


                    ;----------------------------------------
                    ;                  A/D
                    ;----------------------------------------

0712   CD 22 07     VOLTS:      CALL  SELECT          ;CHECK VOLT
0715   CD 9D 07                 CALL  CAL             ;CAL DATA
0718   CD C5 07                 CALL  HTOD            ;CONVERT HEX TO DECIMAL
071B   CD E7 07                 CALL  CONVERT
071E   CD FC 06                 CALL  COP
0721   C9                       RET
                    ;----------------------------------------
                    ;     SELECT RANG MEASURE VOLTAGE
                    ;----------------------------------------

0722   3A 21 26     SELECT:     LD    A,(RYFG)        ;RELAY
0725   F5                       PUSH  AF
0726   E6 1F                    AND   1FH             ;OFF U9A:B:C
0728   F6 80                    OR    80H             ;ON U9C:
072A   32 21 26                 LD    (RYFG),A
072D   0E 00        SEL1:       LD    C,00            ;VOLT
072F   3A 21 26                 LD    A,(RYFG)
0732   D3 60                    OUT   (RYPORT),A      ;RANG
0734   79          SEL2:       LD    A,C             ;VOLTAGE
0735   D3 40                    OUT   (ADCP),A
0737   06 0C                    LD     B,0CH
0739   10 FE        SEL3:       DJNZ   SEL3
073B   DB 02                    IN    A,(PC)
073D   CB 6F                    BIT   5,A
073F   28 2E                    JR    Z,HI            ;CORRECT VOLT
0741   0C                       INC   C
0742   79                       LD    A,C
0743   B7                       OR    A               ;CHECK VOLTAGE
0744   20 EE                    JR    NZ,SEL2         ;NOT LIMIT VOLT
0746   3A 21 26                 LD    A,(RYFG)
0749   E6 0F                    AND   0FH             ;CLEAR HIBYTE
074B   5F                       LD    E,A
074C   3A 21 26                 LD    A,(RYFG)
074F   CB 3F                    SRL   A               ;NEXT RANG
0751   E6 F0                    AND   0F0H            ;CLEAR LOW BYTE
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
0753   B3                          OR    E              ;OLD STATUS
0754   32 21 26                    LD    (RYFG),A
0757   CB 67                       BIT   4,A            ;END RANG
0759   28 D2                       JR    Z,SEL1         ;NO
075B   CD 63 07                    CALL  ERROR
075E   F1                          POP   AF             ;OLD RELAY
075F   32 21 26                    LD    (RYFG),A
0762   C9                          RET
                    ;-----------------------------------------
                    ;                ERROR VOLT
                    ;-----------------------------------------

0763   21 2B 26     ERROR:         LD    HL,MEMVOLT
0766   06 04                       LD    B,04
0768   3E 80        ERROR2:        LD    A,80H          ; DOT DISPLAY
076A   77                          LD    (HL),A
076B   23                          INC   HL
076C   10 FA                       DJNZ  ERROR2
076E   C9                          RET

                    ;-----------------------------------------
                    ;              CORRECT VOLT
                    ;-----------------------------------------

076F   3A 21 26     HI:            LD    A,(RYFG)
0772   CB 7F                       BIT   7,A            ; RANG1
0774   20 06                       JR    NZ,R1          ;YES
0776   CB 77                       BIT   6,A            ; RANG2
0778   20 0A                       JR    NZ,R2          ; YES
077A   18 10                       JR    R3             ;RANG3
077C   21 16 08     R1:            LD    HL,TABLE1
077F   22 36 26                    LD    (TABLE),HL
0782   18 0E                       JR    HI2
0784   21 26 08     R2:            LD    HL,TABLE2
0787   22 36 26                    LD    (TABLE),HL
078A   18 06                       JR    HI2
078C   21 36 08     R3:            LD    HL,TABLE3
078F   22 36 26                    LD    (TABLE),HL
0792   79           HI2:           LD    A,C
0793   32 38 26                    LD    (PDATA),A      ;KEEP
0796   F1                          POP   AF             ;OLD RELAY BEFORE
0797   32 21 26                    LD    (RYFG),A
079A   D3 60                       OUT   (RYPORT),A     ;OLD STATUS
079C   C9                          RET
                    ;-----------------------------------------
                    ;             CAL DATA A TO D
                    ;-----------------------------------------
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
079D   AF                  CAL:        XOR   A
079E   32 31 26                        LD    (SUMDATA),A
07A1   32 32 26                        LD    (SUMDATA+1),A
07A4   DD 2A 36 26                     LD    IX,(TABLE)        ;PATT VOLT
07A8   3A 38 26                        LD    A,(PDATA)
07AB   CB 27               CAL1:       SLA   A
07AD   DC B7 07                        CALL  C,ADD             ;ADD DATA
07B0   DD 23                           INC   IX
07B2   DD 23                           INC   IX
07B4   10 F5                           DJNZ  CAL1
07B6   C9                              RET

                           ;---------------------------------------
                           ;              ADD DATA A TO D
                           ;---------------------------------------
07B7   2A 31 26            ADD:          LD    HL,(SUMDATA)
07BA   DD 5E 00                          LD    E,(IX+0)
07BD   DD 56 01                          LD    D,(IX+1)
07C0   19                                ADD   HL,DE
07C1   22 31 26                          LD    (SUMDATA),HL
07C4   C9                                RET

                           ;---------------------------------------
                           ;          CONVERT HEX TO DECIMAL
                           ;---------------------------------------

07C5   AF                  HTOD:         XOR   A
07C6   21 33 26                          LD    HL,DECDATA
07C9   06 03                             LD    B,03H
07CB   77                  HTOD1:        LD    (HL),A
07CC   23                                INC   HL
07CD   10 FC                             DJNZ  HTOD1
07CF   0E 10                             LD    C,10H
07D1   21 31 26            HTOD2:        LD    HL,SUMDATA
07D4   CB 16                             RL    (HL)
07D6   23                                INC   HL
07D7   CB 16                             RL    (HL)
07D9   23                                INC   HL
07DA   06 03                             LD    B,03
07DC   7E                  HTOD3:        LD    A,(HL)
07DD   8F                                ADC   A,A
07DE   27                                DAA
07DF   77                                LD    (HL),A
07E0   23                                INC   HL
07E1   10 F9                             DJNZ  HTOD3
07E3   0D                                DEC   C
07E4   20 EB                             JR    NZ,HTOD2
07E6   C9                                RET
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
                        ;---------------------------------------
                        ;       CONVERT DECIMAL DATA TO ASCII
                        ;---------------------------------------

07E7   DD 21 33 26      CONVERT:        LD      IX,DECDATA
07EB   0E 03                            LD      C,03H
07ED   11 2B 26                         LD      DE,MEMVOLT      ; DISPLAY VOLTAGE
07F0   DD 7E 00         CON1:           LD      A,(IX+0)
07F3   47                               LD      B,A
07F4   CD 0B 08                         CALL    CONV
07F7   78                               LD      A,B
07F8   CB 07                            RLC     A
07FA   CB 07                            RLC     A
07FC   CB 07                            RLC     A
07FE   CB 07                            RLC     A
0800   CD 0B 08                         CALL    CONV
0803   F6 01                            OR      01H
0805   DD 23                            INC     IX
0807   0D                               DEC     C
0808   20 E6                            JR      NZ,CON1
080A   C9                               RET

                        ;---------------------------------------
                        ;           CONVERT SUB.
                        ;---------------------------------------

080B   21 5A 08         CONV:           LD      HL,SEG7         ;ASCII TABLE
080E   E6 0F                            AND     0FH
0810   85                               ADD     A,L
0811   6F                               LD      L,A
0812   ED A0                            LDI
0814   0C                               INC     C
0815   C9                               RET

                        ;---------------------------------------
                        ;           GAIN1
                        ;---------------------------------------

0816   1A 0C 0A 06      TABLE1:         DB      01AH,0CH,0AH,06H
081A   D5 02 72 01                      DB      0D5H,02H,72H,01H
081E   B6 00 58 00                      DB      0B6H,00H,58H,00H
0822   2C 00 16 00                      DB      2CH,00H,16H,00H

                        ;---------------------------------------
                        ;           GAIN2
                        ;---------------------------------------
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
0826    34 18 1A 0C     TABLE2:         DB      034H,18H,1AH,0CH
082A    0A 06 D5 02                     DB      0AH,06H,0D5H,02H
082E    72 01 B6 00                     DB      72H,01H,0B6H,00H
0832    58 00 2C 00                     DB      58H,00H,2CH,00H
0836
                        ;---------------------------------------
                        ;               GAIN3
                        ;---------------------------------------

0836    4E 24 24 12     TABLE3:         DB      4EH,24H,024H,12H
083A    DF 08 47 04                     DB      0DFH,08H,047H,04H
083E    28 02 0E 01                     DB      028H,02H,0EH,01H
0842    84 00 42 00                     DB      084H,00H,42H,00H
                        ;_______________________________________
                        ;       ENDDIS : ENDCHAGE
                        ;_______________________________________
0846    3F 5B 4C 72     ENDVALVE:       DB      3FH,5BH,4CH,72H,5EH,88H
084A    5E 88
084C    6E 9F 7E B6                     DB      6EH,9FH,7EH,0B6H

                        ;---------------------------------------
                        ;       RANGECHAR : RANGE.DIS
                        ;---------------------------------------
0850    40 40 40 40     RANGPATT:       DB      40H,40H,40H,40H,40H,40H
0854    40 40
0856    40 40 A0 A0                     DB      40H,40H,0A0H,0A0H

                        ;_______________________________________
                        ;       CODE FOR 7 SEGMENT DISPLAY
                        ;_______________________________________
085A    3F 06 5B 4F     SEG7:           DB      3FH,06H,5BH,4FH
085E    66 6D 7D 07                     DB      66H,6DH,7DH,07H
0862
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Z8400
Z80® CPU Central Processing Unit

Zilog

Product Specification

April 1985

FEATURES

- The instruction set contains 158 instructions. The 78 instructions of the 8080A are included as a subset; 8080A software compatibility is maintained.
- Eight MHz, 6 MHz, 4 MHz, and 2.5 MHz clocks for the Z80H, Z80B, Z80A, and Z80 CPU result in rapid instruction execution with consequent high data throughput.
- The extensive instruction set includes string, bit, byte, and word operations. Block searches and block transfers, together with indexed and relative addressing, result in the most powerful data handling capabilities in the microcomputer industry.
- The Z80 microprocessors and associated family of peripheral controllers are linked by a vectored interrupt system. This system may be daisy-chained to allow implementation of a priority interrupt scheme. Little, if any, additional logic is required for daisy-chaining.
- Duplicate sets of both general-purpose and flag registers are provided, easing the design and operation of system software through single-context switching, background-foreground programming, and single-level interrupt processing. In addition, two 16-bit index registers facilitate program processing of tables and arrays.
- There are three modes of high speed interrupt processing: 8080 similar, non-Z80 peripheral device, and Z80 Family peripheral with or without daisy chain.
- On-chip dynamic memory refresh counter.

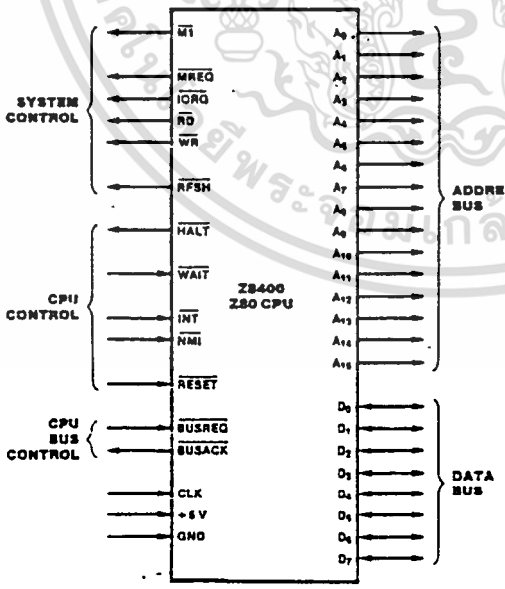


Figure 1. Pin Functions

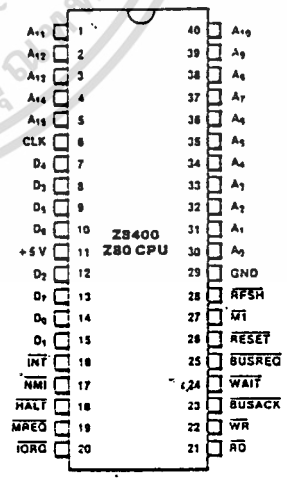


Figure 2a. 40-Pin Dual-In-Line Package (DIP) Pin Assignments

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

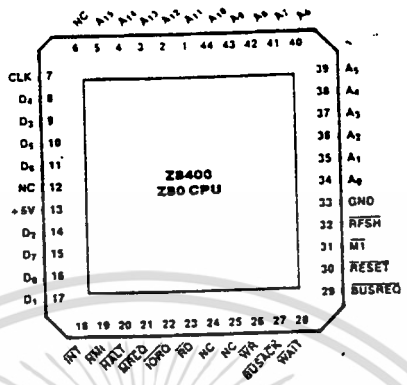


Figure 2b. 44-Pin Chip Carrier Pin Assignments

GENERAL DESCRIPTION

The Z80, Z80A, Z80B, and Z80H CPUs are third-generation single-chip microprocessors with exceptional computational power. They offer higher system throughput and more efficient memory utilization than comparable second- and third-generation microprocessors. The internal registers contain 208 bits of read/write memory that are accessible to the programmer. These registers include two sets of six general-purpose registers which may be used individually as either 8-bit registers or as 16-bit register pairs. In addition, there are two sets of accumulator and flag registers. A group of "Exchange" instructions makes either set of main or alternate registers accessible to the programmer. The alternate set allows operation in foreground-background mode or it may be reserved for very fast interrupt response.

The Z80 also contains a Stack Pointer, Program Counter, two index registers, a Refresh register (counter), and an Interrupt register. The CPU is easy to incorporate into a system since it requires only a single + 5V power source. All output signals are fully decoded and timed to control standard memory or peripheral circuits; the CPU is supported by an extensive family of peripheral controllers. The internal block diagram (Figure 3) shows the primary functions of the Z80 processors. Subsequent text provides more detail on the Z80 I/O controller family, registers, instruction set, interrupts and daisy chaining, and CPU timing.

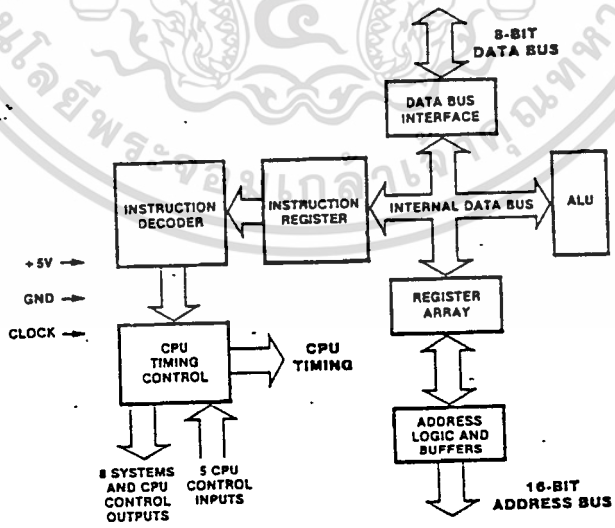


Figure 3. Z80 CPU Block Diagram

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Z80 MICROPROCESSOR FAMILY

The Zilog Z80 microprocessor is the central element of a comprehensive microprocessor product family. This family works together in most applications with minimum requirements for additional logic, facilitating the design of efficient and cost-effective microcomputer-based systems.

Zilog has designed five components to provide extensive support for the Z80 microprocessor. These are:

- The PIO (Parallel Input/Output) operates in both data-byte I/O transfer mode (with handshaking) and in bit mode (without handshaking). The PIO may be configured to interface with standard parallel peripheral devices such as printers, tape punches, and keyboards.
- The CTC (Counter/Timer Circuit) features four programmable 8-bit counter/timers, each of which has an 8-bit prescaler. Each of the four channels may be configured to operate in either counter or timer mode.
- The DMA (Direct Memory Access) controller provides dual port data transfer operations and the ability to terminate data transfer as a result of a pattern match.
- The SIO (Serial Input/Output) controller offers two channels. It is capable of operating in a variety of programmable modes for both synchronous and asynchronous communication, including Bi-Synch and SDLC.
- The DART (Dual Asynchronous Receiver/Transmitter) device provides low cost asynchronous serial communication. It has two channels and a full modem control interface.

Z80 CPU REGISTERS

Figure 4 shows three groups of registers within the Z80 CPU. The first group consists of duplicate sets of 8-bit registers: a principal set and an alternate set (designated by ' [prime], e.g., A'). Both sets consist of the Accumulator Register, the Flag Register, and six general-purpose registers. Transfer of data between these duplicate sets of registers is accomplished by use of "Exchange" instructions. The result is faster response to interrupts and easy, efficient implementation of such versatile programming techniques as background-foreground data processing. The second set of registers consists of six registers with assigned functions. These are the I (Interrupt Register), the R (Refresh Register), the IX and IY (Index Registers), the SP (Stack Pointer), and the PC (Program Counter). The third group consists of two interrupt status flip-flops, plus an additional pair of flip-flops which assists in identifying the interrupt mode at any particular time. Table 1 provides further information on these registers.

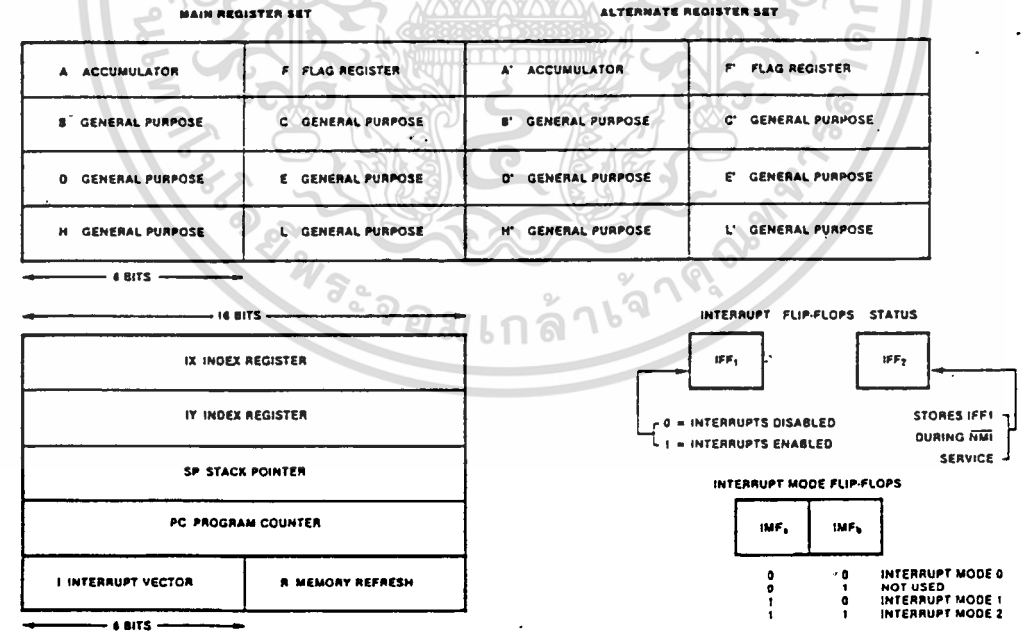


Figure 4. CPU Registers

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Z80 CPU REGISTERS (Continued)

Table 1. Z80 CPU Registers

Register		Size (Bits)	Remarks
A, A′	Accumulator	8	Stores an operand or the results of an operation.
F, F′	Flags	8	See Instruction Set.
B, B′	General Purpose	8	Can be used separately or as a 16-bit register with C.
C, C′	General Purpose	8	See B, above.
D, D′	General Purpose	8	Can be used separately or as a 16-bit register with E.
E, E′	General Purpose	8	See D, above.
H, H′	General Purpose	8	Can be used separately or as a 16-bit register with L.
L, L′	General Purpose	8	See H, above.
			Note: The (B,C), (D,E), and (H,L) sets are combined as follows: B — High byte C — Low byte D — High byte E — Low byte H — High byte L — Low byte
I	Interrupt Register	8	Stores upper eight bits of memory address for vectored interrupt processing.
R	Refresh Register	8	Provides user-transparent dynamic memory refresh. Automatically incremented and placed on the address bus during each instruction fetch cycle.
IX	Index Register	16	Used for indexed addressing.
IY	Index Register	16	Used for indexed addressing
SP	Stack Pointer	16	Holds address of the top of the stack. See Push or Pop in instruction set.
PC	Program Counter	16	Holds address of next instruction.
IFF_1-IFF_2	Interrupt Enable	Flip-Flops	Set or reset to indicate interrupt status (see Figure 4).
IMFa-IMFb	Interrupt Mode	Flip-Flops	Reflect Interrupt mode (see Figure 4).

INTERRUPTS: GENERAL OPERATION

The CPU accepts two interrupt input signals: $\overline{NMI}$ and $\overline{INT}$. The $\overline{NMI}$ is a non-maskable interrupt and has the highest priority. $\overline{INT}$ is a lower priority interrupt and it requires that interrupts be enabled in software in order to operate. $\overline{INT}$ can be connected to multiple peripheral devices in a wired-OR configuration.

The Z80 has a single response mode for interrupt service for the non-maskable interrupt. The maskable interrupt, $\overline{INT}$, has three programmable response modes available. These are:

- Mode 0 — similar to the 8080 microprocessor.
- Mode 1 — Peripheral Interrupt service, for use with non-8080/Z80 systems.
- Mode 2 — a vectored interrupt scheme, usually daisy-chained, for use with Z80 Family and compatible peripheral devices.

The CPU services interrupts by sampling the $\overline{NMI}$ and $\overline{INT}$ signals at the rising edge of the last clock of an instruction. Further interrupt service processing depends upon the type of interrupt that was detected. Details on interrupt responses are shown in the CPU Timing Section.

Non-Maskable Interrupt ($\overline{NMI}$). The nonmaskable interrupt cannot be disabled by program control and therefore will be accepted at all times by the CPU. $\overline{NMI}$ is usually reserved for servicing only the highest priority type interrupts, such as that for orderly shutdown after power failure has been detected. After recognition of the $\overline{NMI}$ signal (providing $\overline{BUSREQ}$ is not active), the CPU jumps to restart location 0066H. Normally, software starting at this address contains the interrupt service routine.

Maskable Interrupt ($\overline{INT}$). Regardless of the interrupt mode set by the user, the Z80 response to a maskable interrupt input follows a common timing cycle. After the

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

interrupt has been detected by the CPU (provided that interrupts are enabled and $\overline{BUSREQ}$ is not active) a special interrupt processing cycle begins. This is a special fetch ($\overline{M1}$) cycle in which $\overline{IORQ}$ becomes active rather than $\overline{MREQ}$, as in a normal $\overline{M1}$ cycle. In addition, this special $\overline{M1}$ cycle is automatically extended by two $\overline{WAIT}$ states, to allow for the time required to acknowledge the interrupt request.

Mode 0 Interrupt Operation. This mode is similar to the 8080 microprocessor interrupt service procedures. The interrupting device places an instruction on the data bus. This is normally a Restart instruction, which will initiate a call to the selected one of eight restart locations in page zero of memory. Unlike the 8080, the Z80 CPU responds to the Call instruction with only one interrupt acknowledge cycle followed by two memory read cycles.

Mode 1 Interrupt Operation. Mode 1 operation is very similar to that for the $\overline{NMI}$. The principal difference is that the Mode 1 interrupt has only one restart location, 0038H.

Mode 2 Interrupt Operation. This interrupt mode has been designed to utilize most effectively the capabilities of the Z80 microprocessor and its associated peripheral family. The interrupting peripheral device selects the starting address of the interrupt service routine. It does this by placing an 8-bit vector on the data bus during the interrupt acknowledge cycle. The CPU forms a pointer using this byte as the lower 8 bits and the contents of the I register as the upper 8 bits. This points to an entry in a table of addresses for interrupt service routines. The CPU then jumps to the routine at that address. This flexibility in selecting the interrupt service routine address allows the peripheral device to use several different types of service routines. These routines may be located at any available location in memory. Since the interrupting device supplies the low-order byte of the 2-byte vector, bit 0 (A_0) must be a zero.

Interrupt Priority (Daisy Chaining and Nested Interrupts). The interrupt priority of each peripheral device is determined by its physical location within a daisy-chain configuration. Each device in the chain has an interrupt enable input line (IEI) and an interrupt enable output line (IEO), which is fed to the next lower priority device. The first device in the daisy chain has its IEI input hardwired to a High level. The first device has highest priority, while each succeeding device has a corresponding lower priority. This arrangement permits the CPU to select the highest priority interrupt from several simultaneously interrupting peripherals.

The interrupting device disables its IEO line to the next lower priority peripheral until it has been serviced. After servicing, its IEO line is raised, allowing lower priority peripherals to demand interrupt servicing.

The Z80 CPU will nest (queue) any pending interrupts or interrupts received while a selected peripheral is being serviced.

Interrupt Enable/Disable Operation. Two flip-flops, IFF_1 and IFF_2, referred to in the register description, are used to signal the CPU interrupt status. Operation of the two flip-flops is described in Table 2. For more details, refer to the *Z80 CPU Technical Manual* (03-0029-01) and *Z80 Assembly Language Programming Manual* (03-0002-01).

Table 2. State of Flip-Flops

Action	IFF_1	IFF_2	Comments
CPU Reset	0	0	Maskable interrupt INT disabled
DI instruction execution	0	0	Maskable interrupt INT disabled
EI instruction execution	1	1	Maskable interrupt INT enabled
LD A,I instruction execution	•	•	$IFF_2 \rightarrow$ Parity flag
LD A,R instruction execution	•	•	$IFF_2 \rightarrow$ Parity flag
Accept NMI	0	IFF_1	$IFF_1 \rightarrow IFF_2$ (Maskable interrupt INT disabled)
RETN instruction execution	IFF_2	•	$IFF_2 \rightarrow IFF_1$ at completion of an NMI service routine.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

INSTRUCTION SET

The Z80 microprocessr has one of the most powerful and versatile instruction sets available in any 8-bit microprocessor. It includes such unique operations as a block move for fast, efficient data transfers within memory, or between memory and I/O. It also allows operations on any bit in any location in memory.

The following is a summary of the Z80 instruction set which shows the assembly language mnemonic, the operation, the flag status, and gives comments on each instruction. For an explanation of flag notations and symbols for mnemonic tables, see the Symbolic Notations section which follows these tables. The *Z80 CPU Technical Manual* (03-0029-01), the *Programmer's Reference Guide* (03-0012-03), and *Assembly Language Programming Manual* (03-0002-01) contain significantly more details for programming use.

The instructions are divided into the following categories:

- 8-bit loads
- 16-bit loads
- Exchanges, block transfers, and searches
- 8-bit arithmetic and logic operations
- General-purpose arithmetic and CPU control
- 16-bit arithmetic operations
- Rotates and shifts
- Bit set, reset, and test operations
- Jumps
- Calls, returns, and restarts
- Input and output operations

A variety of addressing modes are implemented to permit efficient and fast data transfer between various registers, memory locations, and input/output devices. These addressing modes include:

- Immediate
- Immediate extended
- Modified page zero
- Relative
- Extended
- Indexed
- Register
- Register indirect
- Implied
- Bit

8-BIT LOAD GROUP

Mnemonic	Symbolic Operation	Flags S	Z	H	P/V	N	C	Opcode 76	543	210	Hex	No. of Bytes	No. of M Cycles	No. of T States	Comments	
LD r, r'	r ← r'	•	•	X	•	X	•	•	•	01	r	r'		1	1	4	r, r'	Reg.
LD r, n	r ← n	•	•	X	•	X	•	•	•	00	r	110		2	2	7	000	B
											← n →						001	C
LD r, (HL)	r ← (HL)	•	•	X	•	X	•	•	•	01	r	110		1	2	7	010	D
LD r, (IX + d)	r ← (IX + d)	•	•	X	•	X	•	•	•	11	011	101	DD	3	5	19	011	E
										01	r	110					100	H
											← d →						101	L
LD r, (IY + d)	r ← (IY + d)	•	•	X	•	X	•	•	•	11	111	101	FD	3	5	19	111	A
										01	r	110						
											← d →							
LD (HL), r	(HL) ← r	•	•	X	•	X	•	•	•	01	110	r		1	2	7		
LD (IX + d), r	(IX + d) ← r	•	•	X	•	X	•	•	•	11	011	101	DD	3	5	19		
										01	110	r						
											← d →							
LD (IY + d), r	(IY + d) ← r	•	•	X	•	X	•	•	•	11	111	101	FD	3	5	19		
										01	110	r						
											← d →							
LD (HL), n	(HL) ← n	•	•	X	•	X	•	•	•	00	110	110	36	2	3	10		
											← n →							
LD (IX + d), n	(IX + d) ← n	•	•	X	•	X	•	•	•	11	011	101	DD	4	5	19		
										00	110	110	36					
											← d →							
											← n →							

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

8-BIT LOAD GROUP (Continued)

Mnemonic	Symbolic Operation	S	Z	H	P/V	N	C	76	543	210	Hex	No. of Bytes	No. of M Cycles	No. of T States	Comments
LD (IY + d), n	(IY + d) ← n	•	•	X	X	•	•	11	111	101	FD	4	5	19	
								00	110	110	36				
									← d →						
									← n →						
LD A, (BC)	A ← (BC)	•	•	X	•	X	•	•	•	00	001	010	0A	1	2	7	
LD A, (DE)	A ← (DE)	•	•	X	•	X	•	•	•	00	011	010	1A	1	2	7	
LD A, (nn)	A ← (nn)	•	•	X	•	X	•	•	•	00	111	010	3A	3	4	13	
									← n →						
									← n →						
LD (BC), A	(BC) ← A	•	•	X	•	X	•	•	•	00	000	010	02	1	2	7	
LD (DE), A	(DE) ← A	•	•	X	•	X	•	•	•	00	010	010	12	1	2	7	
LD (nn), A	(nn) ← A	•	•	X	•	X	•	•	•	00	110	010	32	3	4	13	
									← n →						
									← n →						
LD A, I	A ← I	‡	‡	X	0	X	IFF	0	•	11	101	101	ED	2	2	9	
										01	010	111	57				
LD A, R	A ← R	‡	‡	X	0	X	IFF	0	•	11	101	101	ED	2	2	9	
										01	011	111	5F				
LD I, A	I ← A	•	•	X	•	X	•	•	•	11	101	101	ED	2	2	9	
										01	000	111	47				
LD R, A	R ← A	•	•	X	•	X	•	•	•	11	101	101	ED	2	2	9	
										01	001	111	4F				

NOTE: IFF, the content of the interrupt enable flip-flop, (IFF_2), is copied into the P/V flag.

16-BIT LOAD GROUP

Mnemonic	Symbolic Operation	S	Z	H	P/V	N	C	76	543	210	Hex	No. of Bytes	No. of M Cycles	No. of T States	Comments	
LD dd, nn	dd ← nn	•	•	X	•	X	•	•	•	00	dd0	001		3	3	10	dd	Pair
											← n →						00	BC
											← n →						01	DE
LD IX, nn	IX ← nn	•	•	X	•	X	•	•	•	11	011	101	DD	4	4	14	10	HL
										00	100	001	21				11	SP
											← n →							
											← n →							
LD IY, nn	IY ← nn	•	•	X	•	X	•	•	•	11	111	101	FD	4	4	14		
										00	100	001	21					
											← n →							
											← n →							
LD HL, (nn)	H ← (nn + 1)	•	•	X	•	X	•	•	•	00	101	010	2A	3	5	16		
	L ← (nn)										← n →							
											← n →							
LD dd, (nn)	dd_H ← (nn + 1)	•	•	X	•	X	•	•	•	11	101	101	ED	4	6	20		
	dd_L ← (nn)									01	dd1	011						
											← n →							
											← n →							

NOTE: $(PAIR)_H$, $(PAIR)_L$ refer to high order and low order eight bits of the register pair respectively. e.g., BC_L = C, AF_H = A.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

16-BIT LOAD GROUP (Continued)

Mnemonic	Symbolic Operation	S	Z	H	P/V	N	C	Opcode 76	543	210	Hex	No. of Bytes	No. of M Cycles	No. of T States	Comments
LD IX, (nn)	$IX_H \leftarrow (nn+1)$	•	•	X	•	X	•	•	•	11	011	101	DD	4	6	20	
	$IX_L \leftarrow (nn)$									00	101	010	2A				
											← n →						
											← n →						
LD IY, (nn)	$IY_H \leftarrow (nn+1)$	•	•	X	•	X	•	•	•	11	111	101	FD	4	6	20	
	$IY_L \leftarrow (nn)$									00	101	010	2A				
											← n →						
											← n →						
LD (nn), HL	$(nn+1) \leftarrow H$	•	•	X	•	X	•	•	•	00	100	010	22	3	5	16	
	$(nn) \leftarrow L$										← n →						
											← n →						
LD (nn), dd	$(nn+1) \leftarrow dd_H$	•	•	X	•	X	•	•	•	11	101	101	ED	4	6	20	
	$(nn) \leftarrow dd_L$									01	dd0	011					
											← n →						
											← n →						
LD (nn), IX	$(nn+1) \leftarrow IX_H$	•	•	X	•	X	•	•	•	11	011	101	DD	4	6	20	
	$(nn) \leftarrow IX_L$									00	100	010	22				
											← n →						
											← n →						
LD (nn), IY	$(nn+1) \leftarrow IY_H$	•	•	X	•	X	•	•	•	11	111	101	FD	4	6	20	
	$(nn) \leftarrow IY_L$									00	100	010	22				
											← n →						
											← n →						
LD SP, HL	$SP \leftarrow HL$	•	•	X	•	X	•	•	•	11	111	001	F9	1	1	6	
LD SP, IX	$SP \leftarrow IX$	•	•	X	•	X	•	•	•	11	011	101	DD	2	2	10	
										11	111	001	F9				
LD SP, IY	$SP \leftarrow IY$	•	•	X	•	X	•	•	•	11	111	101	FD	2	2	10	
										11	111	001	F9				
PUSH qq	$(SP-2) \leftarrow qq_L$	•	•	X	•	X	•	•	•	11	qq0	101		1	3	11	
	$(SP-1) \leftarrow qq_H$																
	$SP \leftarrow SP-2$																
PUSH IX	$(SP-2) \leftarrow IX_L$	•	•	X	•	X	•	•	•	11	011	101	DD	2	4	15	
	$(SP-1) \leftarrow IX_H$									11	100	101	E5				
	$SP \leftarrow SP-2$																
PUSH IY	$(SP-2) \leftarrow IY_L$	•	•	X	•	X	•	•	•	11	111	101	FD	2	4	15	
	$(SP-1) \leftarrow IY_H$									11	100	101	E5				
	$SP \leftarrow SP-2$																
POP qq	$qq_H \leftarrow (SP+1)$	•	•	X	•	X	•	•	•	11	qq0	001		1	3	10	
	$qqL \leftarrow (SP)$																
	$SP \leftarrow SP+2$																
POP IX	$IX_H \leftarrow (SP+1)$	•	•	X	•	X	•	•	•	11	011	101	DD	2	4	14	
	$IX_L \leftarrow (SP)$									11	100	001	E1				
	$SP \leftarrow SP+2$																
POP IY	$IY_H \leftarrow (SP+1)$	•	•	X	•	X	•	•	•	11	111	101	FD	2	4	14	
	$IY_L \leftarrow (SP)$									11	100	001	E1				
	$SP \leftarrow SP+2$																

qq	Pair
00	BC
01	DE
10	HL
11	AF

NOTE: $(PAIR)_H$, $(PAIR)_L$ refer to high order and low order eight bits of the register pair respectively, e.g., BC_L = C, AF_H = A.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

EXCHANGE, BLOCK TRANSFER, BLOCK SEARCH GROUPS

Mnemonic	Symbolic Operation	S	Z	H	P/V	N	C	76	543	210	Hex	No. of Bytes	No. of M Cycles	No. of T States	Comments
EX DE, HL	DE ↔ HL	•	•	X	•	X	•	•	•	11	101	011	EB	1	1	4	
EX AF, AF′	AF ↔ AF′	•	•	X	•	X	•	•	•	00	001	000	08	1	1	4	
EXX	BC ↔ BC′ DE ↔ DE′ HL ↔ HL′	•	•	X	•	X	•	•	•	11	011	001	D9	1	1	4	Register bank and auxiliary register bank exchange
EX (SP), HL	H ↔ (SP + 1) L ↔ (SP)	•	•	X	•	X	•	•	•	11	100	011	E3	1	5	19	
EX (SP), IX	IX_H ↔ (SP + 1) IX_L ↔ (SP)	•	•	X	•	X	•	•	•	11 11	011 100	101 011	DD E3	2	6	23	
EX (SP), IY	IY_H ↔ (SP + 1) IYL ↔ (SP)	•	•	X	•	X	•	•	•	11 11	111 100	101 011	FD E3	2	6	23	
LDI	(DE) ↔ (HL) DE ↔ DE + 1 HL ↔ HL + 1 BC ↔ BC − 1	•	•	X	0	X	①	0	•	11 10	101 100	101 000	ED A0	2	4	16	Load (HL) into (DE), increment the pointers and decrement the byte counter (BC)
LDIR	(DE) ↔ (HL) DE ↔ DE + 1 HL ↔ HL + 1 BC ↔ BC − 1 Repeat until BC = 0	•	•	X	0	X	②	0	•	11 10	101 110	101 000	ED B0	2 2	5 4	21 16	If BC ≠ 0 If BC = 0
LDD	(DE) ↔ (HL) DE ↔ DE − 1 HL ↔ HL − 1 BC ↔ BC − 1	•	•	X	0	X	①	0	•	11 10	101 101	101 000	ED A8	2	4	16	
LDDR	(DE) ↔ (HL) DE ↔ DE − 1 HL ↔ HL − 1 BC ↔ BC − 1 Repeat until BC = 0	•	•	X	0	X	②	0	•	11 10	101 111	101 000	ED B8	2 2	5 4	21 16	If BC ≠ 0 If BC = 0
CPI	A − (HL) HL ↔ HL + 1 BC ↔ BC − 1	‡	‡	X	‡	X	①	1	•	11 10	101 100	101 001	ED A1	2	4	16	

NOTE: ① P/V flag is 0 if the result of BC − 1 = 0, otherwise P/V = 1.
② P/V flag is 0 only at completion of instruction.
③ Z flag is 1 if A = HL, otherwise Z = 0.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

EXCHANGE, BLOCK TRANSFER, BLOCK SEARCH GROUPS (Continued)

Mnemonic	Symbolic Operation	S	Z	H	P/V	N	C	Opcode 76	543	210	Hex	No. of Bytes	No. of M Cycles	No. of T States	Comments
CPIR	A − (HL)	↕	③ ↕	X	↕	① X	↕	1	•	11	101	101	ED	2	5	21	If BC ≠ 0 and A ≠ (HL)
	HL ← HL + 1 BC ← BC − 1 Repeat until A = (HL) or BC = 0							10	110	001	B1	2	4	16	If BC = 0 or A = (HL).
CPD	A − (HL)	↕	③ ↕	X	↕	① X	↕	1	•	11	101	101	ED	2	4	16	
	HL ← HL − 1 BC ← BC − 1							10	101	001	A9				
CPDR	A − (HL)	↕	③ ↕	X	↕	① X	↕	1	•	11	101	101	ED	2	5	21	If BC ≠ 0 and A ≠ (HL)
	HL ← HL − 1 BC ← BC − 1 Repeat until A = (HL) or BC = 0							10	111	001	B9	2	4	16	If BC = 0 or A = (HL)

NOTE: ① P/V flag is 0 if the result of BC − 1 = 0, otherwise P/V = 1.
② P/V flag is 0 only at completion of instruction.
③ Z flag is 1 if A = (HL), otherwise Z = 0.

8-BIT ARITHMETIC AND LOGICAL GROUP

Mnemonic	Symbolic Operation	S	Z	H	P/V	N	C	Opcode 76	543	210	Hex	No. of Bytes	No. of M Cycles	No. of T States	Comments
ADD A, r	A ← A + r	↕	↕	X	↕	V	0	↕	10	000	r		1	1	4	r Reg.
ADD A, n	A ← A + n	↕	↕	X	↕	V	0	↕	11	000	110		2	2	7	000 B
									← n →							001 C
																010 D
ADD A, (HL)	A ← A + (HL)	↕	↕	X	↕	V	0	↕	10	000	110		1	2	7	011 E
ADD A, (IX + d)	A ← A + (IX + d)	↕	↕	X	↕	V	0	↕	11	011	101	DD	3	5	19	100 H
									10	000	110					101 L
									← d →							111 A
ADD A, (IY + d)	A ← A + (IY + d)	↕	↕	X	↕	V	0	↕	11	111	101	FD	3	5	19	
									10	000	110					
									← d →							
ADC A, s	A ← A + s + CY	↕	↕	X	↕	V	0	↕		001						s is any of r, n, (HL), (IX + d), (IY + d) as shown for ADD instruction. The indicated bits replace the 000 in the ADD set above.
SUB s	A ← A − s	↕	↕	X	↕	V	1	↕		010						
SBC A, s	A ← A − s − CY	↕	↕	X	↕	V	1	↕		011						
AND s	A ← A ∧ s	↕	↕	X	1	X	P	0	0	100						
OR s	A ← A ∨ s	↕	↕	X	0	X	P	0	0	110						
XOR s	A ← A ⊕ s	↕	↕	X	0	X	P	0	0	101						
CP s	A − s	↕	↕	X	↕	X	V	1	↕	111						

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

8-BIT ARITHMETIC AND LOGICAL GROUP (Continued)

Mnemonic	Symbolic Operation	S	Z		H		P/V	N	C	Opcode 76	543	210	Hex	No. of Bytes	No. of M Cycles	No. of T States	Comments
INC r	r ← r + 1	‡	‡	X	‡	X	V	0	•	00	r	100		1	1	4	
INC (HL)	(HL) ←																
	(HL) + 1	‡	‡	X	‡	X	V	0	•	00	110	100		1	3	11	
INC (IX + d)	(IX + d) ←	‡	‡	X	‡	X	V	0	•	11	011	101	DD	3	6	23	
	(IX + d) + 1									00	110	100					
											← d →						
INC (IY + d)	(IY + d) ←	‡	‡	X	‡	X	V	0	•	11	111	101	FD	3	6	23	
	(IY + d) + 1									00	110	100					
											← d →						
DEC m	m ← m − 1	‡	‡	X	‡	X	V	1	•			101					

NOTE: m is any of r, (HL), (IX + d), (IY + d) as shown for INC. DEC same format and states as INC. Replace 100 with 101 in opcode.

GENERAL-PURPOSE ARITHMETIC AND CPU CONTROL GROUPS

Mnemonic	Symbolic Operation	S	Z		H		P/V	N	C	Opcode 76	543	210	Hex	No. of Bytes	No. of M Cycles	No. of T States	Comments
DAA	@	‡	‡	X	‡	X	P	•	‡	00	100	111	27	1	1	4	Decimal adjust accumulator.
CPL	A ← A	•	•	X	1	X	•	1	•	00	101	111	2F	1	1	4	Complement accumulator (one's complement).
NEG	A ← 0 − A	‡	‡	X	‡	X	V	1	‡	11	101	101	ED	2	2	8	Negate acc. (two's complement).
										01	000	100	44				
CCF	CY ← CY	•	•	X	X	X	•	0	‡	00	111	111	3F	1	1	4	Complement carry flag.
SCF	CY ← 1	•	•	X	0	X	•	0	1	00	110	111	37	1	1	4	Set carry flag.
NOP	No operation	•	•	X	•	X	•	•	•	00	000	000	00	1	1	4	
HALT	CPU halted	•	•	X	•	X	•	•	•	01	110	110	76	1	1	4	
DI ★	IFF ← 0	•	•	X	•	X	•	•	•	11	110	011	F3	1	1	4	
EI ★	IFF ← 1	•	•	X	•	X	•	•	•	11	111	011	FB	1	1	4	
IM 0	Set interrupt	•	•	X	•	X	•	•	•	11	101	101	ED	2	2	8	
	mode 0									01	000	110	46				
IM 1	Set interrupt	•	•	X	•	X	•	•	•	11	101	101	ED	2	2	8	
	mode 1									01	010	110	56				
IM 2	Set interrupt	•	•	X	•	X	•	•	•	11	101	101	ED	2	2	8	
	mode 2									01	011	110	5E				

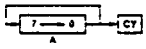
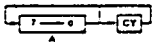
NOTES: @ converts accumulator content into packed BCD following add or subtract with packed BCD operands.
IFF indicates the interrupt enable flip-flop.
CY indicates the carry flip-flop.
★ indicates interrupts are not sampled at the end of EI or DI.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

16-BIT ARITHMETIC GROUP

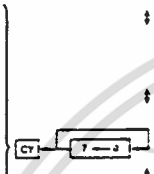
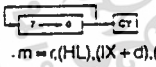
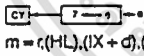
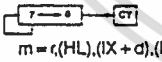
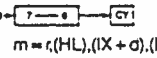
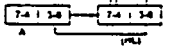
Mnemonic	Symbolic Operation	S	Z	H	P/V	N	C	76	543	210	Hex	No. of Bytes	No. of M Cycles	No. of T States	Comments
ADD HL, ss	HL ← HL + ss	•	•	X	X	X	•	0	‡	00	ss1	001		1	3	11	ss Reg. 00 BC 01 DE
ADC HL, ss	HL ← HL + ss + CY	‡	‡	X	X	X	V	0	‡	11 01	101 ss1	101 010	ED	2	4	15	10 HL 11 SP
SBC HL, ss	HL ← HL − ss − CY	‡	‡	X	X	X	V	1	‡	11 01	101 ss0	101 010	ED	2	4	15	
ADD IX, pp	IX ← IX + pp	•	•	X	X	X	•	0	‡	11 01	011 pp1	101 001	DD	2	4	15	pp Reg. 00 BC 01 DE 10 IX 11 SP
ADD IY, rr	IY ← IY + rr	•	•	X	X	X	•	0	‡	11 00	111 rr1	101 001	FD	2	4	15	rr Reg. 00 BC 01 DE 10 IY 11 SP
INC ss	ss ← ss + 1	•	•	X	•	X	•	•	•	00	ss0	011		1	1	6	
INC IX	IX ← IX + 1	•	•	X	•	X	•	•	•	11 00	011 100	101 011	DD 23	2	2	10	
INC IY	IY ← IY + 1	•	•	X	•	X	•	•	•	11 00	111 100	101 011	FD 23	2	2	10	
DEC ss	ss ← ss − 1	•	•	X	•	X	•	•	•	00	ss1	011		1	1	6	
DEC IX	IX ← IX − 1	•	•	X	•	X	•	•	•	11 00	011 101	101 011	DD 2B	2	2	10	
DEC IY	IY ← IY − 1	•	•	X	•	X	•	•	•	11 00	111 101	101 011	FD 2B	2	2	10	

ROTATE AND SHIFT GROUP

Mnemonic	Symbolic Operation	S	Z	H	P/V	N	C	76	543	210	Hex	No. of Bytes	No. of M Cycles	No. of T States	Comments
RLCA		•	•	X	0	X	•	0	‡	00	000	111	07	1	1	4	Rotate left circular accumulator.
RLA		•	•	X	0	X	•	0	‡	00	010	111	17	1	1	4	Rotate left accumulator.
RRCA		•	•	X	0	X	•	0	‡	00	001	111	0F	1	1	4	Rotate right circular accumulator.
RRA		•	•	X	0	X	•	0	‡	00	011	111	1F	1	1	4	Rotate right accumulator.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ROTATE AND SHIFT GROUP (Continued)

Symbolic Mnemonic	Operation	S	Z	H	P/V	N	C	Opcode 76	543	210	Hex	No. of Bytes	No. of M Cycles	No. of T States	Comments
RLC r		↕	↕	X	0	X	P	0	• ↕	11	001	011	CB	2	2	8	Rotate left. circular register r.
								00	[000]	r					
RLC (HL)		↕	↕	X	0	X	P	0	↕	11	001	011	CB	2	4	15*	
								00	000	110					
RLC (IX + d)		↕	↕	X	0	X	P	0	↕	11	011	101	DD	4	6	23	
	r,(HL),(IX + d),(IY + d)							11	001	011	CB				
									– d –						
								00	[000]	110					
RLC (IY + d)		↕	↕	X	0	X	P	0	↕	11	111	101	FD	4	6	23	
								11	001	011	CB				
									– d –						
								00	[000]	110					
RL m		↕	↕	X	0	X	P	0	↕		[010]						Instruction format and states are as shown for RLCs. To form new opcode replace [000] or RLCs with shown code.
	m = r,(HL),(IX + d),(IY + d)														
RRC m		↕	↕	X	0	X	P	0	↕		[001]						
	m = r,(HL),(IX + d),(IY + d)														
RR m		↕	↕	X	0	X	P	0	↕		[011]						
	m = r,(HL),(IX + d),(IY + d)														
SLA m		↕	↕	X	0	X	P	0	↕		[100]						
	m = r,(HL),(IX + d),(IY + d)														
SRA m		↕	↕	X	0	X	P	0	↕		[101]						
	m = r,(HL),(IX + d),(IY + d)														
SRL m		↕	↕	X	0	X	P	0	↕		[111]						
	m = r,(HL),(IX + d),(IY + d)														
RLD		↕	↕	X	0	X	P	0	•	11	101	101	ED	2	5	18	Rotate digit left and right between the accumulator and location (HL). The content of the upper half of the accumulator is unaffected.
								01	101	111	6F				
RRD		↕	↕	X	0	X	P	0	•	11	101	101	ED	2	5	18	
								01	100	111	67				

r	Reg.
000	B
001	C
010	D
011	E
001	H
101	L
111	A

เอกสารนี้เป็นเอกสารสงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

BIT SET, RESET AND TEST GROUP

Mnemonic	Symbolic Operation	S	Z	H	P/V	N	C	76	543	210	Hex	No. of Bytes	No. of M Cycles	No. of T States	Comments
BIT b, r	$Z \leftarrow r_b$	X	‡	X	1	X	X	0	•	11	001	011	CB	2	2	8	r Reg.
										01	b	r					000 B
BIT b, (HL)	$Z \leftarrow (HL)_b$	X	‡	X	1	X	X	0	•	11	001	011	CB	2	3	12	001 C
										01	b	110					010 D
BIT b,(IX + d)$_b$	$Z \leftarrow (IX+d)_b$	X	‡	X	1	X	X	0	•	11	011	101	DD	4	5	20	011 E
										11	001	011	CB				100 H
											←d→						101 L
										01	b	110					111 A
																	b Bit Tested
BIT b, (IY + d)$_b$	$Z \leftarrow (IY+d)_b$	X	‡	X	1	X	X	0	•	11	111	101	FD	4	5	20	000 0
										11	001	011	CB				001 1
											←d→						010 2
										01	b	110					011 3
SET b, r	$r_b \leftarrow 1$	•	•	X	•	X	•	•	•	11	001	011	CB	2	2	8	100 4
										[11]	b	r					101 5
SET b, (HL)	$(HL)_b \leftarrow 1$	•	•	X	•	X	•	•	•	11	001	011	CB	2	4	15	110 6
										[11]	b	110					111 7
SET b, (IX + d)	$(IX+d)_b \leftarrow 1$	•	•	X	•	X	•	•	•	11	011	101	DD	4	6	23	
										11	001	011	CB				
											←d→						
										[11]	b	110					
SET b, (IY + d)	$(IY+d)_b \leftarrow 1$	•	•	X	•	X	•	•	•	11	111	101	FD	4	6	23	
										11	001	011	CB				
											←d→						
										[11]	b	110					
RES b, m	$m_b \leftarrow 0$ m≡r, (HL), (IX + d), (IY + d)	•	•	X	•	X	•	•	•	[10]							To form new opcode replace [11] of SET b, s with [10]. Flags and time states for SET instruction.

NOTE: The notation m_b indicates location m, bit b (0 to 7).

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

JUMP GROUP

Mnemonic	Symbolic Operation	S	Z	H	P/V	N	C	76	543	210	Hex	No. of Bytes	No. of M Cycles	No. of T States	Comments
JP nn	PC ← nn	•	•	X	•	X	•	•	•	11	000	011	C3	3	3	10	cc Condition
											← n →						000 NZ (non-zero)
											← n →						001 Z (zero)
JP cc, nn	If condition cc	•	•	X	•	X	•	•	•	11	cc	010		3	3	10	010 NC (non-carry)
	is true PC ← nn,										← n →						011 C (carry)
	otherwise										← n →						100 PO (parity odd)
	continue																101 PE (parity even)
JR e	PC ← PC + e	•	•	X	•	X	•	•	•	00	011	000	18	2	3	12	110 P (sign positive)
											← e − 2 →						111 M (sign negative)
JR C, e	If C = 0,	•	•	X	•	X	•	•	•	00	111	000	38	2	2	7	If condition not met.
	continue										← e − 2 →						
	If C = 1,													2	3	12	If condition is met.
	PC ← PC + e																
JR NC, e	IF C = 1,	•	•	X	•	X	•	•	•	00	110	000	30	2	2	7	If condition not met.
	continue										← e − 2 →						
	If C = 0,													2	3	12	If condition is met.
	PC ← PC + e																
JP Z, e	If Z = 0	•	•	X	•	X	•	•	•	00	101	000	28	2	2	7	If condition not met.
	continue										← e − 2 →						
	If Z = 1,													2	3	12	If condition is met.
	PC ← PC + e																
JR NZ, e	If Z = 1,	•	•	X	•	X	•	•	•	00	100	000	20	2	2	7	If condition not met.
	continue										← e − 2 →						
	If Z = 0,													2	3	12	If condition is met.
	PC ← PC + e																
JP (HL)	PC ← HL	•	•	X	•	X	•	•	•	11	101	001	E9	1	1	4	
JP (IX)	PC ← IX	•	•	X	•	X	•	•	•	11	011	101	DD	2	2	8	
										11	101	001	E9				
JP (IY)	PC ← IY	•	•	X	•	X	•	•	•	11	111	101	FD	2	2	8	
										11	101	001	E9				
DJNZ, e	B ← B − 1	•	•	X	•	X	•	•	•	00	010	000	10	2	2	8	If B = 0
	If B = 0,										← e − 2 →						
	continue																
	If B≠0,													2	3	13	If B≠0.
	PC ← PC + e																

NOTES: e represents the extension in the relative addressing mode.
e is a signal two's complement number in the range < −126, 129 >.
e − 2 in the opcode provides an effective address of pc + e as PC is incremented by 2 prior to the addition of e.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

CALL AND RETURN GROUP

Mnemonic	Symbolic Operation	S	Z	H	P/V	N	C	76	543	210	Hex	No. of Bytes	No. of M Cycles	No. of T States	Comments
CALL nn	$(SP-1)\leftarrow PC_H$ $(SP-2)\leftarrow PC_L$ $PC \leftarrow nn$	•	•	X	•	X	•	•	•	11	001 ← n → ← n →	101	CD	3	5	17	
CALL cc,nn	If condition cc is false	•	•	X	•	X	•	•	•	11	cc ← n → ← n →	100		3	3	10	If cc is false.
	continue, otherwise same as CALL nn													3	5	17	If cc is true.
RET	$PC_L \leftarrow (SP)$ $PC_H \leftarrow (SP+1)$	•	•	X	•	X	•	•	•	11	001	001	C9	1	3	10	
RET cc	If condition cc is false	•	•	X	•	X	•	•	•	11	cc	000		1	1	5	If cc is false.
	continue, otherwise same as RET													1	3	11	If cc is true.
RETI	Return from interrupt	•	•	X	•	X	•	•	•	11 01	101 001	101 101	ED 4D	2	4	14	
RETN[1]	Return from non-maskable interrupt	•	•	X	•	X	•	•	•	11 01	101 000	101 101	ED 45	2	4	14	
RST p	$(SP-1)\leftarrow PC_H$ $(SP-2)\leftarrow PC_L$ $PC_H \leftarrow 0$ $PC_L \leftarrow p$	•	•	X	•	X	•	•	•	11	t	111		1	3	11	

cc	Condition
000	NZ (non-zero)
001	Z (zero)
010	NC (non-carry)
011	C (carry)
100	PO (parity odd)
101	PE (parity even)
110	P (sign positive)
111	M (sign negative)

t	p
000	00H
001	08H
010	10H
011	18H
100	20H
101	28H
110	30H
111	38H

NOTE: [1]RETN loads $IFF_2 \rightarrow IFF_1$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

INPUT AND OUTPUT GROUP

Mnemonic	Symbolic Operation	S	Z	H	P/V	N	C	76	543	210	Hex	No. of Bytes	No. of M Cycles	No. of T States	Comments
IN A, (n)	A ← (n)	•	•	X	•	X	•	•	•	11	011 ←n→	01	DB	2	3	11	n to $A_0 \sim A_7$ Acc. to $A_8 \sim A_{15}$
IN r, (C)	r ← (C) if r = 110 only the flags will be affected	‡	‡	X	‡	X	P	0	•	11 01	101 r	101 000	ED	2	3	12	C to $A_0 \sim A_7$ B to $A_8 \sim A_{15}$
INI	(HL) ← (C) B ← B – 1 HL ← HL + 1	X	‡ ①	X	X	X	X	1	X	11 10	101 100	101 010	ED A2	2	4	16	C to $A_0 \sim A_7$ B to $A_8 \sim A_{15}$
INIR	(HL) ← (C) B ← B – 1 HL ← HL + 1 Repeat until B = 0	X	1 ②	X	X	X	X	1	X	11 10	101 110	101 010	ED B2	2 2	5 (If B≠0) 4 (If B = 0)	21 16	C to $A_0 \sim A_7$ B to $A_8 \sim A_{15}$
IND	(HL) ← (C) B ← B – 1 HL ← HL – 1	X	‡ ①	X	X	X	X	1	X	11 10	101 101	101 010	ED AA	2	4	16	C to $A_0 \sim A_7$ B to $A_8 \sim A_{15}$
INDR	(HL) ← (C) B ← B – 1 HL ← HL – 1 Repeat until B = 0	X	1 ②	X	X	X	X	1	X	11 10	101 111	101 010	ED BA	2 2	5 (If B≠0) 4 (If B = 0)	21 16	C to $A_0 \sim A_7$ B to $A_8 \sim A_{15}$
OUT (n), A	(n) ← A	•	•	X	•	X	•	•	•	11	010 ←n→	011	D3	2	3	11	n to $A_0 \sim A_7$ Acc. to $A_8 \sim A_{15}$
OUT (C), r	(C) ← r	•	•	X	•	X	•	•	•	11 01	101 r	101 001	ED	2	3	12	C to $A_0 \sim A_7$ B to $A_8 \sim A_{15}$
OUTI	(C) ← (HL) B ← B – 1 HL ← HL + 1	X	‡ ①	X	X	X	X	1	X	11 10	101 100	101 011	ED A3	2	4	16	C to $A_0 \sim A_7$ B to $A_8 \sim A_{15}$
OTIR	(C) ← (HL) B ← B – 1 HL ← HL + 1 Repeat until B = 0	X	1 ②	X	X	X	X	1	X	11 10	101 110	101 011	ED B3	2 2	5 (If B≠0) 4 (If B = 0)	21 16	C to $A_0 \sim A_7$ B to $A_8 \sim A_{15}$
OUTD	(C) ← (HL) B ← B – 1 HL ← HL – 1	X	‡ ①	X	X	X	X	1	X	11 10	101 101	101 011	ED AB	2	4	16	C to $A_0 \sim A_7$ B to $A_8 \sim A_{15}$
OTDR	(C) ← (HL) B ← B – 1 HL ← HL – 1 Repeat until B = 0	X	1 ②	X	X	X	X	1	X	11 10	101 111	101 011	ED BB	2 2	5 (If B≠0) 4 (If B = 0)	21 16	C to $A_0 \sim A_7$ B to $A_8 \sim A_{15}$

NOTES: ① If the result of B – 1 is zero, the Z flag is set; otherwise it is reset.
② Z flag is set upon instruction completion only.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

SUMMARY OF FLAG OPERATION

Instructions	D_7 S	Z		H		P/V	N	D_0 C	Comments
ADD A, s; ADC A, s	‡	‡	X	‡	X	V	0	‡	8-bit add or add with carry.
SUB s; SBC A, s; CP s; NEG	‡	‡	X	‡	X	V	1	‡	8-bit subtract, subtract with carry, compare and negate accumulator.
AND s	‡	‡	X	1	X	P	0	0	Logical operation.
OR s, XOR s	‡	‡	X	0	X	P	0	0	Logical operation.
INC s	‡	‡	X	‡	X	V	0	•	8-bit increment.
DEC s	‡	‡	X	‡	X	V	1	•	8-bit decrement.
ADD DD, ss	•	•	X	X	X	•	0	‡	16-bit add.
ADC HL, ss	‡	‡	X	X	X	V	0	‡	16-bit add with carry.
SBC HL, ss	‡	‡	X	X	X	V	1	‡	16-bit subtract with carry.
RLA; RLCA; RRA; RRCA	•	•	X	0	X	•	0	‡	Rotate accumulator.
RL m; RLC m; RR m; RRC m; SLA m; SRA m; SRL m	‡	‡	X	0	X	P	0	‡	Rotate and shift locations.
RLD; RRD	‡	‡	X	0	X	P	0	•	Rotate digit left and right.
DAA	‡	‡	X	‡	X	P	•	‡	Decimal adjust accumulator.
CPL	•	•	X	1	X	•	1	•	Complement accumulator.
SCF	•	•	X	0	X	•	0	1	Set carry.
CCF	•	•	X	X	X	•	0	‡	Complement carry.
IN r (C)	‡	‡	X	0	X	P	0	•	Input register indirect.
INI; IND; OUTI; OUTD	X	‡	X	X	X	X	1	•	Block input and output. Z = 1 if B ≠ 0, otherwise Z = 0.
INIR; INDR; OTIR; OTDR	X	1	X	X	X	X	1	•	Block input and output. Z = 1 if B ≠ 0, otherwise Z = 0.
LDI; LDD	X	X	X	0	X	‡	0	•	Block transfer instructions. P/V = 1 if BC ≠ 0, otherwise P/V = 0.
LDIR; LDDR	X	X	X	0	X	0	0	•	Block transfer instructions. P/V = 1 if BC ≠ 0, otherwise P/V = 0.
CPI; CPIR; CPD; CPDR	X	‡	X	X	X	‡	1	•	Block search instructions. Z = 1 if A = (HL), otherwise Z = 0. P/V = 1 if BC ≠ 0, otherwise P/V = 0.
LD A, I; LD A, R	‡	‡	X	0	X	IFF	0	•	IFF, the content of the interrupt enable flip-flop, (IFF_2), is copied into the P/V flag.
BIT b, s	X	‡	X	1	X	X	0	•	The state of bit b of location s is copied into the Z flag.

SYMBOLIC NOTATION

Symbol	Operation
S	Sign flag. S = 1 if the MSB of the result is 1.
Z	Zero flag. Z = 1 if the result of the operation is 0.
P/V	Parity or overflow flag. Parity (P) and overflow (V) share the same flag. Logical operations affect this flag with the parity of the result while arithmetic operations affect this flag with the overflow of the result. If P/V holds parity: P/V = 1 if the result of the operation is even; P/V = 0 if result is odd. If P/V holds overflow, P/V = 1 if the result of the operation produced an overflow. If P/V does not hold overflow, P/V = 0.
H*	Half-carry flag. H = 1 if the add or subtract operation produced a carry into, or borrow from, bit 4 of the accumulator.
N*	Add/Subtract flag. N = 1 if the previous operation was a subtract.
C	Carry/Link flag. C = 1 if the operation produced a carry from the MSB of the operand or result.

Symbol	Operation
‡	The flag is affected according to the result of the operation.
•	The flag is unchanged by the operation.
0	The flag is reset by the operation.
1	The flag is set by the operation.
X	The flag is indeterminate.
V	P/V flag affected according to the overflow result of the operation.
P	P/V flag affected according to the parity result of the operation.
r	Any one of the CPU registers A, B, C, D, E, H, L.
s	Any 8-bit location for all the addressing modes allowed for the particular instruction.
ss	Any 16-bit location for all the addressing modes allowed for that instruction.
ii	Any one of the two index registers IX or IY.
R	Refresh counter.
n	8-bit value in range < 0, 255 >.
nn	16-bit value in range < 0, 65535 >.

*H and N flags are used in conjunction with the decimal adjust instruction (DAA) to properly correct the result into packed BCD format following addition or subtraction using operands with packed BCD format.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

PIN DESCRIPTIONS

A_0-A_{15}. *Address Bus* (output, active High, 3-state). A_0-A_{15} form a 16-bit address bus. The Address Bus provides the address for memory data bus exchanges (up to 64K bytes) and for I/O device exchanges.

BUSACK. *Bus Acknowledge* (output, active Low). Bus Acknowledge indicates to the requesting device that the CPU address bus, data bus, and control signals MREQ, IORQ, RD, and WR have entered their high-impedance states. The external circuitry can now control these lines.

BUSREQ. *Bus Request* (input, active Low). Bus Request has a higher priority than NMI and is always recognized at the end of the current machine cycle. BUSREQ forces the CPU address bus, data bus, and control signals MREQ, IORQ, RD, and WR to go to a high-impedance state so that other devices can control these lines. BUSREQ is normally wired-OR and requires an external pullup for these applications. Extended BUSREQ periods due to extensive DMA operations can prevent the CPU from properly refresning dynamic RAMs.

D_0-D_7. *Data Bus* (input/output, active High, 3-state). D_0-D_7 constitute an 8-bit bidirectional data bus, used for data exchanges with memory and I/O.

Halt. *Halt State* (output, active Low). HALT indicates that the CPU has executed a Halt instruction and is awaiting either a nonmaskable or a maskable interrupt (with the mask enabled) before operation can resume. While halted, the CPU executes NOPs to maintain memory refresh.

INT. *Interrupt Request* (input, active Low). Interrupt Request is generated by I/O devices. The CPU honors a request at the end of the current instruction if the internal software-controlled interrupt enable flip-flop (IFF) is enabled. INT is normally wired-OR and requires an external pullup for these applications.

IORQ. *Input/Output Request* (output, active Low, 3-state). IORQ indicates that the lower half of the address bus holds a valid I/O address for an I/O read or write operation. IORQ is also generated concurrently with M1 during an interrupt acknowledge cycle to indicate that an interrupt response vector can be placed on the data bus.

M1. *Machine Cycle One* (output, active Low). M1, together with MREQ, indicates that the current machine cycle is the opcode fetch cycle of an instruction execution. M1, together with IORQ, indicates an interrupt acknowledge cycle.

MREQ. *Memory Request* (output, active Low, 3-state). MREQ indicates that the address bus holds a valid address for a memory read or memory write operation.

NMI. *Non-Maskable Interrupt* (input, negative edge-triggered). NMI has a higher priority than INT. NMI is always recognized at the end of the current instruction, independent of the status of the interrupt enable flip-flop, and automatically forces the CPU to restart at location 0066H.

RD. *Read* (output, active Low, 3-state). RD indicates that the CPU wants to read data from memory or an I/O device. The addressed I/O device or memory should use this signal to gate data onto the CPU data bus.

RESET. *Reset* (input, active Low). RESET initializes the CPU as follows: it resets the interrupt enable flip-flop, clears the PC and Registers I and R, and sets the interrupt status to Mode 0. During reset time, the address and data bus go to a high-impedance state, and all control output signals go to the inactive state. Note that RESET must be active for a minimum of three full clock cycles before the reset operation is complete.

RFSH. *Refresh* (output, active Low). RFSH, together with MREQ, indicates that the lower seven bits of the system's address bus can be used as a refresh address to the system's dynamic memories.

WAIT. *Wait* (input, active Low). WAIT indicates to the CPU that the addressed memory or I/O devices are not ready for a data transfer. The CPU continues to enter a Wait state as long as this signal is active. Extended WAIT periods can prevent the CPU from refresning dynamic memory properly.

WR. *Write* (output, active Low, 3-state). WR indicates that the CPU data bus holds valid data to be stored at the addressed memory or I/O location.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

CPU TIMING

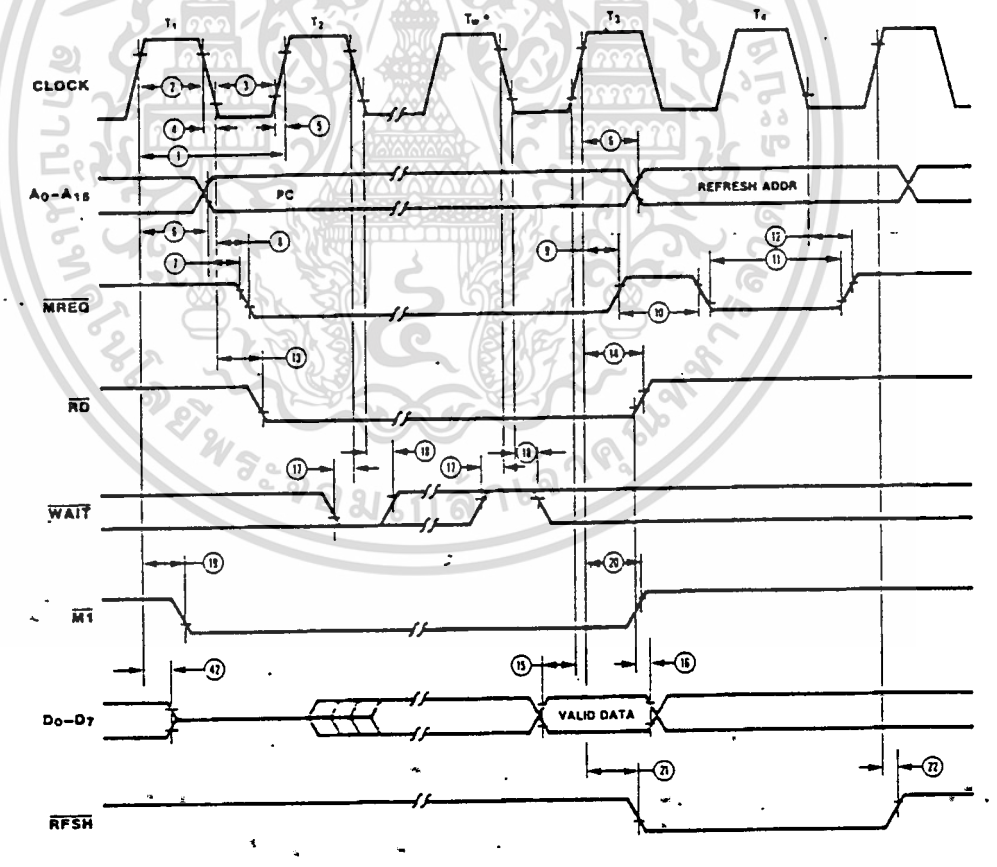
The Z80 CPU executes instructions by proceeding through a specific sequence of operations:

- Memory read or write
- I/O device read or write
- Interrupt acknowledge

The basic clock period is referred to as a T time or cycle, and three or more T cycles make up a machine cycle (M1, M2 or M3 for instance). Machine cycles can be extended either by the CPU automatically inserting one or more Wait states or by the insertion of one or more Wait states by the user.

Instruction Opcode Fetch. The CPU places the contents of the Program Counter (PC) on the address bus at the start of the cycle (Figure 5). Approximately one-half clock cycle later, $\overline{MREQ}$ goes active. When active, $\overline{RD}$ indicates that the memory data can be enabled onto the CPU data bus.

The CPU samples the $\overline{WAIT}$ input with the falling edge of clock state T_2. During clock states T_3 and T_4 of an $\overline{M1}$ cycle, dynamic RAM refresh can occur while the CPU starts decoding and executing the instruction. When the Refresh Control signal becomes active, refreshing of dynamic memory can take place.



*T_W = Wait cycle added when necessary for slow ancillary devices.

Figure 5. Instruction Opcode Fetch

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Memory Read or Write Cycles. Figure 6 shows the timing of memory read or write cycles other than an opcode fetch ($\overline{M1}$) cycle. The $\overline{MREQ}$ and $\overline{RD}$ signals function exactly as in the fetch cycle. In a memory write cycle, $\overline{MREQ}$ also becomes active when the address bus is stable. The $\overline{WR}$ line is active when the data bus is stable, so that it can be used directly as an R/$\overline{W}$ pulse to most semiconductor memories.

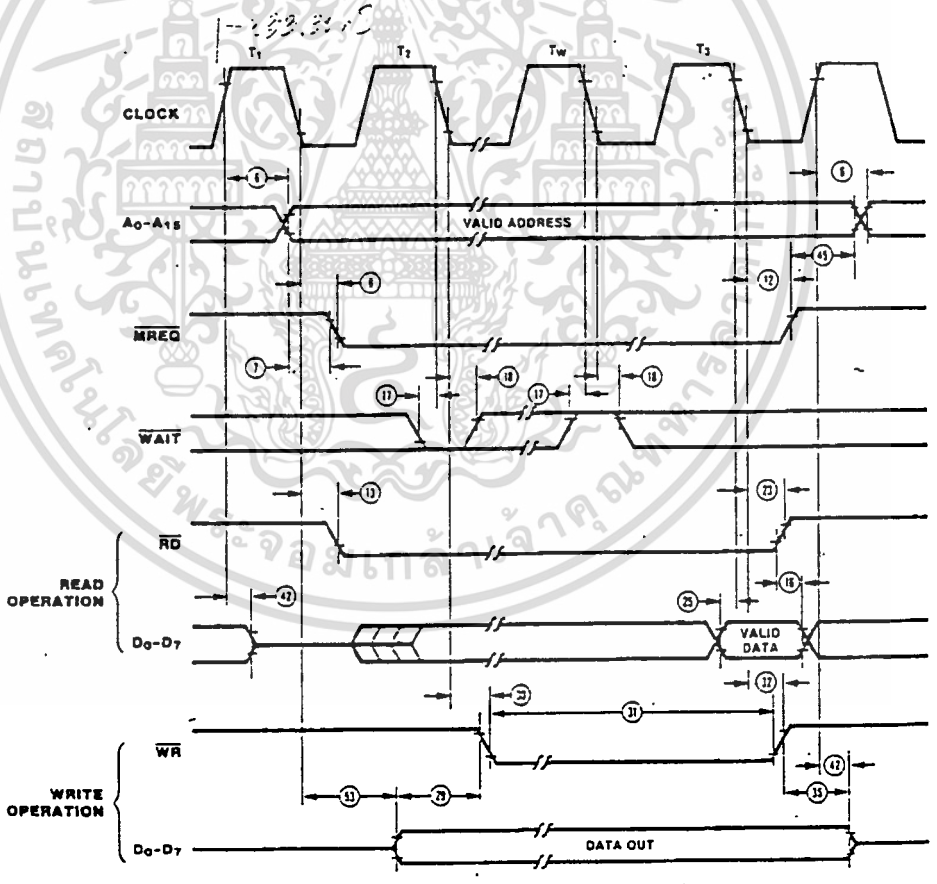
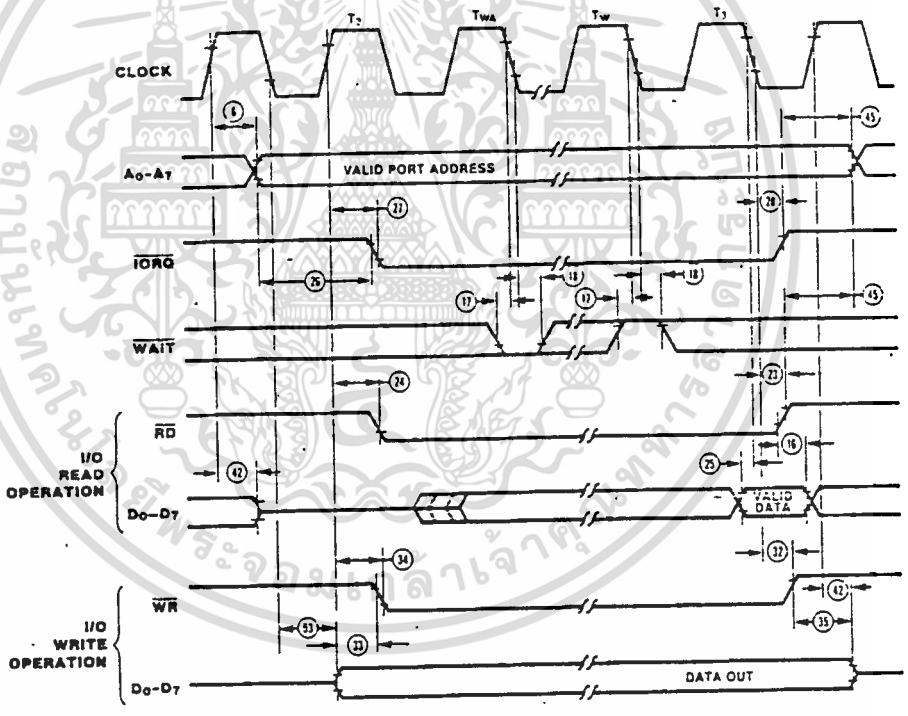


Figure 6. Memory Read or Write Cycles

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Input or Output Cycles. Figure 7 shows the timing for an I/O read or I/O write operation. During I/O operations, the CPU automatically inserts a single Wait state (T_{WA}). This extra Wait state allows sufficient time for an I/O port to decode the address from the port address lines.

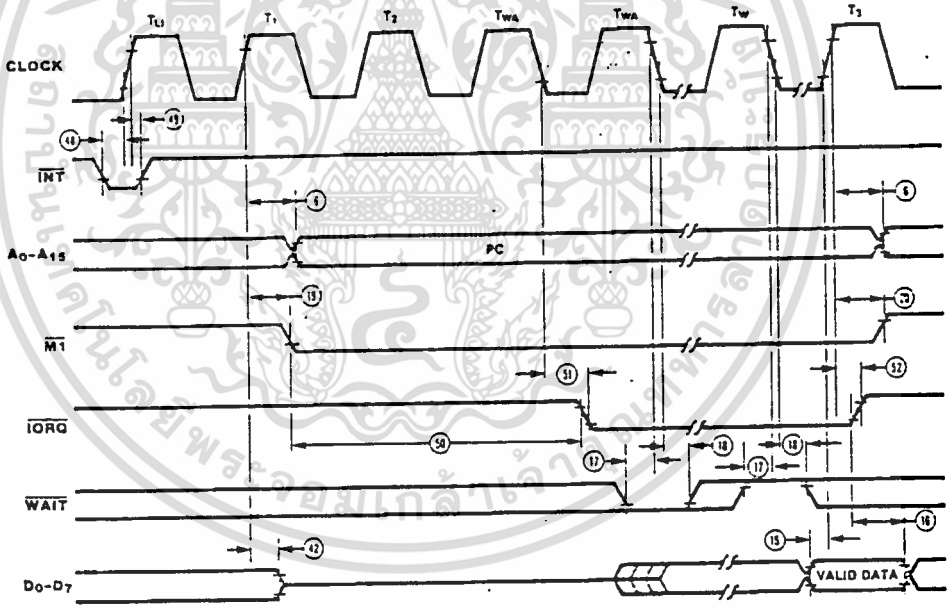


T_{WA} = One wait cycle automatically inserted by CPU.

Figure 7. Input or Output Cycles

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Interrupt Request/Acknowledge Cycle. The CPU samples the interrupt signal with the rising edge of the last clock cycle at the end of any instruction (Figure 8). When an interrupt is accepted, a special $\overline{M1}$ cycle is generated. During this $\overline{M1}$ cycle, $\overline{IORQ}$ becomes active (instead of $\overline{MREQ}$) to indicate that the interrupting device can place an 8-bit vector on the data bus. The CPU automatically adds two Wait states to this cycle.

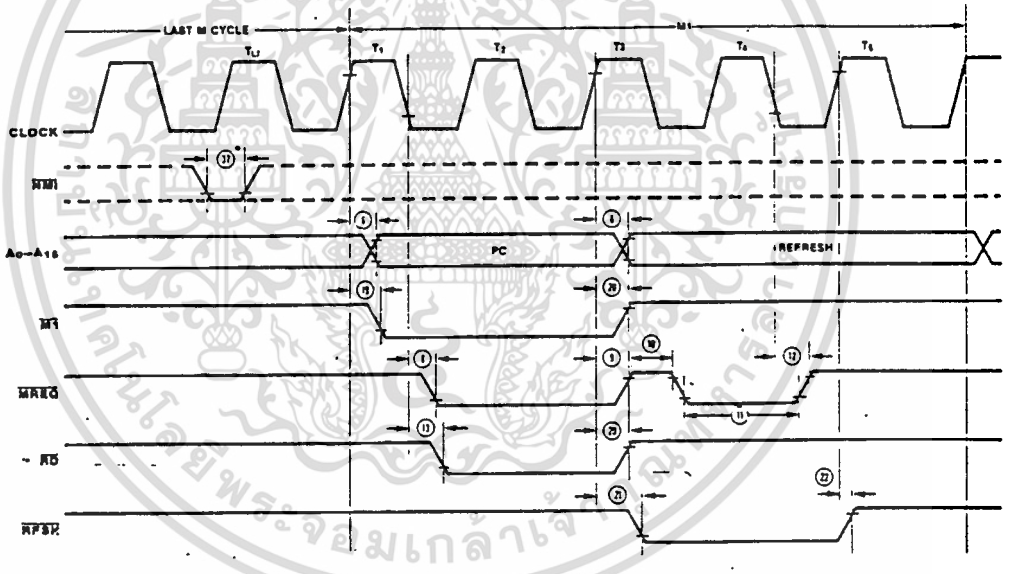


NOTES: 1) T_{LI} = Last state of any instruction cycle.
2) T_{WA} = Wait cycle automatically inserted by CPU.

Figure 8. Interrupt Request/Acknowledge Cycle

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Non-Maskable Interrupt Request Cycle. $\overline{NMI}$ is sampled at the same time as the maskable interrupt input $\overline{INT}$ but has higher priority and cannot be disabled under software control. The subsequent timing is similar to that of a normal memory read operation except that data put on the bus by the memory is ignored. The CPU instead executes a restart (RST) operation and jumps to the $\overline{NMI}$ service routine located at address 0066H (Figure 9).

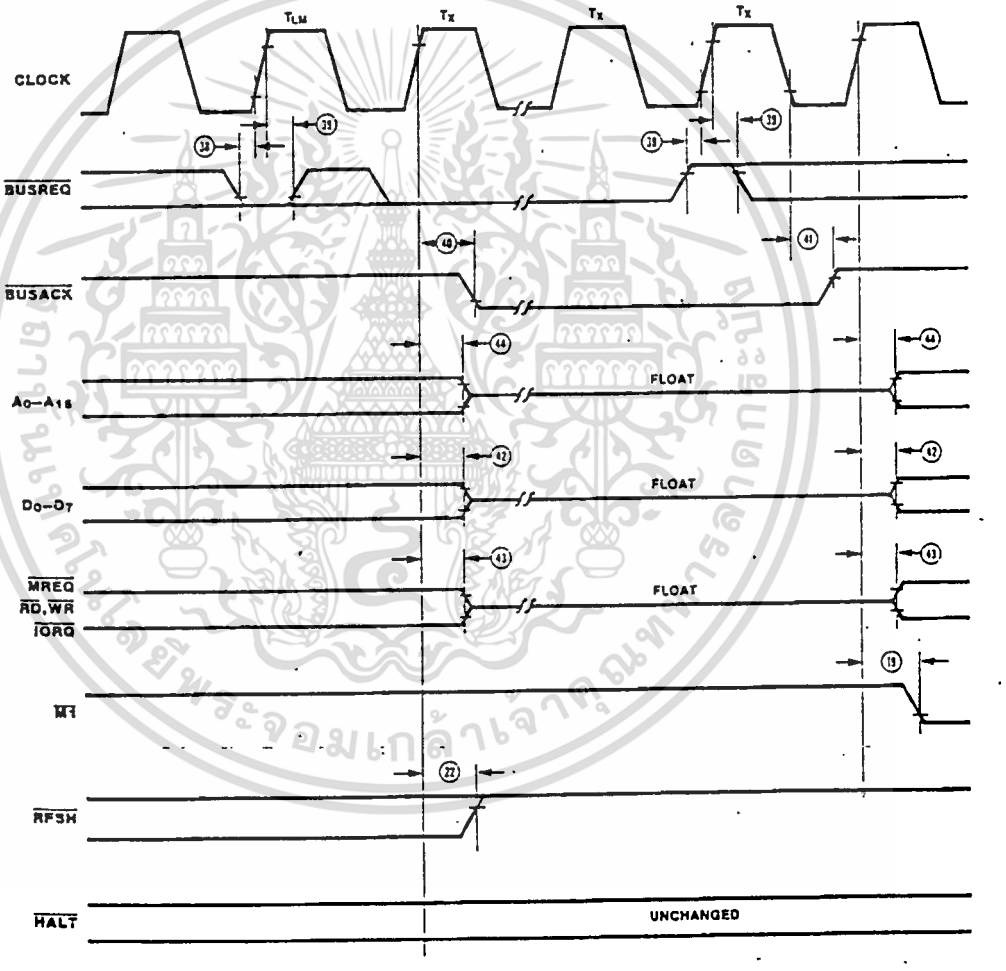


*Although $\overline{NMI}$ is an asynchronous input, to guarantee its being recognized on the following machine cycle, $\overline{NMI}$'s falling edge must occur no later than the rising edge of the clock cycle preceding the last state of any instruction cycle (T_{LI}).

Figure 9. Non-Maskable Interrupt Request Operation

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Bus Request/Acknowledge Cycle. The CPU samples $\overline{BUSREQ}$ with the rising edge of the last clock period of any machine cycle (Figure 10). If $\overline{BUSREQ}$ is active, the CPU sets its address, data, and $\overline{MREQ}$, $\overline{IORQ}$, $\overline{RD}$, and $\overline{WR}$ lines to a high-impedance state with the rising edge of the next clock pulse. At that time, any external device can take control of these lines, usually to transfer data between memory and I/O devices.

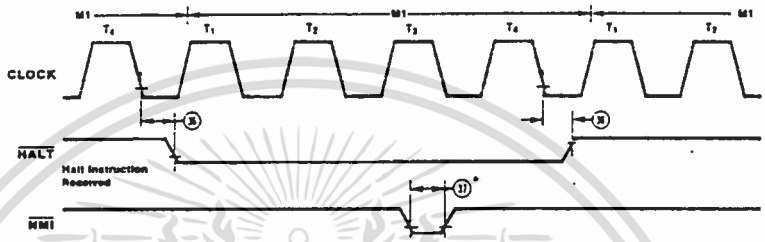


NOTES: 1) T_{LM} = Last state of any M cycle.
2) T_X = An arbitrary clock cycle used by requesting device.

Figure 10. Z-BUS Request/Acknowledge Cycle

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Halt Acknowledge Cycle. When the CPU receives a HALT instruction, it executes NOP states until either an $\overline{INT}$ or $\overline{NMI}$ input is received. When in the Halt state, the $\overline{HALT}$ output is active and remains so until an interrupt is received (Figure 11). INT will also force a Halt exit.



*Although $\overline{NMI}$ is an asynchronous input, to guarantee its being recognized on the following machine cycle, $\overline{NMI}$'s falling edge must occur no later than the rising edge of the clock cycle preceding the last state of any instruction cycle (T_U).

Figure 11. Halt Acknowledge Cycle

Reset Cycle. $\overline{RESET}$ must be active for at least three clock cycles for the CPU to properly accept it. As long as $\overline{RESET}$ remains active, the address and data buses float, and the control outputs are inactive. Once $\overline{RESET}$ goes inactive, two internal T cycles are consumed before the CPU resumes normal processing operation. $\overline{RESET}$ clears the PC register, so the first opcode fetch will be to location 0000H (Figure 12).

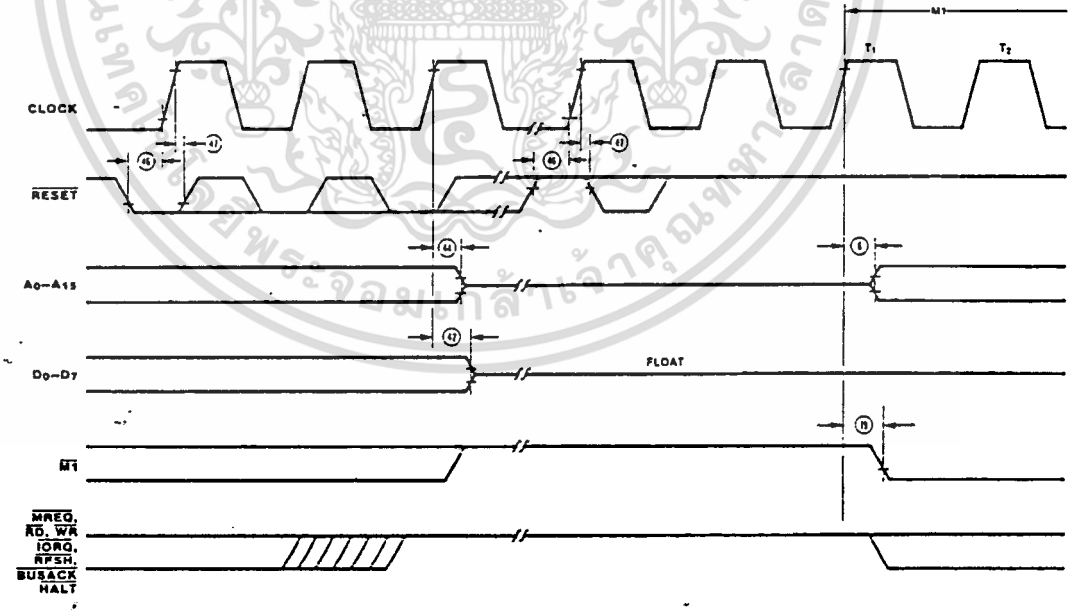


Figure 12. Reset Cycle

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

AC CHARACTERISTICS†

Number	Symbol	Parameter	Z80 CPU		Z80A CPU		Z80B CPU		Z80H CPU	
			Min	Max	Min	Max	Min	Max	Min	Max
1	TcC	Clock Cycle Time	400*		250*		165*		125*	
2	TwCh	Clock Pulse Width (High)	180	2000	110	2000	65	2000	55	2000
3	TwCl	Clock Pulse Width (Low)	180	2000	110	2000	65	2000	55	2000
4	TfC	Clock Fall Time		30		30		20		10
5	TrC	Clock Rise Time		30		30		20		10
6	TdCr(A)	Clock ↑ to Address Valid Delay		145		110		90		80
7	TdA(MREQf)	Address Valid to $\overline{MREQ}$ ↓ Delay	125*		65*		35*		20*	
8	TdCf(MREQf)	Clock ↓ to $\overline{MREQ}$ ↓ Delay		100		85		70		60
9	TdCr(MREQr)	Clock ↑ to $\overline{MREQ}$ ↑ Delay		100		85		70		60
10	TwMREQh	$\overline{MREQ}$ Pulse Width (High)	170*		110*		65*		45*	
11	TwMREQl	$\overline{MREQ}$ Pulse Width (Low)	360*		220*		135*		100*	
12	TdCf(MREQr)	Clock ↓ to $\overline{MREQ}$ ↑ Delay		100		85		70		60
13	TdCf(RDf)	Clock ↓ to $\overline{RD}$ ↓ Delay		130		95		80		70
14	TdCr(RDr)	Clock ↑ to $\overline{RD}$ ↑ Delay		100		85		70		60
15	TsD(Cr)	Data Setup Time to Clock ↑	50		35		30		30	
16	ThD(RDr)	Data Hold Time to $\overline{RD}$ ↑		0		0		0		0
17	TsWAIT(Cf)	$\overline{WAIT}$ Setup Time to Clock ↓	70		70		60		50	
18	ThWAIT(Cf)	$\overline{WAIT}$ Hold Time after Clock ↓		0		0		0		0
19	TdCr(M1f)	Clock ↑ to $\overline{M1}$ ↓ Delay		130		100		80		70
20	TdCr(M1r)	Clock ↑ to $\overline{M1}$ ↑ Delay		130		100		80		70
21	TdCr(RFSHf)	Clock ↑ to $\overline{RFSH}$ ↓ Delay		180		130		110		95
22	TdCr(RFSHr)	Clock ↑ to $\overline{RFSH}$ ↑ Delay		150		120		100		85
23	TdCf(RDr)	Clock ↓ to $\overline{RD}$ ↑ Delay		110		85		70		60
24	TdCr(RDf)	Clock ↑ to $\overline{RD}$ ↓ Delay		100		85		70		60
25	TsD(Cf)	Data Setup to Clock ↓ during M_2, M_3, M_4, or M_5 Cycles	60		50		40		30	
26	TdA(IORQf)	Address Stable prior to $\overline{IORQ}$ ↓	320*		180*		110*		75*	
27	TdCr(IORQf)	Clock ↑ to $\overline{IORQ}$ ↓ Delay		90		75		65		55
28	TdCf(IORQr)	Clock ↓ to $\overline{IORQ}$ ↑ Delay		110		85		70		60
29	TdD(WRf)	Data Stable prior to $\overline{WR}$ ↓	190*		80*		25*		5*	
30	TdCf(WRf)	Clock ↓ to $\overline{WR}$ ↓ Delay		90		80		70		60
31	TwWR	$\overline{WR}$ Pulse Width	360*		220*		135*		100*	
32	TdCf(WRr)	Clock ↓ to $\overline{WR}$ ↑ Delay		100		80		70		60
33	TdD(WRf)	Data Stable prior to $\overline{WR}$ ↓	20*		−10*		−55*		55*	
34	TdCr(WRf)	Clock ↑ to $\overline{WR}$ ↓ Delay		80		65		60		55
35	TdWRr(D)	Data Stable from $\overline{WR}$ ↑	120*		60*		30*		15*	
36	TdCf(HALT)	Clock ↓ to $\overline{HALT}$ ↑ or ↓		300		300		260		225
37	TwNMI	$\overline{NMI}$ Pulse Width	80		80		70		60*	
38	TsBUSREQ(Cr)	$\overline{BUSREQ}$ Setup Time to Clock ↑	80		50		50		40	

*For clock periods other than the minimums shown, calculate parameters using the table on the following page. Calculated values above assumed TrC = TfC = 20 ns.
†Units in nanoseconds (ns).

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

AC CHARACTERISTICS† (Continued)

Number	Symbol	Parameter	Z80 CPU Min	Z80 CPU Max	Z80A CPU Min	Z80A CPU Max	Z80B CPU Min	Z80B CPU Max	Z80H CPU Min	Z80H CPU Max
39	ThBUSREQ(Cr)	$\overline{BUSREQ}$ Hold Time after Clock ↑	0		0		0		0	
40	TdCr(BUSACKf)	Clock ↑ to $\overline{BUSACK}$ ↓ Delay		120		100		90		80
41	TdCf(BUSACKr)	Clock ↓ to $\overline{BUSACK}$ ↑ Delay		110		100		90		80
42	TdCr(Dz)	Clock ↑ to Data Float Delay		90		90		80		70
43	TdCr(CTz)	Clock ↑ to Control Outputs Float Delay ($\overline{MREQ}$, $\overline{IORQ}$, $\overline{RD}$, and $\overline{WR}$)		110		80		70		60
44	TdCr(Az)	Clock ↑ to Address Float Delay		110		90		80		70
45	TdCTr(A)	$\overline{MREQ}$ ↑, $\overline{IORQ}$ ↑, $\overline{RD}$ ↑, and $\overline{WR}$ ↑ to Address Hold Time	160*		80*		35*		20*	
46	TsRESET(Cr)	$\overline{RESET}$ to Clock ↑ Setup Time	90		60		60		45	
47	ThRESET(Cr)	$\overline{RESET}$ to Clock ↑ Hold Time	0		0		0		0	
48	TsINTf(Cr)	$\overline{INT}$ to Clock ↑ Setup Time	80		80		70		55	
49	ThINTr(Cr)	$\overline{INT}$ to Clock ↑ Hold Time	0		0		0		0	
50	TdM1f(IORQf)	$\overline{M1}$ ↓ to $\overline{IORQ}$ ↓ Delay	920*		565*		365*		270*	
51	TdCf(IORQf)	Clock ↓ to $\overline{IORQ}$ ↓ Delay		110		85		70		60
52	TdCf(IORQr)	Clock ↑ $\overline{IORQ}$ ↑ Delay		100		85		70		60
53	TdCf(D)	Clock ↓ to Data Valid Delay		230		150		130		115

*For clock periods other than the minimums shown, calculate parameters using the following table. Calculated values above assumed TrC = TfC = 20 ns.
†Units in nanoseconds (ns).

FOOTNOTES TO AC CHARACTERISTICS

Number	Symbol	General Parameter	Z80	Z80A	Z80B	Z80H
1	TcC	TwCh + TwCl + TrC + TfC				
7	TdA(MREQf)	TwCh + TfC	− 75	− 65	− 50	− 45
10	TwMREQh	TwCh + TfC	− 30	− 20	− 20	− 20
11	TwMREQl	TcC	− 40	− 30	− 30	− 25
26	TdA(IORQf)	TcC	− 80	− 70	− 55	− 50
29	TdD(WRf)	TcC	− 210	− 170	− 140	− 120
31	TwWR	TcC	− 40	− 30	− 30	− 25
33	TdD(WRf)	TwCl + TrC	− 180	− 140	− 140	− 120
35	TdWRr(D)	TwCl + TrC	− 80	− 70	− 55	− 50
45	TdCTr(A)	TwCl + TrC	− 40	− 50	− 50	− 45
50	TdM1f(IORQf)	2TcC + TwCh + TfC	− 80	− 65	− 50	− 45

AC Test Conditions:
V_{IH} = 2.0 V
V_{IL} = 0.8 V
V_{IHC} = V_{CC} − 0.6 V
V_{ILC} = 0.45 V
V_{OH} = 1.5 V
V_{OL} = 1.5 V
FLOAT = ±0.5 V

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ABSOLUTE MAXIMUM RATINGS

Voltages on all pins with respect to ground . . .0.3V to +7V
Operating Ambient
Temperature . . . . . .See Ordering Information
Storage Temperature . . . . . −65°C to +150°C

Stresses greater than those listed under Absolute Maximum Ratings may cause permanent damage to the device. This is a stress rating only; operation of the device at any condition above those indicated in the operational sections of these specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

STANDARD TEST CONDITIONS

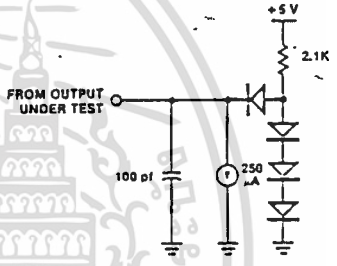
The DC Characteristics and Capacitance sections below apply for the following standard test conditions, unless otherwise noted. All voltages are referenced to GND (0V). Positive current flows into the referenced pin.

Available operating temperature ranges are:

- S = 0°C to +70°C, +4.75V ≤ V_{CC} ≤ +5.25V
- E = −40°C to +85°C, +4.75V ≤ V_{CC} ≤ +5.25V
- M = −55°C to +125°C, +4.5V ≤ V_{CC} ≤ +5.25V

The Ordering Information section lists temperature ranges and product numbers. Package drawings are in the Package Information section in this book. Refer to the Literature List for additional documentation.

All ac parameters assume a load capacitance of 100 pf. Add 15 ns delay for each 50 pf increase in load up to a maximum of 200 pf for the data bus. AC timing measurements are referenced to 1.5 volts (except for clock, which is referenced to the 10% and 90% points).



DC CHARACTERISTICS

All parameters are tested unless otherwise noted.

Symbol	Parameter	Min	Max	Unit	Test Condition
V_{ILC}	Clock Input Low Voltage	−0.3	0.45	V	
V_{IHC}	Clock Input High Voltage	V_{CC} − .6	V_{CC} + .3	V	
V_{IL}	Input Low Voltage	−0.3	0.8	V	
V_{IH}	Input High Voltage	2.0[1]	V_{CC}	V	
V_{OL}	Output Low Voltage		0.4	V	I_{OL} = 2.0 mA
V_{OH}	Output High Voltage	2.4[1]		V	I_{OH} = −250 µA
I_{CC}	Power Supply Current		200	mA	Note 3
I_{LI}	Input Leakage Current		10	µA	V_{IN} = 0 to V_{CC}
I_{LO}	3-State Output Leakage Current in Float	−10	10[2]	µA	V_{OUT} = 0.4 to V_{CC}

1. For military grade parts, refer to the Z80 Military Electrical Specification.
2. A_{15}-A_0, D_7-D_0, $\overline{MREQ}$, $\overline{IORQ}$, $\overline{RD}$, and $\overline{WR}$.
3. Measurements made with outputs floating.

CAPACITANCE

Guaranteed by design and characterization.

Symbol	Parameter	Min	Max	Unit
C_{CLOCK}	Clock Capacitance		35	pf
C_{IN}	Input Capacitance		5	pf
C_{OUT}	Output Capacitance		15	pf

NOTES:
T_A = 25°C, f = 1 MHz.
Unmeasured pins returned to ground.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ORDERING INFORMATION

Z80 CPU, 2.5 MHz

40-pin DIP	44-pin LCC	44-pin PCC
Z8400 PS	Z8400 LM*	Z8400 VS†
Z8400 CS	Z8400 LMB*†	
Z8400 PE		
Z8400 CE		
Z8400 CM*		
Z8400 CMB*		
Z8400 CMJ*		

Z80A CPU, 4.0 MHz

40-pin DIP	44-pin LCC	44-pin PCC
Z8400A PS	Z8400A LM*	Z8400A VS†
Z8400A CS	Z8400A LMB*†	
Z8400A PE		
Z8400A CE		
Z8400A CM*		
Z8400A CMB*		
Z8400A CMJ*		

Z80B CPU, 6.0 MHz

40-pin DIP	44-pin PCC
Z8400B PS	Z8400B VS†
Z8400B CS	
Z8400B PE	

Z80H CPU, 8.0 MHz

40-pin DIP	44-pin PCC
Z8400H PS	Z8400H VS†

Codes

First letter is for package; second letter is for temperature.

C = Ceramic DIP
P = Plastic DIP
L = Ceramic LCC
V = Plastic PCC

R = Protopack
T = Low Profile Protopack
DIP = Dual-In-Line Package
LCC = Leadless Chip Carrier
PCC = Plastic Chip Carrier (Leaded)

TEMPERATURE
S = 0°C to +70°C
E = −40°C to +85°C
M* = −55°C to +125°C

FLOW
B = 883 Class B
J = JAN 38510 Class B

*For Military Orders, refer to the Military Section.
†Available soon.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

intel

8255A/8255A-5
PROGRAMMABLE PERIPHERAL INTERFACE

- MCS-85™ Compatible 8255A-5
- 24 Programmable I/O Pins
- Completely TTL Compatible
- Fully Compatible with Intel® Microprocessor Families
- Improved Timing Characteristics
- Direct Bit Set/Reset Capability Easing Control Application Interface
- Reduces System Package Count
- Improved DC Driving Capability
- Available in EXPRESS
  - —Standard Temperature Range
  - —Extended Temperature Range

The Intel® 8255A is a general purpose programmable I/O device designed for use with Intel® microprocessors. It has 24 I/O pins which may be individually programmed in 2 groups of 12 and used in 3 major modes of operation. In the first mode (MODE 0), each group of 12 I/O pins may be programmed in sets of 4 to be input or output. In MODE 1, the second mode, each group may be programmed to have 8 lines of input or output. Of the remaining 4 pins, 3 are used for handshaking and interrupt control signals. The third mode of operation (MODE 2) is a bidirectional bus mode which uses 8 lines for a bidirectional bus, and 5 lines, borrowing one from the other group, for handshaking.

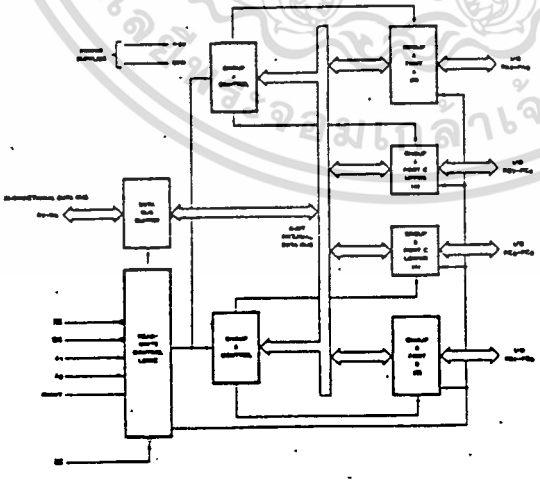


Figure 1. 8255A Block Diagram

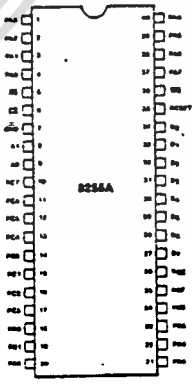


Figure 2. Pin Configuration

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

8255A FUNCTIONAL DESCRIPTION

General

The 8255A is a programmable peripheral interface (PPI) device designed for use in Intel® microcomputer systems. Its function is that of a general purpose I/O component to interface peripheral equipment to the microcomputer system bus. The functional configuration of the 8255A is programmed by the system software so that normally no external logic is necessary to interface peripheral devices or structures.

Data Bus Buffer

This 3-state bidirectional 8-bit buffer is used to interface the 8255A to the system data bus. Data is transmitted or received by the buffer upon execution of input or output instructions by the CPU. Control words and status information are also transferred through the data bus buffer.

Read/Write and Control Logic

The function of this block is to manage all of the internal and external transfers of both Data and Control or Status words. It accepts inputs from the CPU Address and Control buses and in turn, issues commands to both of the Control Groups.

($\overline{CS}$)

Chip Select. A "low" on this input pin enables the communication between the 8255A and the CPU.

($\overline{RD}$)

Read. A "low" on this input pin enables the 8255A to send the data or status information to the CPU on the data bus. In essence, it allows the CPU to "read from" the 8255A.

($\overline{WR}$)

Write. A "low" on this input pin enables the CPU to write data or control words into the 8255A.

(A_0 and A_1)

Port Select 0 and Port Select 1. These input signals, in conjunction with the RD and WR inputs, control the selection of one of the three ports or the control word registers. They are normally connected to the least significant bits of the address bus (A_0 and A_1).

8255A BASIC OPERATION

A_1	A_0	$\overline{RD}$	$\overline{WR}$	$\overline{CS}$	INPUT OPERATION (READ)
0	0	0	1	0	PORT A → DATA BUS
0	1	0	1	0	PORT B → DATA BUS
1	0	0	1	0	PORT C → DATA BUS
					OUTPUT OPERATION (WRITE)
0	0	1	0	0	DATA BUS → PORT A
0	1	1	0	0	DATA BUS → PORT B
1	0	1	0	0	DATA BUS → PORT C
1	1	1	0	0	DATA BUS → CONTROL
					DISABLE FUNCTION
X	X	X	X	1	DATA BUS → 3-STATE
1	1	0	1	0	ILLEGAL CONDITION
X	X	1	1	0	DATA BUS → 3-STATE

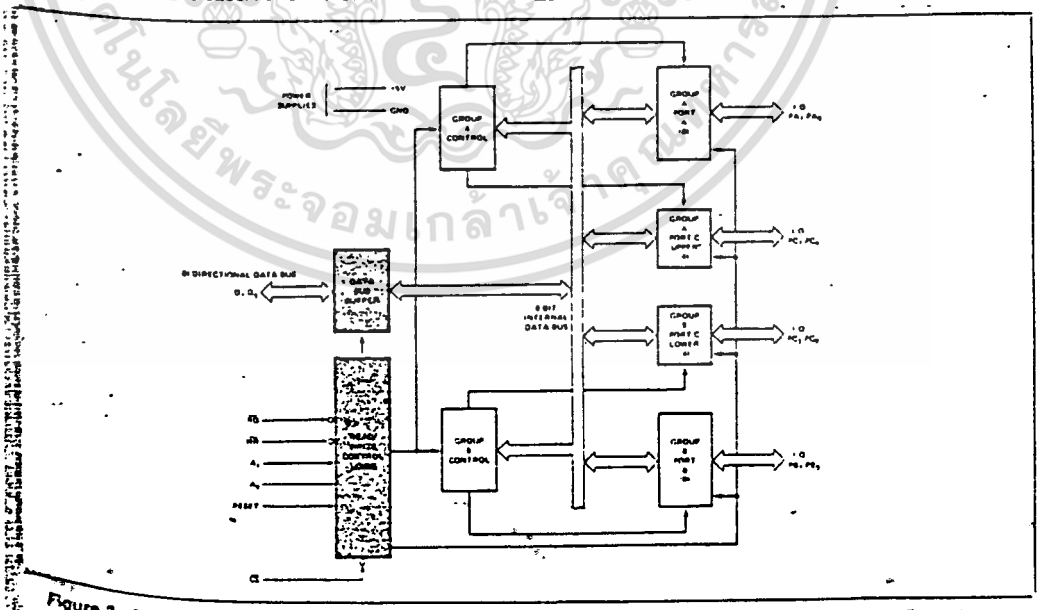


Figure 3. 8255A Block Diagram Showing Data Bus Buffer and Read/Write Control Logic Functions

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

(RESET)

Reset. A "high" on this input clears the control register and all ports (A, B, C) are set to the input mode.

Group A and Group B Controls

The functional configuration of each port is programmed by the systems software. In essence, the CPU "outputs" a control word to the 8255A. The control word contains information such as "mode", "bit set", "bit reset", etc., that initializes the functional configuration of the 8255A.

Each of the Control blocks (Group A and Group B) accepts "commands" from the Read/Write Control Logic, receives "control words" from the internal data bus and issues the proper commands to its associated ports.

Control Group A – Port A and Port C upper (C7-C4)
Control Group B – Port B and Port C lower (C3-C0)

The Control Word Register can Only be written into. No Read operation of the Control Word Register is allowed.

Ports A, B, and C

The 8255A contains three 8-bit ports (A, B, and C) can be configured in a wide variety of functional characteristics by the system software but each has its own special features or "personality" to further enhance the power and flexibility of the 8255A.

Port A. One 8-bit data output latch/buffer and one 8-bit data input latch.

Port B. One 8-bit data input/output latch/buffer and one 8-bit data input buffer.

Port C. One 8-bit data output latch/buffer and one 8-bit data input buffer (no latch for input). This port can be divided into two 4-bit ports under the mode control. Each 4-bit port contains a 4-bit latch and it can be used for the control signal outputs and status signal inputs in conjunction with ports A and B.

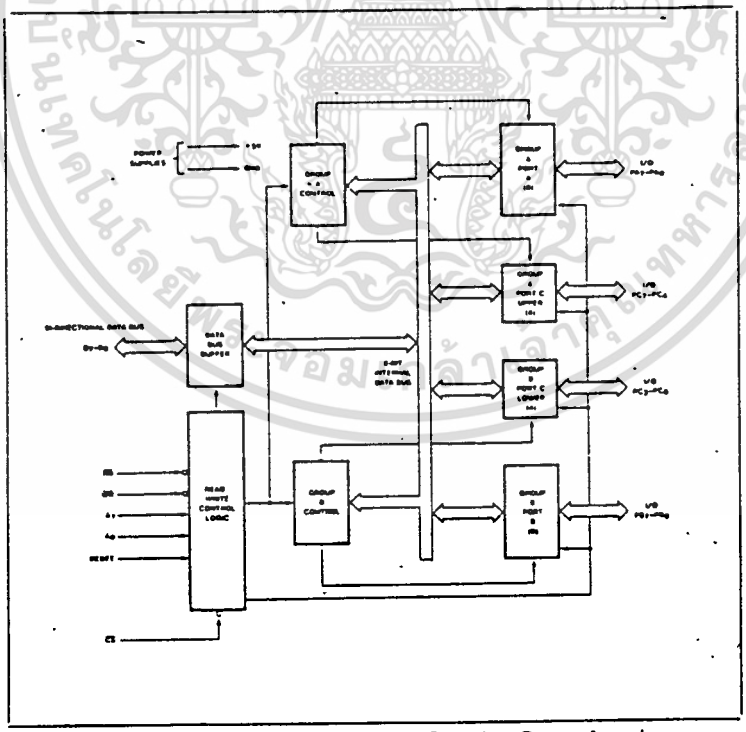
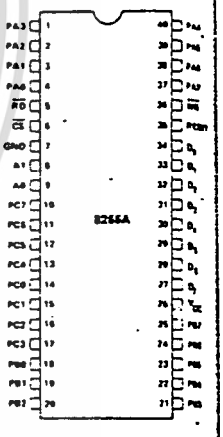


Figure 4. 8225A-Block Diagram Showing Group A and Group B Control Functions

PIN CONFIGURATION



PIN NAMES

D_7-D_0	DATA BUS (BI DIRECTIONAL)
RESET	RESET INPUT
$\overline{CS}$	CHIP SELECT
$\overline{RD}$	READ INPUT
$\overline{WR}$	WRITE INPUT
A0 A1	PORT ADDRESS
PA7-PA0	PORT A (BIT)
PB7 PB0	PORT B (BIT)
PC7-PC0	PORT C (BIT)
V_{CC}	+5 VOLTS
GND	0 VOLTS

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

8255A OPERATIONAL DESCRIPTION

Mode Selection

There are three basic modes of operation that can be selected by the system software:

Mode 0 – Basic Input/Output
Mode 1 – Strobed Input/Output
Mode 2 – Bi-Directional Bus

When the reset input goes "high" all ports will be set to the input mode (i.e., all 24 lines will be in the high impedance state). After the reset is removed the 8255A can remain in the input mode with no additional initialization required. During the execution of the system program any of the other modes may be selected using a single output instruction. This allows a single 8255A to service a variety of peripheral devices with a simple software maintenance routine.

The modes for Port A and Port B can be separately defined, while Port C is divided into two portions as required by the Port A and Port B definitions. All of the output registers, including the status flip-flops, will be reset whenever the mode is changed. Modes may be combined so that their functional definition can be "tailored" to almost any I/O structure. For instance: Group B can be programmed in Mode 0 to monitor simple switch closings or display computational results. Group A could be programmed in Mode 1 to monitor a keyboard or tape reader on an interrupt-driven basis.

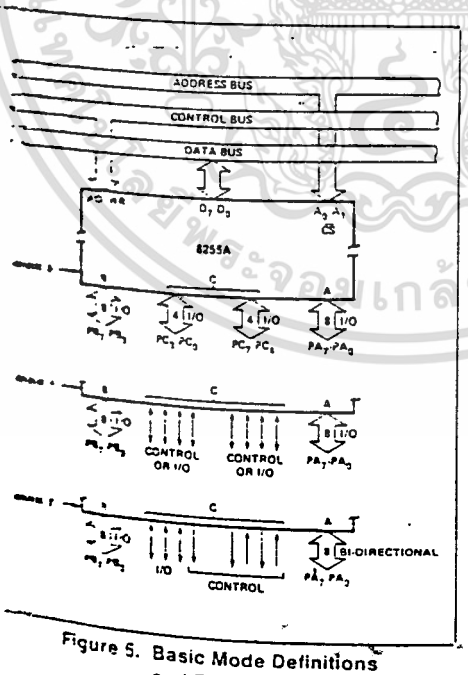


Figure 5. Basic Mode Definitions and Bus Interface

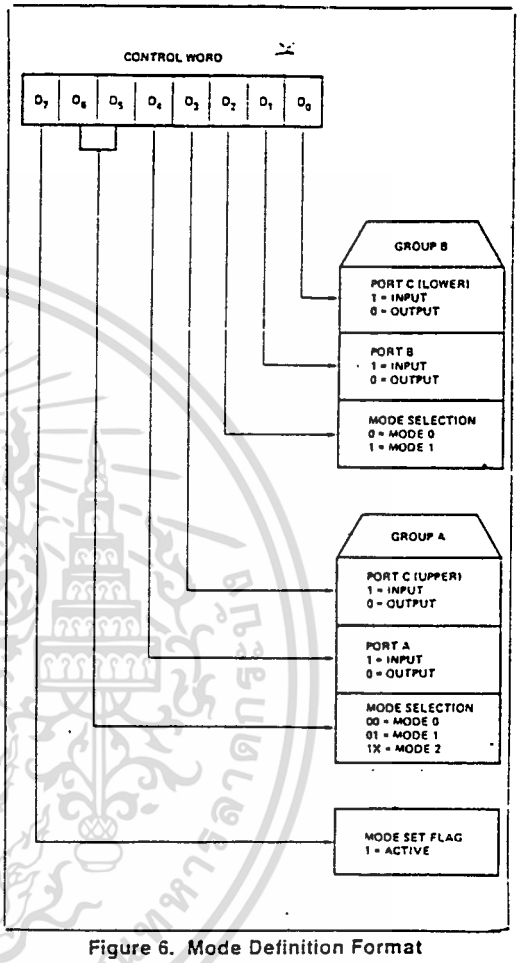


Figure 6. Mode Definition Format

The mode definitions and possible mode combinations may seem confusing at first but after a cursory review of the complete device operation a simple, logical I/O approach will surface. The design of the 8255A has taken into account things such as efficient PC board layout, control signal definition vs PC layout and complete functional flexibility to support almost any peripheral device with no external logic. Such design represents the maximum use of the available pins.

Single Bit Set/Reset Feature

Any of the eight bits of Port C can be Set or Reset using a single OUTput instruction. This feature reduces software requirements in Control-based applications.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

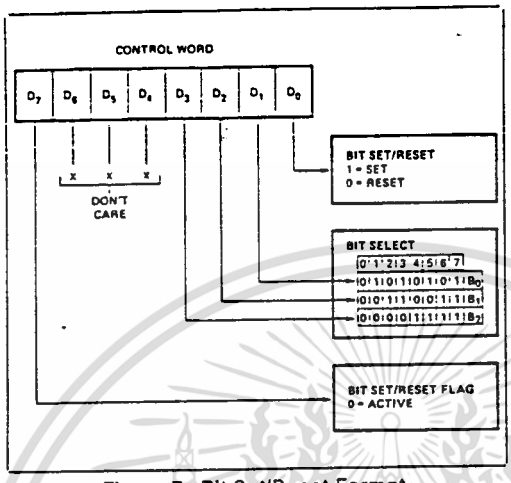


Figure 7. Bit Set/Reset Format

When Port C is being used as status/control for Port A, these bits can be set or reset by using the Bit Set/Reset operation just as if they were data output ports.

Interrupt Control Functions

When the 8255A is programmed to operate in mode, mode 2, control signals are provided that can be used interrupt request inputs to the CPU. The interrupt quest signals, generated from port C, can be inhibited enabled by setting or resetting the associated INTE flop, using the bit set/reset function of port C.

This function allows the Programmer to disallow or allow specific I/O device to interrupt the CPU without affecting any other device in the interrupt structure.

INTE flip-flop definition:

(BIT-SET) – INTE is SET – Interrupt enable
(BIT-RESET) – INTE is RESET – Interrupt disable

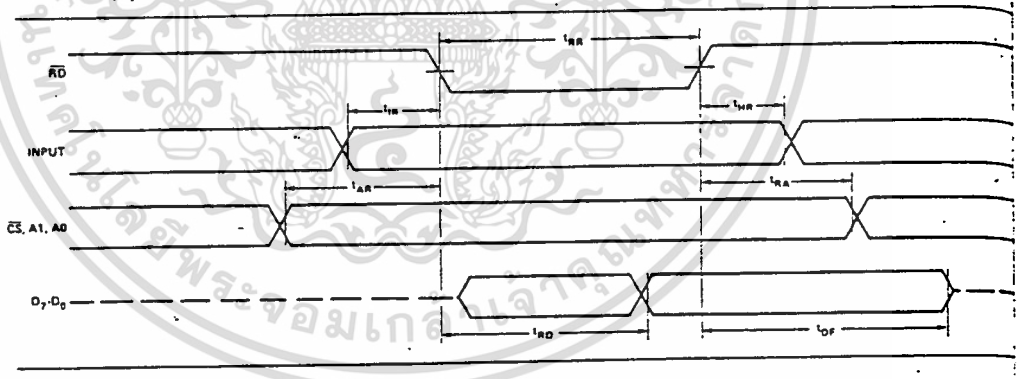
Note: All Mask flip-flops are automatically reset during mode selection and device Reset.

Operating Modes

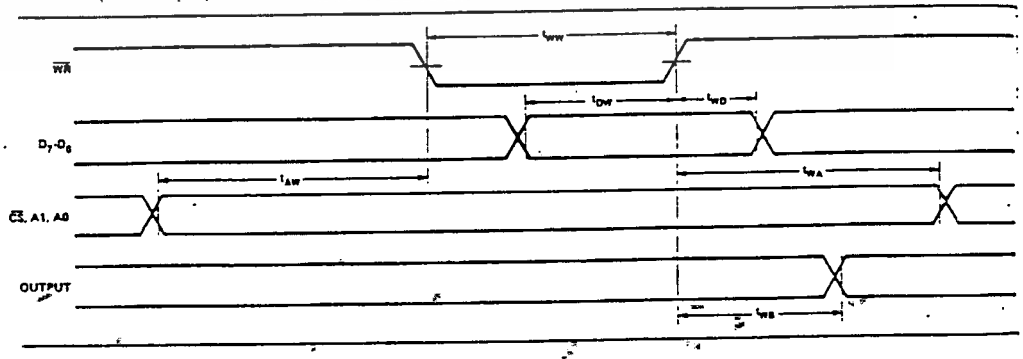
MODE 0 (Basic Input/Output). This functional configuration provides simple input and output operations for each of the three ports. No "handshaking" is required, data is simply written to or read from a specified port.

Mode 0 Basic Functional Definitions:

- Two 8-bit ports and two 4-bit ports.
- Any port can be input or output.
- Outputs are latched.
- Inputs are not latched.
- 16 different Input/Output configurations are possible in this Mode.



MODE 0 (Basic Input)



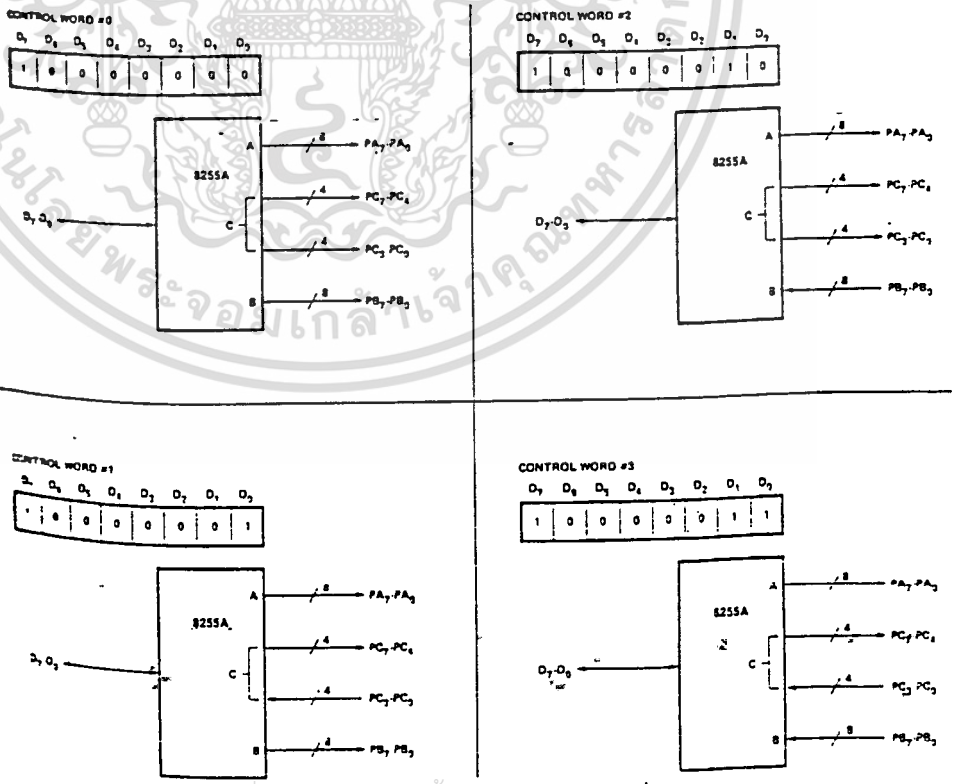
MODE 0 (Basic Output)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

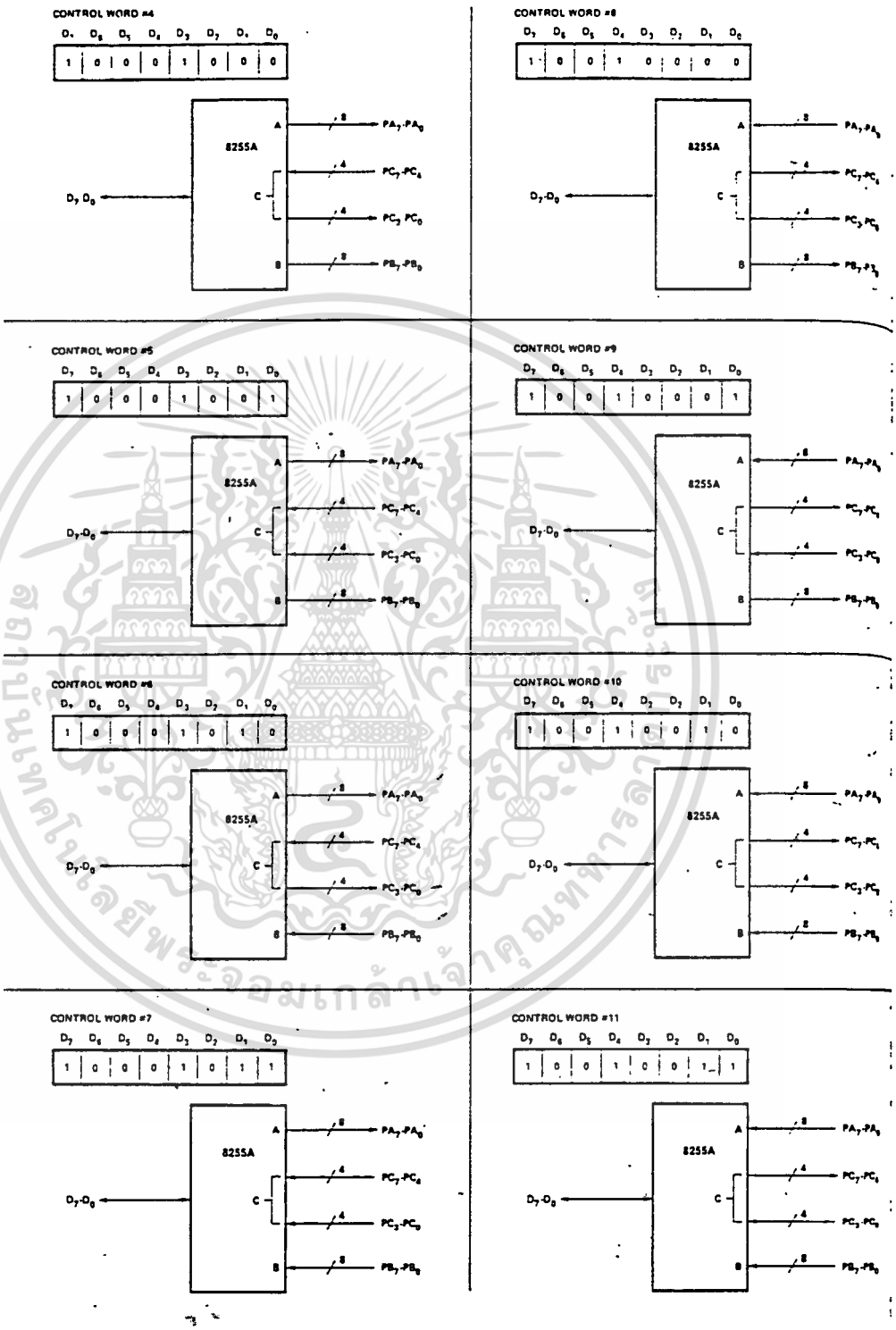
MODE 0 Port Definition

A		B		GROUP A			GROUP B	
D_4	D_3	D_1	D_0	PORT A	PORT C (UPPER)	#	PORT B	PORT C (LOWER)
0	0	0	0	OUTPUT	OUTPUT	0	OUTPUT	OUTPUT
0	0	0	1	OUTPUT	OUTPUT	1	OUTPUT	INPUT
0	0	1	0	OUTPUT	OUTPUT	2	INPUT	OUTPUT
0	0	1	1	OUTPUT	OUTPUT	3	INPUT	INPUT
0	1	0	0	OUTPUT	INPUT	4	OUTPUT	OUTPUT
0	1	0	1	OUTPUT	INPUT	5	OUTPUT	INPUT
0	1	1	0	OUTPUT	INPUT	6	INPUT	OUTPUT
0	1	1	1	OUTPUT	INPUT	7	INPUT	INPUT
1	0	0	0	INPUT	OUTPUT	8	OUTPUT	OUTPUT
1	0	0	1	INPUT	OUTPUT	9	OUTPUT	INPUT
1	0	1	0	INPUT	OUTPUT	10	INPUT	OUTPUT
1	0	1	1	INPUT	OUTPUT	11	INPUT	INPUT
1	1	0	0	INPUT	INPUT	12	OUTPUT	OUTPUT
1	1	0	1	INPUT	INPUT	13	OUTPUT	INPUT
1	1	1	0	INPUT	INPUT	14	INPUT	OUTPUT
1	1	1	1	INPUT	INPUT	15	INPUT	INPUT

MODE 0 Configurations



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Input Control Signal Definition

$\overline{STB}$ (Strobe Input). A "low" on this input loads data into the input latch.

IBF (Input Buffer Full F/F)

A "high" on this output indicates that the data has been loaded into the input latch; in essence, an acknowledgement. IBF is set by STB input being low and is reset by the rising edge of the RD input.

INTR (Interrupt Request)

A "high" on this output can be used to interrupt the CPU when an input device is requesting service. INTR is set by the $\overline{STB}$ is a "one", IBF is a "one" and INTE is a "one" It is reset by the falling edge of $\overline{RD}$. This procedure allows an input device to request service from the CPU by simply strobing its data into the port.

INTE A

Controlled by bit set/reset of PC_4.

INTE B

Controlled by bit set/reset of PC_2.

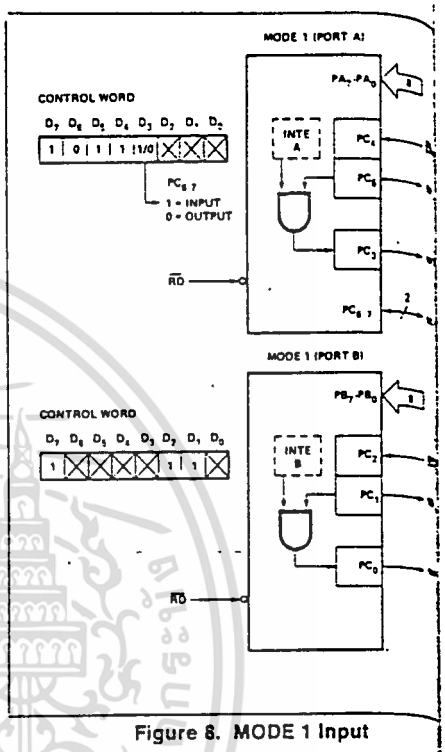


Figure 8. MODE 1 Input

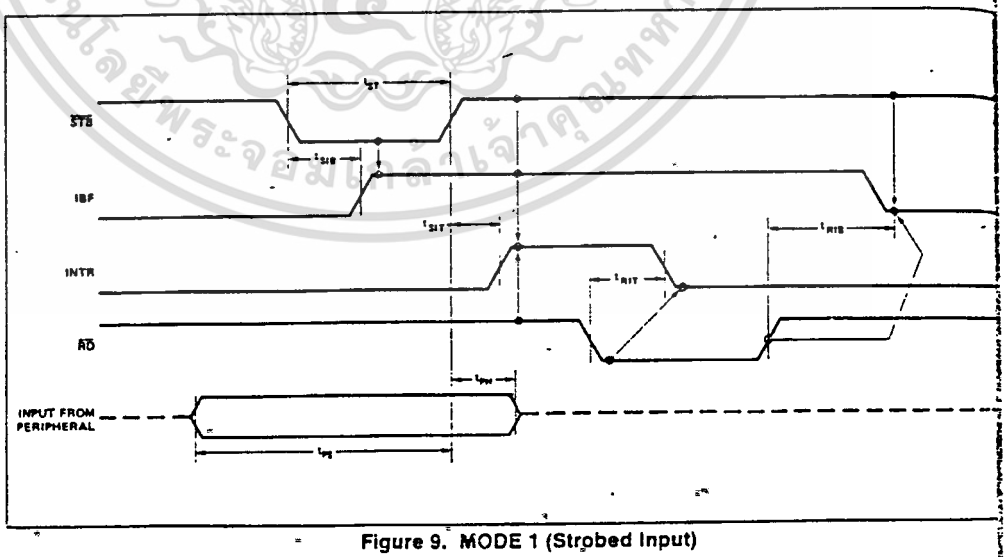


Figure 9. MODE 1 (Strobed Input)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Output Control Signal Definition

OBF (Output Buffer Full F/F). The $\overline{OBF}$ output will go [illegible] to indicate that the CPU has written data out to the specified port. The $\overline{OBF}$ F/F will be set by the rising edge of the $\overline{WR}$ input and reset by $\overline{ACK}$ input being low.

ACK (Acknowledge Input). A "low" on this input informs the 8255A that the data from port A or port B has been received. In essence, a response from the peripheral device indicating that it has recieved the data output by the CPU.

INTR (Interrupt Request). A "high" on this output can be used to interrupt the CPU when an output device has received data transmitted by the CPU. INTR is set when $\overline{ACK}$ is a "one", $\overline{OBF}$ is a "one", and INTE is a "one". It is reset by the falling edge of $\overline{WR}$.

INTR (Interrupt Request). A "high" on this output can be used to interrupt the CPU when an output device has received data transmitted by the CPU. INTR is set when $\overline{ACK}$ is a "one", $\overline{OBF}$ is a "one", and INTE is a "one". It is reset by the falling edge of WR.

INTE A

Controlled by bit set/reset of PC_6.

INTE B

Controlled by bit set/reset of PC_2.

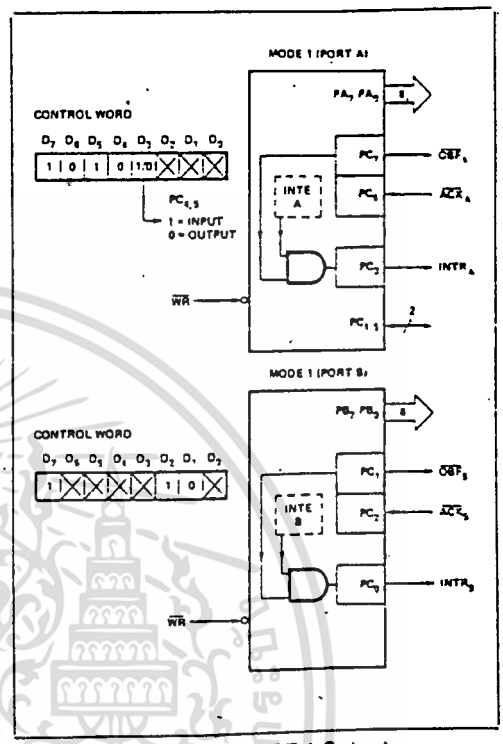


Figure 10. MODE 1 Output

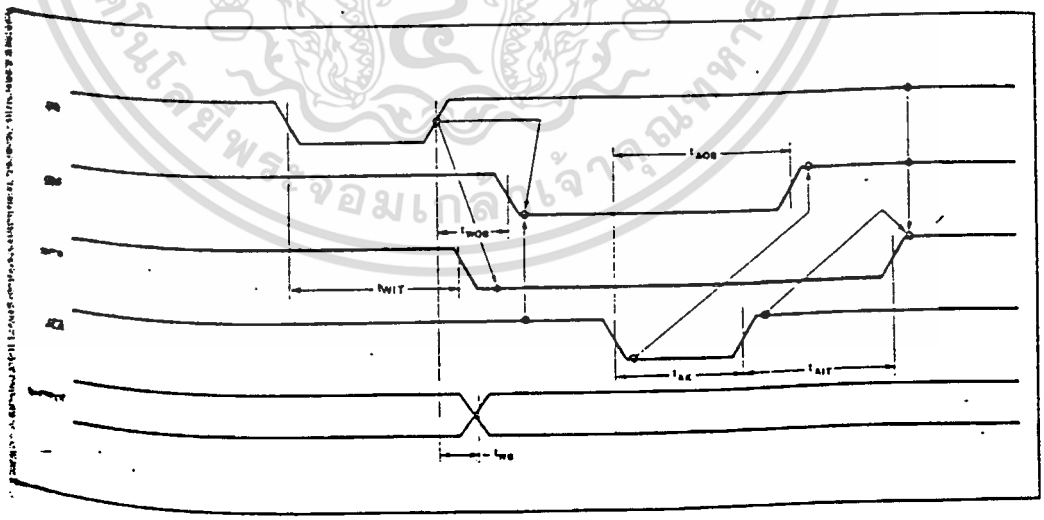


Figure 11. Mode 1 (Strobed Output)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Combinations of MODE 1

Port A and Port B can be individually defined as input or output in Mode 1 to support a wide variety of strobed I/O applications.

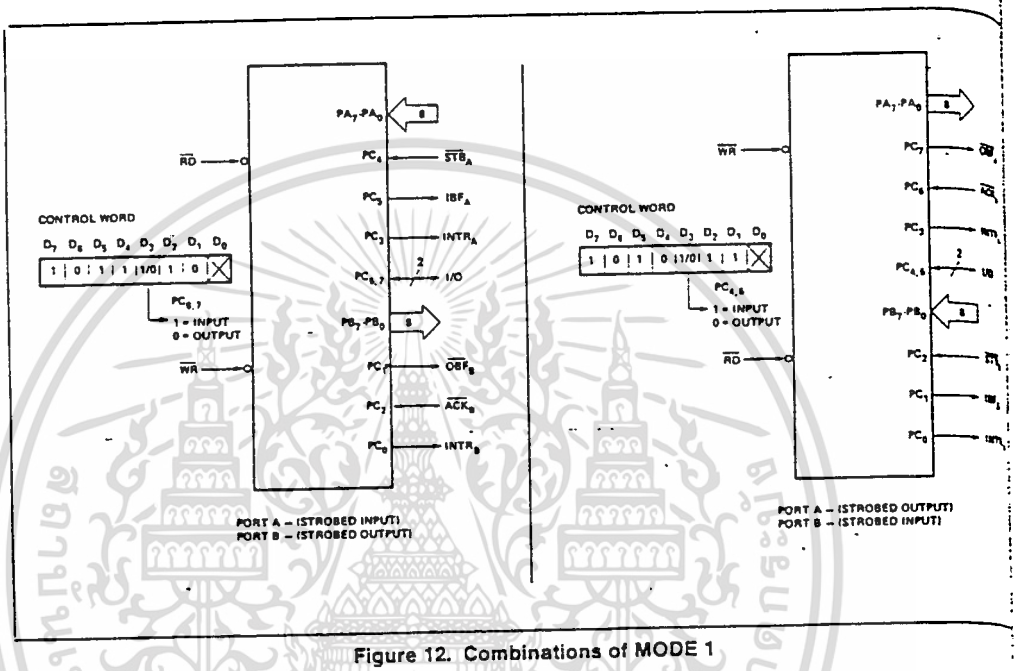


Figure 12. Combinations of MODE 1

Operating Modes

MODE 2 (Strobed Bidirectional Bus I/O). This functional configuration provides a means for communicating with a peripheral device or structure on a single 8-bit bus for both transmitting and receiving data (bidirectional bus I/O). "Handshaking" signals are provided to maintain proper bus flow discipline in a similar manner to MODE 1. Interrupt generation and enable/disable functions are also available.

MODE 2 Basic Functional Definitions:

- Used in Group A only.
- One 8-bit, bi-directional bus Port (Port A) and a 5-bit control Port (Port C).
- Both inputs and outputs are latched.
- The 5-bit control port (Port C) is used for control and status for the 8-bit, bi-directional bus port (Port A).

Bidirectional Bus I/O Control Signal Definition

INTR (Interrupt Request). A high on this output can be used to interrupt the CPU for both input or output operations.

Output Operations

$\overline{OBF}$ (Output Buffer Full). The $\overline{OBF}$ output will go "low" to indicate that the CPU has written data out to port A.

$\overline{ACK}$ (Acknowledge). A "low" on this input enables the tri-state output buffer of port A to send out the data. Otherwise, the output buffer will be in the high impedance state.

INTE 1 (The INTE Flip-Flop Associated with OBF). Controlled by bit set/reset of PC_6.

Input Operations

$\overline{STB}$ (Strobe Input). A "low" on this input loads data into the input latch.

IBF (Input Buffer Full F/F). A "high" on this output indicates that data has been loaded into the input latch.

INTE 2 (The INTE Flip-Flop Associated with IBF). Controlled by bit set/reset of PC_4.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

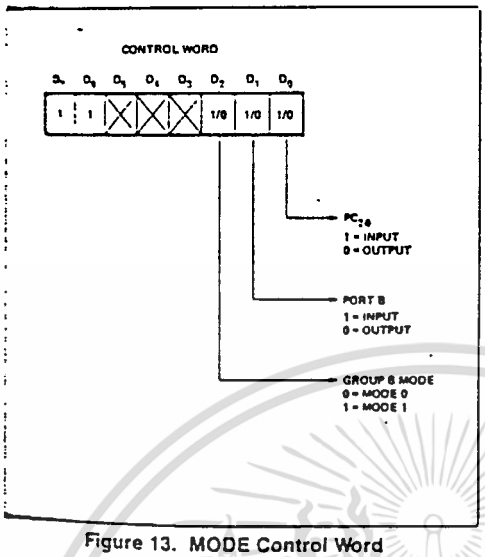


Figure 13. MODE Control Word

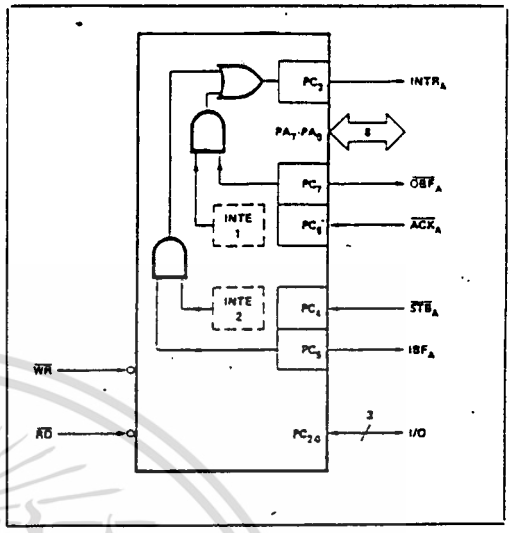


Figure 14. MODE 2

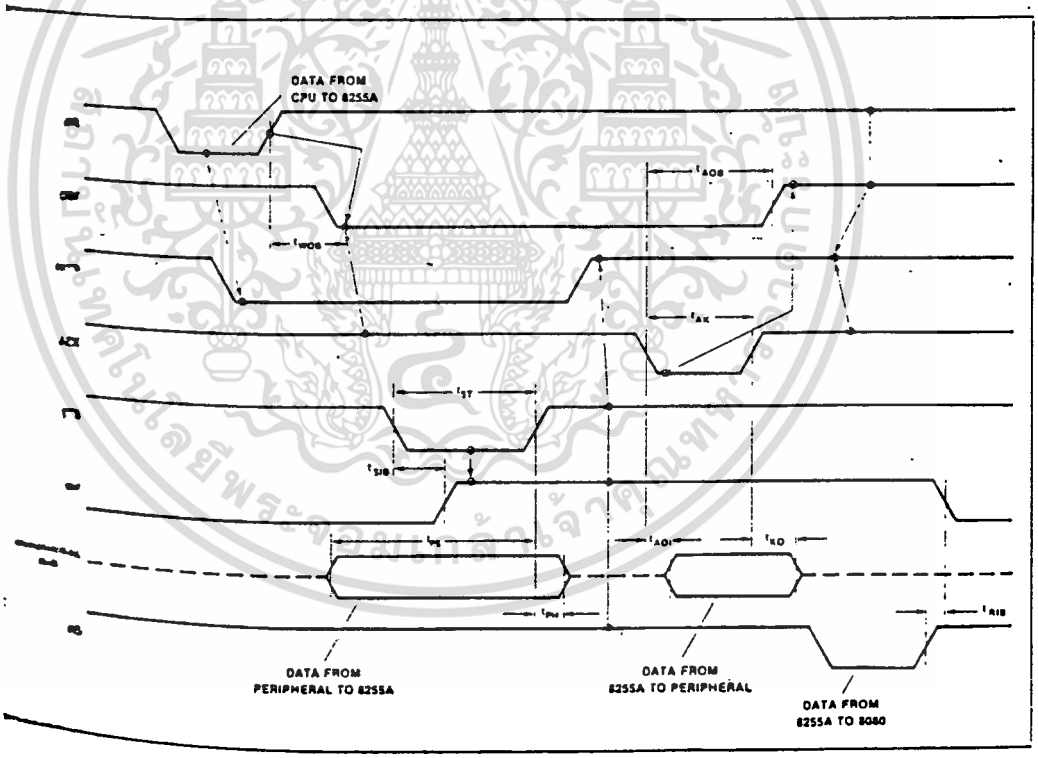


Figure 15. MODE 2 (Bidirectional)

Any sequence where $\overline{WR}$ occurs before $\overline{ACK}$ and $\overline{STB}$ occurs before $\overline{RD}$ is permissible.
(INTR = IBF · $\overline{MASK}$ · $\overline{STB}$ · $\overline{RD}$ + $\overline{OBF}$ · $\overline{MASK}$ · $\overline{ACK}$ · $\overline{WR}$)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

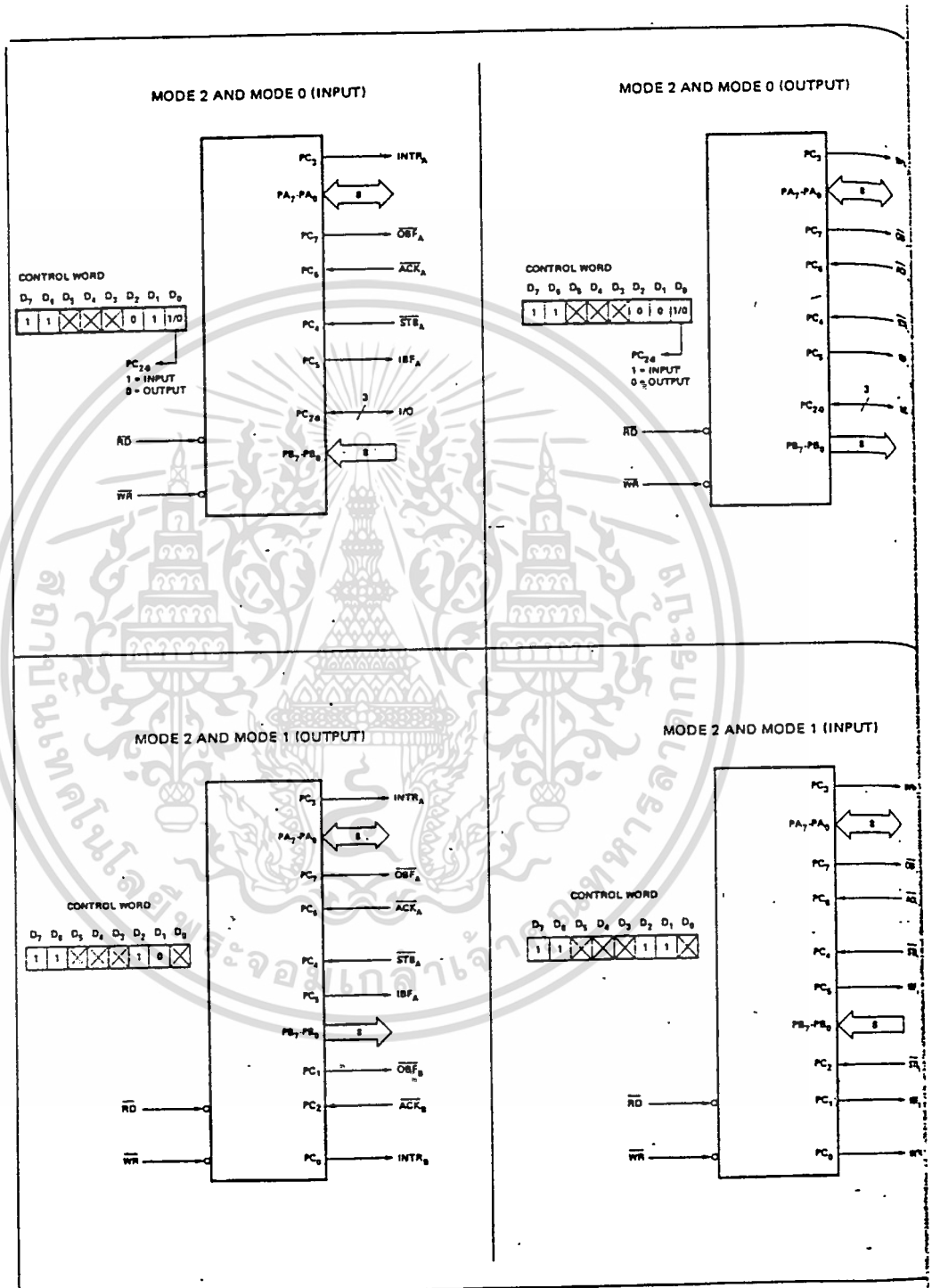


Figure 16. MODE ¼ Combinations

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Mode Definition Summary

	MODE 0		MODE 1		MODE 2	
	IN	OUT	IN	OUT	GROUP A ONLY	
PA_0	IN	OUT	IN	OUT	⟷	
PA_1	IN	OUT	IN	OUT	⟷	
PA_2	IN	OUT	IN	OUT	⟷	
PA_3	IN	OUT	IN	OUT	⟷	
PA_4	IN	OUT	IN	OUT	⟷	
PA_5	IN	OUT	IN	OUT	⟷	
PA_6	IN	OUT	IN	OUT	⟷	
PA_7	IN	OUT	IN	OUT	⟷	
PB_0	IN	OUT	IN	OUT	—	MODE 0 OR MODE 1 ONLY
PB_1	IN	OUT	IN	OUT	—	
PB_2	IN	OUT	IN	OUT	—	
PB_3	IN	OUT	IN	OUT	—	
PB_4	IN	OUT	IN	OUT	—	
PB_5	IN	OUT	IN	OUT	—	
PB_6	IN	OUT	IN	OUT	—	
PB_7	IN	OUT	IN	OUT	—	
PC_0	IN	OUT	$INTR_B$	$INTR_B$	I/O	
PC_1	IN	OUT	IBF_B	$\overline{OBF}_B$	I/O	
PC_2	IN	OUT	$\overline{STB}_B$	$\overline{ACK}_B$	I/O	
PC_3	IN	OUT	$INTR_A$	$INTR_A$	$INTR_A$	
PC_4	IN	OUT	$\overline{STB}_A$	I/O	$\overline{STB}_A$	
PC_5	IN	OUT	IBF_A	I/O	IBF_A	
PC_6	IN	OUT	I/O	$\overline{ACK}_A$	$\overline{ACK}_A$	
PC_7	IN	OUT	I/O	$\overline{OBF}_A$	$\overline{OBF}_A$	

Special Mode Combination Considerations

There are several combinations of modes when not all of the bits in Port C are used for control or status. The remaining bits can be used as follows:

1. Programmed as Inputs —
   All input lines can be accessed during a normal Port C read.

2. Programmed as Outputs —
   Bits in C upper (PC_7-PC_4) must be individually accessed using the bit set/reset function.

   Bits in C lower (PC_3-PC_0) can be accessed using the bit set/reset function or accessed as a threesome by writing into Port C.

Source Current Capability on Port B and Port C

Each bit of eight output buffers, selected randomly from Ports B and C can source 1mA at 1.5 volts. This feature allows the 8255 to directly drive Darlington type drivers and high voltage displays that require such source current.

Reading Port C Status

In Mode 0, Port C transfers data to or from the peripheral device. When the 8255 is programmed to function in Modes 1 or 2, Port C generates or accepts "hand-shaking" signals with the peripheral device. Reading the contents of Port C allows the programmer to test or verify the "status" of each peripheral device and change the program flow accordingly.

There is no special instruction to read the status information from Port C. A normal read operation of Port C is executed to perform this function.

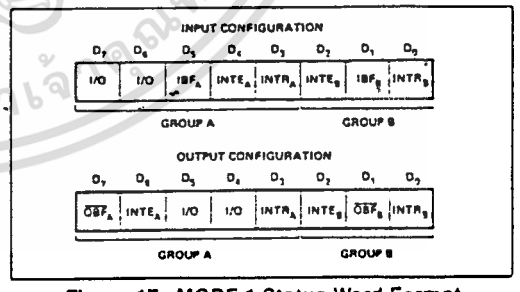


Figure 17. MODE 1 Status Word Format

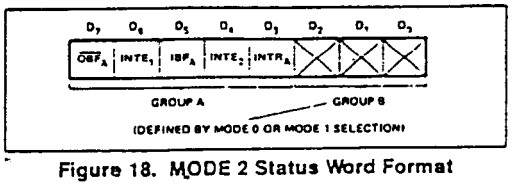


Figure 18. MODE 2 Status Word Format

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

APPLICATIONS OF THE 8255A

The 8255A is a very powerful tool for interfacing peripheral equipment to the microcomputer system. It represents the optimum use of available pins and is flexible enough to interface almost any I/O device without the need for additional external logic.

Each peripheral device in a microcomputer system usually has a "service routine" associated with it. The routine manages the software interface between the device and the CPU. The functional definition of the 8255A is programmed by the I/O service routine and becomes an extension of the system software. By examining the I/O devices interface characteristics for both data transfer and timing, and matching this information to the examples and tables in the detailed operational description, a control word can easily be developed to initialize the 8255A to exactly "fit" the application. Figures 19 through 25 present a few examples of typical applications of the 8255A.

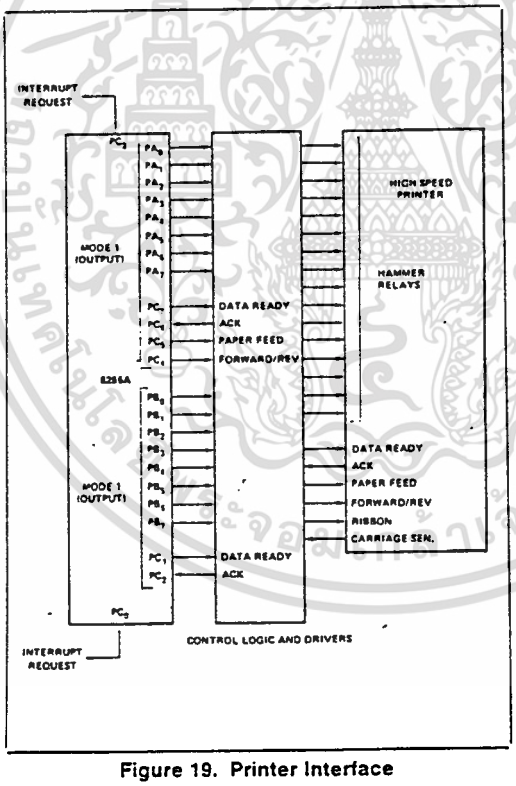


Figure 19. Printer Interface

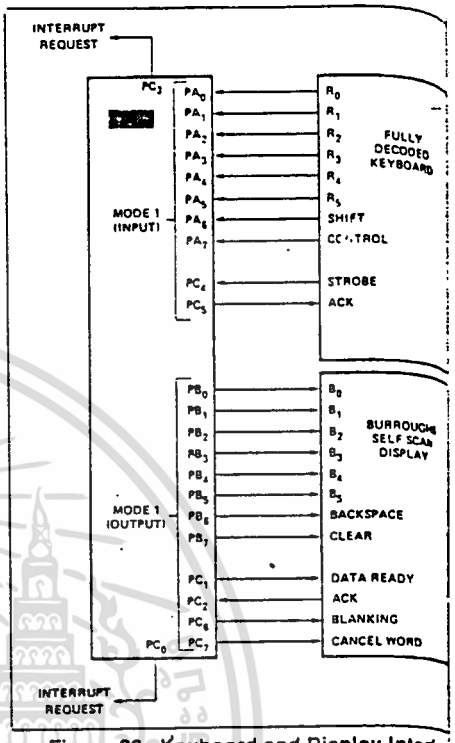


Figure 20. Keyboard and Display Interface

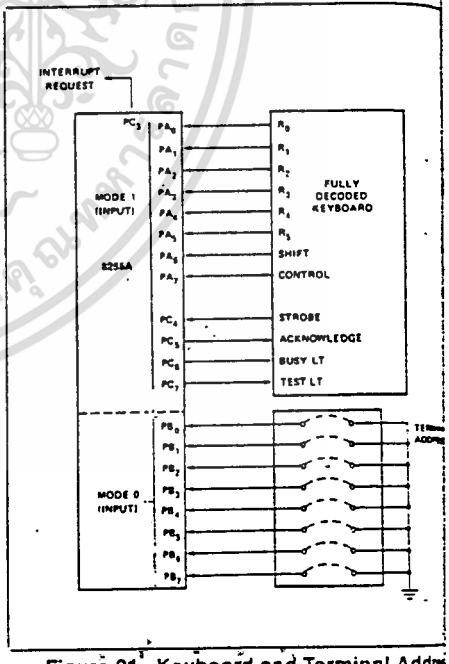


Figure 21. Keyboard and Terminal Address Interface

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

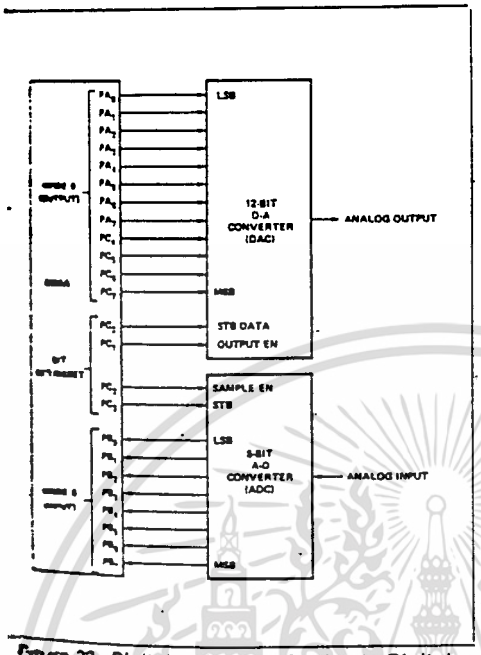


Figure 22. Digital to Analog, Analog to Digital

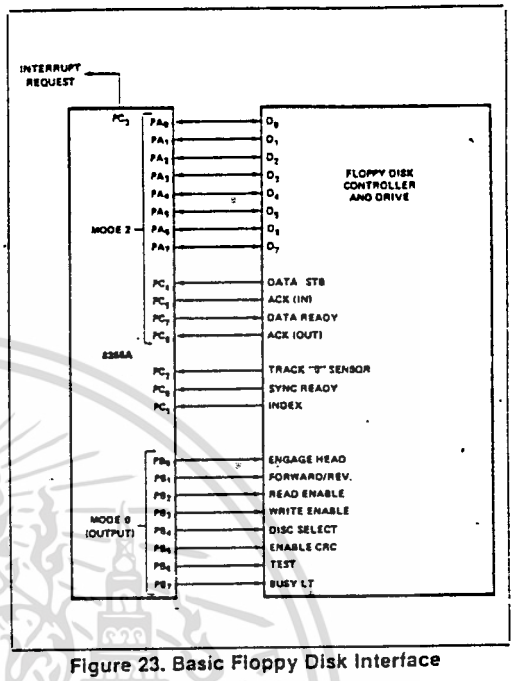


Figure 23. Basic Floppy Disk Interface

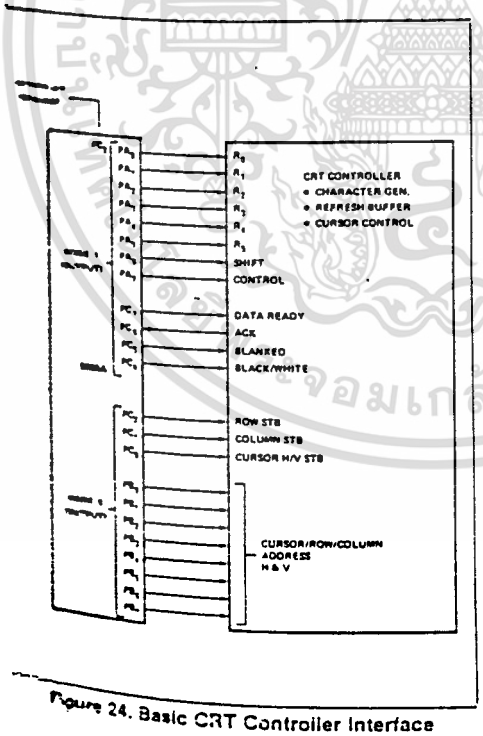


Figure 24. Basic CRT Controller Interface

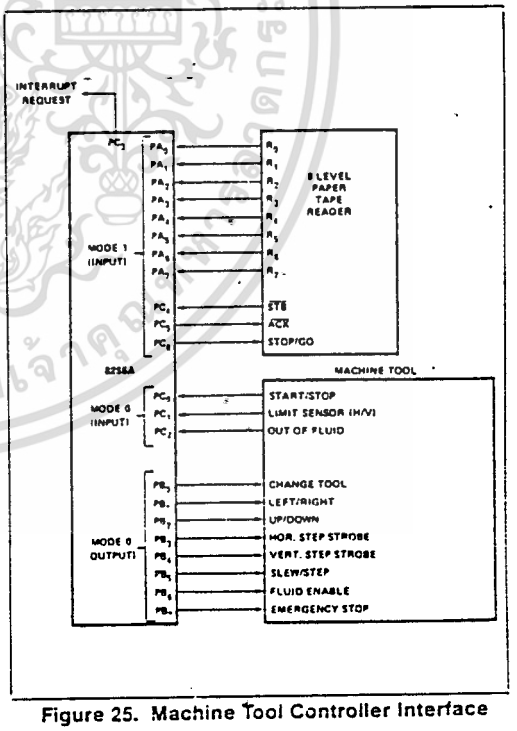


Figure 25. Machine Tool Controller Interface

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ABSOLUTE MAXIMUM RATINGS*

Ambient Temperature Under Bias. . . . . 0°C to 70°C
Storage Temperature . . . . . –65°C to +150°C
Voltage on Any Pin
With Respect to Ground . . . . . –0.5V to +7V
Power Dissipation . . . . . 1 Watt

*NOTICE: Stresses above those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. This is a stress rating only and functional operation of the device at these or any other conditions above those indicated in the operational sections of this specification is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

D.C. CHARACTERISTICS (T_A = 0°C to 70°C, V_{CC} = +5V ±10%, GND = 0V)*

Symbol	Parameter	Min.	Max.	Unit	Test Conditions
V_{IL}	Input Low Voltage	-0.5	0.8	V	
V_{IH}	Input High Voltage	2.0	V_{CC}	V	
V_{OL} (DB)	Output Low Voltage (Data Bus)		0.45*	V	I_{OL} = 2.5mA
V_{OL} (PER)	Output Low Voltage (Peripheral Port)		0.45*	V	I_{OL} = 1.7mA
V_{OH} (DB)	Output High Voltage (Data Bus)	2.4		V	I_{OH} = -400μA
V_{OH} (PER)	Output High Voltage (Peripheral Port)	2.4		V	I_{OH} = -200μA
I_{DAR}[1]	Darlington Drive Current	-1.0	-4.0	mA	R_{EXT} = 750Ω; V_{EXT} = 1.5V
I_{CC}	Power Supply Current		120	mA	
I_{IL}	Input Load Current		±10	μA	V_{IN} = V_{CC} to 0V
I_{OFL}	Output Float Leakage		±10	μA	V_{OUT} = V_{CC} to .45V

NOTE:
1. Available on any 8 pins from Port B and C.

CAPACITANCE (T_A = 25°C, V_{CC} = GND = 0V)

Symbol	Parameter	Min.	Typ.	Max.	Unit	Test Conditions
C_{IN}	Input Capacitance			10	pF	fc = 1MHz
$C_{I/O}$	I/O Capacitance			20	pF	Unmeasured pins returned to GND

A.C. CHARACTERISTICS (T_A = 0°C to 70°C, V_{CC} = +5V ±10%, GND = 0V)*

Bus Parameters

READ

Symbol	Parameter	8255A		8255A-5		Unit
		Min.	Max.	Min.	Max.	
t_{AR}	Address Stable Before READ	0		0		ns
t_{RA}	Address Stable After READ	0		0		ns
t_{RR}	READ Pulse Width	300		300		ns
t_{RD}	Data Valid From READ[1]		250		200	ns
t_{DF}	Data Float After READ	10	150	10	100	ns
t_{RV}	Time Between READs and/or WRITEs	850		850		ns

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

A.C. CHARACTERISTICS (Continued)

WRITE

Symbol	Parameter	8255A		8255A-5		Unit
		Min.	Max.	Min.	Max.	
t_{AW}	Address Stable Before WRITE	0		0		ns
t_{WA}	Address Stable After WRITE	20		20		ns
t_{WW}	WRITE Pulse Width	400		300		ns
t_{DW}	Data Valid to WRITE (T.E.)	100		100		ns
t_{WD}	Data Valid After WRITE	30		30		ns

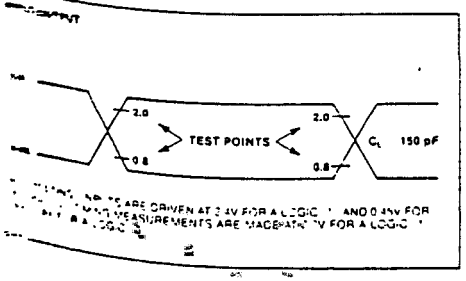
OTHER TIMINGS

Symbol	Parameter	8255A		8255A-5		Unit
		Min.	Max.	Min.	Max.	
t_{WB}	WR = 1 to Output[1]		350		350	ns
t_{RR}	Peripheral Data Before RD	0		0		ns
t_{HR}	Peripheral Data After RD	0		0		ns
t_{AK}	ACK Pulse Width	300		300		ns
t_{ST}	STB Pulse Width	500		500		ns
t_{PS}	Per. Data Before T.E. of STB	0		0		ns
t_{PH}	Per. Data After T.E. of STB	180		180		ns
t_{AD}	ACK = 0 to Output[1]		300		300	ns
t_{KD}	ACK = 1 to Output Float	20	250	20	250	ns
t_{WOB}	WR = 1 to OBF = 0[1]		650		650	ns
t_{ACB}	ACK = 0 to OBF = 1[1]		350	---	350	ns
t_{STB}	STB = 0 to IBF = 1[1]		300		300	ns
t_{RIB}	RD = 1 to IBF = 0[1]		300		300	ns
t_{RIT}	RD = 0 to INTR = 0[1]		400		400	ns
t_{STT}	STB = 1 to INTR = 1[1]		300		300	ns
t_{ACT}	ACK = 1 to INTR = 1[1]		350		350	ns
t_{WIT}	WR = 0 to INTR = 0[1,3]		450		450	ns

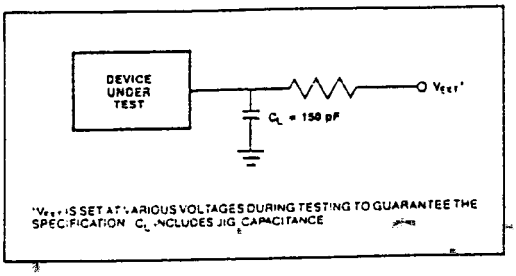
NOTES:

1. Test Conditions: C_L = 150 pF.
2. Period of Reset pulse must be at least 50μs during or after power on. Subsequent Reset pulse can be 500 ns min.
3. $\overline{WR}$ may occur as early as $\overline{WR}\downarrow$.
4. For Extended Temperature EXPRESS, use M8255A electrical parameters.

A.C. TESTING INPUT, OUTPUT WAVEFORM



A.C. TESTING LOAD CIRCUIT

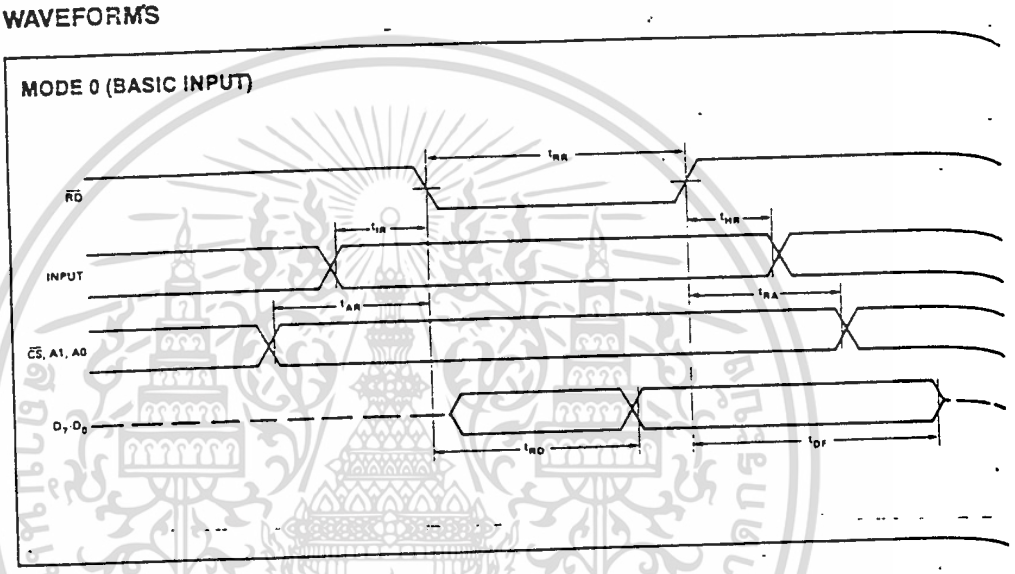


*V_{CC} IS SET AT VARIOUS VOLTAGES DURING TESTING TO GUARANTEE THE SPECIFICATION. C_L INCLUDES JIG CAPACITANCE.

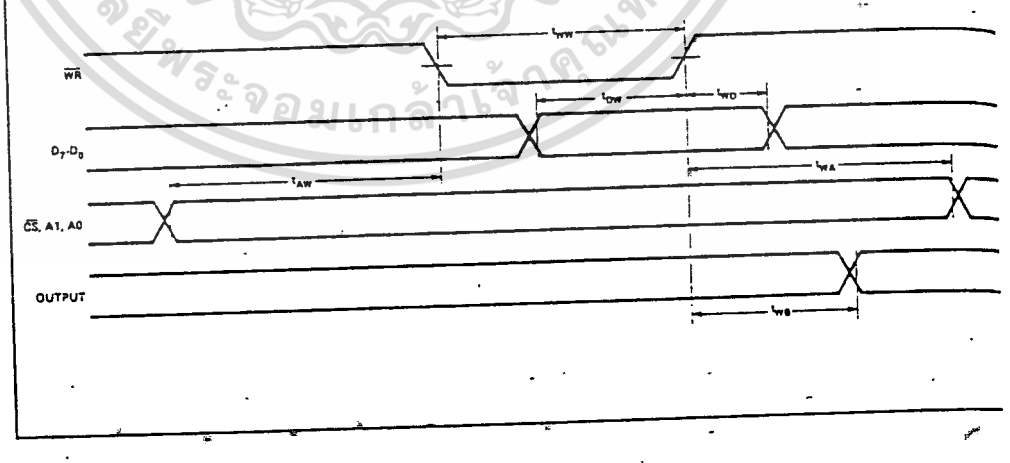
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

WAVEFORMS

MODE 0 (BASIC INPUT)



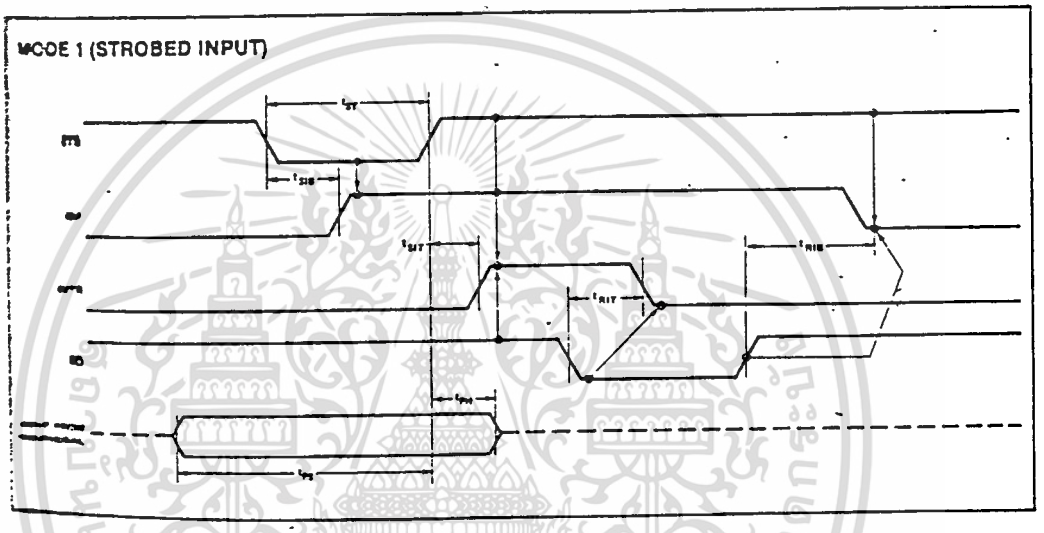
MODE 0 (BASIC OUTPUT)



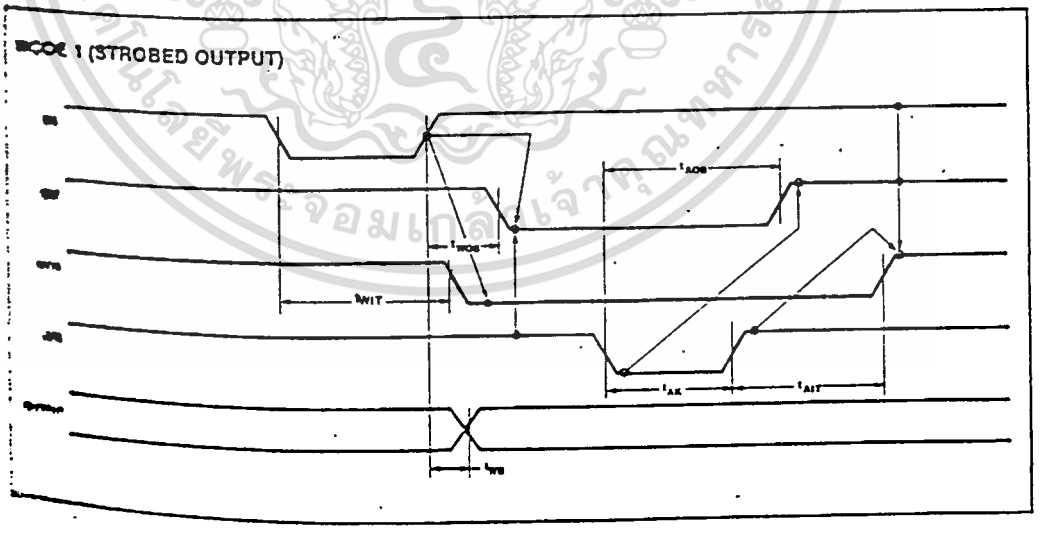
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

WAVEFORMS (Continued)

MODE 1 (STROBED INPUT)



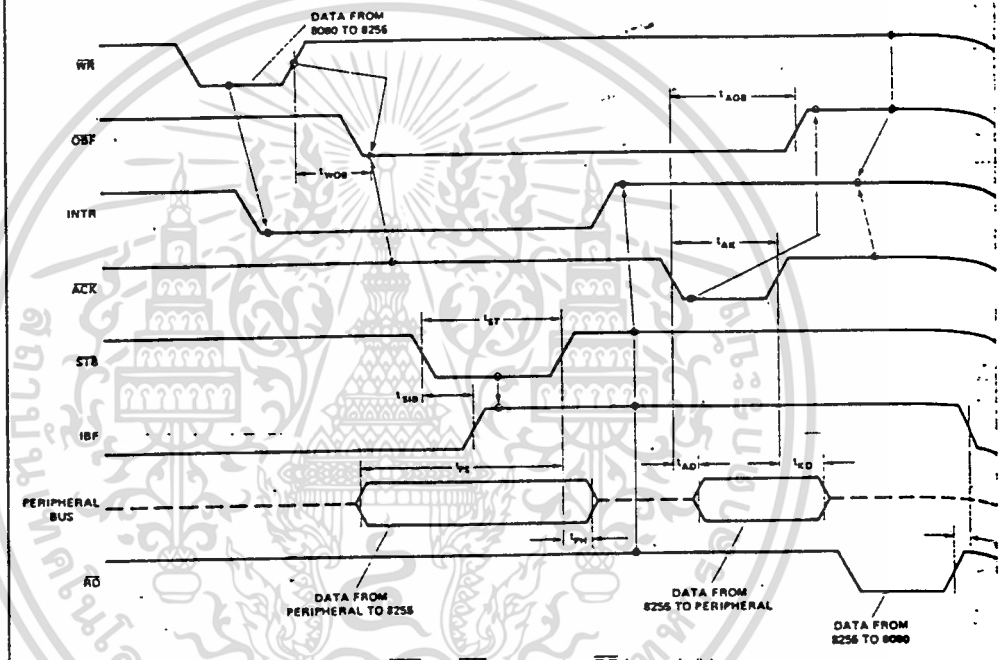
MODE 1 (STROBED OUTPUT)



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

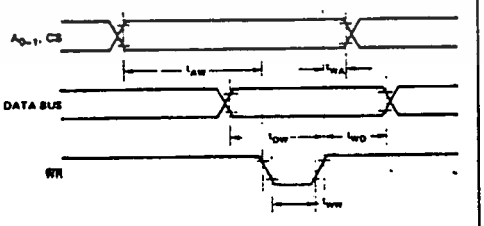
WAVEFORMS (Continued)

MODE 2 (BIDIRECTIONAL)

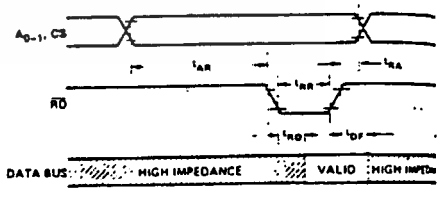


NOTE: Any sequence where $\overline{WR}$ occurs before $\overline{ACK}$ and $\overline{STB}$ occurs before $\overline{RD}$ is permissible.
(INTR = IBF • $\overline{MASK}$ • $\overline{STB}$ • $\overline{RD}$ + $\overline{OBF}$ • $\overline{MASK}$ • $\overline{ACK}$ • $\overline{WR}$)

WRITE TIMING



READ TIMING



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

8,192 WORD x 8 BIT UV ERASABLE AND ELECTRICALLY PROGRAMMABLE READ ONLY MEMORY

N-CHANNEL SILICON STACKED GATE MOS

TMM2764D
TMM2764D-2

DESCRIPTION

The TMM2764D is a 8192 word x 8 bit ultraviolet light erasable and electrically programmable read only memory. For read operation, the TMM2764D's access time is 200 ns, and the TMM2764D operates from a single 5-volt power supply and has low power standby mode which reduces the power dissipation without increasing access time. The standby mode is achieved by applying a TTL-high level signal to the $\overline{CE}$ input. The maximum active current is 120mA and the maximum standby current is 35mA.

For program operation, the programming is accomplished by applying a 50ms active TTL low program pulse to the $\overline{PGM}$ input, and it is possible to program sequentially individually, or at random.

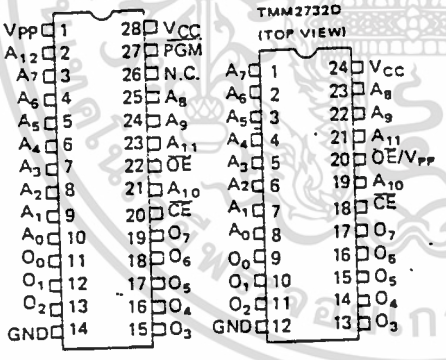
The TMM2764D is fabricated with the reliable silicon double layer gate MOS technology and is packaged in a standard 28 pin dual in line package.

FEATURES

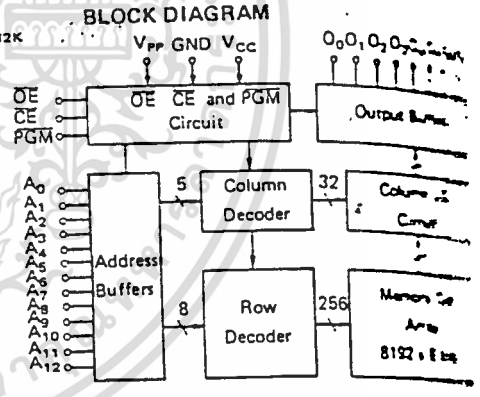
- Single 5-volt power supply
- Fast access time : TMM2764D 250 ns
  TMM2764D-2 200 ns
- Power dissipation :
  120 mA (active current) Max.
  35 mA (standby current) Max.
- Low power standby mode : $\overline{CE}$
- Output buffer control : $\overline{OE}$
- Fully static operation
- Programs with one 50 ms pulse
- Single location programming
- Three state outputs
- Inputs and outputs TTL compatible
- Pin compatible with i2764 and ROM TMM2332D

PIN CONNECTION

(TOP VIEW) Lower 24 pins compatible with 32K bit EPROM TMM2732D



BLOCK DIAGRAM



PIN NAMES

$A_0 \sim A_{12}$	Address Inputs
$O_0 \sim O_7$	Outputs (Inputs)
$\overline{CE}$	Chip Enable Input
$\overline{OE}$	Output Enable Input
$\overline{PGM}$	Program Control Input
N.C.	No Connection
V_{PP}	Program Supply Voltage
V_{CC}	V_{CC} Supply Voltage (+5V)
GND	Ground

MODE SELECTION

Mode \ Pin	$\overline{PGM}$ (27)	$\overline{CE}$ (20)	$\overline{OE}$ (22)	V_{PP} (1)	V_{CC} (28)	$O_0 \sim O_7$ (11~13,15~19)
Read	H	L	L	5V	5V	Data Out
Output Deselect	•	•	H	5V	5V	High Impedance
Standby	•	H	•	5V	5V	High Impedance
Program	L	L	•	21V	5V	Data In
Program Inhibit	•	H	•	21V	5V	High Impedance
	H	L	H	21V	5V	High Impedance
Program Verify	H	L	L	21V	5V	Data Out

Note. •: H or L

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

...MUM RATINGS

...BOL	ITEM	RATING	UNIT
	V_{CC} Power Supply Voltage	−0.6 ~ 7.0	V
	Program Supply Voltage	−0.6 ~ 22.0	V
	Input Voltage	−0.6 ~ 7.0	V
	Output Voltage	−0.6 ~ 7.0	V
	Power Dissipation	1.5	W
	Soldering Temperature · Time	260 · 10	°C · sec
	Storage Temperature	−65 ~ 125	°C
	Operating Temperature	0 ~ 70	°C

...O OPERATION

... RECOMMENDED OPERATING CONDITIONS

...BOL	PARAMETER	MIN.	TYP.	MAX.	UNIT
	Input High Voltage	2.0	–	V_{CC} + 1.0	V
	Input Low Voltage	−0.3	–	0.8	V
	V_{CC} Power Supply Voltage	4.75	–	5.25	V
	V_{PP} Power Supply Voltage	2.0	V_{CC}	V_{CC} + 0.6	V

... and OPERATING CHARACTERISTICS (Ta = 0 ~ 70°C, V_{CC} = 5V ± 5% Unless otherwise noted)

...BOL	PARAMETER	CONDITIONS	MIN.	TYP.	MAX.	UNIT
	Input Current	V_{IN} = 0 ~ V_{CC}	–	–	± 10	μA
	Supply Current (Standby)	$\overline{CE}$ = V_{IH}	–	–	35	mA
	Supply Current (Active)	$\overline{CE}$ = V_{IL}	–	–	120	mA
	Output High Voltage	I_{OH} = −400μA	2.4	–	–	V
	Output Low Voltage	I_{OL} = 2.1mA	–	–	0.4	V
	V_{PP} Current	V_{PP} = 0 ~ V_{CC} + 0.6	–	–	± 10	μA
	Output Leakage Current	V_{OUT} = 0.4 ~ V_{CC}	–	–	± 10	μA

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

A.C. CHARACTERISTICS

(T_a = 0 ~ 70°C, V_{CC} = 5V ± 5%, V_{PP} = 2.0V ~ V_{CC} + 0.6V, Unless otherwise noted)

SYMBOL	PARAMETER	CONDITIONS	TMM2764D-2		TMM2764D		Unit
			MIN.	MAX.	MIN.	MAX.	
t_{ACC}	Address Access Time	$\overline{CE}$ = $\overline{OE}$ = V_{IL}, $\overline{PGM}$ = V_{IH}	–	200	–	250	ns
t_{CE}	$\overline{CE}$ to Output Valid	$\overline{OE}$ = V_{IL}, $\overline{PGM}$ = V_{IH}	–	200	–	250	ns
t_{OE}	$\overline{OE}$ to Output Valid	$\overline{CE}$ = V_{IL}, $\overline{PGM}$ = V_{IH}	–	70	–	100	ns
t_{PGM}	$\overline{PGM}$ to Output Valid	$\overline{OE}$ = $\overline{CE}$ = V_{IL}	–	70	–	100	ns
t_{DF1}	$\overline{CE}$ to Output in High-Z	$\overline{OE}$ = V_{IL}, $\overline{PGM}$ = V_{IH}	0	60	0	90	ns
t_{DF2}	$\overline{OE}$ to Output in High-Z	$\overline{CE}$ = V_{IL}, $\overline{PGM}$ = V_{IH}	0	60	0	90	ns
t_{DF3}	$\overline{PGM}$ to Output in High-Z	$\overline{OE}$ = $\overline{CE}$ = V_{IL}	0	60	0	90	ns
t_{OH}	Output Data Hold Time	$\overline{CE}$ = $\overline{OE}$ = V_{IL}, $\overline{PGM}$ = V_{IH}	0	–	–	–	ns

A.C. Test Conditions

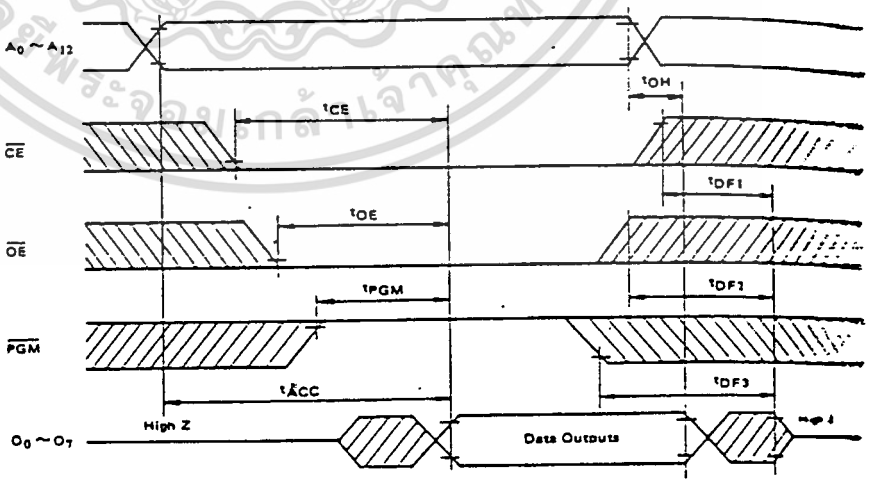
- Output Load : 1 TTL Gate and C_L = 100pF
- Input Pulse Rise and Fall Times : 10ns Max.
- Input Pulse Levels : 0.8V to 2.2V
- Timing Measurement Reference Level : Inputs 1V and 2V, Outputs 0.8V and 2.0V

CAPACITANCE * (T_a = 25°C, f = 1MHz)

SYMBOL	PARAMETER	CONDITIONS	MIN.	TYP.	MAX.	Unit
C_{IN}	Input Capacitance	V_{IN} = 0V	–	4	6	pF
C_{OUT}	Output Capacitance	V_{OUT} = 0V	–	8	12	pF

* This parameter is periodically sampled and is not 100% tested.

TIMING WAVEFORMS (READ)



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

GRAM OPERATION

RECOMMENDED OPERATING CONDITIONS

SYMBOL	PARAMETER	MIN.	TYP.	MAX.	UNIT
V_{IH}	Input High Voltage	2.0	–	V_{CC} + 1.0	V
V_{IL}	Input Low Voltage	−0.3	–	0.8	V
V_{CC}	V_{CC} Power Supply Voltage	4.75	5.0	5.25	V
V_{PP}	V_{PP} Power Supply Voltage	20.5	21.0	21.5	V

and OPERATING CHARACTERISTICS (Ta = 25 ± 5°C, V_{CC} = 5V ± 5%, V_{PP} = 21V ± 0.5V)

SYMBOL	PARAMETER	CONDITIONS	MIN.	TYP.	MAX.	UNIT
I_{LI}	Input Current	V_{IN} = 0 ~ V_{CC}	–	–	± 10	μA
V_{OH}	Output High Voltage	I_{OH} = −400μA	2.4	–	–	V
V_{OL}	Output Low Voltage	I_{OL} = 2.1mA	–	–	0.4	V
I_{CC}	V_{CC} Supply Current	–	–	–	120	mA
I_{PP}	V_{PP} Supply Current	V_{PP} = 21.5V	–	–	30	mA

PROGRAMMING CHARACTERISTICS (Ta = 25 ± 5°C, V_{CC} = 5V ± 5%, V_{PP} = 21V ± 0.5V)

SYMBOL	PARAMETER	CONDITIONS	MIN.	TYP.	MAX.	UNIT
t_{AS}	Address Setup Time	–	2	–	–	μs
t_{AH}	Address Hold Time	–	2	–	–	μs
t_{CES}	$\overline{CE}$ Setup Time	–	2	–	–	μs
t_{CEH}	$\overline{CE}$ Hold Time	–	2	–	–	μs
t_{DS}	Data Setup Time	–	2	–	–	μs
t_{DH}	Data Hold Time	–	2	–	–	μs
t_{PGMS}	$\overline{PGM}$ Setup Time	–	2	–	–	μs
t_{PGMH}	$\overline{PGM}$ Hold Time	–	2	–	–	μs
t_{OES}	$\overline{OE}$ Setup Time	–	2	–	–	μs
t_{VPS}	V_{PP} Setup Time	–	2	–	–	μs
t_{PW}	Program Pulse Width	$\overline{PGM}$ = $\overline{CE}$ = V_{IL}	45	50	55	ms
t_{OPR}	Program Recovery Time	–	0	–	–	μs
t_{PRT}	Program Pulse Rise Time	–	5	–	–	ns
t_{PFT}	Program Pulse Fall Time	–	5	–	–	ns
t_{CE}	$\overline{CE}$ to Output Valid	–	–	–	250	ns
t_{OE}	$\overline{OE}$ to Output Valid	–	–	–	100	ns
t_{DF1}	$\overline{CE}$ to Output in High Z	$\overline{OE}$ = V_{IL}	–	–	90	ns
t_{DF2}	$\overline{OE}$ to Output in High Z	$\overline{CE}$ = V_{IL}	–	–	90	ns

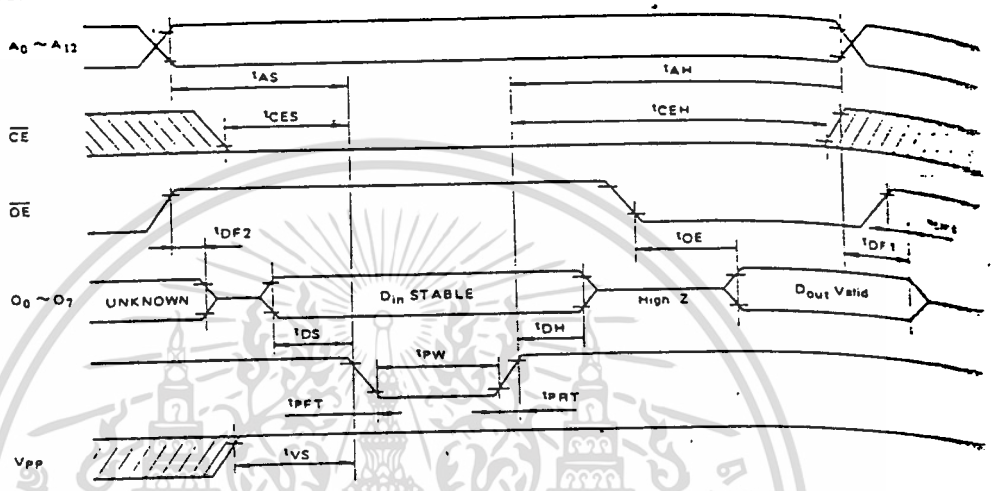
Test Conditions

Output Load	:	1TTL Gate and C_L (100 pF)
Input Pulse Rise and Fall Times	:	10ns Max.
Input Pulse Levels	:	0.8 ~ 2.2V
Timing Measurement Reference Level	:	Input 1V and 2V : Output 0.8V and 2.0V

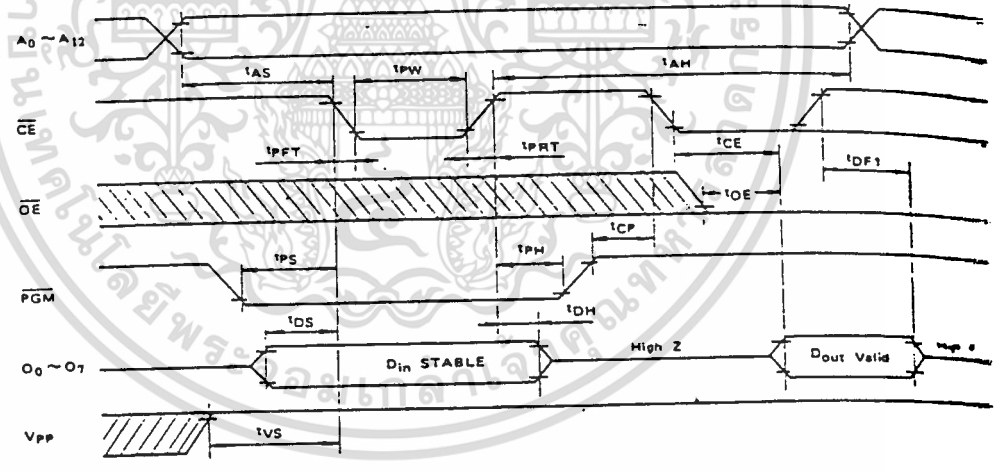
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TIMING WAVEFORMS (PROGRAM)

PROGRAM OPERATION 1. (V_{PP} = 21V ± 0.5V)



PROGRAM OPERATION 2. (V_{PP} = 21V ± 0.5V)



Note: 1. V_{CC} must be applied simultaneously or before V_{PP} and cut off simultaneously or after V_{PP}.
2. Removing the device from socket and setting the device in socket with V_{PP} = 21V may cause permanent damage to the device.
3. The V_{PP} supply voltage is permitted up to 22V for program operation, so the voltage over 22V should not be applied to the V_{PP} terminal.
When the switching pulse-voltage is applied to the V_{PP} terminal, the over-shoot voltage of its pulse should not be exceeded 22V.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

...SURE CHARACTERISTICS

...e TMM2764D's erasure is achieved by applying ...ave ultraviolet light which has a wavelength of ...Å (Angstroms) to the chip through the trans... window. Then integrated dose (Ultraviolet ...ntensity [w/cm²] x exposure time [sec.]) for ...se should be a minimum of 15 [W sec/cm²]. ...en the Toshiba sterilizing lamp GL-15 is used ...e device is exposed at a distance of 1 cm from ...p surface, the erasure will be achieved within ...minutes. And using commercial lamps whose ...olet light intensity is a 12000 [μw/cm²] will reduce the exposure time to about 20 minutes. (In this case, the integrated does is 12000 [μw/cm²] x (20 x 60) [sec] ≅ 15 [w. sec/cm²].)

The TMM2764D's erasure begins to occur when exposed to light with wavelength shorter than 4000 Å. The sunlight and the fluorescent lamps will include 3000 ~ 4000 Å wavelength components. Therefore when used under such lighting for extended periods of time, the opaque seals - Toshiba EPROM Protect Seal AC901 - are available.

...RATION INFORMATION

...e TMM2764D's six operation modes are listed in ...llowing table. Mode selection can be achieved ...plying TTL level signal to all inputs. In the read operation mode, a single 5V power supply is required and the levels required for all inputs are TTL.

		$\overline{PGM}$ (27)	$\overline{CE}$ (20)	$\overline{OE}$ (22)	V_{PP} (1)	V_{CC} (28)	$O_0 \sim O_7$ (11~13, 15~19)	Power
...EAD ...RATION ...3~70°C)	Read	H	L	L	5V	5V	Data Out	Active
	Output Deselect	•	•	H			High Impedance	Active
	Standby	•	H	•			High Impedance	Standby
...OGRAM ...RATION ...25°C)	Program	L	L	•	21V	5V	Data In	Active
	Program	•	H	•			High Impedance	Active
	Inhibit	H	L	H			High Impedance	Active
	Program Verify	H	L	L			Data Out	Active

... H: V_{IH}, L: V_{IL}, •: V_{IH} or V_{IL}

...AD MODE

...e TMM2764D has three control functions. The ...enable ($\overline{CE}$) controls the operation power and ...be used for device selection.

...output enable ($\overline{OE}$) and the program control ...control the output buffers, independent of ...selection.

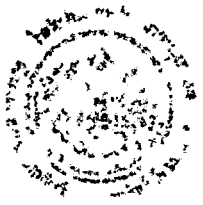
...ming that $\overline{CE}$ = $\overline{OE}$ = V_{IL} and $\overline{PGM}$ = V_{IH}, the ...data is valid at the outputs after address access ...from stabilizing of all addresses.

The $\overline{CE}$ to output valid (t_{CE}) is equal to the address access time (t_{ACC}).

Assuming that $\overline{CE}$ = V_{IL}, $\overline{PGM}$ = V_{IH} and all addresses are valid, the output data is valid at the outputs after t_{OE} from the falling edge of $\overline{OE}$.

And assuming that $\overline{CE}$ = $\overline{OE}$ = V_{IL} and all addresses are valid, the output data is valid at the outputs after t_{PGM} from the rising edge of $\overline{PGM}$.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



OUTPUT DESELECT MODE

Assuming that $\overline{CE}$ = V_{IH} or $\overline{OE}$ = V_{IH}, the outputs will be in a high impedance state. So two or more TMM2764D can be connected together on a common bus line. When $\overline{CE}$ is decoded for device [illegible] deselected devices are in low power stand-by mode.

STANDBY MODE

The TMM2764D has a low power standby mode controlled by the $\overline{CE}$ signal. By applying a TTL high level to the $\overline{CE}$ input, the TMM2764D is placed in the standby mode which reduce the operating current from 120mA to 35mA, and then the outputs are in high impedance state, independent of the $\overline{OE}$ and $\overline{PGM}$ inputs.

PROGRAM MODE

Initially, when received by customers, all bits of the TMM2764D are in the "1" state which is erased state.

Therefore, the program operation is to introduce "0s" data into the desired bit locations by electrically programming.

The TMM2764D is set up in the program operation mode when applied the program voltage (+21V) to the V_{PP} terminal under $\overline{CE}$ = $\overline{PGM}$ = $\overline{OE}$ = V_{IH}.

The program operation occurs during the overlap of the $\overline{CE}$ low and the $\overline{PGM}$ low. Then the programming is achieved by applying a 50ms (t_{PW}) active low program pulse to the $\overline{CE}$ or the $\overline{PGM}$ input after the addresses and data are stable.

This program pulse should be a single pulse with 50ms pulse width per address word, and its maximum value is 55ms.

The levels required for all inputs are TTL.

The TMM2764D can be programmed anywhere at anytime — either individually, sequentially, or random.

The TMM2764D should not be programmed with D.C. signal applied to both $\overline{CE}$ and $\overline{PGM}$ inputs.

PROGRAM VERIFY MODE

The verify mode is to check that the desired data is correctly programmed on the programmed bits.

The verify is accomplished with $\overline{OE}$ and $\overline{CE}$ at V_{IL} and $\overline{PGM}$ at V_{IH}.

PROGRAM INHIBIT MODE

Under the condition that the program voltage (+21V) is applied to V_{PP} terminal, a high level $\overline{CE}$ or $\overline{PGM}$ input inhibits the TMM2764D from being programmed. Programming of two or more TMM2764Ds in parallel with different data is easily accomplished. That is, all inputs except for $\overline{CE}$ or $\overline{PGM}$ are commonly connected, and a TTL low level program pulse is applied to the $\overline{CE}$ and $\overline{PGM}$ of the desired device only and TTL high level signal is applied to the other devices.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้