อินเตอร์เฟสเยนเนอร์เรเตอร์

INTERFACE GENERATOR

โดย

นายโสภณ ธรรมโชเต

นายอดิศัย จีนลอย

นายสุเจตน์ โภชนะกิจ

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตร์บัณฑิต

ภาควิชาเทคนิคอุตสาหกรรม

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2534

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

ปริญญานิพนธ์ ปีการศึกษา 2534

ภาควิชา เทคนิคอุตสาหกรรม

คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้า เจ้าคุณทหารลาดกระบัง

เรื่อง อินเตอร์เฟสเยนเนอร์เรเตอร์

(INTERFACE GENERATOR)

ผู้จัดทำ นาย โสภณ ธรรมโชเต 32.3628

นาย อดิศัย จีนลอย 32.3630

นาย สุเจตน์ โภชนะกิจ 32.3533

.....อาจารย์ที่ปรึกษา

(ดร.ไพศาล นาคพิพัฒน์)

.....กรรมการ

( )

.....กรรมการ

( )

.....กรรมการ

( )

.....กรรมการ

( )

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

อินเตอร์เฟสเยนเนอร์เรเตอร์

นาย โสภณ ธรรมโชเต 32.3628
นาย อดิศัย จีนลอย 32.3630
นาย สุเจตน์ โภชนะกิจ 32.3533

ดร. ไพศาล นาคนิพัฒน์ อาจารย์ที่ปรึกษา

ปีการศึกษา 2534

บทคัดย่อ

ปริญญานิพนธ์ฉบับนี้ได้เสนอขึ้นจากการพัฒนาเครื่องกำเนิดสัญญาณ และเครื่องมือวัดคอมพิวเตอร์ เป็นการประยุกต์การใช้งานบนเครื่องคอมพิวเตอร์ โดยจัดทำแผงวงจรเชื่อมต่อ (interface card) ที่เรียกว่าอินเตอร์เฟสเยนเนอร์-เรเตอร์ (INTERFACE GENERATOR) ให้ทำงานพร้อมกับโปรแกรม การ์ดอินเตอร์เฟสเยนเนอร์เรเตอร์นี้ จะทำหน้าที่เป็นเครื่องกำเนิดสัญญาณ โดยการใช้คอมพิว-เตอร์เป็นตัวควบคุมสัญญาณที่ผลิตออกมาได้ 3 ลักษณะคือ Sine wave, Square - wave และ Triangle waveโดยใช้ไอซีเบอร์ XR2206 ทำหน้าที่เป็น Function Generator แล้วนำสัญญาณที่ได้ไปใช้ในงานทดลอง หรืองานต่าง ๆ ได้ตามต้องการ และการ์ดอินเตอร์เฟสเยนเนอร์เรเตอร์ สามารถจะรับสัญญาณจากภายนอกเข้ามาประมวลผล เปรียบเทียบในเครื่องคอมพิวเตอร์ และ ให้คอมพิวเตอร์แสดงผลที่จอคอมพิวเตอร์ แทนการใช้ออสซิโลสโคป ทั้งนี้เพื่อความสะดวกกับงานทด-ลอง ในปัจจุบันและอนาคตต่อไป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

INTERFACE GENERATOR

Sopon Tumchota 32.3628

Adisai Jeanloy 32.3630

Sujat[illegible] Pochanakit 32.3533

Associate Professor Pisan Nakpiputh Advisor

1991

Abstract

This thesis is presented the devement of signal generator and the instrument that operation IBM.PC,that call INTERFACE GENERATOR.The interface generator is the interfacing card that consist of two path,the path one is function generator that can program sine,triangle or square via the IBM. personal computer and second is digital oscilloscope that - can measure and process any signal from input and display on personal computer monitor.So that it really make convenient in electronics circuit experiment.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ

	หน้า
บทที่ 1 บทนำ	1
บทที่ 2 หลักการทั่วไปของการอินเตอร์เฟส	2
2.1 Block diagram และการทำงาน	2
2.2 หลักการของ Function Generator โดยทั่วไป	8
2.3 หลักการทำงานของ ออสซิลโลสโคป	12
บทที่ 3 ทฤษฎีทั่วไป	20
3.1 Function Generator(XR2206)	20
3.2 การแปลงอนาล็อกเป็นดิจิตอล	35
บทที่ 4 โครงสร้าง IBM PCXT/AT และเทคนิคการอินเตอร์เฟส	43
4.1 โครงสร้าง IBM PCXT/AT	43
4.2 การควบคุมระบบบัสและการ Decoder	59
4.3 8255 อินพุท/เอาท์พุท กับการอินเตอร์เฟส	62
4.4 หลักการของ 8253 (Programable Time Counter)	65
4.5 การสร้างสถานะรอ(Wait state)	75
บทที่ 5 การออกแบบวงจรใช้งาน	78
5.1 การออกแบบวงจรอินเตอร์เฟส(Interface)	79
5.2 การออกแบบ XR2206 ของ Interface Generator	90
5.3 การออกแบบวงจรเปลี่ยนสัญญาณ(Signal conversion)	98
บทที่ 6 ทฤษฎีและการเขียนโปรแกรมภาษาซี	107
6.1 ทฤษฎีทั่วไปของโปรแกรมภาษาซี	107
6.2 หลักการเขียนโปรแกรมควบคุม Function Generator	113

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ (ต่อ)

หน้า

บทที่ 7 การทดลองและผลการทดลอง 138

7.1 การทดลองและผลการทดลองภายนอกเครื่องไมโครคอมพิวเตอร์ 138

7.2 การทดลองและผลการทดลองภายในเครื่องไมโครคอมพิวเตอร์ 140

บทที่ 8 สรุปและวิจารณ์ ผลการทดลอง 143

ภาคผนวก 144

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 1

บทนำ

ในปัจจุบันจะเห็นได้ว่า งานในด้านธุรกิจ พานิชย์ และด้านอื่น ๆ อีกหลายด้าน จำเป็นจะต้องมีคอมพิวเตอร์เข้ามาเกี่ยวข้อง เพื่อช่วยให้สะดวกในการปฏิบัติงานในด้านนั้น ๆ และที่สำคัญราคาของคอมพิวเตอร์ในปัจจุบันไม่สูงเกินไปนัก ทำให้มีใช้กันอย่างแพร่หลาย จึงทำให้คนทั่วไปรู้จักและคุ้นเคยกับคอมพิวเตอร์ได้เป็นอย่างดี

ในงานทดลองทางวงจรอิเล็กทรอนิกส์ จำเป็นต้องใช้สัญญาณจากภายนอกเข้ามาป้อนเป็นอินพุทให้กับวงจรทดลอง และออสซิโลสโคป ใช้วัดสัญญาณตามจุดต่าง ๆ ของวงจรทดลอง จึงทำให้คณะผู้จัดทำได้มีความคิดที่จะนำคอมพิวเตอร์มาประยุกต์ใช้แสดงผลของสัญญาณแทนออสซิโลสโคป จึงได้ทำ Card Interface กับไมโครคอมพิวเตอร์ขึ้นพร้อมกับ Soft ware ทำงานร่วมกับการทำงานของ Card Interface บนเครื่องคอมพิวเตอร์ Card Interface ที่สร้างขึ้นมานี้ จะทำหน้าที่ผลิตสัญญาณ เพื่อป้อนให้กับวงจรทดลองได้ จึงเรียก Card ที่สร้างขึ้นมานี้ว่า "Interface Generator" Interface Generator นี้จะติดต่อกับไมโครคอมพิวเตอร์ เพื่อให้ไมโครคอมพิวเตอร์บอกคุณสมบัติลักษณะของสัญญาณที่วัดได้จากวงจรทดลอง เปรียบเทียบกับสัญญาณที่ Interface Generator ผลิตออกมาได้ โดยใช้ไอซี เบอร์ XR 2206 เป็นตัวทำหน้าที่ผลิตสัญญาณ คอมพิวเตอร์ควบคุมการผลิตการส่งสัญญาณแบบต่าง ๆ และ Interface Generator นี้ยังสามารถรับสัญญาณจากภายนอกเข้ามาประมวลผลในคอมพิวเตอร์ได้ ใช้วงจรเปลี่ยนสัญญาณอนาล็อกเป็นสัญญาณดิจิตอล (Analog to Digital converter) ในที่นี้ใช้ ไอซี เบอร์ ADC 0816 ทำหน้าที่เปลี่ยนสัญญาณ เพื่อให้ติดต่อกับไมโครคอมพิวเตอร์ และให้คอมพิวเตอร์แสดงผลทำหน้าที่เป็นสโคป ทั้งนี้เพื่อความสะดวกของงานทดลองวงจรอิเล็กทรอนิกส์ต่างๆ ทั่วไป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 2

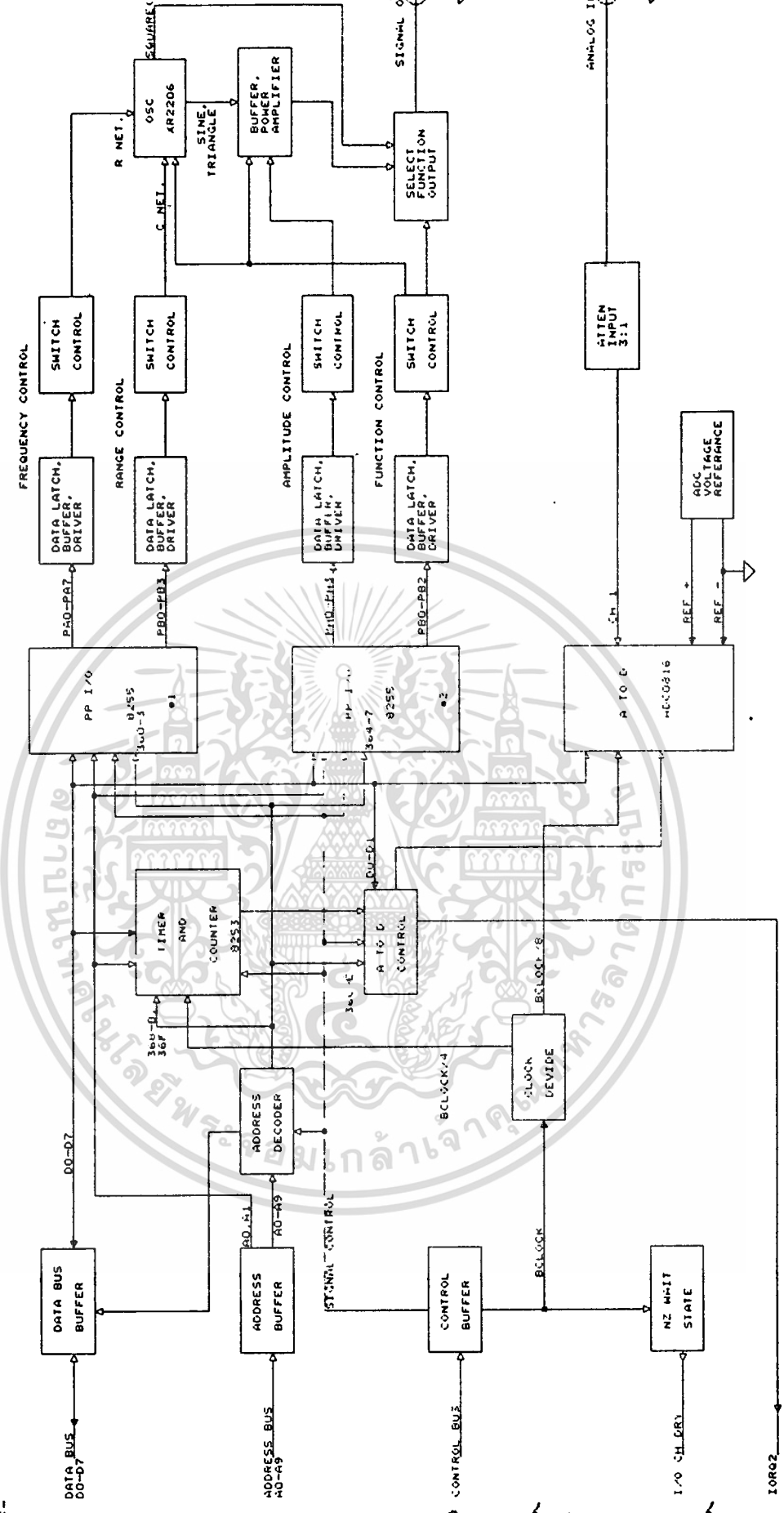
หลักการทั่วไปของอินเตอร์เฟสเยนเนอร์เรเตอร์

ในการนำเอาไมโครคอมพิวเตอร์ เข้ามาควบคุมการทำงานของอินเตอร์เฟส เยนเนอร์เรเตอร์ ที่สร้างขึ้นมานี้เพื่อให้ผลิตสัญญาณได้ตามต้องการ โดยให้ไมโครคอมพิวเตอร์รับสัญญาณอานาลอก จากการ์ดอินเตอร์เฟสเยนเนอร์เรเตอร์เข้ามาประมวลผลและทำหน้าที่เป็นสโคป สัญญาณควบคุมต่าง ๆ จะผ่านทาง Parallel port ของการ์ดอินเตอร์เฟส เยนเนอร์เรเตอร์ ซึ่งจะกล่าวถึงหลักการทำงานของอินเตอร์เฟส เยนเนอร์เรเตอร์ ดังต่อไปนี้

2.1 BLOCK DIAGRAM และการทำงาน

การ์ดอินเตอร์เฟส เยนเนอร์เรเตอร์ ที่สร้างขึ้นมานี้ จะทำงานได้ทั้งในเครื่อง PC แบบ XT BUS และ AT BUS เมื่อสัญญาณต่าง ๆ ของ PC XT, AT มาปรากฏที่ Expension slot ของเครื่องไมโครคอมพิวเตอร์ จึงใช้ต่อกับการ์ดอินเตอร์เฟส เยนเนอร์เรเตอร์ รายละเอียดของการ์ดอินเตอร์เฟส เยนเนอร์เรเตอร์ แสดงเป็น Block diagram ดังรูปที่ 2.1 จะอธิบายการทำงานเป็นส่วน ๆ ต่อไป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.1 แสดง Block Diagram ของอินเตอร์เฟส เยนเนอร์เรเตอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.1.1 PPI/O (Parallel Port Input / Output)

PI/O จะทำหน้าที่รับส่งข้อมูลจากการ์ดอินเตอร์เฟสเยนเนอร์เรเตอร์จากไมโครคอมพิวเตอร์ ซึ่งจะมีทั้งหมด 8 bit และ 16 bit ทั้งนี้ PPI/O จะทำงานได้ก็ต่อเมื่อมีการจัดแอดเดรสสำหรับ PPI/O จากไมโครคอมพิวเตอร์ผ่านดีโค๊ดเดอร์เพื่อเปิด CS ให้ PPI/O ทำงาน ในที่นี้ให้ไอซีเบอร์ 8255 เป็น PPI/O ให้ทำงานในโหมดต่าง ๆ ตามต้องการ เป็นตามลักษณะการทำงานของ 8255 เพื่อให้ติดต่อรับส่งข้อมูลระหว่างไมโครคอมพิวเตอร์กับการ์ดอินเตอร์เฟส เยนเนอร์-เรเตอร์ได้ สัญญาณที่ออกจาก PPI/O จะนำไปควบคุมการผลิตความถี่ของ XR-2206 และรับข้อมูลจาก A/D เพื่อส่งไปให้ไมโครคอมพิวเตอร์ให้ทำงานตามต้องการต่อไป

2.1.2 DECODER PPI/O ADD

DECODER PPI/O ADDRESS นี้จะทำหน้าที่ดีโค๊ดแอสเดรสให้กับ PPI/O เพื่อให้ไมโครคอมพิวเตอร์ทราบว่าขณะนี้ต้องการติดต่อกับ PPI/O ตัวไหน ตัว DE-CODER จะรับสัญญาณจาก Address bus ของไมโครคอมพิวเตอร์เข้ามาจะได้ output ซึ่งต่อกับ CS ของ PPI/Oเพื่อเป็นการเปิดปิดการทำงานของ PPI/O ในส่วนนี้จะทำให้ไมโครคอมพิวเตอร์รู้ได้ว่า Addressไหนเป็นการเปิดหรือปิด PPI/O ตัวใด ทำหน้าที่เป็น input หรือ output

2.1.3 DATA LATCH

Data Latch จะเป็นรับข้อมูลจาก PPI/O แล้วส่งข้อมูลไปควบคุมการผลิต Frequency, Range, Amptitude และ Selectfunction เมื่อส่งผ่านไปแล้วจะทำให้ไมโครคอมพิวเตอร์เปลี่ยนไปติดต่อกับ PPI/O ที่ Address อื่นหรือทำงานอย่างอื่นตามต้องการได้ ดังนั้น ถ้าเราต้องการเปลี่ยนแปลงข้อมูลที่ Latch ให้ทำการ clear โดยการส่งสัญญาณเป็น "0" มาให้กับ Data Latch-ing ก็จะทำการส่งผ่านข้อมูลได้อีกครั้ง ซึ่งในที่นี้ Data Latch จะใช้ไอซีเบอร์ 74LS373

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.1.4 BUFFER- DRIVER

BUFFER- DRIVER ทำหน้าที่เป็นตัวส่งผ่านข้อมูล ซึ่งจะรับข้อมูลการควบคุมจาก DATA LATCHING เป็นข้อมูลควบคุมของ SELEC FUNCTION, AMPLITUDE, RANGE, FREQUENCY เข้ามา และทำให้ได้โวลเตจสูงขึ้น แล้วนำไปควบคุม SWITCH CONTROL (Analog Switch) ในที่นี้ใช้ ไอซีเบอร์ 74LS07เป็นบัฟเฟอร์ ชนิด Open Collector สามารถต่อเข้ากับอนาล็อกสวิทช์ (Analog Switch) ได้โดยตรง

2.1.5 SWITCH CONTROL

SWITCH CONTROL เป็นอนาล็อกสวิทช์ เพื่อใช้ควบคุมในการผลิต Frequency, Range, Amplitude และ Selection function ที่รับมาจาก BUFFER DRIVER เพื่อจะส่งไปควบคุมส่วนต่างๆของ XR2206 ในที่นี้อนาล็อกสวิทช์ จะใช้ไอซีเบอร์ 4066

2.1.6 DECODER RANGE

ทำหน้าที่ เลือกช่องความถี่(Range) ของฟังก์ชั่นเจนเนอร์เรเตอร์ ซึ่งจะมี 5 Range คือ

Range 1	ความถี่ตั้งแต่	1	Hz	-	255 Hz
Range 2	ความถี่ตั้งแต่	10	Hz	-	2.55 Hz
Range 3	ความถี่ตั้งแต่	100	Hz	-	25.5 Hz
Range 4	ความถี่ตั้งแต่	1	KHz	-	255 KHz
Range 5	ความถี่ตั้งแต่	5	KHz	-	1 MHz

DECODER RANGE นี้จะรับสัญญาณดิจิตอล ขนาด 8 บิท มาจาก BUFFER แล้วทำการเลือกเพื่อให้ได้เอ๊าท์พุทไปควบคุมการผลิตสัญญาณของ XR 2206 เช่น สัญญาณที่เข้ามาเป็น "00000010" ฟังก์ชั่นก็จะทำหน้าที่ผลิตความถี่ในช่องความถี่ที่ 2 ซึ่งจะมีความถี่เอาท์พุท ตั้งแต่ 10Hz ถึง 2.55KHz วงจรสำหรับเลือกช่องความถี่ในที่นี้จะใช้ไอซีเบอร์ 74145

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.1.7 Oscilator (OSC, XR2206)

จากรูปของ Block diagram ไอซีเบอร์ XR 2206 จะทำหน้าที่เป็นฟังก์ชั่นเจนเนอร์เรเตอร์ ซึ่งประกอบด้วย R NETWORK, C NETWORK, OSC และสามารถผลิตสัญญาณได้ 3 ลักษณะคือ Sine wave, Triangle wave และ Square wave สัญญาณที่ผลิตได้จะส่งต่อไปยัง Wave Shapper

R NETWORK เป็นความต้านทานที่มีการเปลี่ยนแปลงค่าตามสัญญาณดิจิตอล (Digital) ที่ส่งมาควบคุมอนาล็อกสวิทช์ (ข้อมูลที่ส่งมาจาก PPI/O)เช่น ข้อมูล "01100100" ข้อมูลนี้ก็จะถูกส่งไปให้กับอานาล็อก จะทำให้ ความต้านทานของ R NETWORK เปลี่ยนไป เป็นเหตุให้ OSC ผลิตความถี่หนึ่งค่าออกมาที่เอาท์พุทเป็นต้น

C NETWORK จะเป็นตัวกำหนดช่องการผลิตความถี่ จะมีทั้งหมด 5ช่องความถี่ ตามที่ได้กล่าวมาแล้วข้างต้น

2.1.8 BUFFER AND POWER AMPLIFIER

ภาคนี้ทำหน้าที่ขยายขนาดของสัญญาณที่ผลิตมาได้ โดยเลือกขนาดของสัญญาณได้ตั้งแต่ 1-15 โวลท์ โดยใช้สัญญาณควบคุมเป็น ระหัสเลขฐานสอง ขนาด 8 บิท มาจาก PPI/O เช่น ในกรณีที่มีสัญญาณดิจิตอล เป็น "00001010" ก็จะได้ขนาดของสัญญาณที่เอาท์พุทเป็น 10 โวลท์ เป็นต้น

2.1.9 SELECT FUNCTION OUTPUT

เป็นภาคที่ใช้ในการเลือกลักษณะของสัญญาณที่เอาท์พุท ซึ่งจะถูกควบคุมโดยสัญญาณดิจิตอลจาก PPI/O เช่นกันและสัญญาณส่วนหนึ่งจากภาคนี้จะถูกส่งไปควบคุม OSC,BUFFER AND POWER AMPLIFIER และ WAVE SHAPPER เพื่อให้ผลิตสัญญาณตามลักษณะที่ต้องการ

2.1.10 A TO D (ADC0816)

A TO D ทำหน้าที่เปลี่ยน สัญญาณอนาล็อกให้เป็น สัญญาณดิจิตอล - (Analog to Digital Converter) ทั้งนี้ เพื่อจะให้สัญญาณอนาล็อกจาก ภาย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

นอกได้ ติดต่อกับไมโครคอมพิวเตอร์ ในการเปลี่ยนสัญญาณนี้ A TO D ได้รับการควบคุมจาก TIMER / COUNTER เมื่อทำการเปลี่ยนสัญญาณแล้วจะส่งเข้า ไปยังเครื่องไมโครคอมพิวเตอร์ เพื่อให้ทำงานร่วมกับโปรแกรมต่อไป ในที่นี้ A-TO D ใช้ไอซีเบอร์ ADC 0816

2.1.11 TIMER COUNTER

TIMER COUNTER ทำหน้าที่กำหนดเวลาการทำงานให้กับ A TO D โดยจะได้รับการ โปรแกรมการทำงวนจากไมโครคอมพิวเตอร์ ซึ่งลักษณะการทำงานของ TIMER COUNTER นี้จะกล่าวรายละเอียดใน ทฤษฎี 8253 ต่อไปเมื่อ TIMER COUNTER ได้รับการโปรแกรมแล้ว ในขณะเดียวกันจะได้รับสัญญาณนาฬิกา (CLK)จากภาค CLOCK DIVIDER เพื่อป้อนให้กับ CLK ของ TIMER / COUNTER ในที่นี้ TIMER /COUNTER ใช้ไอซีเบอร์ MSM 8253

2.1.12 CLOCK DIVIDER

CLOCK DIVIDER ทำหน้าที่เป็นตัวหารสัญญาณนาฬิกาที่มาจากไมโครคอมพิวเตอร์ จะได้สัญญาณ CLK/4 แล้วส่งให้กับ TIME COUNTER และCLK/8 จะส่งไปควบคุมการทำงานของ A TO D

2.1.13 A TO D CONTROL

A TO D CONTROL จะทำหน้าที่ ควบคุมการทำงานของ A TO D - โดยการรับสัญญาณ จาก ภาคต่าง ๆ เพื่อตัดสินใจว่าขณะนี้จะให้ A TO D ทำอะไร และในขณะเดียวกัน จะทำหน้าที่ส่งสัญญาณ อินเตอร์รัพ(interrup)ให้คอมพิวเตอร์ เพื่อให้คอมพิวเตอร์ รับทราบเมื่อ A TO D ต้องการส่งข้อมูล

2.1.14 ADC Voltage Referance

ส่วนนี้จะทำหน้าที่สร้างแรงดันอ้างอิง(Voltage Referance)ให้กับ A TO D (ADC)

2.1.15 ATTEN INPUT 3:1

ส่วนนี้จะทำหน้าที่ลดทอนสัญญาณอินพุต ที่จ่ายให้กับ A TO D เป็นอัตราส่วน 3:1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.1.16 BUS BUFFER

จะทำหน้าที่ ส่งผ่านสัญญาณต่าง ๆ ระหว่าง INTERFACE - GENERATOR CARD กับ ไมโครคอมพิวเตอร์ เพื่อป้องกันการเสียหาย ของไมโครคอมพิวเตอร์

2.1.17 NZ WAIT STATE

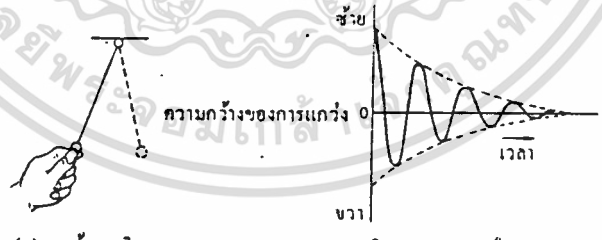
NZ WAIT STATE มาจากคำว่า NON ZERO WAIT STATE ในกรณีที่ อุปกรณ์อินพุตเอาพุต บน Interface card ไม่สามารถทำงานได้ทันกับ - ไมโครโปรเซสเซอร์(CPU) ส่วนนี้จะทำหน้าที่สร้างสัญญาณนาฬิกา ส่งให้กับ CPU ที่ขา I/O CH RDY ว่าจะให้คอยนาน เท่ากับกี่ลูกของสัญญาณนาฬิกา

2.2 หลักการของ Function Generator โดยทั่วไป

Function Generator เป็นวงจรเยนเนอร์เรเตอร์ที่ผลิตสัญญาณ (Generator)ออกมาแล้วมีการควบคุมฟังก์ชั่น(Function) เพื่อให้ได้ลักษณะของ-สัญญาณต่างๆ โดยพื้นฐานจะเป็นวงจร Oscillator รายละเอียดดังต่อไปนี้

2.2.1 หลักการเบื้องต้นของการออสซิลเลท

1. กระแสที่ช่วยให้เกิดการออสซิลเลทอย่างต่อเนื่อง



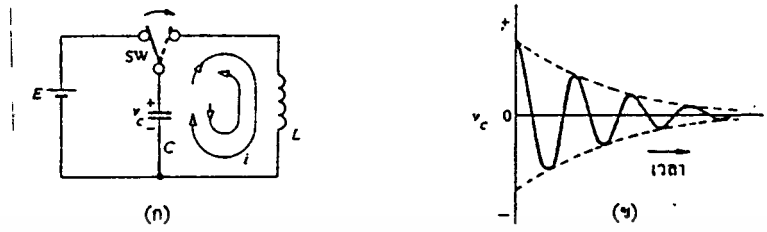
(ก) ลูกตุ้มนาฬิกา (ข) การออสซิลเลทแบบแดมป์ (damped oscillation)

รูปที่ 2.2 แสดงการออสซิลเลททางกล

จากรูปที่ 2.2 (ก) เมื่อลูกตุ้มนาฬิกาถูกปล่อย ก็จะเกิดการแกว่ง ด้วยคาบเวลาคงที่ ดังรูปที่ 2.2 (ข) และต่อมาขนาดและระยะทางของการแกว่ง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

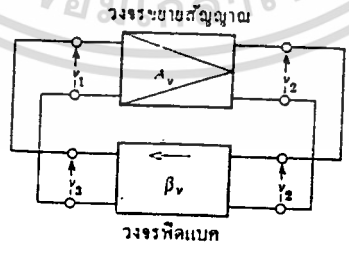
จะลดลงเรื่อย ๆ จนกระทั่งหยุดสั่น แนวความคิดอันนี้จึงนำมาใช้กับวงจรไฟฟ้าตามรูปที่ 2.3 ให้เป็นวงจรออสซิลเลท เพื่อผลิตความถี่ต่อไป



รูปที่ 2.3 แสดงการเกิดออสซิเลททางวงจรไฟฟ้า

จากรูปที่ 2.3 (ก) ถ้าสวิทช์ถูกเลื่อนออกมาทางด้านขวา ทำให้กระแส i ไหลออกมาจากตัวเก็บประจุ ผ่านไปยังขดลวด L ขดลวดมีคุณสมบัติของการเฉื่อย ไม่สามารถเปลี่ยนแปลงทันทีทันใดได้ เมื่อกระแสไหลจาก C ไปยัง L หมดแล้ว ก็จะเกิดกระแสไหลย้อนกลับมาเข้าตัวเก็บประจุ C อีก ไหลกลับไปกลับมาเช่นนี้ แต่จะถูกลดทอนจากค่า R ภายใน ดังแสดงในรูปที่ 2.3 (ข)

2. พื้นฐานของวงจรออสซิลเลเตอร์



รูปที่ 2.4 แสดงวงจรออสซิลเลเตอร์แบบอาศัยการป้อนกลับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้
008469

จากรูป 2.4 ถ้าออสซิลเลเตอร์ที่ยังไม่มีสัญญาณป้อนกลับ มีค่าเป็น A_v และค่าคงตัวของการป้อนกลับของวงจรป้อนกลับมีค่าเป็น v จะได้ว่า

$$Av = V_2 / V_1$$

$$\beta v = V_3 / V_2$$

ถ้า $V_1 < V_3$ การออสซิลเลทจะเริ่มเกิดขึ้น จะได้

$$Av \times \beta v = V_3 / V_1 > 1$$

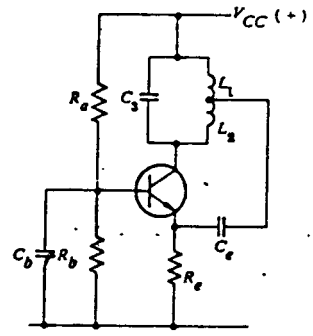
วงจรออสซิลเลเตอร์แบบอาศัยการป้อนกลับนี้ ดังแสดงวงจรพื้นฐานในรูป 2.5 (ก) เป็นวงจรออสซิลเลเตอร์แบบฮาร์ทเลย์ รูป 2.5 (ข) เป็นวงจรออสซิลเลเตอร์แบบคอลพิทท์

(ก) วงจรออสซิลเลเตอร์แบบฮาร์ทเลย์ (ข) วงจรออสซิลเลเตอร์แบบคอลพิทท์

รูปที่ 2.5 แสดงวงจรเบื้องต้นของฮาร์ทเลย์ และคอลพิทท์แบบทรานซิสเตอร์

ในวงจรออสซิลเลเตอร์แบบฮาร์ทเลย์ ขดลวด L_1 และ L_2 จะประกอบรวมกันเป็นขดลวดเดียวกัน แต่ทำให้เกิด L_1, L_2 โดยการใช้เทปออกมา การกระทำในลักษณะนี้จะทำให้เกิดค่าความเหนี่ยวนำแบบ มิวชวล เพิ่มขึ้นในวงจร และความเหนี่ยวนำที่ได้จากข้อกำหนดของความถี่สัญญาณ จะต้องมากกว่าหรือเท่ากับ $L_1 + L_2 + 2M$ วงจรนี้เหมาะสมกับออสซิลเลทที่ความถี่ต่ำ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.6 ตัวอย่างวงจรออสซิลเลเตอร์อาร์ทเลย์ชนิดเบสร่วม

จากรูปที่ 2.6 หาความถี่ของการออสซิเลทได้ ดังนี้

$$X_1 + X_2 + X_3 = 0$$

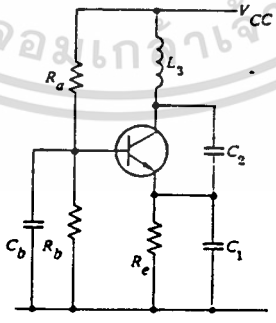
$$SL_1 + SL_2 + 1 / SC_3 = 0$$

ให้ S = jw ฉะนั้นความถี่ f จะมีค่าเป็น

$$f = \frac{1}{2\pi \sqrt{(L_1 + L_2) C_3}}$$

เมื่อ M มีค่าคงที่ f จะเป็น

$$f = \frac{1}{2\pi \sqrt{(L_1 + L_2 + 2M) C_3}}$$



รูปที่ 2.7 แสดงวงจรออสซิลเลเตอร์แบบคอลพิทท์แบบเบสร่วม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากรูปที่ 2.7 เป็นวงจรออสซิลเลเตอร์แบบคอลพิทท์แบบเบสร่วม ความถี่ของออสซิลเลท f จะหาได้ดังนี้

$$X_1 + X_2 + X_3 = 0$$

$$1/SC_1 + 1/SC_2 + SL_3 = 0$$

ให้ $S = jw$ จะได้

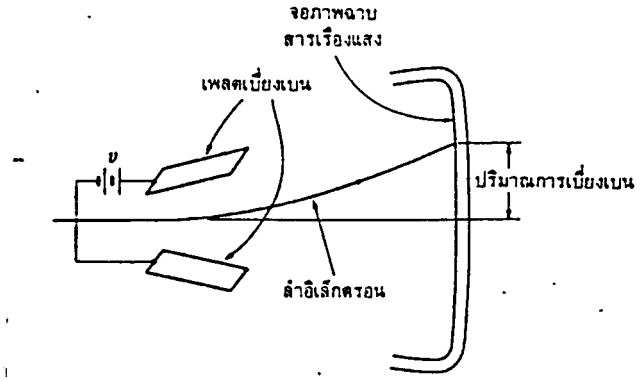
$$f = \frac{1}{2\pi \sqrt{(L_3 C_1 C_2/(C_1+C_2))}}$$

จากที่กล่าวมาแล้ว เป็นหลักการของวงจรออสซิลเลเตอร์ ที่ทำหน้าที่ผลิตความถี่โดยทั่วไป ซึ่งเป็นพื้นฐานของหลักฟังก์ชั่นเยนเนอร์เรเตอร์ที่ใช้ในการผลิตสัญญาณต่าง ๆ ต่อไป

2.3 หลักการทำงานของออสซิลโลสโคป

ออสซิลโลสโคป ทำหน้าที่แสดงภาพรูปคลื่นต่างๆ ได้จากการผสมผสานระหว่างสามองค์ประกอบสำคัญ คือ เวลา (แกน X) แรงดัน (แกน Y) ความสว่าง (แกน Z) โดยการป้อนแรงดันให้กับเพลตเบี่ยงเบนแนวราบ แรงดันที่ป้อนนี้จะเพิ่มขึ้นเป็นเชิงเส้น จะเบี่ยงเบนให้ลำอิเล็กตรอนเคลื่อนจากซ้ายไปขวาเรียกว่ากวาดภาพ การกวาดภาพบนจอสโคป จะเกิดขึ้นซ้ำ ๆ กัน เพื่อให้ปรากฏภาพที่ต่อเนื่อง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

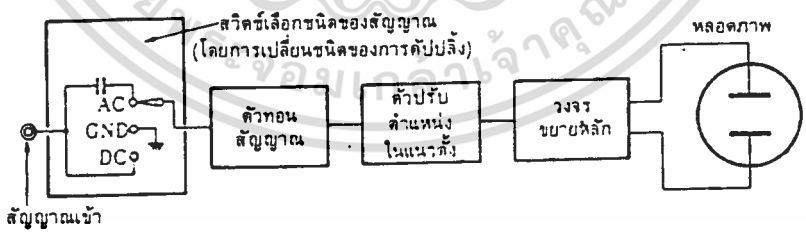


รูปที่ 2.8 แสดงหลักการของการเบี่ยงเบน

2.3.1 การทำงานของแกนแนวตั้ง

องค์ประกอบพื้นฐานและหน้าที่ของการทำงานของส่วนต่าง ๆ

จากรูปที่ 2.9 แสดงองค์ประกอบพื้นฐานของแกนแนวตั้งสัญญาณเข้าจะผ่านสวิทช์เลือกชนิดของสัญญาณ คือ AC, GND และ DC เมื่อปุ่มเลือกสัญญาณอยู่ที่ตำแหน่ง AC สัญญาณจะผ่านวงจรกรองความถี่สูงผ่าน (HIGH PASS FILTER) ที่มีค่าความถี่คัตออฟ (CUT-OFF FREQUENCY) ระหว่าง 2-10เฮิรตซ์ เมื่อปุ่มเลือกชนิดของสัญญาณมาอยู่ที่ตำแหน่ง DC สัญญาณด้านเข้าจะต่อตรงเข้าสู่ตัวทอนสัญญาณ



รูปที่ 2.9 แสดงองค์ประกอบพื้นฐานของแกนแนวตั้ง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตัวทอนสัญญาณจะทำหน้าที่ลดขนาดของสัญญาณขนาดใหญ่ ให้เล็กลงตามที่วงจรขยายต้องการ ทั้งนี้เนื่องจากสโคปสามารถวัดได้กับสัญญาณที่มีหลายขนาด และวงจรขยายสัญญาณ มีอัตราการขยายคงที่ ซึ่งออกแบบให้เหมาะกับสัญญาณเข้าขนาดเล็ก คุณสมบัติจำเป็นของตัวทอนสัญญาณ คือ

1. เพื่อให้สามารถวัดค่าแรงดันในเชิงปริมาณได้ปริมาณที่ถูกทอนสัญญาณจะต้องมีการปรับเทียบได้อย่างถูกต้องแม่นยำ

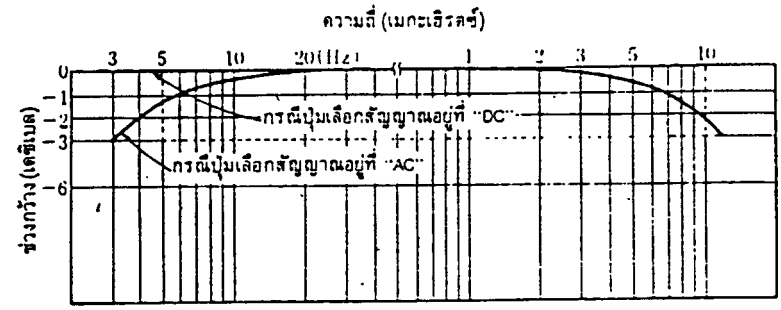
2. จะต้องสามารถลดทอนสัญญาณให้ได้ขนาดตามต้องการ

ตัวปรับตำแหน่งในแนวตั้ง ทำหน้าที่ปรับแต่งรูปคลื่นสัญญาณให้เลื่อนขึ้นหรือลงบนจอหลอดภาพ สัญญาณเข้าที่ผ่านออกจากตัวปรับตำแหน่งนี้จะได้รับการขยายให้มีขนาดใหญ่ขึ้นบ้าง แต่ยังไม่พอที่จะเบี่ยงเบนลำอิเล็กตรอนในหลอดภาพได้ จึงต้องผ่านวงจรขยายหลัก เพื่อขยายให้มีขนาดใหญ่เพียงพอ แล้วจึงป้อนต่อไปยังแผ่นเบี่ยงเบนของหลอดภาพต่อไป

2.3.2 แถบความถี่ของแกนแนวตั้งและช่วงพลวัต

ความไวของแกนแนวตั้งของออสซิลโลสโคปนั้น จะมีการปรับเทียบกับแรงดันไฟตรงไว้ เมื่อความถี่ของสัญญาณสูงขึ้น วงจรขยายภายในสโคปจะแสดงคุณสมบัติเป็นวงจรกรองผ่านต่ำ (LOW PASS FILTER) คือ อัตราการขยายของวงจรจะลดลงเมื่อความถี่ของสัญญาณเพิ่มสูงขึ้น จึงทำให้แอปพลิจูดของสัญญาณที่ปรากฏบนจอภาพมีขนาดเล็กกว่าแอมพลิจูดที่ควรจะเป็น ความแตกต่างนี้จะเพิ่มขึ้น เมื่อความถี่เพิ่มขึ้น เมื่อแอมพลิจูดของสัญญาณที่ปรากฏบนจอภาพมีขนาดเล็กกว่าแอมพลิจูดที่ควรจะเป็นถึง 3 เดซิเบล เราเรียกว่า ช่วงความถี่จนถึงความถี่จุดนั้นว่า แถบความถี่ (BANDWIDTH FREQUENCY) ของออสซิลโลสโคป ดังแสดงในรูปที่ 2.10

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.10 แสดงลักษณะสมบัติเชิงความถี่ออสซิลโลสโคป 10 MHz

ในกรณีที่ปุ่มเลือกสัญญาณอยู่ที่ตำแหน่ง AC ในช่วงความถี่ต่ำ จะมีคุณสมบัติเชิงความถี่ของวงจรคล้ายกับวงจรกรอง RC คือ

$$1 / \sqrt{1+(f_c/f)^2} = 0.97$$

$$f = f_c / \sqrt{(1/0.92)^2 - 1}$$

$$= 4 \times fc$$

fc คือ ความถี่คัตออฟของวงจรกรอง RC

f คือ ความถี่ที่ขนาดของสัญญาณลดลงเป็น 97% ของขนาดที่ควรจะเป็น

ค่าพิกัดของแถบความถี่ของออสซิลโลสโคป จะระบุไว้สองกรณี คือเมื่อมีการต่อเชื่อมแบบ AC และ DC ในกรณีที่เป็นแบบ AC เช่น

AC : 5 Hz ~ 10 MHz (-3 dB)

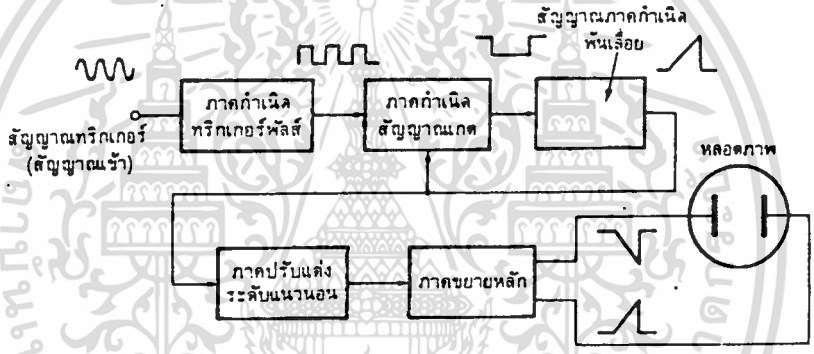
5 Hz หมายถึง ความถี่ซึ่งขนาดสัญญาณมีขนาดลดลง -3 dB ดังนั้นต้องการให้ออสซิลโลสโคปตัวนี้ทำการวัดค่าขนาดสัญญาณให้มีความแม่นยำภายใน -3 dB จะต้องใช้วัดสัญญาณที่มีความถี่ 5 Hz x 4 เท่า หรือ 20 Hz หรือมากกว่านั้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.3.3 การทำงานของแกนแนวนอน

1. การกวาดภาพ

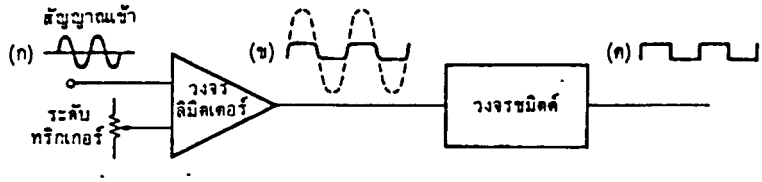
การทำงานในแนวนอน หรือแกนเวลา หรือจะให้ถูกต้องและแม่นยำจำเป็นต้องให้กำเนิดสัญญาณฟันเลื่อย ที่มีการแปรเชิงเส้นอย่างแม่นยำ เพื่อใช้ในการกวาดภาพ สัญญาณฟันเลื่อยนี้จะถูกทริกเกอร์ (TRIGGER) ให้เข้าจังหวะกับสัญญาณเข้าออก ป้อนเข้าสู่เพลทของหลอดภาพของออสซิลโลสโคปสัญญาณเข้าจะทำให้เกิดทริกเกอร์พัลส์ (TRIGGER PULSE) ทริกเกอร์พัลส์ที่เกิดขึ้นจะกระตุ้นให้มีการกวาดภาพ ซึ่งระบบนี้เรียกว่า "วิธีทริกเกอร์เพื่อกวาดภาพ" ดังแสดงในรูปที่ 2.11



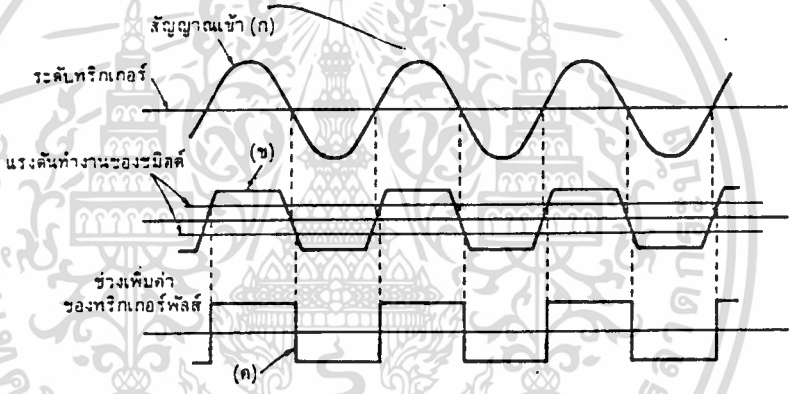
รูปที่ 2.11 โครงสร้างพื้นฐานของแกนแนวนอน

ภาคกำเนิดทริกเกอร์พัลส์ หรือวงจรลิมิตเตอร์ (LIMITTER) ภาคนี้จะประกอบด้วยวงจรเปรียบเทียบ แรงดัน และวงจรชมิทต์ (SCHMIT) ทำหน้าที่แต่งรูปคลื่นสัญญาณ หลักการทำงานดังแสดงในรูปที่ 2.12 เมื่อสัญญาณผ่านเข้ามาที่วงจรลิมิตเตอร์ เอ้าท์พุทที่ออกมาจะถูกตัดส่วนบนและส่วนล่างตามค่าที่กำหนดเอาไว้ ค่าแรงดันที่กำหนดขอบเขตในการตัดสัญญาณ เรียกว่า ระดับการทริกเกอร์ (TRIGGER LEVEL) ซึ่งจะใช้เป็นการกำหนดตำแหน่งเริ่มต้นในการกวาดภาพ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.12 โครงสร้างของภาคกำเนิดทริกเกอร์พัลส์

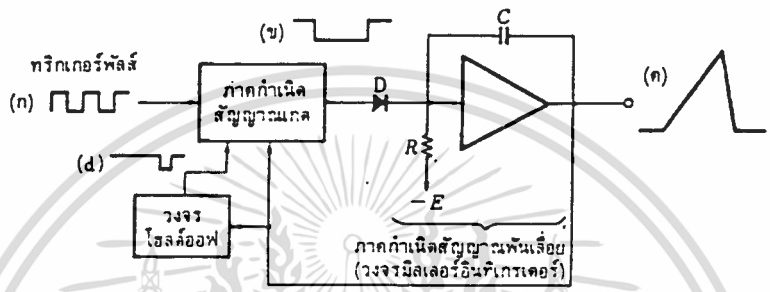


รูปที่ 2.13 รูปคลื่นสัญญาณในส่วนต่าง ๆ ของภาคกำเนิดทริกเกอร์พัลส์ แสดงการเปลี่ยนแปลงตามเวลา และความสัมพันธ์ระหว่างกัน

จากรูป 2.13 แสดงการเปลี่ยนแปลงตามเวลาของรูปคลื่นส่วนต่างๆ จะเห็นว่าช่วงเพิ่มค่าของทริกเกอร์พัลส์นั้น จะล่าช้ากว่าระดับการทริก-เกอร์อยู่บ้างเล็กน้อย ทั้งนี้เป็นผลจากแรงดันทำงาน (THRESHOLD VOLTAGE)ของวงจรชมิทต์ ซึ่งมีลักษณะสมบัติฮิสเตอริซิส ส่วนล่าช้านี้ไม่มีผลในการใช้งานแต่อย่างใด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เมื่อได้ทริกเกอร์พัลส์แล้ว จะนำไปสร้างสัญญาณเกตเพื่อกวาดภาพ วงจรส่วนนี้จะต่อเป็นลูป (LOOP) กับภาคกำเนิดสัญญาณฟันเลื่อย โดยทั่วไปจะใช้วงจรมิลเลอร์ อินทิเกรเตอร์ (MILLER INTEGRATOR) ช่วยทำให้ได้สัญญาณฟันเลื่อยเป็นเชิงเส้นดีขึ้น ดังแสดงในรูปที่ 2.14

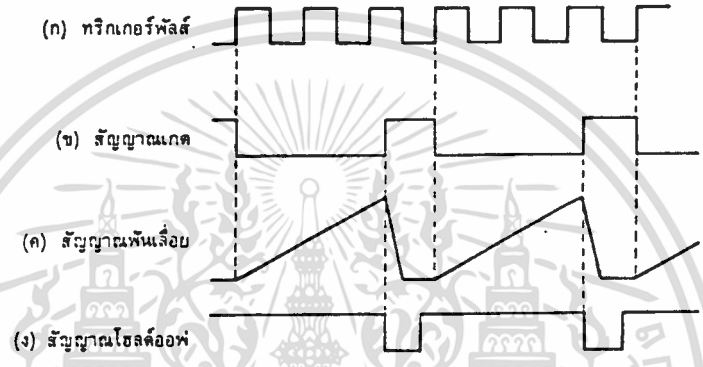


รูปที่ 2.14 ภาคกำเนิดสัญญาณฟันเลื่อย

ภาคกำเนิดสัญญาณเกต เมื่อภาคนี้ได้รับอินพุทเป็นรูปสัญญาณพัลส์จะทำให้ได้เอ้าท์พุทออกมาเป็น "0" ทำให้ไดโอด D อยู่ในสภาพเปิดไม่นำกระแส พร้อมกันนั้นวงจรอินทิเกรเตอร์จะเริ่มเก็บประจุด้วยค่าคงตัวเวลา (TIME CONSTANT) เป็น RC ในขณะเดียวกัน อินพุทของภาคกำเนิดสัญญาณเกตจะไม่รับพัลส์เข้ามาอีก จึงทำให้เอ้าท์พุทของวงจรมิลเลอร์ค่อยๆ เพิ่มสูงขึ้นจนถึงระดับแรงดันที่ทำให้จุดบนจอภาพเคลื่อนมาถึงด้านขวาสุด แรงดันส่วนนี้จะป้อนกลับมาที่ภาคกำเนิดสัญญาณเกตและกลับค่าสัญญาณออกของวงจรภาคนี้ จึงทำให้ไดโอด D นำกระแส ประจุที่ตัวเก็บประจุ C ของวงจรมิลเลอร์จะถูกคายออกอย่างฉับพลัน เมื่อคายประจุหมด อินพุทของภาคกำเนิดสัญญาณเกตจะมีสัญญาณทริกเกอร์พัลส์ใหม่เข้ามาอีกครั้ง วงจรโฮลด์-ออฟ (HOLD-OFF) จะทำหน้าที่ กำหนดช่วงเวลาตั้งแต่เริ่มมีการคายประจุจน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กระทั่งมีอินพุทเข้ามาที่ภาคกำเนิดสัญญาณเกต วงจรนี้จะควบคุมไม่ให้มีทริกเกอร์พัลส์เข้าสู่ภาคกำเนิดสัญญาณเกตได้จนกว่าการคายประจุจะเสร็จสิ้นสมบูรณ์ ดังรูปที่ 2.15 แสดงรูปคลื่นสัญญาณส่วนต่าง ๆ ตามแกนเวลา



รูปที่ 2.15 รูปคลื่นสัญญาณในส่วนต่าง ๆ ของภาคกำเนิดสัญญาณฟันเลื่อย แสดงการเปลี่ยนแปลงตามเวลาและความสัมพันธ์ระหว่างกัน

ภาคปรับแต่งระดับแนวนอน จะปรับแต่งสัญญาณรูปฟันเลื่อยในแนวนอนแล้วส่งเข้าสู่ภาคขยายหลัก (MAIN AMPLIFIER) เพื่อขยายให้มีแรงดันมากพอสำหรับเบี่ยงเบนลำอิเล็กตรอนได้ สัญญาณส่วนนี้จะถูกส่งไปยังเพลทของหลอดภาพเพื่อแสดงภาพที่จอสโคปต่อไป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

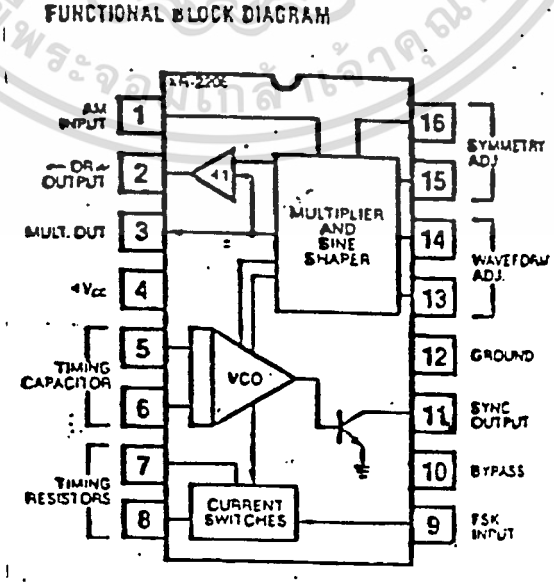
บทที่ 3
ทฤษฎีทั่วไป

การ์ดอินเตอร์เฟส เยนเนอร์เรเตอร์ (INTERFACE GENERATOR CARD) ที่ทำหน้าที่ผลิตสัญญาณนั้น จำเป็นต้องใช้อุปกรณ์ในการผลิตสัญญาณ ซึ่ง - ในที่นี้ใช้ ไอซีเบอร์ XR 2206 ส่วนการนำเอาสัญญาณจากภายนอกเข้ามาเปรียบเทียบในไมโครคอมพิวเตอร์นั้น จะใช้การเปลี่ยนสัญญาณอนาล็อก เป็นดิจิตอล จะกล่าวถึงทฤษฎีดังต่อไปนี้

3.1 FUNCTION GENERATOR (XR 2206)

3.1.1 XR2206 MONOLITHIC FUNCTION GENERATOR

XR2206 เป็นไอซีแบบโมโนลิสติกฟังก์ชั่นเยนเนอร์เรเตอร์ (Monolithic function generator integrated circuit) คุณสมบัติของ XR 2206 สามารถผลิตสัญญาณซายน์ (Sine wave) สัญญาณสี่เหลี่ยม (Square-wave) และสัญญาณสามเหลียม (Triangle wave) ที่มีประสิทธิภาพสูง และรูปร่างของสัญญาณจะมีความเสถียรสูง(high stability) และแน่นอน(accuracy) XR 2206 สามารถผลิตความถี่ได้ตั้งแต่ 0.01 Hz - 1 MHz



รูปที่ 3.1 FANCTION BLOCK DIAGRAM

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.1.2 ลักษณะโครงสร้างภายใน XR 2206

XR 2206 มีส่วนประกอบภายในที่สำคัญ 4 ส่วน คือ

1. โวลเตจ ควบคุมออสซิลเลเตอร์ (Voltage controled oscillator)

2. วงจรทวีคูณแบบอนาล็อก และวงจรสร้างรูปร่าง สัญญาณซายน์ (Analog multiplier and Sine Shaper)

3. วงจรขยายแบบมีอัตราการขยายเป็นเท่าเดียว (Unity gain buffer amplifier)

4. วงจรสวิทช์กระแส (Current Switches)

1.) โวลเตจควบคุมออสซิลเลเตอร์ (Voltage controlled - oscillator) โวลเตจควบคุมออสซิลเลเตอร์ (VCO) ภายในตัว XR 2206 เป็นแบบโวลเตจควบคุมเยนเนอร์เรเตอร์สัญญาณสามเหลี่ยมและสี่เหลี่ยม (Voltage - Controlled Triangular and Square wave Generator)

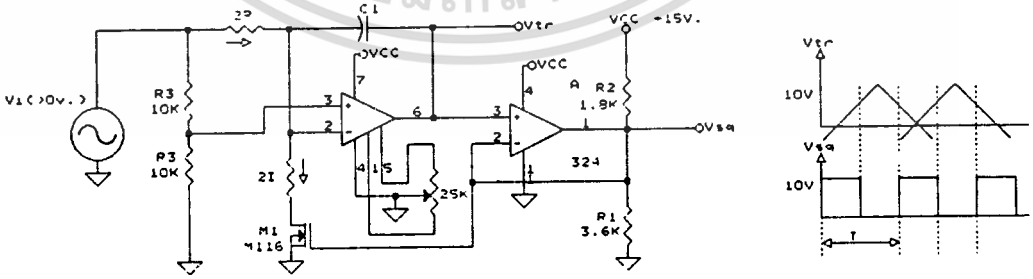
การทำงานของโวลเตจควบคุมออสซิลเลเตอร์ (VCO) ขึ้นอยู่กับตัวเก็บประจุ (capacitor) ซึ่งตัวเก็บประจุ (capacitor) จะทำหน้าที่ประจุ (charge) และคายประจุ (discharge) กระแสไปควบคุมสัญญาณ โดยที่ความถี่เอ้าพุท (fo) เป็นไปในลักษณะลิเนียร์ ; $fo = K_v V_i$ สำหรับ VCOs $fo = K_i I_i$ และ สำหรับกระแสควบคุมออสซิลเลเตอร์ (CCOs) เมื่อ V_i และ I_i เป็นสัญญาณควบคุม และ K_v และ K_i เป็นค่าคงที่ที่เหมาะสมซึ่งเรียกว่า เซนซิติวิตี้ (Sensitivities)

รูปที่ 3.2 เป็นวงจรโวลเตจควบคุมออสซิลเลเตอร์แบบง่ายที่สุด A_1 เป็นตัวทำหน้าที่เปลี่ยนแรงดันเป็นกระแส (V-I converter) ซึ่งตัวเก็บประจุ (capacitor) จะนำกระแสอย่างลิเนียร์ ในการเก็บประจุและคายประจุกระแสจะสลับขั้วกัน และขั้วถูกควบคุมโดยมอสเฟต (MOSFEST : M_1) และ M_1 นี้จะไปขับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สมิททริกเกอร์ (schmitt trigger CMP_2) เมื่อเอ้าท์พุทของ CMP_2 เป็นแรงดันต่ำ (Low) M_1 จะเปิด (off) และตัวต้านทาน R ปล่อยลอยอยู่ เมื่อแรงดันสูง (High) M_1 จะปิด (on) ตัวต้านทาน R ต่อลงกราวด์ ทำให้ความถี่สูงแน่นอน ในวงจร LM 311 ทำหน้าที่เป็น สมิททริคเกอร์ เมื่อเอ้าท์พุทคอมพาเรเตอร์ BJT ทำงาน (ON) $V_{sq} = V_{ce}(sat) \simeq 0V$ และถ้ามันไม่ทำงาน $V_{sq} = V_{cc}R_1/(R_1 + R_2) = 15 \times 3.6/(3.6+1.8) = 10$ V ซึ่งอินพุทลบ (non-inverting input) ถูกรับโดยตรงจากเอ้าท์พุทสมิททริคเกอร์ เหมือนกับว่า VTL $\simeq$ 0 V. และ VTH = 10 V.

วงจรทำงานโดยออฟแอมป์ (op amp) และตัวหารแรงดัน(Voltage divider) $V_{n_1} = V_1/2$ สมมุติให้สมิททริกเกอร์เริ่มที่สถานะแรงดันต่ำ (Low) ดังนั้น $V_{sq} \simeq 0$ V. M_1 จะไม่ทำงาน (off) และ $IR = 0$; $I = (V_1 - V_1/2) / 2R = V_1 / (4R)$ ตามตัวเก็บประจุและเป็นเหตุให้ Vtr แรมตก (Ramp downward) เป็นผลให้ $V_{TL} \simeq 0V$ M_1 จะทำงาน และช็อตตัวต้านทาน R ลงกราวด์ ซึ่งทำให้ $V_{n_1} = V_1/2$, $I_R = (V_1/2) / R = V_1/(2R) =$ 2I ครึ่งหนึ่งของแหล่งจ่าย หาร 2R และอีกครึ่งกลับไปยังตัวเก็บประจุ (capacitor) เป็นผลให้ M_1 ทำงาน ทำให้ Vtr เป็นแรมขึ้น (up ward)



รูปที่ 3.2 Voltage - controlled triangular / Square wave oscillator and wave forms

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ถ้า V_{TH} = 10V. M_1 จะไม่ทำงาน (off) คาบของการออสซิล-เลทถูกหาโดยสูตร $C \Delta V = I \Delta t, \Delta V = V_{TH} - V_{TL}, I = V_1 / (4R)$ และ $\Delta t = T/2$

$$f_o = K_v V_1 \qquad (3.1\ a)$$

เมื่อ $$K_v = 1/ 8RC (V_{TH} - V_{TL}) \qquad (3.1\ b)$$

จากวงจรที่แสดง $V_{TH} - V_{TL}$ = 10 V. ดังนั้น Kv = 1/(80RC) และถ้าใช้ R = 10 K, 2R = 20K และ C = 1.25 nF , Kv = 1 KH/V และถ้า V_1 = 10 mV - 10 V. จะทำให้ fo อยู่ในช่วง 10 Hz - 10 KHz

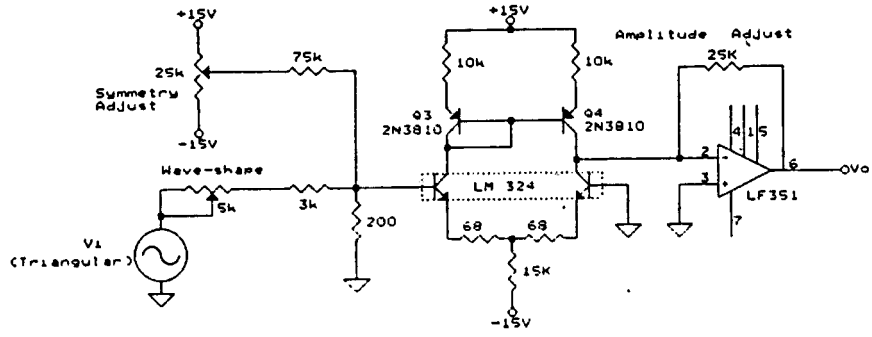
2. ตัวสร้างรูปร่างสัญญาณซายน์ (Sine shaper)

วงจรสร้างสัญญาณซายน์ (sine shaper) ทำได้โดยการเปลี่ยนสัญญาณสามเหลี่ยมเป็นสัญญาณซายน์ (Triangular-to-sine wave converters)

วิธีการเปลี่ยนสัญญาณซายน์คือ การให้สัญญาณสามเหลี่ยมผ่านวงจรแบบไม่ลิเนียร์ (nonlinear) ซึ่ง XR 2206 ใช้วงจรแบบล็อคการิทึม เวฟเชพเฟอร์ (Logarithmic wave shaper)ซึ่งจะประมาณ Sineusodalโวลเตจทรานเฟอร์-เคอฟ (voltage transfer curve VTC) โดยการตัวขยายแบบอิมิตเตอร์ คัฟ-เปิล (Emitter-coupled) BJT คู่

รูป 3.3 แสดงวงจรเปลี่ยนสัญญาณสามเหลี่ยมเป็นสัญญาณซายน์อย่างง่าย โดยใช้ LM324 เป็นตัวเปลี่ยนรูปร่าง Q_3 และ Q_4 เป็นเคอร์เรนมิลเลอร์ (current mirror) เอาท์พุทถูกเปลี่ยนโวลเตจโดยออฟแอมป์ (op AMP) ตัวปรับตัวแรกใช้ตัวต้านทาน 25K สำหรับปรับสมมาตรของเอาท์พุท (symme trical output) ตัวปรับตัวต่อไปใช้ตัวต้านทาน 5K สำหรับปรับดิสทรอชั่น เอาท์พุทให้ต่ำสุด และตัวปรับตัวสุดท้ายใช้ตัวต้านทาน 25K เพื่อปรับแอมปริจูดของเอาท์พุท

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.3 practical logarithimc wave shaper

<u>วงจรทวีคูณแบบอนาล็อค</u> (Analog multipliers)

วงจรทวีคูณ ผลิตเอาท์พุท V_o ซึ่งขึ้นอยู่กับอินพุท V_x และ V_y ดังสมการ

$$V_o = KV_xV_y \qquad \text{---------} \quad 1$$

เมื่อ K เป็นสเกลเวคเตอร์ (Scal factor) โดยทั่วไปใช้ค่า 1/10 V.

การทวีคูณ (multiplier) เชื่อว่า อินพุทของขั้วต่าง ๆ และรักษาไว้ให้ขั้วที่ถูกต้องเกี่ยวพันกับเอาท์พุทซึ่งเรียกว่าโฟร์ฟอสเรนมัลติพลายเออร์(four-quadrant multipiler) ช่วงอินพุทและเอาท์พุท โดยทั่วไปใช้ตั้งแต่ -10 ถึง + 10 V.

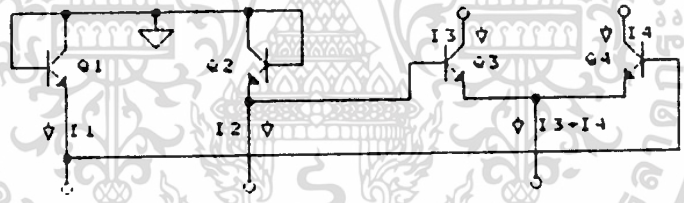
การทำทวีคูณ เป็นเจาะจงในเทอมของความแน่นอน (accuracy) และการไม่ลิเนียร์ (nonlinearty) ความแน่นอนแสดงความเบี่ยงเบนสูงสุดของเอาท์พุทที่เป็นจริง ของสมการ $V_o = KV_xV_y$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ความถี่ของการทวีคูณ เป็นการเจาะจงในเทอมของช่วงสัญญาณเล็ก (small - signal bandwicth) และรักษาความถี่เมื่อเอาท์พุทเป็น 3 dB

เวรี่เอเบิล ทรานคอนดัคแต้น มัลติพลายเออร์ (Variable transconductance multiplier)

ส่วนสำคัญของสี่ควอสเรน (four quadrant) คือลิเนียร์ ทรานคอนดัคเตอร์ มัลติพลายเออร์(linearized transconductance multiplier) ของรูป 3.4 ประกอบด้วย ดิฟเฟอเรนเชียลแพร์ (Q_3 - Q_4) ซึ่งจะทำหน้าที่เปลี่ยนแปลงค่าทรานคอนดัคแตนซ์ และไดโอด (Q_1 Q_2)



รูปที่ 3.4 Linearized transconductance multiplier

$$\text{KVL,}\quad V_{be1} + V_{be4} = V_{be2} + V_{be3} \qquad \text{--------- 2}$$

$$I_3/I_4 = I_1/I_3$$

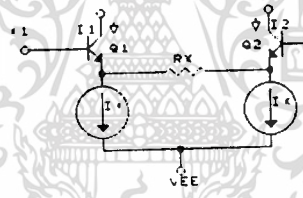
$$I_3 - I_4 = (I_1 - I_2)(I_3 + I_4)/I_1 + I_3) \text{ --- 3}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วงจรต้องการเปลี่ยนแรงดันเป็นกระแส (V-I Converters) ไปวิเคราะห์ ($I_1 - I_2$) และ ($I_3 + I_4$) จากแรงดันอินพุท V_x และ V_y และเปลี่ยนกระแสเป็นแรงดัน (I - V converter) ไปเปลี่ยน ($I_3 - I_4$) เป็นแรงดันเอาท์พุท (V_o) วงจรทำงานเกินสองควอทแรน ซึ่งกระแส ($I_3 + I_4$) จำเป็นต้องไหลออกทางอิมิตเตอร์เสมอ ดังนั้นเพื่อให้แน่นอน จึงทำเป็นแบบสี่ควอทแรน (four-quadrant)

การเปลี่ยนแรงดันเป็นกระแส (V-I converters) ดังรูปที่ 3.5

KCL , $I_1 = I_x + I_{Rx}$ และ $I_2 = I_x - I_{Rx}$ ดังนั้น $I_1 - I_2 = 2I_{Rx}$



รูปที่ 3.5 Differentail V-I Converter

$I_{Rx} = (V_{e1} - V_{e2}) / Rx$ จะได้

$$I_1 - I_2 = (2\ Ve_1 - Ve_2) / R_x \quad \text{---------- 4}$$

KVL, $Ve_1 - Ve_2 = (X_1 - V_{be1}) - (X2 - V_{be2}) =$

$(X_1 - X_2) - (V_{be1} - V_{be2})$

$$Ve_1 - Ve_2 = X_1 - X2 - V_T L_n (I_1/I_2) \quad \text{------ 5}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

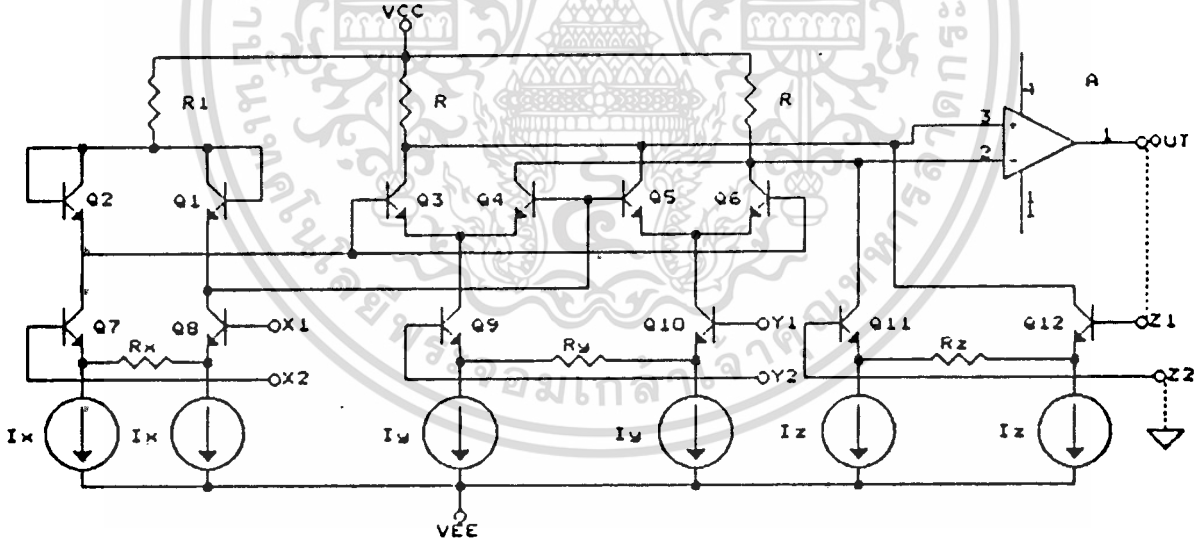
จากสมการที่ 4

$$I_1 - I_3 = [2(X_1-X_3)]/R_x - (2V_T/R_x)\ Ln\ (I_1/I_3) \quad \text{--- 6}$$

ในการออกแบบจริง ๆ เทอมหลังมีค่าน้อยมาก จึงตัดหลังทิ้งเพื่อหา $I_1 - I_2$ จะได้

$$I_1 - I_2 = [2(X_1-X_3)]/R_x \quad \text{---------- 7}$$

รูปที่ 3.6 แสดงการทวีคูณแบบสมบูรณ์ การทำงานแบบโฟร์ควอทแรน คือ การใช้สองทรานคอนดัคแตนซ์



รูปที่ 3.6 Four - Quadrant multiplier

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากสมการที่ 3 $I_1 - I_3 = 2I_x$ และ $I_3 - I_4 = I_9$

$$I_3 - I_4 = [(X_1 - X_3)/R_x I_x]\ I_9 \quad \text{----- 8}$$

$I_5 - I_6 = I_{10}$ จะได้

$$I_0 - I_5 = [(X_1 - X_3)/R_x I_x]I_{10} \quad \text{--- 9}$$

จากสมการ 8 และ 9 $I_{10} - I_9 = (2/R_y)(Y_1 - Y_2)$ จะได้

$$(I_4 + I_6) - (I_3 + I_5) = \frac{(X1-X2)\ (Y1-Y2)}{R_x I_x R_y/2} \quad \text{--- 10}$$

KCL , $V_p = Vcc - R(I_3 + I_5 + I_{12})$

และ $Vn = Vcc - R(I_4 + I_6 + I_{11})$

ให้ $Vp = Vn$ ดังนั้น $I_3 + I_5 + I_{12} = I_4 + I_6 + I_{11}$

$$(I_4 + I_6) - (I_3 + I_5) = I_{12} - I_{11} =$$

$$[2(Z_1 - Z_3)]/R_z \quad \text{----------} \quad 11$$

$$Z_1 - Z_2 = K(X_1 - X_2)(Y_1 - Y_2) \quad \text{---} \quad 12$$

$$K = R_z / R_x R_y I_x \quad \text{----------} \quad 13$$

3.1.3 คุณสมบัติของ XR2206

แหล่งจ่ายไฟกระแสตรง (supply voltage)

Single supply voltage min. 10 V. max 26 V.

Split supply voltage min. $\pm$5 V. max $\pm$13 V.

แหล่งจ่ายกระแส (supply current)

min = 12 mA max 20 mA.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ช่วงความถี่ในการทำงาน (Operating Frequency)

min = 0.01 Hz max = 1 MHz

ตัวเก็บประจุเลือกช่วงความถี่(Timming Capacitor)

min = 001 uF max = 100 uF

ตัวต้านทานที่ใช้เปลี่ยนความถี่ (Timming Resistor)

min = 1 K

max = 2 M

อิมพิแดนซ์ทางเอาท์พุท (output impedance)

อิมพิแดนซ์ = 600

3.1.4 การออกแบบความถี่ของการทำงาน

(FREQUENCY OF OPERATION)

เราสามารถออกแบบ XR 2206 ให้เลือกความถี่ที่เราต้องการได้โดย

f_o = 1 / RC Hz

f_o = ความถี่ของการออสซิลเลท (frequency oscillation)

R = ความต้านทาน (timming resistor)

C = ความจุ (timming capacitor)

การออสซิลเลทของ XR 2206 ต้องอาศัยความต้านทานที่ขา 7 และ 8 ของ XR 2206 (timming resistor) และความจุที่ขา 5 และ 6 ของ XR 2206 (timming capacitor)

ถ้าต้องการออกแบบให้ได้ช่วงความถี่ตั้งแต่ 1 Hz - 1 MHz จากคุณ3 สมบัติของ XR 2206 เราสามารถเลือกใช้ตัวเก็บประจุ (Capacitor) ตั้งแต่ 0.001 uF - 10 uF เราก็จะสามารถเลือกความต้านทานที่ขา 7 และ 8 ของ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

XR 2206 ได้ดังนี้

$$f_o = 1 / RC \quad Hz$$

$$R = 1 / f_o$$

แต่จากคุณสมบัติของ XR 2206 สามารถเลือกใช้ตัวต้านทานได้ ตั้งแต่ 1K - 2M

$$f_o \text{ min} = 1 / (2M \times 1 \text{ uF})$$

$$f_o \text{ min} = 0.5 \text{ Hz}$$

$$f_o \text{ max} = 1 / (2K \times 0.001 \text{ uF}) = 1 \text{ MHz}$$

3.1.5 การออกแบบช่วงความถี่ของการทำงาน (RANGE OF OPERATION)

การเลือกตัวเก็บประจุ (capacitor) เมื่อเราได้ค่าความต้านทานต่ำสุด (1 K) และความต้านทานสูงสุด (2 M) และความถี่ของการออสซิสเลท โดยที่ f_o = 1 Hz และ f_o max = 1 MHz เราก็สามารถเลือกค่าความจุได้ดังนี้

Range 1

f_o min = 1 / (1M x 1 uF) = 1 Hz

f_o max = 1 / (3.921K x 1 uF) = 255 KHz

Range 2

f_o min = 1 / (100K x 0.1 uF) = 10 Hz

f_o max = 1 / (3.921K x 0.1 uF) = 2.55 KHz

Range 3

f_o min = 1 / (1M x 0.01 uF) = 100 Hz

f_o max = 1 / (3.921K x 0.01 uF) = 25.5 KHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Range 4

f_o min = 1 / (1M x 0.001 uF) = 1 KHz

f_o max = 1 / (3.921K x 0.001 uF) = 255 KHz

Range 5

f_o min = 1 / (1M x 200 pF) = 5 KHz

f_o max = 1 / (3.921K x 200 pF) = 1.28 MHz

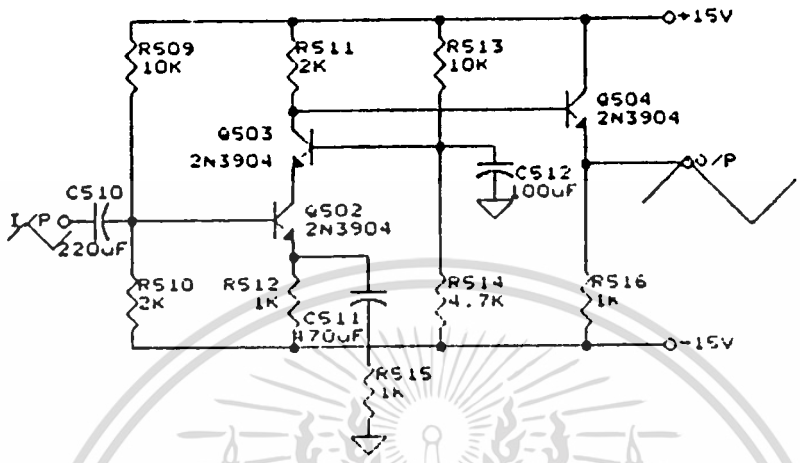
Range	Capacitor	f_o min	f_o max
1	1 uF	1 Hz	255 Hz
2	0.1 uF	10 Hz	2.55 KHz
3	0.01 uF	100 Hz	25.5 KHz
4	0.001 uF	1 KHz	255 KHz
5	200 pF	5 KHz	1.28 MHz

ตารางที่ 3.1 แสดงรายละเอียดของ Range

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.1.6 การออกแบบบัฟเฟอร์ (BUFFER)

วงจรบัฟเฟอร์ จะเป็นตัวทำหน้าที่ขยายสัญญาณซายน์(sine wave), สัญญาณสามเหลี่ยม(Triangle Wave) ที่ได้จากการออสซิลเลทของ XR 2206



รูปที่ 3.7. แสดงลักษณะวงจร BUFFER

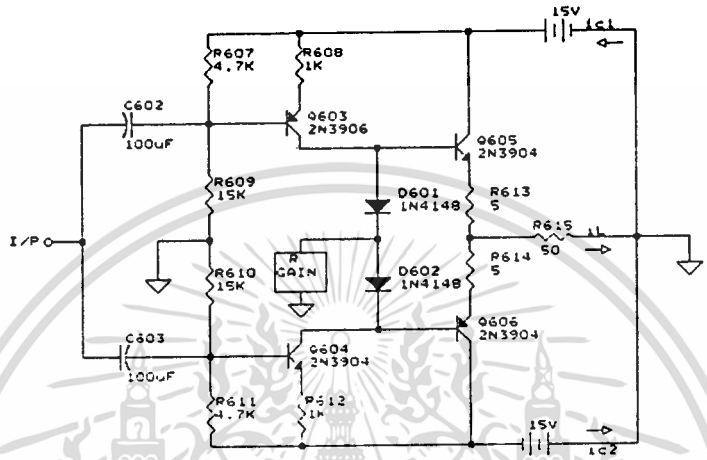
วงจรบัฟเฟอร์เป็นวงจรขยายแบบ class A ถ้า อินพุท (V_i) เป็นสัญญาณซายน์ เข้ามา Q502 จะนำกระแส คือเมื่ออินพุท(ขา B ของ Q502) รับสัญญาณอย่างไร เอาท์พุทก็เป็นเช่นอินพุท เพียงแต่มี Amplitude ของสัญญาณสูงขึ้น และ phase ตรงกันข้าม Q503 และ Q504 ก็เช่นเดียวกัน จะสังเกตว่า อินพุทที่ป้อนเข้ากับวงจรบัฟเฟอร์เพียงจุดเดียว เพราะวงจรขยาย class A สามารถขยายสัญญาณ ให้เหมือนกับอินพุท

3.1.7 การออกแบบเอาท์พุทแอมปริไฟเออร์ (OUTPUT AMPLIFIER)

ภาคขยายสัญญาณประเภทนี้เป็น class B push-pull Amplifier อาศัยคู่ทรานซิสเตอร์ชนิดตรงกันข้าม (npn และ pnp) ซึ่ง complement หรืออีกนัยหนึ่งเป็น match pair กัน กล่าวคือ มีคุณสมบัติเหมือนกัน ไม่ต้องการทราน-

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ฟอร์เมอร์ (transformer) ในวงจรทั้งเอาท์พุททรานฟอร์เมอร์ และอินพุททรานฟอร์เมอร์ ใช้ความต่างชนิดของทรานซิสเตอร์รับรู้คาบ (period) ของสัญญาณอินพุทเพื่อขยายสัญญาณ เรียกว่า ภาคขยายประเภท complementary symmetry ดังแสดงในรูปที่ 3.8



รูปที่ 3.8 แสดงวงจร Amplifier

กำหนดให้ V_1 เป็นสัญญาณรูป sinusoidal

$$V_1 = VimSinwt$$

เมื่อสัญญาณอินพุท V_1 เป็นบวกทรานซิสเตอร์ Q604 นำกระแส และส่งผลให้ Q606 นำกระแสด้วย ขณะที่ Q603 และ Q605 หยุดนำกระแส ได้กระแส - โหลดเป็น -ic2(t)

เมื่อสัญญาณอินพุท V_1 เป็นลบ ทรานซิสเตอร์ Q603 และ Q605 นำกระแสหยุดนำกระแส Q604 และ Q606ได้กระแส ic1(t) ไหลสู่ load RL

เมื่อครบ cycle ของสัญญาณอินพุท (V_1) กระแสโหลดจะเป็น

$$iL(t) = ic_1(t) + [-ic_2(t)]$$

$$iL(t) = ic_1(t) - ic_2(t)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ถ้า V_1 เป็นสัญญาณรูปคลื่น sinusodal กระแสโหลด iL จะเป็นสัญญาณรูปเดียวกัน ที่มี maximum peak (ILm)

$$iL = ILmsinwt = ic_1 - ic_2$$

สำหรับ load line และกำลังต่าง ๆ คงเหมือนเช่นใน class B amplifier ส่วนการที่วงจรปราศจากทรานฟอร์เมอร์ ทั้งด้านอินพุทและเอาท์พุท ถือเป็นข้อดี ช่วยลดน้ำหนักเครื่องกับลดต้นทุน และจากการใช้ทรานซิสเตอร์ที่ complement กัน ก็มีข้อดีในด้านไม่ต้องจัดสัญญาณ balance push-pull หรือจัดสัญญาณ phase ตรงข้ามกัน เพื่อป้อนแก่ทรานซิสเตอร์ทั้งคู่ แต่ amplifier ต้องการ power supply แรงไฟบวกควบคู่กับแรงไฟลบ อีกทั้งประสบปัญหายุ่งยากในการคัดคู่ complementary transistor ให้ match กันจริง ๆเพื่อบังเกิดผลของ distortion ที่ต่ำ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

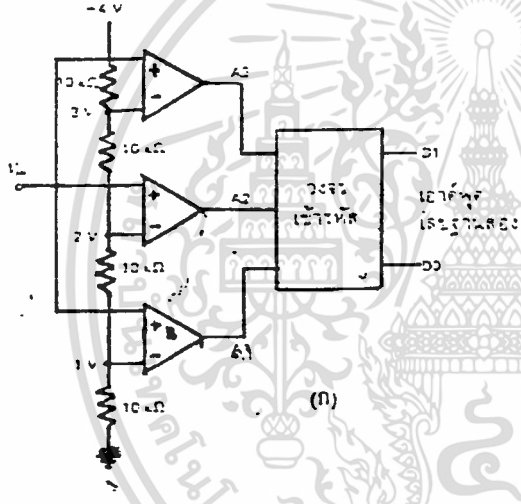
3.2 การแปลงอนาล็อกเป็นดิจิตอล

(ANALOG TO DIGITAL CONVERTER)

การแปลงอนาล็อกเป็นดิจิตอล ที่มีใช้กันอยู่ทั่ว ๆ ไป มีหลายแบบด้วยกัน ซึ่งในแต่ละแบบจะมีหลักการทำงาน ซึ่งจะได้กล่าวดังต่อไปนี้

3.2.1 แบบใช้วงจรเปรียบเทียบขนาน หรือแบบ แฟลช

(Parallel Comparator Simultanesus Flash A/D Converter)



(ก)

แรงดันอินพุต V_{in} (โวลต์)	เอาต์พุตของวงจรเปรียบเทียบ			เอาต์พุตเลขฐานสอง	
	A1	A2	A3	D1	D0
0 – 1	0	0	0	0	0
1 – 2	1	0	0	0	1
2 – 3	1	1	0	1	0
3 – 4	1	1	1	1	1

(ข)

รูปที่ 3.9 (ก) แสดงการต่อวงจร parallel comparator A/D converter

(ข) ตารางแสดงความสัมพันธ์ระหว่างแรงดันอินพุท ที่เป็นอนาล็อกกับเอาท์พุทที่เป็นดิจิตอล

วงจรเอทูดีแบบนี้ ใช้วงจรเปรียบเทียบที่ต่อขนานกันดังแสดงในรูปที่ 3.9 (ก) ประกอบด้วยออปแอมป์ ต่อเป็นวงจรเปรียบเทียบ และต่อตัวต้านทานไว้เพื่อแบ่งแรงดันที่ขาอินพุทแบบกลับ (inverting) ให้มีขนาดต่าง ๆ กัน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หลักการของวงจรเปรียบเทียบทั่วไป เมื่อแรงดันอินพุทที่ขาอินพุทแบบไม่กลับ (noninverting) มีค่าสูงกว่าที่ขาอินพุทแบบกลับ เอาท์พุทจะได้แรงดันค่าสูง ดังแสดงในตาราง3.9(ข)ซึ่งเอาท์พุทที่ได้จากวงจรเปรียบเทียบนี้จะนำไปเข้ารหัสให้เป็นเลขฐานสองต่อไป จำนวนของวงจรเปรียบเทียบที่ต้องใช้ในวงจรขึ้นอยู่กับขนาดของสัญญาณอนาล็อกที่อินพุท จากรูป3.9(ก)ถ้าแรงดันอินพุทมีค่า 1 โวลท์ ไม่เพียงพอที่จะทำให้วงจรเปรียบเทียบตัวใดให้ค่าเอาท์พุทเป็น High ที่แรงดันระหว่าง 1 ถึง 2 โวลท์ วงจรเปรียบเทียบที่มีระดับเทรชโฮลด์ (threshold) ต่ำสุดก็จะให้เอาท์พุทเป็น High แรงดัน 2-3 โวลท์ วงจรเปรียบเทียบ A_1 และ A_2 ให้เอาท์พุทเป็น High ถ้าแรงดันอินพุทมากกว่า 3 โวลท์ วงจรเปรียบเทียบจะให้เอาท์พุทเป็น High ทั้งหมด

ในกรณีที่ต้องการให้มีความละเอียดสูงขึ้น ของวงจรเอทูดีแบบขนานนี้จำเป็นต้องใช้วงจรเปรียบเทียบเพิ่มขึ้น เช่น ถ้าต้องการให้ได้ความละเอียด 3 บิต ต้องใช้วงจรเปรียบเทียบ 7 ตัว 4 บิต ต้องใช้วงจรเปรียบเทียบ 15 ตัว โดยหาจำนวนวงจรเปรียบเทียบได้จาก $2^N - 1$ เมื่อ N แทนจำนวนบิต หรือความละเอียดที่ต้องการ

วงจรของเอทูดี แบบขนานนี้จะให้ความเร็วในการเปลี่ยนสัญญาณสูงมาก บางครั้งเรียกว่า เอทูดีแบบ แฟลช (Flash type A/D converter) แต่มีข้อเสียคือ เอาท์พุทที่ได้ไม่เป็นเลขฐานสอง ต้องใช้วงจรเพิ่มเติมไปทำการเข้ารหัส

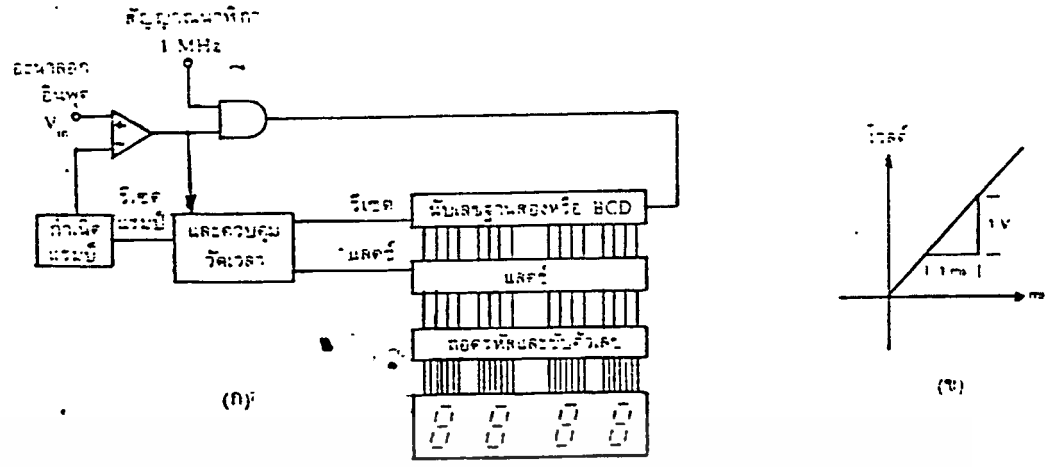
3.2.2 เอทูดีที่ใช้การอินทีเกรต

ในวงจรเอทูดีที่ใช้การอินทีเกรตนี้แบ่งออกได้ 3 แบบ ตามเทคนิคของการอินทีเกรต คือ

แบบสโลปเดี่ยว หรือ แบบแรมป์

(Single Ramp หรือ Single Slope A/D converter)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.10 วงจรเอทูดีแบบสโลปเดี่ยว

(ก) แสดงบล๊อกไดอะแกรม

(ข) ความชันของสัญญาณแรมป์

วงจรเอทูดีแบบสโลปเดี่ยว ประกอบด้วยวงจรกำเนิดสัญญาณแรมป์, วงจรเปรียบเทียบ, วงจรนับ BCD, เมื่อทำการเปลี่ยนสัญญาณ สัญญาณแรมป์ของวงจรนับจะถูกรีเซตให้เป็น 0 แรงดันอนาล๊อกถูกป้อนไปยังวงจรเปรียบเทียบทางขาอินพุทแบบไม่กลับ เมื่อแรงดันอินพุทที่ขานี้เป็นบวกมากกว่าที่ขาอินพุทแบบกลับ วงจรเปรียบเทียบก็จะให้เอาท์พุทเป็นระดับ "high" ทำให้แอนด์เกตปล่อยสัญญาณนาฬิกาไปยังวงจรนับได้ และทำให้เริ่มเกิดสัญญาณแรมป์ สัญญาณแรมป์มีแรงดันสูงขึ้นเรื่อย ๆ จนมีค่ามากกว่าแรงดันอินพุท จึงทำให้เอาท์พุทของวงจรเปรียบเทียบให้ระดับเป็น "low" ปิดแอนด์เกต ไม่มีสัญญาณเข้าสู่วงจรนับวงจรนับจะหยุดนับและเก็บค่าไว้ที่วงจรแลตช์

สมมติให้สัญญาณนาฬิกามีความถี่ 1 MHz วงจรนับ BCD 4 หลัก, แรงดันอินพุท Vin 2 โวลท์ สัญญาณแรมป์มีความชัน 1 V/mS ดังแสดงในรูปที่3.10(ข) จากจุดเริ่มค้นจนถึงแรงดันสูงสุด (2 โวลท์) สัญญาณแรมป์ใช้เวลา 2 mS หลังจากนี้จึงปิดสัญญาณนาฬิกาที่ส่งไปให้วงจรนับ ในช่วง 2 mS นี้ มีการส่งพัลส์ไปให้

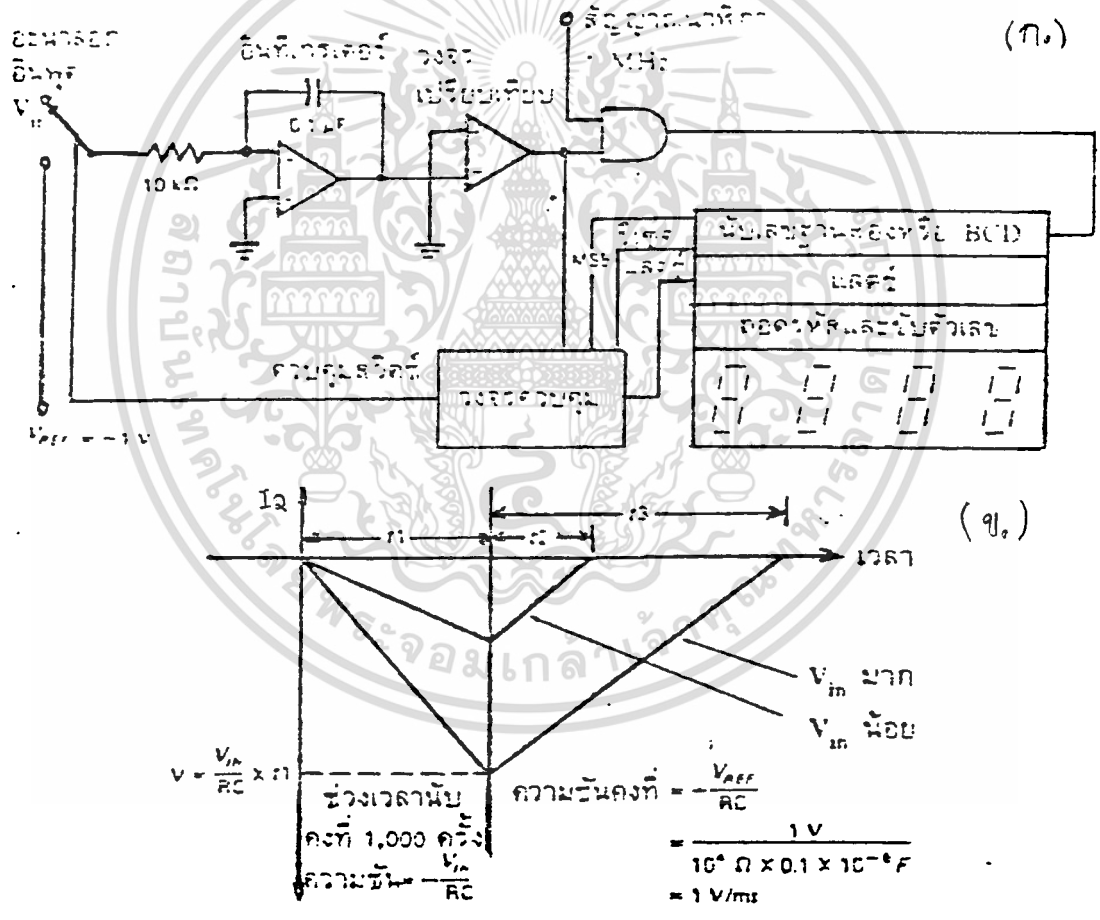
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วงจรนับถึง 200 ลูก เอาท์พุทของวงจรเปรียบเทียบที่มี ระดับ "high" เป็นการสั่งสัญญาณให้วงจรแลตช์ส่งค่าที่นับได้ไปยังภาคแสดงผลได้เป็นค่า 2.000 ที่แรงดันอินพุท 2 โวลท์

ในวงจรเอทูดีแบบสโลปเดี่ยวนี้ จะใช้กับงานที่ต้องการความละเอียดสูงไม่ได้ เนื่องจากการเปลี่ยนแปลงในแหล่งกำเนิดสัญญาณแรมป์ขึ้นกับอุณหภูมิ และผลตอบสนองต่อสัญญาณอินพุท ทำให้ไม่มีความคงที่ ดังนั้นจึงมีการปรับปรุงให้ดีขึ้นกลายเป็นแบบ สโลปคู่ (dual - slope)

แบบสโลปคู่

(Dual-Slope A/D converter)



รูปที่ 3.11 วงจรแบบเอทูดีแบบสโลปคู่

(ก) แสดงบล็อกไดอะแกรม (ข) เอาท์พุทของวงจรอินทีเกรตเมื่อเทียบกับเวลา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 3.11 (ก) แสดงบล็อกไดอะแกรม ของวงจรแบบสโลปคู่ สวิทช์ที่อินพุทจะทำการเลือกระหว่างแรงดันอินพุทกับแรงดันอ้างอิง ส่วนวงจรกำเนิดสัญญาณแรมป์ หรือวงจรอินทีเกรต ถ้าแรงดันอินพุท 2 โวลท์ จะได้กระแสไหลผ่านตัวต้านทาน 10 K เท่ากัน 0.2 mA ไปยังจุดรวม (summingpoint) เนื่องจากจากค่าความต้านทานอินพุทของออปแอมป์สูงมาก กระแสที่ไหลจึงเกิดขึ้นผ่านตัวเก็บประจุ เมื่อตัวเก็บประจุชาร์จ แรงดันที่เอาท์พุทของออปแอมป์ก็จะเป็นลบมากขึ้นเรื่อย ๆ เพื่อรักษาระดับกระแสให้คงที่ แรงดันคร่อมตัวเก็บประจุ จึงได้เป็นสัญญาณแรมป์เป็นเชิงเส้น (linear ramp)

ในกรณีแรงดันอินพุทเป็นบวก วงจรอินทีเกรเตอร์ จะให้เอาท์พุทเป็นสัญญาณแรมป์ทางลบ ดังรูปที่ 3.11 (ข) หากแรงดันอินพุทเป็นลบก็จะทำให้เอาท์พุทได้แรมป์เป็นบวก

จากรูปที่ 3.11 (ก) เมื่อสวิทช์ต่อกับสัญญาณอินพุทจะทำให้มีแรงดันบวกจากอินพุทเข้าสู่วงจรอินทิเกรเตอร์ ได้เอาท์พุทเป็นแรมป์ทางลบวงจรเปรียบเทียบก็จะได้แรงดันลบจากวงจรอินทิเกรเตอร์ วงจรเปรียบเทียบจะได้แรงดันลบได้เอ้าท์พุทเป็นบวกทำให้เปิดแอนด์เกต ให้สัญญาณนาฬิกาเข้าสู่วงจรนับวงจรนับจะนับไปยังค่าที่กำหนดไว้คงที่ (t_1) แล้วทำการสับสวิทช์ต่อกับแรงดันอ้างอิง ในขณะที่วงจรนับด้วยค่าคงที่นั้น วงจรอินทิเกรตจะให้สัญญาณแรมป์ทางลบ เมื่อทำการสับสวิทช์อินพุทของวงจรไปที่แรงดันอ้างอิงค่าลบ เอาท์พุทของวงจรจึงเป็นแรมป์ทางบวกคือ ช่วง t_2 ของรูปที่ 3.11 (ข) พร้อมกับรีเซตค่าของวงจรนับลงเป็นศูนย์เพื่อเริ่มนับใหม่ เมื่อเอาท์พุทของวงจรอินทิเกรเตอร์ เพิ่มขึ้นถึงแรงดัน 0 อีกครั้งเอาท์พุทของวงจรเปรียบเทียบก็จะเป็นลบ วงจรควบคุมจับการเปลี่ยนแปลงนี้ แล้วส่งสัญญาณสโตรปให้วงจร นับเก็บค่าที่ได้ไว้ที่วงจรแลตช์ จากนั้นจึงรีเซตให้เป็นศูนย์แล้วทำการสวิทช์ให้ต่อกับแรงดันอินพุท เป็นการเริ่มทำการเปลี่ยนสัญญาณอีกรอบ

จำนวนที่นับได้ที่เก็บไว้ในวงจรแลตช์ ก็จะเป็นสัดส่วนโดยตรงกับแรงดันอินพุท สัญญาณแรมป์ทางเอาท์พุทของวงจรอินทิเกรตในช่วงเวลาคงที่ t_1 จะลดลงสู่แรงดัน V ซึ่ง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$V = (V_{in}/RC)\, t_1$$

และใช้ช่วงเวลา t_2 (ที่เกิดจากอินพุทอ้างอิง) แรงดัน V เป็น

$$V = (V_{REF}/RC)\, t_2$$

หา t_2

$$(V_m/RC)t_1 = (V_{REF}/RC)\, t_2$$

$$V_{in} \times t_1 = V_{REF} \times t_2$$

$$t_2 = V_{in}\,(t_1/V_{REF})$$

จะเห็นได้ว่า ค่าที่ได้ไม่ขึ้นกับความถี่ของรอบการทำงาน และเอาท์พุทของวงจรนับในช่วงเวลา t_2 เป็นสัดส่วนโดยตรงกับแรงดันอินพุท V_{in} เมื่อ V_{REF} และ t_1 คงที่

<u>แบบชาร์จบาลานซ์</u>

(Charge Balance A/D Converter)

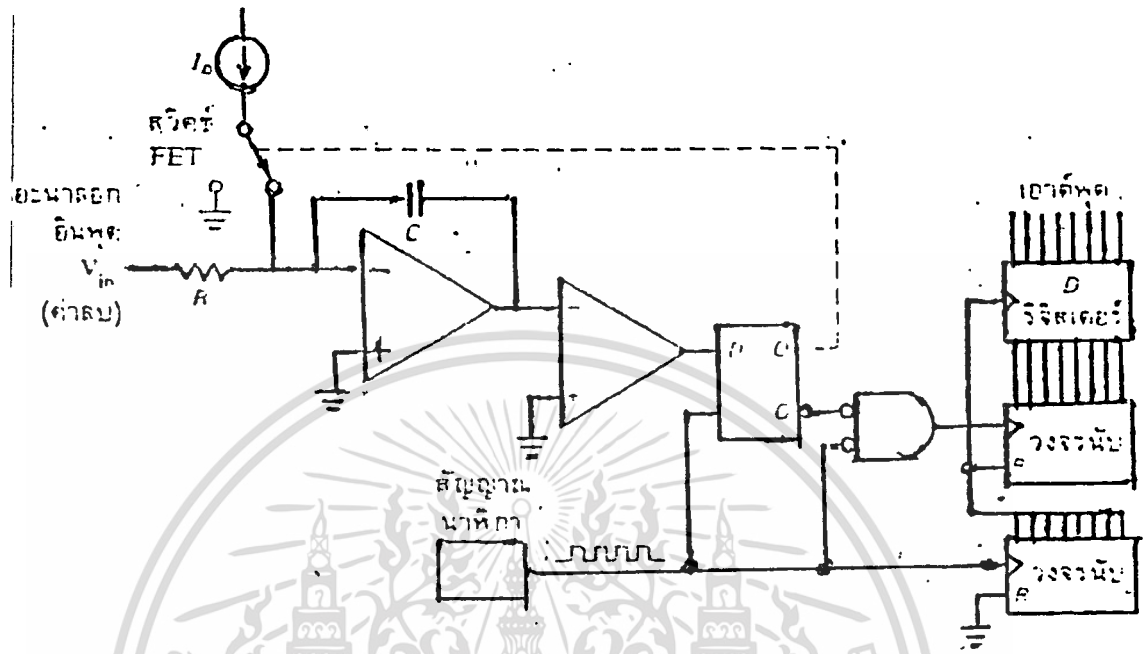
วงจรเปลี่ยนสัญญาณเอทูดีแบบชาร์จบาลานซ์นี้ คล้ายกับแบบสโลปคู่ แต่แทนที่จะให้อินพุทสวิตช์ไปมาระหว่างแรงดันที่ไม่รู้ค่ากับแรงดันอ้างอิง ก็ทำการแทรกพัลส์ของกระแสอ้างอิงมาตรง ๆ ที่จุดรวม (summing point) ของวงจรอินทิเกรเตอร์ในช่วงเวลาที่คงที่ โดยที่จำนวนของพัลส์จะเป็นสัดส่วนโดยตรงกับแรงดันอินพุทที่ไม่รู้ค่า

แบบชาร์จบาลานซ์นี้ จะให้ความถูกต้องได้สูงกว่าแบบสโลปคู่ เนื่องจากแรงดันตกคร่อมตัวเก็บประจุของวงจรอินทิเกรเตอร์ จะมีค่าใกล้เคียง 0 V. ดังนั้นจึงไม่เกิดความผิดพลาดจากผลของกระแสรั่วไหล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

แบบเดลต้า - ซิกม่า

(Delta-Sigma A/D Converter)



รูปที่ 3.12 วงจรเอทูดีแบบเดลต้า-ซิกม่า

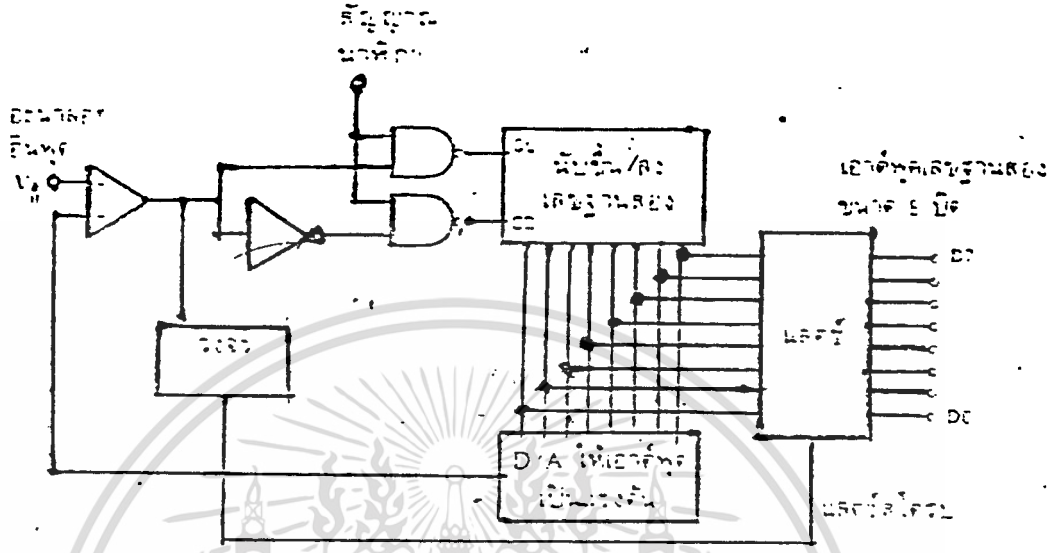
จากวงจรเอทูดีแบบเดลต้า-ซิกม่า เมื่อมีแรงดันอินพุทป้อนเข้าไปที่วงจรอินทีเกรเตอร์ จะให้เอาท์พุทไปเข้าวงจรเปรียบเทียบ เปรียบเทียบกับแรงดันคงที่ จากรูปคือ กราวด์ พัลส์ของกระแสที่ได้ขึ้นอยู่กับเอาท์พุทของวงจรเปรียบเทียบ โดยสวิตช์ที่ทำขึ้นจากเฟต จะควบคุมให้กระแสเข้าไปยังที่จุดรวมหรือลงกราวด์ไป ส่วนวงจรนับจะนับจำนวนพัลส์ด้วยหลักการที่คล้ายกันกับที่กล่าวมาแล้ว

จากที่กล่าวมาแล้วจะเห็นว่า จุดสำคัญของอินทีเกรติ้งเทคนิค คืออินพุทที่ป้อนให้กับวงจรอินทีเกรเตอร์ต้องเป็นกระแส ถ้าให้อินพุทเป็นกระแสก็ไม่ต้องคำนึงถึงแรงดันออฟเซตของวงจรอินทีเกรเตอร์ แต่ถ้าหากให้อินพุทเป็นแรงดัน ต้องมีตัวต้านทานต่ออนุกรมอยู่ เพื่อให้ได้เป็นกระแส และต้องปรับออฟเซตของออปแอมป์เสียก่อน การใช้อินพุทเป็นกระแสทำให้ย่านการใช้งานทางไฟสลับกว้าง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.2.3 วงจรเปลี่ยนสัญญาณเอทูดี ที่ใช้วงจรเอทูดีนับและวงจรดีทูเอประกอบกัน

แบบวงจรนับเดี่ยว (Single-Counter)



รูปที่ 3.13 วงจรเอทูดีแบบวงจรนับเดี่ยวที่สร้างขึ้นโดยวงจรนับขึ้นและวงจรดีทูเอ

จากรูปที่ 3.13 แสดงการกำเนิดสัญญาณแรมป์เดี่ยวด้วยวงจรนับ และวงจรดีทูเอ เมื่อเริ่มแปลงสัญญาณวงจรนับจะถูกรีเซต เอาท์พุทของวงจรดีทูเอ มีระดับ 0 เมื่อแรงดันถูกป้อนเข้าไปยังอินพุทของวงจรเปรียบเทียบเอาท์พุทก็จะขึ้นสู่ระดับ "High" และเปิดสัญญาณนาฬิกาไปสู่วงจรนับ แต่ละพัลส์ของสัญญาณนาฬิกาทำให้เกิดการนับและเพิ่มแรงดันขึ้น 1 ขั้น เมื่อเอาท์พุทของดีทูเอมีค่ามากกว่าอินพุท V_{in} เอาท์พุทของวงจรเปรียบเทียบก็จะกลายเป็น "Low" ทำให้สัญญาณนาฬิกาไม่อาจผ่านไปยังวงจรนับได้ ดังนั้นวงจรควบคุมจะทำการแลตช์เอาท์-พุทของวงจรนับและรีเซตวงจรนับให้เริ่มต้นรอบใหม่อีกครั้ง

แบบแทร็กกิ้ง (Tracking A/D converter)

การทำงานคล้ายกับแบบใช้วงจรนับเดี่ยว แต่การนับจะไม่ได้เริ่มจากศูนย์ จะทำการนับขึ้น หรือนับลงจากค่าล่างสุดไปยังค่าใหม่แล้วแต่ว่าแรงดันอินพุทในรอบใหม่ มีค่าสูงกว่าหรือต่ำกว่าค่าที่แล้ว และเอทูดีแบบแทร็กกิ้งจะทำงานได้เร็วขึ้นเมื่อเทียบกับแบบนับเดี่ยว

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 4

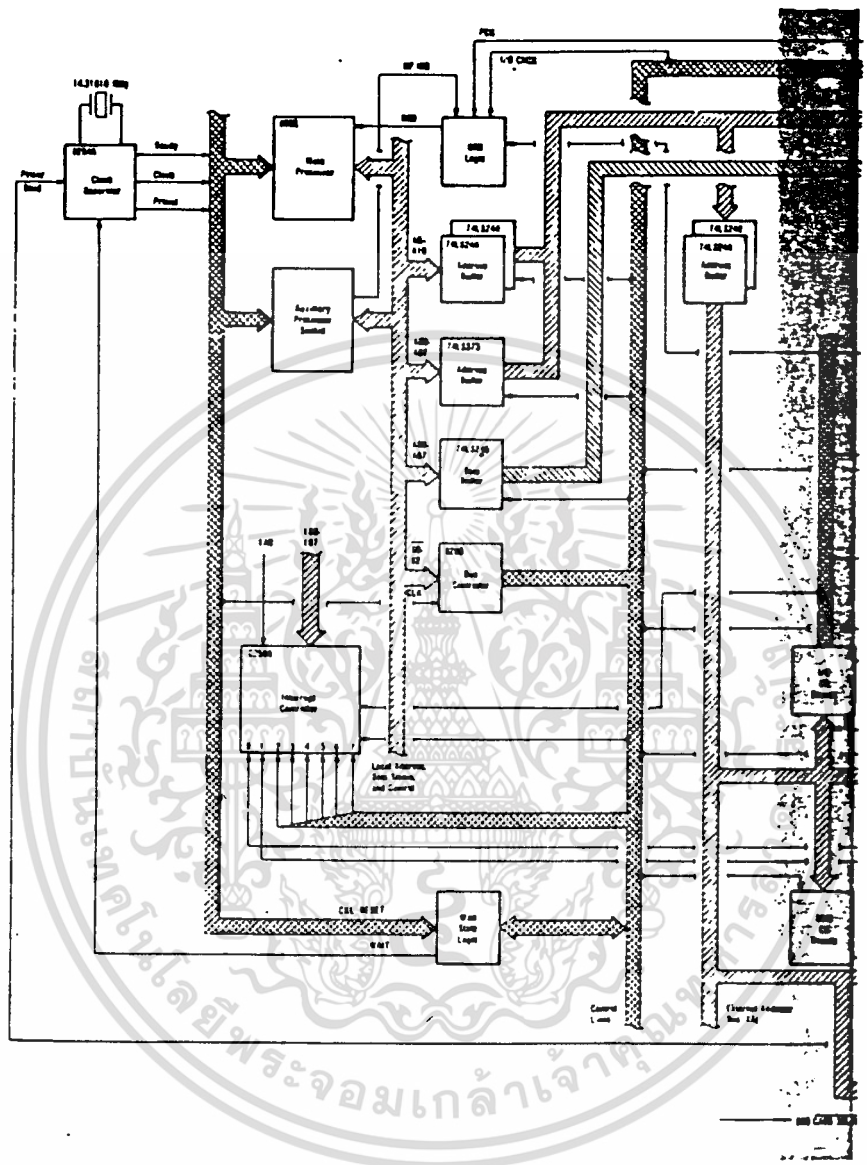
โครงสร้าง IBM PCXT/AT และเทคนิคการอินเตอร์เฟส

ปัจจุบันระบบคอมพิวเตอร์ ระดับไมโครคอมพิวเตอร์นั้น เราสามารถแยกออกได้เป็นสองระบบคือ ระบบ XT BUS และระบบ AT BUS ส่วนมากแล้วจะนิยมใช้ระบบ AT BUS ส่วนระบบ XT BUS นั้น มีผู้ใช้น้อยมาก แต่ก็ยังมีใช้กันอยู่ในระบบ XT BUS นั้น ปกติจะใช้ CPU เบอร์ 8088 ซึ่งมีการประมวลผลภายใน ครั้งละ 16 บิต แต่จะมีระบบบัสเพียง 8 บิต สำหรับระบบ AT BUS นั้น จะใช้ CPU เบอร์ 80286, 80386 ซึ่งเป็น CPU ขนาด 16 บิต ทั้งการประมวลผลภายในและระบบบัส จะทำให้การทำงานของระบบ AT BUS จะทำงานเร็วกว่าระบบ XT BUS การทำงานจะเหมือนกันทั้งสองระบบ ฉะนั้นเมื่อเราทำการออกแบบวงจรเพื่อใช้บนระบบ XT BUS แล้ว ก็จะสามารถนำไปใช้ในระบบ AT BUS ได้ด้วย ซึ่งจะได้กล่าวรายละเอียดต่อไป

4.1 โครงสร้าง IBM PCXT/AT

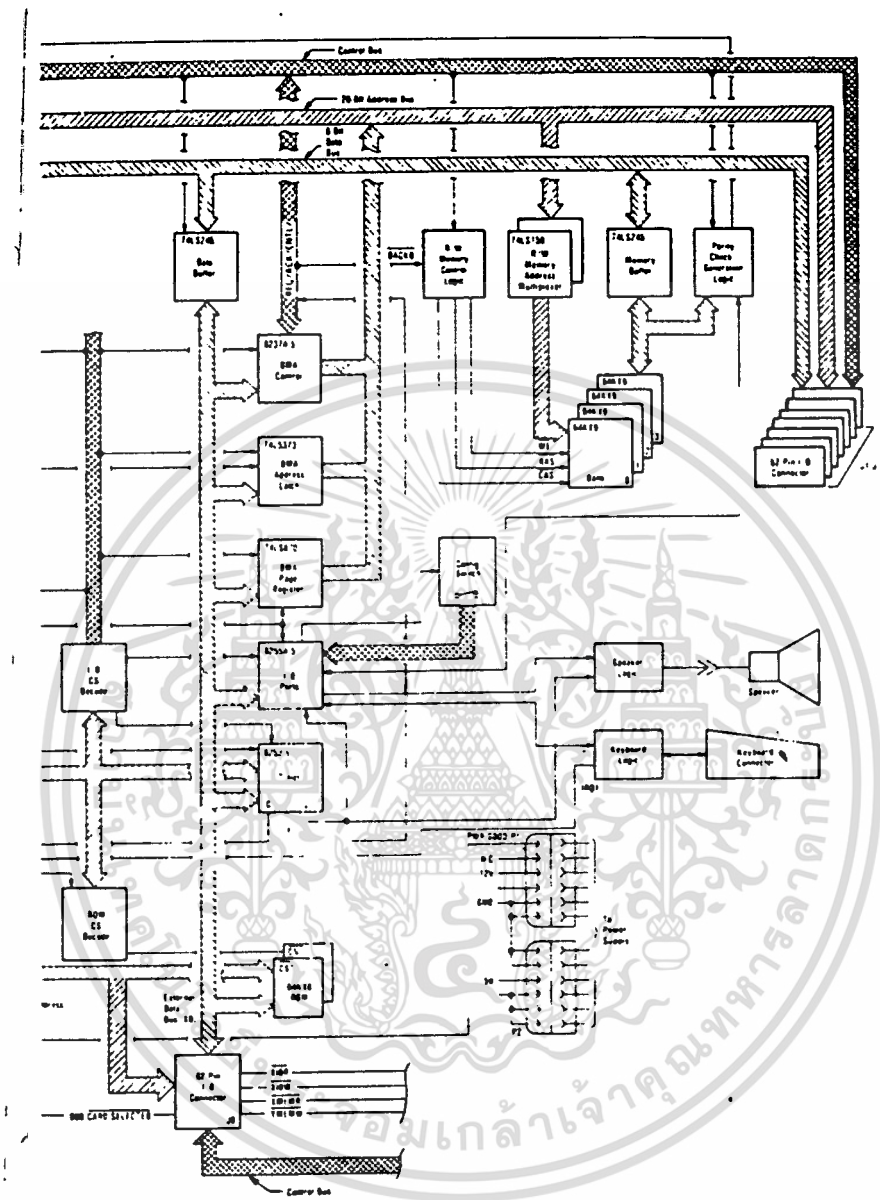
ภายในระบบทั้งระบบ XT BUS และ AT BUS จะมีโครงสร้างของระบบเหมือนกัน แต่จะแตกต่างกันตรงระบบบัส สำหรับการทำงานหลักแล้ว จะเหมือนกัน แต่ความเร็วในการทำงานต่างกัน เช่น จะจัดการเกี่ยวกับข้อมูลขนาด 16 บิต แล้วสำหรับระบบ XT BUS จะจัดการถึงสองครั้ง สำหรับระบบ AT BUS นั้น จะกระทำครั้งเดียว ดังนั้นจึงทำให้ในระบบ AT BUS ทำงานได้เร็วกว่าระบบ XT BUS ซึ่งจะได้เปรียบเทียบไดอะแกรมการทำงาน ในรูปที่ 4.1 และรูปที่ 4.2

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



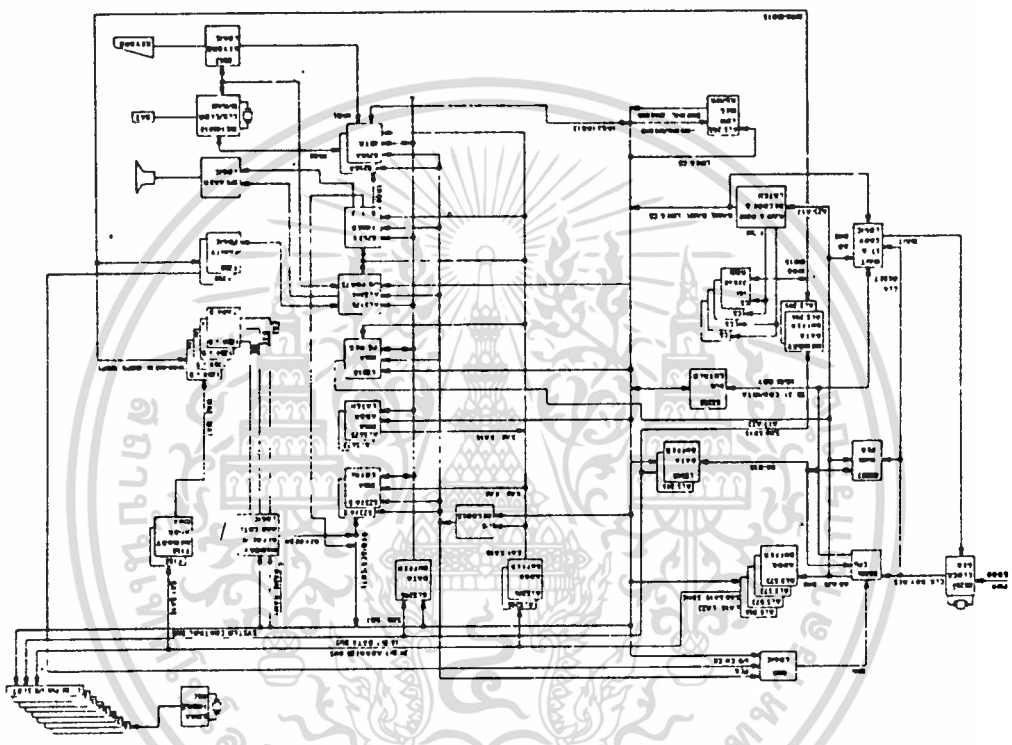
รูปที่ 4.1 a แสดงไดอะแกรมระบบ XT BUS (1)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.1 b แสดงไดอะแกรมระบบ XT BUS (2)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.2 แสดงไดอะแกรมระบบ AT BUS

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากรูปที่ 4.1 a และ b และรูปที่ 4.2 จะมีการจัดระบบบัสออกเป็น 3 ชนิด คือ บัสข้อมูล (data bus) ระบบ XT BUS จะมี 8 บิตและ 16 บิต สำหรับระบบ AT BUS, Address Bus ระบบ XT BUS จะมีขนาด 20 บิตแต่ระบบ AT BUS จะมี 24 บิต และบัสชนิดสุดท้ายคือ บัสควบคุม (Control Bus) สำหรับอุปกรณ์ที่มีความสำคัญต่อการทำงานของทั้งสองระบบ ได้แก่ main processor, memory, DMA (direct memory access), Interrupt Controller, timer I/O Port และ I/O Expansion slot อุปกรณ์เหล่านี้มีหลักการทำงานเหมือนกันทั้งสองระบบ ซึ่งจะได้แยกกล่าวได้ดังนี้

4.1.1 main processor จะทำหน้าที่ประมวลผลหลักในระบบ และภายในระบบจะมีที่สำหรับใส่ CPU ช่วย เพื่อใช้ในการประมวลผลร่วมกับ CPU หลัก ซึ่ง CPU ช่วยนี้ จะสังเกตได้ง่าย คือจะลงท้ายด้วยตัวเลข 87 เช่น CPU เบอร์ 8088 แสดงว่า CPU ช่วยเบอร์ 8087 เป็นต้น

4.1.2 หน่วยความจำ (memory) ในระบบจะแบ่งหน่วยความจำออกเป็นสองชนิด คือ Rom Bios ซึ่งจะทำหน้าที่จัดการเกี่ยวกับระบบของเครื่องและหน่วยความจำที่เรียกว่า System memory ในการอ้างแอดเดรสของหน่วยความจำ จะใช้แอดเดรสทั้งหมด 20 บิต คือ A_0 - A_{19} ในระบบ XT BUS (8088) แต่ในระบบ AT BUS (80286) ใช้แอดเดรส 24 บิต คือ A_0 - A_{19} และ A_{20} - A_{23} ซึ่งจะได้แสดงตารางการจัดหน่วยความจำภายในระบบดังตารางที่ 4.1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Block 0	00000-0FFFF	RAM to 64K
Block 1	10000-1FFFF	RAM to 128K
Block 2	20000-2FFFF	RAM to 192K
Block 3	30000-3FFFF	RAM to 256K
Block 4	40000-4FFFF	RAM to 320K
Block 5	50000-5FFFF	RAM to 384K
Block 6	60000-6FFFF	RAM to 448K
Block 7	70000-7FFFF	RAM to 512K
Block 8	80000-8FFFF	RAM to 576K
Block 9	90000-9FFFF	RAM to 640K
Block A	A0000-AFFFF	Extended video memory
Block B	B0000-BFFFF	Standard video memory
Block C	C0000-CFFFF	BIOS extension (eg. EGA)
Block D	D0000-DFFFF	Other use
Block E	E0000-EFFFF	Other use
Block F	F0000-FFFFF	bIOS EPROM

ตารางที่ 4.1 แสดงการจัดหน่วยความจำภายในระบบ IBM

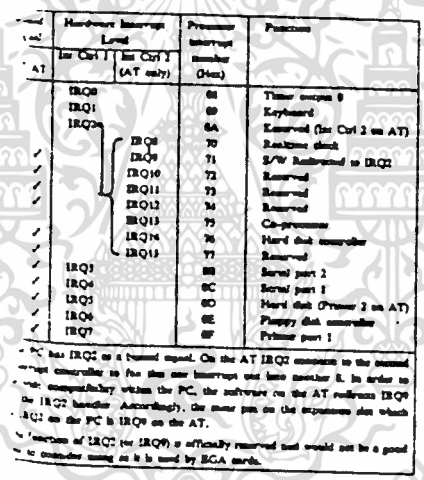
4.1.3 DMA (direct memory acess) เป็นการรับส่งข้อมูลระหว่างหน่วยความจำกับอุปกรณ์อื่น โดยไม่ผ่าน CPU เพื่อลดเวลาในการรับส่งข้อมูลที่มีจำนวนมาก ๆ เช่น การรับส่งข้อมูลกับแผ่นดิสก์ กับหน่วยความจำจากตารางที่ 4.2 เป็นการจัดลำดับ การจัด DMA ในระบบ XT BUS จะมีอยู่ 4 ระดับ และ AT BUS จะมีอยู่ถึง 7 ระดับ โดยที่ DMA ลำดับที่ 0 จะมีความสำคัญมากที่สุด และ DMA ลำดับที่ 3 จะมีความสำคัญน้อยที่สุด (XT BUS) สำหรับ DMA ลำดับที่ 7 จะมีความสำคัญน้อยที่สุดในระบบ AT BUS ดังแสดงในตารางที่ 4.2

DMA Channel		Funtion
DMA Ctrl 1	DMA Ctrl 2 (AT only)	
	4	Cascade for Ctrl 1
0		Memory refresh (AT-spare)
1		SDLC
2		Floppy disk
3		Spare
	5	Spare
	6	Spare
	7	Spare

ตารางที่ 4.2 แสดงการจัดลำดับ DMA ในระบบ IBM

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.1.4 อินเตอร์รัพต์ (Interrupts) การอินเตอร์รัพต์ใน CPU จะแบ่งออกเป็น 2 ชนิดคือ NMI (Non-Maskble Interrupts) และ INT (Maskable Interrupt) แต่สำหรับในระบบของ IBM จะถูกใช้ในการเช็คความผิดพลาดของการรับส่งข้อมูล โดยการเช็คที่พาริตี้บิต ถ้าพบความผิดพลาด CPU จะถูกอินเตอร์รัพต์แบบ INT จะมีจำนวน 256 เวกเตอร์ ในจำนวนทั้งหมดนี้ จะรวมถึงซอฟต์แวร์อินเตอร์รัพต์ (Bios Call), สัญญาณอินเตอร์รัพต์ที่เกิดขึ้นเองจาก CPU, การกระทำที่ละคำสั่งของโปรแกรมดีบัก (Single Step) และฮาร์ดแวร์อินเตอร์รัพต์ ดังแสดงรายละเอียดในตารางที่ 4.3



ตารางที่ 4.3 แสดงการจัดฮาร์ดแวร์อินเตอร์รัพต์ ในระบบ IBM

4.1.5 ระบบของเวลา (Timer) ในส่วนนี้จะทำหน้าที่จัดการเกี่ยวกับเวลาต่าง ๆ ภายในระบบ ซึ่งโดยทั่วไปแล้วจะใช้ไอซีเบอร์ 8253 (Timer and Counter) ทั้งระบบ XT BUS และ AT BUS

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.1.6 อุปกรณ์อินพุท/เอาท์พุท และการขยาย (I/O ports. Expansion Slots) ในการควบคุมอุปกรณ์อินพุท/เอาท์พุท ที่ต่ออยู่กับระบบ จะกระทำผ่านพอร์ต โดยการอ้างแอดเดรสของพอร์ตที่อุปกรณ์นั้นต่ออยู่โดยตรง การอ้างแอดเดรสของพอร์ตนั้น จะแยกออกจากการอ้างแอดเดรสของหน่วยความจำโดยเด็ดขาด สำหรับการอ้างแอดเดรสของพอร์ต ในระบบ XT BUS และ AT BUS นั้น ใช้ได้เพียง 10 บิต นั้นคือ A_0-A_9 ซึ่งสามารถอ้างแอดเดรสให้สูงสุด 1024 พอร์ต ในจำนวนทั้งหมดนี้ จะแบ่งออกเป็น 2 กลุ่ม คือ กลุ่มพอร์ตที่มีแอดเดรสอยู่ในช่วง 000H - 0FFH จะใช้งานบนเมนบอร์ดสำหรับชิพซัพพอร์ตเท่านั้น และกลุ่มที่มีแอดเดรสอยู่ในช่วง 100 - 3FFH จะใช้งานกับการ์ดขยายบนสล๊อต ซึ่งจะแสดงการจัดแอดเดรสของพอร์ต ดังตารางที่ 4.4

Address	Description	Note
1F0-1F8	Fixed disk	1
200-20F	Games adapter	
210-217	Expansion unit	2
278-27F	2nd parallel printer port	1
2B0-2DF	Alternate EGA	
2F8-2FF	2nd serial port	
2E1	GPIB (0)	4
2E2-2E3	Data Acquisition (0)	4
300-31F	Prototype card	
320-32F	Fixed disk	2
360-36F	PC Network	
378-37F	1st parallel printer port	
380-38F	SDLC/2nd Bisynchronous	3
390-393	Cluster (0)	4
3A0-3AF	1st Bisynchronous	3
3B0-3BF	Monochrome display/printer	
3C0-3CF	EGA	
3D0-3DF	CGA	
3F0-3F7	Floppy disk	
3F8-3FF	1st serial port	

Notes		Devices on main board not included
	1	AT only
	2	PC only
	3	2nd Bisynchronous on AT only
	4	These devices decode the full 16 address bits thereby allowing further devices in the same category above 3FF (eg GPIB (1) = 22E1 etc)

ตารางที่ 4.4 แสดงการจัดแอดเดรสของพอร์ตในระบบ IBM

สำหรับสล๊อตสำหรับการ์ดขยาย (Expansion slot) บนเมนบอร์ดจะมีสล๊อตอยู่ 2 ชนิด คือ สล๊อตสั้นและสล๊อตยาว ซึ่งมีจำนวนขาสัญญาณและตำแหน่งขาสัญญาณจะเหมือนกับทั้ง XT BUS และ AT BUS สำหรับสล๊อตสั้นนั้นจะมีเฉพาะระบบ AT BUS เท่านั้น ซึ่งจะประกอบด้วยข้อมูล ครึ่งบน (8 บิตบน) และแอด-

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

(I/O) หมายถึง ขาสัญญาณที่เป็นได้ทั้งอินพุตและเอาต์พุต

(*I/O) หมายถึง ในช่วงการทำงานปกติจะเป็นขาสัญญาณเอาต์พุต แต่จะเป็นอินพุตในช่วงที่เกิดขบวนการ DMA

สำหรับขาสัญญาณที่มีเครื่องหมายลบนำหน้าจะหมายถึงขาสัญญาณที่แอคตีฟที่ลอจิก "0" และขาสัญญาณที่ไม่มี หรือมีเครื่องหมายบวกนำอยู่หน้าจะหมายถึงขาสัญญาณที่แอคตีฟที่ลอจิก "I" สัญญาณที่ต่ออยู่บนสล็อตนี้สามารถขับไอซีทีทีแอลชนิดโลว์เพาเวอรีได้สองตัว โดยไม่ทำให้เกิดการโหลด หรือการเพี้ยนของสัญญาณขาสัญญาณต่าง ๆ บนสล็อตของ XT และ AT สามารถแบ่งออกเป็นกลุ่ม ๆ ได้ดังนี้

<u>เพาวเวอร์ซัพพลาย</u>

Ground	ขาสัญญาณนี้ต่ออยู่กับกราวด์ของระบบเรกูเลเตอร์
+ 5 V-	ขาสัญญาณนี้ต่ออยู่กับไฟ DC เรกูเลเตอร์ + 5 โวลท์
- 5 V-	ขาสัญญาณนี้ต่ออยู่กับไฟ DC เรกูเลเตอร์ - 5 โวลท์
+ 12 V-	ขาสัญญาณนี้ต่ออยู่กับไฟ DC เรกูเลเตอร์ + 12 โวลท์
- 12 V-	ขาสัญญาณนี้ต่ออยู่กับไฟ DC เรกูเลเตอร์ - 12 โวลท์

<u>แอดเดรสบัส และสัญญาณต่าง ๆ ที่เกี่ยวข้อง</u>

SA0-SA19 (I)	เป็นแอดเดรสบิตที่ 0 ถึง 19 โดยที่SA0 มีนัยสำคัญต่ำที่สุด ขาสัญญาณนี้จะแอคตีฟ เมื่อขาสัญญาณ BALE มีสถานะเป็น "I" และจะถูกแลตช์ไว้ตอนขอบขาลงของขาสัญญาณ BALE แอดเดรสทั้ง 20 บิตนี้ สามารถอ้างหน่วยความจำได้ถึง 1 เมกกะไบต์ XT และสำหรับ AT เมื่อใช้ร่วมกับ LA17-LA23 จะอ้างได้ถึง 16 เมกะไบต์
LA17-LA23 (*I/O)	(เฉพาะรุ่น AT) ขาสัญญาณนี้จะแอคตีฟ เมื่อขาสัญญาณ BALE มีสถานะเป็นลอจิก "I" แต่จะไม่มีการแลตช์ไว้ ตอนขอบขาลงของขาสัญญาณ BALE ดังนั้นถ้าอุปกรณ์ I/O ไม่มีการอ้างแอดเดรสเกิน 1 เมกกะไบต์ ขาสัญญาณนี้ก็ไม่จำเป็นต้องใช้ แต่ถ้ามีการอ้างแอดเดรสเกิน อุปกรณ์ I/O จะต้องทำการแลตช์สัญญาณนี้ โดยใช้ขอบขาลงของขาสัญญาณ BALE ร่วมกับขาสัญญาณ -MEMW และ -MEMR

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

AEN (O) — (Address Enable) ขาสัญญาณนี้จะแอคตีฟ เมื่อตัวควบคุม DMA ได้ทำการควบคุมบัสต่าง ๆ ของระบบแล้ว ดังนั้นการอ้างพอร์ตของอุปกรณ์ I/O จะต้องใช้สัญญาณนี้ในการดีโค้ดด้วยเพื่อที่จะไม่ทำให้เกิดการติดต่อระหว่างระบบกับอุปกรณ์ I/O ตัวอื่นยกเว้นตัวที่กำลังทำขบวนการ DMA อยู่

BALE (O) — (Address Latch Enable) ขาสัญญาณนี้ใช้ในการแสดงการเริ่มต้นของขบวนการต่าง ๆ ที่มีการติดต่อกับหน่วยความจำโดยจะแอคตีฟเมื่อค่าแอดเดรสที่ CPU ต้องการติดต่อด้วยอยู่บนแอดเดรสบัสเรียบร้อยแล้ว ตามปกติของขอบขาลงของสัญญาณนี้จะทำให้เกิดการแลตช์สัญญาณ SA0-SA19 และถ้ามีการอ้างแอดเดรสเกิน 1 เมกกะไบต์ใน AT ใช้ขอบขาลงสัญญาณนี้ในการแสดงแลตช์สัญญาณ LA17-LA23 ด้วยเช่นกันแต่สำหรับในขบวนการ DMA สัญญาณนี้จะมีสถานะเป็น "1" ตลอด

SBHE (*I/O) — (เฉพาะรุ่น AT) (Bus High Eneable) เป็นขาสัญญาณที่ใช้แสดงว่ามีการรับส่งข้อมูลในบิตที่ SD8-SD15

<u>ดาต้าบัส</u>

SD0-SA7 (I/O) — สำหรับรุ่น AT จะมี SD0-SD15 เพิ่มขึ้นมาด้วยคือ ดาต้าบิต 0 ถึง 7 สำหรับรุ่น XT และสำหรับรุ่น AT คือ ดาต้าบิท 0 ถึง 15 โดยที่ SD0 มีนัยสำคัญต่ำสุด สำหรับ AT ถ้ามีการติดต่อกับบิตที่ SD8-SD15 สามารถตรวจสอบได้จากขาสัญญาณ SBHE

<u>สัญญาณอินเตอร์รัพต์</u>

IRQ2-IRQ7 (I) — (Interrup Request) สำหรับรุ่น AT จะเป็น IRQ3-7,9, 12,14,15) เป็นขาสัญญาณอินเตอร์รัพต์ CPU สำหรับ AT ลำดับความสำคัญของสัญญาณ IRQ เป็นดังนี้ คือ 9, 10, 11, 12, 14, 15, 3, 4, 5, 6 และ 7 โดย IRQ9 มีลำดับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ความสำคัญมากที่สุด และ IRQ7 มีลำดับความสำคัญน้อยที่สุด สำหรับ XT IRQ2 จะมีลำดับความสำคัญมากที่สุด รอง ๆ ลงไปคือ IRQ3, 4, 5, 6, 7 สำหรับรายละเอียดในการใช้งานของแต่ละอินเตอร์รัพต์ ให้ดูได้จากตารางการจัดลำดับอินเตอร์รัพต์ในหัวข้อการอินเตอร์รัพต์

โดยปกติสัญญาณนี้จะมีสถานะเป็น "0" เสมอ ถ้าต้องการอินเตอร์รัพต์ CPU ให้ส่งพัลส์ที่เป็นลอจิก "1" ให้กับมันโดยไม่จำเป็นต้องคำนึงถึงคาบเวลาของพัลส์ ทั้งนี้เพราะระบบของ IBM ตัวอินเตอร์รัพต์คอนโทรลเลอร์ (8259 Interrupt Controller) จะถูกโปรแกรมทำให้การตรวจสอบสัญญาณอินเตอร์รัพต์โดยใช้ขอบขาลงของสัญญาณนี้

-I/O CH CK (I) (I/O Channel Check) เป็นขาสัญญาณที่บอกถึงความผิดพลาดในการรับส่งข้อมูล ซึ่งตรวจสอบจากพาริตี้บิต ถ้าพาริตี้บิตที่อ่านจากหน่วยความจำกับพาริตี้บิตที่สร้างขึ้นจากขบวนการรับส่งข้อมูลมีค่าไม่เท่ากัน แสดงว่าเกิดความผิดพลาดในการรับส่งข้อมูล สัญญาณนี้จะทำให้เกิดการอินเตอร์รัพต์ CPU แบบ NMI เพื่อบอกให้ CPU ทราบว่าเกิด Parity Error ขึ้น CPU จะแสดงข้อความบอกความผิดพลาดขึ้น และจะหยุดการทำงาน (Halt) เพื่อให้ผู้ใช้ตรวจสอบหาสาเหตุของการผิดพลาด

<u>สัญญาณที่ใช้ในขบวนการ DMA</u>

DRQ1-DRQ3 (I) (DMA Request) (สำหรับรุ่น AT จะเป็น DRQ0-3,5-7) เป็นขาสัญญาณใช้ในการขอทำขบวนการ DMA โดยที่ DRQ0 มีลำดับความสำคัญมากที่สุด และ DRQ3 มีลำดับความสำคัญน้อยที่สุดสำหรับรุ่น XT และสำหรับรุ่น AT ขา DRQ7 จะมีลำดับความสำคัญน้อยที่สุด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บน XT DRQ0 ใช้สำหรับการรีเฟรชหน่วยความจำแบบไดนามิค จึงไม่มีขาสัญญาณ DRQ0 ต่อออกมาที่สล็อต แต่สำหรับ AT แล้วจะมีวงจรโดยเฉพาะสำหรับใช้ในการรีเฟรชหน่วยความจำแบบไดนามิคอยู่แล้ว ดังนั้นขา DRQ0 จึงว่างลงและนำมาต่อที่สล็อตเพื่อให้อุปกรณ์ I/O ได้ใช้งานได้ บางครั้งอาจจะเรียก DRQ0 เป็น DRQ4 ก็ได้ เพื่อป้องกันความสับสนกับส่วนที่ใช้รีเฟรชไดนามิคแรมบน XT (เช่นเดียวกันก็จะเรียก DACK0 เป็น DACK4)

การขอทำ DMA ทำได้โดยให้ขาสัญญาณนี้มีสถานะเป็น "I" แล้วรอจนกระทั่งได้รับตอบสนองการทำ DMA จาก CPU โดยการตรวจสอบสัญญาณ DACK ที่ส่งออกมา

-DACK0-3 (0) (DMA Acknowledge) (สำหรับรุ่น AT จะเป็น -DACK0-3, 5-7) เป็นสัญญาณตอบสนองการขอทำ DMA ของอุปกรณ์ I/O เพื่อให้อุปกรณ์ I/O ทราบว่าการขอทำขบวนการ DMA นั้นได้รับการตอบสนองแล้ว เช่นถ้ามีการขอทำ DMA ผ่านทาง DRQ2 และเมื่อ CPU รับรู้แล้ว จะทำให้สัญญาณ DACK2 แอคตีฟ

ถึงแม้ว่าบน XT จะมีการนำเอา DRQ0 ไปใช้ในการรีเฟรชไดนามิคแรมก็ตาม แต่สัญญาณ -DACK0 ก็จะถูกต่อออกมาที่สล็อตด้วย เพื่อแสดงถึงขบวนการรีเฟรชไดนามิคแรมและอุปกรณ์ I/O สามารถนำสัญญาณนี้ไปใช้ในการรีเฟรชหน่วยความจำแบบไดนามิคที่อยู่ในตัวมันได้

Refresh (0) (เฉพาะรุ่น AT) (Memory Refresh) มีหน้าที่เหมือนกับขาสัญญาณ DACK0 ในรุ่น XT คือ ใช้แสดงขบวนการรีเฟรชหน่วยความจำเพราะว่าในรุ่น AT จะมีวงจรที่ใช้ในการรีเฟรชหน่วยความจำโดยตรงอยู่แล้ว ดังนั้นจึงไม่จำเป็นต้องใช้ขาสัญญาณ DRQ0 และ DACK0

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

-Master (I) (เฉพาะรุ่น AT) (Master) ขาสัญญาณนี้จะใช้ร่วมกับ DMA Request ในการเข้าควบคุมระบบบัสในขบวนการ DMA โดยที่ตัว DMA คอนโทรลเลอร์จะส่งสัญญาณ DMA Request แล้วรอจนกระทั่งได้รับการตอบสนองโดยสัญญาณ DACK เกิดการแอคติฟขึ้น แล้วจึงจะส่งสัญญาณนี้ให้กับ CPU จะทำให้แอดเดรสบัส ดาต้าบัส และ คอนโทรลบัสเข้าสู่สถานะไตรสเตต หรือ ไฮอิมพีแดนซ์ หลังจากนั้นตัว DMA คอนโทรลเลอร์จะต้องรออีกหนึ่งคาบสัญญาณคล็อก ก่อนที่จะเข้าควบคุมบัสต่าง ๆ และจะต้องรออีก 2 ไซเคิล ก่อนที่จะทำการอ่านหรือเขียนข้อมูล ช่วงเวลาที่สัญญาณนี้แอคติฟไม่ควรเกิน 15 ไมโครวินาที มิฉะนั้นข้อมูลภายในหน่วยความจำ จะสูญหายไปได้ เนื่องจากขาดสัญญาณรีเฟรชหน่วยความจำ

T/C (O) (Terminal Count) เป็นขาสัญญาณที่บอกอุปกรณ์ I/O ที่ทำ DMA ให้ทราบว่าจำนวนข้อมูลที่รับส่งในขบวนการ DMA นี้ครบจำนวนแล้ว โดยจะส่งสัญญาณนี้เป็นพัลส์ให้กับอุปกรณ์ I/O

<u>สัญญาณควบคุมต่าง ๆ</u>

-MEMR (*I/O) (Memory Read) สำหรับรุ่น AT คือ ขาสัญญาณ -SMEMR (System Memory Read) ขาสัญญาณนี้จะเป็นตัวบอกให้หน่วยความจำส่งข้อมูลออกมาที่ดาต้าบัส แต่สำหรับ AT สัญญาณ -SMEMR จะแอคติฟเมื่อเกิดการอ่านข้อมูลจากหน่วยความจำที่อยู่ภายใน 1 เมกกะไบต์แรกเท่านั้น

MEMR (O) (เฉพาะรุ่น AT) (Memory Read) ขาสัญญาณนี้ไม่ใช่สัญญาณเดียวกันกับสัญญาณ-MEMR ใน XT มันจะแอคติฟก็ในทุกๆ ขบวนการอ่านข้อมูลที่เกิดขึ้น ไม่ว่าอยู่ในช่วงหน่วยความจำ 1 เมกะไบต์แรกหรือไม่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MEMW (*I/O)	(Memory Write) (สำหรับรุ่น AT คือ ขาสัญญาณ -SMEMW (Sywtem Memory Write)) ขาสัญญาณนี้จะเป็นตัวบอกให้หน่วยความจำเก็บข้อมูลจากดาต้าบัส แต่สำหรับ AT สัญญาณ -SMEMW จะแอคตีฟ เมื่อเกิดการเก็บข้อมูลจากหน่วยความจำที่อยู่ภายใน 1 เมกะไบต์แรกเท่านั้น
MEMW (O)	(เฉพาะรุ่น AT) (Memory Write) ขาสัญญาณนี้ไม่ใช่สัญญาณเดียวกันกับ -MEMW ใน XT มันจะแอคตีฟก็ในทุก ๆ ขบวนการเก็บข้อมูลที่เกิดขึ้น ไม่ว่าอยู่ในช่วงหน่วยความจำ 1 เมกะไบต์แรกหรือไม่
-IOR (*I/O)	(I/O Read) เป็นขาสัญญาณที่บอกให้อุปกรณ์ I/O ที่ต่ออยู่ ทำการส่งข้อมูลลงมาที่ดาต้าบัส
-IOW (*I/O)	(I/O Write) เป็นขาสัญญาณที่บอกให้อุปกรณ์ I/O ที่ต่ออยู่ ทำการเก็บข้อมูลจากดาต้าบัสเข้าไป
RESET DRV (O)	(Reset Driver) เป็นขาสัญญาณที่แอคตีฟ ตอนช่วงที่เราเริ่มจ่ายไฟให้กับระบบเพื่อใช้ในการรีเซต CPU และอุปกรณ์ต่าง ๆ ในระบบคอมพิวเตอร์ รวมทั้งอุปกรณ์ I/O ที่ต่ออยู่ด้วย
-MEM CS16 (I)	(เฉพาะรุ่น AT) (Memory 16 Chip Select) เป็นขาสัญญาณที่ใช้บอกระบบให้ทราบว่า ต้องการรับส่งข้อมูลกับหน่วยความจำทีละ 16 บิต ถ้าไม่ป้อนสัญญาณนี้ การรับส่งข้อมูลจะทำเหมือนกับ XT คือ ทำการรับส่งข้อมูลทีละ 8 บิต สองครั้งเพื่อให้ได้ข้อมูลขนาด 16 บิต
-I/O CS16 (I)	(เฉพาะรุ่น AT) (Memory 16 Chip Select) เป็นขาสัญญาณที่ใช้บอกระบบให้ทราบว่า ต้องการรับส่งข้อมูลกับอุปกรณ์ I/O ทีละ 16 บิต ถ้าไม่ป้อนสัญญาณนี้ การรับส่งข้อมูลจะทำเหมือนกับ XT คือ ทำการรับส่งข้อมูลทีละ 8 บิต สองครั้งเพื่อให้ได้ข้อมูลขนาด 16 บิต

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สัญญาณที่ใช้สร้าง Wait States

I/O CH RDY (I) (I/O Channel Ready) ขาสัญญาณนี้จะถูกทำให้แอคตีฟ โดยอุปกรณ์ I/O หรือหน่วยความจำที่ไม่สามารถทำงานได้ทันกับระบบ ดังนั้น จะต้องทำการหน่วงระบบให้ทำงานช้าลง ด้วยการเพิ่ม Wait States โดยการทำให้สัญญาณนี้แอคตีฟในช่วงเวลาที่ I/O ได้รับสัญญาณจากการดีโค้ดแอดเดรส, สัญญาณ -MEMR, สัญญาณ -MRMW, สัญญาณ -IOR, สัญญาณ -IOW

OWS (I) (เฉพาะรุ่น AT) (Zero Wait State) การแอคตีฟของขาสัญญาณนี้จะบังคับไม่ให้เกิดการสร้าง Wait States โดยอัตโนมัตินั่นคือ การที่จะเกิด Wait States ขึ้นได้จะต้องขึ้นอยู่กับสัญญาณนี้ เช่นการทำงานในขบวนการอ่านเขียนข้อมูลขนาด 18 บิต โดยไม่ใช้ Wait States ทำได้โดยการสร้างสัญญาณ OWS จากสัญญาณการดีโค้ดแอดเดรส และสัญญาณที่ใช้ในการอ่านหรือเขียน หรือการลด Wait States ในขบวนการอ่านเขียนข้อมูลขนาด 8 บิต ให้เหลือเพียง 2 Wait States ทำได้โดยให้สัญญาณ OWS แอคตีฟหลังจากสัญญาณอ่าน หรือเขียนไปแล้ว 1 คล็อก โดยปกติการขับสัญญาณนี้ควรใช้เกตที่มีเอาท์พุตเป็นแบบ Open Collector ที่ทนกระแสได้ 20 mA (Siknking Current)

สัญญาณนาฬิกา

CLK (O) (System Clock) สำหรับ XT ขาสัญญาณนี้จะมีความถี่ประมาณ 4.77 MHz หรืออาจจะสูงกว่านี้ก็ได้สำหรับรุ่นใหม่ ๆ และสำหรับ AT จะมีความถี่ประมาณ 6 MHz หรือในรุ่นใหม่ๆ อาจจะมีความถี่สูงถึง 15 MHz

โดยปกติ ขาสัญญาณนี้มีดิวตี้ไซเคิล 50% (Duty cycle) สำหรับ CPU เบอร์ 80286 ตัวกำเนิดสัญญาณนาฬิกา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

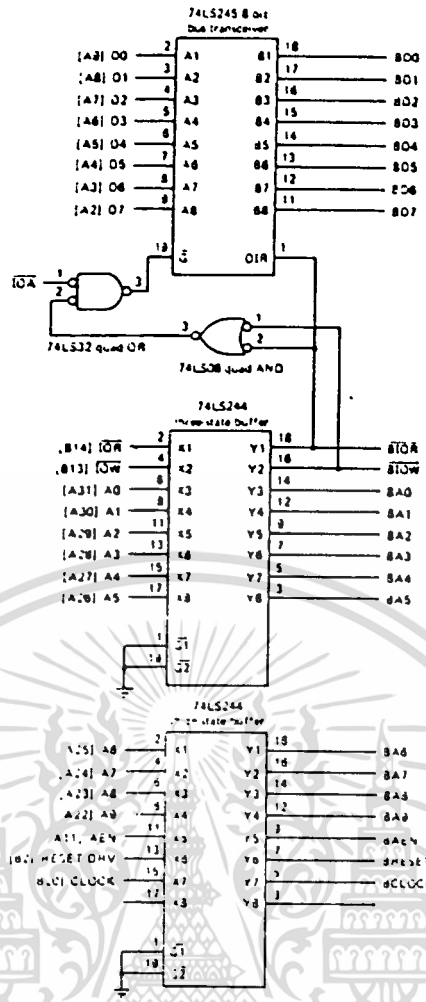
ที่ป้อนให้จะมีความถี่เป็น 2 เท่าของความถี่ที่ CPU ทำงาน แต่ขาสัญญาณนี้ก็จะยังคงมีความถี่เป็น 2 เท่าของความถี่ที่ CPU ทำงานแต่ขาสัญญาณนี้ก็จะยังคงมีความถี่เท่ากับความถี่ที่ CPU ทำงานอยู่เสมอ

OSC (O) (Oscillator) เป็นขาสัญญาณที่มีความถี่สูง คือ 14.31818 MHz ความถี่ของสัญญาณนี้จะคงที่เสมอ และไม่ซิงโครนัสกับสัญญาณอื่น ๆ ในระบบ ดังนั้น จึงไม่ควรนำสัญญาณนี้ไปใช้เป็นสัญญาณคล็อกของอุปกรณ์ I/O ที่ต่ออยู่กับระบบ

4.2 การควบคุมระบบบัสและการ Decoder

4.2.1 การควบคุมบัส ในระบบของ IBM ระบบบัสสามารถแยกได้สองชนิด คือ ระบบบัสทางเดียว และระบบบัสสองทาง ระบบบัสทางเดียวนี้ได้แก่ แอดเดรสบัส และบัสควบคุมต่าง ๆ บัสจำพวกนี้เราจะใช้ Tri - state buffers เป็นตัวควบคุมบัส เช่น ไอซีเบอร์ 74LS244 สำหรับระบบของบัสสองทางได้แก่ บัสของข้อมูล จะเป็นลักษณะบัสสองทางในการควบคุมบัสชนิดนี้จะต้องใช้ bus transceiver เป็นตัวควบคุม เช่น ไอซีเบอร์ 74LS245 เป็นต้น จากรูปที่ 4.4 เป็นตัวอย่างการควบคุมบัส ทั้งบัสข้อมูล, บัสแอดเดรส และบัสควบคุมบางชนิดที่มีความจำเป็นในการอินเตอร์เฟส อุปกรณ์ อินพุท/เอาท์พุท กับระบบ IBM

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.4 ตัวอย่างการควบคุมบัส สำหรับการสร้างวงจรอินเตอร์เฟส

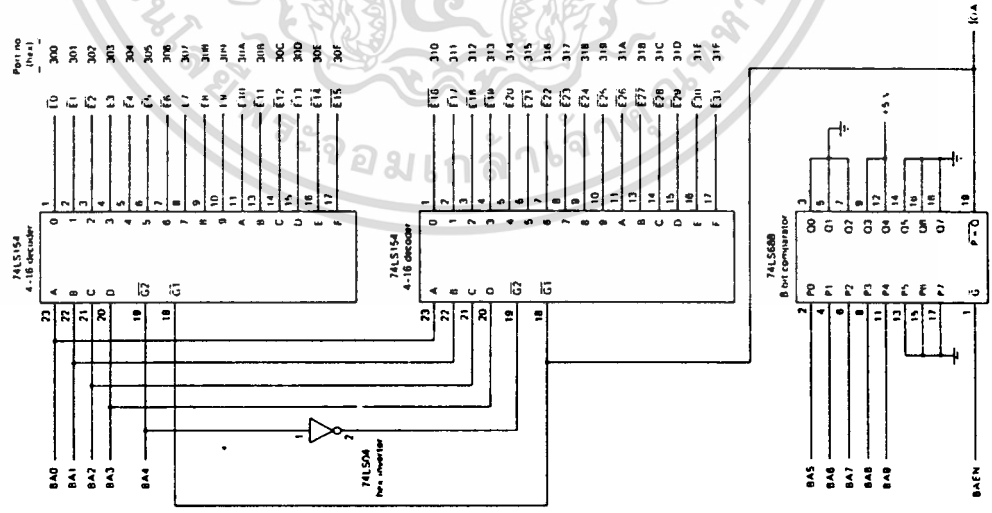
4.2.2 การ Decode (Address decoder)

การ Decoder แอดเดรส เพื่อนำเอาไปใช้งานนั้น เราสามารถกระทำได้โดยใช้ไอซีจำพวก Decoder มาใช้เพื่อให้ได้แอดเดรสตามต้องการ ดังที่ได้กล่าวมาแล้วในหัวข้อ 4.1.6 ว่า แอดเดรสของพอร์ตอินพุท/เอาท์พุท ที่เราสามารถนำมาใช้ได้นั้น จะอยู่ในช่วง 100 - 3FFH นั้น สมมติว่าเราต้องการใช้แอดเดรสช่วง 300-31FH เป็นจำนวน 32 พอร์ต เราสามารถแยกพิจารณา ตั้งแต่ บิตที่ 0 จนถึง บิตที่ 10ได้ดังนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

A_9	A_8	A_7	A_6	A_5	A_4	A_3	A_2	A_1	A_0		(H)
1	1	0	0	0	0	0	0	0	0	-	300H
1	1	0	0	0	0	1	1	1	1	-	30FH
1	1	0	0	0	1	0	0	0	0	-	310H
1	1	0	0	0	1	1	1	1	1	-	31FH

จากการพิจารณาจะเห็นว่า A_0-A_3 จะมีการเปลี่ยนแปลงคงที่ตั้งแต่ 1-16 ทั้งสองช่วงของแอดเดรสได้แก่ 300-30F และ 310-31Fส่วนนี้เราจะนำไปทำการ decode สำหรับ A_4 นั้นจะมีการเปลี่ยนแปลงอยู่ 1 ครั้งในแต่ละช่วง ซึ่งจะนำไปควบคุมการ decode เพื่อเลือกว่าต้องการแอดเดรส 1 -16 ช่วงไหน และ A_5-A_9 นั้นไม่มีการเปลี่ยนแปลงเลย เพื่อความถูกต้องของแอดเดรสที่ทำการ decode เราจะนำมาเข้าวงจรเปรียบเทียบแล้วใช้ เอาท์พุทของ วงจรเปรียบเทียบ (comparator) ไปใช้ร่วมในการ decode ด้วย สามารถกระทำได้ดังรูปที่ 4.5

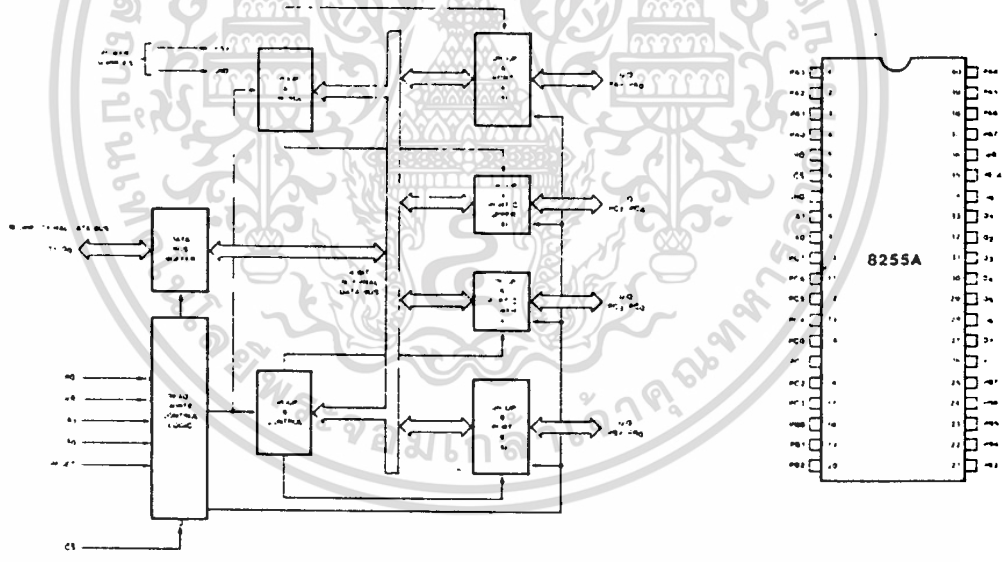


รูปที่ 4.5 แสดงวงจรตัวอย่างการ decode แอดเดรส

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.3 8255 อินพุท/เอาท์พุทกับการอินเตอร์เฟส

4.3.1 ลักษณะทั่วไปของ 8255 เป็นอุปกรณ์อินพุท/เอาท์พุทแบบขนาน (PPI = Programble peripheral interlace) จะประกอบด้วย 3 พอร์ต อินพุท/เอาท์พุท แต่ละพอร์ตมีขนาด 8 บิต นั้นคือ พอร์ต A, พอร์ต B, พอร์ต C สำหรับ พอร์ต C นั้น จะแบ่งเป็น C-up (PC_4-PC_7) และ C - low (PC_0-PC_3) ภายในตัว 8255 เอง จะมี Control Registor เป็นเอาท์พุท ดังจะแสดงดังรูปที่ 4.6 เป็นไดอะแกรม การทำงานภายใน 8255



รูปที่ 4.6 แสดงไดอะแกรมการทำงานภายใน 8255

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากรูปที่ 4.6 มีรายละเอียด ดังนี้

1) $\overline{CS}$ (Chip Select) เป็นสัญญาณอินพุท ที่จะทำให้ 8255 มารถติดต่อกับ CPU ได้

2) $\overline{RD}$ (Read) เป็นสัญญาอินพุท ที่จะทำให้ 8255 ส่งข้อมูลออกมาที่บัสข้อมูลของ CPU

3) $\overline{WR}$ (Write) เป็นสัญญาณอินพุทที่จะทำให้ CPU ส่งข้อมูลมาให้กับ 8255 ได้

4) A_0 และ A_1 (Address) เป็นสัญญารอินพุท ซึ่ง ทำหน้าที่เลือกพอร์ต A, B หรือ C ในลักษณะการทำงานเป็นอินพุทหรือเอาท์พุท

5) RESET เป็นสัญญาณที่ใช้เคลียร์พอร์ต และ Register

6) PAX, PBX, PCX เป็นบัสข้อมูลของแต่ละพอร์ต

8255A BASIC OPERATION

A_1	A_0	$\overline{RD}$	$\overline{WR}$	$\overline{CS}$	INPUT OPERATION (READ)
0	0	0	1	0	PORT A – DATA BUS
0	1	0	1	0	PORT B – DATA BUS
1	0	0	1	0	PORT C – DATA BUS
					OUTPUT OPERATION (WRITE)
0	0	1	0	0	DATA BUS – PORT A
0	1	1	0	0	DATA BUS – PORT B
1	0	1	0	0	DATA BUS – PORT C
1	1	1	0	0	DATA BUS – CONTROL
					DISABLE FUNCTION
X	X	X	X	1	DATA BUS – 3-STATE
1	1	0	1	0	ILLEGAL CONDITION
X	X	1	1	0	DATA BUS – 3-STATE

รูปที่ 4.7 แสดงการทำงานเบื้องต้นของ 8255 4.3

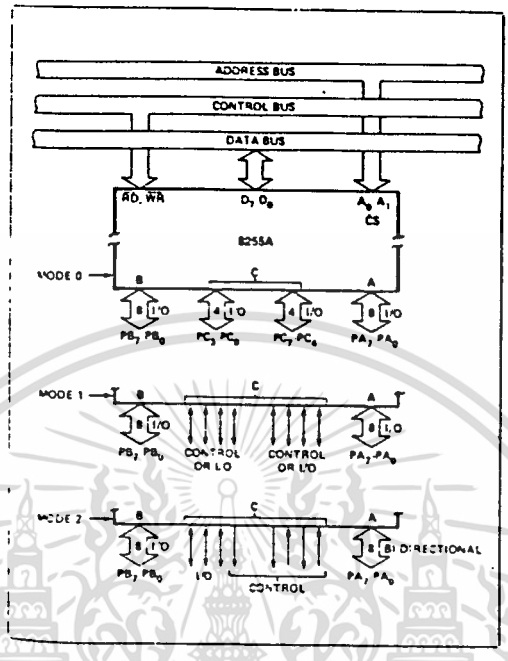
เราสามารถเลือก Mode การทำงานภายในตัว 8255 ได้ 3 Mode โดยใช้โปรแกรมควบคุม คือ

- Mode 0 (Basic input/output) เป็นการเลือกให้ 8255 ทำงานเป็น อินพุท/เอาท์พุท ทั้งสามพอร์ต

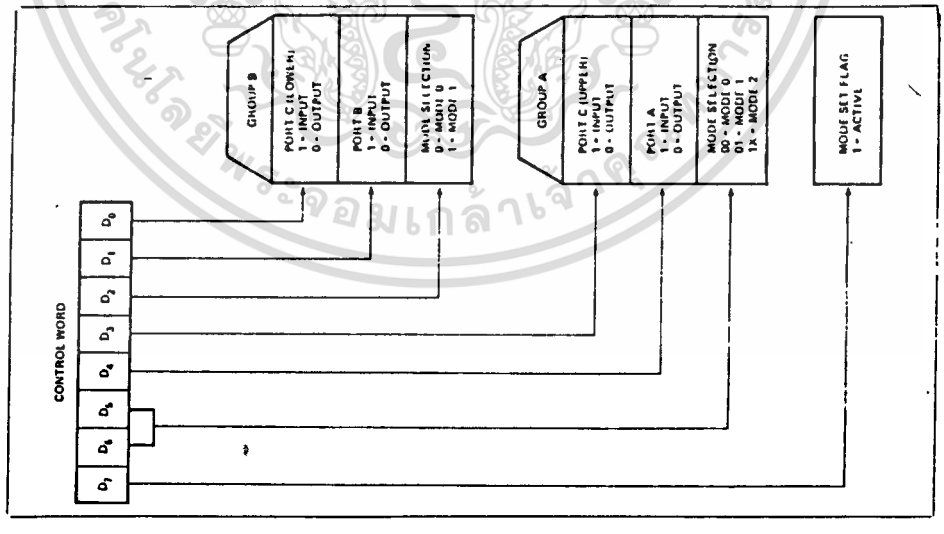
- Mode 1 (stored input/output) เป็นการเลือก 8255 ที่พอร์ต A และพอร์ต B เป็นอินพุทและเอาท์พุท และพอร์ต C จะใช้ในการซิงค์ของการรับส่งข้อมูลของพอร์ต A และ B

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- Mode 2 (Bi-Directional Bus) เป็นการเลือกใช้งาน พอร์ต A ให้เป็นบัสสองทิศทาง โดยการใช้ พอร์ต C เป็นตัวควบคุม



รูปที่4.8 แสดงการต่อบัสต่าง ๆ ในแต่ละ Mode



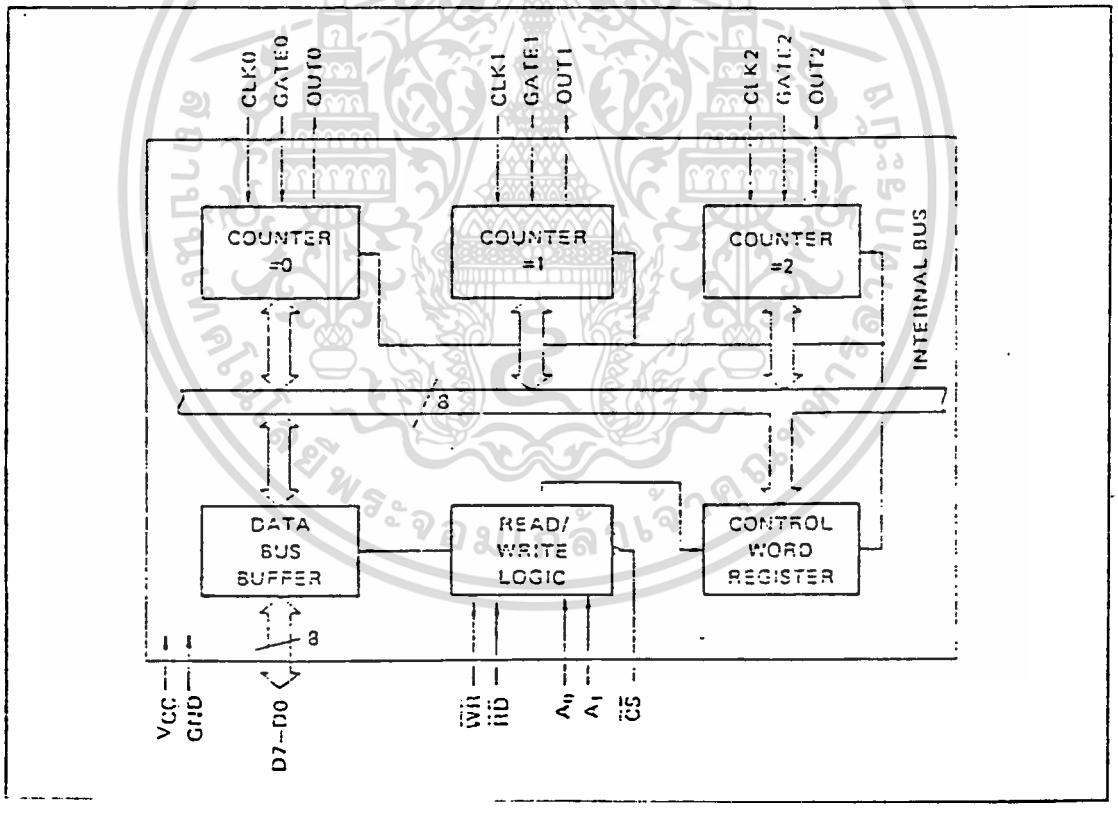
รูปที่4.9 แสดงการกำหนดรูปแบบการทำงานในแต่ละ Mode

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากรูปที่ 4.8 และรูปที่ 4.9 เป็นรูปแสดงลักษณะการต่อระบบบัสของ 8255 ในแต่ละ Mode และการกำหนดรูปแบบการทำงานในแต่ละ Mode สั่งรายละเอียด จะได้แสดงไว้ในภาคผนวก

4.4 หลักการของ 8253 (Programable Timer Counter)

8253 เป็นไอซีที่ผลิตโดยบริษัทอินเทล ใช้ร่วมกับไมโครโปรเซสเซอร์ขนาด 8 บิต ซึ่งทำหน้าที่กำหนดช่วงเวลาตามที่ต้องการเพื่อใช้ควบคุมวงจรส่วนอื่น ทำงานได้ตามค่าที่โปรแกรมจากไมโครโปรเซสเซอร์ มีโครงสร้างภายในดังรูปที่ 4.10



รูปที่ 4.10 แสดง Block Diagram

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จาก Block Diagram จะเห็นว่ามีวงจรนับ 3 ตัวคือ counter = 0 , counter = 1, counter = 2 วงจรนับแต่ละตัวจะมีสัญญาณ CLK และ GATE เป็นอินพุท และ OUT เป็น เอาท์พุท มี D_0-D_7 เป็นระบบบัสข้อมูลเพื่อติดต่อกับไมโครโปรเซสเซอร์ มีสัญญาณควบคุม $\overline{RD}$, $\overline{WR}$ และการเลือก A_0, A_1ตลอดจนการเลือกชิพ $\overline{CS}$ ภายในจะมีรีจิสเตอร์ต่าง ๆ เพื่อควบคุมและแสดงสถานะการทำงานของไอซี มีรายละเอียดดังต่อไปนี้

4.4.1 การทำงานของวงจรนับ

วงจรนับแต่ละตัว จะประกอบด้วยสายสัญญาณจากภายนอก คือ CLK, OUT และ GATE แต่ละสัญญาณจะทำหน้าที่ดังต่อไปนี้

CLK สัญญาณ CLK หรือสัญญาณนาฬิกา เป็นสัญญาณที่ป้อนให้กับวงจรนับเพื่อทำการนับ วงจรนับนี้เป็นวงจรฟลิบฟลอบที่ต่อเชื่อมเป็นวงจรนับขนาด 16 บิต ความถี่สูงสุดที่วงจรนี้จะนับได้มีค่าประมาณ 2.6 MHz ส่วนความถี่ต่ำไม่มีขีดจำกัดกล่าวคือ จะนับได้ที่ความถี่ในช่วง 0 Hz ถึง 2.6 MHz

GATE เป็นสัญญาณอินพุท ทำหน้าที่เป็นตัวปิด-เปิดสัญญาณนาฬิกาอินพุทเพื่อจะให้สัญญาณนาฬิกาผ่านได้หรือไม่ หรือเป็นสัญญาณที่กำหนดการเริ่มต้นของการนับ หน้าที่ของ GATE นี้จะขึ้นกับการกำหนดโหมดการทำงานของ 8253 คือสามารถกำหนดได้ด้วยโปรแกรม

OUT เป็นสัญญาณเอ้าท์พุท ที่ได้จากการนับของวงจรนับ เป็นสัญญาณเอ้าท์พุทที่ส่งไปใช้ประโยชน์ ซึ่งสัญญาณเอาท์พุทนี้จะขึ้นอยู่กับโหมดของการโปรแกรมด้วย

4.4.2 รีจิสเตอร์ภายในที่สำคัญของ 8253

การที่จะกำหนดให้ 8253 ทำงานได้ตามต้องการนั้นการกำหนดจะกระทำได้ด้วยการส่งค่าเข้ามายังรีจิสเตอร์ภายในชิพ 8253 รีจิสเตอร์ที่สำคัญคือ Mode Word Register (MWR) เป็นรีจิสเตอร์ที่บอกการทำงานทั้งหมดของ 8253

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ถึงแม้ว่าวงจรนับภายในของ 8253 จะทำงานอิสระต่อกัน แต่ละตัวก็ยังได้รับการควบคุมจากรีจิสเตอร์นี้ การโปรแกรมยังมองเห็นวงจรนับแต่ละตัวเป็นรีจิสเตอร์ที่ให้กำหนดค่าต่าง ๆ ลงไปได้อีกเช่นกัน ซึ่งแสดงการเลือกและการทำงานของรีจิสเตอร์ตามสัญญาณควบคุม ดังแสดงในตารางที่ 4.1

รีจิสเตอร์ที่ถูกเลือก	RD	WR	A_0	A_1	การทำงาน
วงจรนับ 0	1	0	0	0	โหลดวงจรนับ 0
วงจรนับ 0	0	1	0	0	อ่านวงจรนับ 0
วงจรนับ 1	1	0	0	1	โหลดวงจรนับ 1
วงจรนับ 1	0	1	0	1	อ่านวงจรนับ 1
วงจรนับ 2	1	0	0	1	โหลดวงจรนับ 2
วงจรนับ 2	0	1	0	1	อ่านวงจรนับ 2
MWR หรือ CWR	1	0	1	1	เขียน MWR
MWR หรือ CWR	0	1	1	1	ไม่มีการทำงาน

ตารางที่ 4.1 แสดงการเลือกและการทำงานของรีจิสเตอร์ตามสัญญาณควบคุม

Control Word Register (CWR) เป็นรีจิสเตอร์ขนาด 8 บิท รับข้อมูลเข้ามาเพื่อกำหนดการทำงานของการนับภายใน เป็นตัวกำหนดโหมดการทำงานของวงจรนับให้เป็นการนับแบบไบนารี ในกรณีที่จะเลือกให้รีจิสเตอร์ตัวนี้ทำงานได้โดยการกำหนดให้ A_0 และ A_1 เป็น "1" ทั้งคู่

รีจิสเตอร์ตัวนับ = 0, = 1, = 2 แต่ละตัวของวงจรจะทำงานอิสระต่อกันเป็นรีจิสเตอร์ขนาด 16 บิท ที่เป็นค่าเริ่มต้นของการนับ ในขณะทำการนับค่า

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในรีจิสเตอร์ก็จะเปลี่ยนแปลงไป ทำให้ระบบสามารถอ่านค่ารีจิสเตอร์ได้ทุกขณะ และการกำหนดแอดเดรสของรีจิสเตอร์ใน 8253 ทำได้ด้วย A_0, A_1 จะประกอบด้วย $\overline{RD}$ และ $\overline{WR}$ ดังแสดงในตารางที่ 4.1

4.4.3 การโปรแกรม 8253

การทำงานของ 8253 ในแต่ละโหมดนั้นจะได้จากการโปรแกรมกำหนดค่าข้อมูลแต่ละบิทลงในรีจิสเตอร์ แสดงรายละเอียดดังรูปที่ 4.11

D_7	D_6	D_5	D_4	D_3	D_2	D_1	D_0
SC_1	SC_0	RL_1	RL_0	M_2	M_1	M_0	BCD

รูปที่ 4.11 แสดงความหมายของบิทต่าง ๆ ในระหัสคำสั่งเมื่อโปรแกรม 8253

ความหมายของบิตต่างๆ คือ D_7 และ D_6 หรือ SC_1 และ SC_0 จะทำหน้าที่เป็นตัวเลือก วงจรนับที่จะโปรแกรมให้เกิดการทำงาน ก่อนที่จะให้วงจรนับทำงาน จะต้องโปรแกรมค่ากำหนดลงไปก่อน ค่าของ D_7 และ D_6 จะมีความหมายดังตารางที่ 4.2

D_7	D_6	เลือกวงจรนับที่
0	0	0
0	1	1
1	0	2
1	1	ไม่ใช้

ตารางที่ 4.2 แสดงความหมายของบิท SC_1 และ SC_0

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ส่วน D_5 และ D_4 จะทำหน้าที่กำหนดทิศทางของข้อมูลที่จะใช้กับรีจิสเตอร์โดย RL_1 และ RL_0 มีความหมายถึงการอ่าน (Read) หรือการโหลด (Load) ซึ่งจะแสดงหน้าที่ของ RL และ RL_0 ดังตารางที่ 4.3

D_4	D_5	เลือกวงจรนับที่
0	0	กำหนดให้วงจรนับแลตช์ค่า
0	1	อ่านหรือโหลดไบต์ต่ำ (8 บิทล่าง)
1	0	อ่านหรือโหลดไบต์สูง (8 บิทบน)
1	1	อ่านหรือโหลดไบต์ต่ำก่อนแล้วตามด้วยไบต์สูง

ตารางที่ 4.3 แสดงความหมายของบิท RL_1 และ RL_0 ในการอ่านหรือโหลด

D_3 , D_2 และ D_1 จะทำหน้าที่กำหนดโหมดการทำงานพื้นฐาน ดังแสดงในตารางที่ 4.4 และบิทสุดท้ายคือ D_0 จะกำหนดแบบการนับให้เป็นแบบ BCD หรือไบนารี ถ้าบิท D_0 เป็น "1" จะเป็นการนับแบบ BCD และถ้าเป็น "0" จะเป็นการนับแบบไบนารี การนับในโหมดไบนารีจะเป็นการนับได้ค่าสูงสุดเป็น 2^{16} หรือ 65, 536 แต่ถ้าเป็นแบบ BCD จะนับได้ 10^4 หรือ 10,000

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

D_3	D_2	D_1	โหมดที่กำหนด
0	0	0	โหมด 0 : อินเตอร์รัพท์เกิดขึ้นจากการนับ
0	0	1	โหมด 1 : เป็นโมโนสเตเบิ้ลตามค่าที่กำหนด
x	1	0	โหมด 2 : เรตเยนเนอร์เรเตอร์
x	1	1	โหมด 3 : สร้างสัญญาณสี่เหลี่ยม
1	0	0	โหมด 4 : สโตรปหรือทริกด้วยซอฟต์แวร์
1	0	1	โหมด 5 : สโตรปหรือทริกด้วยฮาร์แวร์

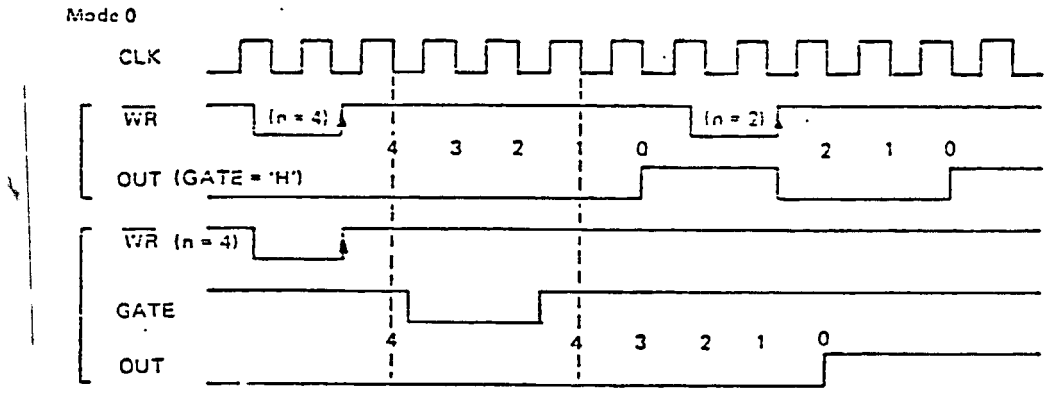
ตารางที่ 4.4 แสดงหน้าที่การทำงานของ M_2, M_1, M_0 ในการกำหนดโหมด

การใช้งานโหมด 0

สร้างสัญญาณอินเตอร์รัพต์จากการนับ

เมื่อโปรแกรมให้ 8253 ทำงานในโหมด 0 วงจรนับจะนับสัญญาณที่ขา CLK ปกติจะเป็นการนับถอยหลัง จนค่าในรีจิสเตอร์เป็น 0000 Hแล้วทำให้ขา OUT ของวงจรนับมีค่าเป็น "1" ค่าของเอาท์พุทนี้จะเป็น "1" ไปเรื่อย ๆ จนกว่าวงจรนับจะได้รับการโหลดค่าเข้าไปใหม่ หรือจนกว่าจะมีการเซตโหมดใหม่ ในขณะที่วงจรนับกำลังทำงานถอยหลัง เราสามารถใช้สัญญาณ GATE เพื่อดีสเอเบิ้ลการนับ การดีสเอเบิ้ลจะกระทำได้ด้วยการให้สัญญาณที่ขา GATE มีค่าเป็น "0" รูปสัญญาณของการทำงานในโหมด 0 ดังแสดงในรูปที่ 4.12

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.12 แสดงรูปสัญญาณเมื่อทำงานในโหมด 0

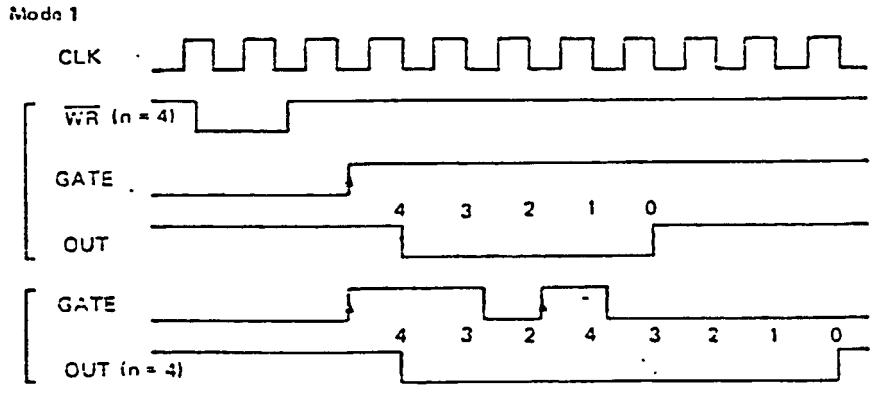
สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

การใช้งานโหมด 1

โมโนสเตเบิ้ลที่โปรแกรมค่าได้

ในโหมดนี้ 8253 จะแสดงเอาท์พุทเป็นพัลส์ที่ปรับความกว้างได้ตามกำหนดค่าที่กำหนด ค่าความกว้างของพัลส์จะเป็นจำนวนเท่าของสัญญาณนาฬิกา การทริกวงจรโมโนสเตเบิ้ลที่โปรแกรมค่าได้นี้ จะเริ่มทริกให้ทำงานในขณะที่สัญญาณ GATE เป็นสัญญาณขอบขาขึ้น ดังแสดงในรูปที่ 4.13 ทั้งนี้ก็ขึ้นอยู่กับสัญญาณนาฬิกาด้วย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

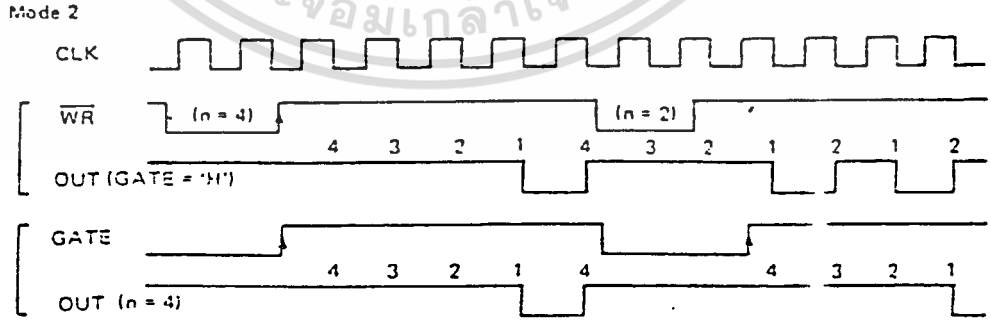


รูปที่ 4.13 แสดงรูปสัญญาณเมื่อทำงานในโหมด 1

การใช้งานในโหมด 2

กำเนิดพัลส์แคบ ๆ ต่อเนื่อง

ในกรณีที่ให้ 8253 ทำงานในโหมด 2 นี้ 8253 จะทำหน้าที่เป็นวงจรหารด้วย n ขาเอ้าท์พุทของวงจรนับจะเป็นลอจิก "0" เป็นเวลา 1 สัญญาณนาฬิกา ช่วงเวลาระหว่างขอบสัญญาณเอาท์พุทขณะเปลี่ยนจาก "1" ไปเป็น "0" จะขึ้นกับค่าของการกำหนดลงในรีจิสเตอร์วงจรนับ ซึ่งลักษณะรูปสัญญาณของการทำงานในโหมด 2 ดังแสดงในรูปที่ 4.14



รูปที่ 4.14 แสดงรูปสัญญาณ เมื่อทำงานในโหมด 2

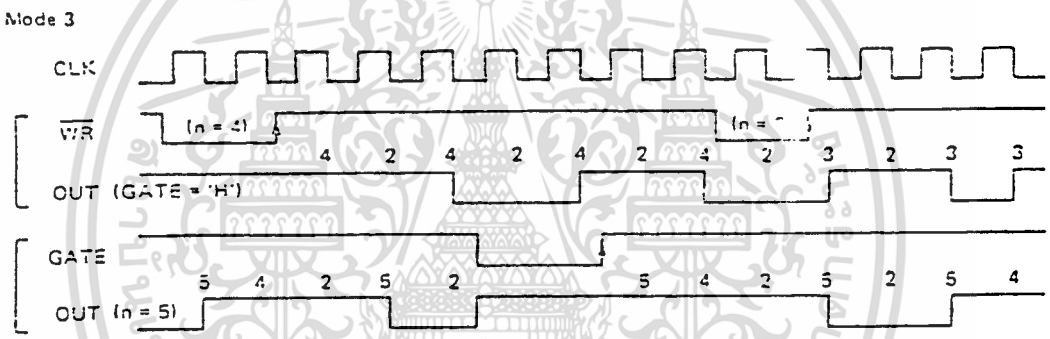
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การใช้งานในโหมด 2 ถ้าเราต้องการให้ได้สัญญาณเอาท์พุทมีค่าความถี่ 638 Hz จะได้คาบเวลา 1567 uS ถ้าให้สัญญาณนาฬิกาอินพุทที่ขา CLK 1 MHz จะต้องกำหนดค่าที่ใช้โปรแกรมแบบ BCD เป็น 1567 เป็นต้น

การใช้งานในโหมด 3

สร้างคลื่นรูปสี่เหลี่ยม

ในโหมด 3 นี้ จะทำงานคล้ายกับโหมด 2 แต่จะได้สัญญาณที่เอาท์พุทที่มีคาบเวลาเป็นลอจิก "1" และลอจิก "0" เท่ากัน แต่ถ้าหากโปรแกรมค่าการนับให้ค่าตัวเลขเป็นเลขคี่ สัญญาณจะได้ลอจิก "1" เป็น (n+1)/2ส่วนลอจิก "0" จะได้ (n-1)/2 แสดงรูปสัญญาณการทำงานในโหมด 3 ดังรูปที่ 4.15



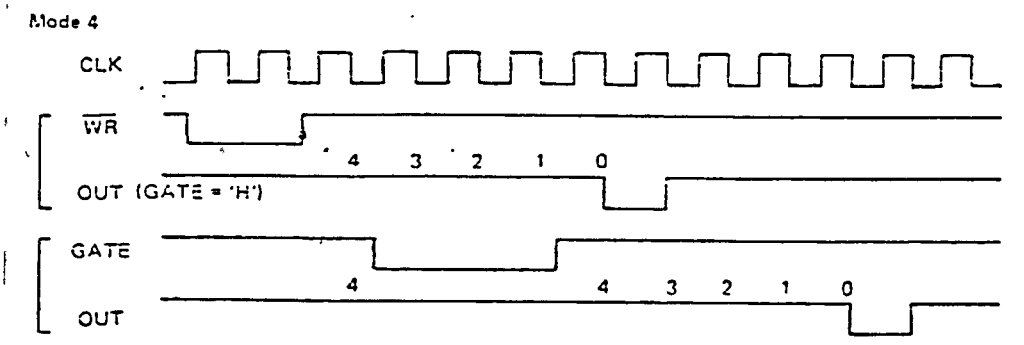
รูปที่ 4.15 แสดงรูปสัญญาณเมื่อทำงานในโหมด 3

การใช้งานในโหมด 4

ใช้ซอฟแวร์ทริกหรือสโตรป

ในโหมดนี้ เราสามารถโปรแกรมตั้งวงจรนับให้ได้เอาท์พุทมีค่าตามที่ต้องการได้ การทำงานจะเริ่มทันทีเมื่อรีจิสเตอร์วงจรนับได้รับการโหลดเรียบร้อย และเมื่อวงจรนับได้รับการโหลดเรียบร้อย และเมื่อวงจรนับ ๆ ค่าลงไปเรื่อย ๆ จนมีค่าเป็น 0 เอาท์พุทจะได้เป็นลอจิก "0" เป็นเวลาหนึ่งพัลส์ (pulse) ของสัญญาณนาฬิกาอินพุท แล้วจะเป็นลอจิก "1" อีกครั้ง ซึ่งแสดงในรูปสัญญาณการทำงานในโหมด 4 ดังรูปที่ 4.16

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

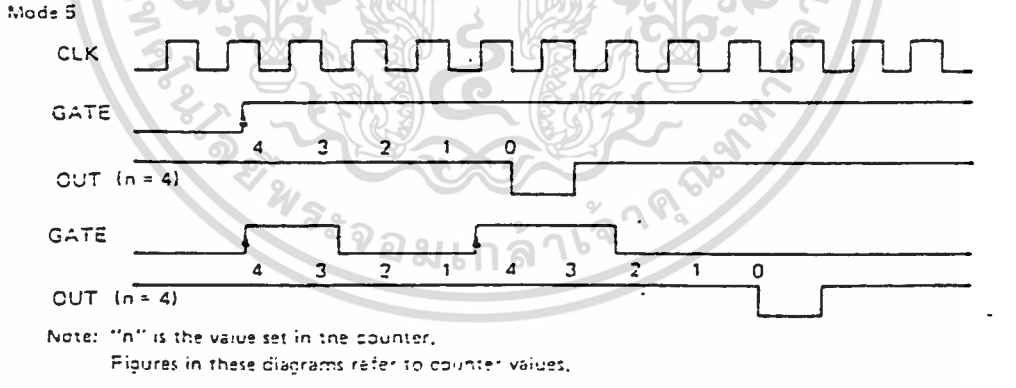


รูปที่ 4.16 แสดงรูปสัญญาณเมื่อทำงานในโหมด 4

การใช้งานโหมด 5

ใช้อาร์ดแวร์ทริกหรือสโตรป

ในกรณีที่ 8253 ทำงานในโหมด 5 ขอบขาขึ้นของขาทริกจะเป็นตัวกำหนดให้เริ่มต้นทำการนับเอาท์พุทจะเป็นลอจิก "0" เป็นช่วงเวลา 1 สัญญาณนาฬิกา การทำงานของวงจร จะทำงานในลักษณะให้ยอมทริกซ้ำได้ รูปของสัญญาณเมื่อทำงานในโหมด 5 ดังแสดงในรูปที่ 4.17



รูปที่ 4.17 แสดงรูปสัญญาณเมื่อทำงานในโหมด 5

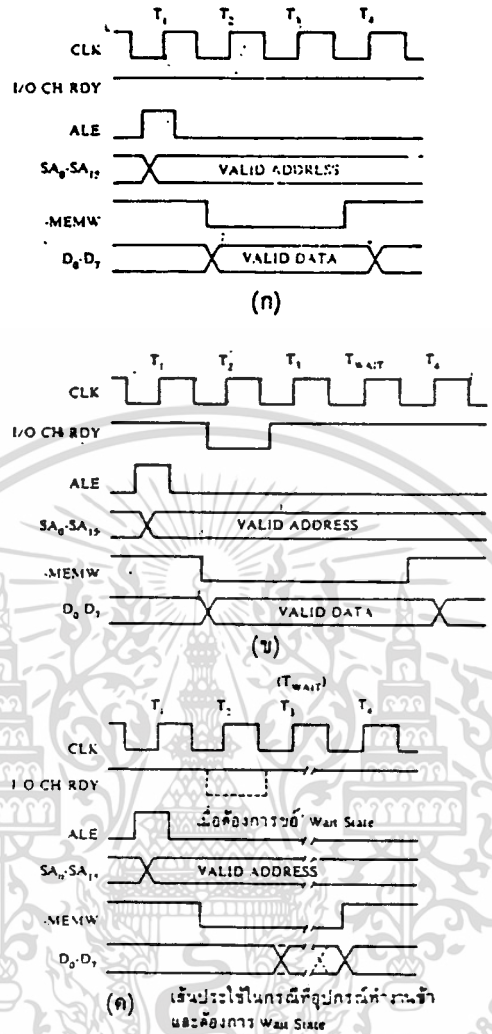
จากที่กล่าวมาแล้วเป็นหลักการทำงาน และการใช้งานของ 8253 ซึ่งในการ์ดอินเตอร์เฟส เยนเนอร์เรเตอร์ จะใช้ 8253 เป็นตัวกำหนดเวลาการทำงานให้กับ วงจรเปลี่ยนสัญญาณอนาล็อก เป็นสัญญาณดิจิตอล ดังแสดงในวงจรของการ์ดอินเตอร์เฟสเยนเนอร์เรเตอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.5 การสร้างสถานะรอ (Wait States)

ในการออกแบบวงจรอินเตอร์เฟส เรามักจะพบปัญหาบ่อย ๆ นั้นก็คือ การทำงานของอุปกรณ์ อินพุท/เอาท์พุท จะทำงานไม่ทันกับคอมพิวเตอร์ ดังนั้นตัว CPU เองจะมี วิธีการที่จะช่วยให้อุปกรณ์อื่น ๆ ที่ใช้งานร่วมกัน สามารถทำงานไปพร้อมกันได้ โดยปกติในแต่ละขบวนการของ CPU ที่ใช้ในระบบ XT BOS จะใช้เวลานานเท่ากับ สัญญาณนาฬิกา (clock) เท่ากับ 4 ลูก แต่เมื่อ CPU ต้องติดต่อกับอุปกรณ์ที่ทำงานช้ากว่า จะมีการเพิ่มจำนวนสัญญาณนาฬิกาเข้าไปอีก หลังจากที่สัญญาณของแอดเดรสปรากฏอยู่บนระบบบัสแล้ว ซึ่งสัญญาณนาฬิกาที่เพิ่มเข้าไปนี้ เราเรียกว่า Tw ซึ่งทำให้ช่วงเวลาของขบวนการเพิ่มขึ้น ซึ่งจะทำให้อุปกรณ์ที่ทำงานช้ากว่า CPU จะทำงานได้ทัน ในระบบของ IBM นั้น CPU จะมีสัญญาณอินพุทขาหนึ่งเพื่อให้อุปกรณ์ที่ทำงานช้ากว่า หน่วงเวลาการทำงานของ CPU คือ I/O CH RDY จำนวนสัญญาณนาฬิกาที่เพิ่มเข้าไปนี้จะขึ้นอยู่กับชนิดของขบวนการที่เกิดขึ้นอยู่กับความเร็วที่อุปกรณ์ที่สามารถที่ทำงานร่วมกันได้ เช่น ภายในระบบ AT BUS เมื่อมีการติดต่อกับหน่วยความจำ (memory) จะมีการเพิ่ม Tw เข้าไปสองลูกในแต่ละขบวนการโดยอัตโนมัติ ในขณะ XT BUS ไม่มี ฉะนั้นในการออกแบบวงจรอินเตอร์เฟส ที่ทำงานร่วมกับ CPU จะต้องคำนึงถึงปัญหาในจุดนี้ด้วย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



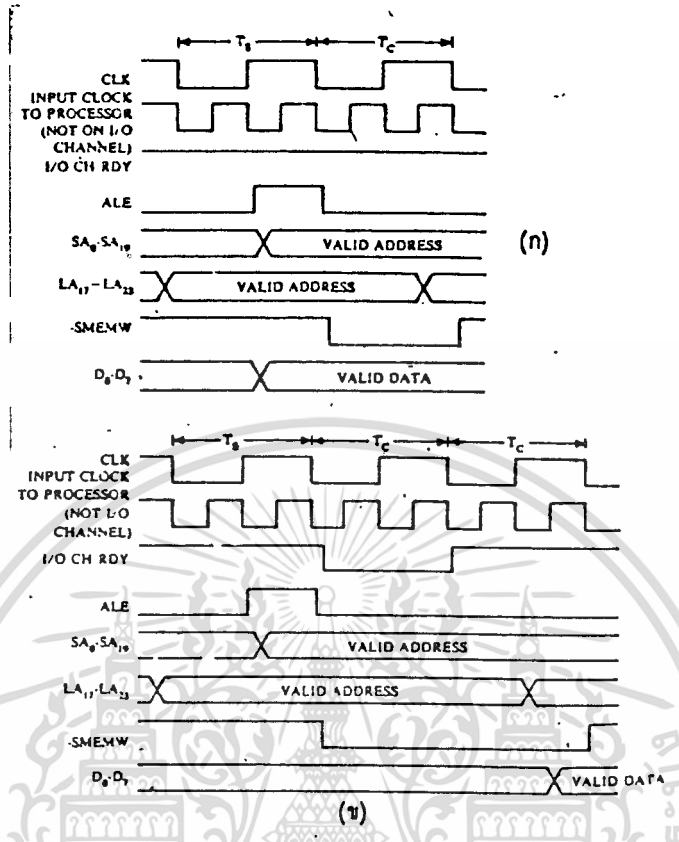
รูปที่ 4.18 แสดงแผนผังเวลาของระบบ XT BUS โดยที่

(ก) ขบวนการเขียนข้อมูลโดยไม่มี Wait State

(ข) ขบวนการเขียนข้อมูล โดยมี Wait State 1 พัลส์

(ค) ขบวนการอ่านโดยไม่มี Wait State และมี Wait State รวมกัน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.19 แสดงแผนผังเวลาของ ระบบ AT BUS โดยที่

(ก) ขบวนการเขียนข้อมูลโดยไม่มี Wait State

(ข) ขบวนการอ่านข้อมูล โดยการเพิ่ม Wait State 1 พัลส์ (pulse)

จากรูปที่ 4.18 และ 4.19 เป็นการแสดงลักษณะรูปร่างของสัญญาณในขบวนการต่างๆ ในระบบ XT BUS และ AT BUS ในการของสถานะรอ (wait state) นั้น จะต้องเข้าใจแผนผังเวลาเหล่านี้ เพื่อนำไปสร้างสัญญาณ Wait state ได้ถูกต้อง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 5

การออกแบบวงจรใช้งาน

จากหลักการทั่วไปของ Interface Generator ในบทที่ 2 นั้นเราสามารถแยกวงจรออกได้เป็น 4 ส่วน ใหญ่ ๆ ดังนี้

1) วงจรอินเตอร์เฟส (Interface) ซึ่งจะประกอบไปด้วยวงจรบัสบัฟเฟอร์ (Bus Buffer), วงจรดีโค๊ดแอดเดรส (Address Decodeer), วงจรสร้างสถานะรอ (Wait state), วงจรหารสัญญาณนาฬิกา (divide clock), วงจรเวลา/วงจรนับ (Timer/Counter) และวงจร 8255 อินพุท/เอาท์พุท (8255 I/O port)

2) วงจรสร้างสัญญาณ (Function Generator) ภายในส่วนนี้จะประกอบไปด้วยวงจรสร้างสัญญาณ (Function Generator) ซึ่งจะใช้ไอซีเบอร์ XR 2206 กับการใช้สัญญาณดิจิตอล (digital) เป็นการควบคุมการสร้างสัญญาณและอื่น ๆ ภายในวงจรสร้างสัญญาณ

3) วงจรเปลี่ยนแปลงสัญญาณ (Signal Conversion) ส่วนนี้จะประกอบไปด้วยวงจรเปลี่ยนสัญญาณ Analog ให้เป็นสัญญาณ digital (A to D) วงจรสร้างสัญญาณเพื่อให้ A to D ใช้ในการ อินเตอร์รัพต์ (A to D Interrupts), วงจรสร้างสถานะของ A to D (Status A to D) และวงจรควบคุม A to D

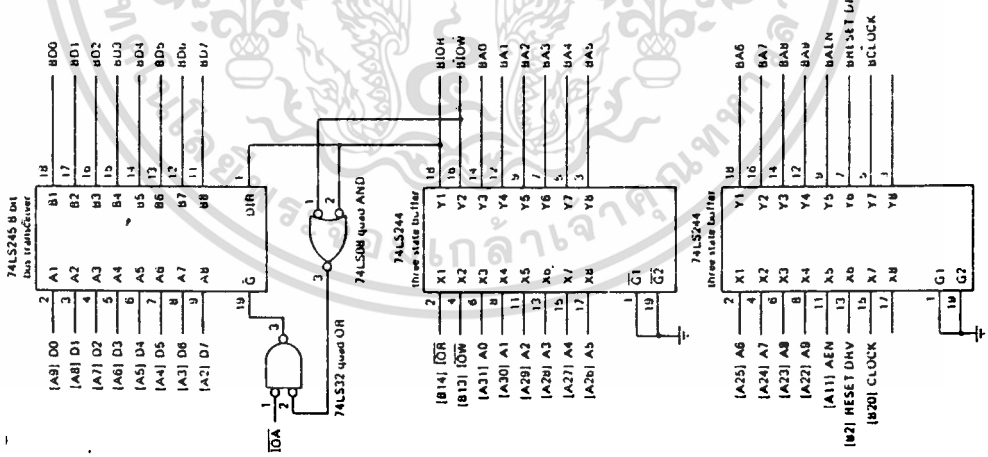
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5.1 การออกแบบวงจรอินเตอร์เฟส (Interface)

ในการออกแบบวงจรส่วนนี้ จะเป็นการออกแบบวงจรเพื่อให้การทำงานต่าง ๆ บนการ์ด Interface Generator ทำงานร่วมกับระบบของ IBM ทั้ง XT BUS และ AT BUS ซึ่งจะได้กล่าวแยกเป็นส่วน ๆ ดังนี้

5.1.1 วงจรบัสบัฟเฟอร์ (Bus Buffer)

ในการออกแบบวงจรเพื่อให้อุปกรณ์อินพุท/เอาท์พุท สามารถติดต่อกับ CPU ได้ ทั้งระบบ XT BUS และ AT BUS นั้นจะมีสัญญาณที่จำเป็นต้องใช้ในการออกแบบได้แก่ ดาต้าบัส (D_0 - D_7), แอดเดรสบัส (A_0 - A_9), สัญญาณ $\overline{IOR}$, สัญญาณ $\overline{IOW}$, สัญญาณ AEN, สัญญาณ RESET DRV, และสัญญาณนาฬิกา (CLK) ดังนั้นเมื่อเราต้องดึงสัญญาณเหล่านี้เอามาใช้งาน เราจำเป็นจะต้องมีวงจรบัฟเฟอร์ (Buffer) เพื่อป้องกันการผิดพลาด ที่เกิดขึ้นบนการ์ดที่ออกแบบ มีผลกระทบไปถึงระบบของเครื่องคอมพิวเตอร์ เราสามารถทำได้ดังวงจร รูปที่ 5.1



รูปที่ 5.1 แสดงวงจรบัสบัฟเฟอร์ (Bus Buffer)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากวงจรรูปที่ 5.1 เราจะใช้ไอซีเบอร์ 74245 เป็นดาต้าบัสบัฟ-เฟอร์ เพราะว่าดาต้าบัสเป็นบัสสองทาง ดังนั้น 74245 ซึ่งเป็นรับ-ส่งบัส (Bus Transciever) และสำหรับบัสต่าง ๆ ที่เหลือจะเป็นบัสแบบทางเดียวจะใช้ไอซีเบอร์ 74244 เป็นส่งผ่านสัญญาณเหล่านี้ จากวงจรเมื่อสัญญาณแอดเดรสที่เราต้องการปรากฏขึ้นมาแล้ว (โดยจะทราบได้จากสัญญาณ IOA จากวงจร) ที่ขา R และขา DIR ของ 74245 มีสถานะเป็น "1" จะทำให้ ดาต้าบัสอยู่ในสถานะความต้านทานสูง (high interdance) ดังนั้น สถานะของดาต้าตอนนี้จะขึ้นอยู่กับสัญญาณ $\overline{IOR}$ และ $\overline{IOW}$ เท่านั้น เมื่อมีสัญญาณ $\overline{IOR}$ หรือ $\overline{IOW}$ เปลี่ยนสถานะจาก "1" เป็น "0" สถานะของดาต้าบัสจะเป็นไปตามเงื่อนไขของ 74245 ดังรูปที่ 5.2 ซึ่งได้แสดงตารางความจริง (True table) สำหรับบัสที่เหลือจะเป็นไปตามเงื่อนไขของ 74244 ดังรูปที่ 5.3 ซึ่งเป็นตารางความจริงของ 74244

DIR	G	A - B	B - A
0	0	X	L
0	1	X	X
1	0	L	X
1	1	X	X

รูปที่ 5.2 ตารางความจริงของ 74245 เมื่อ X = High Impedance

L = Low Impedance

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

G_1/G_2	X - Y
0	L
1	X

รูปที่ 5.3 แสดงตารางความจริงของ 74244 เมื่อ

X = High Impedance

L = Low Impedance

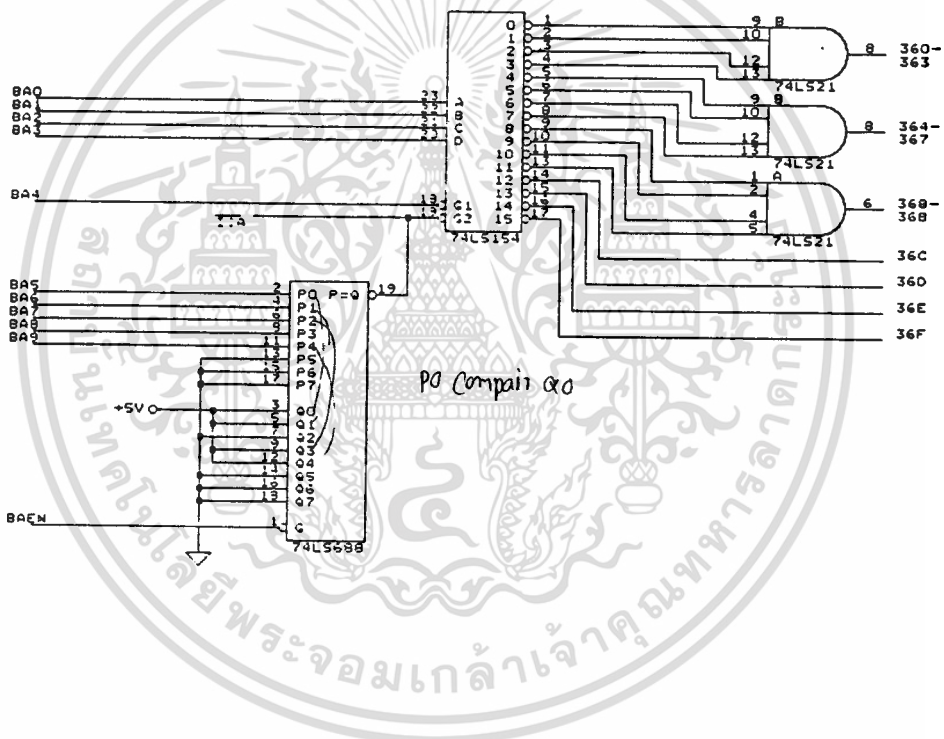
5.1.2 วงจรดีโค๊ดแอดเดรส (Adress Decorder)

วงจรส่วนนี้จะทำหน้าที่ดีโค๊ดแอสเดรส เพื่อนำไปใช้ติดต่อกับอุปกรณ์อินพุท/เอาท์พุท ภายในการ์ด Interface Generator ซึ่งจะกำหนดแอดเดรสไว้ในช่วง 360 - 36FH ซึ่งเป็น 16 แอดเดรส ในการดีโค๊ดแอดเดรสนี้ จะใช้ไอซีเบอร์ 74154 (4 to 16 Line) ต่อใช้งานร่วมกับ 74688(8 bit Comparator) ก็จะได้แอดเดรสที่ต้องการปรากฏที่เอาท์พุทของ 74154 ในการดีโค๊ดสามารถกระทำได้ดังนี้

A_9	A_8	A_7	A_6	A_5	A_4	A_3	A_2	A_1	A_0	ADD
1	1	0	1	1	0	0	0	0	0	360H
1	1	0	1	1	0	1	1	1	1	36FH

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จะเห็นได้ว่า A_0 - A_3 นั้นจะมีการเปลี่ยนแปลงค่าตั้งแต่ 0 (0000) จนถึง F (1111) ก็จะนำไปป้อนให้เป็นสัญญาณให้กับ 74154 ที่ตำแหน่ง A, B, C, D ตามลำดับ ส่วน A_4 มีค่าเป็น "0" ตลอด ไม่มีการเปลี่ยน จะนำไปป้อนให้กับ G_2 ของ 74154 ส่วนที่เหลือ A_5 - A_9 จะนำไปเปรียบเทียบโดยไอซีเบอร์ 74688 ดังวงจรรูปที่ 5.4 แสดงวงจรดีโค๊ดแอดเดรสช่วง 360 - 36FH

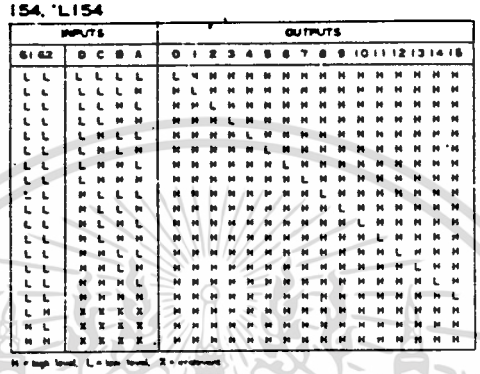


รูปที่ 5.4 แสดงวงจรดีโค๊ดแอดเดรส ตั้งแต่ 360 - 36FH

ถ้าพิจารณาจะเห็นได้ว่า การทำงานปกติเมื่อมีสัญญาณแอดเดรส การดีโค๊ดก็จะเป็นไปตามการทำงานของ 74154 และ 74688 เราสามารถติดต่อกับอุปกรณ์ อินพุท/เอาท์พุท ได้ตามต้องการ (สัญญาณ AEN เป็น "0" ซึ่งขณะนี้ยังไม่ปรากฏขึ้น) แต่เมื่อใดที่ระบบคอมพิวเตอร์ มีการทำขบวนการ DMA (Direct

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Memory Access) สัญญาณ AEN (Address Enable) จะปรากฏขึ้น (จะเป็น "1" จะทำให้ 74688 ไม่ทำการเปรียบเทียบ ทำให้ขา P Q ของ74688 มีค่าเป็น "1" จะมีผลทำให้ 74245 (รูปที่ 5.1) ตัดบัสข้อมูลออก และไม่สามารถติดต่อกับอุปกรณ์อินพุท/เอาท์พุท บนการ์ดได้ เพื่อป้องกันการผิดพลาดของข้อมูล ระหว่าง Memory กับอุปกรณ์ อินพุท/เอาท์พุท ที่กำลังขอขบวนการ DMA อยู่



รูปที่ 5.5 แสดงตารางความจริงของ 74154

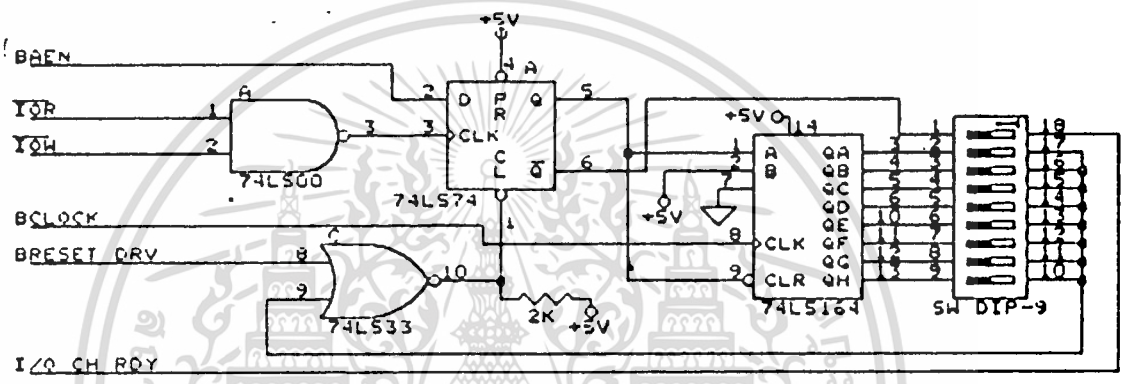
G	P	Q	P = Q
0	0	0	0
1	X	X	1
0	1	0	1

รูปที่ 5.6 แสดงตารางความจริงของ 74688

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5.1.3 วงจรสร้างสถานะรอ (Wait State)

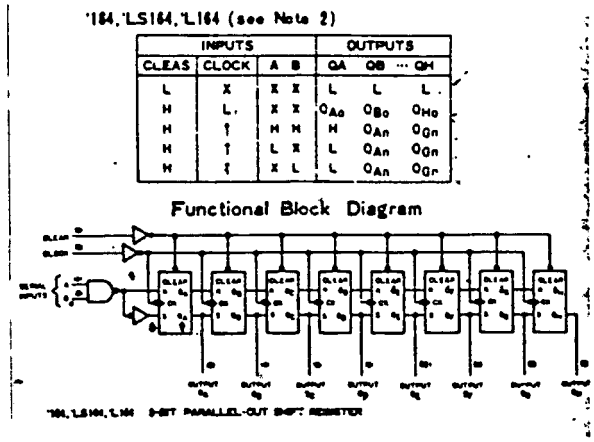
ในการออกแบบวงจรอินเตอร์เฟสนั้น เพื่อให้ระบบที่สร้างขึ้น สามารถใช้งานได้กว้างขวางนั้น จะต้องคำนึงถึงปัญหานี้ด้วย ฉะนั้นภายใน Interface Generator ได้มีวงจรสร้างสัญญาณรอ (Wait state) เพื่อให้สามารถทำงานบนคอมพิวเตอร์หลาย ๆ ระบบ ดังรูปที่ 5.7 ซึ่งได้แสดงวงจรที่ได้ใช้งานจริง ซึ่งจะใช้ไอซีเบอร์ 7474 (D-F/F) และ 74164

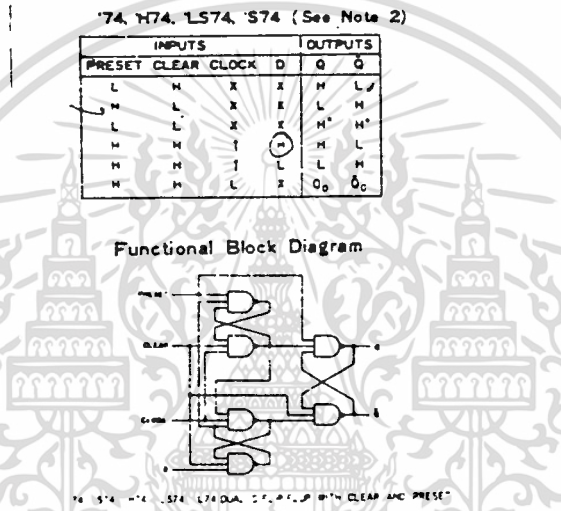


รูปที่ 5.7 แสดงวงจร Wait state ตั้งแต่ 0-8 ลูก

(Shift Registor) จากรูปที่ 4.18 และ 4.19 ในหัวข้อ 4.5 นั้น จะเห็นว่า ถ้าอุปกรณ์ อินพุท/เอาท์พุท ทำงานได้ทันกับ CPU แล้ว สัญญาณ I/O CH RDY จะเป็น "1" ตลอดเวลาของขบวนการอ่านและเขียนข้อมูล แต่เมื่อใดที่อุปกรณ์อินพุท/เอาท์พุทไม่สามารถทำงานได้ทันกับ CPU แล้ว อุปกรณ์อินพุท/เอาท์พุทจะส่งสัญญาณมาบอก CPU ที่ขา I/O CH RDY เป็น "0" เท่ากับเวลา T (T_1 = T_2 = T_3 = T_4 = T) CPU ก็จะเพิ่มเวลาของขบวนการอ่านเขียนข้อมูลเข้าไปอีกเท่ากับเวลา T_w (T_w) ซึ่งจะมีเท่ากับเวลา T ดังนั้น ในการออกแบบ วงจรส่วนนี้ จะต้องให้สอดคล้องกับการทำงานของ CPU ขณะอ่านและเขียนข้อมูลจำเป็นต้องอ้างถึงสัญญาณ $\overline{IOW}$, $\overline{IOR}$, AEN และสัญญาณนาฬิกา (clock) ที่ใช้กับ CPU

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



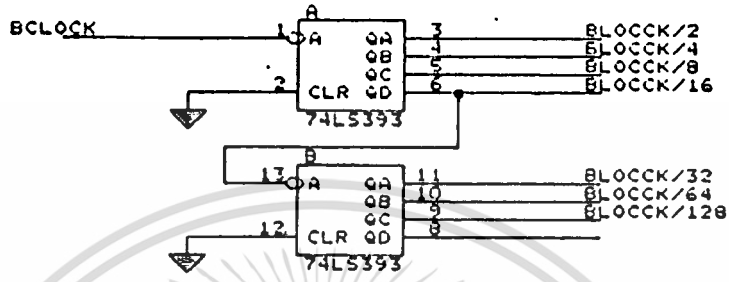


รูปที่ 5.8 แสดงการทำงานของ 74164 และ 7474

5.1.4 วงจรหารสัญญาณนาฬิกา (divide clock)

ปกติภายในคอมพิวเตอร์สัญญาณนาฬิกาที่ใช้ 4.77 MHz (ระบบ XT BUS) วงจรส่วนนี้จะทำหน้าที่สร้างสัญญาณนาฬิกาส่วน 4 (clock/4), และสัญญาณนาฬิกาส่วน 8 (clock/8) เพื่อใช้กับ A to D และวงจรเวลา (8253) ตามลำดับ จะใช้ไอซีเบอร์ 74393 ซึ่งเป็นตัวนับเลขฐาน 2 เป็นตัวหาความถี่ ดังรูปที่ 5.9 แสดงวงจรหารความถี่ โดยใช้ 74393

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

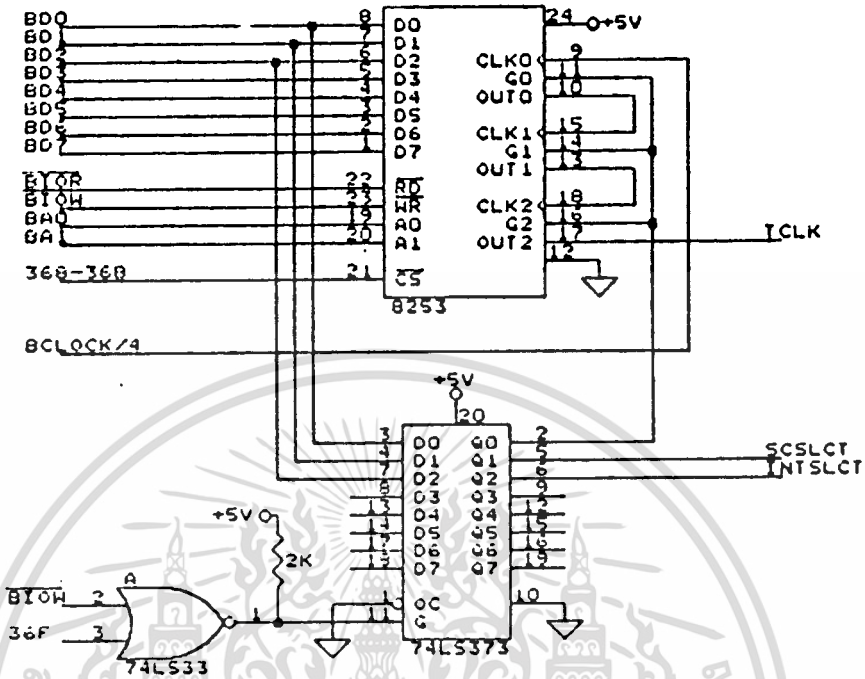


รูปที่ 5.9 แสดงวงจรหาความถี่โดยใช้ 74393

5.1.5 <u>วงจรเวลา/วงจรนับ</u> (Timer/Counter)

ในการออกแบบวงจรเวลาและวงจรนับนั้น จะใช้ควบคุมการทำงานของ A TO Dในช่วงเริ่มการแซมปิ้ง (Sampling) สัญญาณ และสร้างอินเตอร์รัฟต์เมื่อจบการแซมปิ้ง (Sampling) สัญญาณจะใช้ 8253 Timer/ counter ตัวการต่อร่วมกับ 74373 เป็นตัวกระตุ้น (gate) การนับของ 8253

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 5.10 แสดงวงจร timer/counter 8253

จากวงจร รูปที่ 5.10 ดาต้าบัส (Data bus) D_0 ถึง D_7 จะต่อไปยังบัสของระบบที่ผ่านวงจรบัฟเฟอร์แล้ว $\overline{RD}$ และ $\overline{WR}$ ต่อไปยังสัญญาณ $\overline{BIOR}$ และ $\overline{BIOW}$ ตามลำดับ สำหรับ A_0 และ A_1 นั้น จะต่อไปยังแอดเดรสบัสที่ BA_0 และ BA_1 ตามลำดับ การทำงานของ 8253 ดังที่ได้แสดงนั้น จะทำงานที่แอดเดรส 368H จนถึง 36BH โดยที่แอดเดรส 368, 369, 36A นั้น จะใช้กับวงจรนับภายใน 8253 ตัวที่ 1, 2 และ 3 ตามลำดับ 36B นั้น จะใช้สำหรับ Register ภายใน 8253 เอง เพื่อควบคุมการนับของวงจรนับ (counter) ทั้งสามตัว

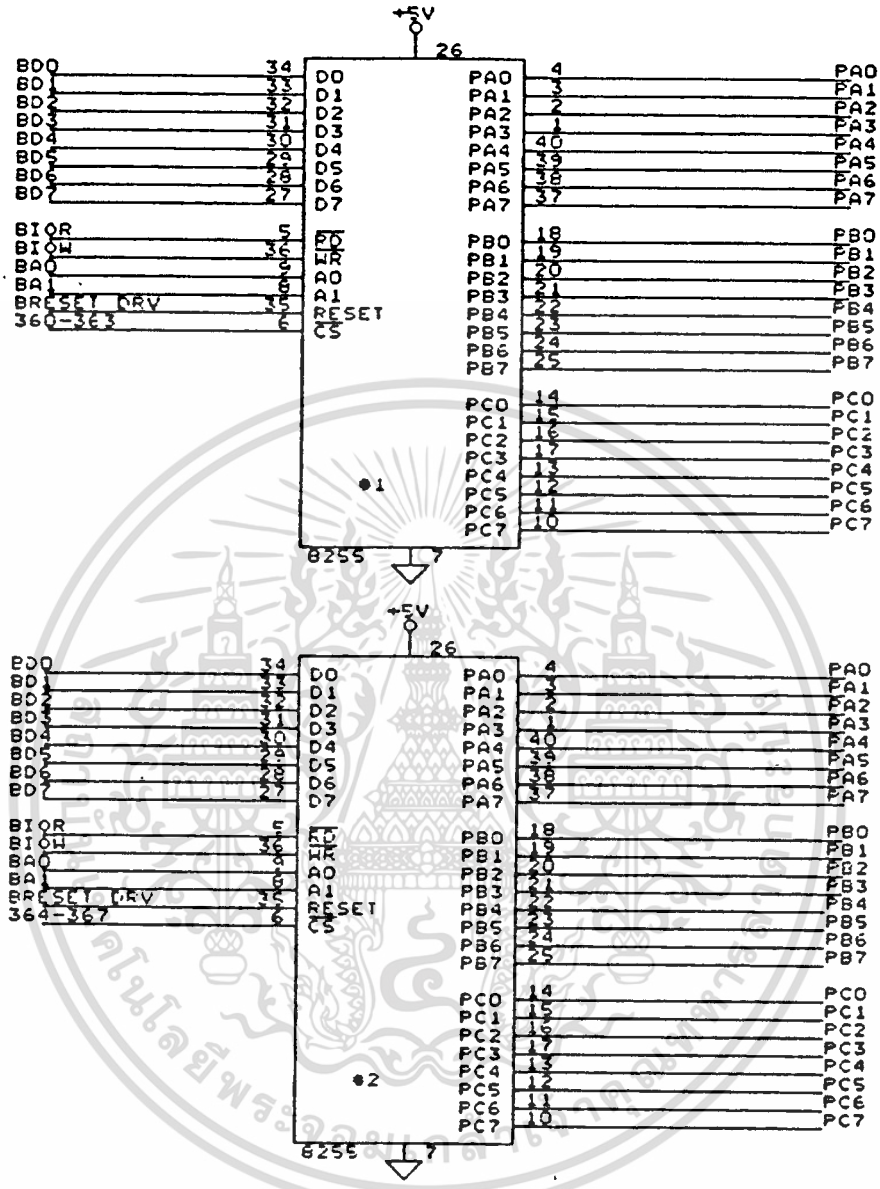
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สำหรับ 74373 นั้นซึ่งเป็นตัวกระตุ้น (gate) 8253 นั้น จะออกแบบให้ทำงานที่แอดเดรส 36F H ที่วงจรนับตัวที่ 1 (Counter 0) จะได้รับสัญญาณนาฬิกาส่วน 4 จากวงจรหาความถี่ (รูปที่ 5.9) เอาท์พุทออกที่ขา 17 (OUT2) เพื่อไปใช้ในการสร้างสัญญาณอินเตอร์รัพ (Interrupt) และการแซมปิ้งสัญญาณของ A TO D(Analog to Digital)สามารถควบคุมการทำงานด้วยโปรแกรมซึ่งจะได้กล่าวรายละเอียดอีกครั้งภายในบทที่ 6 ในที่นี้จะควบคุมการทำงานด้วยภาษาซี

5.1.6 วงจร 8255 อินพุท/เอาท์พุท (8255 I/O Port)

วงจรส่วนนี้จะทำหน้าที่เป็นพอร์ต (Port) เพื่อส่งข้อมูลออกไปควบคุมการผลิตความถี่, เลือกเรนท์ (Range), ลักษณะสัญญาณ (Function : Sine, Square, Ramp) และการเลือกขนาด (Amplitude) ของ XR 2206 Function Generator การทำงานจะควบคุมด้วยโปรแกรมและสามารถเปลี่ยนหรือเลือกค่าต่าง ๆ ผ่านทางคีย์บอร์ด ซึ่งได้กล่าวรายละเอียดของโปรแกรมไว้ในบทที่ 6 ดังแสดงวงจรการต่อ 8255 กับ ระบบบัส ดังรูปที่ 5.11

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 5.11 แสดงการต่อ 8255 กับระบบบัส

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากรูปที่ 5.11 8255 ตัวที่ 1 จะทำงานอยู่ในแอดเดรสที่ 360 - 363H ซึ่งจะทำหน้าที่ควบคุมข้อมูลการผลิตความถี่และการเลือกเรนท์ (Range) ของการผลิตความถี่ ซึ่งพอร์ต A (PA_0 - PA_7) จะควบคุมข้อมูลของการผลิตความถี่ พอร์ต B (PB_0 - PB_7) จะทำหน้าที่ควบคุมการเลือกเรนท์ (Range) ของการผลิตความถี่สำหรับพอร์ต C (PC_0 - PC_7) จะควบคุมการคงสภาวะเดิม (Lath) ของข้อมูลที่พอร์ต A และพอร์ต B ที่แอดเดรส 360 - 362 ตามลำดับ

สำหรับ 8255 ตัวที่ 2 นั้น จะทำหน้าที่การควบคุมข้อมูลของการเลือกขนาด (Amplitudes) และการเลือกลักษณะของสัญญาณ (Sine, Square, Ramp) จะถูกออกแบบให้ทำงานที่แอดเดรส 364 - 367 H ซึ่งพอร์ต A (PA_0 - PA_7)จะทำงานที่แอดเดรส 364H ควบคุมการเลือกขนาด พอร์ต B (PB_0 - PB_7) จะควบคุมการเลือกลักษณะสัญญาณ สำหรับพอร์ต C (PC_0 - PC_7)จะใช้การควบคุมการคงสภาวะเดิม (Lath) ของข้อมูลที่พอร์ต A และพอร์ต B ที่แอดเดรส 364 - 366 ตามลำดับ

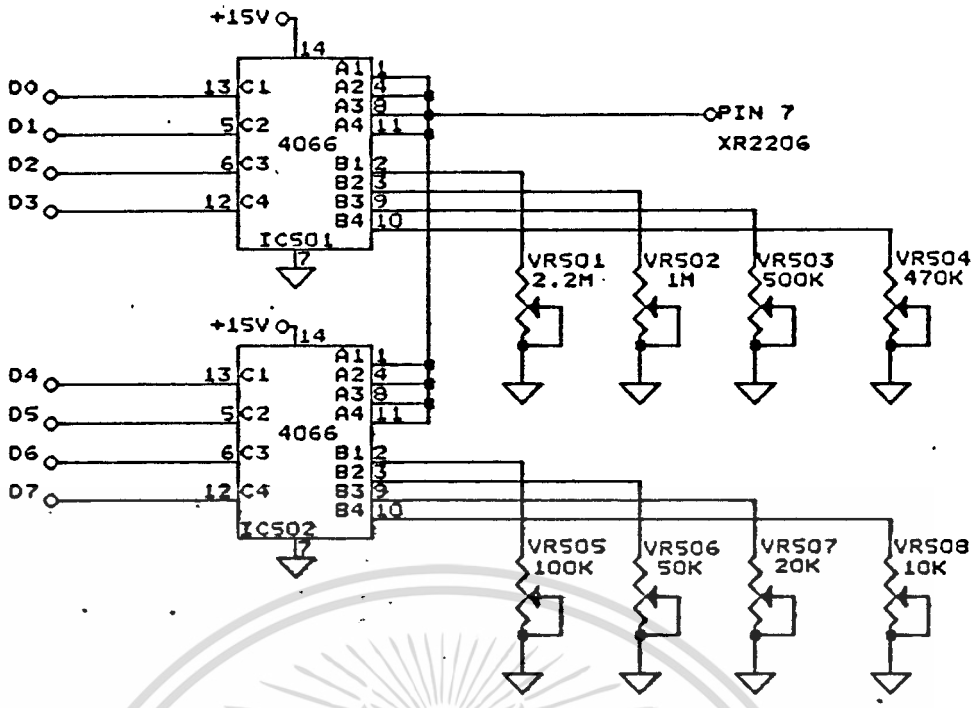
5.2 การออกแบบ XR 2206 ของ INTERFACE GENERATOR

5.2.1 ส่วนควบคุมความถี่ (FREQUENCY CONTROL)

XR 2206 สามารถเปลี่ยนแปลงความถี่ได้นั้น ขึ้นอยู่กับความต้านทานขา 7 และ 8 (Timming Resistor) และความจุที่ขา 5 และ6 (Timming Capacitor) แต่ในการออกแบบ INTERFACE GENERTOR เราใช้ตัวต้านทานที่ขา 7 และ 8 (Timming Resistor) เป็นตัวเปลี่ยนแปลงค่าความต้านทาน

FUNCTION GENERATOR โดยทั่วไปแล้ว ใช้ตัวต้านทานเปลี่ยนค่าความต้านทาน (Variable Resistor) แต่ใน INTERFACE GENERATOR ใช้ตัวต้านทานที่เปลี่ยนแปลงค่าความต้านทานไม่ได้ (Fixed Resistor) โดยใช้อนาล็อคสวิทช์ (Analog Switch) เป็นตัวควบคุมการเปลี่ยนแปลงความต้านทานที่ขา 7 และ 8 ของ XR 2206 ซึ่งอนาล็อกสวิทช์ จะถูกควบคุมโดยลอจิกสูง (High) และลอจิกต่ำ (Low)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 5.12 Digtal Control R-network

จากรูปที่ 5.12 อนาล็อคสวิทช์ทุกตัว จะถูกควบคุมโดยระดับสัญญาณดิจิตอล (D_0 - D_7) ซึ่งคุณสมบัติของอนาล็อคสวิทช์นั้นจะทำงานหรือสวิทช์ปิดเมื่อป้อนลอจิกสูง (High) และไม่ทำงานหรือสวิทช์เปิด (off) เมื่อป้อนลอจิกต่ำ (Low)

ความต้านทานที่เอาท์พุท จะขึ้นอยู่กับระดับสัญญาณดิจิตอล คือ ค่าความต้านทานจะสูงสุด เมื่อป้อน 00000000 (open) และต่ำสุดเมื่อป้อน 11111111 ถ้าป้อน 11111111 อนาล็อกสวิทช์ จะทำงานทุกตัว (on)ทำให้ตัวต้านทานทุกตัวต่อแบบขนานกัน (parallel) ซึ่งเป็นผลให้ความถี่การออสซิลเลทสูงสุด

5.2.2 ส่วนควบคุมช่วงความถี่ (Range Control)

ส่วนควบคุมช่วงความถี่ เราใช้ตัวเก็บประจุ เป็นตัวเปลี่ยนช่วงความถี่ ซึ่งเราใช้ช่วงความถี่ 5 ช่วง ดังตาราง 5.1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Range	CAPACITOR
1	1 uF
2	0.1 uF
3	0.01 uF
4	0.001 uF
5	200 pF

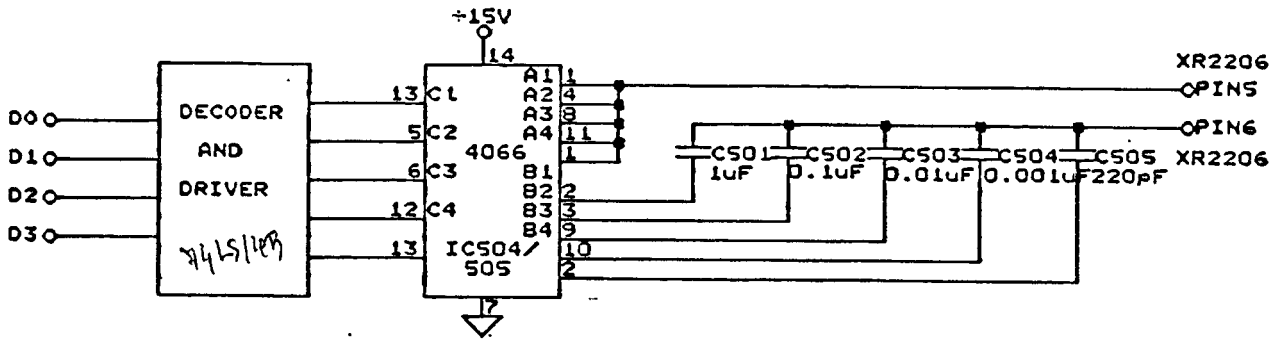
ตารางที่ 5.1

การเปลี่ยนแปลงช่องความถี่ เราใช้สัญญาณดิจิตอลไปควบคุมอนาล็อกสวิทช์ ซึ่งอนาล็อกสวิทช์จะต่ออยู่กับตัวเก็บประจุ และ สัญญาณดิจิตอลนี้ ถูกถอดระหัสโดยใช้ 74LS145 เป็นตัวถอดระหัส (Decode)จะได้ผลดังตารางที่ 5.2

$D_3 - D_0$	Decoder Range
0001	1
0010	2
0011	3
0100	4
0101	5

ตารางที่ 5.2

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 5.13 digital control C-network

การทำงานของ digital control C-network

เมื่อให้ DO-D3 เป็น "0001" อนาล็อคสวิทช์ ตัวที่ 1 จะทำงาน ตัวเก็บประจุ 1uF ก็จะไปต่อกับขา 5 และ 6 ของ XR 2206 ถ้าป้อน "0010" ตัวเก็บประจุ 0.1 uF จะต่อกับ ขา 5 และ 6 ของ XR 2206 และตัวอื่น ๆ ก็เช่นเดียวกัน

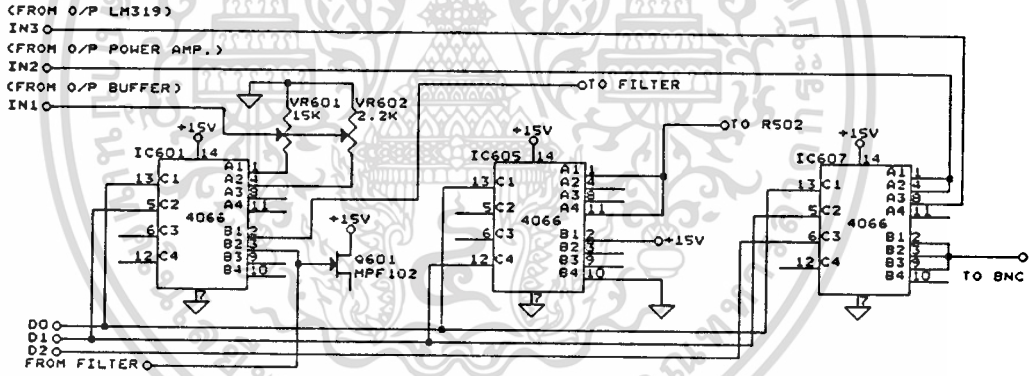
5.2.3 ส่วนควบคุมฟังก์ชั่น (Function Control)

ส่วนควบคุมฟังก์ชั่นนี้ เราสามารถเลือกฟังก์ชันได้ 3 แบบ คือ สัญญาณซายน์ (Sine wave), สัญญาณสามเหลี่ยม(Triangle wave)และสัญญาณสี่เหลี่ยม (Square wave)

การออกแบบส่วนควบคุมฟังก์ชั่นนี้ จึงต้องมีสัญญาณดิจิตอลควบคุม เพียง 3 บิท (D_2 - D_0) โดยให้ D_0 ควบคุมฟังก์ชั่นซายน์ (sine function) และให้ D_1 ควบคุมฟังก์ชั่นสามเหลี่ยม(Triangle function)และ D_2 ควบคุมฟังก์ชั่นสี่เหลี่ยม(Square function)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

D_2	D_1	D_0	FUNCTION
0	0	1	SINE
0	1	0	TRIANGLE
1	0	0	SQUARE



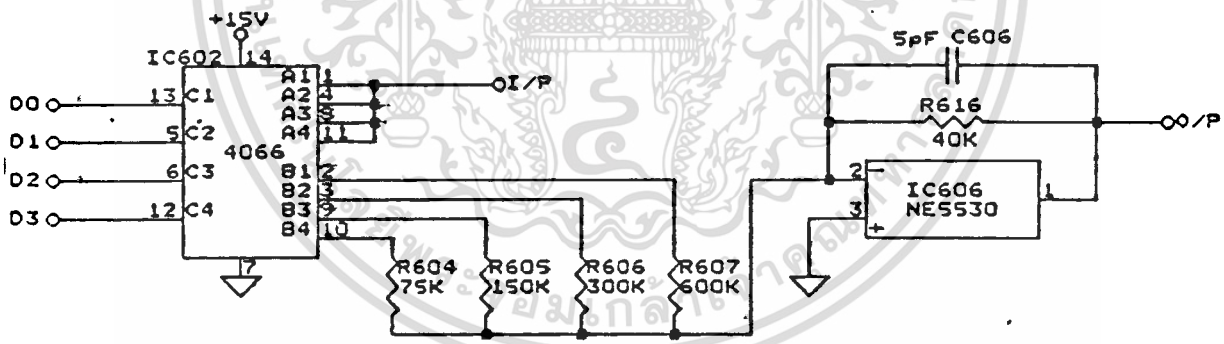
รูปที่ 5.14 Digital Control Function

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากวงจรจะเห็นได้ส่วนที่เป็น Sine Funtion และ Triangle - Function จะต้องใช้อนาล็อคสวิทช์ควบคุมหลายตัวเพราะส่วนนี้จะต้องไปปรับแต่งสัญญาณเสียก่อน เพื่อให้ได้สัญญาณที่ดีออกเอาท์พุท

5.2.4 <u>ส่วนควบคุมแอมปริจูด</u> (Amplitude Control)

ส่วนควบคุมแอมปริจูดนี้ ปกติการปรับแอมปริจูดของลักษณะสัญญาซายน์ (Sine wave)และสัญญาณสามเหลี่ยม(Triangle wave)เราใช้ตัวต้านทานปรับค่าได้(potentiometer)เป็นตัวปรับ ดังนั้นเพื่อให้การเลือกค่าความต้านทาน ที่แอมปริจูดค่าต่าง ๆ มีการเปลี่ยนแปลงแบบ Linear เราสามารถใช้สัญญาณดิจิตอลควบคุม ซึ่งกระทำได้ดังรูป 5.15



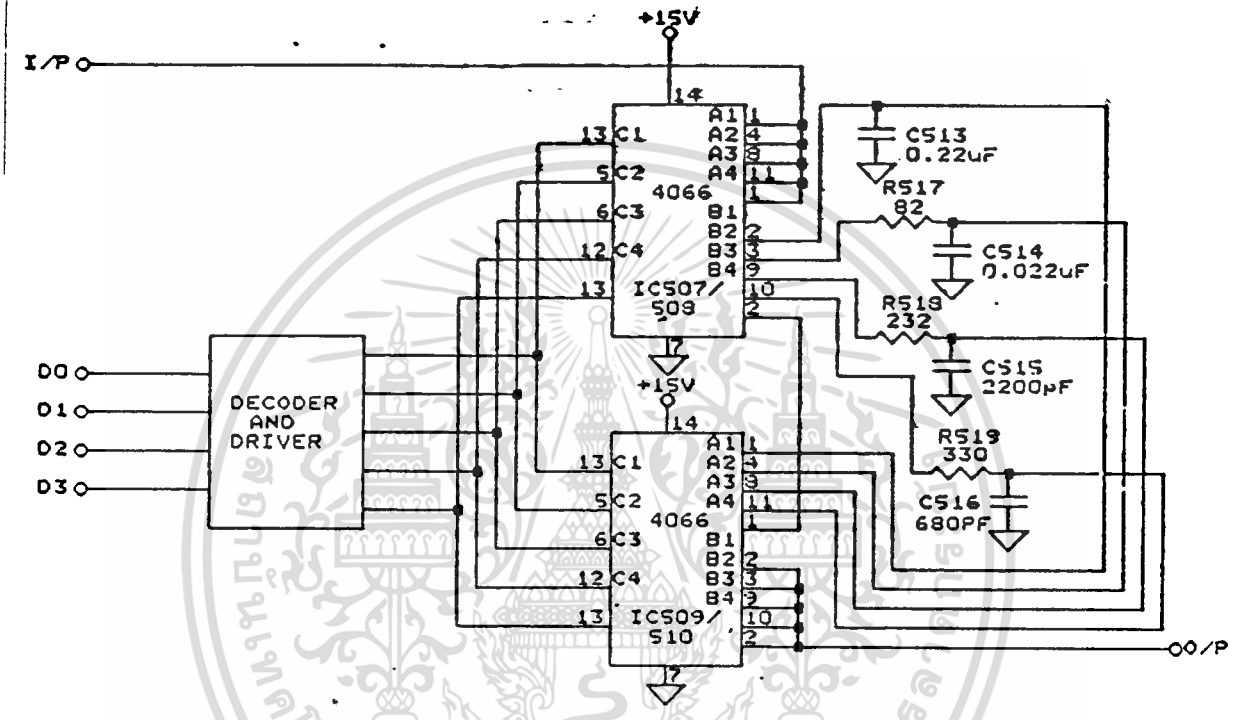
รูปที่ 5.15 Digital Control Amplitude

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5.2.5 ส่วนควบคุมวงจรกรองความถี่ต่ำ

(Lowpass Filter Control)

ส่วนควบคุมส่วนนี้ เป็นตัวปรับแต่งสัญญาณ ซึ่งวงจรนี้จะทำงานร่วมกับการควบคุมช่องความถี่ (Range Control) คือแต่ละช่องความถี่ก็ต้องใช้วงจรกรองความถี่ต่ำหนึ่งชุด



รูปที่ 5.16 แสดงวงจรกรองความถี่ต่ำ

การทำงานของส่วนควบคุมวงจรกรองความถี่ต่ำ

เมื่อเราป้อน D0-D3 เป็น "0001"ให้กับวงจรกรองความถี่ชุดแรกทำงาน(on) ได้แก่ตัวเก็บประจุ 0.22 uF ก็จะไปต่อกับ input และ output ของวงจร สำหรับ Range ค่าอื่น ๆ ก็มีลักษณะเช่นกัน ดัง ตารางที่ 5.3

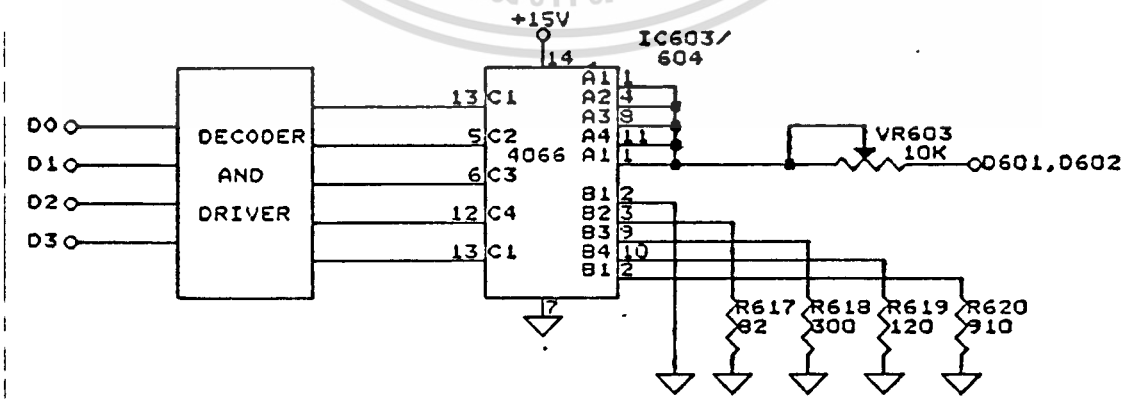
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

D_3	D_2	D_1	D_0	Low pass Filter	
				R	C
0	0	0	1	0	0.22 uF
0	0	1	0	82	0.022 uF
0	0	1	1	232	220 pF
0	1	0	0	330	680 pF
0	1	0	1	0	α

ตารางที่ 5.3 แสดง Digital ควบคุมวงจรกรองความถี่ต่ำ

5.2.6 ส่วนควบคุม GAIN POWER AMPLIFIER

วงจรส่วนนี้จะได้รับสัญญาณดิจิตอล จากสัญญาณควบคุม Range เมื่อมีการเปลี่ยน Range จะทำให้ GAIN ของ Amplifier เปลี่ยนไป ดังนั้น เพื่อรักษาระดับ สัญญาณของ output ให้คงที่ทุก ๆ Range ของ ความถี่ สามารถแสดงดังรูปที่ 5.17



รูปที่ 5.17 วงจรแสดงการควบคุม Gain Power Amplifier

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5.3 การออกแบบวงจรเปลี่ยนสัญญาณ (Signal Conversion)

วงจรส่วนนี้จะทำหน้าที่รับสัญญาณที่เป็นสัญญาณอนาล็อก (Analog) เข้ามาทาง อินพุตของ A to D (Anaglog to digital) แล้ว ส่งเข้ามาประมวลผลโดย CPU และจะได้แสดงผลออกทางจอภาพ (Monitor) โดยการใช้โปรแกรมควบคุมอีกครั้งหนึ่ง ซึ่งจะได้กล่าวการออกแบบแยกเป็นส่วน ๆ ดังนี้

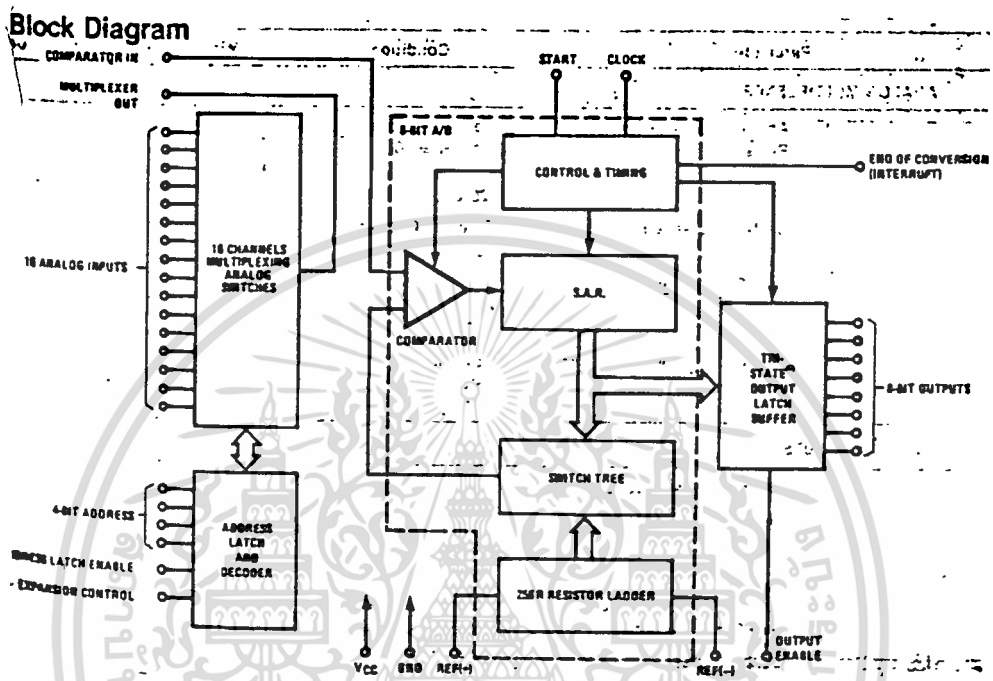
5.3.1 วงจรเปลี่ยนสัญญาณอนาล็อกเป็นสัญญาณดิจิตอล (Analog to Digital Converter)

การออกแบบ การเปลี่ยนสัญญาณอนาล็อกเป็นสัญญาณดิจิตอล (Analog to digital) จะใช้ไอซีเบอร์ ADC 0816 เพราะสามารถขยายการใช้งานภายในระบบได้ง่าย และมีผลลัพธ์ของ เอาท์พุท (Solution) อยู่ในเกณฑ์ที่ปานกลาง สามารถนำมาใช้งานได้เป็นอย่างดี และที่สำคัญราคาถูก เมื่อเปรียบเทียบกับเฟตอนาล็อกทูดิจิตอล (Flat Analog to digital) ซึ่งจะให้ผลลัพธ์ (Solution) ที่เอาท์พุทสูงมาก แต่เมื่อเปรียบเทียบราคากันแล้วอนาล็อกทูดิจิตอล (A to D) ชนิดหลังนี้ราคาสูงกว่ามาก ซึ่งจะไม่จำเป็นมากนัก ดังนั้นในการออกแบบใช้งานบน Interface Generator นี้จะใช้ ADC 0816 ซึ่งจะได้กล่าวรายละเอียดต่อไป

5.3.1.1 การทำงานทั่ว ๆ ไปของ ADC 0816

ADC 0816 เป็นชิพสำเร็จรูปของการเปลี่ยนสัญญาณอนาล็อกเป็นสัญญาณดิจิตอล (Analog to digital) ขนาด 8 บิท มีอินพุท 16 ช่อง (channal) ในลักษณะอินพุทรวม (Multiplixer) และมีการควบคุมการทำงานต่าง ๆ ด้วยสัญญาณดิจิตอล ซึ่งจะแสดงไดอะแกรมการทำงานดังรูปที่ 5.18 สำหรับรายละเอียด ได้แสดงไว้ในภาคผนวก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 5.18 แสดงไดอะแกรมการทำงานภายใน ADC 0816

- Multiplexer จะทำหน้าที่รวมสัญญาณอินพุทแต่ละช่อง (Channal) เข้าด้วยกันโดยการกระทำทีละช่องโดยการเลือกตามตำแหน่งแอดเดรส (Address) ในขณะที่ฟังก์ชันการขยายอินพุท (Expansion Control) มีค่าเป็น "1" (+5 V.) ซึ่งจะได้แสดงดังตารางที่ 5.18

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

SELECTED ANALOG CHANNEL	ADDRESS LINE				EXPANSION CONTROL
	D	C	B	A	
IN0	L	L	L	L	H
IN1	L	L	L	H	H
IN2	L	L	H	L	H
IN3	L	L	H	H	H
IN4	L	H	L	L	H
IN5	L	H	L	H	H
IN6	L	H	H	L	H
IN7	L	H	H	H	H
IN8	H	L	L	L	H
IN9	H	L	L	H	H
IN10	H	L	H	L	H
IN11	H	L	H	H	H
IN12	H	H	L	L	H
IN13	H	H	L	H	H
IN14	H	H	H	L	H
IN15	H	H	H	H	H
All Channels OFF	X	X	X	X	L

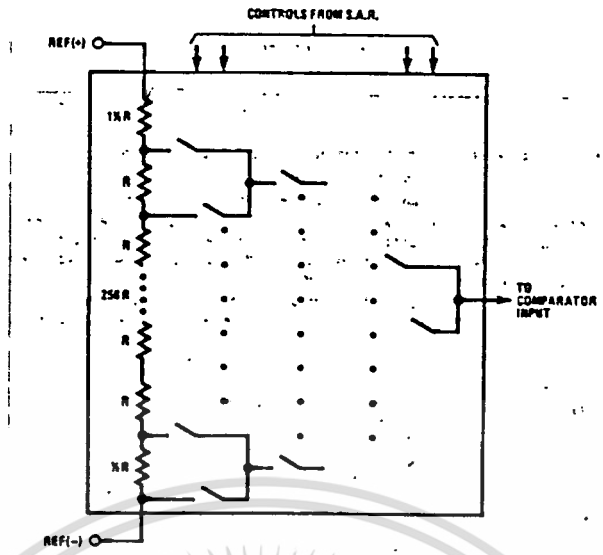
X = don't care

ตารางที่ 5.18 แสดงการเลือกอินพุทตั้งแต่ 0-15

สัญญาณที่ออกจาก Multiplexer นี้ จะส่งเข้าไปให้วงจรเปรียบเทียบระดับสัญญาณต่อไป

- <u>การเปลี่ยน (Converter)</u> ซึ่งแสดงเป็นเส้นประในรูปแสดงการทำงาน ซึ่งจะมีการต่อความต้านทาน และสวิทช์ในลักษณะขั้นบันได (Ladder) เพื่อสร้างเป็นสัญญาณอ้างอิง (รูปที่ 5.19) ส่งเข้าตัวเปรียบเทียบ (Comparator) เพื่อเปรียบเทียบกับสัญญาณอนาล็อกที่ส่งมาจากตัว Multipliexer ใช้ในการสร้างสัญญาณดิจิตอลต่อไป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 5.19 แสดงการต่อความต้านทานและสวิทช์แบบขั้นบันได

สำหรับรูปที่ 5.20 และ 5.21 แสดงตำแหน่งขาของ ADC 0816 และแสดงตารางเวลา (Timing diagram) ตามลำดับ

- IN0 - IN15 เป็นสัญญาณอนาล็อก (Analog input) อินพุทที่ช่อง (channal) ที่ 1 ถึง 16

- EOC (End of Conversion) เป็นสัญญาณเอาท์พุท ที่เกิดขึ้นหลังจากที่ได้รับสัญญาณที่ขา START ประมาณ 0-8 ลูกของสัญญาณนาฬิกา (Clock)

- Multiplexer out เป็นตำแหน่งที่สัญญาณอินพุททั้ง 16 ช่อง ผ่านการ Multiplex แล้ว

- Start จะเป็นตำแหน่งที่ป้อนสัญญาณเริ่มการแซมปิ้ง (Sampling) สัญญาณ

- Comparator in สัญญาณอินพุทที่ป้อนให้กับตัวเปรียบเทียบ (Comparater) ภายในชิพ ADC 0816

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- REF (+), REF (-) ตำแหน่งป้อนแรงดันอ้างอิง ให้กับ ADC 0816

- ADD A - ADD D เป็นสัญญาณที่จะใช้อ้างถึงอินพุททั้ง 16 ช่อง

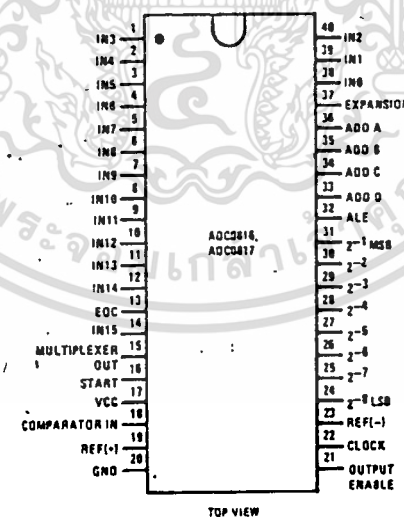
- 2^{-1} - 2^{-8} เป็นสัญญาณดิจิตอล เอาท์พุท ตั้งแต่บิทที่ 0 ถึง บิทที่ 8 ตามลำดับ

- Expansion Control เป็นสัญญาณควบคุมการเลือกอินพุททั้ง 16 ช่อง

- ALE (Address Latch Enable) เป็นสัญญาณที่จะบอกให้ ADC ทราบว่า คงสภาวะเดิมของแอดเดรสไว้ (ADD A - ADD D)

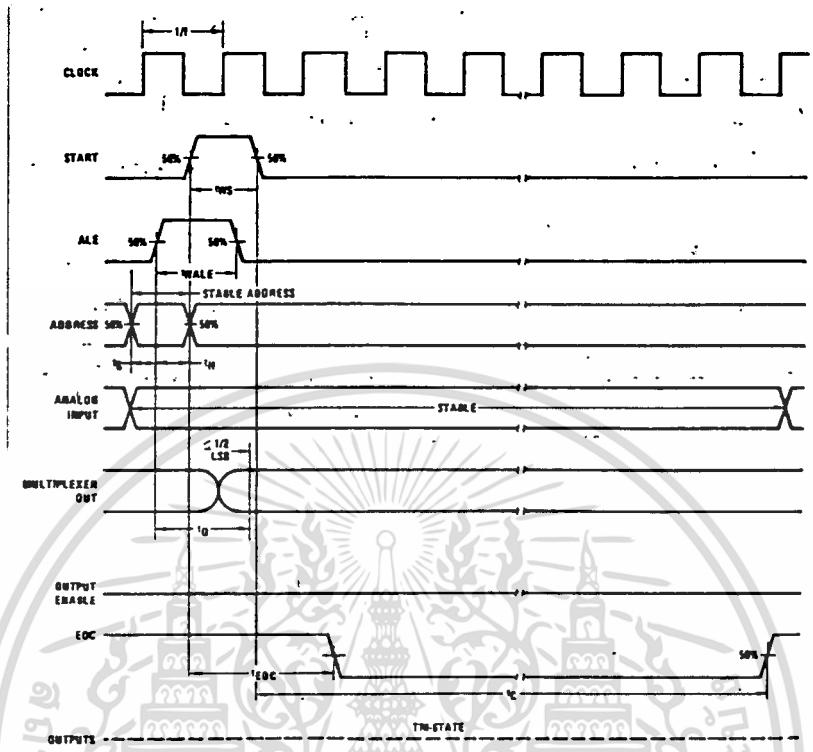
- clock เป็นสัญญาณนาฬิกาที่ป้อนให้กับ ADC เพื่อใช้ในการแซมปิ้ง (Sampling) สัญญาณอินพุท

- Output Enable เป็นสัญญาณการควบคุมการปล่อยสัญญาณดิจิตอลออกทางเอาท์พุท (2^{-1} - 2^{-8})



รูปที่ 5.20 แสดงตำแหน่งขาของ ADC 0816

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

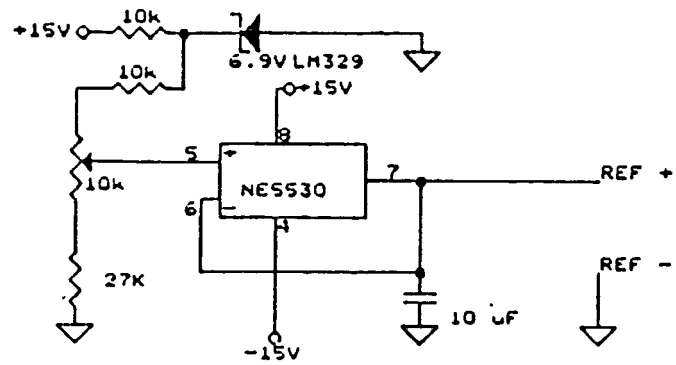


รูปที่ 5.21 แสดงไดอะแกรมเวลาการทำงานของ ADC 0816

5.3.1.2 <u>การสร้างแรงดันอ้างอิง</u> (Voltage Referance, REF)

ในการสร้างระดับแรงดันอ้างอิงนี้ เราจะต้องทราบอินพุทของ ADC เสียก่อน เพื่อที่จะเอาระดับแรงดันอ้างอิงนี้ไปเปรียบเทียบกับสัญญาณอินพุทได้ถูกต้อง ในการออกแบบส่วนนี้ อินพุทของ ADC เปลี่ยนแปลงตั้งแต่ 0-5 V. ดังนั้นระดับแรงดันอ้างอิงก็จะเป็น +5V. (REF+) และ 0 (REF-) ซึ่งจะสามารถกระทำได้ดังวงจรรูปที่ 5.22 ดังนั้น เราสามารถทราบการเปลี่ยนแปลงของระดับแรงดันอ้างอิงได้ดังนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 5.22 แสดงวงจรแรงดันอ้างอิงให้กับ ADC 0816

$$REF_{max} = \frac{Vz\ (R3max + R4)}{(R_2 + R_{3max} + R_4)} \quad \text{-------- (1)}$$

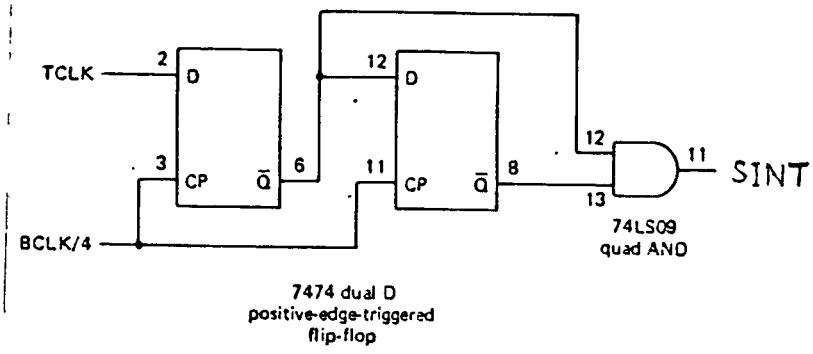
$$REF_{min} = \frac{Vz\ (R4)}{(R_2 + R_{3min} + R_4)} \quad \text{-------- (2)}$$

โดยที่ $R_{3max} = R_{3min}$ ในที่นี้

5.3.2 วงจรสร้างสัญญาณ START และอินเตอร์รัพ ADC 0816

ปกติแล้วสัญญาณที่ออกมาจาก 8253 (TCLK) นั้น มีช่วงของสัญญาณกว้างมากเกินไป เนื่องจากจะต้องผ่านการนับสัญญาณนาฬิกาของ 8253 ถึง 3 ครั้ง ดังนั้นเพื่อให้สัญญาณสำหรับ START ADC 0816 และการอินเตอร์รัพที่เหมาะสม-สามารถกระทำได้ดังวงจร รูปที่ 5.23 โดยการนำเอา TCLKซึ่งมีช่วงเวลากว้างมาให้เท่ากับครึ่งหนึ่งของ BCLOCK/4 ก็จะได้สัญญาณ SINT เพื่อป้อนให้กับ ADC 0816 ทำงานได้ตามต้องการ

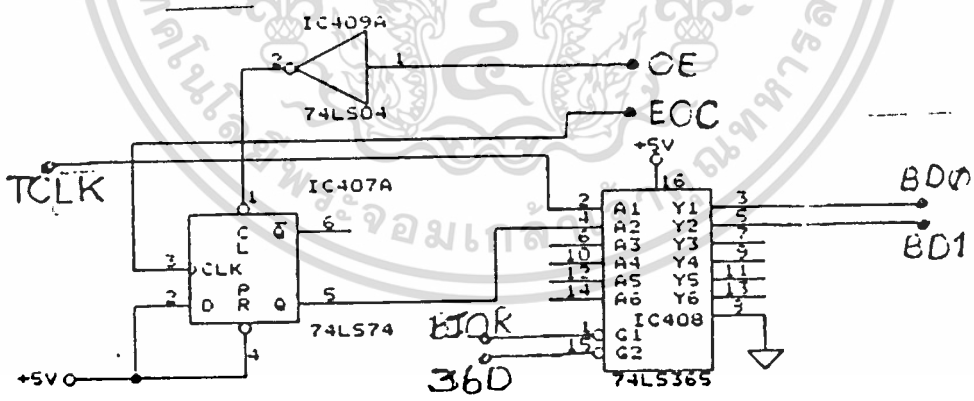
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 5.23 วงจรแสดงการสร้างสัญญาณ START และอินเตอร์รัพ ADC 0816

5.3.3 วงจรสร้างสถานะของ ADC (status ADC)

ถ้าสัญญาณ INTSLCT เปลี่ยนจากสถานะจาก "1" เป็น "0" คอมพิวเตอร์รับทราบสัญญาณ EDC ช้า ดังนั้นเพื่อให้คอมพิวเตอร์รับทราบสัญญาณเร็วขึ้น จำเป็นต้องให้คอมพิวเตอร์อ่านค่า EOC ว่าเป็น "1" หรือ "0" ผ่านพอร์ต เพื่อช่วยในการหยุดการเปลี่ยนสัญญาณของสัญญาณแอดเดรส และ BIORสามารถแสดงได้ดังวงจรรูปที่ 5.24

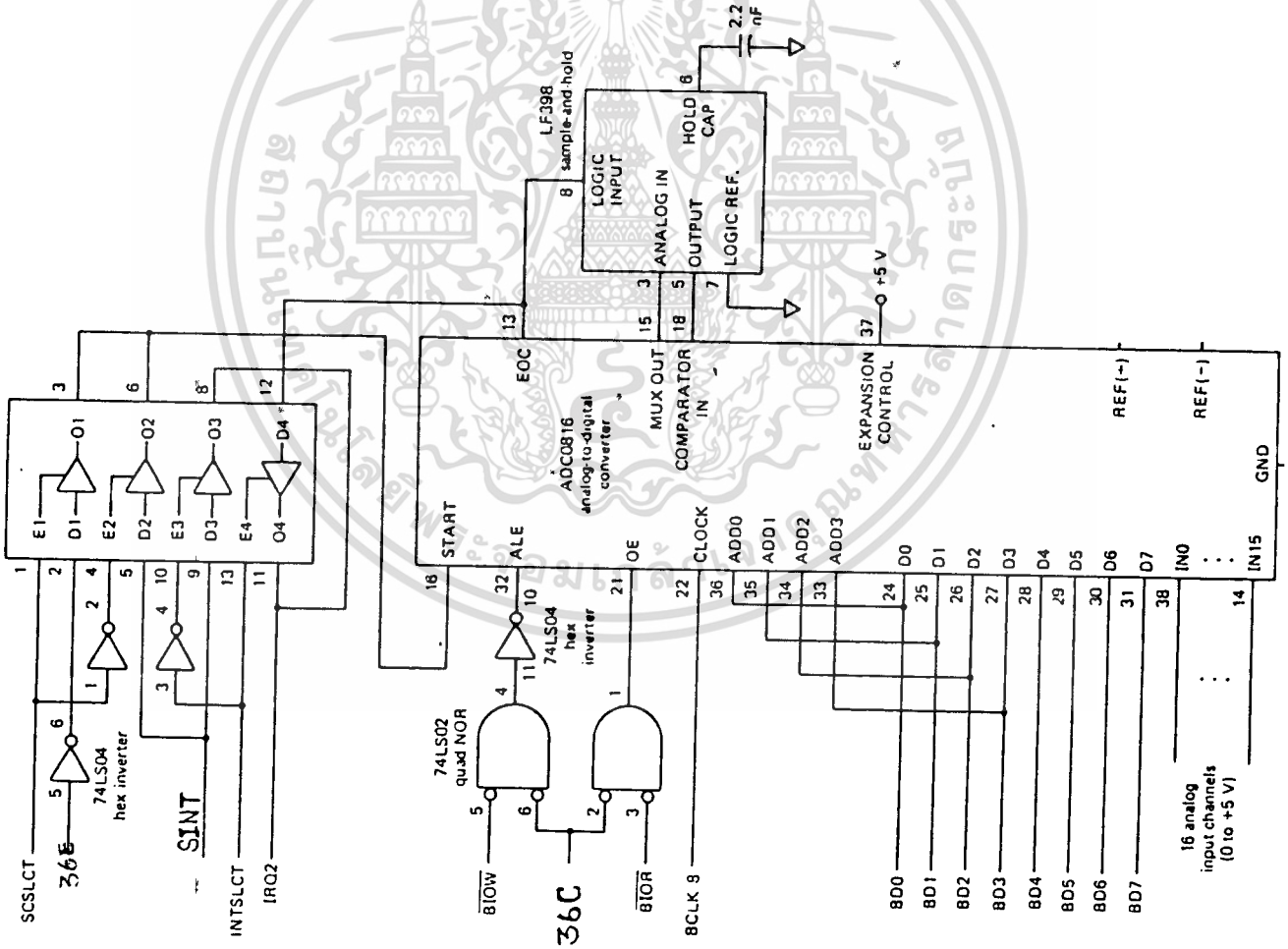


รูปที่ 5.24 แสดงวงจรแสดงสถานะของ ADC 0816

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สำหรับรูปที่ 5.25 นั้น แสดงวงจรการเปลี่ยนสัญญาณอนาล็อคเป็นดิจิตอล (Analog to digital) ตามแอดเดรสที่ได้กำหนดไว้ในวงจรในการเปลี่ยนนี้ สามารถเลือกช่องการเปลี่ยนสัญญาณที่อินพุทด้วยข้อมูล 1 ไบต์ (ADD A - ADD D) ที่พอร์ต 36C H และมีแอดเดรสเริ่มการแซมปิ้ง (START) ที่พอร์ต 36E H ภายใต้การควบคุมของสัญญาณ SCSLCT ซึ่งถ้าสัญญาณ SCSLCT เป็น "1" แต่ถ้า SCSLCT เป็น "0" การเริ่มแซมปิ้งก็จะเริ่มด้วยสัญญาณ SINT

สำหรับ LF398 จะทำหน้าที่ควบคุมสัญญาณอินพุทในขณะที่สัญญาณ EOC เป็น "1" (หลังจากเริ่ม START) และสัญญาณ EOC เป็น "0" LF398 จะทำหน้าที่หยุดปล่อยสัญญาณอินพุทในขณะนั้น และ จะคงสภาวะเดิมของข้อมูลขณะนั้นไว้ภายในตัวเก็บประจุ



รูปที่ 5.25 แสดงวงจรการเปลี่ยนสัญญาณอนาล็อคเป็นดิจิตอล โดยใช้ ADC 0816

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 6

ทฤษฎีและการเขียนโปรแกรมภาษาซี

การ์ดอินเตอร์เฟสเยนเนอร์เรเตอร์ ที่สร้างขึ้นมานี้จะทำงานร่วมกับไมโครคอมพิวเตอร์ จึงจำเป็นที่จะต้องเขียนโปรแกรม เพื่อใช้ควบคุมการทำงานของ การ์ดอินเตอร์เฟสเยนเนอร์เรเตอร์ ในที่นี้เราใช้โปรแกรมภาษาซี มีรายละเอียดของโปรแกรมภาษาซี ดังนี้

6.1 ทฤษฎีทั่วไปของโปรแกรมภาษาซี

ภาษาซี เป็นภาษาที่ไม่มีตัวเลขบรรทัด(Line number)และ ไม่บังคับว่าแต่ละบรรทัด จะต้องย่อหน้าเท่ากัน วงเล็บปีกกาไม่จำเป็นจะต้องอยู่ตรงกัน - เพราะ ตัวแปรภาษา(Complier)จะอ่านโปรแกรม เมื่อพบวงเล็บปีกกาเปิด และปิด complier จะทราบว่านี้ คือจุดจบของโปรแกรม หรือ ฟังก์ชัน (function) ทั้งนี้ ภาษาซี นิยมเขียนตัวอักษรพิมพ์เล็ก และ สงวนตัวอักษรพิมพ์ใหญ่ ไว้สำหรับสัญญลักษณ์คงที่(Symbolic constant) และ ตัวอักษร(String)และเนื่องจาก-การเขียนคำสั่งเป็นอิสระเกินไป จะเป็นทำให้การแก้ไขโปรแกรมยุ่งยาก จึงนิยม-เขียนโปรแกรมให้วงเล็บปีกกาเปิดปิด ของแต่ละ function หรือ ลูป(loop)อยู่ในแนวเดียวกัน

6.1.1 ลักษณะของโปรแกรมภาษาซี

โปรแกรมภาษาซี ก็คือกลุ่มของฟังก์ชันที่เชื่อมโยง รับ-ส่ง ค่ากันด้วยอาร์กิวเมนต์ หรือ แอดเดรส เช่น

```
/* the C program prints s massage on sgreen */
main() {
    printf("this is my first program\n") ;
    }
```

จากโปรแกรมจะเห็นว่าเราใช้ function main() กับ printf() สำหรับ function main() จะแจ้งให้ complier ทราบว่าให้เริ่มทำคำสั่ง -

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

(execution) เป็นต้น ทุกโปรแกรมในภาษาซี จึงจำเป็นต้องมี function นี้ และจะต้องมีเพียงครั้งเดียว ถ้าหากมี function main() หลายๆครั้งแล้ว ตัว-complier จะไม่ทราบว่าจุดเริ่มต้นของโปรแกรมอยู่ที่ใดแน่ ส่วนวงเล็บที่อยู่หลัง function จะเป็นตัวบ่งบอกว่าคือ function และ {.. } จะบอกว่า function หรือ โปรแกรม เริ่มต้นและก็จบลงที่ จุดนี้ โดยปกติ function จะไม่ทำงานใดๆเลย เว้นแต่เราจะให้ข้อมูลหรือข้อสนเทศที่เหมาะสมส่งเข้าสู่ function นั้น ข้อมูลหรือข้อสนเทศนั้นเราเรียกว่า อาร์กิวเมนต์(argument) หากมีมากกว่าหนึ่ง เราจะเรียกว่า argument listเช่น "this is my first program" ทุกคำสั่งในโปรแกรมภาษาซี จะต้องมีเครื่องหมายอัฒภาค(;) ปิดท้ายเพื่อแสดงว่าจบคำสั่งแล้วทุกครั้งเสมอ

6.1.2 ตัวแปร (variable)

การกำหนดตัวแปร จะต้องกำหนดลักษณะของตัวแปรก่อนเสมอ รูปแบบของการกำหนดลักษณะของตัวแปร มีดังนี้

```
type variable - name  ;
```

หรือ

```
type variable - name ,variable - name... ;
```

จากรูปแบบนี้คำว่า type หมายถึงชนิดของตัวแปร,variable-name หมายถึงชื่อตัวแปร หากมีหลายตัวให้แยกจากกันโดยใช้เครื่องหมายจุลภาค(,)โดย ชื่อตัวแปรจะต้องเริ่มต้นด้วยตัวอักษร หรือ เครื่องหมาย "_" หลังจากนั้นจะเป็นตัวเลขหรือตัวอักษรก็ได้ ซึ่งมีขนาด 8 ตัวอักษร ซึ่งจะแสดงรายละเอียดดังตารางที่ 6.1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ชนิดตัวแปร	ขนาด	พิสัย
char	1 byte	-128 ถึง 127 หรือ 0 ถึง 255
int	2 byte	-32768 ถึง 32768
float	4 byte	-1.7E38 ถึง 1.7E38 (ความถูกต้อง 6 ตำแหน่ง)
double	8 byte	-1.7E38 ถึง 1.7E38(16 ตำแหน่ง)
short int	2 byte	-32768 ถึง 32768
long int	4 byte	-2147483648 ถึง 2147483648
unsigned int	2 byte	0 ถึง 65535

ตารางที่ 6.1 แสดงชนิดและขนาด ของตัวแปร

6.1.3 ตัวคงที่ (constant)

ตัวคงที่ ที่ใช้ในภาษาซี มีลักษณะและแบบเดียวกับ ตัวคงที่ในภาษาอื่น ๆ ดังนี้

- integer constant หมายถึง ตัวคงที่ ที่เป็นเลขจำนวนเต็ม เช่น 3,30, 45 เป็นต้น

- long constant หมายถึง ตัวคงที่ ที่เป็นจำนวนเต็ม มีขนาด 4 - byte และจะต้องต่อท้ายด้วยอักษร L หรือ l ไว้ข้างหลังตัวเลขเสมอ เพื่อแสดงให้ complier ทราบว่าเป็น long constant เช่น 10L,50L,100l เป็นต้น

- float constant หมายถึง ตัวคงที่ ที่เก็บข้อมูลในพิสัยเดียวกับ - double variable (8 byte)

- octal constant หมายถึงตัวคงที่แบบ integer constant ที่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

มีค่าเป็นเลขฐาน 8 โดยเราจะต้องเติมเลขศูนย์ หน้าจำนวนเต็มใด ๆ เพื่อแสดงว่าเป็นจำนวนเต็มในฐาน 8 เช่น 034,0100 เป็นต้น

- hexadecimal constant หมายถึง จำนวนเต็มในฐาน 16โดยจะต้องเติม 0x ไว้หน้าจำนวนเต็มในฐาน 16 เช่น 0xff,0xa0 เป็นต้น

6.1.4 ตัวดำเนินการ (operator)

Operator ในภาษาซี ส่วนใหญ่จะคล้ายๆ กับตัวดำเนินการ ในภาษาอื่น แต่อาจจะมี operator บางตัวในภาษาซีจะแตกต่างไป สามารถแยกได้ดังนี้

1)ตัวดำเนินการคณิต(arithematic operator) จะประกอบด้วย +, -,* และ / ในกรณีที่ตัวแปรอยู่คนละด้าน ของเครื่องหมาย เป็นตัวแปรต่างชนิดกัน จะต้องได้รับการแปลง(convert) ให้เป็นตัวแปรแบบเดียวกันเสียก่อน

2)ตัวดำเนินการเปรียบเทียบ(relational operator) ที่ใช้ในภาษาซี มีดังนี้

==	เท่ากับ
!=	ไม่เท่ากับ
>	มากกว่า
<	น้อยกว่า
>=	มากกว่า หรือ เท่ากับ
<=	น้อยกว่า หรือ เท่ากับ

ซึ่งผลการเปรียบเทียบจะออกมาเป็น "1" ถ้าจริง และเป็น "0"ถ้าไม่จริง

3)ตัวดำเนินการตรรกยะ(logical operator)ตัวดำเนินการในภาษาซี ที่เกี่ยวกับ logi จะกระทำจากซ้ายไปขวา โดยมี 2 รูปแบบ คือ && (and), ||(or) ซึ่งจะมีค่าเป็น "1" ถ้าเป็นจริง และจะมีค่าเป็น "0"ถ้าเท็จ

4)bitwise operator ใช้สำหรับเปิดปิด หรือทดสอบ บิท ใดๆในกรณี

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ที่ตัวแปร integer variable

5)ตัวดำเนินการกำหนดค่า(assignment operator) ในภาษาซีจะใช้เครื่องหมายเท่ากับ เป็นตัวกำหนดค่า และทำหน้าที่สำเนา(copy) ค่าทางขวามือของเครื่องหมายเท่ากับ(=) ลงในแอดเดรส(address) หรือตัวแปรที่อยู่ซ้ายมือ ผลการดำเนินการจะปรากฏเป็นค่า ซึ่งสามารถส่งไปใช้ในนิพจน์อื่น ๆได้ ดังนี้

นิพจน์	operator	ค่าของนิพจน์
i = 3	ใส่ค่าข้อมูลเท่ากับ 3 ใน i	3
i = 2+6	ใส่ค่าข้อมูลเท่ากับ 8 ใน i	8
i =(k=4)	ใส่ค่าข้อมูลเท่ากับ 4 ใน k แล้วใส่ค่าผลลัพท์ลงใน i	4

การปฏิบัติการในลักษณะเช่นนี้ เรียกว่า left hand value เพราะค่าทางขวา จะถูกใส่ลงในตัวแปรที่อยู่ทางซ้าย

6)perfix/postfix operator (++,--) ทำหน้าที่เพิ่มค่า(increment,++) และ ลดค่า(decrement,--) ของตัวแปร

7)ตัวดำเนินการเงื่อนไข(conditional operator) จะทำงานตามเงื่อนไข ที่กำหนดค่าให้แก่นิพจน์ มีรูปแบบดังนี้

```
exp1  ? exp2 : exp3
```

หมายความว่า นิพจน์ที่ 1 (exp1) เป็นจริงหรือไม่ ถ้าจริง นิพจน์ที่ 1 จะมีค่าเป็นนิพจน์ที่ 2 ถ้าไม่จริง นิพจน์ที่ 1 จะมีค่าเป็นนิพจน์ที่ 3

6.1.5 ฟังก์ชัน (function)

ภาษาซี เป็นภาษาที่ใช้หลักเกณฑ์ของโมดูล(modular opproach)เป็น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หลักในการพัฒนาโปรแกรม โมดูลที่กล่าวถึงก็คือ ฟังก์ชัน ซึ่ง 2 ชนิดคือ function ที่เราเขียนขึ้นเอง และ function ที่เตรียมไว้ใน complier แล้ว รูปแบบของ function มีดังนี้

```
type name (argument-list)
    argument declaration ;
{
declaration of variable ;
statement (S) ;
}
```

จากรูปแบบของไวยากรณ์ จะเห็นว่าสิ่งที่ต้องการกระทำในการกำหนด function มีดังนี้

1) type หรือ type specifier เป็นตัวบ่งชี้ชนิดของข้อมูลที่จะส่งคืนออกไปจาก function โดยปกติ complier จะถือว่าข้อมูลทุกชนิด ที่ส่งออกไปเป็น integer เสมอถ้าหาก ต้องการให้ส่งคืนในแบบอื่นๆให้ระบุไปตามความประสงค์

2) name หมายถึงชื่อของ functionในการจตั้งชื่อของ function ไม่ควรตั้งชื่อยาวเกิน 8 อักขระ เหมือนกับการตั้งชื่อตัวแปร เพื่อให้ complier เห็นข้อแตกต่าง ระหว่างชื่อตัวแปรและ function มิให้ รับ-ส่งค่าผิดจึงใช้วงเล็บปิด-เปิด กับชื่อ function สิ่งที่อยู่ในวงเล็บก็ คือ argument หรือ ข้อมูลที่จะส่งมาจากภายนอก

3) argument list คือชื่อตวัแปร ที่นำเอาข้อมูล,ข้อสนเทศ จากภายนอก เข้ามาใน function จะมีกี่ตัวก็ได้

4)argument declarartion หมายถึงการกำหนด ลักษณะ ของ argument เพื่อวัตถุประสงค์ ที่จะแจ้งให้ function ทราบว่า กำลังรับ หรือจะรับข้อมูลแบบใด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

6.2 หลักการเขียนโปรแกรมควบคุม Function Generator

จากหัวข้อที่ 6.1 เราจะเห็นลักษณะและโครงสร้างของภาษาซี พื้นฐานของภาษาซี ก็จะเหมือนกับภาษาระดับสูงอื่น ทั่วไป

สำหรับการเขียนโปรแกรมควบคุม Function Generatorจะออกแบบให้ทำงานที่ Address 360H - 367H ในตอนต้นของโปรแกรม จะมีการกำหนดค่าของ Address เหล่านี้ไว้ เพื่อให้สามารถเรียกใช้ในช่วงใด ของโปรแกรม ก็ได้ เพื่อความสะดวก จะใช้คำสั่ง #define ..... เป็นตัวกำหนดค่าต่าง ๆ ดังในโปรแกรม testp.c รูปที่ 6.1 ซึ่งเป็นโปรแกรม สำหรับ ตรวจสอบการทำงานของ function generator

```
/*    TESTP.C       */
 #include <conio.h>
 #include <stdio.h>
 #include <ctype.h>
 #include <dos.h>
 #define PORT_A1 0x360  /* define 8255 PI/O */
 #define PORT_B1 0x361
 #define PORT_C1 0x362
 #define PORT_CTRL1 0x363
 #define PORT_A2 0x364
 #define PORT_B2 0x365
 #define PORT_C2 0x366
 #define PORT_CTRL2 0x367 /* End 8255 PI/O */
 main()
       }
int drange ;
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
int dfrequency ;
int dfunction ;
int damplitude ;
      clrscr() ;
      do   {
      clrscr() ;
       printf("\t\n\nGenerate in range[1-5]:") ;
       scanf("%d",&drange) ;
       printf("Generate frequency in range %d [1-255]:",
            drange) ;
       scanf("%d",&dfrequency) ;
       printf("Generate in function[1.sine,2.ramp,
            3.square]:") ;
       scanf("%d",&dfunction) ;
       printf("Amplitude of frequency output[1-15]:") ;
       scanf("%d",&damplitude) ;

       outport(PORT_CTRL1,0x80) ;
       outport(PORT_CTRL2,0x80) ;
       datout(0,0,0,0) ;
       delay(1000) ;
       datout(dfrequency,drange,damplitude,dfunction) ;
       gotoxy(20,13) ;
       printf("Press any key to continue OR ESC to quit");
       }   while(getch() != 0x1b) ;   /* end do  */
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
    clrscr() ;
    }                          /* end main */

    datout(int freq,int range,int ampli,int func)
  {
    outport(PORT_A1,freq) ;
    outport(PORT_B1,range) ;
    outport(PORT_A2,ampli) ;
    outport(PORT_B2,func) ;
    }
```

รูปที่ 6.1 แสดงโปรแกรม ตรวจสอบ Function Generator

จากโปรแกรมรูปที่ 6.1 เราจะสามารถแบ่งการทำงาน ของโปรแกรมออกเป็น 3 ช่วง คือ

1) เป็นการกำหนดค่า ของ Address ต่างๆ โดยใช้คำสั่ง #define และ การกำหนด การเรียกหา ไฟล์ (files) ที่ต้องการใช้ภายในโปรแกรม โดยใช้คำสั่ง #include เพื่อที่จะสามารถเรียกใช้ได้ตลอดในขณะที่ โปรแกรมทำงานอยู่ใน main () โปรแกรม

2) เป็นการกำหนดตัวแปรที่ จะใช้รับค่าทาง คีย์บอร์ด และ การรับค่ามาเก็บไว้ในตัวแปรที่กำหนดขึ้น เพื่อ จะส่งค่าเหล่านี้ ออกไปที่ Address ที่ ได้กำหนดไว้ในหัวข้อที่ 1

3) เป็นการ กำหนดสถานะการทำงานของ 8255 (initial port) ใน โมด 1(Mode 1) และการนำค่าที่ อยู่ในตัวแปรส่งออก port เพื่อควบคุมการทำงาน ของ Function Generation

ในโปรแกรม รูปที่ 6.2 นั้นเป็นโปรแกรมที่ใช้งานจริง ซึ่งจะมี โครงสร้างและการทำงานเหมือนกับรูปที่ 6.1 แต่จะมีรายละเอียดมากกว่า ดังรูป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
   /* main programing INFGEN.C  */
 #include <conio.h>
 #include <stdio.h>
 #include <ctype.h>
 #include <dos.h>
/*Begin define address on 8255 PPI/O */
 #define PORT_A1 0x360
 #define PORT_B1 0x361
 #define PORT_C1 0x362
 #define PORT_CTRL1 0x363
 #define PORT_A2 0x364
 #define PORT_B2 0x365
 #define PORT_C2 0x366
 #define PORT_CTRL2 0x367
/* End define address on 8255 PPI/O */
 #define ESC 27
    char *message[]={
 "A: How many Amplitudes.?  \n",
 "F: Generate Function.?    \n",
 "G: How many frequencies.? \n",
 "R: Generate Ranges.?      \n",
 "O: Off generator.         \n",
 "Q: Quit to dos.           \n",
 "H: HELP !                 \n",
 };
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
    float frequencyset ;
    int  rangeset ;
    int  functionset ;
    int  amplitudeset ;
    int  rangedat ;
    int  frequencydat ;
    int  functiondat ;
    int  amplitudedat ;
    char buff[22*11*2] ;
main()    {    /* start main program */
    int name,edos,offgen ;
    initprogram() ;
    input() ;
    initport() ;
    while(1)  {
window(27,19,30,20) ;
gotoxy(1,2) ;
name = getche() ;
window(1,1,80,25) ;
clrwindow(42,17,76,23) ;
name = name & 0x00FF ;
switch(toupper(name))    {
case 'A':    /* amplitude parameter */
   setbox(43,18,75,23) ;
   window(44,19,74,22) ;
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
        gotoxy(2,1) ;
    if(functiondat == 4) {
        massampli2() ;
        window(1,1,80,25) ;
        clrtextxy(43,15,0) ;
        gotoxy(43,15) ;
        printf("Default amplitudes it  15 V.fixed.") ;
        amplitudedat = 15 ;
        break ;
        }
     else if(functiondat >= 1 && functiondat <= 2) {
        massampli() ;
        cscanf("%d",&amplitudeset) ;
        if(amplitudeset >=1 && amplitudeset <= 15) {
window(1,1,80,25) ;
clrtextxy(43,15,0) ;
gotoxy(43,15) ;
printf("Default amplitudes it %d V.",amplitudeset) ;
amplitudedat = amplitudeset ;
break ;
}
      else {
masserror() ;
break ;
}
        }
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
    else  {
      cprintf("Please choose function sine,\r\n") ;
      cprintf("triangle or square.\r\n") ;
      cprintf("\r\n") ;
      cprintf("Please key <F>:") ;
      break ;
      }

 case 'F':   /* function parameter */
    setbox(43,18,75,23) ;
    window(44,19,74,22) ;
    gotoxy(2,1) ;
    massfunct() ;
    cscanf("%d",&functionset) ;
    if(functionset == 1)  {
       window(1,1,80,25) ;
       clrtextxy(43,13,0) ;
       gotoxy(43,13) ;
       printf("Default function ..SINE...") ;
       functiondat = functionset ;
       break ;
       }
    else if(functionset == 2) {
       window(1,1,80,25) ;
       clrtextxy(43,13,0) ;
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
        gotoxy(43,13) ;
        printf("Default function ..TRIANGLE...") ;
        functiondat = functionset ;
        break ;
        }
    else if(functionset == 4) {
        window(1,1,80,25) ;
        clrtextxy(43,13,0) ;
        gotoxy(43,13) ;
        printf("Default function ..SQUARE...") ;
        clrtextxy(43,15,0) ;
        gotoxy(43,15) ;
        printf("Default amplitudes are  15 V.fixed.") ;
        functiondat = functionset ;
        amplitudedat = 15 ;
        break ;
        }
    else  masserror() ;
    break ;

case 'G':   /* frequency parameter */
    setbox(43,18,75,23) ;
    window(44,19,74,22) ;
    gotoxy(2,1) ;
    massfreq() ;
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
    break ;
case 'R';     /* range parameter */
    setbox(43,17,75,23) ;
    window(44,18,74,22) ;
    gotoxy(2,1) ;
    massrange() ;
    cscanf("%d",&rangeset) ;
    if(rangeset >= 1 && rangeset <= 5)
    {
     window(1,1,80,25) ;
     clrtextxy(43,9,0) ;
     gotoxy(43,9) ;
     printf("Default in  range %d.",rangeset) ;
     rangedat = rangeset ;
     break ;
    }
    else  {
       masserror() ;
       break ;
       }

case '0';
    while(2) {
    setbox(43,18,75,20) ;
    window(44,19,74,19) ;
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
    gotoxy(1,1) ;
    cprintf("Off Generate  Y OR N:") ;
      offgen = getch() ;
      offgen = offgen & 0x00FF ;
      switch(toupper(offgen)) {
case 'Y':
    rangedat = 0 ;
    frequencydat = 0 ;
    functiondat = 0 ;
    amplitudedat = 0 ;
   datout(frequencydat,rangedat,amplitudedat,functiondat);
    clrscr() ;
    gotoxy(3,1) ;
    cprintf("Off Generate Ok!") ;
    window(1,1,80,25) ;
    gotoxy(4,23) ;
    printf("Please Wait !") ;
    delay(2000) ;
    clrtextxy(4,23,0) ;
    clrwindow(42,17,76,23) ;
    window(1,1,80,25) ;
    massclrp() ;
    goto normdisplay ;
case 'N':
    window(1,1,80,25) ;
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
    clrwindow(42,17,76,23) ;
    goto normdisplay ;
       }
     }

case 'H';       /* set help */
    gettext(42,8,76,15,buff) ;
    clrscr() ;
    helpme() ;
    initprogram () ;
    input() ;
    puttext(42,8,76,15,buff) ;
    break ;

case 'Q';
    while(2) {
    setbox(43,18,75,20) ;
    window(44,19,74,19) ;
    gotoxy(1,1) ;
    cprintf("Exit to Dos Y OR N:") ;
      edos = getch() ;
      edos = edos & 0x00FF ;
      switch(toupper(edos)) {
case 'Y';
    window(1,1,80,25) ;
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
    clrscr() ;
    exit() ;
 case 'N':
    window(1,1,80,25) ;
    clrwindow(42,17,76,23) ;
    goto normdisplay ;
        }
      }       /* end while(2) */
 default: ;
    }        /* end switch   */
  normdisplay:
datout(frequencydat,rangedat,amplitudedat,functiondat) ;
      }              /* end while(1) */
 }                   /* end main     */

 /*-------------------------------------------------*/
 initprogram()   /* initial programing */
    {
    int i ;
    clrscr() ;
    setworld(1,1,79,24) ;
    lineh(2,4,78) ;
    linev(39,5,23) ;
    gotoxy(20,2) ;
    printf("*****FUNCTION GENERATOR MODEL 2206*****") ;
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
    gotoxy(6,3) ;
    printf("Copyright  (c)  1991  BY  TT3U  [KMIT]
          Ladkrabang Laboratory & NONTHABURY");
    gotoxy(6,6);
    printf("*GENERAL SET TO GENERATE*") ;
    gotoxy(47,6) ;
    printf("*DEFAULT SET TO GENERATED*") ;
    for(i = 0;i <= 6;i++) {
    gotoxy(4,9+i) ;
    printf(message[i]) ;
      }
    }
/*-------------------------------------------------*/
setworld(int xul,int yul,int xlr,int ylr) /* set world of progr
  {
    int i;
    char hz = 205 ;
    char vt = 186 ;
    char ul = 201 ;
    char ur = 187 ;
    char lr = 188 ;
    char ll = 200 ;
    gotoxy(xul,yul);
     for (i=xul;i<=xlr;i++)
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
        putch(hz);
        gotoxy(xul,ylr);
        for(i=xul;i<=xlr;i++)
        putch(hz);

      for(i=yul;i<=ylr;i++) {
          gotoxy(xul,i);
          putch(vt);
          gotoxy(xlr,i);
          putch(vt);
          }
    gotoxy(xul,yul);putch(ul);
    gotoxy(xlr,yul);putch(ur);
    gotoxy(xlr,ylr);putch(lr);
    gotoxy(xul,ylr);putch(ll);
     }
/*-------------------------------------------------*/
setbox(int xul,int yul,int xlr,int ylr) /* set box program exec
  {
    int i;
    char hz = 196 ;
    char vt = 179 ;
    char ul = 218 ;
    char ur = 191 ;
    char lr = 217 ;
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
        char ll = 192 ;
        gotoxy(xul,yul);
         for (i=xul;i<=xlr;i++)
          putch(hz);
         gotoxy(xul,ylr);
         for(i=xul;i<=xlr;i++)
         putch(hz);

       for(i=yul;i<=ylr;i++) {
          gotoxy(xul,i);
          putch(vt);
          gotoxy(xlr,i);
          putch(vt);
    }
    gotoxy(xul,yul);putch(ul);
    gotoxy(xlr,yul);putch(ur);
    gotoxy(xlr,ylr);putch(lr);
    gotoxy(xul,ylr);putch(ll);
    }
/*-------------------------------------------------*/
lineh(int xstr,int ystr,int xend) /* line horizontal */
      {
      int i ;
      char lh = 196 ;
      gotoxy(xstr,ystr) ;
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
    for (i = xstr;i <= xend;i++)
putch(lh) ;
    }
/*-------------------------------------------------*/
linev(int xstr,int ystr,int yend) /* line vertical */
    {
    int i ;
    char lv = 186 ;
    for (i = ystr;i <= yend;i++) {
gotoxy(xstr,i) ;
putch(lv) ;
}
    }
/*-------------------------------------------------*/
clrtextxy(int x,int y,int yl) /* clear text at x,y */
      {
      int i ;
      gotoxy(x,y) ;
      for(i = 0;i <= yl;i++) {
      gotoxy(x,y+i) ;
      printf("                                        \n");
       }
     }
/*-------------------------------------------------*/
clrwindow(int x,int y,int r,int b)/* clear text window */
      {
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
        window(x,y,r,b) ;
        clrscr() ;
        window(1,1,80,25) ;
        }
/*-------------------------------------------------*/
beep()      /* sound */
      {
     int  content ;
     int  max = 25000 ;
     int count = 0 ;
     content = inp(97) ;
     outp(97,79) ;
     while(count++ < max) ;
     outp(97,content) ;
     }
/*-------------------------------------------------*/
masserror() {  /* set massage error */
       window(1,1,80,25) ;
       gotoxy(4,23) ;
       beep() ;
       printf("Invalid data !") ;
       delay(2000) ;
       clrtextxy(4,23,0) ;
       }
/*-------------------------------------------------*/
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
massreq() {    /* set massage of frequency */
       if(rangedat == 1) {
cprintf("There are frequcncy in range\r\n") ;
cprintf("%d it 1 Hzto 255 Hz.\r\n",rangedat) ;
cprintf("Enter frequency:") ;
cscanf("%f",&frequencyset) ;
if(frequencyset >= 1 && frequencyset <= 255) {
   window(1,1,80,25) ;
   clrtextxy(43,11,0) ;
   gotoxy(43,11) ;
   printf("Default  frequencies %0.1f Hz",frequencyset) ;
   frequencydat = frequencyset ;
   }
else {
   masserror() ;
   }
}
       else if(rangedat == 2) {
       cprintf("There are frequency in range\r\n") ;
       cprintf("%d it 10Hz to 2550Hz.\r\n",rangedat) ;
       cprintf("Enter frequency:") ;
       cscanf("%f",&frequencyset) ;
if(frequencyset >= 10 && frequencyset <= 2550) {
   window(1,1,80,25) ;
   clrtextxy(43,11,0) ;
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
 gotoxy(43,11) ;
    printf("Default  frequencies %0.1f Hz",frequencyset) ;
    frequencydat = frequencyset/10 ;
    }
else {
    masserror() ;
    }
}
       else if(rangedat == 3) {
       cprintf("There are frequency in range\r\n") ;
       cprintf("%d it 100Hz to 25500Hz.\r\n",rangedat) ;
       cprintf("Enter frequency:") ;
       cscanf("%f",&frequencyset) ;
if(frequencyset >= 100 && frequencyset <= 25500) {
    window(1,1,80,25) ;
    clrtextxy(43,11,0) ;
    gotoxy(43,11) ;
    printf("Default  frequencies %0.1f Hz",frequencyset) ;
    frequencydat = frequencyset/100 ;
    }
else {
    masserror() ;
    }
}
       else if(rangedat == 4) {
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
        cprintf("There are frequency in range\r\n") ;
        cprintf("%d it 1000Hz to 255000Hz\r\n",rangedat) ;
        cprintf("Enter frequency:") ;
        cscanf("%f",&frequencyset) ;
    if(frequencyset >= 1000 && frequencyset <= 255000) {
       window(1,1,80,25) ;
       clrtextxy(43,11,0) ;
       gotoxy(43,11) ;
       printf("Default  frequencies %0.1f Hz",frequencyset) ;
       frequencydat = frequencyset/1000 ;
       }
    else {
       masserror() ;
       }
     }
        else if(rangedat == 5) {
        cprintf("There are frequency in range\r\n") ;
        cprintf("%d it 5000Hz to 1275000Hz\r\n",rangedat) ;
        cprintf("Enter frequency:") ;
        cscanf("%f",&frequencyset) ;
    if(frequencyset >= 5000 && frequencyset <= 1275000) {
       window(1,1,80,25) ;
       clrtextxy(43,11,0) ;
       gotoxy(43,11) ;
       printf("Default  frequencies %0.1f Hz",frequencyset) ;
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
    frequencydat = frequencyset/5000 ;
    }
else {
    masserror() ;
    }
}
        else {
        cprintf("Please choose range generate\r\n") ;
        cprintf("1 to 5 .\r\n\r\n") ;
        cprintf("Please key <R>:") ;
}
        return(frequencydat) ;
        }
/*-------------------------------------------------*/
massrange() {  /* set massage of range  */
  cprintf("There are ranges of generate \r\n") ;
        cprintf("5 range,1.rangeX1,2.rangeX10,\r\n") ;
        cprintf("3.range X100, 4.range X1K,\r\n") ;
        cprintf("5.range X5K .\r\n") ;
        cprintf("Enter range[1-5]:") ;
        }
/*-------------------------------------------------*/
massfunct() {  /* set massage function */
        cprintf("The functions of generate are\r\n") ;
        cprintf("three,  1.,Sine, 2..Triangle,\r\n") ;
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
        cprintf("3..Square[4]\r\n") ;
        cprintf("Enter number 1,2 OR 4:") ;
        }
/*-------------------------------------------------*/
massampli() { /* set massage amplitude */
        cprintf("The amplitudes of  frequency\r\n") ;
        cprintf("are 15 level.But square wave\r\n") ;
        cprintf("is fixed.\r\n") ;
        cprintf("Enter amplitudes[1-15]:") ;
        }

massampli2() { /* set massage amplitude */
        cprintf("The amplitudes of  frequency\r\n") ;
        cprintf("are 15 level.But square wave\r\n") ;
        cprintf("is fixed.\r\n") ;
        }
/*-------------------------------------------------*/
massclrp()    /* clear prot massage */
        {
        clrwindow(42,8,76,16) ;
        gotoxy(43,9) ;
        printf("Default range it open .") ;
        gotoxy(43,11) ;
        printf("Default it very high frequency .") ;
        gotoxy(43,13) ;
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
    --printf("Default it non function .") ;
    --gotoxy(43,15) ;
      printf("Default aploximate amplitude 0 V .") ;
     }
/*-------------------------------------------------*/
input()        /* scan input to set */
    {
    gotoxy(3,20) ;
    printf("Please enter charecter :");
    window(27,19,30,20) ;
    gotoxy(1,2) ;
    }
/*-------------------------------------------------*/

   datout(int freq,int range,int ampli,int func)
   {
   outport(PORT_A1,freq) ;
   outport(PORT_B1,range) ;
   outport(PORT_A2,ampli) ;
   outport(PORT_B2,func) ;
   }
/*-------------------------------------------------*/
initport()       /* initial port 8255 */
{
outport(PORT_CTRL1,0x80) ;
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

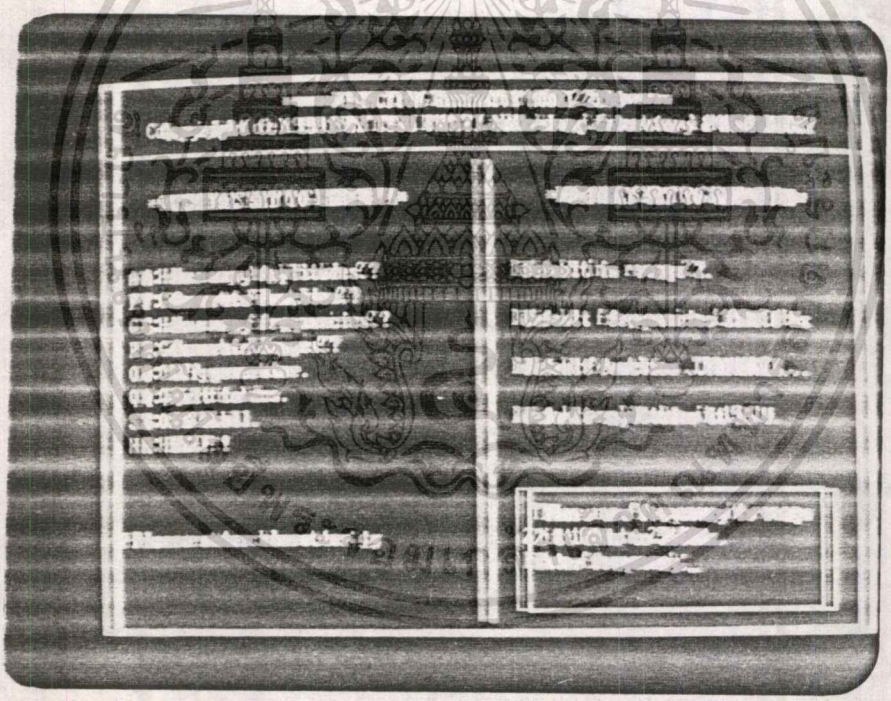
```
outport(PORT_CTRL2,0x80) ;
}

/*-------------------------------------------------*/
helpme()        /* help massage */
{
  printf("\t\t\tHELP FOR FUNCTION GENERATOR !\n\n\n") ;
  printf("\t  The function generator it have three
         function,first\n") ;
  printf("\tis sine wave,second is triangle wave,third
         is square \n") ;
  printf("\twave and five ranges.It generate frequency
         1Hz - 1MHz\n") ;
  printf("\tand amplitude can select 15 level (1V-15V)
         but square\n") ;
    printf("\twave at 15V fixed.\n\n") ;
    printf("\t_STEP FOR GENERATING_\n\n") ;
    printf("\t1.Choose function of generator are sine,
           triangle or \n") ;
    printf("\t  square wave.\n") ;
    printf("\t2.Choose range for operate in 1, 2, 3, 4,
           or 5.\n") ;
    printf("\t3.Choose frequencies it response of range
           in section 2.\n");
    printf("\t4.Choose amplitudes one level for
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
            signal.\n\n\n") ;
    printf("\t\tPlease any keys !") ;
    getch() ;
    clrscr() ;
}
/*-------------------------------------------------*/
```

รูปที่ 6.2 แสดงโปรแกรมใช้งานจริง(INFGEN.C)



รูปที่ 6.3 แสดงผล เมื่อ Run โปรแกรม INFGEN.C

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 7

การทดลองและผลการทดลอง

7.1 การทดลองและผลการทดลองภายนอกเครื่องไมโครคอมพิวเตอร์

การทดลองและผลการทดลองเราสามารถ แยกได้ เป็น 3 ส่วนคือ การอินเตอร์เฟส,ฟังก์ชันเยนเนอร์เรเตอร์และส่วนควบคุมสัญญาณ,ADC และ การควบคุมมีรายละเอียด ดังนี้

7.1.1 การทดลองและผล ส่วนการอินเตอร์เฟส

เราสามารถทดลองได้โดย ป้อนระดับสัญญาณ digital ให้กับจุดที่จะติดต่อกับ expension slot โดยให้ลักษณะสัญญาณ เหมือนกับสัญญาณที่ ส่งมาจากเครื่องไมโครคอมพิวเตอร์

- ผลการทดลอง เราสามารถส่งข้อมูลไปควบคุม parallel port-input/output(8255) ได้ตามที่ต้องการ

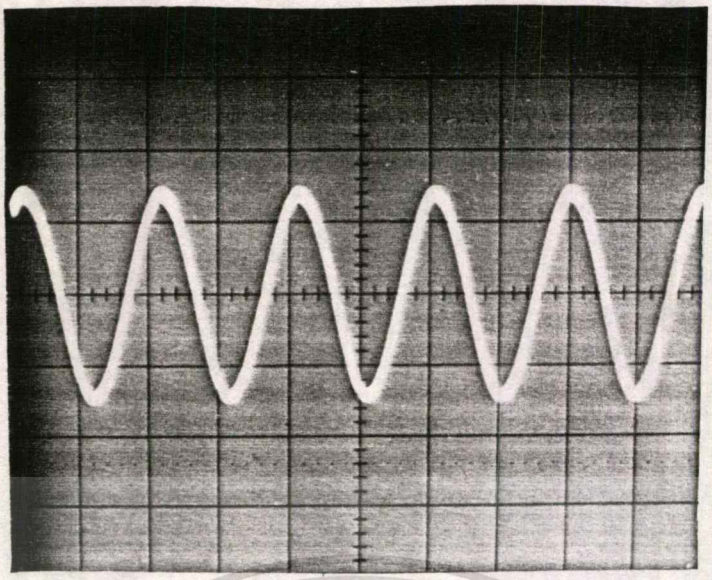
7.1.2 การทดลองและผล ส่วนฟังก์ชันเยนเนอร์เรเตอร์และการควบคุม

การทดลองส่วนนี้ เราสามารถแบ่งออกได้เป็น 4 ส่วน คือ Oscillator (XR2206),Buffer,Power amplifier,การควบคุม

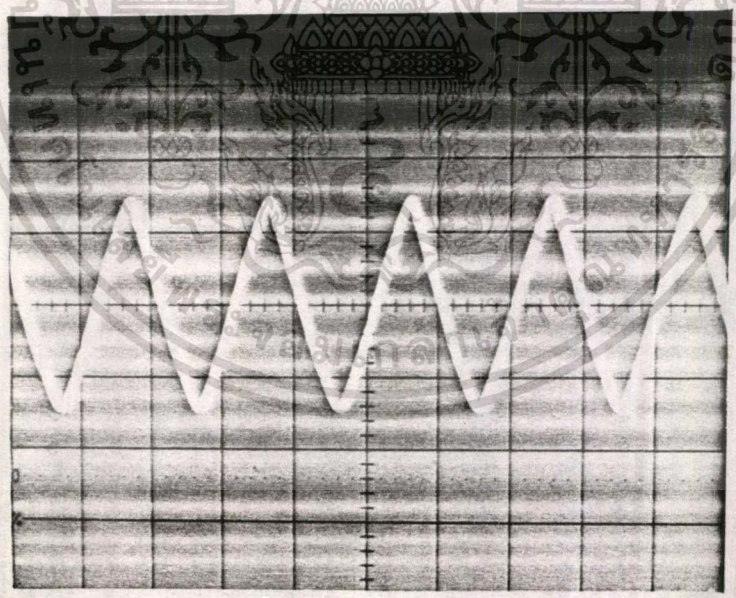
เราสามารถทดลองได้โดยการป้อนระดับสัญญาณดิจิตอลให้กับส่วนการควบคุมเพื่อไปควบคุมส่วนฟังก์ชันเยนเนอร์เรเตอร์

-ผลการทดลอง เราสามารถควบคุมส่วนของฟังก์ชันเยนเนอร์เรเตอร์ได้ทั้ง Function,Range,Frequencyและ Amplitude ดังแสดงในตัวอย่าง ตั้งแต่รูปที่ 7.1 ถึง รูปที่ 7.3

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

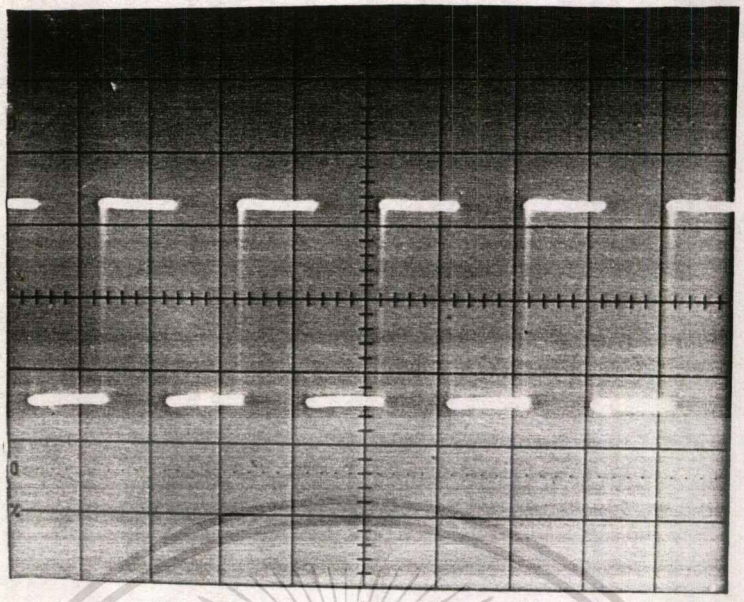


รูปที่ 7.1 แสดงสัญญาณ Sine ความถี่ 110 Hz,Amplitude 15V ใน Range ที่ 1



รูปที่ 7.2 แสดงสัญญาณ Triangle ความถี่ 1100 Hz,Amplitude 15V ใน Range ที่ 2

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 7.3 แสดงสัญญาณ Square ความถี่ 11000 Hz, Amplitude 15V ใน Range ที่ 3

7.1.3 การทดลองและผล ในส่วนของADC

สามารถทดลองได้โดยการป้อนระดับสัญญาณดิจิตอลให้กับส่วนที่ติดต่อ Expension slot โดยที่สัญญาณเหมือนกับเครื่องไมโครคอมพิวเตอร์

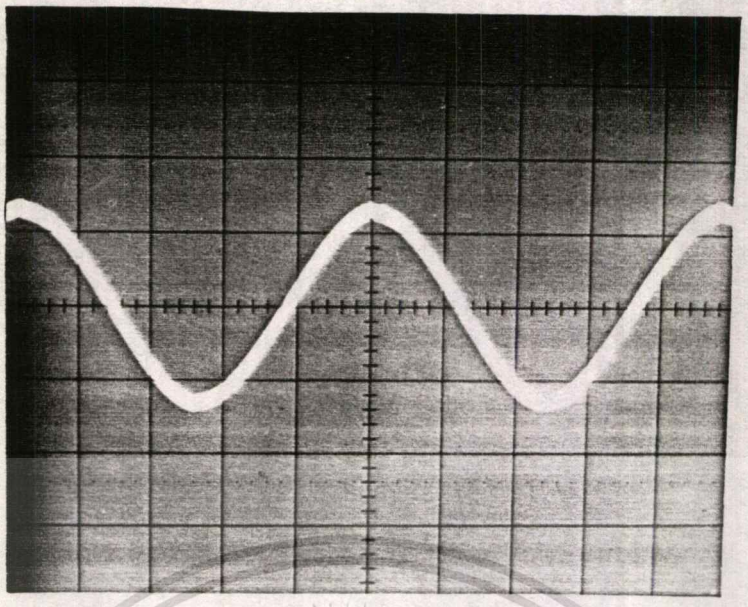
-ผลการทดลอง ในการทำงานของส่วนนี้ สามารถทำงานได้ถูกต้อง คือพร้อมที่จะให้โปรแกรมควบคุมการทำงานของส่วนนี้ได้

7.2 การทดลอง และ ผลการทดลอง ภายในไมโครคอมพิวเตอร์

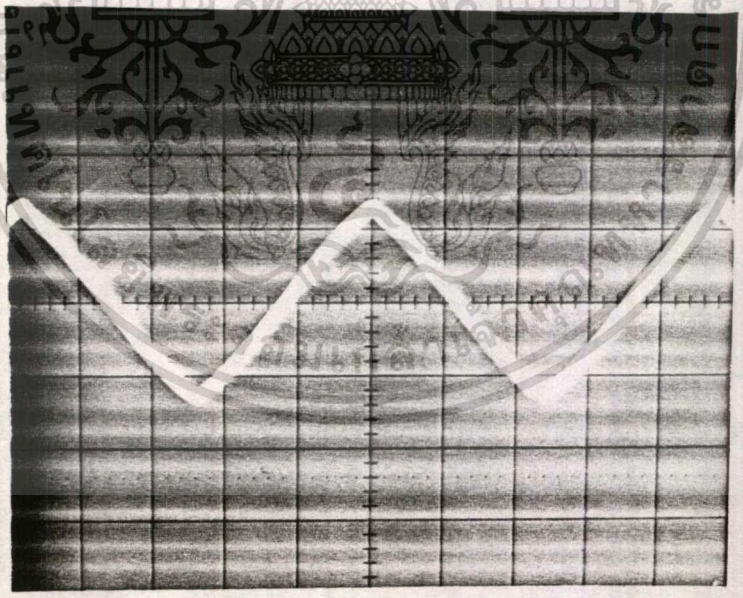
7.2.1 การทดลอง และ ผล ส่วนของการอินเตอร์เฟส เมื่อ run โปรแกรม TESTP.C แล้วตรวจสอบเอาท์พุทของ PP I/O(8255)ได้ตามต้องการ

7.2.2 การทดลอง และ ผล ส่วนฟังก์ชันเยนเนอร์เรเตอร์และการควบคุม เมื่อ run โปรแกรม TESTP.C เราสามารถเลือก Function, Range, Frequency และ Amplitude ได้แต่ความถี่ใน Range ที่ 4 และ 5 ไม่สามารถควบคุมได้ ดังแสดงตัวอย่างในรูปที่ 7.4 ถึง รูปที่ 7.6

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

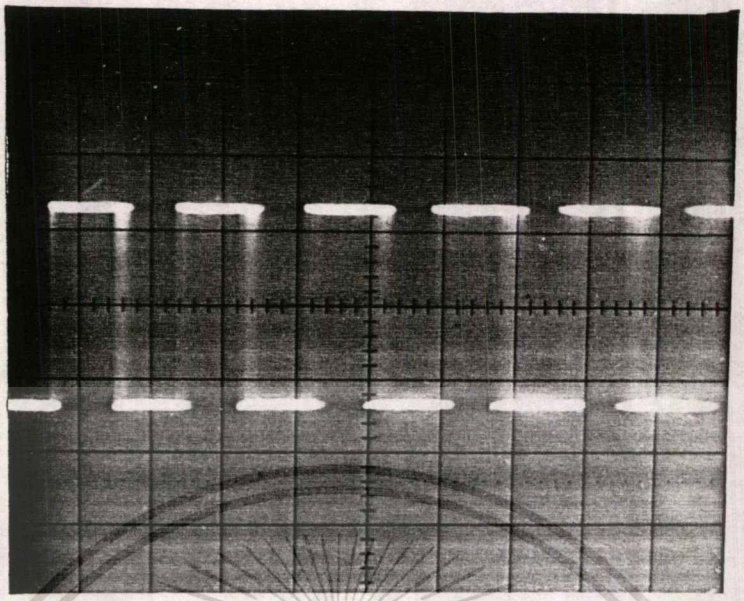


รูปที่ 7.4 แสดงสัญญาณ Sine ความถี่ 110 Hz,Amplitude 15V ใน Range ที่ 1



รูปที่ 7.5 แสดงสัญญาณ Triangle ความถี่ 1100 Hz,Amplitude 15V ใน Range ที่ 2

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 7.6 แสดงสัญญาณ Square ความถี่ 11000 Hz, Amplitude 15V ใน Range ที่ 3

7.2.3 การทดลอง และ ผล ในส่วนของ ADC ในส่วนนี้เมื่อ run โปรแกรมทดสอบ ปรากฏว่ายังมีปัญหาเรื่อง Interrup บนเครื่องไมโครคอมพิวเตอร์ จึงทำให้ไม่สามารถรับข้อมูลเข้ามาได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 8

สรุป และ วิจารณ์ ผลการทดลอง

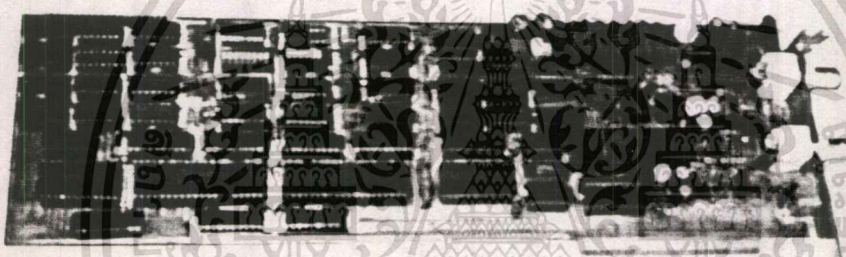
Interface Generator card สามารถผลิตสัญญาณได้ 3 ลักษณะ ได้แก่ Sine wave,Triangle wave และ Square wave ซึ่งสามารถนำออกมาใช้งานได้ แต่สัญญาณที่ได้ผลิตออกมาอาจจะมีค่าผิดพลาดบ้าง เมื่อเปรียบเทียบกับค่าที่สั่งมาจาก คีย์บอร์ด(key board) เนื่องจากค่าของอุปกรณ์ เช่นค่าความต้านทาน (Resistor)และตัวเก็บประจุ(Capacitor) มีค่าผิดพลาด และเนื่องจากขาดอุปกรณ์ในการตรวจสอบ ที่เที่ยงตรงและแน่นอน จึงทำให้ ผลการทดลองไม่มีประสิทธิภาพเท่าที่ควร

สัญญาณที่ผลิตออกมาที่ความถี่สูง จะมีสัญญาณรบกวน (Noise) สาเหตุเนื่องมาจาก การทำงานบนเครื่องไมโครคอมพิวเตอร์ ทำงานด้วยความเร็วอย่างน้อย 4.7 MHz จึงทำให้เกิดการรบกวน Oscillator ของฟังก์ชันเยนเนอร์เรเตอร์ ที่ความถี่สูง วิธีแก้ไข สามารถทำได้โดย การแยกกราวด์ของสัญญาณออกจากกัน ระหว่างไมโครคอมพิวเตอร์กับอินเตอร์เฟสเยนเนอร์เรเตอร์หรืออีกวิธีหนึ่งในการออกแบบแผ่นปริ้นท์(PCB) แบบกราวด์เพรน(Ground paint) จะทำให้ลดสัญญาณรบกวนลงได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

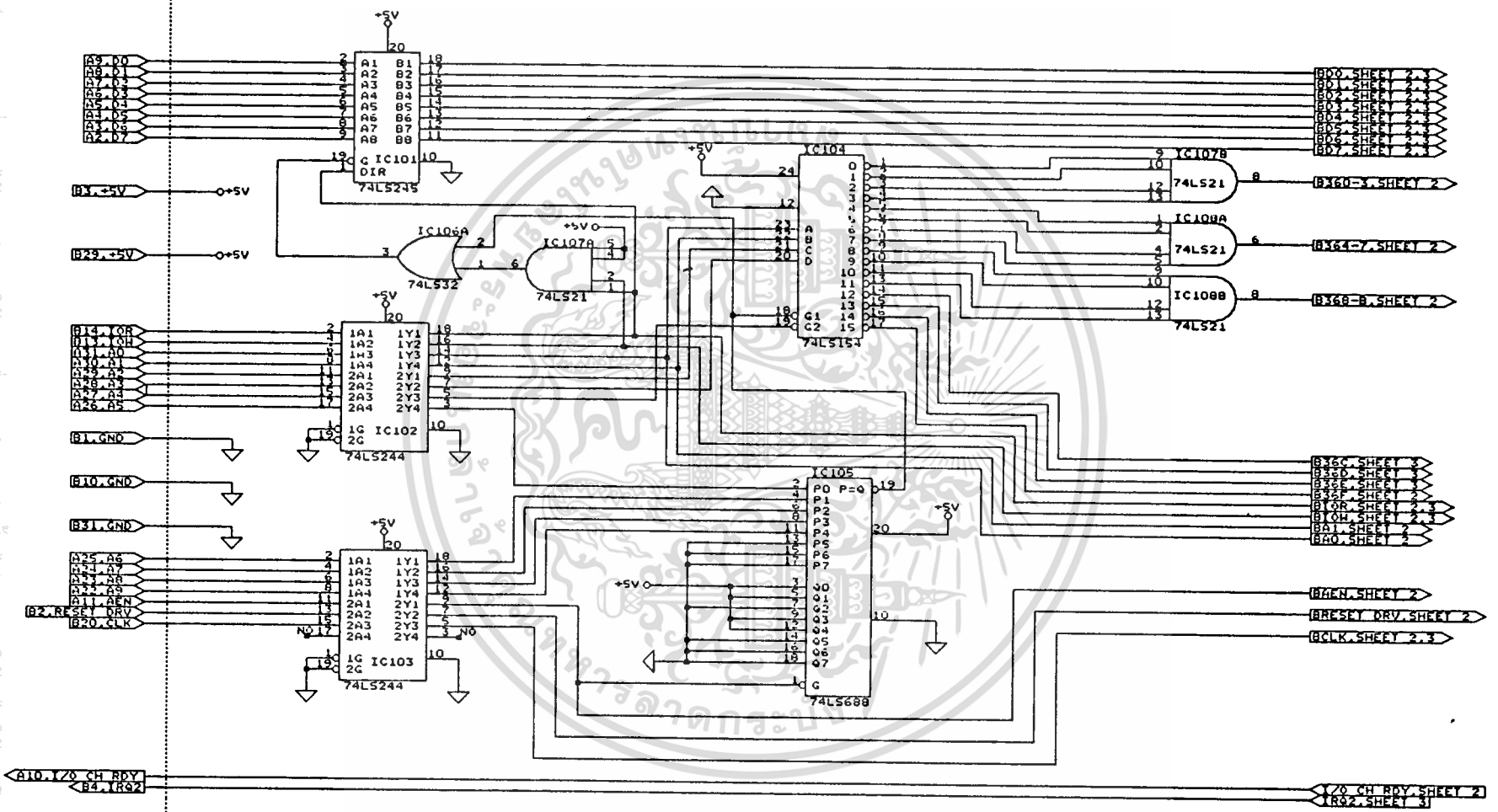
ภาคผนวก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



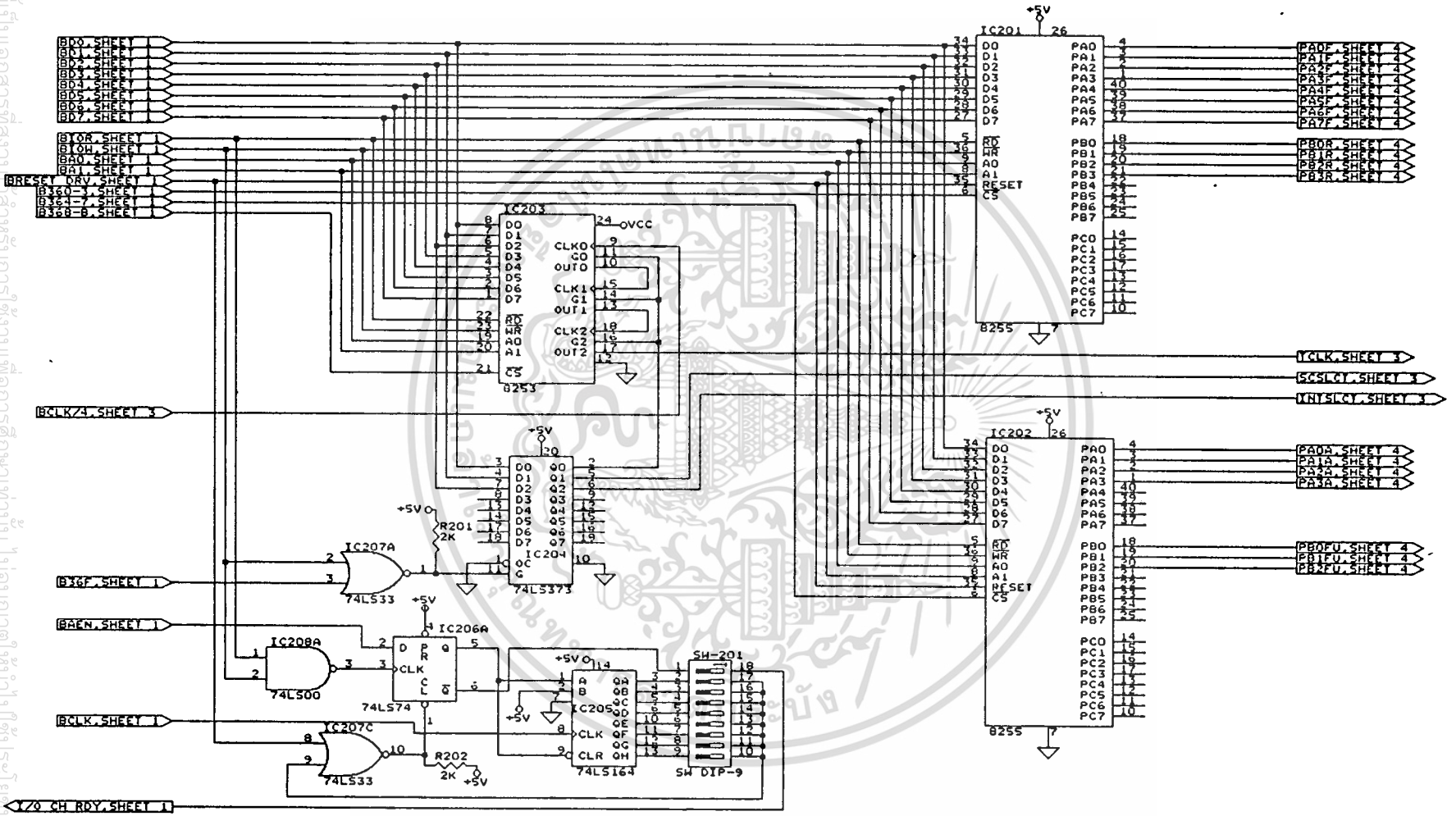
สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

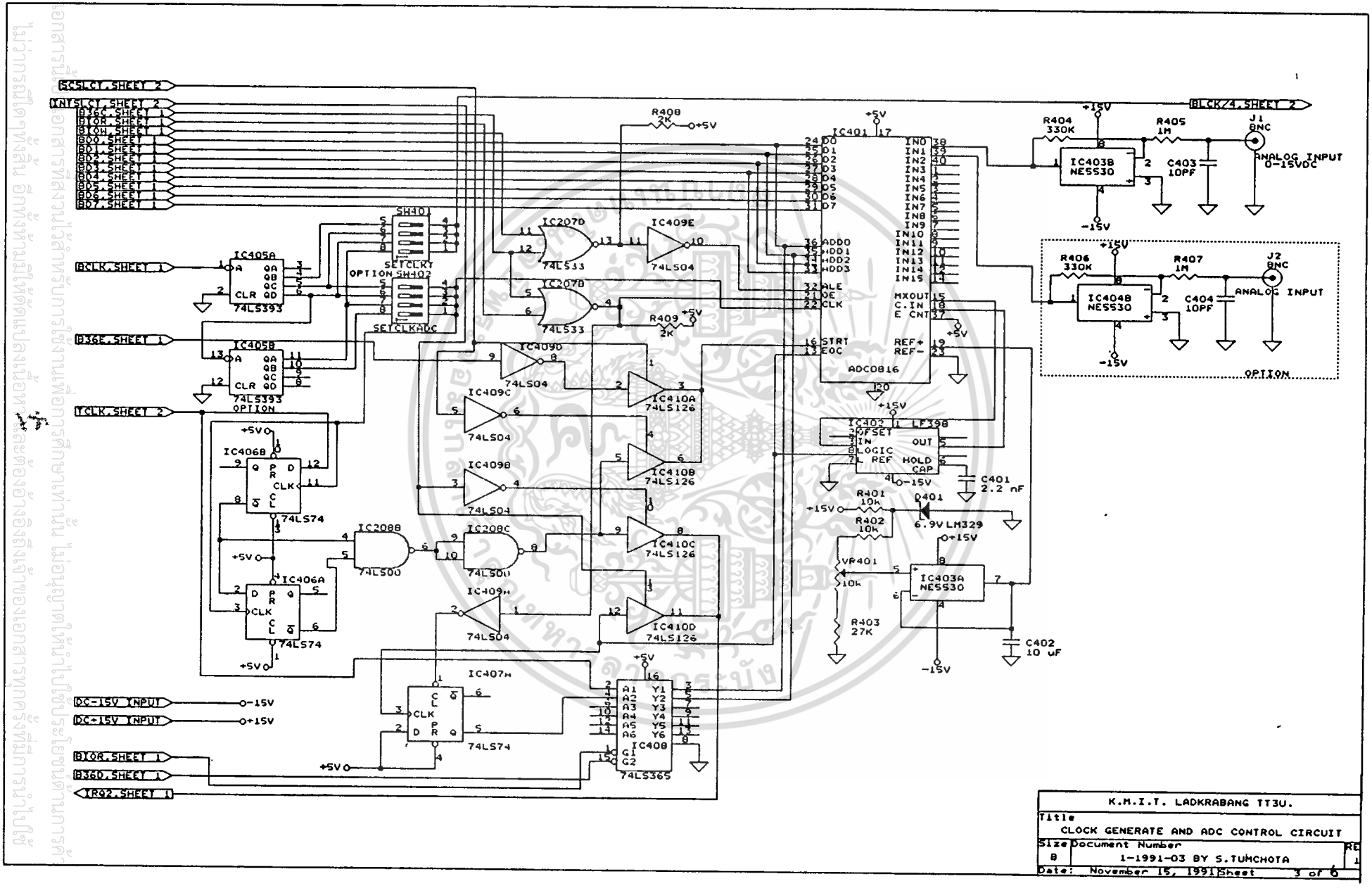


K.M.I.T LADKRABANG TT3U.		
Title: INFACE BUS AND DECODER ADDRESS CIRCUIT		
Size: B	Document Number: 1-1991-01 BY S.TUMCHOTA	RE: 1
Date: November 15, 1991	Sheet 1 of 6	

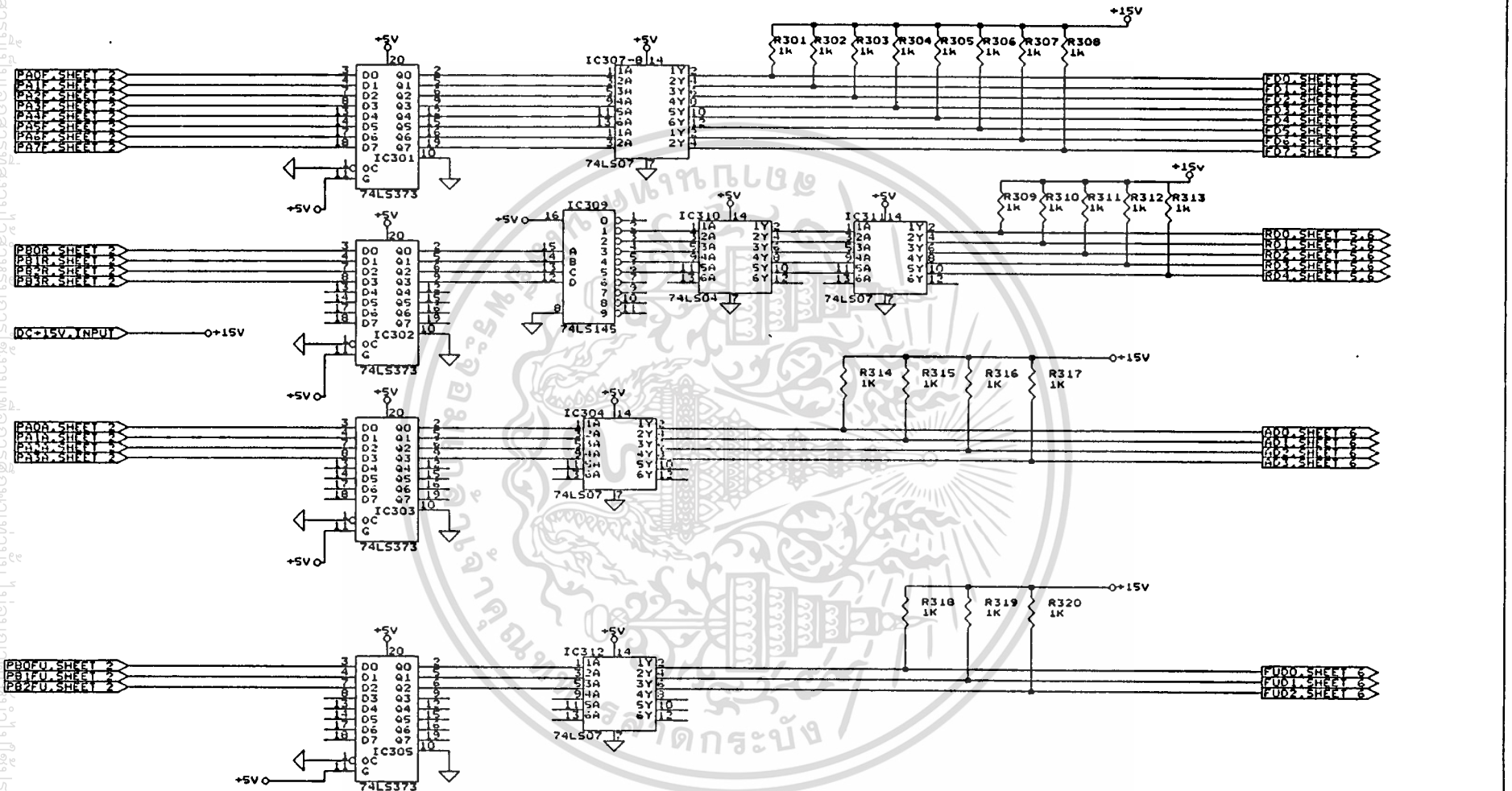
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งไม่อนุญาตให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



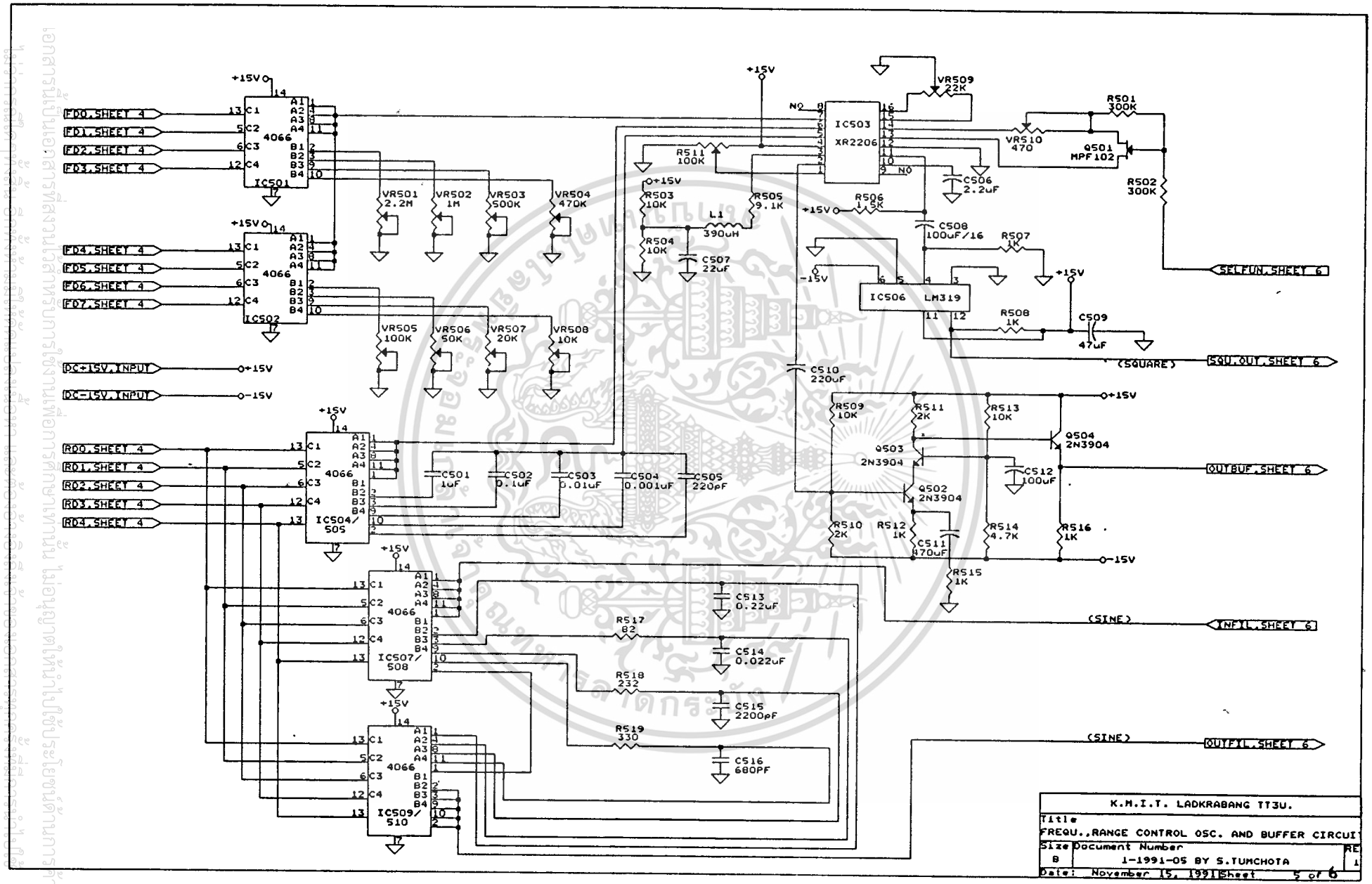
K.M.I.T. LADKRABANG TT3U.		
Title: TIMER, WAIT STATE AND 8255 PI/O PORT CIRCUIT		
Size: B	Document Number: 1-1991-02 BY S.TUMCHOTA	REV: 1
Date: November 15, 1991	Sheet 2 of 6	

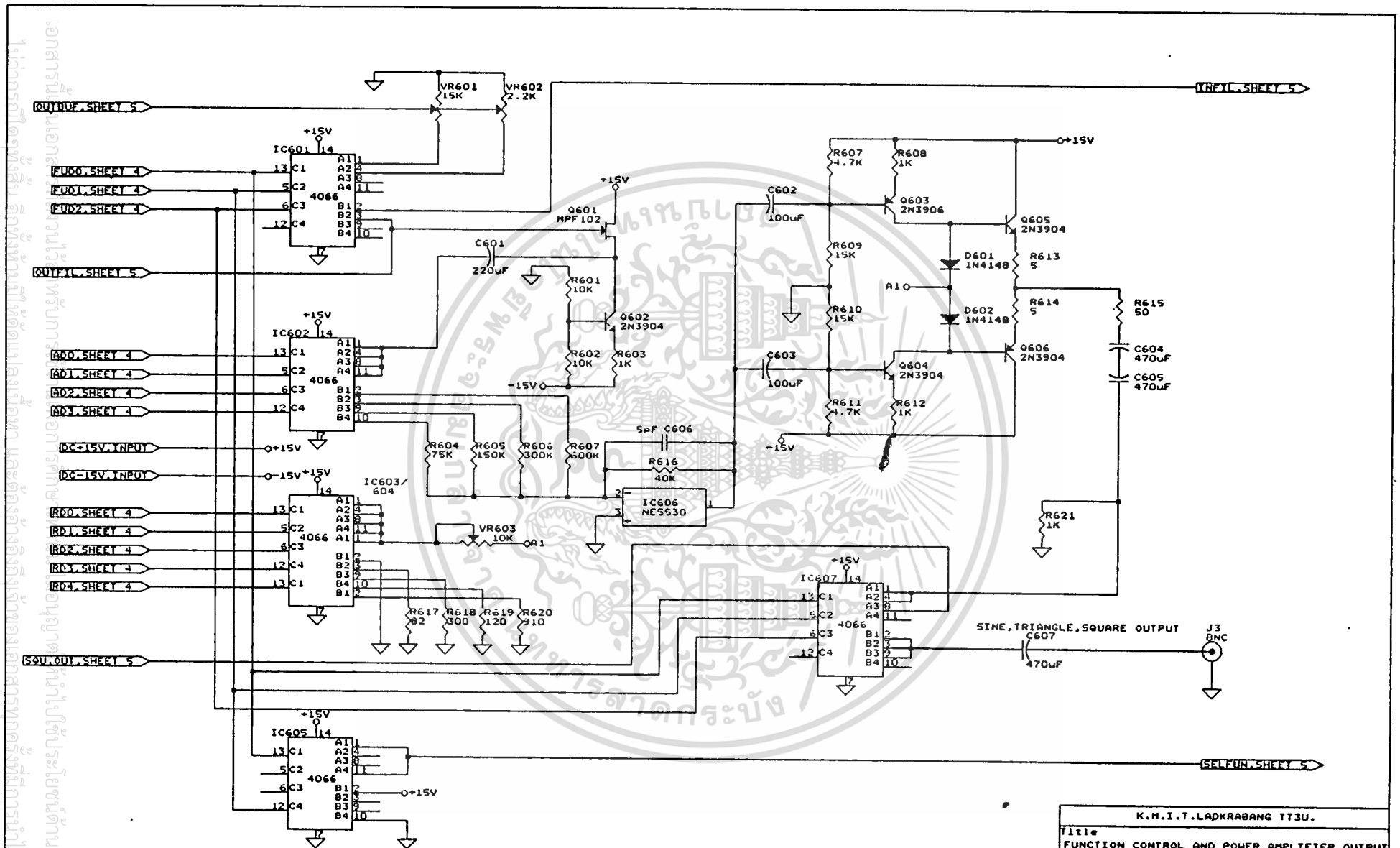


K.M.I.T. LADKRABANG IT3U.	
Title: CLOCK GENERATE AND ADC CONTROL CIRCUIT	
Size: B	Document Number: 1-1991-03 BY S.TUMCHOTA
Date: November 15, 1991	Sheet 3 of 6



K.M.I.T. LADKRABANG TT3U.		
Title: AUTOMETIC LATCH AND BUFFER DRIVER CIRCUIT		
Size: B	Document Number: 1-1991-04 BY S.TUMCHOTA	REV: 1
Date: November 15, 1991	Sheet 4 of 6	


FD0.SHEET 4
FD1.SHEET 4
FD2.SHEET 4
FD3.SHEET 4
FD4.SHEET 4
FD5.SHEET 4
FD6.SHEET 4
FD7.SHEET 4
IC501
IC502
4066
VR501 2.2M
VR502 1M
VR503 500K
VR504 470K
VR505 100K
VR506 50K
VR507 20K
VR508 10K
DC+15V.INPUT
DC-15V.INPUT
RD0.SHEET 4
RD1.SHEET 4
RD2.SHEET 4
RD3.SHEET 4
RD4.SHEET 4
IC504/ 505
IC507/ 508
IC509/ 510
C501 1uF
C502 0.1uF
C503 0.01uF
C504 0.001uF
C505 220pF
C513 0.22uF
C514 0.022uF
C515 2200pF
C516 680PF
R517 82
R518 232
R519 330
IC503 XR2206
VR509 22K
VR510 470
R501 300K
Q501 MPF102
R502 300K
R503 10K
R504 10K
R505 9.1K
R506 1.5K
R507 1K
R508 1K
R509 10K
R511 100K
L1 390uH
C506 2.2uF
C507 22uF
C508 100uF/16
C509 47uF
C510 220uF
C511 470uF
C512 100uF
IC506 LM319
Q503 2N3904
Q504 2N3904
Q502 2N3904
R510 2K
R511 2K
R512 1K
R513 10K
R514 4.7K
R515 1K
R516 1K
SELFUN.SHEET 6
SQU.OUT.SHEET 6
(SQUARE)
OUTBUF.SHEET 6
INFIL.SHEET 6
(SINE)
OUTFIL.SHEET 6
(SINE)
K.M.I.T. LADKRABANG TT3U.
Title
FREQU.,RANGE CONTROL OSC. AND BUFFER CIRCUI
Size B
Document Number 1-1991-05 BY S.TUMCHOTA
Date: November 15, 1991 Sheet 5 of 6



K.M.I.T.LADKRABANG TT3U.	
Title: FUNCTION CONTROL AND POWER AMPLIFIER OUTPUT	
Size: B	Document Number: 1-1991-06 BY.S.TUMCHOTA
Date: November 15, 1991	Sheet 6 of 6
REV: 1	

COS/MOS Quad Bilateral Switch

For Transmission or Multiplexing of Analog or Digital Signals

RCA CD4066A is a quad bilateral switch intended for the transmission or multiplexing of analog or digital signals. It is pin-for-pin compatible with RCA-CD4016, but exhibits a much lower ON resistance. In addition, the ON resistance is relatively constant over the full input-signal range.

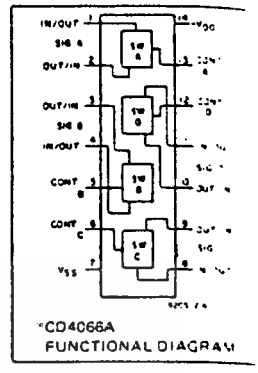
The CD4066A consists of four independent bilateral switches. A single control signal is required per switch. Both the p and the n device in a given switch are biased ON or OFF simultaneously by the control signal. As shown in Fig. 1, the well of the n-channel device on each switch is either tied to the input when the switch is ON or to V_{SS} when the switch is OFF. This configuration eliminates the variation of the switch-transistor threshold voltage with input signal, and thus keeps the ON resistance low over the full operating signal range.

The advantages over single-channel switches include peak input-signal voltage swings equal to the full supply voltage, and more constant ON impedance over the input-signal range. For sample-and-hold applications, however, the CD4016 is recommended.

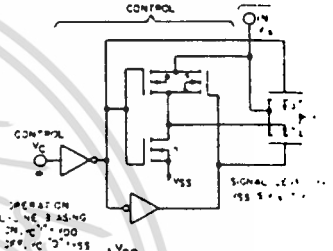
These types are supplied in 14-lead hermetic dual-in-line ceramic packages (D and F suffixes), 14-lead dual-in-line plastic package (E suffix), and in chip form (H suffix).

Features:

- 15-V digital or ± 7.5-V peak-to-peak switching
- 80Ω typical ON resistance for 15-V operation
- Switch ON resistance matched to within 5 Ω over 15-V signal-input range
- ON resistance flat over full peak-to-peak signal range
- High ON/OFF output-voltage ratio: 65 dB typ. @ f_{is} = 10 kHz, R_L = 10 kΩ
- High degree of linearity: < 0.5% distortion typ. @ f_{is} = 1 kHz, V_{is} = 5 V_{p-p}, $V_{DD}-V_{SS} \geq$ 10 V, R_L = 10 kΩ
- Extremely low OFF switch leakage resulting in very low offset current and high effective OFF resistance: 10 pA typ. @ $V_{DD}-V_{SS}$ = 10 V, T_A = 25°C
- Extremely high control input impedance (control circuit isolated from signal circuit): 10^{12} Ω typ.
- Low crosstalk between switches: -50 dB typ. @ f_{is} = 0.9 MHz, R_L = 1 kΩ
- Matched control-input to signal-output capacitance: Reduces output signal transients
- Frequency response, switch ON = 40 MHz (typ.)
- Quiescent current specified to 15-V
- Maximum control input leakage current of 1 μA at 15-V (Full package-temperature range)



*CD4066A FUNCTIONAL DIAGRAM



* ALL CONTROL INPUTS ARE PROTECTED BY COS/MOS PROTECTION NETWORK

92CS 21624R1

Fig. 1 – Schematic diagram of 1 of 4 identical switches and its associated control circuitry.

MAXIMUM RATINGS, *Absolute-Maximum Values:*

STORAGE TEMPERATURE RANGE (T_{stg}) . . . -65 to +150°C

OPERATING TEMPERATURE RANGE (T_A)

PACKAGE TYPES D, F, K, H . . . -55 to +125°C

PACKAGE TYPE E . . . -40 to +85°C

DC SUPPLY-VOLTAGE RANGE, (V_{DD})

(Voltages referenced to V_{SS} Terminal) . . . -0.5 to +15 V

INPUT CURRENT (TRANSMISSION GATE PINS) . . . ±10 mA

POWER DISSIPATION PER PACKAGE

FOR T_A = -40 to +60°C (PACKAGE TYPE E) . . . 500 mW

FOR T_A = +60 to +85°C (PACKAGE TYPE E) Derate Linearly at 12 mW/°C . . . 200 mW

FOR T_A = -55 to +100°C (PACKAGE TYPES D, F, K) . . . 500 mW

FOR T_A = +100 to +125°C (PACKAGE TYPES D, F, K) Derate Linearly at 12 mW/°C . . . 200 mW

DEVICE DISSIPATION PER SECTION

FOR T_A FULL PACKAGE TEMPERATURE RANGE (ALL PACKAGE TYPES) . . . 100 mW

ALL SIGNAL AND DIGITAL CONTROL INPUTS . . . V_{SS} - 0.5 V to V_{DD} + 0.5 V

LEAD TEMPERATURE (DURING SOLDERING)

At distance 1/16 ± 1/32 inch (1.59 ± 0.79 mm) from case for 10 s max. . . . +265°C

SPECIAL CONSIDERATIONS – CD4066A

1. In applications where separate power sources are used to drive V_{DD} and the signal inputs, the V_{DD} current capability should exceed V_{DD}/R_L (R_L = effective external load of the 4 CD4066A bilateral switches). This provision avoids any permanent current flow or clamp action on the V_{DD} supply when power is applied or removed from CD4066A.
2. In certain applications, the external load-resistor current may include both V_{DD} and signal-line components. To avoid drawing V_{DD} current when switch current flows into terminals 1, 4, 8, or 11, the voltage drop across the bidirectional switch must not exceed 0.8 volt (calculated from R_{ON} values shown).

   No V_{DD} current will flow through R_L if the switch current flows into terminals 2, 3, 9, or 10.
3. Minimum bilateral switch output load resistance is 100 Ω.

OPERATING CONDITIONS AT T_A = 25°C

For maximum reliability, nominal operating conditions should be selected so that operation is always within the following ranges.

CHARACTERISTIC	V_{DD}	MIN.	MAX.	UNITS
Supply Voltage Range (T_A = Full Package Temperature Range)	–	3	12	V

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Applications:

- Analog signal switching/multiplexing
  - Signal gating
  - Squelch control
  - Chopper
  - Modulator
  - Demodulator
  - Commutating switch
- Digital signal switching/Multiplexing
- Transmission-gate logic implementation
- Analog-to-digital & digital-to-analog conversion
- Digital control of frequency, impedance, phase, and analog-signal gain

ELECTRICAL CHARACTERISTICS

CHARACTERISTIC	TEST CONDITIONS All Voltage Values Are in Volts				LIMITS Values at -55°C, +25°C, +125°C Apply to D, F, H Packages Values at -40°C, +25°C, +85°C Apply to E Package						UNITS
				V_{DD} (V)	-55°	-40°	+85°	+125°	+25° TYP	+25° MAX.	
Quiescent Device Current, I_L max. D, F, H Pkg				5	0.25	-	-	7.5	0.01	0.25	μA
				10	0.5	-	-	15	0.01	0.5	
				15	2	-	-	60	0.02	2	
E Pkg				5	-	2.5	15	-	0.25	2.5	μA
				10	-	5	30	-	0.25	5	
				15	-	50	300	-	0.5	50	
SIGNAL INPUTS (V_{is}) AND OUTPUTS (V_{os})											
ON Resistance, R_{ON} Max.	V_C = V_{DD}	V_{SS}	V_{is}	R_L = 10kΩ to							Ω
	+7.5	-7.5	7.5 to -7.5		220	250	300	320	90	290	
	+15	0	0 to +15								
	+5	-5	5 to -5		300	350	520	550	120	500	
	+10	0	0 to +10								
	+2.5	-2.5	2.5 to -2.5		2000	2500	5200	6500	270	5000	
	5	0	0 to 5								
Δ ON Resistance Between Any 2 of 4 Switches, ΔR_{ON}	R_L = 10kΩ to										Ω
	+7.5	-7.5	+7.5 to -7.5						5	-	
	+15	0	+15 to 0								
	+5	-5	+5 to -5						10	-	
	+10	0	+10 to 0								
Sine Wave Response (Distortion)	+5	-5	5 p-p, 0°						0.3		%
	R_L = 10kΩ, f_{is} = 1kHz										
Frequency Response Switch ON (Sine Wave Input)	+5	-5	5 p-p								MHz
	R_L = 1kΩ, 20 log$_{10}\frac{V_{os}}{V_{is}}$ = -3dB								40		
Feedthrough Switch OFF	+5	-5	5 p-p								MHz
	R_L = 1kΩ, 20 log$_{10}\frac{V_{os}}{V_{is}}$ = -50dB								1.25		
Input or Output Leakage - Switch OFF Effective OFF Resistance	V_{DD}	V_C = V_{SS}									nA
	+7.5	-7.5	-7.5		-	-	-	-	-0.1	-100*	
	+5	-5	-5		-	-	-	-	-0.1	-100*	
Crosstalk Between Any 2 of the 4 Switches (f at -50 dB)	$V_{C(A)}$ = V_{DD}		+5	(A) 5V p-p							MHz
	$V_{C(B)}$ = V_{SS}		-5								
	R_L = 1kΩ, 20 log$_{10}\frac{V_{os(B)}}{V_{is(A)}}$ = -50dB				-	-	-	-	0.9	-	

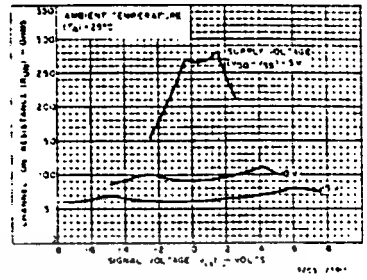


Fig. 2 (a) – Typical channel ON resistance vs. signal voltage for three values of supply voltage (V_{DD}-V_{SS}).

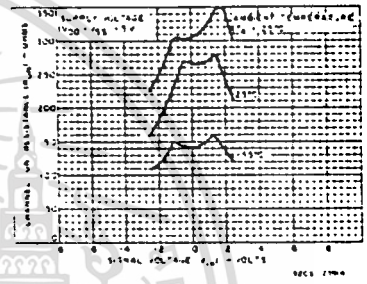


Fig. 2 (b) – Typical channel ON resistance vs. signal voltage with supply voltage (V_{DD}-V_{SS}) = 5 V.

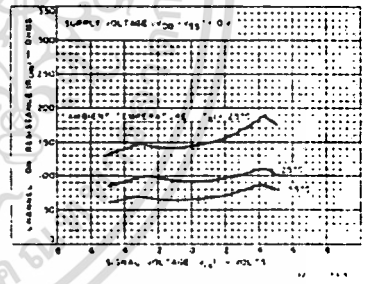


Fig. 2 (c) – Typical channel ON resistance vs signal voltage with supply voltage (V_{DD}-V_{SS}) = 10 V.

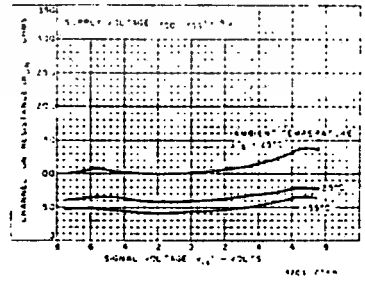


Fig. 2 (d) – Typical channel ON resistance vs signal voltage with supply voltage (V_{DD}-V_{SS}) = 15 V.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ELECTRICAL CHARACTERISTICS (Cont'd)

CHARACTERISTIC	TEST CONDITIONS *All Voltage Values Are in Volts*	V_{DD} (V)	LIMITS Values at -55°C, +25°C, +125°C Apply to D, F, H Packages; Values at -40°C, +25°C, +85°C Apply to E Package						UNITS
			-55°	-40°	+85°	+125°	+25° TYP	+25° MAX.	
Propagation Delay (Signal Input to Signal Output) t_{pd}	V_{DD} - V_{SS} = GND, C_L = 15pF, V_{is} = sq. wave, t_r, t_f = 20 ns (Input Signal)	5	-	-	-	-	20	50	ns
		10	-	-	-	-	10	25	
Capacitance: Input C_{is}	V_{DD} = +5, V_{CC} = V_{SS} = -5		-	-	-	-	8	-	pF
Output C_{os}			-	-	-	-	8	-	
Feedthrough C_{ios}			-	-	-	-	0.5	-	
CONTROL (V_C)									
Noise Immunity V_{NL} Min.	$V_{is} \leq V_{DD}$, I_{is} = 10uA, V_{DD} - V_{SS} = 10		-	2	2	2	2 min, 4.5	-	V
Input Leakage Current I_{IL} Max.	V_{is} = V_{DD}, V_{DD} - V_{SS} = 15, V_C = V_{DD} - V_{SS}				±1		10^{-8}	±1	uA
Crosstalk Control Input to Signal Output	V_{DD} - V_{SS} = 10, V_C = 10 (sq. wave), t_r, t_f = 20 ns, R_L = 10kΩ		-	-	-	-	50	-	mV
Propagation Delay t_{pdC}	R_L = 200kΩ, V_{is} = 10, C_L = 15pF		-	-	-	-	35	-	ns
Maximum Allowable Control Input Repetition Rate	V_{DD} - V_{SS} = 10, GND, R_L = 1kΩ, C_L = 15pF, V_C = 10 (sq. wave), t_r, t_f = 20 ns		-	-	-	-	10	-	MHz
Av. Input Capacitance C_i			-	-	-	-	5	-	pF

* Limit determined by minimum feasible leakage measurement for automatic testing.

Δ Symmetrical about 0 volts. • For all test conditions

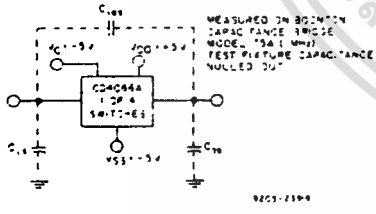


Fig. 6 – Capacitance test circuit.

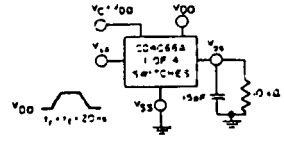


Fig. 8 – Propagation delay time signal input (V_{is}) to signal output (V_{os}).

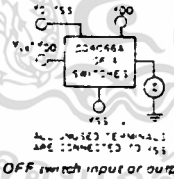


Fig. 7 – OFF switch input or output leakage.

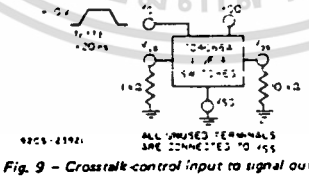


Fig. 9 – Crosstalk-control input to signal output.

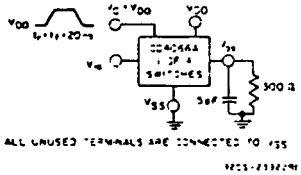


Fig. 11 – Propagation delay t_{PLH}, t_{PHL} control-signal output.

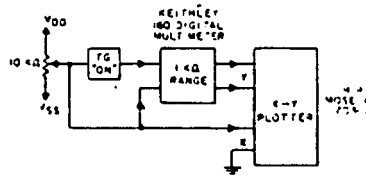


Fig. 3 – Channel ON resistance measurement circuit.

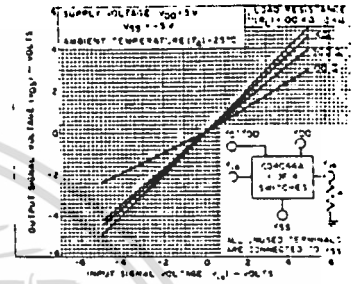


Fig. 4 – Typical ON characteristics for 1 of 4 channels.

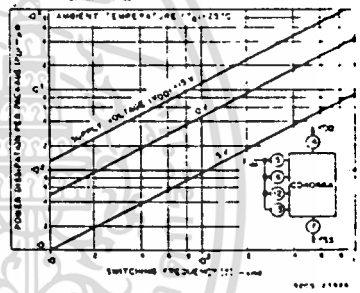


Fig. 5 – Power dissipation per package vs. switching frequency.

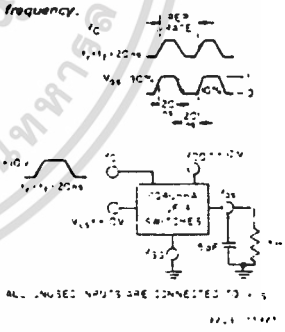


Fig. 10 – Maximum allowable control input repetition rate.

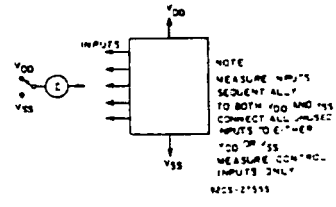


Fig. 12 – Input leakage current test circuit.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

National Semiconductor

DM5407/DM7407 Hex Buffers with High Voltage Open-Collector Outputs

General Description

This device contains six independent gates each of which performs a buffer function. The open-collector outputs require external pull-up resistors for proper logical operation.

Pull-Up Resistor Equations

$$R_{MAX} = \frac{V_O\,(Min) - V_{OH}}{N_1\,(I_{OH}) + N_2\,(I_{IH})}$$

$$R_{MIN} = \frac{V_O\,(Max) - V_{OL}}{I_{OL} - N_3\,(I_{IL})}$$

Where: $N_1\,(I_{OH})$ = total maximum output high current for all outputs tied to pull-up resistor

$N_2\,(I_{IH})$ = total maximum input high current for all inputs tied to pull-up resistor

$N_3\,(I_{IL})$ = total maximum input low current for all inputs tied to pull-up resistor

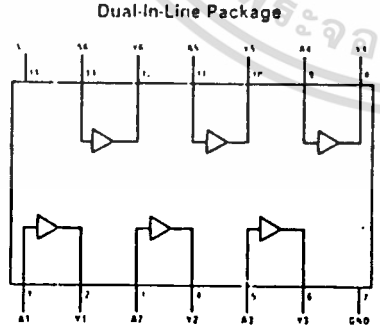
Absolute Maximum Ratings (Note 1)

Supply Voltage	7V
Input Voltage	5.5V
Output Voltage	30V
Storage Temperature Range	−65°C to 150°C

Note 1: The "Absolute Maximum Ratings" are those values beyond which the safety of the device can not be guaranteed. The device should not be operated at these limits. The parametric values defined in the "Electrical Characteristics" table are not guaranteed at the absolute maximum ratings. The "Recommended Operating Conditions" table will define the conditions for actual device operation.

Connection Diagram

Dual-In-Line Package



TL/F/6497-1

DM5407 (J) DM7407 (N)

Function Table

$Y = A$

Input	Output
A	Y
L	L
H	H

H = High Logic Level

L = Low Logic Level

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Recommended Operating Conditions

Symbol	Parameter	DM5407			DM7407			Units
		Min	Nom	Max	Min	Nom	Max	
V_{CC}	Supply Voltage	4.5	5	5.5	4.75	5	5.25	V
V_{IH}	High Level Input Voltage	2			2			V
V_{IL}	Low Level Input Voltage			0.8			0.8	V
V_{OH}	High Level Output Voltage			30			30	V
I_{OL}	Low Level Output Current			30			40	mA
T_A	Free Air Operating Temperature	−55		125	0		70	°C

Electrical Characteristics over recommended operating free air temperature (unless otherwise noted)

Symbol	Parameter	Conditions	Min	Typ (Note 1)	Max	Units
V_I	Input Clamp Voltage	V_{CC} = Min, I_I = −12 mA			−1.5	V
I_{OH}	High Level Output Current	V_{CC} = Min, V_O = 30V V_{IH} = Min			250	μA
V_{OL}	Low Level Output Voltage	V_{CC} = Min, I_{OL} = Max V_{IL} = Max			0.7	V
		I_{OL} = 16 mA V_{CC} = Min			0.4	
I_I	Input Current @ Max Input Voltage	V_{CC} = Max, V_I = 5.5V			1	mA
I_{IH}	High Level Input Current	V_{CC} = Max, V_I = 2.4V			40	μA
I_{IL}	Low Level Input Current	V_{CC} = Max, V_I = 0.4V			−1.6	mA
I_{CCH}	Supply Current With Outputs High	V_{CC} = Max		29	41	mA
I_{CCL}	Supply Current With Outputs Low	V_{CC} = Max		21	30	mA

Switching Characteristics at V_{CC} = 5V and T_A = 25°C (See Section 1 for Test Waveforms and Output Load)

Parameter	Conditions	C_L = 15 pF, R_L = 110Ω			Units
		Min	Typ	Max	
t_{PLH} Propagation Delay Time Low to High Level Output			6	10	ns
t_{PHL} Propagation Delay Time High to Low Level Output			20	30	ns

Note 1: All typicals are at V_{CC} = 5V, T_A = 25°C

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

National Semiconductor

M54145/DM74145 BCD to Decimal Decoders/Drivers

neral Description

e BCD-to-decimal decoders/drivers consist of eight ters and ten, four-input NAND gates. The inverters are cted in pairs to make BCD input data available for de- g by the NAND gates. Full decoding of BCD input logic res that all outputs remain off for all invalid (10-15) bi- input conditions. These decoders feature high-perfor- ce, NPN output transistors designed for use as cator/relay drivers, or as open-collector logic-circuit ers. The high-breakdown output transistors are com- le for interfacing with most MOS integrated circuits.

Features

- Full decoding of input logic
- 80 mA sink-current capability
- All outputs are off for invalid BCD input conditions

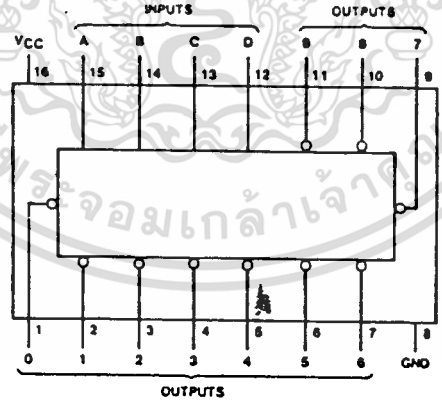
Absolute Maximum Ratings (Note 1)

Supply Voltage	7V
Input Voltage	5.5V
Storage Temperature Range	−65°C to 150°C

Note 1: The "Absolute Maximum Ratings" are those values beyond which the safety of the device can not be guaranteed. The device should not be operated at these limits. The parametric values defined in the "Electrical Characteristics" table are not guaranteed at the absolute maximum ratings. The "Recommended Operating Conditions" table will define the conditions for actual device operation.

Connection Diagram

Dual-In-Line Package



TL/F/6544-1

54145 (J) 74145 (N)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Recommended Operating Conditions

Sym	Parameter	DM54145			DM74145		
		Min	Nom	Max	Min	Nom	Max
V_{CC}	Supply Voltage	4.5	5	5.5	4.75	5	5.25
V_{IH}	High Level Input Voltage	2			2		
V_{IL}	Low Level Input Voltage			0.8			0.8
V_{OH}	High Level Output Voltage			15			15
I_{OL}	Low Level Output Current			20			20
T_A	Free Air Operating Temperature	−55		125	0		70

Electrical Characteristics over recommended operating free air temperature (unless otherwise

Sym	Parameter	Conditions		Min	Typ (Note 1)	Max
V_I	Input Clamp Voltage	V_{CC} = Min, I_I = −12 mA				−1.5
I_{CEX}	High Level Output Current	V_{CC} = Min, V_{OH} = Max V_{IL} = Max, V_{IH} = Min				250
V_{OL}	Low Level Output Voltage	V_{CC} = Min, I_{OL} = Max V_{IH} = Min V_{IL} = Max				0.4
		I_{OL} = 80 mA V_{CC} = Min			0.5	0.8
I_I	Input Current @ Max Input Voltage	V_{CC} = Max, V_I = 5.5V				1
I_{IH}	High Level Input Current	V_{CC} = Max, V_I = 2.4V				40
I_{IL}	Low Level Input Current	V_{CC} = Max, V_I = 0.4V				−1.6
I_{CC}	Supply Current	V_{CC} = Max (Note 2)	DM54		43	62
			DM74		43	70

Switching Characteristics at V_{CC} = 5V and T_A = 25°C (See Section 1 for Test Waveforms and

Parameter	Conditions	C_L = 15 pF, R_L = 100Ω		
		Min	Typ	Max
t_{PLH} Propagation Delay Time Low to High Level Output				30
t_{PHL} Propagation Delay Time High to Low Level Output				30

Note 1: All typicals are at V_{CC} = 5V, T_A = 25°C

Note 2: I_{CC} is measured with all outputs open and all inputs grounded

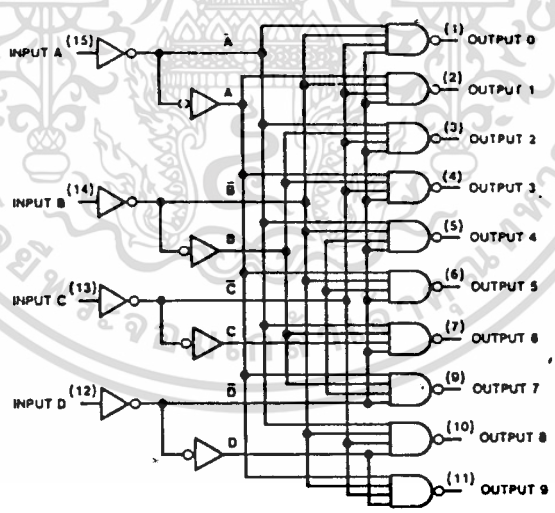
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

tion Table

No.	Inputs				Outputs									
	D	C	B	A	0	1	2	3	4	5	6	7	8	9
0	L	L	L	L	L	H	H	H	H	H	H	H	H	H
1	L	L	L	H	H	L	H	H	H	H	H	H	H	H
2	L	L	H	L	H	H	L	H	H	H	H	H	H	H
3	L	L	H	H	H	H	H	L	H	H	H	H	H	H
4	L	H	L	L	H	H	H	H	L	H	H	H	H	H
5	L	H	L	H	H	H	H	H	H	L	H	H	H	H
6	L	H	H	L	H	H	H	H	H	H	L	H	H	H
7	L	H	H	H	H	H	H	H	H	H	H	L	H	H
8	H	L	L	L	H	H	H	H	H	H	H	H	L	H
9	H	L	L	H	H	H	H	H	H	H	H	H	H	L
INVALID	H	L	H	L	H	H	H	H	H	H	H	H	H	H
	H	L	H	H	H	H	H	H	H	H	H	H	H	H
	H	H	L	L	H	H	H	H	H	H	H	H	H	H
	H	H	L	H	H	H	H	H	H	H	H	H	H	H
	H	H	H	L	H	H	H	H	H	H	H	H	H	H
	H	H	H	H	H	H	H	H	H	H	H	H	H	H

H = High Level (Off), L = Low Level (On)

c Diagram



TL/F/6544-2

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

54244/74244 Octal Buffers/Line Drivers/Line Receivers

	Schttky TTL					High-Speed TTL					Low-Power Schottky TTL					Standard TTL					Low-Power TTL				
	Device Type	Package				Device Type	Package				Device Type	Package				Device Type	Package				Device Type	Package			
		C	P	M	CF		C	P	M	CF		C	P	M	CF		C	P	M	CF		C	P	M	CF
T. I.											SN54LS244	J													
											SN74LS244	J		N											
FAIRCHILD																									
MOTOROLA																									
N. S. C.																									
PHILIPS																									
SIGNETICS																									
SIEMENS																									
FUJITSU																									
HITACHI																									
MITSUBISHI																									
NEC																									
TOSHIBA																									

Electrical Characteristics SN54LS244 SN74LS244

absolute maximum ratings over operating free-air temperature range

Supply voltage V_{CC}	7V	Operating free-air temperature range: SN54LS	55°C to 125°C
Input voltage	5.5V	SN74LS	0°C to 70°C
Interemitter voltage	5.5V	Storage temperature range	65°C to 150°C

recommended operating conditions

	LS54LS244 MIN	NOM	MAX	SN74LS244 MIN	NOM	MAX	UNIT
Supply voltage V_{CC}	4.5	5	5.5	4.75	5	5.25	V
High-level output current I_{OH}			−12			−15	mA
Low-level output current, I_{OL}			12			24	mA
Operating free-air temperature, T_A	−55		125	0		70	°C

electrical characteristics over recommended operating free-air temperature range (unless otherwise noted)

PARAMETER		TEST CONDITIONS †		SN74LS MIN	TYP‡	MAX	UNIT
V_{IH}	High-level input voltage			2			V
V_{IL}	Low-level input voltage					0.8	V
V_{IK}	Input clamp voltage	V_{CC} = MIN, I_I = −18mA				−1.5	V
	Hysteresis ($V_{T+} - V_{T-}$)	V_{CC} = MIN			0.2	0.4	V
V_{OH}	High-level output voltage	V_{CC} = MIN, V_{IH} = 2V, V_{IL} = V_{IL} max, I_{OH} = −3mA		2.4	3.4		V
		V_{CC} = MIN, V_{IH} = 2V, V_{IL} = 0.5V, I_{OH} = MAX		2			
V_{OL}	Low-level output voltage	V_{CC} = MIN, V_{IH} = 2V, V_{IL} = V_{IL} max	I_{OL} = 12mA			0.4	V
			I_{OL} = 24mA			0.5	
I_{OZH}	Off-state output current, high-level voltage applied	V_{CC} = MAX, V_{IH} = 2V, V_{IL} = V_{IL} max	V_O = 2.7V			20	μA
I_{OZL}	Off-state output current, low-level voltage applied		V_O = 0.4V			−20	
I_I	Input current at maximum input voltage	V_{CC} = MAX,	V_I = 7V			0.1	mA
I_{IH}	High-level input current, any input	V_{CC} = MAX,	V_I = 2.7V			20	μA
I_{IL}	Low-level input current	V_{CC} = MAX,	V_{IL} = 0.4V			−0.2	mA
I_{OS}	Short-circuit output current ◆	V_{CC} = MAX		−40		−225	mA
I_{CC}	Supply current, Outputs high	V_{CC} = MAX, Outputs open	All		13	23	mA
	Outputs low		LS244		27	46	
	All outputs disabled		LS244		32	54	

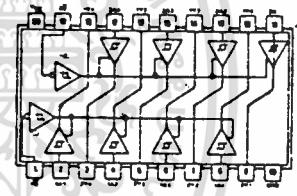
switching characteristics, V_{CC} = 5V, T_A = 25°C

PARAMETER		TEST CONDITIONS	MIN	TYP	MAX	UNIT
t_{PLH}	Propagation delay time, low-to-high-level output	C_L = 45pF, R_L = 667Ω, See Note 2		9	14	ns
t_{PHL}	Propagation delay time, high-to-low-level output			12	18	ns
t_{PZL}	Output enable time to low level			20	30	ns
t_{PZH}	Output enable time to high level			15	23	ns
t_{PLZ}	Output disable time from low level	C_L = 5pF, R_L = 667Ω, See Note 2		15	25	ns
t_{PHZ}	Output disable time from high level			10	18	ns

† For conditions shown as MIN or MAX, use the appropriate value specified under recommended operating conditions.
‡ All typical values are at V_{CC} = 5V, T_A = 25°C.
◆ Not more than one output should be shorted at a time, and duration of the short-circuit should not exceed one second.
NOTE 2 : Load circuit and voltage wave forms are shown on page 3-11.

Pin Assignment (Top View)

①



SN54LS244 (J) SN74LS244 (J, N)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

54245/74245 Octal Bus Transceivers with 3-state Outputs

	Schottky TTL					High-Speed TTL					Low-Power Schottky TTL					Standard TTL					Low-Power TTL				
	Device Type	Package				Device Type	Package				Device Type	Package				Device Type	Package				Device Type	Package			
		C	P	M	CF		C	P	M	CF		C	P	M	CF		C	P	M	CF		C	P	M	CF
T I.											SN54LS245	J		W	W										
											SN74LS245	J	N												
FAIRCHILD																									
MOTOROLA																									
N. S. C.																									
PHILIPS																									
SIGNETICS																									
SIEMENS																									
FUJITSU																									
HITACHI																									
MITSUBISHI																									
NEC																									
TOSHIBA																									

Electrical Characteristics SN54LS245/SN74LS245

absolute maximum ratings over operating free-air temperature range

Supply voltage VCC	7 V	Operating free-air temperature range	SN54LS	-55°C to 125°C
Input voltage	7 V		SN74LS	0°C to 70°C
		Storage temperature range		-65°C to 150°C

recommended operating conditions

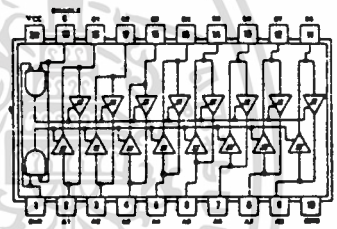
	SN54LS245			SN74LS245			UNIT
	MIN	NOM	MAX	MIN	NOM	MAX	
Supply voltage VCC	4.5	5	5.5	4.75	5	5.25	V
High-level output current, I_{OH}			-12			-15	mA
Low-level output current, I_{OL}			12			24	mA
Operating free-air temperature T_A	-55		125	0		70	°C

electrical characteristics over recommended operating free-air temperature range

PARAMETER		TEST CONDITIONS†		SN74LS245 MIN	SN74LS245 TYP‡	SN74LS245 MAX	UNIT
V_{IH}	High-level input voltage			2			V
V_{IL}	Low-level input voltage					0.8	V
V_{IK}	Input clamp voltage	VCC = MIN, I_I = -18mA				-1.5	V
	Hysteresis (VT+ - VT-) A or B input	VCC = MIN			0.2	0.4	V
V_{OH}	High-level output voltage	VCC = MIN, VIH = 2V, VIL = V_{IL} max	I_{OH} = -3mA	2.4	3.4		V
			I_{OH} = MAX	2			
V_{OL}	Low-level output voltage	VCC = MIN, VIH = 2V, VIL = V_{IL} max	I_{OL} = 12mA			0.4	V
			I_{OL} = 24mA			0.5	
I_{OZH}	Off-state output current, high-level voltage applied	VCC = MAX, G at 2V	V_O = 2.7 V			10	μA
I_{OZL}	Off-state output current, low-level voltage applied		V_O = 0.4V			-200	
I_I	Input current at maximum input voltage: A or B	VCC = MAX,	V_I = 5.5V			0.1	mA
	DIR or $\overline{G}$		V_I = 7V			0.1	
I_{IH}	High-level input current	VCC = MAX, VIH = 2.7V				20	μA
I_{IL}	Low-level input current	VCC = MAX, VIL = 0.4V				-0.2	mA
I_{OS}	Short-circuit output current	VCC = MAX		-40		-225	mA
I_{CC}	Supply current: Total, outputs high	VCC = MAX, Outputs open			48	70	mA
	Total, outputs low				62	90	
	Outputs at Hi-Z				64	95	

switching characteristics, VCC 5V, TA 25°C

PARAMETER		TEST CONDITIONS	MIN	TYP	MAX	UNIT
t_{PLH}	Propagation delay time, low-to-high-level output	C_L = 45pF, R_L = 667Ω, See Note 2		8	12	ns
t_{PHL}	Propagation delay time, high-to-low-level output			8	12	ns
t_{PZL}	Output enable time to low level			27	40	ns
t_{PZL}	Output enable time to high level			25	40	ns
t_{PLZ}	Output disable time from low level	C_L = 5pF, R_L = 667Ω, See Note 2		15	25	ns
t_{PHZ}	Output disable time from high level			15	25	ns



SN54LS245 (J) SN74LS245 (J, N)

†For conditions shown as MIN or MAX, use the appropriate value specified under recommended operating conditions.
‡All typical values are at VCC = 5V, T_A = 25°C.
●Not more than one output should be shorted at a time, and duration of the short-circuit should not not exceed one second.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

National Semiconductor

DM54ALS373/DM74ALS373 Octal D-Type Transparent Latches

General Description

These 8-bit registers feature totem-pole TRI STATE® outputs designed specifically for driving highly capacitive or relatively low-impedance loads. The high-impedance state and increased high-logic-level drive provide these registers with the capability of being connected directly to and driving the bus lines in a bus-organized system without need for interface or pull-up components. They are particularly attractive for implementing buffer registers, I/O ports, bidirectional bus drivers, and working registers.

The eight latches of the ALS373 are transparent D-type latches meaning that while the enable (G) is high the Q outputs will follow the data (D) inputs. When the enable is taken low the output will be latched at the level of the data that was set up.

A buffered output control input can be used to place the eight outputs in either a normal logic state (high or low logic levels) or a high impedance state. In the high-impedance state the outputs neither load nor drive the bus lines significantly.

The output control does not affect the internal operation of the latches. That is, the old data can be retained or new data can be entered even while the outputs are off.

Features

- Switching Specifications at 50 pF.
- Switching Specifications Guaranteed Over Full Temperature and V_{CC} Range
- Advanced Oxide-Isolated, Ion-Implanted Schottky TTL Process.
- Functionally and Pin For Pin Compatible with LS TTL Counterpart.
- Improved AC Performance Over LS373 at Approximately Half the Power.
- TRI-STATE Buffer-Type Outputs Drive Bus Lines Directly.

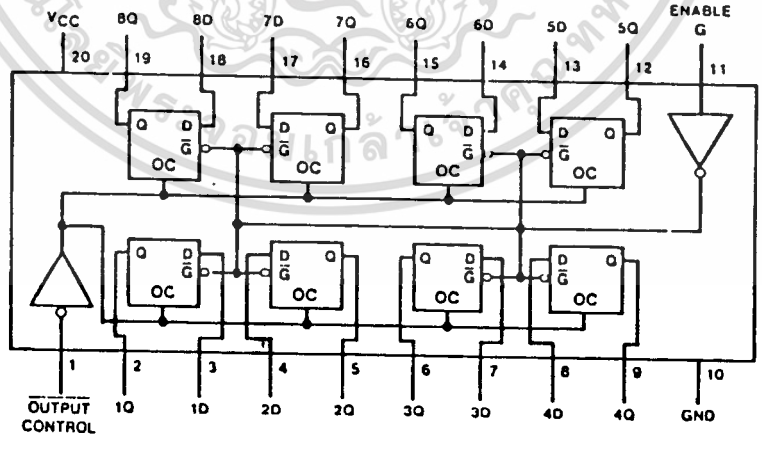
Absolute Maximum Ratings (Note 1)

Supply Voltage	7V
Input Voltage	7V
Operating Free Air Temperature Range	
DM54ALS373	−55°C to 125°C
DM74ALS373	0°C to 70°C
Storage Temperature Range	−65°C to 150°C

Note 1: The "Absolute Maximum Ratings" are those values beyond which the safety of the device can not be guaranteed. The device should not be operated at these limits. The parametric values defined in the "Electrical Characteristics" table are not guaranteed at the absolute maximum ratings. The "Recommended Operating Conditions" table will define the conditions for actual device operation.

Connection Diagram

Dual-In Line Package



TL/F/6220-1

54ALS373 (J) 74ALS373 (J,N)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Parameter	DM54ALS373			DM74ALS373		
	Min	Nom	Max	Min	Nom	Max
Supply Voltage, V_{CC}	4.5	5	5.5	4.5	5	5.5
High Level Input Voltage, V_{IH}	2			2		
Low Level Input Voltage, V_{IL}			0.8			0.8
High Level Output Voltage, V_{OH}			5.5			5.5
High Level Output Current, I_{OH}			−1			−2.6
Low Level Output Current, I_{OL}			12			24
Width of Enable Pulse, High or Low	10			10		
Data Setup Time, T_{SU}	10↓			10↓		
Data Hold Time, T_H	7↓			7↓		

The (↓) arrow indicates the negative edge of the enable is used for reference.

Electrical Characteristics over recommended operating free air temperature range.

All typical values are measured at $V_{CC} = 5V$, $T_A = 25°C$.

Symbol	Parameter	Conditions		Min	Typ	Max
V_{IK}	Input Clamp Voltage	V_{CC} = 4.5V I_I = −18mA				−1.5
V_{OH}	High Level Output Voltage	V_{CC} = 4.5V, V_{IL} = V_{IL} MAX	54ALS I_{OH} = −1mA	2.4	3.2	
			74ALS I_{OH} = −2.6mA	2.4	3.3	
		I_{OH} = −400μA	54/74ALS	V_{CC} −2		
V_{OL}	Low Level Output Voltage	V_{CC} = 4.5V, V_{IH} = 2V	54/74ALS I_{OL} = 12mA		0.25	0.4
			74ALS I_{OL} = 24mA		0.35	0.5
I_I	Max High Input Current	V_{CC} = 5.5V, V_{IH} = 7V				0.1
I_{IH}	High Level Input Current	V_{CC} = 5.5V, V_{IH} = 2.7V				20
I_{IL}	Low Level Input Current	V_{CC} = 5.5V, V_{IL} = 0.4V				−0.1
I_O	Output Drive Current	V_{CC} = 5.5V	54/74ALS V_O = 2.25V	−30		−112
I_{OZH}	Off-State Output Current, High Level Voltage Applied	V_{CC} = 5.5V, V_{IH} = 2V, V_O = 2.7V				20
I_{OZL}	Off-State Output Current, Low Level Voltage Applied	V_{CC} = 5.5V, V_{IH} = 2V, V_O = 0.4V				20
I_{CC}	Supply Current	V_{CC} = 5.5V, Outputs Open	Outputs High		9	16
			Outputs Low		16	25
			Outputs Disabled		17	27

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

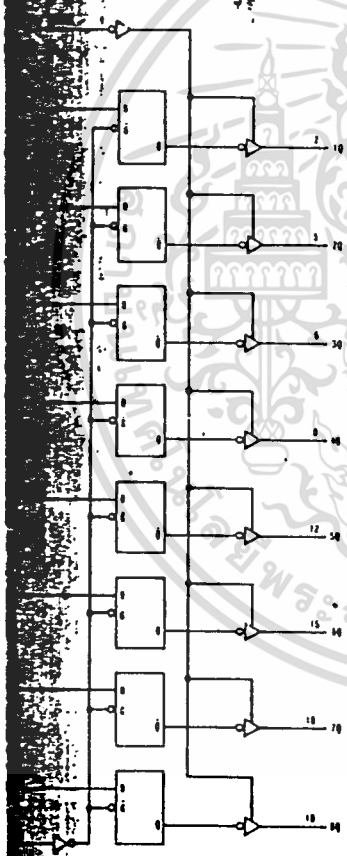
Characteristics over recommended operating free air temperature range (Note 1).

... measured at $V_{CC} = 5V$, $T_A = 25°C$.

From	To	Conditions	DM54ALS373			DM74ALS373			Unit
			Min	Typ	Max	Min	Typ	Max	
...ata	Any Q	V_{CC} = 4.5V to 5.5V R_L = 500 Ω C_L = 50 pF	2		14	2		12	ns
			4		19	4		16	ns
...nable	Any Q		6		26	6		22	ns
			7		27	7		23	ns
...utput ...ontrol	Any Q		5		24	5		20	ns
			6		22	6		18	ns
			2		16	2		12	ns
			2		12	2		10	ns

...for test waveforms and output load

...ram



TL/F/6220-2

Function Table

Output Control	Enable G	D	Output Q
L	H	H	H
L	H	L	L
L	L	X	Q_0
H	X	X	Z

L = Low State, H = High State, X = Don't Care
Z = High Impedance State
Q_0 = Previous Condition of Q

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

8253/8253-5
PROGRAMMABLE INTERVAL TIMER

- MCS-85™ Compatible 8253-5
- 3 Independent 16-Bit Counters
- DC to 2 MHz
- Programmable Counter Modes
- Count Binary or BCD
- Single +5V Supply
- Available in EXPRESS
  - —Standard Temperature Range
  - —Extended Temperature Range

The Intel® 8253 is a programmable counter/timer chip designed for use as an Intel microcomputer peripheral. It uses HMOS technology with a single +5V supply and is packaged in a 24-pin plastic DIP.

It is organized as 3 independent 16-bit counters, each with a count rate of up to 2 MHz. All modes of operation are software programmable.

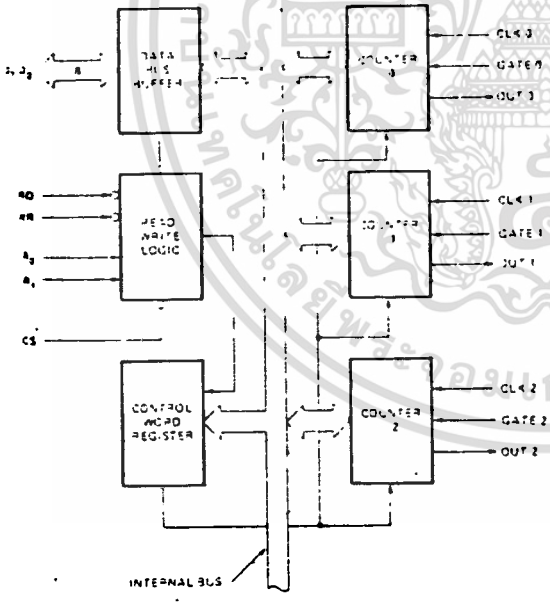


Figure 1. Block Diagram

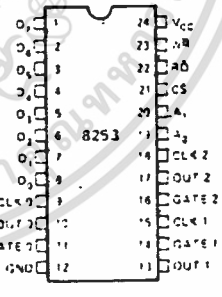


Figure 2. Pin Configuration

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

FUNCTIONAL DESCRIPTION

General

The 8253 is a programmable interval timer/counter specifically designed for use with the Intel™ Microcomputer systems. Its function is that of a general purpose, multi-timing element that can be treated as an array of I/O ports in the system software.

The 8253 solves one of the most common problems in any microcomputer system, the generation of accurate time delays under software control. Instead of setting up timing loops in systems software, the programmer configures the 8253 to match his requirements, initializes one of the counters of the 8253 with the desired quantity, then upon command the 8253 will count out the delay and interrupt the CPU when it has completed its tasks. It is easy to see that the software overhead is minimal and that multiple delays can easily be maintained by assignment of priority levels.

Other counter/timer functions that are non-delay in nature but also common to most microcomputers can be implemented with the 8253.

- Programmable Rate Generator
- Event Counter
- Binary Rate Multiplier
- Real Time Clock
- Digital One-Shot
- Complex Motor Controller

Data Bus Buffer

This 3-state, bi-directional, 8-bit buffer is used to interface the 8253 to the system data bus. Data is transmitted or received by the buffer upon execution of INput or OUTput CPU instructions. The Data Bus Buffer has three basic functions.

1. Programming the MODES of the 8253.
2. Loading the count registers.
3. Reading the count values.

Read/Write Logic

The Read/Write Logic accepts inputs from the system bus and in turn generates control signals for overall device operation. It is enabled or disabled by CS so that no operation can occur to change the function unless the device has been selected by the system logic.

$\overline{RD}$ (Read)

A "low" on this input informs the 8253 that the CPU is inputting data in the form of a counters value.

$\overline{WR}$ (Write)

A "low" on this input informs the 8253 that the CPU is outputting data in the form of mode information or loading counters.

A0, A1

These inputs are normally connected to the address. Their function is to select one of the three counters to be operated on and to address the control word register for mode selection.

$\overline{CS}$ (Chip Select)

A "low" on this input enables the 8253. No reading or writing will occur unless the device is selected. The input has no effect upon the actual operation of the counters.

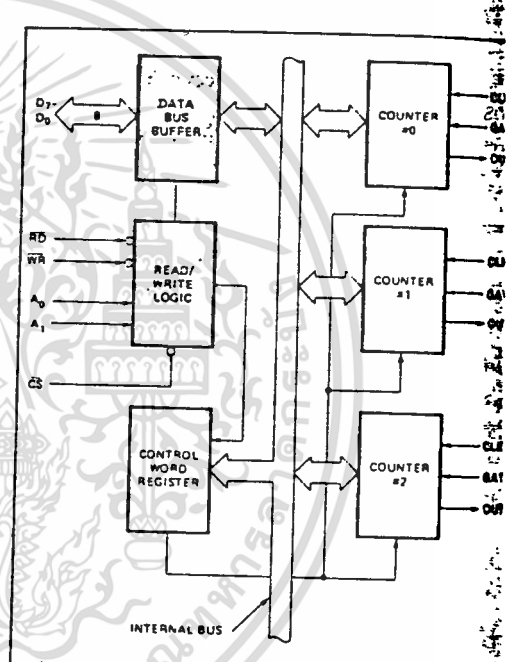


Figure 3. Block Diagram Showing Data Bus Buffer and Read/Write Logic Functions

$\overline{CS}$	$\overline{RD}$	$\overline{WR}$	A_1	A_0	
0	1	0	0	0	Load Counter No. 0
0	1	0	0	1	Load Counter No. 1
0	1	0	1	0	Load Counter No. 2
0	1	0	1	1	Write Mode Word
0	0	1	0	0	Read Counter No. 0
0	0	1	0	1	Read Counter No. 1
0	0	1	1	0	Read Counter No. 2
0	0	1	1	1	No-Operation 3-State
1	X	X	X	X	Disable 3-State
0	1	1	X	X	No-Operation 3-State

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Control Word Register

The Control Word Register is selected when A0, A1 are 11. It then accepts information from the data bus buffer and stores it in a register. The information stored in this register controls the operational MODE of each counter, selection of binary or BCD counting and the loading of each count register.

The Control Word Register can only be written into, no read operation of its contents is available.

Counter #0, Counter #1, Counter #2

The three functional blocks are identical in operation so only a single Counter will be described. Each Counter consists of a single, 16-bit, pre-settable, DOWN counter. The counter can operate in either binary or BCD and its mode, gate and output are configured by the selection of MODES stored in the Control Word Register.

The counters are fully independent and each can have a separate Mode configuration and counting operation, binary or BCD. Also, there are special features in the control word that handle the loading of the count value so that software overhead can be minimized for these functions.

The reading of the contents of each counter is available to the programmer with simple READ operations for event counting applications and special commands and logic are included in the 8253 so that the contents of each counter can be read "on the fly" without having to inhibit the clock input.

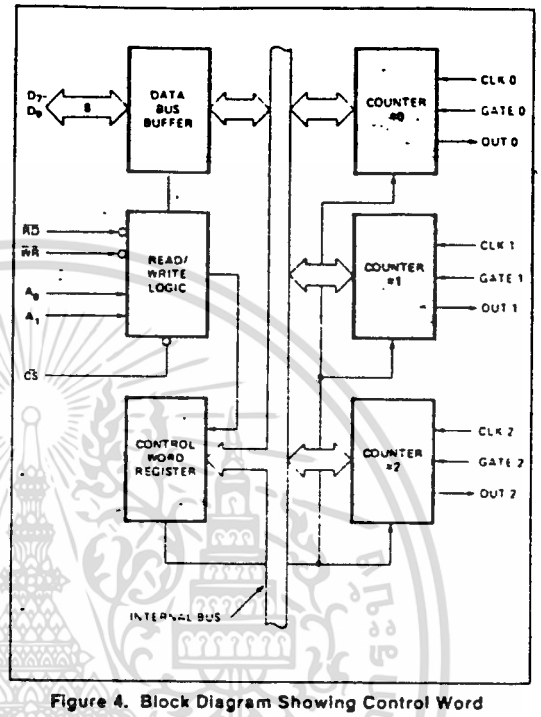


Figure 4. Block Diagram Showing Control Word Register and Counter Functions

8253 SYSTEM INTERFACE

The 8253 is a component of the Intel™ Microcomputer Systems and interfaces in the same manner as all other peripherals of the family. It is treated by the systems software as an array of peripheral I/O ports; three are counters and the fourth is a control register for MODE programming.

Basically, the select inputs A0, A1 connect to the A0, A1 address bus signals of the CPU. The $\overline{CS}$ can be derived directly from the address bus using a linear select method or it can be connected to the output of a decoder, such as the Intel® 8205 for larger systems.

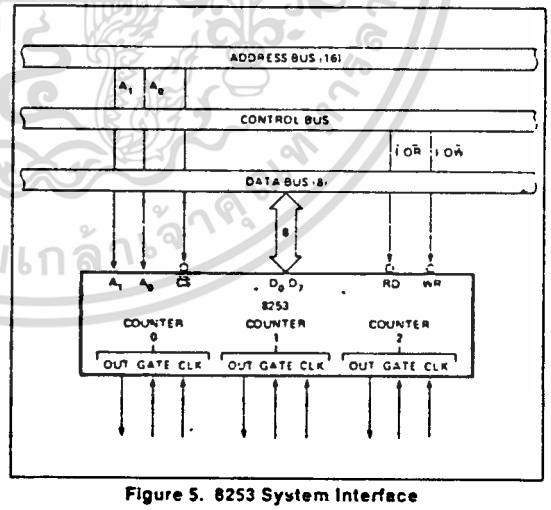
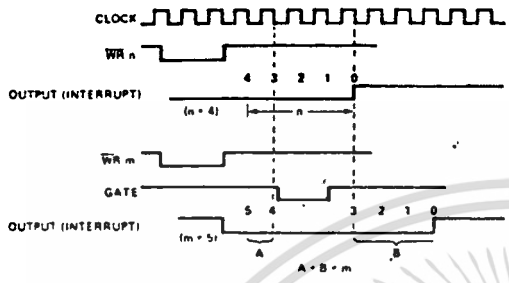


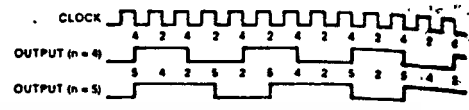
Figure 5. 8253 System Interface

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

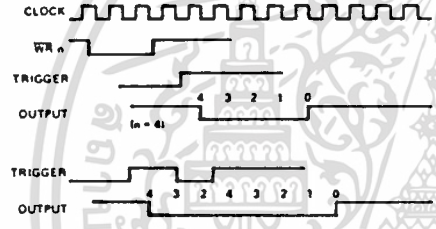
MODE 0: Interrupt on Terminal Count



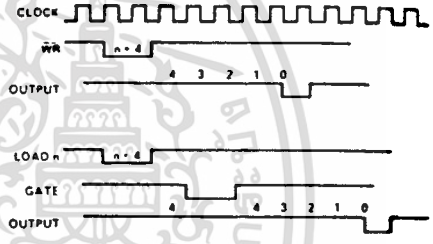
MODE 3: Square Wave Generator



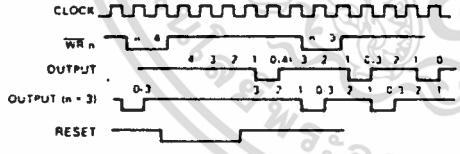
MODE 1: Programmable One-Shot



MODE 4: Software Triggered Strobe



MODE 2: Rate Generator



MODE 5: Hardware Triggered Strobe

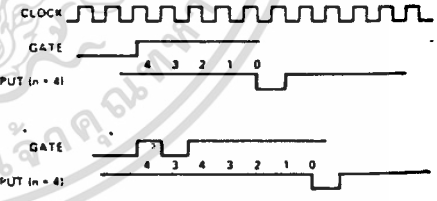


Figure 7. 8253 Timing Diagrams

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

8253 READ/WRITE PROCEDURE

Write Operations

The systems software must program each counter of the 8253 in the mode and quantity desired. The programmer must write out to the 8253 a MODE control word and the programmed number of count register bytes (1 or 2) prior to actually using the selected counter.

The actual order of the programming is quite flexible. Words out of the MODE control word can be in any sequence of counter selection, e.g., counter #0 does not have to be first or counter #2 last. Each counter's MODE control word register has a separate address so that its loading is completely sequence independent. (SC0, SC1)

The loading of the Count Register with the actual count value, however, must be done in exactly the sequence programmed in the MODE control word (RL0, RL1). This loading of the counter's count register is still sequence independent like the MODE control word loading, but when a selected count register is to be loaded it must be loaded with the number of bytes programmed in the MODE control word (RL0, RL1). The one or two bytes to be loaded in the count register do not have to follow the associated MODE control word. They can be programmed at any time following the MODE control word loading as well as the correct number of bytes is loaded in order.

All counters are down counters. Thus, the value loaded into the count register will actually be decremented. Loading all zeroes into a count register will result in the maximum count (2^{16} for Binary or 10^4 for BCD). In MODE 0 the new count will not restart until the load has been completed. It will accept one of two bytes depending on how the MODE control words (RL0, RL1) are programmed. Then proceed with the restart operation.

	MODE Control Word Counter n
LSB	Count Register byte Counter n
MSB	Count Register byte Counter n

Note: Format shown is a simple example of loading the 8253 and does not imply that it is the only format that can be used.

Figure 8. Programming Format

			A1	A0
No. 1		MODE Control Word Counter 0	1	1
No. 2		MODE Control Word Counter 1	1	1
No. 3		MODE Control Word Counter 2	1	1
No. 4	LSB	Count Register Byte Counter 1	0	1
No. 5	MSB	Count Register Byte Counter 1	0	1
No. 6	LSB	Count Register Byte Counter 2	1	0
No. 7	MSB	Count Register Byte Counter 2	1	0
No. 8	LSB	Count Register Byte Counter 0	0	0
No. 9	MSB	Count Register Byte Counter 0	0	0

Note: The exclusive addresses of each counter's count register make the task of programming the 8253 a very simple matter, and maximum effective use of the device will result if this feature is fully utilized.

Figure 9. Alternate Programming Formats

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Read Operations

In most counter applications it becomes necessary to read the value of the count in progress and make a computational decision based on this quantity. Event counters are probably the most common application that uses this function. The 8253 contains logic that will allow the programmer to easily read the contents of any of the three counters without disturbing the actual count in progress.

There are two methods that the programmer can use to read the value of the counters. The first method involves the use of simple I/O read operations of the selected counter. By controlling the A0, A1 inputs to the 8253 the programmer can select the counter to be read (remember that no read operation of the mode register is allowed A0, A1=11). The only requirement with this method is that in order to assure a stable count reading the actual operation of the selected counter must be inhibited either by controlling the Gate input or by external logic that inhibits the clock input. The contents of the counter selected will be available as follows:

first I/O Read contains the least significant byte (LSB)

second I/O Read contains the most significant byte (MSB)

Due to the internal logic of the 8253 it is absolutely necessary to complete the entire reading procedure. If two bytes are programmed to be read then two bytes must be read before any loading WR command can be sent to the same counter.

Read Operation Chart

A1	A0	RD	
0	0	0	Read Counter No. 0
0	1	0	Read Counter No. 1
1	0	0	Read Counter No. 2
1	1	0	Illegal

Reading While Counting

In order for the programmer to read the contents of any counter without effecting or disturbing the counting operation the 8253 has special internal logic that can be accessed using simple WR commands to the MODE register. Basically, when the programmer wishes to read the contents of a selected counter "on the fly" he loads the MODE register with a special code which latches the present count value into a storage register so that its contents contain an accurate stable quantity. The programmer then issues a normal read command to the selected counter and the contents of the latched register is available.

MODE Register for Latching Count

A0, A1 = 11

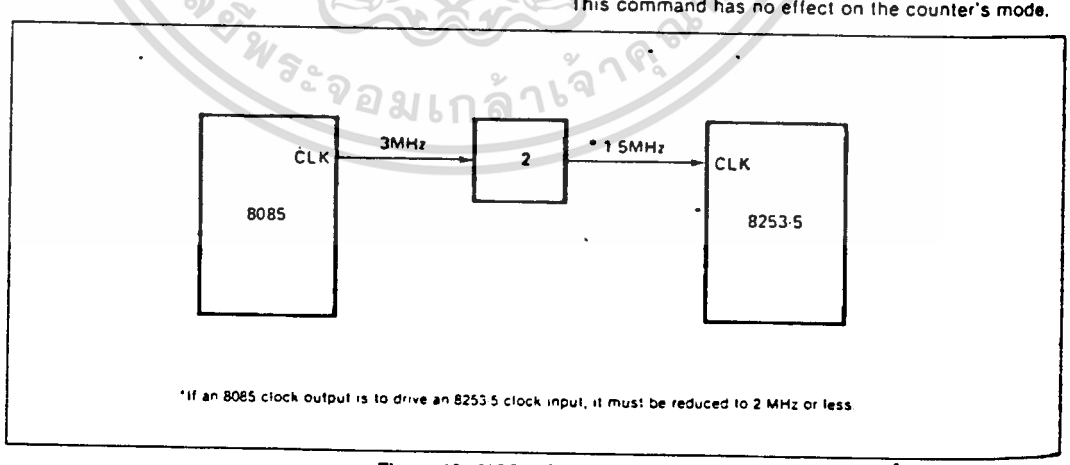
D7	D6	D5	D4	D3	D2	D1	D0
SC1	SC0	0	0	X	X	X	X

SC1, SC0 — specify counter to be latched

D5, D4 — 00 designates counter latching operation

X — don't care

The same limitation applies to this mode of reading the counter as the previous method. That is, it is mandatory to complete the entire read operation as programmed. This command has no effect on the counter's mode.



*If an 8085 clock output is to drive an 8253-5 clock input, it must be reduced to 2 MHz or less.

Figure 10. MCS-85™ Clock Interface*

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ABSOLUTE MAXIMUM RATINGS*

Ambient Temperature Under Bias	0°C to 70°C
Storage Temperature	−65°C to +150°C
Voltage On Any Pin With Respect to Ground	−0.5 V to +7 V
Power Dissipation	1 Watt

NOTICE: Stresses above those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. This is a stress rating only and functional operation of the device at these or any other conditions above those indicated in the operational sections of this specification is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

D.C. CHARACTERISTICS (T_A = 0°C to 70°C, V_{CC} = 5V ±10%) *

Symbol	Parameter	Min.	Max.	Unit	Test Conditions
V_{IL}	Input Low Voltage	-0.5	0.8	V	
V_{IH}	Input High Voltage	2.2	V_{CC}+.5V	V	
V_{OL}	Output Low Voltage		0.45	V	Note 1
V_{OH}	Output High Voltage	2.4		V	Note 2
I_{IL}	Input Load Current		±10	μA	V_{IN} = V_{CC} to 0V
I_{OFL}	Output Float Leakage		±10	μA	V_{OUT} = V_{CC} to .45V
I_{CC}	V_{CC} Supply Current		140	mA	

CAPACITANCE (T_A = 25°C, V_{CC} = GND = 0V)

Symbol	Parameter	Min.	Typ.	Max.	Unit	Test Conditions
C_{IN}	Input Capacitance			10	pF	fc = 1 MHz
$C_{I/O}$	I/O Capacitance			20	pF	Unmeasured pins returned to V_{SS}

A.C. CHARACTERISTICS (T_A = 0°C to 70°C, V_{CC} = 5.0V ± 10%, GND = 0V) *

Bus Parameters (Note 3)

READ CYCLE

Symbol	Parameter	8253		8253-5		Unit
		Min.	Max.	Min.	Max.	
t_{AR}	Address Stable Before $\overline{READ}$	50		30		ns
t_{RA}	Address Hold Time for $\overline{READ}$	5		5		ns
t_{RR}	$\overline{READ}$ Pulse Width	400		300		ns
t_{RD}	Data Delay From $\overline{READ}$[4]		300		200	ns
t_{DF}	$\overline{READ}$ to Data Floating	25	125	25	100	ns
t_{RV}	Recovery Time Between READ and Any Other Control Signal	1		1		μs

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

A.C. CHARACTERISTICS (Continued)

WRITE CYCLE

Symbol	Parameter	8253		8253-5		Unit
		Min.	Max.	Min.	Max.	
t_{AW}	Address Stable Before $\overline{WRITE}$	50		30	*	ns
t_{WA}	Address Hold Time for $\overline{WRITE}$	30		30		ns
t_{WW}	$\overline{WRITE}$ Pulse Width	400		300		ns
t_{DW}	Data Set Up Time for $\overline{WRITE}$	300		250		ns
t_{WD}	Data Hold Time for $\overline{WRITE}$	40		30		ns
t_{RV}	Recovery Time Between $\overline{WRITE}$ and Any Other Control Signal	1		1		μs

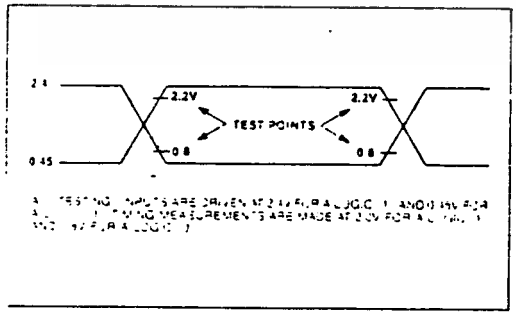
CLOCK AND GATE TIMING

Symbol	Parameter	8253		8253-5		Unit
		Min.	Max.	Min.	Max.	
t_{CLK}	Clock Period	380	dc	380	dc	ns
t_{PWH}	High Pulse Width	230		230		ns
t_{PWL}	Low Pulse Width	150		150		ns
t_{GW}	Gate Width High	150		150		ns
t_{GL}	Gate Width Low	100		100		ns
t_{GS}	Gate Set Up Time to CLK[3]	100		100		ns
t_{GH}	Gate Hold Time After CLK[3]	50		50		ns
t_{OD}	Output Delay From CLK[3,4]		400		400	ns
t_{ODG}	Output Delay From Gate[3,4]		300		300	ns
t_{WC}	Write to CLK Set Up	450		350		

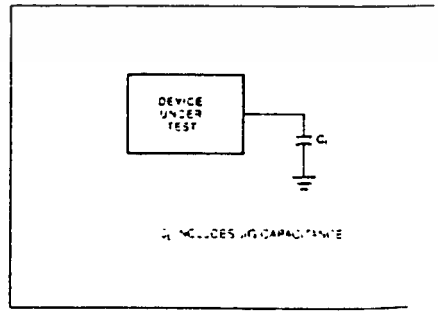
NOTES:
1. I_{OL} = 2.2 mA.
2. I_{OH} = 400 μA.
3. AC timings measured at V_{OH} 2.2, V_{OL} 0.8.
4. C_L = 150pF

* For Extended Temperature EXPRESS, use M8253 electrical parameters.

A.C. TESTING INPUT, OUTPUT WAVEFORM



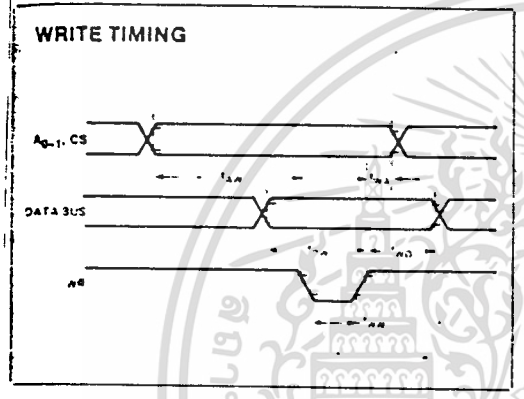
A.C. TESTING LOAD CIRCUIT



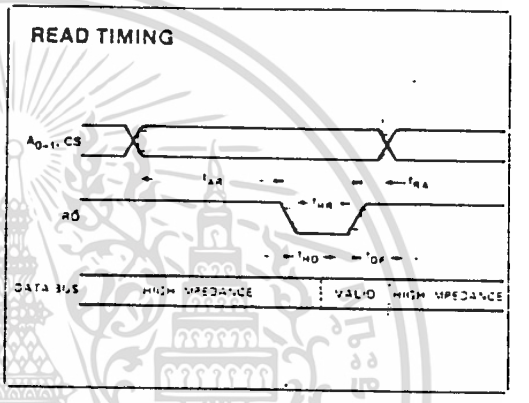
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

WAVEFORMS

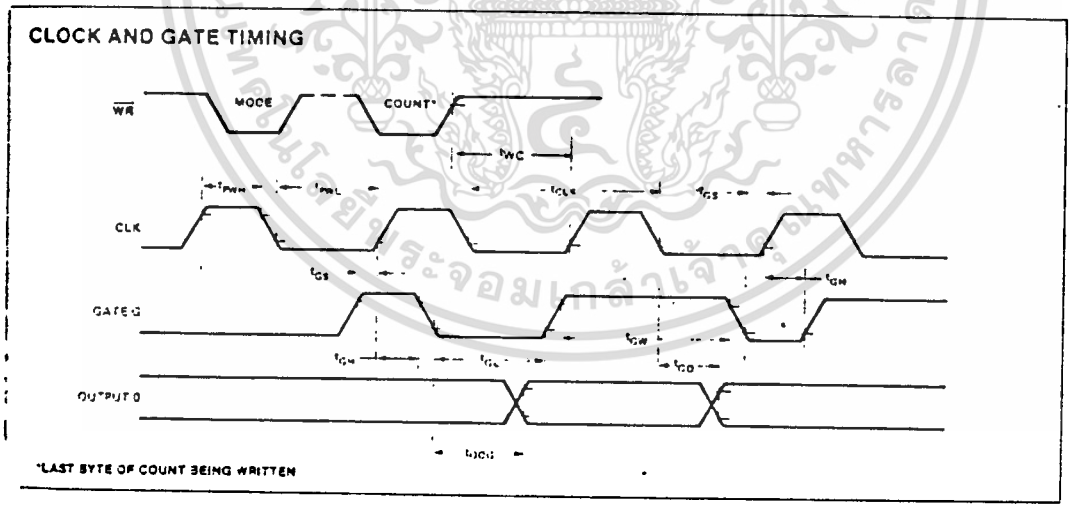
WRITE TIMING



READ TIMING



CLOCK AND GATE TIMING



*LAST BYTE OF COUNT BEING WRITTEN

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

intel

8255A/8255A-5
PROGRAMMABLE PERIPHERAL INTERFACE

- MCS-85™ Compatible 8255A-5
- 24 Programmable I/O Pins
- Completely TTL Compatible
- Fully Compatible with Intel® Microprocessor Families
- Improved Timing Characteristics
- Direct Bit Set/Reset Capability Easing Control Application Interface
- Reduces System Package Count
- Improved DC Driving Capability
- Available in EXPRESS
  - —Standard Temperature Range
  - —Extended Temperature Range

The Intel® 8255A is a general purpose programmable I/O device designed for use with Intel® microprocessors. It has 24 I/O pins which may be individually programmed in 2 groups of 12 and used in 3 major modes of operation. In the first mode (MODE 0), each group of 12 I/O pins may be programmed in sets of 4 to be input or output. In MODE 1, the second mode, each group may be programmed to have 8 lines of input or output. Of the remaining 4 pins, 3 are used for handshaking and interrupt control signals. The third mode of operation (MODE 2) is a bidirectional bus mode which uses 8 lines for a bidirectional bus, and 5 lines, borrowing one from the other group, for handshaking.

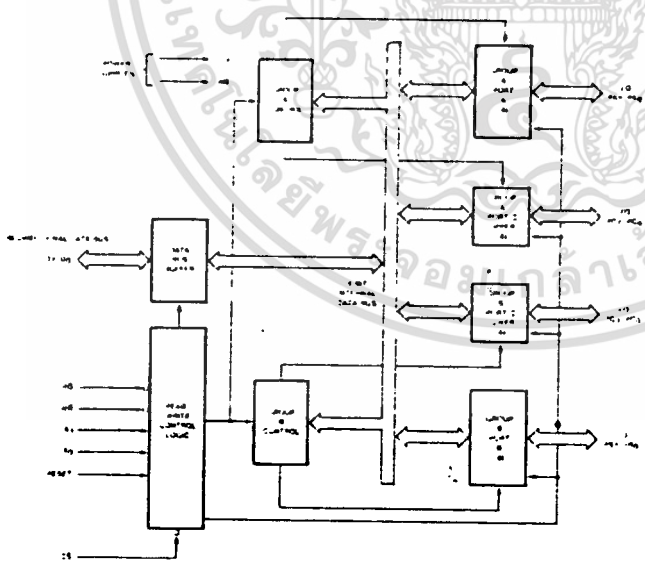


Figure 1. 8255A Block Diagram

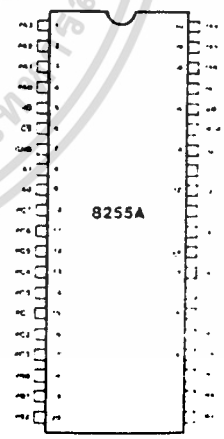


Figure 2. Pin Configuration

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

8255A FUNCTIONAL DESCRIPTION

General

The 8255A is a programmable peripheral interface (PPI) device designed for use in Intel® microcomputer systems. Its function is that of a general purpose I/O component to interface peripheral equipment to the microcomputer system bus. The functional configuration of the 8255A is programmed by the system software so that normally no external logic is necessary to interface peripheral devices or structures.

Data Bus Buffer

This 3-state bidirectional 8-bit buffer is used to interface the 8255A to the system data bus. Data is transmitted or received by the buffer upon execution of input or output instructions by the CPU. Control words and status information are also transferred through the data bus buffer.

Read/Write and Control Logic

The function of this block is to manage all of the internal and external transfers of both Data and Control or Status words. It accepts inputs from the CPU Address and Control busses and in turn, issues commands to both of the Control Groups.

($\overline{CS}$)

Chip Select. A "low" on this input pin enables the communiction between the 8255A and the CPU.

($\overline{RD}$)

Read. A "low" on this input pin enables the 8255A to send the data or status information to the CPU on the data bus. In essence, it allows the CPU to "read from" the 8255A.

($\overline{WR}$)

Write. A "low" on this input pin enables the CPU to write data or control words into the 8255A.

(A_0 and A_1)

Port Select 0 and Port Select 1. These input signals, in conjunction with the RD and WR inputs, control the selection of one of the three ports or the control word registers. They are normally connected to the least significant bits of the address bus (A_0 and A_1).

8255A BASIC OPERATION

A_1	A_0	$\overline{RD}$	$\overline{WR}$	$\overline{CS}$	INPUT OPERATION (READ)
0	0	0	1	0	PORT A → DATA BUS
0	1	0	1	0	PORT B → DATA BUS
1	0	0	1	0	PORT C → DATA BUS
					OUTPUT OPERATION (WRITE)
0	0	1	0	0	DATA BUS → PORT A
0	1	1	0	0	DATA BUS → PORT B
1	0	1	0	0	DATA BUS → PORT C
1	1	1	0	0	DATA BUS → CONTROL
					DISABLE FUNCTION
X	X	X	X	1	DATA BUS → 3-STATE
1	1	0	1	0	ILLEGAL CONDITION
X	X	1	1	0	DATA BUS → 3-STATE

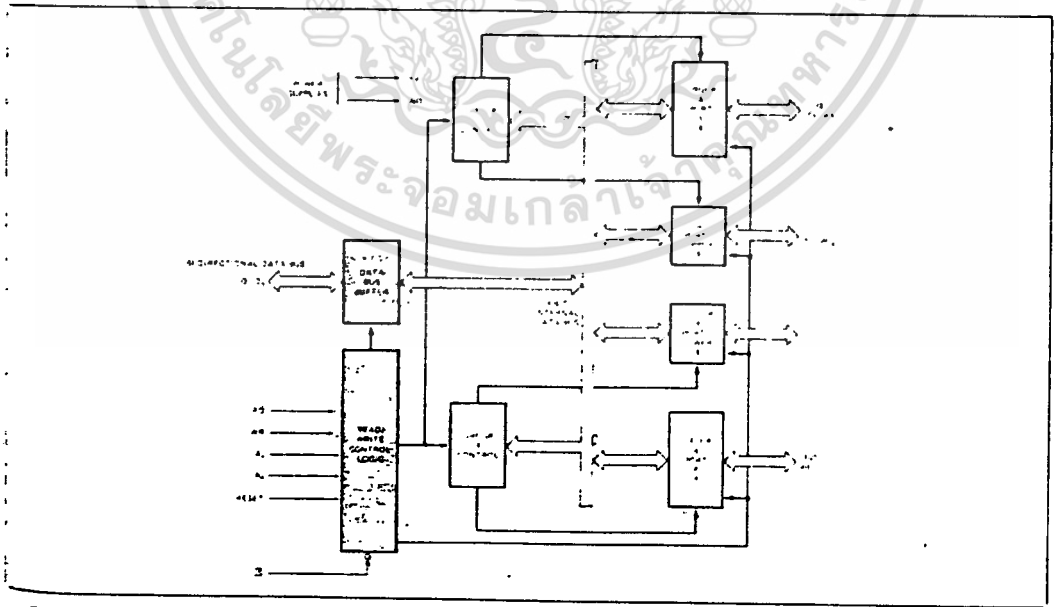


Figure 3. 8255A Block Diagram Showing Data Bus Buffer and Read/Write Control Logic Functions

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

(RESET)

Reset. A "high" on this input clears the control register and all ports (A, B, C) are set to the input mode.

Group A and Group B Controls

The functional configuration of each port is programmed by the systems software. In essence, the CPU "outputs" a control word to the 8255A. The control word contains information such as "mode", "bit set", "bit reset", etc., that initializes the functional configuration of the 8255A.

Each of the Control blocks (Group A and Group B) accepts "commands" from the Read/Write Control Logic, receives "control words" from the internal data bus and issues the proper commands to its associated ports.

Control Group A – Port A and Port C upper (C7-C4)
Control Group B – Port B and Port C lower (C3-C0)

The Control Word Register can Only be written into. No Read operation of the Control Word Register is allowed.

Ports A, B, and C

The 8255A contains three 8-bit ports (A, B, and C). All can be configured in a wide variety of functional characteristics by the system software but each has its own special-features or "personality" to further enhance the power and flexibility of the 8255A.

Port A. One 8-bit data output latch/buffer and one 8-bit data input latch.

Port B. One 8-bit data input/output latch/buffer and one 8-bit data input buffer.

Port C. One 8-bit data output latch/buffer and one 8-bit data input buffer (no latch for input). This port can be divided into two 4-bit ports under the mode control. Each 4-bit port contains a 4-bit latch and it can be used for the control signal outputs and status signal inputs in conjunction with ports A and B.

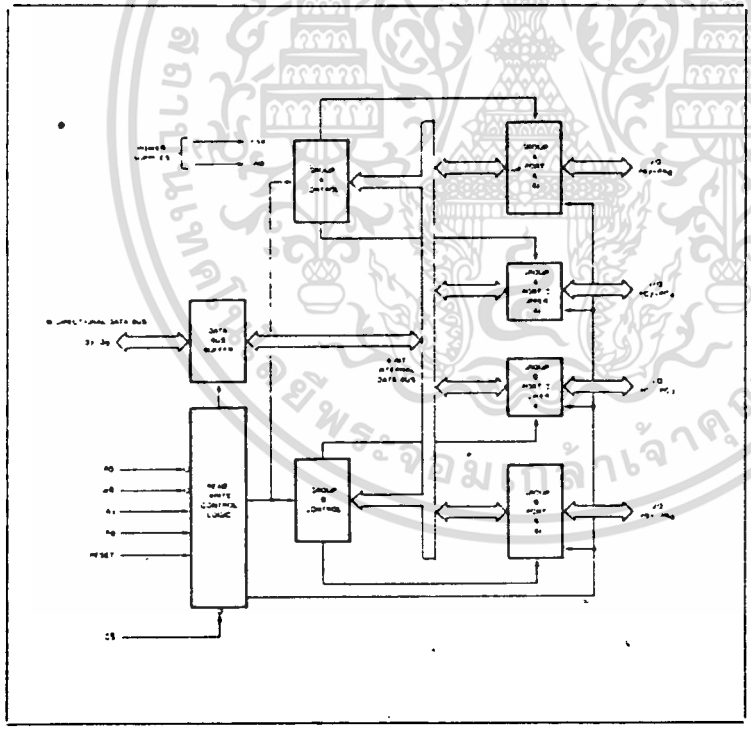
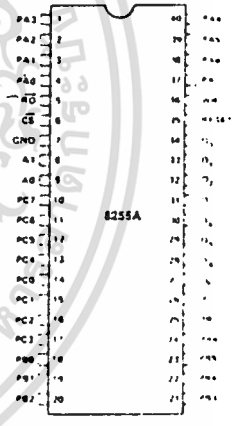


Figure 4. 8225A Block Diagram Showing Group A and Group B Control Functions

PIN CONFIGURATION



PIN NAMES

D_7-D_0	DATA BUS (BI DIRECTIONAL)
RESET	RESET INPUT
$\overline{CS}$	CHIP SELECT
$\overline{RD}$	READ INPUT
$\overline{WR}$	WRITE INPUT
A0, A1	PORT ADDRESS
PA7-PA0	PORT A (8-BIT)
PB7-PB0	PORT B (8-BIT)
PC7-PC0	PORT C (8-BIT)
V_{CC}	+5 VOLTS
GND	0 VOLTS

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

8255A OPERATIONAL DESCRIPTION

Mode Selection

There are three basic modes of operation that can be selected by the system software:

Mode 0 – Basic Input/Output
Mode 1 – Strobed Input/Output
Mode 2 – Bi-Directional Bus

When the reset input goes "high" all ports will be set to the input mode (i.e., all 24 lines will be in the high impedance state). After the reset is removed the 8255A can remain in the input mode with no additional initialization required. During the execution of the system program any of the other modes may be selected using a single output instruction. This allows a single 8255A to service a variety of peripheral devices with a simple software maintenance routine.

The modes for Port A and Port B can be separately defined, while Port C is divided into two portions as required by the Port A and Port B definitions. All of the output registers, including the status flip-flops, will be reset whenever the mode is changed. Modes may be combined so that their functional definition can be "tailored" to almost any I/O structure. For instance; Group B can be programmed in Mode 0 to monitor simple switch closings or display computational results, Group A could be programmed in Mode 1 to monitor a keyboard or tape reader on an interrupt-driven basis.

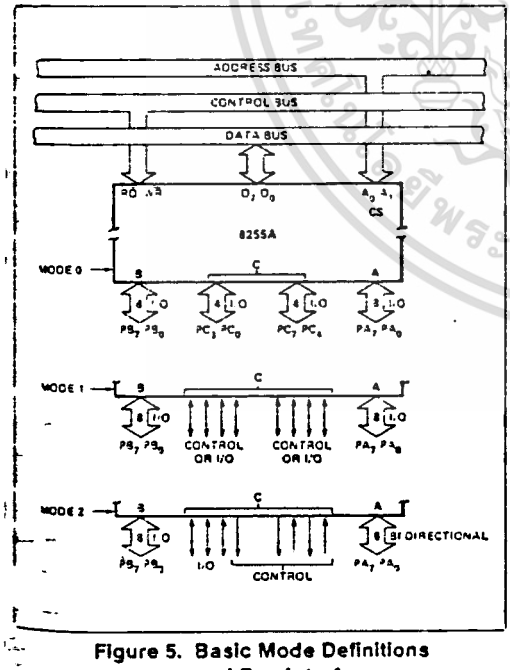


Figure 5. Basic Mode Definitions and Bus Interface

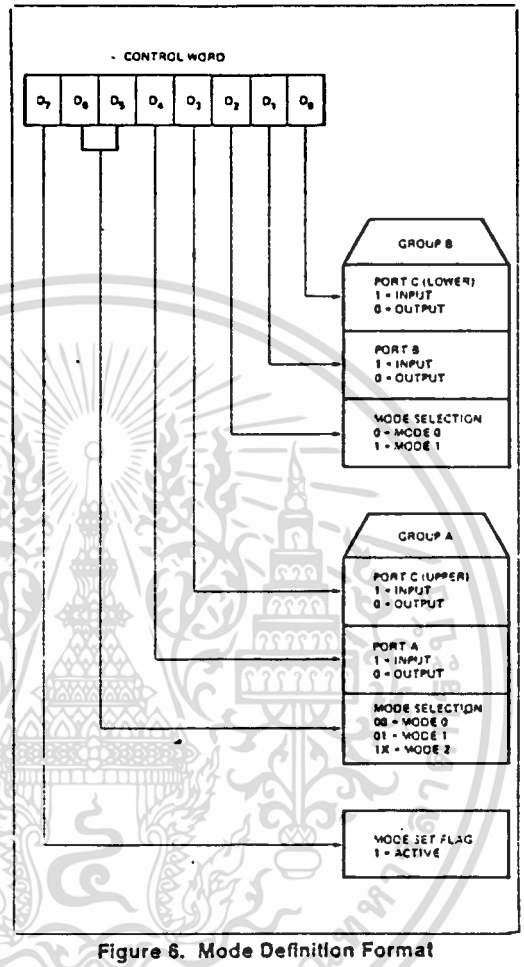


Figure 6. Mode Definition Format

The mode definitions and possible mode combinations may seem confusing at first but after a cursory review of the complete device operation a simple, logical I/O approach will surface. The design of the 8255A has taken into account things such as efficient PC board layout, control signal definition vs PC layout and complete functional flexibility to support almost any peripheral device with no external logic. Such design represents the maximum use of the available pins.

Single Bit Set/Reset Feature

Any of the eight bits of Port C can be Set or Reset using a single OUTput instruction. This feature reduces software requirements in Control-based applications.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

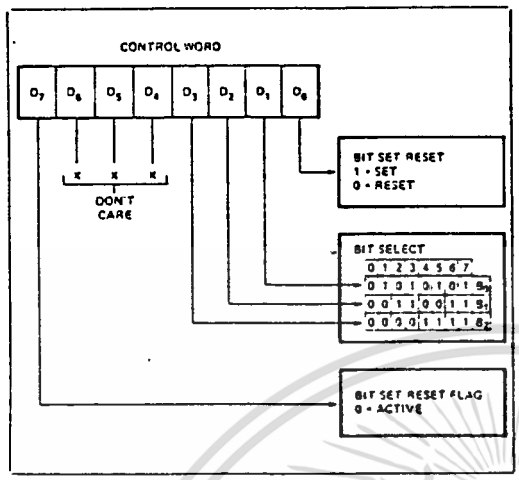


Figure 7. Bit Set/Reset Format

When Port C is being used as status/control for Port A or B these bits can be set or reset by using the Bit Set/Reset operation just as if they were data output ports.

Interrupt Control Functions

When the 8255A is programmed to operate in mode 1 or mode 2, control signals are provided that can be used as interrupt request inputs to the CPU. The interrupt request signals, generated from port C, can be inhibited or enabled by setting or resetting the associated INTE flip-flop, using the bit set/reset function of port C.

This function allows the Programmer to disallow or allow a specific I/O device to interrupt the CPU without affecting any other device in the interrupt structure.

INTE flip-flop definition:

(BIT-SET) – INTE is SET – Interrupt enable
(BIT-RESET) – INTE is RESET – Interrupt disable

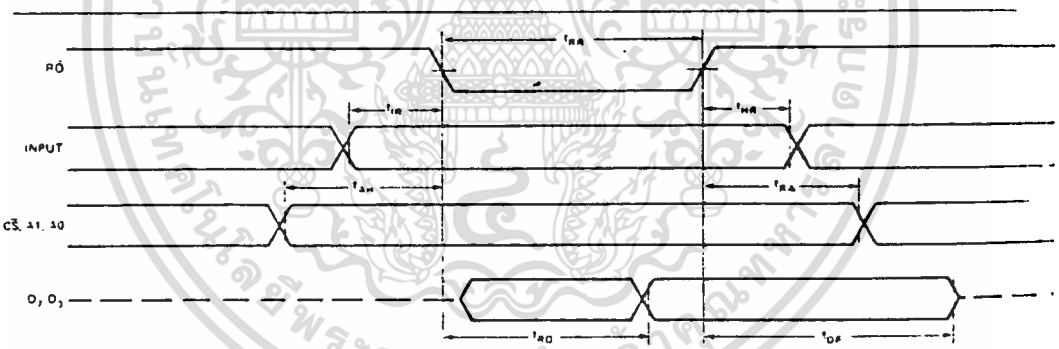
Note: All Mask flip-flops are automatically reset during mode selection and device Reset.

Operating Modes

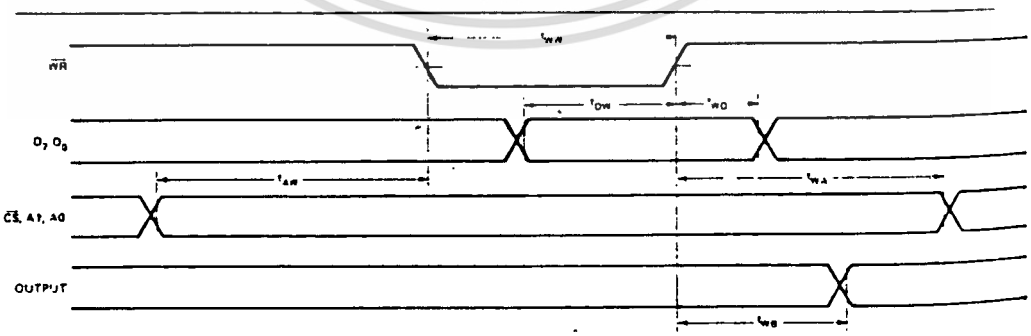
MODE 0 (Basic Input/Output). This functional configuration provides simple input and output operations for each of the three ports. No "handshaking" is required, data is simply written to or read from a specified port.

Mode 0 Basic Functional Definitions:

- Two 8-bit ports and two 4-bit ports.
- Any port can be input or output.
- Outputs are latched.
- Inputs are not latched.
- 16 different Input/Output configurations are possible in this Mode.



MODE 0 (Basic Input)



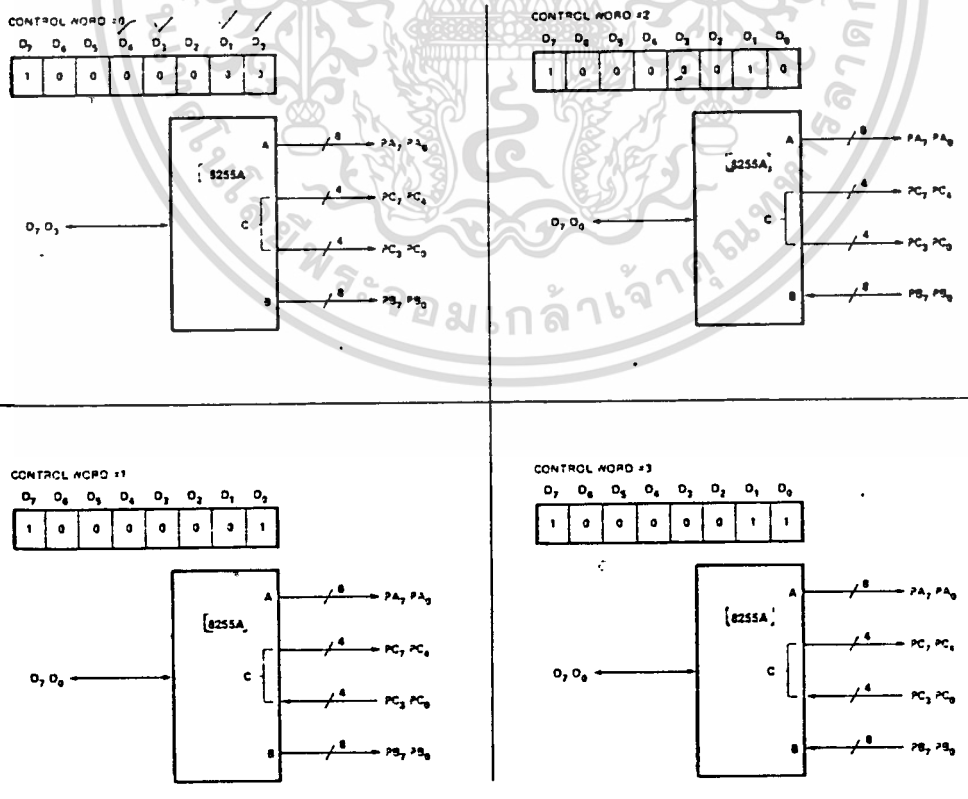
MODE 0 (Basic Output)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MODE 0 Port Definition

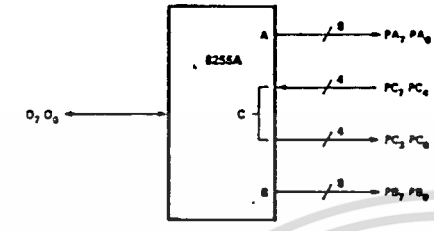
A		B		GROUP A			GROUP B	
D_4	D_3	D_1	D_0	PORT A	PORT C (UPPER)	#	PORT B	PORT C (LOWER)
0	0	0	0	OUTPUT	OUTPUT	0	OUTPUT	OUTPUT
0	0	0	1	OUTPUT	OUTPUT	1	OUTPUT	INPUT
0	0	1	0	OUTPUT	OUTPUT	2	INPUT	OUTPUT
0	0	1	1	OUTPUT	OUTPUT	3	INPUT	INPUT
0	1	0	0	OUTPUT	INPUT	4	OUTPUT	OUTPUT
0	1	0	1	OUTPUT	INPUT	5	OUTPUT	INPUT
0	1	1	0	OUTPUT	INPUT	6	INPUT	OUTPUT
0	1	1	1	OUTPUT	INPUT	7	INPUT	INPUT
1	0	0	0	INPUT	OUTPUT	8	OUTPUT	OUTPUT
1	0	0	1	INPUT	OUTPUT	9	OUTPUT	INPUT
1	0	1	0	INPUT	OUTPUT	10	INPUT	OUTPUT
1	0	1	1	INPUT	OUTPUT	11	INPUT	INPUT
1	1	0	0	INPUT	INPUT	12	OUTPUT	OUTPUT
1	1	0	1	INPUT	INPUT	13	OUTPUT	INPUT
1	1	1	0	INPUT	INPUT	14	INPUT	OUTPUT
1	1	1	1	INPUT	INPUT	15	INPUT	INPUT

MODE 0 Configurations

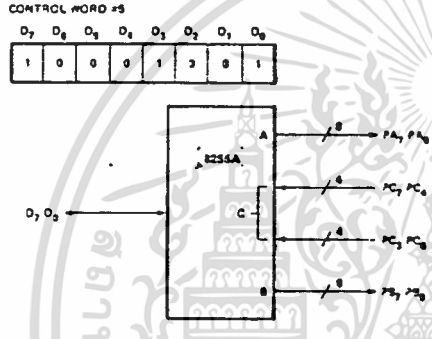


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

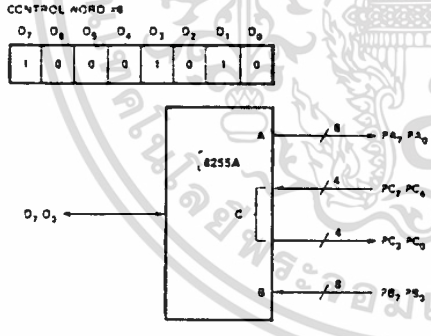
CONTROL WORD = 4



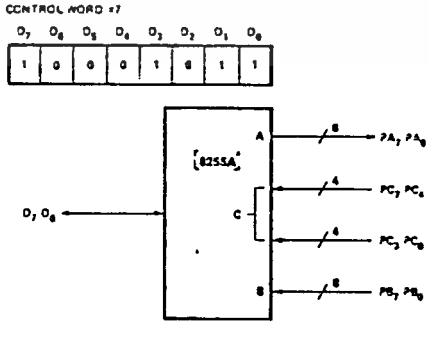
CONTROL WORD = 5



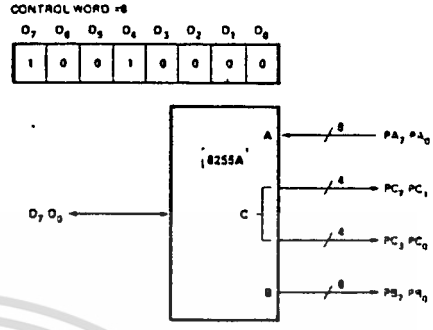
CONTROL WORD = 6



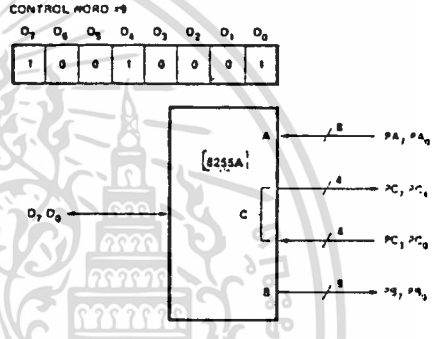
CONTROL WORD = 7



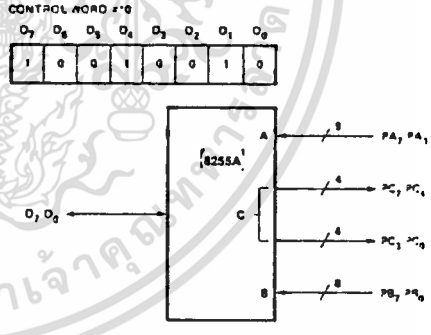
CONTROL WORD = 8



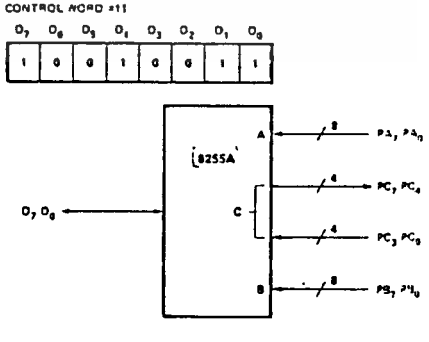
CONTROL WORD = 9



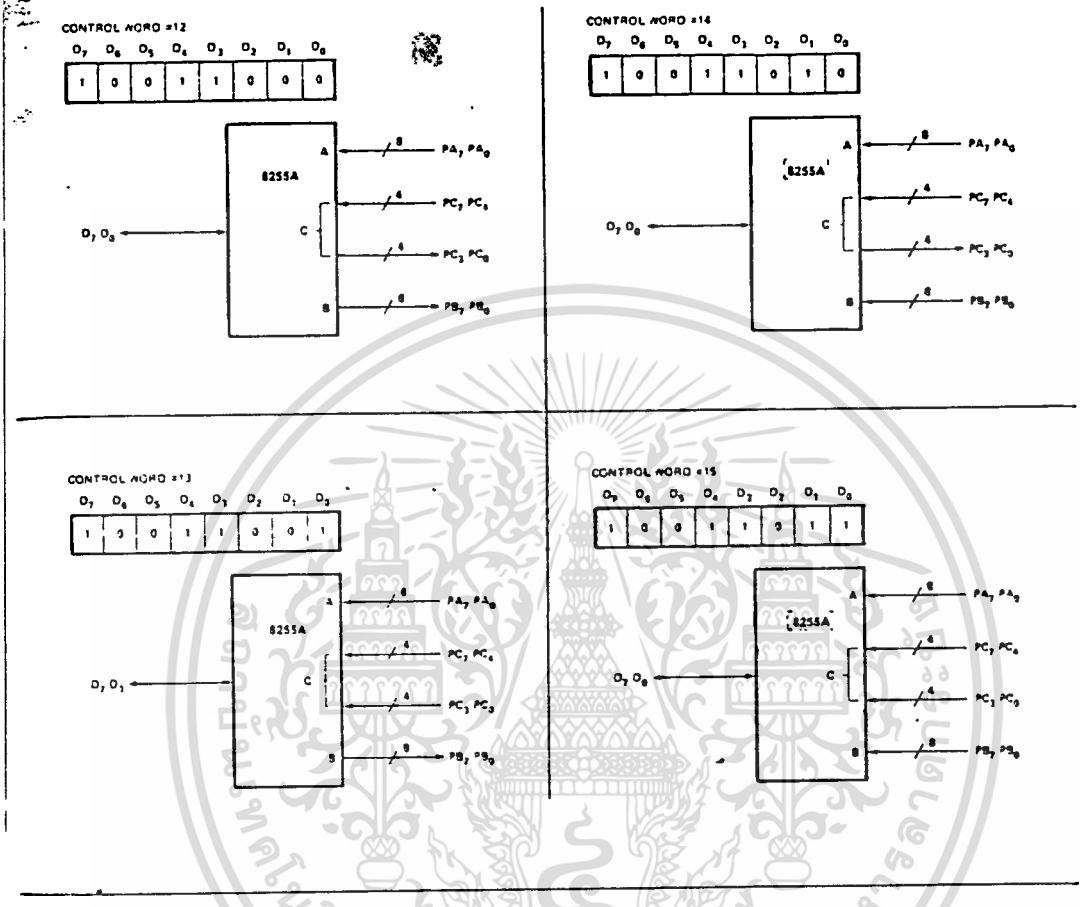
CONTROL WORD = 10



CONTROL WORD = 11



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



Operating Modes

MODE 1 (Strobed Input/Output). This functional configuration provides a means for transferring I/O data to or from a specified port in conjunction with strobes or "handshaking" signals. In mode 1, port A and Port B use the lines on port C to generate or accept these "handshaking" signals.

Mode 1 Basic Functional Definitions:

- Two Groups (Group A and Group B)
- Each group contains one 8-bit data port and one 4-bit control/data port.
- The 8-bit data port can be either input or output. Both inputs and outputs are latched.
- The 4-bit port is used for control and status of the 8-bit data port.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Input Control Signal Definition

STB (Strobe Input). A "low" on this input loads data into the input latch.

IBF (Input Buffer Full F/F)

A "high" on this output indicates that the data has been loaded into the input latch; in essence, an acknowledgement. IBF is set by STB input being low and is reset by the rising edge of the RD input.

INTR (Interrupt Request)

A "high" on this output can be used to interrupt the CPU when an input device is requesting service. INTR is set by the $\overline{STB}$ is a "one", IBF is a "one" and INTE is a "one". It is reset by the falling edge of $\overline{RD}$. This procedure allows an input device to request service from the CPU by simply strobing its data into the port.

INTE A

Controlled by bit set/reset of PC_4.

INTE B

Controlled by bit set/reset of PC_2.

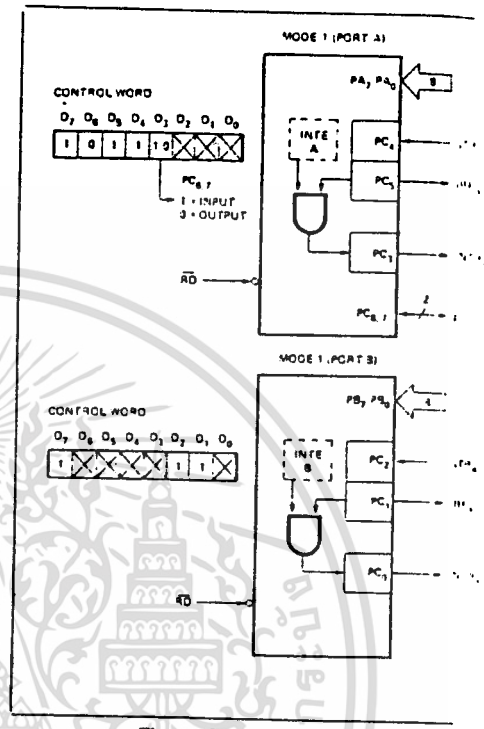


Figure 8. MODE 1 Input

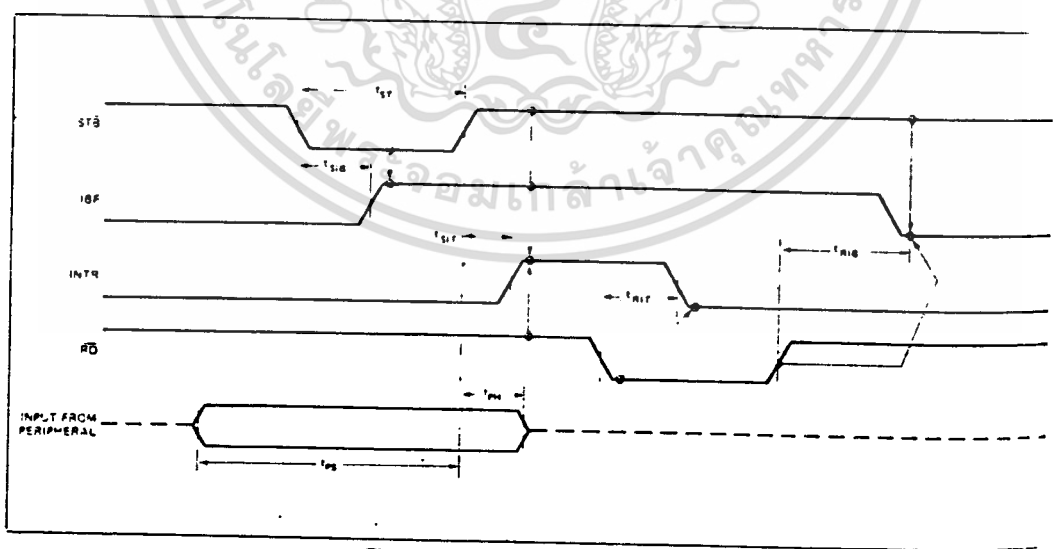


Figure 9. MODE 1 (Strobed Input)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Output Control Signal Definition

$\overline{OBF}$ (Output Buffer Full F/F). The OBF output will go "low" to indicate that the CPU has written data out to the specified port. The OBF F/F will be set by the rising edge of the WR input and reset by ACK input being low.

$\overline{ACK}$ (Acknowledge Input). A "low" on this input informs the 8255A that the data from port A or port B has been accepted. In essence, a response from the peripheral device indicating that it has received the data output by the CPU.

INTR (Interrupt Request). A "high" on this output can be used to interrupt the CPU when an output device has accepted data transmitted by the CPU. INTR is set when ACK is a "one", OBF is a "one" and INTE is a "one". It is reset by the falling edge of WR.

INTE A

Controlled by bit set/reset of PC_6.

INTE B

Controlled by bit set/reset of PC_2.

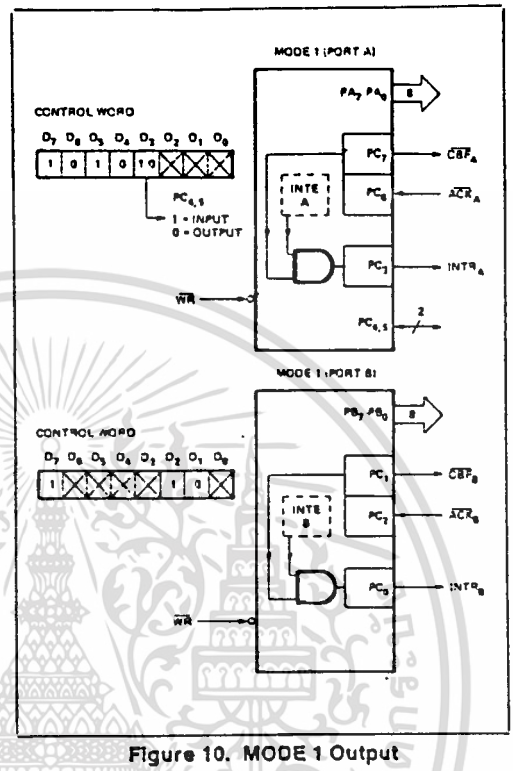


Figure 10. MODE 1 Output

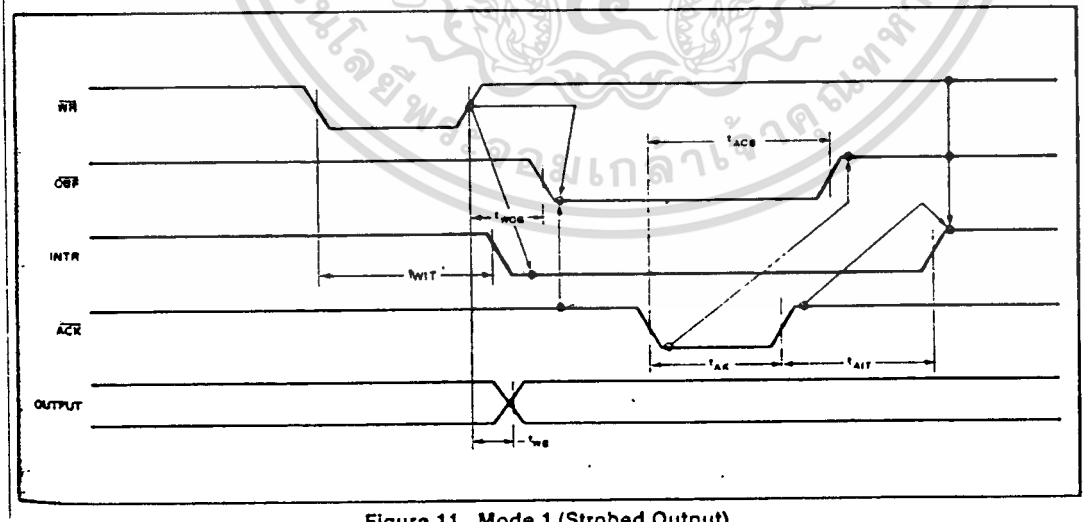


Figure 11. Mode 1 (Strobed Output)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

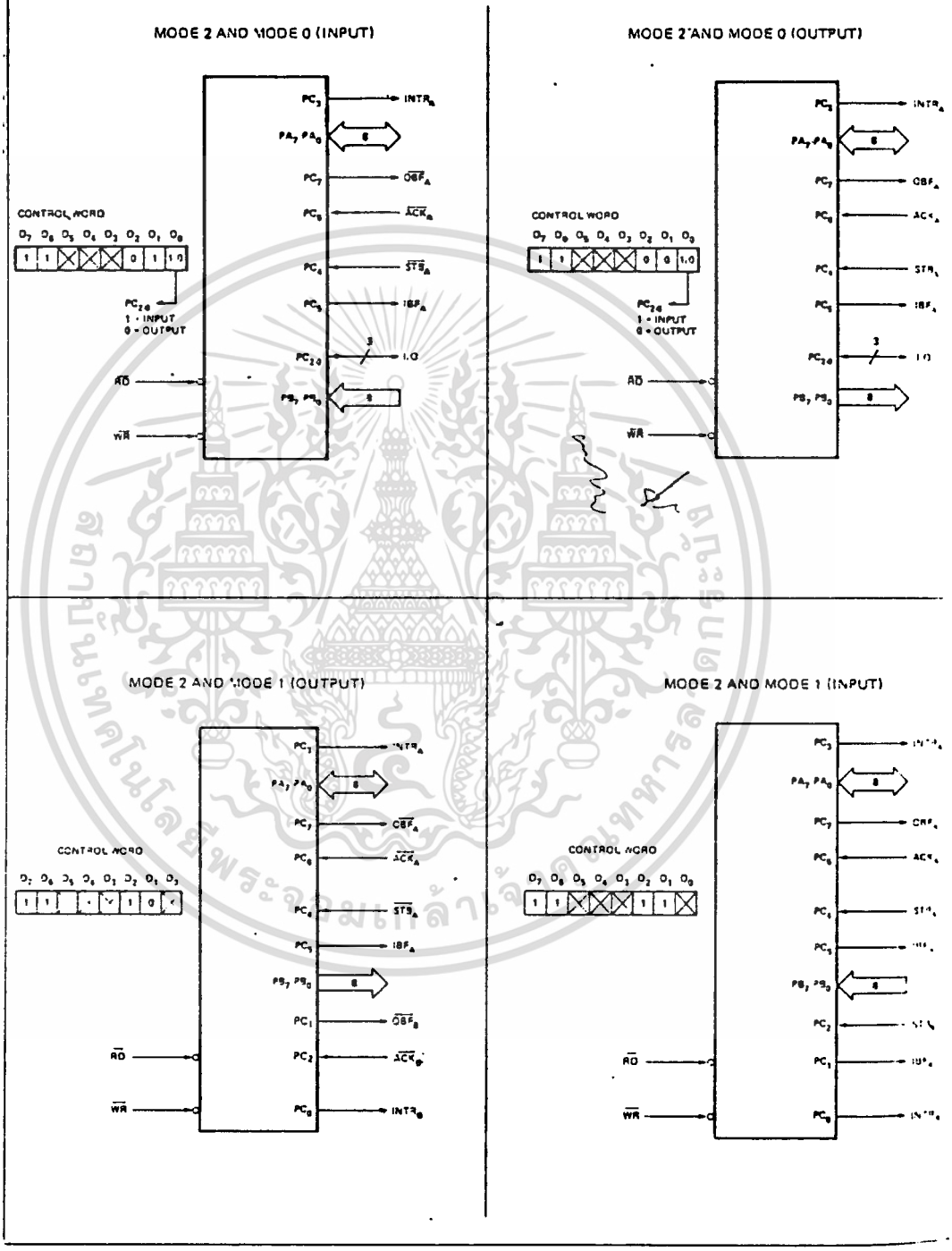


Figure 16. MODE ¼ Combinations

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Mode Definition Summary

	MODE 0		MODE 1		MODE 2	
	IN	OUT	IN	OUT	GROUP A ONLY	
PA_0	IN	OUT	IN	OUT	←→	
PA_1	IN	OUT	IN	OUT	←→	
PA_2	IN	OUT	IN	OUT	←→	
PA_3	IN	OUT	IN	OUT	←→	
PA_4	IN	OUT	IN	OUT	←→	
PA_5	IN	OUT	IN	OUT	←→	
PA_6	IN	OUT	IN	OUT	←→	
PA_7	IN	OUT	IN	OUT	←→	
PB_0	IN	OUT	IN	OUT	—	MODE 0 OR MODE 1 ONLY
PB_1	IN	OUT	IN	OUT	—	
PB_2	IN	OUT	IN	OUT	—	
PB_3	IN	OUT	IN	OUT	—	
PB_4	IN	OUT	IN	OUT	—	
PB_5	IN	OUT	IN	OUT	—	
PB_6	IN	OUT	IN	OUT	—	
PB_7	IN	OUT	IN	OUT	—	
PC_0	IN	OUT	$INTR_B$	$INTR_B$	I/O	
PC_1	IN	OUT	IBF_B	$\overline{OBF}_B$	I/O	
PC_2	IN	OUT	$\overline{STB}_B$	$\overline{ACK}_B$	I/O	
PC_3	IN	OUT	$INTR_A$	$INTR_A$	$INTR_A$	
PC_4	IN	OUT	$\overline{STB}_A$	I/O	$\overline{STB}_A$	
PC_5	IN	OUT	IBF_A	I/O	IBF_A	
PC_6	IN	OUT	I/O	$\overline{ACK}_A$	$\overline{ACK}_A$	
PC_7	IN	OUT	I/O	$\overline{OBF}_A$	$\overline{OBF}_A$	

Special Mode Combination Considerations

There are several combinations of modes when not all of the bits in Port C are used for control or status. The remaining bits can be used as follows:

If Programmed as Inputs –
All input lines can be accessed during a normal Port C read.

If Programmed as Outputs –
Bits in C upper (PC_7-PC_4) must be individually accessed using the bit set/reset function.

Bits in C lower (PC_3-PC_0) can be accessed using the bit set/reset function or accessed as a threesome by writing into Port C.

Source Current Capability on Port B and Port C

Any set of eight output buffers, selected randomly from Ports B and C can source 1mA at 1.5 volts. This feature allows the 8255 to directly drive Darlington type drivers and high-voltage displays that require such source current.

Reading Port C Status

In Mode 0, Port C transfers data to or from the peripheral device. When the 8255 is programmed to function in Modes 1 or 2, Port C generates or accepts "hand-shaking" signals with the peripheral device. Reading the contents of Port C allows the programmer to test or verify the "status" of each peripheral device and change the program flow accordingly.

There is no special instruction to read the status information from Port C. A normal read operation of Port C is executed to perform this function.

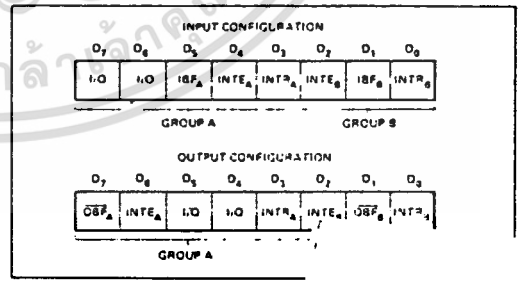


Figure 17. MODE 1 Stat

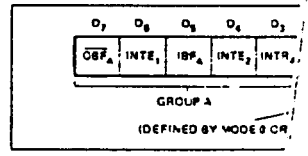


Figure 18. MODE 2 St

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

APPLICATIONS OF THE 8255A

The 8255A is a very powerful tool for interfacing peripheral equipment to the microcomputer system. It represents the optimum use of available pins and is flexible enough to interface almost any I/O device without the need for additional external logic.

Each peripheral device in a microcomputer system usually has a "service routine" associated with it. The routine manages the software interface between the device and the CPU. The functional definition of the 8255A is programmed by the I/O service routine and becomes an extension of the system software. By examining the I/O devices interface characteristics for both data transfer and timing, and matching this information to the examples and tables in the detailed operational description, a control word can easily be developed to initialize the 8255A to exactly "fit" the application. Figures 19 through 25 present a few examples of typical applications of the 8255A.

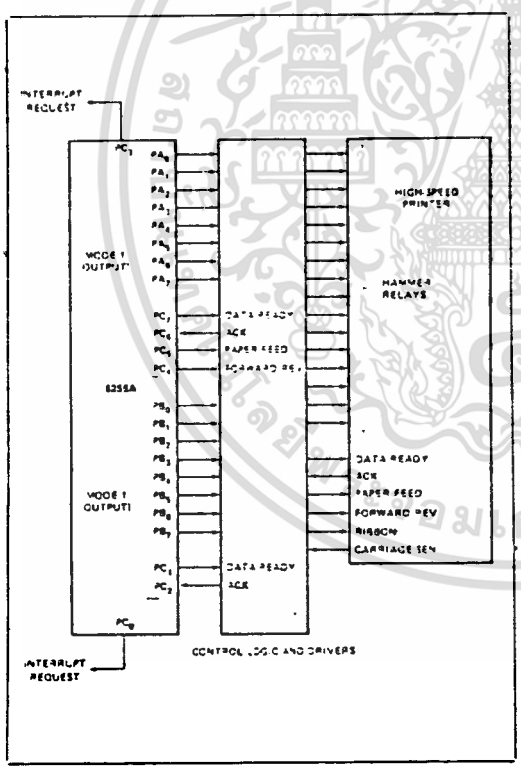


Figure 19. Printer Interface

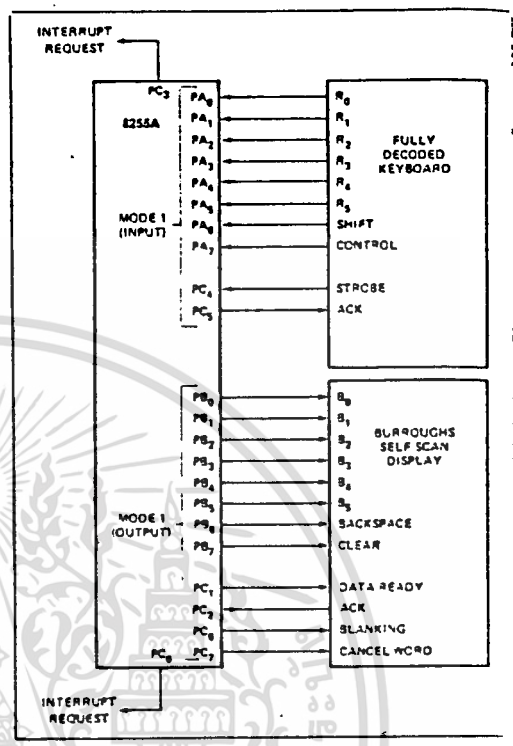


Figure 20. Keyboard and Display Interface

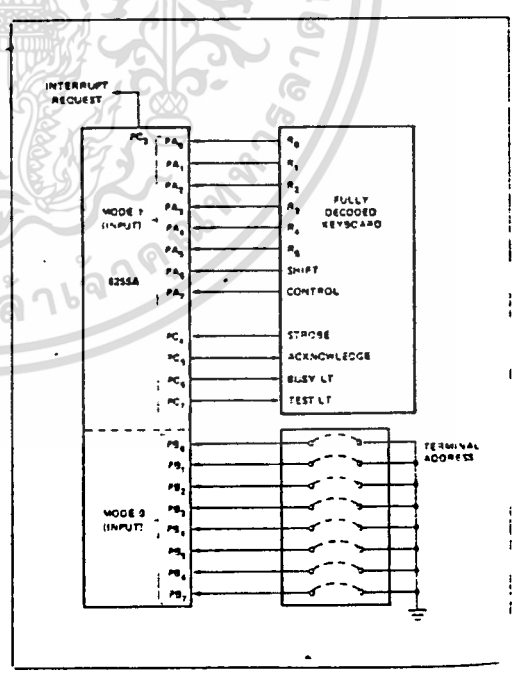


Figure 21. Keyboard and Terminal Address Interface

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

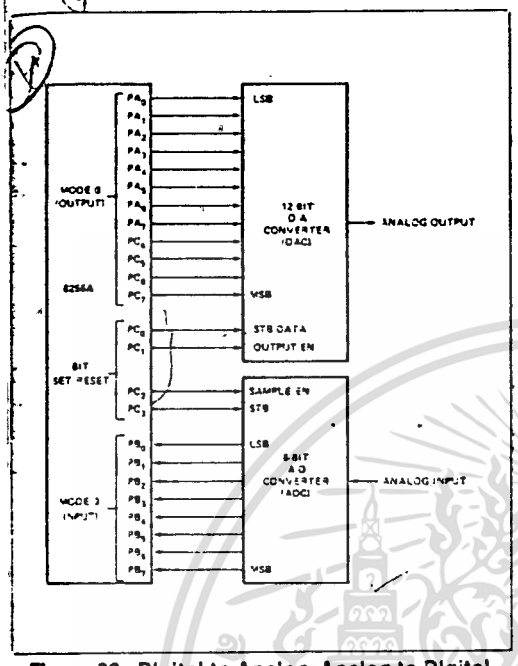


Figure 22. Digital to Analog, Analog to Digital

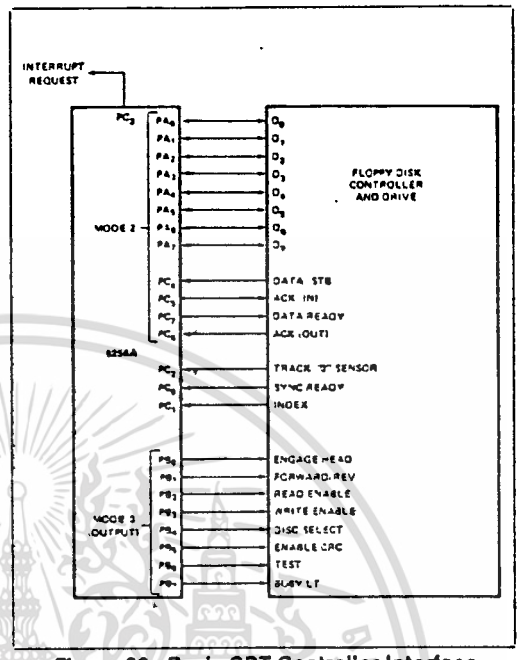


Figure 23. Basic CRT Controller Interface

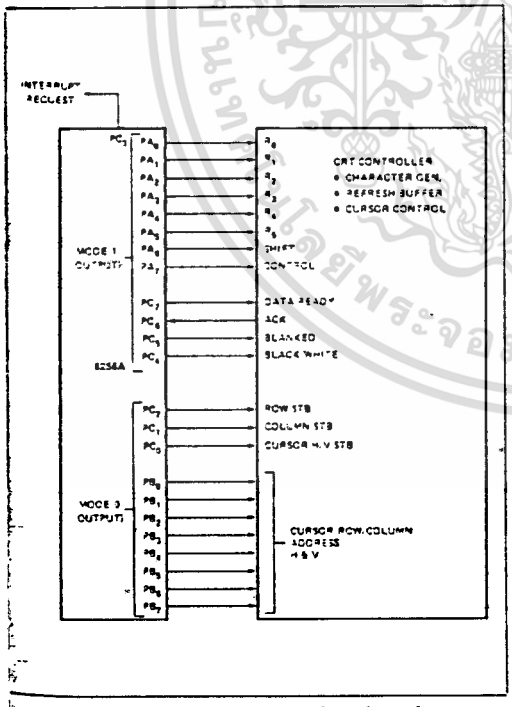


Figure 24. Basic Floppy Disc Interface

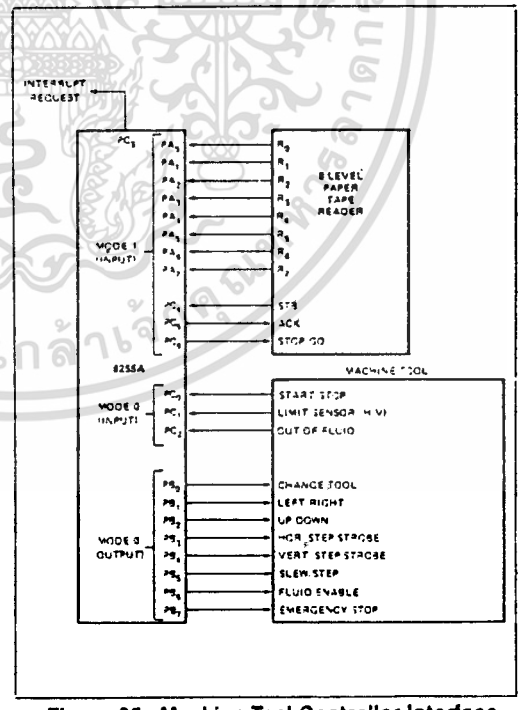


Figure 25. Machine Tool Controller Interface

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ABSOLUTE MAXIMUM RATINGS*

Ambient Temperature Under Bias . . . . . 0°C to 70°C
Storage Temperature . . . . . −65°C to +150°C
Voltage on Any Pin
With Respect to Ground . . . . . −0.5V to +7V
Power Dissipation . . . . . 1 Watt

NOTICE: Stresses above those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. This is a stress rating only and functional operation of the device at these or any other conditions above those indicated in the operational sections of this specification is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

D.C. CHARACTERISTICS (T_A = 0°C to 70°C, V_{CC} = +5V ± 10%, GND = 0V)*

Symbol	Parameter	Min.	Max.	Unit	Test Conditions
V_{IL}	Input Low Voltage	-0.5	0.8	V	
V_{IH}	Input High Voltage	2.0	V_{CC}	V	
V_{OL} (D8)	Output Low Voltage (Data Bus)		0.45	V	I_{OL} = 2.5mA
V_{OL} (PER)	Output Low Voltage (Peripheral Port)		0.45	V	I_{OL} = 1.7mA
V_{OH} (D8)	Output High Voltage (Data Bus)	2.4		V	I_{OH} = -400μA
V_{OH} (PER)	Output High Voltage (Peripheral Port)	2.4		V	I_{OH} = -200μA
I_{DAR}[1]	Darlington Drive Current	-1.0	-4.0	mA	R_{EXT} = 750Ω; V_{EXT} = 1.5V
I_{CC}	Power Supply Current		120	mA	
I_{IL}	Input Load Current		±10	μA	V_{IN} = V_{CC} to 0V
I_{OFL}	Output Float Leakage		±10	μA	V_{OUT} = V_{CC} to .45V

NOTE:
1. Available on any 8 pins from Port B and C.

CAPACITANCE (T_A = 25°C, V_{CC} = GND = 0V)

Symbol	Parameter	Min.	Typ.	Max.	Unit	Test Conditions
C_{IN}	Input Capacitance			10	pF	fc = 1MHz
$C_{I/O}$	I/O Capacitance			20	pF	Unmeasured pins returned to GND

A.C. CHARACTERISTICS (T_A = 0°C to 70°C, V_{CC} = +5V ± 10%, GND = 0V)*

Bus Parameters

READ

Symbol	Parameter	8255A		8255A-5		Unit
		Min.	Max.	Min.	Max.	
t_{AR}	Address Stable Before READ	0		0		ns
t_{RA}	Address Stable After READ	0		0		ns
t_{RR}	READ Pulse Width	300		300		ns
t_{RD}	Data Valid From READ[1]		250		200	ns
t_{DF}	Data Float After READ	10	150	10	100	ns
t_{RV}	Time Between READs and/or WRITEs	850		850		ns

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

A.C. CHARACTERISTICS (Continued)

WRITE

Symbol	Parameter	8255A		8255A-5		Unit
		Min.	Max.	Min.	Max.	
t_{AW}	Address Stable Before WRITE	0		0		ns
t_{WA}	Address Stable After WRITE	20		20		ns
t_{WW}	WRITE Pulse Width	400		300		ns
t_{DW}	Data Valid to WRITE (T.E.)	100		100		ns
t_{WD}	Data Valid After WRITE	30		30		ns

OTHER TIMINGS

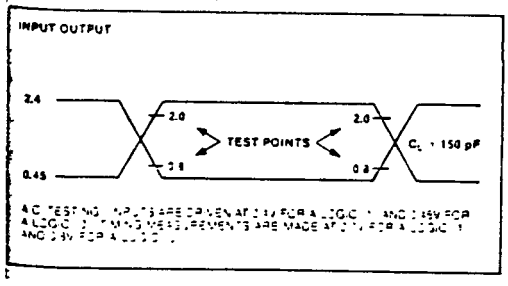
Symbol	Parameter	8255A		8255A-5		Unit
		Min.	Max.	Min.	Max.	
t_{WB}	WR = 1 to Output[1]		350		350	ns
t_{IR}	Per pheral Data Before RD	0		0		ns
t_{HR}	Peripheral Data After RD	0		0		ns
t_{AK}	ACK Pulse Width	300		300		ns
t_{ST}	STB Pulse Width	500		500		ns
t_{PS}	Per. Data Before T.E. of STB	0		0		ns
t_{PH}	Per. Data After T.E. of STB	180		180		ns
t_{AD}	ACK = 0 to Output[1]		300		300	ns
t_{KD}	ACK = 1 to Output Float	20	250	20	250	ns
t_{WOB}	WR = 1 to OBF = 0[1]		650		650	ns
t_{AOB}	ACK = 0 to OBF = 1[1]		350		350	ns
t_{SIB}	STB = 0 to IBF = 1[1]		300		300	ns
t_{RIB}	RD = 1 to IBF = 0[1]		300		300	ns
t_{RIT}	RD = 0 to INTR = 0[1]		400		400	ns
t_{SIT}	STB = 1 to INTR = 1[1]		300		300	ns
t_{AIT}	ACK = 1 to INTR = 1[1]		350		350	ns
t_{WIT}	WR = 0 to INTR = 0[1,3]		450		450	ns

NOTES:

1. Test Conditions: C_L = 150 pF.
2. Period of Reset pulse must be at least 50μs during or after power on. Subsequent Reset pulse can be 500 ns min.
3. INTR may occur as early as $\overline{WR}$.

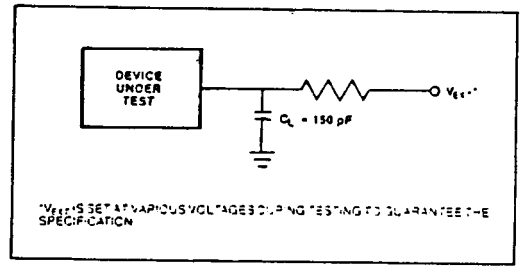
* For Extended Temperature EXPRESS, use M8255A electrical parameters.

A.C. TESTING INPUT, OUTPUT WAVEFORM



A.C. TESTING INPUTS ARE DRIVEN AT 2.4V FOR A LOGIC "1" AND 0.45V FOR A LOGIC "0". TIMING MEASUREMENTS ARE MADE AT 2.0V FOR A LOGIC "1" AND 0.8V FOR A LOGIC "0".

A.C. TESTING LOAD CIRCUIT

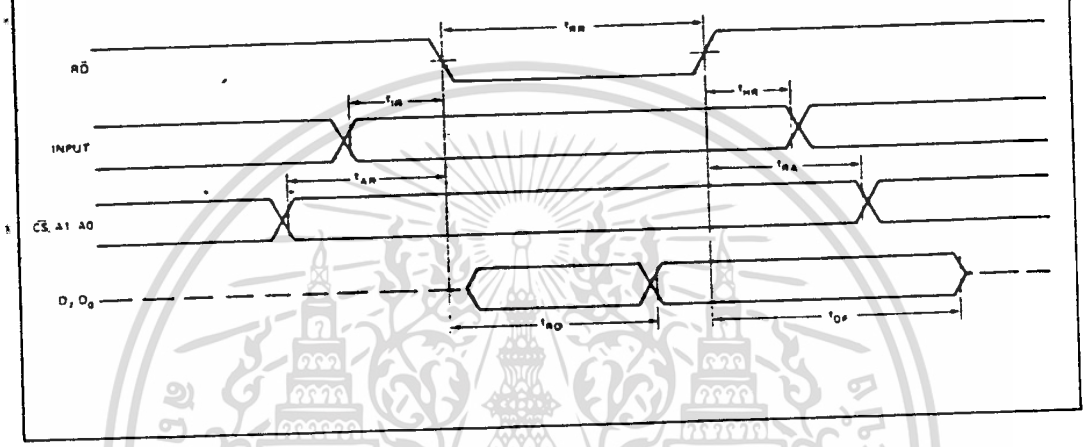


*V_{test} IS SET AT VARIOUS VOLTAGES DURING TESTING TO GUARANTEE THE SPECIFICATION

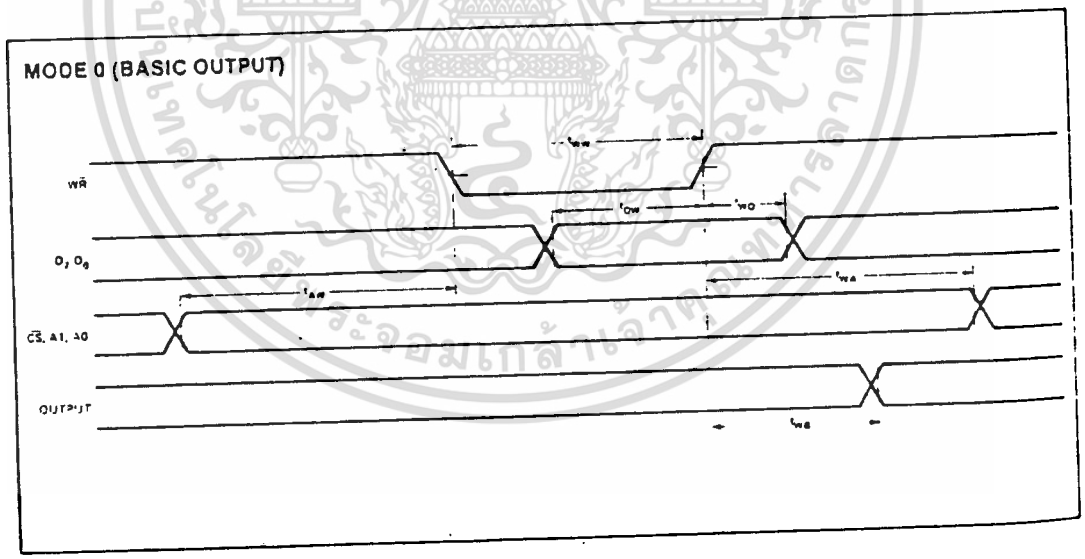
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

WAVEFORMS

MODE 0 (BASIC INPUT)



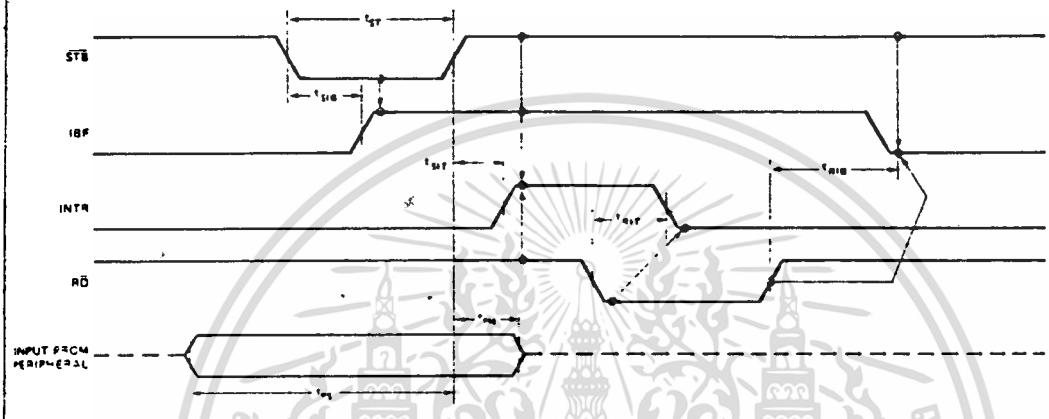
MODE 0 (BASIC OUTPUT)



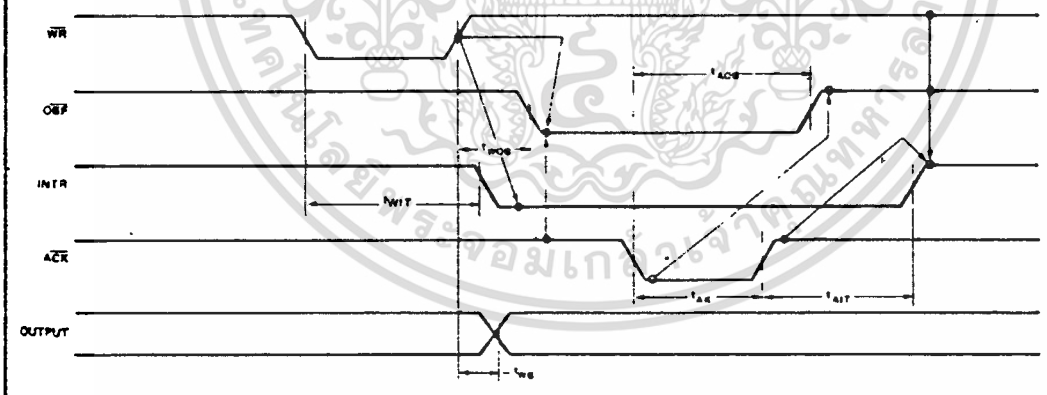
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

WAVEFORMS (Continued)

MODE 1 (STROBED INPUT)



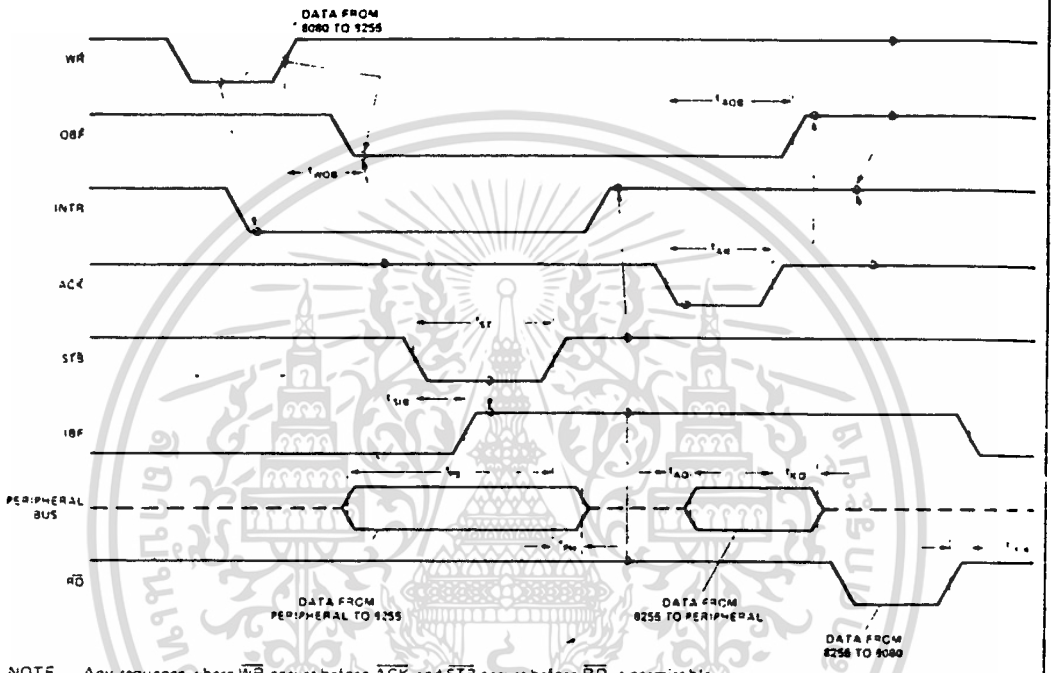
MODE 1 (STROBED OUTPUT)



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

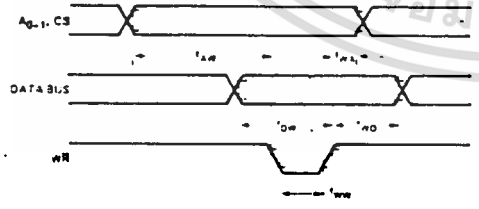
WAVEFORMS (Continued)

MODE 2 (BIDIRECTIONAL)

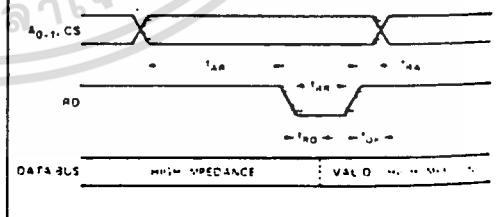


NOTE. Any sequence where $\overline{WR}$ occurs before $\overline{ACK}$ and $\overline{STB}$ occurs before $\overline{RD}$ is permissible.
(INTR = IBF · $\overline{MASK}$ · $\overline{STB}$ · $\overline{RD}$ + $\overline{OBF}$ · $\overline{MASK}$ · $\overline{ACK}$ · $\overline{WR}$)

WRITE TIMING



READ TIMING



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

National Semiconductor

Sample and Hold

LF198/LF298/LF398 monolithic sample and hold circuits

general description

The LF198/LF298/LF398 are monolithic sample and hold circuits which utilize BI-FET technology to obtain ultra-high dc accuracy with fast acquisition of signal and low droop rate. Operating as a unity gain follower, dc gain accuracy is 0.002% typical and acquisition time is as low as 6μs to 0.01%. A bipolar input stage is used to achieve low offset voltage and wide bandwidth. Input offset adjust is accomplished with a single pin and does not degrade input offset drift. The wide bandwidth allows the LF198 to be included inside the feedback loop of 1 MHz op amps without having stability problems. Input impedance of $10^{10}\Omega$ allows high source impedances to be used without degrading accuracy.

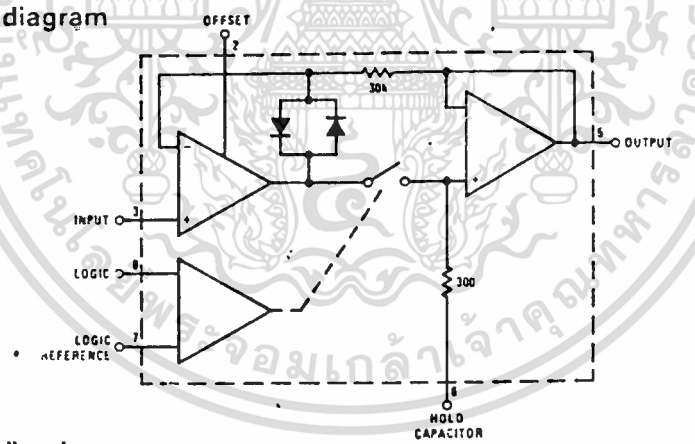
P-channel junction FET's are combined with bipolar devices in the output amplifier to give droop rates as low as 5 mV/min with a 1μF hold capacitor. The JFET's have much lower noise than MOS devices used in previous designs and do not exhibit high temperature instabilities. The overall design guarantees no feedthrough from input to output in the hold mode even for input signals equal to the supply voltages.

features

- Operates from ±5V to ±18V supplies
- Less than 10μs acquisition time
- TTL, PMOS, CMOS compatible logic input
- 0.5 mV typical hold step at C_h = 0.01μF
- Low input offset
- 0.002% gain accuracy
- Low output noise in hold mode
- Input characteristics do not change during hold mode
- High supply rejection ratio in sample or hold
- Wide bandwidth

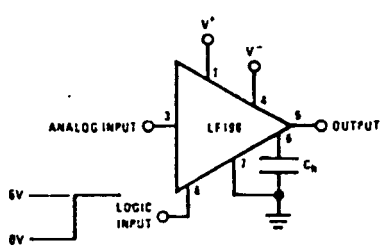
Logic inputs on the LF198 are fully differential with low input current, allowing direct connection to TTL, PMOS, and CMOS. Differential threshold is 1.4V. The LF198 will operate from ±5V to ±18V supplies. It is available in an 8-lead TO-5 package.

functional diagram

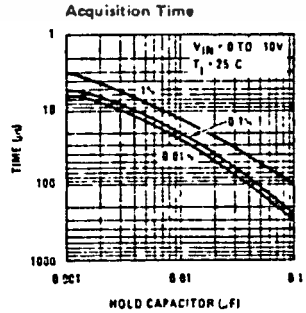


typical applications

Typical Connection



Acquisition Time



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

absolute maximum ratings

Supply Voltage	±18V	Input Voltage	Equal to Supply Voltage
Power Dissipation (Package Limitation) (Note 1)	500 mW	Logic To Logic Reference Differential Voltage (Note 2)	+7V, −30V
Operating Ambient Temperature Range		Output Short Circuit Duration	Indefinite
LF198	−55°C to +125°C	Hold Capacitor Short Circuit Duration	10 sec
LF298	−25°C to +85°C	Lead Temperature (Soldering, 10 seconds)	300°C
LF398	0°C to +70°C		
Storage Temperature Range	−65°C to +150°C		

electrical characteristics (Note 3)

PARAMETER	CONDITIONS	LF198/LF298			LF398			UNITS
		MIN	TYP	MAX	MIN	TYP	MAX	
Input Offset Voltage, (Note 6)	T_j = 25°C		1	3		2	7	mV
	Full Temperature Range			5			10	mV
Input Bias Current, (Note 6)	T_j = 25°C		5	25		10	50	nA
	Full Temperature Range			75			100	nA
Input Impedance	T_j = 25°C		10^{10}			10^{10}		Ω
Gain Error	T_j = 25°C, R_L = 10k		0.002	0.005		0.004	0.01	%
	Full Temperature Range			0.02			0.02	%
Feedthrough Attenuation Ratio at 1 kHz	T_j = 25°C, C_h = 0.01μF	86	96		80	90		dB
Output Impedance	T_j = 25°C, "HOLD" mode		0.5	2		0.5	4	Ω
	Full Temperature Range			4			6	Ω
"HOLD" Step, (Note 4)	T_j = 25°C, C_h = 0.01μF, V_{OUT} = 0		0.5	2.0		1.0	2.5	mV
Supply Current, (Note 6)	T_j = 25°C		4.5	5.5		4.5	6.5	mA
Logic and Logic Reference Input Current	T_j = 25°C		2	10		2	10	μA
Leakage Current into Hold Capacitor (Note 6)	T_j = 25°C, (Note 5) Hold Mode		30	100		30	200	pA
Acquisition Time to 0.1%	ΔV_{OUT} = 10V, C_h = 1000 pF		4			4		μs
	C_h = 0.01μF		20			20		μs
Hold Capacitor Charging Current	$V_{IN} - V_{OUT}$ = 2V		5			5		mA
Supply Voltage Rejection Ratio	V_{OUT} = 0	80	110		80	110		dB
Differential Logic Threshold	T_j = 25°C	0.8	1.4	2.4	0.8	1.4	2.4	V

Note 1: The maximum junction temperature of the LF198 is 150°C, for the LF298, 115°C, and for the LF398, 100°C. When operating at elevated ambient temperature, the TO-5 package must be derated based on a thermal resistance ($\theta_{j,A}$) of 150°C/W.

Note 2: Although the differential voltage may not exceed the limits given, the common mode voltage on the logic pins may be equal to the supply voltages without causing damage to the circuit. For proper logic operation, however, one of the logic pins must always be at least 2V below the positive supply and 3V above the negative supply.

Note 3: Unless otherwise specified, the following conditions apply. Unit is in "sample" mode, V_S = ±15V, T_j = 25°C, −11.5V ≤ V_{IN} ≤ +11.5V, C_h = 0.01μF, and R_L = 10 kΩ. Logic reference voltage = 0V and logic voltage = 2.5V.

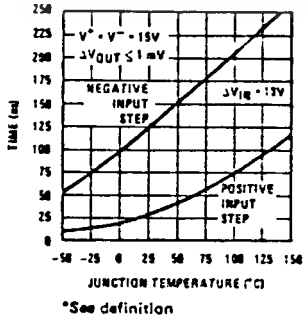
Note 4: Hold step is sensitive to stray capacitive coupling between input logic signals and the hold capacitor. 1 pF, for instance, will create an additional 0.5 mV step with a 5V logic swing and a 0.01μF hold capacitor. Magnitude of the hold step is inversely proportional to hold capacitor value.

Note 5: Leakage current is measured at a *junction* temperature of 25°C. The effects of junction temperature rise due to power dissipation or elevated ambient can be calculated by doubling the 25°C value for each 11°C increase in chip temperature. Leakage is guaranteed over full input signal range.

Note 6: These parameters guaranteed over a supply voltage range of ±5 to ±18V.

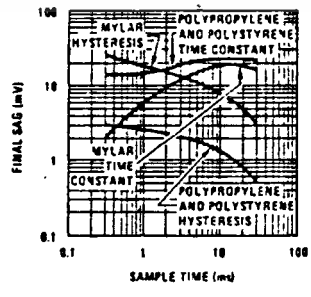
typical performance characteristics

Aperture Time*

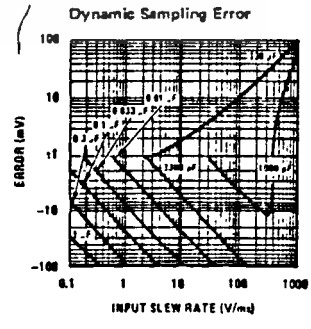


*See definition

Capacitor Hysteresis



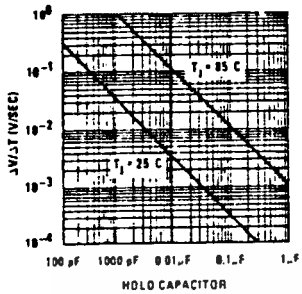
Dynamic Sampling Error



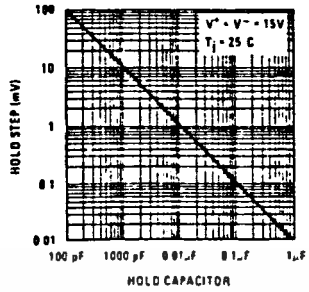
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

typical performance characteristics (con't)

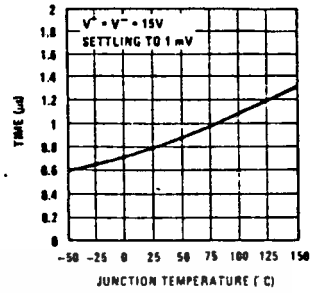
Output Droop Rate



Hold Step

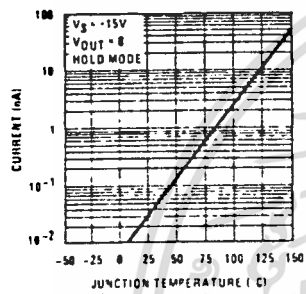


"Hold" Settling Time*

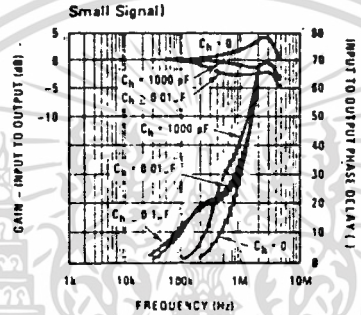


*See definition

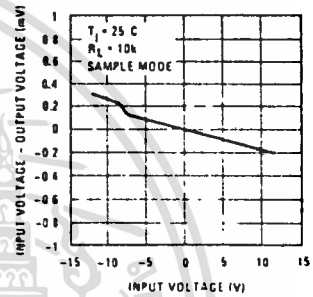
Leakage Current into Hold Capacitor



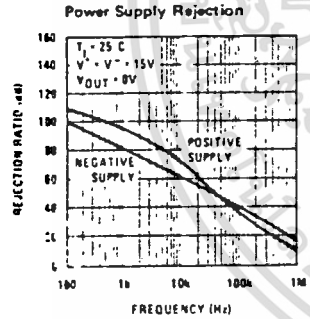
Phase and Gain (Input to Output, Small Signal)



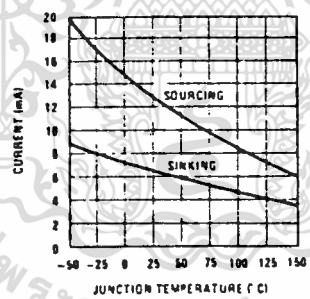
Gain Error



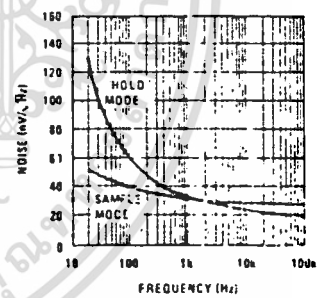
Power Supply Rejection



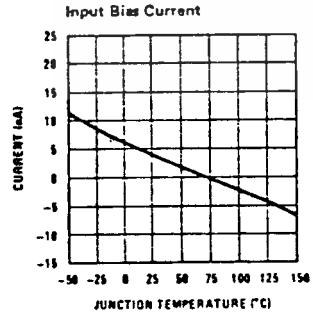
Output Short Circuit Current



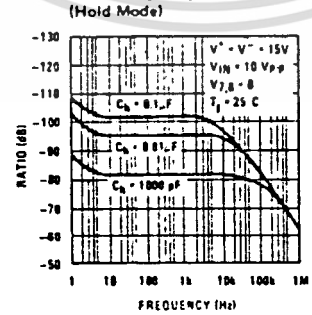
Output Noise



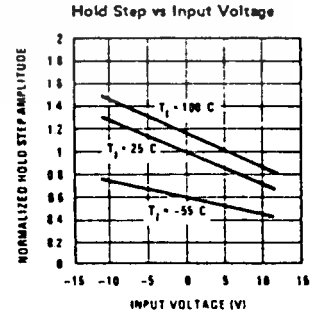
Input Bias Current



Feedthrough Rejection Ratio (Hold Mode)



Hold Step vs Input Voltage



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

application hints

Hold Capacitor

Hold step, acquisition time, and droop rate are the major trade-offs in the selection of a hold capacitor value. Size and cost may also become important for larger values. Use of the curves included with this data sheet should be helpful in selecting a reasonable value of capacitance. Keep in mind that for fast repetition rates or tracking fast signals, the capacitor drive currents may cause a significant temperature rise in the LF198.

A significant source of error in an accurate sample and hold circuit is dielectric absorption in the hold capacitor. A mylar cap, for instance, may "sag back" up to 0.2% after a quick change in voltage. A long "soak" time is required before the circuit can be put back into the hold mode with this type of capacitor. Dielectrics with very low hysteresis are polystyrene, polypropylene, and Teflon. Other types such as mica and polycarbonate do not nearly as good. Ceramic is unusable with > 1% hysteresis. The advantage of polypropylene over polystyrene is that it extends the maximum ambient temperature from 35°C to 100°C. For more exact data, see the curve labeled dielectric absorption error vs sample time. The hysteresis numbers on the curve are final values, taken after full relaxation. The hysteresis error can be significantly reduced if the output of the LF198 is digitized quickly after the hold mode is initiated. The hysteresis relaxation time constant in polypropylene, for instance, is 10–50 ms. If A-to-D conversion can be made within 1 ms, hysteresis error will be reduced by a factor of ten.

DC and AC Zeroing

DC zeroing is accomplished by connecting the offset adjust pin to the wiper of a 1 kΩ potentiometer which has one end tied to V^+ and the other end tied through a resistor to ground. The resistor should be selected to give ≈0.6 mA through the 1k potentiometer.

AC zeroing (hold step zeroing) can be obtained by adding an inverter with the adjustment pot tied input to output. A 10 pF capacitor from the wiper to the hold capacitor will give ±4 mV hold step adjustment with a 0.01μF hold capacitor and 5V logic supply. For larger logic swings, a smaller capacitor (< 10 pF) may be used.

Logic Rise Time

For proper operation, logic signals into the LF198 must have a minimum dV/dt of 0.2 V/μs. Slower signals will cause excessive hold step. If a R/C network is used in front of the logic input for signal delay, calculate the slope of the waveform at the threshold point to ensure that it is at least 0.2 V/μs.

Sampling Dynamic Signals

Sample error due to moving input signals probably causes more confusion among sample-and-hold users than any other parameter. The primary reason for this is that many users make the assumption that the sample and hold amplifier is truly locked on to the input signal while in the sample mode. In actuality, there are finite phase delays through the circuit creating an input-output differential for fast moving signals. In addition, although the output may have settled, the hold capacitor has an additional lag due to the 300Ω series resistor on the chip. This means that at the moment the "hold" command arrives, the hold capacitor voltage may be somewhat different than the actual analog input. The effect of these delays is opposite to the effect created by delays in the logic which switches the circuit from sample to hold. For example, consider an analog input of 20 Vp-p at 10 kHz. Maximum dV/dt is 0.6 V/μs. With no analog phase delay and 100 ns logic delay, one could expect up to (0.1μs)(0.6V/μs) = 60 mV error if the "hold" signal arrived near maximum dV/dt of the input. A positive-going input would give a +60 mV error. Now assume a 1 MHz (3 dB) bandwidth for the overall analog loop. This generates a phase delay of 160 ns. If the hold capacitor sees this exact delay, then error due to analog delay will be (0.16μs)(0.6 V/μs) = −96 mV. Total output error is +60 mV (digital) −96 mV (analog) for a total of −36 mV. To add to the confusion, analog delay is proportional to hold capacitor value while digital delay remains constant. A family of curves (dynamic sampling error) is included to help estimate errors.

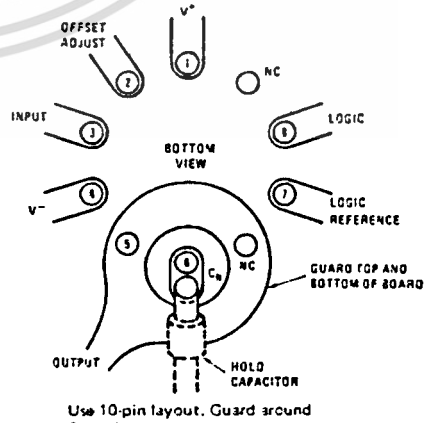
A curve labeled Aperture Time has been included for sampling conditions where the input is steady during the sampling period, but may experience a sudden change nearly coincident with the "hold" command. This curve is based on a 1 mV error fed into the output.

A second curve, Hold Settling Time indicates the time required for the output to settle to 1 mV after the "hold" command.

Digital Feedthrough

Fast rise time logic signals can cause hold errors by feeding externally into the analog input at the same time the amplifier is put into the hold mode. To minimize this problem, board layout should keep logic lines as far as possible from the analog input. Grounded guarding traces may also be used around the input line, especially if it is driven from a high impedance source. Reducing high amplitude logic signals to 2.5V will also help.

Guarding Technique

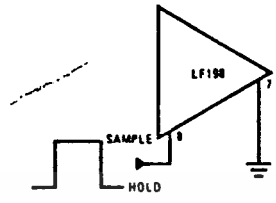


Use 10-pin layout. Guard around C_h is tied to output.

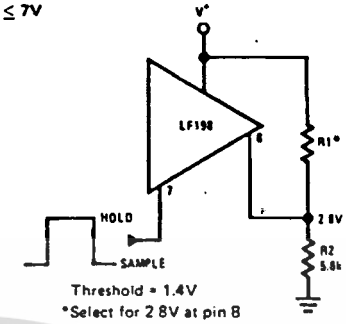
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

logic input configurations

TTL & CMOS
$3V \leq V_L$ (Hi State) $\leq 7V$

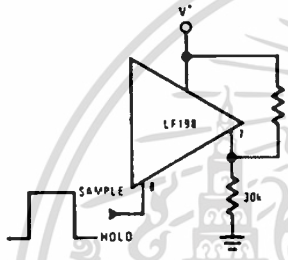


Threshold = 1.4V

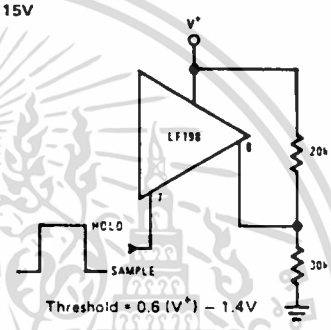


Threshold = 1.4V
*Select for 2.8V at pin 8

CMOS
$7V \leq V_L$ (Hi State) $\leq 15V$

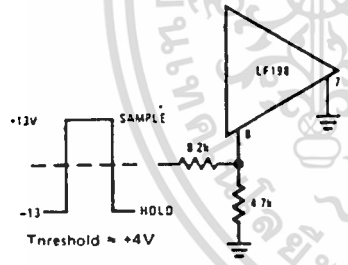


Threshold = 0.6 (V^+) + 1.4V

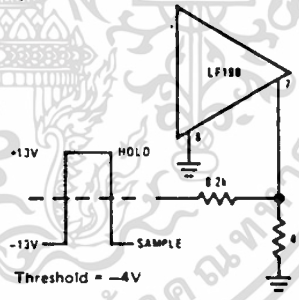


Threshold = 0.6 (V^+) – 1.4V

Op Amp Drive



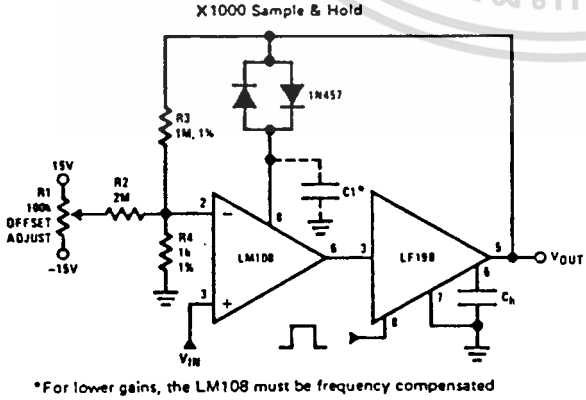
Threshold = +4V



Threshold = –4V

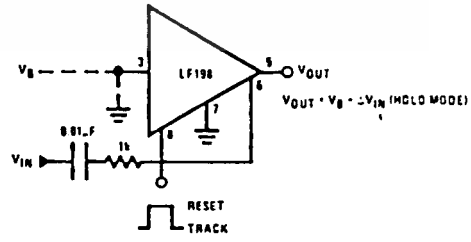
typical applications (con't)

X1000 Sample & Hold



*For lower gains, the LM108 must be frequency compensated
Use $\approx \frac{100}{A_V}$ pF from comp 2 to ground

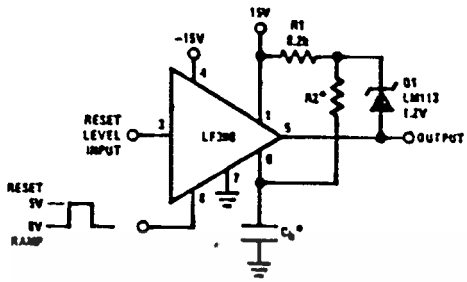
Sample and Difference Circuit
(Output Follows Input in Hold Mode)



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

typical applications (con't)

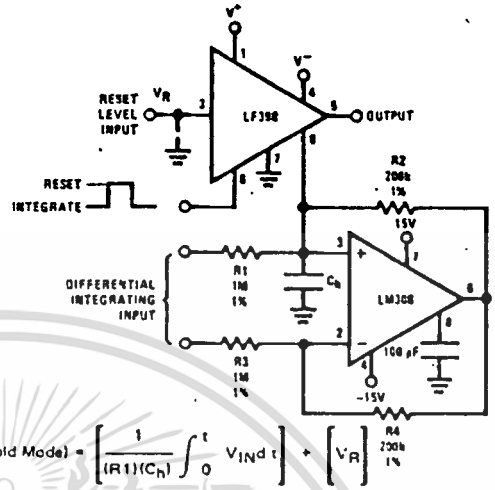
Ramp Generator with Variable Reset Level



*Select for ramp rate R ≥ 10k

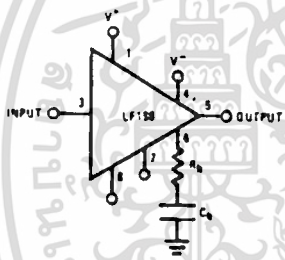
$$\frac{\Delta V}{\Delta T} = \frac{1.2V}{(R2)(C_h)}$$

Integrator with Programmable Reset Level



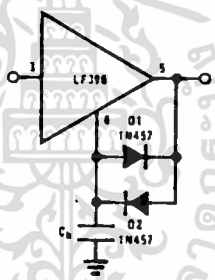
$$V_{OUT}\ (\text{Hold Mode}) = \left[\frac{1}{(R1)(C_h)}\int_0^t V_{IN}\,dt\right] + \left[V_R\right]$$

Output Holds at Average of Sampled Input

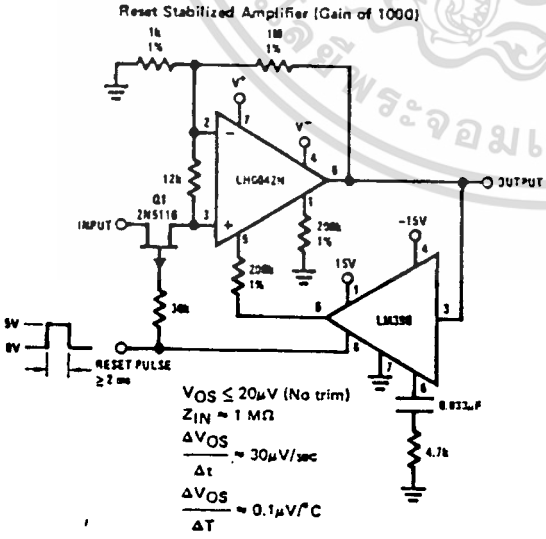


$$\text{Select } (R_h)(C_h) >> \frac{1}{2\pi f_{IN}\ (\text{Min})}$$

Increased Slew Current



Reset Stabilized Amplifier (Gain of 1000)



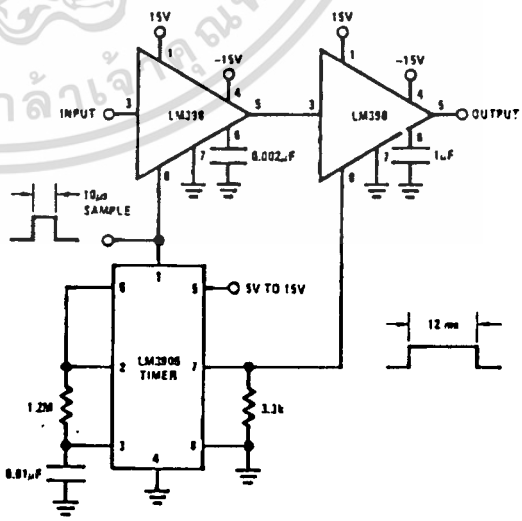
$V_{OS} \le 20\mu V$ (No trim)

$Z_{IN} \approx 1\ M\Omega$

$$\frac{\Delta V_{OS}}{\Delta t} \approx 30\mu V/\text{sec}$$

$$\frac{\Delta V_{OS}}{\Delta T} \approx 0.1\mu V/^\circ C$$

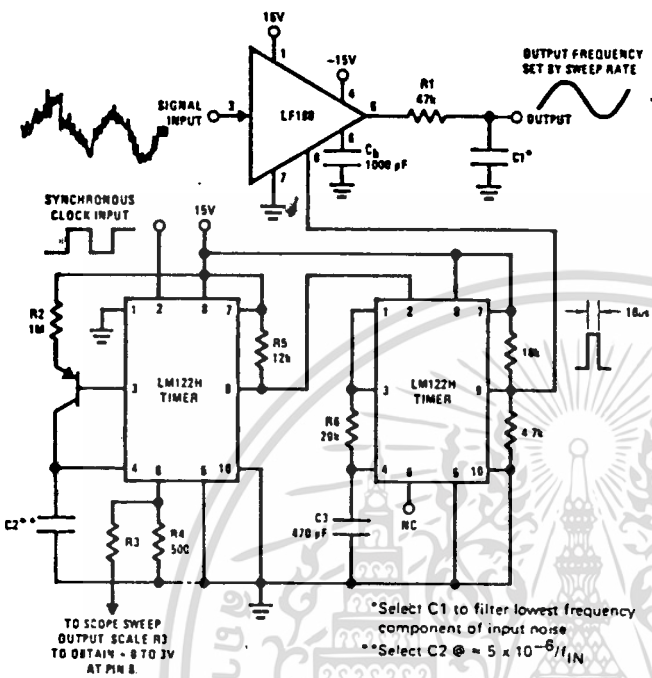
Fast Acquisition, Low Droop Sample & Hold



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

typical applications (con't)

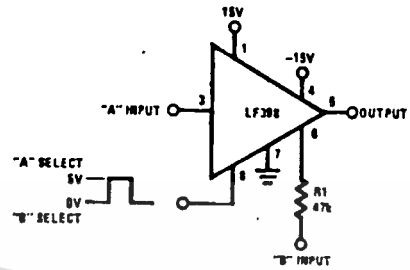
Synchronous Correlator for Recovering Signals Below Noise Level



*Select C1 to filter lowest frequency component of input noise

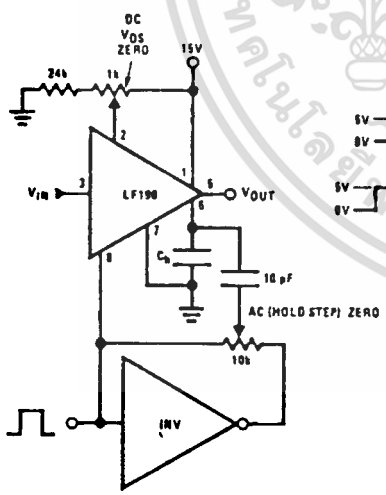
**Select C2 @ ≈ $5 \times 10^{-6}/f_{IN}$

2-Channel Switch

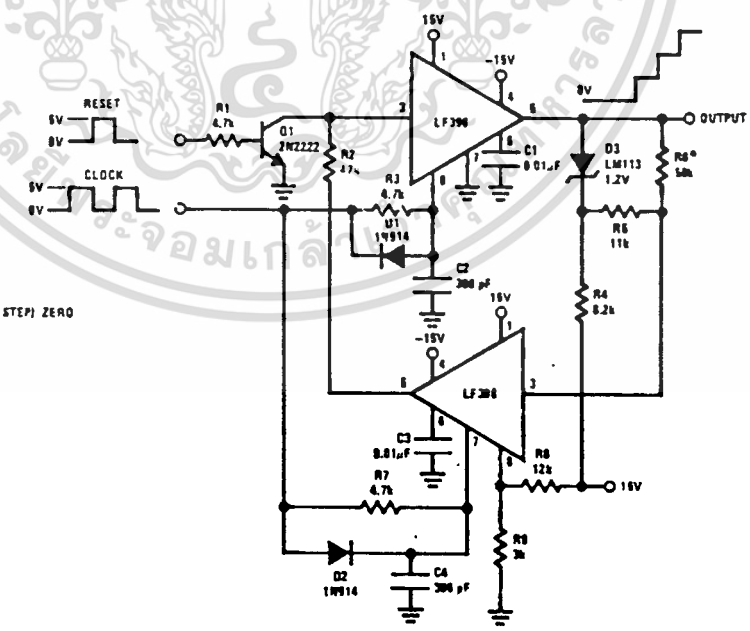


	A	B
Gain	1 ±0.02%	1 ±0.2%
Z_{IN}	$10^{10}\Omega$	47 kΩ
BW	> 1 MHz	≈ 400 kHz
Crosstalk @ 1 kHz	−90 dB	−90 dB
Offset	≤ 6 mV	≤ 75 mV

DC & AC Zeroing



Staircase Generator

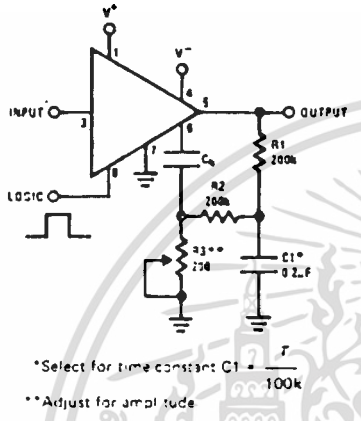


*Select for step height 50k ⟶ ≈ 1V Step

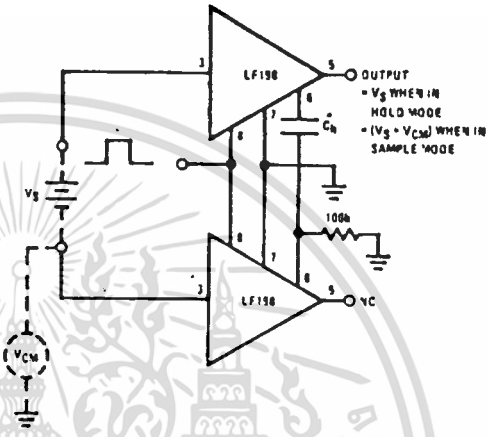
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

typical applications (con't)

Capacitor Hysteresis Compensation

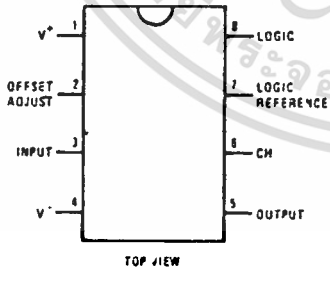


Differential Hold



connection diagram

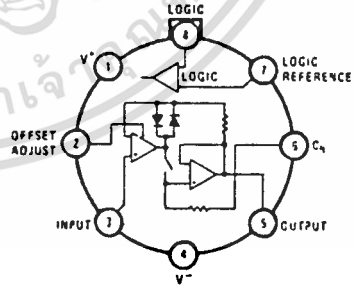
Dual-In-Line Package



Order Number LF198J, LF298J or LF398J
See NS Package J08A

Order Number LF398N
See NS Package N08B

Metal Can Package



Order Number LF198H, LF298H or LF398H
See NS Package H08C

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

National Semiconductor

Voltage Comparators

LM119/LM219/LM319 high speed dual comparator

general description

The LM119 series are precision high speed dual comparators fabricated on a single monolithic chip. They are designed to operate over a wide range of supply voltages down to a single 5V logic supply and ground. Further, they have higher gain and lower input currents than devices like the LM710. The uncommitted collector of the output stage makes the LM119 compatible with RTL, DTL and TTL as well as capable of driving lamps and relays at currents up to 25 mA. Outstanding features include:

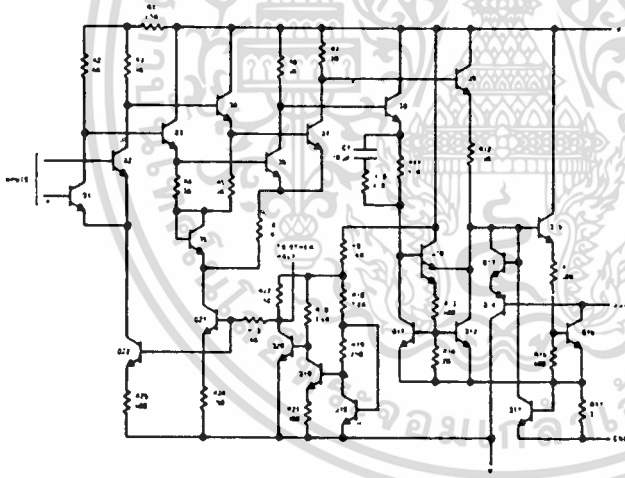
features

- Two independent comparators
- Operates from a single ±5V supply
- Typically 80 ns response time at ±15V
- Minimum fan-out of 2 each side
- Maximum input current of 1 μA over temperature
- Inputs and outputs can be isolated from system ground
- High common mode slew rate

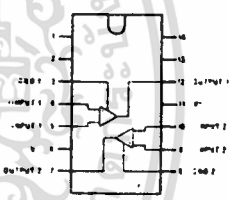
Although designed primarily for applications requiring operation from digital logic supplies, the LM119 series are fully specified for power supplies up to ±15V. It features faster response than the LM111 at the expense of higher power dissipation. However, the high speed, wide operating voltage range and low package count make the LM119 much more versatile than older devices like the LM711.

The LM119 is specified from −55°C to +125°C, the LM219 is specified from −25°C to +85°C, and the LM319 is specified from 0°C to +70°C.

schematic and connection diagrams



Dual-In-Line Package

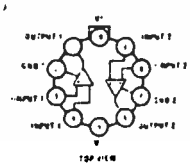


Order Number LM119D, LM219D or LM319D
See NS Package D14E

Order Number LM319N
See NS Package N14A

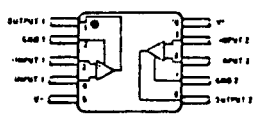
Order Number LM119J, LM219J or LM319J
See NS Package J14A

Metal Can Package



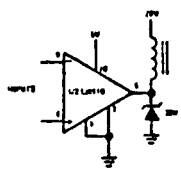
Order Number LM119H, LM219H or LM319H
See NS Package H10C

Flat Package

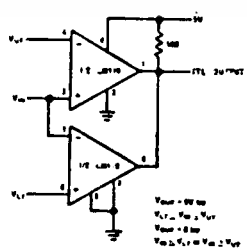


Order Number LM119F, LM219F or LM319F
See NS Package F10A

typical applications



Relay Driver



Window Detector

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

absolute maximum ratings LM119/LM219

Total Supply Voltage	36V	Power Dissipation (Note 2)	500 mW
Output to Negative Supply Voltage	36V	Output Short Circuit Duration	10 sec
Ground to Negative Supply Voltage	25V	Operating Temperature Range LM119	−55°C to 125°C
Ground to Positive Supply Voltage	18V	LM219	−25°C to 85°C
Differential Input Voltage	±5V	Storage Temperature Range	−65°C to 150°C
Input Voltage (Note 1)	±15V	Lead Temperature (Soldering, 10 sec)	300°C

electrical characteristics (Note 3)

PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
Input Offset Voltage (Note 4)	$T_A = 25°C$, $R_S \leq 5k$		0.7	4.0	mV
Input Offset Current (Note 4)	$T_A = 25°C$		30	75	nA
Input Bias Current	$T_A = 25°C$		150	500	nA
Voltage Gain	$T_A = 25°C$	10	40		V/mV
Response Time (Note 5)	$T_A = 25°C$ $V_S = \pm 15V$		80		ns
Saturation Voltage	$V_{IN} \leq -5$ mV, $I_{OUT} = 25$ mA, $T_A = 25°C$		0.75	1.5	V
Output Leakage Current	$V_{IN} \geq 5$ mV, $V_{OUT} = 35V$, $T_A = 25°C$		0.2	2	μA
Input Offset Voltage (Note 4)	$R_S \leq 5k$			7	mV
Input Offset Current (Note 4)				100	nA
Input Bias Current				1000	nA
Input Voltage Range	$V_S = \pm 15V$		±13		V
	$V^+ = 5V$, $V^- = 0$	1		3	V
Saturation Voltage	$V^+ \geq 4.5V$, $V^- = 0$, $V_{IN} \leq -6$ mV, $I_{SINK} \leq 3.2$ mA, $T_A \geq 0°C$		0.23	0.4	V
	$T_A \leq 0°C$			0.6	V
Output Leakage Current	$V_{IN} \geq 5$ mV, $V_{OUT} = 35V$		1	10	μA
Differential Input Voltage				±5	V
Positive Supply Current	$T_A = 25°C$, $V^+ = 5V$, $V^- = 0$		4.3		mA
Positive Supply Current	$T_A = 25°C$ $V_S = \pm 15V$		8	11.5	mA
Negative Supply Current	$T_A = 25°C$ $V_S = \pm 15V$		3	4.5	mA

Note 1: For supply voltages less than ±15V the absolute maximum input voltage is equal to the supply voltage.

Note 2: The maximum junction temperature of the LM119 is 150°C, while that of the LM219 is 110°C. For operating at elevated temperatures, devices in the TO-5 package must be derated based on a thermal resistance of 150 C/W, junction to ambient, or 45°C/W, junction to case. For the flat package, the derating is based on a thermal resistance of 185°C/W when mounted on a 1/16-inch-thick epoxy glass board with ten, 0.03-inch-wide, 2-ounce copper conductors. The thermal resistance of the dual-in-line package is 100°C/W, junction to ambient.

Note 3: These specifications apply for $V_S = \pm 15V$, and the Ground pin at ground, and $-55°C \leq T_A \leq +125°C$, unless otherwise stated. With the LM219, however, all temperature specifications are limited to $-25°C \leq T_A \leq +85°C$. The offset voltage, offset current and bias current specifications apply for any supply voltage from a single 5V supply up to ±15V supplies.

Note 4: The offset voltages and offset currents given are the maximum values required to drive the output within a volt of either supply with a 1 mA load. Thus, these parameters define an error band and take into account the worst case effects of voltage gain and input impedance.

Note 5: The response time specified (see definitions) is for a 100 mV input step with 5 mV overdrive.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

absolute maximum ratings LM319

Total Supply Voltage	36V	Power Dissipation (Note 2)	500 mW
Output to Negative Supply Voltage	36V	Output Short Circuit Duration	10 sec
Ground to Negative Supply Voltage	25V	Operating Temperature Range LM319	0°C to 70°C
Ground to Positive Supply Voltage	18V	Storage Temperature Range	-65°C to 150°C
Differential Input Voltage	±5V	Lead Temperature (Soldering, 10 sec)	300°C
Input Voltage (Note 1)	±15V		

electrical characteristics (Note 3)

PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
Input Offset Voltage (Note 4)	$T_A = 25°C$, $R_S \leq 5k$		2.0	8.0	mV
Input Offset Current (Note 4)	$T_A = 25°C$		80	200	nA
Input Bias Current	$T_A = 25°C$		250	1000	nA
Voltage Gain	$T_A = 25°C$	8	40		V/mV
Response Time (Note 5)	$T_A = 25°C$ $V_S = \pm 15V$		80		ns
Saturation Voltage	$V_{IN} \leq -10$ mV, $I_{OUT} = 25$ mA $T_A = 25°C$		0.75	1.5	V
Output Leakage Current	$V_{IN} \geq 10$ mV, $V_{OUT} = 35V$ $T_A = 25°C$		0.2	10	μA
Input Offset Voltage (Note 4)	$R_S \leq 5k$			10	mV
Input Offset Current (Note 4)				300	nA
Input Bias Current				1200	nA
Input Voltage Range	$V_S = \pm 15V$		±13		V
	$V^+ = 5V$, $V^- = 0$	1		3	V
Saturation Voltage	$V^+ \geq 4.5V$, $V^- = 0$ $V_{IN} \leq -10$ mV, $I_{SINK} \leq 3.2$ mA		0.3	0.4	V
Differential Input Voltage				±5	V
Positive Supply Current	$T_A = 25°C$, $V^+ = 5V$, $V^- = 0$		4.3		mA
Positive Supply Current	$T_A = 25°C$ $V_S = \pm 15V$		8	12.5	mA
Negative Supply Current	$T_A = 25°C$ $V_S = \pm 15V$		3	5	mA

Note 1: For supply voltages less than ±15V the absolute maximum input voltage is equal to the supply voltage.

Note 2: The maximum junction temperature of the LM319 is 85°C. For operating at elevated temperatures, devices in the TO-5 package must be derated based on a thermal resistance of 150°C/W, junction to ambient, or 45°C/W, junction to case. The thermal resistance of the dual-in-line package is 100°C/W, junction to ambient.

Note 3: These specifications apply for $V_S = \pm 15V$ and $0°C \leq T_A \leq 70°C$, unless otherwise stated. The offset voltage, offset current and bias current specifications apply for any supply voltage from a single 5V supply up to ±15V supplies.

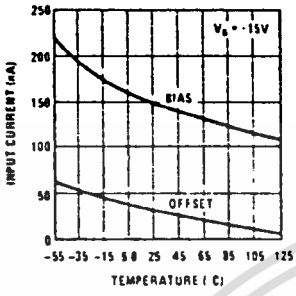
Note 4: The offset voltages and offset currents given are the maximum values required to drive the output within a volt of either supply with a 1 mA load. Thus, these parameters define an error band and take into account the worst case effects of voltage gain and input impedance.

Note 5: The response time specified is for a 100 mV input step with 5 mV overdrive.

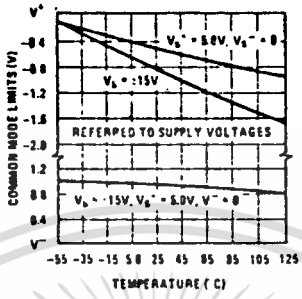
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

typical performance characteristics LM119/LM219

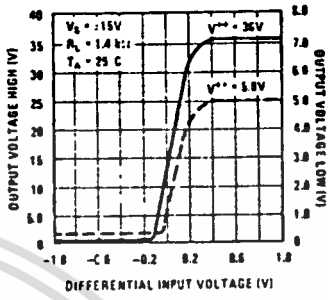
Input Currents



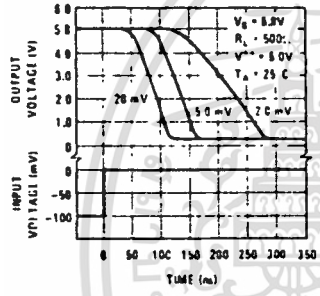
Common Mode Limits



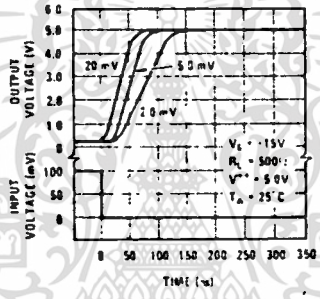
Transfer Function



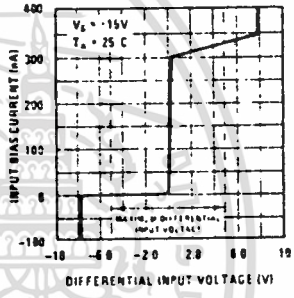
Response Time for Various Input Overdrives



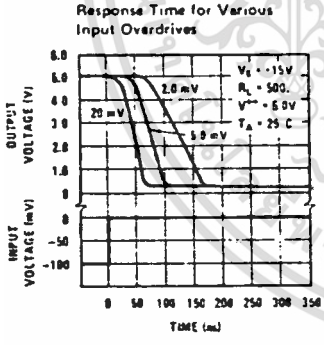
Response Time for Various Input Overdrives



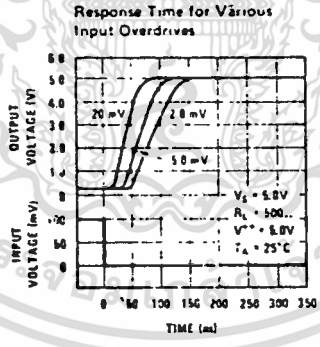
Input Characteristics



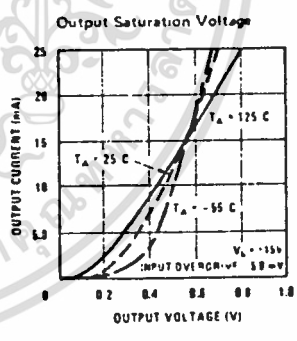
Response Time for Various Input Overdrives



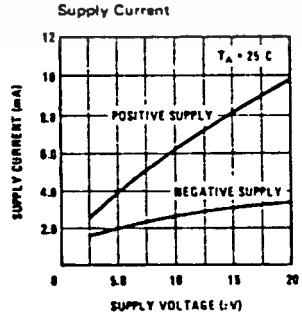
Response Time for Various Input Overdrives



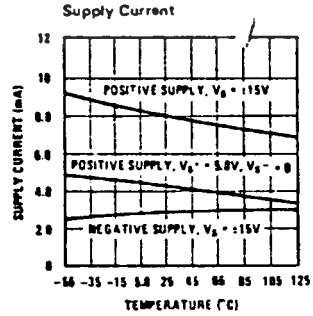
Output Saturation Voltage



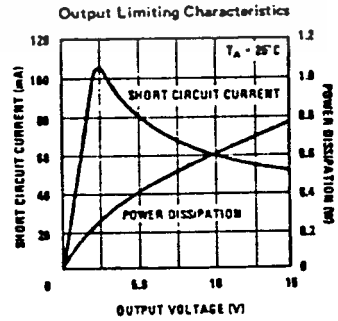
Supply Current



Supply Current



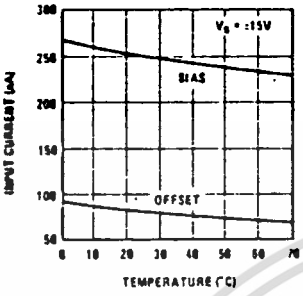
Output Limiting Characteristics



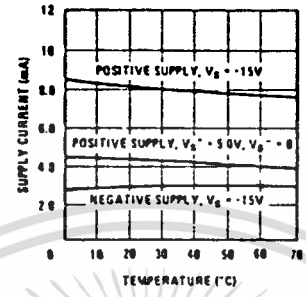
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

typical performance characteristics LM319

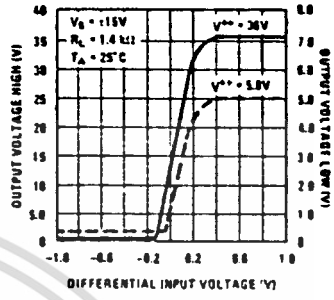
Input Currents



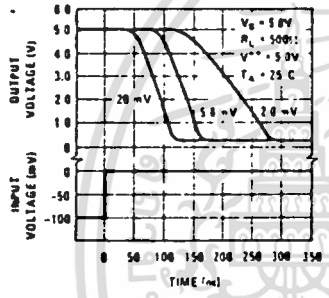
Supply Currents



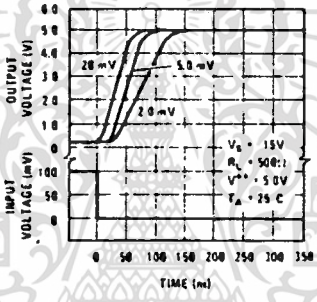
Transfer Function



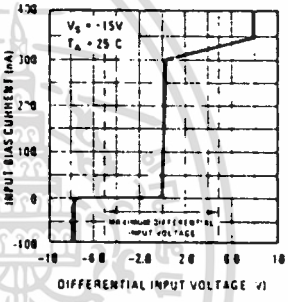
Response Time for Various Input Overdrives



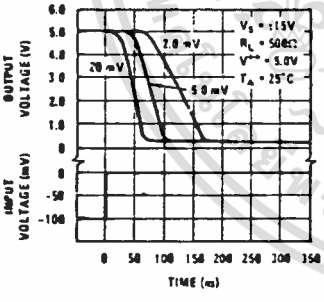
Response Time for Various Input Overdrives



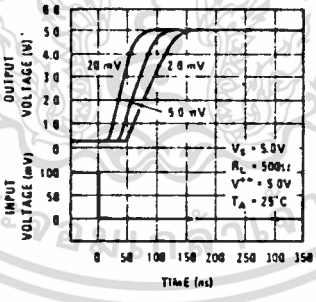
Input Characteristics



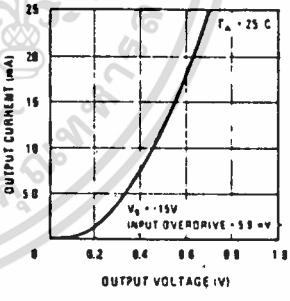
Response Time for Various Input Overdrives



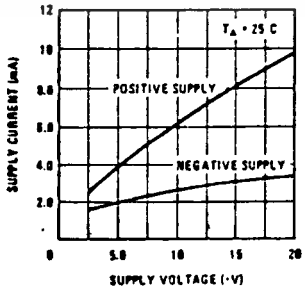
Response Time for Various Input Overdrives



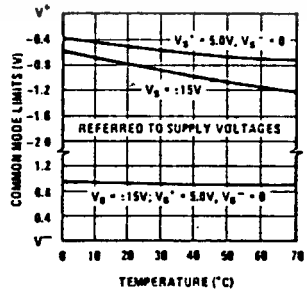
Output Saturation Voltage



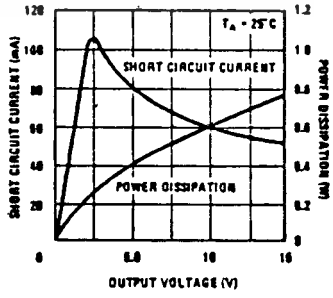
Supply Current



Common Mode Limits



Output Limiting Characteristics



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

EXAR

XR-2206

Monolithic Function Generator

GENERAL DESCRIPTION

The XR-2206 is a monolithic function generator integrated circuit capable of producing high quality sine, square, triangle, ramp, and pulse waveforms of high stability and accuracy. The output waveforms can be both amplitude and frequency modulated by an external voltage. Frequency of operation can be selected externally over a range of 0.01 Hz to more than 1 MHz.

The circuit is ideally suited for communications, instrumentation, and function generator applications requiring sinusoidal tone, AM, FM, or FSK generation. It has a typical drift specification of 20 ppm/°C. The oscillator frequency can be linearly swept over a 2000:1 frequency range, with an external control voltage, having a very small effect on distortion.

FEATURES

Low Sine Wave Distortion	0.5%, Typical
Excellent Temperature Stability	20 ppm/°C, Typical
Wide Sweep Range	2000:1, Typical
Low Supply Sensitivity	0.01%/V, Typical
Linear Amplitude Modulation	
TTL Compatible FSK Controls	
Wide Supply Range	10V to 26V
Adjustable Duty Cycle	1% to 99%

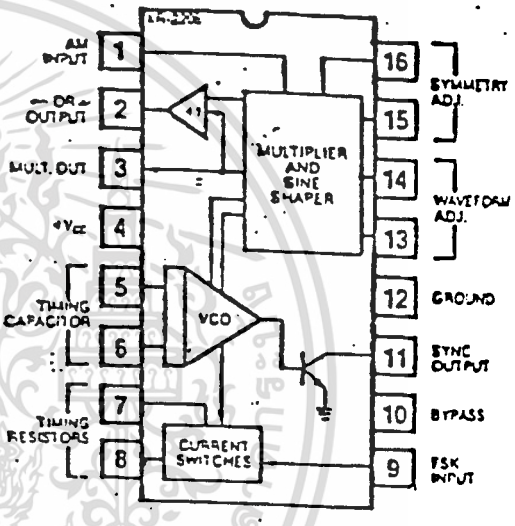
APPLICATIONS

Waveform Generation
Sweep Generation
AM/FM Generation
V/F Conversion
FSK Generation
Phase-Locked Loops (VCO)

ABSOLUTE MAXIMUM RATINGS

Power Supply	26V
Power Dissipation	750 mW
Derate Above 25°C	5 mW/°C
Total Timing Current	6 mA
Storage Temperature	−65°C to +150°C

FUNCTIONAL BLOCK DIAGRAM



ORDERING INFORMATION

Part Number	Package	Operating Temperature
XR-2206M	Ceramic	−55°C to +125°C
XR-2206N	Ceramic	0°C to +70°C
XR-2206P	Plastic	0°C to +70°C
XR-2206CN	Ceramic	0°C to +70°C
XR-2206CP	Plastic	0°C to +70°C

SYSTEM DESCRIPTION

The XR-2206 is comprised of four functional blocks: a voltage-controlled oscillator (VCO), an analog multiplier and sine-shaper; a unity gain buffer amplifier; and a set of current switches.

The VCO actually produces an output frequency proportional to an input current, which is produced by a resistor from the timing terminals to ground. The current switches route one of the timing pins current to the VCO controlled by an FSK input pin, to produce an output frequency. With two timing pins, two discrete output frequencies can be independently produced for FSK Generation Applications.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

XR-2206

ELECTRICAL CHARACTERISTICS

Test Conditions: Test Circuit of Figure 1, $V^+ = 12V$, $T_A = 25°$, C = 0.01 μF, $R_1 = 100$ kΩ, $R_2 = 10$ kΩ, $R_3 = 25$ kΩ unless otherwise specified. S_1 open for triangle, closed for sine wave.

PARAMETERS	XR-2206M			XR-2206C			UNITS	CONDITIONS
	MIN	TYP	MAX	MIN	TYP	MAX		
GENERAL CHARACTERISTICS								
Single Supply Voltage	10		26	10		26	V	
Split Supply Voltage	±5		±13	±5		±13	V	
Supply Current		12	17		14	20	mA	$R_1 \geq 10$ kΩ
OSCILLATOR SECTION								
Max. Operating Frequency	0.5	1		0.5	1		MHz	C = 1000 pF, $R_1 = 1$ kΩ
Lowest Practical Frequency		0.01			0.01		Hz	C = 50 μF, $R_1 = 2$ MΩ
Frequency Accuracy		±1	±4		±2		% of f_o	$f_o = 1/R_1C$
Temperature Stability		±10	±50		±20		ppm/°C	0°C ≤ T_A ≤ 70°C, $R_1 = R_2 = 20$ kΩ
Supply Sensitivity		0.01	0.1		0.01		%/V	$V_{LOW} = 10V$, $V_{HIGH} = 20V$, $R_1 = R_2 = 20$ kΩ
Sweep Range	1000:1	2000:1			2000:1		$f_H = f_L$	f_H @ $R_1 = 1$ kΩ, f_L @ $R_1 = 2$ MΩ
Sweep Linearity								
10:1 Sweep		2			2		%	$f_L = 1$ kHz, $f_H = 10$ kHz
1000:1 Sweep		8			8		%	$f_L = 100$ kHz, $f_H = 100$ kHz
FM Distortion		0.1			0.1		%	±10% Deviation
Recommended Timing Components								
Timing Capacitor: C	0.001		100	0.001		100	μF	See Figure 4.
Timing Resistors: R_1 & R_2	1		2000	1		2000	kΩ	
Triangle Sine Wave Output								See Note 1, Figure 2.
Triangle Amplitude		160			160		mV/kΩ	Figure 1, S_1 Open
Sine Wave Amplitude	40	60	80		60		mV/kΩ	Figure 1, S_1 Closed
Max. Output Swing		6			6		V p-p	
Output Impedance		600			600		Ω	
Triangle Linearity		1			1		%	
Amplitude Stability		0.5			0.5		dB	For 1000:1 Sweep
Sine Wave Amplitude Stability		4800			4800		ppm/°C	See Note 2.
Sine Wave Distortion								
Without Adjustment		2.5			2.5		%	$R_1 = 30$ kΩ
With Adjustment		0.4	1.0		0.5	1.5	%	See Figures 6 and 7.
Amplitude Modulation								
Input Impedance	50	100		50	100		kΩ	
Modulation Range		100			100		%	
Carrier Suppression		55			55		dB	
Linearity		2			2		%	For 95% modulation
Square-Wave Output								
Amplitude		12			12		V p-p	Measured at Pin 11.
Rise Time		250			250		nsec	$C_L = 10$ pF
Fall Time		50			50		nsec	$C_L = 10$ pF
Saturation Voltage		0.2	0.4		0.2	0.6	V	$I_L = 2$ mA
Leakage Current		0.1	20		0.1	100	μA	$V_{11} = 26V$
FSK Keying Level (Pin 9)	0.8	1.4	2.4	0.8	1.4	2.4	V	See section on circuit controls
Reference Bypass Voltage	2.9	3.1	3.3	2.5	3	3.5	V	Measured at Pin 10.

Note 1: Output amplitude is directly proportional to the resistance, R_3, on Pin 3. See Figure 2.
Note 2: For maximum amplitude stability, R_3 should be a positive temperature coefficient resistor.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

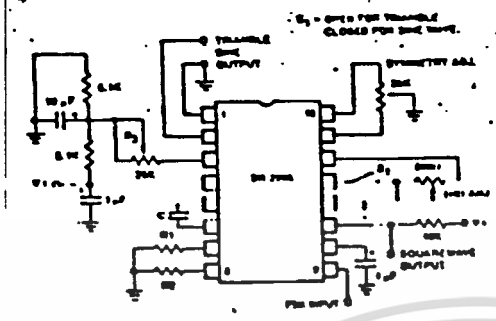


Figure 1. Basic Test Circuit.

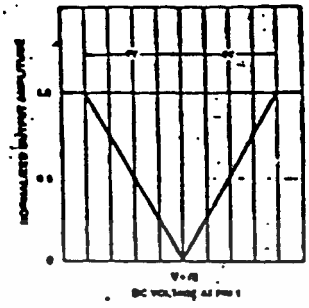


Figure 5. Normalized Output Amplitude versus DC Bias at AM Input (Pin 1).

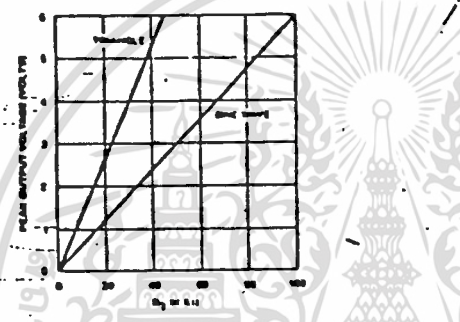


Figure 2. Output Amplitude as a Function of the Resistor, R_3, at Pin 3.

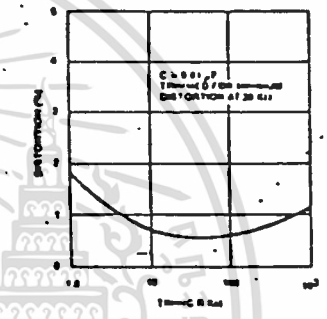


Figure 6. Trimmed Distortion versus Timing Resistor.

Figure 3. Supply Current versus Supply Voltage, Timing, R.

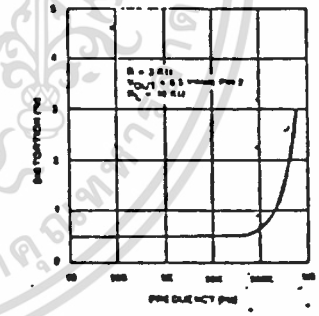


Figure 7. Sine Wave Distortion versus Operating Frequency with Timing Capacitors Varied.

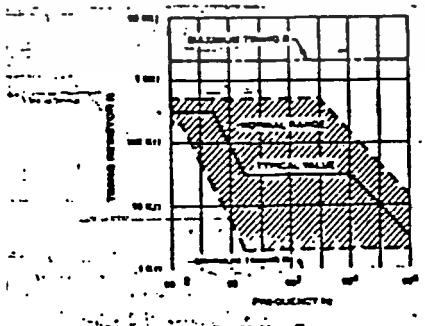


Figure 4. R versus Oscillation Frequency.

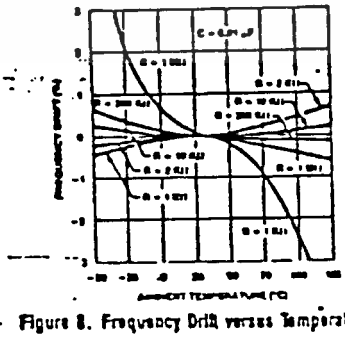


Figure 8. Frequency Drift versus Temperature.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Figure 9. Circuit Connection for Frequency Sweep.

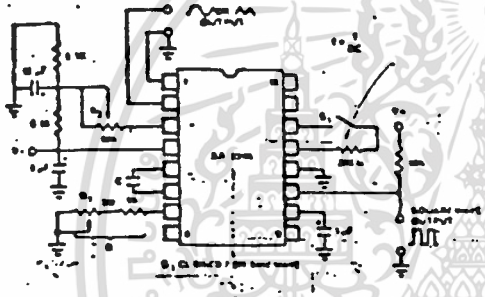


Figure 10. Circuit for Sine Wave Generation without External Adjustment. (See Figure 2 for Choice of R_3).

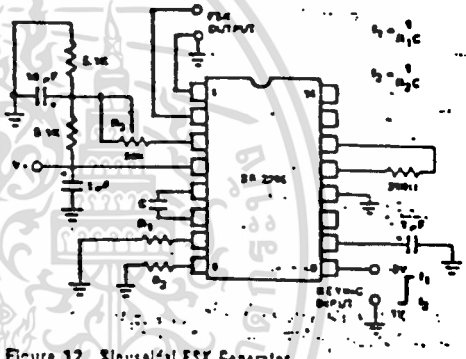


Figure 12. Sinusoidal FSK Generator.

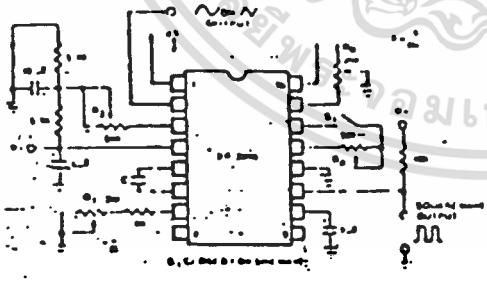


Figure 11. Circuit for Sine Wave Generation with Minimum Harmonic Distortion. (R_3 Determines Output Swing—See Figure 2.)

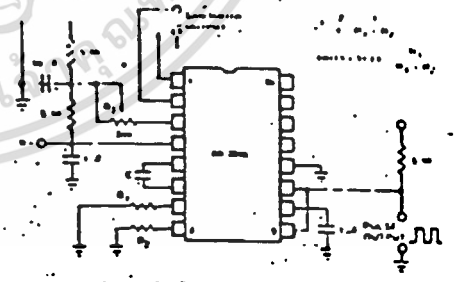


Figure 13. Circuit for Pulse and Ramp Generation.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Frequency-Shift Keying:

The XR-2206 can be operated with two separate timing resistors, R_1 and R_2, connected to the timing Pin 7 and 8, respectively, as shown in Figure 12. Depending on the polarity of the logic signal at Pin 9, either one or the other of these timing resistors is activated. If Pin 9 is open-circuited or connected to a bias voltage ≥ 2V, only R_1 is activated. Similarly, if the voltage level at Pin 9 is ≤ 1V, only R_2 is activated. Thus, the output frequency can be keyed between two levels, f_1 and f_2, as:

$$f_1 = 1/R_1C \text{ and } f_2 = 1/R_2C$$

For split-supply operation, the keying voltage at Pin 9 is referenced to V⁻.

Output DC Level Control:

The dc level at the output (Pin 2) is approximately the same as the dc bias at Pin 3. In Figures 10, 11 and 12, Pin 3 is biased midway between V⁺ and ground, to give an output dc level of +V⁺/2.

APPLICATIONS INFORMATION

Sine Wave Generation

Without External Adjustment:

Figure 10 shows the circuit connection for generating a sinusoidal output from the XR-2206. The potentiometer, R_1 at Pin 7, provides the desired frequency tuning. The maximum output swing is greater than V⁺/2, and the typical distortion (THD) is <2.5%. If lower sine wave distortion is desired, additional adjustments can be provided as described in the following section.

The circuit of Figure 10 can be converted to split-supply operation, simply by replacing all ground connections with V⁻. For split-supply operation, R_3 can be directly connected to ground.

With External Adjustment:

The harmonic content of sinusoidal output can be reduced to ~0.5% by additional adjustments as shown in Figure 11. The potentiometer, R_A, adjusts the sine-shaping resistor, and R_B provides the fine adjustment for the waveform symmetry. The adjustment procedure is as follows:

1. Set R_B at midpoint and adjust R_A for minimum distortion.
2. With R_A set as above, adjust R_B to further reduce distortion.

Triangle Wave Generation

The circuits of Figures 10 and 11 can be converted to triangle wave generation, by simply open-circuiting Pin 13 and 14 (i.e., S_1 open). Amplitude of the triangle is approximately twice the sine wave output.

FSK Generation

Figure 12 shows the circuit connection for sinusoidal FSK signal operation. Mark and space frequencies can be independently adjusted by the choice of timing resistors, R_1 and R_2; the output is phase-continuous during transitions. The keying signal is applied to Pin 9. The circuit can be converted to split-supply operation by simply replacing ground with V⁻.

Pulse and Ramp Generation

Figure 13 shows the circuit for pulse and ramp waveform generation. In this mode of operation, the FSK keying terminal (Pin 9) is shorted to the square-wave output (Pin 11), and the circuit automatically frequency-shift keys itself between two separate frequencies during the positive-going and negative-going output waveforms. The pulse width and duty cycle can be adjusted from 1% to 99% by the choice of R_1 and R_2. The values of R_1 and R_2 should be in the range of 1 kΩ to 2 MΩ.

PRINCIPLES OF OPERATION

Description of Controls

Frequency of Operation:

The frequency of oscillation, f_o, is determined by the external timing capacitor, C, across Pin 5 and 6, and by the timing resistor, R, connected to either Pin 7 or 8. The frequency is given as:

$$f_o = \frac{1}{RC} \text{ Hz}$$

and can be adjusted by varying either R or C. The recommended values of R, for a given frequency range, as shown in Figure 4. Temperature stability is optimum for 4 kΩ < R < 200 kΩ. Recommended values of C are from 1000 pF to 100 μF.

Frequency Sweep and Modulation:

Frequency of oscillation is proportional to the total timing current, I_T, drawn from Pin 7 or 8:

$$f = \frac{320\ I_T\ (\text{mA})}{C\ (\mu\text{F})} \text{ Hz}$$

Timing terminals (Pin 7 or 8) are low-impedance points, and are internally biased at +3V, with respect to Pin 12. Frequency varies linearly with I_T over a wide range of current values, from 1 μA to 3 mA. The frequency can be controlled by applying a control voltage, V_C, to the activated timing pin as shown in Figure 9. The frequency of oscillation is related to V_C as:

$$f = \frac{1}{RC}\left(1 + \frac{R}{R_C}\left(1 - \frac{V_C}{3}\right)\right) \text{Hz}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

XR-2206

where V_C is in volts. The voltage-to-frequency conversion gain, K, is given as:

$$K = 3/8\, V_C = \frac{0.32}{R_3 C} \text{ Hz/V}$$

CAUTION: For safety operation of the circuit, I_T should be limited to ≤ 3 mA.

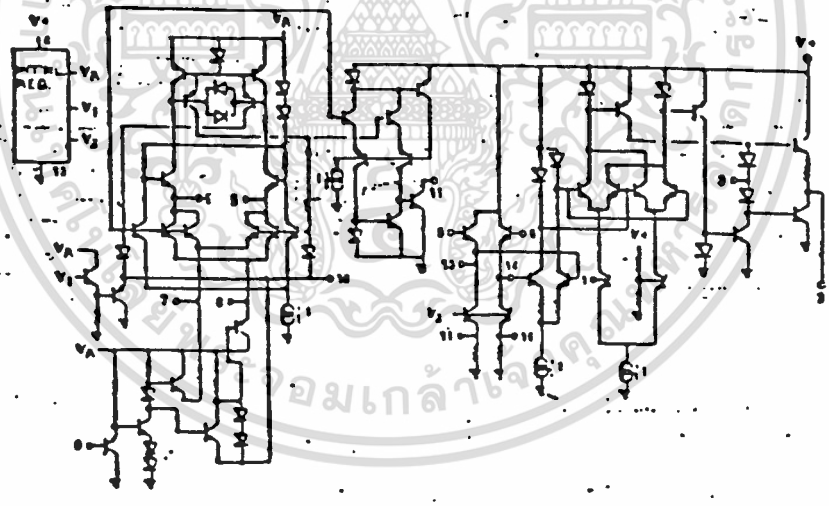
Output Amplitude:

Maximum output amplitude is inversely proportional to the external resistor, R_3, connected to Pin 3 (see Figure 2). For sine wave output, amplitude is approximately 60 mV peak per kΩ of R_3; for triangle, the peak amplitude is approximately 180 mV peak per kΩ of R_3. Thus, for example, R_3 = 50 kΩ would produce approximately ± 3V sinusoidal output amplitude.

Amplitude Modulation:

Output amplitude can be modulated by applying a dc bias and a modulating signal to Pin 1. The internal impedance at Pin 1 is approximately 100 kΩ. Output amplitude varies linearly with the applied voltage at Pin 1, for values of dc bias at this pin, within ± 4 volts of $V^+/2$ as shown in Figure 5. As this bias level approaches $V^+/2$, the phase of the output signal is reversed, and the amplitude goes through zero. This property is suitable for phase-shift keying and suppressed-carrier AM generation. Total dynamic range of amplitude modulation is approximately 55 dB.

CAUTION: AM control must be used in conjunction with a well-regulated supply, since the output amplitude now becomes a function of V^+.



EQUIVALENT SCHEMATIC DIAGRAM

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กิตติกรรมประกาศ

ผู้จัดทำขอขอบพระคุณอาจารย์ที่ปรึกษา อาจารย์ ดร. ไพศาล นาคพิพัฒน์ ซึ่งได้ให้การสนับสนุนในโครงงานชิ้นนี้เป็นไปด้วยดี รวมทั้งขอขอบคุณ บริษัท เวฟเกต ที่ช่วยอนุเคราะห์ในเรื่องสถานที่ในการทดลอง ที่ให้สามารถใช้อุปกรณ์ต่าง ๆ ในการทดลองด้วยดีตลอดมา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หนังสืออ้างอิง

1. บุญเลิศ เอี่ยมทัศนา,ยืน ภู่วรวรรณ์,สมนึก คีรีโต "โปรแกรมคอมพิวเตอร์ภาษาซี ",บริษัท ซีเอ็ดยูเคชั่น จำกัด,301 หน้า,2521
2. มัณฑนา ปราการสมุทร "การเขียนชุดคำสั่งภาษาซี ",ภาควิชาวิศวกรรมคอมพิวเตอร์ คณะวิศวกรรมศาสตร์ จุฬาลงกรณ์มหาวิทยาลัย,311 หน้า,2534
3. Chris H. Pappas and William H.Murray,"Turbo C++Professional handbook ",Mcgraw-Hill,P 751,1990
4. J.Jerry Godfrey"Applied C The IBM Microcomputers",Printice-Hall International Inc.,P 604,1990
5. Paul R Ggray,Robert G Meyer,"Analysis and Design of Analog Integrated Circuits",John Wiley and Sons,P 688,1984
6. PC/AT,"Technical Reference",International Business Machines Coporation,P 554,1984
7. Personal Computer XT System,"Technical Reference",IBM,P - 536,1980
8. Rodnay Zaks,Austin Lesea,"Microprocessor Interfacing - Techniques",Sybex,P 456,1980
9. Turbo C User's Guide,Version 1.5,Borland International, Inc.,1987
10. Willis J. Tompkins,John G. Webster,"Interfacing Sensors To The IBM PC",Prentice-Hall International Inc.,P 447 ,1988

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้