ปีการศึกษา 2534

# ระบบควบคุมเครื่องใช้ไฟฟ้าทางโทรศัพท์

โดย


นาย ชรศักดิ์ แสงสุวรรณ 31.1018

นาย ชาญยุทธ พฤกษ์คุ้มวงศ์ 31.1067

นาย วิสุภณ อรรฆยภิษ 31.1387


อาจารย์ที่ปรึกษา

รศ. ประกิจ ตังคิสานนท์


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสาร

008462

ปริญญานิพนธ์ปีการศึกษา 2534

ภาควิชาอิเล็กทรอนิกส์ คณะวิศวกรรมศาสตร์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เรื่อง ระบบควบคุมเครื่องใช้ไฟฟ้าทางโทรศัพท์


ผู้จัดทำ

1. นาย ชจรศักดิ์ แสงสำราญ 31.1018

2. นาย ชาญยุทธ พฤกษ์คุ้มวงศ์ 31.1067

3. นาย โสภณ อรรฆย์ภูษิต 31.1387


.....อาจารย์ที่ปรึกษา

( รศ. ประกิจ ตังติสานนท์ )


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# ระบบควบคุมเครื่องใช้ไฟฟ้าทางโทรศัพท์


ชาญชัย แสงสำราญ

ชาญยุทธ พฤกษ์คุ้มวงศ์

โสภณ อรรฆย์ภูษิต

รศ.ประกิจ ตังติสานนท์ อาจารย์ที่ปรึกษา



ปีการศึกษา 2534



บทคัดย่อ

ปริญญานิพนธ์ฉบับนี้ เป็นระบบควบคุมเครื่องใช้ไฟฟ้าทางโทรศัพท์ และระบบตอบรับโทรศัพท์อัตโนมัติ โดยใช้ไมโครคอนโทรลเลอร์ตระกูล MCS-51 เบอร์ 8031 เป็นตัวควบคุมระบบทั้งหมด ซึ่งในส่วนควบคุมเครื่องใช้ไฟฟ้า จะใช้ไอซีเบอร์ MT8870 เป็นตัวแปลงรหัสสัญญาณ DTMF (Dual Tone Multi-frequency) จากโทรศัพท์ให้เป็นสัญญาณควบคุม แล้วจะส่งข้อมูลต่าง ๆ ไปตามสายไฟเอซี (AC line) ไปยังจุดที่จะควบคุม ซึ่งสัญญาณนั้น จะสื่อสารบนอุปกรณ์ด้วยหลักการส่งแบบ Frequency Shift Keying (FSK) และจุดหมายปลายทางของการส่งนั้น กำหนดโดยไอซีเบอร์ MC14469 UART

ส่วนในระบบตอบรับโทรศัพท์ ใช้ไอซีของโตชิบาเบอร์ T6668 เป็นตัวแปลงสัญญาณเสียงเป็นสัญญาณดิจิตอล แล้วเก็บไว้ใน RAM เพื่อใช้ตอบโทรศัพท์ที่เข้ามา และใช้เครื่องเล่นเทป บันทึกข้อความข่าวสารของผู้ที่โทรศัพท์ติดต่อเข้ามา



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# ELECTRICAL APPLIANCES CONTROLLING USING TELEPHONE

KHACHORNSAK SAENGSAMRAN

CHANYUT PHRUKKUMWONG

SOPON AKKAPUSIT

ASSOCIATE PROFESSOR PRAKIT TANGTISANON ADVISOR

1991

ABSTRACT

This research project, which presents appliances controlling by telephone and automatic telephone answering back system , uses No.8031 microcontroller in MCS-51 series to control entire system. In the part of appliances controlling , MT8870 integrated circuit will decode DTMF(Dual Tone Multi-frequency) signal from telephone line and modulate the serial binary format control signal to be the FSK (Frequency Shift Keying) signal and send it along the AC line to anywhere we want to control and there is the MC14469 UART IC at every destination to set each destination address.

In the part of telephone answering back system , the T6668 integrated circuit of Toshiba CO,LTD. is transfering voice signal to be digital signal and storing it in RAMs which will be used to answer the calling telephone. In addition , there is a cassette recorder to record message of those who called in.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# สารบัญ


| | | |
|---|---|---|
| บทที่ 1 | บทนำ | 1 |
| บทที่ 2 | ทฤษฎี | 2 |
| | 2.1 ระบบโทรศัพท์ | 2 |
| | 2.2 สัญญาณพื้นฐาน | 3 |
| | 2.3 สัญญาณในการติดต่อกันระหว่างเครื่องรับและเครื่องส่งโทรศัพท์ | 3 |
| | 2.4 ไมโครคอนโทรลเลอร์ 8031 | 7 |
| | 2.5 DTMF Decoder MT8870 | 26 |
| | 2.6 การรับส่งสัญญาณข้อมูล | 30 |
| | 2.7 การเข้ารหัสสัญญาณข้อมูล | 32 |
| | 2.8 ไอซีสังเคราะห์เสียง T6668 | 37 |
| | 2.9 วงจรขยายความแตกต่าง | 41 |
| | 2.10 Addressable Asynchronous Receiver / Transmitter (MC14469) | 43 |
| บทที่ 3 | การออกแบบและการสร้าง | 45 |
| | 3.1 วงจรตรวจจับสัญญาณกริ่ง | 46 |
| | 3.2 วงจรถอดรหัสสัญญาณ DTMF | 46 |
| | 3.3 ส่วนบันทึกข้อความ | 47 |
| | 3.4 ส่วนการควบคุมเครื่องใช้ไฟฟ้า | 56 |
| บทที่ 4 | การใช้งาน | 65 |
| บทที่ 5 | การทดลองและผลการทดลอง | 67 |
| บทที่ 6 | บทสรุปและวิจารณ์ | 68 |
| ภาคผนวก ก | โปรแกรมการทำงานของ 8031 | |
| ภาคผนวก ข | DATA SHEET | |



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น ทั้งนี้ห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# บทที่ 1

## บทนำ

โทรศัพท์จัดเป็นอุปกรณ์การติดต่อสื่อสารที่มีประโยชน์มากอย่างหนึ่งในปัจจุบันซึ่งช่วยอำนวยความสะดวกในชีวิตประจำวันเป็นอย่างมาก แต่นอกจากประโยชน์ในการสื่อสารแล้วโทรศัพท์ยังสามารถนำมาประยุกต์ใช้ในงานด้านต่าง ๆ อีกมากมาย

สำหรับปริญญานิพนธ์ฉบับนี้ ได้ศึกษาเกี่ยวกับการใช้ประโยชน์โทรศัพท์ในงานควบคุมเครื่องใช้ไฟฟ้าจากระยะไกล โดยติดต่อผ่านทางโทรศัพท์ โดยในการใช้งาน จะนำสัญญาณควบคุมซึ่งถูกส่งมาตามสายโทรศัพท์แปลงเป็นรหัสดิจิตอล ส่งออกไปตามสายไฟเอซี ซึ่งเครื่องใช้ไฟฟ้าที่แต่ละจุดก็สามารถกำหนดรหัสได้ โดยอุปกรณ์ควบคุมที่ปลายทาง ซึ่งจะควบคุมการทำงานเครื่องใช้ไฟฟ้าตามรหัสที่เข้ามา ซึ่งถ้าเป็นรหัสของเครื่องใช้ไฟฟ้าที่จุดนั้นก็จะยอมรับคำสั่งให้เปิดปิดต่อไป นอกจากนั้น ยังสามารถควบคุมโดยตรงที่เครื่องใช้ไฟฟ้าแต่ละเครื่องได้เช่นกัน

นอกจากส่วนของการควบคุมเครื่องใช้ไฟฟ้าแล้วยังมีระบบตอบรับโทรศัพท์อยู่ด้วย ซึ่งจะเพิ่มประโยชน์ใช้สอยแก่โทรศัพท์มากขึ้น โดยจะมีระบบเสียงสังเคราะห์คอยบอกการใช้งานสำหรับบุคคลอื่นซึ่งโทรเข้ามาเพื่อความสะดวกในการใช้งานเพิ่มขึ้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# บทที่ 2

# ทฤษฎี

## 2.1 ระบบโทรศัพท์

ระบบโทรศัพท์ คือ ระบบสื่อสารที่มีโครงข่ายชุมสายบริการระหว่างสมาชิกและผู้รู้เลขหมายสมาชิก ให้สามารถเรียกสลับคู่สนทนาธุระต่าง ๆ โดยลดการเดินทางที่ไม่จำเป็นลงได้

การเรียกทางโทรศัพท์(telephone call) คือการเรียกผ่านระบบโทรศัพท์ระหว่างสมาชิกผู้เรียกและผู้รับ

เครื่องโทรศัพท์ (telephone set) คืออุปกรณ์สำหรับสมาชิกใช้พูดและฟังในการสนทนาระยะไกลผ่านโครงข่ายโทรศัพท์ เมื่อต้องการเรียกก็หมุนหรือกดหมายเลขผู้รับบนหน้าปัทม์

ผู้เรียก (calling subscriber) หรือสมาชิกผู้เรียก คือ ผู้เริ่มต้นการเรียก จะด้วยการแจ้งให้พนักงานช่วยต่อกับผู้รับ หมุนหรือกดหมายเลขของผู้รับเมื่อเครื่องโทรศัพท์นั้นเป็นคู่สายของเครื่องชุมสายอัตโนมัติ

ผู้รับ (called subscriber) หรือสมาชิกผู้ถูกเรียก คือ ผู้ที่ตอบรับการเรียกทางโทรศัพท์เมื่อได้ยินสัญญาณกริ่งเรียก (ringing signal)

คู่สายสมาชิก (subscriber line) คือคู่ตัวนำกระแสไฟฟ้าที่เปลี่ยนมาจากเสียงพูดแจกจ่ายออกมาจากสถานีที่ติดตั้งเครื่องชุมสายโทรศัพท์ (บริการ) ท้องถิ่นไปยังบ้านของผู้เช่าหรือสมาชิกแต่ละรายอย่างอิสระ

เครื่องชุมสายโทรศัพท์ (อัตโนมัติ) [ (automatic) telephone switching ] คือเครื่องที่ทำหน้าที่ต่อสลับคู่สายระหว่างสมาชิกผู้เรียกกับผู้รับโดยอัตโนมัติ เครื่องชุมสายโทรศัพท์มีการพัฒนาแล้ว

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.2 สัญญาณพื้นฐาน

คือสัญญาณที่เครื่องชุมสายโทรศัพท์จะแจ้งสภาวะต่าง ๆ ว่าควรทำอย่างไร ซึ่งประกอบด้วย

1.สัญญาณให้หมุน (Dial Tone) ใช้เพื่อแสดงให้สมาชิกผู้เรียก ให้หมุนหมายเลขผู้รับมาได้ เป็นสัญญาณเสียงต่อเนื่อง 400 เฮิรทซ์

2.สัญญาณไม่ว่าง (busy tone) ใช้เพื่อเตือนสมาชิกผู้เรียกว่า ผู้รับไม่ว่างควรวางหูก่อนระยะหนึ่งแล้วจึงเริ่มต่อใหม่ เป็นสัญญาณ 400 เฮิรทซ์ 60 ครั้งต่อนาที ดัง 0.5 วินาที เงียบ 0.5 วินาที

3.สัญญาณกริ่งเรียก (ringing tone (signal))ใช้เมื่อการต่อทุกขั้นตอนตามความประสงค์ของผู้เรียก มายังผู้รับ เครื่องชุมสายโทรศัพท์ดำเนินการต่อสำเร็จด้วยกริ่งเรียก ผู้รับมาตอบการเรียกเป็นสัญญาณ 16 เฮิรทซ์ กร้ำกับ 400 เฮิรทซ์ แบบ AM ส่ง 0.67-1.5 วินาที เงียบ 2-4 วินาที

4.สัญญาณเรียกกลับ (ring back tone) ใช้เมื่อการต่อทุกขั้นตอน ตามความประสงค์ของผู้เรียกมายังผู้รับเครื่องชุมสายโทรศัพท์ ดำเนินการต่อสำเร็จ แจ้งให้ผู้เรียกรู้ว่าการเรียกสำเร็จ เป็นสัญญาณ 16 เฮิรทซ์ กร้ำกับ 600 เฮิรทซ์ แบบ AM ช่วงเวลาส่งและเงียบเช่นเดียวกับสัญญาณกริ่งเรียก

2.3 สัญญาณในการติดต่อกันระหว่างเครื่องส่งและเครื่องรับโทรศัพท์

เครื่องส่ง

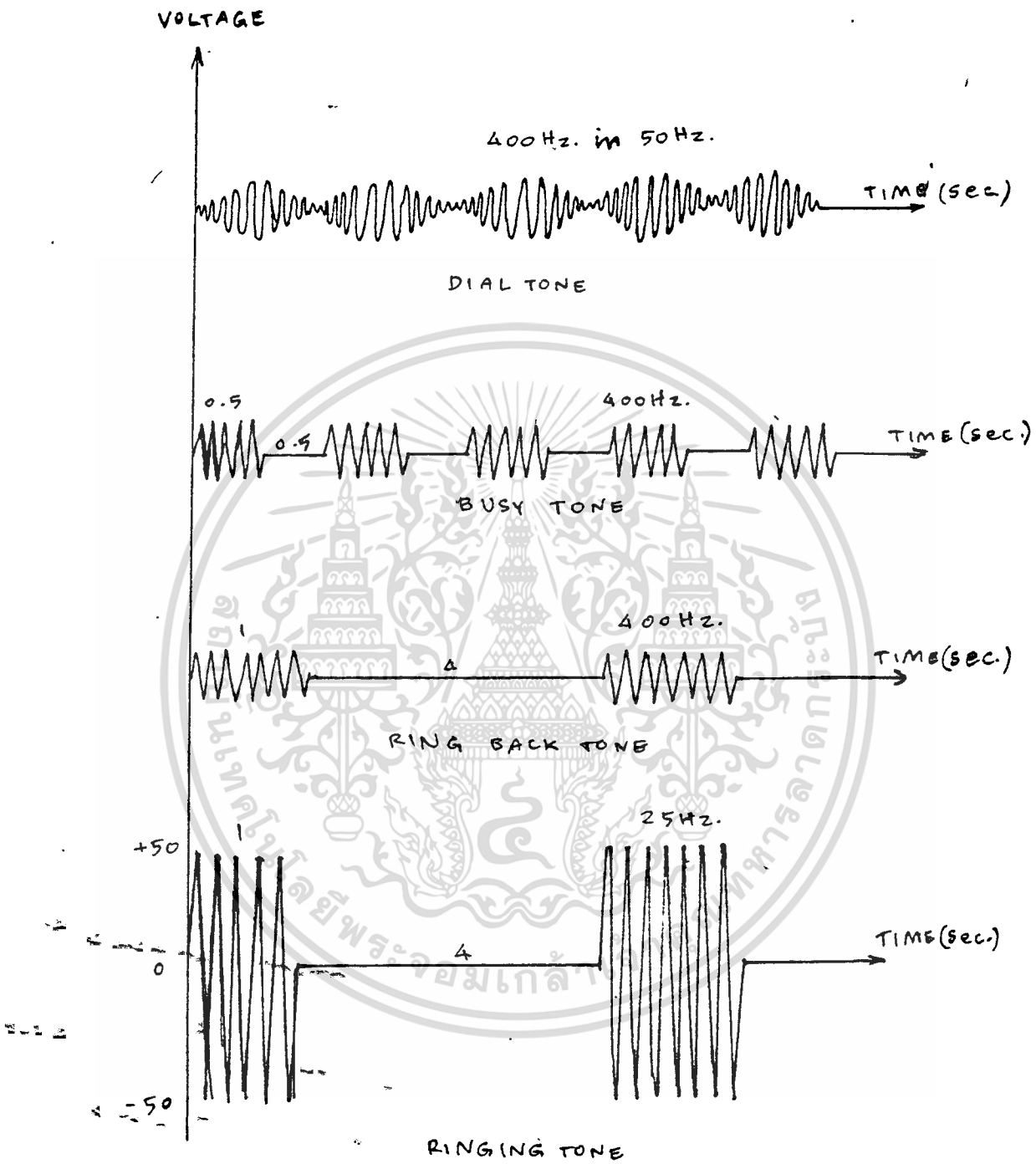
-ขณะที่ไม่ได้มีการยกหูโทรศัพท์ จะมีศักดาตกคร่อมสายโทรศัพท์เป็นสัญญาณกระแสตรง 48 โวลท์

-เมื่อผู้เรียกยกหูโทรศัพท์ ศักดาจะลดลงเหลือ 8 โวลท์ พร้อมทั้งมีสัญญาณให้หมุน ซึ่งเป็นสัญญาณกระแสสลับขนาด 250 มิลลิโวลท์ ความถี่ 400 เฮิรทซ์ กร้ำความถี่ประมาณ 50 เฮิรทซ์ ซึ่งเมื่อกดรหัสสัญญาณความถี่แล้วสัญญาณให้หมุนนี้จะหายไป

-กดรหัส (code) เบอร์โทรศัพท์ทั้งหมด 7 หลัก รหัสความถี่ที่ส่งจะเป็นสัญญาณผสมสองความถี่ เป็นความถี่สูงและต่ำผสมกัน แต่ละหมายเลขจะมี DTMF อยู่หนึ่งคู่

-ขณะที่รอการรับสาย จะมีสัญญาณตอบกลับ 2 แบบ เพื่อจะบอกว่าสายว่างหรือไม่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้




รูป 2.1 สัญญาณพื้นฐาน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

คือสัญญาณเรียกกลับหรือสัญญาณสายไม่ว่างตามลำดับ

-เมื่อมีการรับสายแล้ว สัญญาณจะอยู่ที่ 8 โวลท์ โดยมีการกระเพื่อมตามลักษณะความถี่เสียง,ความดัง ของเสียงพูดตามสาย

-เมื่อวางหูโทรศัพท์เลิกการตดต่อ ขนาดศักดาจะกลับไปที่ 48 โวลท์ ดังเดิม

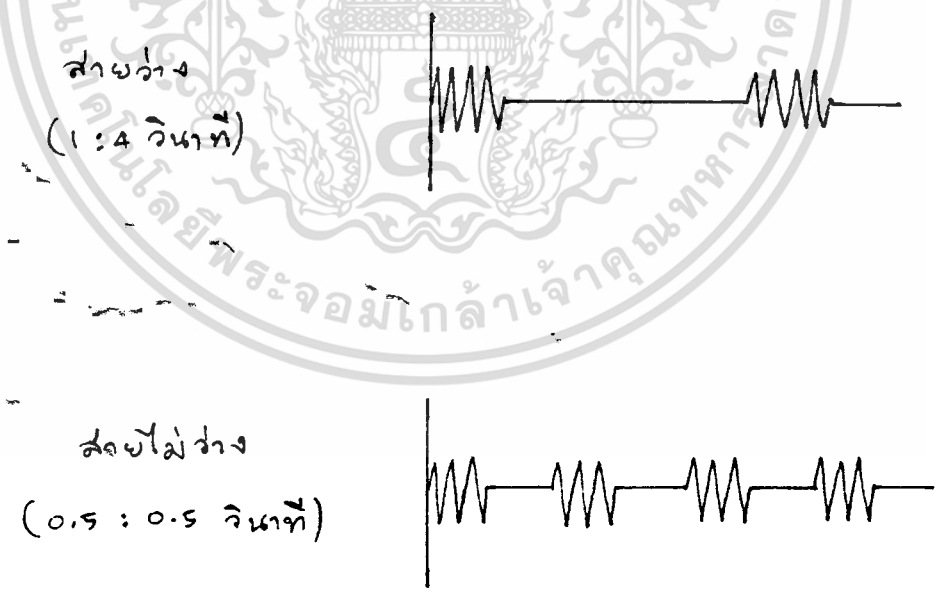
**เครื่องรับ**

-ขณะที่วางหูอยู่จะมีศักดากระแสตรงคร่อมสายอยู่ 48 โวลท์

-เมื่อมีสัญญาณกริ่งเรียกจะมีขนาดประมาณ 100 โวลท์ จังหวะ 1 วินาที หยุด 4 วินาทีซึ่งจะตรงกับสัญญาณเรียกกลับที่เครื่องส่ง

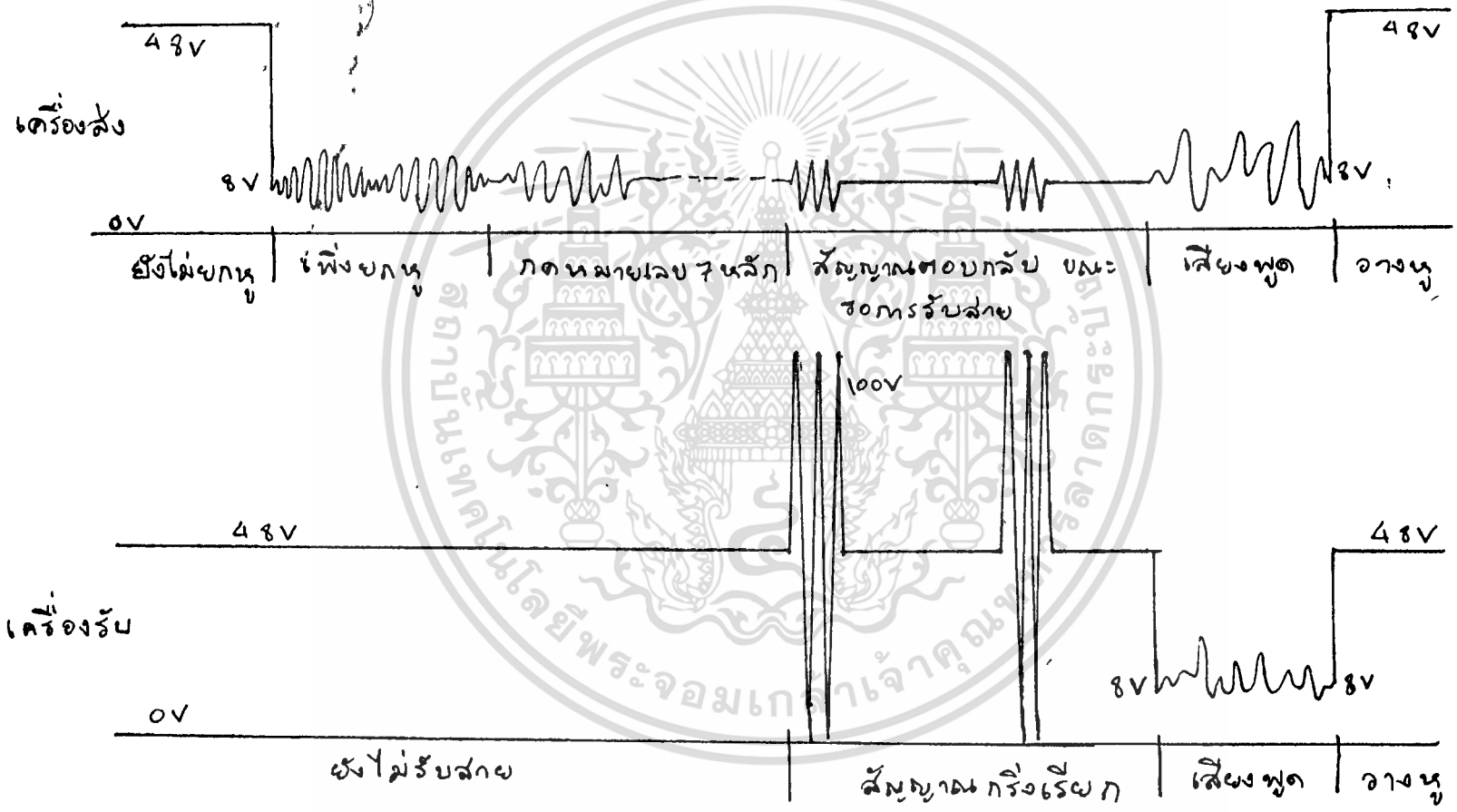
-จากนั้นเมื่อผู้รับยกหูโทรศัพท์ ขนาดศักดากระแสตรงจะเหลือ 8 โวลท์ และมีการกระเพื่อมจามขนาดและความถี่ของเสียงพูด

-เมื่อวางหูโทรศัพท์ ขนาดศักดาก็จะกลับไปที่ 48 โวลท์ตามเดิม




เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

**รูป 2.2 สัญญาณสายว่างและไม่ว่าง**




รูป2.3 สัญญาณระหว่างเครื่องรับและเครื่องส่ง

## 2.4 ไมโครคอนโทรลเลอร์ 8031

### 2.4.1 การจัดขาและลักษณะภายนอกของ 8031

รูปที่ 2.4 แสดงการจัดขาตามลักษณะภายนอกของชิพ 8031 มีรายละเอียดดังต่อไปนี้

-ขา Vss (ขา 20) เป็นขาสำหรับต่อลงดิน

-ขา Vcc (ขา 40) เป็นขาที่ต่อแรงดันไฟฟ้ากระแสตรงขนาด 5 โวลท์

-ขา PORT 0 (P0.0-P0.7) (ขา 32-39) เป็นพอร์ตไอโอ 8 บิต แบบ Open Drain Bidirectional สามารถที่จะรับโหลดทีทีแอลได้ 8 ตัว การเขียนค่า '1' ลงไปที่พอร์ตนี้ จะเป็นการปล่อยลอย (Float) ขาของพอร์ตนี้ ทำให้มันทำงานเป็นอินพุต มีสถานะอิมพีแดนซ์สูง ในการให้พอร์ตนี้บริการแบบไอโอ พอร์ต 0 จะทำงานเป็นมัลติเพลกซ์ ด้วยสัญญาณแอดเดรสไบต์ต่ำ กับบัสข้อมูล สำหรับการใช้งานด้านหน่วยความจำภายนอก ในการใช้งานแบบนี้จะใช้ลักษณะภายในเป็นตัวพูลอัพ พอร์ต 0 ยังใช้งาน เป็นตัวส่งข้อมูลออกทางพอร์ตนี้ เมื่อใช้บริการทางด้าน การตรวจสอบโปรแกรม ROM ภายใน และการโปรแกรมตัว EPROM ภายใน ถ้าใช้งานในลักษณะนี้การพูลอัพจากภายนอกต้องต่อด้วยค่า 10 กิโลโอห์ม

-ขา PORT 1 (P1.0-P1.7) (ขา1-8) เป็นพอร์ตไอโอ 8 บิตแบบ Open Drain Bidirectional พร้อมด้วยการพูลอัพภายใน ถ้าเป็นพอร์ตเอาท์พุต บัฟเฟอร์สามารถขับโหลดทีทีแอลได้ 4 ตัว พอร์ต 1 เมื่อถูกเขียนค่า '1' ด้วยโปรแกรม มันจะมีสถานะสูงด้วยการพูลอัพภายใน การให้สถานะเช่นนี้ จะเป็นการ initial ใช้งานพอร์ตนี้ให้เป็นอินพุต ขณะที่พอร์ต 1 เป็นอินพุต การให้สัญญาณลงต่ำจะเป็นการจ่ายกระแสออกเนื่องจากการพูลอัพภายใน

-ขา PORT 2 (P2.0-P2.7)( ขา21-28) เป็นพอร์ตไอโอ 8 บิตแบบ Open Drain Bidirectional ด้วยการพูลอัพภายใน พอร์ต 2 ที่ทำหน้าที่เป็นบัฟเฟอร์เอาท์พุตสามารถจ่ายโหลดทีทีแอลได้ 4 ตัว พอร์ตจะถูกใช้งานเป็นตัวส่งแอดเดรสไบต์สูง ด้วยเมื่อใช้งานร่วมกับหน่วยความจำภายนอกเพื่อให้แอดเดรสได้ถึง 16 บิต

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

-ขา PORT 3 (P3.0-P3.7)(ขา10-17)เป็นพอร์ตไอโอ 8 บิตแบบพูลอัพ

ภายในนอกจากทำเป็นพอร์ตไอโอที่สามารถรับโหลดทีทีแอล 4 ตัวแล้ว ยังใช้งานเป็นพิเศษสำหรับตระกูล MCS-51 ตามรายการข้างล่างนี้

| ขาพอร์ต | ขา | การทำงานตามฟังก์ชันพิเศษ |
|---|---|---|
| P3.0 | 10 | RxD พอร์ตอนุกรมอินพุต |
| P3.1 | 11 | TxD พอร์ตอนุกรมเอาท์พุต |
| P3.2 | 12 | INTO อินเตอร์รัพภายนอกตัวที่ 1 |
| P3.3 | 13 | INT1 อินเตอร์รัพภายนอกตัวที่ 2 |
| P3.4 | 14 | TO สัญญาณกระตุ้นเข้าที่ตัวตั้งเวลาและตัวนับ 0 |
| P3.5 | 15 | T1 สัญญาณกระตุ้นเข้าที่ตัวตั้งเวลาและตัวนับ 1 |
| P3.6 | 16 | WR สัญญาณควบคุมการเขียน |
| P3.7 | 17 | RD สัญญาณควบคุมการอ่าน |

การที่จะให้ทำงานตามฟังก์ชันข้างบน จะต้องเริ่มโปรแกรมด้วยการส่งค่า'1' ไปแลทช์ไว้ก่อนที่ให้ทำงานตามฟังก์ชันข้างบน

-ขา RST (ขา 9) ต้องคงสถานะค่าสูงเป็นเวลาประมาณอย่างน้อยสองวัฏจักรระหว่างที่ออสซิลเลเตอร์ทำงานขณะที่ต้องการรีเซตทั้งระบบงาน

-ขา ALE/PROG (ขา 30) เป็นขาแอดเดรสแลทช์อีนาเบิ้ลด้วยการส่งพัลส์ออกไป ใช้สำหรับแลทช์ค่าแอดเดรสไบท์ต่ำจากพอร์ต 0 ในระหว่างการเข้าถึงข้อมูลจากหน่วยความจำภายใน ALE จะถูกส่งสัญญาณนาฬิกาออกขา ในอัตราความเร็วคงที่ ที่ 1/8 ของความถี่ออสซิเลเตอร์ตลอดเวลา แม้ว่าจะไม่มีการเข้าถึงข้อมูลจากภายใน ดังนั้นจึงสามารถที่จะใช้สัญญาณจากขานี้เป็นตัวตั้งเวลาภายนอกหรือเป็นความถี่สัญญาณนาฬิกา แต่อย่างไรก็ตามความถี่สัญญาณนี้จะลดความถี่ช้าลงไปเท่าหนึ่งระหว่างการทำงานแบบการเข้าถึงของหน่วยความจำข้อมูลภายนอก ขานี้ยังใช้เป็นสัญญาณพัลส์เข้าสำหรับการควบคุมการโปรแกรม EPROM ภายในชิพ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

-ขา PSEN (ขา 29) Program Storage Enable เป็นสโตรบสำหรับอ่านข้อมูลจากโปรแกรมหน่วยความจำภายนอก เมื่อชิพทำงานด้วยโปรแกรม จากหน่วย

ความจำภายนอก ขา PSEN จะสร้างสโตรบขึ้นมาหนึ่งครั้งภายใน 1 แมชชีนไซเคิล

-ขา EA/Vpp (ขา 31) มีสถานะสูง ตัว CPU ในชิพจะทำงานตามโปรแกรมที่อยู่ในหน่วยความจำภายใน การทำให้ EA มีสถานะต่ำ จะทำให้ CPU ทำงานตามหน่วยความจำภายนอก ซึ่งขยายโปรแกรมได้ยาวถึง 64 กิโลไบท์

-ขา XTAL1 (ขา 19) ใช้เป็นตัวอินพุทเข้าสู่ตัวออสซิลเลเตอร์ขยายแบบ Invert

-ขา XTAL2 (ขา 18) ใช้เป็นตัวเอาท์พุทจากตัวออสซิลเลเตอร์ขยายแบบ Invert

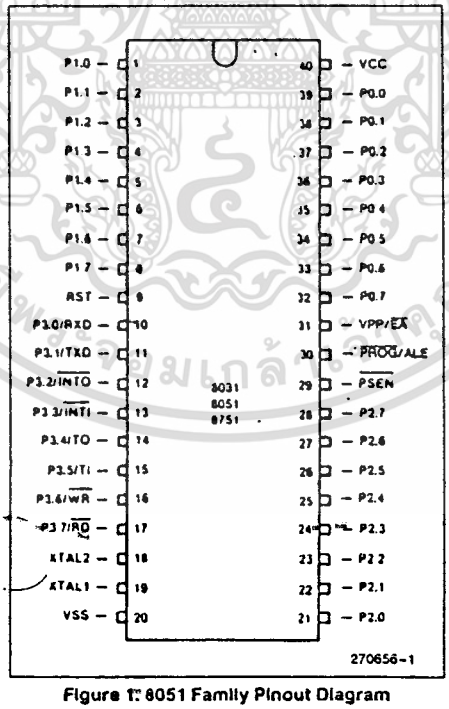



Figure 1. 8051 Family Pinout Diagram

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูป 2.4 แสดงการจัดขาของ 8031

008462

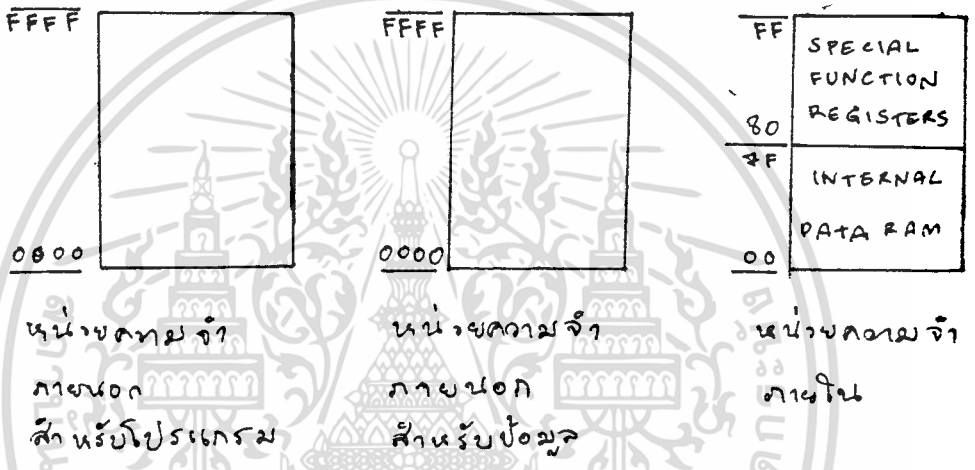
2.4.2 การจัดการหน่วยความจำ

8031 มีหน่วยความจำพื้นฐานดังนี้

1. หน่วยความจำภายนอกสำหรับโปรแกรม 64 กิโลไบท์

2. หน่วยความจำภายนอกสำหรับข้อมูล 64 กิโลไบท์

3. หน่วยความจำภายในแบบ RAM 256 ไบท์




รูป 2.5 แสดงหน่วยความจำพื้นฐาน

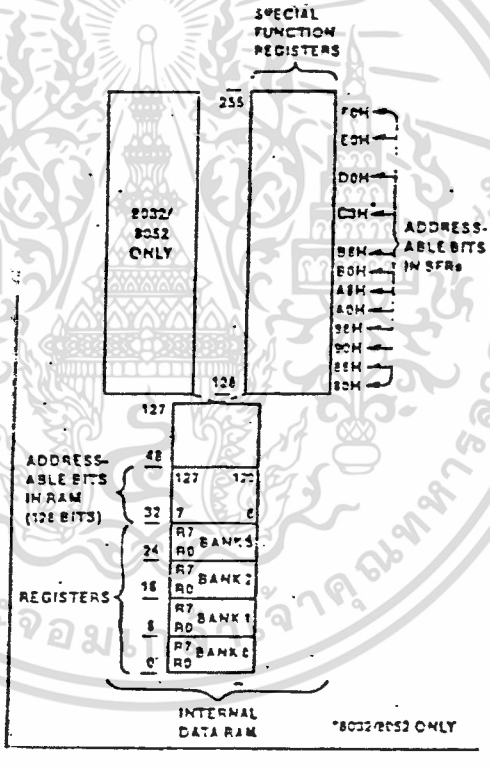
ในส่วนหน่วยความจำจะแบ่งเป็นสองส่วนหลักดังรูป 2.6

-แอดเดรส 00H ถึง 7FH เป็นหน่วยความจำปกติ (RAM) สามารถเก็บข้อมูลโดยการอ้างแอดเดรส 8 บิท และในช่วง BANK จะเป็นที่เก็บค่ารีจิสเตอร์ R (RAM Address Register)โดยสามารถกำหนดให้อยู่ในช่วง BANK 0,1,2 หรือ 3 ได้โดยเซทบิท RS1,RS0 ใน PSW รีจิสเตอร์

-แอดเดรส 80H ถึง FFH ใช้เป็นที่เก็บรีจิสเตอร์ฟังก์ชั่นพิเศษ (Special Function Register) การจัดแอดเดรสเหล่านี้เป็นดังรูป 2.7

นอกจากจะเก็บข้อมูลโดยอ้างแอดเดรสไบท์ในหน่วยความจำแล้ว ยังสามารถเก็บข้อมูลเป็นบิทได้ โดยอ้างจากแอดเดรสบิท ดังรูป 2.8

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้




รูป 2.6 การจัดหน่วยความจำภายใน

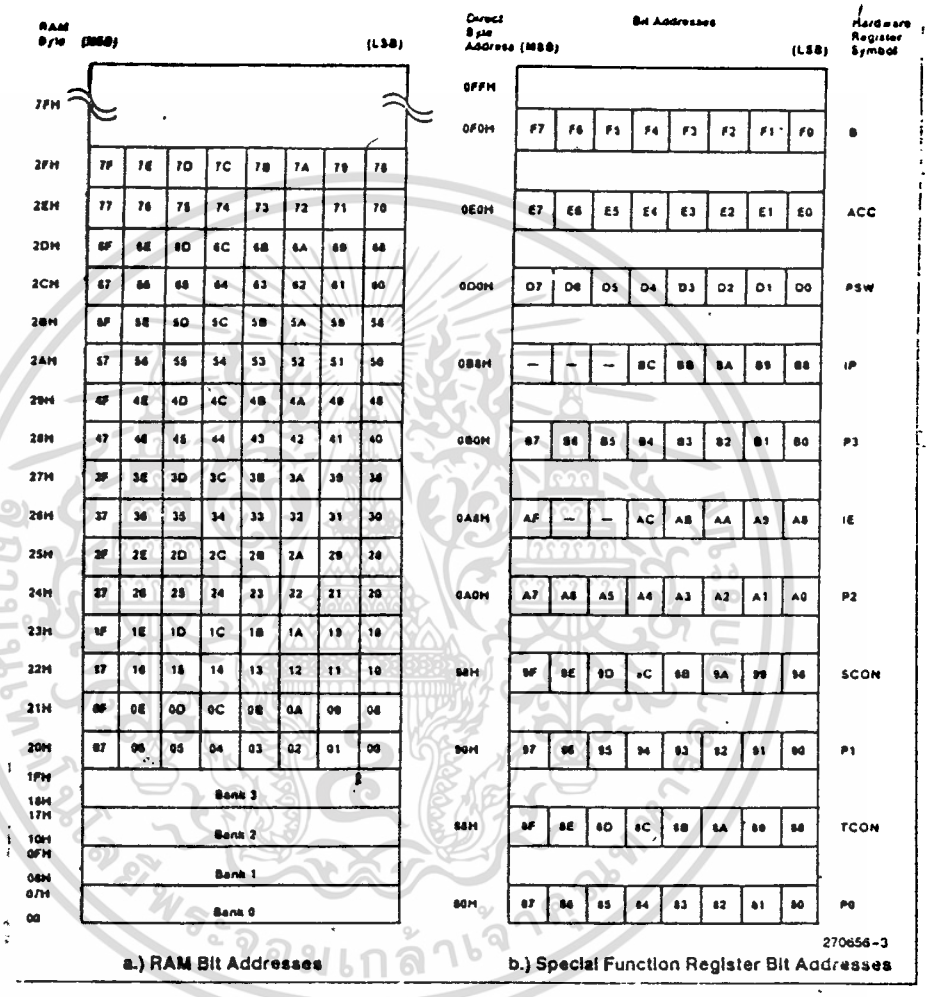
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

| Symbol | Name | Address |
|---|---|---|
| *ACC | Accumulator | 0E0H |
| *B | d Register | 0F0H |
| *PSW | Program Status Word | 0D0H |
| SP | Stack Pointer | 81H |
| DPTR | Data Pointer 2 Bytes | |
| DPL | Low Byte | 82H |
| DPH | High Byte | 83H |
| *P0 | Port 0 | 80H |
| *P1 | Port 1 | 90H |
| *P2 | Port 2 | 0A0H |
| *P3 | Port 3 | 0B0H |
| *IP | Interrupt Priority Control | 0B8H |
| *IE | Interrupt Enable Control | 0A8H |
| TMOD | Timer/Counter Mode Control | 89H |
| *TCON | Timer/Counter Control | 88H |
| *+T2CON | Timer/Counter 2 Control | 0C8H |
| TH0 | Timer/Counter 0 High Byte | 8CH |
| TL0 | Timer/Counter 0 Low Byte | 8AH |
| TH1 | Timer/Counter 1 High Byte | 8DH |
| TL1 | Timer/Counter 1 Low Byte | 8BH |
| +TH2 | Timer/Counter 2 High Byte | 0CDH |
| +TL2 | Timer/Counter 2 Low Byte | 0CCH |
| +RCAP2H | T/C 2 Capture Reg. High Byte | 0CBH |
| +RCAP2L | T/C 2 Capture Reg. Low Byte | 0CAH |
| *SCON | Serial Control | 98H |
| SBUF | Serial Data Buffer | 99H |
| PCON | Power Control | 87H |

* = Bit addressable
+ = 8052 only

รูป 2.7 รีจิสเตอร์ฟังก์ชั่นพิเศษ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

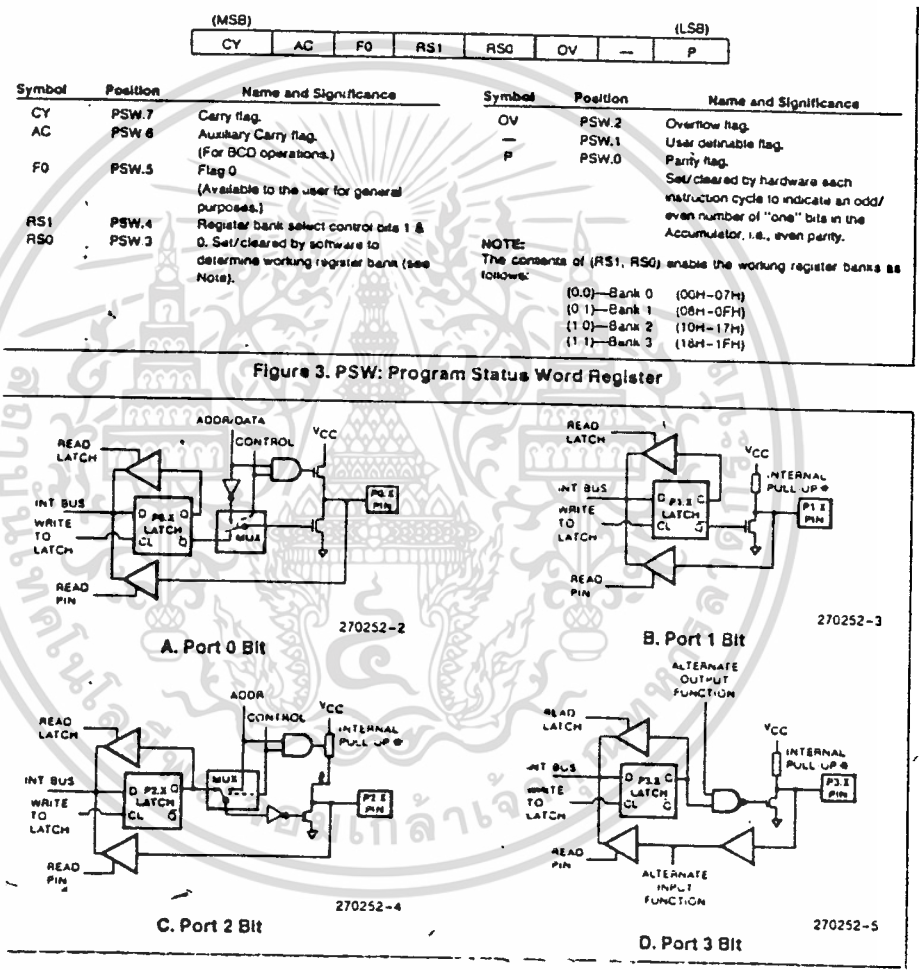



รูป 2.8 การอ้างแอดเดรสบิท

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.4.3 โครงสร้างของพอร์ทและการทำงาน

พอร์ทของ8031 มี 4 พอร์ท พอร์ททั้ง 4 เป็นแบบ 2 ทิศทาง (Bidirectional) พร้อมทั้งสามารถหน่วงค่าไว้ (Latch) โดยมีโครงสร้างภายในแต่ละบิทดังรูปที่ 2.9 -




รูป 2.9 โครงสร้างภายในของพอร์ทต่าง ๆ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากรูปจะเห็นได้ว่ามีตัวขับเอาท์พุทและบัฟเฟอร์อินพุท เนื่องจากโครงสร้างพอร์ท 1,2 และ 3 ได้ลิดค่าความต้านทานพูลอัพไว้ ดังนั้นเวลาจะอ่านค่าจากพอร์ทต้องป้อนค่า 1 ก่อน แล้วจึงอ่านค่าที่พอร์ทเข้ามา ส่วนในพอร์ท 0 สามารถอ่านค่าได้เลย ในทางปฏิบัติ พอร์ท 0 กับ พอร์ท 2 จะใช้ในการติดต่อหน่วยความจำภายนอก โดยใช้พอร์ท 0 รับข้อมูลด้วยในตัว ส่วนพอร์ท 1 เป็นพอร์ทว่าง ใช้ในกรณีต้องการติดตั้งอุปกรณ์เพิ่มเติม และใน พอร์ท 3 จะเป็นพอร์ทควบคุมมีฟังก์ชั่นการทำงานดังที่ได้กล่าวมาแล้ว

2.4.4 ตัวจับเวลา/ตัวนับ (Timer/Counter)

ใน 8031 มีตัวจับเวลา/ตัวนับ 16 บิต 2 ตัว เราสามารถกำหนดฟังก์ชันการทำงานได้ที่รีจิสเตอร์ TMOD

-ฟังก์ชันการทำงานจับเวลา รีจิสเตอร์จะเพิ่มค่าทุก ๆ แมชชีนไซเคิล (Machine Cycle) โดยใน 1 แมชชีนไซเคิลจะกินเวลาเป็น 1/2 ของความถี่ออสซิลเลเตอร์ (Oscillator)

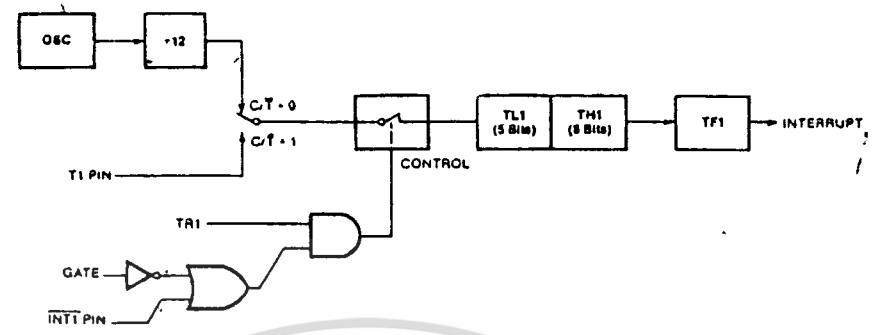
-ฟังก์ชันการทำงานเป็นตัวนับ รีจิสเตอร์จะเพิ่มค่าทุกครั้ง ที่ตรวจพบการเปลี่ยนสถานะจาก '1' เป็น '0' ที่ขา T0 หรือ T1 สัญญาณภายนอกจะถูกสุ่ม (sampling) ระหว่างช่วง S5P2 ของทุกแมชชีนไซเคิล (Machine Cycle) ถ้าค่าที่ได้เป็น 0 และค่าที่วัดได้ในครั้งที่แล้วเป็น 1 รีจิสเตอร์จะเพิ่มค่าอีก 1 ดังนั้นความถี่สูงสุดของสัญญาณที่สามารถวัดได้เป็น 1/24 ของความถี่ออสซิลเลเตอร์

ในการทำงานทั้งตัวจับเวลาและตัวนับ สามารถกำหนดโหมดการทำงานได้ทั้งหมด 4 โหมดดังนี้

<u>โหมด 0</u> รีจิสเตอร์ที่นับจะมี 2 ตัว ตัวแรกคือ TL มี 5 บิท ตัวที่ 2 คือ TH มี 8 บิท การนับโดยรวมจึงมี 13 บิท เมื่อนับเพิ่มค่าจนเป็น "1" ทุกบิทแล้ว การนับครั้งต่อไปจะรีเซทค่ารีจิสเตอร์เป็น "0" หมด พร้อมทั้งเกิด โอเวอร์โฟลว์ (Overflow) ไปปรับค่าแฟลก TF1 เป็น "1" การเริ่มจับเวลา/นับ จะมีขึ้นเมื่อบิท TR =1 และ GATE=0 หรือ INT1=1 ดังรูปที่ 2.10

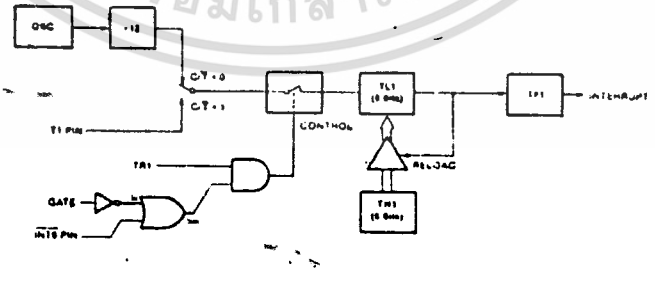
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

<u>โหมด 1</u> ทำงานเหมือนโหมด 0 ต่างกันที่รีจิสเตอร์ตัวจับเวลา/นับมีขนาด 16 บิท




รูป 2.10 การทำงานในโหมด 0

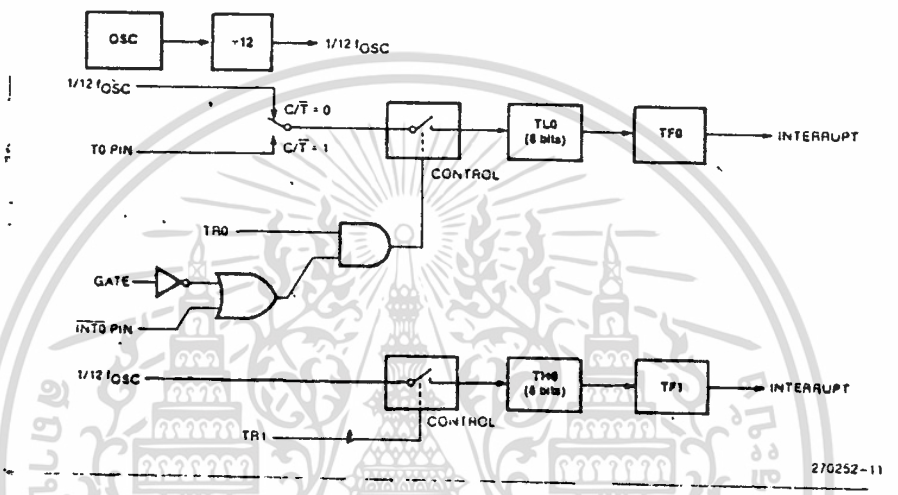
โหมด 2 ทำงานโดยเซทค่าที่ TH 8 บิท และนับค่าที่ TL 8 บิท จากนั้นทุกครั้งที่เกิดโอเวอร์โฟลว์ ที่บิท TF จะเป็น 1 และจะมีการโหลดค่าจาก TH ไปยัง TL โดยอัตโนมัติ ดังรูปที่ 2.11



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูป 2.11 การทำงานในโหมด 2

โหมด 3 จะเป็นการกำหนดให้ TL0 8 บิท เป็นตัวจับเวลา/นับ แล้วส่งสัญญาณไปเซทบิท TF0 ในขณะเดียวกัน TH0 จะถูกกำหนดให้ทำหน้าที่จับเวลา และส่งสัญญาณโอเวอร์โฟลว์ไปเซทบิท TF1 ดังรูปที่ 2.12




รูป 2.12 การทำงานในโหมด 3

ในการทำงานในโหมด 1 และ 3 จะอาศัยการทำงานของ TIMER 1 ดังนั้นในช่วงนี้จะใช้ TIMER 1 ไม่ได้ และจะต้องเซทค่า EX1 ในรีจิสเตอร์ IE ให้ไม่ทำงานด้วย (DISABLE)

2.4.5 การใช้งานในการรับส่งข้อมูลอนุกรม

8031 สามารถรับและส่งข้อมูลได้ในเวลาเดียวกัน (Full Duplex) ในขณะที่รับข้อมูลนั้นจะมีบัฟเฟอร์ช่วยทำให้สามารถรับข้อมูลในไบท์ที่ 2 ได้ โดยที่ไบท์แรกยังไม่ถูกอ่าน อย่างไรก็ตามเมื่อรับข้อมูลในไบท์ที่ 2 ครบแล้ว ข้อมูลในไบท์แรกจะหายไป ในการรับส่งข้อมูลอนุกรมจะทำที่รีจิสเตอร์ SBUF ซึ่งใช้เป็นบัฟเฟอร์ โดยการเขียนข้อมูลไปที่ SBUF ข้อมูลนั้นจะส่งออกไปโดยอัตโนมัติ ในการรับข้อมูล ข้อมูลที่ถูกส่งมา จะมาพักที่รีจิสเตอร์ SBUF นี้ เราจึงอ่านค่าข้อมูลได้จาก SBUF นี้เอง SBUF ในการส่ง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งไม่อนุญาตให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของลิขสิทธิ์ทุกครั้งที่มีการนำไปใช้

และรับจะเป็นคนละตัวกัน โดย CPU จะรู้เอง

ในการรับส่งข้อมูลแบบอนุกรม สามารถกำหนดการทำงานได้ 4 โหมดที่บิท SMO,SM1 ในรีจิสเตอร์ SCON ดังนี้

<u>โหมด 0</u> ข้อมูลอนุกรมจะรับส่งผ่านขา RXD, TXD ตามลำดับ โดยมีความเร็วในการรับส่งเป็น 1/12 ของความถี่ออสซิลเลเตอร์ มีหน่วยเป็น บิทต่อวินาที (Bit per sec.) ข้อมูลในแต่ละไบท์จะมี 8 บิท

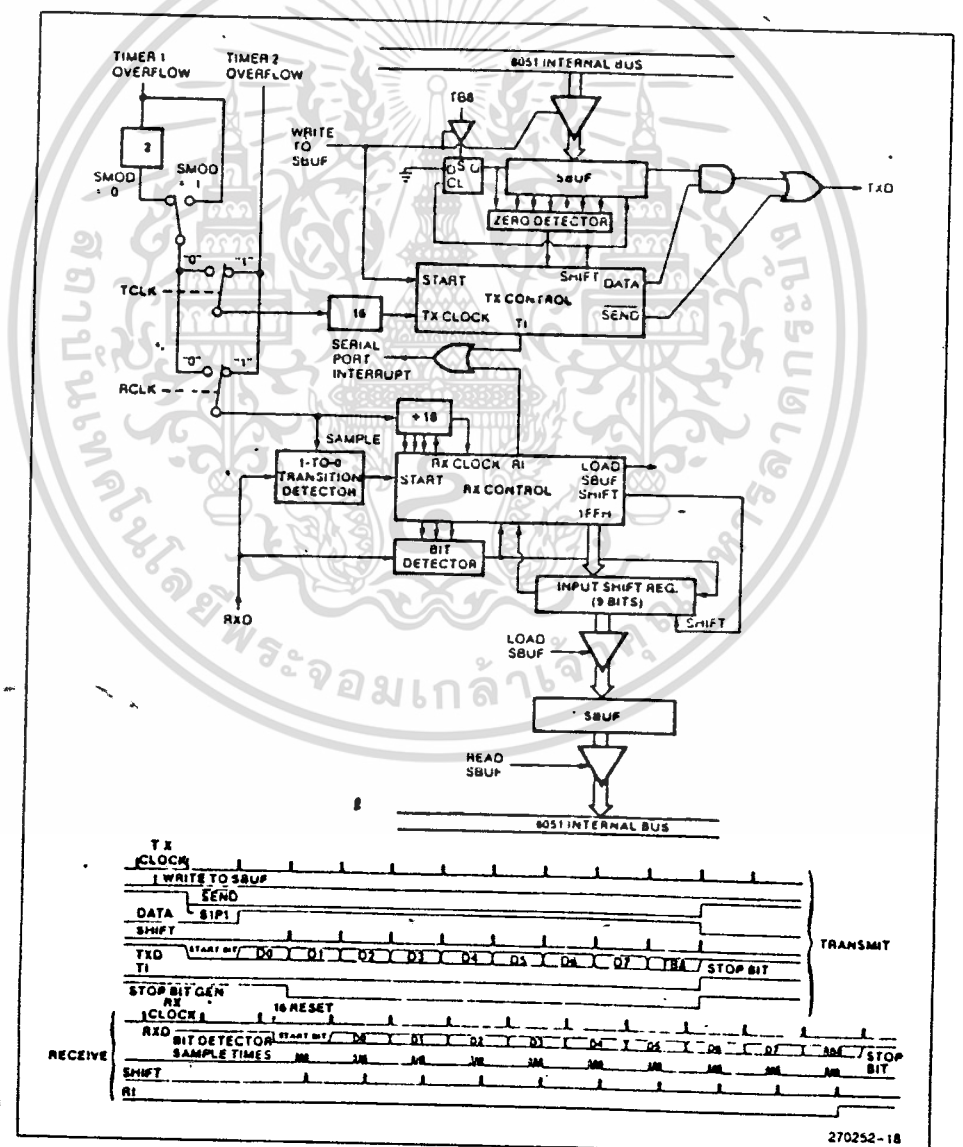



Figure 20. Serial Port Mode 3. TCLK, RCLK, and Timer 2 are Present in the 8052/8032 Only.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 2.13 การรับส่งข้อมูลอนุกรม ในโหมด 3

โหมด 1 ข้อมูลจะเป็นแบบ 10 บิท มีบิทเริ่มต้น (Start Bit) บิทข้อมูล 8 บิท และบิทสุดท้าย ( Stop Bit) และสามารถปรับความเร็วได้

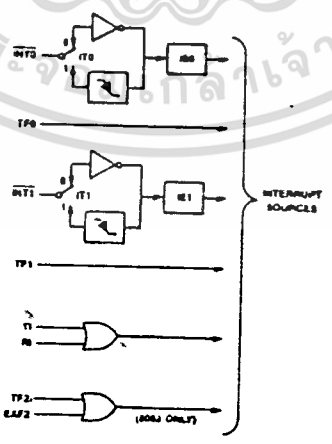
โหมด 2 ข้อมูลเป็นแบบ 11 บิท คือบิทเริ่มต้น บิทข้อมูล 8 บิท บิทที่กำหนดค่าได้และบิทสุดท้าย ในบิทที่กำหนดค่าได้นี้ ทำได้โดยกำหนดที่บิท TB8 ของ SCON ในการส่งและรับ บิทนี้จะถูกนำไปเก็บที่บิท RB8 ของ SCON ในทางปฏิบัติจะนิยมใช้บิทที่กำหนดค่าได้นี้เป็นพาริตี้บิท (Parity Bit) สามารถเลือกความเร็วได้เป็น 1/32 หรือ 1/64 ของความถี่ออสซิลเลเตอร์ (Oscillator)

โหมด 3 จะเหมือนโหมด 2 ทุกอย่าง แต่ความเร็วสามารถปรับได้

ในทุกโหมดการส่งข้อมูลจะเริ่มทันทีที่มีการเขียนข้อมูลไปยังรีจิสเตอร์ SBUF ส่วนในการรับข้อมูลในโหมด 0 จะเริ่มเมื่อสภาวะ RI=0 และ REN=1 แต่ในโหมดอื่นจะเริ่มรับข้อมูลโดย REN=1 และมีบิทเข้ามา

### 2.4.6 อินเทอร์รัพท์ (Interrupt)

มีการอินเทอร์รัพท์ได้ 5 วิธี ดังรูปที่ 2.14




เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

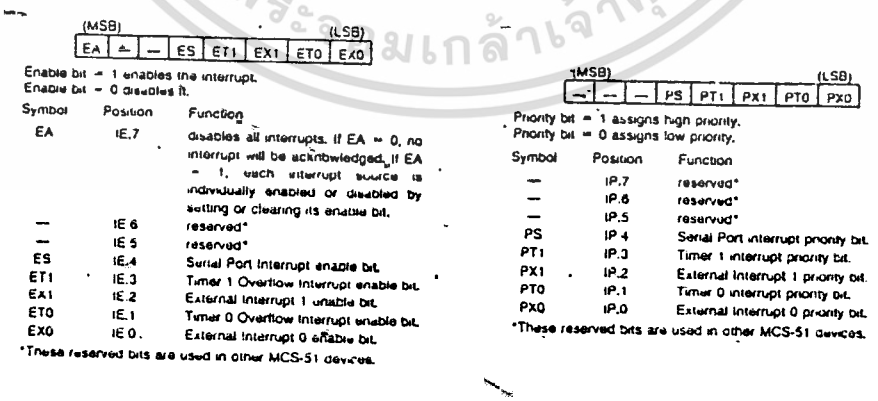
รูปที่ 2.14

การอินเทอร์รัพท์จากภายนอก INT0 และ INT1 สามารถกำหนดการทำงานได้ทั้งแบบระดับ (level) หรือแบบการเปลี่ยนระดับ (Transition) โดยเซทค่าที่บิท IT0,IT1 ใน TCON เมื่อมีการอินเทอร์รัพท์ บิท IE0,IE1 ใน TCON จะถูกเซทเป็น "0" เมื่อสิ้นขบวนการอินเทอร์รัพท์

การอินเทอร์รัพท์จากตัวจากเวลา/ตัวนับ TF0 และ TF1 ใน TCON จะถูกเซทเมื่อรีจิสเตอร์ในตัวจับเวลานั้นนับถึง 255 และถูกเคลียร์โดยฮาร์ดแวร์ เมื่อมีการชี้ไปยังตำแหน่งโปรแกรมตอบสนองอินเทอร์รัพท์แล้ว

การอินเทอร์รัพท์ทางพอร์ทอนุกรม จะถูกอินเทอร์รัพท์ จากการรับข้อมูลหรือจากการส่งข้อมูล บิท R1 และ T1 จะถูกเซทตามลำดับ และจะไม่ถูกเคลียร์โดยทางฮาร์ดแวร์ เพื่อสามารถทำการตรวจเช็คการรับส่งข้อมูลในครั้งที่แล้วได้บิท R1 และ T1 จะถูกเซทตามลำดับ และไม่ถูกเคลียร์โดยฮาร์ดแวร์ เพื่อสามารถตรวจเช็คการรับส่งข้อมูลในครั้งที่แล้วได้ บิท R1 และ T1 จะถูกเคลียร์โดยซอฟท์แวร์ทุกครั้งก่อนจะมีการรับส่งข้อมูล

เราสามารถกำหนดลำดับความสำคัญในการอินเทอร์รัพท์ได้โดยทางซอฟท์แวร์ที่รีจิสเตอร์ IP และเลือกใช้อินเทอร์รัพท์ได้โดยกำหนดที่รีจิสเตอร์ IE ดังรูปที่ 2.15




เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูป 2.15

สำหรับรีจิสเตอร์ฟังก์ชั่นพิเศษอื่นๆ มีลักษณะการทำงานดังต่อไปนี้

TMOD

| Timer 1 | | | | Timer 2 | | | |
|---|---|---|---|---|---|---|---|
| GATE | C/T | M1 | M0 | GATE | C/T | M1 | M0 |

msb lsb

Gate ถ้ามีค่าเป็น 0 จะเป็นตัวที่ทำให้ Timer หรือ Counter ทำงานได้

C/T เป็นตัวเลือกว่าจะใช้งานะเป็น Timer หรือ Counter โดย 0 เป็น Timer และ 1 เป็น Counter

M1,M2 เป็นตัวเลือกโหมดการทำงาน

M1,M2=00 เป็นการใช้ Timer/Counter ขนาด 13 บิท

M1,M2=01 เป็นการใช้ Timer/Counter ขนาด 16 บิท

M1,M2=10 เป็นการใช้ Timer/Counter ขนาด 8 บิท โดยเป็นการเรียกค่าซ้ำเข้ามาโดยอัตโนมัติ(Auto-reload)

M1,M2=11 ใน Timer 0 เป็นการใช้ Timer/Counter ขนาด 8 บิท โดย TL0 จะถูกควบคุมตามมาตรฐาน ส่วน TH0 จะถูกควบคุมจาก TR1 ใน Timer 1 จะหยุดใช้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

IE

| EA | X | X | ES | ET1 | EX1 | ET0 | EX0 |
|---|---|---|---|---|---|---|---|

msb lsb

EA เป็นการควบคุมการรับอินเทอร์รัพท์ของทั้งระบบ ถ้า EA = 0 จะไม่รับอินเทอร์รัพท์ ถ้า EA = 1 การรับอินเทอร์รัพท์ จะขึ้นอยู่กับการพร้อมที่จะรับอินเทอร์รัพท์ของแต่ละตัวซึ่งจะเป็นอิสระต่อกัน

ES เป็นตัวควบคุมการรับอินเทอร์รัพท์ของ SERIAL PORT

ET1 เป็นตัวควบคุมการรับอินเทอร์รัพท์ของ Timer 1

EX1 เป็นตัวควบคุมการรับอินเทอร์รัพท์ของ INT1

ET0 เป็นตัวควบคุมการรับอินเทอร์รัพท์ของ Timer 0

EX0 เป็นตัวควบคุมการรับอินเทอร์รัพท์ของ INT0

TCON

| TF1 | TR1 | TF0 | TR0 | IE1 | IT1 | IE0 | IT0 |
|---|---|---|---|---|---|---|---|

msb lsb

TF1 เป็นแฟลกโอเวอร์โฟล์วของ Timer/Counter 1 การเซทและเคลียร์ทำทางฮาร์ดแวร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TR1 เป็นตัวควบคุม Timer 1 ให้ทำงานหรือหยุดทำงาน การเซทและเคลียร์ทำทางซอฟแวร์

TF0 เป็นแฟลกโอเวอร์โฟล์วของ Timer/Counter 0

TR0 เป็นตัวควบคุม Timer 0

IE1 เป็นตัวตรวจว่ามีการรับสัญญาณ INT1 หรือไม่

IT1 เป็นบิทที่กำหนดการรับสัญญาณ INT1 ว่าจะรับช่วงขาลงหร์อช่วงสถานะเป็น 0 ของสัญญาณ INT1

IE0 เป็นตัวตรวจว่ามีการรับสัญญาณ INT0 หรือไม่

IT0 เป็นบิทที่กำหนดการรับสัญญาณ INT0 ว่าจะรับช่วงขาลงหรือช่วงสถานะเป็น 0 ของสัญญาณ INT0

PSW

| CY | AC | F0 | RS1 | RS0 | OV | X | P |
|---|---|---|---|---|---|---|---|

msb lsb

CY เป็นแคร์รี่แฟลก ( Carry Flag )

AC เป็นออกซิลลารี่แฟลก ( Auxillary Flag )

F0 เป็นแฟลกศูนย์ ( Zero Flag )

RS1 เป็นบิทที่ใช้เลือกรีจิสเตอร์แบงก์ ( Register Bank ) สามารถตั้งและลบด้วยซอฟแวร์

RS0 แสดงการทำงานของรีจิสเตอร์แบงก์

OV เป็นแฟลกโอเวอร์โฟล์ว ( Over flow )

X สำรอง

P เป็นแฟลกพาริตี้ ( Parity flag ) ตั้งและลบโดยฮาร์ดแวร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หมายเหตุ รูปแบบการตั้งการทำงานของรีจิสเตอร์แบงก์ โดยตั้ง ( RS0,RS1 )

( 0,0 ) เลือกการทำงานช่วง ( 00H - 07H )

( 0,1 ) เลือกการทำงานช่วง ( 08H - 0FH )

( 1,0 ) เลือกการทำงานช่วง ( 10H - 17H )

( 1,1 ) เลือกการทำงานช่วง ( 18H - 1FH )

IP

| X | X | X | PS | PT1 | PX0 | PT0 | PX0 |
|---|---|---|---|---|---|---|---|

msb lsb

PS เป็นการทำให้ INT ของ Serial port มีความสำคัญกว่าอันอื่น

PT1 เป็นการทำให้ INT ของ Timer 1 มีความสำคัญกว่าอันอื่น

PX1 เป็นการทำให้ INT ของ INT1 มีความสำคัญกว่าอันอื่น

PT0 เป็นการทำให้ INT ของ Timer 0 มีความสำคัญกว่าอันอื่น

PX0 เป็นการทำให้ INT ของ INT0 มีความสำคัญกว่าอันอื่น

X สำรอง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

SCON

| SM0 | SM1 | SM2 | REN | TB8 | RB8 | T1 | R1 |
|---|---|---|---|---|---|---|---|

msb lsb

SM0,SM1 เป็นตัวเลือกโหมดควบคุม

SM2 เป็นตัวทำให้มีการติดต่อแบบมัลติโปรเซสเซอร์ (Multiprocessor) ได้ ในโหมด 1,2,3 ถ้า SM2 ถูกเซทเป็น 1 จะทำให้ R1 ไม่สามารถทำงานในโหมด 0 ได้ SM2 ควรเป็น 1

REN เป็นตัวที่ทำให้สามารถรับส่งแบบ Serial ได้

TB8 เป็นบิทที่ 9 ของข้อมูลที่จะส่งไปในโหมด 2,3

RB8 เป็นบิทที่ 9 ของข้อมูลที่จะส่งไปในโหมด 2,3 แต่ในโหมด 1 จะเป็นค่า Stop bit และในโหมด 0 จะไม่ถูกใช้

T1 เป็นตัวตรวจว่ามีการรับ INT จากการส่งข้อมูล โดยมันจะถูกเซทเมื่อการส่งเสร็จสมบูรณ์และจะถูกเคลียร์ทางซอฟแวร์

R1 เป็นตัวตรวจว่ามีการรับ INT จากการรับข้อมูล โดยมันจะถูกเซทเมื่อการส่งเสร็จสมบูรณ์และจะถูกเคลียร์ทางซอฟแวร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## 2.5 DTMF DECODER MT8870

ในการตรวจสอบสัญญาณที่กดมาจากต้นสาย เราจะใช้ MT 8870 ในการถอดรหัส โดย MT 8870 ซึ่งผลิตโดยบริษัทมิเทล (MITEL) ใช้ตัวสร้างความถี่ (Oscillator) ขนาด 3..579 เมกะเฮิรทซ์ ในการสร้างสัญญาณนาฬิกา

### 2.5.1 คุณสมบัติของ MT8870

-เป็นตัวรับและถอดรหัสความถี่ (DTMF Decoder)

-กินไฟน้อย ใช้ไฟเลี้ยงระดับเดียวกับ TTL

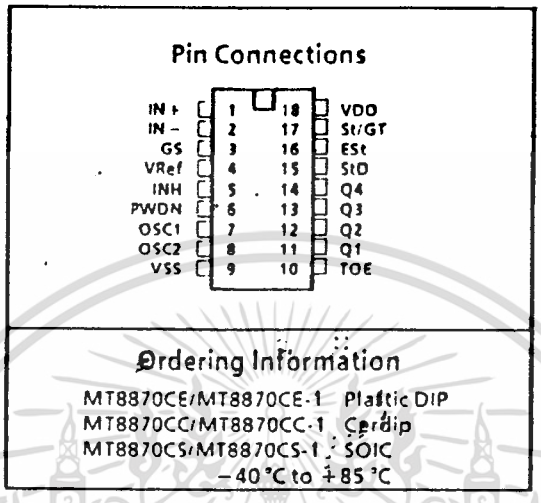
-สามารถตั้งอัตราขยายภายในตัวไอซีได้

-สามารถปรับการ์ดไทม์ (Guard Time) ได้

### 2.5.2 โครงสร้างของ MT8870

โครงสร้างภายในของ MT8870 ประกอบไปด้วยวงจรกรองความถี่และวงจรถอดรหัสทางดิจิตอล เป็นไอซีที่สร้างโดยใช้เทคโนโลยี $ISO^2$-CMOS ในส่วนของวงจรกรองความถี่ใช้เทคนิคของสวิทช์คาปาซิเตอร์ฟิลเตอร์ สำหรับกรองความถี่สูงและต่ำ ส่วนวงจรถอดรหัสใช้เทคนิคการนับทางดิจิตอลเพื่อตรวจจับและถอดรหัสทั้ง 16 ความถี่ออกเป็นเลขฐานสองขนาด 4 บิท และเช็คช่วงเวลาที่สัญญาณเข้ามา ส่วนภาคอินพุทเป็นออปแอมป์ ซึ่งสามารถปรับอัตราขยายได้โดยต่ออุปกรณ์ภายนอก เอาท์พุทเป็นวงจรแลทช์ 3 สถานะ รูปที่ 2.16 แสดงขาของ MT8870 และรูปที่ 2.17 แสดงโครงสร้างภายในของ MT8870

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้




รูป 2.16 แสดงขาของ MT8870

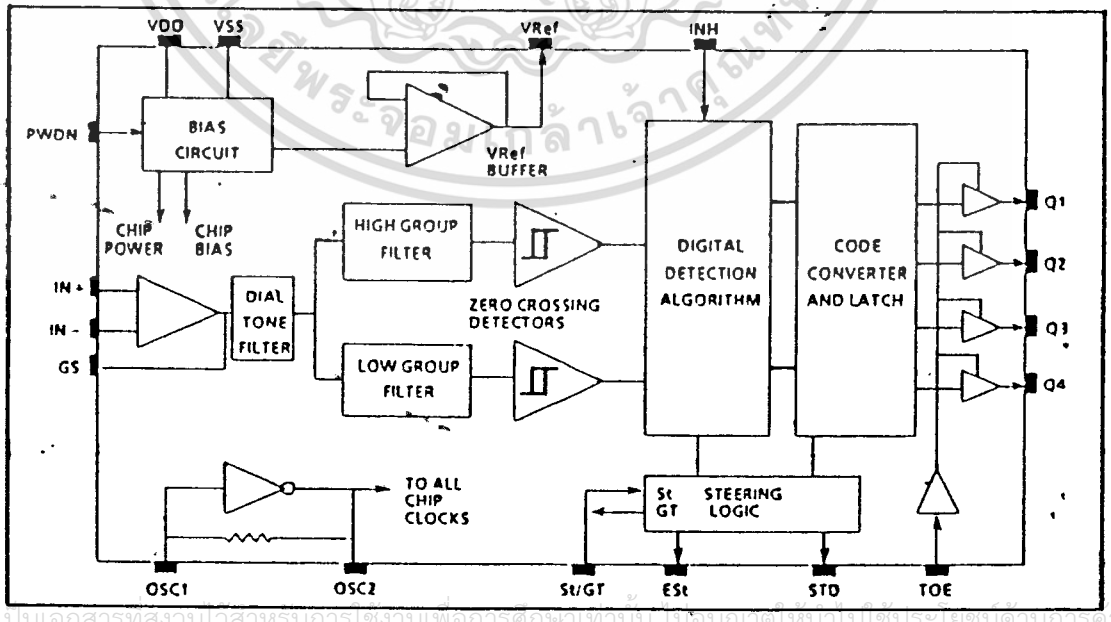



Figure 1 - Functional Block Diagram

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูป 2.17 แสดงโครงสร้างภายในของ MT8870

### 2.5.3 ฟังก์ชั่นการทำงานภายใน MT8870

ภายใน MT8870 ประกอบด้วยส่วนสำคัญ 5 ส่วนคือ

- ภาคกรองความถี่ ( Filter section )

ส่วนนี้จะแยกสัญญาณ DTMF ออกเป็น 2 ส่วนคือ ช่วงความถี่สูงและช่วงความถี่ต่ำ

- ภาคกรองรหัส ( Decoder section )

ส่วนนี้จะถอดรหัสความถี่ที่กรองแล้วออกเป็นรหัสดิจิตอลโดยใช้เทคนิคการนับแบบดิจิตอล ค่าที่ถอดได้จากรหัสความถี่ต่างๆ เป็นดังรูปที่ 2.18

- ภาคตรวจสอบสัญญาณ (Steering circuit)

ตรวจสอบสัญญาณความถี่ที่เข้ามาว่ามีระยะเวลาตามที่กำหนดหรือไม่

- ภาคขยายสัญญาณความแตกต่าง (Differential input)

ส่วนอินพุทของ MT8870 เป็นภาคขยายออปแอมป์ที่สามารถปรับอัตราขยายได้โดยต่อวงจรภายนอกเข้ากับอินพุท

- ภาคกำเนิดความถี่ (Oscilator)

ใน MT8870 จะมีวงจรออสซิลเลเตอร์อยู่ภายใน เพียงแต่ต่อคริสตอลขนาด 3.579 เมกะเฮิรทซ์ ก็สามารถใช้งานได้ทันที

การทำงานจะเริ่มโดยการรับสัญญาณ DTMF เข้ามาทางอินพุท จากนั้นจะผ่านไปทางไดอัลโทนฟิลเตอร์ (Dial tone filter) ซึ่งทำหน้าที่ป้องกันไม่ให้สัญญาณที่ไม่ใช่สัญญาณ DTMF ผ่านไป จากนั้นสัญญาณที่ผ่านมาได้ จะเข้าสู่ส่วนกรองความถี่เพื่อแยก 2 ความถี่ออกจากกัน และจะเข้าสู่ส่วนถอดรหัส ซึ่งจะถอดรหัสความถี่ทั้งสองให้เป็นรหัสไบนารีออกไปยังขา Q1-Q4

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

| Digit | TOE | INH | EST | $Q_4$ | $Q_3$ | $Q_2$ | $Q_1$ |
|---|---|---|---|---|---|---|---|
| ANY | L | X | - | Z | Z | Z | Z |
| 1 | H | L | H | 0 | 0 | 0 | 1 |
| 2 | H | L | H | 0 | 0 | 1 | 0 |
| 3 | H | L | H | 0 | 0 | 1 | 1 |
| 4 | H | L | H | 0 | 1 | 0 | 0 |
| 5 | H | L | H | 0 | 1 | 0 | 1 |
| 6 | H | L | H | 0 | 1 | 1 | 0 |
| 7 | H | L | H | 0 | 1 | 1 | 1 |
| 8 | H | L | H | 1 | 0 | 0 | 0 |
| 9 | H | L | H | 1 | 0 | 0 | 1 |
| 0 | H | L | H | 1 | 0 | 1 | 0 |
| * | H | L | H | 1 | 0 | 1 | 1 |
| # | H | L | H | 1 | 1 | 0 | 0 |
| A | H | L | H | 1 | 1 | 0 | 1 |
| B | H | L | H | 1 | 1 | 1 | 0 |
| C | H | L | H | 1 | 1 | 1 | 1 |
| D | H | L | H | 0 | 0 | 0 | 0 |
| 1 | H | H | H | 0 | 0 | 0 | 1 |
| 2 | H | H | H | 0 | 0 | 1 | 0 |
| 3 | H | H | H | 0 | 0 | 1 | 1 |
| 4 | H | H | H | 0 | 1 | 0 | 0 |
| 5 | H | H | H | 0 | 1 | 0 | 1 |
| 6 | H | H | H | 0 | 1 | 1 | 0 |
| 7 | H | H | H | 0 | 1 | 1 | 1 |
| 8 | H | H | H | 1 | 0 | 0 | 0 |
| 9 | H | H | H | 1 | 0 | 0 | 1 |
| 0 | H | H | H | 1 | 0 | 1 | 0 |
| * | H | H | H | 1 | 0 | 1 | 1 |
| # | H | H | H | 1 | 1 | 0 | 0 |
| A | H | H | L | undetected, the output code will remain the same as the previous detected code | | | |
| B | H | H | L | | | | |
| C | H | H | L | | | | |
| D | H | H | L | | | | |

L = LOGIC LOW, H = LOGIC HIGH, Z = HIGH IMPEDANCE

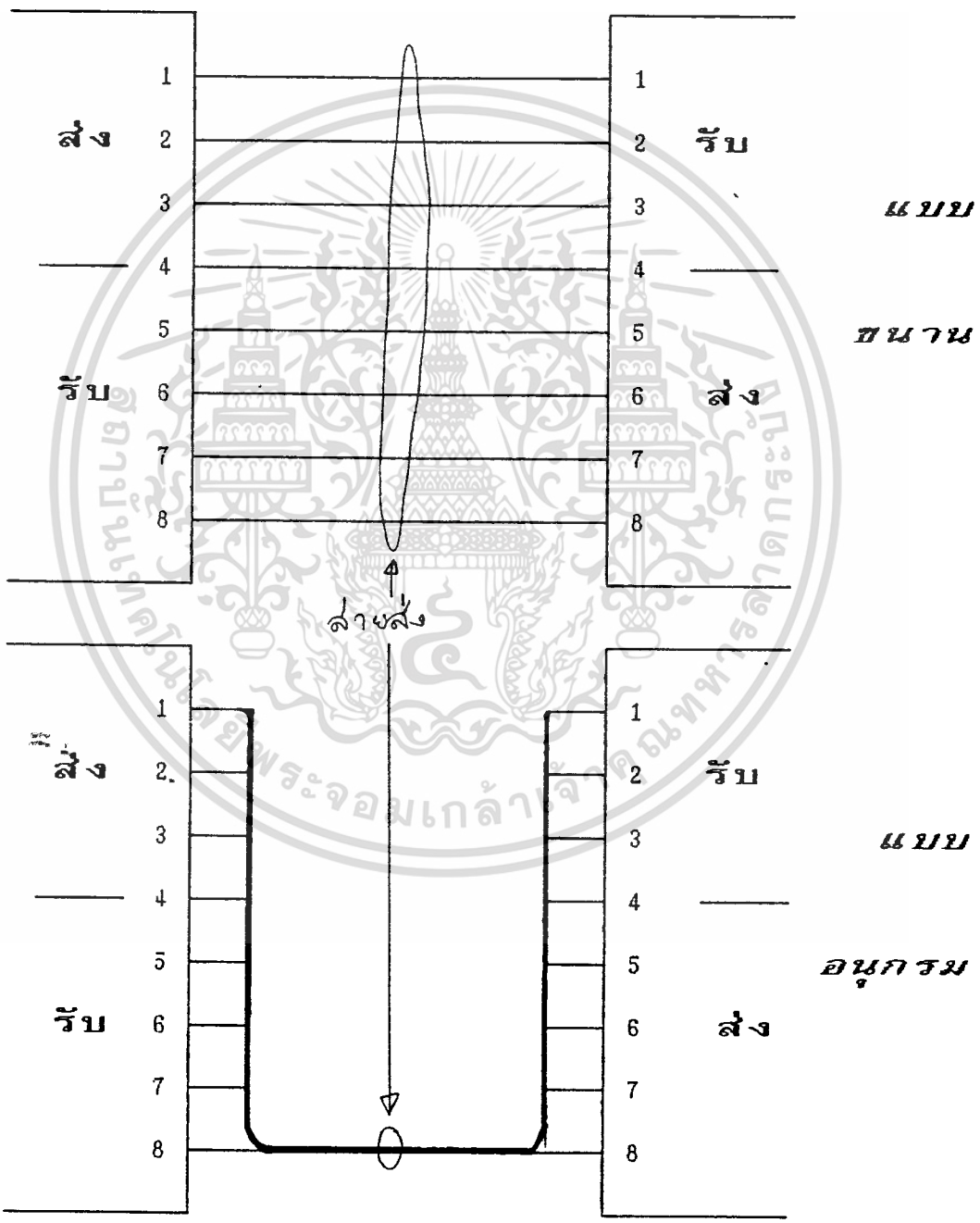
**Table 1 - Functional Decode Table**

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

**รูป 2.18 แสดงค่าที่ได้จากการถอดรหัสสัญญาณโทรศัพท์**

## 2.6 การรับส่งสัญญาณข้อมูล (Data Communication)

การรับส่งสัญญาณข้อมูลระหว่างแหล่งข้อมูลสองแหล่ง สามารถทำการรับส่งได้ทั้งแบบขนาน (Parallel) และแบบอนุกรม (Series) ดังแสดงในรูปที่ 2.19




เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 2.19 โครงสร้างพื้นฐานของการรับส่งข้อมูล

จะเห็นว่าการรับส่งข้อมูลแบบขนาน ซึ่งเป็นรูปแบบการรับส่งข้อมูลดิจิตอล นั้น จะต้องใช้จำนวนสายส่งเท่ากับจำนวนบิทของข้อมูล ซึ่งจะเป็นการสิ้นเปลือง ไม่เหมาะกับการที่จะส่งข้อมูลไปในระยะทางไกล ๆ

ส่วนการรับส่งข้อมูลแบบอนุกรมนั้น เป็นการส่งข้อมูลออกไปทีละ 1 บิทต่อ ๆ กันไป ซึ่งจะทำให้ประหยัดสายส่งได้มาก เหมาะที่จะส่งไปในระยะทางไกล ๆ สามารถแบ่งออกได้เป็น 2 ประเภท คือ การส่งแบบซิงโครนัส (Synchronous) และการส่งแบบ อะซิงโครนัส (Asynchronous)

*การส่งแบบซิงโครนัส* เป็นการส่งข้อมูลไปเป็นชุดใหญ่ ๆ ซึ่งแต่ละชุดจะประกอบด้วยหลาย ๆ คาร์แรกเตอร์ (character) และแต่ละคาร์แรกเตอร์ก็ประกอบด้วยข้อมูล 8 บิท โดยที่ทั้งฝ่ายรับและฝ่ายส่งจะใช้สัญญาณคล็อค (clock) ร่วมกัน จึงต้องมีสายส่งเพิ่มขึ้นอีก 1 เส้น สำหรับส่งสัญญาณคล็อค ดังมีรูปแบบการส่งดังต่อไปนี้

| | | | | | |
|---|---|---|---|---|---|
| STX | STX | Controlled | Data 128 Character | CRC | EOF |

(ก) แบบ Character Oriented

| | | | | |
|---|---|---|---|---|
| Start field | | Controlled | Data 128 Character | CRC | Stop |

(ข) แบบ Bit Oriented

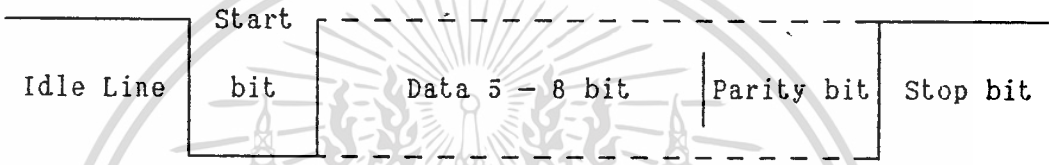
รูปที่ 2.20 รูปแบบการส่งข้อมูลแบบซิงโครนัส

ในรูปแบบของ Character Oriented นั้น เมื่อส่งถึงปลายทางแล้ว ตัวรับจะดึงข้อมูลออกมาใช้ทีละ 8 บิท (1 Character) ส่วนแบบ Bit Oriented ตัวรับจะดึงข้อมูลออกมาใช้ทีละ 1 บิท และทั้ง 2 แบบนั้น จะต้องมีคาร์แรกเตอร์แสดงการเริ่มการส่ง (STX- Start of Text) คาร์แรกเตอร์แสดงลักษณะ จำนวนชุด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น และห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ทิศทาง และประเภทของข้อมูล (Controlled) คาร์แรกเตอร์ตรวจสอบความผิดพลาดของข้อมูล (CRC- Cyclic Redundancy Check) และคาร์แรกเตอร์แสดงการจบการส่งข้อมูล (EOF)

*การส่งแบบอะซิงโครนัส* เป็นการส่งข้อมูลออกไปทีละ 1 คาร์แรกเตอร์ โดยที่ฝ่ายรับและฝ่ายส่ง จะใช้สัญญาณคล็อคแยกจากกัน คือต่างฝ่ายต่างกำเนิดสัญญาณคล็อคของตัวเอง จึงทำให้ประหยัดสายส่งสัญญาณคล็อคได้ มีรูปแบบการส่งดังนี้




รูปที่ 2.21 รูปแบบการส่งข้อมูลแบบอะซิงโครนัส

นอกจากนี้ การส่งข้อมูลแบบอนุกรมนั้น ยังสามารถทำการ ส่งทางเดียว (Simplex) ส่งรับทีละทาง (Half Duplex) หรือส่งรับ พร้อม ๆ กันทั้ง 2 ทาง (Full Duplex) ก็ได้

## 2.7 การเข้ารหัสสัญญาณข้อมูล (Data Encoding)

การที่จะส่งข้อมูลในระยะทางไกล ๆ นั้น ยังมีตัวกลางการส่งให้เลือกใช้หลายประเภท คู่สายโทรศัพท์ สายไฟบ้าน อากาศ ดาวเทียม เป็นต้น ซึ่งการที่จะส่งข้อมูลให้ได้ระยะทางไกล และมีประสิทธิภาพมากที่สุดนั้น จะต้องเลือกความเหมาะสมระหว่างประเภทของสัญญาณที่จะส่งกับตัวกลางให้ดี เช่น ในคู่สายโทรศัพท์ ซึ่งมี แบนด์วิธแคบนั้น ไม่เหมาะสมที่จะส่งสัญญาณดิจิตอล เพราะว่าสัญญาณดิจิตอล ประกอบด้วยสัญญาณอนาล็อกที่มีความถี่มูลฐานเท่ากับความถี่ของสัญญาณดิจิตอลนั้น ๆ ผสมกับฮาร์โมนิคที่ 3,5,7, 9,... ของมัน ทำให้สัญญาณดิจิตอลมีแบนด์วิธกว้างมาก ดังนั้น คู่สายโทรศัพท์จึงเหมาะ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งไม่อนุญาตให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารนี้ทุกครั้งที่มีการนำไปใช้

กับสัญญาณอนาลอกที่มีแบนด์วิธแคบและอยู่ในย่านความถี่เสียง เป็นต้น ดังนั้น การที่จะส่งข้อมูลดิจิตอลเข้าไปในคู่สายโทรศัพท์ จึงควรกำการเข้ารหัส (Encoding) จากข้อมูลที่จะส่งให้เป็นสัญญาณที่เหมาะสมกับตัวกลางเสียก่อน ซึ่งสามารถแบ่งการเข้ารหัสข้อมูลได้เป็น 4 ประเภท คือ

- Digital Data to Digital Signal
- Digital Data to Analog Signal
- Analog Data to Analog Signal
- Analog Data to Digital Signal

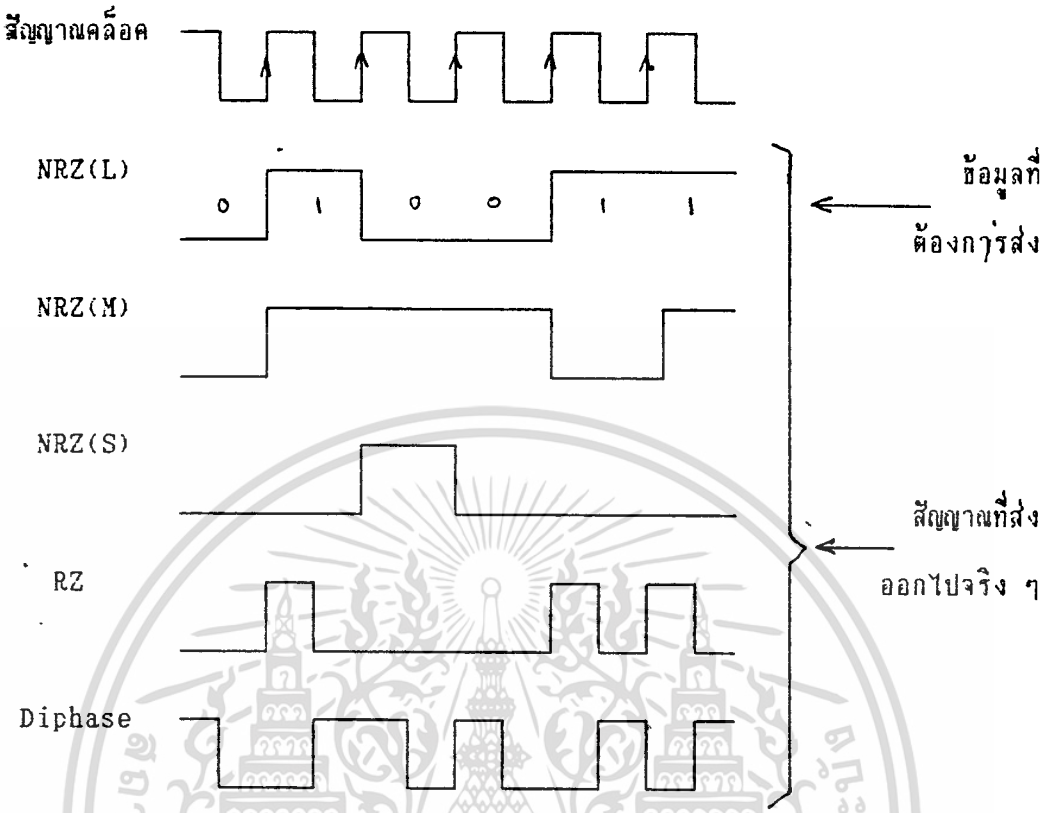
2.7.1 การแปลงข้อมูลดิจิตอลเป็นรหัสดิจิตอล ( Digital Data to Digital Signal )

เป็นการนำข้อมูลดิจิตอลมาเข้ารหัสให้เป็นรูปแบบของสัญญาณดิจิตอล ซึ่งมีอยู่ด้วยกันหลายรูปแบบ โดยต้องคำนึงถึง Timing Information, Error Detection, Error Correction, Reduced Bandwidth และ Spectrum Shaping ซึ่งโดยปกติ การเข้ารหัสส่วนใหญ่จะใช้สัญญาณ 2 ระดับ หรือเรียกว่าไบนารี่ (Binary) ซึ่งรหัสที่สำคัญได้แก่ Non Return to Zero (NRZ), Return to Zero (RZ) และ Diphase ดังแสดงในรูปที่ 2.22

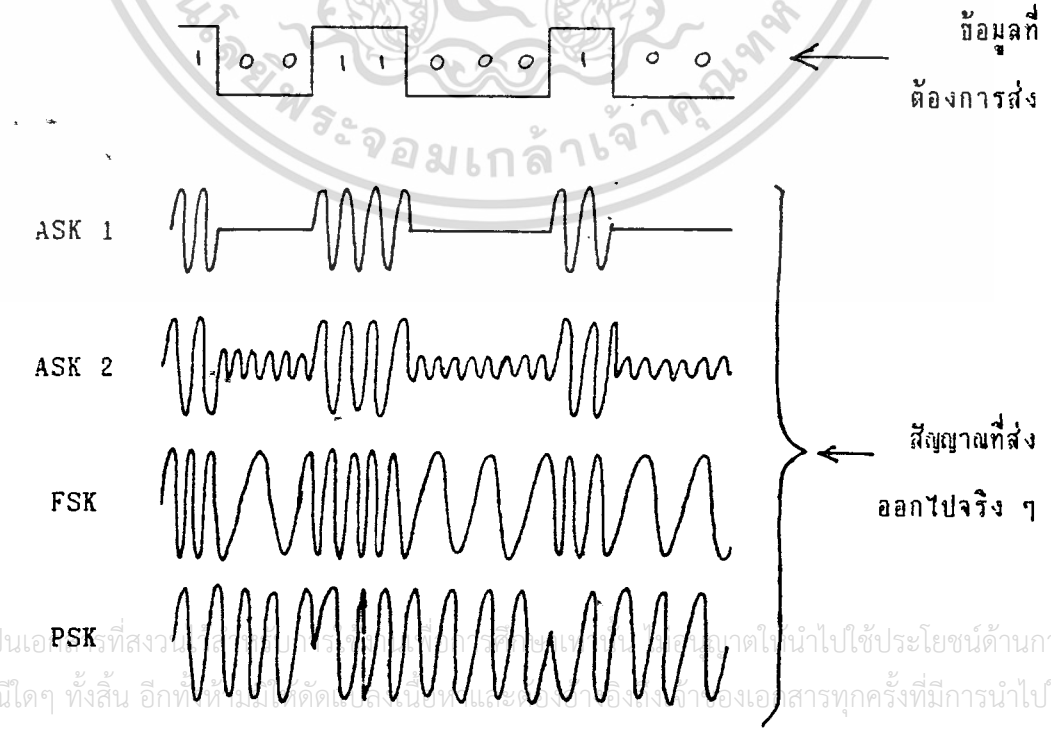
2.7.2 การแปลงข้อมูลดิจิตอลเป็นรหัสสัญญาณอนาลอก ( Digital Data to Analog Signal )

เป็นการเข้ารหัสที่นำเอาข้อมูลดิจิตอลมาเปลี่ยนเป็นสัญญาณอนาลอก ซึ่งมีรูปแบบการเข้ารหัส ได้แก่ Amplitude Shift Keying (ASK), Frequency Shift Keying (FSK), Phase Shift Keying (PSK) เป็นต้น โดยที่สัญญาณอนาลอกที่จะนำมาเข้ารหัสนั้น ควรจะต้องมีความถี่สูงกว่าความถี่ของข้อมูลดิจิตอลประมาณ 4-5 เท่าเป็นอย่างน้อย ตัวอย่างการเข้ารหัสประเภทนี้ได้แสดงไว้ในรูปที่ 2.23

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้




รูปที่ 2.22 การเข้ารหัสข้อมูลดิจิตอลเป็นรหัสสัญญาณดิจิตอล

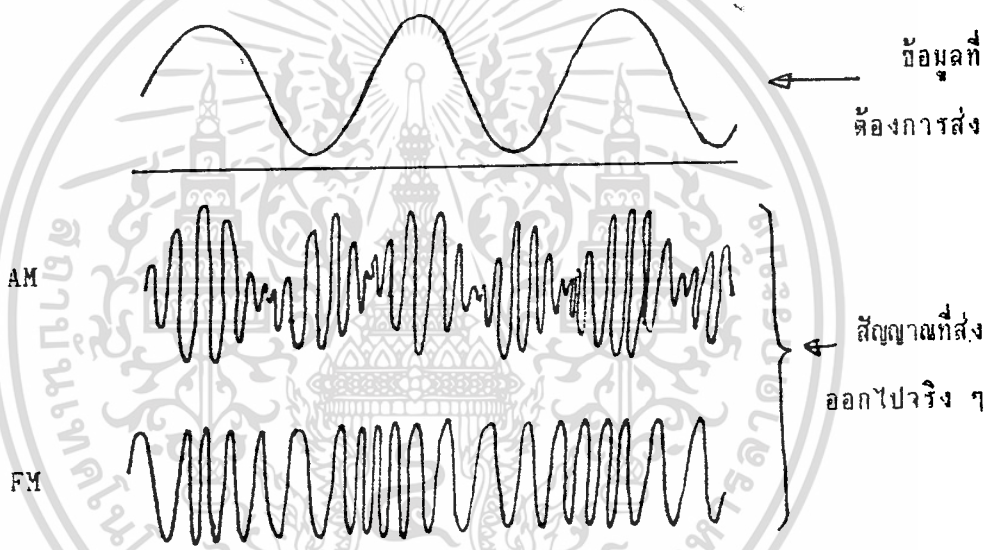



รูปที่ 2.23 การเข้ารหัสข้อมูลดิจิตอลเป็นรหัสสัญญาณอนาลอก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.7.3 การแปลงข้อมูลอนาลอกเป็นรหัสสัญญาณอนาลอก ( Analog Data to Analog Signal )

เป็นการนำเอาข้อมูลอนาลอกมาเข้ารหัสโดยใช้สัญญาณอนาลอก และสัญญาณอนาลอกที่นำมาใช้เป็นตัวช่วยในการเข้ารหัสนั้นเรียกว่า คลื่นพาห์ (Carrier) รูปแบบการเข้ารหัสประเภทนี้ได้แก่ แอมปลิจูดมอดูเลชั่น (Amplitude Modulation : AM) ฟรีเควนซี่มอดูเลชั่น (Frequency Modulation : FM) และ เฟสมอดูเลชั่น (Phase Modulation : PM) ดังแสดงในรูปที่ 2.24

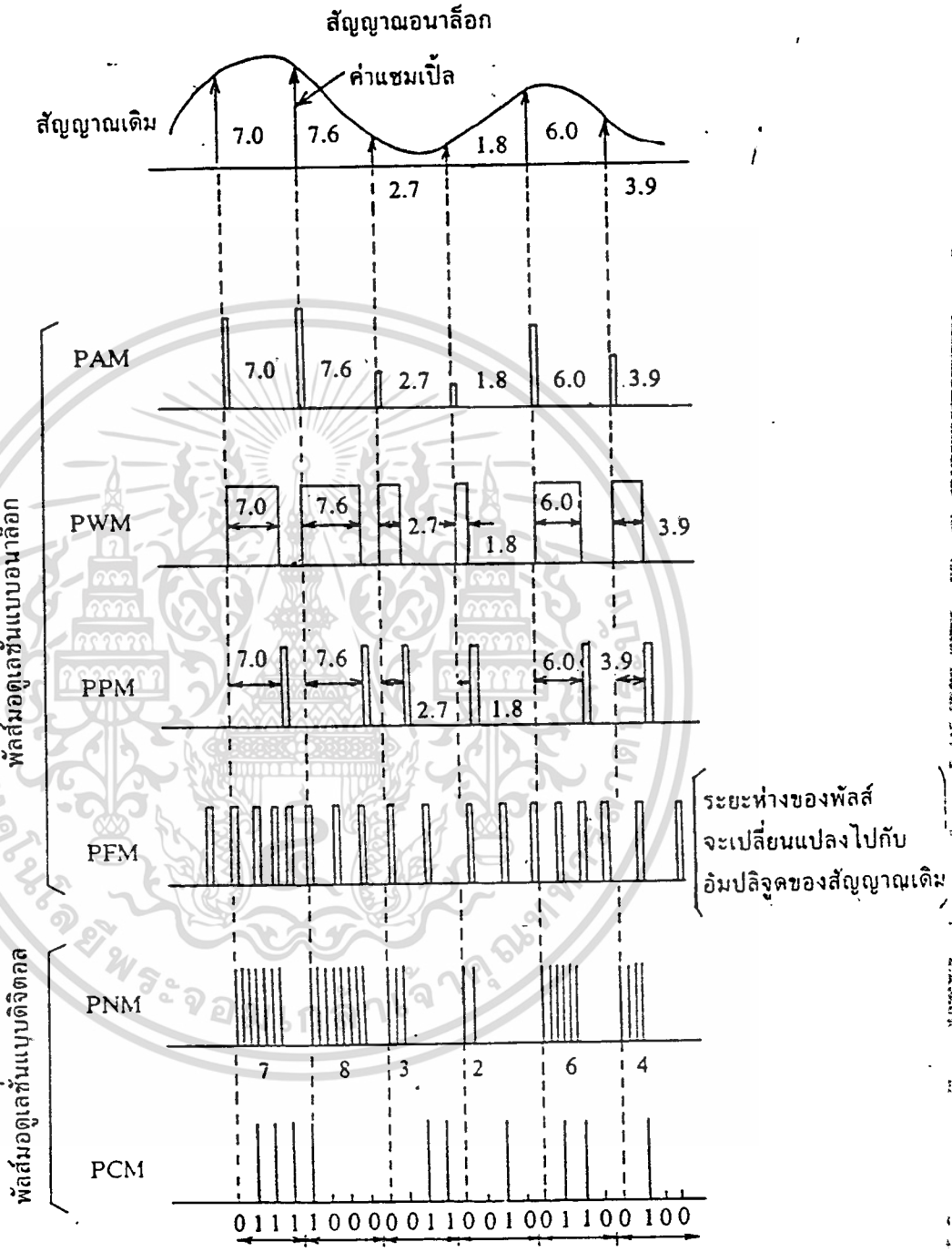



รูปที่ 2.24 การเข้ารหัสข้อมูลอนาลอกเป็นรหัสสัญญาณอนาลอก

2.7.4 การแปลงข้อมูลอนาลอกเป็นรหัสสัญญาณดิจิตอล ( Analog Data to Digital Signal )

เป็นการนำเอาข้อมูลอนาลอกมาเข้ารหัสเป็นสัญญาณดิจิตอล เป็นรูปแบบการเข้ารหัสที่สามารถนำไปใช้ประโยชน์ในด้านการสังเคราะห์เสียงได้ดี รูปแบบของการเข้ารหัสประเภทนี้มีมากมาย ได้แก่ พัลซ์แอมปลิจูดมอดูเลชั่น (PAM), พัลซ์วิธมอดูเลชั่น (PWM), พัลซ์เฟสมอดูเลชั่น (PPM), พัลซ์ฟรีเควนซี่มอดูเลชั่น (PFM), พัลซ์นัมเบอร์มอดูเลชั่น (PNM), พัลซ์โค้ดมอดูเลชั่น (PCM) และเดลต้ามอดูเล่ชั่น ดังแสดงในรูป 2.25

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใด ๆ ทั้งสิ้น และห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้




**รูปที่ 2.25 พัลส์มอดูเลชั่นระบบต่าง ๆ**

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- PAM : ความสูงของพัลซ์จะเปลี่ยนแปลงตามระดับแรงดัน
- PWM : ความห่างของพัลซ์จะเปลี่ยนแปลงตามแรงดัน
- PPM : ได้มาจาก PWM โดยการกำเนิดพัลซ์ที่มีความสูงและความกว้างคงที่ ทุก ๆ ขอบขาลงของ PWM ด้วยวงจรโมโนสเตเบิ้ลมัลติไวเบรเตอร์
- PFM : ความถี่ของพัลซ์จะเปลี่ยนแปลงตามระดับแรงดัน
- PNM : ได้จากการนำ PWM และสัญญาณคล็อคมา AND กัน
- PCM : เป็นการเข้ารหัสข้อมูลตามระดับแรงดัน ซึ่งมีขั้นตอนที่ค่อนข้างซับซ้อน และเป็นพื้นฐานของ Delta Modulation ซึ่งใช้ใน Project นี้

## 2.8 ไอซีสังเคราะห์เสียง T6668

ในการบันทึกเสียงระบบดิจิตอล ไม่ว่าจะใช้วิธีการอะไร ก็จะประกอบด้วย 3 ส่วนสำคัญ คือ ส่วนแรกทำหน้าที่แปลงสัญญาณเสียงที่เป็นอนาลอก ให้เป็นข้อมูลดิจิตอล แล้วนำไปบันทึกลงในหน่วยความจำซึ่งเป็นส่วนที่สอง และส่วนสุดท้ายคือส่วนที่ทำหน้าที่แปลงข้อมูลดิจิตอลจากหน่วยความจำออกมาเป็นสัญญาณอนาลอก

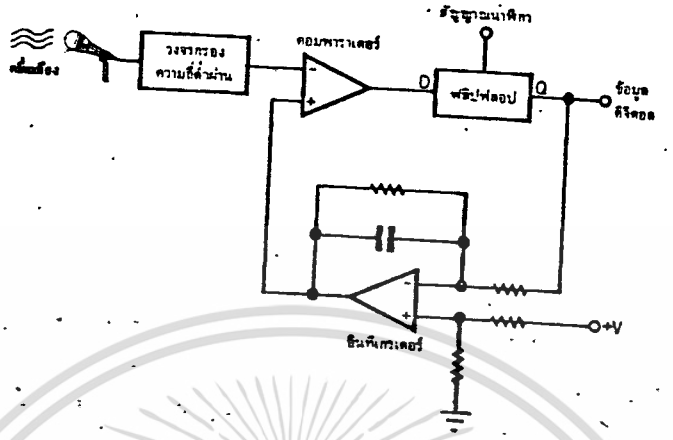
เทคนิคการบันทึกเสียงด้วยระบบดิจิตอลนั้น มีด้วยกันหลายวิธี T6668 เป็นไอซีที่ใช้หลักการเดลต้ามอดูเลชั่น (Delta Modulation) ในการบันทึกเสียง

### 2.8.1 เดลต้ามอดูเลชั่น

เทคนิคของเดลต้ามอดูเลชั่น จะไม่ใช้การสุ่มสัญญาณหนึ่งจุด แล้วแปลงเป็นข้อมูลดิจิตอลหนึ่งเวิร์ดที่มีความละเอียดเป็นจำนวนบิทที่ต้องการ (ซึ่งเป็นหลักการของ PCM) แต่จะใช้วิธีเปรียบเทียบความสูงหรือการเปลี่ยนแปลงของสัญญาณเสียงแทน

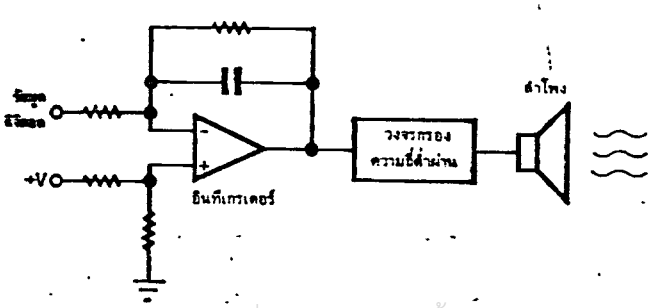
ข้อมูลที่ได้ก็คือทิศทางของการเปลี่ยนแปลง ซึ่งก็มีเพียง *ขึ้น* หรือ *ลง* เท่านั้น ดังนั้น ความกว้างของข้อมูลดิจิตอล จึงใช้เพียงบิทเดียวก็เพียงพอ ข้อดีของวิธีการเดลต้ามอดูเลชั่นก็คือ ใช้หน่วยความจำน้อยกว่าวิธีการแบบอื่น ๆ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



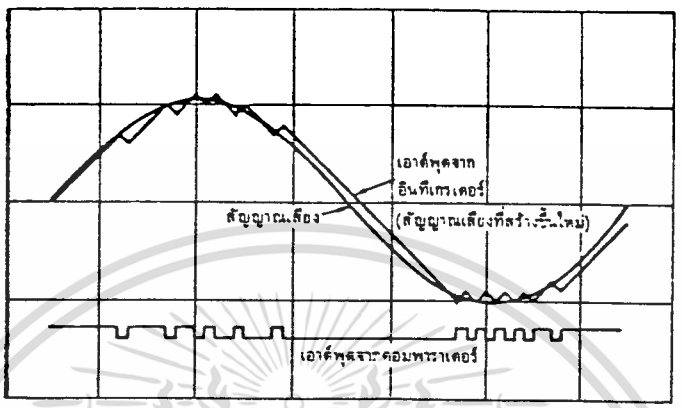

รูปที่ 2.26 วงจรเบื้องต้นของเดลต้ามอดูเลชั่นในส่วนแปลงสัญญาณเสียงเป็นดิจิตอล

รูปที่ 2.26 เป็นวงจรเบื้องต้นของเดลต้ามอดูเลชั่น คอมพาราเตอร์จะทำหน้าที่เปรียบเทียบสัญญาณอินพุทปัจจุบันกับสัญญาณอินพุทก่อนหน้า ซึ่งได้จากการป้อนกลับมายังอินทิเกรเตอร์ เอาท์พุทจากการเปรียบเทียบ ถูกป้อนผ่านฟลิปฟลอปที่ควบคุมด้วยสัญญาณคล็อคเพื่อให้ได้เป็นข้อมูลดิจิตอล ซึ่งก็คือการกำหนดอัตราการสุ่มสัญญาณนั่นเอง




เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 2.27 วงจรที่ใช้แปลงกลับจากข้อมูลดิจิตอลเป็นสัญญาณเสียง




รูปที่ 2.28 เปรียบเทียบสัญญาณอินพุตกับข้อมูลที่ได้สัญญาณอนาลอกจากอินทีเกรเตอร์

สัญญาณที่ได้จากตัวเปรียบเทียบ และจากอินทีเกรเตอร์เปรียบเทียบกับสัญญาณอินพุต แสดงในรูปที่ 2.28 ลักษณะเช่นนี้จะพบว่า ยิ่งความถี่ของสัญญาณคล็อคมีค่าสูงก็ยิ่งสามารถบันทึกการเปลี่ยนแปลงที่แคบได้มากขึ้น ทำให้ได้คุณภาพเสียงที่ดีขึ้น แต่ก็สิ้นเปลืองหน่วยความจำมากขึ้นตามไปด้วย ความถี่เท่าใดจึงจะเพียงพอ ควรต้องใช้การทดลองโดยการนำเอาท์พุทสุดท้ายที่เป็นข้อมูลดิจิตอลผ่านวงจรแปลงกลับในรูปที่ 2.27 แล้วฟังเสียงที่ได้ หากฟังเป็นภาษามนุษย์รู้เรื่องก็ใช้ที่ค่านั้น สำหรับเสียงมีคุณภาพเทียบเท่าเสียงจากโทรศัพท์ซึ่งมีแถบกว้างประมาณ 4 KHz. ก็ใช้เพียง 16 KHz. แต่ที่ความถี่ต่ำถึง 9.6 KHz. ก็ยังฟังรู้เรื่อง ความถี่นี้จะเป็นตัวกำหนดอัตราเร็วข้อมูล (bit rate) ซึ่งที่ 16 KHz. ก็เท่ากับ 1600 บิทต่อวินาที

2.8.2 CVSD

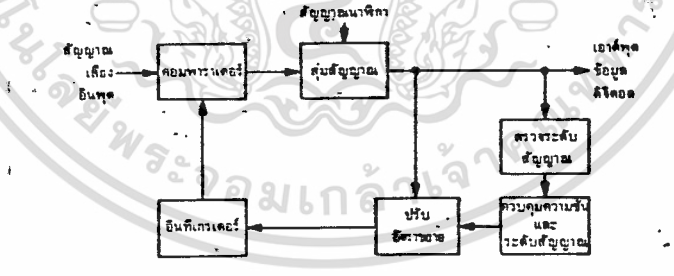
ข้อจำกัดของวิธีการเดลต้ามอดูเลชั่นก็คือ แบนด์วิธที่ใช้งาน ซึ่งถูกจำกัดโดยความถี่ของคล็อค และจะสูงกว่าความถี่สูงสุดของสัญญาณอินพุตมากกว่า 2 เท่าขึ้นไป อีกอันหนึ่งคือ ความเร็วของการเปลี่ยนแปลงความสูงของสัญญาณ หรือ *ไดนามิกเรนจ์* ระบบเดลต้ามอดูเลชั่นธรรมดามีค่าไดนามิกเรนจ์แคบ จำเป็นต้องมีส่วนเพิ่มเติมที่ทำหน้าที่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

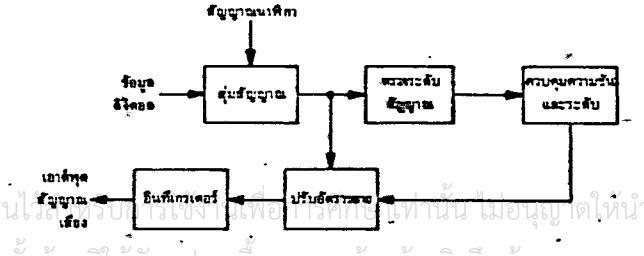
ขยายไดนามิกเรนจ์ให้กว้าง โดยการควบคุมอัตราขยาย ของอินทิเกรเตอร์ เพื่อให้ตอบสนองต่อสัญญาณที่มีความชันมาก ๆ ได้กัน ระบบนี้มีชื่อเรียกใหม่ว่า *ระบบเดลต้ามอดูเลชั่นแบบเปลี่ยนแปลงความชันต่อเนื่อง* หรือ *CVSD ( Continuous variable slope delta modulation )*

ระบบ CVSD ทั้งส่วนแปลงจากอนาลอกเป็นดิจิตอล และส่วนแปลงกลับจากดิจิตอลเป็นอนาลอก แสดงในรูปที่ 2.29 และ 2.30 ตามลำดับ วิธีการของ CVSD ก็คือมีการตรวจระดับสัญญาณ โดยอาจใช้วิธีการจัดให้มีรีจิสเตอร์สำหรับเก็บข้อมูลดิจิตอลล่าสุดจำนวน 3 ถึง 4 บิท แล้วตรวจดูว่าเป็น 0 หมดหรือเป็น 1 หมดหรือไม่ ถ้าใช่ แสดงว่าขณะนี้อัตราขยายของอินทีเกรเตอร์ต่ำเกินไป ตอบสนองต่อความชันของสัญญาณไม่ทัน ก็จะทำการเพิ่มอัตราขยายให้สูงขึ้นเฉพาะในช่วงนั้น

ในส่วนของการแปลงกลับนั้น ก็จะต้องมีการทำงานในลักษณะเดียวกัน คือมีรีจิสเตอร์ตรวจดูข้อมูลว่าเป็น 0 หมด หรือ 1 หมดหรือไม่ แล้วจัดการควบคุมอัตราขยายของอินทีเกรเตอร์ให้สอดคล้องกัน




รูป 2.29 แผนผังการทำงานของระบบ CVSD ในส่วนแปลงจากสัญญาณเสียงเป็นดิจิตอล




เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูป 2.30 แผนผังการทำงานของระบบ CVSD ในส่วนแปลงกลับจากดิจิตอลเป็นสัญญาณเสียง

## 2.9 วงจรขยายความแตกต่าง ( Differential Amplifier )

ดิฟเฟอเรนเชียลแอมปลิฟายเออร์ หรือเรียกสั้น ๆ ว่า *ดิฟแอม* เป็นหลักการของวงจรที่สำคัญมากที่สุดวงจรหนึ่งในไอซี โดยลักษณะพื้นฐานแล้ว วงจรดิฟแอมจะมีหน้าที่ทำให้สัญญาณอินพุททั้งสองมาลบกัน

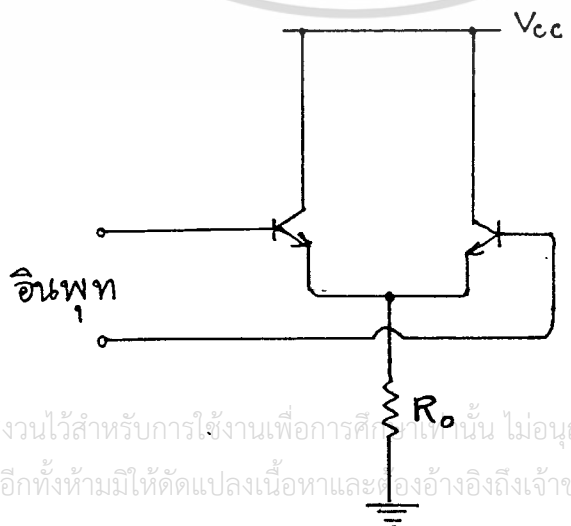
สัญญาณที่เข้าสู่ดิฟแอม มี 2 ประเภทด้วยกัน คือ สัญญาณคอมมอนโหมด ซึ่งก็คือสัญญาณที่มีค่าเท่ากันทั้ง 2 ขาของอินพุทของดิฟแอม (เป็นลักษณะของสัญญาณรบกวน หรือ noise ซึ่งจะปะปนอยู่ทั่ว ๆ ไปในวงจร) และสัญญาณดิฟเฟอเรนเชียลโหมดซึ่งก็คือสัญญาณที่ขาอินพุทข้างใดข้างหนึ่งมีค่ามากกว่าอีกข้างหนึ่ง

คุณสมบัติของดิฟแอมที่ดีคือ จะต้องมีการตอบสนองต่อสัญญาณคอมมอนโหมดแย่ที่สุด คือให้เอาท์พุทของสัญญาณคอมมอนโหมดมีค่าเท่ากับศูนย์ แต่ตอบสนองต่อสัญญาณดิฟเฟอเรนเชียลโหมดดีที่สุด คือสามารถขยายสัญญาณดิฟเฟอเรนเชียลโหมดออกมาที่เอาท์พุทได้

วงจรดิฟแอมมีอยู่ด้วยกันมากมายหลายแบบ เช่น ดิฟแอมแบบทรานซิสเตอร์คู่ ดิฟแอมแบบใช้อีมิตเตอร์รีซิสเตอร์ แบบใช้การต่อทรานซิสเตอร์ดาร์ลิงตัน แบบชดเชยกระแสเบส แบบใช้มอสเฟต แบบใช้ออปแอม เป็นต้น แต่ในที่นี้จะกล่าวถึงแบบที่ใช้ในโปรเจค คือ ดิฟแอมแบบใช้ทรานซิสเตอร์คู่ และแบบใช้ออปแอม

### 2.9.1 ดิฟแอมแบบใช้ทรานซิสเตอร์คู่

มีวงจรแสดงดังรูปที่ 2.31




เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 2.31 ดิฟแอมแบบใช้ทรานซิสเตอร์คู่

ค่าทรานส์คอนดัคแตนซ์ของสัญญาณคอมมอนโหมด $(g_{m1CM}) = 1 / (2R_o)$

ค่าทรานส์คอนดัคแตนซ์ของสัญญาณดิฟเฟอเรนเชียลโหมด $(g_{m1DM}) = 1 / (2r_e)$

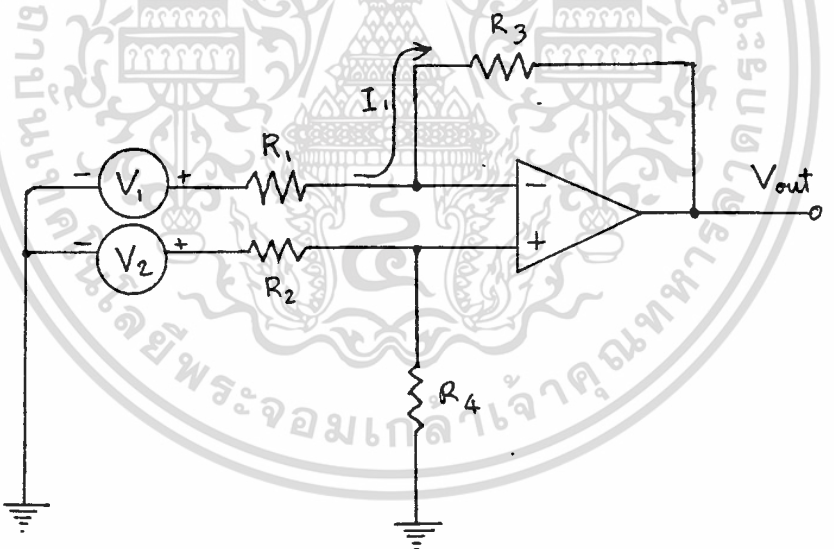
อัตราส่วนการลดของสัญญาณคอมมอนโหมด (CMRR) $= (g_{m1DM}) / (g_{m1CM})$

$= R_o / r_e$

ค่า $r_e$ เป็นค่าความต้านทานภายในตัวทรานซิสเตอร์อยู่แล้ว ดังนั้น การทำให้ CMRR มีค่ามาก ๆ (ซึ่งหมายถึงว่าการตอบสนองต่อสัญญาณดิฟเฟอเรนเชียลโหมด จะดีกว่าการตอบสนองต่อสัญญาณคอมมอนโหมด) จึงสามารถกระทำได้โดยปรับที่ค่า $R_o$

2.9.2 ดิฟแอมแบบใช้ออปแอม

มีวงจรแสดงดังรูปที่ 2.32




รูปที่ 2.32 ดิฟแอมแบบใช้ออปแอม

จากการสมมติให้กระแส $I_1$ ไหลในทิศทางดังกล่าว และให้แรงดันที่ขาอินพุททั้งสองข้างของออปแอม ($V^-$ และ $V^+$) มีค่าเท่ากันตามคุณสมบัติของออปแอมแล้ว จากการคำนวณ จะได้ว่า

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$V_{out} = [(R_1+R_3).R_4.V_2]/[(R_2+R_4).R_1] - [(R_3.V_1)/R_1]$$

ดังนั้น ถ้า $V_1 = V_2$ ก็แสดงว่า สัญญาณอินพุทนั้นเป็นคอมมอนโหมดและจากการแทนค่า $V_1 = V_2$ และ $V_{out} = 0$ ลงในสมการข้างต้น ก็จะได้ว่า

$$R_1R_4 = R_2R_3$$

จึงสรุปได้ว่า การใช้ดิฟแอมแบบใช้ออปแอมให้มีการตอบสนองต่อสัญญาณอินพุทแบบคอมมอนโหมดแย่ที่สุดนั้น สามารถทำได้โดยการนำค่าความต้านทานมาต่อตามเงื่อนไขนี้ได้เลย

## 2.10 ADDRESSABLE ASYNCHRONOUS RECEIVER / TRANSMITTER (MC14469)

เป็นไอซีที่ทำหน้าที่รับข้อมูลแบบขนานมาแปลงเป็นอนุกรม และรับข้อมูลแบบอนุกรมมาแปลงเป็นแบบขนาน ซึ่งสามารถกำหนดแอดเดรสบนตัวมันเองได้ จึงเหมาะสมที่จะใช้ทำหน้าที่เป็นตัวกำหนดจุดหมายปลายทางที่ต้องการติดต่อและรับสัญญาณควบคุม ที่จะถูกส่งมาแบบอนุกรม

อั้นตอนการทำงานของ MC14469

1. เมื่อมีสัญญาณแบบอนุกรมเข้ามาที่ขา RI (Receive Input) สัญญาณคล็อคภายใน MC14469 ซึ่งจะทำงานที่ความถี่ 1/64 เท่าของความถี่ที่ขา OSC1 จะทำให้ตัวมันเช็คข้อมูลที่ถูกส่งเข้ามาทีละบิท เริ่มด้วย Start bit ตามด้วยแอดเดรสเป็นจำนวน 8 บิท ซึ่ง 7 บิทแรก จะนำมาเทียบกับสถานะที่ขาแอดเดรส (A0 - A6) ว่าตรงกันหรือไม่ บิทที่ 8 จะเป็นตัวบอกว่าเวิร์ดนั้นเป็นแอดเดรสเวิร์ดถ้ามันเป็น 1 ถัดไปเป็นพาริตี้บิท ซึ่งจะตรวจสอบดูความถูกต้องโดยวงจรลอจิกภายในตัวไอซี กำหนดให้เป็นพาริตี้คู่ (Even Parity) ท้ายสุดจะเป็น Stop bit คือบิทบอกการสิ้นสุดเวิร์ด

2. ถ้าแอดเดรสเวิร์ดที่รับมาถูกต้อง (ตรงตามที่กำหนดไว้ที่ขา A0-A6) สัญญาณที่ขา VAP จะเกิดขึ้น และจะตามมาด้วยคอมมานด์เวิร์ด ซึ่งบิทที่ 8 ของคอมมานด์เวิร์ดจะเป็น 0 เพื่อบอกว่า เป็นคอมมานด์เวิร์ด จากนั้นจะมีสัญญาณออกมาที่ขา C0-C6 ตามค่าที่ส่งมา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ในเชิงพาณิชย์ หรือแสวงหาผลประโยชน์ทางการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3. ในการส่งสัญญาณอนุกรม เริ่มต้นการส่งเมื่อขา SEND เป็น 1 มันจะรับข้อมูล

เข้าทางขา ID0-ID7 แล้วส่งออกไปก่อน ตามด้วยข้อมูลที่ขา S0-S7 จะถูกส่งตามออกไป โดยในการส่ง จะส่งแบบอนุกรมออกไปที่ขา TRO

เราสามารถกำหนดแอดเดรส บนตัว MC14469 ได้ถึง 128 ($2^7$) ตำแหน่ง เพราะมันมีขาแอดเดรส 7 ขา จึงทำให้เราสามารถควบคุมเครื่องใช้ไฟฟ้าได้ถึง 128 จุด

ในการใช้งานจริง ถ้าจะใช้รับทางเดียว (Simplex) ควรต่อขา ID7 เข้ากับไฟเลี้ยง ต่อขา ID0-ID6 เข้ากับขา A0-A6 ตามลำดับ ต่อขา S7 ลงกราวนด์ และต่อขา CS เข้ากับขา Send แต่ถ้าจะใช้ทั้งรับและส่ง (Full Duplex หรือ Half Duplex) ให้ต่อขา VAP กับขา Send เข้าด้วยกันเท่านั้น

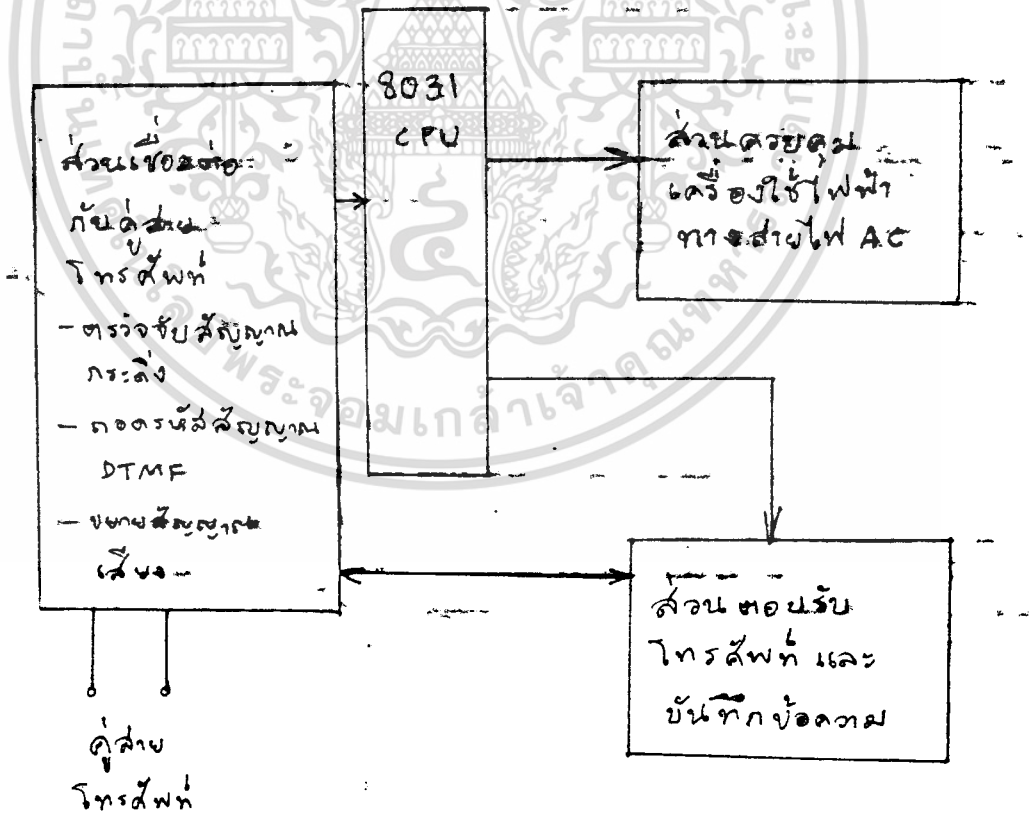
การกำหนดแอดเดรสบนตัวไอซี (ขา A0-A6) ถ้าขาใดเป็น 1 ให้ปล่อยลอย ถ้าขาใดเป็น 0 ให้ต่อลงกราวนด์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# บทที่ 3

## การออกแบบและการสร้าง

เครื่องควบคุมและตอบรับโทรศัพท์ติดต่อกับคู่สายโทรศัพท์โดยมี 8031 เป็นตัวควบคุมการทำงานโดยรับสัญญาณจากคู่สายโทรศัพท์ทาง MT8870 นำมาประมวลผลโดย 8031 และส่งข้อมูลออกทางพอร์ทอนุกรม สัญญาณที่ส่งออกมานี้จะถูกส่งเข้าสู่วงจร Modulation เพื่อผสมสัญญาณไปกับ AC line สัญญาณนี้จะเข้าสู่วงจร Demodulation ที่ปลายทาง ข้อมูลที่ส่งออกไปยังปลายทางนี้จะถูกนำไปเทียบกับแอดเดรสที่กำหนดไว้ ซึ่งถ้าตรงกันกับแอดเดรสของอุปกรณ์ใดก็จะทำการเปิดปิดอุปกรณ์นั้นๆ ต่อไป Block diagram ของระบบโดยรวมแสดงดังรูป 3.1




เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูป 3.1 Block diagram แสดงระบบโดยรวม

### 3.1 วงจรตรวจจับสัญญาณกริ่ง

ในการทำงานเมื่อมีสัญญาณกริ่งโทรศัพท์เข้ามา จะต้องมีการตรวจจับสัญญาณกริ่งที่เข้ามา ว่าเท่ากับค่าที่กำหนดไว้หรือไม่ซึ่งเป็นการตรวจสอบว่ามีผู้รับอยู่หรือไม่ ซึ่งถ้าหากเท่ากับจำนวนที่กำหนดไว้แล้วก็จะทำการต่อวงจรซึ่งเปรียบเสมือนการยกหูโทรศัพท์เพื่อให้สามารถสื่องานต่อไปได้

การทำงานของวงจรส่วนนี้จะมีตัวเก็บประจุและวงจรบริดจ์เรคติไฟร์ (Bridge rectifire) ทำการกรองสัญญาณไฟกระแสสลับและแปลงสัญญาณที่เข้ามาให้เป็นสัญญาณไฟกระแสตรงโดยส่งผ่านทางออปโต คัปเปลอร์ (Opto coupler) ซึ่งจะให้พัลส์ไปยังขา T0 ของ 8031 ซึ่งจะนับสัญญาณกริ่งที่เข้ามา ซึ่งเมื่อสัญญาณกริ่งที่เข้ามามีค่าเท่ากับที่กำหนดไว้ 8031 ก็จะส่งสัญญาณโลเจค 5 โวลต์ออกไปยังบิต P1.7 ซึ่งจะไปทำให้วงจรรีเลย์ทำงาน

ในกรณีที่มีผู้รับสาย ซึ่งมีผลให้สัญญาณกริ่งที่เข้ามาไม่ครบตามจำนวนก็จะมีวงจรจับเวลาเพื่อทำการรีเซทโปรแกรมใหม่

### 3.2 วงจรถอดรหัสสัญญาณ DTMF

เมื่อมีการต่อวงจรแล้ว วงจรจะคอยรับสัญญาณ DTMF ที่เข้ามาทาง MT8870 ซึ่งจะแปลงสัญญาณที่เข้ามานี้ให้เป็นรหัสไบนารี่ 8031 จะอ่านค่าสัญญาณที่เข้ามาและนำไปประมวลผล และส่งค่าแอดเดรสของอุปกรณ์ออกทาง Serial port

สำหรับการส่งแอดเดรสของอุปกรณ์นี้จะใช้การส่งในโหมด 3 ของ 8031 ซึ่งการกำหนดความเร็วของการส่งนี้สามารถกำหนดได้โดยการกำหนดค่าของ TH1

การคำนวณความเร็วในการส่ง (Baud rate) ทำได้ดังนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$\text{Baud rate} = \frac{2^{SMOD}}{32} \times \frac{\text{Oscillator frequency}}{12 \times (256 - TH1)}$$

โดยที่ SMOD = บิทรีจิสเตอร์ควบคุมที่อยู่ใน PCON (Power control register)

TH1 = Timer 1 High byte

วงจรการตรวจจับสัญญาณกริ่งและถอดรหัส DTMF แสดงดังรูปที่ 3.2

## 3.3 ส่วนบันทึกข้อความ

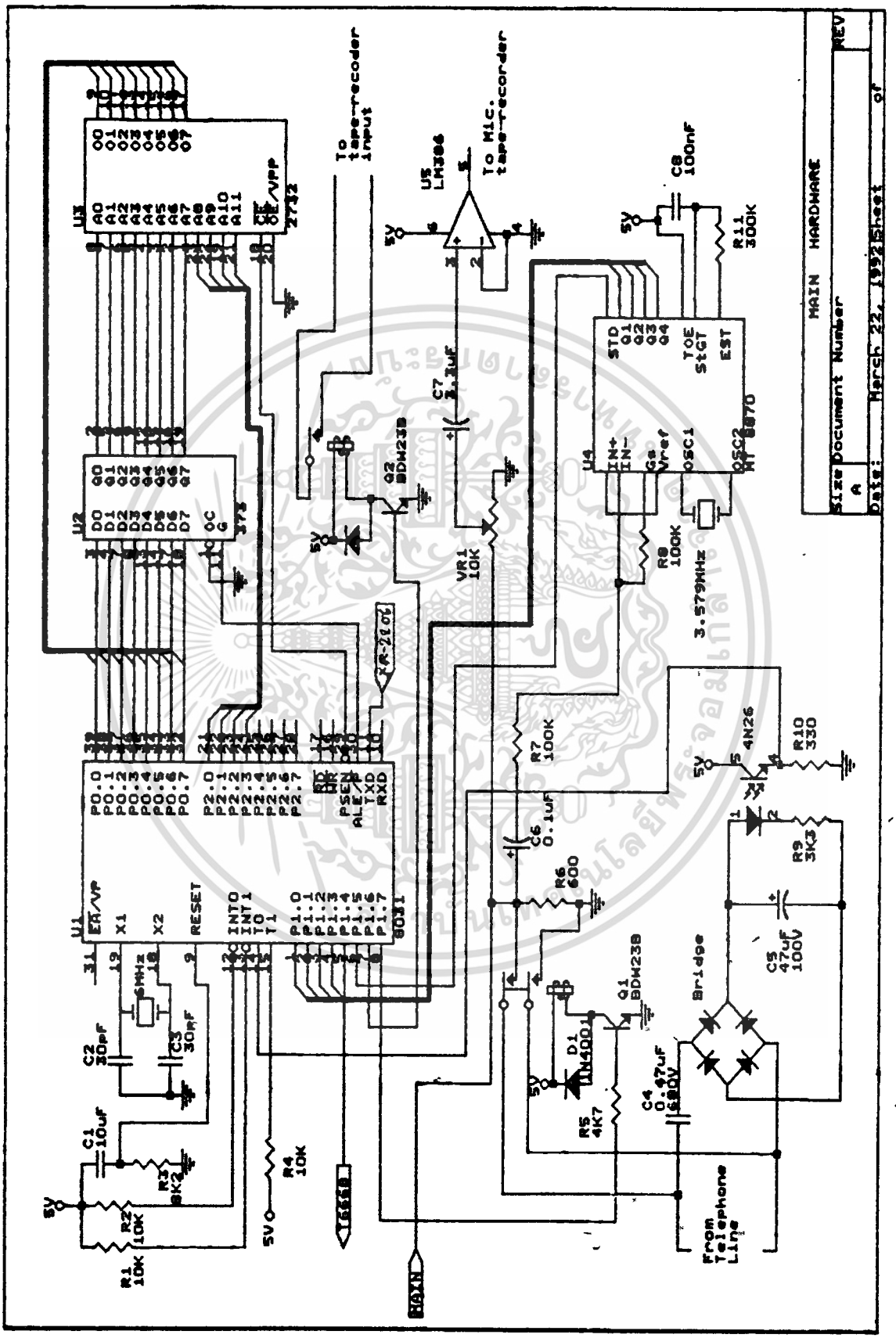
ส่วนของการบันทึกข้อความ จะใช้วงจรบันทึกเสียงพูดโดยใช้ไอซีดิจิตอลเป็นส่วนที่คอยตอบโทรศัพท์ โดยการบอกว่าให้ผู้ที่โทรเข้ามา ปฏิบัติอย่างไรบ้าง ในการที่จะบันทึกข้อความ หรือควบคุมเครื่องใช้ไฟฟ้า ถ้าหากผู้ที่โทรเข้ามาต้องการสั่งบันทึกข้อความ เครื่อง ฯ ก็จะจัดการบันทึกข้อความลงเครื่องเล่นเทปต่อไป

ส่วนบันทึกเสียงด้วยไอซีดิจิตอล ประกอบด้วยไอซี T6668 และไดนามิกแรมเบอร์ 41256 โดย T6668 ทำหน้าที่บันทึกเสียงโดยใช้เทคนิค CVSD (Continuous variable slope Delta modulation หรือแปลเป็นภาษาไทยได้ว่า ระบบเดลต้ามอดูเลชั่นแบบเปลี่ยนแปลงความชันต่อเนื่อง ซึ่งภายในตัวไอซี T6668 จะประกอบด้วยวงจรเปลี่ยนอนาลอกเป็นดิจิตอล และส่วนของวงจรเปลี่ยนดิจิตอลเป็นอนาลอก ต่ออยู่กับไดนามิกแรมเบอร์ 41256 ขนาด 256 K ใช้คริสตอลควบคุมความถี่ภาคออสซิลเลเตอร์ ดังนั้น ขณะเราบันทึกเสียง เพื่อบอกข้อความไปยังผู้โทรมา จะบันทึกได้นาน 16 วินาที รูปร่างของไอซี T6668 เป็นไอซี 60 ขาแบบเซอร์เฟสเมาต์

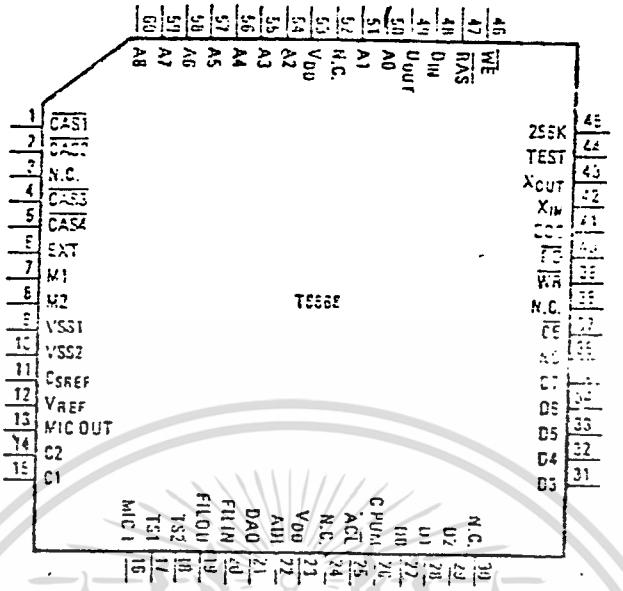
### 3.3.1 วงจรการทำงาน

จากวงจรในรูปที่ 3.4 เป็นวงจรบันทึกเสียงพูดด้วยระบบดิจิตอลที่สมบูรณ์วงจรหนึ่ง หัวใจสำคัญของวงจรอยู่ที่ T6668 และ 41256 ไอซี T6668 เป็นผลผลิตของบริษัทโตชิบาแห่งประเทศญี่ปุ่น เป็นไอซีชนิด CMOS LSI ลักษณะโครงสร้างภายนอกและตำแหน่งขาต่าง ๆ แสดงไว้ในรูปที่ 3.3

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น ไม่อนุญาตให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารนี้ทุกครั้งที่มีการนำไปใช้




รูป 3.2 แสดงวงจรการตรวจจับสัญญาณกริ่งและส่วนถอดรหัส DTMF




รูปที่ 3.3 แสดงตำแหน่งขาต่าง ๆ ของไอซี T6668

รายละเอียดขาใช้งานของ T6668

$A_0$ - $A_8$ : ขาแอดเดรสต่อกับแรม

$D_{in}$, $D_{out}$ : ขาขาต้าต่อกับแรม

$\overline{RAS}$, $\overline{WE}$ : สัญญาณควบคุมแรม

$\overline{CAS}_1$ - $\overline{CAS}_4$ : ขาเลือกแรมแต่ละตัว รวม 4 ตัว

$M_1$ , $M_2$ : ใช้กำหนดจำนวนแรมที่ใช้

256 K : เลือกขนาดแรม ต่อกราวน์ใช้ 4164 ต่อไฟบวกใช้ 41256

EOS : เอาท์พุท เป็นไฮ เมื่อจบข้อความที่บันทึก

$MIC_{in}$ , $MIC_{out}$ : อินพุท และเอาท์พุทของภาคขยายส่วนหน้า

$AD_1$ , $AD_0$ : อินพุทสัญญาณอนาลอกที่จะนำไปแปลงเพื่อบันทึก และเอาท์พุท อนาลอกที่ได้จากการอ่าน

$FIL_{in}$ , $FIL_{out}$ : วงจรกรองความถี่ต่ำผ่าน

$C_1$ , $C_2$ : ต่อตัวเก็บประจุภายนอก

ACL : ขารีเซ็ต แอคทีฟโลว์

$X_{in}$ , $X_{out}$ : คริสตอลออสซิลเลเตอร์ความถี่ 650 KHz.

CPUM , CE : ขาสัญญาณควบคุมสำหรับอินเตอร์เฟสกับ CPU

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใด ๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเอกสารทุกครั้งที่มีการนำไปใช้

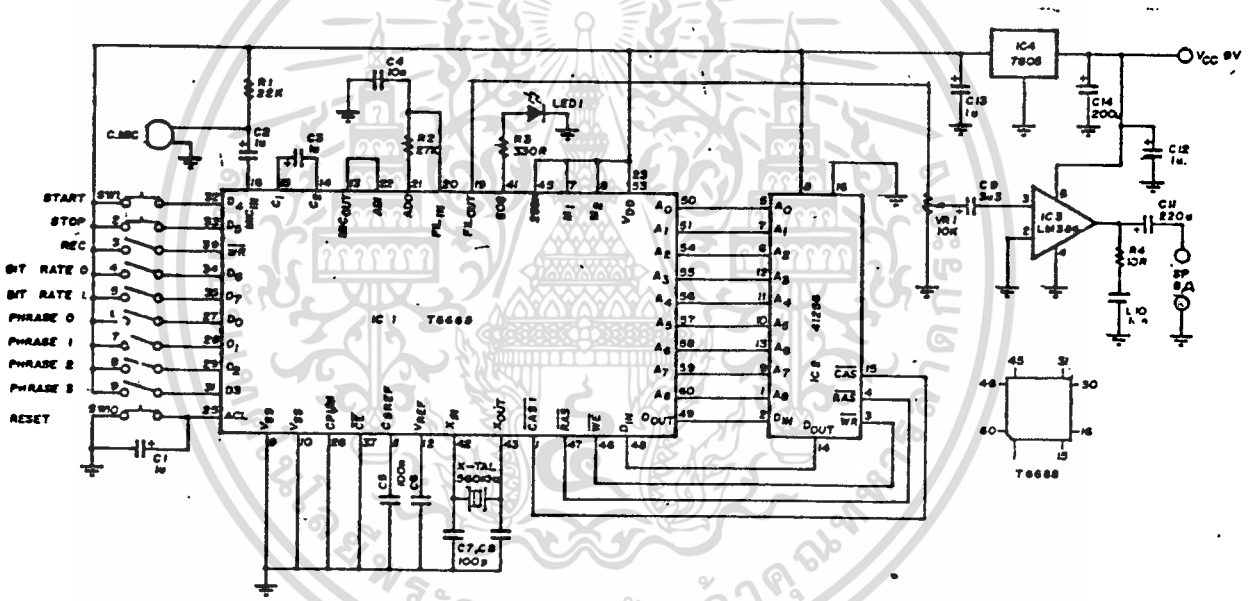
$\overline{WR}$ : ขาอินพุทสัญญาณควบคุมสำหรับเปลี่ยนไปโหมดการบันทึก

$D_4$ , $D_5$ : เริ่มต้น ($D_4$) และหยุด ($D_5$) การนับของเคาน์เตอร์ภายในสำหรับการบันทึกและการเล่นกลับ

$D_6$ , $D_7$ : กำหนดบิตเรต

$D_0$ - $D_3$ : เลือกหน้าของหน่วยความจำสำหรับบันทึก แบ่งได้สูงสุด 16 หน้าตามรหัสเลขฐานสอง แต่ละหน้าไม่กำหนดความยาว แล้วแต่จะกด STOP ($D_5$) เมื่อใด ก็จะมีการบันทึกไว้โดยอัตโนมัติ

$V_{DD}$ , $V_{SS}$ : ขาไฟเลี้ยงและกราวนด์




รูปที่ 3.4 วงจรสมบูรณ์ของชุดบันทึกเสียงพูด

การทำงาน T6668 จะทำการรับสัญญาณเสียงพูดเข้ามา จากนั้น จะทำการขยายแล้วเปลี่ยนจากสัญญาณอนาลอกไปเป็นข้อมูลดิจิตอล แล้วไปเก็บไว้ที่ไดนามิกแรม (DRAM) โดย CPU ภายในจะทำการเลื่อนแอดเดรสที่จะนำเข้าไปเก็บเองโดยอัตโนมัติ เมื่อทำการแปลงข้อมูลจากดิจิตอลเป็นอนาลอก จะใช้อัตรา 10 บิท D/A เพื่อเปลี่ยนกลับมาเป็นเสียงเช่นเดิม ในการอัดเข้าไป เราจะสามารถเลือกอัตราเร็วได้ 4 ค่า โดยการเลือกที่ $D_6$ - $D_7$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตารางที่ 3.1

| KBPS | $D_7$ | $D_0$ |
|---|---|---|
| 8 | 0 | 0 |
| 11 | 0 | 1 |
| 16 | 1 | 0 |
| 32 | 1 | 1 |

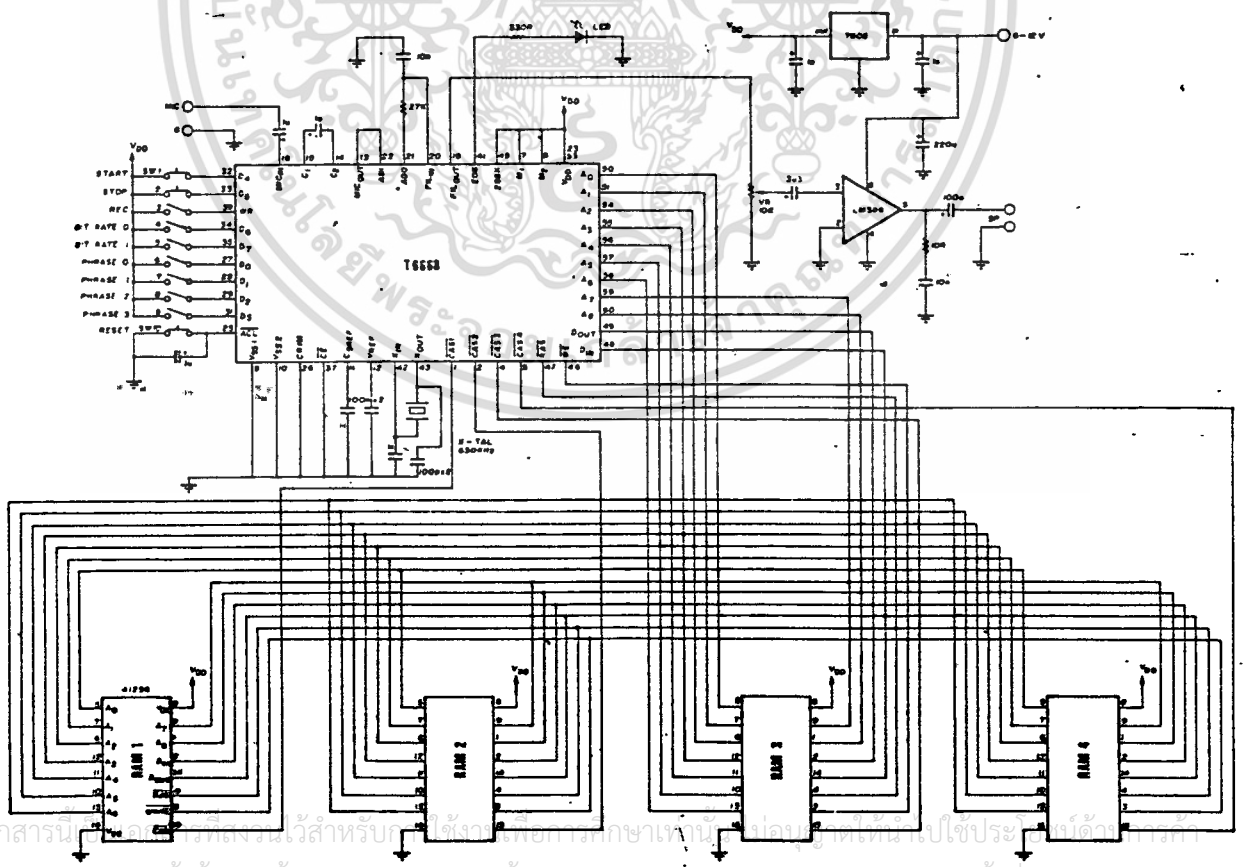
จากตาราง

1. ถ้าเราเลื่อนสวิทช์ $D_7$ - $D_0$ ไปที่ 0 , 0 จะทำให้อัตราเร็วของการเปลี่ยนข้อมูลเป็น 8 K bit ต่อวินาที ทำให้อัดหรือเล่นได้นาน 128 วินาที

2. $D_7$ - $D_0$ เป็น 0 , 1 จะทำให้อัตราการแปลงข้อมูลเป็น 11 K bit ต่อวินาที ทำให้อัดหรือเล่นได้นาน 93 วินาที

3. $D_7$ - $D_0$ เป็น 1, 0 ทำให้อัตราการแปลงข้อมูลเป็น 16 Kbit ทำให้อัดหรือเล่นได้นาน 64 วินาที

4. $D_7$ - $D_0$ เป็น 1 , 1 จะทำให้อัตราการแปลงข้อมูลเป็น 32 K bit ทำให้อัดหรือเล่นได้นาน 32 วินาที



เอกสารนี้จัดทำขึ้นเพื่อสงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 3.5 ตัวอย่างวงจรเมื่อต่อแรม 4 ตัว

การทดลอง ใช้คริสตอล 650 KHz. เป็นฐานความถี่ และต่อกับแรม 256 K จำนวน 4 ตัว ทำให้ความจุของหน่วยความจำเพิ่มขึ้นเป็น 1 M bit ดังวงจรรูปที่ 3.5

การอัด เมื่อเราอัดที่อัตราเร็วค่าใดค่าหนึ่งเสร็จแล้ว เราสามารถนำกลับมาเล่นในอัตราเร็วอื่นได้ ทำให้สามารถเร่งหรือลดอัตราเร็วของเสียงได้ ตามต้องการ ถ้าเราต้องการอัดเสียงสูง ๆ ให้ได้ผลดี ควรจะใช้อัตราเร็วสูง ๆ ในการอัดด้วย จึงจะทำให้เสียงที่อัดออกมาดี

3.3.2 เกี่ยวกับหน่วยความจำ

T6668 สามารถเลือกใช้หน่วยความจำได้ 2 ขนาดคือ 64K DRAM และ 256K DRAM โดยการเลือกที่ขา 45 ของไอซี (ที่เขียนไว้ว่า 256K) คือเมื่อเราจะต่อ DRAM 256K ให้กับไอซี เราจะต้องเลือกต่อขา 45 กับไฟบวก และเมื่อเราต้องการต่อ DRAM 64K ให้กับไอซี เราจะต้องต่อขา 45 กับกราวนด์ T6668 ก็จะรู้ว่าเราใช้หน่วยความจำขนาดเท่าใดกับมัน

| ชนิดของแรม | 256 K | $M_2$ | $M_1$ | แอดเดรสที่หยุด |
|---|---|---|---|---|
| 64K DRAMตัวที่ 1 | 0 | 0 | 0 | 0FFFFH |
| 64K DRAMตัวที่ 2 | 0 | 0 | 1 | 1FFFFH |
| 64K DRAMตัวที่ 3 | 0 | 1 | 0 | 2FFFFH |
| 64K DRAMตัวที่ 4 | 0 | 1 | 1 | 3FFFFH |
| 256K DRAMตัวที่ 1 | 1 | 0 | 0 | 3FFFFH |
| 256K DRAMตัวที่ 2 | 1 | 0 | 1 | 7FFFFH |
| 256K DRAMตัวที่ 3 | 1 | 1 | 0 | BFFFFH |
| 256K DRAMตัวที่ 4 | 1 | 1 | 1 | FFFFFH |

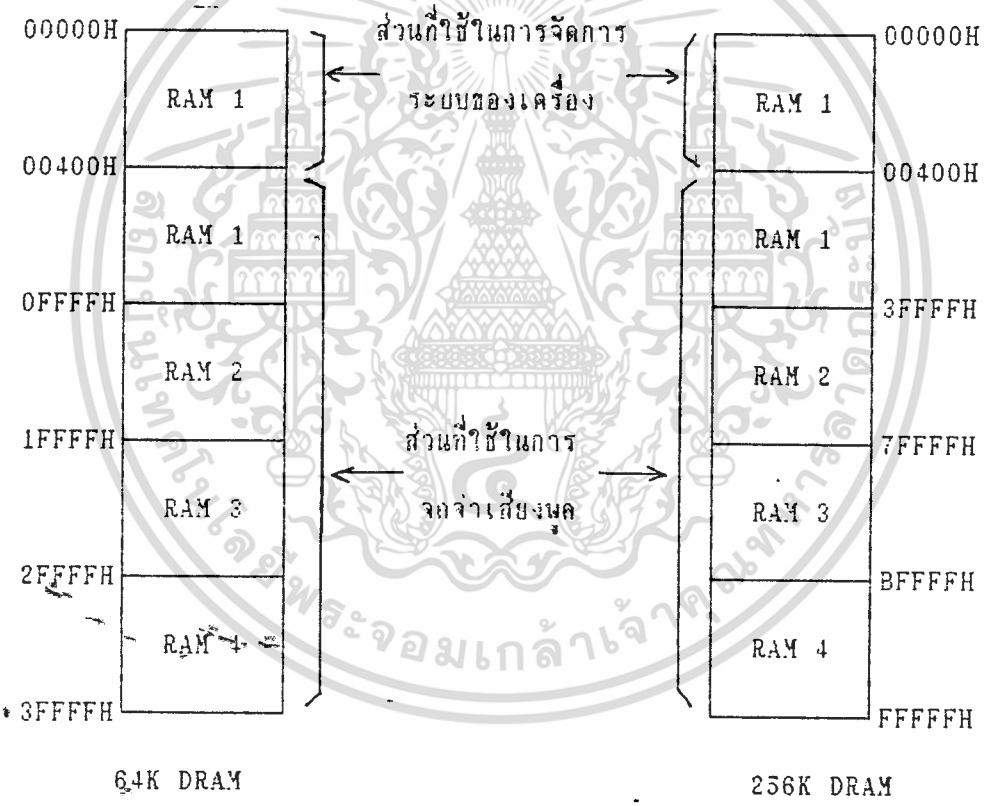
ตารางที่ 3.2

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การเพิ่มหน่วยความจำให้กับ T6668 สามารถกำหนดได้โดยการต่อขา $M_2$ (ขา 8) , $M_1$(ขา 7) ตามตารางที่ 3.2 คือ ถ้าเราต่อ $M_2$ , $M_1$ ลงกราวนด์ T6668 จะทำการเขียนหรืออ่านข้อมูลจาก 00000H ไปจนถึง 0FFFFH แล้วตัวมันเองก็จะเลิกการอ่านหรือการเขียนมารอการเริ่มต้นใหม่

ดังนั้นเราจึงกำหนดขนาดของหน่วยความจำได้ตามต้องการ เพื่อการประหยัดในการนำไปใช้งานที่ต้องการขนาดหน่วยความจำต่างกันได้

แผนภูมิของหน่วยความจำที่ใช้ในการทำงานทั้ง 2 แบบตามรูปที่ 3.6




รูปที่ 3.6 แผนภูมิของหน่วยความจำที่ใช้ในการทำงานทั้ง 2 แบบ

### 3.3.3 การใช้งานในแบบธรรมดา

1. เปิดเครื่อง จะเห็น LED ติดอยู่
2. กดสวิทช์ไปที่อัดค้างไว้ ($\overline{CE}$ จะต้องต่อกับกราวนด์ด้วย)
3. เลือกช่องที่จะอัดเข้าไป โดยช่องที่จะอัด มีอยู่ 4 ตัว สวิทช์นี้เป็นไบนารีโค้ดดังตารางที่ 3.3

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น

| $D_0$ | $D_1$ | $D_2$ | $D_3$ | ช่องที่ |
|---|---|---|---|---|
| 0 | 0 | 0 | 0 | 1 |
| 0 | 0 | 0 | 1 | 2 |
| 0 | 0 | 1 | 0 | 3 |
| 0 | 0 | 1 | 1 | 4 |
| 0 | 1 | 0 | 0 | 5 |
| 0 | 1 | 0 | 1 | 6 |
| 0 | 1 | 1 | 0 | 7 |
| 0 | 1 | 1 | 1 | 8 |
| 1 | 0 | 0 | 0 | 9 |
| 1 | 0 | 0 | 1 | 10 |
| 1 | 0 | 1 | 0 | 11 |
| 1 | 0 | 1 | 1 | 12 |
| 1 | 1 | 0 | 0 | 13 |
| 1 | 1 | 0 | 1 | 14 |
| 1 | 1 | 1 | 0 | 15 |
| 1 | 1 | 1 | 1 | 16 |

ตารางที่ 3.3

4. เลือกสปีดโดยตั้ง $D_7$ - $D_0$ ได้ตามต้องการ (เวลาที่แสดงนี้ใช้หน่วยความจำ 1 M bit) ดังตารางที่ 3.4

5. กดปุ่มสวิทช์ START แล้วไฟที่ LED จะดับ แสดงว่าเครื่องกำลังอัดคำพูดเข้าไปเก็บ เมื่อพูดจนพอใจแล้วจึงกดสวิทช์ STOP อีกครั้งหนึ่ง ไฟที่ LED จะสว่าง ในกรณีที่เราพูดนานเกินกว่าเวลาที่กำหนดในข้อที่ 4. เมื่อถึงกำหนดเวลา เครื่องจะหยุด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเอกสารนี้ทุกครั้งที่มีการนำไปใช้

| ช่อง / ระยะเวลา | $D_7$ | $D_0$ |
|---|---|---|
| 128 วินาที | 0 | 0 |
| 93 วินาที | 0 | 1 |
| 64 วินาที | 1 | 0 |
| 32 วินาที | 1 | 1 |

ตารางที่ 3.4

การอัดโดยอัตโนมัติ ไฟที่ LED จะสว่างขึ้นมาเพื่อบอกให้เรารู้ เป็นการสิ้นสุดขั้นตอนการอัดใน 1 ช่อง

6. ถ้าเราต้องการอัดในช่องอื่น ๆ อีก ก็ทำเช่นเดียวกันตั้งแต่ต้นจนถึงข้อ 5 (เวลารวมของแต่ละช่องต้องไม่เกินเวลาที่ได้กำหนดไว้)

7. การอ่าน ทำโดยยกเลิกสวิทช์ $\overline{WR}$ ขึ้น ($\overline{CE}$ ต่อกราวนด์เหมือนเดิม)

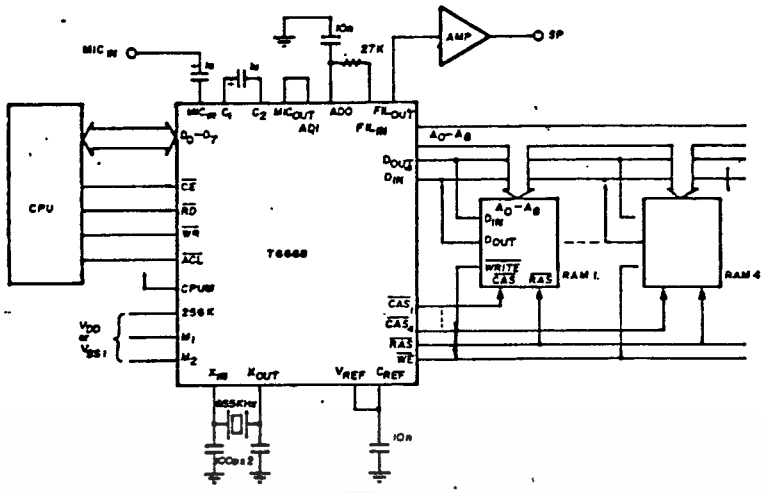
8. เลือกช่องที่จะอ่านและสปีด

9. กดสวิทช์ START เครื่องจะพูดตามที่อัดไว้ ถ้าเรากดสวิทช์ซ้ำกันหลายครั้งในระหว่างพูด เครื่องก็จะจำได้ว่ามีการกดสวิทช์ START ขึ้นเพียงครั้งเดียว และจะพูดซ้ำอีกเมื่อพูดจบ

10. เมื่อต้องการให้เครื่องพูดติดต่อกัน ทำโดยเลือกช่องแรก กด START เสร็จแล้วเปลี่ยนช่อง แล้วกดสวิทช์ซ้ำอีกทีหนึ่ง เครื่องจะพูดซ้ำอีกตามต้องการได้

จากที่กล่าวมาข้างต้น จึงทำให้เครื่องนี้สามารถตัดต่อคำพูดได้ พูดซ้ำได้ เร่ง หรือลดสปีดคำพูดได้ เครื่องนี้สามารถควบคุมได้จาก CPU โดยตรงซึ่งทำให้สามารถนำไปประยุกต์ใช้งานต่าง ๆ ได้ตามต้องการ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้




รูปที่ 3.7 ตัวอย่างวงจรการใช้ CPU เข้ามาควบคุมการทำงาน

สำหรับในปริญญานิพนธ์ฉบับนี้ เราได้นำมาใช้งานดังรูปที่ 3.8 สำหรับสวิทช์ SW 2/3 ใช้สำหรับตัดวงจรออกในขณะทำการบันทึก เพื่อมิให้เกิดการออสซิลเลท

### 3.3.4 การใช้งานในปริญญานิพนธ์ฉบับนี้

1. เมื่อเปิดเครื่อง จะเห็น LED สว่าง

2. โยกสวิทช์ SW2 ไปที่อัด ไฟที่ LED จะดับ แสดงว่าเครื่องกำลังบันทึกคำพูดเข้าไปเก็บ เมื่อพูดจนพอใจแล้ว จึงโยกสวิทช์ SW2 ไปที่เดิม

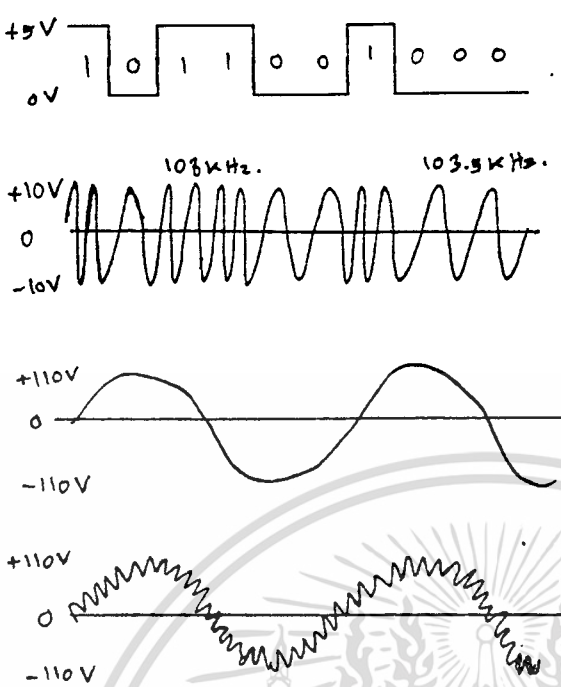
3. เมื่อต้องการฟังข้อความที่เราอัดไว้ ให้กดสวิทช์ SW1

## 3.4 ส่วนควบคุมเครื่องใช้ไฟฟ้า

การควบคุมเครื่องใช้ไฟฟ้า สัญญาณผสม 2 ความถี่จากแป้นโทรศัพท์ที่ต้นทางจะถูกนำมาแปลงเป็นสัญญาณควบคุมแบบดิจิตอล 2 ระดับ คือ 0 และ +5 โวลท์ (เรียกว่าไบนารี่) ที่ปลายทาง จากนั้นสัญญาณควบคุมไบนารี่เหล่านั้นจะถูกแปลงให้เป็นรหัส FSK (Frequency Shift Keying) ซึ่งเป็นสัญญาณอนาลอก เพื่อความเหมาะสมที่จะส่งเข้าไปในสายไฟบ้านซึ่งมีสัญญาณรบกวนมาก และเป็นสายธรรมดา ๆ ที่มีแบนด์วิธแคบมาก จากนั้น ก็จะ Modulate สัญญาณ FSK เหล่านั้นเข้าไปในสายไฟบ้านโดยมีสัญญาณ 220 โวลท์ 50 Hz. ภายในสายไฟบ้าน เป็นคลื่นพาห์ (Carrier) ดังแสดงในรูปที่ 3.9

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งไม่อนุญาตให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 3.8 วงจรบันทึกและเล่นเสียงพูดของ T6668




รูปที่ 3.9 สัญญาณต่าง ๆ ในการมอดูเลทรหัส FSK เข้าไปในสายไฟบ้าน (AC line)

โดยปกติ รหัส FSK นั้นมักนิยมใช้ในโมเด็ม ซึ่งมีหน้าที่แปลงข้อมูลไบนารี่จากคอมพิวเตอร์ให้เป็นรหัส FSK แล้วส่งไปตามคู่สายโทรศัพท์ โดยไม่มีสัญญาณคลื่นพาห์ จึงต้องใช้ความถี่ของ FSK ในย่านความถี่เสียง (เช่น 2025 , 2225 Hz.) เพื่อความเหมาะสมแก่การส่งไปตามคู่สายโทรศัพท์

แต่ในโปรเจคชั้นนี้ จะทำการส่งรหัส FSK ไปตามสายไฟบ้านซึ่งมีสัญญาณ 220 โวลท์ 50 Hz. อยู่แล้ว ดังนั้น เราจึงต้องใช้สัญญาณดังกล่าว มาเป็นคลื่นพาห์ให้แก่รหัสสัญญาณ FSK ที่จะส่ง แต่ต้องคำนึงด้วยว่า ความถี่ของรหัส FSK ที่เราใช้นั้น ไม่ควรหารด้วย 50 (ซึ่งเป็นความถี่ภายในสายไฟบ้าน) ลงตัว เพราะว่าจะทำให้เกิดปัญหาจากความถี่ฮาร์โมนิค (ความถี่ส่วนเกิน- เป็นสัญญาณรบกวนอย่างหนึ่ง) ซึ่งจะทำให้การทำงานของตัวถอดรหัส FSK กลับเป็นข้อมูลไบนารี่ ทำงานผิดพลาดได้ เช่น ใช้ความถี่ประมาณ 103.5 KHz. และ 108 KHz. เป็นค่าที่หารด้วย 50 ไม่ลงตัว

เมื่อรหัส FSK ถูกส่งออกไปภายในสายไฟบ้านแล้ว สัญญาณนี้ก็จะกระจายอยู่ทั่วทุกแห่งในสายไฟเอซี เราก็สามารถดักจับรหัสสัญญาณ FSK ได้ทุกที่เช่นกัน โดยใช้การเสียบปลั๊กของเครื่อง FSK demodulator เข้าไปเท่านั้นก็ใช้ได้ เครื่องถอดรหัส FSK

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จะทำการดึงสัญญาณ FSK ออกมาจาก สายไฟเอซี มาแปลงกลับเป็นสัญญาณควบคุมไบนารี่ดังเดิม แล้วผ่านเข้าไปใน MC14469 ซึ่งจะทำหน้าที่ตรวจแอดเดรสที่ส่งมาว่าตรงกับที่ตั้งไว้ที่ตัวมันหรือไม่ ถ้าตรง มันก็จะทำงานตามคำสั่งที่ส่งตามมาต่อไป คือ เปิด หรือ ปิด D-FF เบอร์ 4013 ซึ่งจะผ่านออกไปไบอัสทรานซิสเตอร์เพื่อไดรฟ์รีเลย์ สำหรับเปิด ปิด เครื่องใช้ไฟฟ้าในที่สุด นอกจากนั้น เรายังสามารถเปิดปิดเครื่องใช้ไฟฟ้าได้โดยตรงในกรณีที่เราอยู่ที่บ้านแล้วอีกด้วย

สำหรับวงจรในส่วนของการควบคุมเครื่องใช้ไฟฟ้านั้น สามารถแบ่งออกได้เป็น 4 ส่วนใหญ่ ๆ ด้วยกัน คือ

- ส่วนแปลงข้อมูลไบนารี่ให้เป็นรหัส FSK และมอดูเลทรหัส FSK เข้าสู่สายเอซี
- ส่วนถอดรหัส FSK ออกจากสายเอซีและแปลงกลับเป็นข้อมูลไบนารี่
- ส่วนกำหนดตำแหน่งของจุดหมายปลายทาง
- ส่วนเปิดปิดเครื่องใช้ไฟฟ้า

### 3.4.1 ส่วนแปลงข้อมูลไบนารี่เป็นรหัส FSK แล้วมอดูเลทเข้าสู่สายเอซี

สัญญาณควบคุมการเปิดปิดและกำหนดตำแหน่งของเครื่องใช้ไฟฟ้าที่ออกจากขา TXD ของ 8031 ซึ่งเป็นสัญญาณไบนารี่ที่มีอัตราข้อมูล 3125 บิทต่อวินาทีนั้น จะถูกนำมาแปลงเป็นรหัส FSK โดยการป้อนสัญญาณไบนารี่ เข้าที่ขา 9 ของไอซีเบอร์ XR-2206 แล้วส่งสัญญาณผ่านไอเอฟทรานส์ฟอร์เมอร์ (IF Transformer) ออกสู่สายเอซี

สูตรการคำนวณค่า R และ C ในวงจร ของ XR-2206 ได้แก่

$$f_1 = 1/(R_1C)$$

และ $$f_2 = 1/(R_2C)$$

เมื่อ $f_1$ คือ ความถี่เอาท์พุทของอินพุทที่เป็น 1 (Mark)

$f_2$ คือ ความถี่เอาท์พุทของอินพุทที่เป็น 0 (Space)

$R_1$ คือ ค่า R ที่ขา 7

$R_2$ คือ ค่า R ที่ขา 8

C คือ ค่า C ที่ต่ออยู่ระหว่างขา 5 และ 6

ในโปรเจคนี้กำหนดให้ $f_1$ = 103.5 KHz.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$f_c$ = 108.0 KHz.

C = 1 nF

ดังนั้นจะได้ $R_1$ = 9661.8 โอห์ม

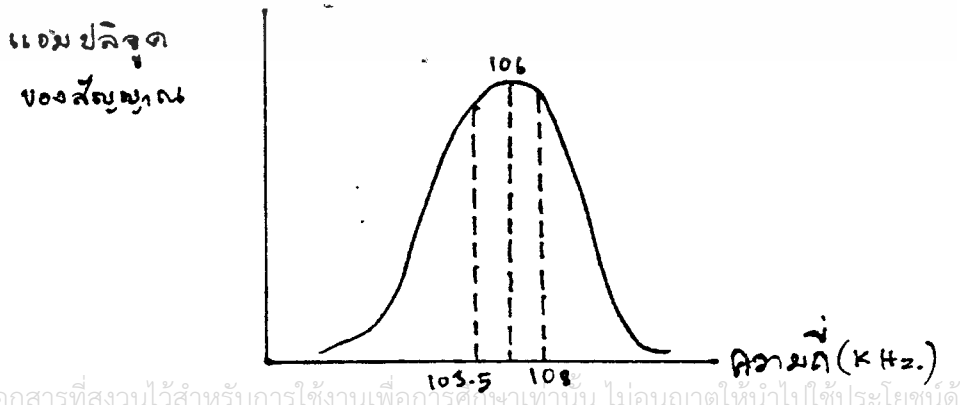
$R_2$ = 9259.3 โอห์ม

$R_1$ และ $R_2$ ใช้ค่า R 10 กิโลโอห์ม แบบปรับค่าได้ ต่ออนุกรมกับ R 3.3 กิโลโอห์ม แบบคงที่

เอาท์พุทของ XR-2206 ที่ขา 2 จะเป็นคลื่นรูปซายน์สองความถี่ ซึ่งจะถูกนำมาขยายโดยทรานซิสเตอร์ ซึ่งต่อแบบคอมมอนอีมิตเตอร์ จากนั้น ก็จะผ่านเข้าสู่ไอเอฟทรานสฟอร์เมอร์ และผ่าน C 0.047$\mu$F 250 V (ซึ่งจะกั้นไม่ให้สัญญาณ 220 V ภายในสายไฟเอซี ผ่านเข้ามาสู่วงจรได้) ออกสู่สายไฟเอซี

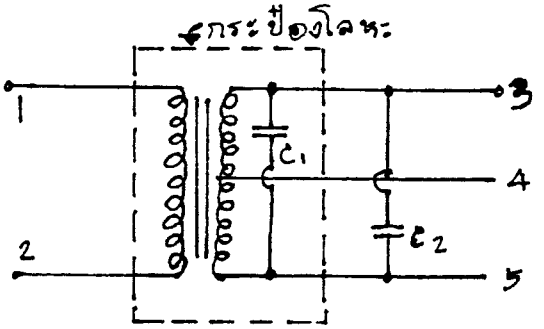
ไอเอฟทรานสฟอร์เมอร์ เป็นขดลวดซึ่งมีความถี่เรโซแนนซ์ประมาณ 455 KHz. เพื่อจะจูนเอาความถี่ที่เราต้องการให้มีขนาดใหญ่ที่สุด แต่สัญญาณที่เราต้องการจูนมีความถี่ไม่เท่ากับ 455 KHz. เราสามารถต่อค่า C เพิ่มเข้าไป เพื่อเปลี่ยนค่าความถี่ที่มันเรโซแนนซ์ได้ โดยค่า C ที่นำมาต่อเพิ่มนี้ ได้จากการสุ่มทดลองต่อไปเรื่อย ๆ จากการทดลอง ค่า C ที่ต่อเพิ่มเข้าไปนั้น มีค่าเท่ากับ 4.7 nF จึงจะทำให้ไอเอฟเกิดการเรโซแนนซ์ที่ความถี่ประมาณ 106 KHz. ( สัญญาณ FSK ที่ใช้ มีความถี่ประมาณ 103.5 KHz. กับ 108 KHz. ดังนั้น 106 KHz. จึงเป็นค่ากลาง ๆ ระหว่างทั้งสองความถี่ ) ดังแสดงในรูปที่ 3.10

ภาพวงจรเข้ารหัส FSK และมอดูเลทเข้าสู่สายไฟเอซีแสดงไว้ในรูป 3.12




เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

**รูปที่ 3.10 การตอบสนองต่อสัญญาณความถี่ต่าง ๆ ของไอเอฟทรานสฟอร์เมอร์**




$C_1$ = C ภายใน

$C_2$ = C ที่ต่อเพิ่มเข้าไปจากภายนอก

รูปที่ 3.11 โครงสร้างของไอเอฟทรานสฟอร์เมอร์

3.4.2 ส่วนถอดรหัส FSK ออกจากสายไฟเอซีและแปลงกลับเป็นข้อมูลไบนารี่

สัญญาณ FSK ที่ผสมอยู่กับสัญญาณ 220 โวลท์ 50 Hz. ในสายไฟเอซี จะถูกดักจับโดยการจูนเอาความถี่ของ FSK เข้ามา โดยใช้ไอเอฟทรานสฟอร์เมอร์ที่มี C ต่อคร่อมอยู่เหมือนในภาคส่ง จากนั้น สัญญาณที่ได้ จะนำมาผ่านดิฟแอมแบบทรานซิสเตอร์คู่ เพื่อขยายสัญญาณที่เราต้องการ และขจัดสัญญาณรบกวนซึ่งมีปะปนเข้ามาด้วย

เมื่อได้สัญญาณ FSK ที่ค่อนข้างสะอาดเหมือนในภาคส่งแล้ว ก็นำมาถอดรหัสเป็นสัญญาณควบคุมไบนารี่ โดยป้อนเข้าขา 2 ของไอซี XR-2211 มีสูตรการคำนวณดังนี้

$f_o = (f_1+f_2) / 2$ Hz.

$C_o = 1 / (R_o f_o)$ ( 10K < $R_o$ < 100K )

$C_F = 3 /$ (Baud rate) $\mu$F

เมื่อ $C_o$ คือค่า C ที่ต่อระหว่างขา 13 และ 14

$R_o$ คือค่า R ที่ต่อที่ขา 12 ลงกราวนด์

$C_F$ คือค่า C ที่ต่อที่ขา 8 ลงกราวนด์

ดังนั้น สามารถคำนวณได้ดังนี้

$f_o$ = (103.5+108) / 2 = 105.75 KHz.

$C_o$ = 1000 PF

$R_o$ = 9456.3 K Ohm

$C_F$ = 3 / 3125

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

= 0.00096 $\mu$F ใช้ 0.001 $\mu$F

สำหรับ $R_o$ ใช้ R 10 KOhm ปรับค่าได้ ต่ออนุกรมกับ R 4.7 KOhm แบบคงที่

### 3.4.3 ส่วนกำหนดตำแหน่งของจุดหมายปลายทาง

สัญญาณควบคุมแบบไบนารี่ที่ได้ออกมาจากขา 7 ของ XR-2211 ซึ่งเป็นข้อมูลที่ถูกส่งมาแบบอนุกรม และประกอบด้วยแอดเดรสที่ต้องการส่งไปถึง กับ คำสั่งเปิดหรือปิด จะถูกส่งเข้ามาที่ขา 19 ของ MC14469 โดยการกำหนดการทำงานของมันด้วยสัญญาณคล็อคที่เราป้อนให้เข้าที่ขา 1 ถ้าแอดเดรสที่ส่งเข้ามาที่ขา 19 ตรงกับแอดเดรสที่ตั้งไว้ที่ขา 4 ถึง 10 มันก็จะรับคำสั่งที่เรียงเข้ามาที่ขา 19 ต่อไปอีก และจะเป็นเอาท์พุทที่ขา 33 ถึง 39

### 3.4.4 ส่วนเปิดปิดเครื่องใช้ไฟฟ้า

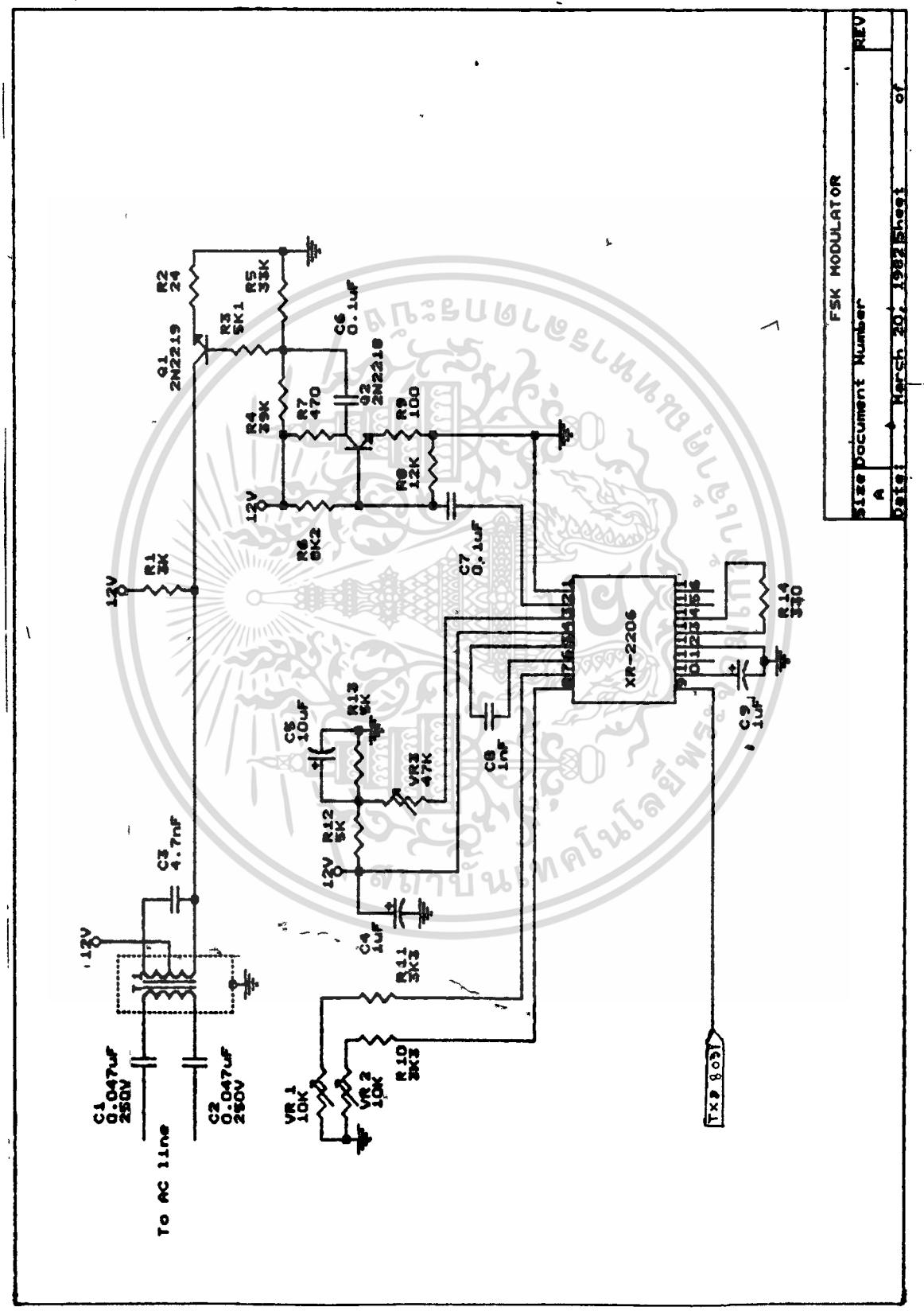
เมื่อได้รับคำสั่งออกมาจากขา 33 ถึง 39 แล้ว ในที่นี้เราใช้เพียงขา 38 และ 39 ($C_1$ และ $C_o$) เท่านั้น เราก็จะนำไปสั่งเปิดปิด D-FF เบอร์ 4013 ได้โดยต่อขา $C_o$ เข้ากับขา Set (ขา 6) ของ 4013 และต่อ $C_1$ เข้ากับขา Reset (ขา 4) ของ 4013 ดังนั้น ถ้าเราต้องการเปิดเครื่องใช้ไฟฟ้า เราก็ส่ง $C_oC_1$ = 1,0 ในทางตรงกันข้าม ถ้าเราต้องการปิดเครื่องใช้ไฟฟ้าเราก็ส่ง $C_oC_1$ = 0,1 แต่หลังจากส่ง 1,0 หรือ 0,1 ไปแล้ว ต้องส่ง $C_oC_1$ = 0,0 ตามออกไปด้วย เพื่อให้สามารถควบคุมการเปิดหรือปิด D-FF ได้ด้วยสัญญาณคล็อคในกรณีที่เรากลับไปถึงบ้านแล้วซึ่ง D-FF จะยังคงรักษาสภาพเอาท์พุทเดิมของมันก่อนที่ขาเซ็ทและรีเซ็ทของมันจะเท่ากับ 0,0 เอาไว้ จนกว่าจะมีสัญญาณคล็อคเข้ามาซึ่งจะทำให้มันเปลี่ยนสภาพไปในทางตรงกันข้ามหรือท็อกเกิ้ล (โดยการต่อขา D กับขา $\overline{Q}$ เข้าด้วยกัน). ซึ่งสัญญาณคล็อคของ D-FF กำเนิดโดยปุ่มภายนอกซึ่งต่อให้เป็นเบ้านส์เลสสวิทช์ (Bounceless Switch) โดยใช้จังชั่น (Junction) ภายในไอซี 555 มาช่วยแก้ปัญหาการเบ้านส์ และการต่อสายไฟระหว่างสวิทช์ที่จะใช้ กับขา 2 ของไอซี 555 จะต้องใช้สายชีลด์ เพื่อดึงสัญญาณที่ทำให้ 555 เกิดการออสซิลเลท (ซึ่งจะทำให้รีเลย์ตัดสลับไปมาไม่หยุด) ลงกราวนด์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

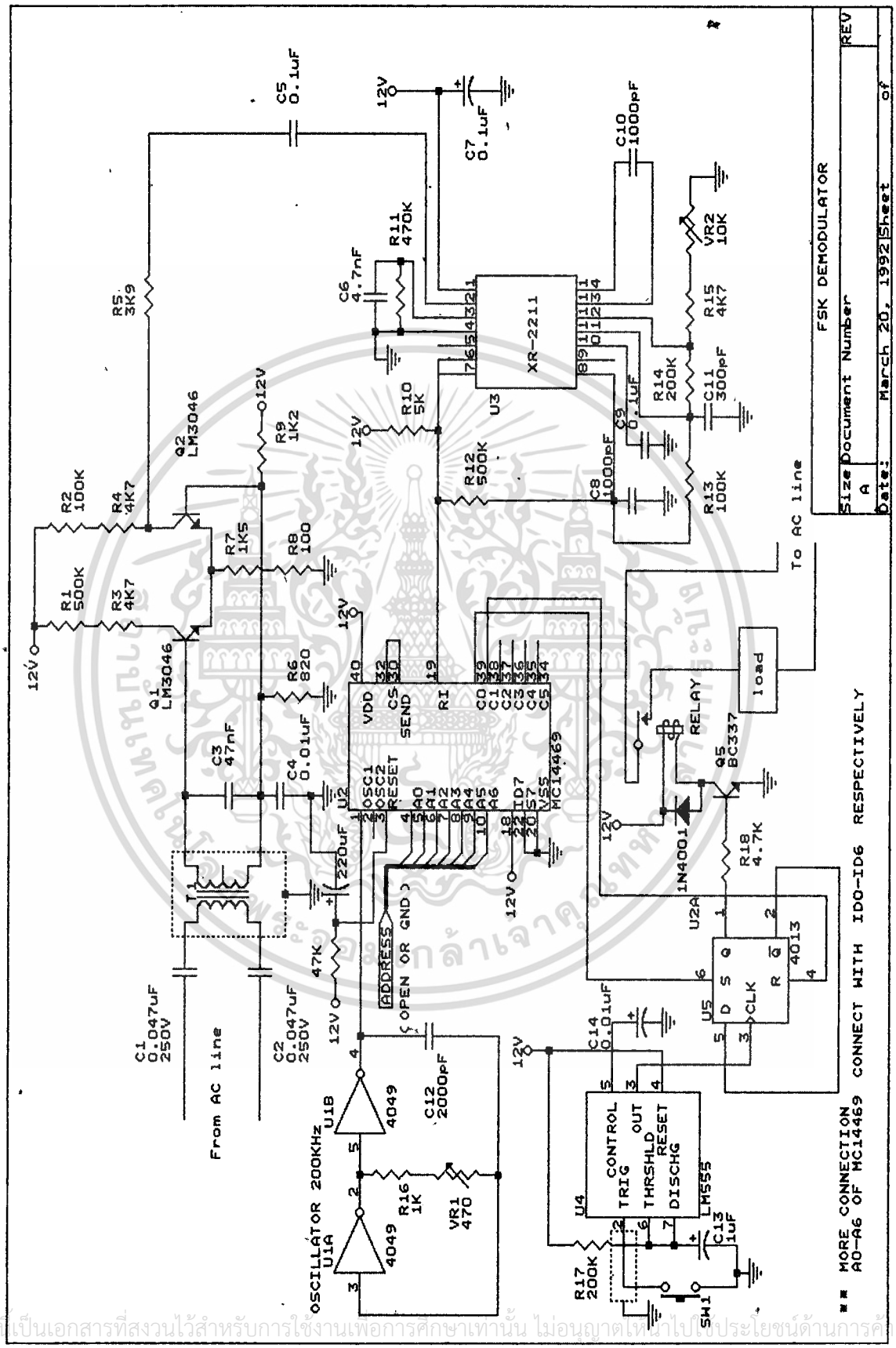
จากนั้น เอาท์พุทที่ขา Q ของ 4013 จะถูกต่อออกมาไดรฟ์ทรานซิสเตอร์

ซึ่งจะไปไดรฟ์รีเลย์เพื่อเปิดหรือปิดเครื่องใช้ไฟฟ้าต่อไป

ภาพวงจรโดยรวมของภาครับ และเปิดปิดเครื่องใช้ไฟฟ้าแสดงดังรูปที่ 3.13




รูปที่ 3.12 วงจรเข้ารหัส FSK และมอดูเลทเข้าสู่สายไฟเอซี




รูปที่ 3.13 วงจรถอดรหัส FSK และควบคุมเครื่องใช้ไฟฟ้า

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# บทที่ 4

## การใช้งานเครื่องควบคุมเครื่องใช้ไฟฟ้าและตอบรับโทรศัพท์

การใช้งานโปรเจคชิ้นนี้ เป็นการสั่งงานระหว่างคนกับเครื่อง ซึ่งไม่สามารถติดต่อ หรือเข้าใจโดยเสียงพูดได้ ผู้ใช้ ต้องใช้โดยการกดปุ่มทางหน้าปัดของโทรศัพท์แบบกดปุ่มเท่านั้น ส่วนโทรศัพท์แบบหมุน จะใช้งานกับเครื่องนี้ไม่ได้

**ขั้นตอนการติดต่อกับเครื่อง**

การใช้เครื่องควบคุมเครื่องใช้ไฟฟ้าและตอบรับโทรศัพท์ ได้ใช้โครงข่ายโทรศัพท์เป็นสื่อในการสั่งงาน ดังนั้น การติดต่อกับเครื่อง จึงต้องใช้ขั้นตอนการติดต่อของโทรศัพท์มาประกอบกับขั้นตอนของเครื่องควบคุมเครื่องใช้ไฟฟ้าและตอบรับโทรศัพท์ ดังนี้

1. ผู้เรียก ยกหูโทรศัพท์ และได้ยินสัญญาณแมวกรน (Dial Tone)

2. ผู้เรียก กดหมายเลขของเครื่องโทรศัพท์ในสถานที่ที่ได้ติดตั้งเครื่องนี้ไว้

3. ถ้าทางด้านรับไม่ว่าง ชุมสายโทรศัพท์จะส่งสัญญาณไม่ว่าง (Busy Tone) ให้ต้องเริ่มต้นเรียกใหม่ แต่ถ้าทางด้านรับว่าง ชุมสายโทรศัพท์จะส่งสัญญาณว่าง (Ring back Tone) ให้ทางด้านเรียก และส่งสัญญาณกระดิ่ง (Ringing Tone) ให้ทางด้านรับ

4. เครื่องควบคุมฯ จะตรวจนับสัญญาณกระดิ่ง ถ้ายังไม่ครบ 8 ครั้ง แล้วมีคนรับสาย ก็จะเป็นการพูดคุยตามปกติ ไม่มีอะไรเกิดขึ้น แต่ถ้าครบ 8 ครั้งแล้วไม่มีคนรับสาย เครื่องก็จะทำการต่อวงจร ซึ่งเสมือนการยกหูโทรศัพท์ แล้วส่งเสียงสัญญาณบอกกลับไปยังผู้เรียกว่าขณะนี้ไม่มีคนอยู่ ให้เลือกระหว่างการกดรหัสบันทึกข้อความ หรือ จะกดรหัสผ่านเพื่อควบคุมเครื่องใช้ไฟฟ้า

5. ถ้าหากต้องการฝากข้อความ ก็ให้กดรหัส O O บนแป้นโทรศัพท์แล้วพูดฝากข้อความได้นาน 1 นาที เสียงพูดของผู้เรียกจะถูกบันทึกลงในเครื่องเล่นเทปทันที เมื่อครบ 1 นาทีแล้ว เครื่องจะวางหูทันที และเลิกการติดต่อ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

6. ถ้าหากต้องการควบคุมเครื่องใช้ไฟฟ้า จะต้องกดรหัสเป็นจำนวน 6 หลัก หลักที่ 1 และ 2 คือ ๐ ๑ ซึ่งเป็นรหัสผ่านสำหรับการควบคุมเครื่องใช้ไฟฟ้า หลักที่ 3 และ 4 เป็นรหัสหมายเลขของเครื่องใช้ไฟฟ้า ซึ่งสามารถเลือกกดได้ตั้งแต่ ๐ ๐ ถึง ๙ ๙ หลักที่ 5 และ 6 เป็นรหัสคำสั่งเปิดปิดเครื่องใช้ไฟฟ้า ถ้าต้องการเปิด ให้กด # 1 ถ้าต้องการปิด ให้กด # ๐

7. เมื่อควบคุมเครื่องใช้ไฟฟ้าเครื่องแรกเสร็จแล้ว หากต้องการควบคุมเครื่องต่อไป ก็ให้กดรหัสในหลักที่ 3 ถึง 6 ได้เลย ในการโทรศัพท์ครั้งหนึ่ง จะสามารถควบคุมเครื่องใช้ไฟฟ้ากี่เครื่องก็ได้

8. สำหรับการยกเลิกคำสั่ง ในกรณีที่เราอาจจะกดอะไรผิดพลาดไป สามารถแก้ไขได้โดยการกดรหัส * * ซึ่งรหัสที่กดมาในครั้งก่อน จะถูกยกเลิกไป จากนั้นจึงเริ่มกดรหัสทั้ง 6 หลักใหม่ต่อไป

9. เมื่อผู้เรียกปฏิบัติภารกิจเสร็จเรียบร้อยแล้ว สามารถวางหูได้ทันทีโดยไม่ต้องบอกยกเลิกการติดต่อแต่อย่างใด เครื่องฯ จะยกหูค้างไว้นานประมาณ 30 วินาที แล้วจะตัดวงจรออกจากคู่สายโทรศัพท์ ซึ่งเปรียบเสมือนกับการวางหูโทรศัพท์เองโดยอัตโนมัติ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# บทที่ 5

## การทดลองและผลการทดลอง

จากการออกแบบในส่วนต่าง ๆ ก่อนที่จะได้มาเป็นเครื่องควบคุมเครื่องใช้ไฟฟ้าและตอบรับโทรศัพท์ ได้ทำการทดลองดังนี้

- ส่วนวงจรตอบรับโดยใช้ไอซีดิจิตอล ได้นำชุดคิทสำเร็จรูปมาใช้ โดยต้องแก้ไขปัญหาเรื่องการออสซิลเลทเนื่องจากการฟีดแบคของสัญญาณ ทำให้เกิดเสียงรบกวน โดยการเพิ่มสวิทช์เข้าไปดังที่อธิบายไว้แล้วในบทที่ 3

- การเชื่อมต่อส่วนวงจรตอบรับโดยใช้ไอซีดิจิตอลเข้ากับส่วนประมวลผล ใช้ได้ดีไม่มีปัญหา

- MT8870 เป็นไอซีชิ้งค่อนข้างบอบบาง การใช้งานควรระวังให้ดี ควรต่อวงจรและเช็คให้ละเอียดดีเสียก่อนที่จะทำการทดลอง

- ขาอินเทอร์รัพของ 8031 ที่รับสัญญาณจากขาสโตรบของ MT8870 ใช้งานได้ไม่ดีเท่าที่ควร เป็นสิ่งที่แก้ไขไม่ได้ เพราะเป็นข้อบกพร่องอย่างหนึ่งของ 8031

- ในส่วนการมอดูเลทสัญญาณควบคุม เข้าสู่สายไฟเอซี สามารถมอดูเลทเข้าไปได้ดี และส่งได้ไกลพอสมควร (ประมาณ 3 ห้อง ถ้าไกลกว่านั้น สัญญาณไบนารี่จะเริ่มเพี้ยนและสั่นมาก) แต่ปัญหาก็คือ สัญญาณไบนารี่ที่ถอดออกมาได้ยังมีการสั่นอยู่บ้างเล็กน้อย แต่ไม่ถึงกับทำให้การทำงานที่ปลายทางขัดข้องมากนัก

- การถอดรหัสของ XR-2211 ที่ปลายทาง เอาท์พุทที่ได้ยังไม่เป็นรูปคลื่นสี่เหลี่ยมดีนัก ต้องนำไปผ่านชมิททริกเกอร์ก่อน จึงได้รูปคลื่นสี่เหลี่ยมที่เรียบมากขึ้น แต่อย่างไรก็ตาม XR-2211 ก็นับว่าเป็นไอซีที่ทำหน้าที่ถอดรหัสได้ดีเยี่ยมมากตัวหนึ่ง เพราะ จากการทดลอง ถึงแม้ว่าสัญญาณ FSK ที่รับได้ก่อนเข้าไอซีตัวนี้มีเพียง 20 มิลลิโวลท์เท่านั้น แต่ก็ยังสามารถถอดรหัสออกมาเป็นสัญญาณไบนารี่ได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# บทที่ 6

## บทสรุปและวิจารณ์

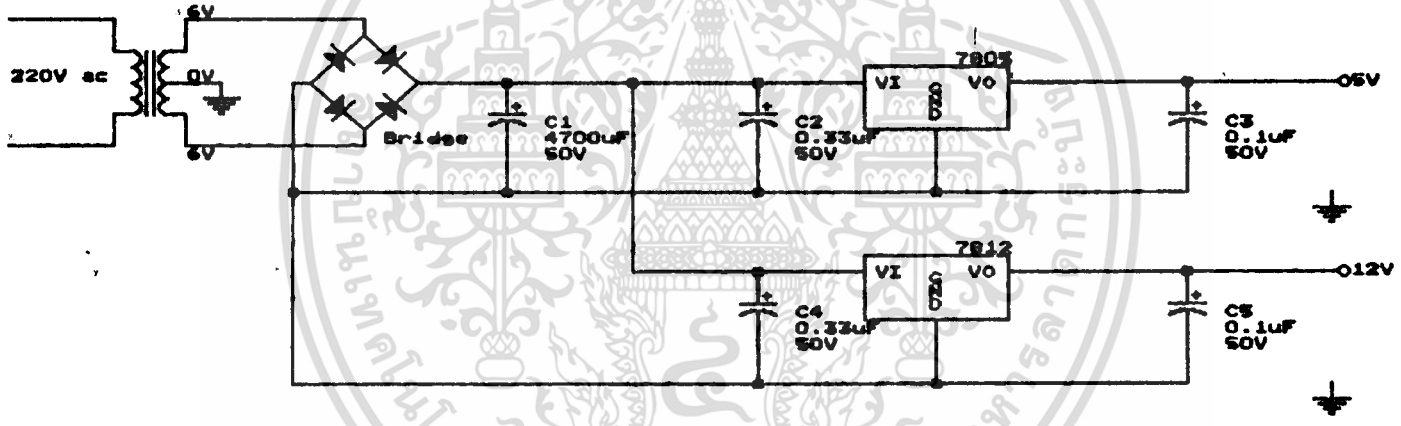
จากการทดลองใช้เครื่องควบคุมเครื่องใช้ไฟฟ้าและตอบรับโทรศัพท์ ผลการทดลองได้ผลเป็นที่น่าพอใจอยู่ระดับหนึ่ง คือ ในส่วนของการตอบรับและบันทึกข้อความ ใช้ได้ผลดี แต่ในส่วนควบคุมเครื่องใช้ไฟฟ้า ยังมีปัญหาอยู่บ้างในเรื่องของโปรแกรม ซึ่งได้พยายามแก้ไขจนดีขึ้นเรื่อย ๆ จนใช้ได้ ในที่สุด นอกจากนี้ ยังมีส่วนที่สามารถนำไปพัฒนาให้ดีขึ้นได้อีก คือ

- ในการสั่งงานนั้น ยังไม่มีการโต้ตอบกลับให้ผู้เรียกทราบว่าได้รับคำสั่งถึงขั้นตอนไหนแล้ว ทำให้ผู้สั่งงานไม่สามารถทราบได้ว่า สิ่งที่ได้สั่งไปแล้วนั้นได้ผลดีหรือไม่ เราอาจทำให้พอร์ทที่ยังว่างอยู่ของ 8031 เกิดการออสซิลเลทที่ความถี่ต่าง ๆ กัน โดยใช้โปรแกรม แล้วใช้สัญญาณนี้ตอบกลับไปยังผู้เรียกในขั้นตอนการทำงานต่าง ๆ ได้

- ชุดคิทของการบันทึกเสียงตอบกลับ ใช้ไอซีแบบเซอร์เฟสเม้าท์ ซึ่งมีราคาแพง เราอาจหาทางใช้เครื่องเล่นเทป มาบันทึก ทั้งเสียงตอบกลับ และเสียงฝากข้อความของผู้เรียก

- อุปกรณ์ทางด้านปลายทางมีราคาแพง อาจใช้ไอซีตัวอื่นแทน แต่ก็จะมีปัญหาในด้านวงจรและโปรแกรมที่ซับซ้อนมากขึ้น เช่น ใช้ MC145026 Encoder มาแปลงข้อมูลแบบขนานที่ต้นทางให้เป็นอนุกรมแล้วส่งออกไป และใช้ MC145028 Decoder มาเป็นตัวกำหนดแอดเดรสที่ปลายทาง เป็นต้น ซึ่งมีราคาถูกกว่า MC14469 มาก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้




| Regulator | | |
|---|---|---|
| Size A | Document Number | REV |
| Date: March 20, 1982 | Sheet of | |

# ภาคผนวก ก

## โปรแกรมการทำงานของไมโครคอนโทรลเลอร์ 8031

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
        ORG     0000H
        AJMP    START
        ORG     0003H
        RETI
        ORG     000BH
        AJMP    ISTF0
        ORG     0013H
        RETI
        ORG     001BH
        AJMP    ISTF1
        ORG     0023H
        RETI
        ORG     0030H
START:  CLR     P1.7
        CLR     P1.4
        SETB    P1.6
        ACALL   DELAY1
        CLR     P1.6
        MOV     TMOD,#15H
        MOV     TCON,#10H
        MOV     TH0,#0FFH
        MOV     TL0,#0FFH
        MOV     IE,#8AH
        MOV     36H,#00H
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
RING:   MOV   A,36H
        CJNE  A,#00H,TIM
        SJMP  RING
TIM:    MOV   TH1,#00H
        MOV   TL1,#00H
        MOV   DPTR,#0000H
        SETB  TR1
        MOV   R1,#00H
RNG8:   CJNE  R1,#00H,START
        MOV   A,36H
        CJNE  A,#08H,RNG8
        SETB  P1.4
        ACALL DELAY
        CLR   P1.4
ADDR:   MOV   R3,#00H
        MOV   R4,#00H
        MOV   IE,#0F0H
SET:    MOV   TCON,#00H
        ACALL CHKSTD
CODE1:  MOV   P1,#0AFH
        MOV   A,P1
        ANL   A,#0FH
        CJNE  A,#0AH,ST
Z1:     JNB   P1.5,CB1
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
                AJMP    Z1
CB1:            INC     R4
                ACALL   CHKSTD
CODE2:          MOV     P1,#0AFH
                MOV     A,P1
                ANL     A,#0FH
                CJNE    A,#0AH,PASS
                SETB    P1.6
                ACALL   DELAY60
                CLR     P1.6
                AJMP    START
PASS:           CJNE    A,#01H,ST
Z2:             JNB     P1.5,CB2
                AJMP    Z2
CB2:            INC     R4
                AJMP    HP
ST:             AJMP    START
HP:             ACALL   CHKSTD
CODE3:          MOV     P1,#0AFH
                MOV     A,P1
                ANL     A,#0FH
                CJNE    A,#0BH,CC
                AJMP    HP
CC:             CJNE    A,#0CH,CHKO
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
                AJMP    HP
CHKO:           CJNE    A,#0AH,CD3
                MOV     A,#00H
CD3:            MOV     B,A
                MOV     A,#0AH
                MUL     AB
                MOV     34H,A
Z3:             JNB     P1.5,CB3
                AJMP    Z3
CB3:            INC     R4
RT:             ACALL   CHKSTD
CODE4:          MOV     P1,#0AFH
                MOV     A,P1
                ANL     A,#0FH
                CJNE    A,#0BH,CHC
                INC     R3
                CJNE    R3,#02H,RT
                MOV     R4,#02H
                AJMP    HP
CHC:            CJNE    A,#0CH,CHO
                MOV     R4,#02H
                AJMP    HP
CHO:            CJNE    A,#0AH,CD4
                MOV     A,#00H
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
CD4:    ADD     A,34H
        MOV     35H,A
Z4:     JNB     P1.5,CB4
        AJMP    Z4
CB4:    INC     R4
RC:     ACALL   CHKSTD
CODE5:  MOV     P1,#0AFH
        MOV     A,P1
        ANL     A,#0FH
        CJNE    A,#0BH,CHC3
        INC     R3
        CJNE    R3,#02H,RC
        MOV     R4,#02H
        AJMP    HP
CHC3:   CJNE    A,#0CH,REP
Z5:     JNB     P1.5,CB5
        AJMP    Z5
CB5:    INC     R4
        AJMP    ROF
REP:    AJMP    HP
ROF:    ACALL   CHKSTD
CODE6:  MOV     P1,#0AFH
        MOV     A,P1
        ANL     A,#0FH
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
        CJNE    A,#0BH,CK0
        INC     R3
        CJNE    R3,#02H,ROF
        MOV     R4,#02H
        AJMP    HP
CK0:    CJNE    A,#0AH,CHK1
        MOV     R1,#7EH
        AJMP    DATA
CHK1:   CJNE    A,#01H,REP2
        MOV     R1,#01H
        AJMP    DATA
REP2:   AJMP    ROF
DATA:   MOV     PCON,#00H
        MOV     IE,0F0H
        MOV     SCON,#0C2H
        MOV     TMOD,#20H
        MOV     TCON,#0D2H
        MOV     TH1,#0FBH
        SETB    TR1
        MOV     A,35H
        SETB    ACC.7
        ACALL   SEND
        MOV     A,R1
        ACALL   SEND
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
        MOV     A,35H
        SETB    ACC.7
        ACALL   SEND
        MOV     A,#00H
        ACALL   SEND
        MOV     R4,#02H
        ACALL   CHKSTD
SEND:   MOV     C,P
        MOV     TB8,C
        JNB     T1,SEND
        CLR     T1
        MOV     SBUF,A
        ACALL   DELAY
        SETB    T1
        RET
CHKSTD: MOV     R5,#0FFH
        MOV     R6,#0FFH
        MOV     R7,#3BH
COUNT:  JB      P1.5,STD
        DJNZ    R5,COUNT
        MOV     R5,#0FFH
        DJNZ    R6,COUNT
        MOV     R5,#0FFH
        MOV     R6,#0FFH
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
                DJNZ    R7,COUNT
                JB      P1.5,STD
                AJMP    START
STD:            MOV     A,R4
                CJNE    A,#00H,CJ1
                AJMP    CODE1
CJ1:            CJNE    A,#01H,CJ2
                AJMP    CODE2
CJ2:            CJNE    A,#02H,CJ3
                AJMP    CODE3
CJ3:            CJNE    A,#03H,CJ4
                AJMP    CODE4
CJ4:            CJNE    A,#04H,CJ5
                AJMP    CODE5
CJ5:            CJNE    A,#05H,CJ6
                AJMP    CODE6
CJ6:            AJMP    CODE3
                RET
DELAY:          MOV     R5,#0FFH
                MOV     R6,#0FFH
                MOV     R7,#01H
DEL:            DJNZ    R5,DEL
                MOV     R5,#0FFH
                DJNZ    R6,DEL
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

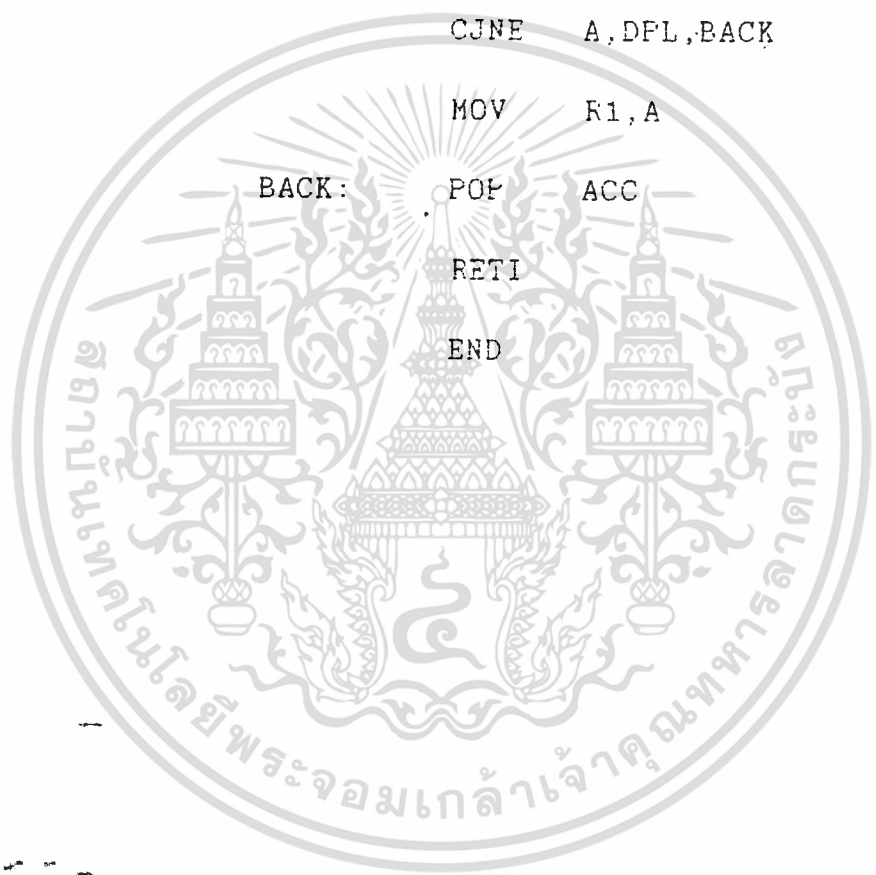
```
                MOV     R5,#0FFH
                MOV     R6,#0FFH
                DJNZ    R7,DEL
                MOV     R7,#3BH
                MOV     R5,#0FFH
                MOV     R6,#0FFH
                RET
DELAY1:         MOV     R5,#0FFH
                MOV     R6,#0FFH
                MOV     R7,#04H
DEL1:           DJNZ    R5,DEL1
                MOV     R5,#0FFH
                DJNZ    R6,DEL1
                MOV     R5,#0FFH
                MOV     R6,#0FFH
                DJNZ    R7,DEL1
                MOV     R7,#3BH
                MOV     R5,#0FFH
                MOV     R6,#0FFH
                RET
DELAY60:        MOV     R5,#0FFH
                MOV     R6,#0FFH
                MOV     R7,#0FFH
DEL60:          DJNZ    R5,DEL60
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
        MOV     R5,#0FFH
        DJNZ    R6,DEL60
        MOV     R5,#0FFH
        MOV     R6,#0FFH
        DJNZ    R7,DEL60
        MOV     R5,#0FFH
        MOV     R6,#0FFH
        MOV     R7,#3BH
        RET
        ORG     0200H
ISTF0:  PUSH    ACC
        CLR     TR0
        INC     36H
        MOV     TH0,#0FFH
        MOV     TL0,#0FFH
        MOV     A,36H
        CJNE    A,#08H,OUT
        ACALL   DELAY1
        SETB    P1.7
        CLR     TR1
        AJMP    OUT2
OUT:    ACALL   DELAY1
        SETB    TR0
OUT2:   POP     ACC
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
                RETI
ISTF1:          PUSH    ACC
                MOV     A,#01H
                INC     DPTR
                CJNE    A,DPH,BACK
                MOV     A,#50H
                CJNE    A,DPL,BACK
                MOV     R1,A
BACK:           POP     ACC
                RETI
                END
```



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# ภาคผนวก ข

DATA SHEET

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# ISO²-CMOS MT8870C/MT8870C-1
# Integrated DTMF Receiver

9161-002 094-NA ISSUE 1 November 1987

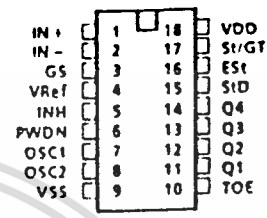
## Features

- Complete DTMF Receiver
- Low Power Consumption
- Internal Gain Setting Amplifier
- Adjustable Guard Time
- Central Office Quality
- Power-down Mode
- Inhibit Mode

## Applications

- Receiver System for British Telecom (BT) or CEPT Spec (MT8870C-1)
- Paging Systems
- Repeater Systems/Mobile Radio
- Credit Card Systems
- Remote Control
- Personal Computers
- Telephone Answering Machine

## Pin Connections




## Ordering Information

MT8870CE/MT8870CE-1 Plastic DIP
MT8870CC/MT8870CC-1 Cerdip
MT8870CS/MT8870CS-1 SOIC
−40 °C to +85 °C

## Description

The MT8870C/MT8870C-1 is a complete DTMF receiver integrating both the bandsplit filter and digital decoder functions, fabricated in Mitel's double poly ISO²-CMOS technology. The filter section uses switched capacitor techniques for high and low group filters; the decoder uses digital counting techniques to detect and decode all 16 DTMF tone-pairs into a 4-bit code. External component count is minimized by on chip provision of a differential input amplifier, clock oscillator and latched three-state bus interface.

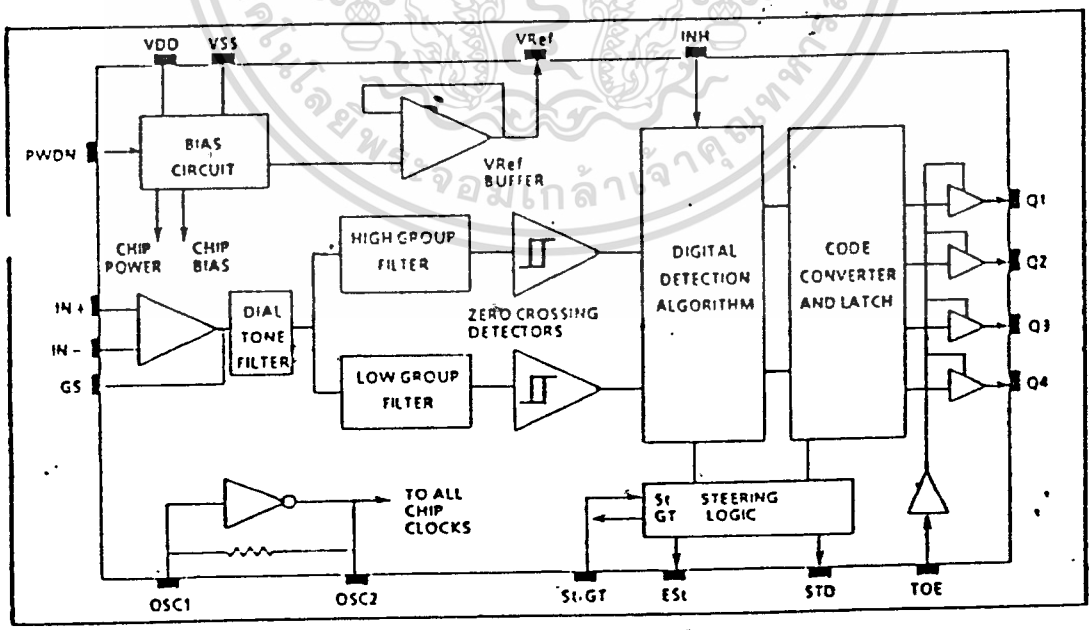



Figure 1 - Functional Block Diagram



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

## Absolute Maximum Ratings*

| | Parameter | Symbol | Min | Max | Units |
|---|---|---|---|---|---|
| 1 | DC Power Supply Voltage | $V_{DD}$ | | 6 | V |
| 2 | Voltage on any pin | $V_I$ | $V_{SS}-0.3$ | $V_{DD}+0.3$ | V |
| 3 | Current at any pin (other than supply) | $I_I$ | | 10 | mA |
| 4 | Storage temperature | $T_{STG}$ | −65 | +150 | °C |
| 5 | Package power dissipation | $P_D$ | | 1000 | mW |

*Exceeding these values may cause permanent damage. Functional operation under these conditions is not implied.
Derate above 75 °C at 16 mW / °C. All leads soldered to board

## Recommended Operating Conditions - Voltages are with respect to ground ($V_{SS}$) unless otherwise stated

| | Parameter | Sym | Min | Typ† | Max | Units | Test Conditions |
|---|---|---|---|---|---|---|---|
| 1 | DC Power Supply Voltage | $V_{DD}$ | 4.75 | 5.0 | 5.25 | V | |
| 2 | Operating Temperature | $T_O$ | −40 | | +85 | °C | |
| 3 | Crystal/Clock Frequency | fc | | 3.579545 | | MHz | |
| 4 | Crystal/Clock Freq. Tolerance | Δfc | | ±0.1 | | % | |

† Typical figures are at 25 C and are for design aid only: not guaranteed and not subject to production testing

## DC Electrical Characteristics - $V_{DD}$ = 5.0V ± 5%, $V_{SS}$ = 0V, -40°C ≤ $T_O$ ≤ +85°C, unless otherwise stated

| | | Characteristics | Sym | Min | Typ† | Max | Units | Test Conditions |
|---|---|---|---|---|---|---|---|---|
| 1 | SUPPLY | Standby supply current | $I_{DDQ}$ | | | 100 | μA | PWDN = $V_{DD}$ |
| 2 | | Operating supply current | $I_{DD}$ | | 3.0 | 9.0 | mA | |
| 3 | | Power consumption | $P_O$ | | 15 | 50 | mW | fc = 3.579545 MHz |
| 4 | INPUTS | High level input | $V_{IH}$ | 3.5 | | | V | $V_{DD}$ = 5.0V |
| 5 | | Low level input voltage | $V_{IL}$ | | | 1.5 | V | $V_{DD}$ = 5.0V |
| 6 | | Input leakage current | $I_{IH}/I_{IL}$ | | 0.1 | | μA | $V_{IN}$ = $V_{SS}$ or $V_{DD}$ |
| 7 | | Pull up (source) current | $I_{SO}$ | | 7.5 | 20 | μA | TOE (pin 10) = 0, $V_{DD}$ = 5.0V |
| 8 | | Pull down (sink) current | $I_{SI}$ | | 15 | 45 | μA | INH = 5.0V, PWDN = 5.0V, $V_{DD}$ = 5.0V |
| 9 | | Input impedance (IN+, IN−) | $R_{IN}$ | | 10 | | MΩ | @ 1 kHz |
| 10 | | Steering threshold voltage | $V_{TSt}$ | 2.2 | | 2.5 | V | $V_{DD}$ = 5.0V |
| 11 | OUTPUTS | Low level output voltage | $V_{OL}$ | | | $V_{SS}$ + 0.03 | V | No load |
| 12 | | High level output voltage | $V_{OH}$ | $V_{DD}$ - 0.03 | | | V | No load |
| 13 | | Output low (sink) current | $I_{OL}$ | 1.0 | 2.5 | | mA | $V_{OUT}$ = 0.4 V |
| 14 | | Output high (source) current | $I_{OH}$ | 0.4 | 0.8 | | mA | $V_{OUT}$ = 4.6 V |
| 15 | | $V_{Ref}$ output voltage | $V_{Ref}$ | 2.4 | | 2.7 | V | No load, $V_{DD}$ = 5.0V |
| 16 | | $V_{Ref}$ output resistance | $R_{OR}$ | | 10 | | kΩ | |

† Typical figures are at 25 C and are for design aid only: not guaranteed and not subject to production testing

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## Operating Characteristics - $V_{DD}$ = 5.0V ±5%, $V_{SS}$ = 0V, -40°C ≤ $T_O$ ≤ +85°C, unless otherwise stated.

### Gain Setting Amplifier

| | Characteristics | Sym | Min | Typ† | Max | Units | Test Conditions |
|---|---|---|---|---|---|---|---|
| 1 | Input leakage current | $I_{IN}$ | | | 100 | nA | $V_{SS} \le V_{IN} \le V_{DD}$ |
| 2 | Input resistance | $R_{IN}$ | 10 | | | MΩ | |
| 3 | Input offset voltage | $V_{OS}$ | | | 25 | mV | |
| 4 | Power supply rejection | PSRR | 50 | | | dB | 1 kHz |
| 5 | Common mode rejection | CMRR | 40 | | | dB | $-3.0V \le V_{IN} \le 3.0V$ |
| 6 | DC open loop voltage gain | $A_{VOL}$ | 32 | | | dB | |
| 7 | Unity gain bandwidth | $f_C$ | 0.30 | | | MHz | |
| 8 | Output voltage swing | $V_O$ | 4.0 | | | $V_{pp}$ | Load ≥ 100 kΩ to $V_{SS}$ |
| 9 | Maximum capacitive load (GS) | $C_L$ | | | 100 | pF | |
| 10 | Maximum resistive load (GS) | $R_L$ | | | 50 | kΩ | |
| 11 | Common mode range | $V_{CM}$ | 2.5 | | | $V_{pp}$ | No Load |

## MT8870C AC Electrical Characteristics* - $V_{DD}$ = 5.0V ±5%, $V_{SS}$ = 0V, -40°C ≤ $T_O$ ≤ +85°C, using Test Circuit shown in Figure 2.

| | Characteristics | Sym | Min | Typ† | Max | Units | Notes* |
|---|---|---|---|---|---|---|---|
| 1 | Valid input signal levels (each tone of composite signal) | | -29 | | | dBm | 1,2,3,5,6,9 |
| | | | -27.5 | | | $mV_{RMS}$ | 1,2,3,5,6,9 |
| | | | | | +1 | dBm | 1,2,3,5,6,9 |
| | | | | | 869 | $mV_{RMS}$ | 1,2,3,5,6,9 |
| 2 | Negative twist accept | | | | 6 | dB | 2, 3, 6, 9 |
| 3 | Positive twist accept | | | | 6 | dB | 2, 3, 6, 9 |
| 4 | Frequency deviation accept | | ±1.5% ± 2 Hz | | | | 2, 3, 5, 9 |
| 5 | Frequency deviation reject | | ±3.5% | | | | 2, 3, 5, 9 |
| 6 | Third tone tolerance | | | -16 | | dB | 2, 3, 4, 5, 9, 10 |
| 7 | Noise tolerance | | | -12 | | dB | 2, 3, 4, 5, 7, 9, 10 |
| 8 | Dial tone tolerance | | | +22 | | dB | 2, 3, 4, 5, 8, 9, 11 |

†Typical figures are at 25°C and are for design aid only: not guaranteed and not subject to production testing.

*NOTES

1. dBm = decibels above or below a reference power of 1 mW into a 600 ohm load.
2. Digit sequence consists of all DTMF tones.
3. Tone duration = 40 ms, tone pause = 40 ms
4. Signal condition consists of nominal DTMF frequencies.
5. Both tones in composite signal have an equal amplitude
6. Tone pair is deviated by ±1.5% ± 2 Hz.
7. Bandwidth limited (3 kHz) Gaussian noise.
8. The precise dial tone frequencies are (350 Hz and 440 Hz) ± 2%.
9. For an error rate of better than 1 in 10,000.
10. Referenced to lowest level frequency component in DTMF signal.
11. Referenced to the minimum valid accept level.
12. For guard time calculation purposes.



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

## MT8870C-1 AC Electrical Characteristics[1] - $V_{DD}$ = 5.0V ± 5%, $V_{SS}$ = 0V, -40°C ≤ $T_O$ ≤ +85°C, using Test Circuit shown in Figure 2.

| | Characteristics | Sym | Min | Typ[1] | Max | Units | Notes[*] |
|---|---|---|---|---|---|---|---|
| 1 | Valid input signal levels (each tone of composite signal) | | -31 | | +1 | dBm | $V_{DD}$ = 5.0V 1,2,3,5,6,9 |
| | | | 21.8 | | 869 | $mV_{RMS}$ | |
| 2 | Input Signal Level Reject | | -37 | | | dBm | $V_{DD}$ = 5.0V 1,2,3,5,6,9 |
| | | | 10.9 | | | $mV_{RMS}$ | |
| 3 | Negative twist accept | | | | 6 | dB | 2, 3, 6, 9 |
| 4 | Positive twist accept | | | | 6 | dB | 2, 3, 6, 9 |
| 5 | Frequency deviation accept | | ± 1.5% ± 2 Hz | | | | 2, 3, 5, 9 |
| 6 | Frequency deviation reject | | ± 3.5% | | | | 2, 3, 5, 9 |
| 7 | Third tone tolerance | | -18.5 | | | dB | 2, 3, 4, 5, 9, 13 |
| 8 | Noise tolerance | | | -12 | | dB | 2, 3, 4, 5, 7, 9, 10 |
| 9 | Dial tone tolerance | | | +22 | | dB | 2, 3, 4, 5, 8, 9, 11 |

[1]Typical figures are at 25°C and are for design aid only: not guaranteed and not subject to production testing.

[*]NOTES

1 dBm = decibels above or below a reference power of 1 mW into a 600 ohm load.
2 Digit sequence consists of all DTMF tones.
3 Tone duration = 40 ms, tone pause = 40 ms.
4 Signal condition consists of nominal DTMF frequencies.
5 Both tones in composite signal have an equal amplitude.
6 Tone pair is deviated by ± 1.5 % ± 2 Hz.
7 Bandwidth limited (3 kHz) Gaussian noise.
8 The precise dial tone frequencies are (350 Hz and 440 Hz) ± 2 %.
9 For an error rate of better than 1 in 10,000.
10 Referenced to lowest level frequency component in DTMF signal.
11 Referenced to the minimum valid accept level.
12 For guard time calculation purposes.
13 Referenced to Fig. 10 input DTMF tone level at -25dBm (-28dBm at GS Pin) interference frequency range between 480 3400Hz.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## AC Electrical Characteristics - $V_{DD}$ = 5.0V ± 5%, $V_{SS}$ = 0V, -40°C ≤ To ≤ +85°C, using Test Circuit shown in Figure 2.

| | | Characteristics | Sym | Min | Typ† | Max | Units | Conditions |
|---|---|---|---|---|---|---|---|---|
| 1 | TIMING | Tone present detect time | $t_{DP}$ | 5 | 11 | 14 | ms | Note 12 |
| 2 | | Tone absent detect time | $t_{DA}$ | 0.5 | 4 | 8.5 | ms | Note 12 |
| 3 | | Tone duration accept | $t_{REC}$ | | | 40 | ms | User adjustable |
| 4 | | Tone duration reject | $\overline{t_{REC}}$ | 20 | | | ms | User adjustable |
| 5 | | Interdigit pause accept | $t_{ID}$ | | | 40 | ms | User adjustable |
| 6 | | Interdigit pause reject | $t_{DO}$ | 20 | | | ms | User adjustable |
| 7 | OUTPUTS | Propagation delay (St to Q) | $t_{PQ}$ | | 8 | 11 | µs | TOE = $V_{DD}$ |
| 8 | | Propagation delay (St to StD) | $t_{PStD}$ | | 12 | 16 | µs | TOE = $V_{DD}$ |
| 9 | | Output data set up ( Q to StD) | $t_{QStD}$ | | 3.4 | | µs | TOE = $V_{DD}$ |
| 10 | | Propagation delay (TOE to Q ENABLE) | $t_{PTE}$ | | 50 | | ns | load of 10 kΩ, 50 pF |
| 11 | | Propagation delay (TOE to Q DISABLE) | $t_{PTD}$ | | 300 | | ns | load of 10 kΩ, 50 pF |
| 12 | CLOCK | Crystal /clock frequency | $f_C$ | 3.5759 | 3.5795 | 3.5831 | MHz | |
| 13 | | Clock input rise time | $t_{LHCL}$ | | | 110 | ns | Ext. clock |
| 14 | | Clock input fall time | $t_{HLCL}$ | | | 110 | ns | Ext. clock |
| 15 | | Clock input duty cycle | $DC_{CL}$ | 40 | 50 | 60 | % | Ext. clock |
| 16 | | Capacitive load (OSC2) | $C_{LO}$ | | | 30 | pF | |

† Typical figures are at 25°C and are for design aid only: not guaranteed and not subject to production testing.

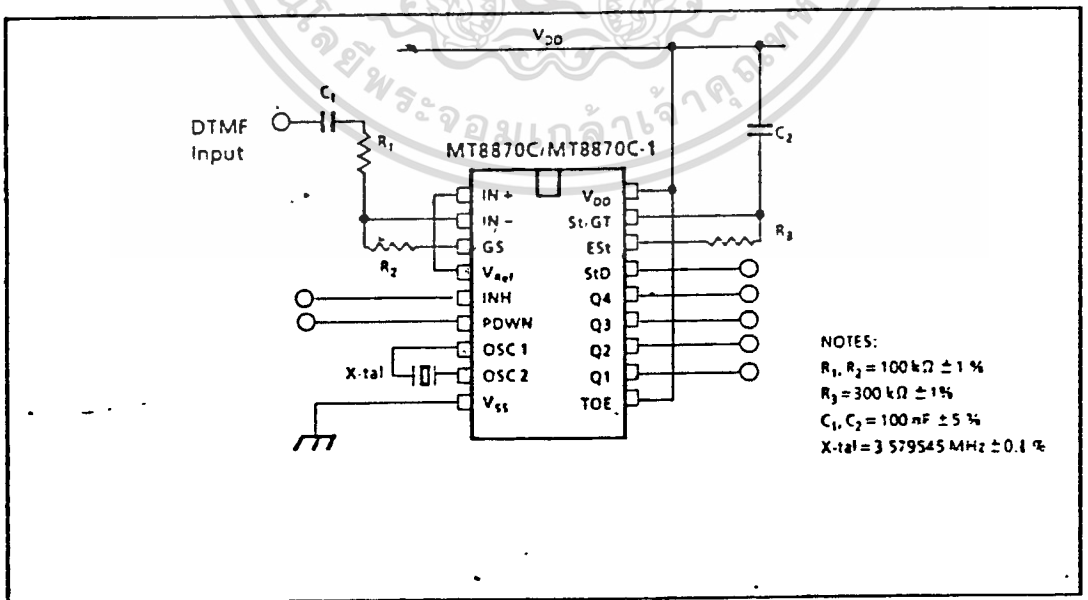



Figure 2 - Single-Ended Input Configuration

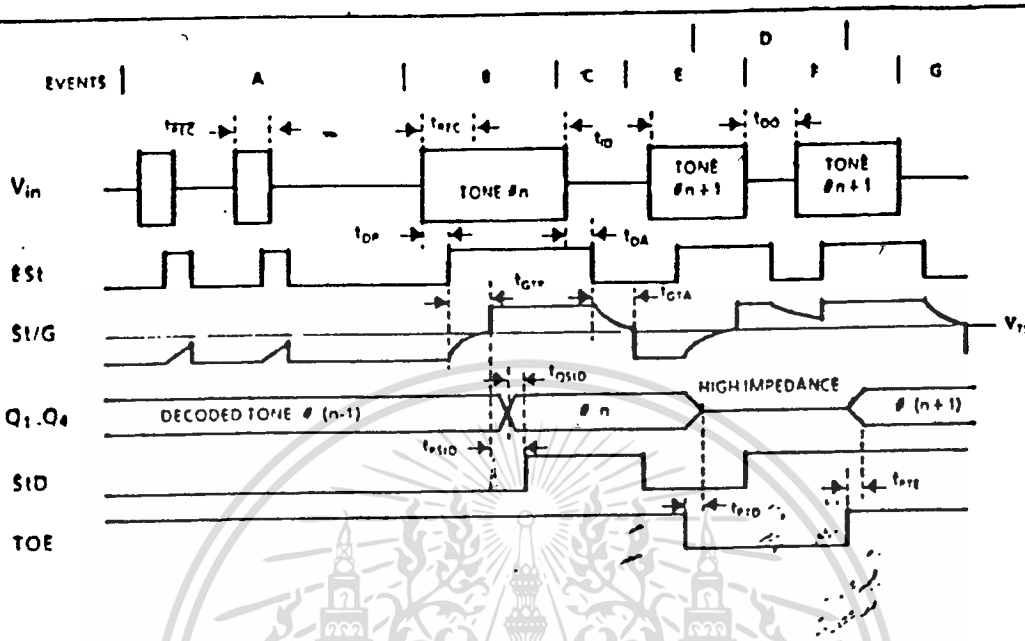


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

## Pin Description

| Pin # | Name | Description |
|---|---|---|
| 1 | IN+ | Non-Inverting Op-Amp (Input). |
| 2 | IN− | Inverting Op Amp (Input). |
| 3 | GS | Gain Select. Gives access to output of front end differential amplifier for connection of feedback resistor. |
| 4 | $V_{Ref}$ | Reference Voltage (Output). Nominally $V_{DD}/2$ is used to bias inputs at mid-rail (see Fig.2). |
| 5 | INH | Inhibit (Input). Logic high inhibits the detection of tones representing characters A, B, C and D. This pin input is internally pulled down. |
| 6 | PWDN | Power Down (Input). Active high. Powers down the device and inhibits the oscillator. This pin input is internally pulled down. |
| 7 | OSC1 | Clock (Input). |
| 8 | OSC2 | Clock (Output) A 3.579545 MHz crystal connected between pins OSC1 and OSC2 completes the internal oscillator circuit. |
| 9 | $V_{SS}$ | Negative Power Supply (Input). |
| 10 | TOE | Three State Output Enable (Input). Logic high enables the outputs Q1-Q4 This pin is pulled up internally. |
| 11-14 | Q1-Q4 | Three State Data (Output). When enabled by TOE, provide the code corresponding to the last valid tone-pair received (see Table 1) When TOE is logic low, the data outputs are high impedance. |
| 15 | StD | Delayed Steering (Output). Presents a logic high when a received tone-pair has been registered and the output latch updated; returns to logic low when the voltage on St/GT falls below $V_{TSt}$. |
| 16 | ESt | Early Steering (Output). Presents a logic high once the digital algorithm has detected a valid tone pair (signal condition). Any momentary loss of signal condition will cause ESt to return to a logic low. |
| 17 | St/GT | Steering Input/Guard time (Output) Bidirectional. A voltage greater than $V_{TSt}$ detected at St causes the device to register the detected tone pair and update the output latch. A voltage less than $V_{TSt}$ frees the device to accept a new tone pair. The GT output acts to reset the external steering time-constant; its state is a function of ESt and the voltage on St. |
| 18 | $V_{DD}$ | Positive power supply (Input). |

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้




EXPLANATION OF EVENTS

A) TONE BURSTS DETECTED, TONE DURATION INVALID, OUTPUTS NOT UPDATED.
B) TONE #n DETECTED, TONE DURATION VALID, TONE DECODED AND LATCHED IN OUTPUTS.
C) END OF TONE #n DETECTED, TONE ABSENT DURATION VALID, OUTPUTS REMAIN LATCHED UNTIL NEXT VALID TONE.
D) OUTPUTS SWITCHED TO HIGH IMPEDANCE STATE.
E) TONE #n+1 DETECTED, TONE DURATION VALID, TONE DECODED AND LATCHED IN OUTPUTS (CURRENTLY HIGH IMPEDANCE)
F) ACCEPTABLE DROPOUT OF TONE #n+1, TONE ABSENT DURATION INVALID, OUTPUTS REMAIN LATCHED.
G) END OF TONE #n+1 DETECTED, TONE ABSENT DURATION VALID, OUTPUTS REMAIN LATCHED UNTIL NEXT VALID TONE.

EXPLANATION OF SYMBOLS

$V_{in}$ DTMF COMPOSITE INPUT SIGNAL
ESt EARLY STEERING OUTPUT. INDICATES DETECTION OF VALID TONE FREQUENCIES.
St/GT STEERING INPUT/GUARD TIME OUTPUT. DRIVES EXTERNAL RC TIMING CIRCUIT.
$Q_1$-$Q_4$ 4 BIT DECODED TONE OUTPUT
StD DELAYED STEERING OUTPUT. INDICATES THAT VALID FREQUENCIES HAVE BEEN PRESENT/ABSENT FOR THE REQUIRED GUARD TIME THUS CONSTITUTING A VALID SIGNAL.
TOE TONE OUTPUT ENABLE (INPUT) A LOW LEVEL SHIFTS $Q_1$ $Q_4$ TO ITS HIGH IMPEDANCE STATE.
$t_{REC}$ MAXIMUM DTMF SIGNAL DURATION NOT DETECTED AS VALID
$t_{REC}$ MINIMUM DTMF SIGNAL DURATION REQUIRED FOR VALID RECOGNITION.
$t_{ID}$ MINIMUM TIME BETWEEN VALID DTMF SIGNALS.
$t_{DO}$ MAXIMUM ALLOWABLE DROP OUT DURING VALID DTMF SIGNAL
$t_{DP}$ TIME TO DETECT THE PRESENCE OF VALID DTMF SIGNALS
$t_{DA}$ TIME TO DETECT THE ABSENCE OF VALID DTMF SIGNALS.
$t_{GTP}$ GUARD TIME, TONE PRESENT.
$t_{GTA}$ GUARD TIME, TONE ABSENT

Figure 3- Timing Diagram



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

## Functional Description

The MT8870C/MT8870C-1 monolithic DTMF receiver offers small size, low power consumption and high performance. Its architecture consists of a bandsplit filter section, which separates the high and low group tones, followed by a digital counting section which verifies the frequency and duration of the received tones before passing the corresponding code to the output bus.

### Filter Section

Separation of the low-group and high group tones is achieved by applying the DTMF signal to the inputs of two sixth-order switched capacitor bandpass filters, the bandwidths of which correspond to the low and high group frequencies. The filter section also incorporates notches at 350 and 440 Hz for exceptional dial tone rejection (see Figure 4). Each filter output is followed by a single order switched capacitor filter section which smooths the signals prior to limiting. Limiting is performed by high-gain comparators which are provided with hysteresis to prevent detection of unwanted low-level signals. The outputs of the comparators provide full rail logic swings at the frequencies of the incoming DTMF signals.

### Decoder Section

Following the filter section is a decoder employing digital counting techniques to determine the frequencies of the incoming tones and to verify that they correspond to standard DTMF frequencies. A complex averaging algorithm protects against tone simulation by extraneous signals such as voice while providing tolerance to small frequency deviations and variations. This averaging algorithm has been developed to ensure an optimum combination of immunity to talk-off and tolerance to the presence of interfering frequencies (third tones) and noise. When the detector recognizes the presence of two valid tones (this is referred to as the "signal condition" in some industry specifications) the "Early Steering" (ESt) output will go to an active state. Any subsequent loss of signal condition will cause ESt to assume an inactive state (see "Steering Circuit").

### Steering Circuit

Before registration of a decoded tone pair, the receiver checks for a valid signal duration (referred to as character recognition condition). This check is performed by an external RC time constant driven by ESt. A logic high on ESt causes $v_c$ (see Figure 5) to rise as the capacitor discharges. Provided signal condition is maintained (ESt remains high) for the validation period ($t_{GTP}$), $v_c$ reaches the threshold ($V_{TSt}$) of the steering logic to register the tone pair, latching its corresponding 4-bit code (see Table 1) into the output latch. At this point the GT output is activated and drives $v_c$ to $V_{DD}$. GT continues to drive high as long as ESt remains high. Finally, after a short delay to allow the output latch to settle, the delayed steering output flag (StD) goes high, signalling that a received tone pair has been registered. The contents of the output latch are made available on the 4-bit output bus by raising the three state control input (TOE) to a logic high. The steering circuit works in reverse to validate

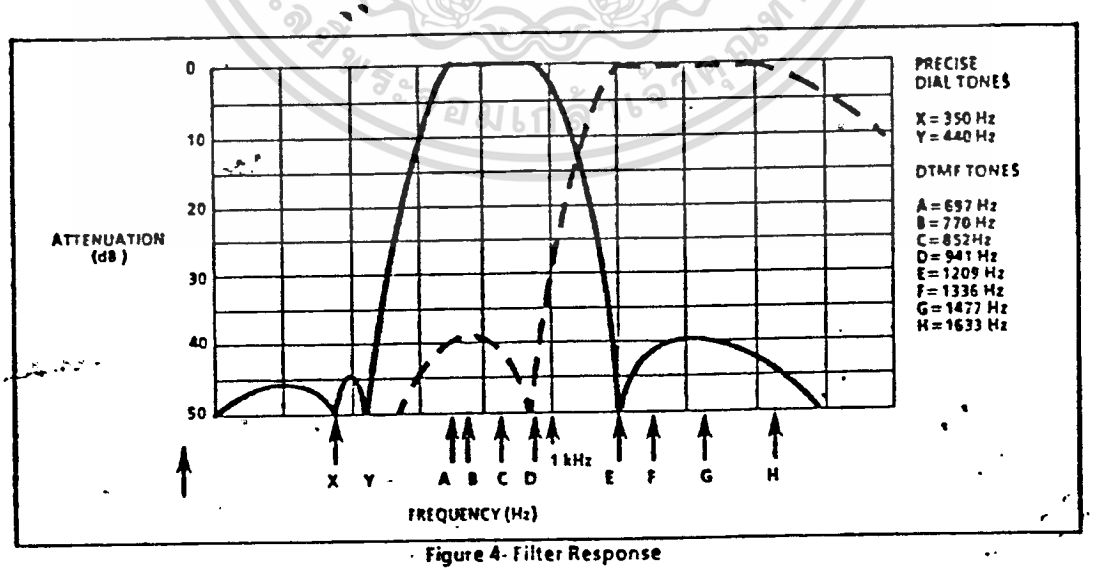



Figure 4- Filter Response



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

| Digit | TOE | INH | EST | $Q_4$ | $Q_3$ | $Q_2$ | $Q_1$ |
|---|---|---|---|---|---|---|---|
| ANY | L | X | - | Z | Z | Z | Z |
| 1 | H | L | H | 0 | 0 | 0 | 1 |
| 2 | H | L | H | 0 | 0 | 1 | 0 |
| 3 | H | L | H | 0 | 0 | 1 | 1 |
| 4 | H | L | H | 0 | 1 | 0 | 0 |
| 5 | H | L | H | 0 | 1 | 0 | 1 |
| 6 | H | L | H | 0 | 1 | 1 | 0 |
| 7 | H | L | H | 0 | 1 | 1 | 1 |
| 8 | H | L | H | 1 | 0 | 0 | 0 |
| 9 | H | L | H | 1 | 0 | 0 | 1 |
| 0 | H | L | H | 1 | 0 | 1 | 0 |
| * | H | L | H | 1 | 0 | 1 | 1 |
| # | H | L | H | 1 | 1 | 0 | 0 |
| A | H | L | H | 1 | 1 | 0 | 1 |
| B | H | L | H | 1 | 1 | 1 | 0 |
| C | H | L | H | 1 | 1 | 1 | 1 |
| D | H | L | H | 0 | 0 | 0 | 0 |
| 1 | H | H | H | 0 | 0 | 0 | 1 |
| 2 | H | H | H | 0 | 0 | 1 | 0 |
| 3 | H | H | H | 0 | 0 | 1 | 1 |
| 4 | H | H | H | 0 | 1 | 0 | 0 |
| 5 | H | H | H | 0 | 1 | 0 | 1 |
| 6 | H | H | H | 0 | 1 | 1 | 0 |
| 7 | H | H | H | 0 | 1 | 1 | 1 |
| 8 | H | H | H | 1 | 0 | 0 | 0 |
| 9 | H | H | H | 1 | 0 | 0 | 1 |
| 0 | H | H | H | 1 | 0 | 1 | 0 |
| * | H | H | H | 1 | 0 | 1 | 1 |
| # | H | H | H | 1 | 1 | 0 | 0 |
| A | H | H | L | undetected, the output code will remain the same as the previous detected code | | | |
| B | H | H | L | | | | |
| C | H | H | L | | | | |
| D | H | H | L | | | | |

L = LOGIC LOW, H = LOGIC HIGH, Z = HIGH IMPEDANCE

Table 1 - Functional Decode Table

the interdigit pause between signals. Thus, as well as rejecting signals too short to be considered valid, the receiver will tolerate signal interruptions (dropout) too short to be considered a valid pause. This facility, together with the capability of selecting the steering time constants externally, allows the designer to tailor performance to meet a wide variety of system requirements.

### Guard Time Adjustment

In many situations not requiring selection of tone duration and interdigital pause, the simple steering circuit shown in Figure 5 is applicable. Component values are chosen according to the formula:

$$t_{REC} = t_{DP} + t_{GTP}$$
$$t_{ID} = t_{DA} + t_{GTA}$$

The value of $t_{DP}$ is a device parameter (see Figure 3) and $t_{REC}$ is the minimum signal duration to be recognized by the receiver. A value for C of 0.1 $\mu$F is recommended for most applications, leaving R to be selected by the designer.

Different steering arrangements may be used to select independently the guard times for tone present ($t_{GTP}$) and tone absent ($t_{GTA}$). This may be necessary to meet system specifications which place both accept and reject limits on both tone duration and interdigital pause. Guard time adjustment also allows the designer to tailor system parameters such as talk off and noise immunity. Increasing $t_{REC}$ improves talk-off performance since it reduces the probability that tones simulated by speech will maintain signal condition long enough to be registered. Alternatively, a relatively short $t_{REC}$ with a long $t_{DO}$ would be appropriate for extremely noisy environments where fast acquisition time and immunity to tone drop-outs are required. Design information for guard time adjustment is shown in Figure 6.

### Power-down and Inhibit Mode

A logic high applied to pin 6 (PWDN) will power down the device to minimize the power consumption in a standby mode. It stops the oscillator and the functions of the filters.

Inhibit mode is enabled by a logic high input to the pin 5 (INH). It inhibits the detection of tones representing characters A,B,C and D. The output code will remain the same as the previous detected code (see Table 1).

### Differential Input Configuration

The input arrangement of the MT8870C/MT8870C-1 provides a differential-input operational amplifier as well as a bias source($V_{Ref}$) which is used to bias the inputs at mid-rail. Provision is made for connection of a feedback resistor to the op-amp output (GS) for adjustment of gain. In a single-ended configuration, the input pins are connected as shown in Figure 2 with the op-amp connected for unity gain and $V_{Ref}$ biasing the input at $\frac{1}{2}V_{DD}$. Figure 7 shows the differential configuration, which permits the adjustment of gain with the feedback resistor $R_s$.



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

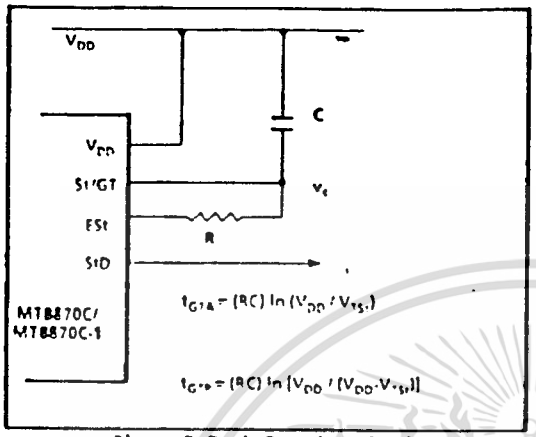



Figure 5- Basic Steering Circuit

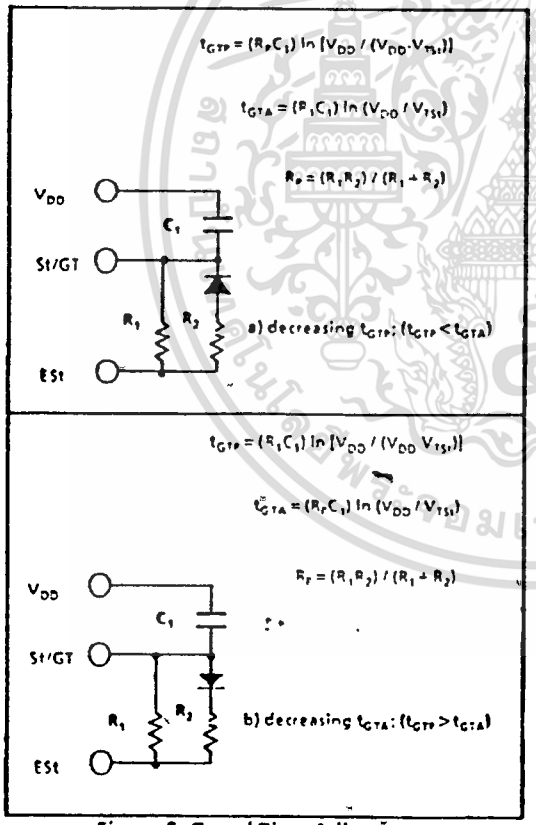



Figure 6- Guard Time Adjustment

## Crystal Oscillator

The internal clock circuit is completed with the addition of an external 3.579545 MHz crystal and is normally connected as shown in Figure 2 (Single Ended Input Configuration). However, it is possible to configure several MT8870C/MT8870C-1 devices employing only a single oscillator crystal. The oscillator output of the first device in the chain is coupled through a 30 pF capacitor to the oscillator input (OSC1) of the next device. Subsequent devices are connected in a similar fashion. Refer to Figure 8 for details. The problems associated with unbalanced loading are not a concern with the arrangement shown, ie; precision balancing capacitors are not required.

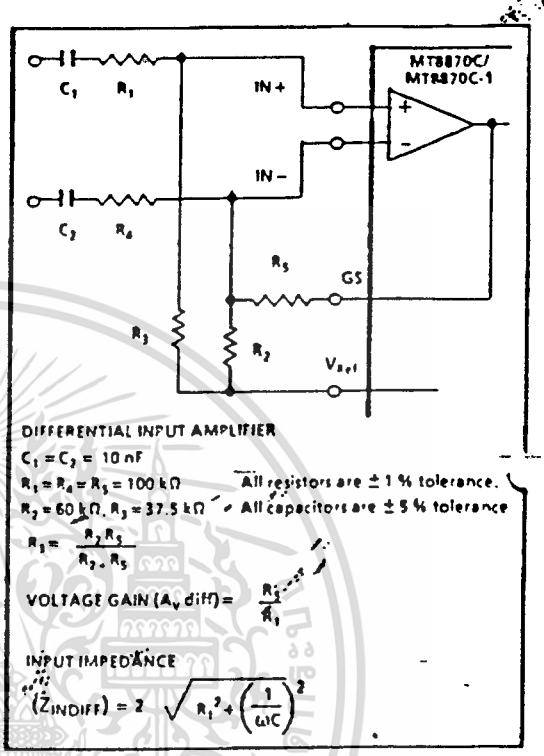



Figure 7- Differential Input Configuration

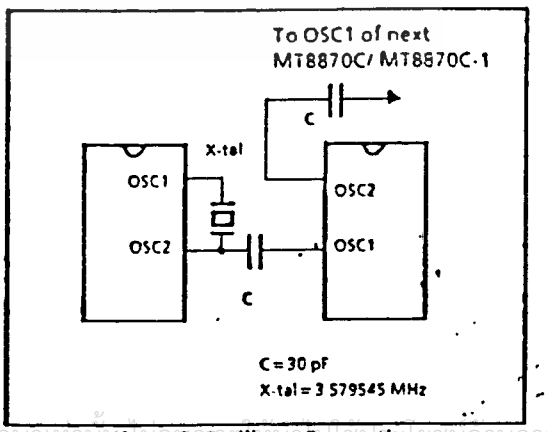



Figure 8- Oscillator Connection



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## APPLICATION

### RECEIVER SYSTEM FOR BRITISH TELECOM SPEC POR 1151

The circuit shown in Fig. 10 illustrates the use of MT8870C-1 device in a typical receiver system. BT Spec defines the input signals less than -34 dBm as the non-operate level. This condition can be attained by choosing a suitable values of $R_1$ and $R_2$ to provide 3 dB attenuation, such that -34 dBm input signal will correspond to -37 dBm at the gain setting pin GS of MT8870C-1. As shown in the diagram, the component values of $R_3$ and $C_2$ are the guard time requirements when the total component tolerance is 6%. For better performance, it is recommended to use the non-symmetric guard time circuit in Fig. 9.

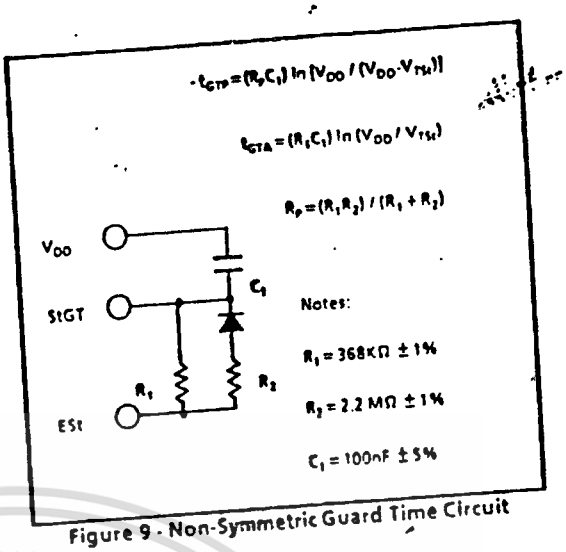



Figure 9 - Non-Symmetric Guard Time Circuit

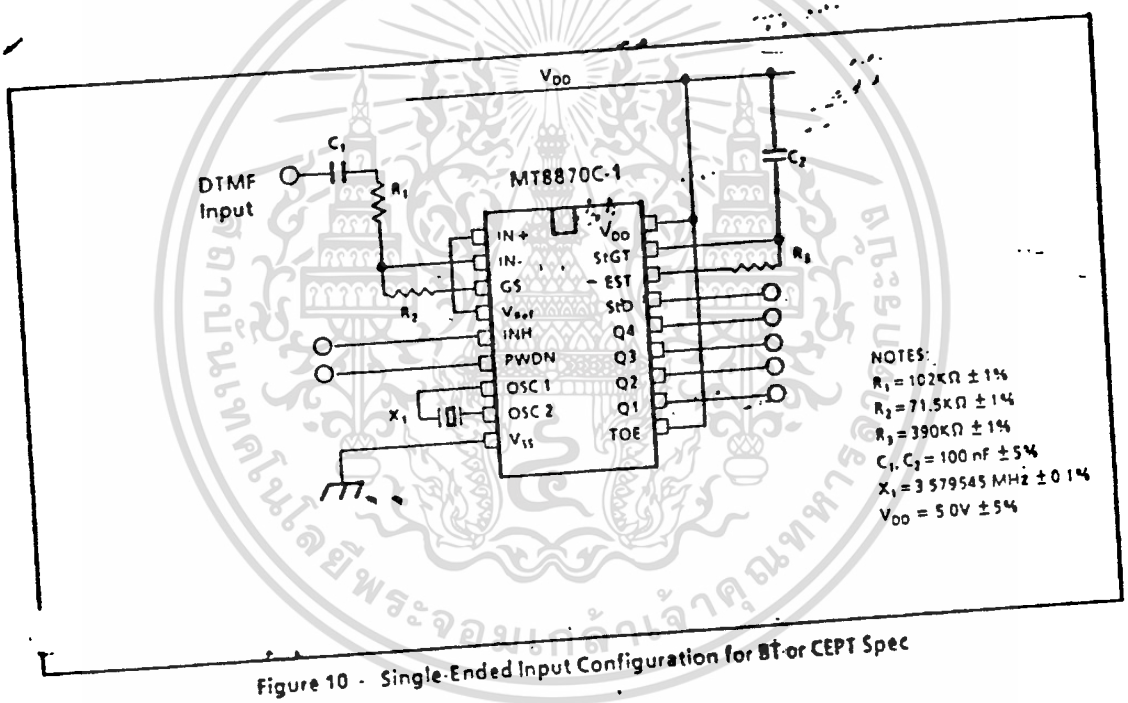



Figure 10 - Single-Ended Input Configuration for BT or CEPT Spec



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

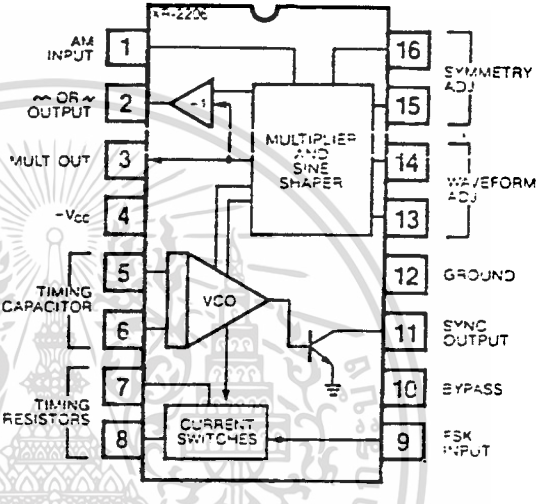
# Monolithic Function Generator

## GENERAL DESCRIPTION

The XR-2206 is a monolithic function generator integrated circuit capable of producing high quality sine, square, triangle, ramp, and pulse waveforms of high stability and accuracy. The output waveforms can be both amplitude and frequency modulated by an external voltage. Frequency of operation can be selected externally over a range of 0.01 Hz to more than 1 MHz.

The circuit is ideally suited for communications, instrumentation, and function generator applications requiring sinusoidal tone, AM, FM, or FSK generation. It has a typical drift specification of 20 ppm/°C. The oscillator frequency can be linearly swept over a 2000:1 frequency range, with an external control voltage, having a very small affect on distortion.

## FUNCTIONAL BLOCK DIAGRAM




## FEATURES

| | |
|---|---|
| Low Sine Wave Distortion | 0.5%, Typical |
| Excellent Temperature Stability | 20 ppm/°C, Typical |
| Wide Sweep Range | 2000:1, Typical |
| Low Supply Sensitivity | 0.01%/V, Typical |
| Linear Amplitude Modulation | |
| TTL Compatible FSK Controls | |
| Wide Supply Range | 10V to 26V |
| Adjustable Duty Cycle | 1% to 99% |

## ORDERING INFORMATION

| Part Number | Package | Operating Temperature |
|---|---|---|
| XR-2206M | Ceramic | −55°C to +125°C |
| XR-2206N | Ceramic | 0°C to +70°C |
| XR-2206P | Plastic | 0°C to +70°C |
| XR-2206CN | Ceramic | 0°C to +70°C |
| XR-2206CP | Plastic | 0°C to +70°C |

## APPLICATIONS

Waveform Generation
Sweep Generation
AM/FM Generation
V/F Conversion
FSK Generation
Phase-Locked Loops (VCO)

## SYSTEM DESCRIPTION

The XR-2206 is comprised of four functional blocks: a voltage-controlled oscillator (VCO), an analog multiplier and sine-shaper, a unity gain buffer amplifier, and a set of current switches.

The VCO actually produces an output frequency proportional to an input current, which is produced by a resistor from the timing terminals to ground. The current switches route one of the timing pins current to the VCO controlled by an FSK input pin, to produce an output frequency. With two timing pins, two discrete output frequencies can be independently produced for FSK Generation Applications.

## ABSOLUTE MAXIMUM RATINGS

| | |
|---|---|
| Power Supply | 26V |
| Power Dissipation | 750 mW |
| Derate Above 25°C | 5 mW/°C |
| Total Timing Current | 6 mA |
| Storage Temperature | −65°C to +150°C |



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

# XR-2206

## ELECTRICAL CHARACTERISTICS

**Test Conditions:** Test Circuit of Figure 1, $V^+ = 12V$, $T_A = 25°$, $C = 0.01\ \mu F$, $R_1 = 100\ k\Omega$, $R_2 = 10\ k\Omega$, $R_3 = 25\ k\Omega$ unless otherwise specified $S_1$ open for triangle, closed for sine wave.

| PARAMETERS | XR-2206M | | | XR-2206C | | | UNITS | CONDITIONS |
|---|---|---|---|---|---|---|---|---|
| | MIN | TYP | MAX | MIN | TYP | MAX | | |
| **GENERAL CHARACTERISTICS** | | | | | | | | |
| Single Supply Voltage | 10 | | 26 | 10 | | 26 | V | |
| Split-Supply Voltage | ±5 | | ±13 | ±5 | | ±13 | V | |
| Supply Current | | 12 | 17 | | 14 | 20 | mA | $R_1 \geq 10\ k\Omega$ |
| **OSCILLATOR SECTION** | | | | | | | | |
| Max. Operating Frequency | 0.5 | 1 | | 0.5 | 1 | | MHz | $C = 1000\ pF$, $R_1 = 1\ k\Omega$ |
| Lowest Practical Frequency | | 0.01 | | | 0.01 | | Hz | $C = 50\ \mu F$, $R_1 = 2\ M\Omega$ |
| Frequency Accuracy | | ±1 | ±4 | | ±2 | | % of $f_o$ | $f_o = 1/R_1C$ |
| Temperature Stability | | ±10 | ±50 | | ±20 | | ppm/°C | $0°C \leq T_A \leq 70°C$, |
| Supply Sensitivity | | 0.01 | 0.1 | | 0.01 | | %/V | $R_1 = R_2 = 20\ k\Omega$ $V_{LOW} = 10V$, $V_{HIGH} = 20V$, |
| Sweep Range | 1000:1 | 2000:1 | | | 2000:1 | | $f_H = f_L$ | $R_1 = R_2 = 20\ k\Omega$ $f_H$ @ $R_1 = 1\ k\Omega$ $f_L$ @ $R_1 = 2\ M\Omega$ |
| Sweep Linearity | | | | | | | | |
| 10:1 Sweep | | 2 | | | 2 | | % | $f_L = 1$ kHz, $f_H = 10$ kHz |
| 1000:1 Sweep | | 6 | | | 6 | | % | $f_L = 100$ kHz, $f_H = 100$ kHz |
| FM Distortion | | 0.1 | | | 0.1 | | % | ±10% Deviation |
| Recommended Timing Components | | | | | | | | |
| Timing Capacitor: C | 0.001 | | 100 | 0.001 | | 100 | µF | See Figure 4. |
| Timing Resistors: $R_1$ & $R_2$ | 1 | | 2000 | 1 | | 2000 | kΩ | |
| Triangle Sine Wave Output | | | | | | | | |
| Triangle Amplitude | | 160 | | | 160 | | mV/kΩ | See Note 1, Figure 2. |
| Sine Wave Amplitude | 40 | 60 | 80 | | 60 | | mV/kΩ | Figure 1, $S_1$ Open |
| Max. Output Swing | | 6 | | | 6 | | V p-p | Figure 1, $S_1$ Closed |
| Output Impedance | | 600 | | | 600 | | Ω | |
| Triangle Linearity | | 1 | | | 1 | | % | |
| Amplitude Stability | | 0.5 | | | 0.5 | | dB | For 1000:1 Sweep |
| Sine Wave Amplitude Stability | | 4800 | | | 4800 | | ppm/°C | See Note 2 |
| Sine Wave Distortion | | | | | | | | |
| Without Adjustment | | 2.5 | | | 2.5 | | % | $R_1 = 30\ k\Omega$ |
| With Adjustment | | 0.4 | 1.0 | | 0.5 | 1.5 | % | See Figures 6 and 7 |
| Amplitude Modulation | | | | | | | | |
| Input Impedance | 50 | 100 | | 50 | 100 | | kΩ | |
| Modulation Range | | 100 | | | 100 | | % | |
| Carrier Suppression | | 55 | | | 55 | | dB | |
| Linearity | | 2 | | | 2 | | % | For 95% modulation |
| Square-Wave Output | | | | | | | | |
| Amplitude | | 12 | | | 12 | | V p-p | Measured at Pin 11. |
| Rise Time | | 250 | | | 250 | | nsec | $C_L = 10$ pF |
| Fall Time | | 50 | | | 50 | | nsec | $C_L = 10$ pF |
| Saturation Voltage | | 0.2 | 0.4 | | 0.2 | 0.6 | V | $I_L = 2$ mA |
| Leakage Current | | 0.1 | 20 | | 0.1 | 100 | µA | $V_{11} = 26V$ |
| FSK Keying Level (Pin 9) | 0.8 | 1.4 | 2.4 | 0.8 | 1.4 | 2.4 | V | See section on circuit controls |
| Reference Bypass Voltage | 2.9 | 3.1 | 3.3 | 2.5 | 3 | 3.5 | V | Measured at Pin 10. |

**Note 1:** Output amplitude is directly proportional to the resistance, $R_3$, on Pin 3. See Figure 2.
**Note 2:** For maximum amplitude stability, $R_3$ should be a positive temperature coefficient resistor.



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

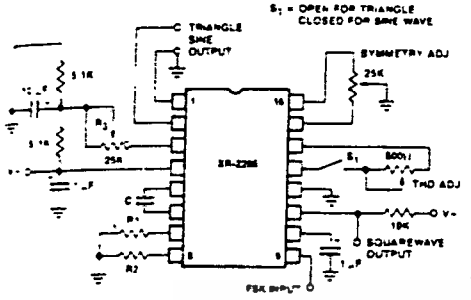



Figure 1. Basic Test Circuit.

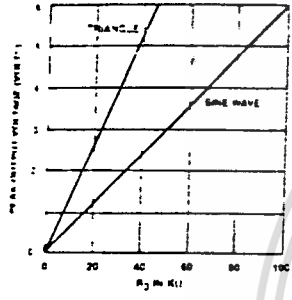



Figure 2. Output Amplitude as a Function of the Resistor, $R_3$, at Pin 3.

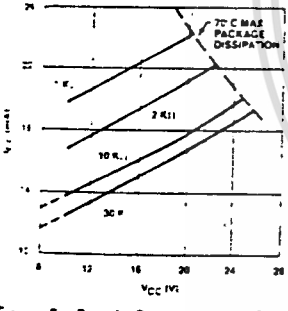



Figure 3. Supply Current versus Supply Voltage, Timing, R.

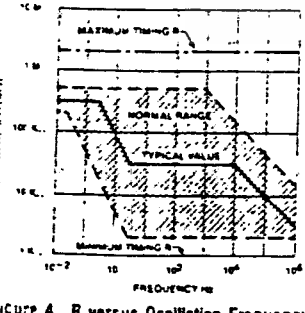



Figure 4. R versus Oscillation Frequency.

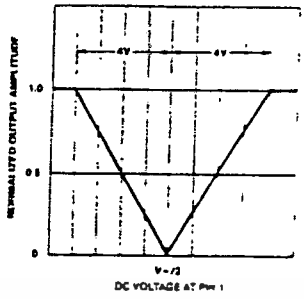



Figure 5. Normalized Output Amplitude versus DC Bias at AM Input (Pin 1).

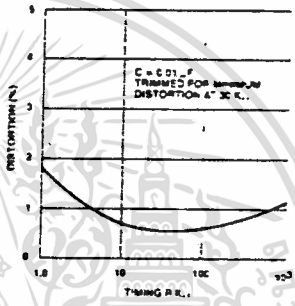



Figure 6. Trimmed Distortion versus Timing Resistor.

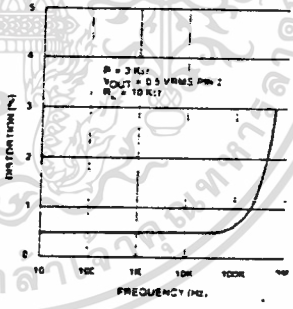



Figure 7. Sine Wave Distortion versus Operating Frequency with Timing Capacitors Varied.

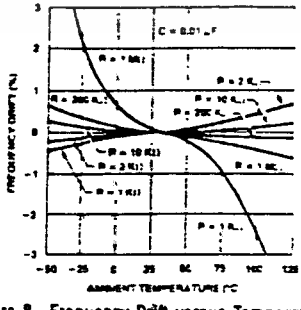



Figure 8. Frequency Drift versus Temperature.

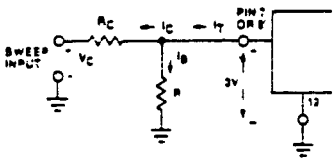



Figure 9. Circuit Connection for Frequency Sweep.

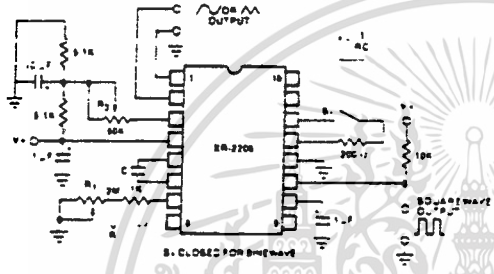



Figure 10. Circuit for Sine Wave Generation without External Adjustment. (See Figure 2 for Choice of $R_3$).

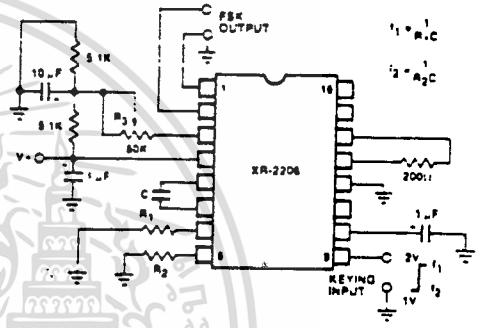



Figure 12. Sinusoidal FSK Generator.

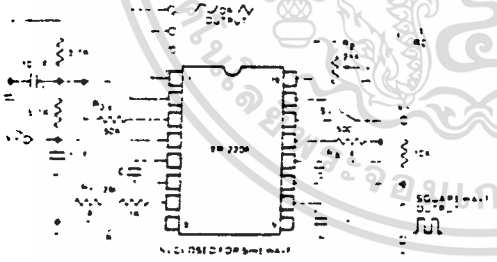



Figure 11. Circuit for Sine Wave Generation with Minimum Harmonic Distortion. ($R_3$ Determines Output Swing—See Figure 2.)

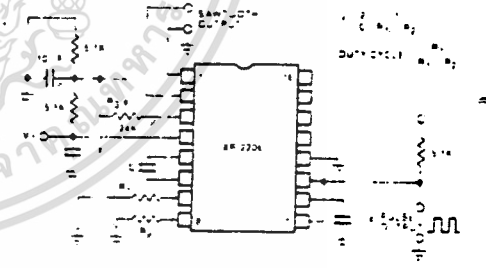


Figure 13. Circuit for Pulse and Ramp Generation.



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

**Frequency-Shift Keying:**

The XR-2206 can be operated with two separate timing resistors, $R_1$ and $R_2$, connected to the timing Pin 7 and 8 respectively, as shown in Figure 12. Depending on the polarity of the logic signal at Pin 9, either one or the other of these timing resistors is activated. If Pin 9 is open-circuited or connected to a bias voltage ≥ 2V, only $R_1$ is activated. Similarly, if the voltage level at Pin 9 is ≤ 1V, only $R_2$ is activated. Thus, the output frequency can be keyed between two levels, $f_1$ and $f_2$, as:

$$f_1 = 1/R_1C \text{ and } f_2 = 1/R_2C$$

For split-supply operation, the keying voltage at Pin 9 is referenced to $V^-$.

**Output DC Level Control:**

The dc level at the output (Pin 2) is approximately the same as the dc bias at Pin 3. In Figures 10, 11 and 12, Pin 3 is biased midway between $V^+$ and ground, to give an output dc level of $+V^+/2$.

## APPLICATIONS INFORMATION

### Sine Wave Generation

**Without External Adjustment:**

Figure 10 shows the circuit connection for generating a sinusoidal output from the XR-2206. The potentiometer, $R_1$ at Pin 7, provides the desired frequency tuning. The maximum output swing is greater than $V^+/2$ and the typical distortion (THD) is < 2.5%. If lower sine wave distortion is desired, additional adjustments can be provided as described in the following section.

The circuit of Figure 10 can be converted to split-supply operation, simply by replacing all ground connections with $V^-$. For split-supply operation, $R_B$ can be directly connected to ground.

**With External Adjustment:**

The harmonic content of sinusoidal output can be reduced to ≈ 0.5% by additional adjustments as shown in Figure 11. The potentiometer, $R_A$, adjusts the sine-shaping resistor, and $R_B$ provides the fine adjustment for the waveform symmetry. The adjustment procedure is as follows:

1. Set $R_B$ at midpoint, and adjust $R_A$ for minimum distortion.
2. With $R_A$ set as above, adjust $R_B$ to further reduce distortion.

### Triangle Wave Generation

The circuits of Figures 10 and 11 can be converted to triangle wave generation, by simply open-circuiting Pin 13 and 14 (i.e., $S_1$ open). Amplitude of the triangle is approximately twice the sine wave output.

### FSK Generation

Figure 12 shows the circuit connection for sinusoidal FSK signal operation. Mark and space frequencies can be independently adjusted, by the choice of timing resistors, $R_1$ and $R_2$; the output is phase-continuous during transitions. The keying signal is applied to Pin 9. The circuit can be converted to split-supply operation by simply replacing ground with $V^-$.

### Pulse and Ramp Generation

Figure 13 shows the circuit for pulse and ramp waveform generation. In this mode of operation, the FSK keying terminal (Pin 9) is shorted to the square-wave output (Pin 11), and the circuit automatically frequency-shift keys itself between two separate frequencies during the positive-going and negative-going output waveforms. The pulse width and duty cycle can be adjusted from 1% to 99%, by the choice of $R_1$ and $R_2$. The values of $R_1$ and $R_2$ should be in the range of 1 kΩ to 2 MΩ.

## PRINCIPLES OF OPERATION

### Description of Controls

**Frequency of Operation:**

The frequency of oscillation, $f_o$, is determined by the external timing capacitor, C, across Pin 5 and 6, and by the timing resistor, R, connected to either Pin 7 or 8. The frequency is given as:

$$f_o = \frac{1}{RC} \text{ Hz}$$

and can be adjusted by varying either R or C. The recommended values of R, for a given frequency range, as shown in Figure 4. Temperature stability is optimum for 4 kΩ < R < 200 kΩ. Recommended values of C are from 1000 pF to 100 μF.

**Frequency Sweep and Modulation:**

Frequency of oscillation is proportional to the total timing current, $I_T$, drawn from Pin 7 or 8:

$$f = \frac{320\ I_T\ (\text{mA})}{C\ (\mu\text{F})} \text{ Hz}$$

Timing terminals (Pin 7 or 8) are low-impedance points, and are internally biased at + 3V, with respect to Pin 12. Frequency varies linearly with $I_T$, over a wide range of current values, from 1 μA to 3 mA. The frequency can be controlled by applying a control voltage $V_C$, to the activated timing pin as shown in Figure 9. The frequency of oscillation is related to $V_C$ as:

$$f = \frac{1}{RC} 1 + \frac{R}{R_C}\left(1 - \frac{V_C}{3}\right) \text{ Hz}$$



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

where $V_C$ is in volts. The voltage-to-frequency conversion gain, K, is given as:

$$K = \delta f/\delta VC = -\frac{0.32}{R_C C} \text{ Hz/V}$$

*CAUTION:* For safety operation of the circuit, $I_T$ should be limited to ≤ 3 mA.

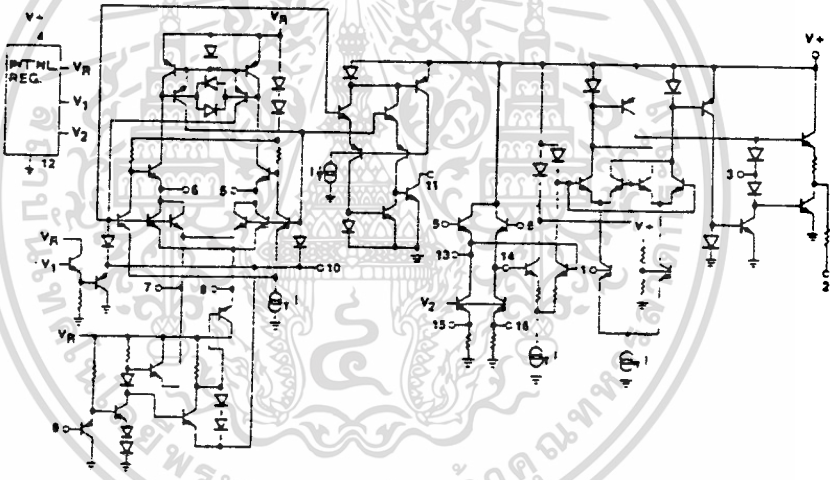
**Output Amplitude:**

Maximum output amplitude is inversely proportional to the external resistor, $R_3$, connected to Pin 3 (see Figure 2). For sine wave output, amplitude is approximately 60 mV peak per kΩ of $R_3$; for triangle, the peak amplitude is approximately 160 mV peak per kΩ of $R_3$. Thus, for example, $R_3$ = 50 kΩ would produce approximately ±3V sinusoidal output amplitude.

**Amplitude Modulation:**

Output amplitude can be modulated by applying a dc bias and a modulating signal to Pin 1. The internal impedance at Pin 1 is approximately 100 kΩ. Output amplitude varies linearly with the applied voltage at Pin 1, for values of dc bias at this pin, within ± 4 volts of V+/2 as shown in Figure 5. As this bias level approaches V+/2, the phase of the output signal is reversed, and the amplitude goes through zero. This property is suitable for phase-shift keying and suppressed-carrier AM generation. Total dynamic range of amplitude modulation is approximately 55 dB.

*CAUTION:* AM control must be used in conjunction with a well-regulated supply, since the output amplitude now becomes a function of V+.




EQUIVALENT SCHEMATIC DIAGRAM



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

# FSK Demodulator/Tone Decoder

## GENERAL DESCRIPTION

The XR-2211 is a monolithic phase-locked loop (PLL) system especially designed for data communications. It is particularly well suited for FSK modem applications. It operates over a wide supply voltage range of 4.5 to 20V and a wide frequency range of 0.01 Hz to 300 kHz. It can accommodate analog signals between 2 mV and 3V, and can interface with conventional DTL, TTL, and ECL logic families. The circuit consists of a basic PLL for tracking an input signal within the pass band, a quadrature phase detector which provides carrier detection, and an FSK voltage comparator which provides FSK demodulation. External components are used to independently set center frequency, bandwidth, and output delay. An internal voltage reference proportional to the power supply provides ratio metric operation for low system performance variations with power supply changes.

The XR-2211 is available in 14 pin DTL ceramic or plastic packages specified for commercial or military temperature ranges.

## FEATURES

| | |
|---|---|
| Wide Frequency Range | 0.01 Hz to 300 kHz |
| Wide Supply Voltage Range | 4.5V to 20 V |
| DTL/TTL/ECL Logic Compatibility | |
| FSK Demodulation, with Carrier Detection | |
| Wide Dynamic Range | 2 mV to 3 V rms |
| Adjustable Tracking Range (± 1% to ± 80%) | |
| Excellent Temp. Stability | 20 ppm/°C typ. |

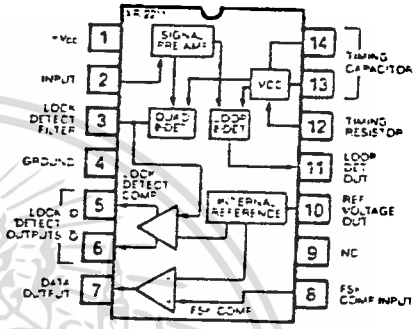
## APPLICATIONS

FSK Demodulation
Data Synchronization
Tone Decoding
FM Detection
Carrier Detection

## ABSOLUTE MAXIMUM RATINGS

| | |
|---|---|
| Power Supply | 26V |
| Input Signal Level | 3V rms |
| Power Dissipation | |
| Ceramic Package | 750 mW |
| Derate Above $T_A$ = +25°C | 6 mW/°C |
| Plastic Package | |
| Derate Above $T_A$ = +25°C | 5.0 mW/°C |

## FUNCTIONAL BLOCK DIAGRAM




## ORDERING INFORMATION

| Part Number | Package | Operating Temperature |
|---|---|---|
| XR-2211M | Ceramic | −55°C to +125°C |
| XR-2211CN | Ceramic | 0°C to +70°C |
| XR-2211CP | Plastic | 0°C to +70°C |
| XR-2211N | Ceramic | −40°C to +85°C |
| XR-2211P | Plastic | −40°C to +85°C |

## SYSTEM DESCRIPTION

The main PLL within the XR-2211 is constructed from an input preamplifier, analog multiplier used as a phase detector, and a precision voltage controlled oscillator (VCO). The preamplifier is used as a limiter such that input signals above typically 2MV RMS are amplified to a constant high level signal. The multiplying-type phase detector acts as a digital exclusive or gate. Its output (unfiltered) produces sum and difference frequencies of the input and the VCO output, f input + f input (2f input) and f input - f input (0 Hz) when the phase detector output to remove the "sum" frequency component while passing the difference (DC) component to drive the VCO. The VCO is actually a current controlled oscillator with its nominal input current ($I_0$) set by a resistor ($R_0$) to ground and its driving current with a resistor ($R_1$) from the phase detector.

The other sections of the XR-2211 act to: determine if the VCO is driven above or below the center frequency (FSK comparator), produced both active high and active low outputs to indicate when the main PLL is in lock (quadrature phase detector and lock detector comparator).



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

# XR-2211

## ELECTRICAL CHARACTERISTICS

**Test Conditions:** Test Circuit of Figure 1, $V^+ = V^- = 6V$, $T_A = +25°C$, $C = 5000$ pF, $R_1 = R_2 = R_3 = R_4 = 20$ kΩ, $R_L = 4.7$ kΩ, Binary Inputs grounded, $S_1$ and $S_2$ closed, unless otherwise specified

| PARAMETER | XR-2211/2211M | | | XR-2211C | | | UNITS | CONDITIONS |
|---|---|---|---|---|---|---|---|---|
| | MIN | TYP | MAX | MIN | TYP | MAX | | |
| **GENERAL** | | | | | | | | |
| Supply Voltage | 4.5 | | 20 | 4.5 | | 20 | V | |
| Supply Current | | 4 | 7 | | 5 | 9 | mA | $R_0 \geq 10$ kΩ. See Fig. 4 |
| **OSCILLATOR SECTION** | | | | | | | | |
| Frequency Accuracy | | ±1 | ±3 | | ±1 | | % | Deviation from $f_0 = 1/R_0C_0$ |
| Frequency Stability | | | | | | | | $R_1 = 1/2$ |
| Temperature | | ±20 | ±50 | | ±20 | | ppm/°C | See Fig. 6. |
| Power Supply | | 0.05 | 0.5 | | 0.05 | | %/V | $V^+ = 12 \pm 1$V. See Fig. 7. |
| | | 0.2 | | | 0.2 | | %/V | $V^+ 5 \pm 0.5$V. See Fig. 7. |
| Upper Frequency Limit | 100 | 300 | | | 300 | | kHz | $R_0 = 8.2$ kΩ, $C_0 = 400$ pF |
| Lowest Practical | | | | | | | | |
| Operating Frequency | | | 0.01 | | 0.01 | | Hz | $R_0 = 2$ MΩ, $C_0 = 50$ μF |
| Timing Resistor, $R_0$ | | | | | | | | See Fig. 5. |
| Operating Range | 5 | | 2000 | 5 | | 2000 | kΩ | |
| Recommended Range | 15 | | 100 | 15 | | 100 | kΩ | See Figs. 7 and 8. |
| **LOOP PHASE DETECTOR SECTION** | | | | | | | | |
| Peak Output Current | ±150 | ±200 | ±300 | ±100 | ±200 | ±300 | μA | Measured at Pin 11. |
| Output Offset Current | | ±1 | | | ±2 | | μA | |
| Output Impedance | | 1 | | | 1 | | MΩ | |
| Maximum Swing | ±4 | ±5 | | ±4 | ±5 | | V | Referenced to Pin 10. |
| **QUADRATURE PHASE DETECTOR** | | | | | | | | Measured at Pin 3. |
| Peak Output Current | 100 | 150 | | | 150 | | μA | |
| Output Impedance | | 1 | | | 1 | | MΩ | |
| Maximum Swing | | 11 | | | 11 | | V pp | |
| **INPUT PREAMP SECTION** | | | | | | | | Measured at Pin 2. |
| Input Impedance | | 20 | | | 20 | | kΩ | |
| Input Signal | | | | | | | | |
| Voltage Required to | | | | | | | | |
| Cause Limiting | | 2 | 10 | | 2 | | mV rms | |
| **VOLTAGE COMPARATOR SECTIONS** | | | | | | | | |
| Input Impedance | | 2 | | | 2 | | MΩ | Measured at Pins 3 and 6. |
| Input Bias Current | | 100 | | | 100 | | nA | |
| Voltage Gain | 55 | 70 | | 55 | 70 | | dB | $R_L = 5.1$ kΩ |
| Output Voltage Low | | 300 | | | 300 | | mV | $I_C = 3$ mA |
| Output Leakage Current | | 0.01 | | | 0.01 | | μA | $V_O = 12$V |
| **INTERNAL REFERENCE** | | | | | | | | |
| Voltage Level | 4.9 | 5.3 | 5.7 | 4.75 | 5.3 | 5.85 | V | Measured at Pin 10. |
| Output Impedance | | 100 | | | 100 | | Ω | |



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

**Reference Voltage, $V_R$ (Pin 10):** This pin is internally biased at the reference voltage level. $V_R$: $V_R = V+/2 - 650$ mV. The dc voltage level at this pin, forms an internal reference for the voltage levels at Pins 5, 6, 11 and 12. Pin 10 *must* be bypassed to ground with a 0.1 $\mu$F capacitor for proper operation of the circuit.

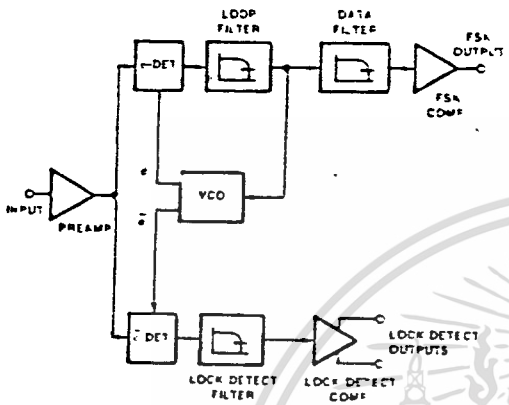



**Figure 1. Functional Block Diagram of a Tone and FSK Decoding System Using XR-2211**

**Loop Phase Detector Output (Pin 11):** This terminal provides a high impedance output for the loop phase detector. The PLL loop filter is formed by $R_1$ and $C_1$ connected to Pin 11 (see Figure 2). With no input signal, or with no phase error within the PLL, the dc level at Pin 11 is very nearly equal to $V_R$. The peak voltage swing available at the phase detector output is equal to $\pm V_R$.

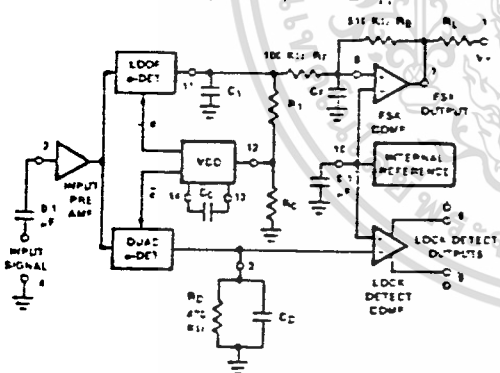



**Figure 2. Generalized Circuit Connection for FSK and Tone Detection**

**VCO Control Input (Pin 12):** VCO free-running frequency is determined by external timing resistor, $R_0$, connected from this terminal to ground. The VCO free-running frequency, $f_0$, is:

$$f_0 = \frac{1}{R_0 C_0} \text{ Hz}$$

where $C_0$ is the timing capacitor across Pins 13 and 14. For optimum temperature stability, $R_0$ must be in the range of 10 KΩ to 100 KΩ see Figure 8.

This terminal is a low impedance point, and is internally biased at a dc level equal to $V_R$. The maximum timing current drawn from Pin 12 must be limited to ≤ 3 mA for proper operation of the circuit.

**VCO Timing Capacitor (Pins 13 and 14):** VCO frequency is inversely proportional to the external timing capacitor, $C_0$, connected across these terminals (see Figure 5). $C_0$ must be nonpolar, and in the range of 200 pF to 10 $\mu$F.

**VCO Frequency Adjustment:** VCO can be fine-tuned by connecting a potentiometer, $R_X$, in series with $R_0$ at Pin 12 (see Figure 9).

**VCO Free-Running Frequency, $f_0$:** XR-2211 does not have a separate VCO output terminal. Instead, the VCO outputs are internally connected to the phase detector sections of the circuit. However, for set-up or adjustment purposes, VCO free-running frequency can be measured at Pin 3 (with $C_D$ disconnected), with no input and with Pin 2 shorted to Pin 10.

## DESIGN EQUATIONS

(See Figure 2 for definition of components.)

1. VCO Center Frequency, $f_0$:

   $f_0 = 1/R_0C_0$ Hz

2. Internal Reference Voltage, $V_R$ (measured at Pin 10):

   $V_R = V+/2 - 650$ mV

3. Loop Low-Pass Filter Time Constant, $\tau$:

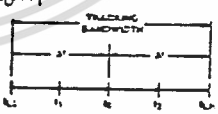
   $\tau = R_1C_1$

4. Loop Damping, $\zeta$:

   $$\zeta = 1/4\sqrt{\frac{C_0}{C_1}}$$

5. Loop Tracking Bandwidth, $\pm \Delta f/f_0$:

   $\Delta f/f_0 = R_0/R_1$




6. FSK Data Filter Time Constant, $\tau_F$:

   $\tau_F = R_FC_F$

7. Loop Phase Detector Conversion Gain, $K_\phi$: ($K_\phi$ is the differential dc voltage across Pins 10 and 11, per unit of phase error at phase detector input):

   $K_\phi = 02V_R/\pi$ volts/radian

8. VCO Conversion gain, $K_D$: ($K_D$ is the amount of change in VCO frequency, per unit of dc voltage change at Pin 11):

   $K_D = -1/V_RC_0R_1$ Hz/volt



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

9. Total Loop Gain, $K_T$:

$$K_T = 2\pi K_\phi K_O = 4/C_O R_1 \text{ rad/sec/volt}$$

10. Peak Phase Detector Current $I_A$:

$$I_A = V_R \text{ (volts)}/25 \text{ mA}$$

## APPLICATIONS INFORMATION

### FSK DECODING:

Figure 9 shows the basic circuit connection for FSK decoding. With reference to Figures 2 and 9, the functions of external components are defined as follows: $R_O$ and $C_O$ set the PLL center frequency, $R_1$ sets the system bandwidth, and $C_1$ sets the loop filter time constant and the loop damping factor. $C_F$ and $R_F$ form a one-pole post-detection filter for the FSK data output. The resistor $R_B$ (= 510 KΩ) from Pin 7 to Pin 8 introduces positive feedback across the FSK comparator to facilitate rapid transition between output logic states.

Recommended component values for some of the most commonly used FSK bands are given in Table 1.

### Design Instructions:

The circuit of Figure 9 can be tailored for any FSK decoding application by the choice of five key circuit components: $R_O$, $R_1$, $C_O$, $C_1$ and $C_F$. For a given set of FSK mark and space frequencies, $f_1$ and $f_2$, these parameters can be calculated as follows:

a) Calculate PLL center frequency, $f_O$:

$$f_O = \frac{f_1 + f_2}{2}$$

b) Choose value of timing resistor $R_O$ to be in the range of 10 KΩ to 100 KΩ. This choice is arbitrary. The recommended value is $R_O$ = 20 KΩ. The final value of $R_O$ is normally fine-tuned with the series potentiometer, $R_X$.

c) Calculate value of $C_O$ from design equation (1) or from Figure 6:

$$C_O = 1/R_O f_O$$

d) Calculate $R_1$ to give a $\Delta f$ equal to the mark space deviation:

$$R_1 = R_O[f_O/(f_1 - f_2)]$$

e) Calculate $C_1$ to set loop damping. (See design equation No. 4.):

Normally, $\zeta$ = 1/2 is recommended.

Then, $C_1 = C_O/4$ for $\zeta$ = 1/2

f) Calculate Data Filter Capacitance, $C_F$:

For $R_F$ = 100 KΩ, $R_B$ = 510 KΩ, the recommended value of $C_F$ is:

$$C_F = 3/(\text{Baud Rate})\ \mu F$$

Note: All calculated component values except $R_O$ can be rounded to the nearest standard value, and $R_O$ can be varied to fine-tune center frequency, through a series potentiometer, $R_X$. (See Figure 9.)

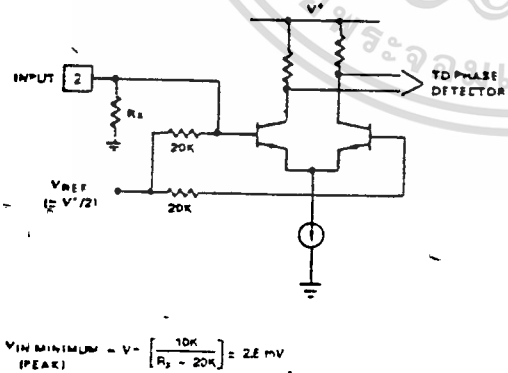



Figure 3. Desensitizing Input Stage

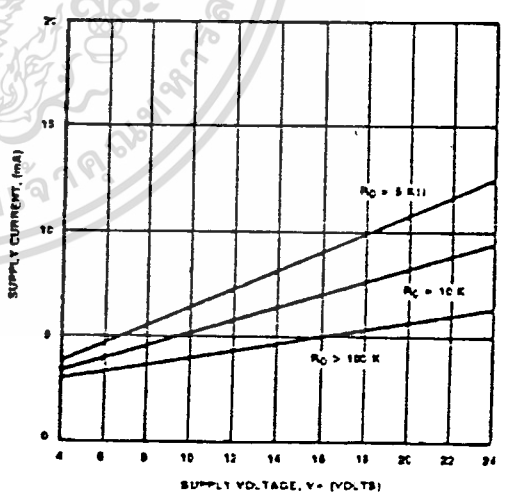



Figure 4. Typical Supply Current vs V+ (Logic Outputs Open Circuited)



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

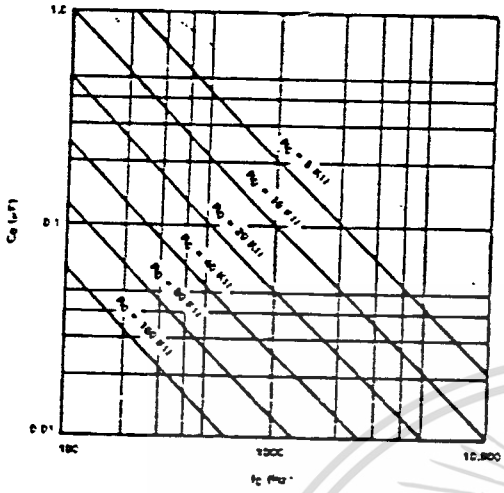


Figure 5. VCO Frequency vs Timing Resistor

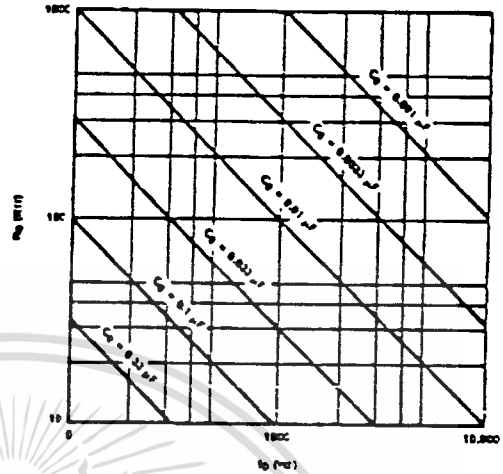


Figure 6. VCO Frequency vs Timing Capacitor

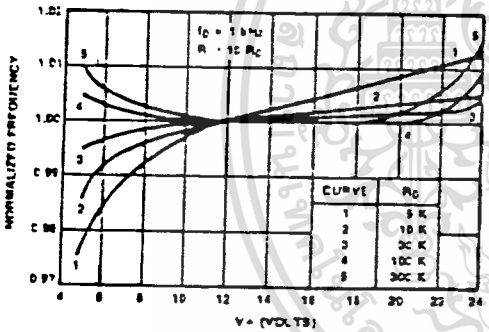


Figure 7. Typical $f_0$ vs Power Supply Characteristics

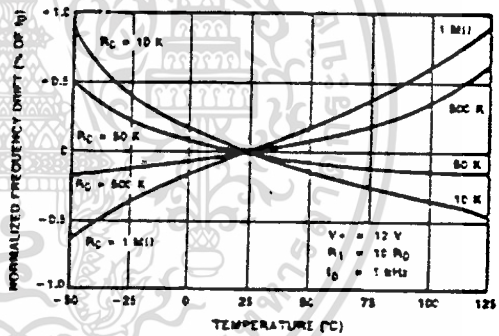


Figure 8. Typical Center Frequency Drift vs Temperature

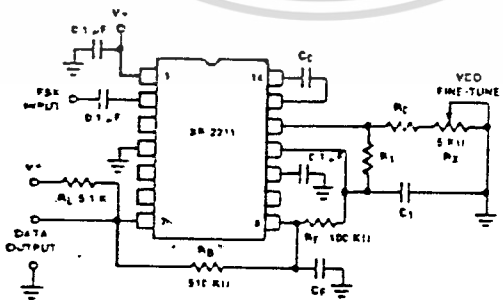


Figure 9. Circuit Connection for FSK Decoding



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

**Design Example:**

75 Baud FSK demodulator with mark space frequencies of 1110/1170 Hz:

Step 1: Calculate $f_0$: $f_0$ (1110 + 1170) (1/2) = 1140 Hz

Step 2. Choose $R_0$ - 20 KΩ (18 KΩ fixed resistor in series with 5 KΩ potentiometer)

Step 3: Calculate $C_0$ from Figure 6: $C_0$ = 0.044 μF

Step 4: Calculate $R_1$: $R_1$ = $R_0$ (2240/60) = 360 KΩ

Step 5: Calculate $C_1$: $C_1$ = $C_0$/4 = 0.011 μF

Note: All values except $R_0$ can be rounded to *nearest* standard value.

**Table 1. Recommended Component Values for Commonly Used FSK Bands. (See Circuit of Figure 9.)**

| FSK BAND | COMPONENT VALUES |
|---|---|
| 300 Baud<br>$f_1$ = 1070 Hz<br>$F_2$ = 1270 Hz | $C_0$ = 0.039 μF $C_F$ = 0.005 μF<br>$C_1$ = 0.01 μF $R_0$ = 18 KΩ<br>$R_1$ = 100 KΩ |
| 300 Baud<br>$f_1$ = 2025 Hz<br>$f_2$ = 2225 Hz | $C_0$ = 0.022 μF $C_F$ = 0.005 μF<br>$C_1$ = 0.0047 μF $R_0$ = 18 KΩ<br>$R_1$ = 200 KΩ |
| 1200 Baud<br>$f_1$ = 1200 Hz<br>$f_2$ = 2200 Hz | $C_0$ = 0.027 μF $C_F$ = 0.0022 μF<br>$C_1$ = 0.01 μF $R_0$ = 18 KΩ<br>$R_1$ = 30 KΩ |

**FSK DECODING WITH CARRIER DETECT:**

The lock detect section of XR-2211 can be used as a carrier detect option, for FSK decoding. The recommended circuit connection for this application is shown in Figure 10. The open collector lock detect output, Pin 6, is shorted to data output (Pin 7). Thus, data output will be disabled at "low" state, until there is a carrier within the detection band of the PPL, and the Pin 6 output goes "high," to enable the data output.

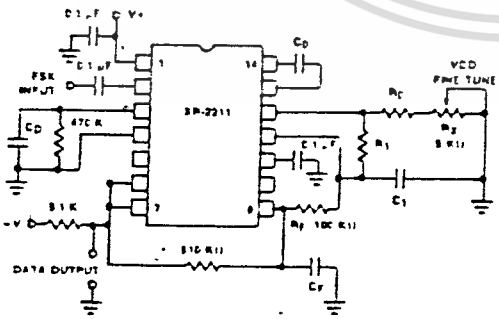



**Figure 10. External Connections for FSK Demodulation with Carrier Detect Capability**

**Note: Data Output is "Low" When No Carrier is Present.**

The minimum value of the lock detect filter capacitance $C_D$ is inversely proportional to the capture range, ± $\Delta f_C$. This is the range of incoming frequencies over which the loop can acquire lock and is always less than the tracking range. It is further limited by $C_1$. For most applications, $\Delta f_C > \Delta f/2$. For $R_D$ = 470 KΩ, the approximate minimum value of $C_D$ can be determined by:

$C_D$ (μF) ≥ 16/capture range in Hz.

With values of $C_D$ that are too small, chatter can be observed on the lock detect output as an incoming signal frequency approaches the capture bandwidth. Excessively large values of $C_D$ will slow the response time of the lock detect output.

**TONE DETECTION:**

Figure 11 shows the generalized circuit connection for tone detection. The logic outputs, Q and $\overline{Q}$ at Pins 5 and 6 are normally at "high" and "low" logic states, respectively. When a tone is present within the detection band of the PLL, the logic state at these outputs become reversed for the duration of the input tone. Each logic output can sink 5 mA of load current.

Both logic outputs at Pins 5 and 6 are open collector type stages, and require external pull-up resistors $R_{L1}$ and $R_{L2}$, as shown in Figure 11.

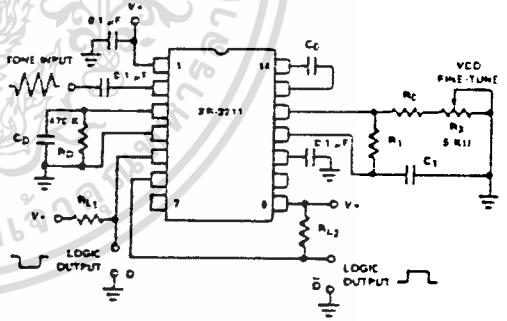



**Figure 11. Circuit Connection for Tone Detection**

With reference to Figures 2 and 11, the functions of the external circuit components can be explained as follows: $R_0$ and $C_0$ set VCO center frequency; $R_1$ sets the detection bandwidth; $C_1$ sets the low pass-loop filter time constant and the loop damping factor. $R_{L1}$ and $R_{L2}$ are the respective pull-up resistors for the Q and $\overline{Q}$ logic outputs.

**Design Instructions:**

The circuit of Figure 11 can be optimized for any tone detection application by the choice of the 5 key circuit components: $R_0$, $R_1$, $C_0$ $C_1$ and $C_D$. For a given input,

the tone frequency, $f_S$, these parameters are calculated as follows:

a) Choose $R_0$ to be in the range of 15 KΩ to 100 KΩ. This choice is arbitrary.

b) Calculate $C_0$ to set center frequency, $f_0$ equal to $f_S$ (see Figure 6): $C_0 = 1/R_0 f_S$

c) Calculate $R_1$ to set bandwidth $\pm \Delta f$ (see design equation No. 5):

$$R_1 = R_0(f_0/\Delta f)$$

Note: The total detection bandwidth covers the frequency range of $f_0 \pm \Delta f$.

d) Calculate value of $C_1$ for a given loop damping factor:

$$C_1 = C_0/16\zeta^2$$

Normally $\zeta = 1/2$ is optimum for most tone detector applications giving $C_1 = 0.25\ C_0$.

Increasing $C_1$ improves the out-of-band signal rejection, but increases the PLL capture time.

e) Calculate value of filter capacitor $C_D$. To avoid chatter at the logic output, with $R_D$ = 470 KΩ, $C_D$ must be:

$$C_D(\mu F) \geq (16/\text{capture range in Hz})$$

Increasing $C_D$ slows down the logic output response time.

**Design Examples:**

Tone detector with a detection band of 1 kHz ± 20 Hz:

a) Choose $R_0$ = 20 KΩ (18 KΩ in series with 5 KΩ potentiometer).

b) Choose $C_0$ for $f_0$ = 1 kHz (from Figure 6): $C_0$ = 0.05 μF

c) Calculate $R_1$: $R_1 = (R_0)(1000/20) = 1$ MΩ.

d) Calculate $C_1$: for $\zeta = 1/2$, $C_1 = 0.25$, $C_0$ = 0.013 μF

e) Calculate $C_D$: $C_D = 16/38 = 0.42$ μF.

f) Fine-tune center frequency with 5 KΩ potentiometer, $R_X$.

**LINEAR FM DETECTION:**

XR-2211 can be used as a linear FM detector for a wide range of analog communications and telemetry applications. The recommended circuit connection for this application is shown in Figure 12. The demodulated output is taken from the loop phase detector output (Pin 2) through a post-detection filter made up of $R_F$ and $C_F$ and an external buffer amplifier. This buffer amplifier is necessary because of the high impedance output at Pin 11. Normally, a non-inverting unity gain op amp can be used as a buffer amplifier, as shown in Figure 12.

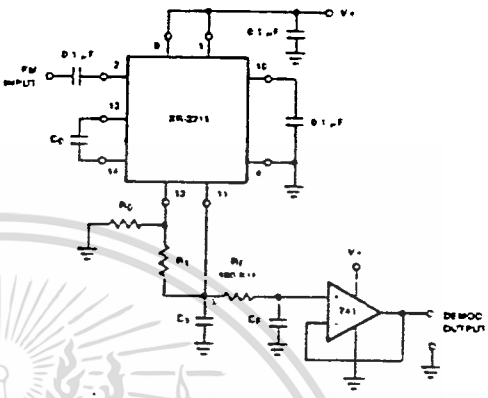


**Figure 12. Linear FM Detector Using XR-2211 and an External Op Amp. (See Section on Design Equation for Component Values.)**

The FM detector gain, i.e., the output voltage change per unit of FM deviation can be given as:

$$V_{out} = R_1 V_R/100\ R_0 \text{ Volts/\% deviation}$$

where $V_R$ is the internal reference voltage ($V_R = V+/2$ - 650 mV). For the choice of external components $R_1$, $R_0$ $C_D$, $C_1$ and $C_F$, see section on design equations.

## PRINCIPLES OF OPERATION

**Signal Input (Pin 2):** Signal is ac coupled to this terminal. The internal impedance at Pin 2 is 20 KΩ. Recommended input signal level is in the range of 10 mV rms to 3V rms.

**Quadrature Phase Detector Output (Pin 3):** This is the high impedance output of quadrature phase detector and is internally connected to the input of lock detect voltage comparator. In tone-detection applications, Pin 3 is connected to ground through a parallel combination of $R_D$ and $C_D$ (see Figure 2) to eliminate the chatter at lock detect outputs. If the tone detect section is not used, Pin 3 can be left open circuited.

**Lock Detect Output, $\overline{Q}$ (Pin 5):** The output at Pin 5 is at "high" state when the PLL is out of lock and goes to "low" or conducting state when the PLL is locked. It is an open collector type output and requires a pull-up resistor, $R_L$, to V+ for proper operation. At "low" state, it can sink up to 5 mA of load current.

**Lock Detect Complement, Q (Pin 6):** The output at Pin 6 is the logic complement of the lock detect output at Pin 5. This output is also an open collector type stage which can sink 5 mA of load current at low or "on" state.

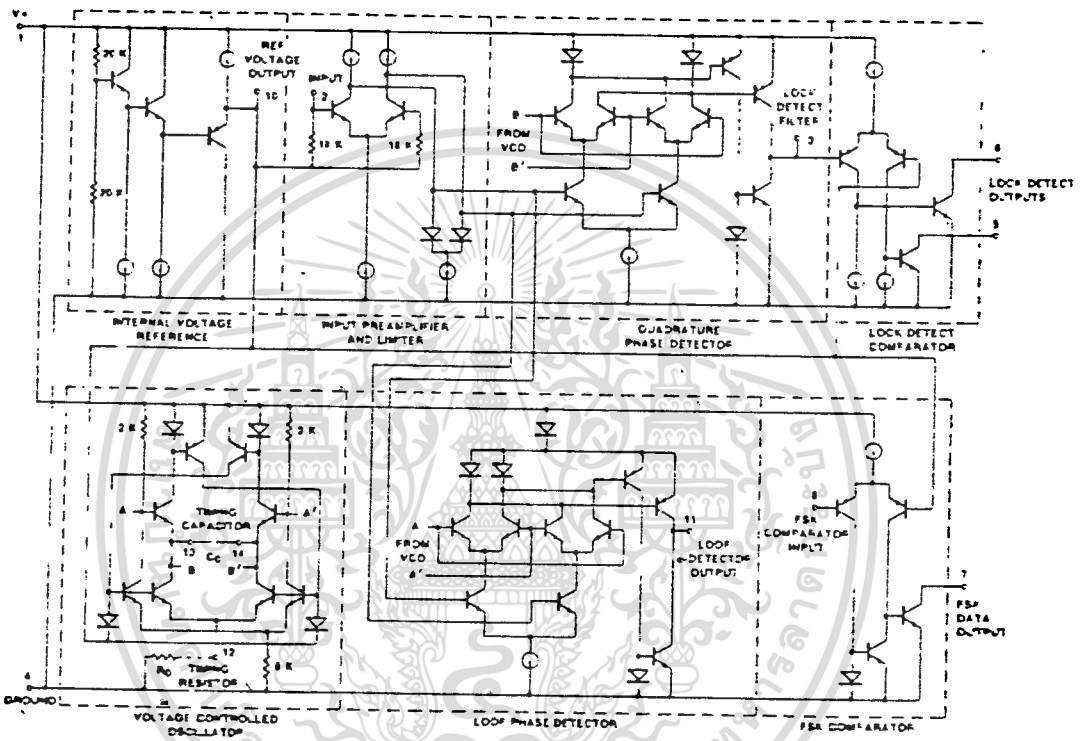


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

**FSK Data Output (Pin 7)** This output is an open collector logic stage which requires a pull-up resistor, $R_L$, to V+ for proper operation. It can sink 5 mA of load current. When decoding FSK signals, FSK data output is at "high" or "off" state for low input frequency, and at "low" or "on" state for high input frequency. If no input signal is present, the logic state at Pin 7 is indeterminate.

**FSK Comparitor Input (Pin 8)**: This is the high impedance input to the FSK voltage comparator. Normally, an FSK post-detection or data filter is connected between this terminal and the PLL phase detector output (Pin 11). This data filter is formed by $R_F$ and $C_F$ of Figure 2. The threshold voltage of the comparator is set by the internal reference voltage $V_R$ available at Pin 10.

## EQUIVALENT SCHEMATIC DIAGRAM






เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

National Semiconductor Corporation

# LM3045/LM3046/LM3086 Transistor Arrays

## General Description

The LM3045, LM3046 and LM3086 each consist of five general purpose silicon NPN transistors on a common monolithic substrate. Two of the transistors are internally connected to form a differentially-connected pair. The transistors are well suited to a wide variety of applications in low power system in the DC through VHF range. They may be used as discrete transistors in conventional circuits however, in addition, they provide the very significant inherent integrated circuit advantages of close electrical and thermal matching. The LM3045 is supplied in a 14-lead cavity dual-in-line package rated for operation over the full military temperature range. The LM3046 and LM3086 are electrically identical to the LM3045 but are supplied in a 14-lead molded dual-in-line package for applications requiring only a limited temperature range.

## Features

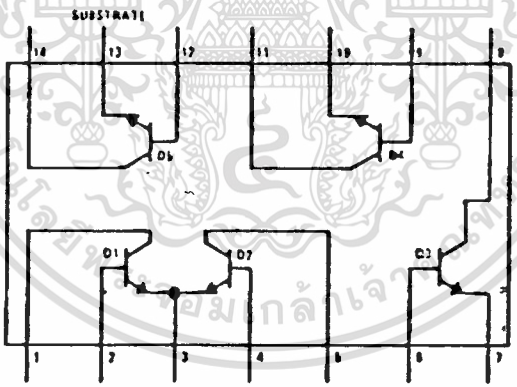
- Two matched pairs of transistors
  $V_{BE}$ matched ± 5 mV
  Input offset current 2 μA max at $I_C$ = 1 mA
- Five general purpose monolithic transistors
- Operation from DC to 120 MHz
- Wide operating current range
- Low noise figure — 3.2 dB typ at 1 kHz
- Full military temperature range (LM3045) — −55°C to +125°C

## Applications

- General use in all types of signal processing systems operating anywhere in the frequency range from DC to VHF
- Custom designed differential amplifiers
- Temperature compensated amplifiers

## Schematic and Connection Diagram

Dual-In-Line and Small Outline Packages




Top View

Order Number LM3045J, LM3046M, LM3086M, LM3046N or LM3086N
See NS Package Number J14A, M14A or N14A



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

## Absolute Maximum Ratings ($T_A$ = 25°C)

If Military/Aerospace specified devices are required, contact the National Semiconductor Sales Office/Distributors for availability and specifications.

| | LM3045 | | LM3046/LM3086 | | Units |
|---|---|---|---|---|---|
| | Each Transistor | Total Package | Each Transistor | Total Package | |
| Power Dissipation: | | | | | |
| $T_A$ = 25°C | 300 | 750 | 300 | 750 | mW |
| $T_A$ = 25°C to 55°C | | | 300 | 750 | mW |
| $T_A$ > 55°C | | | Derate at 6.67 | | mW/°C |
| $T_A$ = 25°C to 75°C | 300 | 750 | | | mW |
| $T_A$ > 75°C | Derate at 8 | | | | mW/°C |
| Collector to Emitter Voltage, $V_{CEO}$ | 15 | | 15 | | V |
| Collector to Base Voltage, $V_{CBO}$ | 20 | | 20 | | V |
| Collector to Substrate Voltage, $V_{CIO}$ (Note 1) | 20 | | 20 | | V |
| Emitter to Base Voltage, $V_{EBO}$ | 5 | | 5 | | V |
| Collector Current, $I_C$ | 50 | | 50 | | mA |
| Operating Temperature Range | −55°C to +125°C | | −40°C to +85°C | | |
| Storage Temperature Range | −65°C to +150°C | | −65°C to +85°C | | |
| Soldering Information | | | | | |
| Dual-In-Line Package Soldering (10 Sec.) | 260°C | | 260°C | | |
| Small Outline Package | | | | | |
| Vapor Phase (60 Seconds) | | | 215°C | | |
| Infrared (15 Seconds) | | | 220°C | | |

See AN-450 "Surface Mounting Methods and Their Effect on Product Reliability" for other methods of soldering surface mount devices.

## Electrical Characteristics ($T_A$ = 25°C unless otherwise specified)

| Parameter | Conditions | Limits LM3045, LM3046 | | | Limits LM3086 | | | Units |
|---|---|---|---|---|---|---|---|---|
| | | Min | Typ | Max | Min | Typ | Max | |
| Collector to Base Breakdown Voltage ($V_{(BR)CBO}$) | $I_C$ = 10 μA, $I_E$ = 0 | 20 | 60 | | 20 | 60 | | V |
| Collector to Emitter Breakdown Voltage ($V_{(BR)CEO}$) | $I_C$ = 1 mA, $I_B$ = 0 | 15 | 24 | | 15 | 24 | | V |
| Collector to Substrate Breakdown Voltage ($V_{(BR)CIO}$) | $I_C$ = 10 μA, $I_{CI}$ = 0 | 20 | 60 | | 20 | 60 | | V |
| Emitter to Base Breakdown Voltage ($V_{(BR)EBO}$) | $I_E$ = 10 μA, $I_C$ = 0 | 5 | 7 | | 5 | 7 | | V |
| Collector Cutoff Current ($I_{CBO}$) | $V_{CB}$ = 10V, $I_E$ = 0 | | 0.002 | 40 | | 0.002 | 100 | nA |
| Collector Cutoff Current ($I_{CEO}$) | $V_{CE}$ = 10V, $I_B$ = 0 | | | 0.5 | | | 1 | μA |
| Static Forward Current Transfer Ratio (Static Beta) ($h_{FE}$) | $V_{CE}$ = 3V, $I_C$ = 10 mA | | 100 | | | 100 | | |
| | $V_{CE}$ = 3V, $I_C$ = 1 mA | 40 | 100 | | 40 | 100 | | |
| | $V_{CE}$ = 3V, $I_C$ = 10 μA | | 54 | | | 54 | | |
| Input Offset Current for Matched Pair $Q_1$ and $Q_2$ $\lvert I_{O1} - I_{O2} \rvert$ | $V_{CE}$ = 3V, $I_C$ = 1 mA | | 0.3 | 2 | | | | μA |
| Base to Emitter Voltage ($V_{BE}$) | $V_{CE}$ = 3V, $I_E$ = 1 mA | | 0.715 | | | 0.715 | | V |
| | $V_{CE}$ = 3V, $I_E$ = 10 mA | | 0.800 | | | 0.800 | | |
| Magnitude of Input Offset Voltage for Differential Pair $\lvert V_{BE1} - V_{BE2} \rvert$ | $V_{CE}$ = 3V, $I_C$ = 1 mA | | 0.45 | 5 | | | | mV |
| Magnitude of Input Offset Voltage for Isolated Transistors $\lvert V_{BE3} - V_{BE4} \rvert$, $\lvert V_{BE4} - V_{BE5} \rvert$, $\lvert V_{BE5} - V_{BE3} \rvert$ | $V_{CE}$ = 3V, $I_C$ = 1 mA | | 0.45 | 5 | | | | mV |
| Temperature Coefficient of Base to Emitter Voltage $\left(\frac{\Delta V_{BE}}{\Delta T}\right)$ | $V_{CE}$ = 3V, $I_C$ = 1 mA | | −1.9 | | | −1.9 | | −mV/°C |
| Collector to Emitter Saturation Voltage ($V_{CE(SAT)}$) | $I_B$ = 1 mA, $I_C$ = 10 mA | | 0.23 | | | 0.23 | | V |
| Temperature Coefficient of Input Offset Voltage $\left(\frac{\Delta V_{IO}}{\Delta T}\right)$ | $V_{CE}$ = 3V, $I_C$ = 1 mA | | 1.1 | | | | | −mV/°C |

Note 1: The collector of each transistor of the LM3045, LM3046 and LM3086 is isolated from the substrate by an integral diode. The substrate (terminal 13) must be connected to the most negative point in the external circuit to maintain isolation between transistors and to provide for normal transistor action.



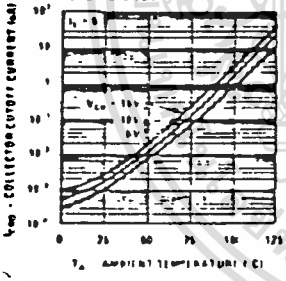
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## Electrical Characteristics (Continued)

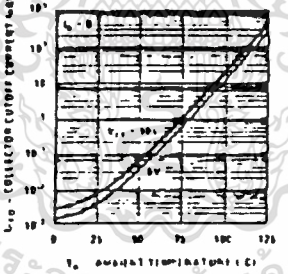
| Parameter | Conditions | Min | Typ | Max | Units |
|---|---|---|---|---|---|
| Low Frequency Noise Figure (NF) | f = 1 kHz, $V_{CE}$ = 3V, $I_C$ = 100 μA, $R_S$ = 1 kΩ | | 3.25 | | dB |
| **LOW FREQUENCY, SMALL SIGNAL EQUIVALENT CIRCUIT CHARACTERISTICS** | | | | | |
| Forward Current Transfer Ratio ($h_{fe}$) | f = 1 kHz, $V_{CE}$ = 3V, $I_C$ = 1 mA | | 110 (LM3045, LM3046) (LM3086) | | |
| Short Circuit Input Impedance ($h_{ie}$) | | | 3.5 | | kΩ |
| Open Circuit Output Impedance ($h_{oe}$) | | | 15.6 | | μmho |
| Open Circuit Reverse Voltage Transfer Ratio ($h_{re}$) | | | $1.8 \times 10^{-4}$ | | |
| **ADMITTANCE CHARACTERISTICS** | | | | | |
| Forward Transfer Admittance ($Y_{fe}$) | f = 1 MHz, $V_{CE}$ = 3V, $I_C$ = 1 mA | | 31 − j1.5 | | |
| Input Admittance ($Y_{ie}$) | | | 0.3 + j0.04 | | |
| Output Admittance ($Y_{oe}$) | | | 0.001 + j0.03 | | |
| Reverse Transfer Admittance ($Y_{re}$) | | | See Curve | | |
| Gain Bandwidth Product ($f_T$) | $V_{CE}$ = 3V, $I_C$ = 3 mA | 300 | 550 | | |
| Emitter to Base Capacitance ($C_{EB}$) | $V_{EB}$ = 3V, $I_E$ = 0 | | 0.6 | | pF |
| Collector to Base Capacitance ($C_{CB}$) | $V_{CB}$ = 3V, $I_C$ = 0 | | 0.58 | | pF |
| Collector to Substrate Capacitance ($C_{CI}$) | $V_{CS}$ = 3V, $I_C$ = 0 | | 2.8 | | pF |

## Typical Performance Characteristics

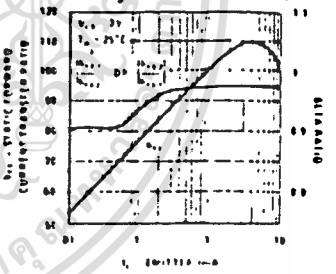
Typical Collector To Base Cutoff Current vs Ambient Temperature for Each Transistor



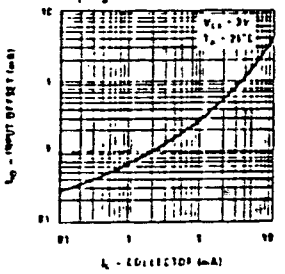
Typical Collector To Emitter Cutoff Current vs Ambient Temperature for Each Transistor



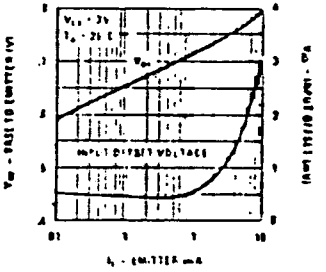
Typical Static Forward Current-Transfer Ratio and Beta Ratio for Transistors $Q_1$ and $Q_2$ vs Emitter Current



Typical Input Offset Current for Matched Transistor Pair $Q_1$ $Q_2$ vs Collector Current

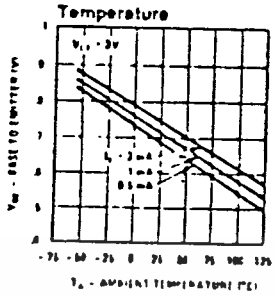


Typical Static Base To Emitter Voltage Characteristic and Input Offset Voltage for Differential Pair and Paired Isolated Transistors vs Emitter Current

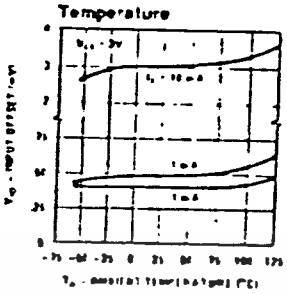


## Typical Performance Characteristics (Continued)

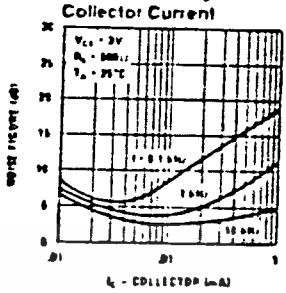
Typical Base To Emitter Voltage Characteristic for Each Transistor vs Ambient Temperature



Typical Input Offset Voltage Characteristics for Differential Pair and Paired Isolated Transistors vs Ambient Temperature

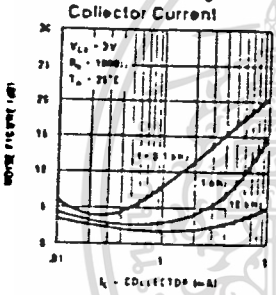


Typical Noise Figure vs Collector Current

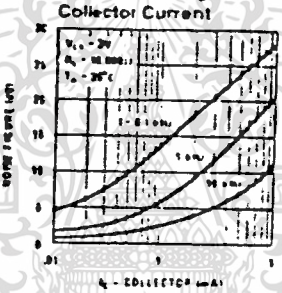


TL/H/7850–6

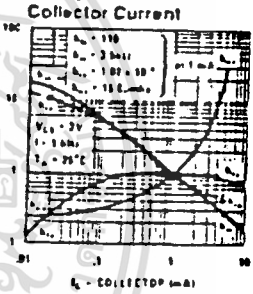
Typical Noise Figure vs Collector Current



Typical Noise Figure vs Collector Current

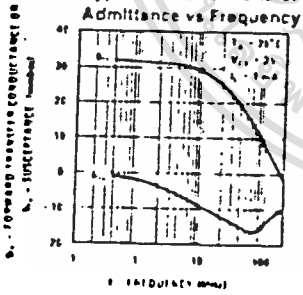


Typical Normalized Forward Current Transfer Ratio, Short Circuit Input Impedance, Open Circuit Output Impedance, and Open Circuit Reverse Voltage Transfer Ratio vs Collector Current

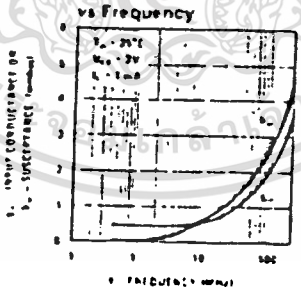


TL/H/7850–5

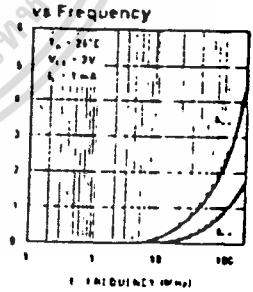
Typical Forward Transfer Admittance vs Frequency



Typical Input Admittance vs Frequency



Typical Output Admittance vs Frequency



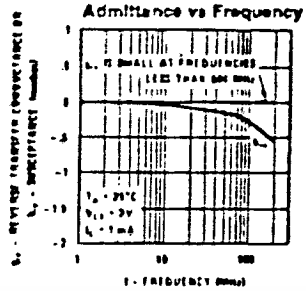
TL/H/7850–4



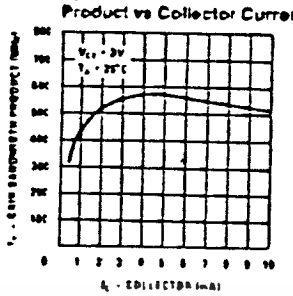
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## Typical Performance Characteristics (Continued)

Typical Reverse Transfer Admittance vs Frequency



Typical Gain-Bandwidth Product vs Collector Current



TL/H/7850-7



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MOTOROLA

# MC14469

## ADDRESSABLE ASYNCHRONOUS RECEIVER/TRANSMITTER

The MC14469 Addressable Asynchronous Receiver Transmitter is constructed with MOS P-channel and N-channel enhancement devices in a single monolithic structure (CMOS). The MC14469 receives one or two eleven-bit words in a serial data stream. The first incoming word contains the address and when the address matches, the MC14469 is enabled to transmit two data words. Each of the transmitted words contains eight data bits, even parity bit, start and stop bit, in UART compatible format.

The received word contains seven address bits and the address of the MC14469 is set on seven pins. Thus $2^7$ or 128 units can be interconnected in simplex or full duplex data transmission. In addition to the address received, seven command bits may optionally be received for data or control use.

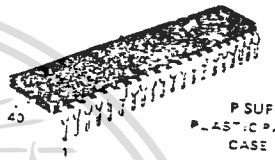
The MC14469 finds application in transmitting data from remote A-to-D converters, remote MPUs or remote digital transducers to a master computer or MPU.

- Supply Voltage Range – 4.5 Vdc to 18 Vdc
- Low Quiescent Current – 75 μAdc maximum @ 5 Vdc
- Data Rates to 4800 Baud
- Receive – Serial to Parallel
  Transmit – Parallel to Serial
- Transmit and Receive Simultaneously in Full Duplex
- Crystal or Resonator Operation for On-Chip Oscillator

## CMOS LSI

(LOW-POWER COMPLEMENTARY MOS)

ADDRESSABLE ASYNCHRONOUS RECEIVER/TRANSMITTER



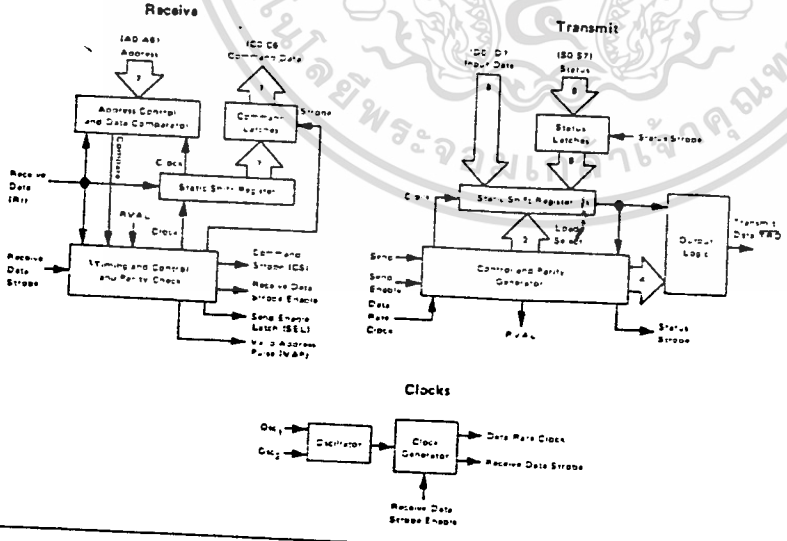
P SUFFIX
PLASTIC PACKAGE
CASE 711

L SUFFIX
CERAMIC PACKAGE
CASE 715

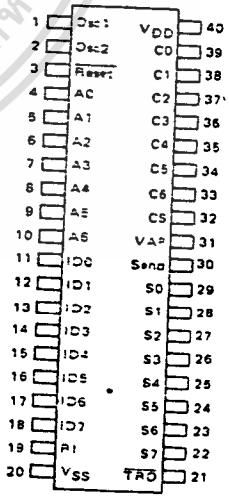
ORDERING INFORMATION

MC14xxx Suffix Denotes
- L Ceramic Package
- P Plastic Package

## BLOCK DIAGRAMS




## PIN ASSIGNMENTS






เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

**MAXIMUM RATINGS** (Voltages referenced to $V_{SS}$, Pin 20.

| | Symbol | Value | Unit |
|---|---|---|---|
| DC Supply Voltage | $V_{DD}$ | -0.5 to +18 | Vdc |
| Input Voltage, All Inputs | $V_{in}$ | -0.5 to $V_{DD}$ + 0.5 | Vdc |
| DC Current Drain per Pin | I | 10 | mAdc |
| Operating Temperature Range | $T_A$ | -40 to +85 | °C |
| Storage Temperature Range | $T_{stg}$ | -65 to +150 | °C |

This device contains circuitry to protect the inputs against damage due to high static voltages or electric fields; however, it is advised that normal precautions be taken to avoid application of any voltage higher than maximum rated voltages to this high impedance circuit. For proper operation it is recommended that $V_{in}$ and $V_{out}$ be constrained to the range $V_{SS} \le (V_{in}$ or $V_{out}) \le V_{DD}$.

Unused inputs must always be tied to an appropriate logic voltage level (e.g., either $V_{SS}$ or $V_{DD}$).

**ELECTRICAL CHARACTERISTICS**

| Characteristic | Symbol | $V_{DD}$ Vdc | -40°C Min | -40°C Max | 25°C Min | 25°C Typ | 25°C Max | +85°C Min | +85°C Max | Unit |
|---|---|---|---|---|---|---|---|---|---|---|
| Output Voltage "0" Level $V_{in}$ = $V_{DD}$ or 0 | $V_{OL}$ | 5.0 | – | 0.05 | – | 0 | 0.05 | – | 0.05 | Vdc |
| | | 10 | – | 0.05 | – | 0 | 0.05 | – | 0.05 | |
| | | 15 | – | 0.05 | – | 0 | 0.05 | – | 0.05 | |
| "1" Level $V_{in}$ = 0 or $V_{DD}$ | $V_{OH}$ | 5.0 | 4.95 | – | 4.95 | 5.0 | – | 4.95 | – | Vdc |
| | | 10 | 9.95 | – | 9.95 | 10 | – | 9.95 | – | |
| | | 15 | 14.95 | | 14.95 | 15 | – | 14.95 | – | |
| Input Voltage "0" Level | $V_{IL}$ | | | | | | | | | Vdc |
| ($V_O$ = 4.5 or 0.5 Vdc) | | 5.0 | – | 1.5 | – | 2.25 | 1.5 | – | 1.5 | |
| ($V_O$ = 9.0 or 1.0 Vdc) | | 10 | – | 3.0 | – | 4.50 | 3.0 | – | 3.0 | |
| ($V_O$ = 13.5 or 1.5 Vdc) | | 15 | – | 4.0 | – | 6.75 | 4.0 | – | 4.0 | |
| "1" Level | $V_{IH}$ | | | | | | | | | Vdc |
| ($V_O$ = 0.5 or 4.5 Vdc) | | 5.0 | 3.5 | – | 3.5 | 2.75 | – | 3.5 | – | |
| ($V_O$ = 1.0 or 9.0 Vdc) | | 10 | 7.0 | – | 7.0 | 5.50 | – | 7.0 | – | |
| ($V_O$ = 1.5 or 13.5 Vdc) | | 15 | 11.0 | – | 11.0 | 8.25 | – | 11.0 | – | |
| Output Drive Current (Except Pin 2 Source | $I_{OH}$ | | | | | | | | | mAdc |
| ($V_{OH}$ = 2.5 Vdc) | | 5.0 | -1.0 | – | -0.8 | -1.7 | – | -0.6 | – | |
| ($V_{OH}$ = 4.6 Vdc) | | 5.0 | -0.2 | – | -0.16 | -0.35 | – | -0.12 | – | |
| ($V_{OH}$ = 9.5 Vdc) | | 10 | -0.5 | – | -0.4 | -0.9 | – | -0.3 | – | |
| ($V_{OH}$ = 13.5 Vdc) | | 15 | -1.4 | – | -1.2 | -3.5 | – | -1.0 | – | |
| ($V_{OL}$ = 0.4 Vdc) Sink | $I_{OL}$ | 5.0 | 0.52 | – | 0.44 | 0.88 | – | 0.36 | – | mAdc |
| ($V_{OL}$ = 0.5 Vdc) | | 10 | 1.3 | – | 1.1 | 2.25 | – | 0.9 | – | |
| ($V_{OL}$ = 1.5 Vdc) | | 15 | 3.6 | – | 3.0 | 8.8 | – | 2.4 | – | |
| Output Drive Current (Pin 2 Only) | $I_{OH}$ | | | | | | | | | mAdc |
| ($V_{OH}$ = 2.5 Vdc) Source | | 5.0 | -0.19 | – | -0.16 | -0.32 | – | -0.13 | – | |
| ($V_{OH}$ = 4.6 Vdc) | | 5.0 | -0.04 | – | -0.035 | -0.07 | – | -0.03 | – | |
| ($V_{OH}$ = 9.5 Vdc) | | 10 | -0.09 | – | -0.08 | -0.16 | – | -0.06 | – | |
| ($V_{OH}$ = 13.5 Vdc) | | 15 | -0.29 | – | -0.27 | -0.48 | – | -0.2 | – | |
| ($V_{OL}$ = 0.4 Vdc) Sink | $I_{OL}$ | 5.0 | 0.1 | – | 0.085 | 0.17 | – | 0.07 | – | mAdc |
| ($V_{OL}$ = 0.5 Vdc) | | 10 | 0.17 | – | 0.14 | 0.28 | – | 0.1 | – | |
| ($V_{OL}$ = 1.5 Vdc) | | 15 | 0.50 | – | 0.42 | 0.84 | – | 0.3 | – | |
| Maximum Frequency | $f_{max}$ | 4.5 | 400 | – | 365 | 550 | – | 310 | – | kHz |
| Input Current | $I_{in}$ | 15 | – | ±0.3 | – | ±0.00001 | ±0.3 | – | ±1.0 | µAdc |
| Pull-Up Current (Pins 4-18) | $I_{UP}$ | 15 | 12 | 120 | 10 | 50 | 100 | 8.0 | 85 | µAdc |
| Input Capacitance ($V_{in}$ = 0) | $C_{in}$ | – | – | – | – | 5.0 | 7.5 | – | – | pF |
| Quiescent Current (Per Package) | $I_{DD}$ | 5.0 | – | 75 | – | 0.010 | 75 | – | 565 | µAdc |
| | | 10 | – | 150 | – | 0.020 | 150 | – | 1125 | |
| | | 15 | – | 300 | – | 0.030 | 300 | – | 2250 | |
| Supply Voltage | $V_{DD}$ | – | +4.5 | +18.0 | +4.5 | – | +18.0 | +4.5 | +18.0 | Vdc |

Noise immunity specified for worst-case input combination.
Noise Margin both "1" and "0" level = 1.0 Vdc min @ $V_{DD}$ = 5.0 Vdc
2.0 Vdc min @ $V_{DD}$ = 10 Vdc
2.5 Vdc min @ $V_{DD}$ = 15 Vdc



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

FIGURE 1 – OSCILLATOR CIRCUIT

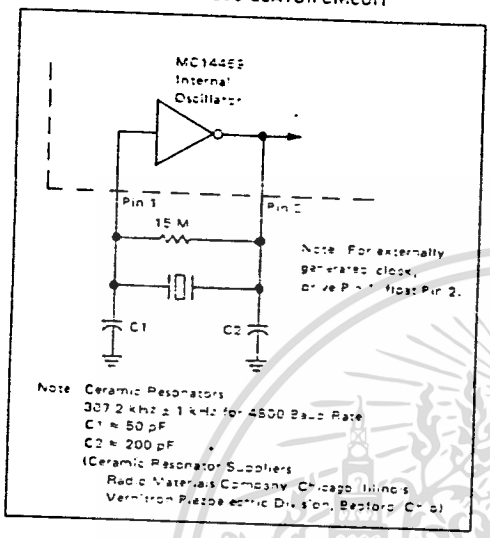



FIGURE 2 – RECTIFIED POWER FROM DATA LINES CIRCUIT

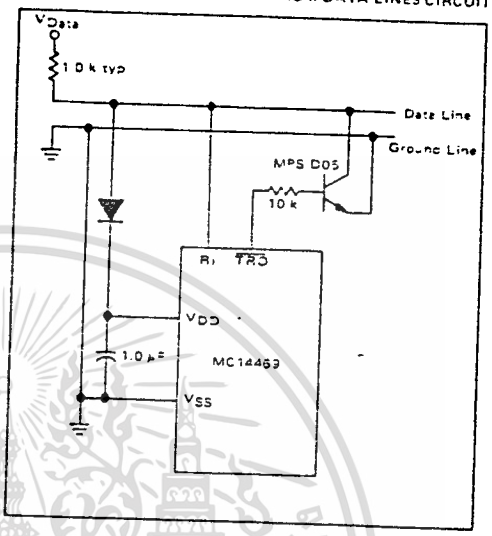
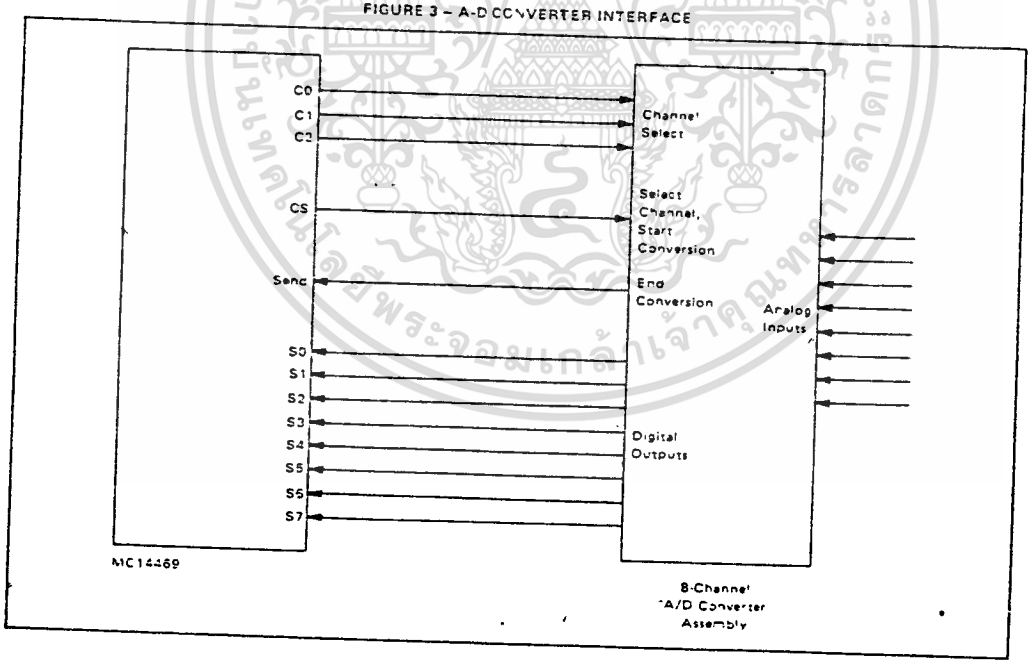



FIGURE 3 – A-D CONVERTER INTERFACE






เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

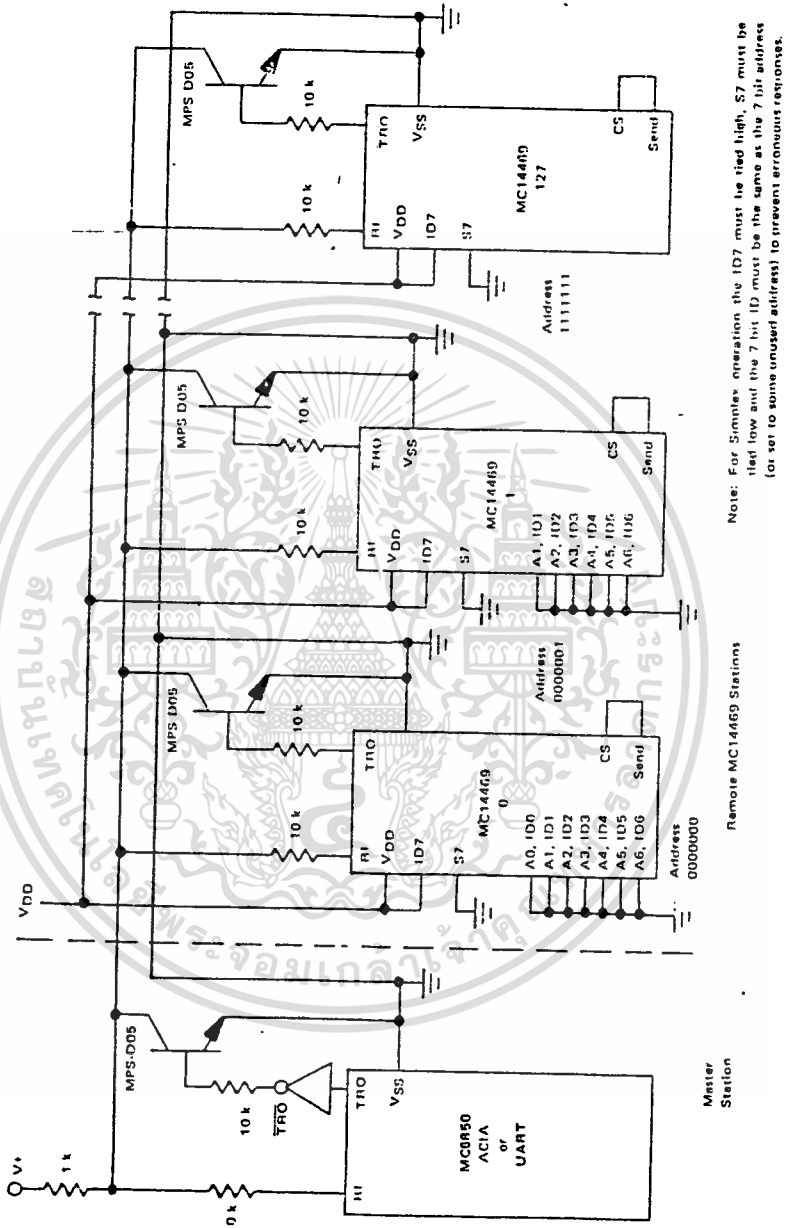


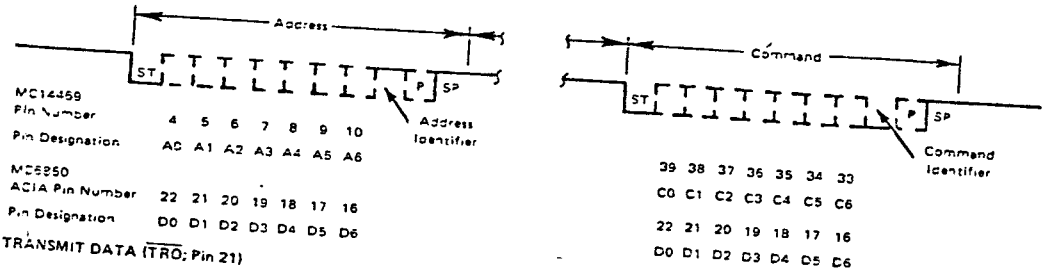

FIGURE 4 – SINGLE LINE, SIMPLEX DATA TRANSMISSION

Note: For Simplex operation the ID7 must be tied high, S7 must be tied low and the 7 bit ID must be the same as the 7 bit address (or set to some unused address) to prevent erroneous responses.

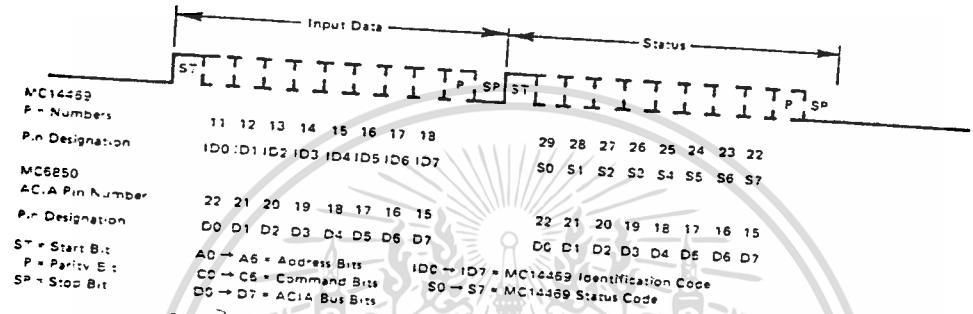


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

RECEIVE DATA (RI; Pin 19)

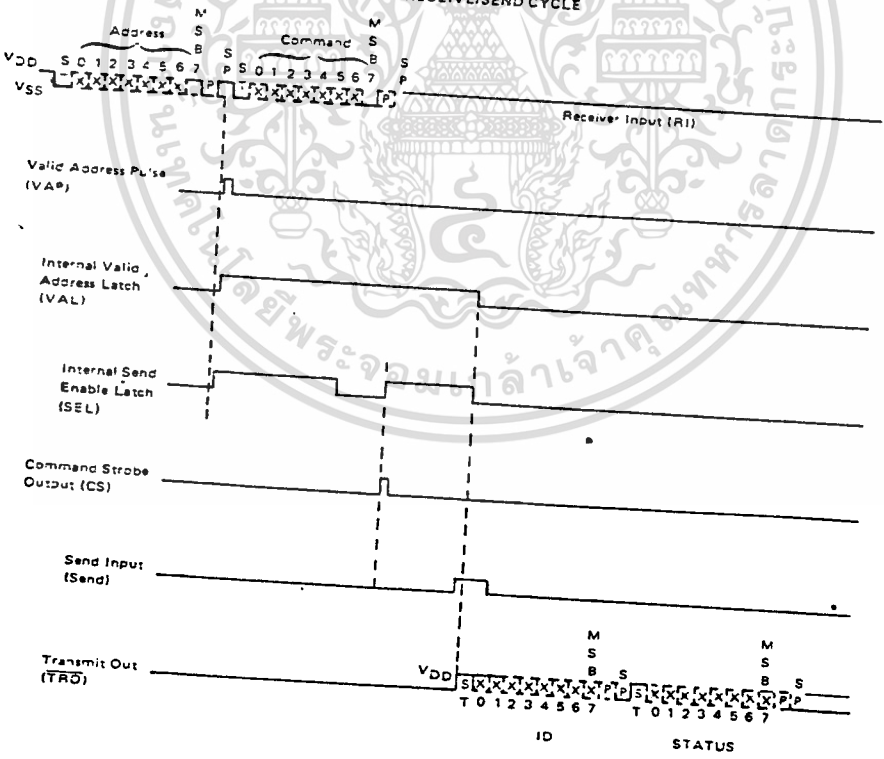



TRANSMIT DATA ($\overline{TRO}$; Pin 21)




CORRESPONDING DATA POSITION AND PINS FOR MC14469 AND MC6850

TYPICAL RECEIVE/SEND CYCLE






เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

## DEVICE OPERATION

OSCILLATOR (Osc1, Osc2; Pins 1, 2) – These pins are the oscillator input and output. (See Figure 1.)

RESET ($\overline{\text{Reset}}$; Pin 3) – When this pin is pulled low, the circuit is reset and ready for operation.

ADDRESS (A0-A6; Pin 4, 5, 6, 7, 8, 9, 10) – These are the address setting pins which contain the address match for the received signal.

INPUT DATA (ID0-ID7; Pins 11, 12, 13, 14, 15, 16, 17, 18) – These pins contain the input data for the first eight bits of data to be transmitted.

RECEIVE INPUT (RI; Pin 19) – This is the receive input pin.

NEGATIVE POWER SUPPLY ($V_{SS}$; Pin 20) – This pin is the negative power supply connection. Normally this pin is system ground.

TRANSMIT REGISTER OUTPUT SIGNAL ($\overline{\text{TRO}}$; Pin 21) – This pin transmits the outgoing signal. Note that it is inverted from the incoming signal. It must go through one stage of inversion if it is to drive another MC14469.

SECOND or STATUS INPUT DATA (S0-S7; Pins 22, 23, 24, 25, 26, 27, 28, 29) – These pins contain the input data for the second eight bits of data to be transmitted.

SEND (Send; Pin 30) – This pin accepts the send command after receipt of an address.

VALID ADDRESS PULSE (VAP; Pin 31) – This is the output for the valid address pulse upon receipt of a matched incoming address.

COMMAND STROBE (CS; Pin 32) – This is the output for the command strobe signifying a valid set of command data on pins 33-39.

COMMAND WORD (C0-C6; Pins 33, 34, 35, 36, 37, 38, 39) – These pins are the readout of the command word which is the second word of the received signal.

POSITIVE POWER SUPPLY ($V_{DD}$; Pin 40) – This pin is the package positive power supply pin.

## OPERATING CHARACTERISTICS

The receipt of a start bit on the Receive Input (RI) line causes the receive clock to start at a frequency equal to that of the oscillator divided by 64. All received data is strobed in at the center of a receive clock period. The start bit is followed by eight data bits. Seven of the bits are compared against states of the address of the particular circuit (A0-A6), while the eighth bit signifies an address word "1", or a command word "0". Next, a parity bit is received and checked by the internal logic for even parity. Finally a stop bit is received. At the completion of the cycle if the address compared, a Valid Address Pulse (VAP) occurs. Immediately following the address word, a command word is received. It also contains a start bit, eight data bits, even parity bit, and a stop bit. The eight data bits are composed of a seven-bit command, and a "0" which indicates a command word. At the end of the command word a Command Strobe Pulse (CS) occurs.

A negative transition on the Send input initiates the transmit sequence. Again the transmitted data is made up of two eleven-bit words. The data portion of the first word is made up from Input Data inputs (ID0-ID7), and the data for the second word from Second Input Data (S0-S7) inputs. This data is latched before the start of transmit of the first of the two words. The transmitted signal is the inversion of the standard UART TRO, which allows the use of an inverting amplifier to drive the lines.

The oscillator can be crystal controlled or ceramic resonator controlled for required accuracy. Pin 1 may be driven from an external clock source. See Figure 1.



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

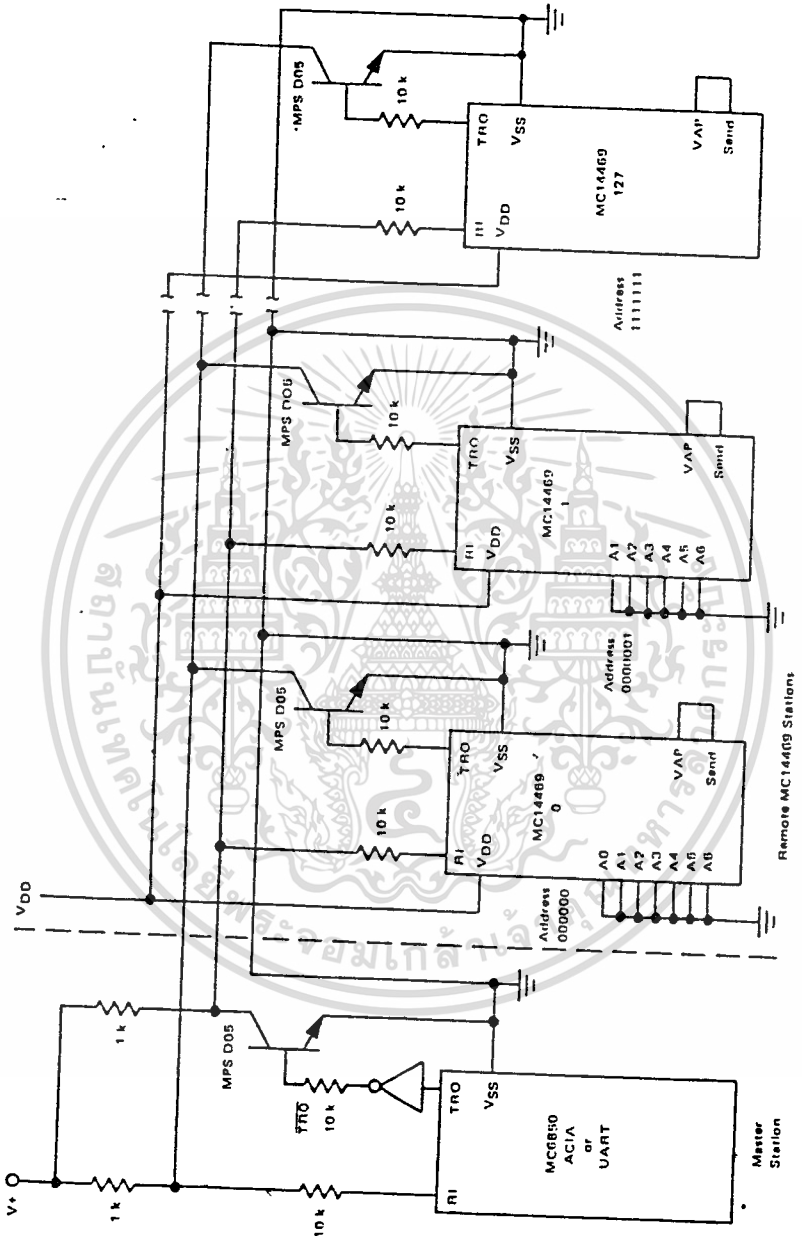
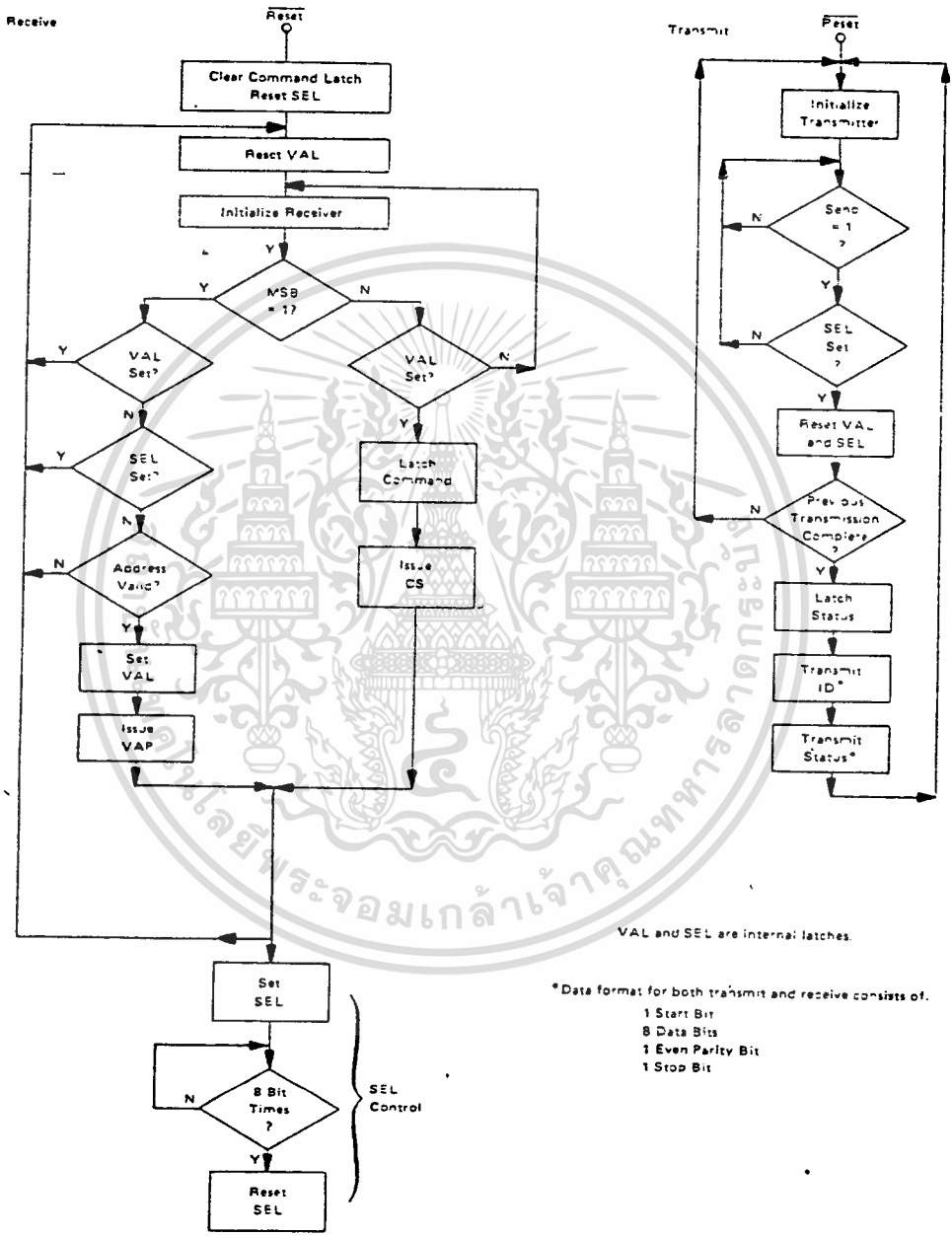



FIGURE 5 – DOUBLE LINE, FULL DUPLEX DATA TRANSMISSION



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

FIGURE 6 – FLOW CHART OF MC14469 OPERATION




VAL and SEL are internal latches.

*Data format for both transmit and receive consists of:
1 Start Bit
8 Data Bits
1 Even Parity Bit
1 Stop Bit



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

National Semiconductor Corporation

# LM555/LM555C Timer

## General Description

The LM555 is a highly stable device for generating accurate time delays or oscillation. Additional terminals are provided for triggering or resetting if desired. In the time delay mode of operation, the time is precisely controlled by one external resistor and capacitor. For astable operation as an oscillator, the free-running frequency and duty cycle are accurately controlled with two external resistors and one capacitor. The circuit may be triggered and reset on falling waveforms, and the output circuit can source or sink up to 200 mA or drive TTL circuits.

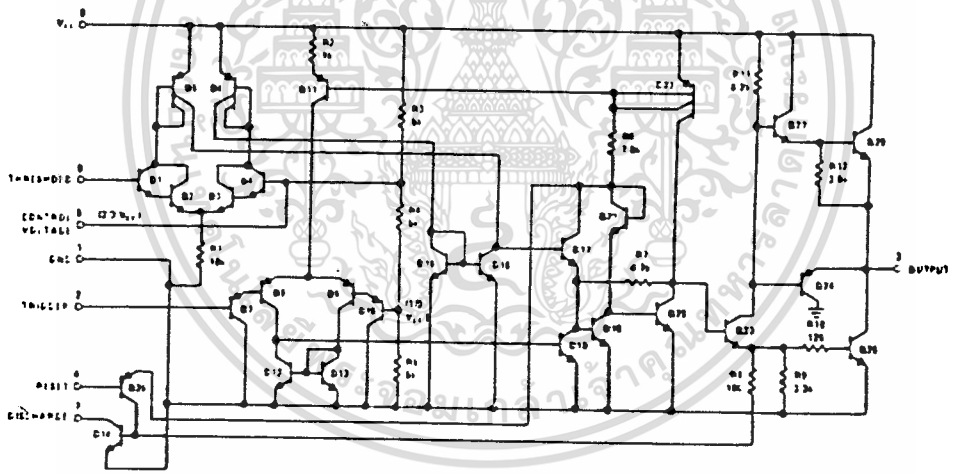
## Features

- Direct replacement for SE555/NE555
- Timing from microseconds through hours
- Operates in both astable and monostable modes
- Adjustable duty cycle
- Output can source or sink 200 mA
- Output and supply TTL compatible
- Temperature stability better than 0.005% per °C
- Normally on and normally off output

## Applications

- Precision timing
- Pulse generation
- Sequential timing
- Time delay generation
- Pulse width modulation
- Pulse position modulation
- Linear ramp generator

## Schematic Diagram



TL/H/7851-1



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

## Absolute Maximum Ratings

If Military/Aerospace specified devices are required, contact the National Semiconductor Sales Office/ Distributors for availability and specifications.

Supply Voltage + 18V

Power Dissipation (Note 1) LM555H, LM555CH 760 mW
LM555N, LM555CN 1180 mW

Operating Temperature Ranges
LM555C 0°C to + 70°C
LM555 − 55°C to + 125°C

Storage Temperature Range − 65°C to + 150°C

Soldering Information
Dual-In-Line Package
Soldering (10 Seconds) 260°C
Small Outline Package
Vapor Phase (60 Seconds) 215°C
Infrared (15 Seconds) 220°C

See AN-450 "Surface Mounting Methods and Their Effect on Product Reliability" for other methods of soldering surface mount devices

## Electrical Characteristics ($T_A$ = 25°C, $V_{CC}$ = + 5V to + 15V, unless otherwise specified)

| Parameter | Conditions | Limits | | | | | | Units |
|---|---|---|---|---|---|---|---|---|
| | | LM555 | | | LM555C | | | |
| | | Min | Typ | Max | Min | Typ | Max | |
| Supply Voltage | | 4.5 | | 18 | 4.5 | | 16 | V |
| Supply Current | $V_{CC}$ = 5V, $R_L$ = ∞<br>$V_{CC}$ = 5V, $R_L$ = ∞ (Low State) (Note 2) | | 3<br>10 | 5<br>12 | | 3<br>10 | 6<br>15 | mA<br>mA |
| Timing Error, Monostable | | | | | | | | |
| Initial Accuracy | | | 0.5 | | | 1 | | % |
| Drift with Temperature | $R_A$, $R_B$ = 1k to 100k, C = 0.1 µF, (Note 3) | | 30 | | | 50 | | ppm/°C |
| Accuracy over Temperature | | | 1.5 | | | 1.5 | | % |
| Drift with Supply | | | 0.05 | | | 0.1 | | %/V |
| Timing Error, Astable | | | | | | | | |
| Initial Accuracy | | | 1.5 | | | 2.25 | | % |
| Drift with Temperature | | | 90 | | | 150 | | ppm/°C |
| Accuracy over Temperature | | | 2.5 | | | 3.0 | | % |
| Drift with Supply | | | 0.15 | | | 0.30 | | %/V |
| Threshold Voltage | | | 0.667 | | | 0.667 | | x $V_{CC}$ |
| Trigger Voltage | $V_{CC}$ = 15V<br>$V_{CC}$ = 5V | 4.8<br>1.45 | 5<br>1.67 | 5.2<br>1.9 | | 5<br>1.67 | | V<br>V |
| Trigger Current | | | 0.01 | 0.5 | | 0.5 | 0.9 | µA |
| Reset Voltage | | 0.4 | 0.5 | 1 | 0.4 | 0.5 | 1 | V |
| Reset Current | | | 0.1 | 0.4 | | 0.1 | 0.4 | mA |
| Threshold Current | (Note 4) | | 0.1 | 0.25 | | 0.1 | 0.25 | µA |
| Control Voltage Level | $V_{CC}$ = 15V<br>$V_{CC}$ = 5V | 9.6<br>2.9 | 10<br>3.33 | 10.4<br>3.8 | 9<br>2.6 | 10<br>3.33 | 11<br>4 | V<br>V |
| Pin 7 Leakage Output High | | | 1 | 100 | | 1 | 100 | nA |
| Pin 7 Sat (Note 5) | | | | | | | | |
| Output Low | $V_{CC}$ = 15V, $I_7$ = 15 mA | | 150 | | | 180 | | mV |
| Output Low | $V_{CC}$ = 4.5V, $I_7$ = 4.5 mA | | 70 | 100 | | 80 | 200 | mV |



เอกสารนี้มีไว้เพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

## Electrical Characteristics $T_A$ = 25°C, $V_{CC}$ = +5V to +15V, (unless otherwise specified) (Continued)

| Parameter | Conditions | Limits | | | | | | Units |
|---|---|---|---|---|---|---|---|---|
| | | LM555 | | | LM555C | | | |
| | | Min | Typ | Max | Min | Typ | Max | |
| Output Voltage Drop (Low) | $V_{CC}$ = 15V | | | | | | | |
| | $I_{SINK}$ = 10 mA | | 0.1 | 0.15 | | 0.1 | 0.25 | V |
| | $I_{SINK}$ = 50 mA | | 0.4 | 0.5 | | 0.4 | 0.75 | V |
| | $I_{SINK}$ = 100 mA | | 2 | 2.2 | | 2 | 2.5 | V |
| | $I_{SINK}$ = 200 mA | | 2.5 | | | 2.5 | | V |
| | $V_{CC}$ = 5V | | | | | | | |
| | $I_{SINK}$ = 8 mA | | 0.1 | 0.25 | | | | V |
| | $I_{SINK}$ = 5 mA | | | | | 0.25 | 0.35 | V |
| Output Voltage Drop (High) | $I_{SOURCE}$ = 200 mA, $V_{CC}$ = 15V | | 12.5 | | | 12.5 | | V |
| | $I_{SOURCE}$ = 100 mA, $V_{CC}$ = 15V | 13 | 13.3 | | 12.75 | 13.3 | | V |
| | $V_{CC}$ = 5V | 3 | 3.3 | | 2.75 | 3.3 | | V |
| Rise Time of Output | | | 100 | | | 100 | | ns |
| Fall Time of Output | | | 100 | | | 100 | | ns |

**Note 1** For operating at elevated temperatures the device must be derated above 25°C based on a +150°C maximum junction temperature and a thermal resistance of 164°C/W (TO-5), 106°C/W (DIP) and 170°C/W (SO-8) junction to ambient.

**Note 2** Supply current when output high typically 1 mA less at $V_{CC}$ = 5V.

**Note 3** Tested at $V_{CC}$ = 5V and $V_{CC}$ = 15V.

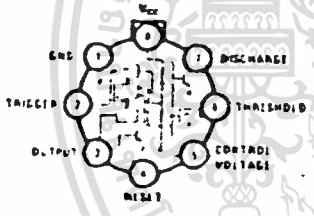
**Note 4** This will determine the maximum value of $R_A$ + $R_B$ for 15V operation. The maximum total ($R_A$ + $R_B$) is 20 MΩ.

**Note 5** No protection against excessive pin 7 current is necessary providing the package dissipation rating will not be exceeded.

**Note 6** Refer to RETS555X drawing of military LM555H and LM555J versions for specifications.

## Connection Diagrams

**Metal Can Package**

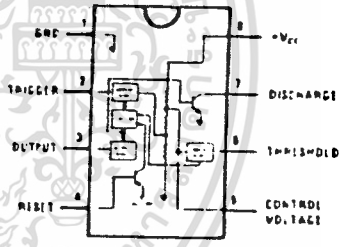



TL/H/7851-2

Top View

Order Number LM555H or LM555CH
See NS Package Number H08C

**Dual-In-Line and Small Outline Packages**




TL/H/7851-3

Top View

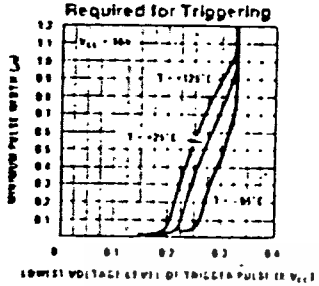
Order Number LM555J, LM555CJ,
LM555CM or LM555CN
See NS Package Number J08A, M08A or N08B



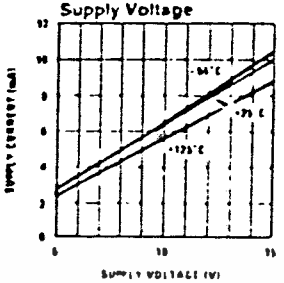
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

## Typical Performance Characteristics

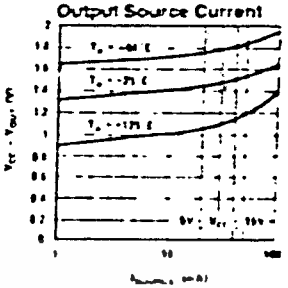
Minimum Pulse Width Required for Triggering



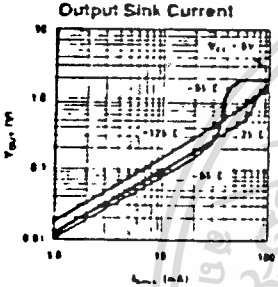
Supply Current vs Supply Voltage



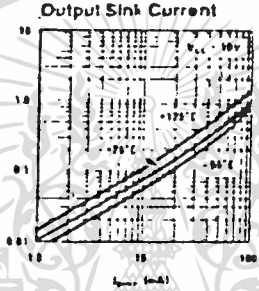
High Output Voltage vs Output Source Current



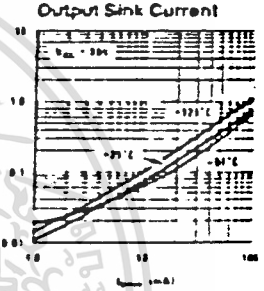
Low Output Voltage vs Output Sink Current



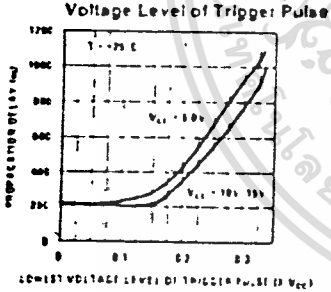
Low Output Voltage vs Output Sink Current



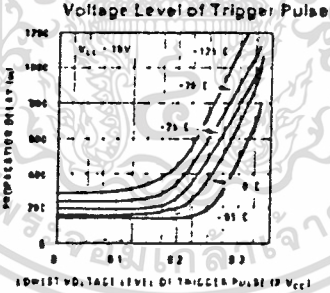
Low Output Voltage vs Output Sink Current



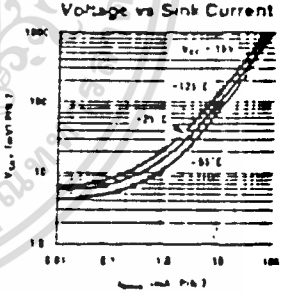
Output Propagation Delay vs Voltage Level of Trigger Pulse



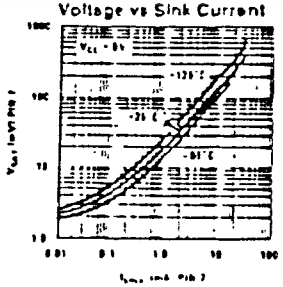
Output Propagation Delay vs Voltage Level of Trigger Pulse



Discharge Transistor (Pin 7) Voltage vs Sink Current



Discharge Transistor (Pin 7) Voltage vs Sink Current



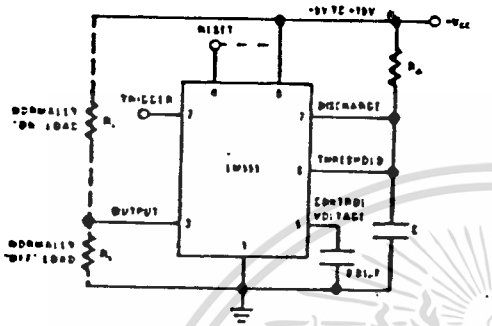


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

## Application Information

### MONOSTABLE OPERATION

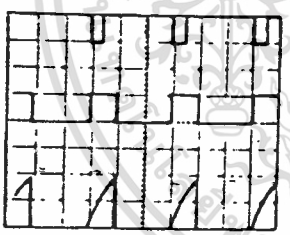
In this mode of operation, the timer functions as a one-shot (*Figure 1*) The external capacitor is initially held discharged by a transistor inside the timer Upon application of a negative trigger pulse of less than 1/3 $V_{CC}$ to pin 2, the flip-flop is set which both releases the short circuit across the capacitor and drives the output high.




TL/H/7851-5

FIGURE 1. Monostable

The voltage across the capacitor then increases exponentially for a period of $t = 1.1\ R_A\ C$, at the end of which time the voltage equals 2/3 $V_{CC}$. The comparator then resets the flip-flop which in turn discharges the capacitor and drives the output to its low state *Figure 2* shows the waveforms generated in this mode of operation Since the charge and the threshold level of the comparator are both directly proportional to supply voltage, the timing internal is independent of supply.



TL/H/7851-6

$V_{CC}$ = 5V
TIME = 0.1 ms/Div
$R_A$ = 9.1 kΩ
C = 0.01 µF

Top Trace Input 5V/Div
Middle Trace Output 5V/Div
Bottom Trace Capacitor Voltage 2V/Div

FIGURE 2 Monostable Waveforms

During the timing cycle when the output is high, the further application of a trigger pulse will not effect the circuit However the circuit can be reset during this time by the application of a negative pulse to the reset terminal (pin 4). The output will then remain in the low state until a trigger pulse is again applied

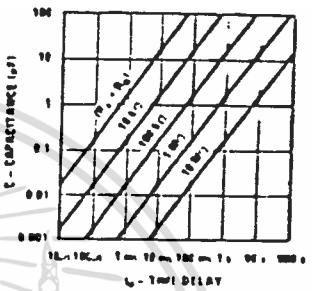
When the reset function is not in use, it is recommended that it be connected to $V_{CC}$ to avoid any possibility of false triggering.

*Figure 3* is a nomograph for easy determination of R, C values for various time delays.

NOTE In monostable operation, the trigger should be driven high before the end of timing cycle

### ASTABLE OPERATION

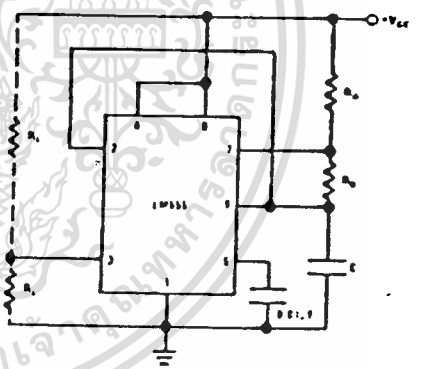
If the circuit is connected as shown in *Figure 4* (pins 2 and 6 connected) it will trigger itself and free run as a




TL/H/7851-7

FIGURE 3. Time Delay

multivibrator The external capacitor charges through $R_A$ + $R_B$ and discharges through $R_B$ Thus the duty cycle may be precisely set by the ratio of these two resistors



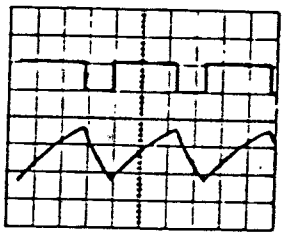

TL/H/7851-8

FIGURE 4. Astable

In this mode of operation, the capacitor charges and discharges between 1/3 $V_{CC}$ and 2/3 $V_{CC}$ As in the triggered mode, the charge and discharge times, and therefore the frequency are independent of the supply voltage

## Applications Information (Continued)

*Figure 5* shows the waveforms generated in this mode of operation.



TL/H/7851-9

$V_{CC}$ = 5V — Top Trace: Output 5V/Div.
TIME = 20 μs/DIV. — Bottom Trace: Capacitor Voltage 1V/Div.
$R_A$ = 3.9 kΩ
$R_B$ = 3 kΩ
C = 0.01 μF

FIGURE 5. Astable Waveforms

The charge time (output high) is given by:

$$t_1 = 0.693 (R_A + R_B) C$$

And the discharge time (output low) by:

$$t_2 = 0.693 (R_B) C$$

Thus the total period is:

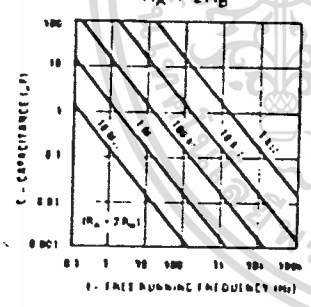
$$T = t_1 + t_2 = 0.693 (R_A + 2R_B) C$$

The frequency of oscillation is:

$$f = \frac{1}{T} = \frac{1.44}{(R_A + 2R_B) C}$$

*Figure 6* may be used for quick determination of these RC values

The duty cycle is: $D = \frac{R_B}{R_A + 2R_B}$

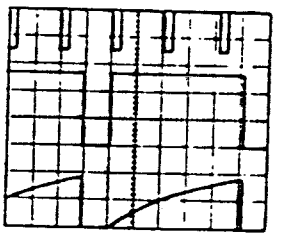



TL/H/7851-10

FIGURE 6. Free Running Frequency

### FREQUENCY DIVIDER

The monostable circuit of *Figure 1* can be used as a frequency divider by adjusting the length of the timing cycle. *Figure 7* shows the waveforms generated in a divide by three circuit



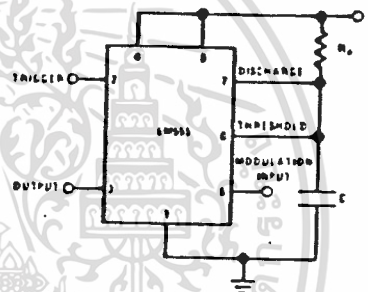
TL/H/7851-11

$V_{CC}$ = 5V — Top Trace: Input 4V/Div.
TIME = 20 μs/Div — Middle Trace: Output 2V/Div.
$R_A$ = 9.1 kΩ — Bottom Trace: Capacitor 2V/Div.
C = 0.01 μF

FIGURE 7. Frequency Divider

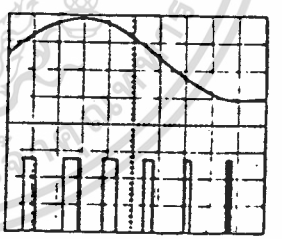
### PULSE WIDTH MODULATOR

When the timer is connected in the monostable mode and triggered with a continuous pulse train, the output pulse width can be modulated by a signal applied to pin 5. *Figure 8* shows the circuit, and in *Figure 9* are some waveform examples.




TL/H/7851-12

FIGURE 8. Pulse Width Modulator



TL/H/7851-13

$V_{CC}$ = 5V — Top Trace: Modulation 1V/Div.
TIME = 0.2 ms/DIV — Bottom Trace: Capacitor Voltage 2V/Div.
$R_A$ = 9.1 kΩ
C = 0.01 μF

FIGURE 9. Pulse Width Modulator

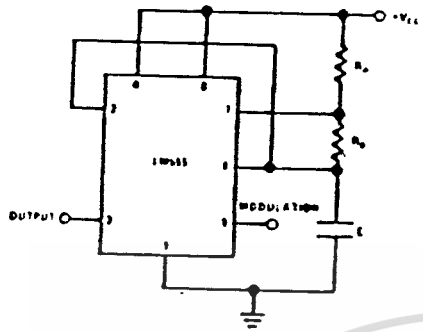
### PULSE POSITION MODULATOR

This application uses the timer connected for astable operation, as in *Figure 10*, with a modulating signal again applied to the control voltage terminal. The pulse position varies with the modulating signal, since the threshold voltage and hence the time delay is varied. *Figure 11* shows the waveforms generated for a triangle wave modulation signal.



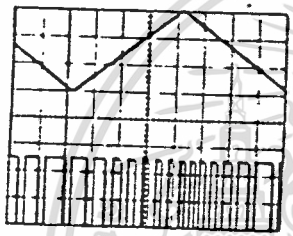
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

## Applications Information (Continued)



TL/H/7851-14

FIGURE 10. Pulse Position Modulator



TL/H/7851-15

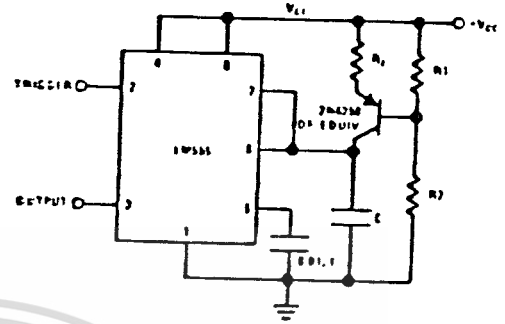
$V_{CC}$ = 5V
TIME = 0.1 ms/Div
$R_A$ = 3.6 kΩ
$R_B$ = 3 kΩ
C = 0.01 μF

Top Trace: Modulation Input 1V/Div
Bottom Trace: Output 2V/Div

FIGURE 11. Pulse Position Modulator

### LINEAR RAMP

When the pullup resistor, $R_A$, in the monostable circuit is replaced by a constant current source, a linear ramp is generated. *Figure 12* shows a circuit configuration that will perform this function.



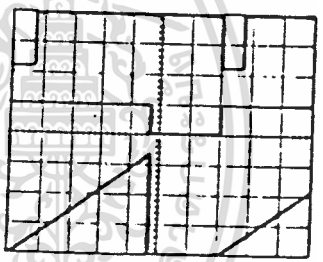
TL/H/7851-16

FIGURE 12

*Figure 13* shows waveforms generated by the linear ramp. The time interval is given by:

$$T = \frac{2/3\, V_{CC}\, R_E\, (R_1 + R_2)\, C}{R_1\, V_{CC} - V_{BE}\, (R_1 + R_2)}$$

$$V_{BE} = 0.6V$$



TL/H/7851-17

$V_{CC}$ = 5V
TIME = 20 μs/Div
$R_1$ = 47 kΩ
$R_2$ = 100 kΩ
$R_E$ = 2.7 kΩ
C = 0.01 μF

Top Trace: Input 3V/Div
Middle Trace: Output 5V/Div
Bottom Trace: Capacitor Voltage 1V/Div

FIGURE 13. Linear Ramp

### 50% DUTY CYCLE OSCILLATOR

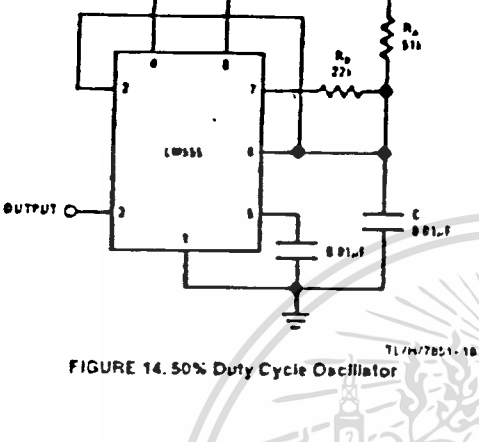
For a 50% duty cycle, the resistors $R_A$ and $R_B$ may be connected as in *Figure 14*. The time period for the out-

## Applications Information (Continued)

put high is the same as previous, $t_1 = 0.693\ R_A\ C$. For the output low it is $t_2 =$

$$\left[(R_A R_B)/(R_A + R_B)\right] C \ln\left[\frac{R_A - 2R_B}{2R_A - R_B}\right]$$

Thus the frequency of oscillation is $f = \frac{1}{t_1 + t_2}$




TL/H/7851-18

FIGURE 14. 50% Duty Cycle Oscillator

Note that this circuit will not oscillate if $R_B$ is greater than 1/2 $R_A$ because the junction of $R_A$ and $R_B$ cannot bring pin 2 down to 1/3 $V_{CC}$ and trigger the lower comparator.

### ADDITIONAL INFORMATION

Adequate power supply bypassing is necessary to protect associated circuitry. Minimum recommended is 0.1 μF in parallel with 1 μF electrolytic.

Lower comparator storage time can be as long as 10 μs when pin 2 is driven fully to ground for triggering. This limits the monostable pulse width to 10 μs minimum.

Delay time reset to output is 0.47 μs typical. Minimum reset pulse width must be 0.3 μs, typical.

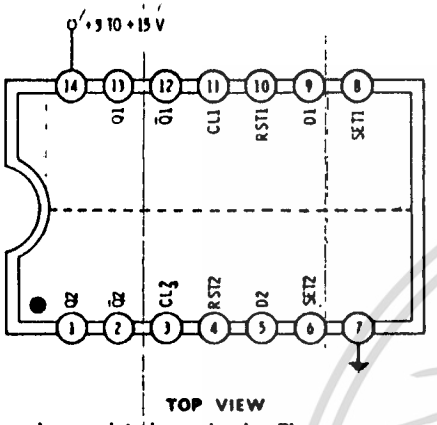
Pin 7 current switches within 30 ns of the output (pin 3) voltage



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค

## 4013

# DUAL D FLIP-FLOP




TOP VIEW

Each flip-flop may be used independently. There are two modes, *clocked* and *direct*.

In the *clocked* mode, the direct set and reset inputs must remain at ground. The input to the D line decides what the flip-flop is going to do. The actual operation doesn't happen until the positive edge (ground-to-positive transition) of the clock.

If D is positive, clocking makes the Q output positive and $\overline{Q}$ grounded. If D is grounded, clocking makes the Q output grounded and $\overline{Q}$ positive.

In the *direct* mode, a positive set input forces Q positive and $\overline{Q}$ to ground. A positive reset input forces Q to ground and $\overline{Q}$ positive. Should both set and reset be simultaneously positive, both Q and $\overline{Q}$ will also go positive. This is usually a disallowed state. The last direct input to go to ground will determine the final state of the Q and $\overline{Q}$ outputs. The direct inputs override the clocked inputs.

Each flip-flop may be made to binary-divide by cross coupling the $\overline{Q}$ output to the D input.

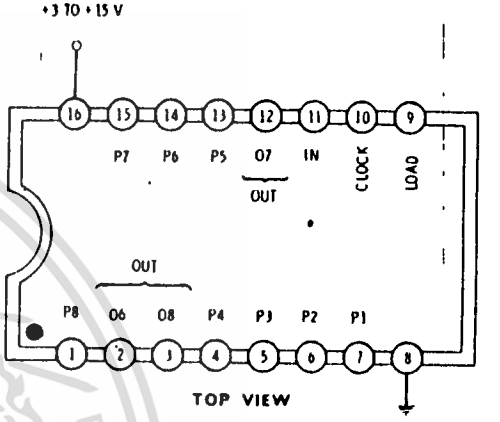
The clock input must be noiseless and have only a single ground-to-positive edge transition per desired clocking. Clock rise and fall times should be 5 microseconds or faster.

Maximum clock frequency is 10 megahertz at 10 volts and 4 megahertz at 5 volts. Total package current at a 1-MHz clock frequency is 0.8 milliampere at 5 volts and 1.6 milliamperes at 10 volts.



## 4014

# 8-STAGE SHIFT REGISTER
# (Parallel-in/Serial-Out; Clocked Load)




TOP VIEW

This package may be used as a 6- ,7-, or 8-stage shift-right register, either as serial-in/serial-out or as parallel-in/serial-out. Stages may be cascaded for longer lengths.

As a serial-in/serial-out register, the load input should be *grounded*. Data presented to the IN terminal gets shifted into the first stage on the ground-to-positive transition (positive edge) of the clock input. In six successive clockings, this data appears at output O6. Another clocking transfers to output O7 and yet another to O8. Additional clockings will lose this bit of data unless stages are cascaded or data is recirculated.

To parallel-load data, apply an 8-bit word to the P1 through P8 terminals, having the P1 bit nearest the input of the register and the P8 bit nearest the output. The load terminal is made *positive*. The high state of the load terminal must overlap the ground-to-positive clock transition. The parallel word gets synchronously loaded into the register on the positive clock edge. The load terminal must then return and stay grounded for normal register operation.

The clock must be noiseless and have only a single ground-to-positive transition per desired shifting. Clock rise and fall times should preferably be faster than 5 microseconds.

Maximum clock frequency is 5 megahertz at 10 volts and 2.5 megahertz at 5 volts. Total package current at a 1-megahertz clock rate is 2 milliamperes at 5 volts and 4 milliamperes at 10 volts.

The 4021 is a similar register with immediate load.

# กิตติกรรมประกาศ

ปริญญานิพนธ์ฉบับนี้ สำเร็จลุล่วงไปได้ด้วยดี ด้วยความช่วยเหลือ คอยดูแลประสานงานต่าง ๆ อย่างดี โดย รศ.ประกิจ ดังดิสานนท์ และอาจารย์ท่านอื่น ๆ ผู้ซึ่งคอยให้ความช่วยเหลือในด้านอุปกรณ์ในการทำปริญญานิพนธ์ชิ้นนี้ รวมทั้งเพื่อน ๆ ซึ่งคอยแบ่งปันความรู้คนละนิด คนละหน่อย ก็สามารถช่วยเหลือในด้านการแก้ปัญหาต่าง ๆ ได้ ในยามที่อาจารย์ไม่อยู่ และที่ขาดเสียมิได้ก็คือ ต้องขอแสดงความขอบพระคุณเป็นอย่างสูง ต่อฝ่ายการเงินของภาควิชาฯ ผู้ซึ่งคอยจัดสรรงบประมาณในการทำปริญญานิพนธ์ชิ้นนี้ได้อย่างดีเยี่ยมมาก ๆ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# หนังสืออ้างอิง


1. Intel Corporation , "MCS-51 Handbook"
2. Addison-Wesley Publishing Company (Asian Edition) , "Data Communication, Computer Networks And OSI" , Fred Halsal , 2nd Edition
3. ถวิล กิ่งทอง, ภาควิชาวิศวกรรมโทรคมนาคม คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง , "เทคโนโลยีการส่งสัญญาณดิจิตอล"
4. สมชาย วิศิษฎ์ภาดา , "วารสารคอมพิวเตอร์อิเล็กทรอนิกส์เวิร์ลด์ ฉบับที่ 112 ปี 2530"
5. บริษัท ซีเอ็ดยูเคชั่น จำกัด , "วารสารเซมิคอนดักเตอร์อิเล็กทรอนิกส์ ฉบับที่ 88"



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้