ปีการศึกษา 2534

ไปรษณีย์อิเลคทรอนิคส์

Electronic Mail

โดย

นาย ถวิล ศรีทอง 31.1083

นาย บัญชา ยงฤทธิกุล 31.1135

นาย สาธิต พานิชยการ 31.1326

อาจารย์ที่ปรึกษา

ผศ.ดร. รัตติกร วรากุลศิริพันธุ์

คณะวิศวกรรมศาสตร์

สถาบันเทคโนโลยีพระจอมเกล้า

เจ้าคุณทหารลาดกระบัง

008464

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

105 - 833-3776

ไปรษณีย์อีเลคทรอนิคส์

Electronic Mail

นาย ถวิล ศรีทอง 31.1083
นาย บัญชา ยงฤทธิกุล 31.1135
นาย สาธิต พานิชยการ 31.1326

อาจารย์ที่ปรึกษา
ผศ.ดร. รัตติกร วรากุลศิริพันธุ์

ปีการศึกษา 2534

บทคัดย่อ

ปริญญานิพนธ์ฉบับนี้เป็นการวิจัยพัฒนาระบบการสื่อสารข้อมูลในระบบ Electronic Mail โดยใช้ไมโครคอมพิวเตอร์ IBM-PC ทำการติดต่อในรูปโครงข่ายแบบบัส มีการเข้าถึงข้อมูลแบบ Centralized Polling ซึ่งในระบบ Electronic Mail นี้เป็นระบบที่สามารถทำการส่งข่าวสารที่บันทึกในรูปแบบของไฟล์ ไปยังเครื่องคอมพิวเตอร์เครื่องอื่นๆที่ต่ออยู่กับระบบได้ โดยมีคอมพิวเตอร์เครื่องหนึ่งทำหน้าที่เป็นศูนย์กลาง(SERVER) ในการรับส่งข้อความข่าวสารหรือไฟล์ต่างๆให้แก่เครื่องเทอร์มินัล ซึ่งเป็น USER ทั้งหลาย หรืออีกในหนึ่งก็คือ การติดต่อกันทุกครั้งจะต้องติดต่อผ่าน SERVER เสมอ ระบบ Electronic Mail นี้ถูกออกแบบให้มีความอ่อนตัวสูง ง่ายต่อการพัฒนาขีดความสามารถและติดตั้ง USER เพิ่มเติม นอกจากนี้เรายังสามารถนำระบบนี้ไปประยุกต์ใช้งานที่เกี่ยวกับการสื่อสารข้อมูลแบบอื่นๆ ได้ด้วย เช่น การสื่อสารข้อมูลภายในสำนักงาน คอมพิวเตอร์ช่วยการเรียนการสอน เป็นต้น

เอกสารนี้จัดทำขึ้นเพื่อใช้สำหรับการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ปริญญานิพนธ์ปีการศึกษา 2534

เรื่อง ไปรษณีย์อีเลคทรอนิคส์

Electronic Mail

ผู้จัดทำ

1. นาย ถวิล ศรีทอง 31.1083
2. นาย บัญชา ยงฤทธิกุล 31.1135
3. นาย สาธิต พานิชยการ 31.1326

คณะวิศวกรรมศาสตร์

สถาบันเทคโนโลยีพระจอมเกล้า

เจ้าคุณทหารลาดกระบัง

.....

(ผศ.ดร. รัตติกร วรากุลศิริพันธุ์)

อาจารย์ที่ปรึกษา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Electronic Mail

Mr. Tawil Srithong 31.1083

Mr. Bancha Yongrithikul 31.1135

Mr. Satit Phanichyakarn 31.1326

Advisor

Assistant Professor Dr. Ruttikorn Varakulsiripunth

Adcademic Year 1991

Abstract

This paper shows the construction of data communication in electronic mail which uses bus type microcomputer IBM-PC network and centralized polling method. It can send information or record of file to other users which connect with the network. In this system, it has a microcomputer which operates as a server for receiving and sending information to other users which operate as users. It can be infered that users must send information through server everytime. This system has high flexibility and easy to evolve capability. It is easy to apply to data communication tasks such as data communication in office, microcomputer for teaching.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ

บทคัดย่อ

บทที่ 1	บทนำ	1
บทที่ 2	ทฤษฎี	3
บทที่ 3	การออกแบบและส่วนประกอบของโครงงาน	23
บทที่ 4	ผลการทดลอง	54
บทที่ 5	สรุปผลการทดลอง	56
ภาคผนวก	วงจรรวมของ hardware, data sheet	

กิตติกรรมประกาศ

บรรณานุกรม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 1
บทนำ

ณ กาลเวลาขณะนี้นับว่าเครื่องคอมพิวเตอร์ได้แพร่หลายไปในหมู่ประชาชนเป็นอย่างมาก ไม่เฉพาะเจาะจงที่จะใช้ในงานธุรกิจดังในอดีต ซึ่งเป็นผลมาจากการที่เครื่องคอมพิวเตอร์ได้ให้ประโยชน์และความสะดวกสบายแก่ผู้ใช้เป็นอย่างมาก และอีกสาเหตุหนึ่งน่าจะมีสาเหตุจากการที่ราคาของเครื่องคอมพิวเตอร์ได้ลดลงมาอย่างรวดเร็วอันเนื่องจากการที่ได้มีการพัฒนาเทคโนโลยีของคอมพิวเตอร์ไปอย่างรวดเร็วมาก ยังผลให้คอมพิวเตอร์เป็นที่นิยมกันอย่างกว้างขวาง

ในทางธุรกิจได้มีการนำคอมพิวเตอร์มาใช้ประโยชน์ให้มากขึ้นกว่าการที่จะทำงานอยู่กับเครื่องคอมพิวเตอร์เพียงเครื่องเดียว แต่ได้มีการนำคอมพิวเตอร์หลายเครื่องซึ่งมีความสามารถแตกต่างกันมาเชื่อมต่อกันเป็นโครงข่าย เพื่อเป็นการใช้งานเครื่องคอมพิวเตอร์ทั้งหมดที่มีอยู่ให้ได้ประโยชน์สูงสุด ทำให้เป็นการลดต้นทุนของการลงทุนในส่วนนี้ด้วย การใช้งานในลักษณะดังกล่าวก็คือ ลักษณะของ LAN (Local Area Network) การประยุกต์ใช้งานในลักษณะของ LAN มีหลายแบบ และหนึ่งในนั้นก็คือ ไปรษณีย์อิเล็กทรอนิคส์ (Electronic Mail) ซึ่งเป็นการส่งรับข่าวสาร ข้อมูล ระหว่างเครื่องคอมพิวเตอร์ที่มีอยู่ โดยเป็นการทำงานในลักษณะของการส่งจดหมายทางไปรษณีย์ คือผู้ที่ต้องการฝากส่งข่าวสารก็จะทำการส่งข้อมูลนั้น ๆ ไปยังเครื่องคอมพิวเตอร์ซึ่งทำหน้าที่เป็นศูนย์กลางการบริการเพื่อทำการส่งข่าวสารที่ฝากมาไปยังผู้รับ ด้วยวิธีดังกล่าวจะเห็นว่าไม่จำเป็นจะต้องเขียนจดหมายลงบนกระดาษที่ใช้ส่งและยังให้ความปลอดภัยในการส่งโดยเฉพาะหากเป็นจดหมายที่เป็นความลับ เพราะผู้ที่จะสามารถทำการเปิดรับจดหมายได้จะต้องมีรหัสที่ใช้ในการเปิด (Pass Word) และจดหมายที่ได้รับก็สามารถสั่งพิมพ์ออกมาเพื่อเก็บเป็นหลักฐานได้ จากที่กล่าวมาจะเห็นว่าการส่งจดหมาย ข่าวสาร ข้อมูล จะเป็นไปอย่างสะดวกรวดเร็ว ประหยัดเวลาในการส่งได้เป็นอย่างมาก และยังมีความปลอดภัยในการส่งจดหมายอีกด้วย

เนื่องจากความแพร่หลายในการใช้คอมพิวเตอร์ จึงทำให้ไปรษณีย์อิเล็คทรอนิคส์ได้เข้ามามีส่วนร่วมในหมู่บุคคลทั่วไปไม่เฉพาะแต่ในทางธุรกิจเท่านั้น อันเนื่องจากความง่ายในการใช้และความสะดวกรวดเร็ว รวมทั้งยังสามารถใช้ในการแลกเปลี่ยนความคิดเห็นกับบุคคลอื่น ๆ ดังเช่น BBS (Bulletin Board) เป็นต้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากที่กล่าวมาข้างต้นในโครงงานนี้จึงเป็นการเสนอระบบไปรษณีย์อิเล็คทรอนิคส์ (Electronic Mail) โดยในการทดลองได้ทำการใช้เครื่องซึ่งเป็นศูนย์กลางการบริการ (File Server) 1 เครื่อง และมีเครื่อง User 2 เครื่อง เพื่อแสดงการทำงานของไปรษณีย์อิเล็คทรอนิคส์ โดยได้แสดงการออกแบบทั้งในส่วน Hardwareและ Softwareรวมทั้งหลักการทำงานเอาไว้ในปริญญานิพนธ์ฉบับนี้ แม้ว่าโครงงานนี้อาจจะไม่สมบูรณ์ไปทุกอย่างดังที่เป็นในเชิงพาณิชย์ ก็หวังเป็นอย่างว่าจะเป็นประโยชน์เพื่อใช้ในการพัฒนาระบบไปรษณีย์อิเล็คทรอนิคส์นี้ต่อไปในอนาคต

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 2
ทฤษฎี

ในบทนี้จะกล่าวถึงรายละเอียดเกี่ยวกับการติดต่อสื่อสารข้อมูล และความรู้พื้นฐานเกี่ยวกับระบบโลคัลแอเรียเนตเวอร์ค (LAN) ในด้านโทโปโลยี่ (TOPOLOGY) รูปแบบต่างๆ สื่อกลางที่ใช้ในการติดต่อ (MEDIA) วิธีการเข้าถึงข้อมูล (ACCESS METHOD) และรูปแบบของ PACKET ที่ใช้ในการติดต่อสื่อสารข้อมูลซึ่งจะนำไปใช้เป็นแนวทางในการออกแบบโครงงานนี้ทั้งในส่วนของฮาร์ดแวร์ (HARDWARE) และซอฟแวร์ (SOFTWARE)

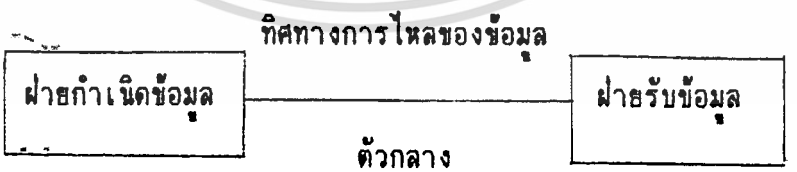
2.1 การติดต่อสื่อสารข้อมูลเบื้องต้น

2.1.1 ส่วนประกอบเบื้องต้นในการสื่อสารข้อมูล

แบ่งออกเป็น 3 ส่วน คือ

- ฝ่ายส่งข้อมูล (TRANSMITTER)
- ตัวกลางในการส่งผ่านข้อมูล (MEDIUM)
- ฝ่ายรับข้อมูล (RECEIVER)

ซึ่งมีความสัมพันธ์กันดังรูป 2.1



รูปที่ 2.1 ความสัมพันธ์ของส่วนประกอบหลักในการติดต่อสื่อสารข้อมูล

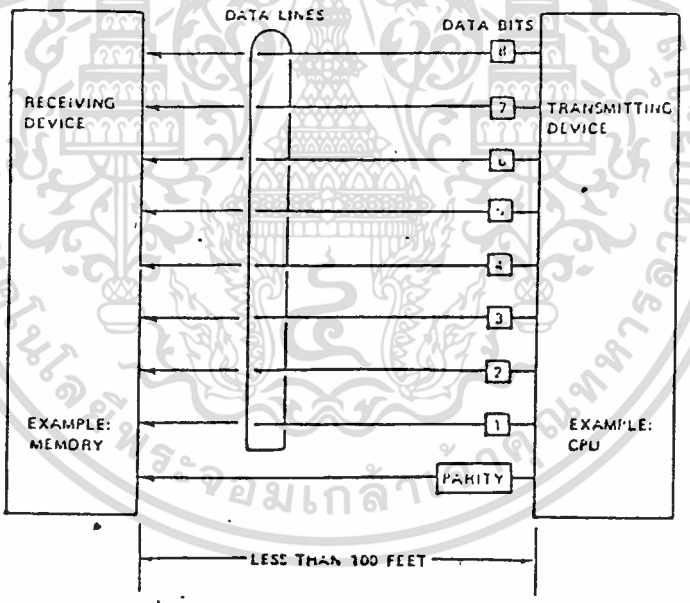
2.1.2 วิธีการสื่อสารข้อมูล

การติดต่อสื่อสารข้อมูลของคอมพิวเตอร์แบ่งออกเป็น 2 ชนิด คือ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำ... ใช้ไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

1. การติดต่อข้อมูลแบบขนาน (PARALLEL)

เป็นการติดต่อสื่อสารโดยการส่งข้อมูลทีละ 1 ไบต์ (8 bits) จากตัวส่งไปยังตัวรับ เพราะฉะนั้นตัวกลางระหว่าง 2 เครื่องจะต้องมีช่องทางให้ข้อมูลเดินทางผ่านอย่างน้อย 8 ช่องทาง ซึ่งส่วนใหญ่จะใช้เป็นสายขนาน ซึ่งมีความยาวไม่เกิน 100 ฟุต เพราะว่าจะมีสัญญาณสูญหายไปกับความต้านทานของสายซึ่งมีความสัมพันธ์กับระยะทางของสาย ทำให้การส่งแบบนี้ได้ระยะทางสั้น แต่สามารถส่งข้อมูลได้รวดเร็วเพราะส่งข้อมูลออกมาพร้อมกันทีละ 8 บิท อุปกรณ์ที่ติดต่อข้อมูลแบบขนานกับคอมพิวเตอร์ เช่น เครื่องพิมพ์ เป็นต้น



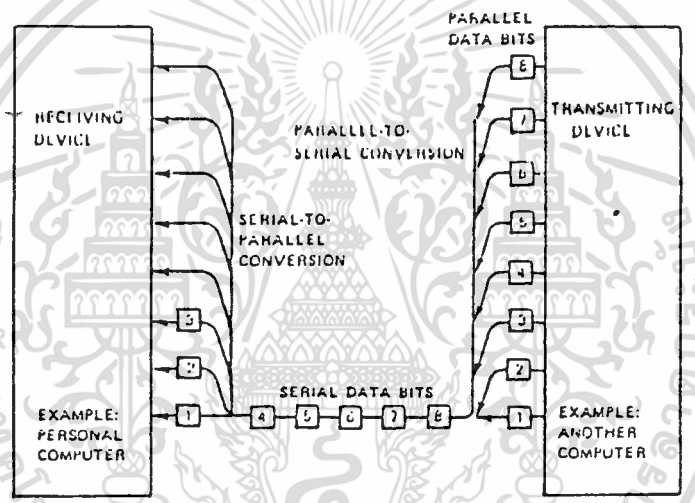
รูปที่ 2.2 การส่งข้อมูลแบบขนาน

2. การติดต่อข้อมูลแบบอนุกรม

เป็นการติดต่อสื่อสารโดยส่งข้อมูลออกมาทีละ 1 บิท จากตัวรับไปยังตัวส่ง ซึ่งการส่งข้อมูลแบบนี้จะช้ากว่าการส่งแบบขนาน แต่ใช้ตัวกลางในการสื่อสาร

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เพียง 1 ช่องหรือสายเพียง 1 คู่เท่านั้นทำให้ค่าใช้จ่ายสำหรับสื่อกลางถูกกว่าแบบขนาน การส่งข้อมูลแบบนี้ใช้สำหรับการส่งระยะทางไกลมากกว่า 100 ฟุต เช่น การสื่อสารทางโทรศัพท์ ข้อมูลจากตัวส่งจะถูกเปลี่ยนให้เป็นแนนอนุกรมก่อนแล้วค่อยส่งออกไปทีละบิทไปยังตัวรับ ที่ตัวรับจะต้องมีตัวแปลงข้อมูลที่ถูกส่งมาให้เป็นแบบขนาน ในการแปลงข้อมูลต้องมีรูปแบบที่เหมาะสมเพื่อป้องกันการผิดพลาดของข้อมูล



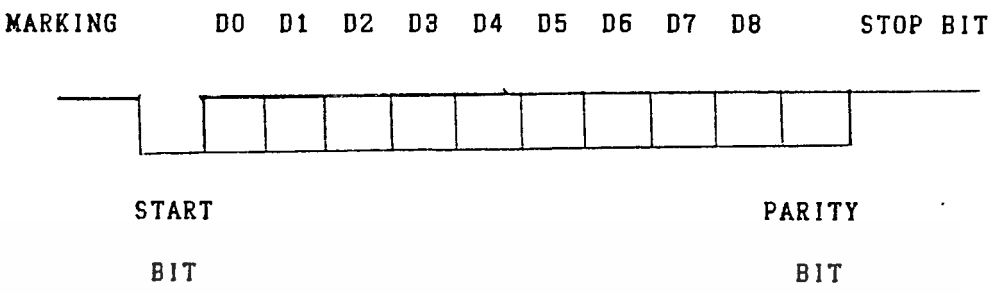
รูปที่ 2.3 การส่งข้อมูลแบบอนุกรม

รูปแบบที่ใช้ในการแปลงข้อมูลแบ่งออกเป็น 2 ประเภท คือ

1. การสื่อสารแบบอะซิงโครนัส (ASYNCHRONUS COMMUNICATION)

สัญญาณอะซิงโครนัส ประกอบด้วย บิทเริ่มต้น (START BIT) และบิทสิ้นสุด (STOP BIT)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.4 รูปแบบการสื่อสารแบบอะซิงโครนัส

ขณะที่สายสัญญาณว่างหรืออยู่ในสภาวะ MARKING STATE จะแสดงด้วย MARKING SIGNAL ซึ่งมีสถานะเป็น 1 จนกระทั่งเมื่อมีข้อมูลส่งเข้ามาทางสายทำให้เกิดการเปลี่ยนแปลงระดับแรงดันไฟฟ้าในสาย ทำให้สัญญาณ MARKING เปลี่ยนเป็น 0 ในช่วงเวลา 1 บิท ซึ่งเรียกว่า บิทเริ่มต้น (START BIT) จะเป็นตัวบอกว่ามีข้อมูลเข้ามาในสาย หลังจากนั้นจะเป็นตัวข้อมูลซึ่งอาจมีขนาดตั้งแต่ 5 ถึง 8 บิท ก็ได้ ส่วนที่ตามมาคือ พาริตี้บิท (PARITY BIT) ซึ่งอาจจะมีหรือไม่มีก็ได้ พาริตี้บิทมีหน้าที่ตรวจสอบความถูกต้องของสัญญาณที่ได้รับ มี 2 แบบ คือ แบบคู่ (EVEN) และแบบคี่ (ODD) ถ้าเป็นพาริตี้คู่ จำนวนบิทที่เป็น 1 ในช่วงบิทข้อมูลรวมกับพาริตี้บิทแล้วจะต้องเป็นจำนวนคู่ ผู้ส่งจะต้องตรวจข้อมูลแล้วใส่พาริตี้บิทเอง ฝ่ายรับเมื่อรับแล้วก็ต้องตรวจสอบว่าเป็นจริงหรือไม่ ถ้าเป็นพาริตี้บิทคี่นั้นเมื่อรวมกันแล้วจะต้องเป็นจำนวนคี่ ต่อจากพาริตี้บิทจะเป็น บิทสิ้นสุด (STOP BIT) ซึ่งความกว้างของบิทสิ้นสุดนี้อาจจะเป็น 1,1.5 หรือ 2 บิทก็ได้

ในการติดต่อแบบอนุกรมนี้ ผู้ใช้จะต้องกำหนดค่าต่างๆ ได้แก่ ความเร็วในการส่ง ความยาวรหัส 1 อักขระ พาริตี้บิท และบิทสิ้นสุด

2. การสื่อสารแบบซิงโครนัส (SYNCHRONOUS COMMUNICATION)

แตกต่างจากแบบซิงโครนัสคือ ควจมต่อเนื่องของข้อมูลที่ส่ง โดยการส่งแบบนี้จะส่งข้อมูลออกมาแบบต่อเนื่อง ไม่มีบิทเริ่มต้น บิทสิ้นสุด พาริตี้บิท

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.1.3 ทิศทางการรับส่งข้อมูล

แบ่งออกเป็น 3 แบบ คือ

1. การส่งแบบทิศทางเดียว (SIMPLEX)

เป็นการส่งที่มีทิศทางการส่งคงที่ โดยกำหนดว่าในครั้งแรกฝ่ายใดเป็นฝ่ายส่ง ก็จะส่งอย่างเดียว ฝ่ายใดเป็นฝ่ายรับ ก็จะรับอย่างเดียว

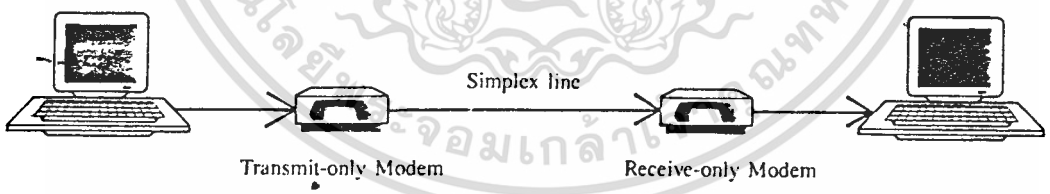
2. การส่งแบบฮาล์ฟดูเพล็กซ์ (HALF DUPLEX)

เป็นการส่งข้อมูลในทิศทางใดทิศทางหนึ่งในเวลาใดเวลาหนึ่ง คือ ทั้ง 2 สถานีสามารถผลัดกันส่งได้แต่จะส่งพร้อมๆ กันไม่ได้

3. การส่งแบบฟูลดูเพล็กซ์ (FULL DUPLEX)

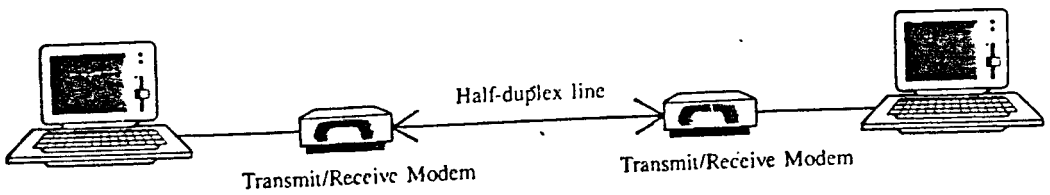
เป็นการส่งข้อมูลในทิศทางใดๆ ก็ได้ในเวลาใดเวลาหนึ่ง คือ ทั้ง 2 สถานีสามารถรับและส่งข้อมูลได้ในเวลาเดียวกัน

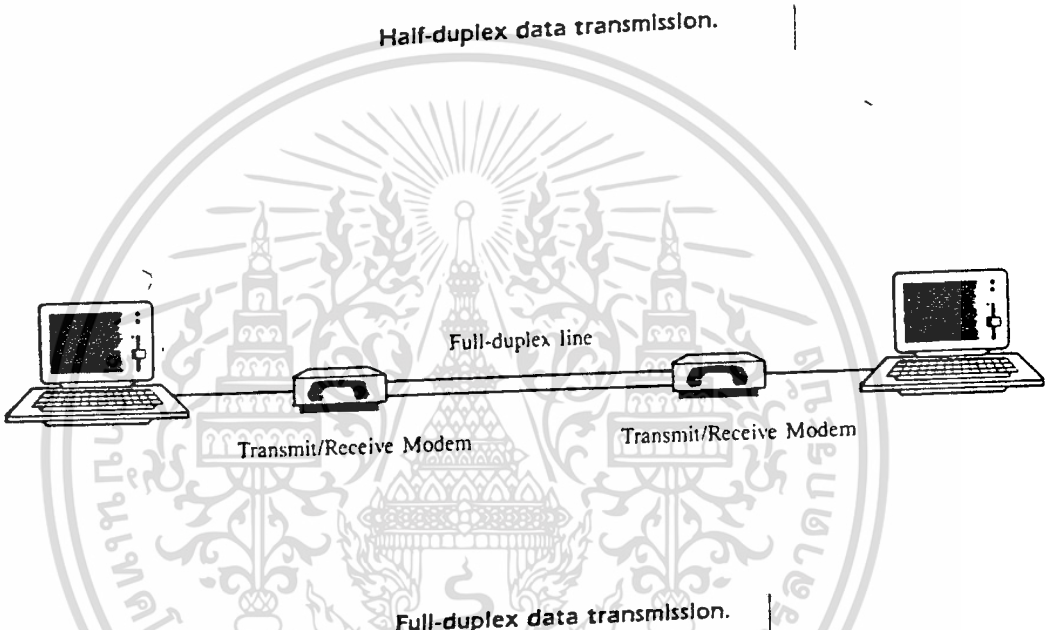
ลักษณะการรับส่งข้อมูลทั้ง 3 แบบ แสดงได้ดังรูป 2.5



Simplex data transmission.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้





รูปที่ 2.5 ทิศทางการส่งข้อมูลแบบต่างๆ

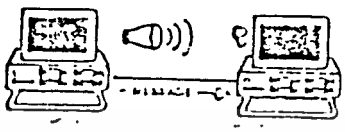
2.1.4 ลักษณะการเชื่อมต่อสำหรับการสื่อสาร

แบ่งออกเป็น 2 แบบ คือ

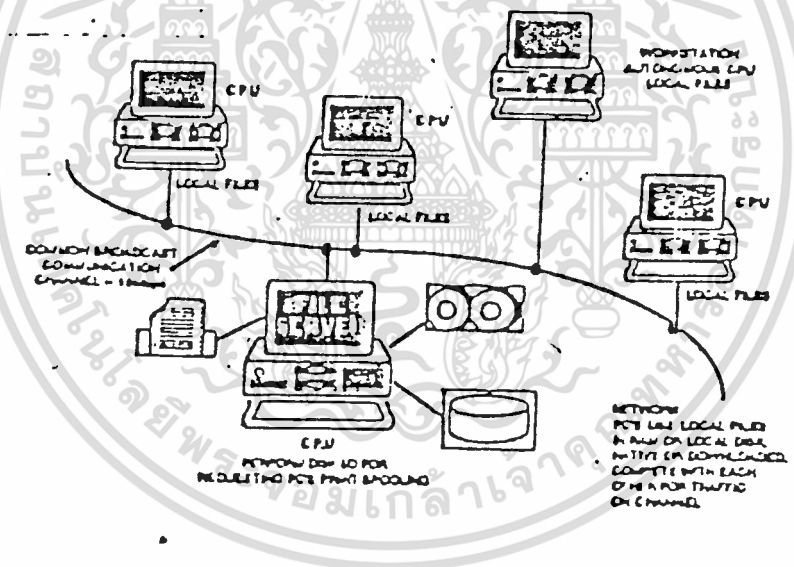
1. แบบจุดต่อจุด (POINT TO POINT)
2. แบบจุดต่อหลายจุด (MULTIPOINT หรือ MULTIDROP)

แสดงได้ดังรูป 2.6

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



Point-to-Point



Multi Point

รูปที่ 2.6 ลักษณะการเชื่อมต่อสำหรับการสื่อสาร

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้
008461

2.2 LOCAL AREA NETWORK

computer network หมายถึง การเชื่อมต่อกันของกลุ่มคอมพิวเตอร์ ซึ่งคอมพิวเตอร์แต่ละเครื่องสามารถแลกเปลี่ยนข้อมูลกันได้ โดยแต่ละเครื่องมีการทำงานเป็นอิสระต่อกัน

network แบ่งออกเป็น 3 แบบ ตามขนาดของพื้นที่ที่มันครอบคลุมถึง คือ

1. Wide Area Network (WAN)

   เป็น network ที่ครอบคลุมพื้นที่ขนาดใหญ่มาก เช่น หลายๆ ทวีป

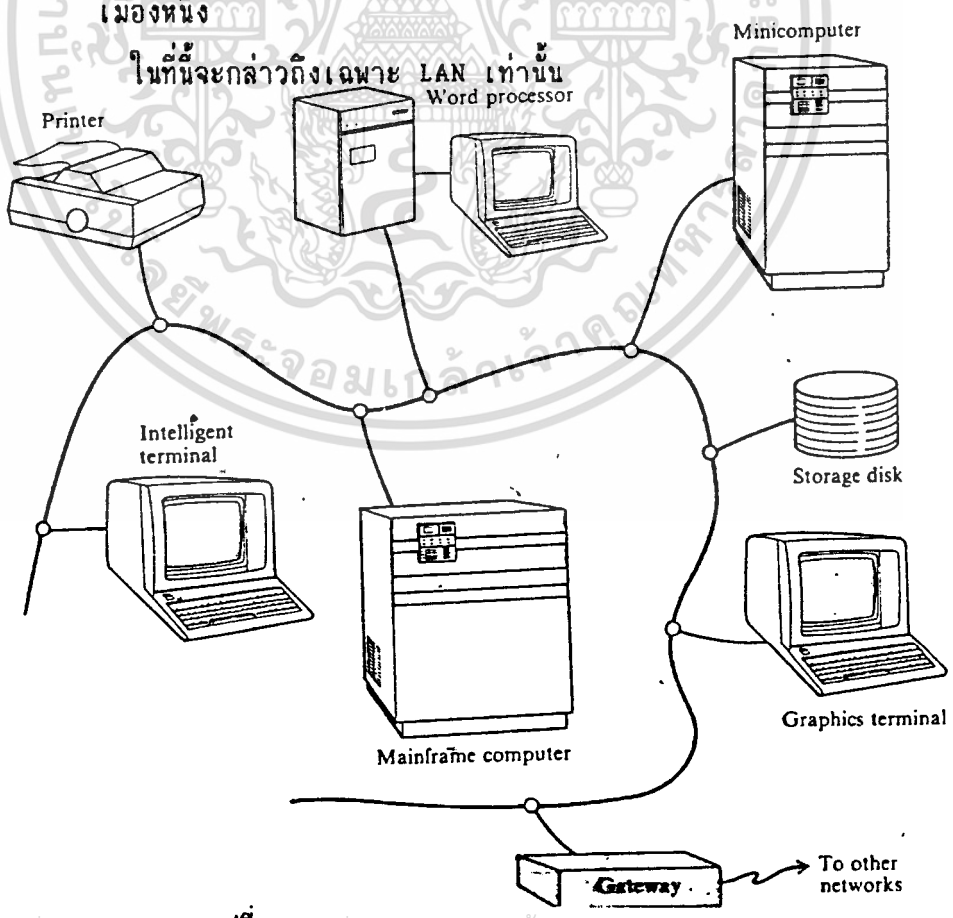
2. Local Area Network (LAN)

   เป็น network ที่ครอบคลุมพื้นที่เล็กๆ เช่น ภายในตึก หรือ หลายๆตึก เช่น ในมหาวิทยาลัย

3. Metropolitan Area Network (MAN)

   เป็น network ที่มีขนาดระหว่าง WAN กับ LAN เช่น ขนาดเมืองเล็กๆ เมืองหนึ่ง

ในที่นี้จะกล่าวถึงเฉพาะ LAN เท่านั้น



รูปที่ 2.7 LOCAL AREA NETWORK

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

คุณสมบัติทั่วไปของระบบ LAN คือ

1. อัตราการส่งข้อมูลตั้งแต่ 0.1 ถึง 100 Mbps
2. ระยะทางการส่งตั้งแต่ 0.1 ถึง 25 กิโลเมตร
3. มีอัตราความผิดพลาดของข้อมูลต่ำ (10^{-8} ถึง 10^{-11})

การแบ่งชนิดของ LAN จะต้องพิจารณาถึงสิ่งต่อไปนี้

1. ตัวกลางที่ใช้ในการเชื่อมต่อ node ต่างๆ
2. รูปแบบของการเชื่อมต่อ หรือ topology
3. algorithm ที่ใช้ควบคุมการเข้าถึงตัวกลาง

2.3 TRANSMISSION MEDIA

ตัวกลางที่ใช้ในระบบ LAN มีหลายชนิด เช่น ทองแดง ซึ่งอาจอยู่ในลักษณะสาย twisted pair หรือ coaxial cable ก็ได้ optical fiber microwave infrared สายโทรศัพท์ เป็นต้น

ลักษณะของตัวกลางชนิดต่างๆ

1. Twisted Pair Cable

ส่วนใหญ่จะใช้ในการต่อสายโทรศัพท์ภายใน ซึ่งถือเป็นสายแบบ Voice Grade Medium (VGM) ประกอบด้วยสาย 2 สายพันไขว้กันเป็นวง ซึ่งแต่ละสายควรมี impedance เท่ากัน ในระบบ LAN จะใช้สายที่มีคุณภาพดีกว่าเรียกว่า Data Grade Medium (DGM) ข้อดีของสายแบบนี้คือ ติดตั้งง่าย ราคาถูก แต่มีค่าการลดทอนสัญญาณสูง จำเป็นต้องใช้ repeater ต่อเป็นระยะๆเมื่อส่งในระยะทางไกลๆ มี bandwidth ต่ำ และไม่เหมาะที่จะใช้ในสถานที่ที่มีสัญญาณรบกวนสูง เช่น ในโรงงาน อย่างไรก็ตามสายชนิดนี้ก็ยังเหมาะที่จะใช้ในการส่งด้วยความเร็วต่ำ และ ระยะทางสั้น และยังมีราคาถูกกว่าแบบอื่นมาก

2. Coaxial Cable

สายชนิดนี้จะประกอบด้วยสายเส้นในเส้นหนึ่ง แล้วล้อมรอบด้วยแผ่น foil

เอกสารนี้เป็นเอกสารที่สงวนลิขสิทธิ์ ไม่อนุญาตให้ผู้ใดนำไปใช้ในการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หรือ สายถัก โดยจะถูกแยกออกจากกันด้วยฉนวน สายเส้นในจะเป็นตัวนำสัญญาณ ส่วนสายรอบๆ จะเป็น ground ส่วนใหญ่นิยมใช้เป็น Community Antenna Television Cable (CATV) สายชนิดนี้มีคุณสมบัติในการส่งข้อมูลดีกว่าสาย Twised Pair และยังสามารถใช้กับการส่งแบบ Broadband Transmission ได้ด้วย เนื่องจากมี bandwidth ถึง 300 MHz นอกจากนี้ยังสามารถป้องกัน noise ได้ดีกว่าสาย Twisted Pair ด้วย

3. Optical Fiber

เป็นแท่งแก้วหรือสารที่คล้ายแก้วบางๆ ซึ่งทำหน้าที่เป็นตัวนำแสงจากตัวต้นกำเนิดไปยังตัวรับ โดยต้นกำเนิดแสงจะเป็น LED หรือ Laser Diode (LDs) ข้อมูลที่ส่งจะถูก modulate แบบ FM กับแสง ทางด้านรับจะเป็น pin field effect transistor (pin FET) แล้วทำการ demodulate ปัญหาที่สำคัญในการใช้ optical fiber คือการติดตั้ง ซึ่งสายแบบนี้จะมีความเปราะบางมาก และการต่อเชื่อมสายทำได้ยากต้องใช้กรรมวิธีพิเศษ อย่างไรก็ตาม optical fiber นี้จะเป็นเทคโนโลยีที่สำคัญต่อไป เนื่องจากสามารถส่งข้อมูลด้วยความเร็วสูง มีค่าการลดทอนต่ำ มีความต้านทานต่อ noise ดีมาก และวัตถุดิบที่ใช้ทำสายคือ silica นั้นหาได้ง่าย ทำให้ในอนาคตจะมีราคาถูกลง

<u>ข้อดีข้อเสียของ สายทองแดง และ optical fiber</u>

สายทองแดง

ข้อดี คือ มีราคาถูกกว่าแบบอื่นๆ มาก การติดตั้งทำได้ง่ายและสะดวก สามารถนำไปใช้ใน topology ได้หลายรูปแบบ

ข้อเสีย คือ จะมีค่าการลดทอนสัญญาณสูงกว่า optical fiber และมีการรบกวนของ noise มากกว่า ทำให้มีข้อจำกัดในด้านระยะทาง

optical fiber

ข้อดี คือ มีค่าการลดทอนต่ำ การรบกวนจาก noise มีน้อย มี bandwidth กว้างมาก ทำให้สามารถส่งได้หลาย channel และสามารถส่งได้ด้วยความเร็วสูง

ข้อเสีย คือ มีราคาแพง การเชื่อมต่อสายทำได้ยาก และใช้กับ topology

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ได้เพียงบางแบบเท่านั้น

2.4 NETWORK TOPOLOGY

topology คือ รูปแบบการเชื่อมต่อกันระหว่าง node ใน network ซึ่งมีอยู่ด้วยกันหลายแบบ แต่ละแบบก็จะใช้ media และ access method ต่างๆกัน

การเลือก topology เพื่อใช้ใน network ต้องพิจารณาสิ่งต่อไปนี้

1. ราคา

การเดินสายในอาคาร ต้องจัดวางให้สะดวกต่อการขยายระบบ และเพื่อเป็นการลดค่าใช้จ่าย จึงควรเลือกใช้ media ที่มีคนใช้กันมาก และลดระยะทางการเดินสายให้น้อยที่สุด

2. ความยืดหยุ่น

ควรใช้ topology ที่มีความยืดหยุ่นในการเคลื่อนย้าย node หรือ การเพิ่ม node ใหม่เข้าไปใน network

3. ความน่าเชื่อถือ

ความผิดพลาดที่เกิดขึ้นในระบบ LAN อาจจะเกิดได้ 2 แบบ คือ แบบที่ 1 มี node ที่ทำงานผิดปกติ และ แบบที่ 2 ซึ่งร้ายแรงกว่าแบบแรก คือ ตัว network เองทำงานผิดพลาด ถึงแม้ว่าแต่ละ node ยังสามารถทำงานได้ตามปกติ แต่ software ที่ใช้กับ network จะไม่สามารถใช้งานได้ เพราะฉะนั้น topology ที่ใช้ควรจะสามารถหาตำแหน่งที่เกิดความผิดปกติขึ้นได้ และ ทำงานโดยแยกส่วนที่ผิดปกติออกจาก network

topology ที่ใช้กับระบบ LAN มีอยู่ด้วยกัน 3 แบบ คือ

1. แบบ star หรือ radial
2. แบบ bus
3. แบบ ring หรือ loop

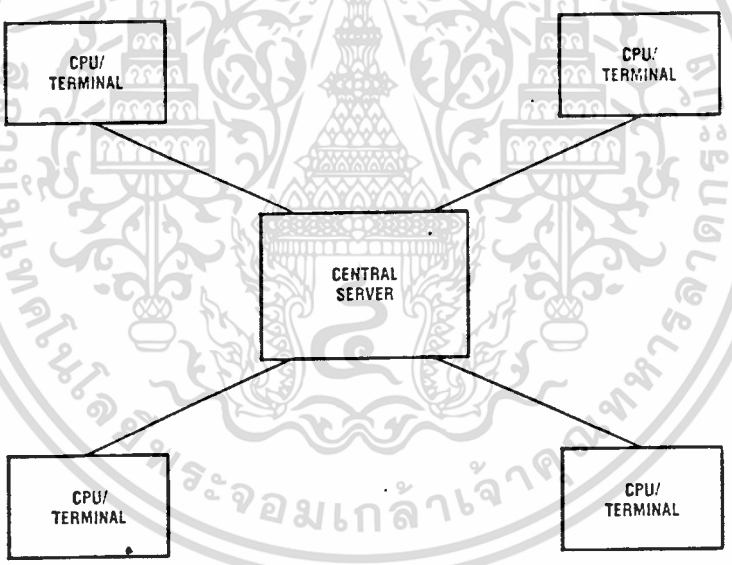
นอกจาก 3 แบบนี้แล้ว ก็ยังมี topology ที่เป็นลักษณะผสมของทั้ง 3 แบบ เรียกว่า hybrid topology

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.4.1. Star or Radial Topology

star topology ประกอบด้วย central node และ node อื่นๆ ซึ่งแต่ละ node จะต่อเข้ากับ central node โดยตรง มีใช้ใน network ที่ทำงานเกี่ยวกับการประมวลผลข้อมูล หรือ การสื่อสารทางด้านเสียง เช่น IBM 370 ซึ่งมี 3270 terminal ต่ออยู่โดยผ่านทาง coaxial cable 1 เส้นสำหรับ terninal แต่ละตัว หรือ ระบบ office PBX ซึ่งโทรศัพท์แต่ละเครื่องถูกต่อเข้ากับ PBX โดยตรงโดยใช้ voice grade twisted pair cable

ในบางกรณีจะมีการเดินสายจาก central node เป็นกลุ่มไปยังจุดรวมสาย (wiring closets) แล้วจึงเดินสายต่อไปยัง node ที่อยู่ในพื้นที่ย่อย



รูปที่ 2.8 Star Topology

ข้อดีของ star topology

1. การที่มีจุดรวมสายเช่นที่ central node หรือ wiring closets ทำให้การต่อสายหรือการเพิ่ม node สามารถทำได้ง่าย
2. ถ้าสายที่ใช้ต่อ node ใดมีปัญหา เช่น สายขาด node นั้นก็จะถูกตัดออกจาก network โดยส่วนที่เหลือยังสามารถทำงานได้ตามปกติ
3. สามารถบอกตำแหน่งของ node ที่มีการผิดปกติเกิดขึ้นได้ง่าย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

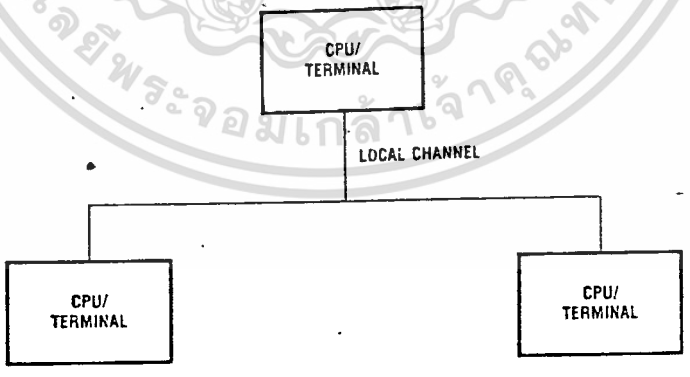
4. ใช้ access protocol ที่ไม่ซับซ้อน

ข้อเสียของ star topology

1. ต้องใช้สายยาว และ เป็นจำนวนมาก ความแออัดของสายในท่อเดินสาย และการบำรุงรักษา และปัญหาในการติดตั้ง อาจทำให้ค่าใช้จ่ายสูงขึ้นได้
2. การเพิ่ม node 1 node จะต้องเดินสายเพิ่มอีก 1 เส้น
3. ถ้า central node เกิดผิดปกติขึ้น จะทำให้ network ไม่สามารถทำงานได้

2.4.2. Bus Topology

Bus จะประกอบด้วยสายนำสัญญาณเส้นหนึ่ง (โดยทั่วไปใช้ coaxial cable) node ต่างๆ จะต่ออยู่ตลอดความยาวสาย ตัวอย่าง network ที่ใช้ bus ได้แก่ network ที่ทำการสื่อสารข้อมูลโดยมี host อยู่ที่ปลายสายด้านหนึ่ง และมี terminal ต่ออยู่ตลอดความยาวสาย เรียกว่า multidrop line topology ซึ่งถูกนำไปใช้ใน Ethernal LAN



รูปที่ 2.9 Bus topology

ข้อดีของ bus

1. ไม่สิ้นเปลืองสาย การติดตั้งและดูแลรักษาทำได้ง่าย
2. โอกาสที่จะเกิดความผิดพลาดมีน้อย เนื่องจากมีโครงสร้างที่ง่าย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3. การเพิ่มเติม node ใหม่สามารถทำได้ง่าย จะเพิ่มเข้าที่จุดใดของ bus ก็ได้ และถ้าต้องการขยาย network โดยต่อ bus เพิ่มสามารถทำได้โดย ใช้ repeater

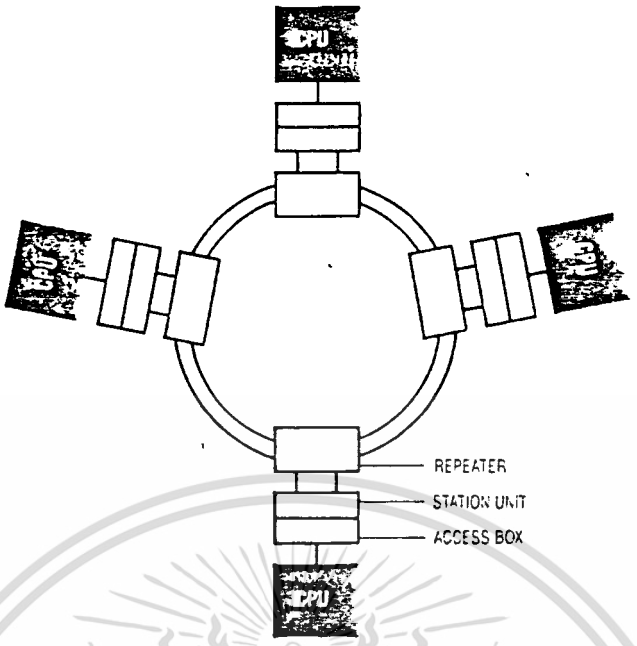
ข้อเสียของ bus

1. ถ้าเกิดการผิดพลาดขึ้น การหาจุดผิดพลาดจะทำได้ยาก
2. ถ้ามี node ใดเกิดผิดปกติขึ้น การตัด node นั้นออกสามารถทำได้ง่าย แต่ถ้าเกิด การผิดพลาดที่ bus ส่วนใดส่วนหนึ่ง ก็จะทำให้ node ที่ต่ออยู่กับ bus ส่วนนั้นถูกตัดออกจาก network
3. การขยาย network โดยใช้ repeater จะทำให้ต้องทำการกำหนดขอบเขตของ network ใหม่
4. เนื่องจากต้องใช้ bus ร่วมกันแต่ละ node จะต้องทำการตรวจสอบ bus ว่าว่างหรือไม่ก่อนที่จะทำการส่งข้อมูล ดังนั้นจึงต้องเพิ่มส่วนของฮาร์ดแวร์หรือ ซอฟท์แวร์ ที่ใช้ในการตรวจสอบบัส

2.4.3. Ring Topology

ring หรือ loop จะประกอบด้วย node ที่ต่ออยู่กับ node ข้างเคียงอีก 2 node การส่งผ่านข้อมูลจะทำโดย node ที่เป็นตัวส่งข้อมูลจะส่งข้อมูลให้ node ที่อยู่ติดกัน node ที่ได้รับข้อมูลจะทำการ mark ข้อมูลบางอย่างลงในข้อมูลที่ได้รับมา เพื่อแสดงว่าได้รับข้อมูลถูกต้อง แล้วส่งต่อให้ node ที่อยู่ถัดไป จนกระทั่ง node ที่เป็นตัวส่งข้อมูลได้รับข้อมูลกลับมา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.10 Ring Topology

ข้อดีของ ring

1. ใช้สายน้อย ทำให้เชื่อถือได้มากขึ้น
2. การเชื่อมต่อระหว่าง node ใช้สายเพียงเส้นเดียวจึงไม่จำเป็นต้องเตรียมพื้นที่สำหรับ wiring closet
3. เนื่องจากมีการส่งข้อมูลไปในทิศทางเดียวจึงเป็นการง่ายที่จะใช้optical fibers ซึ่งจะทำให้อัตราการส่งข้อมูลเร็วขึ้น นอกจากนี้ในกรณีที่เป็นโรงงาน ยังสามารถเดินสายโดยใช้สายทองแดงกับ node ที่อยู่ในบริเวณ office และใช้ optical fibers กับ node ที่อยู่ในบริเวณโรงงาน เพื่อป้องกัน ปัญหาที่อาจจะเกิดจากกระแสไฟฟ้าแรงสูงที่ใช้ในเครื่องจักร

ข้อเสียของ ring

1. ถ้ามี node ใดเสีย จะทำให้ไม่สามารถส่งข้อมูลได้ จนกว่าจะตัด node ที่เสียออก
2. การหา node ที่เสียทำได้ยาก - ดังนั้น จึงควรมีเครื่องมือที่ใช้ตรวจสอบความผิดพลาดของแต่ละ node
3. การเพิ่ม node ใหม่จะต้องหยุดการทำงานของ network เสียก่อน
4. ก่อนที่แต่ละ node จะทำการส่งข้อมูลของตัวเอง จะต้องแน่ใจก่อนว่า

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ในการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

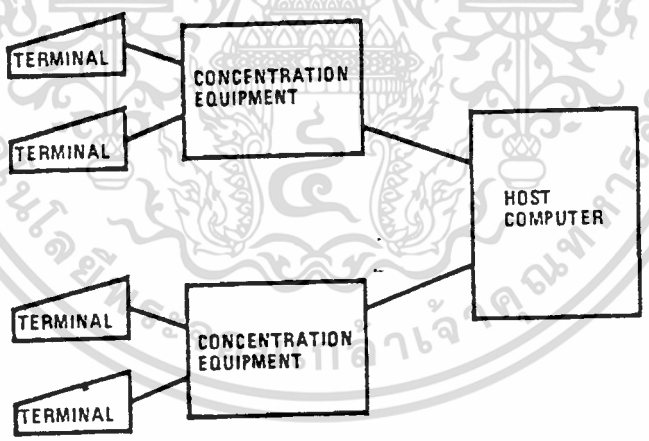
network ว่าง

2.4.4. Hybrid Topology

เป็น topology ที่เกิดจากการนำคุณสมบัติของ topology 3 แบบ มารวมกัน เพื่อเพิ่มข้อดีและลดข้อเสียของแต่ละแบบ

2.4.5. Tree topology

Tree topology มีลักษณะดังรูป การเดินสายมักจะใช้ coaxial cable และ ส่งข้อมูลด้วยวิธี broadband เมื่อมี node ต้องการส่งข้อมูล headend จะรับข้อมูลมา แล้วทำการส่งให้ ทำให้ไม่ต้องใช้ repeater ตัวอย่าง tree topology ได้แก่ IBM's Personal Computer Network



รูปที่ 2.11 Tree topology

ข้อดีของ Tree

1. การเพิ่ม node ทำได้ง่าย
2. การแยก node ที่เสียทำได้ง่าย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ข้อเสียของ tree

1. ถ้า headend เสีย network จะทำงานไม่ได้

2.4.6. Star-Ring Topology

ประกอบด้วย wiring closets ซึ่งต่อกันแบบ ring และ node ต่างๆ จะต่ออยู่กับ wiring closets ในแบบ star การส่งข้อมูลจะเหมือนกับ ring

ข้อดีของ Star-Ring

1. สามารถหาจุดเสียและแยกออกมาได้ง่าย
2. การขยาย network ทำได้ง่าย
3. wiring closets แต่ละอันเชื่อมต่อกันด้วย cable เส้นเดียว ทำให้ไม่ยุ่งยาก

ข้อเสียของ Star-Ring

1. wiring closets ควรจะสามารถตรวจสอบได้ว่ามี node ใดเสีย และสามารถแยกตัวเองออกมาได้
2. การที่มีจุดรวมสายหลายๆ จุด แต่ละจุดต่ออยู่กับ node หลายๆ node ในแบบ star ทำให้ต้องใช้สายเป็นจำนวนมาก

2.5 PACKET OF INFORMATION

ในระบบ network ต่างๆ ยกเว้นแบบ star ตัวกลางในการส่งจะมีการแบ่งกันใช้งานระหว่างแต่ละ node ซึ่งในการที่มีการใช้งานตัวกลางร่วมกันนี้ทำให้มีปัญหาเกิดขึ้นก็คือ จะต้องมีการควบคุมการใช้ตัวกลางไม่ให้การส่งข้อมูลของ node ต่างๆ มีการรบกวนกัน และอีกสิ่งหนึ่งก็คือจะต้องมีการสร้างข้อกำหนดต่างๆ เช่น วิธีการส่ง และวิธีการรับข้อมูล

มีวิธีการหลายอย่างที่จะให้ node ต่างๆ ติดต่อกันได้ใน network วิธีที่

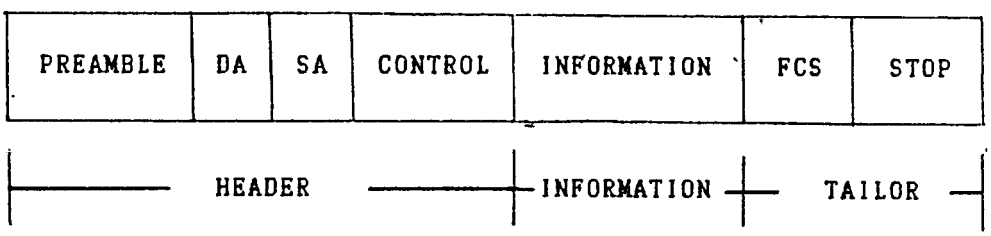
เอกสารนี้เป็นเอกสารที่สงวน... ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ง่ายก็คือ มีการสร้างเส้นทางที่แน่นอนให้แก่ด้านส่งและด้านรับ โดยวิธีที่เรียกว่า circuit switching ซึ่งใช้กันมากในระบบโทรศัพท์ แต่ในการส่งข้อมูลของ computer นั้นแตกต่างจากสัญญาณเสียง computer จะติดต่อกันด้วยความเร็วสูงและเป็นเพียงชั่วขณะหนึ่งเท่านั้น ดังนั้นเวลาที่เหลืออยู่จะเป็นการสูญเสียไปโดยเปล่าประโยชน์ จึงมีเทคนิคที่จะเพิ่มประสิทธิภาพในการใช้ตัวกลาง เทคนิคนี้เรียกว่า packet switching เทคนิคนี้จะไม่มีการกำหนดเส้นทางที่แน่นอนจากด้านส่งไปยังด้านรับไว้ก่อน แต่ข้อมูลจะถูกส่งโดยแบ่งเป็นส่วนย่อยๆ (packet) แล้วส่งเข้าไปใน network วิธีการนี้ ด้านส่งและด้านรับจะใช้ตัวกลางเฉพาะขณะส่ง packet เท่านั้น ส่วนเวลาที่เหลือจะสามารถให้ node อื่นๆ ใช้ได้อีก

Packet Structure

รูปแบบของ packet ในระบบ LAN จะประกอบด้วยส่วนต่างๆ ดังนี้

1. ส่วน Header จะประกอบด้วย
   - Premeable or start of packet indicator เป็นส่วนเริ่มแรกของ packet และในบางระบบอาจใช้ในการ synchronize clock ของตัวส่งและตัวรับด้วย
   - Addressing information node ต่างๆ ใน network จะมี address ที่แน่นอนอยู่ ข้อมูลในส่วนนี้จะประกอบด้วย address ของตัวส่งและตัวรับ ทำให้ node ต่างๆ รู้ได้ว่า packet นี้ต้องการส่งให้ node ใดและส่งมาจาก node ใด เพื่อจะได้รับข้อมูล และตอบรับ หรือส่งต่อข้อมูลไปยัง node ที่ถูกต้องได้



รูปที่ 2.12 โครงสร้างของ packet

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- Control information ส่วนนี้เป็นข้อมูลที่บอกถึงวัตถุประสงค์ของ packet นั้นว่าใช้ทำอะไร เช่น เพื่อการจัดการระบบ เพื่อดู status ของ node หรืออื่นๆ

2. ส่วน Information

- Data field เป็นส่วนของข้อมูลจริงที่ต้องการจะส่ง

3. ส่วน Tailer

- Frame check sequence (FCS) เป็นส่วนที่ใช้ตรวจสอบความถูกต้องของข้อมูล ซึ่งอาจเป็น parity bit หรือ CRC เป็นต้น
- End of packet indicator เป็นส่วนที่บอกให้ทราบว่า สิ้นสุดข้อมูลแล้ว

2.6 NETWORK ACCESS MATHOD

ในระบบสื่อสารข้อมูลทั่วไปจะใช้ตัวกลางร่วมกัน โดยใช้วิธีการของ time division multiplexer ซึ่งข้อเสียก็คือเราจะไม่สามารถรู้ได้ว่าเวลาที่จัดให้แต่ละ node นั้น ตัวมันมีข้อมูลที่ต้องการจะส่งหรือไม่ ซึ่งวิธีการที่ดีขึ้นก็คือ การจัดให้แต่ละ node ได้ใช้ตัวกลางในขณะที่ตัวมันมีข้อมูลจะส่งเท่านั้น และสิ่งสำคัญก็คือแต่ละ node จะต้องมีความเท่าเทียมกันในการที่จะรอใช้ตัวกลางนั้น

ในระบบ LAN ก็มีปัญหาเช่นเดียวกัน วิธีการที่ใช้กันอยู่ในการควบคุมการใช้ตัวกลางแบ่งได้ 2 ประเภท คือ

2.6.1. Contention access

คือแต่ละ node จะรอโอกาสที่จะส่งข้อมูล เมื่อ network นั้นว่างอยู่มันจะทำการส่งข้อมูลของมันออกไป วิธีนี้จะเกิดปัญหาการ collision คือมี node มากกว่า 1 node ส่งข้อมูลออกมาพร้อมๆ กัน ทำให้ข้อมูลชนกัน และ ถูกทำลายไป ซึ่งวิธีนี้อาจจะเรียกว่า

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

random access การเข้าถึงข้อมูลแบบนี้แบ่งออกได้เป็น 3 แบบ คือ

1. ALOHA มีทั้งแบบ Pure ALOHA และ Slotted ALOHA
2. CSMA (Carrier Sense Multiple Access)
3. CSMA/CD (Carrier Sense Multiple Access /Collision Detect)

2.6.2. Noncontention access(Controlled Access or Polling)

วิธีนี้แต่ node ใน network สามารถส่งข้อมูลออกไปได้ก็ต่อเมื่อได้รับอนุญาติเท่านั้น ซึ่งวิธีนี้จะไม่มีการเกิดการชนกันของสัญญาณโดยสามารถแบ่งออกเป็น 2 แบบ คือ

1. Centralized Polling
2. Distributing Polling แบ่งออกเป็น 2 แบบ คือ
   - Empty Slot มีทั้งแบบ Single Slot และ Multi Slot
   - Token Passing มีทั้งแบบ Token Bus และ Token Ring

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 3
การออกแบบและส่วนประกอบของโครงงาน

การออกแบบโครงงาน

โครงงานนี้เป็นการศึกษาและวิจัยการติดต่อส่งข่าวสารด้วยเครื่องคอมพิวเตอร์ ซึ่งในโครงงานนี้ได้ทำการออกแบบอุปกรณ์(Hardware) เพื่อทำหน้าที่ในการรับข้อมูลระหว่างเครื่อง โดยติดตั้งอุปกรณ์นี้ไว้ในคอมพิวเตอร์แต่ละเครื่องคือเสียบไว้บน slot ของเครื่อง ต่อไปจะขอเรียกส่วนอุปกรณ์นี้ว่าการ์ด(Card) ซึ่งการ์ดนี้จะเป็นตัวอินเตอร์เฟส (Interface) ระหว่างเครื่องคอมพิวเตอร์ เพื่อให้สามารถทำการส่งรับข้อมูลระหว่างกันได้โดยในการส่งข้อมูลจะทำการแปลงข้อมูลแบบขนาน (Parallel) เป็นแบบอนุกรม (Serial) แล้วส่งออกสู่สายส่ง ส่วนหน้าที่รับข้อมูลของการ์ดก็จะมีรายละเอียดคือเมื่อมีข้อมูลเข้ามายังเครื่องแบบอนุกรม วงจรแปลงข้อมูลจะทำการแปลงข้อมูลจากอนุกรมมาเป็นแบบขนาน เพื่อความสะดวกในการประมวลผลข้อมูลจากนั้นจะนำข้อมูลมาเก็บไว้บนการ์ดเป็นการชั่วคราวเพื่อให้ CPU บนเครื่องนำไปทำการประมวลผลต่อไปตามคำสั่งที่ได้ทำการโปรแกรม (Program) เอาไว้ ซึ่งก็คือส่วนซอฟท์แวร์ (Software) ดังนั้นโครงงานนี้จึงสามารถแบ่งออกเป็นส่วนประกอบใหญ่สองส่วนคือ ส่วนประกอบทางฮาร์ดแวร์และซอฟท์แวร์

3.1 ส่วนประกอบทางฮาร์ดแวร์ (HARDWARE)

- 3.1.1) วงจรถอดรหัส I/O Address Port (Decode Address)
- 3.1.2) วงจรสร้างรหัสประจำการ์ด (Source Address)
- 3.1.3) วงจรหน่วยความจำบนการ์ด
- 3.1.4) วงจรส่วนการรับ-ส่งข้อมูล
- 3.1.5) วงจรสร้างสัญญาณควบคุมการเขียนหน่วยความจำบนการ์ด
- 3.1.6) วงจรอ้าง Address ของหน่วยความจำบนการ์ด
- 3.1.7) วงจรสร้างสัญญาณนาฬิกาและความถี่ที่ใช้ในการรับ-ส่งข้อมูล
- 3.1.8) วงจรขออินเทอร์รัพท์ (Interrupt)

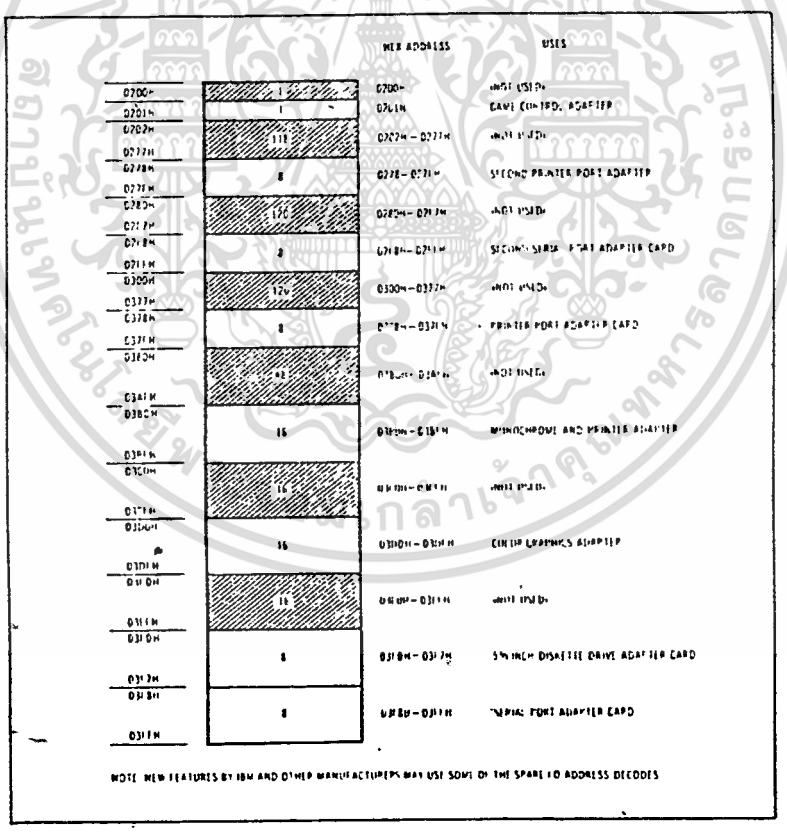
เอกสารนี้เป็นเอกสารที่สงวนลิขสิทธิ์ ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.1.9) วงจรขับสัญญาณ (Drive Circuit)

3.1.1 วงจรถอดรหัส I/O Address Port (Decode Address)

เป็นที่ทราบกันดีแล้วว่า IBM/PC มี Address Bus เพียง 10 เส้น(A0-A9) ดังนั้นจะสามารถอ้าง Address ได้เพียง 1024 พอร์ท ซึ่งจะแบ่งออกเป็น 2 ส่วน คือ 512 พอร์ท แรก(A9=0)จะใช้งานบน เมนบอร์ด 512 พอร์ท หลัง(A9=1) จะใช้งานกับพอร์ทบนการ์ดต่างๆเท่านั้น

ในโครงงานนี้จะสนใจเฉพาะพอร์ทที่ใช้กับการ์ด(A9=1)เท่านั้นซึ่งมี Address อยู่ในช่วง 0200H-03FFH ดังรูปข้างล่างนี้

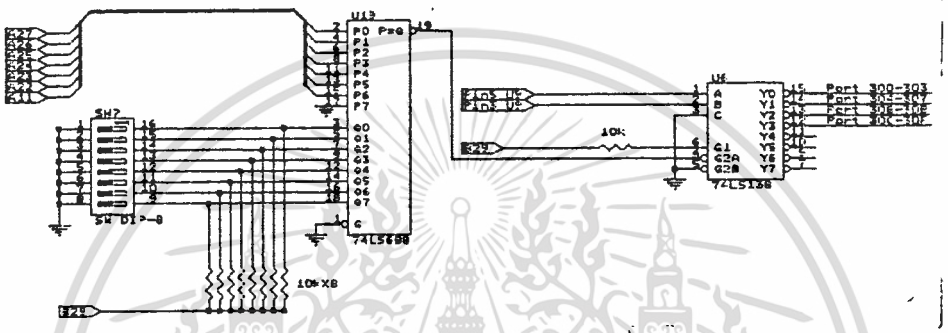


รูปที่ 3.1 แสดงการใช้งาน Address ที่ใช้สำหรับการ์ดต่างๆ

ในโครงงานนี้ได้เลือกใช้ Address ช่วง 0300H-030FH โดยใช้ 74LS688 ต่อร่วมกับ 74LS138 ในการถอดรหัส Address ในช่วงนี้โดยใช้ A0-A9 และ AEN

เอกสารนี้ใช้เพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

AEN คือสัญญาณที่บอกว่า สัญญาณต่างๆที่เกิดขึ้นบนบัสมาจากการ DMA(AEN=1) หรือจาก CPU(AEN=0)ซึ่งถ้าไม่กำหนด AEN แล้วจะทำให้การอ่านเขียนข้อมูลผิดพลาดได้ จึงต้องให้ AEN=0 จึงจะทำการ Enable การถอดรหัสได้ วงจรในส่วนนี้จะต่อได้ดังรูปข้างล่างนี้



รูปที่ 3.2 แสดงวงจรการถอดรหัสช่วง 0300H-030FH

จากรูปจะเห็นว่า สามารถเปลี่ยนช่วงการถอดรหัสได้โดยการเปลี่ยนตำแหน่งของ DIP SWITCH ซึ่งก็คือการเปลี่ยน A4-A8 ทำให้เมื่อ Address บนบัสมีค่าตรงกับที่ตั้งไว้(ทำการตรวจโดย74LS688) ก็จะทำการถอดรหัสได้โดย74LS688 จะมีเอาท์พุทเป็น 0 ไป อีนาเบิล 74LS138 ซึ่งจะเป็นตัวที่ทำให้ Address ถูกแบ่งได้เป็นช่วงย่อยๆได้ 4ช่วง ดังนี้

Y0 = 300H - 303H

Y1 = 304H - 307H

Y2 = 308H - 30BH

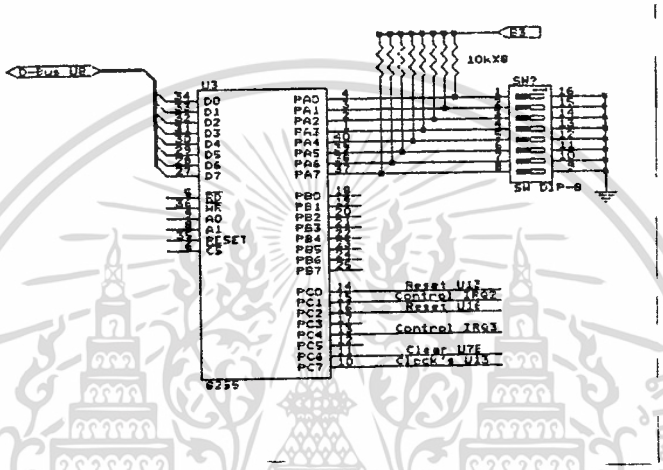
Y3 = 30CH - 30FH

3.1.2 วงจรสร้างรหัสประจำการ์ด (Source Address)

ในโครงงานนี้ใช้การติดต่อสื่อสารระหว่างคอมพิวเตอร์แบบ Bus topology โดยมีการเข้าถึงและควบคุมแบบใช้ศูนย์กลางควบ หรือ Centralized Polling โดยที่ตัวศูนย์กลาง(Server)และคอมพิวเตอร์ที่ต่ออยู่(User)ในระบบจะทราบว่ากำลังติดต่อกับเครื่อง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ใด จึงต้องมีการกำหนดหมายเลขของเครื่องที่อยู่ในระบบ โดยใช้ IC เบอร์ 8255 ต่อวงจรดังรูปข้างนี้



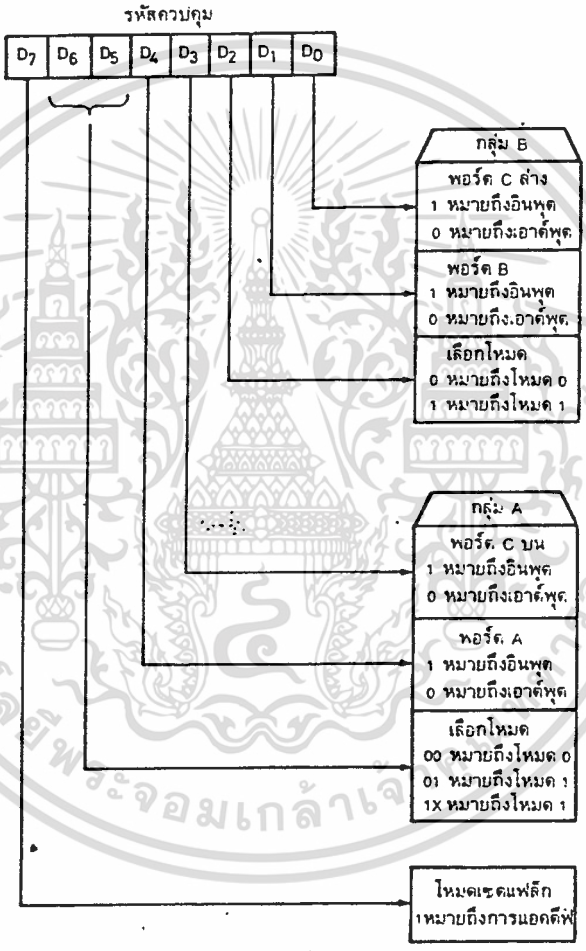
รูปที่ 3.3 แสดงวงจรสร้างหมายเลขการ์ด

จากรูปจะเห็นได้ว่าจะต้องทำการโปรแกรมให้ พอร์ท A ของ 8255 เป็นอินพอร์ท เพื่ออ่านหมายเลขการ์ดตามที่ตั้งไว้ พอร์ท BและC เป็น เอาท์พอร์ท สำหรับสร้างสัญญาณควบคุมอุปกรณ์ต่างๆบนการ์ด การโปรแกรม 8255 ทำได้โดยการส่งรหัสควบคุมให้กับ 8255 โดยมีสัญญาณควบคุมการกระทำของ 8255 ตามตารางนี้

$\overline{RD}$	$\overline{WR}$	$\overline{A1}$	$\overline{A0}$	ความหมาย
1	0	0	0	เขียนพอร์ต A ซึ่งเป็นข้อมูล
0	1	0	0	อ่านพอร์ต A ซึ่งเป็นข้อมูล
1	0	0	1	เขียนพอร์ต B ซึ่งเป็นข้อมูล
0	1	0	1	อ่านพอร์ต B ซึ่งเป็นข้อมูล
1	0	1	0	เขียนพอร์ต C ซึ่งเป็นข้อมูล
0	1	1	0	อ่านพอร์ต C ซึ่งเป็นข้อมูล
1	0	1	1	เขียนข้อมูล ซึ่งเป็นรหัสควบคุม
0	1	1	1	อ่านเข้ามา ซึ่งไม่มีความหมายใด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

และการกำหนดความหมายของรหัสควบคุมเป็นไปตามรูปข้างล่างนี้



รูปที่ 3.4 ความหมายของบิทต่างๆในรหัสควบคุม

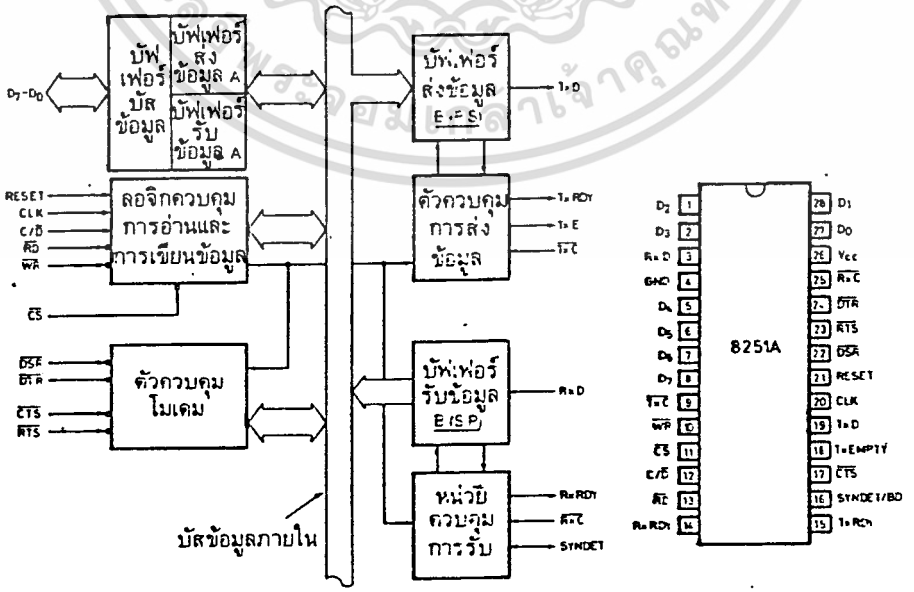
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.1.3 วงจรหน่วยความจำบนการ์ด

ส่วนหน่วยความจำนี้จะถูกใช้งานเมื่อทำการรับข้อมูล โดยที่เมื่อมีข้อมูลเข้ามาจะเกิดการรับข้อมูลจากอุปกรณ์รับ-ส่งข้อมูลอนุกรม (8251) และเขียนลงในหน่วยความจำซึ่งก็คือ RAM เบอร์ 6116 และข้อมูลในหน่วยความจำนี้จะถูกอ่านออกไปโดย CPU ในภายหลัง ขณะที่มีการเขียนข้อมูล 74LS245 ซึ่งเป็นบัฟเฟอร์ (Buffer) 2 ทางจะถูกปิดการทำงาน ทำให้มีการเขียนข้อมูลที่ได้จาก 8251 ลงบน RAM และในช่วงที่มีการอ่านข้อมูลจากหน่วยความจำ 74LS245 จะเปิดเพื่อให้ข้อมูลจากหน่วยความจำสามารถผ่านไปยังบัสข้อมูล (Data Bus) บน Slot ได้ โดยมีวงจรดังแสดงในรูปหัวข้อ 3.1.4

3.1.4 วงจรส่วนการรับ-ส่งข้อมูล

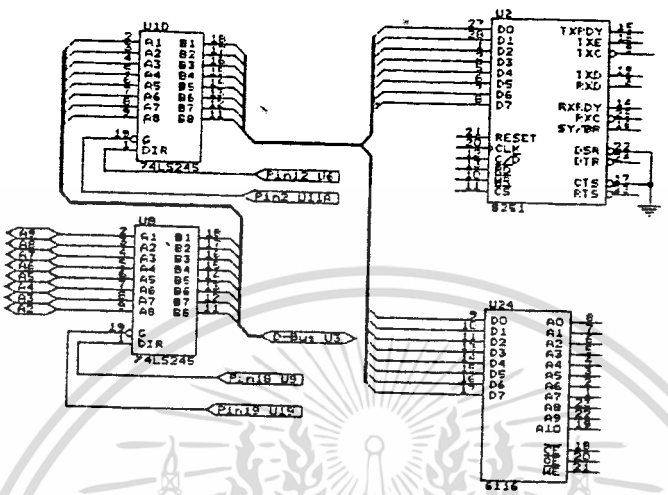
ใช้ 8251A เป็นตัวทำการรับ-ส่งข้อมูลแบบอนุกรม ในการทำงานแบบอะซิงโครนัส(Asynchronous communication และมีทิศทางการรับส่งข้อมูลแบบ HALF DUPLEX โดยที่ 8251 มีโครงสร้างภายในและการจัดเรียงขาทั้ง 28 ขา ดังรูป



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ชื่อสัญญาณ	หน้าที่โดยย่อ	ชนิดของสัญญาณ
D_0-D_7	บัสข้อมูล	สองทิศทาง
RESET	สัญญาณรีเซต	อินพุต
CLK	สัญญาณนาฬิกา	อินพุต
C/$\overline{D}$	สัญญาณเลือก control/data	อินพุต
$\overline{RD}$	สัญญาณแสดงการอ่าน	อินพุต
$\overline{WR}$	สัญญาณแสดงการเขียน	อินพุต
$\overline{CS}$	สัญญาณเลือกชิป 8251	อินพุต
$\overline{DSR}$	data set ready	อินพุต
DTR	data terminal ready	เอาต์พุต
$\overline{CTS}$	clear to send	เอาต์พุต
$\overline{RTS}$	request to send	เอาต์พุต
TxD	ข้อมูลเอาต์พุตแบบอนุกรม	เอาต์พุต
TxRDY	พร้อมจะรับข้อมูลไปส่ง	เอาต์พุต
TxEMPTY	บัฟเฟอร์ส่งข้อมูลว่าง	เอาต์พุต
$\overline{TxC}$	สัญญาณนาฬิกากำหนดการส่งข้อมูล	อินพุต
RxD	ข้อมูลอินพุตแบบอนุกรม	อินพุต
TxRDY	ข้อมูลพร้อมที่จะส่งไปยังบัสข้อมูล	เอาต์พุต
$\overline{RxC}$	สัญญาณนาฬิกากำหนดการรับ	อินพุต
SYNDET/BD	synchronous detect/break detect	สองทิศทาง
V_{CC}, GND	ไฟเลี้ยง	—

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.5 แสดงวงจรส่วนส่งรับข้อมูล

รายละเอียดของขาที่ใช้ในโครงงานมีดังนี้

1) D0-D7 ใช้ในการติดต่อกับบัสข้อมูลของ CPU โดยตรง ทำหน้าที่ในการส่งรับข้อมูล และคำสั่งต่าง ๆ ระหว่าง 8251 กับ CPU โดยที่ระหว่างขา D0-D7 ของ 8251 กับบัสข้อมูลของ CPU ได้ทำการต่อ Buffer 2 ทาง 74LS245 เพื่อทำหน้าที่กำหนดทิศทางการไหลของข้อมูลจากขา 19 กับขา 1 ของ 74LS245 โดยถ้า $\overline{RD}$ และ $\overline{CS}$ จาก 8251 เป็น 0 จะเป็นการอ่านข้อมูลจาก 8251 ไหลไปสู่ CPU ได้ และถ้า $\overline{RD}$ เป็น 1และ $\overline{CS}$ เป็น 0 จะเป็นการเขียนข้อมูลจาก CPU ไหลไปยัง 8251

2) RESET 8251 จะถูก reset เมื่อขานี้ได้รับลอจิก 1 โดยเราทำการต่อขานี้เข้ากับขา reset ของ CPU เมื่อเริ่มเปิดเครื่อง ขานี้จะ active 1 ต่อไปจนกระทั่งระบบต่าง ๆ พร้อมที่จะทำงานจึงเปลี่ยนเป็น 0 แต่สำหรับ 8251 ต้องมีการ Internal Reset ทุกครั้งก่อนทำการส่งรับข้อมูล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3) CLOCK ใช้สัญญาณความถี่ 2.385 MHz ที่ได้มาจากส่วนสร้างสัญญาณนาฬิกาดังที่กล่าวมาแล้ว

4) $\overline{TxC}$ ขานี้รับสัญญาณความถี่ที่ใช้ในการส่งข้อมูล จากส่วนสร้างสัญญาณความถี่จาก MC 14411 โดยปกติแล้วจะต้องมีค่าน้อยกว่า CLOCK ของ IC ไม่น้อยกว่า 13 เท่า เมื่อทำงานใน Asynchronous mode

5) $\overline{RxC}$ ขานี้รับสัญญาณความถี่ที่ใช้ในการส่งข้อมูล จากส่วนสร้างสัญญาณความถี่ โดยปกติต่อเข้ากับ TxC โดยตรง

6) C/$\overline{D}$ (Control/Data) ทำการต่อกับขา A0 ของ CPU โดยตรง

A0=1 ทำให้ C/$\overline{D}$ ได้รับลอจิก 1: CPU ต้องการติดต่อกับ Control register

A0=0 ทำให้ C/$\overline{D}$ ได้รับลอจิก 0: CPU ต้องการติดต่อกับ Data Register ทำการติดต่อรับส่งข้อมูล

7) $\overline{CS}$ (CHIP SELECT) เมื่อขานี้ได้รับลอจิค 0 ก็จะ Enable 8251 ซึ่งได้รับสัญญาณจากการถอดรหัส I/O Address Port จาก 74LS138

8) $\overline{RD}$,$\overline{WR}$ (READ/WRITE) ขา $\overline{RD}$ ต่อกับขา $\overline{IOR}$ ของ CPU โดยตรง เพราะ $\overline{IOR}$ จะ active "0" เป็นการอ่านข้อมูล และขา $\overline{WR}$ ต่อกับขา $\overline{IOW}$ ของ CPU โดยตรง เพราะ $\overline{IOW}$ จะ active "0" เป็นการเขียนข้อมูลโดยมีความสัมพันธ์ดังตารางข้างล่างนี้

C/$\overline{D}$	$\overline{RD}$	$\overline{WR}$	$\overline{CS}$	ความหมาย
0	0	0	0	ข้อมูลจาก 8251 ส่งไปยังบัสข้อมูล
0	1	0	0	ข้อมูลจากบัสข้อมูลส่งไยัง 8251
1	0	1	0	8251 อ่านรหัสสถานะจากบัสข้อมูล
x	x	x	1	บัสข้อมูล 8251 ลอยตัว

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

9) $\overline{CTS}$ เมื่อได้รับลอจิก 0 จึงทำให้ 8251 สามารถส่งข้อมูลออกไปได้โดยที่ $\overline{DSR}$ ต้องมีโลจิกเป็น 0 จึงต้องต่อขานี้ลง GND

10) $\overline{DSR}$ เมื่อได้รับโลจิก 0 จึงทำให้ 8251 สามารถส่งข้อมูลออกไปได้โดยที่ $\overline{CTS}$ ต้องมีโลจิกเป็น 0 จึงต้องต่อขานี้ลง GND เช่นกัน

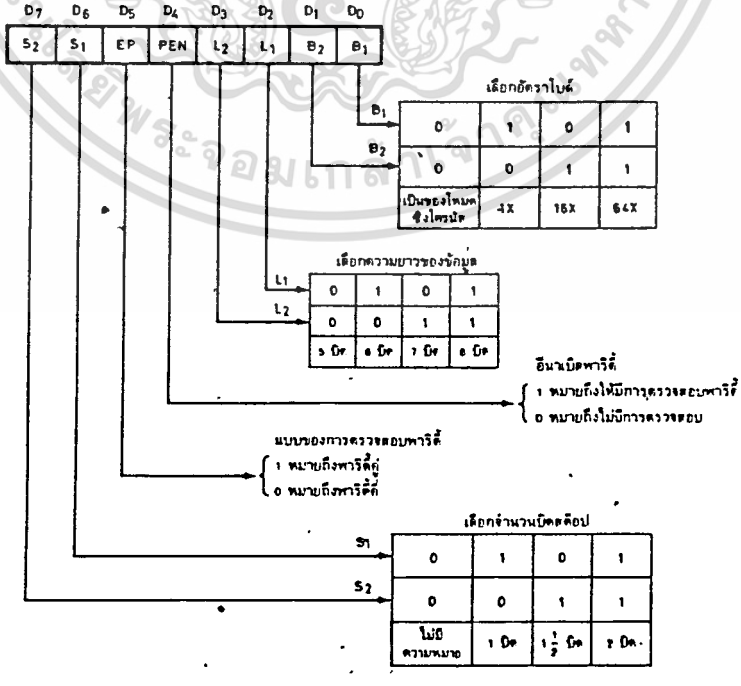
11) TxD ขานี้ใช้ในการส่งข้อมูลจาก 8251 ออกไปยังสายส่ง (line)

12) RxD ขานี้ใช้ในการรับข้อมูลจากสายส่ง (line)

13) RxRDY เป็นขาสัญญาณที่บอกว่าข้อมูลจากสายส่งพร้อมที่จะเข้าสู่บัสข้อมูลของ CPU ซึ่งจะ active ที่ 1 เรานำมาต่อขา IRQ2 เพื่อทำการร้องขอให้เกิดการ Interrupt เพื่อทำให้ระบบพร้อมที่จะทำการรับข้อมูลที่ถูกส่งเข้ามา

การกำหนดรูปแบบการทำงานของ 8251

เมื่อ 8251 เริ่มการทำงานหลังจากที่ได้รับการ reset หรือ Internal Reset ก็ตาม ข้อมูลแรกจาก CPU ที่ส่งไปให้ Control Register นั้น จะถูกกำหนดให้เป็น Mode Instruction เพื่อเลือก mode และลักษณะการทำงาน



รูปที่ 3.6 แสดงรหัสเลือก Mode แบบ Asynchronous

เอกสารนี้เป็นเอกสารที่สงวนลิขสิทธิ์ ห้ามนำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากรูปที่แล้ว ในโครงงานนี้จะเป็นการเลือก Asynchronous mode โดยมีรูปแบบดังนี้

D7	D6	D5	D4	D3	D2	D1	D0
1	1	0	1	1	1	0	1

D1,D0 เลือกอัตราการคูณ Baud Rate (ที่ขา TxC หรือ RxC) เป็น 1

D3,D2 เลือกความยาวของข้อมูล เท่ากับ 8 บิท

D4 กำหนดให้มีการตรวจสอบ Parity bit

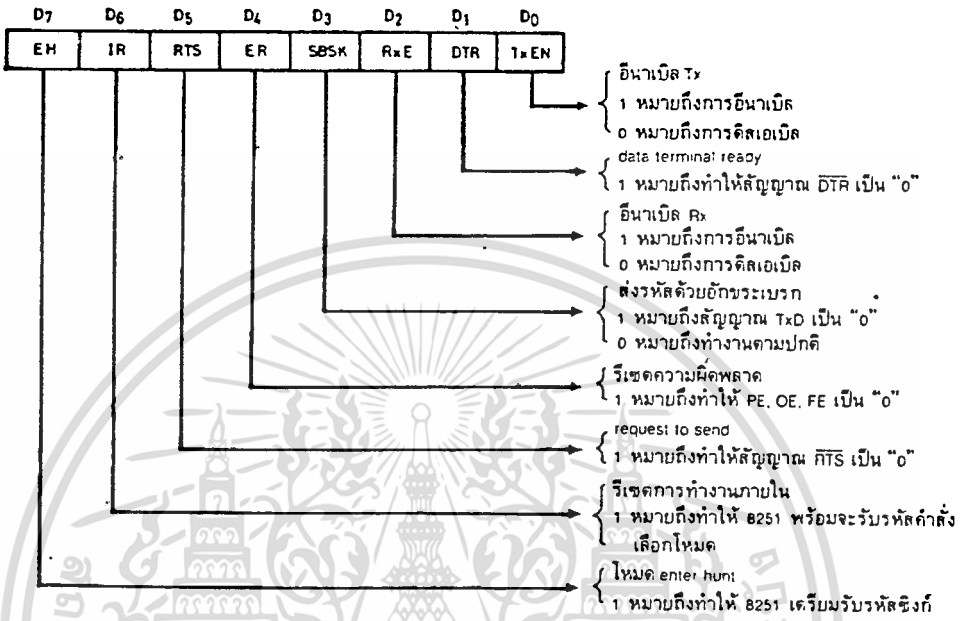
D5 กำหนดให้มีการตรวจสอบแบบ Odd Parity

D6,D7 เลือกจำนวน Stop bit เท่ากับ 2 บิท

ทั้ง Server และ User จะต้องมีการกำหนด Mode Instruction เหมือนกัน ซึ่งในโครงงานนี้กำหนดให้เท่ากับ 0DDH

หลังจากที่ให้ข้อมูลไบต์แรกแล้ว 8251 จะถือว่าข้อมูลที่ให้กับ Control Register ต่อมาเป็นตัวกำหนด Command Insruction ซึ่งสามารถกำหนดลักษณะการทำงานโดยดูจากรูปในหน้าถัดไป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.7 แสดงรหัสคำสั่ง(Command Instruction)
ที่ควบคุมการทำงานภายในของ 8251

ในโครงงานนี้จะกำหนดรหัสคำสั่งดังต่อไปนี้

D7	D6	D5	D4	D3	D2	D1	D0
0	0	0	1	0	1	0	1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

D0 เป็นการ Enable Transmission

D1 ทำให้สัญญาณ DTR เป็น 0

D2 Enable RxRDY

D3 ทำงานตามปกติ

D4 จะทำการ Reset Error โดยอัตโนมัติ

D5 ทำให้สัญญาณ RTS เป็น 0

D6 สั่งให้ทำการ Internal Reset

D7 ใน Asynchronous Mode D7 ต้องเป็น 0

Command Instruction = 015H ต้องกำหนดให้เหมือนกันทุกเครื่อง

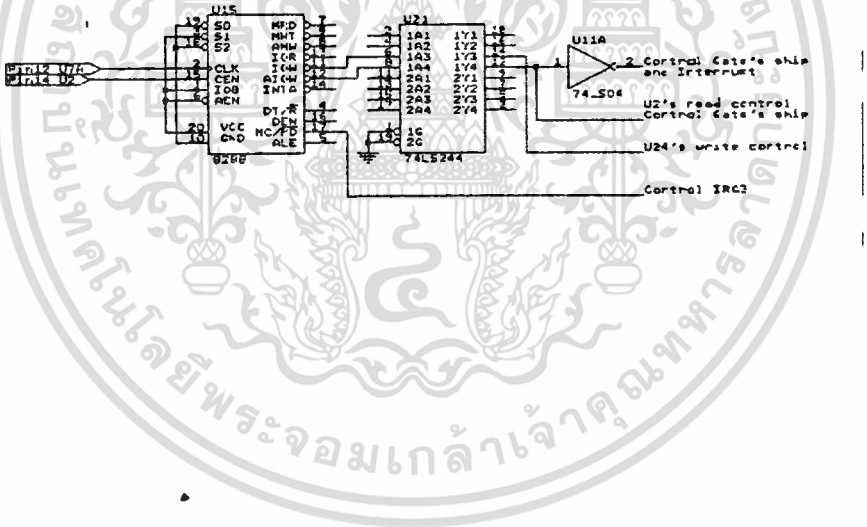
เมื่อเริ่มการทำงานของ 8251 ทุกครั้งควรจะทำการ Internal Reset ก่อนเพื่อเป็นการ Clear Buffer ข้อมูลใน 8251 ให้ว่างก่อนเพื่อพร้อมที่จะดำเนินการส่งรับข้อมูล คือการกำหนดให้ D6 เป็น 1 ทำให้ Command Instruction =055H

3.1.5 วงจรสร้างสัญญาณควบคุมการเขียนหน่วยความจำบนการ์ด

สำหรับโครงงานนี้ในขณะที่ทำการรับข้อมูล จะต้องทำการรับข้อมูลจากอุปกรณ์รับ-ส่งข้อมูลแบบอนุกรม (8251) เข้ามาเก็บไว้ยังหน่วยความจำที่อยู่บนการ์ดเสียก่อน ดังนั้นขบวนการนี้จึงประกอบไปด้วยการอ่านข้อมูลจาก 8251 แล้วเขียนข้อมูลที่รับเข้ามาลงในหน่วยความจำ และการที่จะอ่านและเขียนข้อมูลได้นั้นจะต้องประกอบไปด้วยสัญญาณควบคุมที่จำเป็นจะต้องใช้สำหรับอ่านและการเขียนข้อมูลตาม Data Sheet ของ 8251 และหน่วยความจำ ซึ่งสัญญาณควบคุมเหล่านี้สามารถใช้ IC 8288 ซึ่งเป็น Bus Controller เป็นตัวจ่ายสัญญาณได้ เนื่องจาก IC 8288 เป็น IC ซึ่งใช้สำหรับสร้างสัญญาณควบคุมบัส (Bus) ใน IBM PC อยู่แล้ว ดังนั้นจึงสามารถนำมาใช้สร้างสัญญาณควบคุมในการอ่านและเขียนข้อมูลได้ โดยต้องทำการตั้งค่า $\overline{S0}$,$\overline{S1}$ และ$\overline{S2}$ ดังรูป และเพื่อเป็นการลดเวลาในการอ่านและเขียนข้อมูล จึงทำการอ่านและเขียนข้อมูลในช่วงเวลาเพียงหนึ่งไซเคิล (Cycle) ของสัญญาณควบคุม โดยใช้เวลา 4 Clock ดังรูปตารางเวลา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากตารางเวลาจะใช้สัญญาณ $\overline{AIOW}$ ในการควบคุมการอ่านข้อมูลจาก 8251 และใช้ $\overline{IOW}$ ในการควบคุมการเขียนข้อมูลลงในหน่วยความจำ เหตุที่ต้องใช้สัญญาณดังนี้ก็เพราะข้อมูลที่จะเขียนลงในหน่วยความจำจะออกมาบน บัสข้อมูล(Data bus) ขอบขาขึ้นของ clock ลูกที่สองของไซเคิลการทำงานของ 8288 เนื่องจาก $\overline{AIOW}$ จึงสามารถใช้ $\overline{IOW}$ ควบคุมการเขียนข้อมูลลงในหน่วยความจำ ส่วนสัญญาณที่ใช้ในการบอกการเริ่มต้นของไซเคิลการทำงาน 8288 มาจากสัญญาณ RxRDY ของ 8251 ต่อเข้าที่ขา CEN ดังรูป

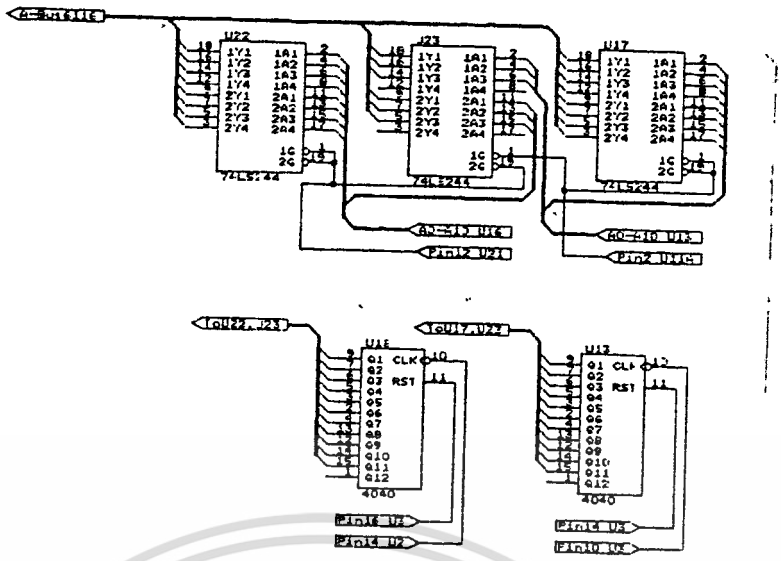


รูปที่ 3.8 วงจรสร้างสัญญาณควบคุมการเขียนหน่วยความจำบนการ์ด

3.1.6 วงจรอ้าง Address ของหน่วยความจำบนการ์ด

ในการเก็บข้อมูลลงในหน่วยความจำ จำเป็นที่จะต้องมีส่วนที่ทำการอ้างตำแหน่งว่าจะให้ข้อมูลที่ที่ต้องการเก็บนี้เก็บลงที่หน่วยความจำตำแหน่งไหน ในโครงงานนี้การทำงานในส่วนนี้เราไม่ได้ใช้การควบคุมจาก Main board แต่จะสร้างขึ้นโดยใช้วงจรนับแทน โดยใช้ IC เบอร์ CD4040(Binary counter)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.9 วงจรอ้างแอดเดรสของหน่วยความจำบนการ์ด

จากวงจรในรูปจะเห็นว่าจะมีวงจรที่ทำการอ้าง Address อยู่ 2 วงจร คือ

-วงจรอ้าง Address ในการเขียนข้อมูล

-วงจรอ้าง Address ในการอ่านข้อมูล

โดยในช่วงการเขียน Address จะถูกเปลี่ยนโดยอัตโนมัติโดย CD4040 จะถูกทริก (trig)โดย RxRDY ซึ่งสัญญาณนี้จะเกิดขึ้นเมื่อมีข้อมูลเข้ามาครบ 8 บิท คือข้อมูลจะถูกเก็บลงในหน่วยความจำทีละ 8 บิทส่วนในช่วงการอ่านจะเกิดขึ้นระหว่างช่วงเวลาการเขียนข้อมูลสิ้นสุดลงจนถึงการเขียนข้อมูลตัวต่อไป หรืออีกนัยหนึ่งก็คือช่วงที่ทำการรอข้อมูล 8 บิทชุดต่อไป ส่วนการเปลี่ยน Address ของการอ่านจะใช้การส่งงานจากโปรแกรม

ข้อที่จะต้องพิจารณาอีกอย่างคือ Address Bus ของหน่วยความจำบนการ์ดมีเพียงชุดเดียว(11 เส้น)แต่มีตัวที่จะอ้าง Address ถึง 2 ชุด จึงจำเป็นต้องมีส่วนที่ทำการตัดต่อให้มีตัวที่จะอ้าง Address ติดต่อกับหน่วยความจำทีละตัว ในโครงงานนี้ใช้ IC เบอร์ 74LS244 ทำการเลือกให้ ตัวที่จะอ้าง Address เข้ามาติดต่อกับหน่วยความจำทีละตัว

3.1.7 วงจรสร้างสัญญาณนาฬิกาและความถี่ที่ใช้ในการรับ-ส่งข้อมูล

ในโครงงานนี้มีอุปกรณ์บางตัวที่ต้องใช้สัญญาณนาฬิกาในการทำงาน เช่น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

8251 และ8288 ใน8251นี้จะใช้ความถี่ถึง 2ความถี่ คือใช้ในการทำงานภายในและใช้ในการรับส่งข้อมูล ดังนั้นจึงมีส่วนสร้างสัญญาณความถี่ 2 ส่วนดังรูป

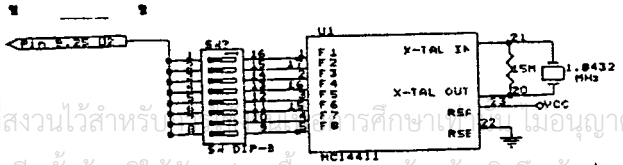
สำหรับสัญญาณ clock ที่ป้อนให้กับ 8251และ8288 นำมาจากสัญญาณ CLK ของ CPU ซึ่งใช้ความถี่ 4.77 MHz หารเหลือเพียงครั้งเดียวโดยใช้ 74LS73 ทำให้ได้สัญญาณที่มี ความถี่ 2.385 MHz ป้อนสู่ขา CLK ของ 8251และ8288

สำหรับสัญญาณความถี่ที่ใช้ในการส่งรับข้อมูลที่ป้อนเข้าสู่ขา TxC และ RxC ของ 8251 นั้น เราใช้ crystal 1.8432 MHz และ MC 14411 เป็นตัวสร้างสัญญาณ ซึ่งสามารถทำการเลือกความถี่ของสัญญาณได้จากตารางข้างล่างนี้

Rate Select		Rate
RsB	RsA	
0	0	*1
0	1	*8
1	0	*16
1	1	*64

O/P	O/P Rate (Hz)
F1	9600
F2	7200
F3	4800
F4	3600
F5	2400
F6	1800
F7	1200
F8	600

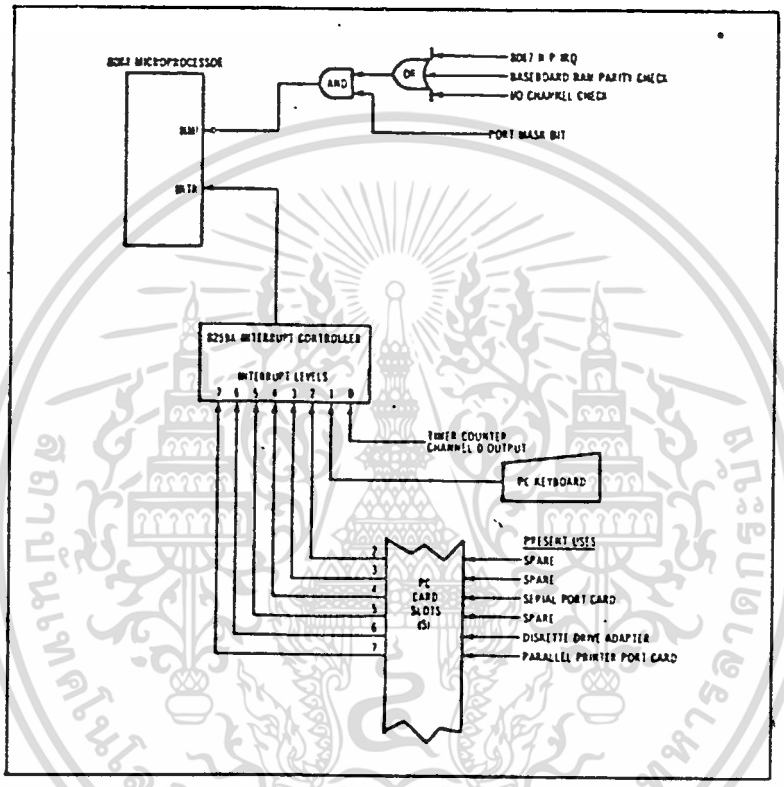
ในโครงงานนี้เราใช้สัญญาณความถี่ 3.6 KHz โดยให้ RsB=0,RsA=0 แล้วเลือก Switch ที่ตำแหน่ง F4 ซึ่งทั้งตัวส่งและตัวรับจะต้องมีความถี่ตรงกันจึงจะสามารถส่งรับข้อมูลได้อย่างถูกต้อง



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.1.8 วงจรขออินเทอร์รัพท์ (Interrupt)

การจัดอินเทอร์รัพท์ของ IBM/PC จะแบ่งเป็น 9 ระดับและมีการใช้งานต่างๆ ดังรูปข้างล่างนี้



รูปที่ 3.10 แสดงการจัดอินเทอร์รัพท์ระดับต่างๆของ IBM/PC

ในโครงงานนี้ใช้การอินเทอร์รัพท์อยู่ 2ระดับคือ IRQ2 และ IRQ3 ซึ่งแต่ละระดับจะถูกใช้งานคนละช่วงการทำงานแต่จะใช้งานในจุดประสงค์ที่คล้ายกันคือ

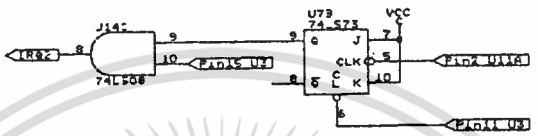
IRQ2 จะถูกใช้งานในช่วงที่ยังมีการรับส่งข้อมูลอยู่อีกนัยหนึ่งก็คือยังมี $\overline{\text{AIOW}}$ ($\overline{\text{AIOW}}$ เกิดจาก RxRDY) อยู่แต่ในโครงงานนี้เมื่อรับข้อมูลเข้ามาแล้วจะต้องนำมาประมวลผลทันที การประมวลผลข้อมูลบางตัวอาจใช้เวลานานกว่าข้อมูล 8 บิทชุดต่อไปมาถึงจึงเห็นได้ว่าเวลาของการส่งข้อมูลจากภายนอกทั้งหมดจะเสร็จก่อนที่ข้อมูลทุกตัวจะได้รับการประมวลผล

IRQ3 จะถูกใช้งานในช่วงที่การส่งข้อมูลจากภายนอกสิ้นสุดลงซึ่งขณะนี้จะไม่มี

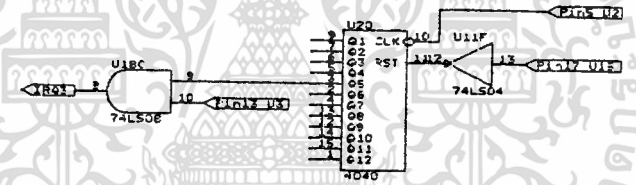
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การขอ IRQ2 อีกต่อไป ดังนั้น IRQ3 จะเป็นตัวนำข้อมูลที่เหลือในหน่วยความจำไปประมวลผลแทน IRQ2

วงจรการขออินเทอร์รัพท์ทั้ง 2 ระดับจะต่อตามวงจรดังรูป



IRQ2



IRQ3

รูปที่ 3.11 วงจรขอ interrupt

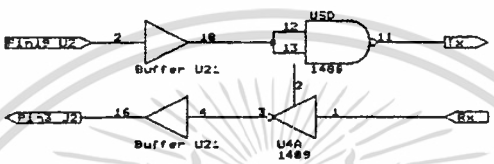
3.1.9 วงจรขับสัญญาณ

การส่งรับข้อมูลแบบอนุกรมนิยมนำไปใช้ในการรับส่งข้อมูลที่มีระยะทางไกล ระดับสัญญาณที่ใช้ในวงจรนี้คือ +5 และ 0 โวลต์ นั้นไม่สามารถจะส่งข้อมูลไปได้ไกลนัก เนื่องจากมีการลดทอนของขนาดสัญญาณตามระยะทางของสายทำให้ไม่สามารถ detect สัญญาณได้ถูกต้อง ดังนั้นก่อนที่จะทำการส่งข้อมูลไปในสายส่งจึงต้องมีการแปลงระดับแรงดันของสัญญาณ ในโครงงานนี้ใช้ระดับแรงดันในสายส่งประมาณ +/- 12 โวลต์

ในการส่งข้อมูลใช้ MC 1488 ทำหน้าที่เปลี่ยนระดับสัญญาณ TTL ไปเป็น +/- 12 โวลต์ และในส่วนรับข้อมูลใช้ MC 1489 ทำหน้าที่เปลี่ยนระดับสัญญาณ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

+/- 12 โวลต์ ให้เป็นระดับสัญญาณ TTL ซึ่งแสดงได้ดังรูป



รูปที่ 3.12 วงจรขับสัญญาณ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.2 ส่วนซอฟท์แวร์

ในส่วนซอฟท์แวร์นี้เป็นส่วนที่จำเป็นต้องมีเพื่อโปรแกรมการทำงานของระบบซึ่งจะทำงานสัมพันธ์กันระหว่าง IBM PC และ อุปกรณ์บนการ์ดที่เพิ่มเติมเข้าไป

แนวคิดในการออกแบบโปรโตคอล

ในการรับส่งข้อมูลระหว่างเครื่องคอมพิวเตอร์ เราต้องกำหนดโปรโตคอลในการรับส่งข้อมูลให้ถูกต้องและมีมาตรฐาน เป็นที่เข้าใจกันทั้งฝ่ายส่งและฝ่ายรับ จากทฤษฎีที่ผ่านมาจะเห็นว่าโปรโตคอลที่ใช้สำหรับ network ขนาดใหญ่ เช่น ระบบ LAN จะมีทั้งหมด 7 Layer แต่ในโครงงานนี้ไม่ได้ออกแบบตาม Layer ทั้ง 7 แต่ออกแบบให้เหมาะสมสำหรับการใช้งานด้านการสื่อสารข้อมูลอย่างง่ายๆ โดยจะเน้นถึงความอ่อนตัวของระบบ เพื่อที่จะให้เหมาะสมในการพัฒนาต่อไป

3.2.1 แนวคิดและการออกแบบ packet

ข้อกำหนดในการรับส่งข้อมูล (protocol) ที่สำคัญนอกจากรูปแบบของ interface card ก็คือรูปแบบของข้อมูลที่เราใช้ติดต่อสื่อสารระหว่างคอมพิวเตอร์ ซึ่งเราเรียกว่า packet ของข้อมูลนั่นเอง ซึ่งเรามีรูปแบบหลักของ packet ดังรูป 3.13

SB	DA	SA	CB	S	SI	INFORMATION	EOI	VRC	DC	MD	EB

รูปที่ 3.13 รูปแบบของ packet ของข้อมูล

จากรูปจะเห็นว่า packet ของข้อมูลข้อมูลหนึ่งจะแบ่งออกเป็น 3 ส่วนดังนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

1.ส่วน Header

1. SB คือ Stop Byte มีขนาด 1 ไบท์ ในโครงงานนี้เรากำหนดให้เป็น 7Eh หรือ 01111110B

2. DA คือ Destination Address เป็น Address ของผู้รับข้อมูลนี้ ซึ่งผู้ส่งเป็นผู้กำหนด มีขนาด 1 ไบท์ ซึ่งเราสามารถกำหนด Address ของแต่ละ Station ดังนี้

- File Server = 01h
- Station A = 02h
- Station B = 03h
- Station C = 04h
- Station D = 05h เป็นต้น

3. SA คือ Source Address เป็น Address ของผู้ส่งข้อมูล ซึ่งมีขนาด 1 ไบต์ และสามารถกำหนด Address ได้เหมือนกับ DA จะสังเกตุเห็นว่าเราจะมี Station ทั้งหมดของ Network = 2^n-1 = 255 Station (ไม่รวม File Server)

4. CB คือ Control Byte เป็นส่วนที่บอกให้ผู้รับทราบว่า Packet ที่ส่งมาถึงผู้รับนี้มีวัตถุประสงค์อย่างไร เช่น เป็น Packet ตอบรับว่าได้รับข้อมูลถูกต้องแล้ว เป็นต้น ซึ่งเรากำหนด CB ได้ดังนี้

- Enquiry = 00h
- Receive Ready to Send = 01h
- Receive Ready to Recieve = 02h
- Receive Not Ready = 03h
- Acknowledge = 04h
- Non-acknowledge = 05h
- End of Transmission = 06h
- Send Message = 07h
- Send File Data = 08h
- Send User ID = 09h
- Send Password = 0Ah

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5. S คือ Squence เป็นส่วนบ่งบอกถึงลำดับของข้อมูล เพราะว่าในการส่งข้อมูลจำนวนหนึ่งอาจจะมีหลาย packet ดังนั้นจึงต้องระบุลำดับของ packet เอาไว้สำหรับส่วน sequence นี้มีขนาด 1 ไบต์

6. SI คือ Size of Information เป็นส่วนที่บอกถึงจำนวนไบต์ของส่วน Information ในแต่ละ Packet

2. ส่วน Information

ส่วน information จะเป็นข้อมูลที่ส่งมายังผู้รับ (กรณีเป็น packet ในการส่งข้อมูล) ซึ่งมีขนาดมากที่สุด 80 Characters (80 Bytes) และเพราะว่า Sequence มีขนาด 1 Byte จึงมี Packet ได้ 2^8 = 256 Packets ดังนั้นไฟล์ของข้อมูลที่ใช้ส่งจึงมีขนาดได้ไม่เกิน 256*600 = 20 Kbyte

3. ส่วน Tailer

1. EOI คือ End of Information มีขนาด 1 byte เรากำหนดให้เท่ากับ 7Fh เป็นส่วนบอกให้ผู้รับข้อมูลทราบว่าสิ้นสุดส่วนข้อมูลแล้ว ซึ่งมีความจำเป็นจะต้องมีไว้ เพราะว่าขนาดข้อมูลของ packet ไม่จำเป็นต้องเท่ากับ 80 characters เสมอไป

2. VCR คือ Vertical Redundancy Check เป็นการตรวจสอบบิทพาริตี้ของ ข้อมูลตามแนวตั้ง ซึ่งเรากำหนดให้ใช้การตรวจสอบแบบ Even Parity โดยถ้าบิทข้อมูลมีจำนวนของ "1" เป็นเลขคู่ให้เติม "0" ที่ตำแหน่งนั้นของ VCR แต่ถ้าบิทข้อมูลมีจำนวนของ "1" เป็นเลขคี่ให้เติม "1" ลงไป ดังตัวอย่างรูปที่ 3.14

Character	ตัวที่ 1	0 1 1 0 1 1 0 0	=	6Ch
Character	ตัวที่ 2	1 0 1 0 1 1 1 1	=	AFh
Character	ตัวที่ 3	0 1 1 1 0 1 0 1	=	75h
Character	ตัวที่ 4	1 1 1 0 0 0 1 0	=	E2h
Character	ตัวที่ 5	0 0 0 1 0 1 1 1	=	17h
VCR	=	0 1 0 0 0 0 1 1	=	73h

รูปที่ 3.14 แสดง Vertical Redundancy Chack

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากรูปจะเห็นว่าถ้าบล็อคของข้อมูลมี 5 character ดังรูป เราจะได้ส่วน VRC = 73h

3. DC คือ Divided Checkเป็นค่าเฉลี่ยข้อ เช่นจากรูปที่ 3.14 จะได้ DC = (6C+AF+75+E2+17)/5 = B1h และเหลือเศษ 04h ที่เราต้องเพิ่มการตรวจสอบแบบนี้ขึ้นมา เพราะว่าการตรวจสอบแบบ VRC อย่างเดียวอาจจะเกิดความผิดพลาดได้เช่นถ้าบิทที่ 3 ของ Character ตัวที่ 4 กับ 5 เกิดเปลี่ยนแปลงพร้อมกัน ค่า VRC จะออกมาเหมือนกับว่าถูกต้องซึ่งทำให้การตรวจสอบข้อมูลอาจผิดพลาดได้

ถ้าเราเพิ่มส่วนการตรวจสอบ DC และ MC เข้ามาจะตรวจสอบข้อมูลผิดพลาดในกรณีเดียวคือกรณีที่บิทลำดับเดียวกันของ Character 2 ตัวเกิดการเปลี่ยนแปลงพร้อมกันตัวหนึ่งเปลี่ยนจาก 0 เป็น 1 และอีกตัวหนึ่งเปลี่ยนจาก 1 ไปเป็น 0 เท่านั้น

4. MC คือ Mod Check เป็นส่วนที่ได้จากเศษของการหาค่าเฉลี่ยของข้อมูล เช่น จากรูปที่ 3.14 เราจะได้ว่า MC = 04H

5. EB คือ End Byte เป็นส่วนที่บ่งบอกให้ผู้รับทราบว่าสิ้นสุด Packet นี้แล้ว มีขนาด 1 Byte เรากำหนดให้มีค่าเท่ากับ 7EH เหมือน Start Byte

สำหรับ Packet ที่นำมาใช้งานจริง เราสามารถแบ่งออกได้เป็น 2 ประเภทดังนี้

1. Packet ที่ทำหน้าที่ควบคุมและออกคำสั่ง (Command Packet)

1.1 Enquiry Packet เป็น packet ทำหน้าที่สอบถามความต้องการของ user ในการที่จะติดต่อกับ File Server ว่าต้องการจะติดต่อกัน หรือ ไม่ถ้าต้องการที่จะติดต่อ จะติดต่อในรูปแบบไหน Enquiry Packet มีขนาด 5 ไบท์ มี Control byte เป็น 00h ซึ่งแสดงดังรูป 3.15

SB	DA	SA	0	EB

รูปที่ 3.15 ENQ Packet

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

1.2 Receive Ready to Send Packet เป็น Packet ที่ใช้ส่งเพื่อตอบสนองเมื่อ User ได้รับ Enquiry Packet และมีความต้องการที่จะติดต่อกับFile Server เพื่อที่จะส่งข้อมูลไปเก็บไว้ยัง File Server สำหรับ Packet นี้มี Control Byte เป็น 01H และมีส่วนInformation ที่แสดงถึง User ID ที่เราต้องการส่งไปถึง

SB	DA	SA	1	SI	INFORMATION (USER ID)	EOI	VRC	DC	MD	EB

รูปที่ 3.16 RRS Packet

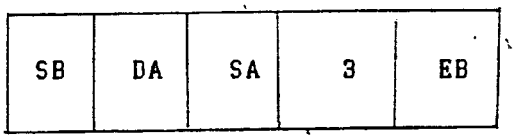
1.3 Receive Ready to Reaceive Packet เป็น packet ที่ใช้ส่งเพื่อตอบสนองเมื่อ user ได้รับ enquiry packet จาก file server และมีความต้องการที่จะรับข้อมูลจาก file server สำหรับ packet ที่มี control byte เป็น 02h และมีส่วน information ที่แสดงถึง user ID ที่เราต้องการจะรับ file มา

SB	DA	SA	2	SI	INFORMATION (USER ID)	EOI	VRC	DC	MD	EB

รูปที่ 3.17 RRR Packet

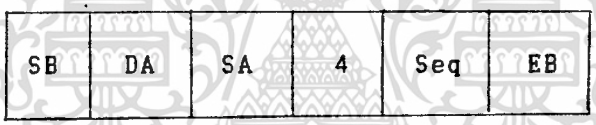
1.4 Receive Not Ready Packet เป็น packet ที่ใช้ส่งเพื่อตอบสนองเมื่อ user ได้รับ enquiry packet จาก file server และไม่พร้อมหรือไม่ต้องการที่จะติดต่อกับ file server สำหรับ packet นี้ ไม่มีส่วน information และมีขนาดเป็น 5 ไบท์โดยมี control byte เป็น 03h

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



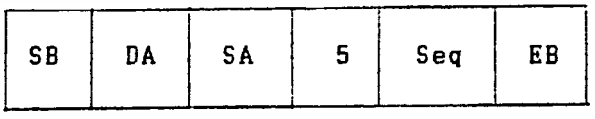
รูปที่ 3.18 RNR Packet

1.5 Acknowledge Packet เป็น packet ที่ใช้ส่งเพื่อตอบสนอง packet ใดๆ ก็ตามที่มีส่วน information โดย ACK Packet นี้จะบ่งบอกให้ผู้ส่งทราบว่าข้อมูลที่ส่งมา ผู้รับได้รับโดยถูกต้องแล้ว ACK Packet มีขนาด 6 ไบท์ โดยมี sequence byte เพิ่มขึ้นมา ซึ่ง sequence byte นี้ เราสามารถนำไปใช้ประโยชน์ได้อย่างมากมาย



รูปที่ 3.19 ACK Packet

1.6 Non Acknowledgw Packet เป็น packet ที่ใช้ส่งเพื่อตอบสนอง packet ใดๆ ก็ตาม ที่มีส่วน information โดย NACK Packet นี้ จะบ่งบอกให้ผู้ส่งทราบว่าข้อมูลที่ส่งมาที่ผู้รับได้เกิดความผิดพลาดขึ้น NACK Packet มีขนาด 6 ไบท์ เหมือนกับ ACK Packet



รูปที่ 3.20 NACK Packet

1.7 End of Transmission Packet เป็น packet ที่ใช้ส่งเพื่อบอกให้ทราบถึงการสิ้นสุดของการติดต่อส่งรับข้อมูลระหว่างผู้ส่งและผู้รับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

SB	DA	SA	6	EB

รูปที่ 3.21 EOT Packet

2. Packet ที่ทำหน้าที่ส่งข้อมูล (Information Packet)

2.1 Information Packet ใช้ส่งข้อมูลในการรับส่งไฟล์ระหว่างคอมพิวเตอร์ 2 เครื่อง โดยแต่ละ packet จะมีส่วนข้อมูลได้มากที่สุด 80 ตัวอักษร มี control byte เป็น 07h

SB	DA	SA	7	Seq	SI	INFORMATION	EOI	VRC	DC	MD	EB

รูปที่ 3.22 Information Packet

2.2 File Data Packet เป็น packet ที่ใช้ในการส่ง file data ให้กับเครื่องรับ เพื่อบอกให้เครื่องรับทราบว่า ไฟล์ที่ส่งมามีข้อมูลเป็นอย่างไรบ้าง เช่น มีชื่อไฟล์ว่าอะไร มี packet ทั้งหมดกี่ packet

SB	DA	SA	8	SI	INFORMATION	Z	จำนวน Packet	EOI	VRC	DC	MD	EB

รูปที่ 3.23 File Data Packet

2.3 User ID Packet เป็น packet ที่ user ใช้ติดต่อกับ file server เพื่อขออนุญาติในการติดต่อกับ file server

SB	DA	SA	9	SI	INFORMATION (USER ID)	EOI	VRC	DDC	MD	EB

รูปที่ 3.24 User ID Packet

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.4 Password Packet เป็น packet ที่ user ใช้ส่งไปบอก file server เพื่อให้ file server เป็นคนตรวจสอบว่า password ถูกต้องตรงกับข้อมูลที่มีอยู่หรือไม่

SB	DA	SA	IO	SI	INFORMATION (PASSWORD)	EOI	VRC	DC	MD	EB

รูปที่ 3.25 Password Packet

เราสามารถสรุปรูปแบบต่างๆ ของ packet ได้ดังนี้

	SF	DA	SA	CC	S	SI	INFORMATION	EOI	VRC	DC	MD	EF
ENQ	7Eh	??h	??h	00h	-	--	---	-	-	-	-	7Eh
RRS	7Eh	??h	??h	01h	-	??h	User ID	7Fh	??h	??h	??h	7Eh
RRR	7Eh	??h	??h	02h	-	??h	User ID	7Fh	??h	??h	??h	7Eh
RNR	7Eh	??h	??h	03h	-	--	---	-	-	-	-	7Eh
ACK	7Eh	??h	??h	04h	??h	--	---	-	-	-	-	7Eh
NACK	7Eh	??h	??h	05h	??h	--	---	-	-	-	-	7Eh
EOT	7Eh	??h	??h	06h	-	--	---	-	-	-	-	7Eh
Info File-	7Eh	??h	??h	07h	??h	??h	Information	7Fh	??h	??h	??h	7Eh
Data User-	7Eh	??h	??h	08h	??h	??h	Files Info	7Fh	??h	??h	??h	7Eh
ID Pass-	7Eh	??h	??h	09h	-	??h	User ID	7Fh	??h	??h	??h	7Eh
word	7Eh	??h	??h	0Ah	-	??h	Password	7Fh	??h	??h	??h	7Eh

รูปที่ 3.26 รูปแบบของ packet ต่างๆ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.2.2 รูปแบบการรับส่ง packet และการตอบสนอง

เนื่องจากการรับส่งข้อมูลในโครงงานนี้ใช้แบบ centralized polling เพราะฉะนั้นเราจะใช้ ENQ Packet ในการบ่งบอกว่า file server ต้องการติดต่อกับ user เครื่องไหน โดยที่เมื่อ file server ต้องการติดต่อกับ user เครื่องใดมันก็จะส่ง ENQ Packet ไปยัง user นั้น และรอคอยการตอบสนองต่อไป

ในการตอบสนอง ENQ Packet ของ user นั้นสามารถแบ่งตามลักษณะของงานได้ดังนี้

1. การตอบสนองเพื่อขออนุญาติใช้เครื่อง

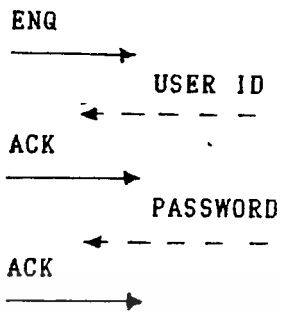
จากรูปเมื่อ user ได้รับ ENQ Packet และต้องการขออนุญาติใช้เครื่อง ก็ให้ส่ง User ID ของ user กลับไปเมื่อ file server ได้รับ user ID Packet ก็จะทำการตอบสนองโดย

- ถ้าตรวจสอบข้อมูลแล้วพบว่าผิดพลาดก็จะส่ง NACK Packet
- ถ้าตรวจสอบแล้วข้อมูลถูกต้อง แต่ว่า user ID ที่ได้รับไม่ได้รับอนุญาติให้ใช้เครื่อง ก็จะส่ง ACK Packet โดยที่ Sequence bit = 1
- ถ้าตรวจสอบแล้วข้อมูลถูกต้อง และ User ID ที่ได้รับได้รับอนุญาติให้ใช้เครื่องได้ ก็จะส่ง ACK Packet โดยที่ Sequence bit = 2

เมื่อ user ได้รับ NACK Packet ก็จะทำการส่งซ้ำอีกครั้งหนึ่ง ถ้าได้รับ ACK Packet ที่ Sequence = 1 ก็จะหลุดออกจากการตอบสนองเพื่อขออนุญาติใช้เครื่อง ถ้า Sequence = 2 ก็จะส่ง password ของ user นั้นมายัง file server

เมื่อ file server ได้รับ password packet ก็จะทำการตรวจสอบและ ส่ง packet กลับมาเช่นเดียวกับในกรณี User ID เมื่อ User ได้รับ packet ที่ตอบสนองกลับมา ถ้าเป็น NACK Packet ก็จะทำการส่งซ้ำ ถ้าเป็น ACK Packet ก็จะจบสิ้นขบวนการการตอบสนองนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.27 กระบวนการตรวจสอบ User ID และ Password

2. การตอบสนองเมื่อต้องการส่งไฟล์

เมื่อ user ได้รับ ENQ Packet และมีความต้องการที่จะส่งไฟล์ user จะทำการตอบสนอง ENQ Packet ตามสถานะที่คงอยู่ขณะนั้น ซึ่งสามารถแบ่งออกเป็น

2.1 ได้รับ ENQ Packet ครั้งแรก

การตอบสนองจะเกิดขึ้นดังรูปที่ 3.26 โดย user จะส่ง RRS Packet ไปให้ file server โดยมีข้อมูลคือ User ID ผู้รับไฟล์ที่เราจะส่งไปให้เมื่อ file server ได้รับ user ID ผู้รับแล้ว file server ก็จะทำการเปิดตู้ไปรษณีย์ของผู้รับ เพื่อรอไฟล์ที่จะส่งมาต่อไป เมื่อ user ส่ง RRS Packet แล้วก็จะทำการรอจนกระทั่งได้รับ ACK Packet จึงจะส่ง file data packet ต่อไป

การตอบสนองขั้นนี้ จะสิ้นสุดลงเมื่อ user ได้รับ ACK Packet ที่ตอบสนอง file data packet จาก server

2.2 ได้รับ ENQ Packet ครั้งต่อไป

การตอบสนองจะเกิดขึ้นดังรูปที่ 3.26 โดย user จะส่ง data Packet ไปให้ file server และการตอบสนองขั้นนี้ จะสิ้นสุดลงเมื่อ user ได้รับ ACK Packet ที่ตอบสนอง Data Packet จาก file server

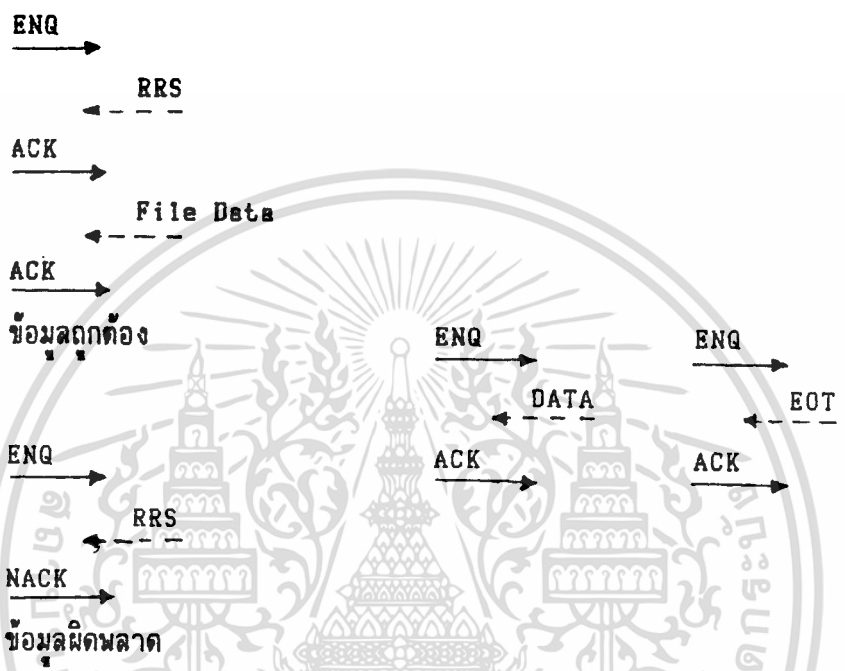
การตอบสนองขั้นนี้จะเกิดขึ้นทุกครั้งที่ user ได้รับ ENQ Packet จนกระทั่ง data packet สุดท้ายถูกส่งออกไป การตอบสนองครั้งต่อไปจะเกิดขึ้นที่ 2.3 แทน

2.3 ได้รับ ENQ Packet ครั้งสุดท้าย

เมื่อ user ได้รับ ENQ Packet ขณะที่ส่ง data ออกไปหมดสิ้นแล้ว

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

user ก็จะทำการส่ง EOT Packet และรอ ACK Packet จาก file server ดังรูป ก็จะเป็นอันว่าการส่งไฟล์ได้เสร็จสิ้นลงอย่างสมบูรณ์



รูปที่ 3.28 กระบวนการส่ง data ของ user

3. การตอบสนองเมื่อต้องการรับไฟล์

เมื่อ user ต้องการรับไฟล์ในตู้ไปรษณีย์ของตนมาดู เมื่อได้รับ ENQ Packet ก็จะทำการตอบสนอง ดังขั้นตอนข้างล่างนี้

3.1 เมื่อได้รับ ENQ Packet เป็นครั้งแรก

ขั้นตอนการตอบสนองจะปรากฏดังรูป โดย user จะส่ง RRR Packet ไปให้ file server ซึ่ง file server จะทำการตอบสนองโดยส่ง file data packet ซึ่งมีข้อมูลคือชื่อไฟล์ทั้งหมดที่มีอยู่ในตู้ไปรษณีย์ของ user และ user จะทำการเลือกไฟล์ที่จะดูและส่งหมายเลขไฟล์กลับไป file server ก็จะตอบสนองโดยส่ง ACK Packet กลับมา

3.2 เมื่อได้รับ ENQ Packet ครั้งถัดมา

ขั้นตอนการตอบสนองจะปรากฏดังรูป โดย user จะส่ง ACK Packet

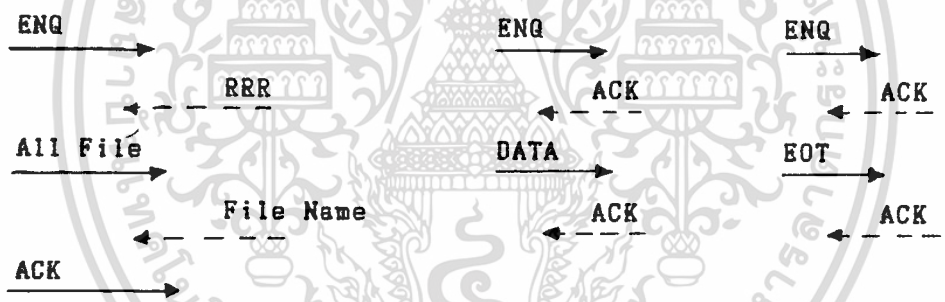
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กลับไปให้ file server เพื่อบ่งบอกว่าพร้อมที่จะรับ data packet จาก file server file server ก็จะส่ง data packet มายัง user และรอ ACK Packet ตอบสนองกลับมา

ขั้นตอนนี้จะดำเนินอยู่เป็นวัฏจักร จนกระทั่ง data packet จาก file server หมดลง

3.3 เมื่อได้รับ ENQ Packet และ File Server ส่ง Data Packet หมดแล้ว

ขั้นตอนการตอบสนองจะปรากฏดังรูป โดยเมื่อ user ส่ง ACK Packet กลับมา File Server ก็จะส่ง EOT Packet เป็นการบอกว่าสิ้นสุดการติดต่อแล้ว



รูปที่ 3.29 กระบวนการรับ data ของ user

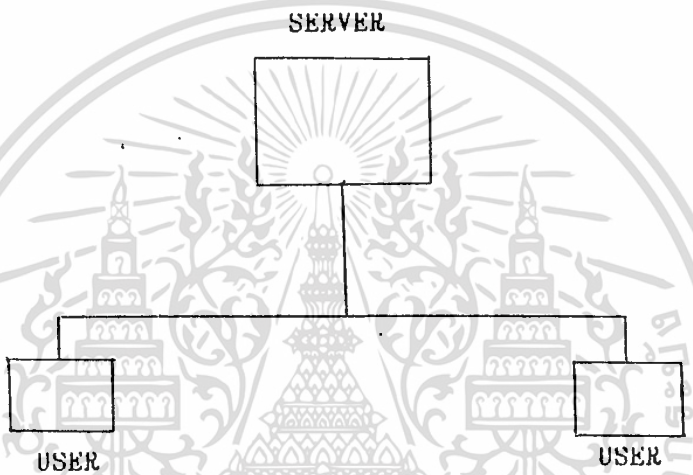
4. ส่วนทำการตอบสนองเมื่อไม่ต้องการติดต่อ

เมื่อ user ได้รับ ENQ Packwt และไม่ต้องการติดต่อ ก็จะทำการส่ง RNR Packet ไปยัง file server เพื่อรอการตอบสนองต่อไป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ผลการทดลอง

จากการที่ได้ศึกษาเกี่ยวกับระบบไปรษณีย์อีเลคทรอนิคส์ที่ใช้รูปแบบของ Bus Topology ที่มีการเข้าถึงข้อมูลแบบ Centralized Polling ดังรูป



ในส่วนของ Hardware ได้สร้างการ์ดที่ใช้ในการรับส่งข้อมูลขึ้นมา 3 การ์ดในขั้นแรกได้ทำการรับส่งแบบ point to pointสามารถทำการรับส่งได้แต่ยังมีปัญหาในเรื่องการตรวจสอบความผิดพลาดในการส่งและรับข้อมูลอยู่บ้าง ส่วนวงจรหน่วยความจำที่มีอยู่บนการ์ดสามารถทำการเก็บข้อมูลที่ส่งมาได้ตามจุดประสงค์ที่วางไว้ และมีความเร็วในการเก็บข้อมูลสูง มี baud rate ในการรับส่ง เท่ากับ 3600

ในส่วนของ software ได้เขียน software เพื่อรองรับการทำงานแบบ multi point คือการรับส่งข้อมูลระหว่าง server กับ user ได้แก่การตรวจสอบความผิดพลาดของข้อมูลแต่ละ packet, การส่งสัญญาณเพื่อการติดต่อและตอบสนอง เช่น Enquiry Packet, Acknowledge Packet เป็นต้น

ซึ่งในการทดลองจริงๆ ทั้งส่วน Hardware และ Software มีบางส่วนได้เกิดปัญหาขึ้น เช่น

- อุปกรณ์ที่ใช้ในการทดลองไม่ได้มาตรฐานพอ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- อุปกรณ์ที่เกิดความเสียหายตรวจเช็คลำบาก
- ปัญหาที่เกิดจากตัวเครื่องคอมพิวเตอร์ที่ใช้
- เนื่องจากสายที่ใช้ในการทดลองไม่ดีพอทำให้เป็นอุปสรรคในการรับส่งข้อมูล
- เนื่องจากความสามารถของอุปกรณ์บางตัวมีจำกัด เช่น 8251 ซึ่งมีความเร็วในการแปลงข้อมูลจากแบบขนานไปเป็นแบบอนุกรม หรือ จากอนุกรมไปเป็นแบบขนานช้ากว่าความเร็วของคอมพิวเตอร์มาก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สรุปผลการทดลอง

จากผลการทดลองสามารถสรุปได้ว่า

1. สามารถออกแบบและสร้าง Interface card ที่ใช้ในการรับส่งข้อมูล

2. สามารถทำการรับส่งข้อมูลแบบ point to point ได้

3. สามารถทำการรับส่งข้อมูลแบบ bus topology ในรูปแบบของการเข้าถึงข้อมูลแบบ Centralized Polling

4. สามารถสร้างรูปแบบในการรับส่งข้อมูลขึ้นเอง ได้แก่ การส่งข้อมูลเป็นแบบ packet , การตรวจสอบความผิดพลาดของข้อมูลที่ค่อนข้างเที่ยงตรง เป็นต้น

5. มีการกำหนด user ID และ password เพื่อรักษาความปลอดภัยของข้อมูล

6. สามารถส่งได้ครั้งละหลาย packet เพื่อประหยัดเวลาในการตอบรับโดยส่งสัญญาณ ACK ทีละ packet

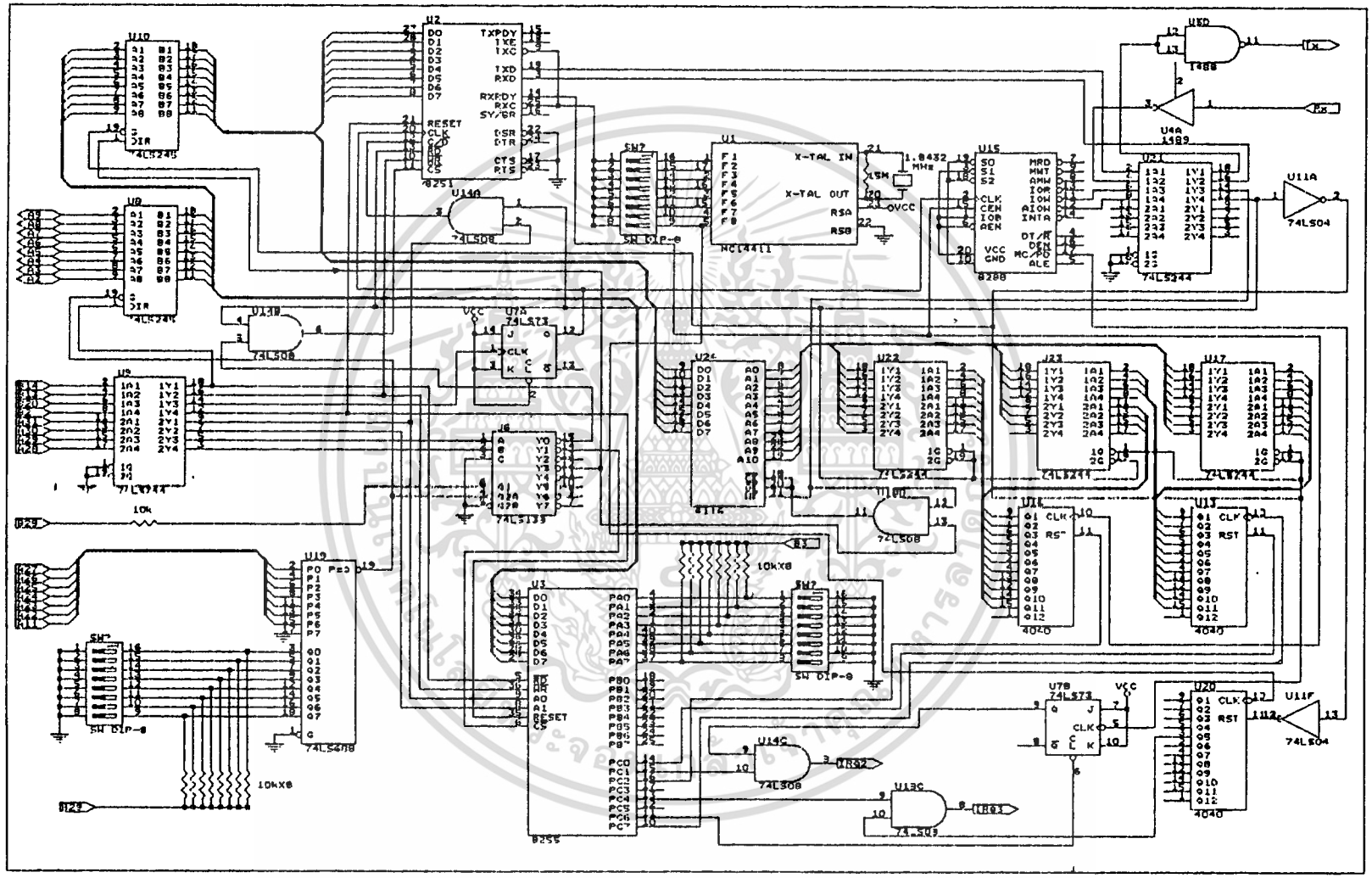
เนื่องจากโครงงานนี้มีข้อจำกัดในด้านเวลาและความสามารถของผู้จัดทำ จึงทำให้โครงงานนี้มีข้อบกพร่องอยู่มาก และยังมีส่วนที่ทางผู้จัดทำมีความคิดเห็นที่จะเสนอแนะดังนี้

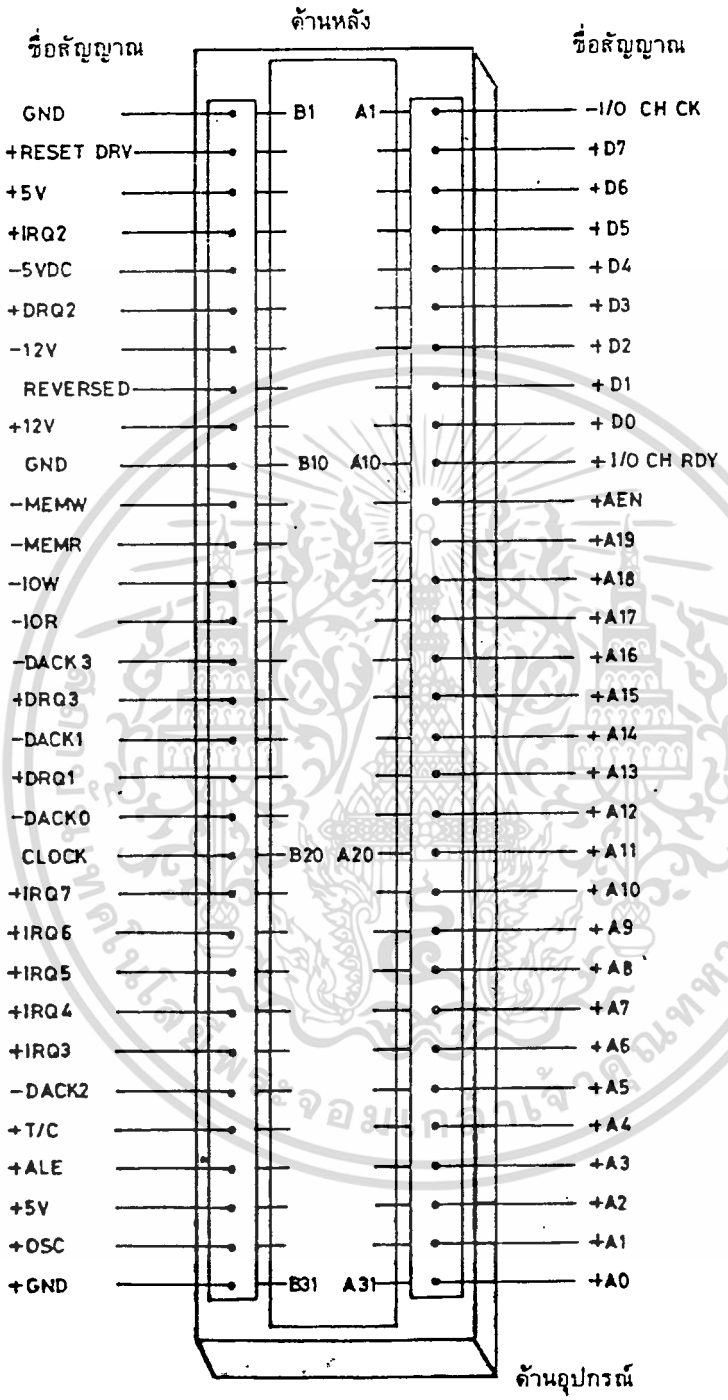
- ควรติดตั้ง CPU บนการ์ด เพื่อทำงานแทนวงจรบนเมนบอร์ดในการทำการตรวจเช็คข้อมูล เพื่อที่จะให้คอมพิวเตอร์ทำงานในลักษณะ Multi tasking ได้
- ควรใช้เครื่องคอมพิวเตอร์ที่มีความเร็วในการประมวลผลมากกว่านี้ เช่น CPU 80286 เป็นต้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้





แสดงสายสัญญาณเชื่อมต่อที่สล็อต

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MOTOROLA

MC1488

QUAD LINE DRIVER

The MC1488 is a monolithic quad line driver designed to interface data terminal equipment with data communications equipment in conformance with the specifications of EIA Standard No. RS-232C.

Features:

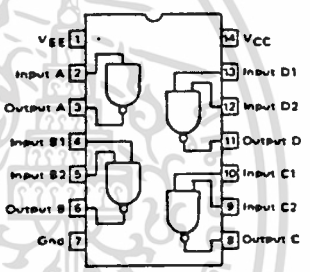
- Current Limited Output
  ±10 mA typ
- Power Off Source Impedance
  300 Ohms min
- Simple Slew Rate Control with External Capacitor
- Flexible Operating Supply Range
- Compatible with All Motorola MDTL and MTTL Logic Families

QUAD MDTL LINE DRIVER
RS-232C
SILICON MONOLITHIC
INTEGRATED CIRCUIT

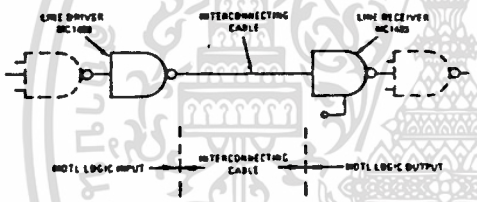
L SUFFIX
CERAMIC PACKAGE
CASE 632-02
MO-001AA

P SUFFIX
PLASTIC PACKAGE
CASE 646-05

PIN CONNECTIONS

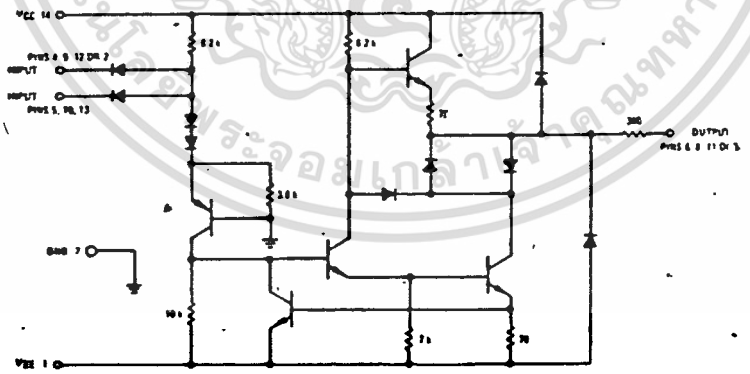


TYPICAL APPLICATION



CIRCUIT SCHEMATIC

(1/4 OF CIRCUIT SHOWN)



รายละเอียดของไอซี MC1488

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MOTOROLA

MC1489
MC1489A

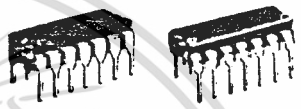
QUAD LINE RECEIVERS

The MC1489 monolithic quad line receivers are designed to interface data terminal equipment with data communications equipment in conformance with the specifications of EIA Standard No. RS-232C.

- Input Resistance – 3.0 k to 7.0 kilohms
- Input Signal Range – ± 30 Volts
- Input Threshold Hysteresis Built In
- Response Control
  a) Logic Threshold Shifting
  b) Input Noise Filtering

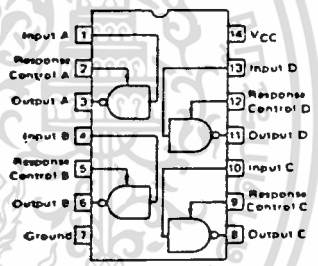
QUAD MDTL
LINE RECEIVERS
RS-232C

SILICON MONOLITHIC
INTEGRATED CIRCUIT

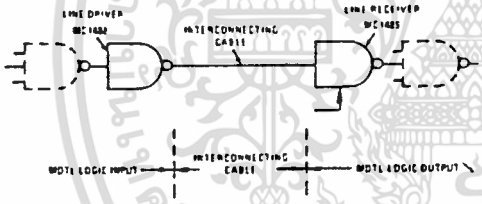


L SUFFIX
CERAMIC PACKAGE
CASE 632-07
MO-001AA

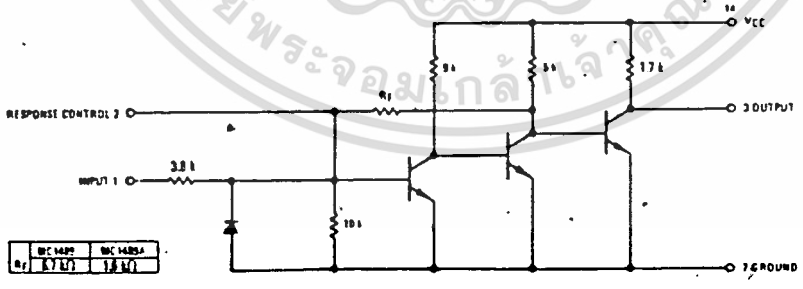
P SUFFIX
PLASTIC PACKAGE
CASE 646-05



TYPICAL APPLICATION



EQUIVALENT CIRCUIT SCHEMATIC (1/4 OF CIRCUIT SHOWN)



Rf	MC1489	MC1489A
	5.7 kΩ	1.8 kΩ

รายละเอียดของไอซี MC 1489

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

D.C. Characteristics: $T_A = 0°C$ to $70°C$; $V_{CC} = +5V \pm 5\%$; $V_{SS} = 0V$

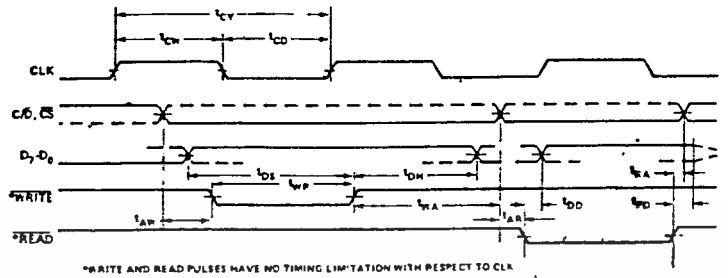
Symbol	Parameter	Min.	Typ.	Max.	Unit	Test Conditions
V_{IL}	Input Low Voltage			.8	V	
V_{IH}	Input High Voltage	2.0			V	
V_{OL}	Output Low Voltage			.4	V	I_{OL}=2.0mA (DB_{0-7}) 1.6mA (Others)
V_{OH}	Output High Voltage	2.4			V	I_{OH}=-150μA (DB_{0-7}), -100μA (Others)
I_{CC}	Power Supply Current		80		mA	
I_{LI}	Input Load Current		10		μA	V_{IN}=0V to 5.25V
I_{LOL}	Output Leakage Current (DB Low)		-100		μA	V_{OUT}=0.4V
I_{LOH}	Output Leakage Current (DB High)		+10		μA	V_{OUT}=V_{CC}

A.C. Characteristics: $T_A = 0°C$ to $70°C$; $V_{CC} = +5V \pm 5\%$; $V_{SS} = 0V$

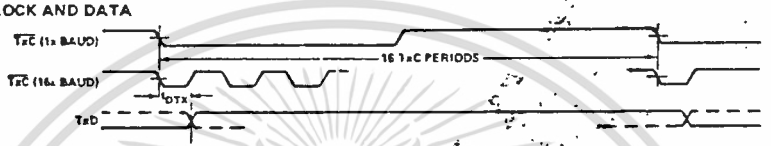
Symbol	Parameter	Min.	Typ.	Max.	Unit	Test Conditions
t_{CY}	Clock Period		480		ns	
t_{CW}	Clock Pulse Width		220		ns	
t_{CD}	Clock Pulse Delay		260		ns	
t_R, t_F	Clock Rise and Fall Time		50		ns	
t_{WR}	Write Pulse Width		400		ns	
t_{DS}	Data Set-Up Time for $\overline{WRITE}$		300		ns	
t_{DH}	Data Hold Time for $\overline{WRITE}$		20		ns	
t_{DD}	Data Delay from $\overline{READ}$		350		ns	C_L = 150pF
t_{FD}	$\overline{READ}$ to Data Floating		160		ns	C_L = 150pF
t_{AW}	Address Stable before $\overline{WRITE}$	0			ns	
t_{WA}	Address Hold Time for $\overline{WRITE}$		40		ns	
t_{AR}	Address Stable before $\overline{READ}$		0		ns	
t_{RA}	Address Hold Time for $\overline{READ}$		0		ns	
t_{DTx}	TxD Delay from Rising Edge of TxC		300		ns	
t_{SRx}	Rx Data Set-Up Time to Sampling Pulse		500		ns	
t_{HRx}	Rx Data Hold Time to Sampling Pulse		6		CLK Period	
f_{Tx}	Transmitter Input Clock Frequency 1X Baud Rate 16X and 64X Baud Rate		 56 615		 KHz KHz	
f_{Rx}	Receiver Input Clock Frequency 1X Baud Rate 16X and 64X Baud Rate		 56 615		 KHz KHz	
t_{Tx}	TxRDY Delay from Center of Data Bit		6		CLK Period	C_L=50pF
t_{Rx}	RxRDY Delay from Center of Data Bit		6		CLK Period	
t_{IS}	Internal SYNDET Delay from Center of Data Bit		6		CLK Period	
t_{ES}	External $\overline{SYNDET}$ Set-Up Time before Rising Edge of RxC		6		CLK Period	

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

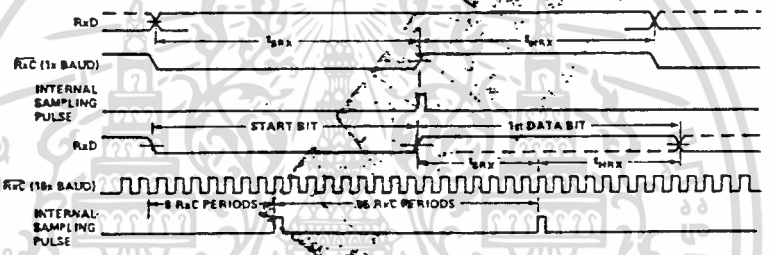
READ AND WRITE TIMING



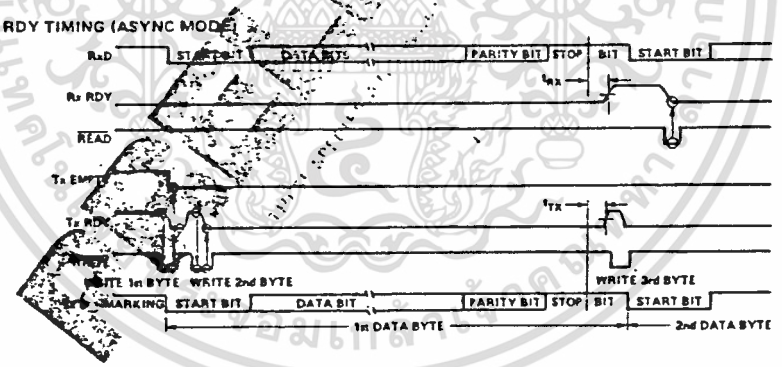
TRANSMITTER CLOCK AND DATA



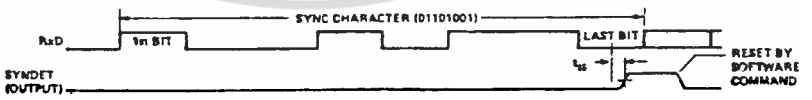
RECEIVER CLOCK AND DATA



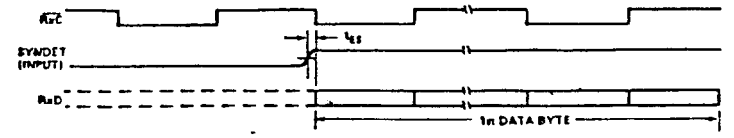
Tx RDY AND Rx RDY TIMING (ASYNC MODE)



INTERNAL SYNC DETECT

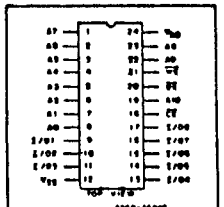


EXTERNAL SYNC DETECT



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

CDM6116A



TERMINAL ASSIGNMENT

CMOS 2048-Word by 8-Bit Static RAM

Features:

- *Fully static operation*
- *Single power supply: 4.5 V to 5.5 V*
- *All inputs and outputs directly TTL compatible*
- *3-state outputs*
- *Industry standard 24-pin configuration*
- *Chip-enable gates address buffers for minimum standby current*
- *Data retention voltage, 2 V min.*

	CDM6116A-2	CDM6116A-3	CDM6116A-9
Access Time (max.)	200 ns	150 ns	250 ns
Output Enable Time (max.)	120 ns	80 ns	150 ns
Operating Temperature	0° to +70°C		-40° to +85°C
Operating Current (max.)	35 mA	35 mA	40 mA
Standby Current I_{DDS1} (max.)	30 µA	50 µA	100 µA

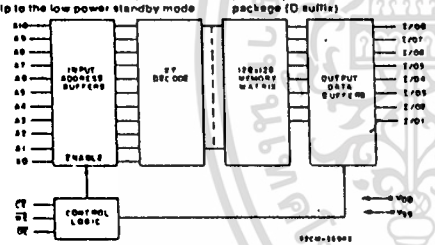
The RCA-CDM6116A is a CMOS 2048-word by 8-bit static random-access memory. It is designed for use in memory systems where high-speed, low power and simplicity in use are desirable. This device has common data inputs and data outputs and utilizes a single power supply of 4.5 V to 5.5 V. A chip-enable input and an output-enable input are provided for memory expansion and output buffer control.

The chip enable ($\overline{CE}$) gates the address and output buffers and powers down the chip to the low power standby mode.

The output enable ($\overline{OE}$) controls the output buffers to eliminate bus contention.

The CDM6116A-2 and CDM6116A-3 have an operating temperature range of 0° to +70°C. The CDM6116A-9 has an operating temperature range of -40° to +85°C.

The CDM6116A-2 and CDM6116A-3 are supplied in a 24-lead dual-in-line plastic package (E suffix). The CDM-6116A-9 is supplied in a 24-lead dual-in-line plastic package (E suffix) and a 24-lead dual-in-line side-brazed ceramic package (D suffix).



Functional block diagram

TRUTH TABLE

$\overline{CE}$	$\overline{OE}$	$\overline{WE}$	A0 TO A10	MODE	I/01 TO I/08	DEVICE CURRENT
H	X	X	X	NOT SELECTED	HIGH Z	STANDBY
L	L	H	STABLE	READ	DATA OUT	ACTIVE
L	H	L	STABLE	WRITE	DATA IN	ACTIVE
L	L	L	STABLE	WRITE	DATA IN	ACTIVE

L = LOW H = HIGH X = H or L

CDM6116A

SIGNAL DESCRIPTIONS

A0-A10 (Address Inputs): These inputs must be stable prior to a write operation, but may change asynchronously during read operations.

I/01-I/08: 8-bit tristate data bus.

$\overline{CE}$ (Chip Enable): Powers down chip, disables Read and Write functions, and gates off address inputs.

$\overline{OE}$ (Output Enable): Enables tristate outputs if $\overline{CE}$ is low and $\overline{WE}$ is high.

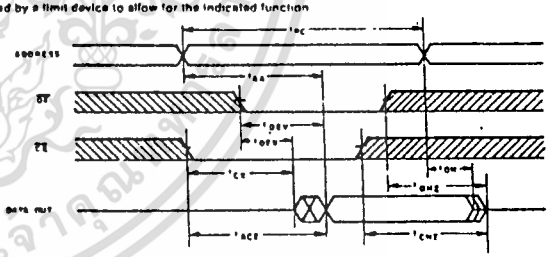
$\overline{WE}$ (Write Enable): Enables Write function, if $\overline{CE}$ is low $\overline{WE}$ will dominate if both $\overline{WE}$ and $\overline{OE}$ are low (i.e., the bus will be tristated and a Write will occur).

V_{CC}, V_{SS}: Power supply connections.

DYNAMIC ELECTRICAL CHARACTERISTICS at T_A = 0 to +70°C (CDM6116A-2, CDM6116A-3); T_A = -40° to +85°C (CDM6116A-9), V_{CC} = 5 V ± 10%, Input t, t = 10 ns; C_L = 100 pF and 1 TTL Load, Input Pulse Levels: 0.8 V to 2.4 V

CHARACTERISTIC		LIMITS						UNITS
		CDM6116A-2		CDM6116A-3		CDM6116A-9		
Read Cycle Times See Fig. 2		MIN.†	MAX.	MIN.†	MAX.	MIN.†	MAX.	
Read Cycle Time	t_{RC}	200	—	150	—	250	—	ns
Address Access Time	t_{AA}	—	200	—	150	—	250	
Chip Enable Access Time	t_{ACE}	—	200	—	150	—	250	
Chip Enable to Output Active	t_{CE}	15	—	15	—	15	—	
Output Enable to Output Valid	t_{OEV}	—	120	—	80	—	150	
Output Enable to Output Active	t_{OEX}	15	—	15	—	15	—	
Chip Disable to Output "High Z"	t_{CHZ}	0	80	0	50	0	80	
Output Disable to Output "High Z"	t_{OHZ}	0	80	0	50	0	80	
Output Hold from Address Change	t_{OH}	15	—	15	—	15	—	

†Time required by a limit device to allow for the indicated function.



Read-cycle timing waveforms

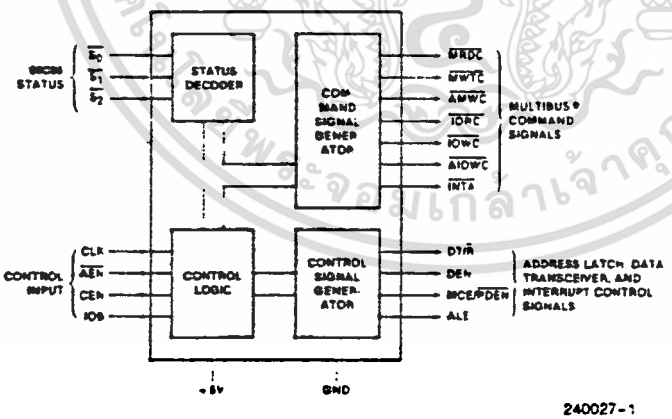
PRELIMINARY

82C88
CHMOS BUS CONTROLLER

- Pin Compatible with Bipolar 8288
- Provides Support for 8086/88, 80C86/88, 80186, 80188
- Low Power Operation
  - I_{CCS} = 100 μA
  - I_{CC} = 10 mA
- Provides Advanced Commands for Multi-Master Busses
- 3-State Command Output Drivers
- High Drive Capability
- Configurable for Use with an I/O Bus
- Single 5V Power Supply
- 8 MHz Operation
  - 82C88-2

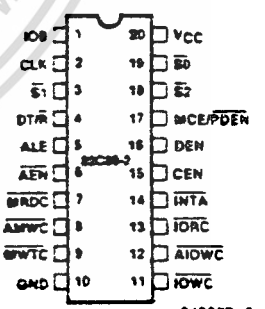
The Intel 82C88-2 is a high performance CHMOS version of the 8288 bipolar bus controller. The 82C88-2 provides command and control timing generation for 8086 architecture* systems. Static CHMOS circuit design ensures low operating power. The 82C88-2 high output drive capability eliminates the need for additional bus drivers.

*NOTE:
In this data sheet, all references to 8086 or 8086 architecture include: 8086/88, 80C86/88, 80186 and 80188.



240027-1

Figure 1. Block Diagram



240027-2

Figure 2a. 82C88-2 20-Lead DIP Configuration

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Table 1. Pin Description

Symbol	Type	Name and Function
V_{CC}		**POWER:** +5V supply.
GND		**GROUND.**
$\overline{S_0}, \overline{S_1}, \overline{S_2}$	I	**STATUS INPUT PINS:** These pins are the status input pins from the 8086 or 8088 processors. The 82C88-2 decodes these inputs to generate command and control signals at the appropriate time. When these pins are not in use (passive) they are all HIGH. (See chart under Command and Control Logic.) Internal pull-up resistors hold these lines HIGH when no other driving source is present.
CLK	I	**CLOCK:** This is a clock signal from the 82C84A clock generator and serves to establish when command and control signals are generated.
ALE	O	**ADDRESS LATCH ENABLE:** This signal serves to strobe an address into the address latches. This signal is active HIGH and latching occurs on the falling (HIGH to LOW) transition. ALE is intended for use with transparent D type latches.
DEN	O	**DATA ENABLE:** This signal serves to enable data transceivers onto either the local or system data bus. This signal is active HIGH.
DT/$\overline{R}$	O	**DATA TRANSMIT/RECEIVE:** This signal establishes the direction of data flow through the transceivers. A HIGH on this line indicates Transmit (write to I/O or memory) and a LOW indicates Receive (Read).
$\overline{AEN}$	I	**ADDRESS ENABLE:** $\overline{AEN}$ enables command outputs of the 82C88-2 Bus Controller at least T_{AELCV} after it becomes active (LOW). $\overline{AEN}$ going inactive immediately 3-states the command output drivers. $\overline{AEN}$ does not affect the I/O command lines if the 82C88-2 is in the I/O Bus mode (IOB tied HIGH).
CEN	I	**COMMAND ENABLE:** When this signal is LOW all 82C88-2 command outputs and the DEN and $\overline{PDEN}$ control outputs are forced to their inactive state. When this signal is HIGH, these same outputs are enabled.
IOB	I	**INPUT/OUTPUT BUS MODE:** When the IOB is strapped HIGH the 82C88-2 functions in the I/O Bus mode. When it is strapped LOW, the 82C88-2 functions in the System Bus mode. (See sections on I/O Bus and System Bus modes).
$\overline{AIOWC}$	O	**ADVANCED I/O WRITE COMMAND:** The $\overline{AIOWC}$ issues an I/O Write Command earlier in the machine cycle to give I/O devices an early indication of a write instruction. Its timing is the same as a read command signal. $\overline{AIOWC}$ is active LOW.
$\overline{IOWC}$	O	**I/O WRITE COMMAND:** This command line instructs an I/O device to read the data on the data bus. This signal is active LOW.
$\overline{IORC}$	O	**I/O READ COMMAND:** This command line instructs an I/O device to drive its data onto the data bus. This signal is active LOW.
$\overline{AMWC}$	O	**ADVANCED MEMORY WRITE COMMAND:** The $\overline{AMWC}$ issues a memory write command earlier in the machine cycle to give memory devices an early indication of a write instruction. Its timing is the same as read command signal. $\overline{AMWC}$ is active LOW.
$\overline{MWTC}$	O	**MEMORY WRITE COMMAND:** This command line instructs the memory to record the data present on the data bus. This signal is active LOW.
$\overline{MRDC}$	O	**MEMORY READ COMMAND:** This command line instructs the memory to drive its data onto the data bus. This signal is active LOW.
$\overline{INTA}$	O	**INTERRUPT ACKNOWLEDGE:** This command line tells an interrupting device that its interrupt has been acknowledged and that it should drive vectoring information onto the data bus. This signal is active LOW.
MCE/$\overline{PDEN}$	O	This is a dual function pin. **MCE (IOB IS TIED LOW):** Master Cascade Enable occurs during an interrupt sequence and serves to read a Cascade Address from a master PIC (Priority Interrupt Controller) onto the data bus. The MCE signal is active HIGH. **$\overline{PDEN}$ (IOB IS TIED HIGH):** Peripheral Data Enable enables the data bus transceiver for the I/O bus that DEN performs for the system bus. $\overline{PDEN}$ is active LOW.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

FUNCTIONAL DESCRIPTION

Command and Control Logic

The command logic decodes the three 8086 or 8088 CPU status lines ($\overline{S_0}$, $\overline{S_1}$, $\overline{S_2}$) to determine what command is to be issued.

This chart shows the meaning of each status "word".

$\overline{S_2}$	$\overline{S_1}$	$\overline{S_0}$	Processor State	82C88-2 Command
0	0	0	Interrupt Acknowledge	$\overline{INTA}$
0	0	1	Read I/O Port	$\overline{IORC}$
0	1	0	Write I/O Port	$\overline{IOWC}$, $\overline{AIOWC}$
0	1	1	Halt	None
1	0	0	Code Access	$\overline{MRDC}$
1	0	1	Read Memory	$\overline{MRDC}$
1	1	0	Write Memory	$\overline{MWTC}$, $\overline{AMWC}$
1	1	1	Passive	None

The command is issued in one of two ways dependent on the mode of the 82C88-2 Bus Controller.

I/O Bus Mode — The 82C88-2 is in the I/O Bus mode if the IOB pin is strapped HIGH. In the I/O Bus mode all I/O command lines ($\overline{IORC}$, $\overline{IOWC}$, $\overline{AIOWC}$, $\overline{INTA}$) are always enabled (i.e., not dependent on $\overline{AEN}$). When an I/O command is initiated by the processor, the 82C88-2 immediately activates the command lines, using $\overline{PDEN}$ and DT/$\overline{R}$ to control the I/O bus transceiver. The I/O command lines should not be used to control the system bus in this configuration because no arbitration is present. This mode allows one 82C88-2 Bus Controller to handle two external busses. No waiting is involved when the CPU wants to gain access to the I/O bus. Normal memory access requires a "Bus Ready" signal ($\overline{AEN}$ LOW) before it will proceed. It is advantageous to use the IOB mode if I/O or peripherals dedicated to one processor exist in a multi-processor system.

System Bus Mode — The 82C88-2 in the System Bus mode if the IOB pin is strapped LOW. In this mode no command is issued until T_{AELCV} after the $\overline{AEN}$ Line is activated (LOW). This mode assumes bus arbitration logic will inform the bus controller (on the $\overline{AEN}$ line) when the bus is free for use. Both memory and I/O commands wait for bus arbitration. This mode is used when only one bus exists. Here, both I/O and memory are shared by more than one processor.

COMMAND OUTPUTS

The advanced write commands are made available to initiate write procedures early in the machine cycle. This signal can be used to prevent the processor from entering an unnecessary wait state.

The command outputs are:

- $\overline{MRDC}$ — Memory Read Command
- $\overline{MWTC}$ — Memory Write Command
- $\overline{IORC}$ — I/O Read Command
- $\overline{IOWC}$ — I/O Write Command
- $\overline{AMWC}$ — Advanced Memory Write Command
- $\overline{AIOWC}$ — Advanced I/O Write Command
- $\overline{INTA}$ — Interrupt Acknowledge

$\overline{INTA}$ (Interrupt Acknowledge) acts as an I/O read during an interrupt cycle. Its purpose is to inform an interrupting device that its interrupt is being acknowledged and that it should place vectoring information onto the data bus.

CONTROL OUTPUTS

The control outputs of the 82C88-2 are Data Enable (DEN), Data Transmit/Receive (DT/$\overline{R}$) and Master Cascade Enable/Peripheral Data Enable (MCE/$\overline{PDEN}$). The DEN signal determines when the external bus should be enabled onto the local bus and the DT/$\overline{R}$ determines the direction of data transfer. These two signals usually go to the chip select and direction pins of a transceiver.

The MCE/$\overline{PDEN}$ pin changes function with the two modes of the 82C88-2. When the 82C88-2 is in the IOB mode (IOB HIGH) the $\overline{PDEN}$ signal serves as a dedicated data enable signal for the I/O or Peripheral System bus.

INTERRUPT ACKNOWLEDGE AND MCE

The MCE signal is used during an interrupt acknowledge cycle if the 82C88-2 is in the System Bus mode (IOS LOW). During any interrupt sequence there are two interrupt acknowledge cycles that occur back to back. During the first interrupt cycle no data or address transfers take place. Logic should be provided to mask off MCE during this cycle. Just before the second cycle begins the MCE signal gates a master Priority Interrupt Controller's (PIC) cascade address onto the processor's local bus where ALE (Address Latch Enable) strobes it into the address latches. On the leading edge of the second interrupt cycle the addressed slave PIC gates an interrupt vector onto the system data bus where it is read by the processor.

If the system contains only one PIC, the MCE signal is not used. In this case the second interrupt Ac-

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

A.C. CHARACTERISTICS (V_{CC} = 5V ±10%, T_A = 0°C to 70°C)*

82C88-2 TIMING REQUIREMENTS

Symbol	Parameter	Min	Max	Units	Test Conditions
fc	CLK Frequency		8	MHz	
TCLCL	CLK Cycle Period	125		ns	
TCLCH	CLK Low Time	66		ns	
TCHCL	CLK High Time	40		ns	
TSVCH	Status Active Setup Time	35		ns	
TCHSV	Status Inactive Hold Time	10		ns	
TSHCL	Status Inactive Setup Time	35		ns	
TCLSH	Status Active Hold Time	10		ns	

82C88-2 TIMING RESPONSES

Symbol	Parameter	Min	Max	Units	Test Conditions**
TCVNV	Control Active Delay	5	45	ns	a
TCVNX	Control Inactive Delay	5	45	ns	a
TCLLH	ALE Active Delay (from CLK)		25	ns	a
TCLMCH	MCE Active Delay (from CLK)		25	ns	a
TMHNL	Command to DEN Delay	TCLCH-5		ns	DEN: a Command: b
TSVLH	ALE Active Delay (from Status)		25	ns	a
TSVMCH	MCE Active Delay (from Status)		30	ns	a
TCHLL	ALE Inactive Delay	4	25	ns	a
TCLML	Command Active Delay	5	35	ns	b
TCLMH	Command Inactive Delay	5	45	ns	b
TCHDTL	Direction Control Active Delay		50	ns	a
TCHDTH	Direction Control Inactive Delay		30	ns	a
TAELCH	Command Enable Time		40	ns	c
TAEHCZ	Command Disable Time		40	ns	d
TAELCV	Enable Delay Time	100	250	ns	b
TAEVNV	$\overline{AEN}$ to DEN		35	ns	a
TCEVNV	CEN to DEN, $\overline{PDEN}$		35	ns	a
TCELRH	CEN to Command		TCLML + 10	ns	b
TOLOH	Output, Rise Time		15	ns	a, b. From 0.8V to 2.2V
TOHOL	Output, Fall Time		15	ns	a, b. From 2.2V to 0.8V

**See Test Condition Definition Table.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ABSOLUTE MAXIMUM RATINGS*

Temperature Under Bias .....0°C to 70°C
Storage Temperature .....−55°C to +150°C
Supply Voltage with Respect to GND .....−0.5V to +7.0V
All Input Voltages with Respect to GND .....−0.5V to V_{CC} +0.5V
All Output Voltages with Respect to GND .....−0.5V to V_{CC} +0.5V
Power Dissipation 0.7W

Notice: Stresses above those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. This is a stress rating only and functional operation of the device at these or any other conditions above those indicated in the operational sections of this specification is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

NOTICE: Specifications contained within the following tables are subject to change.

D.C. CHARACTERISTICS (V_{CC} = 5V ±10%, T_A = 0°C to 70°C)

Symbol	Parameter	Min	Max	Unit	Test Conditions
I_{CC}	Operating Supply Current		10	mA	C_L = 0 pF t_{CLCL} = 200 ns
I_{CCS}	Standby Supply Current		100	µA	Outputs Unloaded (Note 1)
V_{IH}	Input High Voltage	2.2	V_{CC} + 0.5	V	
V_{IL}	Input Low Voltage	−0.3	0.8	V	
V_{CH}	V_{IH} for Clock, $\overline{S0}$, $\overline{S1}$, $\overline{S2}$	3.0	V_{CC} + 0.3	V	
V_{CL}	V_{IL} for Clock, $\overline{S0}$, $\overline{S1}$, $\overline{S2}$	−0.3	0.6	V	
I_{LI}	Input Leakage Current		±10	µA	0V ≤ V_{IN} ≤ V_{CC} (Note 2)
I_{LO}	Output Leakage Current		±10	µA	0V ≤ V_{OUT} ≤ V_{CC}
I_{LIS}	Status Input Current	−100	10	µA	0V ≤ V_{IN} ≤ V_{CC}
V_{OL}	Output Low Voltage: Command Outputs Control Outputs		 0.5 0.45	 V	 I_{OL} = 20 mA I_{OL} = 6 mA
V_{OH}	Output High Voltage: Command Outputs Control Outputs	 3.7 3.7		 V	 I_{OH} = −8 mA I_{OH} = −4 mA
C_{IN}	Input Capacitance		7	pF	Freq. = 1 MHz Unmeasured pins at GND
C_{OUT}	Output Capacitance		15	pF	Freq. = 1 MHz Unmeasured pins at GND

NOTES:
1. I_{CCS} test conditions are: Status inputs @ V_{CC}, other inputs @ V_{CC} or GND, Outputs open.
2. Except $\overline{S_0}$, $\overline{S_1}$, $\overline{S_2}$.

knowledge signal gates the interrupt vector onto the processor bus.

ADDRESS LATCH ENABLE AND HALT

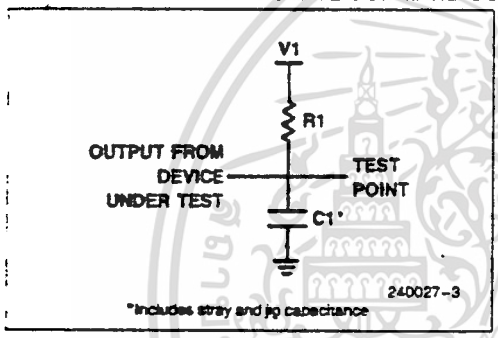
Address Latch Enable (ALE) occurs during each machine cycle and serves to strobe the current address into the address latches. ALE also serves to strobe the status ($\overline{S_0}$, $\overline{S_1}$, $\overline{S_2}$) into a latch for halt state decoding.

COMMAND ENABLE

The Command Enable (CEN) input acts as a command qualifier for the 82C88-2. If the CEN pin is high the 82C88-2 functions normally. If the CEN pin is pulled LOW, all command lines are held in their inactive state (not 3-state). This feature can be used to implement memory partitioning and to eliminate address conflicts between system bus devices and resident bus devices.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

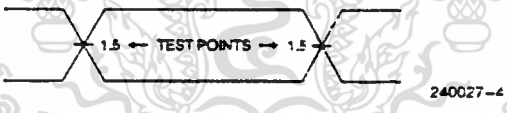
TEST LOAD CIRCUITS—3-STATE COMMAND OUTPUT TEST LOAD



Test Condition Definition Table

Test Condition	V1, v	R1, Ω	C1, pf
a	2.13	220	80
b	2.29	91	150
c	1.5	187	150
d	1.5	187	50

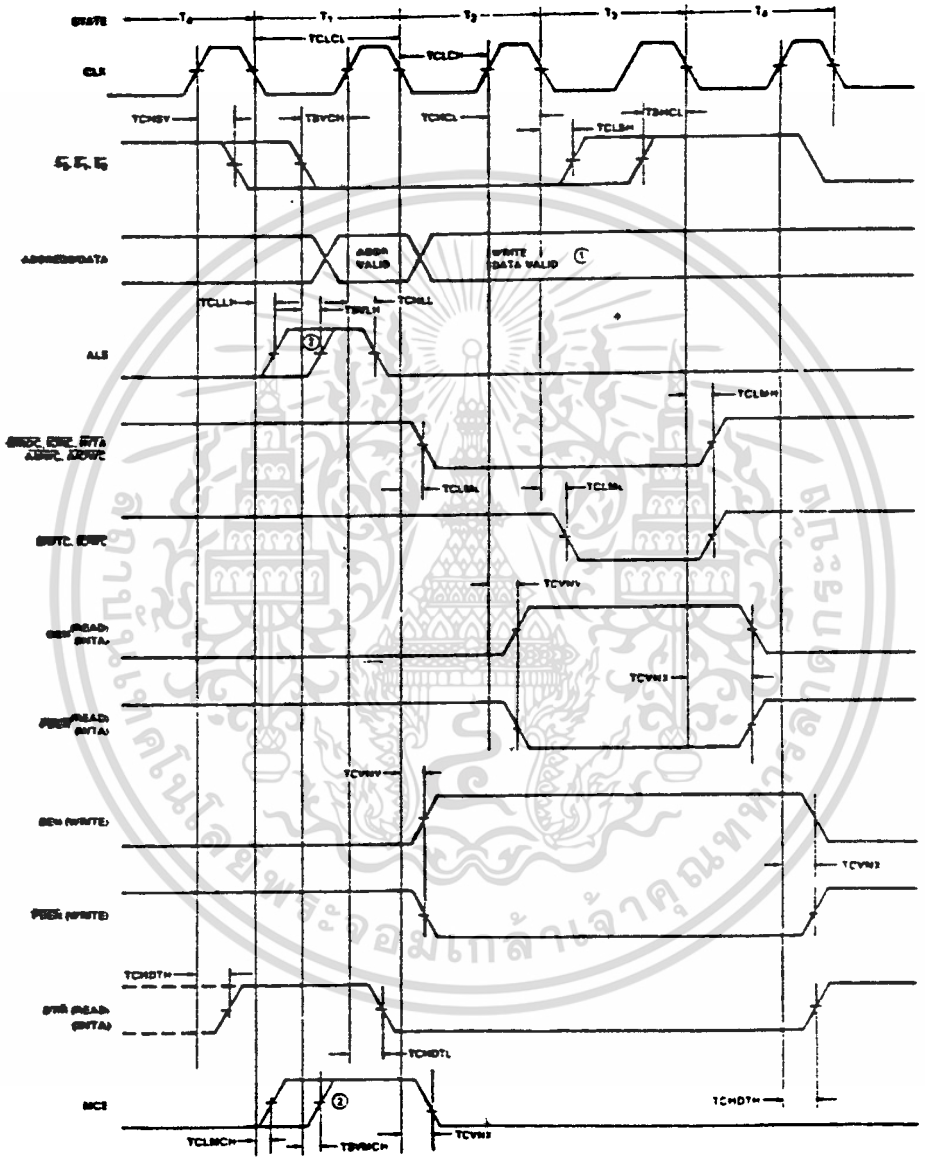
A.C. TESTING INPUT, OUTPUT WAVEFORM



A.C. Testing:
Input rise and fall times are:
5 ns ±2 ns between 0.8V and 2.2V for $\overline{AEN}$, CEN and IOB
5 ns ±2 ns between 0.8V and 3.0V for $\overline{S_0}$, $\overline{S_1}$, $\overline{S_2}$ and CLK

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

WAVEFORMS



240027-5

NOTES:
1. Address/Data Bus is shown only for reference purposes.
2. Leading edge of ALE and MCE is determined by the falling edge of CLK or Status going active, whichever occurs last.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กิตติกรรมประกาศ

ปริญญานิพนธ์ฉบับนี้สำเร็จเป็นไปตามวัตถุประสงค์ได้ โดยได้รับความช่วยเหลือจาก ผศ.ดร. รัตติกร วรากุลศิริพันธุ์ อาจารย์ที่ปรึกษา ,พี่ๆ ปริญญาโทและปริญญาเอก , เพื่อนๆ ปี 4 ทุกคน ที่ได้ให้คำแนะนำ ความรู้ และอื่นๆอีกมาก จึงขอขอบคุณมา ณ ที่นี้ด้วย

พร้อมกันนี้ขอขอบคุณ อาจารย์ และ เจ้าหน้าที่ทุกท่านในภาควิชาอิเลคทรอนิคส์ที่ให้คำแนะนำ และ อำนวยความสะดวกเป็นอย่างดี

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บรรณานุกรม

1. ยืน ภู่วรวรรณ, "ทฤษฎีและการประยุกต์ไมโครคอมพิวเตอร์ Z-80", หน้า 68, 113-118,137-148, ซีเอ็ดยูเคชั่น, 2532
2. ยืน ภู่วรวรรณ และ วัฒนาเชียงกูล,"ไมโครโปรเซสเซอร์ไมโครคอมพิวเตอร์", หน้า 291-292, ซีเอ็ดยูเคชั่น, 2521
3. ธานินทร์ ถาวรศาสนวงศ์, "การอินเตอร์เฟส IBM-PC", หน้า 65,78,160-162, พิสิกส์เซ็นเตอร์
4. ยืน ภู่วรวรรณ และ ดร. ชัยยงค์ วงศ์ชัยสุวัฒน์, "เทคโนโลยีไมโครคอมพิวเตอร์ 16 บิต, หน้า 46, ซีเอ็ดยูเคชั่น, 2531
5. Thomas C. Barter, "Digital Communications", pp. 175-246, Howard W. Sams & Co., 1989
6. Gred E. Keiser, "Local Area Network", pp. 7,17, McGraw-Hill, 1989
7. Victoria C. Marney-Petix, "Networking And Data Communication", pp. 13,14, Printice-Hall, 1986
8. Gilbert Held and Ray Sarch, "Data Communication:Comprehensive Approach, pp. 42,326,398-401, McGraw-Hill, 1989

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้