เครื่องวิเคราะห์อัตราความผิดพลาดของการสื่อสารข้อมูล และแสดงผลโดยไมโครคอมพิวเตอร์

BIT ERROR RATE ANALYZER ON MICRO COMPUTER

โดย

นายกิตติ ธรรมพิทักษ์กิจ

นายโกศล ลอยลิ่ว

นายมนตรี สุภาพ

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตร์บัณฑิต

ภาควิชาเทคนิคอุตสาหกรรม

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2534

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

008456

00๔๔๕๖

หัวข้อปริญญานิพนธ์ เครื่องวิเคราะห์อัตราความผิดพลาดของการสื่อสารข้อมูลและแสดงผลโดยไมโครคอมพิวเตอร์

โดย นายกิตติ ธรรมพิทักษ์กิจ
นายโกศล ลอยลิ่ว
นายมนตรี สุภาพ

อาจารย์ที่ปรึกษา อ. กฤดากร กล่อมการ
ภาควิชา เทคนิคอุตสาหกรรม
ปีการศึกษา 2534

คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง อนุมัติให้นับปริญญานิพนธ์ฉบับนี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาอุตสาหกรรมศาสตร์บัณฑิต

..... คณบดีคณะวิศวกรรมศาสตร์
( )

คณะกรรมการสอบปริญญานิพนธ์

..... ประธานกรรมการ
( )
..... กรรมการ
( )
..... กรรมการ
( )
..... กรรมการ
( )
..... กรรมการ
( )

ลิขสิทธิ์ของคณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เอกสารนี้ใช้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

I

ปีการศึกษา 2534

เครื่องวิเคราะห์อัตราความผิดพลาดของการสื่อสารข้อมูลและแสดงผลโดยไมโครคอมพิวเตอร์

โดย

1. นายกิตติ ธรรมพิทักษ์กิจ 33132102
2. นายโกศล ลอยลิ่ว 33132103
3. นายมนตรี สุภาพ 33132118

อาจารย์ที่ปรึกษา

อ. กฤดากร กล่อมการ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ปริญญานิพนธ์ ปีการศึกษา 2534

ภาควิชา เทคนิคอุตสาหกรรม

คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เรื่อง เครื่องวิเคราะห์อัตราการผิดพลาดของการสื่อสารข้อมูลและแสดงผลโดยไมโครคอมพิวเตอร์

ผู้จัดทำ

1. นายกิตติ ธรรมพิทักษ์กิจ 33132102
2. นายโกศล ลอยลิ่ว 33132103
3. นายมนตรี สุภาพ 33132118

.....อาจารย์ที่ปรึกษา

(.....)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เครื่องวิเคราะห์อัตราความผิดพลาดของการสื่อสารข้อมูลและแสดงผลโดยไมโครคอมพิวเตอร์

โดย

1. นายกิตติ ธรรมพิทักษ์กิจ 33132102

2. นายโกศล ลอยลิ่ว 33132103

3. นายมนตรี สุภาพ 33132118

อ. กฤตากร กล่อมการ อาจารย์ที่ปรึกษา

ปีการศึกษา 2534

บทคัดย่อ

ในการสื่อสารโดยใช้สัญญาณดิจิตอลมีข้อดี คือ การสามารถส่งรหัสเพิ่มเติมเข้าไปพร้อมกับข้อมูลเพื่อประโยชน์ในการตรวจจับ และแก้ไขความผิดพลาดของข้อมูลที่รับได้ แต่ก็ย่อมมีขีดจำกัดในการป้องกัน ถ้าในระบบเกิดการผิดพลาดไม่เกินอัตราที่ยอมรับได้แล้ว ก็สามารถใช้งานได้ตามมาตรฐานที่กำหนด ในปริญญานิพนธ์เล่มนี้ กล่าวถึงงานวิจัยชุดตรวจสอบอัตราความผิดพลาดของการสื่อสารดิจิตอลในระบบ โดยแสดงผลการวัดออกมาทางจอไมโครคอมพิวเตอร์และได้รวมถึงการทดลองวิจัยสร้างโมเด็มขึ้นมา จำลองระบบเพื่อการศึกษาและทดลองให้เห็นจริงของนักศึกษา หรือบุคคลทั่วไปอีกด้วย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

BIT ERROR RATE ANALYZER ON MICRO COMPUTER

BY

1. Mr. Kitti Thampitakij

2. Mr. Koson Loyliw

3. Mr. Montree Supab

Mr. Kitdakorn Klomkarn (Advisor)

Year 1992

ABSTRACT

Advantage by using Digital Signal in communication is that can add code together with data for detecting and correcting data from error. But it has limit in protecting. If system don't fall over acceptable rate, it can be used for international standard. This project is error detector and monitoring on IBM pc. Moreover, modem has been researched and builded for testing error in equivalent system and this is useful of many students or bnes.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ

บทที่ 1 บทนำ _____ 1

บทที่ 2 ทฤษฎีที่ใช้ประกอบในการสร้าง _____ 2

2.1 ทฤษฎีการสร้างสัญญาณกึ่งแรนดอม _____ 2

2.2 การตรวจสอบสัญญาณดิจิตอล _____ 11

2.3 วงจรคูณแบบอนาลอกโดยใช้ไบโพลาทรานซิสเตอร์ _____ 21

2.4 ทฤษฎีเฟสล็อกลูป _____ 27

2.5 หลักการของไบนารี่พีเอสเค _____ 47

บทที่ 3 การสร้าง _____ 59

3.1 วงจรที่ออกแบบในเครื่องวัด _____ 59

3.2 การสร้างโมเด็ม _____ 72

3.3 ภาคแสดงผล _____ 84

บทที่ 4 การทดลอง _____ 104

บทที่ 5 สรุปผลและวิจารณ์ _____ 124

ภาคผนวก

กิตติกรรมประกาศ

หนังสืออ้างอิง

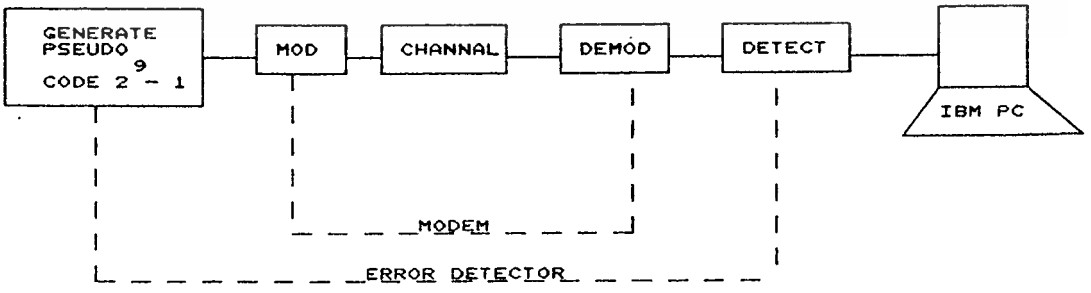
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 1

ปริญญานิพนธ์เล่มนี้ แสดงผลงานวิจัย รวมทั้งทฤษฎีประกอบ ซึ่งรายละเอียดอยู่ในบทต่อ ๆ ไป โดยมีจุดประสงค์คือ

1. สร้างชุดวงจรที่สามารถตรวจจับบิทผิด(Error) ที่เกิดขึ้นในระบบการส่งรับข้อมูลดิจิตอลได้อย่างมีประสิทธิภาพและประหยัด
2. สามารถใช้งานได้อย่างสะดวก ซึ่งในที่นี้แผ่นวงจรทั้งหมดจะประกอบอยู่บนแผ่นวงจรทั้งหมดจะประกอบอยู่บนแผ่นการ์ดแผ่นเดียวเสียบอยู่บนสล๊อต(slot) ของเครื่องไมโครคอมพิเตอร์(IBM pc)และสามารถใช้โปรแกรมซึ่งในที่นี่ใช้ภาษาซีเขียนโดยออกแบบโปรแกรมให้ผู้ใช้เข้าใจง่ายและจะแสดงผลการวัดออกมาบนจอคอมพิวเตอร์
3. สร้างโมเด็มขึ้นมาเพื่อทดลองวัดความผิดพลาดในการส่งและรับ

ระบบรวมของโครงงานสามารถแสดงได้โดยบล๊อคต่าง ๆ ในรูปต่อไปนี้



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 2

ทฤษฎีที่ใช้ประกอบในการสร้าง

ในที่นี้จะกล่าวถึงการวัดคุณสมบัติของช่องสัญญาณโดยการใช้สัญญาณข้อมูลกึ่งแรนดอม (Pseudo Random Binary Sequence:PRBS)

2.1 ทฤษฎีการสร้างสัญญาณกึ่งแรนดอม

ในการสื่อสารข้อมูลนั้นตัวการที่ทำให้เกิดการผิดพลาดการรับข้อมูล นอกจากจะเป็นคุณสมบัติของช่องสัญญาณ ซึ่งมีความผิดเพี้ยนทางด้านแอมปลิจูดหรือเฟสแล้วสัญญาณรบกวนแบบเกาส์เซียน (Gaussion Noise) และสัญญาณรบกวนแบบอิมพัลส์ (Impulsive Noise) นั่นมีผลต่อการรับข้อมูลโดยตรง โดยสัญญาณรบกวนแบบเกาส์เซียนจะทำให้ข้อมูลที่รับผิดพลาดเป็นแรนดอมแบบเดี่ยว ๆ (Single Random Error) ส่วนสัญญาณรบกวนแบบอิมพัลซ์ทำให้เกิดการผิดพลาดของข้อมูลเป็นแบบเบิส (Burst Error) รวมทั้งการเกิดที่การรับเกิดการผิดพลาดแบบเบิส สำหรับการจางหายในกรณีที่เป็นการสื่อสารแบบเคลื่อนที่ (Mobile Communication) หรือการเชื่อมต่อกับระบบไมโครเวฟ

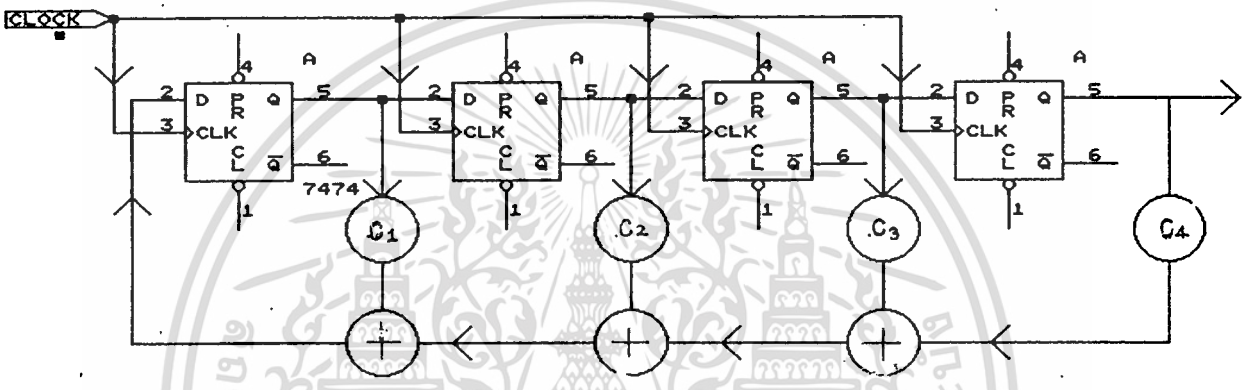
ในการวัดสมรรถภาพของระบบสื่อสารระบบอนาล็อก (Analog - Communication System) คุณสมบัติของสัญญาณที่รับได้มักบอกเป็นจำนวนสัญญาณที่ต้องการต่อสัญญาณรบกวน (Signal to Noise Ratio) ซึ่งก็จะพอที่จะทราบคุณสมบัติของช่องสัญญาณหรือคุณภาพของสัญญาณที่รับได้ว่าสามารถที่จะสื่อสารกันได้รู้เรื่องหรือมีประสิทธิภาพมากน้อยเพียงใด

แม้ในทางระบบสื่อสารทางดิจิตอล (Digital Communication System) เขามักจะบอกสมรรถภาพของระบบหรือคุณสมบัติของช่องสัญญาณว่าดีหรือไม่เพียงใด โดยการบอกอยู่ในลักษณะของอัตราของคำที่ผิด (Bit Errorrate:BER) ต่อการส่งของข้อมูลทั้งหมดแต่ในการส่งข้อมูลในความเป็นจริงข้อมูลที่เกิดขึ้นจะไม่มีรูปแบบที่แน่นอน ดังนั้นการสร้างสัญญาณขึ้นทดสอบจึงต้องมีคุณสมบัติทางสถิติใกล้เคียงกับข้อมูลที่ส่งจริง คือตามความเป็นแรนดัม แต่จะต้องมีคุณสมบัติในความสามารถที่จะทำการซิงโครไนซ์ สัญญาณกลับที่ภาครับสัญญาณที่ใช้ทดสอบดังกล่าวนี้คือสัญญาณข้อมูลกึ่งแรนดอม หรือรหัสกึ่งแรนดอม (Pseudo Random Code)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การสร้างข้อมูลกึ่งแรนดอม

การสร้างข้อมูลกึ่งแรนดอมสามารถสร้างได้โดยวงจรชิพรีจีสเตอร์โดยจำนวนซีเควนที่เกิดขึ้นของรหัสจะมีความยาวเท่ากับสองยกกำลังด้วยจำนวนรีจิสเตอร์ลบหนึ่ง ซึ่งเราอาจจะเรียกรหัสกึ่งแรนดอมอย่างนี้ว่ารหัสมีซีเควนสูงสุด (Maximal Length Seguence Code) การสร้างรหัสโดยชิพรีจีสเตอร์สามารถแสดงได้จากรูป ๑



รูปที่ ๑

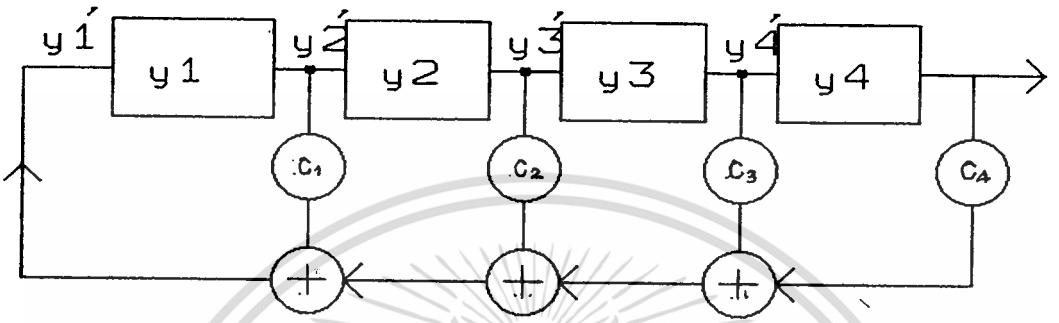
A1, A2, A3, A4 เป็นฟลิปฟลอปต่ออนุกรมเป็นชิพรีจิสเตอร์

C1, C2, C3, C4 เป็นค่าสัมประสิทธิ์การป้อนกลับ (Feedback Coeffiency)

+ เป็นเครื่องหมายการมอดูโลสอง (Modulo 2)

กรณีที่จะทำให้วงจรรูป ๑ สามารถสร้างซีเควนสูงสุดได้นั้น การเลือกสัมประสิทธิ์การป้อนกลับจะต้องเลือกให้ถูกต้องจากรูป ๒ ถ้าให้ Y_1', Y_2', Y_3', Y_4' เป็นสถานะปัจจุบัน และ Y1, Y2, Y3, Y4 เป็นสถานะภายหน้าของฟลิปฟลอป เขียนได้คือ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูป ๒

$$Y'_1 = C1Y1+C2Y2+C3Y3+C4Y4$$

$$Y'_2 = Y1$$

$$Y'_3 = Y2$$

$$Y'_4 = Y3$$

จากสมการข้างบน เขียนเป็นแมทริกได้ คือ

$$\begin{bmatrix} C1 & C2 & C3 & C4 \\ 1 & 0 & 0 & 0 \\ 0 & 1 & 0 & 0 \\ 0 & 0 & 1 & 0 \end{bmatrix} \begin{bmatrix} y1 \\ y2 \\ y3 \\ y4 \end{bmatrix} = \begin{bmatrix} y1' \\ y2' \\ y3' \\ y4' \end{bmatrix}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากสมการทั่วไปของแมทริกเขียนเป็นสมการได้ดังนี้

$$Ax = \lambda x \qquad \text{-----(3)}$$

A เป็นแมทริก nXn

x เป็นคอลัมน์เวคเตอร์

λ เป็นค่าคงที่ใด ๆ

ถ้าเวคเตอร์ x = 0 เป็นจริงทุกค่าของ ดังนั้นเขียนใหม่ได้

$$(A-\lambda I)x = 0 \qquad \text{-----(4)}$$

โดย I เป็นแมทริกเอกลักษณ์ (Unity Matrix) ค่า ที่ทำให้สมการ ๔ หรือ x มีค่าไม่เท่ากับ 0 เรียกว่าค่าไอเก้นของแมทริก หรือระบบสมการเชิงเส้น (4) จะมีค่าไม่เป็นศูนย์ก็ต่อเมื่อ

$$\det (A-\lambda I)x = 0 \qquad \text{-----(5)}$$

โดยเรียก(5)ว่าสมการแคแรคเตอร์ริสติค (Characteristic Equation) ซึ่งอาจจะกระจายว่าดีเทอร์มิแนท์ในรูปของโพลิโนเมียม

$$\phi(\lambda) = \det(A- I) = a^{n}+b_{n-1}\lambda^{n-1+} \ldots\ldots b_{1}\lambda+b_{o} \qquad \text{-----(6)}$$

b_{n-1}, b_{n-2}, ...b_{o} เป็นค่าคงที่

$$\phi(\lambda) = \det(A-\lambda I) = \det(A+\lambda I)$$

จาก (2) เมื่อไม่ต้องการคำตอบของสมการไม่เท่ากับ 0 ดังนั้นสมการแคแรคเตอร์ริสติคคือ

$$\phi(\lambda) = \lambda^{4}+C1\ \lambda^{3}+C2\ \lambda^{2}+C3\ +C4 \qquad \text{-----(7)}$$

จากสมการแคแรคเตอร์ริสติคของสเตทชิฟรีจิสเตอร์ กรณีที่จะทำให้เกิดการกำเนิดรหัสซีเควนสูงสุดได้ก็ต่อเมื่อโพลิโนเมียลไม่สามารถลดรูปหรือแยกค่าตัวประกอบ (Irreducible Polynomial) ในกรณีนี้สมการ(7) ที่ไม่สามารถลดรูปได้มีสองรูปคือ

$$\phi(\ ) = \lambda^{4}+\lambda^{3}+1 \qquad \text{-----(8.1)}$$

$$\phi(\ ) = \lambda^{4}+\lambda+1 \qquad \text{-----(8.2)}$$

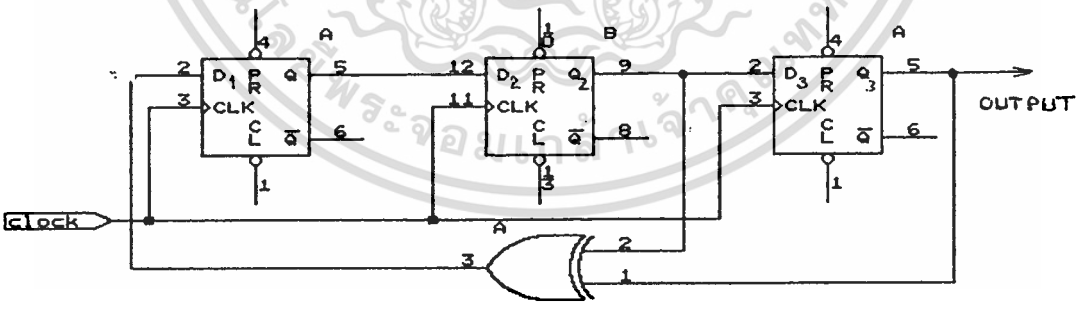
ดังนั้นใน 8.1 แทบที่ต้องต่อป้อนกลับคือ C1, C4และใน 8.2 แทบที่ต้องต่อป้อนกลับคือ C3, C4

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สำหรับรีจิสเตอร์จำนวนใด ๆ ได้ตามตารางดังนี้

จำนวนรีจิสเตอร์ n	รหัสสูงสุด 2^n-1	จำนวนแทบที่เลือกได้	แทบตัวอย่าง
4	15	2	(4,1),(4,3)
6	63	6	(6,1),(6,5)
9	511	48	(9,1),(9,8)
11	2047	176	(11,1),(11,10)

และแสดงวงจรได้ดังรูปที่ ๓ สำหรับสมการที่ 8.1



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูป ๓

โดยทางปฏิบัติใช้เอ็กซ์คลูซีพออเกท (EX-OR) สำหรับทำการบวกแบบมอดูโลสอง จากรูปสามสมมุติให้สเตทเริ่มต้นเท่ากับหนึ่ง จะได้รหัสทั้งหมดดังนี้

T	Q_1	Q_2	Q_3
0	1	1	1
1	0	1	1
2	0	0	1
3	1	0	0
4	0	1	0
5	1	0	1
6	1	1	0
7	1	1	1
8	0	1	1

<u>คุณสมบัติของรหัสกึ่งแรนดอม</u>

1. จำนวนของ "1" ที่เกิดในซีเควนมากกว่า "0" อยู่เท่ากับหนึ่งหรือจากรหัสมีความยาว 2^n-1 จะมีจำนวน "1" อยู่เท่ากับ $2^n/2$ หรือถ้าชิฟรีจิสเตอร์มีขนาดมาก ๆ แล้วก็ประมาณได้ว่าโอกาสการเกิดหนึ่งเท่ากับโอกาสการเกิดศูนย์
2. จำนวนบิทที่ติดกันสำหรับชิฟรีจิสเตอร์ขนาด n สภาวะแล้ว

   จำนวนบิท 1 ติดกัน n บิทจะมี 1 ครั้งในซีเควน

   จำนวนบิท 0 ตดกัน n-1 บิทจะมี 1 ครั้งในซีเควน

   จำนวนบิท 0 และ 1 ติดกัน n-2 บิทจะมี 2 ครั้งในซีเควน

   จำนวนบิท 0 และ 1 ติดกัน n-3 บิทจะมี 4 ครั้งในซีเควน

   จำนวนบิท 0 และ 1 ติดกันสองครั้งบิทจะมี 2^n-4 ในซีเควน

   จำนวนบิท 0 และ 1 เป็นบิทเดี่ยว ๆ จะมี 2^n-3 ในซีเควน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3. ค่าออโตคอลีเรชั่นของรหัสจะมีค่าสูงสุดที่จุดศูนย์ และค่าสูงสุดทุกระยะชิฟของออโตคอลีเรชั่นเท่ากับ 2^n-1 นอกจากนั้นแล้วค่าออโตคอลีเรชั่นจะมีค่าเท่ากับ $-1/2^n-1$ ดังนี้อาจกล่าวได้ว่าถ้าหากสเตทของชิพรีจิสเตอร์ หรือ n มีจำนวนมาก ๆ แล้วรหัสกึ่งแรนดอมก็จะมีความใกล้เคียงในความเป็นแรนดอม

พาวเวอร์สเปคตรอลเป็นฟูเรียร์ทรานสฟอร์มของออโตคอลีเรชั่นฟังค์ชั่น

(Power Spectral in Fourier Transform of Autocorrelation Function)

$$S(w) = \int_{-\infty}^{\infty} R(t)e^{-jwt}dt \qquad -----(9)$$

และ

$$R(t) = 1/2\pi \int_{-\infty}^{\infty} S(w)e^{jwt}dw \qquad ------(10)$$

หรือเขียนได้ว่า

$$R_{PRBS}(t) = \begin{cases} 1-\frac{1-1/L}{Tb}\left|t\right| & \left|t\right| <= Tb \\ -1/L & Tb <= \left|t\right| <= LTB \end{cases} \qquad -----(11)$$

จากออโตคอลีเรชั่นใน (11) สามารถหาพาวเวอร์สเปคตรอลเดนซิตี้ (PSD) ของรหัสกึ่งแรนดอมได้โดยทำการใช้ฟูเรียร์ทรานฟอร์ม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$P_{PRBS} = \int_{-\infty}^{\infty} R_{PRBS}(t)e^{-jwt}dt \quad \text{-----(12)}$$

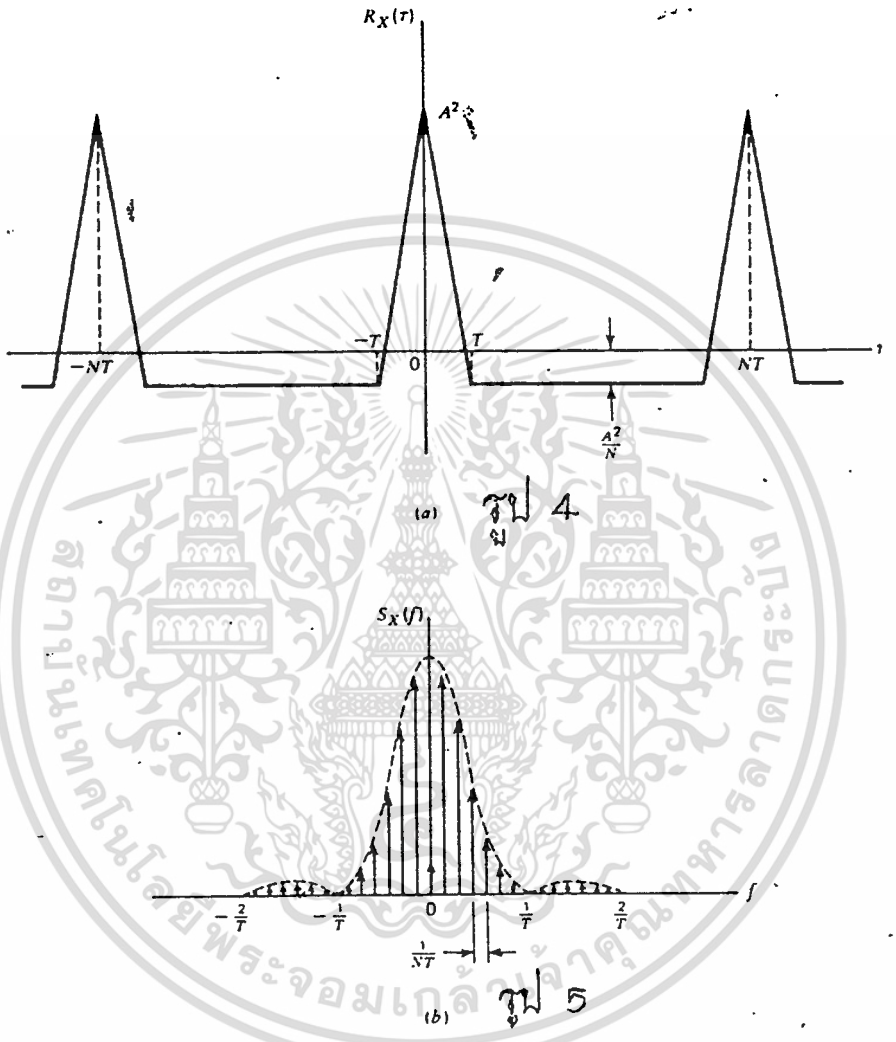
ซึ่งจะได้

$$P_{PRBS}(w) = \frac{L+1}{L^2}\left[\frac{Sin\pi fTb}{\pi fTb}\right]^2_{n=-\infty}^{n=\infty}(f-\frac{n}{Tb}) + \frac{1}{L^2}(f) \quad \text{-----(13)}$$

จากสมการ(13) แสดงรูปพาวเวอร์สเปคตรอลได้ในรูป ๔ โดยไลน์สเปคตรอลเกิดขึ้นทุก ๆ ระยะ 1/TBp และจะมีเอนวิโลปของไลน์สเปคตรอล เป็นฟังค์ชั่น $\left[\frac{Sin\pi fTb}{\pi fTb}\right]^2$ โดยสเปคตรอลจะเท่ากับศูนย์ทุก ๆ ระยะเท่ากับ $\frac{1}{Tb}$

008458

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



Characteristics of linear maximal sequence. (a) Autocorrelation function. (b) Power spectral density.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

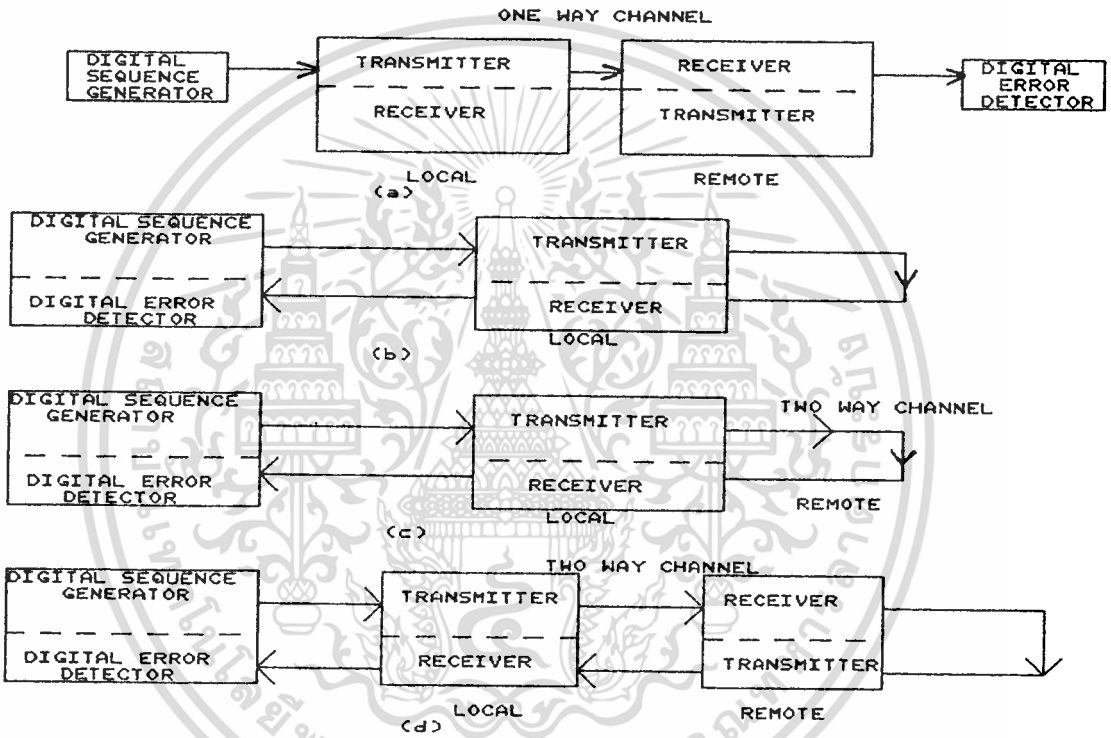
2.2 การตรวจสอบสัญญาณดิจิตอล (Digital Test Sequences)

การตรวจสอบสัญญาณแบบดิจิตอล จะได้ผลการวัดออกมาในรูปจำนวนบิทผิดต่อจำนวนบิทที่ส่งไปทั้งหมด หรือเรียกว่า BER (Bit Error Rate) สำหรับในระบบแล้ว เราสามารถที่จะแบ่งออกเป็น การจรวจสอบในลักษณะต่าง ๆ กันได้ดังรูป 1

ในแบบ (a) นั้น เป็นการตรวจสอบทั้งระบบแบบช่องสัญญาณทางเดียว ส่วนแบบ (b) เป็นการตรวจสอบภาคส่งและภาครับของชุดต้นทาง แบบ (c) เหมือนแบบ (b) แต่เพิ่มการตรวจสอบ ช่องสัญญาณ (Channel) เพิ่มขึ้นมา และแบบสุดท้ายคือแบบ (d) จะเป็นการตรวจสอบทั้งหมด คือเรียกว่าตรวจสอบทั้งระบบแบบช่องสัญญาณสองทาง นั่นคือ มีการตรวจสอบชุดรับและส่งของทั้งต้นทางและปลายทาง และตรวจสอบช่องสัญญาณระหว่างต้นทางกับปลายทางด้วย

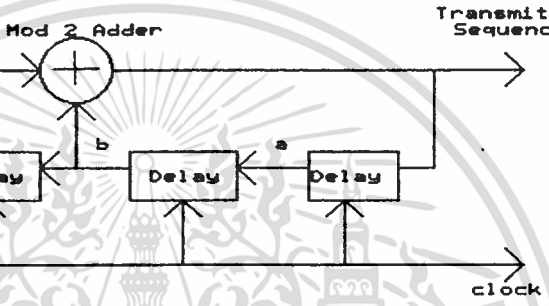
แต่จะสำคัญของการตรวจสอบก็คือ ชุดวัดอัตราความผิดพลาดซึ่งประกอบด้วย ชุดกำเนิดลำดับสัญญาณดิจิตอล (Digital Sequence Generator) และชุดดีเทคความผิดพลาด (Digital Error Detector) ในทางปฏิบัติสามารถสร้างได้หลายวิธี เช่นในการตรวจสอบแบบสองทาง ชุดกำเนิดและชุดดีเทค จะอยู่ด้วยกันถ้าบิทหน่วงเวลา (Delay) ในระบบน้อยกว่าความกว้างของหนึ่งบิทในสัญญาณที่จะใช้ตรวจสอบแล้วก็ไม่เป็นปัญหาเพราะสามารถเปรียบเทียบสัญญาณที่รับได้กับที่ได้ส่งออกไปเป็นความผิดพลาดได้ แต่ในการตรวจสอบแบบช่องสัญญาณทางเดียวนั้น ชุดกำเนิดต้องอยู่ต้นทาง และชุดดีเทคต้องอยู่ปลายทาง จึงเกิดปัญหาว่าทำอย่างไรที่ปลายทาง จึงจะทราบได้ว่า ข้อมูลที่ได้รับส่วนไหนเป็นข้อมูลจริง และส่วนไหนเป็นส่วนของความผิดพลาด ซึ่งตัวอย่างของวิธีการก็อาจทำได้โดยใช้หน่วยความจำบันทึกลำดับของสัญญาณ แล้วนำมาเปรียบเทียบเพื่อหาบิทผิดได้ แต่วิธีการนี้สิ้นเปลืองและเสียเวลา โดยทั่ว ๆ ไปแล้วจะใช้เทคนิคโดยใช้สัญญาณกึ่งแรนดอมเพราะคุณสมบัติของมันมีอัตราการเกิด หนึ่งกับศูนย์ ใกล้เคียงกัน และมีรูปแบบการเกิดก่อนหลังของสัญญาณที่แน่นอนตายตัว ฉะนั้น เมื่อสามารถซิงโครไนซ์กับทางบด้านรับได้แล้วก็สามารถเปรียบเทียบหาบิทผิดได้ ความยาวของสัญญาณที่นิยมใช้ก็มี 63, 511 และ 2047 ซึ่งก็ได้จากการใช้รีจิสเตอร์แบบ 6 ตัว, 9 ตัว และ 11 ตัวตามลำดับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูป 1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

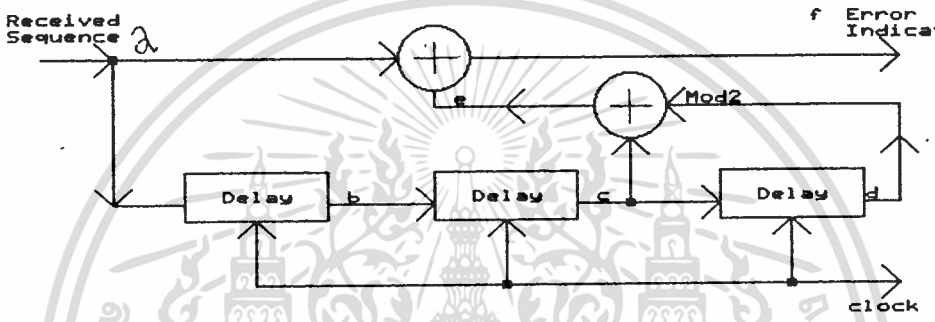


TIME	Values at points			
	a	b	c	d (Output)
0	1	1	1	0
1	0	1	1	0
2	0	0	1	1
3	1	0	0	0
4	0	1	0	1
5	1	0	1	1
6	1	1	0	1
7	1	1	1	0
8	0	1	1	0
9	0	0	1	1
10	1	0	0	0
11	0	1	0	1
12	1	0	1	1

3
7 Bit $(2-1)$ Pseudo-Random Sequence

รูป 2

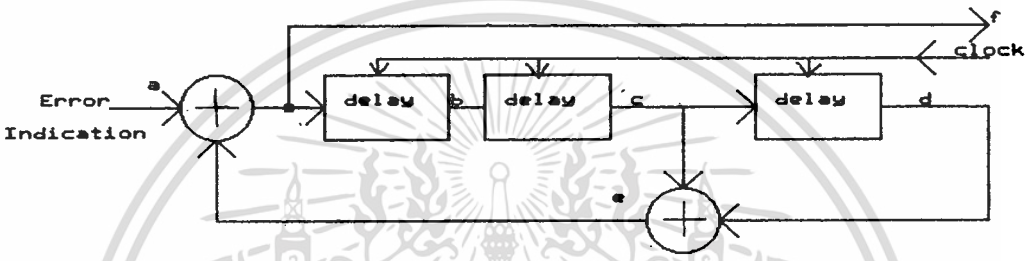
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



TIME	Values at points						Notes
	input a	b	c	d	e	Errors f	
0	0	0	0	0	0	0	Time to Load Shift Register
1	0	0	0	0	0	0	
2	1	0	0	0	0	1	
3	0	1	0	0	0	0	
4	1	0	1	0	1	0	
5	1	1	0	1	1	0	Error Detected
6	0	1	1	0	1	1	
7	0	0	1	1	0	0	
8	0	0	0	1	1	1	Error Multiplication
9	1	0	0	0	0	1	
10	0	1	0	0	0	0	
11	1	0	1	0	1	0	
12	1	1	0	1	1	0	

รูป 3

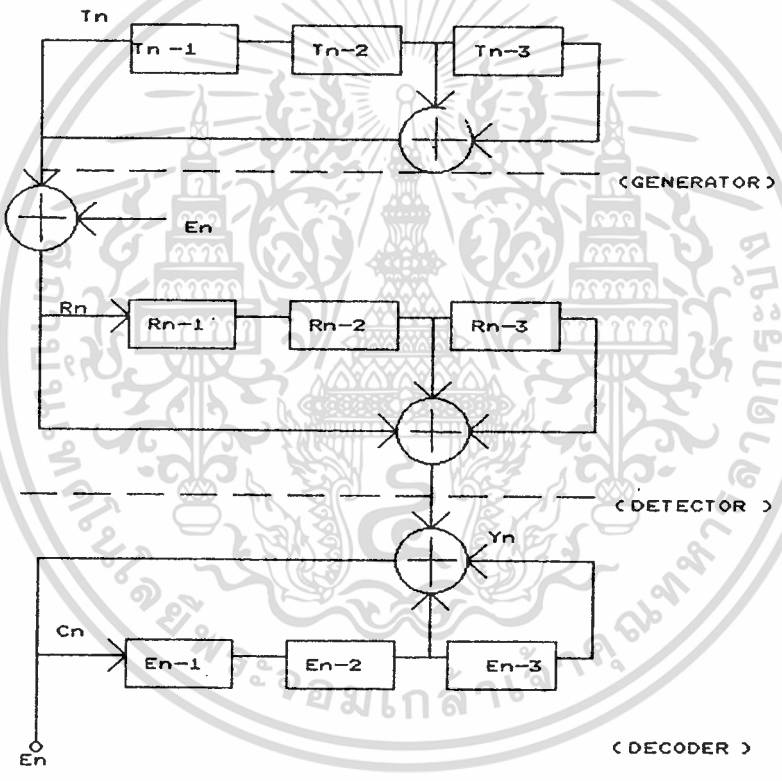
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



TIME	Values at points						Notes
	a	b	c	d	e	f	
T	0	0	0	0	0	0	
T+1	0	0	0	0	0	0	
T+2	1	0	0	0	0	1	single Error Detected
T+3	0	1	0	0	0	0	
T+4	1	0	1	0	1	0	
T+5	1	0	0	1	1	0	
T+6	0	0	0	0	0	0	
T+7	0	0	0	0	0	0	
T+8	1	0	0	0	0	1	
T+9	1	1	0	0	0	1	Double Error Detected
T+10	1	1	1	0	1	0	
T+11	0	0	1	1	0	0	
T+12	1	0	0	1	1	0	
T+13							

รูป 4

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูป 5

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในรูปที่ 2 เป็นการแสดงตัวอย่างการกำเนิดสัญญาณแบบใช้รีจิสเตอร์ 3 ตัว สามารถให้ลำดับของสัญญาณที่ไม่ซ้ำกันได้สูงสุดคือ 2^3-1 เท่ากับ 7 นั่นเอง และตัวอย่างวงจรดีเทคอยู่ในรูป 3 วงจรแบบนี้เป็นแบบซิงโครไนซ์ได้รวดเร็ว แต่ข้อเสียคือ จะเกิดการผิดพลาดทวีคูณ (Error Multiplication) ซึ่งไม่ใช่ความผิดพลาดที่แท้จริงซึ่งได้แสดงให้ดูแล้วในตาราง (b) ในรูป (3) แต่ข้อเสียนี้สามารถแก้ได้โดยใช้วงจรดีโคดเดอร์ แสดงในรูป (4) ซึ่งการอธิบายขั้นตอนการทำงานสามารถแสดงได้ในรูป (5) และใช้สมการคณิตศาสตร์พิสูจน์

จากรูป 5 สามารถแสดงได้ด้วยสมการต่อไปนี้ และการบวกในที่นี้จะเป็นการบวกแบบมอดูโลสอง

ทางด้านส่ง

$$Tn = Tn_2 + Tn_3 \qquad \text{-----(1)}$$

ทางด้านรับจะมีบิทผิด (En) ปนเข้ามาในช่องสัญญาณเพราะฉะนั้น

$$Rn = Tn + En \qquad \text{-----(2)}$$

และเมื่อชิพไปตามรีจิสเตอร์ บิทผิดก็ถูกชิพไปเป็น En_1, En_2 และ En_3 ตามลำดับทำให้

$$Rn_2 = Tn_2 + En_2 \qquad \text{-----(3)}$$

และ $$Rn_3 = Tn_3 + En_3 \qquad \text{-----(4)}$$

จากวงจร

$$Yn = Rn + Rn_2 + Rn_3 \qquad \text{-----(5)}$$

แทนค่า (1), (2), (3) และ (4) ใน (5) ได้

$$Yn = Tn + En + Tn_2 + En_2 + Tn_3 + En_3 \qquad \text{-----(6)}$$

$$Cn = Yn + En_2 + En_3 \qquad \text{-----(7)}$$

แทน (6) ใน (7) ได้

$$Cn = Tn + En + Tn_2 + En_2 + Tn_3 + En_3 + En_2 + En_3 \qquad \text{-----(8)}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จาก (1) ได้

$$Tn + Tn_2 + Tn_3 = 0 \qquad \text{-----(9)}$$

และจาก $En_2 + En_2 = 0$ ----(10)

$$En_3 + En_3 = 0 \qquad \text{----(11)}$$

จาก (8) จัดรูปใหม่ได้

$$Cn = En + (Tn + Tn_2 + Tn_3) + (En_2 + En_2) + (En_3 + En_3) \qquad \text{----(12)}$$

เอา (9), (10), (11) แทนใน (12) จะได้

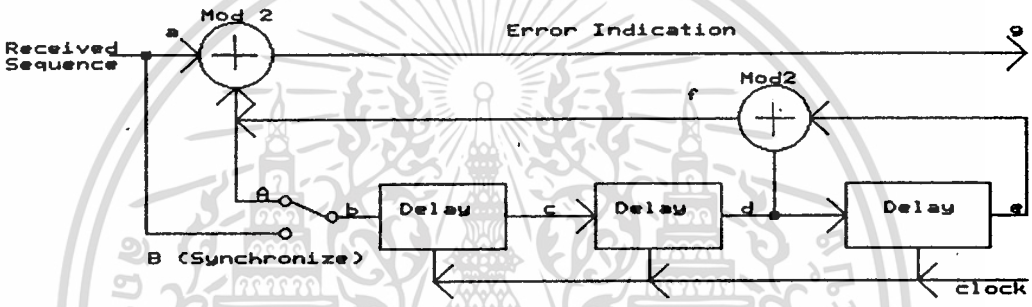
$$Cn = En$$

ในทางปฏิบัติจริง ๆ แล้ว เราไม่สามารถที่จะรู้ได้ว่าตอนเริ่มทำการบรรจุ (Load) ชิพรีจิสเตอร์นั้นจะไม่มีบิทผิดเข้ามา และที่วงจรดีโคดเดอร์นั้น ถ้าช่วงเวลาของการบรรจุเกิดมีบิทผิดเข้ามาแล้ว จะเกิดสัญญาณแรนดอมขึ้นมาอีกลำดับ (Sequence) หนึ่ง ซึ่งไม่ทำให้เกิดการดีโคดได้ตามทฤษฎี และถ้าสมมุติให้ไม่มีบิทผิด ตลอดเวลาช่วงแรกของการทำงานที่ภาคดีโคดเดอร์ ก็จะเกิดลำดับสัญญาณที่เป็น 0 หมด แต่ในสภาวะเช่นนี้ ได้ทำการทดลองแล้วปรากฏว่าจะอยู่ในสภาวะ 0 ได้ไม่นาน เพราะเมื่อมีสัญญาณรบกวน เช่นการถอดหรือเสียบปลั๊กไฟใกล้ ๆ จะเหมือนมีพัลส์ 1 เล็ก ๆ เกิดขึ้นจากนั้นจากคุณสมบัติของชิพรีจิสเตอร์ก็จะเกิดการสร้างสัญญาณแรนดอมขึ้นมาอีก ทำให้ไม่สามารถดีโคดได้ จากปัญหาเหล่านี้ เราได้นำวงจรแบบกึ่งอัตโนมัติมาใช้ โดยแสดงการทำงานเบื้องต้นไว้ใน รูป 6

<u>เหตุผลในการใช้การดีเทคแบบนี้คือ</u>

1. โดยทั่วไปแล้วบิทผิดที่เกิดในระบบจะไม่มากนัก ทำให้มีช่วงเวลาเพียงพอที่จะบรรจุรีจิสเตอร์ได้ครบจำนวน และไม่มีบิทผิดปนเข้ามาอยู่ในชิดรีจิสเตอร์ของเรา เพราะถ้ามีแล้วลำดับของชุดรับจะไม่ตรงกับด้านส่ง และเมื่อเกิดการเปรียบเทียบกันแล้ว จากคุณสมบัติของสัญญาณกึ่งแรนดอมนั้น ลำดับสองลำดับเปรียบเทียบกันโดยใช้การบวกแบบมอดูโล 2 แล้วจะได้ลำดับอีกลำดับหนึ่งเกิดขึ้นมา เพราะฉะนั้นบิทผิดที่ดีเทคได้จะออกมาเป็นสัญญาณกึ่งแรนดอมมีจำนวนบิต 1 เท่ากับ 0 ใกล้เคียงกัน นั่นคือจะเกิดอัตราความผิดพลาดเกือบ 50% ทำให้ทราบได้ว่าขณะนี้วงจรของเราเกิดการไม่ซิงโครไนซ์ขึ้นแล้ว ทำให้เราสามารถตรวจ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



TIME	SWITCH Position	Input values Points a	b	c	d	e	Error f	g	Notes
0	B	0	0	0	0	0	0	0	Time to Load Shift Register
1	B	0	0	0	0	0	0	0	
2	B	1	1	0	0	0	0	1	
3	B	0	0	1	0	0	0	0	
4	A	1	1	0	1	0	1	0	
5	A	1	1	1	0	1	1	0	
6	A	0	1	1	1	0	1	1	Error Detected
7	A	0	0	1	1	1	0	0	
8	A	0	0	0	1	1	0	0	
9	A	1	1	0	0	1	1	0	
10	A	0	0	1	0	0	0	0	
11	A	1	1	0	1	0	1	0	
12	A	0	1	1	0	1	1	1	
13	A	1	1	1	1	0	1	1	Bit Slip Causing Lossing Synchronism
14	A	1	0	1	1	1	0	1	
15	A	1	0	0	1	1	0	1	
16	A	0	1	0	0	1	1	1	

รูป 6

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จับและทำการซิงโครไนซ์ขึ้นใหม่โดยการสับสวิทช์ลงมาที่ตำแหน่ง B. เป็นเวลานานพอที่จะบรรจุชิพรีจิสเตอร์ได้ครบจำนวน และเมื่อสับสวิทช์ขึ้นไปที่ A แล้ว บิทผิดที่ดีเทคได้ออกมาน้อย ตามธรรมชาติก็คือการซิงโครไนซ์แล้วนั่นเอง แต่ในการทดลองจริง ๆ อิมพัลซ์ที่เกิดจากไฟบ้าน (Acline) ก็ยังสามารถทำให้เกิดการรบกวนจนหลุดซิงค์อีกจนได้ แต่เรามีชุดตรวจจับบิทผิดแบบกิ่งแรนดอม ทำให้เราสามารถรู้เวลาที่จะต้องทำการซิงโครไนซ์ใหม่ เพราะเมื่อมีอิมพัลซ์จากไฟบ้านโดยเกิดจากการถอดหรือเสียบปลั๊กใกล้ ๆ วงจร แล้วอิมพัลซ์นี้จะไปทำให้ลำดับของชุดส่งและรับไม่ตรงกันแล้ว เราสามารถทำการซิงโครไนซ์ใหม่ได้โดยการใช้เวลาเพียงเสี้ยววินาที เพราะการส่งจริง ๆ ใช้บิทเรทสูงทำให้ไม่เป็นปัญหาสำหรับเรา

2. เมื่อทำการทดลองป้อนสัญญาณรบกวนเข้าไปแล้วสามารถดีเทคได้จริง

3. วงจรแบบนี้ประหยัดและสามารถดีเทคได้ทันทีเมื่อเริ่มใช้งาน ไม่จำเป็นต้องมีการรีเซ็ตระบบ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.3 วงจรคูณแบบอนาลอกโดยใช้ไบโพล่าทรานซิสเตอร์

วงจรคูณสัญญาณมีคุณสมบัติดังนี้ ถ้า x และ y เป็นสัญญาณขาเข้า z เป็นสัญญาณขาออก z จะเท่ากับ

$$Z = K\,xy \qquad (0.1)$$

เมื่อ K เป็นค่าขยายสัญญาณของวงจร โดยมีค่าคงที่ ถ้าสัญญาณ x และ y มีค่าเท่ากับ

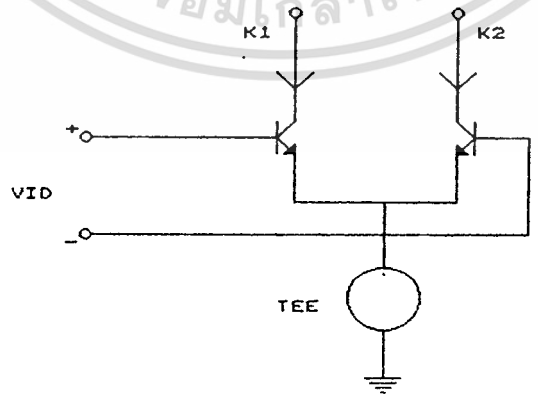
$$x = A_1 e^{+jw_1 t}$$

$$y = A_2 e^{+jw_2 t} \qquad (0.2)$$

สัญญาณขาออกจะเขียนได้ดังนี้คือ

$$Z = K\,A_1 A2e^{j(w_1+w_2)t} + (w_1-w_2)t \qquad (0.3)$$

โดยสัญญาณขาออกจะประกอบด้วยสัญญาณความถี่ $(w_1 + w_2)$ และ $(w_1 - w_2)$ ส่วนระดับของแอมปลิจูดจะแปรผันตรงกับ $A_1 A_2$ สำหรับหลักการวงจรคูณที่ใช้ไบโพล่าร์ทรานซิสเตอร์นั่นสามารถเริ่มต้นอธิบายจากวงจรอิมิตเตอร์คัปเปอร์แฟร์ดังรูป1.



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

แรงดันขาเข้า Vid สามารถเขียนได้คือ

$$Vid = V_{BE1} - V_{BE2} \quad (1)$$

$$I_{EE} = i_{c1} + i_{c2}$$

จากคุณสมบัติของไบโพล่าร์ทรานซิสเตอร์ ถ้าค่า hfe มีค่ามากๆ กระแสที่คอลเลคเตอร์มีค่าประมาณกระแสอีมิตเตอร์ โดยกระแสอิมิตเตอร์ จะเป็นกระแสของรอยต่อเบส - อิมิตเตอร์ ซึ่งสำหรับทรานซิสเตอร์ แบบ NPN สมการของกระแสอีมิตเตอร์แสดงได้ดังนี้

$$Ic \quad IE = I_{ES} e^{(VT/VBE)} \quad (2)$$

V_T = แรงดันสมมูลกับพลังงานความร้อน

I_{ES} = กระแสรอยต่อเบส - อิมิตเตอร์

ดังนั้นจากรูป 1 สามารถเขียนสมการ i_{c1}, i_{c2} ของวงจรอิมิตเตอร์คัปเปอร์แพร์ได้คือ

$$i_{c1} = I_{ES} e^{(VBE1/VT)}$$

$$i_{c2} = I_{ES} e^{(VBE2/VT)} \quad (3)$$

จาก 1,2,3 สามารถเขียน i_{c1} ในเทอมของ i_{c2} และ i_{c2} ในเทอมของ i_{c1} ได้คือ

$$I_{c1} = I_{c2} e^{(VD/VT)}$$

$$I_{c2} = I_{c1} e^{(-VD/VT)} \quad (4)$$

และจาก (4) เขียนสมการ I_{EE} ใหม่

$$I_{EE} = i_{c1} + i_{c1} e^{(-VD/VT)} = i_{c2} + i_{c2} e^{(VD/VT)} \quad (5)$$

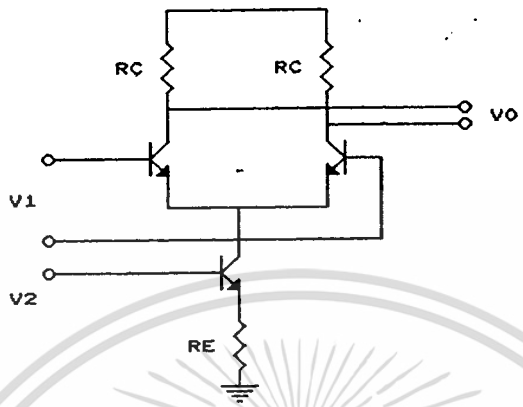
หรือ $$i_{c1} = I_{EE}/(1 + e^{(-VD/VT)}) \quad (6)$$

$$i_{c2} = I_{EE}/(1 + e^{(VD/VT)})$$

ดังนั้นผลต่างของกระแส i_{c1} และ i_{c2} เท่ากับ

$$i_{c1} - i_{c2} = I_{EE} \tanh VD/2VT \quad (7)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูป 2

ดังนั้นถ้าปรับแหล่งจ่ายกระแสคงที่ I_{EE} ด้วยแรงดันอินพุท V_2 ในรูป 2 สมการ(7) สามารถเขียนได้ใหม่คือ

$$i_{c1} - i_{c2} = (V_2 - V_{BE})/RE \tanh v_1/2V_T \qquad (8)$$

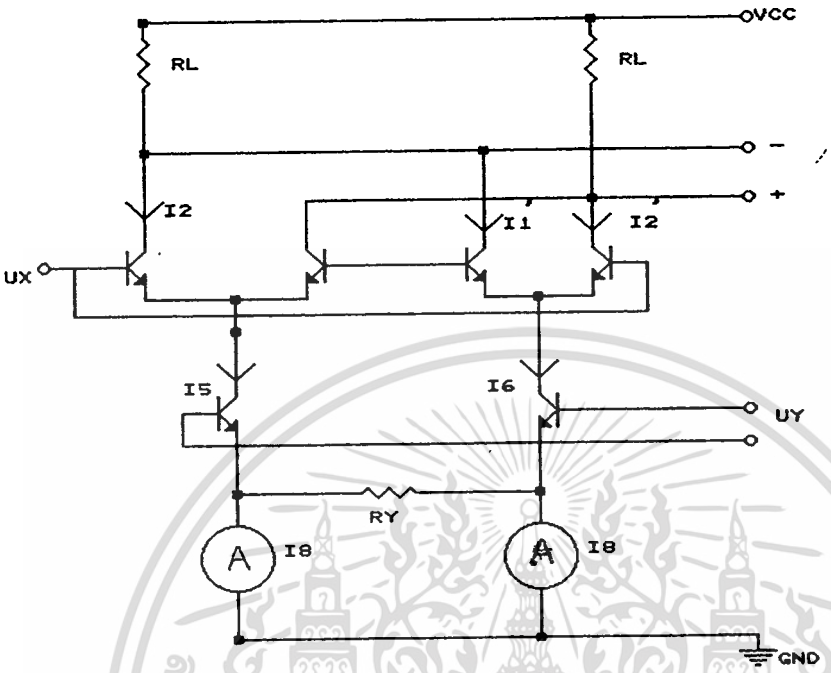
ดังนั้นถ้าให้ $V_D < V_T$ แล้ว

$$i_{c1} - i_{c2} = ((V2-VBB)/RE) * V1/2VT \qquad (9)$$

ดังนั้นถ้าเราสามารถได้เอ้าท์พุทของกระแสในรูปของผลคูณแรงดันอินพุทในข้อกำหนด V1 มีค่าขนาดของสัญญาณน้อยกว่า V_T และ V_2 มีค่ามากกว่า V_{BEon} ของทรานซิสเตอร์ ซึ่งหมายถึงว่าวงจรคูณจะถูกจำกัดด้วยขนาด V_1, V_2 และเนื่องจากว่า I_{EE} แปรผันตรงกับแรงดัน V_2 ดังนั้นวงจรทำให้สัญญาณคอมมอนโหมดเอ้าท์พุทเปลี่ยนแปลงไปมาก ดังนั้นวงจรคูณในทางปฏิบัติสำหรับวงจรรวม เพื่อแก้ไขปัญหาสำหรับการเปลี่ยนแปลงของสัญญาณ คอมมอนโมดเอาท์พุทเป็นวงจรคูณแบบกิลเบิท (GILBERT MULTIPLIER CELL) ดังแสดงในรูป 3 โดยวงจรประกอบด้วยดิฟแอมป์สองวงจรคือ T_1T_2 และ $T_1'T_2'$ โดยมีขาคอลเลคเตอร์ต่อสลับกันอยู่ และให้ I_{EE} มีค่าคงที่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Multiplier



รูปที่ 3

จากรูปแสดงสมการกระแส I_5 I_6 ได้คือ

$$I_5 = I_8 + (V_Y/R_Y)$$

$$I_6 = I_8 - (V_Y/R_Y) \qquad (10)$$

จากสมการ (7)

$$I_1 - I_2 = I_5 \tanh (V_t/2V_T) = (I_8 + \langle V_Y/R_Y \rangle) \tanh (V_t/2V_T)$$

$$I_1 - I_2 = I_6 \tanh (V_t/2V_T) = (I_8 + \langle V_Y/R_Y \rangle) \tanh (V_t/2V_T) \qquad (11)$$

ผลต่างกระแสเอาพุทคือ

$$\Delta I = ((I_1 - I_2) - (I_1 - I_2))$$

ดังนั้น

$$\Delta I = (2V_Y/R_Y)\tanh (v_t/2V_T) \qquad (12)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

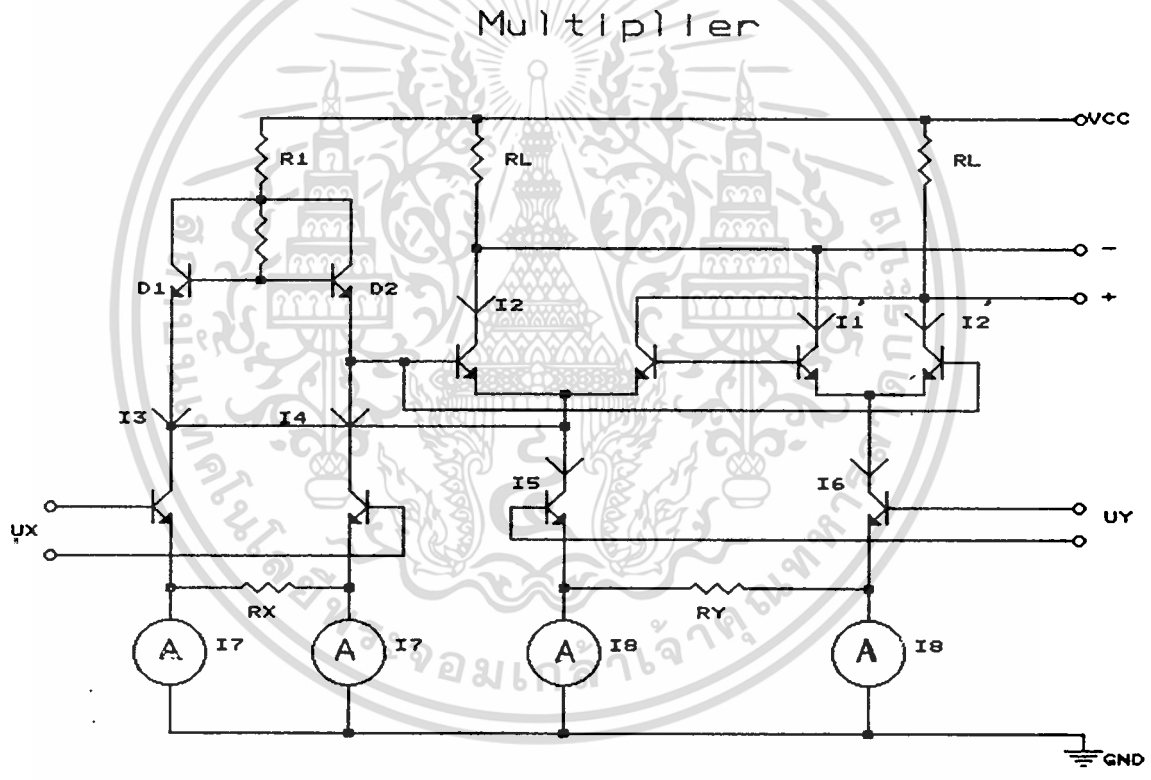
หรือแรงดันเอาท์พุท

$$V_o = 2RL\ (V_y/R_y)\ \tanh\ (V_i/2V_T) \qquad (13)$$

ถ้าให้ $|V_i| < VT$ แล้ว แรงดันเอาท์พุทแสดงในรูปผลคูณได้คือ

$$V_o = RL(V_y/R_y)*(V_i/V_T) \qquad (14)$$

ดังนั้นวงจรนี้จึงสามารถคูณสัญญาณที่อินพุทหนึ่งที่เป็นสัญญาณขนาดเล็ก(น้อยกว่า 26mv) ถ้าหากแรงดันอินพุท V_i มีค่ามากกว่า 26mv แล้ววงจรจะทำหน้าที่เป็น Synchronous switch หรือทำหน้าที่ปิดและเปิดวงจรสลับกันไป สำหรับวงจรที่ต้องการคูณระดับแรงดันขนาดสูงนั้น สามารถเพิ่มส่วนสำหรับอินพุทแรงดันระดับสูงดังแสดงในรูปที่ 4



กระแส I_3 I_4 เขียนได้คือ

$$I_3 = I_S\, e^{(V_D/V_i)/V_T} \qquad (15)$$

$$I_4 = I_S\, e^{(V_D/V_i)/2V_T}$$

I_S คือ กระแสรอยต่อ PN ของไดโอด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ดังนั้น $VD_1 = V_T \ln(I_3 / I_5)$

$$VD2 = V_T \ln(I_4 / I_5) \quad (16)$$

$$V_1 = VD_1 - VD_2 = V_T \ln(I_3 / I_4) \quad (17)$$

และสมการ I_3 , I_4 เขียนได้อีกรูปหนึ่งคือ

$$I_3 = I_2 + (U_x / R_x)$$

$$I_4 = I_7 - (U_x / R_x) \quad (18)$$

แทนสมการ (18) ในสมการ (17) เขียน V_1 ได้ใหม่คือ

$$V_1 = 2V_T \tan^{-1} (U_x / I_7 R_x) \quad (19)$$

ดังนั้นถ้าแทนค่า V_1 ในสมการ 13 จะได้

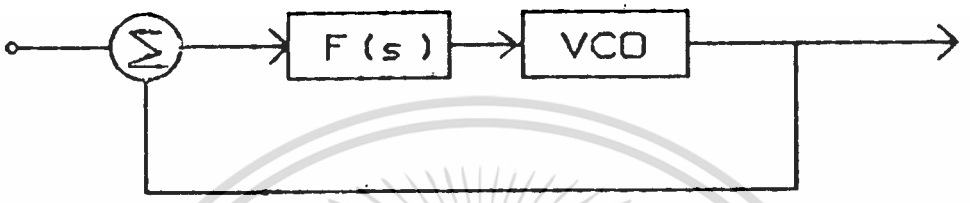
$$V_o = 2RL (U_Y/R_Y). (U_x/I_7 R_x) \quad (20)$$

ดังนั้นวงจรคูณสำหรับสัญญาณขนาดใหญ่ ค่า K ที่นิยามให้สมการ 0.1 ก็ขึ้นอยู่กับ RL , R_Y , R_x และกระแส I_7

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.4 ทฤษฎีเฟสล็อกลูป

ระบบเฟสล็อกลูป (phase locked loop) เป็นระบบที่เอาเฟสของสัญญาณเอาท์พุทป้อนกลับ (feed back) เพื่อควบคุมความถี่ของลูป ดังแสดงโครงสร้างของระบบในรูปที่ 1



รูปที่ 1 แสดงโครงสร้างของระบบเฟสล็อกลูป

โดย $\theta_o(s)$ เฟสเอาท์พุทของระบบ rad

$\theta_r(s)$ เฟสอินพุทหรือเฟสอ้างอิงของระบบ rad

$\theta_e(s)$ เฟสเออเรอร์ของระบบ rad

PD เฟสดีเทคเตอร์

VCO วงจรกำเนิดความถี่ควบคุมด้วยแรงดัน

F(s) วงจรกรองความถี่ต่ำผ่าน

โดยแท้จริงแล้ว PLL เป็นระบบไม่เชิงเส้นแต่สามารถจะจำลองระบบเพื่อให้ง่ายต่อการวิเคราะห์และกำหนดเงื่อนไขในการออกแบบให้เป็นระบบเชิงเส้น โดยให้ความต่างเฟสระหว่างเฟสดีเทคเตอร์อินพุทและเฟสที่ป้อนกลับมีเฟสแตกต่างกันไม่มาก และให้เฟสเอาท์พุทของเฟสดีเทคเตอร์เป็นแรงดัน (V_d) โดยขึ้นอยู่กับความต่างเฟสของเฟสอินพุทและเฟสป้อนกลับหรือเขียนได้เป็น

$$V_d = K_d(\theta_r - \theta_o) \qquad \text{-----(1)}$$

โดย K_d เป็นค่าเฟสดีเทคเตอร์เกนมีขนาดเป็น V/rad และในกรณีที่ให้ระบบเป็นแบบเชิงเส้น เราจะได้ความถี่เอาท์พุทของวงจร VCO ที่เบี่ยงเบนออกจากความถี่ศูนย์กลาง (BW) คือ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$\Delta W = K_o V_c \qquad \text{-----(2)}$$

โดย V_c เป็นแรงดันอินพุทของวงจร VCO

K_o เป็น VCO เกนมีขนาด rad/v

ดังนั้นเขียนความถี่ที่เอาท์พุทของ VCO คือ

$$W_o = W_c + \Delta W = W_c + K_o V_c \qquad \text{-----(3)}$$

โดย W_c เป็นความถี่ฟรีรันนิ่ง (free running) ของ VCO และจากความถี่เป็นการอนุพันธ์ของเฟสเทียบกับเวลาหรือเขียนได้เป็น

$$\Delta W = \frac{d\theta_o}{dt} = K_o V_c \qquad \text{-----(4)}$$

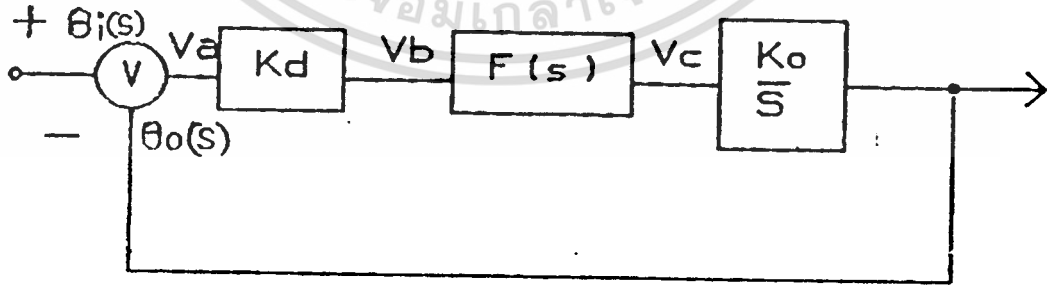
หรือเขียนเฟสเอาท์พุทของลูปอยู่ในรูปของ

$$\theta_o(t) = \int_0^t \Delta W \, dt \qquad \text{-----(5)}$$

กรณีในระบบของ PLL ถ้าจะทำการวิเคราะห์ด้วยการลาปลาซทรานฟอร์ม (laplace tranform) ดังนั้นเฟสเอาท์พุทเขียนได้เป็น

$$\theta_o(s) = \frac{K_o}{S} V_o \qquad \text{-----(6)}$$

ดังนั้นระบบ PLL สามารถแบบจำลองได้ดังรูป 2



รูป 2

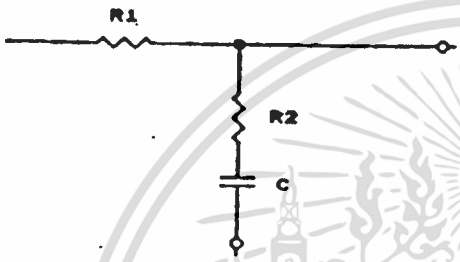
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โดยจากรูปเราสามารถเขียน tranfer function ของระบบได้คือ

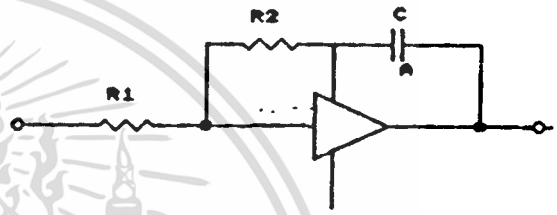
$$\frac{\theta_o(s)}{\theta_i(s)} = \frac{K_g K_o F(s)/S}{1 + K_g K_o F(s)/S} \qquad \text{-----(7)}$$

สำหรับกรณีวงจรกรองความถี่ต่ำผ่าน ซึ่งเป็นตัวควบคุมคุณสมบัติไดนามิกของลูป

<u>วงจรกรองความถี่ในลูป</u>



รูป 3.1



รูป 3.2

วงจรกรองความถี่ต่ำผ่านที่ใช้ในลูป สำหรับในที่นี้ขอกล่าวไว้ 2 ประเภทคือ รูป 3.1 เป็นวงจรกรองแบบพาสซีฟ หรือวงจรกรองเป็นลีด-แล็ก (lead-lag filter) ซึ่งมีทรานเฟอร์ฟังก์ชั่นเป็น

$$F(s) = \frac{ST_2 + 1}{ST_1 + 1} \qquad \text{-----(8)}$$

โดย $T_1 = (R_1 + R_2)C$

$T_2 = R_2C$

และรูป 3.2 เป็นวงจรกรองความถี่แบบแอคตีฟ มีทรานเฟอร์ฟังก์ชั่นแสดงได้คือ

$$F(s) = \frac{ST_2 + 1}{ST_1} \qquad \text{-----(9)}$$

โดย $T_1 = R_1C$

$T_2 = R_2C$

โดย A เป็นเกนของวงจรกรองความถี่กำหนดให้มีค่ามาก ๆ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ถ้าแทนสมการ (8) ลงในสมการ (7) จะได้ทรานเฟอร์ฟังก์ชันของเฟสเอาท์พุทต่อเฟสอินพุท

$$H_1(s) = \frac{\theta_o(s)}{\theta_i(s)} = \frac{K_o K_d (ST_2 + 1)/T_1}{S^2 + S(1 + \frac{K_o K_d T_2}{T_1}) + \frac{K_o K_d}{T_1}} \quad -----(10)$$

หรือถ้าวงจรกรองแบบแอคติฟ แทนสมการ (9) ลงในสมการ (7) จะได้ทรานเฟอร์ฟังก์ชั่นของ PLL คือ

$$H_2(s) = \frac{K_o K_d (ST_2+1)/T_1}{S^2 + S(\frac{K_o K_d T_2}{T_1}) + \frac{K_o K_d}{T_1}} \quad -----(11)$$

จากทรานเฟอร์ฟังก์ชั่น (10),(11) เขียนให้อยู่ในเทอมของ ระบบป้อนกลับแบบเซอโว (servo)ได้เป็น

$$H_1(s) = \frac{S(2\Sigma W_n - W_n^2/KoK_d) + W_n^2}{S^2 + 2\Sigma W_n S + W_n^2} \quad -----(12)$$

โดย $W_n = \sqrt{K_o K_d / T_1}$

$\Sigma = 1/2 \sqrt{(K_o K_d / T_1)}.(T_2 + 1/K_o K_d)$

ถ้าค่า $K_o K_d >> W_n$ แล้วทรานเฟอร์ฟังก์ชั่น H_1 จะประมาณได้ว่า

$$H_1 = \frac{2\Sigma W_n S + W_n^2}{S^2 + 2\Sigma W_n S + W_n^2} \quad -----(13)$$

เช่นเดียวกับ PLL ที่ใช้วงจรกรองความถี่ถ้าเป็นแบบแอคติฟซึ่งทรานเฟอร์ฟังก์ชั่นคือ

$$H_2(s) = \frac{2\Sigma W_n S + W_n^2}{s^2 + 2\Sigma W_n S + W_n^2} \quad -----(14)$$

โดย $W_n = \sqrt{K_o K_d / T_1}$

$\Sigma = T_2/2 \sqrt{K_o K_d / T_1} = T_2 W_n / 2$

และถ้าค่าเฟสเออเรอร์เป็นความแตกต่างระหว่างเฟสอินพุทต่อเฟสที่ป้อนกลับแล้วจะได้

$$\theta_e(s) = \theta_r(s) - \theta_o(s) \quad -----(15)$$

ซึ่งทรานเฟอร์ฟังก์ชั่นของเฟสเออเรอร์ต่อเฟสอินพุทของ PLL แสดงได้คือ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$\frac{\theta_e(s)}{\theta_r(s)} = 1 - \frac{\theta_o(s)}{\theta_r(s)} \qquad \text{-----(16)}$$

$$\frac{\theta_e(s)}{\theta_r(s)} = \frac{1}{1 + \frac{K_o K_d F(s)}{N - S}} \qquad \text{-----(17)}$$

ถ้า PLL ใช้วงจรกรองชนิดลีดเล็คแบบพาสซีฟแล้ว ทรานเฟอร์ฟังก์ชั่นของเฟสเออเรอร์ต่อเฟสอินพุทเขียนได้เป็น

$$H_3(s) = \frac{\theta_e(s)}{\theta_r(s)} = \frac{S(S + W_n^2/K_o K_d)}{S^2 + 2\Sigma W_n S + W_n^2} \qquad \text{-----(18)}$$

$$= \frac{S[S + 1/T_1]}{S^2 + 2\Sigma W_n S + W_n^2} \qquad \text{-----(19)}$$

ถ้ากำหนดค่าลูปเกนมากกว่าความถี่ธรรมชาติ ($K_o K_d >> W_n$) แล้ว

$$H_3(s) = \frac{S^2}{S^2 + 2\Sigma W_n S + W_n^2} \qquad \text{-----(20)}$$

เช่นเดียวกับทรานเฟอร์ฟังก์ชั่นของเฟสเออเรอร์ต่อเฟสอินพุทของ PLL ที่ใช้วงจรกรองแบบแอคตีฟหาได้เช่นเดียวกับสมการที่ 18 โดยการแทนค่าลงในสมการ 12

$$H_2(s) = \frac{\theta_e(s)}{\theta_r(s)} = \frac{S^2}{S^2 + 2W_n S + W_n^2} \qquad \text{-----(21)}$$

ซึ่งมีค่าเท่ากับสมการที่ 20

<u>เฟสดีเทคเตอร์</u>

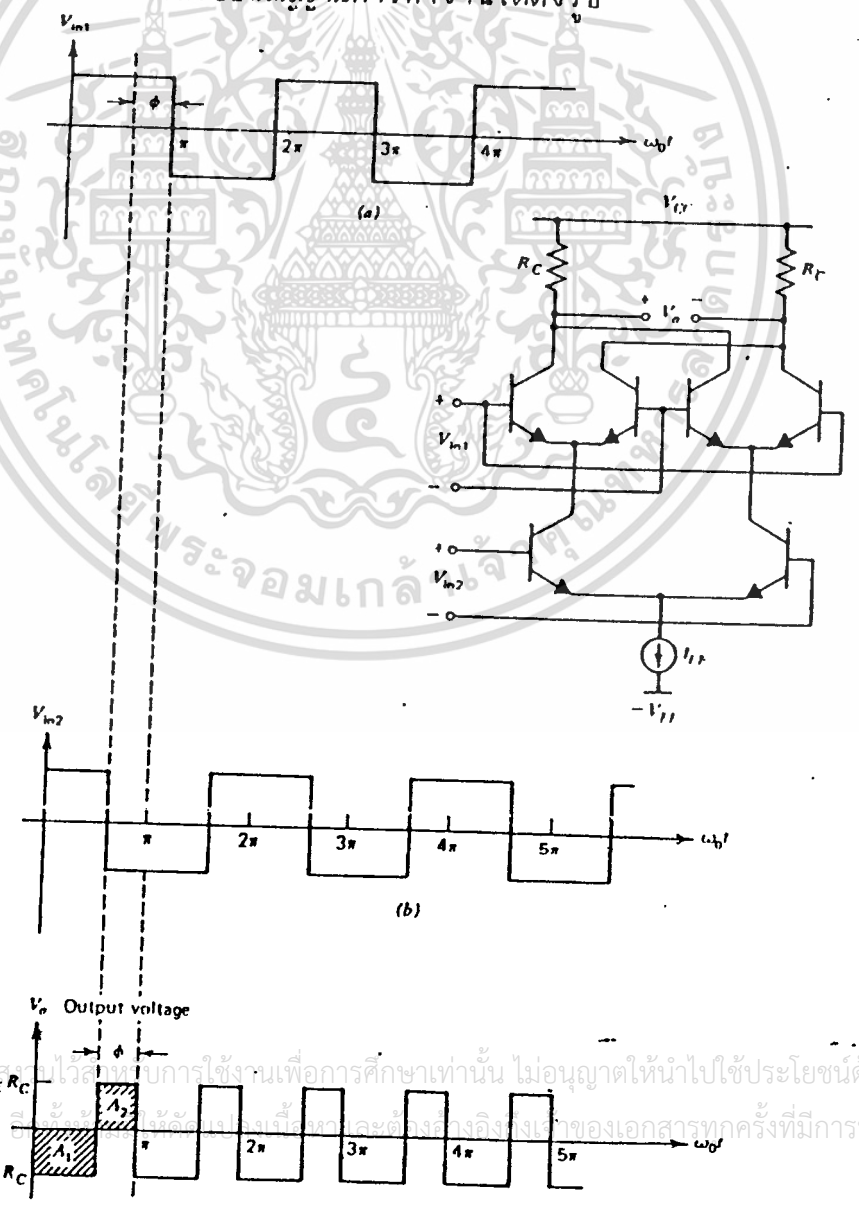
สำหรับเฟสดีเทคเตอร์ หรืออาจเรียกว่าเฟสคอมพาราเตอร์ (phase comparator) เป็นอุปกรณ์ที่เปรียบเทียบสัญญาณอ้างอิง กับเฟสเอาท์พุทที่ทำการป้อนจาก VCO และให้แรงดันเอาท์พุทเป็นแรงดันที่แปรตามค่าความต่างเฟส สำหรับเฟสดีเทคเตอร์ สามารถแบ่งออกเป็น 2 ประเภทคือ อนาลอกเฟสดีเทคเตอร์และดิจิตอลเฟสดีเทคเตอร์ โดย PLL ที่ใช้อนาลอกเฟสดีเทคเตอร์หรืออาจเรียกว่าอนาลอกเฟสล็อกลูป(analog phase lock loop)และใน PLL ที่ใช้ดิจิตอลเฟสดีเทคเตอร์หรืออาจเรียกว่าดิจิตอลเฟสล็อกลูป(digital phase lock loop ;DPLL)โดยทั่ว

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ไปแล้วถ้ากล่าวถึง PLL นั่นหมายถึงอนาลอกเฟสล็อกลูปสำหรับเฟสดีเทคเตอร์ที่ใช้ในอนาลอกเฟสล็อกลูปที่ใช้กันมากก็คือ วงจรจูนแบบกิลเบริด์และสำหรับ DPLL มักใช้เฟสดีเทคเตอร์แบบเฟสฟรีเควนซี่ดีเทคเตอร์(phase frequency detector : PFD)

<u>วงจรคูณแบบกิลเบริด์</u>

โครงสร้างวงจรแสดงดังรูป โดยสัญญาณอินพุทของเฟสดีเทคเตอร์จะมาจากสัญญาณอ้างอิง และสัญญาณที่ป้อนกลับจากเอาท์พุทของ VCO โดยสัญญาณจาก VCO จะให้สัญญาณรูปสี่เหลี่ยม ส่วนสัญญาณอินพุทของเฟสดีเทคเตอร์โดยทั่วไปจะเป็นสัญญาณไซน์มีขนาดใหญ่ เมื่อเปรียบเทียบกับแรงดันความร้อนสมมูลย์(thermal voltage =26 mv)ดังนั้นทรานซิสเตอร์คู่ล่างของวงจรคูณจะปิดและเปิดตามซีกบวกหรือลบของสัญญาณไซน์ ในที่นี้วงจรคูณจะทำหน้าที่เป็นซิงโคไนส์สวิทท์ (synchronous switched) สามารถเขียนสัญญาณการทำงานได้ดังรูป



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น ยิ่งทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สำหรับสัญญาณเอาท์พุทประกอบด้วย ดีซี และ สัญญาณส่วนประกอบที่เป็น เอซี ที่มีความถี่เป็น 2 เท่าของสัญญาณอินพุท ดังนั้นค่าเฉลี่ยของสัญญาณเอาท์พุทแสดงได้คือ

$$V_{avg} = 1/2\pi \int_0^{2\pi} V_o(t)\,d(w_o t) \qquad \text{-----(22)}$$

จะได้

$$V_{avg} = -1/\pi (A_1 - A_2) \qquad \text{-----(23)}$$

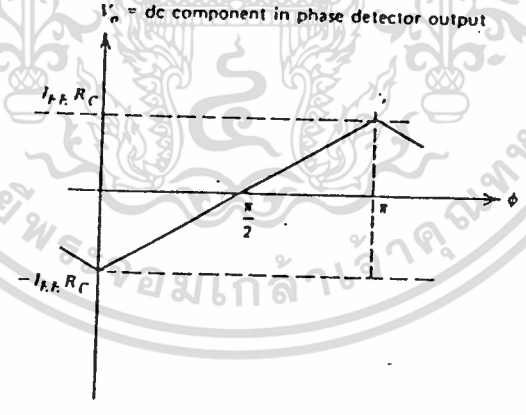
สำหรับ A_1, A_2 เป็นพื้นที่แสดงดังรูป ดังนั้น

$$V_{avg} = -[I_{EE} R_C (\pi - \phi)/\pi - I_{EE} R_C \phi/\pi] \qquad \text{-----(24)}$$

จะได้

$$V_{avg} = I_{EE} R_C (2\phi/\pi - 1) \qquad \text{-----(25)}$$

โดยแสดงความสัมพันธ์ของความต่างเฟสและแรงดันเอาท์พุทได้ดังรูป

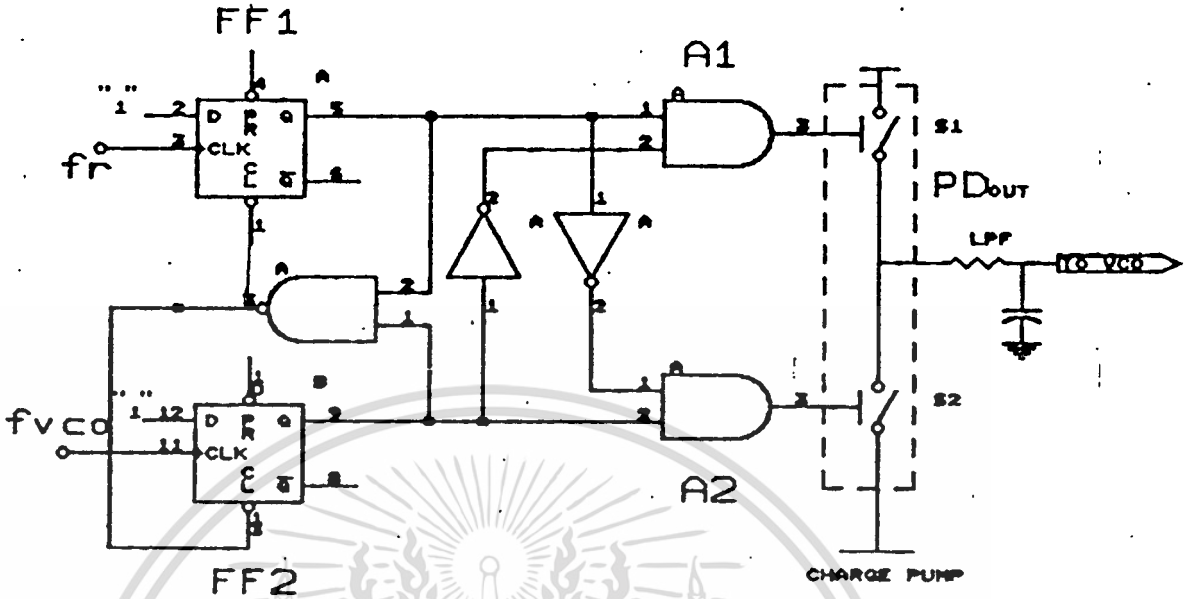


วงจรเฟสฟรีเควนซี่ดีเทคเตอร์

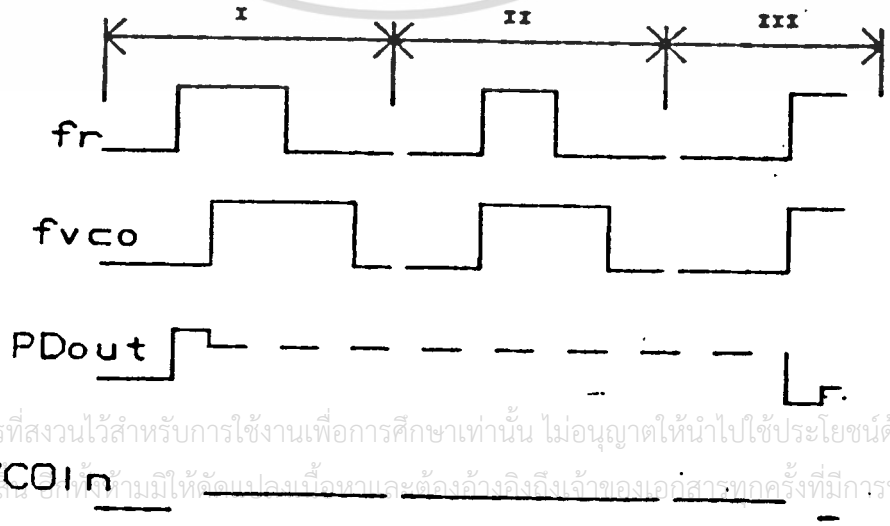
สำหรับเฟสฟรีเควนซี่ดีเทคเตอร์หรือ PFD เป็นวงจรที่รับสัญญาณอินพุทเป็นสัญญาณดิจิตอล และให้เอาท์พุทเป็นสัญญาณดิจิตอลที่ปนอยู่กับความต่างเฟสของสัญญาณอินพุท นอกจากจะทำการดีเทคความต่างเฟสแล้ว วงจร PFD สามารถที่จะดี

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เทคความแตกต่างระหว่างอินพุททั้งสองด้วย สำหรับวงจรของ PFD แสดงได้ดังรูป

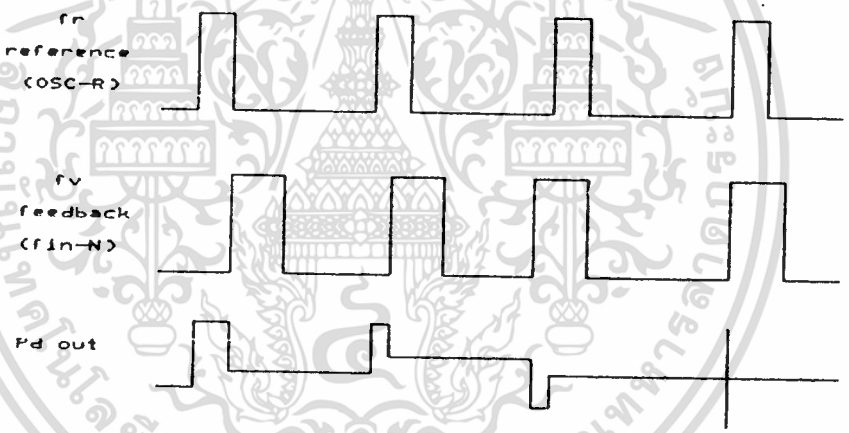


วงจรที่ 1 จะประกอบด้วยฟลิบฟลอบ, วงจรเกท, และต่อร่วมกันกับส่วนที่เรียกว่า ชาร์จปั้ม(charge pump)ซึ่งเป็นส่วนให้สัญญาณเอาท์พุทลอจิกเป็นสัญญาณแรงดัน โดยแสดงวงจรสมมูลย์ของวงจรชาร์จปั้มเป็นสวิชท์ที่จะปิดเมื่อมีสัญญาณลอจิกที่มาขับเท่ากับ "1" และเปิดเมื่อลอจิกที่มาขับเท่ากับ "0" โดยที่อินพุท f_r เป็นสัญญาณจากความถี่อ้างอิง ส่วนอินพุท f_{vco} เป็นอินพุทจากความถี่ป้อนกับจาก VCO การทำงานแสดงรูปคลื่นอินพุท ที่เฟสดิเทคเตอร์เอาท์พุทและที่เอาท์พุทของวงจรกรองความถี่ต่ำผ่านหรือที่อินพุทของ VCO การทำงานสามารถอธิบายได้เป็น 3 ช่วง คือ



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

<u>ช่วงแรก</u> เริ่มต้นสัญญาณ f_r ที่มีเฟสนำหน้าสัญญาณ f_{vco} ขอบของสัญญาณ f_r จะเซ็ทฟลิบฟลอบ FF_1 ให้สัญญาณที่ขา Q เป็นลอจิก "1" ส่วนสัญญาณที่ขา Q ของ FF_2 นั้นจะเป็นลอจิก "0" ดังนั้นที่เอาท์พุทเกท A_1 มีลอจิก "1" ทำให้ S_1 ปิดดังนั้นกระแสจะไหลจากแหล่งจ่าย VCC ผ่านความต้านทานเข้าสู่คาปาซิเตอร์ในวงจร LPF ซึ่งเป็นการชาร์จให้กับคาปาซิเตอร์ ขณะต่อมาขอบของสัญญาณ f_{vco} ที่ตามมาจะเซ็ทให้ขา Q ของฟลิบฟลอบ FF_2 เป็น "1" ดังนั้นที่เอาท์พุทของแนนเกทจะได้เอาท์พุท "0" เป็นการรีเซ็ทฟลิบฟลอบทั้งสองตัวดังนั้นที่สวิชท์ S_1 จะเปิดออกสำหรับปรากฏการณ์ในช่วงแรกนี้เราเรียกว่าเป็นการปั๊มขึ้น(pump up) โดยอาจจะเกิดขึ้นหลายๆ ไซเคิลต่อๆ กันโดย PFD จะทำการปั๊มขึ้นจนกระทั่งเฟสของ f_r และเฟสของ fvco ไม่แตกต่างกัน



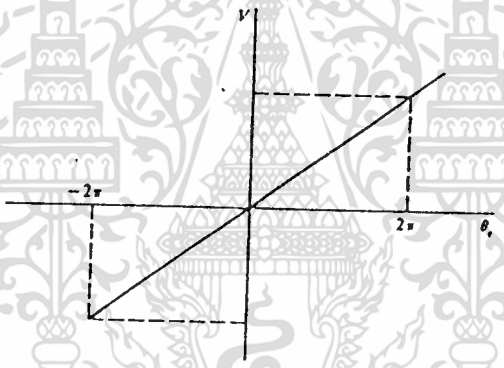
<u>ช่วงสอง</u> เนื่องจากเฟสของ f_r และ f_{vco} เท่ากันแล้ว S_1 และ S_2 อยู่ในสภาวะเปิดออกทั้งคู่ สภาวะเช่นนี้ที่จุดเอาท์พุทของ PFD จะเป็นสถานะไฮอิมพีแดนซ์ (Hi-impedance) แรงดันที่ควบคุม VCO จะเป็นแรงดันซึ่งคงค้างในคาปาซิเตอร์จากการชาร์จ

<u>ช่วงสาม</u> ในกรณีเฟสของสัญญาณจาก VCO เริ่มนำหน้าสัญญาณ f_{in} ขอบของสัญญาณ f_{vco} จะเซ็ทให้ฟลิบฟลอบ FF_2 ให้ลอจิกเอาท์พุทเท่ากับ "1" และที่เอาท์พุทของเกท A_2 มีค่าเป็นลอจิก "1" ทำให้ S_2 ถูกปิดแรงดันในคาปา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ซิเตอร์จะถูกดิสชาร์จผ่านความต้านทาน, สวิชท์ S_2 ลงกราวด์ และเฟสของ f_{in} ที่ตามมาจะเซ็ทฟลิบฟลอบ FF_1 ทำให้เอาท์พุทของ A_2 เป็นลอจิก "0" และ S_2 ถูกเปิดออก สำหรับลักษณะการทำงานในช่วงนี้เรียกว่า การปั้มลง(pump down) โดยอาจจะเกิดเป็นหลายๆ ไซเคิลเช่นเดียวกับการปั้มขึ้น

สังเกตุได้ว่าในกรณีถ้าความถี่อินพุทไม่เท่ากัน แล้วที่อินพุทของ PFD จะมีความต่างเฟสกันตลอดเวลา ดังนั้นฟลิบฟลอบ FF_1,FF_2 จะถูก set ตลอด เช่นถ้า $f_{in}>f_{vco}$ ที่เอาท์พุทของ Q_1 จะเป็น "1" ตลอดทำให้ S_1 ปิด วงจร,แรงดันชาร์จเข้าสู่คาปาซิเตอร์เป็นการเพิ่มแรงดันให้กับ VCO สร้างความถี่เพิ่มขึ้นตาม f_{in} สำหรับความสัมพันธ์ระหว่างเฟสอินพุทและแรงดัน เอาท์พุทของเฟสดีเทคเตอร์แสดงได้ดังรูป



ผลตอบสนองของลูปต่อสัญญาณอินพุท

ในการวิเคราะห์ผลของ PLL ต่อสภาวะทรานเซียลและสเตทดิสเตท (steady state) เนื่องจากการเปลี่ยนแปลงของสัญญาณอินพุทนั้นมีประโยชน์ สำหรับการนำเอา PLL ไปออกแบบสำหรับลูปที่ใช้ติดตาม tracking สัญญาณหรือลูปที่ใช้สำหรับสังเคราะห์ความถี่

1.ผลตอบสนองการเปลี่ยนเฟส (phase step response)

จากรูป 2 เมื่อสัญญาณอินพุทเป็นการเปลี่ยนแปลงเนื่องจากการเปลี่ยนเฟสสัญญาณอินพุทเขียนอยู่ในรูปของเฟสได้เป็น

เอกสารนี้สงวนไว้สำหรับใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$\theta_r(t) = u(t)\Delta\theta \qquad \text{-----(26)}$$

$u(t)$ = ยูนิตสเตปฟังก์ชั่น

$\Delta\theta$ = ขนาดเฟสอินพุทที่เปลี่ยนแปลง

หรือเขียนให้อยู่ในรูป s โดเมนได้ว่า

$$\theta_r(s) = \Delta\theta/s \qquad \text{-----(27)}$$

จากสมการที่ 25 สำหรับ PLL ที่มีค่าลูปเกนสูง ๆ จะได้เฟสเออเรอร์จากการเปลี่ยนแปลงเฟสอินพุทได้ว่า

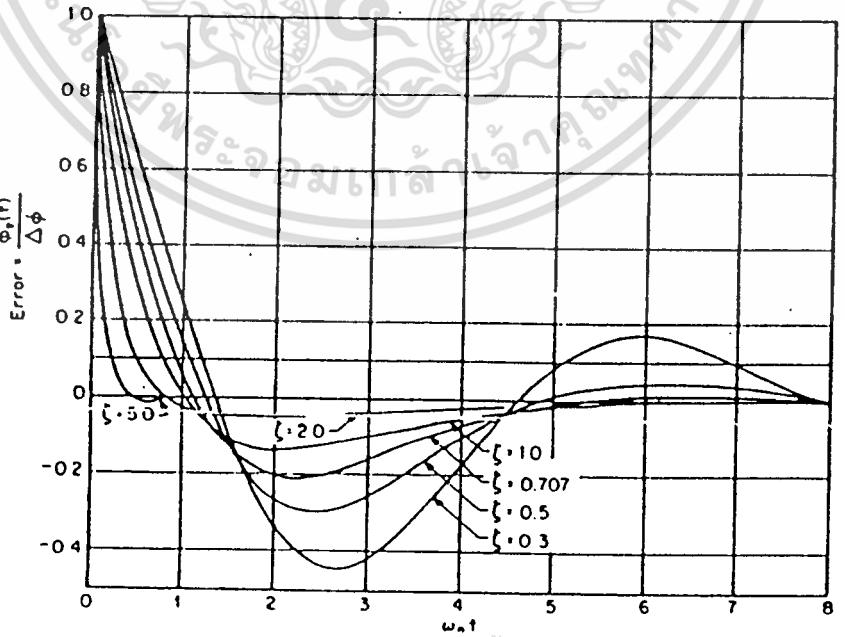
$$\theta_e(s) = \frac{\Delta\theta S^2}{S(S^2 + 2\Sigma W_n S + W_n^2} \qquad \text{-----(28)}$$

เมื่อต้องการทราบผลตอบสนองของ θ_e ในรูปของเวลาทำได้โดยอินเวอสลาปลาซสมการที่ 28 จะได้

$$\theta(t) = \Delta\theta\left(\cos\sqrt{1-\Sigma^2}W_n t - \frac{\Sigma}{\sqrt{1-\Sigma}}\sin\sqrt{1-\Sigma^2}W_n t\right)e^{-\Sigma w_n t} \quad \text{เมื่อ } \Sigma<<1$$

$$\theta(t) = \Delta\theta(1-W_n t)e^{-w_n t} \quad \text{เมื่อ } \Sigma = 1$$

$$\theta(t) = \Delta\theta\left(\cosh\sqrt{\Sigma^2-1}\,W_n t - \frac{\Sigma}{\sqrt{\Sigma^2-1}}\sinh\sqrt{\Sigma^2-1}W_n t\right)e^{-\Sigma w_n t} \quad \text{เมื่อ } \Sigma>1$$



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สำหรับเฟสเออเรอร์ต่อสัญญาณอินพุทในสภาวะ steady state) ทำได้โดยแทนค่า $\theta_e(s)$ สมการ 27 ในสมการ 7

$$\theta_e(s) = \frac{S}{S + K_o K_d F(s)} \quad \frac{\Delta S}{S} \qquad \text{-----(29)}$$

โดยใช้ทฤษฎีค่าสุดท้าย (final value theorem) สำหรับลาปลาซทรานฟอร์ม สำหรับหาสภาวะของระบบในขณะเป็น steady state จะได้

$$\lim_{t\to\infty} \theta_e = \lim_{s\to 0} S\,\theta(s) = \frac{S\Delta\theta}{S + K_o K_d F(s)/N} \qquad \text{-----(30)}$$

$$= 0$$

ซึ่งหมายถึงค่าสำหรับอินพุทที่เป็นการเปลี่ยนแปลงทางเฟส ค่าเฟสเออเรอร์ของลูปจะเป็นศูนย์

2. ผลตอบสนองการเปลี่ยนความถี่ (frequency step response)

เมื่อสัญญาณอินพุทเป็นการเปลี่ยนแปลงทางความถี่หรือการเลื่อนจากความถี่หนึ่งไปสู่อีกความถี่หนึ่งสมการความถี่ของอินพุทเขียนได้เป็น

$$W_i = W_o + \Delta W_n(t) \qquad \text{-----(31)}$$

W_o = ความถี่อินพุทเดิม

W_i = ความถี่ที่เปลี่ยนแปลงใหม่

ΔW = ขนาดของความถี่ที่เปลี่ยนแปลง

ดังนั้นเฟสอินพุทเขียนได้เป็น

$$\theta_r(t) = \Delta W_t \qquad \text{-----(32)}$$

หรือใน s โดเมน

$$\theta_r(s) = \frac{\Delta W}{S^2} \qquad \text{-----(33)}$$

จากสมการที่ (28) สำหรับ PLL ที่มีค่าลูปเกนสูง ๆ จะได้เฟสเออเรอร์จากการเปลี่ยนแปลงความถี่ได้ว่า

$$\theta_e(s) = \frac{\Delta W S^2}{S^2(S^2 + 2\Sigma W_n S + W_n^2)} \qquad \text{-----(34)}$$

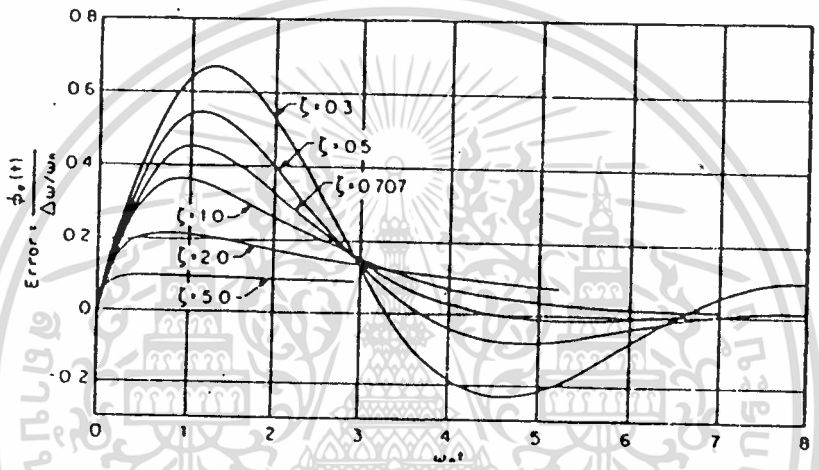
ผลตอบสนองของทรานเฟอร์ฟังก์ชั่นหาได้โดยการอินเวอสลาปลาซสมการ 34 จะได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$\theta(t) = \frac{\Delta W}{W_n\sqrt{1-\Sigma^2}}\left(1 - \sqrt{1-\Sigma^2}\, W_n t\right)e^{-\Sigma W_n t} \qquad \text{เมื่อ } \Sigma < 1$$

$$\theta(t) = \frac{\Delta W}{W_n}\left(W_n t\right)e^{-W_n t} \qquad \text{เมื่อ } \Sigma = 1$$

$$\theta(t) = \frac{\Delta W}{\Delta W_n\sqrt{\Sigma^2-1}}\left(1 - \sin\sqrt{\Sigma^2-1}\, W_n t\right)e^{-\Sigma W_n t} \qquad \text{เมื่อ } \Sigma > 1 \qquad \text{-----(35)}$$



สำหรับเฟสเออเรอร์ในสภาวะ steady state แทนค่าสมการเฟสอินพุทสมการที่ 33 ลงในสมการที่ 7

$$\theta_e(s) = \frac{S}{S + K_o K_d F(s)}\,\frac{\Delta W}{S^2} \qquad \text{-----(36)}$$

ใช้ทฤษฎีค่าสุดท้าย steady state error จะได้

$$\lim_{t\to\infty} \theta_e(t) = \lim_{s\to 0} S\theta_e(s) \qquad \text{-----(37)}$$

หรือ $$\theta_e(\infty) = \frac{\Delta W}{K_o K_d F(o)} \qquad \text{-----(38)}$$

โดยค่า F(o) เป็นอัตราการขยายของวงจรกรองความถี่ต่ำผ่าน ถ้าในกรณีวงจรชนิด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

พาสซีฟแล้ว

$$N\,\theta_e(\alpha) = \frac{N\,\Delta W}{K_o K_d} \qquad \text{-----(39)}$$

สำหรับวงจรกรองความถี่แบบแอคติฟแล้ว

$$\theta_e(\alpha) = 0 \qquad \text{-----(40)}$$

ซึ่งหมายถึงว่าในทางปฏิบัติแล้วเอาท์พุทเฟสเออเรอร์ของลูปที่ใช้วงจรกรองความถี่แบบแอคติฟให้เอาท์พุทน้อยกว่าลูปที่ใช้วงจรกรองแบบพาสซีส

<u>การเข้าสู่สภาวะล็อคและการติดตามสัญญาณของ PLL</u>

เนื่องจากการประยุกต์ของ PLL ที่สำคัญอันหนึ่งในระบบโทรคมนาคม สำหรับ PLL ก็คือการใช้สำหรับติดตามสัญญาณเพื่อจะทำการดีมอดูเลทหรือทำการซิงค์โครไนสัญญาณขึ้นมาใหม่จากสัญญาณอินพุทซึ่งเป็นแคร์เรีย ดังนั้นการวิเคราะห์ความสามารถติดตามการเปลี่ยนแปลงความถี่ของสัญญาณอินพุทและความสามารถสำหรับเริ่มต้นล็อกความถี่อินพุทซึ่งมีความสำคัญ โดยในที่นี้จะเป็นการวิเคราะห์สำหรับอะนาล็อกเฟสล็อกลูปเท่านั้น

1.พิสัยล็อก (lock range) เป็นพิสัยที่ความถี่ของ VCO ของลูปสามารถติดตามความถี่อินพุท (tracking) หลังจากลูปเริ่มต้นล็อกกับสัญญาณอินพุทแล้ว ดังนั้นอาจเรียกพิสัยแทรคกิ้ง หรือพิสัยโฮล (hold in range) การหาพิสัยล็อกสูงสุดนั้นหาได้จากการ สมมติว่าความถี่ที่ป้อนเข้าลูปเป็นความถี่สูงสุดของ PLL ทำการล็อกได้จากสมการ 37 ซึ่งเป็นเฟสเออเรอร์ของ PLL ที่จำลองระบบในสภาวะที่ค่าของเฟสเออเรอร์มีค่าน้อย ๆ สำหรับเฟสเออเรอร์ที่มีค่ามาก ๆ เขียนได้

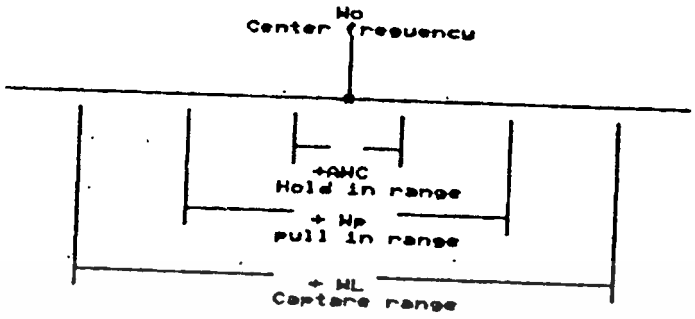
$$\lim_{t\to\infty} \sin\theta_e(t) = \frac{\Delta WH}{K_o K_d F(o)} \qquad \text{-----(41)}$$

ค่า ΔWH เป็นค่าพิสัยล็อกซึ่งจะเกิดขึ้นสูงสุดเมื่อ ฟังก์ชั่น $\sin\theta_e(t)$ มีค่าสูงสุดคือ ± 1 ดังนั้น

$$\Delta WH = K_o K_d F(o) \qquad \text{-----(42)}$$

หรือจะเท่ากับลูปเกนในกรณีของ PLL ที่ใช้วงจรกรองแบบพาสซีส และ ΔWH มีค่าเท่ากับ α กรณี PLL ในวงจรกรองแบบแอคติฟ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

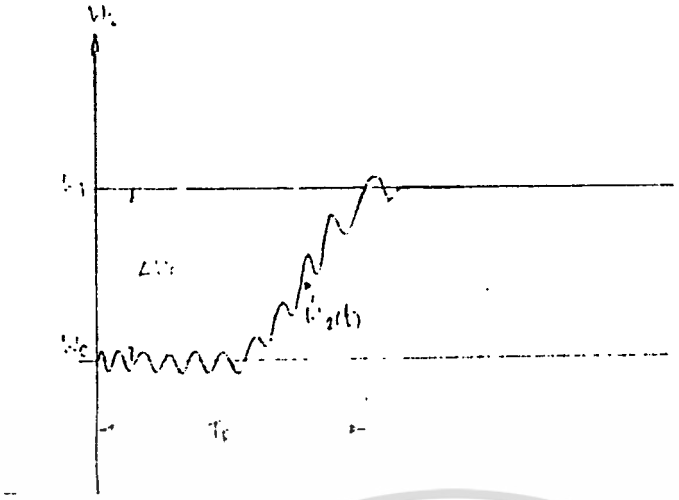


2.พิสัยพูลอิน (pull in range) เป็นพิสัยที่ PLL สามารถจะล็อกกับสัญญาณอินพุทได้โดยลูปอยู่ในสภาวะเริ่มต้นไม่ได้ล็อกกับความถี่อินพุท ปรากฏการเริ่มต้นล็อกสามารถอธิบายได้โดย สมมติให้ลูปเปิดออกระหว่างวงจรกรองความถี่ในลูป (open filter) และ VCO เข้ามาเฟสดีเทคเตอร์ซึ่งเป็นอะนาล็อกมัลติพลายเออร์ จะให้ผลรวมและผลต่างของความถี่ระหว่างความถี่อินพุทและความถี่เอาท์พุท VCO โดยที่เอาท์พุทของวงจรกรองจะมีเพียงผลต่างของความถี่ ถ้าลูปเปิดอย่างทันทีทันใด ผลต่างของความถี่ซึ่งกำหนดให้เท่ากับ ΔW หรือเขียนได้

$$\Delta W = \frac{d\theta_e}{dt} \qquad \text{-----(43)}$$

ความถี่ ΔW จะเป็นสัญญาณอินพุทของ VCO ซึ่งจะมอดูเลทแบบ FM หรือสัญญาณเอาท์พุทเป็นสัญญาณไซด์ โดยขนาดของความถี่เปลี่ยนแปลงตามเวลาถ้าระหว่างขบวนการมอดูเลท ค่าความถี่ของ VCO เคลื่อนเข้าใกล้ความถี่อินพุท ดังนั้นค่า ΔW จะลดลงค่า $d\theta_e/dt$ ลดลง ผลการเปลี่ยนแปลงแรงดันของเฟสดีเทคเตอร์ ทางด้านเอาท์พุทจะช้าลงเมื่อเทียบเวลา แต่ถ้าระหว่างขบวนการมอดูเลท ค่าความถี่ของ VCO เคลื่อนจากความถี่อินพุท จะทำให้ค่า ΔW เพิ่มมากขึ้น ค่า $d\theta_e/dt$ เพิ่มขึ้น แรงดันเอาท์พุทของเฟสดีเทคเตอร์เปลี่ยนแปลงอย่างรวดเร็วเมื่อเทียบกับเวลา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปแสดงการเกิดสัญญาณบีทโน๊ต

ภายใต้เงื่อนไขดังกล่าวแสดงสัญญาณเฟสดีเทคเตอร์เอาท์พุทได้ดังรูปสัญญาณบีทโน๊ตที่เป็นลักษณะไม่สมมาตรจะให้ค่าแรงดันดีซีเฉลี่ย ที่ทำให้ความถี่ของ VCO เคลื่อนที่เข้าไปสู่ความถี่อินพุทจนกระทั่งเท่ากัน หรือเกิดการล็อกช่วงเวลาที่ PLL ใช้สำหรับการล็อกนี้เรียกว่า เวลาพูลอิน (pull in time) โดยถ้า ΔW มากกว่าลูปเกนมาก ๆ แล้ว ($\Delta W >> K_o K_d$) ค่า pull in time จะประมาณได้คือ

$$T_p = \frac{(\Delta W)^2}{2\Sigma W_n^2} \qquad \text{-----(44)}$$

ซึ่งค่า ΔW ที่เป็นความแตกต่างระหว่างความถี่อินพุทและความถี่อิสระของ VCO สูงสุดคือความถี่พูลอิน จะมีขนาดประมาณเท่ากับ

$$\Delta W_p = 6\sqrt{\Sigma W_n K_o K_d} - W_n^2 \qquad \text{-----(45)}$$

3.พิสัยแคปเจอร์ เป็นพิสัยที่ PLL สามารถจะล็อกกับความถี่อินพุทโดยสภาพของลูปไม่ได้เริ่มต้นล็อกเช่นเดียวกับพิสัยพูลอิน แต่พิสัยแคปเจอร์นี้ช่วงความถี่จะแคบกว่า โดยผลต่างความถี่อินพุทเข้ามากับความถี่ของ VCO ไม่ทำให้เกิดลักษณะสัญญาณบีทโน๊ต ที่เอาท์พุทของของเฟสดีเทคเตอร์ หรือกล่าวได้ว่าผลต่างของความถี่สามารถผ่านลูปฟิลเตอร์ โดยไม่ถูกลดทอน ดังนั้นเขียนสมการของความถี่สูงสุดของ VCO เอาท์พุทได้จากการถูกมอดูเลท โดยแรงดันที่ผ่านลูปฟิลเตอร์นี้ได้คือ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารนี้ทุกครั้งที่มีการนำไปใช้

$$\Delta WC = K_o K_d |F(j\Delta w)| \qquad -----(46)$$

โดย $|F(j\Delta w)|$ เป็นอัตราการลดทอนของวงจรกรองความถี่ต่อความถี่ที่แตกต่างกันระหว่างความถี่อินพุทและความถี่ของ VCO (ที่เป็นความถี่อิสระ) สำหรับวงจรกรองความถี่แบบพาสซีฟ ขนาดของแมกนีจูดทรานเฟอร์ฟังก์ชั่นแสดงได้คือ

$$|F(jw)| = \frac{\sqrt{1 + (WT_2)^2}}{\sqrt{1 + (WT_1)^2}} \qquad -----(47)$$

ดังนั้นประมาณได้ว่า

$$|F(j\Delta w)| = \frac{\tau_2}{\tau_1} \qquad -----(48)$$

ดังนั้น

$$\Delta WC = K_o K_d \frac{\tau_2}{\tau_1} \qquad -----(49)$$

หรือ

$$\frac{\Delta WC}{} = \frac{2\Sigma W_n}{} \qquad -----(50)$$

$$\Delta WC = K_o K_d \qquad -----(51)$$

PLL ต่อสัญญาณอินพุทที่มีสัญญาณรบกวน

ในกรณีที่อินพุทของ PLL มีสัญญาณรบกวน(noise) เขียนได้เป็น

$$V_i(t) = V_s \sin(w_1 t + \theta_1) + n(t) \qquad -----(52)$$

สัญญาณรบกวน $n(t)$ เป็นน้อยล์ที่ผ่านวงจรกรองความถี่ผ่านกรองเข้า PPL ดังนั้น สามารถแสดงได้ว่า

$$n(t) = n_c(t)\cos w_1 t - n_s(t)\sin w_1 t \qquad -----(53)$$

สำหรับแรงดันจากเอาท์พุทของ VCO สำหรับ PPL ทำให้เฟสดีเทคเตอร์แบบมัลติพลายเออร์(multiplier) เมื่อลูปล็อกสัญญาณเอาท์พุทต่างเฟสกับอินพุท 90 ดังนั้นเขียนได้

$$V_o(t) = V_o \cos(w_1 + \theta_o) \qquad -----(54)$$

ดังนั้นที่เอาท์พุทของเฟสดีเทคเตอร์เขียนได้

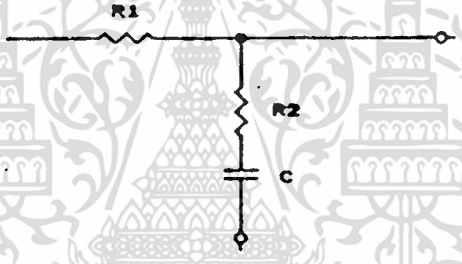
$$V_d(t) = K_m V_i(t) V_o(t) \qquad -----(55)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$V_d(t) = 1/2[K_m V_m V_o \sin(\theta_1-\theta_o)]+1/2[K_m N_c V_o \cos\theta_o]+$$
$$1/2[K_m V_o N_m \sin\theta_o]+1/2[K_m V_m V_o (2w_1 t+\theta_1+\theta_o)]$$
$$+1/2[K_m V_o N_c \cos(2w_1 t+\theta_o)]-1/2[K_m V_o N_m \sin$$
$$(2w_1 t+\theta_o)] \qquad -----(56)$$

โดย K_m เป็นค่าคงที่ของการคูณ

ในการวิเคราะห์ผลของสัญญาณรบกวน เราสนใจเฉพาะสามเทอมแรกของสมการ (5) โดยเทอมที่เป็นความถี่สองเท่าของความถี่อินพุทและ VCO จะถูกกรองทิ้งโดยวงจรกรองความถี่ต่ำผ่านในรูป



รูปที่ 15

และกำหนดค่าดังนี้ เฟสดีเทคเตอร์ $V_d = 1/2[K_m V_m V_o]$ ดังนั้นสมการ (5) เขียนได้ดังนี้

$$V_d(t) = K_d \sin(\theta_1-\theta_o) + [n_c K_d \cos\theta_o]/V_m +$$
$$[n_m K_d \sin\theta_o]/V_m \qquad -----(57)$$

และกำหนด $n(t)$

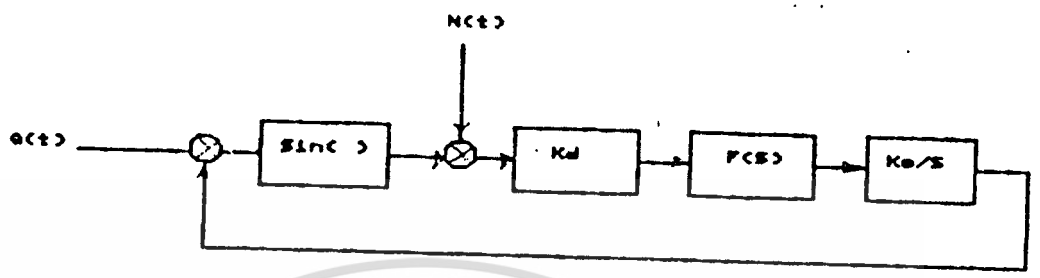
$$n(t) = n_c(t)\cos\theta_o/V_m + n_m(t)\sin\theta_o/V_m \qquad ---(58)$$

ดังนั้นเอาท์พุทของเฟสดีเทคเตอร์เขียนได้ด้วย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น และไม่อนุญาตให้ดัดแปลงเนื้อหา รวมถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$V_n(t) = K_d[\sin(\theta_i - \theta_o) + n(t)] \qquad \text{-----(59)}$$

ซึ่งทำให้แบบจำลองของวงจรเฟสดีเทคเตอร์และระบบ PLL แสดงได้ดังรูป



สำหรับลูปในรูป เฟสของเอาท์พุท $\theta_o(t)$ ที่แกว่งเนื่องจากสัญญาณรบกวน หรือเรียกว่าจิตเตอร์ โดยเราสามารถหาค่าเปลี่ยนแปลงที่ได้โดยเป็นค่า เฟสเออเรอ วาเรียนซ์(phase error variance) โดยหาจาก

$$\sigma_n^2 = 1/2\pi\int_{-\alpha}^{+\alpha}|H(w)|^2 s_n(w)dw \qquad \text{-----(60)}$$

โดย

$$H(w) = [K_o K_d F(s)/s]/[1+K_o K_d F(s)/s] \qquad \text{----(61)}$$

สมมุติ s_n เป็นกำลังสเปคตรัมของน้อยส์อินพุทของไวท์เกาส์เซียนนอยส์ ซึ่งจะมีความเข้มข้นคงที่ตลอดความถี่ ตั้งแต่ความถี่ 0 Hz เป็นต้นไปดังนั้นเราสามารถประมาณสเปคตรัมของนอยส์อินพุทได้ดังนี้

$$S_n = N_o \cdot 1/V^2 \qquad \text{-----(62)}$$

แทนสมการ (58) ลงใน (59) จะได้

$$\sigma_n^2 = N_o/V^2 \cdot 1/2\pi\int_{-\alpha}^{+\alpha}|H(w)|^2 dw \qquad \text{-----(63)}$$

จากสมการ (63) เรานิยามลูปนอยส์แบนด์วิดท์ BL

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$BL = 1/2\pi \int_0^{\alpha} |H(w)|^2 dw \quad [Hz] \qquad -----(64)$$

สำหรับลูปที่ใช้วงจรกรองแบบพาสซีฟ สำหรับลูปเกนสูงๆ แล้วค่าน้อยส์แบนด์วิดท์ประมาณได้ดังนี้

$$BL = 1/2\ w_n(\Sigma+1/4\Sigma) \qquad -----(65)$$

และสำหรับพาสซีฟฟิลเตอร์น้อยส์แบนด์วิดท์เท่ากับ

$$BL = 1/2\ w_n(\Sigma+1/4\Sigma) \qquad -----(66)$$

ดังนั้นสมการ (63) จะได้

$$\theta_n^2 = 2N_oBL/V^2 \quad [rad] \qquad -----(67)$$

ถ้าเรานิยาม

$$\theta_n^2 = 1/2S_NR_L \qquad -----(68)$$

โดย S_NR_L เป็น signal to niose ของลูปจะได้

$$S_NR_L = [V^2/2]/[2N_oBL] \qquad -----(69)$$

ซึ่งหมายถึงว่าค่าลูปแบนด์วิดท์จะเป็นตัวบอกว่าคุณภาพของลูปว่าสามารถปรับปรุง อัตราส่วนสัญญาณต่อสัญญาณรบกวนขึ้นได้ดีเพียงใด และกำหนดก่อนหน้า PLL ว่าวงจรมีแบนด์วิดท์ เท่ากับ B_{if} แล้วเราสามารถหาค่ากำลังของน้อยส์ทางด้านอินพุทได้คือ

$$P_n = N_oB_{if} \qquad -----(70)$$

ดังนั้นสมการ (70) เขียนได้ใหม่คือ

$$S_NR_L = S_NR_iB_{if}/2BL \qquad -----(71)$$

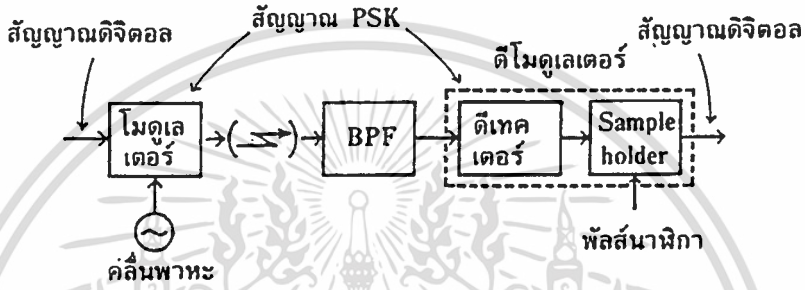
โดย $S_NR_i = P_i/P_n$, กำลังสัญญาณอินพุทต่อกำลังของนอยส์อินพุท หรือสมการ (69) เขียนได้ใหม่คือ

$$\theta_n^2 = BL/B_{if}S_NR_i \qquad -----(72)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

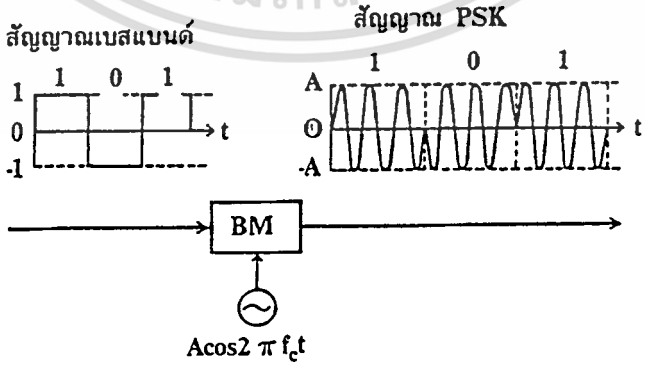
2.5 หลักการของไบนารีพีเอสเค (BINARY PSK) โมดูเลเตอร์และดีโมดูเลเตอร์

ทางด้านส่งมีโมดูเลเตอร์ ซึ่งเปลี่ยนสัญญาณดิจิตอลเป็นสัญญาณพีเอสเค ทางด้านรับมีแบนด์-พาสฟิลเตอร์ และดีโมดูเลเตอร์ ซึ่งจะเปลี่ยนสัญญาณพีเอสเค เป็นสัญญาณดิจิตอลอันเดิม ดีโมดูเลเตอร์ประกอบด้วยดีเทคเตอร์ และ แซมเปิล โฮลเตอร์



รูปที่ 1 การรับ-ส่งสัญญาณดิจิตอล

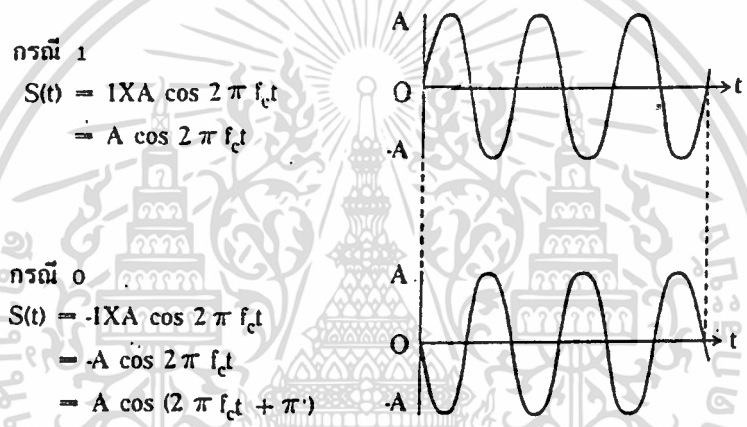
โดยทั่วไปแล้วการโมดูเลทพีเอสเคจะใช้บาลานซ์โมดูเลเตอร์ สมมติว่าสัญญาณดิจิตอลเบสแบนด์อยู่ในรูปคลื่นสี่เหลี่ยมมีแอมปลิจูดเท่ากับ 1 สำหรับรหัส 1 และมีแอมปลิจูดเท่ากับ-1 สำหรับรหัส 0 เมื่อคลื่นรูปสี่เหลี่ยมนี้ถูกผสมโดยคลื่นแคเรียร์ $A\cos 2\pi f_c t$ ผ่านวงจรบาลานซ์โมดูเลเตอร์ สัญญาณพีเอสเคที่ได้แสดงดังในรูป



รูปที่ 2 การโมดูเลทสัญญาณดิจิตอล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

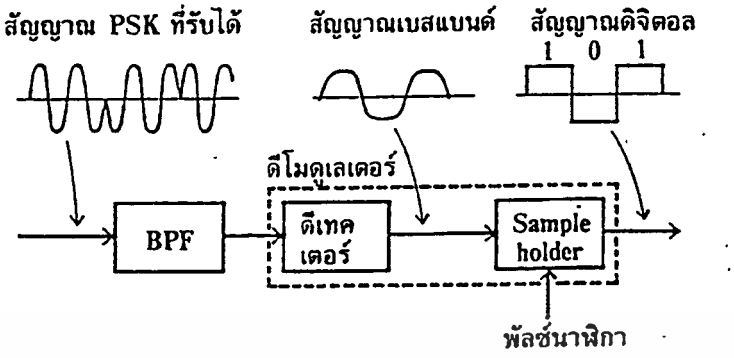
สัญญาณพีเอสเค สำหรับรหัส 1 จะเป็น $S(t) = 1 \times A \cos 2\pi f_c t = A \cos 2\pi f_c t$ ส่วนสัญญาณพีเอสเค สำหรับรหัส 0 จะเป็น $S(t) = -1 \times A \cos 2\pi f_c t = -A \cos 2\pi f_c t$ เราสามารถเขียน $-A \cos 2 f_c t = A \cos(2\pi f_c t + \pi)$ ตามหลักการนี้แสดงว่าสำหรับรหัส 0 เฟสของคลื่นแคเรียร์จะเปลี่ยนไปเท่ากับ ซึ่งจะเห็นได้ชัดเจนดังในรูป



รูปที่ 3 การเปลี่ยนแปลงทางเฟสของคลื่นพาหะ

แบนด์-พาส ฟิลเตอร์ ทางด้านรับรับสัญญาณ ซึ่งมีเสียงรบกวนปนอยู่ด้วยจะถูกดีเทคออกมาที่ดีโมดูเลเตอร์, ดีเทคเตอร์จะเอาสัญญาณเบสแบนด์ออกมาโดยตัดแคเรียร์คอมโปเนนท์ ซึ่งรวมอยู่ในสัญญาณพีเอสเคออกไป สัญญาณเบสแบนด์จะไม่เป็นรูปสี่เหลี่ยมที่สมบูรณ์นัก เนื่องจากการกำหนดแถบความกว้าง โดยตัวกรองความถี่ และเนื่องจากอิทธิพลของเสียงรบกวน แซมเปิลโฮลเดอร์ จะสร้างสัญญาณดิจิตอลเดิมขึ้นมาใหม่ผ่านการพิจารณาโพลาลิตี้ บวก หรือ ลบ ของสัญญาณเบสแบนด์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

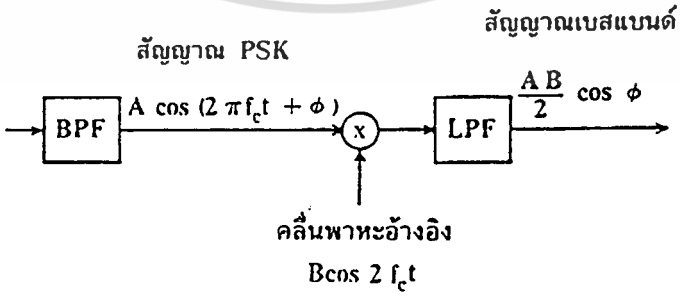


รูปที่ 4 การสร้างสัญญาณขึ้นใหม่ทางด้านรับ

<u>โคฮีเรนท์ดีเทคชั่น</u>

การดีโมดูเลทสัญญาณพีเอสเค ทางด้านรับเป็นแบบ โคฮีเรนท์ดีเทคชั่น ซึ่งมีหลักการดังนี้ สัญญาณพีเอสเค ที่รับได้ ขั้นแรกจะผ่านวงจรมัลติไพล์ ซึ่งจะคูณสัญญาณพีเอสเคที่รับได้ด้วยเรฟฟีเรนซ์แคเรียร์ สำหรับฮาร์โมนิค ซึ่งรวมอยู่ในสัญญาณเอาท์พุท จะถูกตัดออกไปโดยผ่าน โลพาสฟิลเตอร์ และได้สัญญาณเบสแบนด์ออกมาทางด้านทางออก

ถ้าสัญญาณพีเอสเคที่รับเข้ามาคือ $A \cos(2\pi f_c t + \psi)$ คลื่นพาหะอ้างอิงมีไว้เพื่อการซิงโครไนซ์กับคลื่นพาหะทางด้านส่งคือ $B \cos 2 f_c t$ สัญญาณทางออกหลังจากผ่านแอลพีเอฟ (LPF) แล้วสามารถกำหนดได้เป็น $AB/2 \cos \psi$



รูปที่ 5 การรับสัญญาณพีเอสเคทางด้านรับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ทั้งนี้เนื่องจาก

$$A \cos (2\pi f_c t + \psi) \cdot B \cos 2\pi f_c t$$

$$= \frac{AB}{2} ((\cos 2\pi f_c t + \psi + 2\pi f_c t) + \cos(2\pi f_c t + \psi - 2\pi f_c t))$$

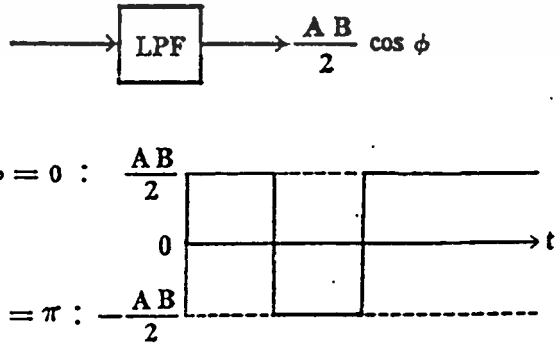
$$= \frac{AB}{2} (\cos (4\pi f_c t + \psi) + \cos \psi)$$

ซึ่ง $\frac{AB}{2} \cos(4\pi f_c t + \psi)$ นี้คือฮาร์โมนิค โดยมีความถี่เป็นสองเท่าของความถี่คลื่นพาหะเดิม ซึ่งจะถูกตัดออกไปเมื่อผ่านโลพาสฟิวเตอร์ ดังนั้น ทางด้านทางออกจึงมีแต่เพียง $\frac{AB}{2} \cos \psi$ เท่านั้น

$\frac{AB}{2} \cos$ นี้ จะได้เป็น $\frac{AB}{2}$ เมื่อ $\psi = 0$ และจะได้เป็น $-\frac{AB}{2}$ เมื่อ $\psi = \pi$ ดังในรูป

สัญญาณเอาท์พุท ในรูปข้างบน ในทางปฏิบัติแล้วไม่ว่าเป็นรูปสี่เหลี่ยมโดยสมบูรณ์ ทั้งนี้เนื่องจากอิทธิพลของแบนด์ลิมิเทชั่น (Band Limitation) และเสียงรบกวน

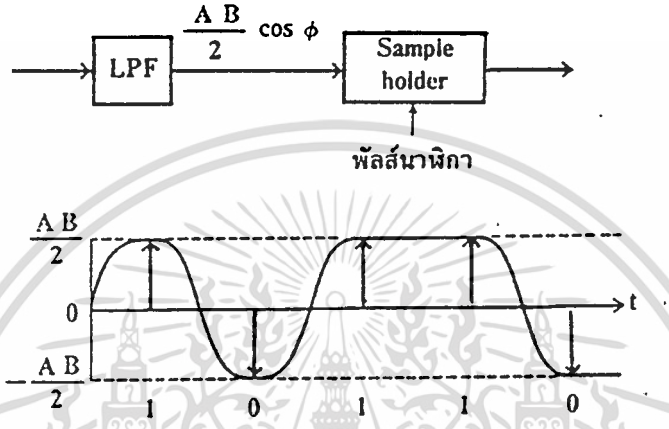
ต่อจากนี้ สัญญาณเบสแบนด์นี้จะถูกส่งไปยังวงจรแซมเปิลโฮลเดอร์ (Sample Holder) ซึ่งวงจรจะทำการสุ่มตัวอย่างสัญญาณเบสแบนด์ด้วยคล็อคพลัลส์ (Clock Pulse) ที่จุดกึ่งกลางของแต่ละรหัสสัญญาณ และกำหนดว่ารหัสนั้นเป็น 1 หรือ



รูปที่ 6 สัญญาณเอาท์พุทหลังจากผ่านแอลพีเอฟ

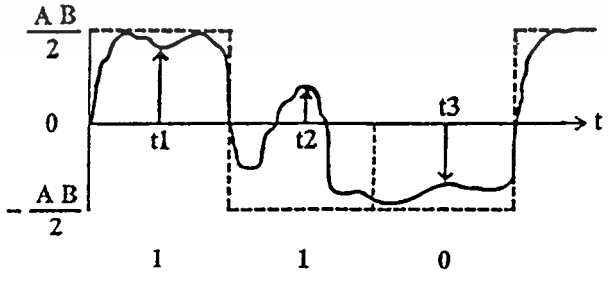
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เป็น 0 โดยการตัดสินหรือ พิจารณาจากโพลาลิตี้(Polarity) ของสัญญาณแซมเปิลนั้นแล้วทำการสร้างดิจิตอลดั้งเดิมขึ้นมาใหม่ ในรูปนี้รหัสเป็น 1 สำหรับสัญญาณที่มีแอมปลิจูดบวก และรหัสเป็น 0 สำหรับสัญญาณที่มีแอมปลิจูดเป็นลบ



รูปที่ 7 การพิจารณารหัสเป็น 1 หรือ 0 โดยแซมเปิลโฮลเดอร์

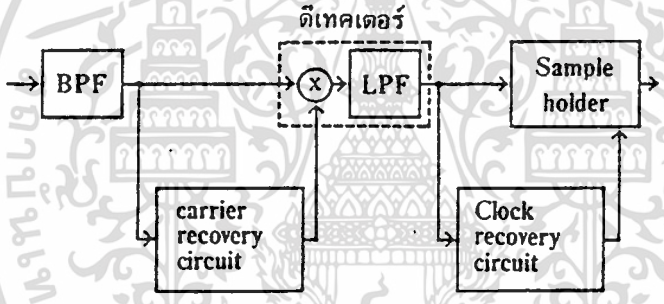
เมื่อสัญญาณมีการผิดเพี้ยนเนื่องจากอิทธิพลของเสียงรบกวน ถ้ามีการผิดเพี้ยนน้อยโพลาลิตี้ของสัญญาณก็ไม่เปลี่ยนแปลง เช่นที่ t_1 และ t_3 รหัสที่ได้ออกมาก็ถูกต้อง แต่ถ้าพิจารณาที่ t_2 โพลาลิตี้ของสัญญาณถูกเปลี่ยนไปในทางตรงข้ามเนื่องจากเกิดการผิดเพี้ยนมาก รหัสที่ได้ออกมาก็จะผิดไปจากรหัสเดิมบิทเออเรอร์ (Bit Error) ก็จะเกิดขึ้น



รูปที่ 8 รหัสผิดเพี้ยนเนื่องจากเสียงรบกวน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปต่อไปนี้เป็นบล็อคไดอาแกรมของโคฮีเรนท์ดีมอดูเลเตอร์มีบีพีเอฟดีเทคเตอร์ แซมเปิลโฮลเดอร์ (Sample Holder), แคเรียร์รีคอเวอรี่ เซอร์คิท (Carrier Recovery Circuit) และ คล็อค รีคอเวอรี่ (Clock Recovery) วงจรแคเรียร์ รีคอเวอรี่ เซอร์คิท จะสร้างคลื่นพาหะอ้างอิงขึ้นมาใหม่ โดยการทวีคูณสัญญาณพีเอสเค ที่รับมาได้ ส่วนคล็อค รีคอเวอรี่เซอร์คิท จะสร้างสัญญาณคล็อคขึ้นมาใหม่ เพื่อใช้สำหรับแซมเปิลโฮลดิ้ง ในวิธีการโคฮีเรนท์ดีเทคชั่นนี้ ทั้งคลื่นพาหะอ้างอิง และสัญญาณคล็อค จะถูกสร้างขึ้นมาใหม่จากสัญญาณพีเอสเคที่รับเข้ามา

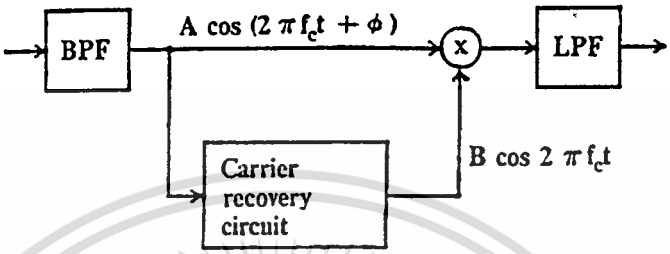


รูปที่ 9 บล็อคไดอาแกรมของโคฮีเรนท์ดีโมดูเลเตอร์

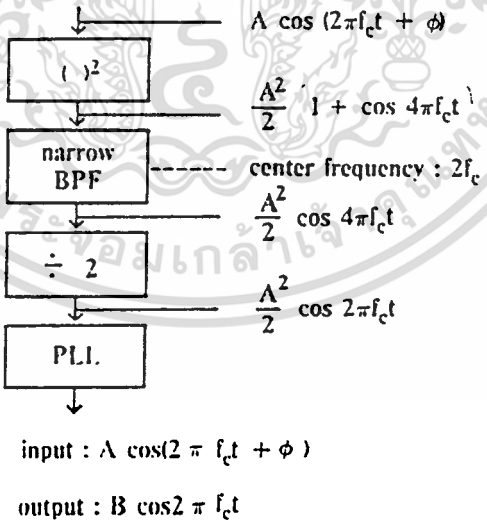
คลื่นพาหะอ้างอิงที่ใช้ในโคฮีเรนท์ดีเทคชั่นนี้ เพื่อการซิงโครไนซ์กับคลื่นพาหะทางด้านส่ง เพื่อจุดประสงค์นี้คลื่นพาหะอ้างอิงถูกสร้างขึ้นใหม่จากสัญญาณพีเอสเค ที่รับเข้ามา สัญญาณอินพุทที่เข้าวงจรแคเรียร์รีคอเวอรี่เซอร์คิท สามารถกำหนดโดย $A \cos(2\pi f_t c + \Psi)$ สัญญาณเอาท์พุทคือคลื่นพาหะอ้างอิงกำหนดโดย $B \cos 2\pi f_t c$

วงจรแคเรียร์รีคอเวอรี่ ประกอบด้วย สแควร์, แนโรว์แบนด์พาสฟิวเตอร์ โดยมีความถี่กึ่งกลางที่ $2f_c$ วงจร 1 ฟรีเควนซี่ดีไวเดอร์ และวงจร เฟสล็อคลูป (Phase Lock loop)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



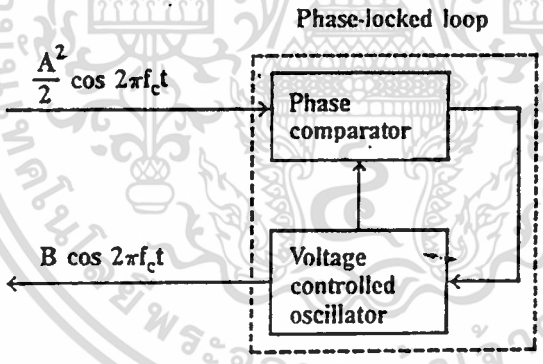
รูปที่ 10 หลักการของแคเรียร์รีคอเวอรี่เซอร์คิท



รูปที่ 11 แคเรียร์รีคอฟเวอรี่เซอร์คิท และสัญญาณตามจุดต่าง ๆ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สัญญาณ $(\frac{A^2}{2}\cos 2\pi f_c t)$ ที่ออกจากวงจรดีไวเดอร์ ปกติจะมีเสียงรบกวนรวมอยู่ด้วย เพื่อที่จะตัดเสียงรบกวนออก และได้คลื่นพาหะอ้างอิงปราศจากการผิดเพี้ยนจึงเป็นต้องใช้วงจรเฟสล็อคลูปช่วย วงจรพีแอลแอล นี้ประกอบด้วย เฟสคอมพาเรเตอร์และโวลเตจคอลโทรลออสซิลเลเตอร์ (VCO) ที่วงจร เฟสคอมพาเรเตอร์ สัญญาณเอาท์พุทของวงจรดีไวเดอร์จะถูกเปรียบเทียบอย่างต่อเนื่องกับเอาท์พุทของวีซีโอ เมื่อมีความต่างทางเฟสระหว่างสัญญาณทั้งสองนี้ สัญญาณเอาท์พุทของวีซีโอ จะถูกควบคุมอย่างอัตโนมัติในการปรับเฟสของสัญญาณทั้งสอง โดยวิธีการนี้คลื่นพาหะอ้างอิง $B\cos 2\pi f_c t$ซึ่งไม่มี เสียงรบกวนรวมอยู่ด้วยสามารถที่จะสร้างขึ้นมาใหม่



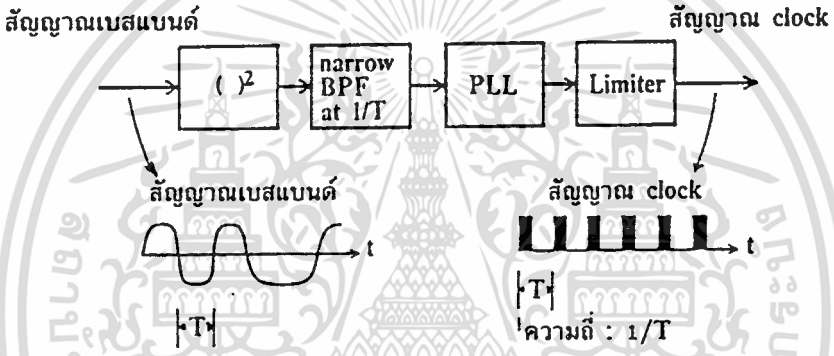
รูปที่ 12 การทำงานของเฟสล็อคลูฟ

คล็อคพลัลส์ ที่จำเป็นสำหรับแซมเปิลโฮลดิ้ง ก็ถูกสร้างขึ้นมาใหม่จากสัญญาณพีเอสเค ที่รับได้เช่นกัน เพื่อจุดประสงค์นี้ ต้องใช้วงจรคล็อครีคอเวอรี่ สัญญาณเบสแบนด์ที่ได้ที่เอาท์พุท ของดีเทคเตอร์โดยทั่วไปจะใช้เป็น สัญญาณอินพุตให้กับวงจร คล็อครีคอเวอรี่

มีอยู่หลายวิธีในการสร้างสัญญาณคล็อคขึ้นใหม่ วงจรข้างล่างนี้ก็เป็นตัวอย่างวงจร

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หนึ่งซึ่งประกอบด้วยสแควร์, แนโรว์ บีพีเอฟ, พีแอลแอล และลิมิเตอร์ สำหรับแนโรว์บีพีเอฟที่ใช้ในวงจรนี้มีความถี่กึ่งกลางของ $\frac{1}{T}$ ซึ่ง T คือ ความกว้างของรหัสตัวหนึ่ง ๆ ดังนั้น $\frac{1}{T}$ คือความถี่ของสัญญาณคล็อคที่ได้ โดยการผ่านสัญญาณเบสแบนด์ที่ได้รับที่เอาท์พุท ของดีเทคเตอร์ผ่านวงจรนี้ เราจะได้รับสัญญาณคล็อค ที่มีความถี่ $\frac{1}{T}$

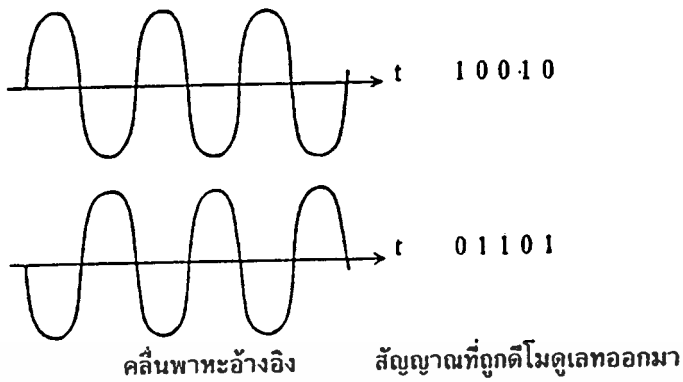


รูปที่ 13 วงจรคล็อครีคอเวอรี่

การผิดพลาดทางเฟส (Phase Ambiguity)

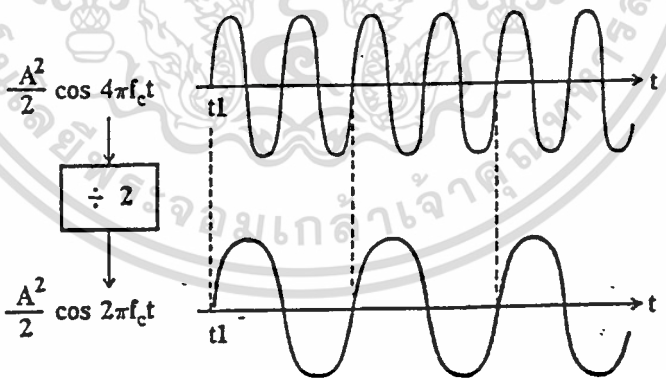
คลื่นพาหะอ้างอิงที่ใช้ในโคฮีเรนท์ดีเทคเตอร์ มีความจำเป็นเพื่อล็อคเฟสกับคลื่นพาหะทางด้านส่ง แต่อย่างไรก็ตาม ปกติแล้วเป็นไปไม่ได้ที่จะทำให้คลื่นพาหะสองชนิดนี้มีการล็อคเฟสซึ่งกันและกันอย่างสมบูรณ์ในไบนารีพีเอสเค ความต่างเฟสเท่ากับ อาจจะมีสาเหตุจากความต่างระหว่างคลื่นพาหะทั้งสอง แต่เป็นไปไม่ได้ที่จะรู้ความต่างเฟสนี้ที่ทางด้านรับ ความไม่สามารถที่จะดีเทคความต่างเฟสนี้เป็นผลทำให้เกิดการผิดพลาดทางเฟส เมื่อคลื่นพาหะอ้างอิงเกิดการเอาท์ออฟเฟส เท่ากับ เครื่องหมายของบิทที่อยู่ในการดีโมดูเลทสัญญาณดิจิตอลจะเกิดการเปลี่ยนกับจาก 1 เป็น 0 และจาก 0 เป็น 1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 14 การผิดพลาดทางเฟส

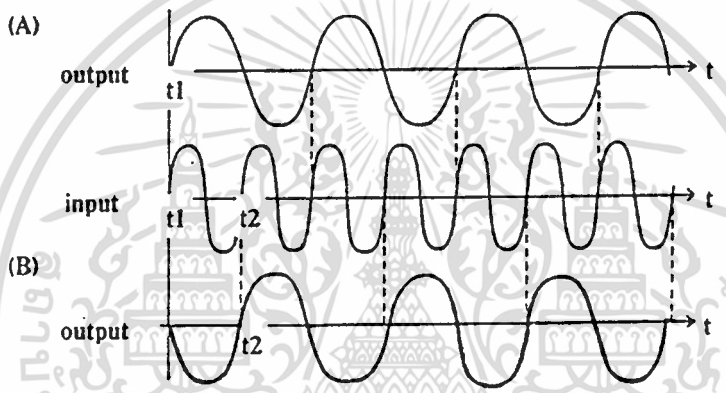
การผิดพลาดทางเฟสมีสาเหตุมาจาก ฟรีเควนซีดีไวเดอร์ ในวงจรแคเรียร์ รีคอเวอรี่ ในการหารความถี่นี้สัญญาณ $\cos 4\pi f_c t$ ถูกหารความถี่ด้วย 2 จะได้ $\cos 2\pi f_c t$ รูปต่อไปนี้แสดงรูปคลื่นดั้งเดิม และรูปคลื่นทางเอาท์พุท ที่ได้หลังการผ่านวงจรหารความถี่ด้วย 2 ซึ่งมีจุดเริ่มแรกที่ t_1 โดยการกำหนดจุดเริ่มแรกที่ต่างกันเราจะได้รูปคลื่นเอาท์พุทที่ต่างกัน



รูปที่ 15 คลื่นสัญญาณเมื่อผ่านวงจรหารความถี่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

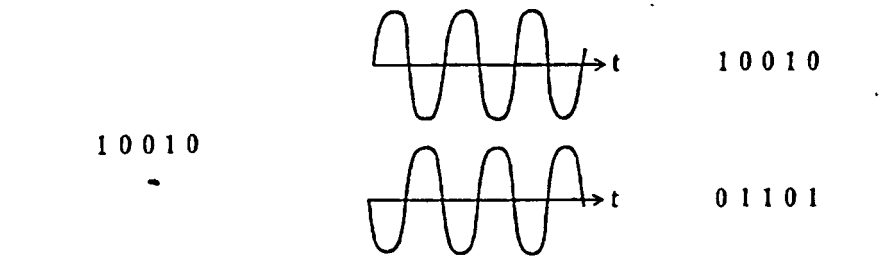
รูปข้างล่างนี้เป็นอินพุทและเอาท์พุทของวงจรหารความถี่ ซึ่งใช้ในวงจรแคเรียร์รีคอเวอรี่ ซึ่งเอาท์พุท (เอ) ได้จากกรณี t_1 เป็นจุดเริ่ม ส่วนเอาท์พุท (บี) ได้จากกรณีให้ t_2 เป็นจุดเริ่ม จะเห็นว่าเอาท์พุททั้งสองกรณีกลับเฟสกัน



รูปที่ 16 เปรียบเทียบเอาท์พุทกรณี t_1 และ t_2 เป็นจุดเริ่ม

เนื่องจากรูปคลื่นเอาท์พุทสองแบบสามารถทำให้เกิดขึ้นได้ที่เอาท์พุทของวงจรหารความถี่ ดังนั้นเราต้องมาพิจารณารูปคลื่นของคลื่นพาหะอ้างอิงสองแบบ แบบหนึ่งเฟสตรงกับคลื่นพาหะทางด้านส่ง และอีกแบบหนึ่งต่างเฟส๑กับคลื่นพาหะ ตามปกติแล้วแบบใดแบบหนึ่งของคลื่นพาหะอ้างอิงในสองแบบนั้น ใช้ในการดีโมดูเลทอยู่แล้ว อย่างไรก็ตามไม่การกำหนดแน่นอนว่าแบบไหนที่ใช้สำหรับการดีโมดูเลท และดังนั้นเราจึงไม่สามารถกำหนดได้ว่าสัญญาณดิจิตอลที่ได้รับหลังจากผ่านการดีโมดูเลทเป็นแบบปกติ หรือ แบบกลับเฟส

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 17 สัญญาณดิจิตอลหลังผ่านการดีโมดูเลท

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 3

การสร้าง

3.1 วงจรที่ออกแบบในเครื่องวัด งานที่ทำสำหรับส่วนนี้แบ่งได้เป็น 2 ชุดคือ

1. ชุดกำเนิดสัญญาณกึ่งแรนดอม
2. ชุดดีเทคบิทผิดแบ่งได้ดังนี้

2.1 ภาคสร้างสัญญาณเปรียบเทียบ

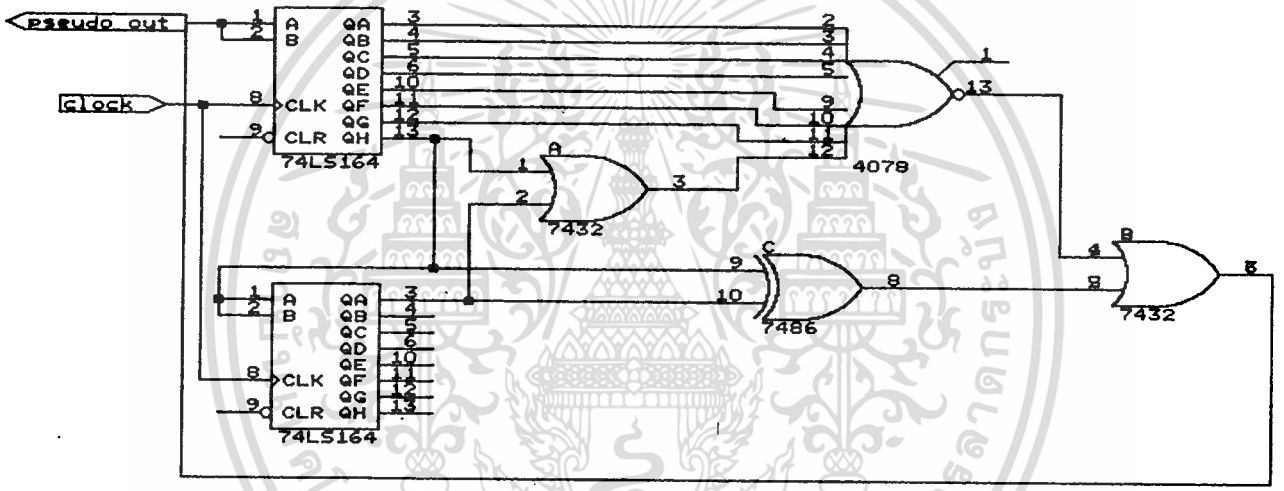
2.2 ภาคสวิทช์

2.3 ภาคควบคุมสวิทช์

1. ชุดกำเนิดสัญญาณกึ่งแรนดอม

ใช้รีจิสเตอร์ทั้งหมด 9 ตัว ในไอซีเบอร์ 74164 ตัวหนึ่งจะมีรีจีสเตอร์ 8 ตัว ดังนั้นเราใช้ไอซีเบอร์ 74164 ทั้งหมด 2 ตัว เพื่อที่จะสร้างสัญญาณกึ่งแรนดอม ให้มีซีเควนสูงสุดเท่ากับ $2^9 - 1$ เท่ากับ 511 สภาวะ รูปวงจรแสดงไว้ในรูปที่ 1 ไอซีเบอร์ 4078 ใช้ป้องกันการเกิดสภาวะ 0 ตลอดในชิพรีจิสเตอร์ เพราะถ้าเอาพุทของ 74164 เป็น 0 ทุกๆขา แล้วไอซีเบอร์ 4078 จะให้เอาพุทลอจิก 1 ส่งไปป้อนอินพุทที่ขา 1,2 ของไอซีเบอร์ 74164 เพื่อให้เกิดการชิพไปสร้างเป็นรหัสกึ่งแรนดอม และจากที่ได้กล่าวทฤษฎีเกี่ยวกับรหัสกึ่งแรนดอมมาแล้ว คุณสมบัติของมันคือ จะให้สภาวะที่เป็นไปได้ทั้งหมดยกเว้นสภาวะ 0 และเมื่อมีรีจิสเตอร์ 9 ตัว รูปแบบของการมีสภาวะเป็นลอจิก 1 หรือ 0 ที่เอาพุทของรีจีสเตอร์ 9 ตัว ที่เป็นไปได้ทั้งหมดก็คือ 2^9 สภาวะ เท่ากับ 512 สภาวะ และจะไม่เกิดสภาวะ 0 ดั้งนั้นสภาวะทั้งหมดจะเป็น 512 - 1 เท่ากับ 511สภาวะ สรุปได้ว่าชุดกำเนิดต้องมีตัวป้องกัน สภาวะ 0 ในระยะเริ่มต้นเพราะถ้าเริ่มต้นเป็น 0 แล้วลอจิก 0 จะถูกชิพไปเรื่อยๆ และที่ตัวบวกแบบมอดูโล 2 จะได้การบวกที่เกิดจาก 0 บวก 0 ทำให้ได้เอาพุทเป็น 0 ไปชิพป้อนกลับต่อไปอีก จึงไม่เกิดสัญญาณออกมา แต่ก็ไม่ได้หมายความว่าสภาวะ 0 จะเกิดเฉพาะตอนเริ่มต้นเท่านั้นในระหว่างการสร้างสัญญาณอย่างต่อเนื่องนั้นในสภาวะล่อแหลมเช่น ในทั้งหมด 9 บิท จาก 9 ขาของรีจีสเตอร์มีขาเดียวที่เป็น 1 อีก 8 ขาเป็น 0 ขาที่เป็น 1 ขาเดียวนี้ถ้าได้รับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูป 1
CODE GENERATOR

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สัญญาณรบกวนที่มีอิมพัลซ์เข้ามา ทำให้เกิดการเปลี่ยนแปลงเล็กน้อย ที่บิทนี้ ถ้ามีเกิดการรบกวนในช่วงขาขึ้นของคล๊อกที่จะเกิดการชิพ ก็อาจทำให้เกิดการชิพบิท 0 แทนที่จะเป็นบิท 1 ได้สภาวะเช่นนี้ก็ทำให้เกิดการเป็น 0 ตลอดได้เช่นกัน ดังนั้นชุดป้องกัน 0 ตลอดในที่นี้ใช้ นอร์เกต ร่วมกับ ออร์เกต จึงมีความจำเป็นในวงจรกำเนิดสัญญาน

2. ชุดดีเทคบิทผิด

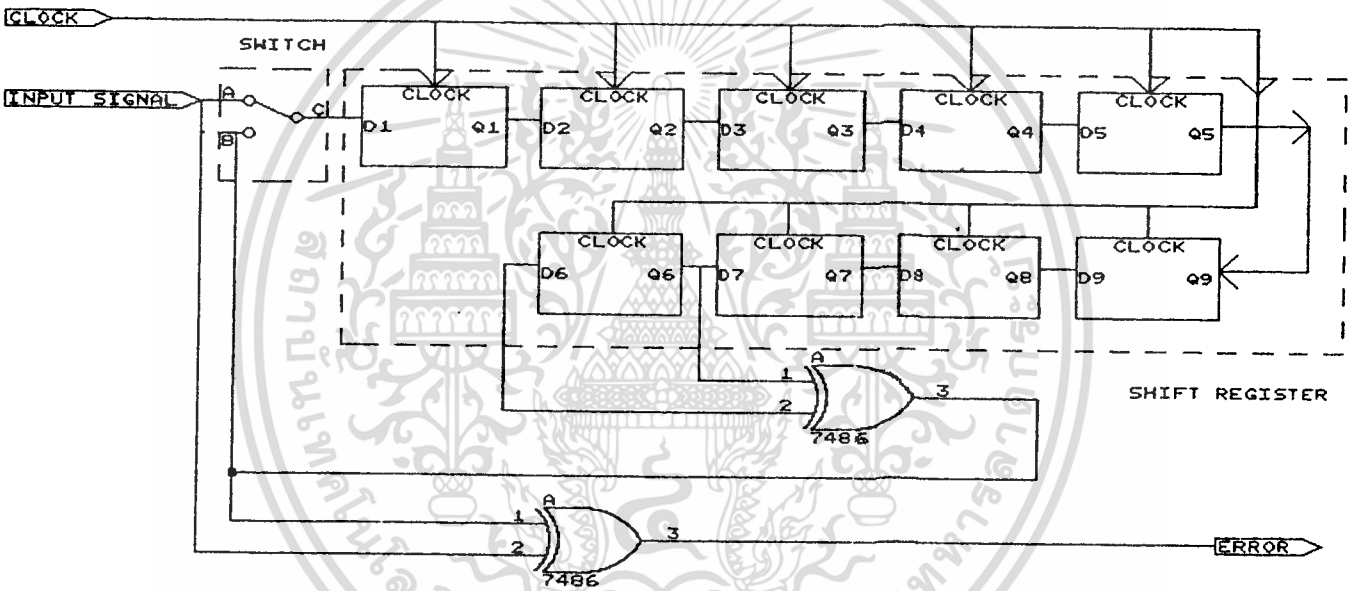
2.1 ภาคสร้างสัญญาณเปรียบเทียบ

ในวงจรรูป 2 เป็นวงจรสมมูลย์ของการดีเทคบิทผิดที่ภาครับ โดยมีเทคนิคที่สำคัญคือ ต้องแทบให้ตรงกับทางด้านส่ง หมายถึงการเลือกลำดับของริจิสเตอร์ โดยนำเอ้าพุทมาบวกกันแล้วป้อนกลับนั้นต้องอยู่ตำแหน่งเดียวกับทางด้านส่งเพื่อให้มีลำดับการเกิดรหัสเหมือนกัน และจะใช้เอ็กคลูซีพออร์เกต มาเป็นตัวบวกแบบมอดูโล 2 ซึ่งส่วนที่บวกนี้ก็เป็นการเปรียบเทียบนั่นเองโดยมีลักษณะการทำงานที่ถ้าอินพุทเหมือนกันก็ให้เอ้าพุทเป็น 1 และบิท 1 นี้ก็คือ บิทผิดที่ปนเข้ามาในสัญญาณส่งนั่นเอง

2.2 ภาคสวิทช์

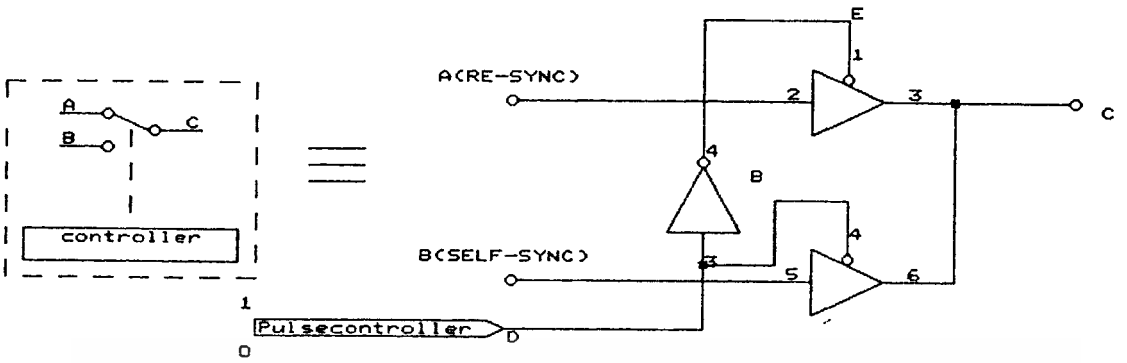
ในช่วงแรกนั้นต้องทำการซิงโครไนซ์ให้ได้ก่อน โดยสวิทช์ต้องสับลงมาที่ตำแหน่งที่จะรับสัญญาณมาจากด้านส่งโดยตรง เป็นการบรรจุชิพริจิสเตอร์ให้ครบจำนวนจากนั้นจึงจะสับกลับ เพื่อป้อนกลับตัวเองทำให้ที่ภาครับสามารถผลิตสัญญาณได้เอง และมีลำดับของรหัสตรงกับทางส่ง เรียกว่า เกิดการซิงโครไนซ์ ในกรณีการสับสวิทช์ด้วยมือ ความเร็วของการเคลื่อนที่ของคอนแทคจากจุดหนึ่งไปยังอีกจุดหนึ่งต้องเร็ว หรือใช้เวลาน้อยกว่าคาบเวลาของคล๊อกจึงจะไม่เกิดการผิดพลาด ซึ่งในการส่งข้อมูลที่ความเร็วสูง เป็นไปไม่ได้ที่มือคนเราจะสับได้ทัน ดังนั้นในการออกแบบสวิทช์จึงต้องใช้ บัพเฟอร์ มาแทนและจะทำงาน ซิงโครไนซ์กับชิพริจิสเตอร์ คือจะทำงานที่ขอบขาขึ้นของคล๊อก ในที่นี้ใช้ไอซีเบอร์ 74125 มาเป็นบัพเฟอร์ รูปวงจรแสดงไว้ในรูป 3 บัพเฟอร์ 2 ตัวจะทำงานสลับกันเพราะมีการอินเวอร์สสัญญาณ โดยน๊อตเกตเบอร์ 7404

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



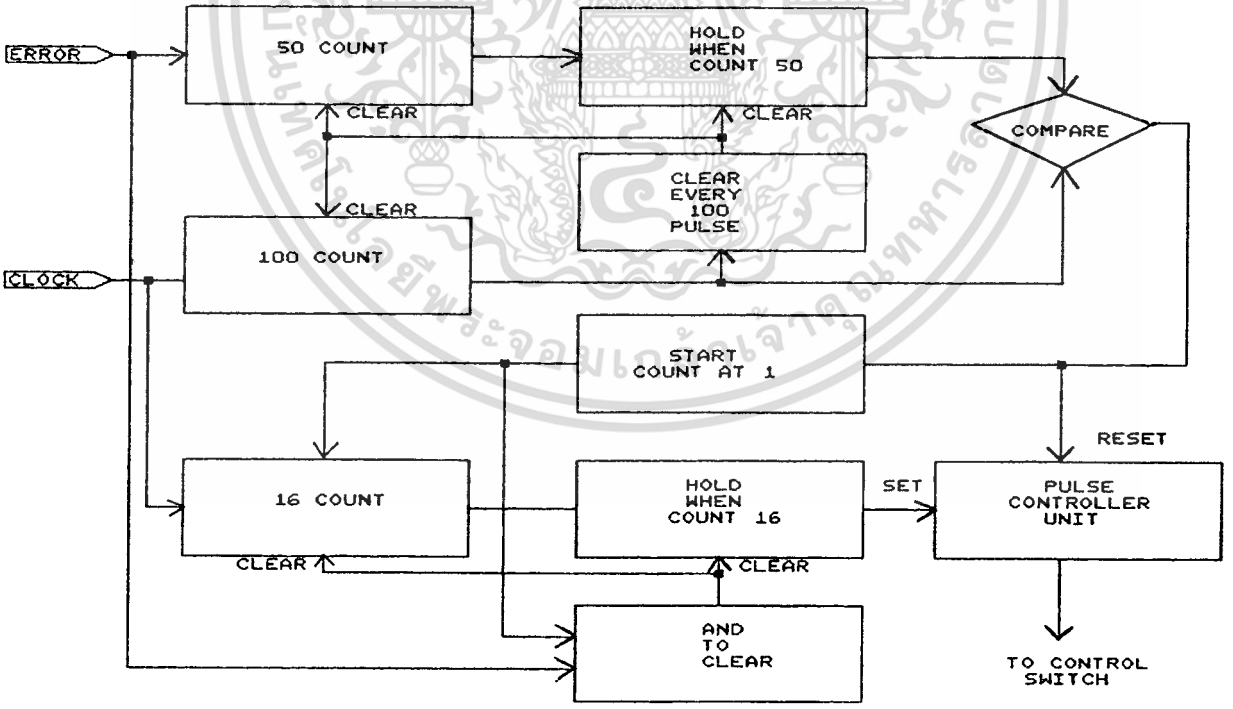
ERROR DETECTOR

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูป 3

ข



รูป 4

ข

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.3 ภาคควบคุมสวิทช์

เมื่อใดที่ควรจะทำการชิงโครไนซ์ใหม่ เป็นคำถามที่ภาคนี้ต้องตอบให้ได้ เพราะภาคนี้จะให้เอ้าพุท 2 สภาวะ คือ 0 และ 1 เพื่อสับสวิทช์ให้ได้สองทาง และตั้งแต่นี้ไปจะเรียกกรณีที่สวิทช์สับไปที่ตำแหน่งให้สัญญาณจากภาคส่งเข้ามาโดยตรงว่า "ตำแหน่งรีชิงโครไนซ์" และเรียกกรณีที่ให้สัญญาณจากตัวเองย้อนกลับว่า "ตำแหน่งชิงโครไนซ์" และภาคควบคุมนี้จะต้องสับสวิทช์ไปที่ตำแหน่งรีชิงโครไนซ์ก็ต่อเมื่อไม่เกิดการชิงโครไนซ์ และสิ่งที่ทำให้เรารู้ได้ว่าไม่เกิดการชิงโครไนซ์ก็คือ เกิดมีบิทผิดเข้ามาเกือบ 50% ขึ้นไป และสาเหตุที่บิทผิดถึง 50% ก็เพราะเอ้าพุทของภาคดีเทคให้เอ้าพุทออกมาเป็นสัญญาณกึ่งแรนดอม และสาเหตุที่ทำให้เกิดการไม่ชิงโครไนซ์มี 2 สาเหตุคือ

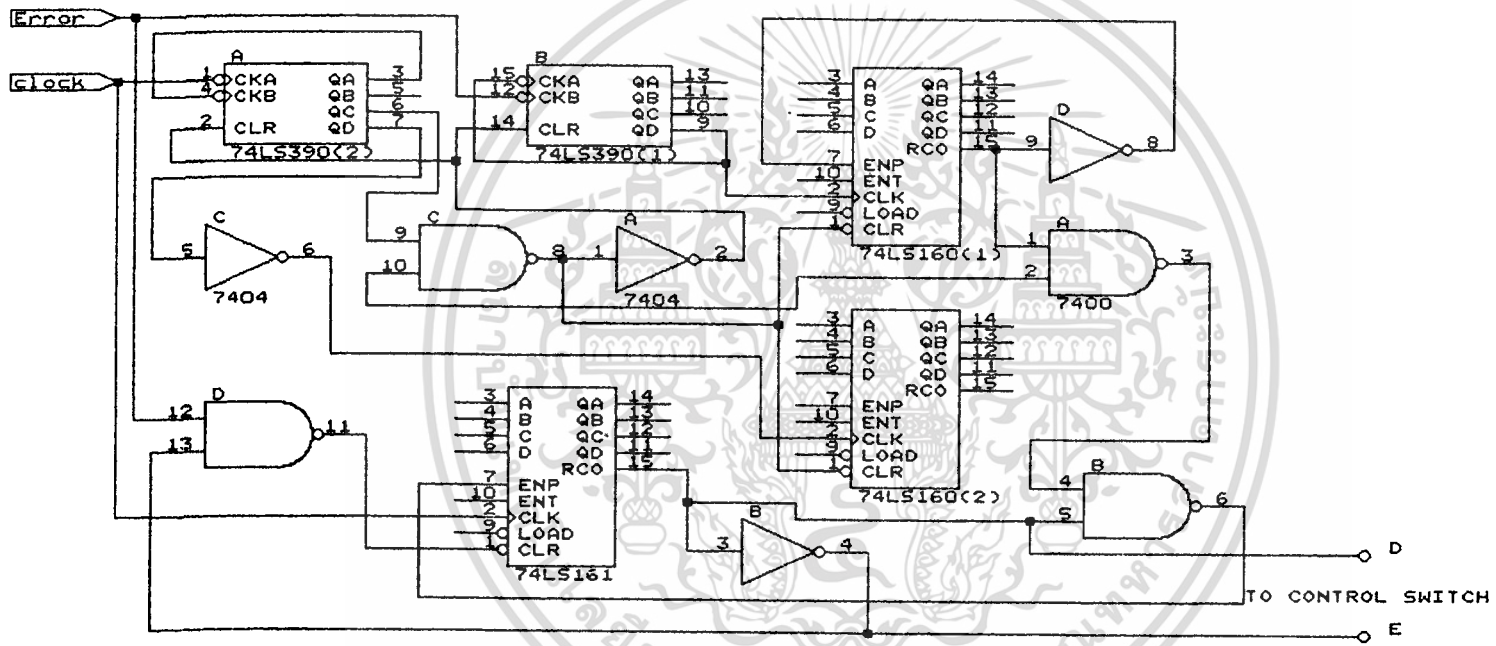
1. เมื่อเริ่มต้นบรรจุชิฟรีจิสเตอร์มีบิทผิดปนเข้าไป
2. เกิดอิมพัลซ์รบกวนทำให้ลำดับเปลี่ยนไป

ในการทำงานของภาคนี้ แสดงได้ด้วยไอออแกรมในรูป 4 หลักการคือมีการเปรียบเทียบจำนวนบิทผิดต่อจำนวนคล๊อค ถ้าในช่วงคล๊อค 100 ลูก มีบิทผิดถึง 50 บิทขึ้นไป แล้วจะส่งสัญญาณไปเซ็ตหน่วยควบคุมพัลซ์ (Pulse Controller Unit) ให้ส่งสัญญาณไปสับสวิทช์ไปที่ตำแหน่งรีชิงโครไนซ์ทันที หลังจากนั้นวงจรนับ 16 จะเริ่มนับ เพื่อรอเวลาให้มีการบรรจุชิพรีจิสเตอร์ได้ครบจำนวน ในที่นี้เผื่อไว้ถึง 16 บิท เมื่อวงจรนับ 16 นับครบ 16 จะส่งสัญญาณไปรีเซ็ตหน่วยควบคุมพัลส์ให้สับสวิทช์มาที่ตำแหน่งชิงโครไนซ์อย่างเดิม แต่ถ้าในช่วงเวลาที่รอบรรจุชิฟรีจิสเตอร์ หรือช่วงเวลาที่กำลังนับ 16 อยู่นั้น เกิดมีบิทผิดขึ้นมาบิทผิดนี้จะไปรีเซ็ตให้เริ่มนับใหม่ เพื่อเป็นการป้องกันไม่ให้เกิดมีบิทผิดปนเข้าไปในชิพรีจิสเตอร์ในช่วงบรรจุนั่นเอง

สำหรับวงจรที่ใช้ในภาคนี้ แสดงไว้ในรูปที่ 5

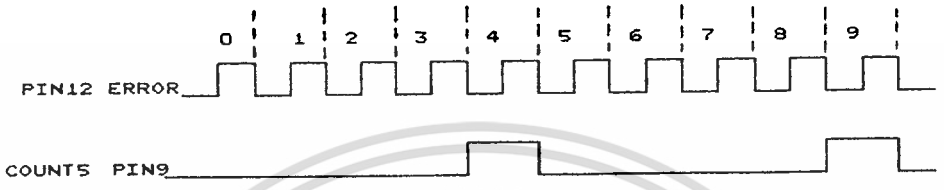
วงจรนับ 50 ประกอบด้วยวงจรนับ 5 ของไอซีเบอร์ 74390(1) อนุกรมกับวงจรนับ 10 ของไอซีเบอร์ 74160(1)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

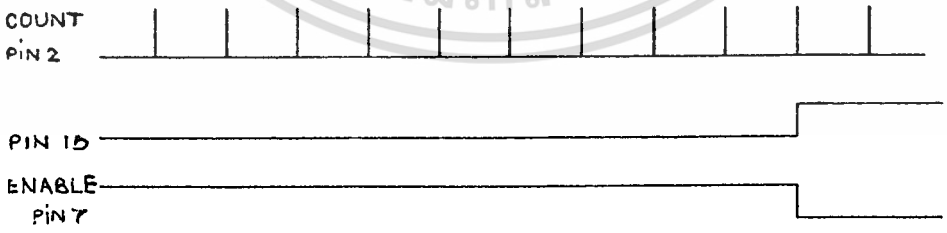


PULSE CONTROLLER CIRCUIT

รูป 5



ผังเวลา (Timing Diagram) วงจรนับ 5 ของไอซีเบอร์ 74390 (1)



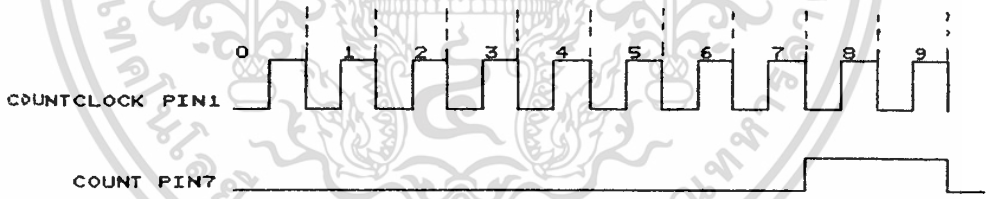
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ผังเวลาวงจรนับ 10 ของไอซีเบอร์ 74160(1)

ที่ไอซี 74390(1)ขา9 ต่อเข้ากับขา 15 เพราะเป็นการนับแบบไบไควนารี (Bi-quinary) แล้วจะนำเอ้าพุทที่ได้จากการนับ 5 มาเข้าอินพุทของวงจรนับ 10 โดยมาต่อกับขา 2ของ 74160(1) ทำให้เป็นวงจรนับ 50 นั่นคือเมื่อมีบิทผิดมานับ 50 บิท เอ้าพุทขา 15 ของ 74160(1) จะเป็นลอจิก 1 ที่ขอบขาขึ้นและจะถูกอินเวอร์สให้เป็น 0 ไปป้อนเข้าขาอีนาเบิล (ขา 7) ทำให้หยุดนับ และจะค้างสภาวะนี้ตลอดไปจนกว่าจะถูกเคลียร์ จึงจะเริ่มนับใหม่

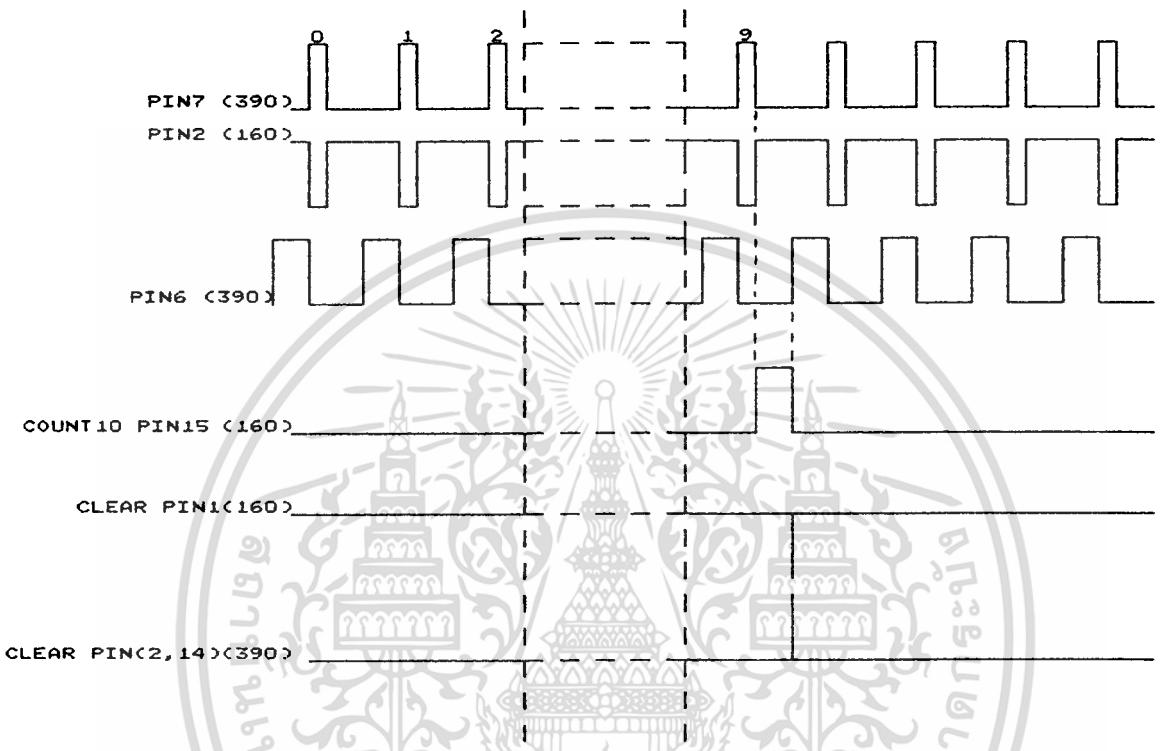
<u>วงจรนับ 100</u>

ประกอบด้วยวงจรนับ 10 ของ 74390(2)มาต่อเป็นการนับแบบบีซีดี (BCD Count Sequence) โดยนำขา 3 ต่อร่วมกับขา 4 ตามข้อกำหนดของไอซีเบอร์นี้ต่ออนุกรมกับวงจรนับ 10 ของไอซีเบอร์ 74160(2)



<u>ผังเวลาวงจรนับ 10 ของไอซีเบอร์ 74390(2)</u>

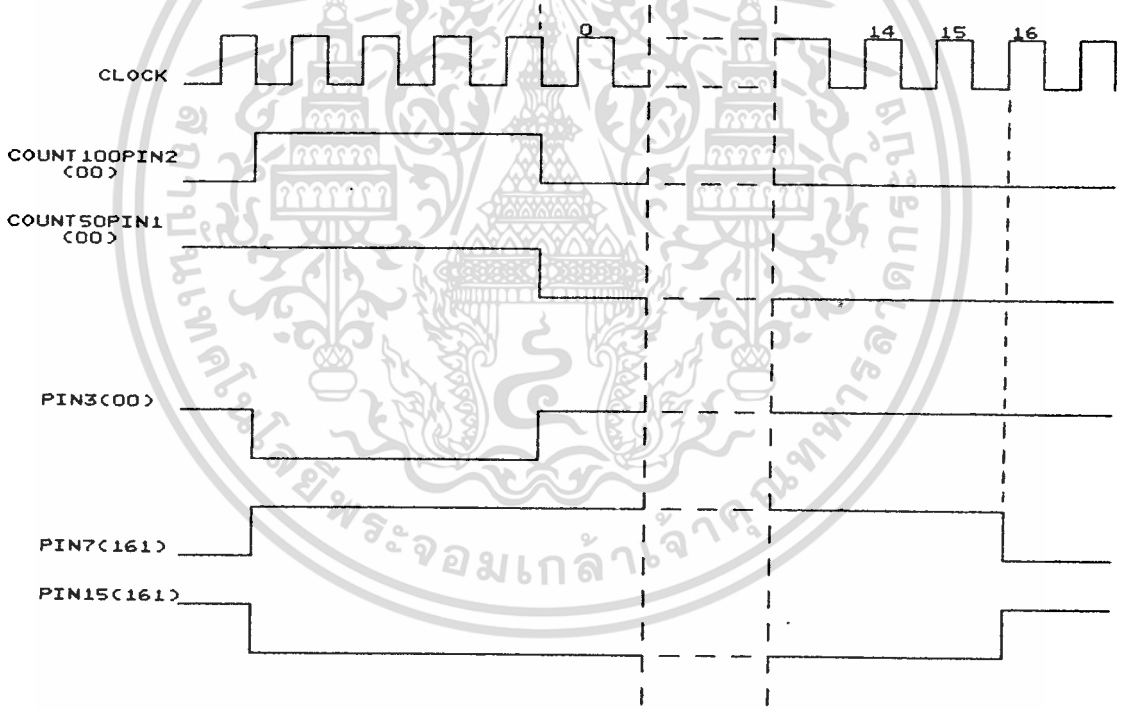
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



ผังเวลาวงจรนับ 10 ของไอซีเบอร์ 74160 (2)ในส่วนของการนับ100

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในวงจรนับ 100 เมื่อนับครบ 100 จะได้เอ้าพุทเป็นลอจิก 1 ที่ขา 15 ของ 74160(2) ไปจนกระทั่งถูกเคลียร์โดย ขา 6 ของ 74390(2) และจากผลต่อเนื่องนี้จะไปเคลียร์ การนับของทั้งการนับ 100 และ นับ 50 ทำให้มีการ เริ่มนับใหม่ ที่จุดนี้ และในกรณีที่วงจรนับ 50 นับได้ 50 ในช่วง 100 คล๊อคนี้ จะมีลอจิก 1 มาค้าง อยู่ที่ขา 1 ของแนนเกต เบอร์ 7400 และเมื่อวงจรนับ 100 ให้เอ้าพุท 1 มาที่ขา 2 ของ7400 ก็จะได้ลอจิก 1 ไปเซ็ตที่ขา 7 ของ 74161 ให้เริ่มนับ 16 และ ส่งลอจิก 0 ออกที่ขา 15 ของ 74161 เพื่อไปควบคุมสวิทช์ให้มาอยู่ที่ ตำแหน่งรีซิงโครโนซ์



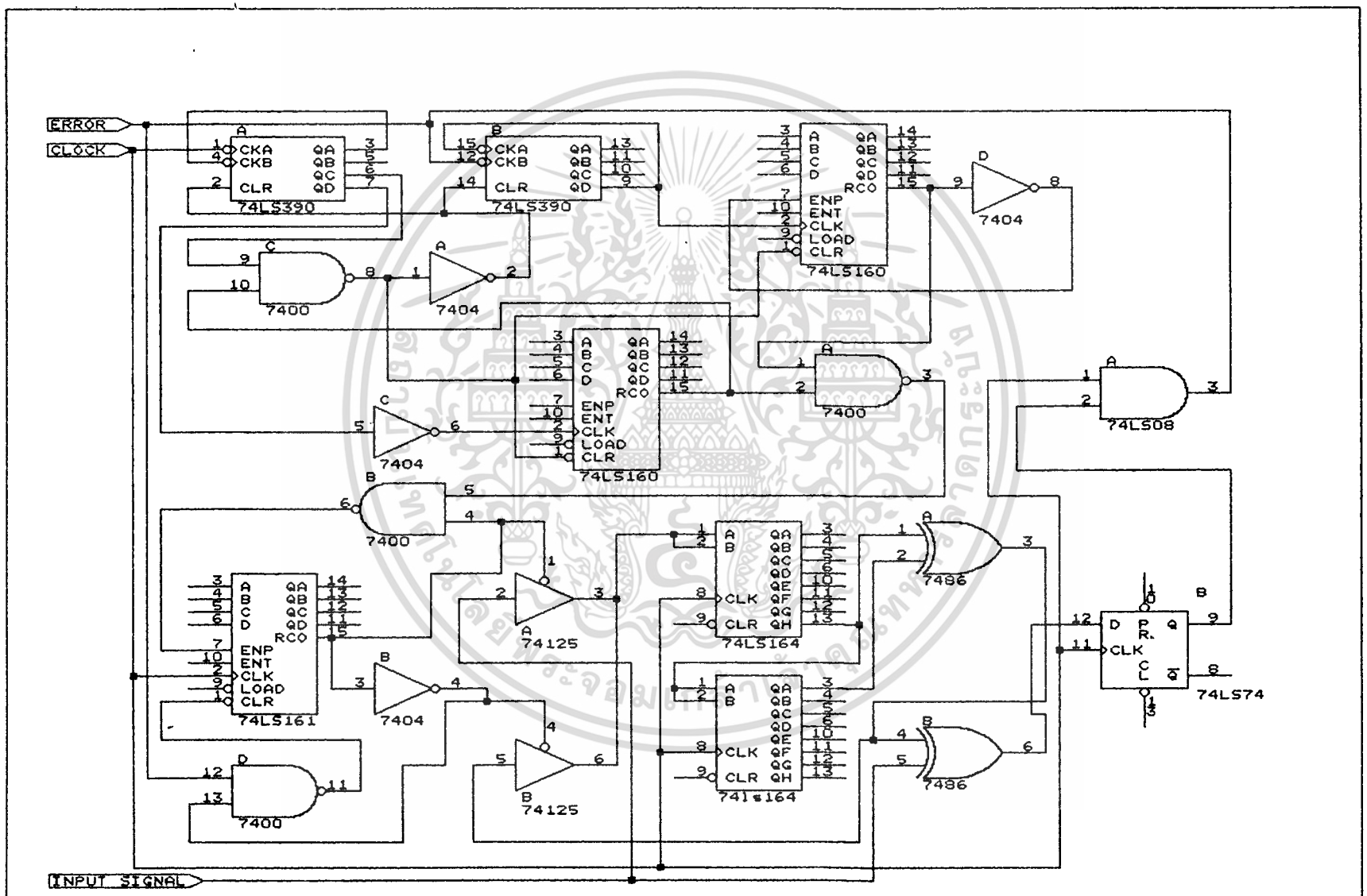
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ผังเวลาของวงจรนับ 16

จากไดอะแกรมของวงจรนับ 16 ที่ขา 15 ของ 74161 ก็คือ เอ้าพุท ของหน่วยควบคุมพัลส์ (Pulse controller unit) นั่นเอง ในตอนนี้จึงสรุปได้ว่า เมื่อ หน่วยควบคุมฟัลส์ให้เอ้าพุท 0 ก็หมายถึง การรีซิงโครไนซ์ และให้เอ้าพุท 1 ก็คือการซิงโครไนซ์ และ จะมีส่วนป้องกันการเอาบิทผิด ไปบรรจุชิพรีจิสเตอร์ คือ นำบิทผิดมาเคลียร์เพื่อรีเซ็ท ให้นับ 16 ใหม่ ในไอซีเบอร์ 74161

วงจรที่สมบูรณ์ ของส่วนดีเทคบิทผิดนี้แสดงไว้ในรูป 6 และยังมี ส่วนปลีกย่อยที่ยังไม่ได้พูดถึงในวงจรคือ ไอซี เบอร์ 7474 และเบอร์ 7408 เบอร์ 7474 นั้นจะเป็นดีฟลิปฟลอป ทำหน้าที่กำจัดพัลส์เล็ก ๆ ที่เกิดจากการเหลื่อมกันในการบวกของเอ็กซ์คลูซีพ-ออร์เกต เพราะ พัลส์เล็ก ๆ นี้ จะไม่ใช่บิทผิด แต่สามารถทำให้ ชุดนับบิทที่ผิด เพื่อแสดงผลออกจอคอมพิวเตอร์สามารถนับค่าได้ แต่ความจริงค่าที่นับได้นี้ไม่ใช่ความผิดพลาดในการสื่อสารข้อมูล ดังนั้นเพื่อป้องกันการผิดพลาดในจุดนี้เราจึงต้องกำจัดพัลส์เล็กๆเหล่านี้ออกไป และแอนเกต เบอร์ 7408 ทำหน้าที่ให้มีช่องว่างระหว่างบิทผิดที่ติดกัน เพื่อให้เกิดขอบของลอจิกในการนำเข้าไปนับ และสามารถทำได้โดยการแอน (AND)กับคล๊อค

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้


ERROR
CLOCK
INPUT SIGNAL
74LS390
74LS160
74LS161
74LS164
74LS08
74LS74
7400
7404
7486
74125
CKA
CKB
CLR
QA
QB
QC
QD
A
B
C
D
RCO
ENP
ENT
CLK
LOAD
CLR
PR
Q

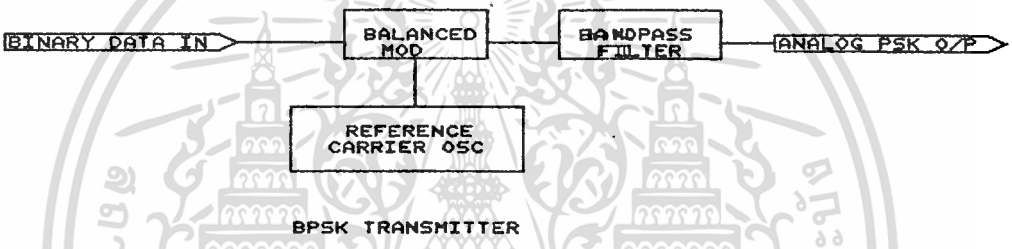
ภาพ 6

3.2 การสร้างโมเด็ม

โดยวิธีการมอดบีพีเอสเค (BPSK) ให้เฟสออฟชั่นสองเฟสที่เป็นไปได้สำหรับการมอดูเลทที่แคเรียร์เดียว เฟสออฟชั่นหนึ่งจะแสดงลอจิคหนึ่ง (Logic 1) และเฟสออฟชั่นอีกค่าจะแสดงลอจิคศูนย์ (Logic 0) สัญญาณดิจิตอลอินพุทเปลี่ยนเฟสของออฟชั่นแคเรียร์โดยการชิพระหว่างสองมุม คือ 180 องศาและเอาท์ออฟเฟส (Out of Phase)

บีพีเอสเค ทรานสมิสเตอร์ (BPSK Transmitter)

จากรูป 0



BPSK TRANSMITTER

จากรูปแสดงตัวอย่างของบล็อคไดอะแกรม (Block Diagram) ของบีพีเอสเคมอด (BPSK Mod) ทำหน้าที่คล้ายเฟสรีเวิสท์ซิ่งสวิทช์ (Phase Reversing Switch) ให้อยู่กับสภาพลอจิคตามสัญญาณดิจิตอลโดยแคเรียร์จะเคลื่อนไปเป็นออฟชั่นแต่ละข้างอินเฟส (In Phase) หรือเอ้าท์ออฟเฟส (Out of Phase) ด้วยเรฟเฟอร์เรนซ์แคเรียร์ออสซิลเลเตอร์ (Reference Carrier Osccillator)

การออกแบบแบนด์วิดท์ของบีพีเอสเค (Bandwidth Consideration of BPSK)

บาราน์สมอดดูเลเตอร์ (Balance Modulator) เป็นวงจรคูณแบบหนึ่งให้สัญญาณเอ้าท์พุทเป็นผลคูณของสัญญาณอินท์พุททั้งสองในบีพีเอสเคมอดดูเลเตอร์ (BPSK Modulator) สัญญาณแคเรียร์อินท์พุทถูกคูณโดยข้อมูลไบนารี่ ถ้า + 1 โวลท์ แทนลอจิคหนึ่งและ - 1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น และต้องอ้างอิงถึงเจ้าของเอกสารนี้ทุกครั้งที่มีการนำไปใช้

โวลท์ แทนลอจิคศูนย์ แคเรียร์อินพุท (Sin wct) ถูกคูณโดยค่า + 1 โวลท์ หรือ - 1 โวลท์ สัญญาณเอาท์พุทจะเป็น + 1 (Sin wct) หรือ - 1 (Sin wct) แสดงขั้นตอนที่หนึ่ง ซิกแนลเอาท์พุทจะอินเฟสกับเรฟเฟอร์เรนซ์ออสซิลเลเตอร์ (Reference Osccillator) อันหลัง ซิกแนลเอาท์พุทเป็น 180 องศา เอาท์ออฟเฟสกับเรฟเฟอร์เรนซ์ออสซิลเลเตอร์เมื่อสภาพลอจิคอินพุทเปลี่ยน จะทำให้เฟสเปลี่ยนด้วยเสมอ สำหรับบีพีเอสเค อัตราการเปลี่ยนของเอาท์พุทเบาท์เรท (Bound rate) มีค่าเท่ากับอัตราการเปลี่ยนของอิทพุทบิทเรท (Bit Per Sec) และความกว้างของเอาท์พุทแบนด์วิทสูงสุดเกิดขึ้นเมื่อข้อมูลไบนารี่ที่เข้ามา (Input Binary Data) เปลี่ยนระดับ 0, 1 ต่อเนื่อง ฟันดาเมนทอลฟรีเควนซี่ ((Fundamental Frequency (FA)) ของการเปลี่ยนระดับบิท 1 หรือ 0 อย่างต่อเนื่อง มีค่าเท่ากับ 1/2 ของบิทเรท (FB/2) ทางคณิตศาสตร์เอาท์พุทเฟสของบีพีเอสเคมอดดูเลเตอร์คือ

เอาท์พุท = θ = Sin wat x Sin wct

Sin wat = (Fundamental Frequency of the binary)

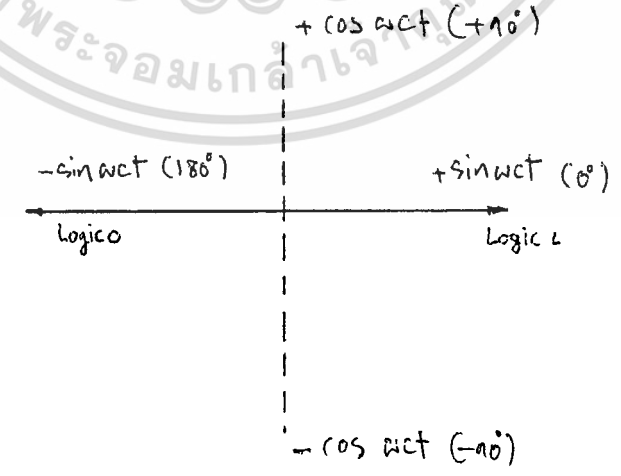
Sin wct = (Carrier)

หรือเท่ากับ 1/2 Cos (wct - wat) - 1/2 Cos (wct + wat)

Lower Side Frequency = FC - FA

Upper Side Frequency = FC + FA

Binary I/P	o/p phase
Logic 0	180°
Logic 1	0°



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 1 แสดงเฟสของบีพีเอสเค

Maximum Upper Side Frequency (USF) = (FC + FA) + (FC - FA)

Minimum Lower Side Frequency (LSF) = (FC + FA) - (FC - FA)

ตัวอย่าง ดังนั้นมินิมัมดีเอฟบี (Double Side Band), (FU)

มีค่าเท่ากับ (wct + wat)

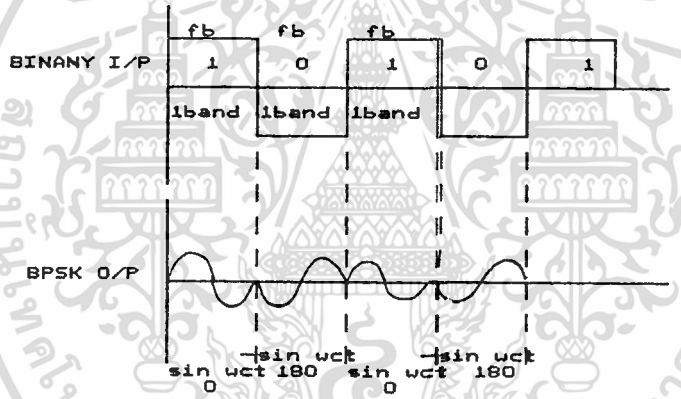
-

(wct - wat)

2wat

FA = wat = FB/2

FA = 2 (FB/2) = FB

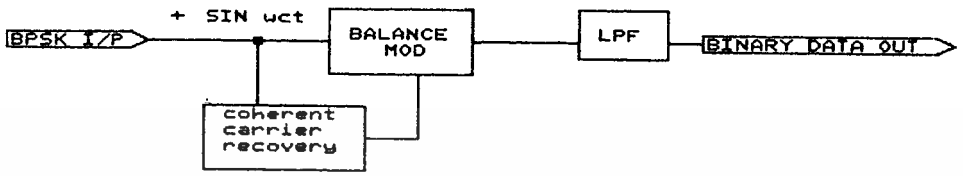


รูปที่ 3 แสดงเฟสเอาท์พุทของบีพีเอฟเค

รูปที่ 3 แสดงเฟสเอาท์พุทกับทามล์รีเลย์ชั่นชิฟ (Time Relationship) สำหรับรูปคลื่นบีพีเอฟเค สามารถแสดงให้เห็นสเปคตรัมเอาท์พุท (Spectum Output) จากบีพีเอสเคมอดดูเลเตอร์ คือตัวอย่างของ ดีเอสเอสซี (Double-Side band Suppressed Carrier Signal) ความถี่ด้านอัฟเปอร์และโลเวอร์ไซด์จะถูกแยกออกจากความถี่แคเรียร์โดยมีค่าเท่ากับ 1/2 ของบิทเรท ดังนั้น มินิมัมแบนด์วิท (FN) ที่ต้องการผ่านบีพีเอสเคมอดดูเลเตอร์ สัญญาณเอาท์พุทจะเท่ากับอินพุทบิทเรท

เอกสารนี้มีลิขสิทธิ์ ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

BPSK Receiver



BPSK RECEIVER

จากรูปแสดงบล็อคไดอะแกรมของบีพีเอสเครีซีฟเวอร์ สัญญาณอินพุทจะเป็น + Sin wct หรือ - Sin wct วงจรโคฮีเรนท์แคเรียร์รีโคบเวอรี่ (Coherrent Carrier Recovery) จะดีเทคและสร้างสัญญาณแคเรียร์ใหม่นั่นคือทั้งฟรีเควนซี่ และเฟสจะซิงโครไนซ์กันทั้งทางด้านส่งและด้านรับด้วยการส่งแคเรียร์ใหม่

บาราน์ซ์มอดดูเลเตอร์ เป็นผลคูณของดีเทคเตอร์หรือเอาท์พุทเป็นผลคุณของสองอินพุท (Signal BPSK and Recovery Carrier) โลพาสฟิลเตอร์ (Low Pass Filter) จะแยกรีคดอฟเวอรี่ไบนารี่ดาต้า (Recovery Binary Data) ออกจากคอมเพ็ดดีมอดดูเลเต็ทสเปคตรัม (Complex Demodulated Spectum) วิธีการหาคณิตศาสตร์ของดีมอดแสดงดังนี้ สำหรับบีพีเอสเคอินพุทซิคแนลของ + Sin wct มีค่าเท่ากับลอจิคหนึ่งเป็นดังนี้

$$\text{Output} = (\text{Sin wct})(\text{Sin wct}) = \text{Sin}^2 \text{ wct}$$

หรือ $$\text{Sin}^2 \text{ wct} = 1/2\ (1-\text{Cos2 wct}) = 1/2 - 1/2 \text{ Cos2 wct}$$

$$\text{Output} = + 1/2 \text{ vdc} = \text{Logic 1}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สามารถมองด้านเอาท์พุทของบาราน์ซ์มอดดูเลเตอร์ที่ประกอบด้วยแรงดันไฟดีซี (Voltage DC) บวก (+1/2 V) และ รูปคลื่นไซน์เวฟที่ความถี่แคเรียร์มีค่าเป็นสองเท่า

<u>วงจรโลพาสฟิลเตอร์</u> มีคัทออฟฟรีเควนซี่จะต้องน้อยกว่า 2 wct และโลพาสฟิลเตอร์จะทำการแยกฮาโมนิคที่สองของแคเรียร์และให้แรงดันไฟบวกดีซีออกมา แรงดันไฟบวกดีซีแสดงการดีมอทดูเลทเป็นลอจิคหนึ่ง

สำหรับบีพีเอสเคอินพุทซิคแนลของ - Sin wct (Logic 0) เอาท์พุทของบาราน์ซ์มอทเป็นดังนี้

$$\text{Output} = (-\text{Sin wct})(\text{Sin wct}) = -\text{Sin}^2 \text{ wct}$$

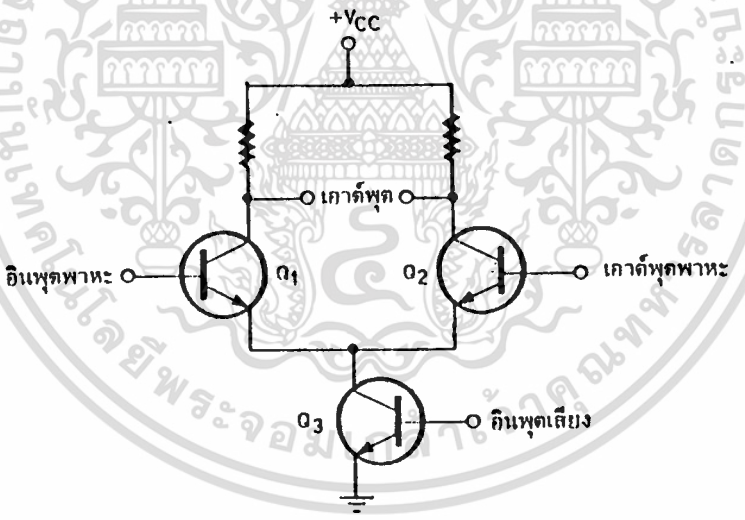
หรือ $-\text{Sin}^2 \text{ wct} = -1/2(1-\text{Cos2 wct}) = -1/2 + 1/2 \text{ Cos2 wct}$

$$\text{Output} = -1/2 \text{ vdc} = \text{Logic 0}$$

เอาท์พุทของบาราน์ซ์มอดดูเลเตอร์ประกอบด้วยแรงดันไฟลบดีซี(-1/2 V) และรูปคลื่นไซน์ที่ความถี่แคเรียร์มีค่าเป็นสองเท่า (2 wct) วงจรโลพาสฟิลเตอร์จะแยกเอาฮาร์โมนิคที่สองของแคเรียร์ออกและให้แรงดันไฟลบดีซีออกมา แรงดันไฟลบดีซีจะแสดงการดีมอดดูเลทเป็นลอจิค 0

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคบาลานซ์โมดูเลเตอร์ ชนิดใช้ไอซีวงจรอีกแบบหนึ่งที่เหมาะที่จะใช้เป็นบาลานซ์โมดูเลเตอร์ ก็คือวงจรดิฟเฟอเรนเชียล ดังรูปที่ 1 Q_3 เป็นแหล่งจ่ายกระแสให้แก่ Q_1 กับ Q_2 ถ้าสัญญาณ RF ป้อนให้แก่ Q_1 และ Q_2 มีเฟสตรงกันกระแสไหลในทรานซิสเตอร์ทั้งคู่ก็จะเท่ากัน และไม่มีแรงดันผลต่างเกิดขึ้นที่เอาต์พุท สภาวะนี้เป็นการกำจัดโหมดร่วม (commmon mode rejection) ของวงจร พาหะจึงหักล้างกันเองหมดไป

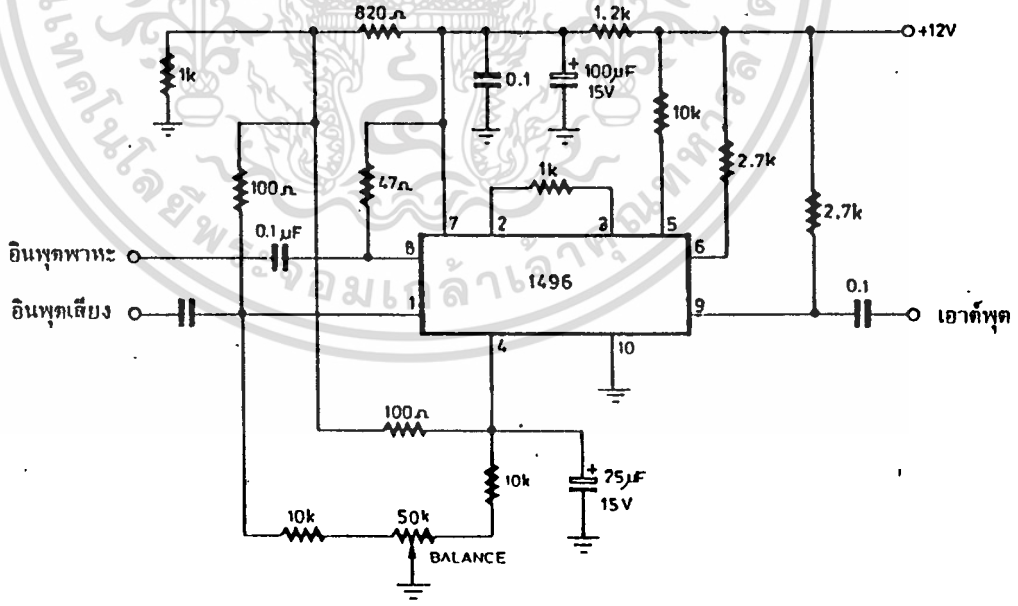


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 1 บาลานซ์ทรานซิสเตอร์ที่ใช้วงจรดิฟเฟอเรนเชียล

เมื่อป้อนสัญญาณเสียงที่เบสของ Q_3 สมดุลของวงจรจะเสียไป ทำให้สัญญาณเสียและ RF เกิดการผสมกันขึ้นที่ Q_1 กับ Q_2 การผสมแบบนอนลิเนียร์นี้ทำให้เกิดไซด์แบนด์ขึ้นที่เอาต์พุต อย่างไรก็ตามพาหะก็ยังเป็นศูนย์เช่นเดิม เนื่องจากสัญญาณโหมดร่วมถูกกำจัดออกไปตามที่อธิบายมาในตอนต้น

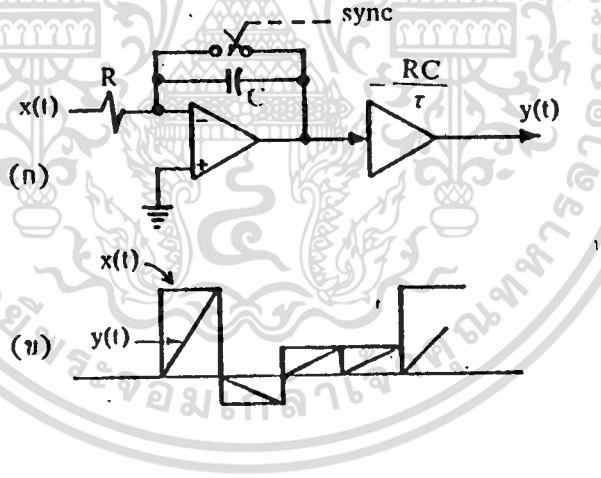
วงจรดิฟเฟอเรนเชียนที่ดีต้องใช้ทรานซิสเตอร์ที่แมตช์กันอย่างสนิทจึงนิยมทำเป็นไอซี ในรูปที่ 2 เป็นไอซีที่ออกแบบเพื่อใช้งานเป็นวงจร บาลานซ์โมดูเลเตอร์ โดยเฉพาะรูปที่ 2.1 คือไอซีเบอร์ 1496 ซึ่งผลิตโดยโมโตโรล่า (Motorola) เนชั่นแนล (National) และซิกเนติกซ์(Signetics) วงจรนี้ก็ใช้หลักการวงจรดิฟเฟอเรนเชียลที่กล่าวมาแล้ว การกำจัดพาหะสูงถึง 65 เดซิเบล (ที่ความถี่ 500 กิโลเฮิรตซ์)



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 2.1 วงจรบาลานซ์โมดูเลเตอร์ใช้ไอซีเบอร์ 1496

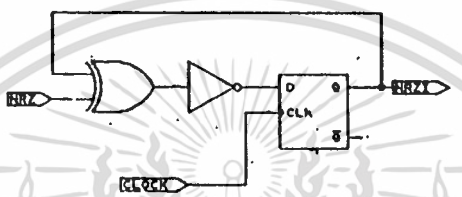
<u>วงจรฟิลเตอร์แบบอินทิเกรต และดัมพ์</u> (integrate and dump circuit) เมื่อมีสัญญาณพัลส์สี่เหลี่ยมเข้ามา วงจรอินทิเกรเตอร์ที่ใช้ออปแอมป์นี้จะอินทิเกรตสัญญาณนั้นจนถึงตำแหน่งสิ้นสุดของสัญญาณ และตรงตำแหน่งสิ้นสุดนี้ก็จะมีสัญญาณซิงค์มาทำการสุ่มตัวอย่างสัญญาณเพื่อนำไปเปรียบเทียบระดับ ในขณะเดียวกันก็ทำให้สวิทช์ปิดวงจรและเกิดการดัมพ์หรือการคายประจุออกอย่างรวดเร็ว และทำให้สัญญาณขาออกลดระดับเป็น 0 อย่างรวดเร็ว ค่วามสัมพันธ์ระหว่างสัญญาณขาออกกับสัญญาณขาเข้าของกรณีสัญญาณหลายระดับเป็นดังที่แสดงไว้ในรูป (ข) ถ้าการคายประจุเป็นไปอย่างรวดเร็วเพียงพอก็จะไม่ทำให้เกิดการการรบกวนระหว่างสัญลักษณ์ขึ้น วงจรฟิลเตอร์แบบนี้จึงจัดว่าเป็นแมทช์ฟิลเตอร์ที่สร้างได้ง่ายและใช้งานง่ายในทางปฏิบัติ



1. วงจรฟิลเตอร์แบบอินทิเกรตและดัมพ์และรูปร่างของสัญญาณขาเข้าและสัญญาณขาออก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคเข้ารหัส (NRZ/NRZI)

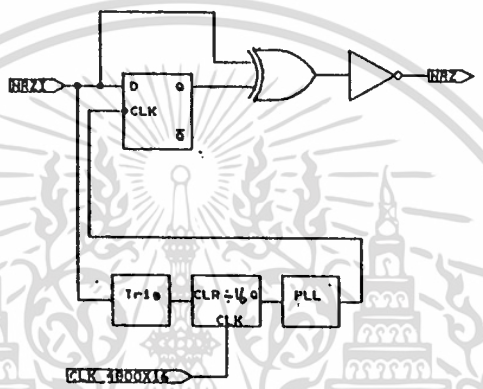


จากรูปแสดงการเข้ารหัส NRZI

การเข้ารหัสสัญญาณ นอนรีเทรินทูซีโร่ (Non Return to Zero : NRZ) เป็น นอนรีเทรินทูซีโร่ อินเวิดร์ส กระทำโดยนำเอาสัญญาณเอาท์พุทที่ถูกส่งออกไปล่วงหน้า 1 บิท ทำการ มอดูโล (EX-NOR : กรณีต้องการเปลี่ยนแปลง ทรานสมิทชั่น ของลอจิกเอาท์พุทเมื่อบิทศูนย์เข้ามาทางอินพุท) กับสัญญาณอินพุท สัญญาณ คล็อก นำมาจาก คล็อก ของบิทแรก (4800b/s)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคถอดรหัส เอ็นอาร์แซดไอ



รูปที่ 1 แสดงการถอดรหัส เอ็นอาร์แซดไอ

กระทำได้โดยนำเอาสัญญาณ เอ็นอาร์แซดไอ ที่ถูก ดีเลย์ โดย ฟลิปฟลอป ทำการ เอ็กคูลซีพ นอร์ กับสัญญาณ เอ็นอาร์แซดไอ ที่เข้ามาตามปกติดังรูป สัญญาน คล็อกสำ-หรับภาครับสามารถทำได้โดยใช้ความถี่จาก คริสตอล ออสซิลเลเตอร์ จำนวน 16 เท่า ของบิทเรทป้อนเข้าวงจรหาร 16 โดยเอาท์พุทก่อนที่จะใช้เป็น คล็อก ป้อนให้กับ ฟลิปฟลอป ใช้วงจร พีแอลแอล (phase lock loop) ทำหน้าที่ลดความสั่นของสัญญาณ นาฬิกา(jitter) ในทางปฏิบัติใช้ IC 4046 ออกแบบใช้เฟส ฟรีแควนซี่ดีเทคเตอร์ เป็นเฟส คอมพาเรเตอร์ ค่าทามคอนสแตนต์ ของ โลว์พาส ฟิลเตอร์ของลูป เลือกให้ เหมาะสมสำหรับการลด จิตเตอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วงจรแบนด์พาสฟิลเตอร์

วิธีการออกแบบ

ช่วงความถี่ที่ต้องการให้ผ่านในการออกแบบจะใช้67.2 KHZ เพราะ ฉนั้น ค่า 67.2 KHZ คือ ความถี่ เรโซแนนซ์ (fr) นั้นเอง ลำดับต่อไปเลือกค่า Q ของวงจร โดยใช้ค่า Q ในภาคส่ง เท่ากับ 5 และค่า Q ในการรับ เท่ากับ 10 ต่อจากนั้นทำการคำนวณค่า R_1, R_2, R_3, C_1, C_2 ได้ดังต่อไปนี้

คำณวณวงจรแบนด์พาสฟิลเตอร์ภาคส่ง

ใช้ค่า Q = 5 , เลือก Q เกณฑ์ของวงจร 100 เท่า, เลือกค่า C_1, C_2 = 0.001μf

$$B_w = \frac{fr}{Q} = \frac{67.2khz}{5} = 13.440\ khz$$

$$R_1 = \frac{Q}{2\pi\ frc_1\ H_0} = \frac{5}{2\pi * 67.2khz * 0.001\mu f * 100} = 120\ \Omega$$

$$R_3 = \frac{Q}{\pi fr\ C_1} = \frac{5}{3.14 * 67.2\ khz * 0.001\mu f} = 24\ k\Omega$$

$$R_2 = \frac{Q}{(2Q^2 - H_0)2\pi\ fr\ C_1}$$

$$H_0 = \frac{R3}{2R1}$$

ส่วน R_2 เลือกใช้ตัวต้านทานปรับค่าได้ 10 kΩ

คำณวนวงจรแบนด์พาสฟิลเตอร์ภาครับ

ให้ค่า Q = 10 , เลือกเกณฑ์ ของวงจร 100 เท่า ,ค่า C_1, C_2 = 0.001 μf

$$R_1 = \frac{Q}{2\pi\ fr\ C_1\ H_0} = \frac{10}{2\pi * 67.2khz * 0.001\ \mu f * 100}$$

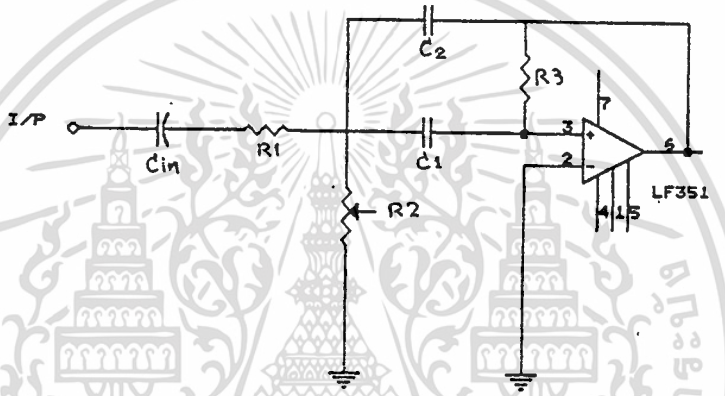
= 220 Ω

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$R_3 = \frac{Q}{fr\ C_1} = \frac{10}{3.14*67.2hz*0.001\ \mu f}$$

$$= 47.31\ k\Omega$$

ส่วน R_2 เลือกใช้ตัวต้านแทน ปรับค่าได้ 10 kΩ

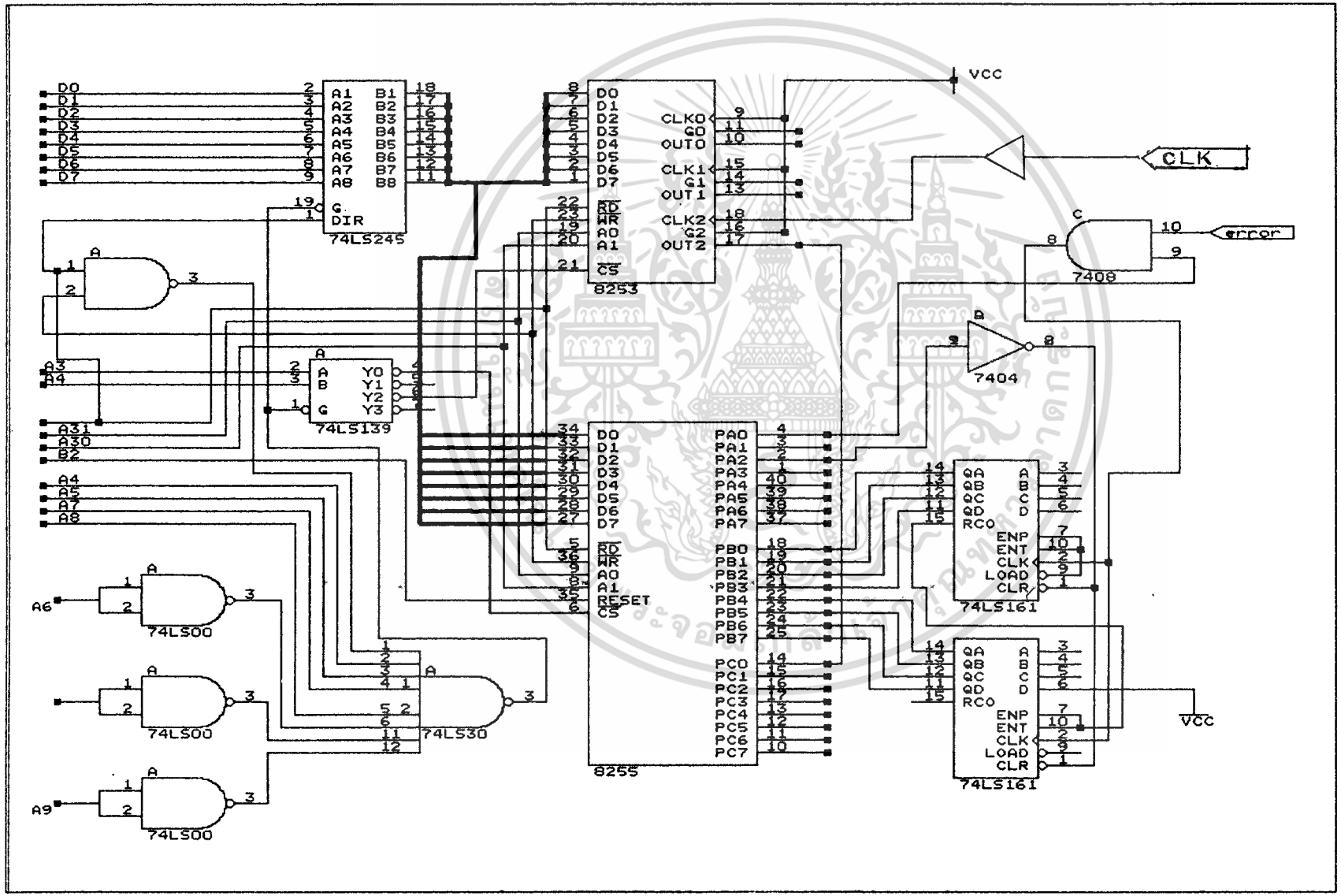


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.3 ภาคแสดงผล

นำเอาพุทซึ่งเป็นบิทผิด(error) ของชุดดีเทค มาป้อนเข้าอินพุทของวงจรรูป 1 ซึ่งวงจรนี้จะนำไปเสียบสล็อตของไมโครคอมพิวเตอร์ โดยใช้ไอซีเพอร์ริเฟอร์รอล อินเตอร์เฟส ที่โปรแกรมโดยซอฟแวร์ได้เบอร์ 8255 ทำหน้าที่เป็นพอร์ตเคลื่อนย้ายข้อมูลไปสู่หน่วยประมวลผลของคอมพิวเตอร์และใช้เบอร์ 8253 เป็นตัวนับบิทและเทียบเวลาซึ่งโปรแกรมได้ โดยโปรแกรมที่เขียนไว้ทั้งหมดแสดงไว้ในหน้าถัดไป ข้อกำหนดของไอซี 8255และ8253 แสดงไว้ในภาคผนวก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้


D0
D1
D2
D3
D4
D5
D6
D7
74LS245
A1
A2
A3
A4
A5
A6
A7
A8
B1
B2
B3
B4
B5
B6
B7
B8
G
DIR
8253
CLK0
GO
OUT0
CLK1
G1
OUT1
CLK2
G2
OUT2
RD
WR
A0
A1
CS
VCC
CLK
error
7408
7404
74LS139
Y0
Y1
Y2
Y3
A3
A4
A31
A30
B2
A4
A5
A7
A8
8255
PA0
PA1
PA2
PA3
PA4
PA5
PA6
PA7
PB0
PB1
PB2
PB3
PB4
PB5
PB6
PB7
PC0
PC1
PC2
PC3
PC4
PC5
PC6
PC7
RESET
74LS161
QA
QB
QC
QD
RCO
ENP
ENT
CLK
LOAD
CLR
74LS00
74LS30
A6
A9

โปรแกรมที่ใช้ในภาคแสดงผลโดยเขียนด้วยภาษาซี

```
#include <stdio.h>
#include <dos.h>
#include <ctype.h>
#include <dos.h>
#include <conio.h>
#include <bios.h>
#define KB 0x9
#define CR 0xd
#define ESC 27
#define LPT1 0
#define PRINT 0
#define LPTSTATUS 2
#define IOERR 0x08
#define P1A 0x1b0
#define P1B 0x1b1
#define P1C 0x1b2
#define P1CW 0x1b3
#define P3C0 0x1b8
#define P3C1 0x1b9
#define P3C2 0x1ba
#define P3CW 0x1bb
#define KB 0x9
#define MAXAR 10*1024 /*10*1024 */
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
#define MAXAR1 6*1024 /* 6*1024 */
#define MAXBLK 240 /* multiple of interval */
#define MAXLNT 99

unsigned char inout(void);
void restore_kb();
static void interrupt far newkb(void);
static void (interrupt far *oldkb)(void);
inkey (void);

static int blank=0;
unsigned char a1;
unsigned char hour1,min1,sec1;
unsigned char hour2,min2,sec2;
unsigned short a3[MAXAR1];
unsigned short sum;
unsigned long cntbit;
unsigned short armaxa2;
unsigned short blk;
/* this main function */

main()
{
int i;
unsigned char a;
int ch;
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
clrscr();
winber();
setblk();
set_tm();
oldkb=getvect(KB);
setvect(KB,newkb);
ber();
/*a=inkey();
a=a&0x00; */
/* exit from measure */
loopback:
cursoff();
clrl(23);
dof
ch=getch();
switch(ch){
 case 'p':
 case 'P':gotoxy(2,8);printf("printer");prt();clrl(8);break;
 case 'g':
 case 'G':gotoxy(2,9);printf("graphics");clrl(9);break;
 case 's':
 case  'S':gotoxy(2,10);printf("save data");disks();clrl(10);
break;
 }
}
while(ch != ESC);
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
curson();
gotoxy(2,23);
printf("are you sure to exit (Y/N) ");
if ((yesno())== 'N') goto loopback;
restore_kb();
clrl(23);


gotoxy(2,23);
printf("terminate ");
}
setblk()
{
extern unsigned short blk;
gotoxy(2,23);
printf("setblk=");
scanf("%u",&blk);
}
ber()
{
extern unsigned short a3[];
extern unsigned short armaxa2;
extern unsigned short sum;
extern unsigned long cntbit;
extern unsigned short blk;
unsigned char c;
unsigned long errpos=0;
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
unsigned char a1[MAXAR];
unsigned long a2[MAXAR];
unsigned short i,j;
unsigned short x=0;
int tempar;


outportb(P1CW,0x8b);
outportb(P3CW,0x30);
outportb(P3CW,0x70);
outportb(P3CW,0x90);
outportb(P3C0,0xff);


outportb(P1A,0x86);
delay(50);
outportb(P1A,0x01);


outportb(P3C2,MAXLNT);
sum=0;
a1[0]=0;a2[0]=0;x=1;
for (i=1;i<=blk;i++)
{
   if (blank==1)
     {
       break;
     }
   c=inout();
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
    if (c>0)
      {
      a1[x]=c;
      a2[x]=errpos;
      x++;
      }
     errpos++;
     sum=sum+c;
     gotoxy(17,4);
     printf("%u",sum);
     gotoxy(17,5);
     printf("%lu",errpos);
}
/* break */
outportb(P1A,0x80);
rd_tm();
cntbit=100*errpos;
gotoxy(2,6);
printf(" bit count=%lu",cntbit);
for(j=0;j<=MAXAR;j++){
 a2[j]=a2[j+1]-a2[j];
 }
j=0;
do{
tempar=a2[j];
j++;
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
}while (tempar >0);
j=j-2;
tempar=j;

for(j=0;j<=tempar;j++){
    a2[j]=a2[j]-1;
    }

/* find Maxar2 */
j=0;
armaxa2=a2[j];
do{
if (armaxa2<a2[j]){
    armaxa2=a2[j];
    }
  j++;
  }
while(j<=tempar);

/*  j  for  a2 x,i for a3 y shoud find max valve in a2 before
sort */

for(i=1;i<=armaxa2;i++){
  for (j=0;j<=tempar;j++){
      if (a2[j]==i){
          a3[i]=a3[i]+1;
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
        }
      }
    }
}
/*end ber */


unsigned char inout(void)
{
  asm mov dx,01b2h
  wait:
  asm in al,dx
  asm and al,01h
  asm cmp al,01h
  asm jnz wait
  asm mov dx,01b1h
  asm in al,dx
  asm mov ch,al
  asm dec dx
  asm mov al,05h
  asm out dx,al
  asm mov al,01h
  asm out dx,al

  asm mov dx,01bah
  asm mov al,063h
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
  asm out dx,al


  return(_CH);
}


disks()
{
extern unsigned char hour1,min1,sec1;
extern unsigned char hour2,min2,sec2;
extern unsigned short a3[];
extern unsigned short sum;
extern unsigned long cntbit;
extern unsigned short armaxa2;
FILE *fp;
int c;
unsigned short i;
char name[9];
curson();
gotoxy(2,23);
printf("enter file name to save ");
scanf("%8s",name);
cursoff();
if((fp=fopen(name,"w"))==NULL){
clrl(23);
textattr(0x8f);
gotoxy(2,23);
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
printf("file error ");
for(i=0;i<8;i++){
delay(200);
  }
textattr(0x0f);
clrl(23);
return 0;
}
gotoxy(2,23);
printf(" svae BER (1) save BER/EFI (2) ");
while((c=getch()) != '1' && c != '2'){
putchar('\a');
  }
if(c=='1'){
fprintf(fp," the bit error rate\n");
fprintf(fp," start time =%u:%u:%u\n",hour1,min1,sec1);
fprintf(fp," stop time =%u:%u:%u\n",hour2,min2,sec2);
fprintf(fp," bit err =%d\n",sum);
fprintf(fp," bit count =%lu\n",cntbit);
}
else{
fprintf(fp," the bit error rate\n");
fprintf(fp," start time =%u:%u:%u\n",hour1,min1,sec1);
fprintf(fp," stop time =%u:%u:%u\n",hour2,min2,sec2);
fprintf(fp," bit err =%d\n",sum);
fprintf(fp," bit count =%lu\n",cntbit);
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
fprintf(fp," EFI number of EFI \n");
 for(i=1;i<=armaxa2;i++){
 if( a3[i] > 0 ){
 fprintf(fp,"\t%d\t%d\n",i,a3[i]);
   }
  }
 }
fclose(fp);
clrl(23);
gotoxy(2,23);
printf(" save ready ");
for(i=0;i<12;i++){
delay(200);
  }
clrl(23);
}
prt()
{
extern unsigned char hour1,min1,sec1;
extern unsigned char hour2,min2,sec2;
extern unsigned short a3[];
extern unsigned short sum;
extern unsigned long cntbit;
extern unsigned short armaxa2;
unsigned char status;
unsigned short i;
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
int c;

status=biosprint(LPTSTATUS,0,LPT1);

status=(IOERR&status);


if (status==IOERR){

textattr(0x8f);

gotoxy(2,23);

printf(" error printer ");

for(i=0;i<8;i++){

delay(200);

  }

textattr(0x0f);

clrl(23);

return 0;

 }

gotoxy(2,23);

printf(" print BER (1) print BER/EFI (2) ");

while((c=getch()) != '1' && c != '2'){

putchar('\a');

  }

if(c=='1'){

fprintf(stdprn," the bit error rate\n");

fprintf(stdprn," start time =%u:%u:%u\n",hour1,min1,sec1);

fprintf(stdprn," stop time =%u:%u:%u\n",hour2,min2,sec2);

fprintf(stdprn," bit err =%d\n",sum);

fprintf(stdprn," bit count =%lu\n",cntbit);
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
}
else{
fprintf(stdprn," the bit error rate\n");
fprintf(stdprn," start time =%u:%u:%u\n",hour1,min1,sec1);
fprintf(stdprn," stop time =%u:%u:%u\n",hour2,min2,sec2);
fprintf(stdprn," bit err =%d\n",sum);
fprintf(stdprn," bit count =%lu\n",cntbit);
fprintf(stdprn," EFI number of EFI \n");
 for(i=1;i<=armaxa2;i++){
 if( a3[i] > 0 ){
 fprintf(stdprn,"\t%d\t%d\n",i,a3[i]);
   }
  }
 }
clrl(23);
}
clrl(n)
{
gotoxy(2,n);
printf(" ");
}
set_tm()
 {
 extern unsigned char hour1,min1,sec1;
 union REGS regs;
 char ch,c1,c2;
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
regs.h.ah=0x2c;
int86(0x21,&regs,&regs);
hour1=regs.h.ch;
min1=regs.h.cl;
sec1=regs.h.dh;
gotoxy(2,2);
printf("currunt time =%d:%d:%d",hour1,min1,sec1);
gotoxy(2,3);
printf("you want to set new time (y/n)? ");

if((yesno()) =='Y'){
settime:
gotoxy(2,4);
printf("hh:mm:ss\n");
gotoxy(2,5);
printf("set time=");
scanf("%u%c%u%c%u",&hour1,&c1,&min1,&c2,&sec1);
if(c1 != ':' || c2 != ':'){ goto settime;}
if( hour1>23 || min1>59 || sec1>59){goto settime;}
regs.h.ah=0x2d;
regs.h.ch=hour1;
regs.h.cl=min1;
regs.h.dh=sec1;
regs.h.dl=0;
int86(0x21,&regs,&regs);
 }
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
cursoff();
gotoxy(2,2);
printf(" starting time =%d:%d:%d",hour1,min1,sec1);
gotoxy(2,3);
printf(" block = 100 bit ");
gotoxy(2,4);
printf(" total err= ");
gotoxy(2,5);
printf(" blk count= ");
textattr(0xf0);
gotoxy(20,25);
cputs(" press any key form stop measurement ");
textattr(0x0f);/*back to normal mode */
}
rd_tm()
{
extern unsigned char hour2,min2,sec2;
union REGS regs;
regs.h.ah=0x2c;
int86(0x21,&regs,&regs);
hour2=regs.h.ch;
min2=regs.h.cl;
sec2=regs.h.dh;
gotoxy(2,7);
printf(" stop time =%d:%d:%d",hour2,min2,sec2);
textattr(0x70);
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
 gotoxy(10,25);
 cputs("printer:p save disk:s graphics:g exit:Esc ");
 textattr(0x0f);/*back to normal mode */
 }
yesno()
{
register int c;
while((c=toupper(getch())) != 'Y' && c != 'N')
 putchar('\a');
 return c;
}
winber()
{
clrscr();
box(1,1,79,24);
textattr(0x70);
gotoxy(20,25);
cputs("start bit error measurement");
textattr(0x0f);/*back to normal mode */
}
box(int xul,int yul,int xlr,int ylr)
{
int i;
char  hz=196;char vt=179;char ul=218;char ur=191;char lr=217;
char ll=192;
gotoxy(xul,yul);for(i=xul;i<=xlr;i++) putch(hz);
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
gotoxy(xul,ylr);for(i=xul;i<=xlr;i++) putch(hz);
for(i=yul;i<=ylr;i++){
gotoxy(xul,i);putch(vt);gotoxy(xlr,i);putch(vt);
}
gotoxy(xul,yul);putch(ul); gotoxy(xlr,yul);putch(ur);
gotoxy(xlr,ylr);putch(lr); gotoxy(xul,ylr);putch(ll);
}
curson()
{
_AH=0x01;_CH=0x0b;_CL=0x0c;geninterrupt(0x10);
}
cursoff()
{
_AH=0x01;_CH=0x0f;_CL=0x0f;geninterrupt(0x10);
}

static void interrupt far newkb()
{
(*oldkb)();
blank=1;
}

void restore_kb()
{
if (oldkb !=NULL){setvect(KB,oldkb);}
}
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
inkey(void)

{

asm mov ax,0000

asm int 16h

return(_AL);

}
```


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 4

การทดลอง

การทดลองโมเด็ม

วัตถุประสงค์ เพื่อต้องการให้ทราบ เวฟฟอร์ม (wave form) ที่วัดได้จากเอ้าพุท ของแต่ละภาคของเครื่องส่ง และเครื่องรับนอกจากนี้ยังสามารถใช้ประกอบกับการศึกษา ทฤษฎี ของเครื่องส่งและเครื่องรับแบบไบนารี่เฟสชิฟคีอิ้งโดยตรง

อุปกรณ์ที่ใช้ในการทดลอง

1. ออสซิลโลสโคป
2. ฟังชั่นเจนเนอร์เรเตอร์
3. โวลท์มิเตอร์
4. วงจรสร้างสัญญาณกึ่งแรมคอม

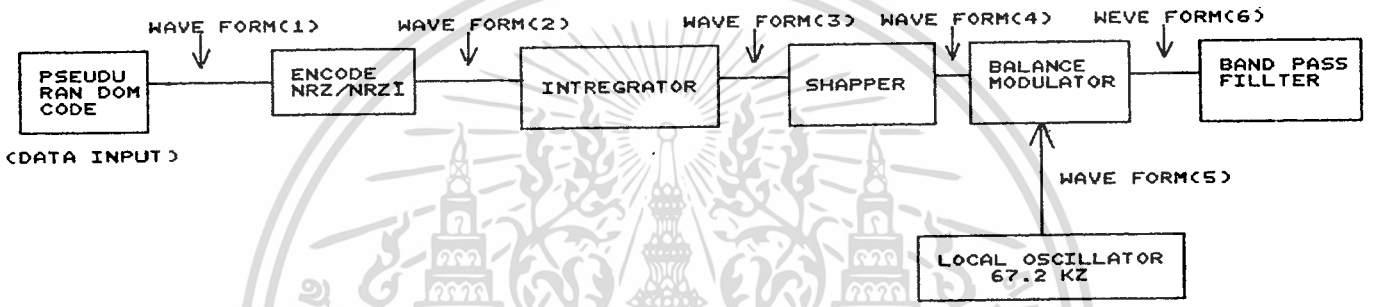
จากรูปดังต่อไปนี้จะแสดงให้เห็นถึงบล๊อคไดแกรมของเครื่องส่ง (โมดูเลเตอร์) กับการวัดสัญญาณเอาท์พุทที่ได้แต่ละภาคของเครื่องส่งและเครื่องรับ

เครื่องส่ง (โมดูเลเตอร์)

ประกอบด้วย

1. ภาคกำเนิดสัญญาน ไซน์เวฟ 67.2 KHz
2. ภาคกำหนดสัญญาณกึ่งแรนคอม
3. ภาควงจรเข้ารหัส (NRZI)
4. ภาคบาลานซ์โมดูเลเตอร์
5. ภาคอินทีเกรตเตอร์และภาคเชพเปอร์ (shapper)
6. ภาคแบนพาสฟิลเตอร์ (Band pass filter)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



บล็อคไดอะแกรมของชุดส่ง

เมื่อนำสัญญาณกึ่งแรนดอม ทดลองป้อนเข้าภาคมอดูเลเตอร์ แล้วใช้ออสซิลโลสโคป

วัดที่จุดต่าง ๆ จะได้ผลการวัด ดังนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

1. ภาคกำเนิดสัญญาณกึ่งแรนดอม

เป็นวงจรกำเนิดสัญญาณกึ่งแรนดอมเพื่อใช้แทนสัญญาณข้อมูลในการทดลองส่งผ่านโมดูเลเตอร์ แบบ บีพีเอส เค เมื่อนำออสซิลโลสโคป ทำการวัดจะได้เวฟฟอร์มเอาท์พุท รูปที่ 1

2. ภาคเข้ารหัสเอ็นอาร์แซดเป็นเอ็นอาร์แซดไอ (NRZ/NRZI)

โดยปกติสัญญาณกึ่งแรนดอมจะเป็นสัญญาณแบบเอ็นอาร์แซด เมื่อภาครับทำการดีโมดูเลทแล้วจะทำให้สัญญานเอาท์พุทมีโอกาสกลับเฟสได้ เพื่อป้องกันการกลับเฟสของลอจิกก่อนทำการดีโมดูเลทจะต้องเข้ารหัสเป็นสัญญาณกึ่งแรนดอม แบบ เอ็นอาร์แซดไอแสดงเวฟฟอร์มเอาท์พุท ดังรูปที่ 2

3. ภาคอินทีเกรเตอร์

ภาคอินทีเกรเตอร์จะทำการอินทีเกรตสัญญาณกึ่งแรนดอมแบบเอ็นอาร์แซดไอ เพื่อทำการลดสัญญาณรบกวนที่เกิดขึ้นและส่งไปยังภาคเชปเปอร์เพื่อสร้างสัญญาณขึ้นใหม่ เวฟฟอร์มเอาท์พุท แสดงดังรูปที่ 3

4. ภาคเชปเปอร์

ทำหน้าที่เชปเปอร์สัญญาณที่ผ่านการอินทิเกรตแล้ว เพื่อต้องการสัญญาณมีลักษณะใกล้เคียงกับสัญญาน ไซนต์เวฟ จากนั้นสัญญานจะถูกโมดูเลทเข้ากับสัญญานแคเรียร์ที่ภาคโมดูเลเตอร์แสดงเวฟฟอร์มเอาท์พุท ดังรูปที่ 4

5. ภาคกำเนิดสัญญาณความถี่แคเรียร์ 67.2 KHZ

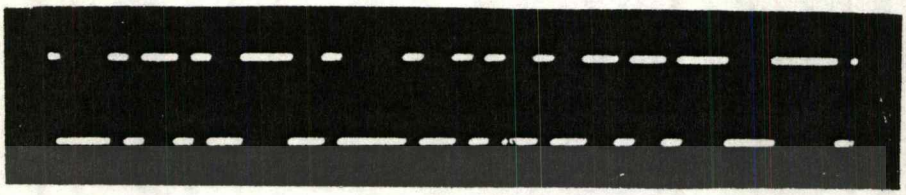
ทำหน้าที่กำเนิดสัญญาณไซนต์เวฟความถี่ 67.2 KHZ เพื่อได้เป็นสัญญาณแคเรียร์ นำไปโมดูเลทกับสัญญาณอินพุท ส่งผ่านไปยังภาครับแสดงเวฟฟอร์มเอาท์พุท ดังรูปที่ 5

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

6. <u>ภาคแบนด์พาสฟิลเตอร์</u>

วงจรแบนด์พาสฟิลเตอร์จะทำหน้าที่กรองความถี่เป็นช่วง จากภาคโมดูเลเตอร์ เมื่อทำการโมดูเลทแล้วจะได้สัญญานเอาท์พุทที่มีความถี่ 67.2 KHZ แสดง เพส 2 เพส เพราะฉะนั้น วงจรแบนด์พาสฟิวเตอรจะกรองช่วงความถี่ 67.2 KHZ ออกมาแสดง เวฟฟอร์มเอาท์พุท ดังรูปที่ 6

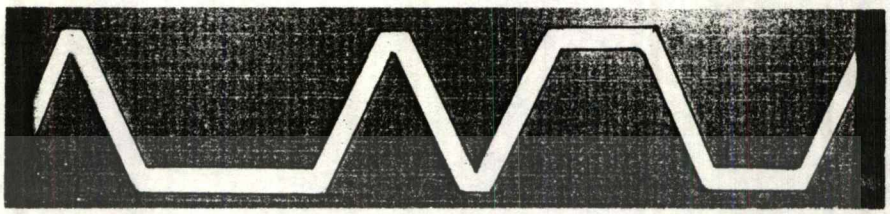
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



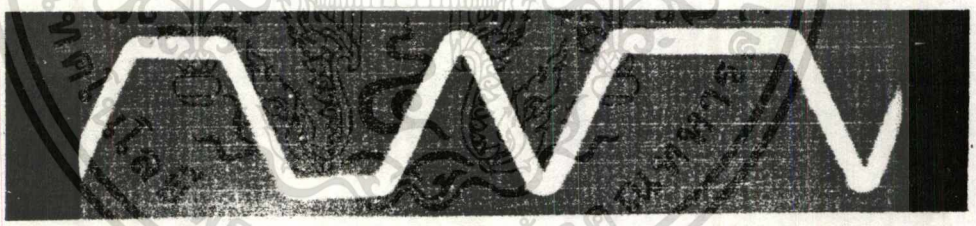
รูปที่ 1 ลักษณะรูปคลื่นเมื่อวัดที่จุด 1

รูปที่ 2 ลักษณะรูปคลื่นเมื่อวัดที่จุด 2

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

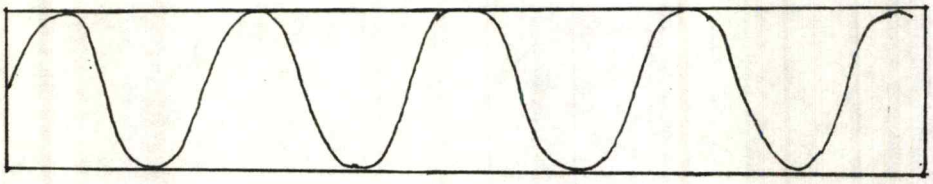


รูปที่ 3 ลักษณะรูปคลื่นเมื่อวัดที่จุด 3



รูปที่ 4 ลักษณะรูปคลื่นเมื่อวัดที่จุด 4

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 5 ลักษณะรูปคลื่น เมื่อวัดที่จุด 5

รูปที่ 6 ลักษณะรูปคลื่น เมื่อวัดที่จุด 6

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

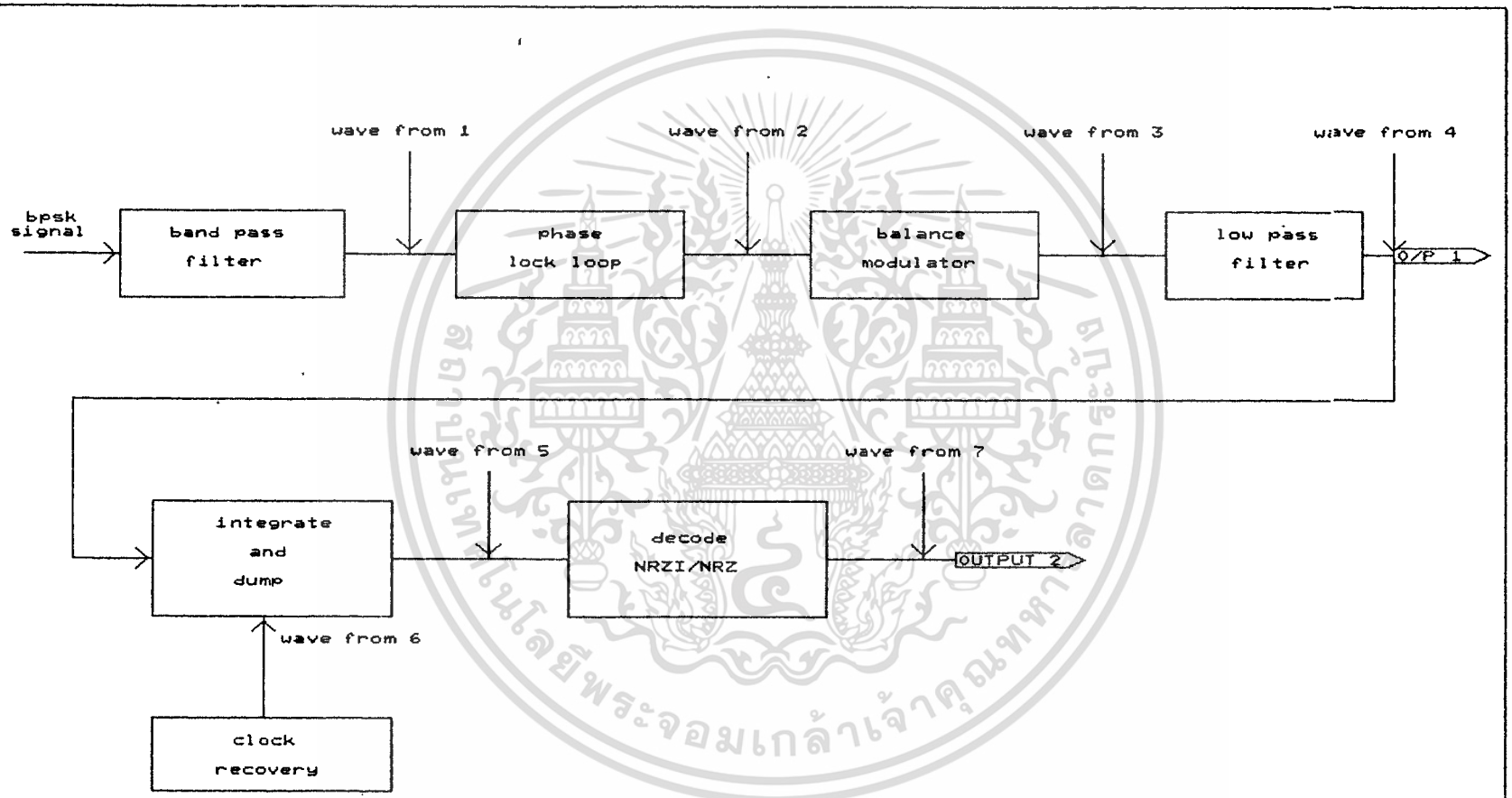
เครื่องรับ (ดีโมดูเลเตอร์)

ประกอบด้วย

1. ภาคแบนพาสฟิลเตอร์
2. ภาคเฟสล็อคลูป
3. ภาคบาลานซ์โมดูเลเตอร์
4. ภาคโลพาสฟิลเตอร์
5. ภาคฟิลเตอร์อินทีเกรตและดัมท์ (integrate and damp circuit)
6. ภาควงจรกู้คล็อก (clock recoverry)
7. ภาคถอดรหัส(NRZI/NRZ)

สัญญาณที่ถูกโมดูเลทจากเครื่องส่งแล้วจะส่งผ่านสายส่งเข้าภาคดีโมดูเลเตอร์แล้วใช้ออสซิลโลสโคปวัดทั่วจุดต่าง ๆ จะได้ผลการวัด ดังนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



บล็อคไดอะแกรมของชุดรับ

1. ภาคแบนด์พาสฟิลเตอร์

ทางภาครับจะมีวงจรแบนด์พาสฟิลเตอร์เพื่อให้ช่วงความถี่ 67.2 KHZ ผ่านเช่นกันแต่จะกำหนดแบนด์วิทแคบกว่าวงจรแบนพาสฟิลเตอร์ภาคส่ง แสดงเวฟฟอร์มเอาท์-พุท ดังรูปที่ 1

2. ภาคเฟสล๊อคลูป

วงจรเฟสล๊อคลูปจะอยู่ในส่วนของภาครับทำหน้าที่ซิงโครไนซ์สัญญาณที่ส่งจากภาคส่งให้มีความถี่และเฟสตรงกับภาครับ ในการทดลองจะสามารถวัดเวฟฟอร์มเอาท์-พุทของวงจรเฟสล็อคลูปได้ว่าซิงโครไนซ์หรือไม่จากรูปเวฟฟอร์มที่แสดง ในรูปที่ 2 ถ้าหากว่าไม่ซิงโครไนซ์เมื่อวัดสัญญาณจะมีลักษณะเป็นสัญญาณสามเหลี่ยมซ้อนกัน แสดงเวฟฟอร์มเอาท์พุท ดังรูปที่ 2.1

3. ภาคบาลานซ์โมดูเลเตอร์ และโลพาสฟิล เตอร์

ทั้งสองภาคนี้จะทำหน้าที่รวมกันเป็นส่วนของการดีโมดูเลเตอร์โดยดีโมดูเลทสัญญาณออกเพราะฉะนั้น เวฟฟอร์มที่วัดได้ตรงจุดเอาท์พุทของโลพาสฟิลเตอร์จะมีลักษณะสัญญาณเหมือนกับ สัญญาณอินพุทที่ป้อนเข้ามาคือ เป็นสัญญาณกึ่งแรนดอมแบบเอ็นอาร์แซดไอ แสดงเวฟฟอร์มดังรูปที่ 3,4

4. ภาคอินทิเกรเตอร์และดัมท์

สัญญาณกึ่งแรนดอมแบบเอ็นอาร์แซดไอที่ได้จากดีโมดูเลเตอร์ถูกส่งเข้าวงจรอินทิเกรเตอร์และดัมท์ หลักการทำงานของอินทิเกรเตอร์และดัมท์ ประกอบด้วยส่วนของวงจรอินทิเกรเตอร์และส่วนของซีมอสสวิทซ์ โดยปกติแล้ววงจรอินทิเกรเตอร์ทั่วไป จะมีการคายประจุที่มีค่าเวลาขึ้นอยู่กับทามคอสแตนด์ของความต้านทานและตัวเก็บประจุแต่การคายประจุของวงจรอินทิเกรเตอร์และดัมท์ขึ้นอยู่กับ ซีมอสสวิทซ์ คือ ซีมอสสวิทซ์ทำงานในการออฟเร็วมากทำให้ช่วงเวลาคายประจุเป็นศูนย์ส่วนสภาวะซีมอสออนจะเกิดการเก็บประจุเช่นเดียวกับวงจรอินทิเกรเตอร์ทั่วไป แสดงเวฟฟอร์มดังรูปที่ 5

5. ภาควงจรกู้คล๊อก

เมื่อวงจรกู้คล๊อกได้รับสัญญาณกึ่งแรนดอม แบบเอ็นอาร์แซดไอแล้วจะทำการ

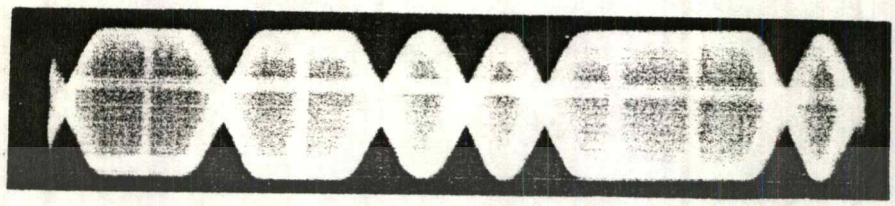
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ดีเทคสัญญาณแล้วสร้างคล๊อกขึ้นใหม่เพื่อทำให้เกิดการซิงโครไนซ์ ทั้งภาคส่งและภาครับแสดงเวฟฟอร์ม ดังรูปที่ 6

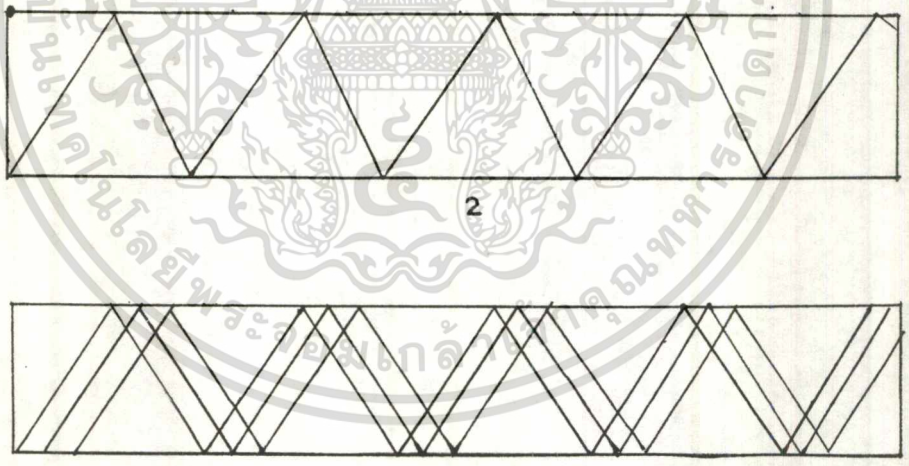
6. ภาคถอดรหัสเอ็นอาร์แซดไอเป็นเอ็นอาร์แซด

วงจรส่วนนี้จะทำการถอดรหัสสัญญาณกึ่งแรนดอม แบบเอ็นอาร์แซดไอให้กลับเป็นสัญญาณกึ่งแรนดอมแบบ เอ็นอาร์แซด เหมือนกับสัญญาณอินพุทแบบ เอ็นอาร์แซด ที่ทดลองป้อนเข้าตอนแรก แสดงเวฟอร์ม ดังรูปที่ 7

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

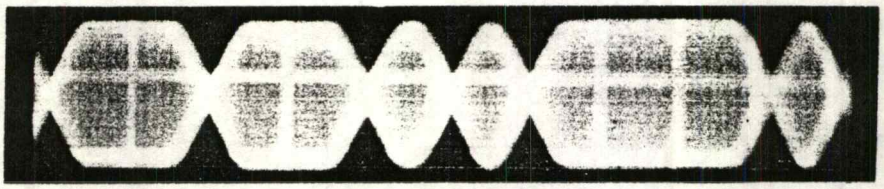


รูปที่ 1 ลักษณะรูปคลื่นเมื่อวัดที่จุด 1

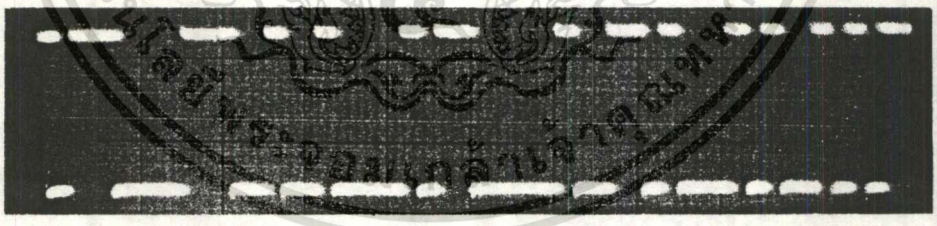


รูปที่ 2 ลักษณะรูปคลื่นเมื่อวัดที่จุด 2

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

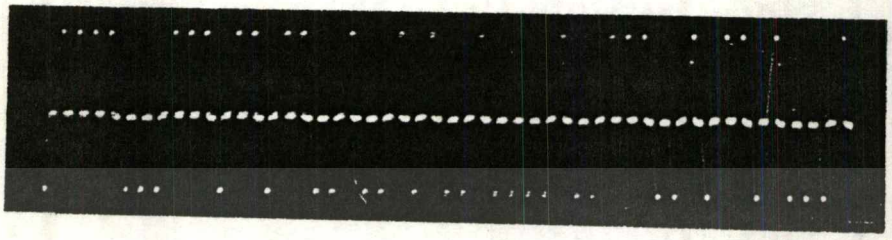


รูปที่ 3 ลักษณะรูปคลื่นเมื่อวัดที่จุด 3



รูปที่ 4 ลักษณะรูปคลื่นเมื่อวัดที่จุด 4

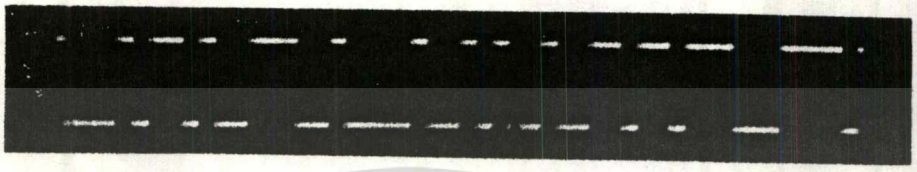
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 5 ลักษณะรูปคลื่นเมื่อวัดที่จุด 5

รูปที่ 6 ลักษณะรูปคลื่นเมื่อวัดที่จุด 6

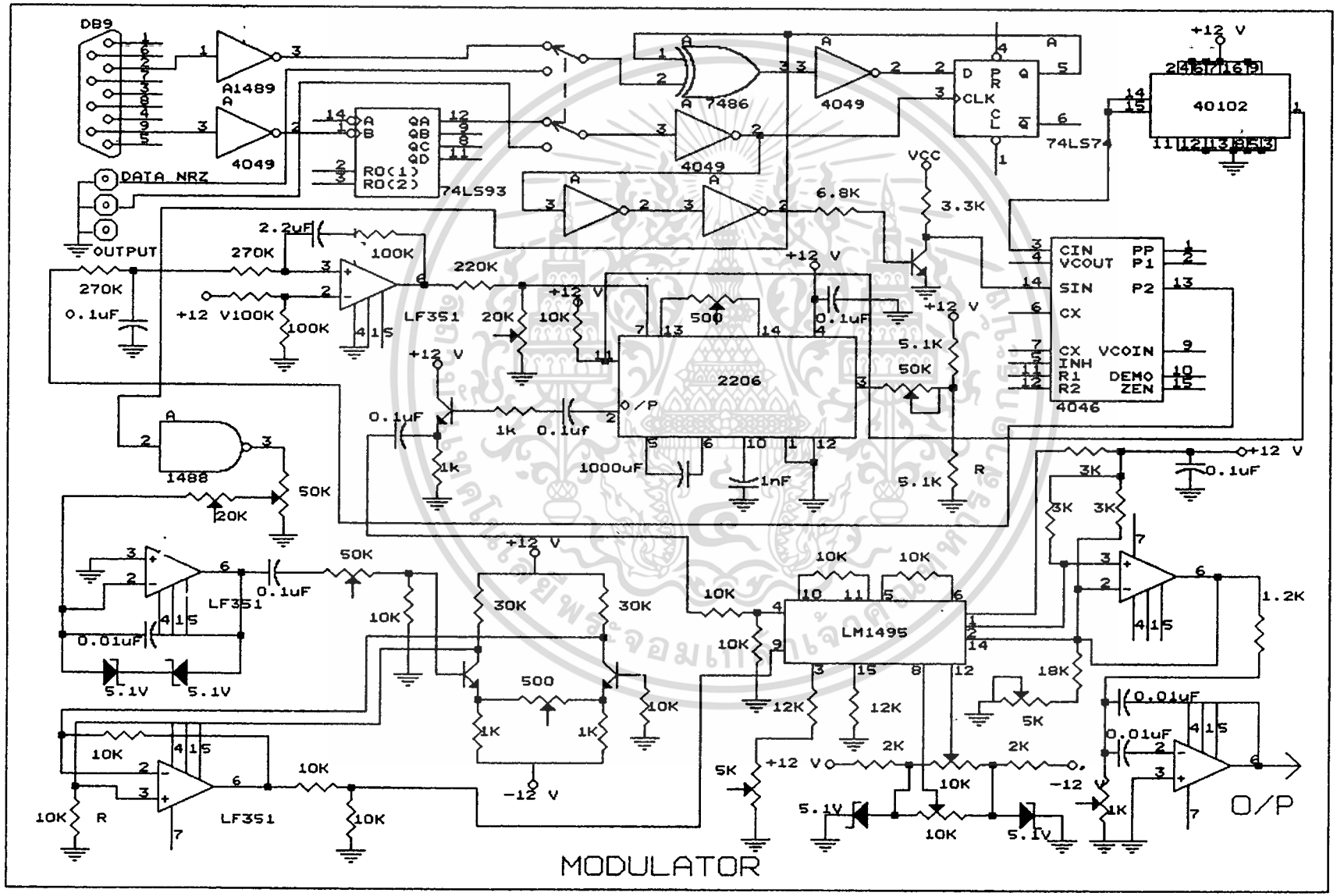
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

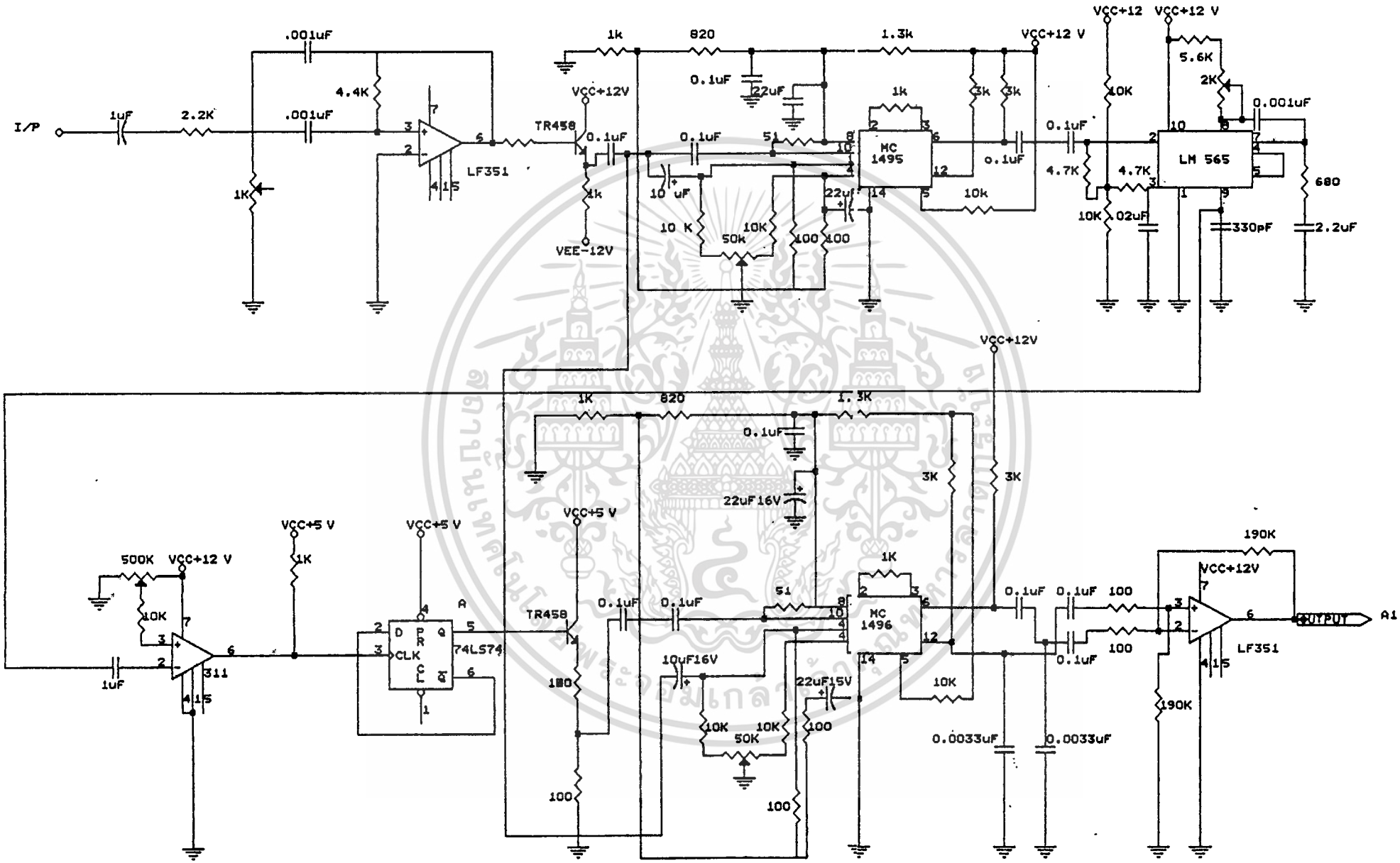


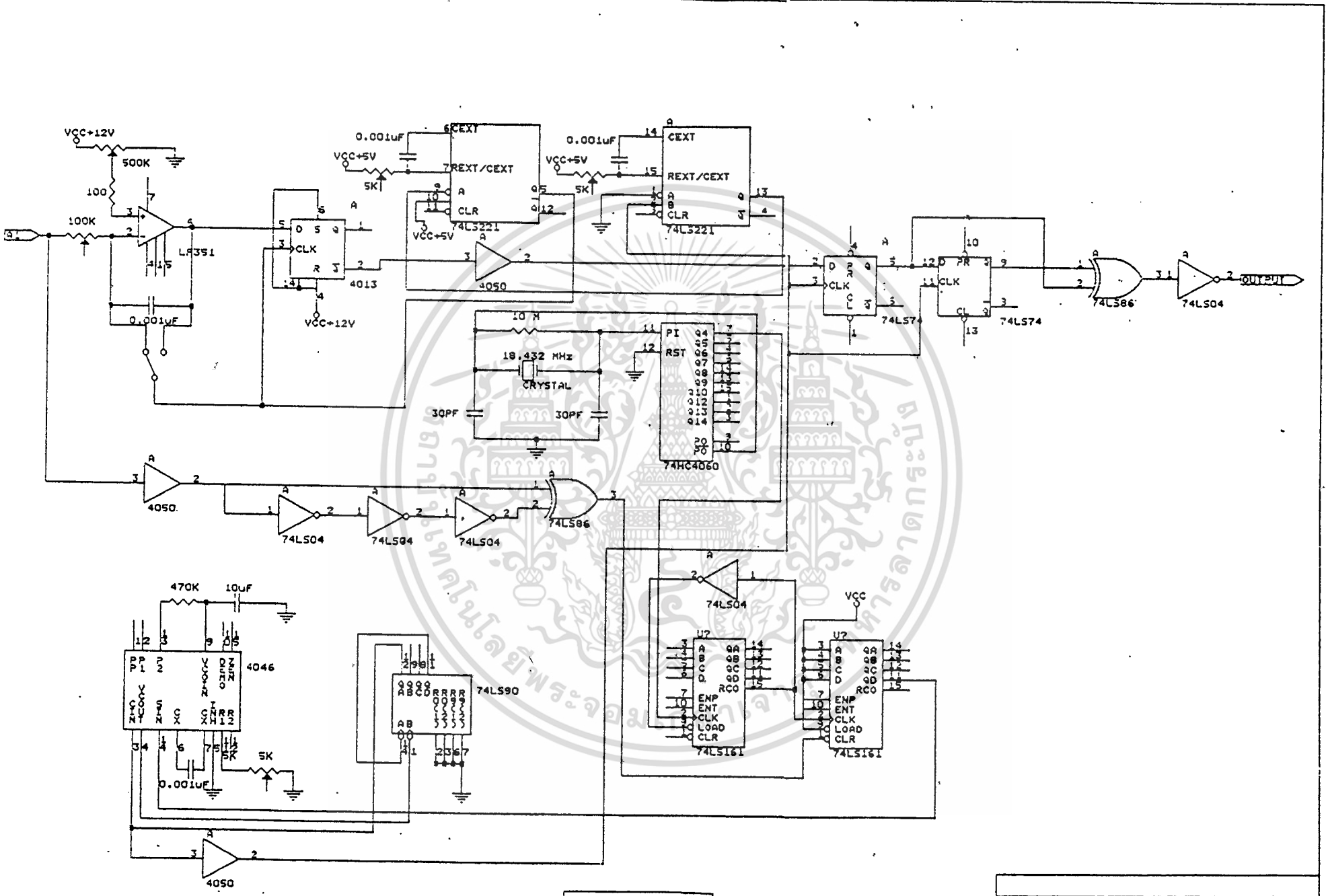
รูปที่ 7 ลักษณะรูปคลื่นเมื่อวัดที่จุด 7

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้


DB9
A1489
4049
DATA NRZ
OUTPUT
74LS93
RO(1)
RO(2)
7486
74LS74
40102
+12 V
VCC
3.3K
6.8K
2.2uF
100K
270K
0.1uF
220K
LF351
20K
10K
500
2206
1K
1000uF
1nF
5.1K
50K
4046
CIN
VCOUT
SIN
CX
VCOIN
INH
R1
R2
PP
P1
P2
DEMO
ZEN
1488
30K
LM1495
12K
2K
18K
5K
1.2K
0.01uF
5.1V
-12 V
O/P
MODULATOR


I/P
1uF
2.2K
.001uF
4.4K
.001uF
1K
LF351
TR458
VCC+12V
0.1uF
1k
VEE-12V
1k
820
0.1uF
22uF
0.1uF
51
10 uF
10 K
10K
50k
100
100
22uF
1k
MC
1495
1.3k
3k
3k
0.1uF
10k
VCC+12 V
VCC+12 V
10K
4.7K
10K
5.6K
2K
0.001uF
LM 565
4.7K
.02uF
330pF
680
2.2uF
VCC+12V
1K
820
1.3K
0.1uF
22uF 16V
3K
3K
VCC+5 V
VCC+5 V
VCC+5 V
500K
VCC+12 V
1K
10K
1uF
311
A
D
CLK
74LS74
TR458
180
100
0.1uF
0.1uF
51
10uF16V
10K
50K
10K
22uF15V
100
100
MC
1496
1K
0.1uF
0.1uF
100
0.1uF
10K
0.0033uF
0.0033uF
190K
VCC+12V
100
190K
LF351
OUTPUT
A1
DEMODULATOR


VCC+12V
500K
100
100K
LM351
0.001uF
VCC+5V
5K
74L3221
4013
4050
74LS74
74LS86
74LS04
OUTPUT
10 M
18.432 MHz
CRYSTAL
30PF
74HC4060
470K
10uF
4046
74LS90
74LS161
VCC
CLOCK RECOVERY
Size
Document Number
REV
Date: February 3, 1992
Sheet
of

<u>การทดลองวัดและแสดงผล</u> ในการทดลองเราได้นำชุดดีเทคที่ได้อินเตอร์เฟสกับเครื่องไมโครคอมพิวเตอร์มาทำการเทส(TEST) โดยนำชุดกำเนิดสัญญาณกึ่งแรนดอมมาต่อเข้าด้านอินพุทของชุดดีเทคโดยตรงเปรียบเทียบกับนำสัญญาณกึ่งแรนดอมผ่านโมเด็มแล้วทำการวัดจะได้ผลการวัดออกมาในจอคอมพิวเตอร์โดยฟังก์ชั่นการทำงานของซอร์พแวร์สามารถพิมพ์ออกมาทางเครื่องพิมพ์ให้ดูได้ ดังต่อไปนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
ฺ
ฺ starting time =10:0:0
ฺ  block    = 100 bit
ฺ  total err=   0
ฺ  blk count=   100
ฺ  bit count=10000
ฺ stop time =10:0:2
ฺ
ฺ
ฺ
ฺ
ฺ
ฺ
ฺ
ฺ
ฺ
ฺ
ฺ
ฺ
ฺ
ฺ
ฺterminate
B>
         printer:p    save disk:s    graphics:g   exit:Esc
```

ต่อตรง

```
ฺ
ฺ starting time =0:1:28
ฺ  block    = 100 bit
ฺ  total err=   255
ฺ  blk count=   100
ฺ  bit count=10000
ฺ stop time =0:1:32
ฺ
ฺ
ฺ
ฺ
ฺ
ฺ
ฺ
ฺ
ฺ
ฺ
ฺ
ฺ
ฺ
ฺ
ฺterminate
B>
B>       printer:p    save disk:s    graphics:g   exit:Esc
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ต่อผ่านโมเด็ม

บทที่ 5

สรุปผลและวิจารณ์

จากบทที่ 4 จะเห็นว่า เมื่อต่อตรงจะให้จำนวนบิทผิด (Error) เป็น 0 แสดงว่าชุดซิงโครไนซ์ของภาคดีเทค มีประสิทธิภาพดี และ ชุดนับเพื่อแสดงผลมีความเที่ยงตรงต่อไปเมื่อทำการทดลองต่อผ่านโมเด็มแล้ววัดออกมาจะเห็นว่ามีบิทผิดเกิดขึ้นแสดงว่าในระบบที่ใช้โมเด็มตัวนี้ไม่ได้มีประสิทธิภาพ 100 % ซึ่งจะอยู่ในมาตรฐานในการสื่อสารหรือไม่นั้นขึ้นอยู่กับว่ามาตรฐานที่จะใช้ กำหนดอัตราความผิดพลาดสูงสุด (BER) ไว้เท่าไร เช่น กำหนด BER = 10^{-6} ก็หมายความว่า ในการส่งข้อมูล 1 ล้านบิท จะยอมให้มีบิทผิดได้สูงสุด 1 บิท

ในงานวิจัยครั้งนี้ถ้าจะมองในเชิงการค้าแล้วสินค้าจะประกอบด้วย แผ่นวงจรอยู่ในรูปของการ์ดสำหรับเสียบสล๊อตของไมโครคอมพิวเตอร์ 1 แผ่น และโปรแกรมบรรจุในแผ่นดิสค์อีก 1 แผ่น ซึ่งจะเหมาะสมมากสำหรับผู้ที่มีเครื่องไมโครคอมพิวเตอร์ไอบีเอ็มพีซี โดยจะเป็นประโยชน์สำหรับผู้ที่ต้องการตรวจสอบ ความสมบูรณ์ของระบบด้วยอุปกรณ์ตรวจสอบที่ไม่แพงและใช้งานง่าย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

8253/8253-5
PROGRAMMABLE INTERVAL TIMER

- MCS-85™ Compatible 8253-5
- 3 Independent 16-Bit Counters
- DC to 2.6 MHz
- Programmable Counter Modes
- Count Binary or BCD
- Single +5V Supply
- Available in EXPRESS
  - —Standard Temperature Range
  - —Extended Temperature Range

The Intel® 8253 is a programmable counter/timer device designed for use as an Intel microcomputer peripheral. It uses nMOS technology with a single +5V supply and is packaged in a 24-pin plastic DIP.

It is organized as 3 independent 16-bit counters, each with a count rate of up to 2.6 MHz. All modes of operation are software programmable.

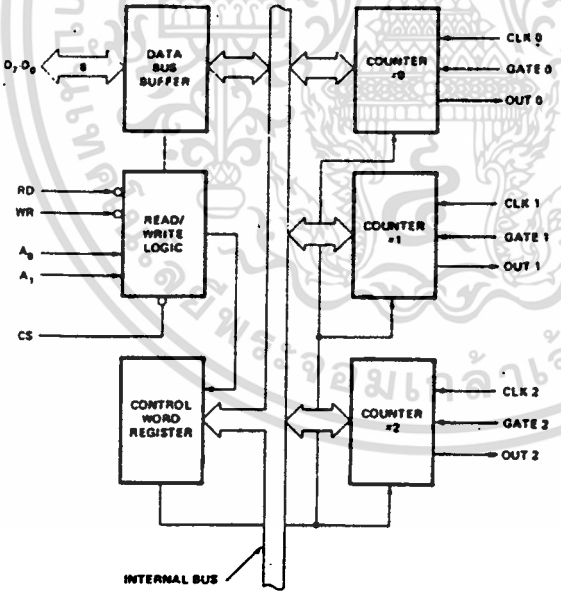


Figure 1. Block Diagram

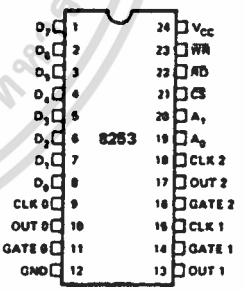


Figure 2. Pin Configuration

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

FUNCTIONAL DESCRIPTION

General

The 8253 is a programmable interval timer/counter specifically designed for use with the Intel™ Microcomputer systems. Its function is that of a general purpose, multi-timing element that can be treated as an array of I/O ports in the system software.

The 8253 solves one of the most common problems in any microcomputer system, the generation of accurate time delays under software control. Instead of setting up timing loops in systems software, the programmer configures the 8253 to match his requirements, initializes one of the counters of the 8253 with the desired quantity, then upon command the 8253 will count out the delay and interrupt the CPU when it has completed its tasks. It is easy to see that the software overhead is minimal and that multiple delays can easily be maintained by assignment of priority levels.

Other counter/timer functions that are non-delay in nature but also common to most microcomputers can be implemented with the 8253.

- Programmable Rate Generator
- Event Counter
- Binary Rate Multiplier
- Real Time Clock
- Digital One-Shot
- Complex Motor Controller

Data Bus Buffer

This 3-state, bi-directional, 8-bit buffer is used to interface the 8253 to the system data bus. Data is transmitted or received by the buffer upon execution of INput or OUTput CPU instructions. The Data Bus Buffer has three basic functions.

1. Programming the MODES of the 8253.
2. Loading the count registers.
3. Reading the count values.

Read/Write Logic

The Read/Write Logic accepts inputs from the system bus and in turn generates control signals for overall device operation. It is enabled or disabled by CS so that no operation can occur to change the function unless the device has been selected by the system logic.

$\overline{RD}$ (Read)

A "low" on this input informs the 8253 that the CPU is inputting data in the form of a counters value.

$\overline{WR}$ (Write)

A "low" on this input informs the 8253 that the CPU is outputting data in the form of mode information or loading counters.

A0, A1

These inputs are normally connected to the address bus. Their function is to select one of the three counters to be operated on and to address the control word register for mode selection.

$\overline{CS}$ (Chip Select)

A "low" on this input enables the 8253. No reading or writing will occur unless the device is selected. The CS input has no effect upon the actual operation of the counters.

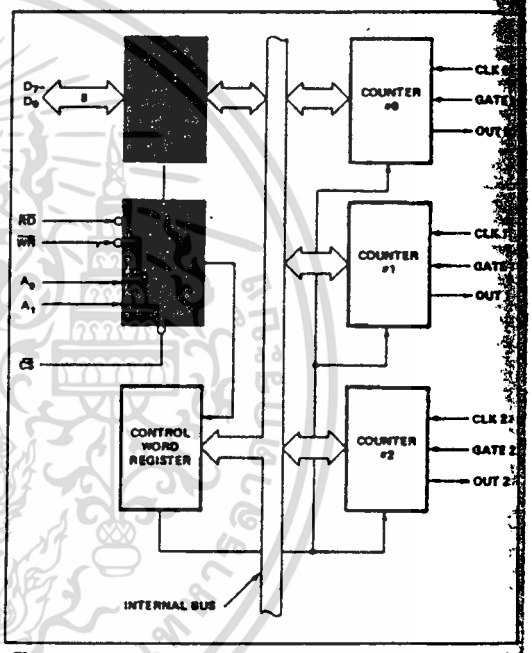


Figure 3. Block Diagram Showing Data Bus Buffer and Read/Write Logic Functions

$\overline{CS}$	$\overline{RD}$	$\overline{WR}$	A_1	A_0	
0	1	0	0	0	Load Counter No. 0
0	1	0	0	1	Load Counter No. 1
0	1	0	1	0	Load Counter No. 2
0	1	0	1	1	Write Mode Word
0	0	1	0	0	Read Counter No. 0
0	0	1	0	1	Read Counter No. 1
0	0	1	1	0	Read Counter No. 2
0	0	1	1	1	No-Operation 3-State
1	X	X	X	X	Disable 3-State
0	1	1	X	X	No-Operation 3-State

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Control Word Register

The Control Word Register is selected when A0, A1 are 11. It then accepts information from the data bus buffer and stores it in a register. The information stored in this register controls the operational MODE of each counter, selection of binary or BCD counting and the loading of each count register.

The Control Word Register can only be written into; no read operation of its contents is available.

Counter #0, Counter #1, Counter #2

These three functional blocks are identical in operation so only a single Counter will be described. Each Counter consists of a single, 16-bit, pre-settable, DOWN counter. The counter can operate in either binary or BCD and its input, gate and output are configured by the selection of MODES stored in the Control Word Register.

The counters are fully independent and each can have separate Mode configuration and counting operation, binary or BCD. Also, there are special features in the control word that handle the loading of the count value so that software overhead can be minimized for these functions.

The reading of the contents of each counter is available to the programmer with simple READ operations for event counting applications and special commands and logic are included in the 8253 so that the contents of each counter can be read "on the fly" without having to inhibit the clock input.

8253 SYSTEM INTERFACE

The 8253 is a component of the Intel™ Microcomputer Systems and interfaces in the same manner as all other peripherals of the family. It is treated by the systems software as an array of peripheral I/O ports; three are counters and the fourth is a control register for MODE programming.

Basically, the select inputs A0, A1 connect to the A0, A1 address bus signals of the CPU. The $\overline{CS}$ can be derived directly from the address bus using a linear select method. Or it can be connected to the output of a decoder, such as an Intel® 8205 for larger systems.

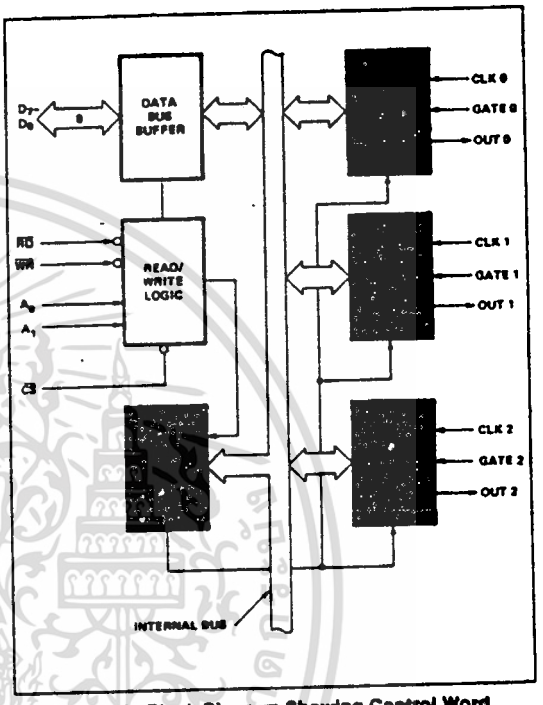


Figure 4. Block Diagram Showing Control Word Register and Counter Functions

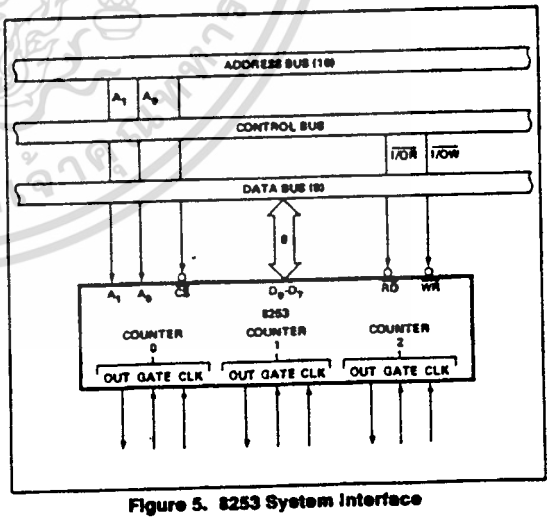


Figure 5. 8253 System Interface

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

OPERATIONAL DESCRIPTION

General

The complete functional definition of the 8253 is programmed by the systems software. A set of control words must be sent out by the CPU to initialize each counter of the 8253 with the desired MODE and quantity information. Prior to initialization, the MODE, count, and output of all counters is undefined. These control words program the MODE, Loading sequence and selection of binary or BCD counting.

Once programmed, the 8253 is ready to perform whatever timing tasks it is assigned to accomplish.

The actual counting operation of each counter is completely independent and additional logic is provided on-chip so that the usual problems associated with efficient monitoring and management of external, asynchronous events or rates to the microcomputer system have been eliminated.

Programming the 8253

All of the MODES for each counter are programmed by the systems software by simple I/O operations.

Each counter of the 8253 is individually programmed by writing a control word into the Control Word Register. (A0, A1 = 11)

Control Word Format

D_7	D_6	D_5	D_4	D_3	D_2	D_1	D_0
SC1	SC0	RL1	RL0	M2	M1	M0	BCD

Definition of Control

SC — Select Counter:

SC1	SC0	
0	0	Select Counter 0
0	1	Select Counter 1
1	0	Select Counter 2
1	1	Illegal

RL — Read/Load:

RL1	RL0	
0	0	Counter Latching operation (see READ/WRITE Procedure Section)
1	0	Read/Load most significant byte only.
0	1	Read/Load least significant byte only.
1	1	Read/Load least significant byte first, then most significant byte.

M — MODE:

M2	M1	M0	
0	0	0	Mode 0
0	0	1	Mode 1
X	1	0	Mode 2
X	1	1	Mode 3
1	0	0	Mode 4
1	0	1	Mode 5

BCD:

0	Binary Counter 16-bits
1	Binary Coded Decimal (BCD) Counter (4 Decades)

Counter Loading

The count register is not loaded until the count value is written (one or two bytes, depending on the mode selected by the RL bits), followed by a rising edge and a falling edge of the clock. Any read of the counter prior to that falling clock edge may yield invalid data.

MODE Definition

MODE 0: Interrupt on Terminal Count. The output will be initially low after the mode set operation. After the count is loaded into the selected count register, the output will remain low and the counter will count. When terminal count is reached the output will go high and remain high until the selected count register is reloaded with the mode or a new count is loaded. The counter continues to decrement after terminal count has been reached.

Rewriting a counter register during counting results in the following:

(1) Write 1st byte stops the current counting.
(2) Write 2nd byte starts the new count.

MODE 1: Programmable One-Shot. The output will go low on the count following the rising edge of the gate input.

The output will go high on the terminal count. If a new count value is loaded while the output is low it will not affect the duration of the one-shot pulse until the succeeding trigger. The current count can be read at any time without affecting the one-shot pulse.

The one-shot is retriggerable, hence the output will remain low for the full count after any rising edge of the gate input.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MODE 2: Rate Generator. Divide by N counter. The output will be low for one period of the input clock. The period from one output pulse to the next equals the number of input counts in the count register. If the count register is reloaded between output pulses the present period will not be affected, but the subsequent period will reflect the new value.

The gate input, when low, will force the output high. When the gate input goes high, the counter will start from the initial count. Thus, the gate input can be used to synchronize the counter.

When this mode is set, the output will remain high until after the count register is loaded. The output then can also be synchronized by software.

MODE 3: Square Wave Rate Generator. Similar to MODE 2 except that the output will remain high until one half the count has been completed (for even numbers) and go low for the other half of the count. This is accomplished by decrementing the counter by two on the falling edge of each clock pulse. When the counter reaches terminal count, the state of the output is changed and the counter is reloaded with the full count and the whole process is repeated.

If the count is odd and the output is high, the first clock pulse (after the count is loaded) decrements the count by 1. Subsequent clock pulses decrement the clock by 2. After timeout, the output goes low and the full count is reloaded. The first clock pulse (following the reload) decrements the counter by 3. Subsequent clock pulses decrement the count by 2 until timeout. Then the whole process is repeated. In this way, if the count is odd, the output will be high for $(N+1)/2$ counts and low for $(N-1)/2$ counts.

In Modes 2 and 3, if a CLK source other than the system clock is used, GATE should be pulsed immediately following $\overline{WR}$ of a new count value.

MODE 4: Software Triggered Strobe. After the mode is set, the output will be high. When the count is loaded, the counter will begin counting. On terminal count, the output will go low for one input clock period, then will go high again.

If the count register is reloaded during counting, the new count will be loaded on the next CLK pulse. The count will be inhibited while the GATE input is low.

MODE 5: Hardware Triggered Strobe. The counter will start counting after the rising edge of the trigger input and will go low for one clock period when the terminal count is reached. The counter is retriggerable. The output will not go low until the full count after the rising edge of any trigger.

Modes \ Signal Status	Low Or Going Low	Rising	High
0	Disables counting	— —	Enables counting
1	— —	1) Initiates counting 2) Resets output after next clock	— —
2	1) Disables counting 2) Sets output immediately high	1) Reloads counter 2) Initiates counting	Enables counting
3	1) Disables counting 2) Sets output immediately high	1) Reloads counter 2) Initiates counting	Enables counting
4	Disables counting	— —	Enables counting
5	— —	Initiates counting	— —

Figure 6. Gate Pin Operations Summary

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

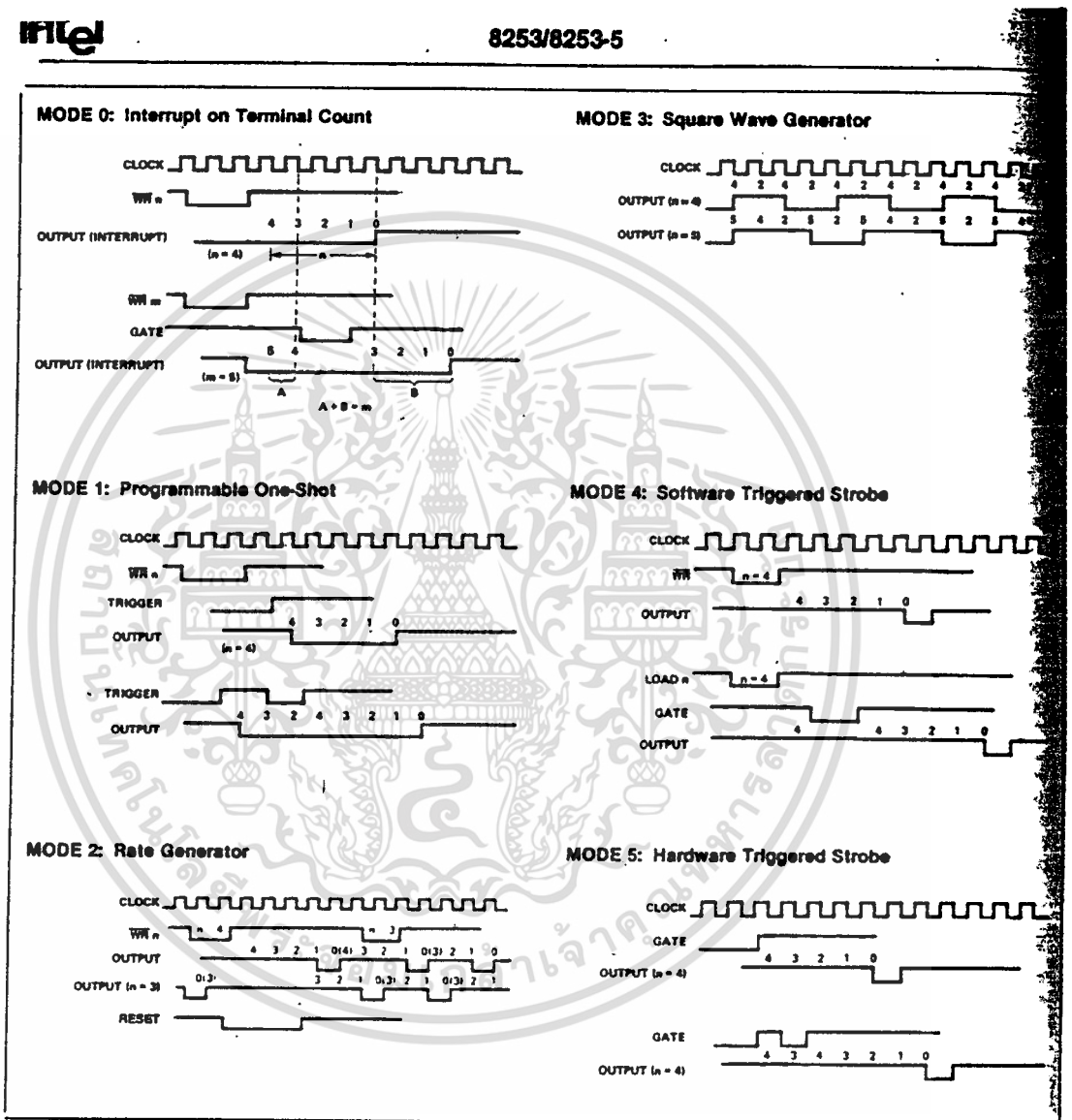


Figure 7. 8253 Timing Diagrams

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

8253 READ/WRITE PROCEDURE

Write Operations

The systems software must program each counter of the 8253 with the mode and quantity desired. The programmer must write out to the 8253 a MODE control word and the programmed number of count register bytes (1 or 2) prior to actually using the selected counter.

The actual order of the programming is quite flexible. Writing out of the MODE control word can be in any sequence of counter selection, e.g., counter #0 does not have to be first or counter #2 last. Each counter's MODE control word register has a separate address so that its loading is completely sequence independent. (SC0, SC1)

The loading of the Count Register with the actual count value, however, must be done in exactly the sequence programmed in the MODE control word (RL0, RL1). This loading of the counter's count register is still sequence independent like the MODE control word loading, but when a selected count register is to be loaded it must be loaded with the number of bytes programmed in the MODE control word (RL0, RL1). The one or two bytes to be loaded in the count register do not have to follow the associated MODE control word. They can be programmed at any time following the MODE control word loading as long as the correct number of bytes is loaded in order.

All counters are down counters. Thus, the value loaded into the count register will actually be decremented. Loading all zeroes into a count register will result in the maximum count (2^{16} for Binary or 10^4 for BCD). In MODE 0 the new count will not restart until the load has been completed. It will accept one of two bytes depending on how the MODE control words (RL0, RL1) are programmed. Then proceed with the restart operation.

	MODE Control Word Counter n
LSB	Count Register byte Counter n
MSB	Count Register byte Counter n

Note: Format shown is a simple example of loading the 8253 and does not imply that it is the only format that can be used.

Figure 8. Programming Format

			A1	A0
No. 1		MODE Control Word Counter 0	1	1
No. 2		MODE Control Word Counter 1	1	1
No. 3		MODE Control Word Counter 2	1	1
No. 4	LSB	Count Register Byte Counter 1	0	1
No. 5	MSB	Count Register Byte Counter 1	0	1
No. 6	LSB	Count Register Byte Counter 2	1	0
No. 7	MSB	Count Register Byte Counter 2	1	0
No. 8	LSB	Count Register Byte Counter 0	0	0
No. 9	MSB	Count Register Byte Counter 0	0	0

Note: The exclusive addresses of each counter's count register make the task of programming the 8253 a very simple matter, and maximum effective use of the device will result if this feature is fully utilized.

Figure 9. Alternate Programming Formats

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Read Operations

In most counter applications it becomes necessary to read the value of the count in progress and make a computational decision based on this quantity. Event counters are probably the most common application that uses this function. The 8253 contains logic that will allow the programmer to easily read the contents of any of the three counters without disturbing the actual count in progress.

There are two methods that the programmer can use to read the value of the counters. The first method involves the use of simple I/O read operations of the selected counter. By controlling the A0, A1 inputs to the 8253 the programmer can select the counter to be read (remember that no read operation of the mode register is allowed A0, A1=11). The only requirement with this method is that in order to assure a stable count reading the actual operation of the selected counter must be inhibited either by controlling the Gate input or by external logic that inhibits the clock input. The contents of the counter selected will be available as follows:

first I/O Read contains the least significant byte (LSB).

second I/O Read contains the most significant byte (MSB).

Due to the internal logic of the 8253 it is absolutely necessary to complete the entire reading procedure. If two bytes are programmed to be read then two bytes must be read before any loading WR command can be sent to the same counter.

Read Operation Chart

A1	A0	RD	
0	0	0	Read Counter No. 0
0	1	0	Read Counter No. 1
1	0	0	Read Counter No. 2
1	1	0	Illegal

Reading While Counting

In order for the programmer to read the contents of a counter without effecting or disturbing the count operation the 8253 has special internal logic that can be accessed using simple WR commands to the MODE register. Basically, when the programmer wishes to read the contents of a selected counter "on the fly" he loads the MODE register with a special code which latches the present count value into a storage register so that its contents contain an accurate, stable quantity. The programmer then issues a normal read command to the selected counter and the contents of the latched register is available.

MODE Register for Latching Count

A0, A1 = 11

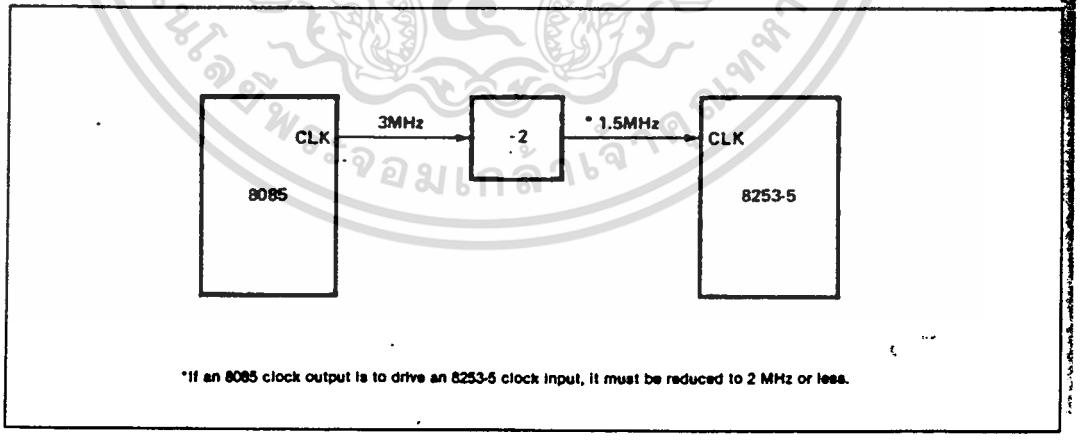
D7	D6	D5	D4	D3	D2	D1	D0
SC1	SC0	0	0	X	X	X	X

SC1,SC0 — specify counter to be latched.

D5,D4 — 00 designates counter latching operation.

X — don't care.

The same limitation applies to this mode of reading the counter as the previous method. That is, it is mandatory to complete the entire read operation as programmed. This command has no effect on the counter's mode.



*If an 8085 clock output is to drive an 8253-5 clock input, it must be reduced to 2 MHz or less.

Figure 10. MCS-85™ Clock Interface*

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ABSOLUTE MAXIMUM RATINGS*

Ambient Temperature Under Bias ..... 0°C to 70°C
Storage Temperature ..... −65°C to +150°C
Voltage On Any Pin
With Respect to Ground ..... −0.5 V to +7 V
Power Dissipation ..... 1 Watt

NOTICE: Stresses above those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. This is a stress rating only and functional operation of the device at these or any other conditions above those indicated in the operational sections of this specification is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

D.C. CHARACTERISTICS (T_A = 0°C to 70°C, V_{CC} = 5V ±10%) *

Symbol	Parameter	Min.	Max.	Unit	Test Conditions
V_{IL}	Input Low Voltage	-0.5	0.8	V	
V_{IH}	Input High Voltage	2.2	V_{CC}+.5V	V	
V_{OL}	Output Low Voltage		0.45	V	Note 1
V_{OH}	Output High Voltage	2.4		V	Note 2
I_{IL}	Input Load Current		±10	μA	V_{IN} = V_{CC} to 0V
I_{OFL}	Output Float Leakage		±10	μA	V_{OUT} = V_{CC} to .45V
I_{CC}	V_{CC} Supply Current		140	mA	

CAPACITANCE (T_A = 25°C, V_{CC} = GND = 0V)

Symbol	Parameter	Min.	Typ.	Max.	Unit	Test Conditions
C_{IN}	Input Capacitance			10	pF	fc = 1 MHz
$C_{I/O}$	I/O Capacitance			20	pF	Unmeasured pins returned to V_{SS}

A.C. CHARACTERISTICS (T_A = 0°C to 70°C, V_{CC} = 5.0V ± 10%, GND = 0V) *

Bus Parameters (Note 3)

READ CYCLE

Symbol	Parameter	8253		8253-5		Unit
		Min.	Max.	Min.	Max.	
t_{AR}	Address Stable Before $\overline{READ}$	50		30		ns
t_{RA}	Address Hold Time for $\overline{READ}$	5		5		ns
t_{RR}	$\overline{READ}$ Pulse Width	400		300		ns
t_{RD}	Data Delay From $\overline{READ}$[4]		300		200	ns
t_{DF}	$\overline{READ}$ to Data Floating	25	125	25	100	ns
t_{RV}	Recovery Time Between READ and Any Other Control Signal	1		1		μs

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

A.C. CHARACTERISTICS (Continued)

WRITE CYCLE

Symbol	Parameter	8253		8253-5		Unit
		Min.	Max.	Min.	Max.	
t_{AW}	Address Stable Before $\overline{WRITE}$	50		30		ns
t_{WA}	Address Hold Time for $\overline{WRITE}$	30		30		ns
t_{WW}	$\overline{WRITE}$ Pulse Width	400		300		ns
t_{DW}	Data Set Up Time for $\overline{WRITE}$	300		250		ns
t_{WD}	Data Hold Time for $\overline{WRITE}$	40		30		ns
t_{RV}	Recovery Time Between $\overline{WRITE}$ and Any Other Control Signal	1		1		μs

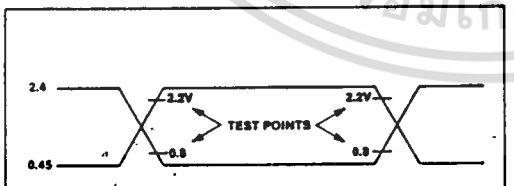
CLOCK AND GATE TIMING

Symbol	Parameter	8253		8253-5		Unit
		Min.	Max.	Min.	Max.	
t_{CLK}	Clock Period	380	dc	380	dc	ns
t_{PWH}	High Pulse Width	230		230		ns
t_{PWL}	Low Pulse Width	150		150		ns
t_{GW}	Gate Width High	150		150		ns
t_{GL}	Gate Width Low	100		100		ns
t_{GS}	Gate Set Up Time to CLK↑	100		100		ns
t_{GH}	Gate Hold Time After CLK↑	50		50		ns
t_{OD}	Output Delay From CLK↓[4]		400		400	ns
t_{ODG}	Output Delay From Gate↓[4]		300		300	ns

NOTES:
1. I_{OL} = 2.2 mA.
2. I_{OH} = −400 μA.
3. AC timings measured at V_{OH} 2.2, V_{OL} = 0.8.
4. C_L = 150pF.

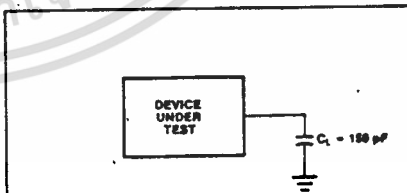
* For Extended Temperature EXPRESS, use M8253 electrical parameters.

A.C. TESTING INPUT, OUTPUT WAVEFORM



A.C. TESTING: INPUTS ARE DRIVEN AT 2.4V FOR A LOGIC "1" AND 0.45V FOR A LOGIC "0." TIMING MEASUREMENTS ARE MADE AT 2.2V FOR A LOGIC "1" AND 0.8V FOR A LOGIC 0.

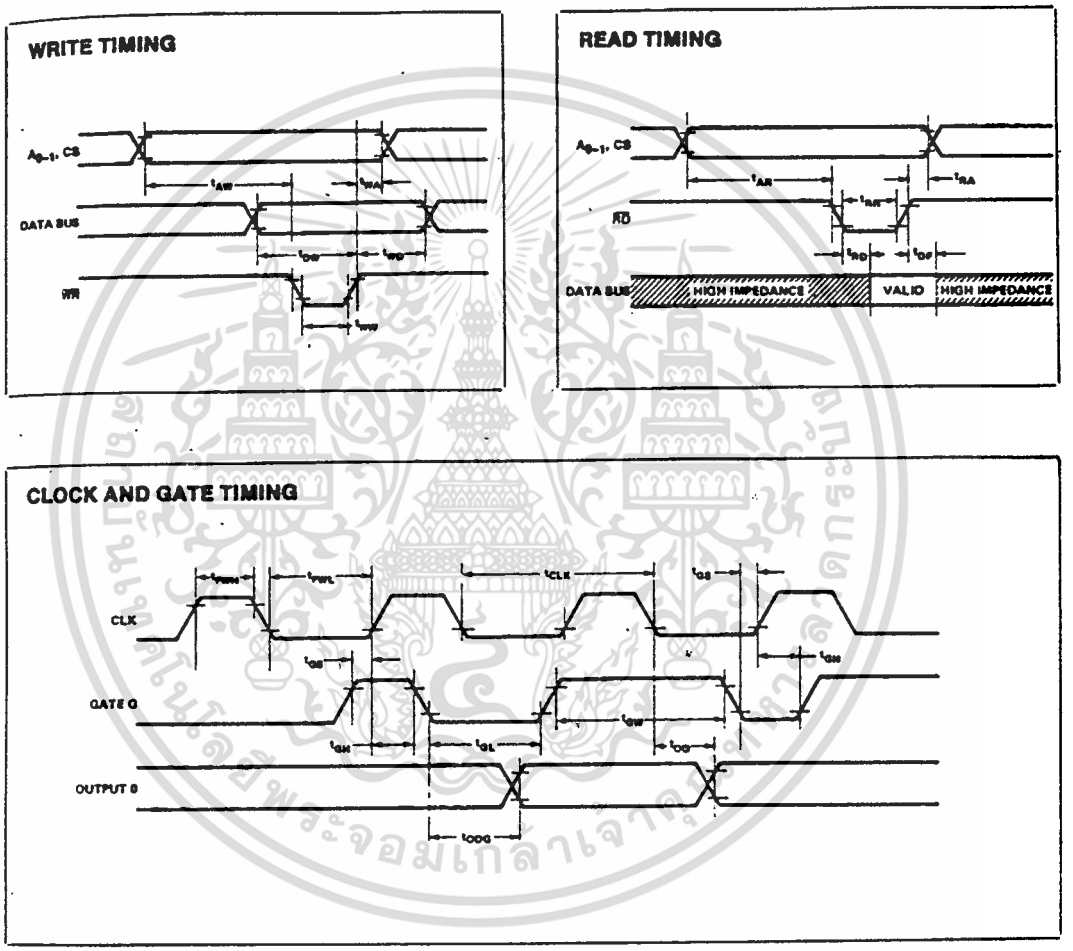
A.C. TESTING LOAD CIRCUIT



C_L INCLUDES JIG CAPACITANCE

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

WAVEFORMS



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

8255A/8255A-5
PROGRAMMABLE PERIPHERAL INTERFACE

- MCS-85™ Compatible 8255A-5
- 24 Programmable I/O Pins
- Completely TTL Compatible
- Fully Compatible with Intel® Microprocessor Families
- Improved Timing Characteristics
- Direct Bit Set/Reset Capability Easing Control Application Interface
- Reduces System Package Count
- Improved DC Driving Capability
- Available in EXPRESS
  - —Standard Temperature Range
  - —Extended Temperature Range

The Intel® 8255A is a general purpose programmable I/O device designed for use with Intel® microprocessors. It has 24 I/O pins which may be individually programmed in 2 groups of 12 and used in 3 major modes of operation. In the first mode (MODE 0), each group of 12 I/O pins may be programmed in sets of 4 to be input or output. In MODE 1, the second mode, each group may be programmed to have 8 lines of input or output. Of the remaining 4 pins, 3 are used for handshaking and interrupt control signals. The third mode of operation (MODE 2) is a bidirectional bus mode which uses 8 lines for a bidirectional bus, and 5 lines, borrowing one from the other group, for handshaking.

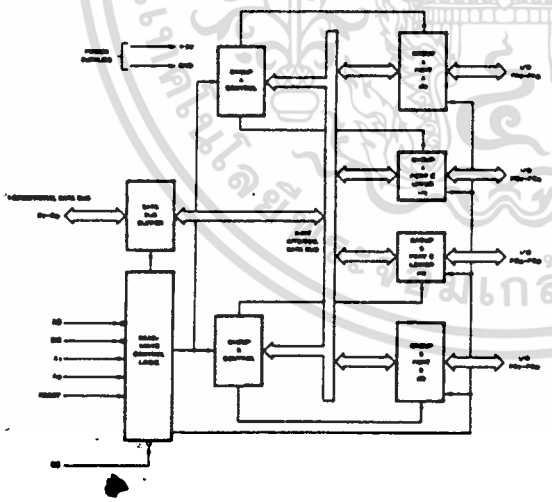


Figure 1. 8255A Block Diagram

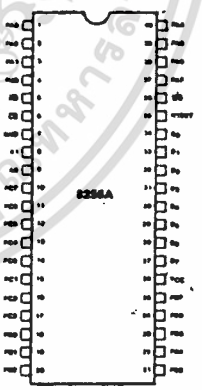


Figure 2. Pin Configuration

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

8255A FUNCTIONAL DESCRIPTION

General

The 8255A is a programmable peripheral interface (PPI) device designed for use in Intel® microcomputer systems. Its function is that of a general purpose I/O component to interface peripheral equipment to the microcomputer system bus. The functional configuration of the 8255A is programmed by the system software so that normally no external logic is necessary to interface peripheral devices or structures.

Data Bus Buffer

This 3-state bidirectional 8-bit buffer is used to interface the 8255A to the system data bus. Data is transmitted or received by the buffer upon execution of input or output instructions by the CPU. Control words and status information are also transferred through the data bus buffer.

Read/Write and Control Logic

The function of this block is to manage all of the internal and external transfers of both Data and Control or Status words. It accepts inputs from the CPU Address and Control busses and in turn, issues commands to both of the Control Groups.

($\overline{CS}$)

Chip Select. A "low" on this input pin enables the communiction between the 8255A and the CPU.

($\overline{RD}$)

Read. A "low" on this input pin enables the 8255A to send the data or status information to the CPU on the data bus. In essence, it allows the CPU to "read from" the 8255A.

($\overline{WR}$)

Write. A "low" on this input pin enables the CPU to write data or control words into the 8255A.

(A_0 and A_1)

Port Select 0 and Port Select 1. These input signals, in conjunction with the RD and WR inputs, control the selection of one of the three ports or the control word registers. They are normally connected to the least significant bits of the address bus (A_0 and A_1).

8255A BASIC OPERATION

A_1	A_0	$\overline{RD}$	$\overline{WR}$	$\overline{CS}$	INPUT OPERATION (READ)
0	0	0	1	0	PORT A → DATA BUS
0	1	0	1	0	PORT B → DATA BUS
1	0	0	1	0	PORT C → DATA BUS
					OUTPUT OPERATION (WRITE)
0	0	1	0	0	DATA BUS → PORT A
0	1	1	0	0	DATA BUS → PORT B
1	0	1	0	0	DATA BUS → PORT C
1	1	1	0	0	DATA BUS → CONTROL
					DISABLE FUNCTION
X	X	X	X	1	DATA BUS → 3-STATE
1	1	0	1	0	ILLEGAL CONDITION
X	X	1	1	0	DATA BUS → 3-STATE

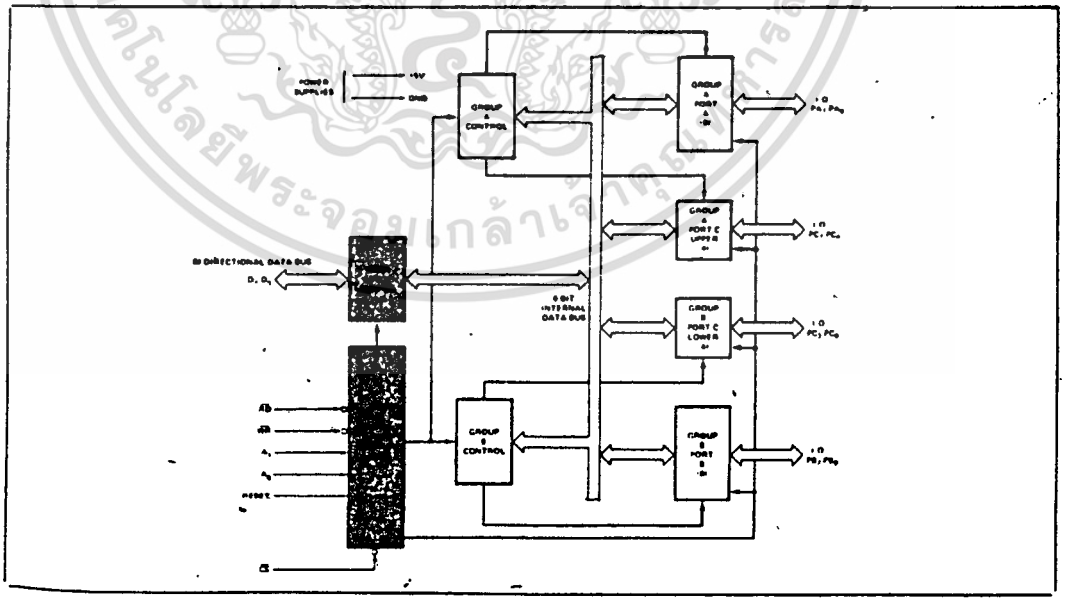


Figure 3. 8255A Block Diagram Showing Data Bus Buffer and Read/Write Control Logic Fuactions

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

(RESET)

Reset: A "high" on this input clears the control register and all ports (A, B, C) are set to the input mode.

Group A and Group B Controls

The functional configuration of each port is programmed by the systems software. In essence, the CPU "outputs" a control word to the 8255A. The control word contains information such as "mode", "bit set", "bit reset", etc., that initializes the functional configuration of the 8255A.

Each of the Control blocks (Group-A and Group B) accepts "commands" from the Read/Write Control Logic, receives "control words" from the internal data bus and issues the proper commands to its associated ports.

Control Group A – Port A and Port C upper (C7-C4)
Control Group B – Port B and Port C lower (C3-C0)

The Control Word Register can Only be written into. No Read operation of the Control Word Register is allowed.

Ports A, B, and C

The 8255A contains three 8-bit ports (A, B, and C). They can be configured in a wide variety of functional characteristics by the system software but each has its own special features or "personality" to further enhance the power and flexibility of the 8255A.

Port A. One 8-bit data output latch/buffer and one 8-bit data input latch.

Port B. One 8-bit data input/output latch/buffer and one 8-bit data input buffer.

Port C. One 8-bit data output latch/buffer and one 8-bit data input buffer (no latch for input). This port can be divided into two 4-bit ports under the mode control. Each 4-bit port contains a 4-bit latch and it can be used for the control signal outputs and status signal inputs in conjunction with ports A and B.

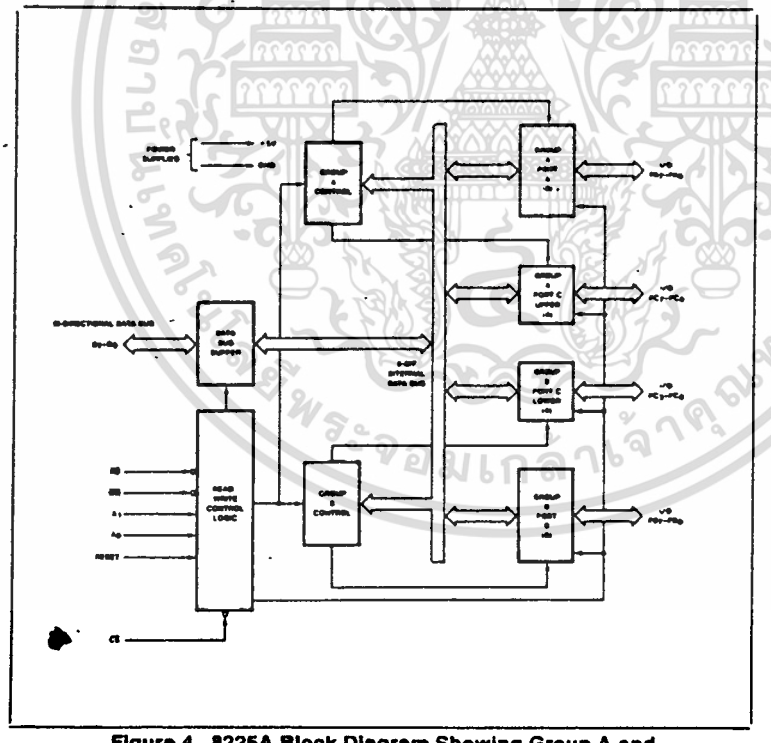


Figure 4. 8225A Block Diagram Showing Group A and Group B Control Functions

PIN CONFIGURATION

PIN NAMES

D_7-D_0	DATA BUS (BI-DIRECTIONAL)
RESET	RESET INPUT
$\overline{CS}$	CHIP SELECT
$\overline{RD}$	READ INPUT
$\overline{WR}$	WRITE INPUT
A0, A1	PORT ADDRESS
PA7-PA0	PORT A (BIT)
PB7-PB0	PORT B (BIT)
PC7-PC0	PORT C (BIT)
V_{CC}	+5 VOLTS
GND	0 VOLTS

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

8255A OPERATIONAL DESCRIPTION

Mode Selection

There are three basic modes of operation that can be selected by the system software:

Mode 0 – Basic Input/Output
Mode 1 – Strobed Input/Output
Mode 2 – Bi-Directional Bus

When the reset input goes "high" all ports will be set to the input mode (i.e., all 24 lines will be in the high impedance state). After the reset is removed the 8255A can remain in the input mode with no additional initialization required. During the execution of the system program any of the other modes may be selected using a single output instruction. This allows a single 8255A to service a variety of peripheral devices with a simple software maintenance routine.

The modes for Port A and Port B can be separately defined, while Port C is divided into two portions as required by the Port A and Port B definitions. All of the output registers, including the status flip-flops, will be reset whenever the mode is changed. Modes may be combined so that their functional definition can be "tailored" to almost any I/O structure. For instance; Group B can be programmed in Mode 0 to monitor simple switch closings or display computational results, Group A could be programmed in Mode 1 to monitor a keyboard or tape reader on an interrupt-driven basis.

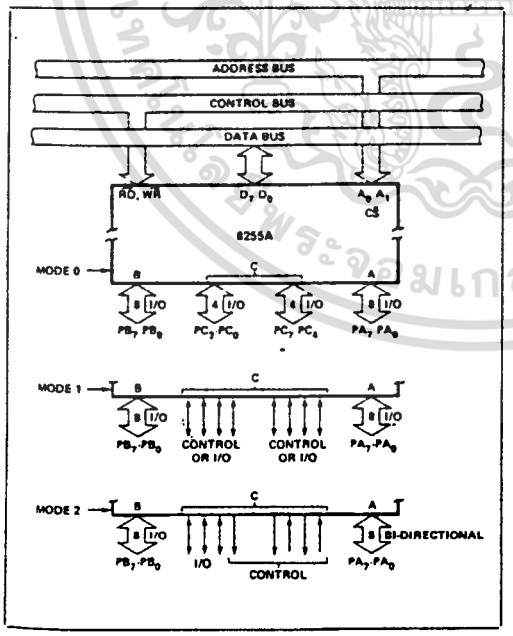


Figure 5. Basic Mode Definitions and Bus Interface

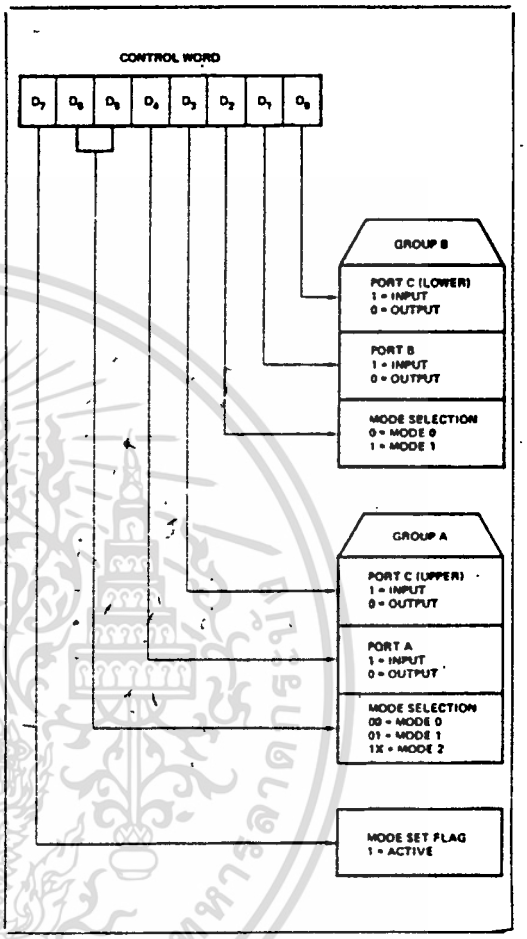


Figure 6. Mode Definition Format

The mode definitions and possible mode combinations may seem confusing at first but after a cursory review of the complete device operation a simple, logical I/O approach will surface. The design of the 8255A has taken into account things such as efficient PC board layout, control signal definition vs PC layout and complete functional flexibility to support almost any peripheral device with no external logic. Such design represents the maximum use of the available pins.

Single Bit Set/Reset Feature

Any of the eight bits of Port C can be Set or Reset using a single OUTput instruction. This feature reduces software requirements in Control-based applications.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

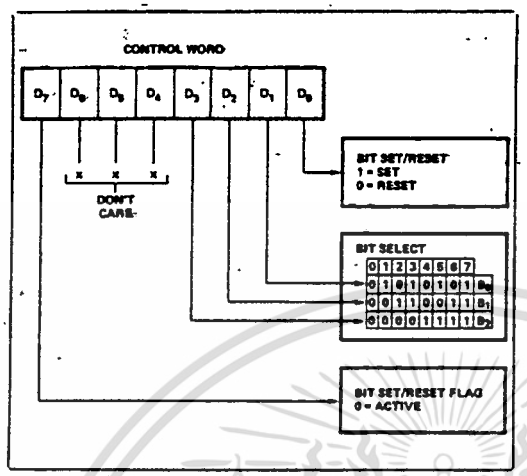


Figure 7. Bit Set/Reset Format

When Port C is being used as status/control for Port A o these bits can be set or reset by using the Bit Set/Res eration just as if they were data output ports.

Interrupt Control Functions

When the 8255A is programmed to operate in mode mode 2, control signals are provided that can be used interrupt request inputs to the CPU. The interrupt quest signals, generated from port C, can be inhibited enabled by setting or resetting the associated INTE fl flop, using the bit set/reset function of port C.

This function allows the Programmer to disallow or allo specific I/O device to interrupt the CPU without affect any other device in the interrupt structure.

INTE flip-flop definition:

(BIT-SET) — INTE is SET — Interrupt enable
(BIT-RESET) — INTE is RESET — Interrupt disable

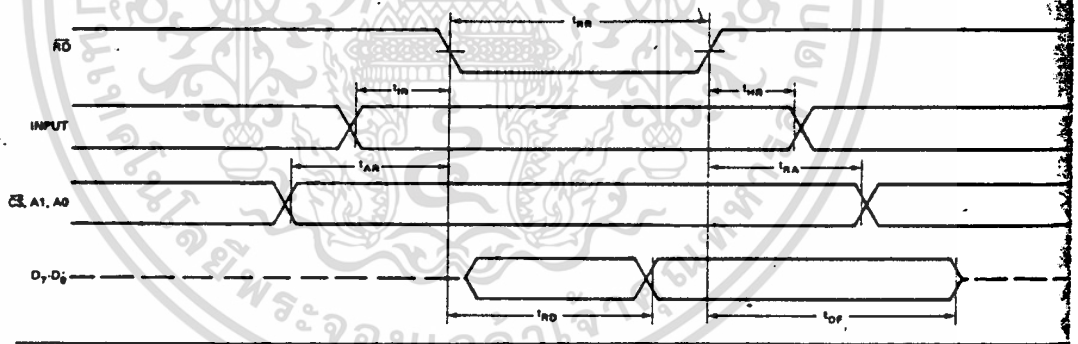
Note: All Mask flip-flops are automatically reset duri mode selection and device Reset.

Operating Modes

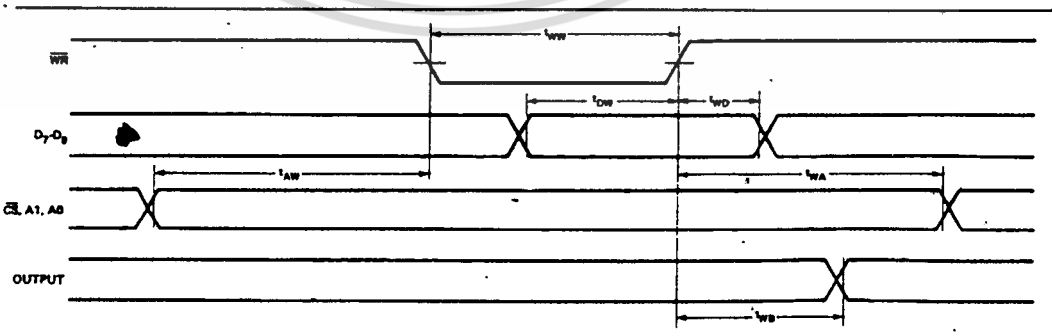
MODE 0 (Basic Input/Output). This functional configuration provides simple input and output operations for each of the three ports. No "handshaking" is required, data is simply written to or read from a specified port.

Mode 0 Basic Functional Definitions:

- Two 8-bit ports and two 4-bit ports.
- Any port can be input or output.
- Outputs are latched.
- Inputs are not latched.
- 16 different Input/Output configurations are possible in this Mode.



MODE 0 (Basic Input)



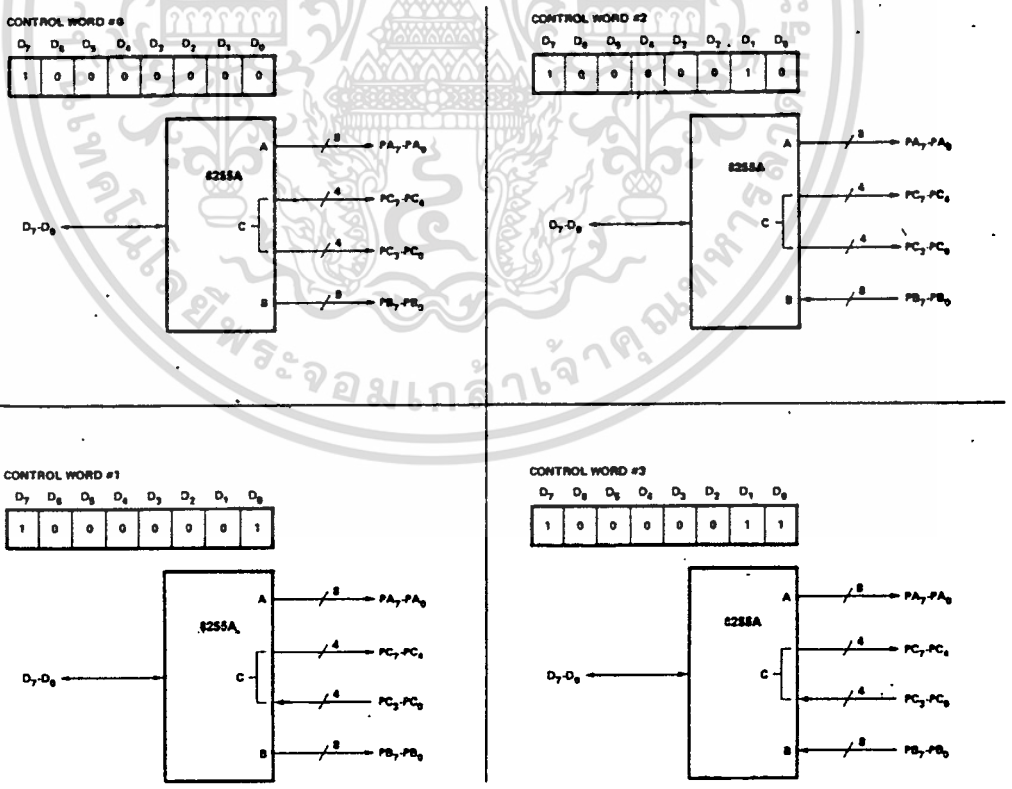
MODE 0 (Basic Output)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MODE 0 Port Definition

A		B		GROUP A			GROUP B	
D_4	D_3	D_1	D_0	PORT A	PORT C (UPPER)	#	PORT B	PORT C (LOWER)
0	0	0	0	OUTPUT	OUTPUT	0	OUTPUT	OUTPUT
0	0	0	1	OUTPUT	OUTPUT	1	OUTPUT	INPUT
0	0	1	0	OUTPUT	OUTPUT	2	INPUT	OUTPUT
0	0	1	1	OUTPUT	OUTPUT	3	INPUT	INPUT
0	1	0	0	OUTPUT	INPUT	4	OUTPUT	OUTPUT
0	1	0	1	OUTPUT	INPUT	5	OUTPUT	INPUT
0	1	1	0	OUTPUT	INPUT	6	INPUT	OUTPUT
0	1	1	1	OUTPUT	INPUT	7	INPUT	INPUT
1	0	0	0	INPUT	OUTPUT	8	OUTPUT	OUTPUT
1	0	0	1	INPUT	OUTPUT	9	OUTPUT	INPUT
1	0	1	0	INPUT	OUTPUT	10	INPUT	OUTPUT
1	0	1	1	INPUT	OUTPUT	11	INPUT	INPUT
1	1	0	0	INPUT	INPUT	12	OUTPUT	OUTPUT
1	1	0	1	INPUT	INPUT	13	OUTPUT	INPUT
1	1	1	0	INPUT	INPUT	14	INPUT	OUTPUT
1	1	1	1	INPUT	INPUT	15	INPUT	INPUT

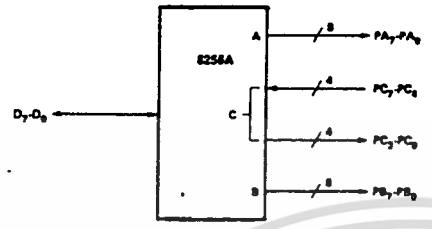
MODE 0 Configurations



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

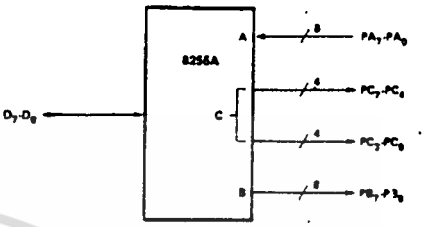
CONTROL WORD #4

D_7	D_6	D_5	D_4	D_3	D_2	D_1	D_0
1	0	0	0	1	0	0	0



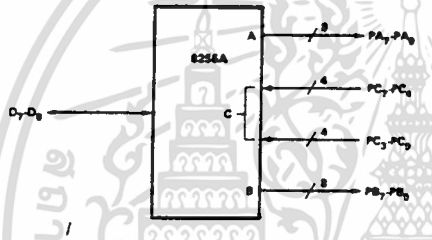
CONTROL WORD #8

D_7	D_6	D_5	D_4	D_3	D_2	D_1	D_0
1	0	0	1	0	0	0	0



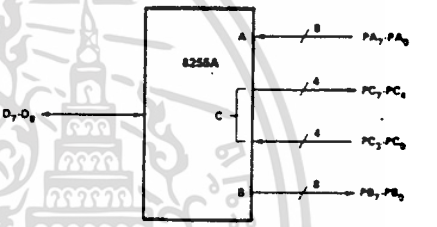
CONTROL WORD #5

D_7	D_6	D_5	D_4	D_3	D_2	D_1	D_0
1	0	0	0	1	0	0	1



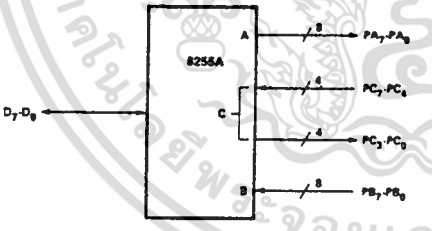
CONTROL WORD #9

D_7	D_6	D_5	D_4	D_3	D_2	D_1	D_0
1	0	0	1	0	0	0	1



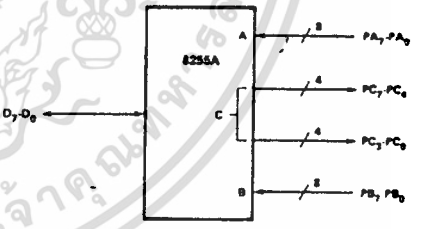
CONTROL WORD #6

D_7	D_6	D_5	D_4	D_3	D_2	D_1	D_0
1	0	0	0	1	0	1	0



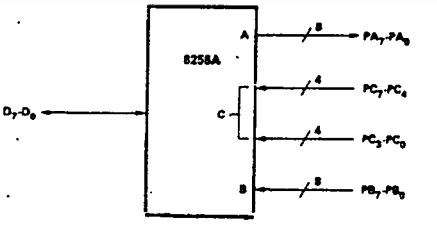
CONTROL WORD #10

D_7	D_6	D_5	D_4	D_3	D_2	D_1	D_0
1	0	0	1	0	0	1	0



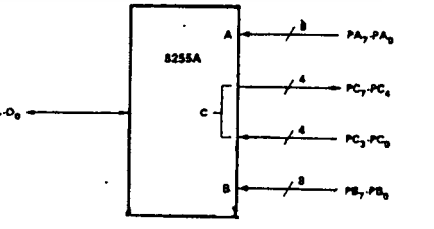
CONTROL WORD #7

D_7	D_6	D_5	D_4	D_3	D_2	D_1	D_0
1	0	0	0	1	0	1	1

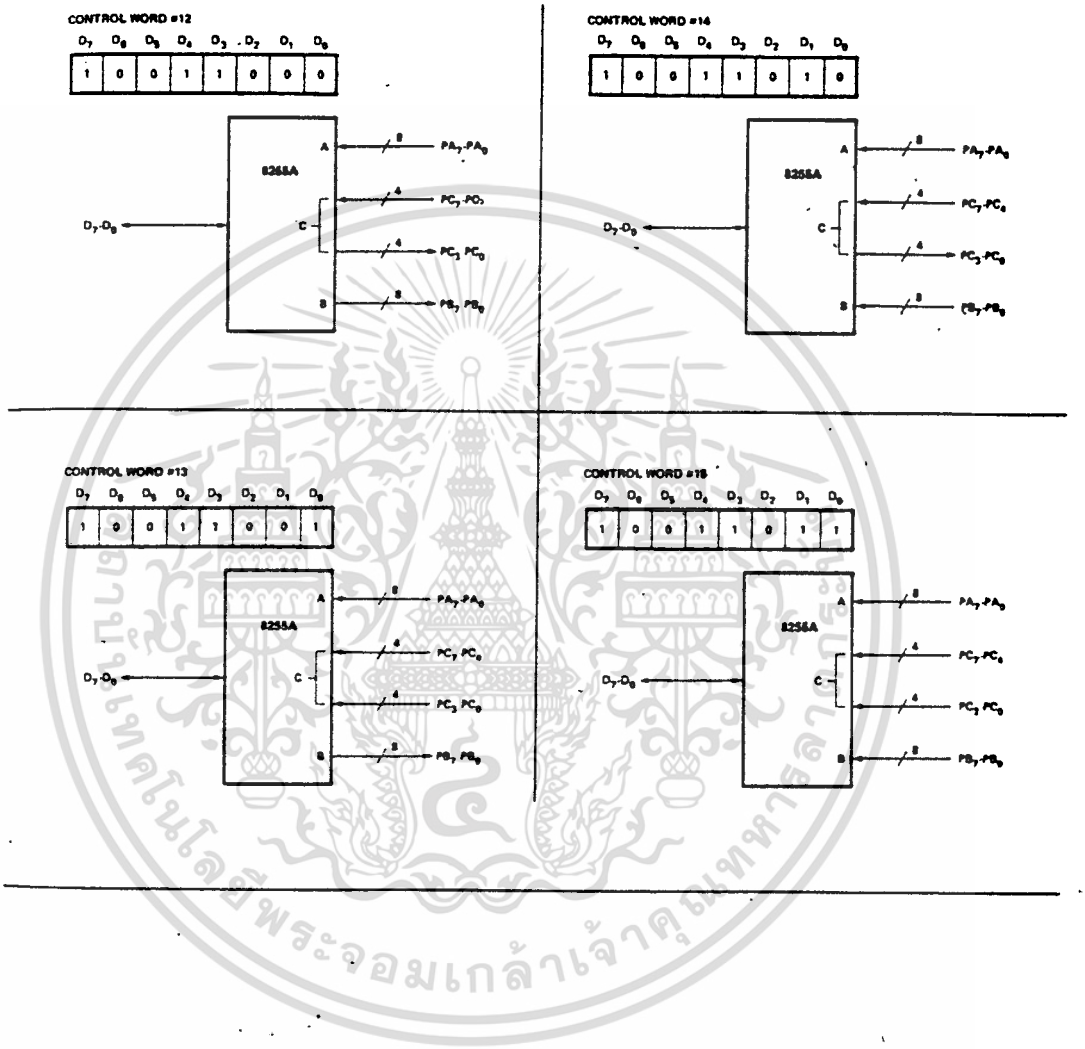


CONTROL WORD #11

D_7	D_6	D_5	D_4	D_3	D_2	D_1	D_0
1	0	0	1	0	0	1	1



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



Operating Modes

MODE 1 (Strobed Input/Output). This functional configuration provides a means for transferring I/O data to or from a specified port in conjunction with strobes or "handshaking" signals. In mode 1, port A and Port B use the lines on port C to generate or accept these "handshaking" signals.

Mode 1 Basic Functional Definitions:

- Two Groups (Group A and Group B)
- Each group contains one 8-bit data port and one 4-bit control/data port.
- The 8-bit data port can be either input or output. Both inputs and outputs are latched.
- The 4-bit port is used for control and status of the 8-bit data port.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Input Control Signal Definition

$\overline{STB}$ (Strobe Input). A "low" on this input loads data into the input latch.

IBF (Input Buffer Full F/F)

A "high" on this output indicates that the data has been loaded into the input latch; in essence, an acknowledgement. IBF is set by STB input being low and is reset by the rising edge of the RD input.

INTR (Interrupt Request)

A "high" on this output can be used to interrupt the CPU when an input device is requesting service. INTR is set by the $\overline{STB}$ is a "one", IBF is a "one" and INTE is a "one". It is reset by the falling edge of $\overline{RD}$. This procedure allows an input device to request service from the CPU by simply strobing its data into the port.

INTE A

Controlled by bit set/reset of PC_4.

INTE B

Controlled by bit set/reset of PC_2.

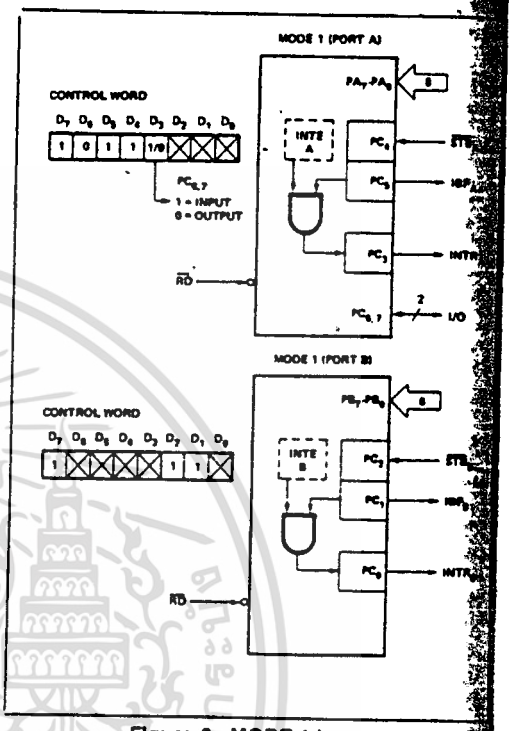


Figure 8. MODE 1 Input

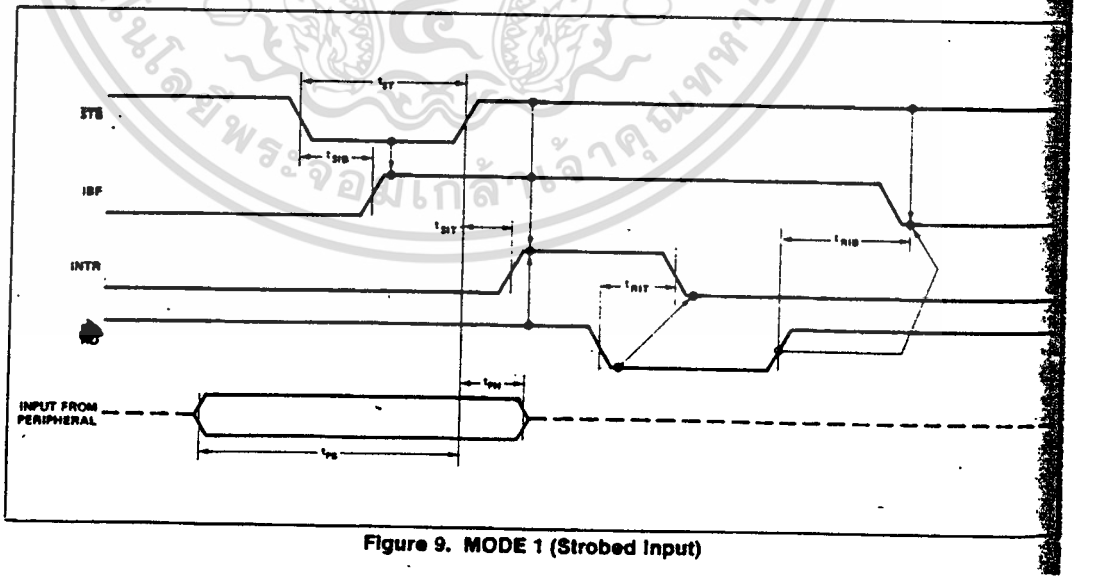


Figure 9. MODE 1 (Strobed Input)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Output Control Signal Definition

$\overline{OBF}$ (Output Buffer Full F/F). The $\overline{OBF}$ output will go "low" to indicate that the CPU has written data out to the specified port. The $\overline{OBF}$ F/F will be set by the rising edge of the $\overline{WR}$ input and reset by $\overline{ACK}$ input being low.

$\overline{ACK}$ (Acknowledge Input). A "low" on this input informs the 8255A that the data from port A or port B has been accepted. In essence, a response from the peripheral device indicating that it has recieved the data output by the CPU.

INTR (Interrupt Request). A "high" on this output can be used to interrupt the CPU when an output device has accepted data transmitted by the CPU. INTR is set when $\overline{ACK}$ is a "one", $\overline{OBF}$ is a "one", and INTE is a "one". It is reset by the falling edge of $\overline{WR}$.

INTR (Interrupt Request). A "high" on this output can be used to interrupt the CPU when an output device has accepted data transmitted by the CPU. INTR is set when $\overline{ACK}$ is a "one", $\overline{OBF}$ is a "one", and INTE is a "one". It is reset by the falling edge of $\overline{WR}$.

INTE A

Controlled by bit set/reset of PC_6.

INTE B

Controlled by bit set/reset of PC_2.

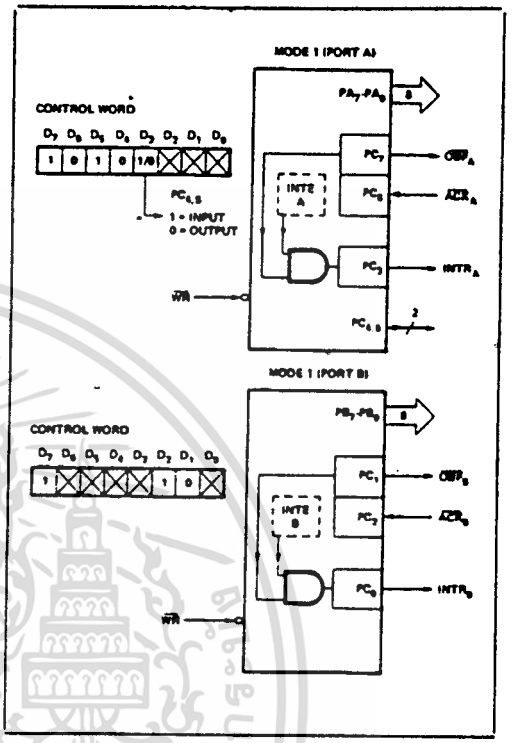


Figure 10. MODE 1 Output

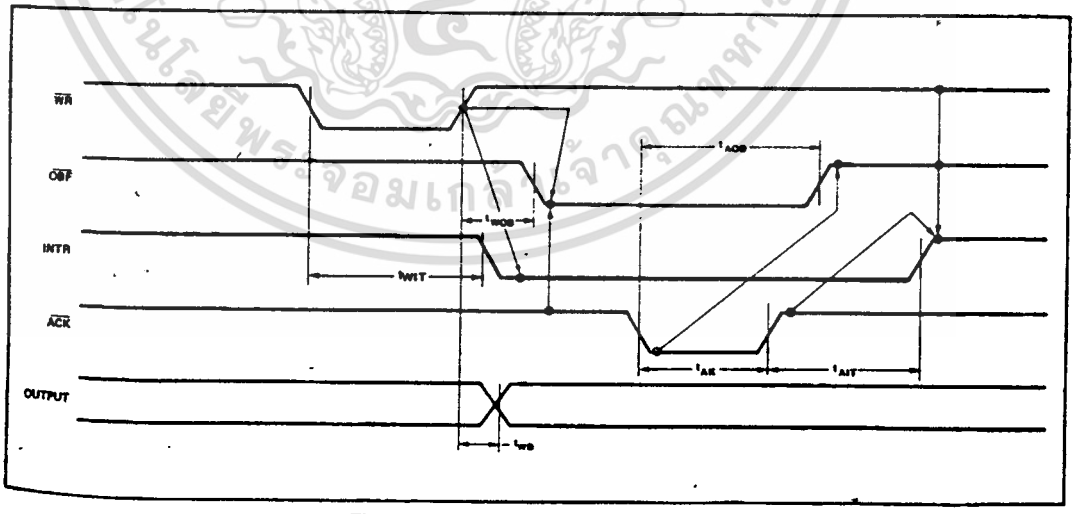


Figure 11. Mode 1 (Strobed Output)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Combinations of MODE 1

Port A and Port B can be individually defined as input or output in Mode 1 to support a wide variety of strobed I/O applications.

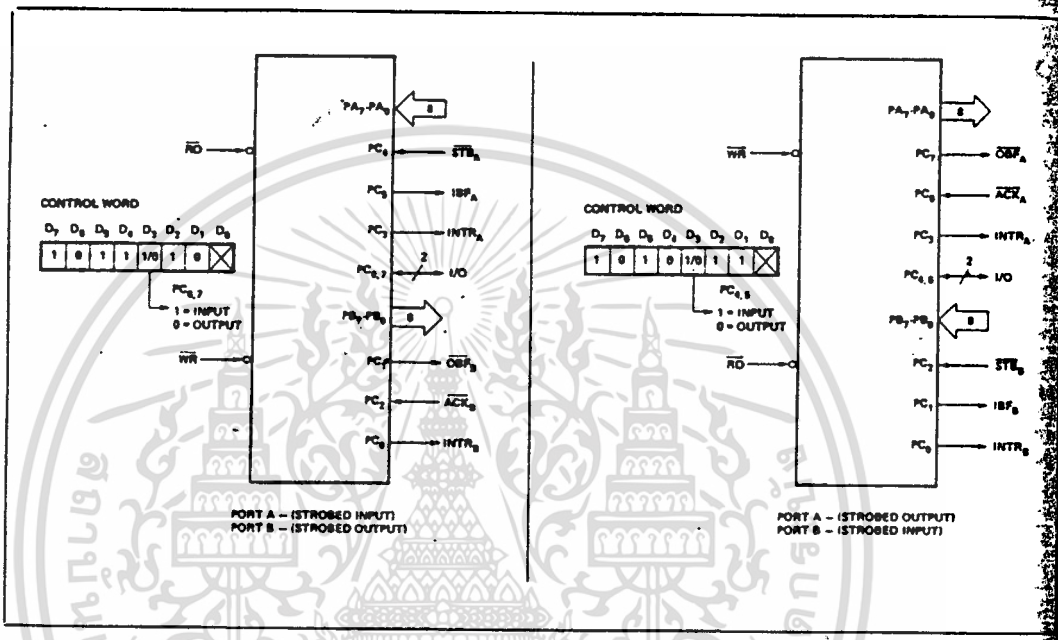


Figure 12. Combinations of MODE 1

Operating Modes

MODE 2 (Strobed Bidirectional Bus I/O). This functional configuration provides a means for communicating with a peripheral device or structure on a single 8-bit bus for both transmitting and receiving data (bidirectional bus I/O). "Handshaking" signals are provided to maintain proper bus flow discipline in a similar manner to MODE 1. Interrupt generation and enable/disable functions are also available.

MODE 2 Basic Functional Definitions:

- Used in Group A only.
- One 8-bit, bi-directional bus Port (Port A) and a 5-bit control Port (Port C).
- Both inputs and outputs are latched.
- The 5-bit control port (Port C) is used for control and status for the 8-bit, bi-directional bus port (Port A).

Bidirectional Bus I/O Control Signal Definition

INTR (Interrupt Request). A high on this output can be used to interrupt the CPU for both input or output opera-

Output Operations

$\overline{OBF}$ (Output Buffer Full). The $\overline{OBF}$ output will go "low" to indicate that the CPU has written data out to port A.

$\overline{ACK}$ (Acknowledge). A "low" on this input enables the tri-state output buffer of port A to send out the data. Otherwise, the output buffer will be in the high impedance state.

INTE 1 (The INTE Flip-Flop Associated with $\overline{OBF}$). Controlled by bit set/reset of PC_6.

Input Operations

$\overline{STB}$ (Strobe Input). A "low" on this input loads data into the input latch.

IBF (Input Buffer Full F/F). A "high" on this output indicates that data has been loaded into the input latch.

INTE 2 (The INTE Flip-Flop Associated with IBF).

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

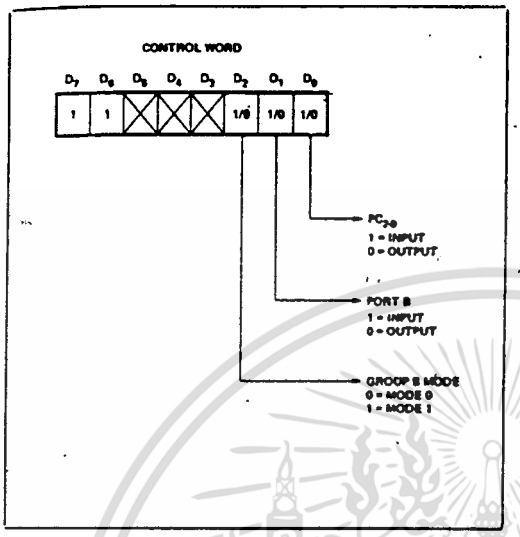


Figure 13. MODE Control Word

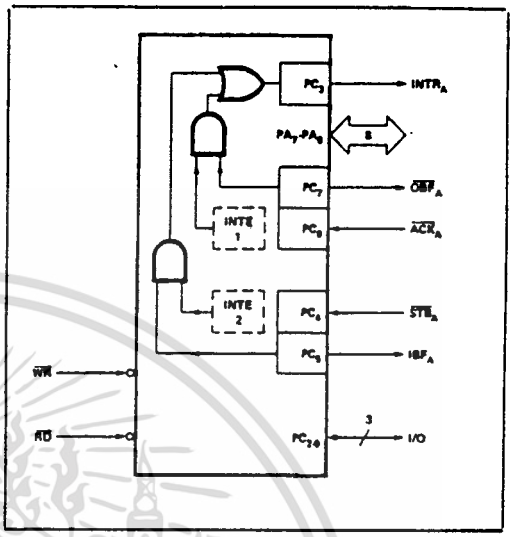


Figure 14. MODE 2

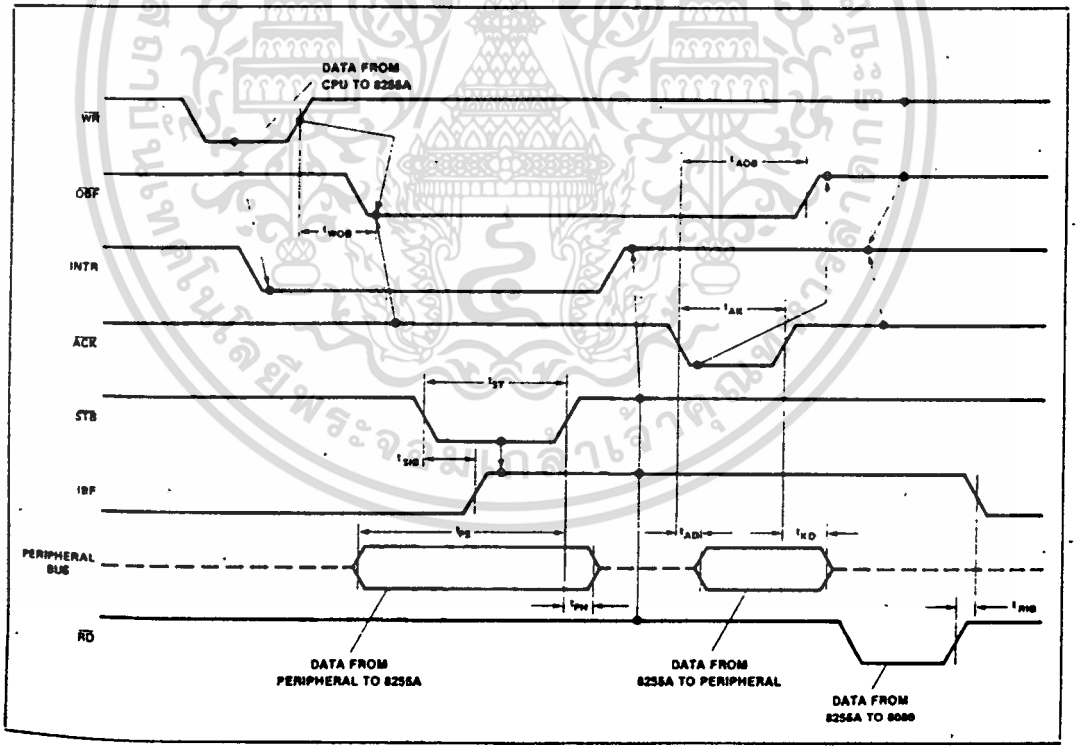


Figure 15. MODE 2 (Bidirectional)

NOTE: Any sequence where $\overline{WR}$ occurs before $\overline{ACK}$ and $\overline{STB}$ occurs before $\overline{RD}$ is permissible.
(INTR = IBF • $\overline{MASK}$ • $\overline{STB}$ • $\overline{RD}$ + $\overline{OBF}$ • $\overline{MASK}$ • $\overline{ACK}$ • $\overline{WR}$)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

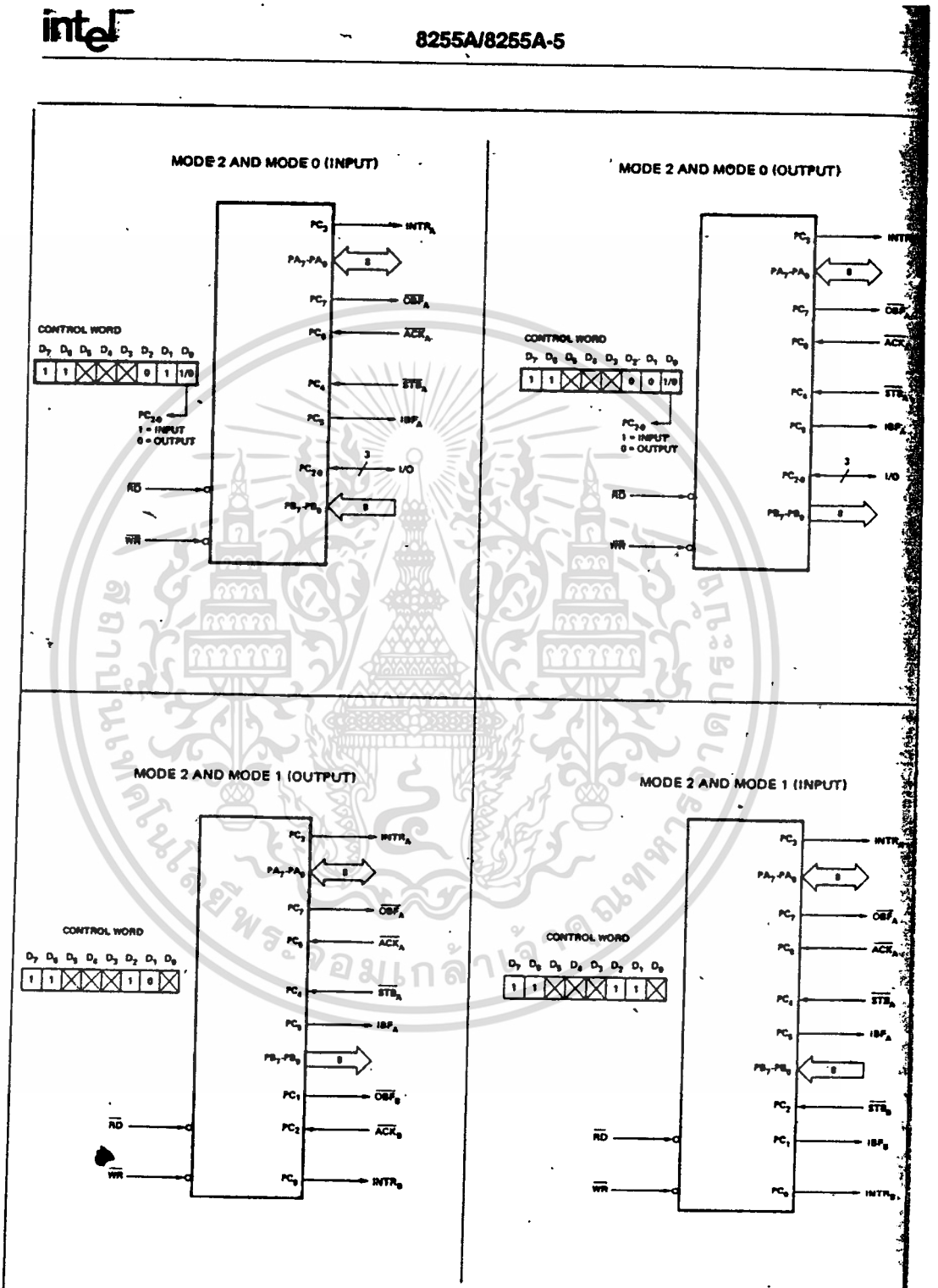


Figure 16. MODE ¼ Combinations

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Mode Definition Summary

	MODE 0		MODE 1		MODE 2	
	IN	OUT	IN	OUT	GROUP A ONLY	
PA_0	IN	OUT	IN	OUT	↔	
PA_1	IN	OUT	IN	OUT	↔	
PA_2	IN	OUT	IN	OUT	↔	
PA_3	IN	OUT	IN	OUT	↔	
PA_4	IN	OUT	IN	OUT	↔	
PA_5	IN	OUT	IN	OUT	↔	
PA_6	IN	OUT	IN	OUT	↔	
PA_7	IN	OUT	IN	OUT	↔	
PB_0	IN	OUT	IN	OUT	—	MODE 0 OR MODE 1 ONLY
PB_1	IN	OUT	IN	OUT	—	
PB_2	IN	OUT	IN	OUT	—	
PB_3	IN	OUT	IN	OUT	—	
PB_4	IN	OUT	IN	OUT	—	
PB_5	IN	OUT	IN	OUT	—	
PB_6	IN	OUT	IN	OUT	—	
PB_7	IN	OUT	IN	OUT	—	
PC_0	IN	OUT	$INTR_B$	$INTR_B$	I/O	
PC_1	IN	OUT	IBF_B	$\overline{OBF}_B$	I/O	
PC_2	IN	OUT	$\overline{STB}_B$	$\overline{ACK}_B$	I/O	
PC_3	IN	OUT	$INTR_A$	$INTR_A$	$INTR_A$	
PC_4	IN	OUT	$\overline{STB}_A$	I/O	$\overline{STB}_A$	
PC_5	IN	OUT	IBF_A	I/O	IBF_A	
PC_6	IN	OUT	I/O	$\overline{ACK}_A$	$\overline{ACK}_A$	
PC_7	IN	OUT	I/O	$\overline{OBF}_A$	$\overline{OBF}_A$	

Special Mode Combination Considerations

There are several combinations of modes when not all of the bits in Port C are used for control or status. The remaining bits can be used as follows:

If Programmed as Inputs –
All input lines can be accessed during a normal Port C read.

If Programmed as Outputs –
Bits in C upper (PC_7-PC_4) must be individually accessed using the bit set/reset function.

Bits in C lower (PC_3-PC_0) can be accessed using the bit set/reset function or accessed as a threesome by writing into Port C.

Source Current Capability on Port B and Port C

Any set of eight output buffers, selected randomly from Ports B and C can source 1mA at 1.5 volts. This feature allows the 8255 to directly drive Darlington type drivers and high-voltage displays that require such source current.

Reading Port C Status

In Mode 0, Port C transfers data to or from the peripheral device. When the 8255 is programmed to function in Modes 1 or 2, Port C generates or accepts "hand-shaking" signals with the peripheral device. Reading the contents of Port C allows the programmer to test or verify the "status" of each peripheral device and change the program flow accordingly.

There is no special instruction to read the status information from Port C. A normal read operation of Port C is executed to perform this function.

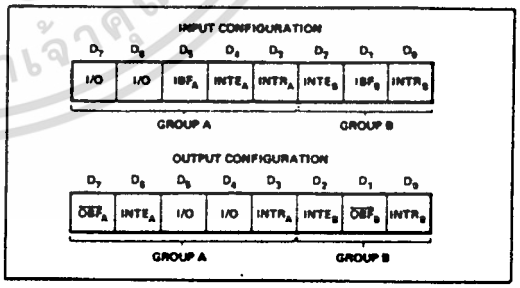


Figure 17. MODE 1 Status Word Format

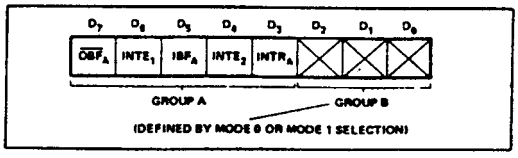


Figure 18. MODE 2 Status Word Format

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

APPLICATIONS OF THE 8255A

The 8255A is a very powerful tool for interfacing peripheral equipment to the microcomputer system. It represents the optimum use of available pins and is flexible enough to interface almost any I/O device without the need for additional external logic.

Each peripheral device in a microcomputer system usually has a "service routine" associated with it. The routine manages the software interface between the device and the CPU. The functional definition of the 8255A is programmed by the I/O service routine and becomes an extension of the system software. By examining the I/O devices interface characteristics for both data transfer and timing, and matching this information to the examples and tables in the detailed operational description, a control word can easily be developed to initialize the 8255A to exactly "fit" the application. Figures 19 through 25 present a few examples of typical applications of the 8255A.

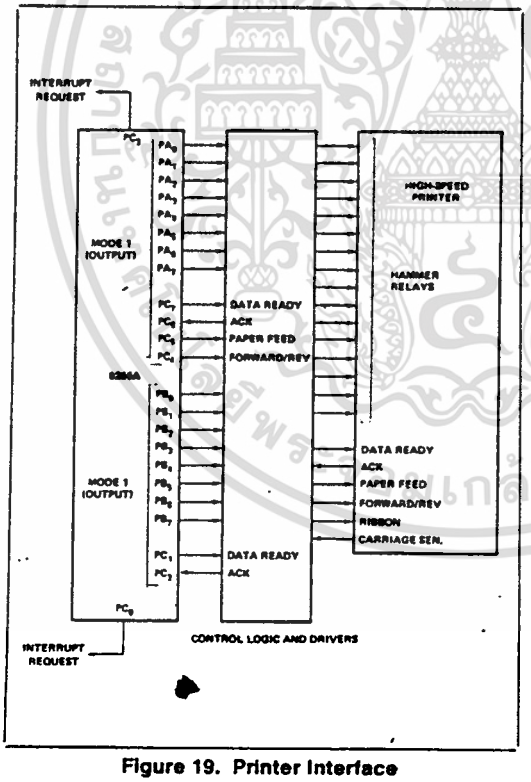


Figure 19. Printer Interface

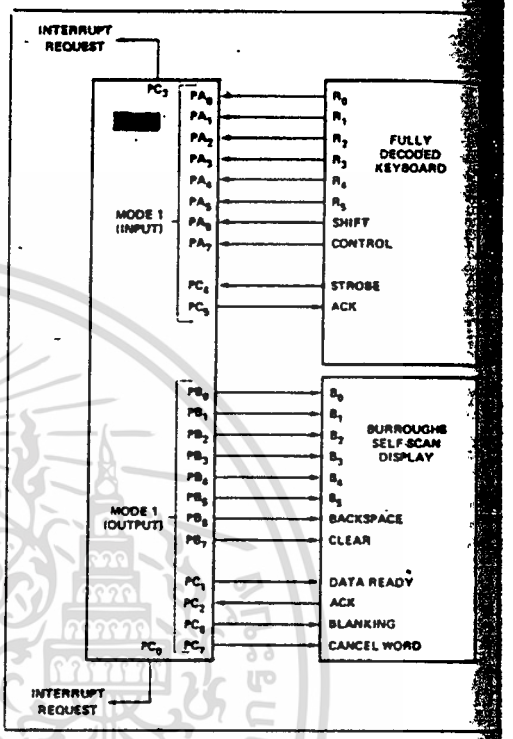


Figure 20. Keyboard and Display Interface

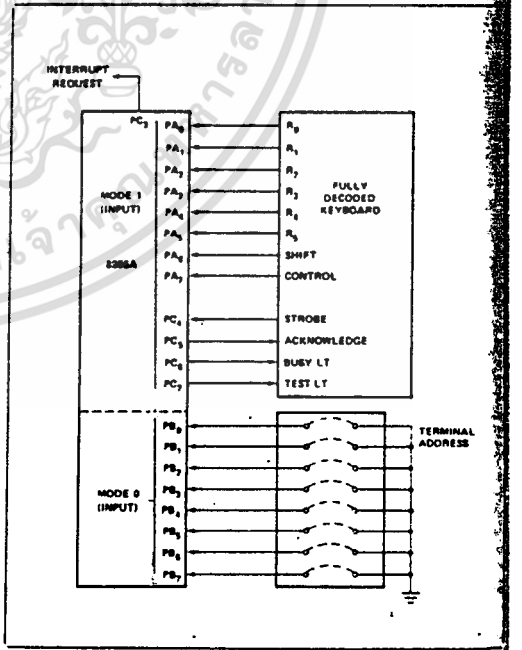


Figure 21. Keyboard and Terminal Address Interface

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

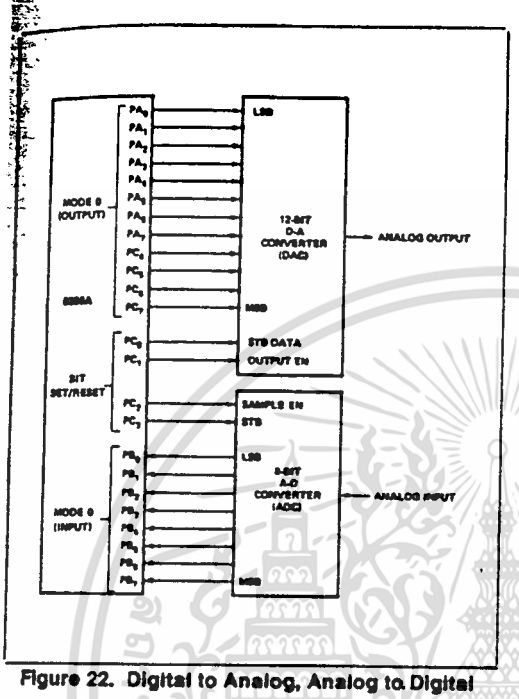


Figure 22. Digital to Analog, Analog to Digital

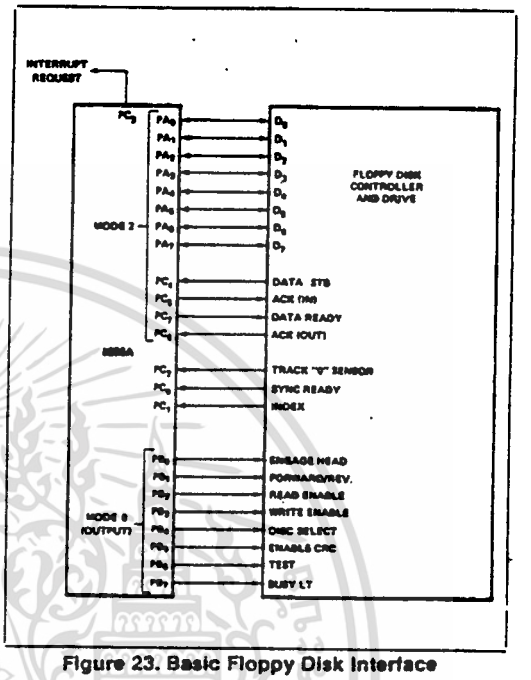


Figure 23. Basic Floppy Disk Interface

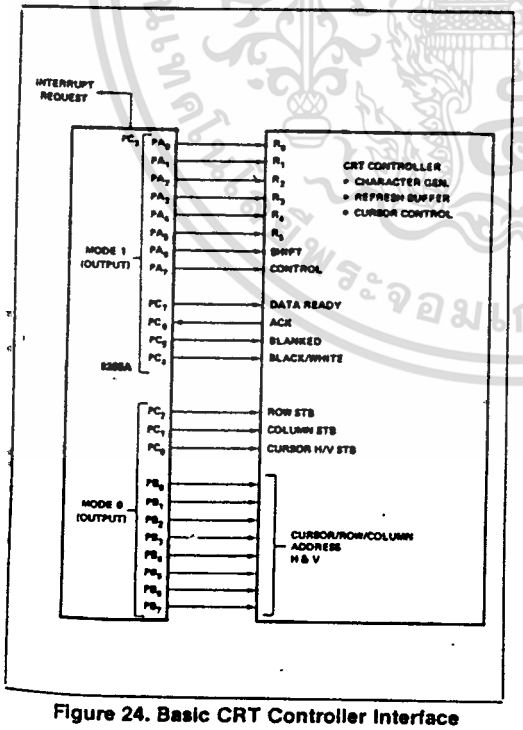


Figure 24. Basic CRT Controller Interface

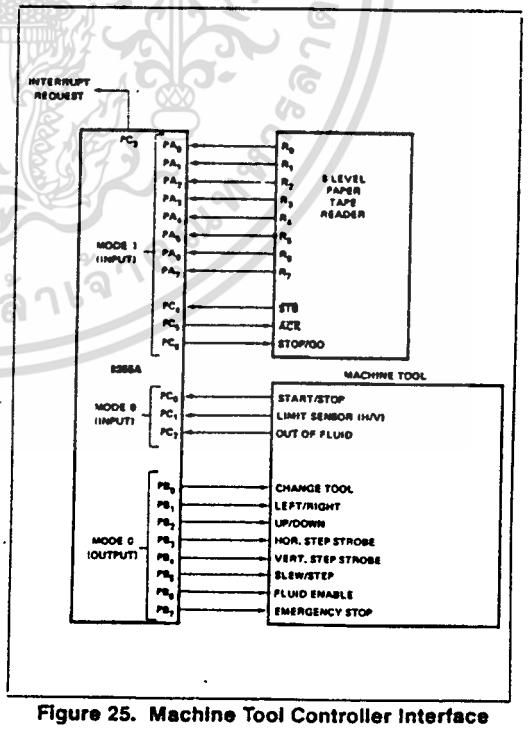


Figure 25. Machine Tool Controller Interface

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ABSOLUTE MAXIMUM RATINGS*

Ambient Temperature Under Bias. . . . . 0°C to 70°C
Storage Temperature . . . . . –65°C to +150°C
Voltage on Any Pin
With Respect to Ground . . . . . –0.5V to +7V
Power Dissipation . . . . . 1 Watt

NOTICE: Stresses above those listed under "Abs Maximum Ratings" may cause permanent damage device. This is a stress rating only and functional o tion of the device at these or any other conditions a those indicated in the operational sections of this sp cation is not implied. Exposure to absolute maxi rating conditions for extended periods may affect d reliability.

D.C. CHARACTERISTICS (T_A = 0°C to 70°C, V_{CC} = +5V ±10%, GND = 0V)*

Symbol	Parameter	Min.	Max.	Unit	Test Conditions
V_{IL}	Input Low Voltage	-0.5	0.8	V	
V_{IH}	Input High Voltage	2.0	V_{CC}	V	
V_{OL} (DB)	Output Low Voltage (Data Bus)		0.45*	V	I_{OL} = 2.5mA
V_{OL} (PER)	Output Low Voltage (Peripheral Port)		0.45*	V	I_{OL} = 1.7mA
V_{OH} (DB)	Output High Voltage (Data Bus)	2.4		V	I_{OH} = -400μA
V_{OH} (PER)	Output High Voltage (Peripheral Port)	2.4		V	I_{OH} = -200μA
I_{DAR}[1]	Darlington Drive Current	-1.0	-4.0	mA	R_{EXT} = 750Ω; V_{EXT} = 1.5V
I_{CC}	Power Supply Current		120	mA	
I_{IL}	Input Load Current		±10	μA	V_{IN} = V_{CC} to 0V
I_{OFL}	Output Float Leakage		±10	μA	V_{OUT} = V_{CC} to .45V

NOTE:
1. Available on any 8 pins from Port B and C.

CAPACITANCE (T_A = 25°C, V_{CC} = GND = 0V)

Symbol	Parameter	Min.	Typ.	Max.	Unit	Test Conditions
C_{IN}	Input Capacitance			10	pF	fc = 1MHz
$C_{I/O}$	I/O Capacitance			20	pF	Unmeasured pins returned to GND

A.C. CHARACTERISTICS (T_A = 0°C to 70°C, V_{CC} = +5V ±10%, GND = 0V)*

Bus Parameters

READ

Symbol	Parameter	8255A		8255A-5		Unit
		Min.	Max.	Min.	Max.	
t_{AR}	Address Stable Before READ	0		0		ns
t_{RA}	Address Stable After READ	0		0		ns
t_{RR}	READ Pulse Width	300		300		ns
t_{RD}	Data Valid From READ[1]		250		200	ns
t_{DF}	Data Float After READ	10	150	10	100	ns
t_{RV}	Time Between READs and/or WRITEs	850		850		ns

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

A.C. CHARACTERISTICS (Continued)

WRITE

Symbol	Parameter	8255A		8255A-5		Unit
		Min.	Max.	Min.	Max.	
t_{AW}	Address Stable Before WRITE	0		0		ns
t_{WA}	Address Stable After WRITE	20		20		ns
t_{WW}	WRITE Pulse Width	400		300		ns
t_{DW}	Data Valid to WRITE (T.E.)	100		100		ns
t_{WD}	Data Valid After WRITE	30		30		ns

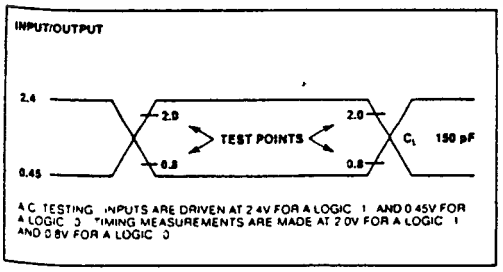
OTHER TIMINGS

Symbol	Parameter	8255A		8255A-5		Unit
		Min.	Max.	Min.	Max.	
t_{WB}	WR = 1 to Output[1]		350		350	ns
t_{IR}	Peripheral Data Before RD	0		0		ns
t_{HR}	Peripheral Data After RD	0		0		ns
t_{AK}	ACK Pulse Width	300		300		ns
t_{ST}	STB Pulse Width	500		500		ns
t_{PS}	Per. Data Before T.E. of STB	0		0		ns
t_{PH}	Per. Data After T.E. of STB	180		180		ns
t_{AD}	ACK = 0 to Output[1]		300		300	ns
t_{KD}	ACK = 1 to Output Float	20	250	20	250	ns
t_{WOB}	WR = 1 to OBF = 0[1]		650		650	ns
t_{AOB}	ACK = 0 to OBF = 1[1]		350		350	ns
t_{SIB}	STB = 0 to IBF = 1[1]		300		300	ns
t_{RIB}	RD = 1 to IBF = 0[1]		300		300	ns
t_{RIT}	RD = 0 to INTR = 0[1]		400		400	ns
t_{SIT}	STB = 1 to INTR = 1[1]		300		300	ns
t_{AIT}	ACK = 1 to INTR = 1[1]		350		350	ns
t_{WIT}	WR = 0 to INTR = 0[1,3]		450		450	ns

NOTES:
1. Test Conditions: C_L = 150 pF.
2. Period of Reset pulse must be at least 50μs during or after power on. Subsequent Reset pulse can be 500 ns min.
3. INTR↑ may occur as early as $\overline{WR}$↓.

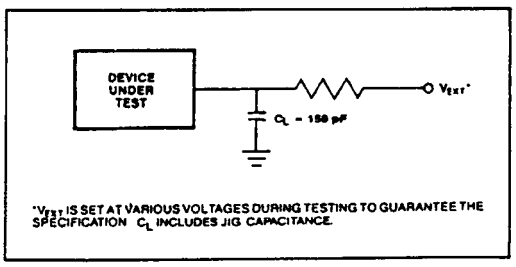
* For Extended Temperature EXPRESS, use M8255A electrical parameters.

A.C. TESTING INPUT, OUTPUT WAVEFORM



A.C. TESTING: INPUTS ARE DRIVEN AT 2.4V FOR A LOGIC "1" AND 0.45V FOR A LOGIC "0". TIMING MEASUREMENTS ARE MADE AT 2.0V FOR A LOGIC "1" AND 0.8V FOR A LOGIC "0".

A.C. TESTING LOAD CIRCUIT

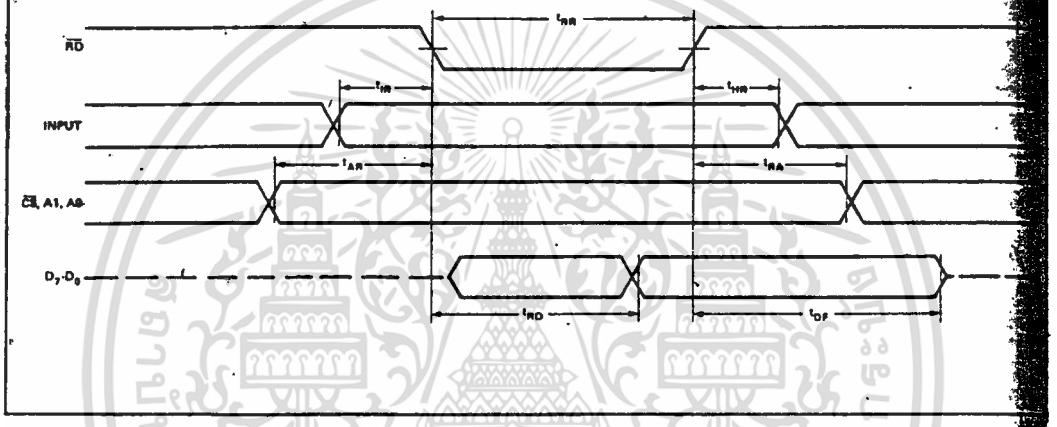


*V_{EXT} IS SET AT VARIOUS VOLTAGES DURING TESTING TO GUARANTEE THE SPECIFICATION. C_L INCLUDES JIG CAPACITANCE.

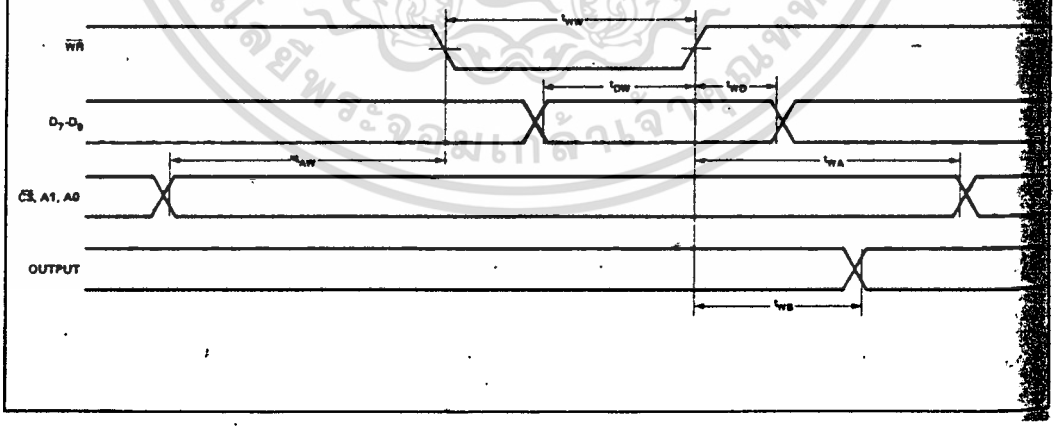
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

WAVEFORMS

MODE 0 (BASIC INPUT)



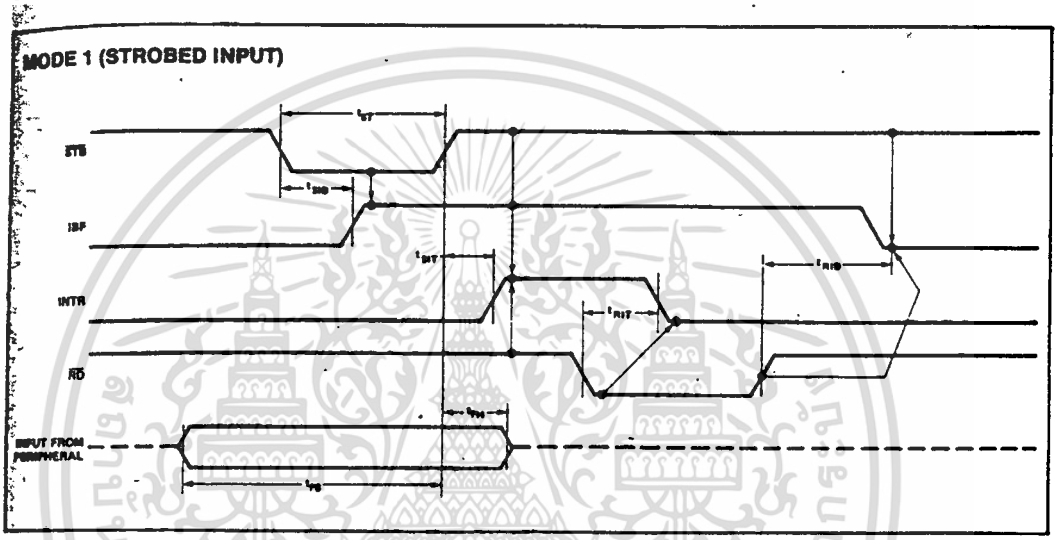
MODE 0 (BASIC OUTPUT)



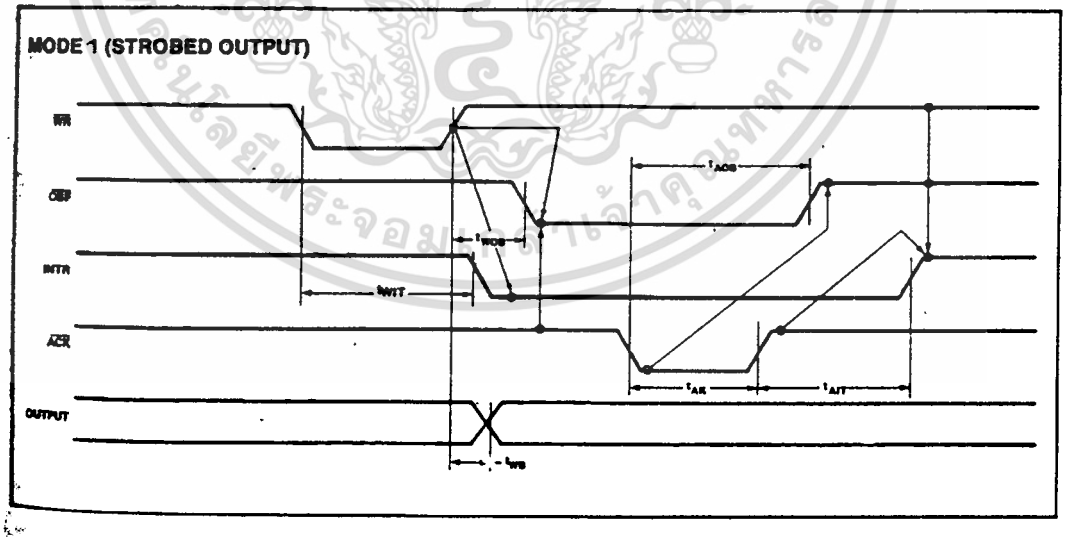
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

WAVEFORMS (Continued)

MODE 1 (STROBED INPUT)



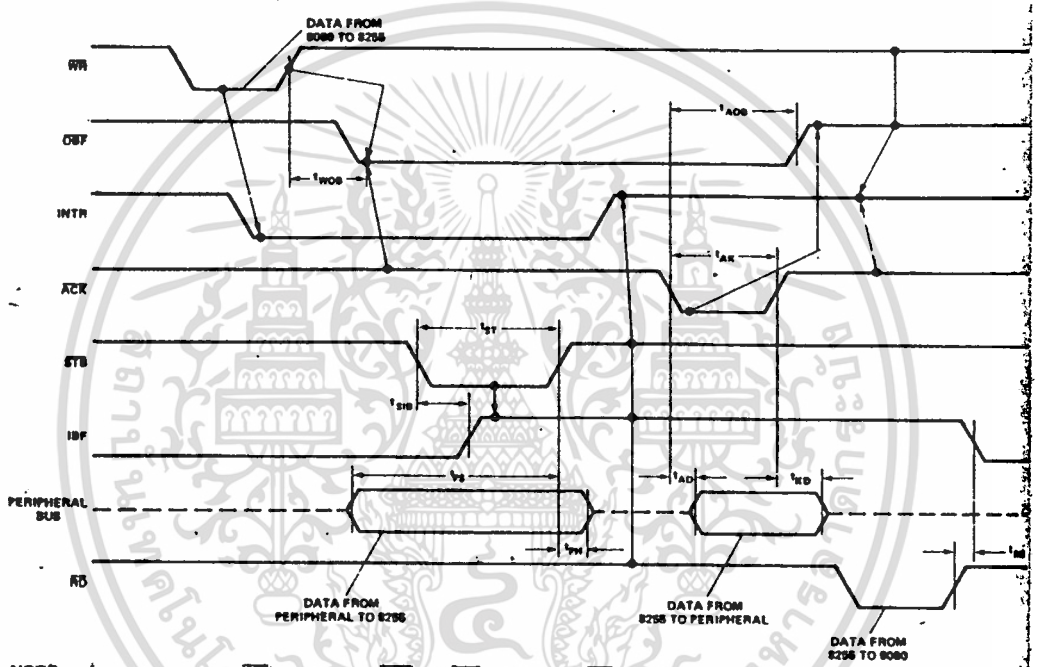
MODE 1 (STROBED OUTPUT)



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

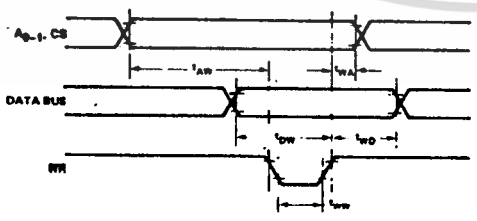
WAVEFORMS (Continued)

MODE 2 (BIDIRECTIONAL)

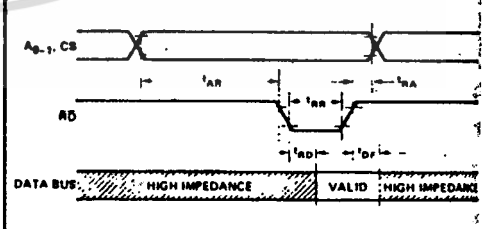


NOTE: Any sequence where $\overline{WR}$ occurs before $\overline{ACK}$ and $\overline{STB}$ occurs before $\overline{RD}$ is permissible.
(INTR = IBF • $\overline{MASK}$ • $\overline{STB}$ • $\overline{RD}$ + $\overline{OBF}$ • $\overline{MASK}$ • $\overline{ACK}$ • $\overline{WR}$)

WRITE TIMING



READ TIMING



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

54160/74160 Synchronous Decade Counter with Direct Clear

	Schottky TTL					High-Speed TTL					Low-Power Schottky TTL					Standard TTL					Low-Power TTL				
	Device Type	Package C	P	M	CF	Device Type	Package C	P	M	CF	Device Type	Package C	P	M	CF	Device Type	Package C	P	M	CF	Device Type	Package C	P	M	CF
T.I.											SN54LS160	J①			W①	SN54160	J①			W①					
											SN74LS160	J①	N①			SN74160	J①	N①							
FAIRCHILD											F/54LS160/-F/74LS160	D①			F①	F/93160	D①								
											FC74LS160/-FC9LS160	D①	P①		F①	FC74160/-FC93160	D①	P①		F①					
MOTOROLA											SN74LS160		P①			SN74160		P①							
N.S.C.											DM54LS160		①			DM54160A									
											DM74LS160		①			DM74160A									
PHILIPS																N74160		①							
SIGNETICS																S54160	F①	B①		W①					
											N74LS160		A①			N74160	F①	B①							
SIEMENS																FLJ401		①							
FUJITSU											74LS160		M①												
HITACHI											HD74LS160		P①			HD74160	①	P①							
MITSUBISHI											M74LS160		P①			M53360		P①							
AMD	Am54S160		J①								Am74LS160		①												
	Am24S160		J①								Am54LS160		①												
TOSHIBA																									

Electrical Characteristics SN54LS160/SN74LS160

absolute maximum ratings over operating free-air temperature range

Supply voltage, V_{CC}	7V	Operating free-air temperature range	SN54LS	−55°C to 125°C
Input voltage	7V		SN74LS	0°C to 70°C
		Storage temperature range		−65°C to 150°C

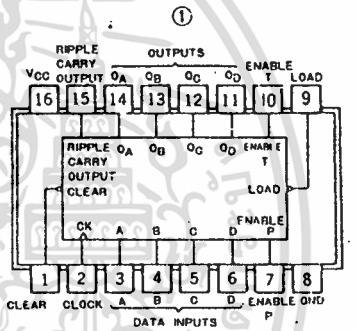
recommended operating conditions

		SN54LS160 MIN	NOM	MAX	SN74LS160 MIN	NOM	MAX	UNIT
Supply voltage, V_{CC}		4.5	5	5.5	4.75	5	5.25	V
High-level output current, I_{OH}				−400			−400	μA
Low-level output current, I_{OL}				4			8	mA
Input clock frequency, f_{clock}		0		25	0		25	MHz
Width of clock pulse, $t_{w(clock)}$		25			25			ns
Width of clear pulse, $t_{w(clear)}$		20			20			ns
Setup time, t_{setup}	Data inputs A, B, C, D	20			20			ns
	Enable P or T	20			20			
	Load	20			20			
	Clear	20			20			
Hold time at any input, t_{hold}		0			0			ns
Operating free-air temperature, T_A		−55		125	0		70	°C

electrical characteristics over recommended operating free-air temperature range

PARAMETER*		TEST CONDITIONS†		MIN	TYP‡	MAX	UNIT
V_{IH}	High-level input voltage			2			V
V_{IL}	Low-level input voltage					0.8	V
V_I	Input clamp voltage	V_{CC} = MIN, I_I = −18mA				−1.5	V
V_{OH}	High-level output voltage	V_{CC} = MIN, V_{IH} = 2V, V_{IL} = 0.8V, I_{OH} = −400μA		2.7	3.4		V
V_{OL}	Low-level output voltage	V_{CC} = MIN, V_{IH} = 2V, V_{IL} = 0.8V, I_{OL} = 8mA			0.35	0.5	V
I_I	Input current at maximum input voltage — Load, clock or enable T	V_{CC} = MAX, V_I = 7V				0.2	mA
	Other inputs					0.1	
I_{IH}	High-level input current — Load, clock or enable T	V_{CC} = MAX, V_I = 2.7V				40	μA
	Other inputs					20	
I_{IL}	Low-level input current — Load, clock or enable T	V_{CC} = MAX, V_I = 0.4V				0.8	mA
	Other inputs					0.4	
I_{OS}	Short-circuit output current*	V_{CC} = MAX		−20		100	mA
I_{CCH}	Supply current, all outputs high	V_{CC} = MAX, See Note 2	SN54LS		18	31	mA
			SN74LS		18	31	
I_{CCL}	Supply current, all outputs low	V_{CC} = MAX, See Note 3	SN54LS		19	32	mA
			SN74LS		19	32	
f_{max}	Maximum clock frequency	V_{CC} = 5V, T_A = 25°C, C_L = 15pF, R_L = 2kΩ, See Note 4		25	32		ns
t_{PLH}	from Clock to output				20	35	ns
t_{PHL}	Ripple carry				18	35	
t_{PLH}	from Clock (load input high)				13	24	ns
t_{PHL}	to output Any Q				18	27	
t_{PLH}	from Clock (load input low)				13	24	ns
t_{PHL}	to output Any Q				18	27	
t_{PLH}	from Enable T				9	14	ns
t_{PHL}	to output Ripple carry				9	14	
t_{PHL}	from Clear to output Any Q				20	28	ns

Pin Assignment (Top View)



positive logic:

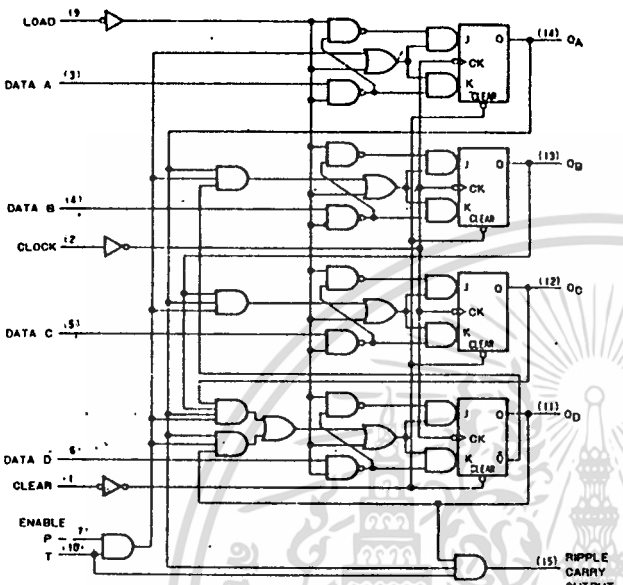
NOTES: 1. This is the voltage between two emitters of a multiple-emitter transistor. For these circuits, this rating applies between the count enable inputs P and T.
2. I_{CCH} is measured with the load input high, then again with the load input low, with all other inputs high and all outputs open.
3. I_{CCL} is measured with the clock input high, then again with the clock input low, with all other inputs low and all outputs open.
4. Propagation delay for clearing is measured from the clear input for the '160.

† For conditions shown as MIN or MAX use the appropriate value specified under recommended operating conditions.
‡ All typical values are at V_{CC} = 5V, T_A = 25°C.
* Not more than one output should be shorted at a time.
* t_{PLH} = propagation delay time, low-to-high level output
t_{PHL} = propagation delay time, high to low level output

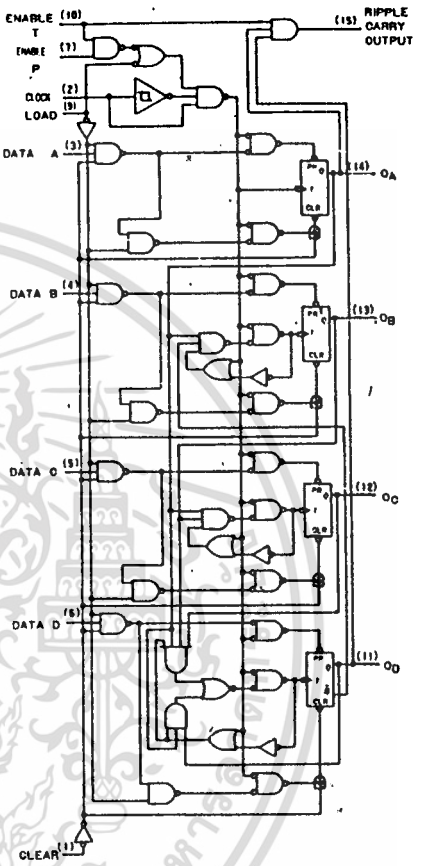
CONTINUED ON NEXT PAGE

สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Functional Block Diagram



'160 SYNCHRONOUS DECADE COUNTER

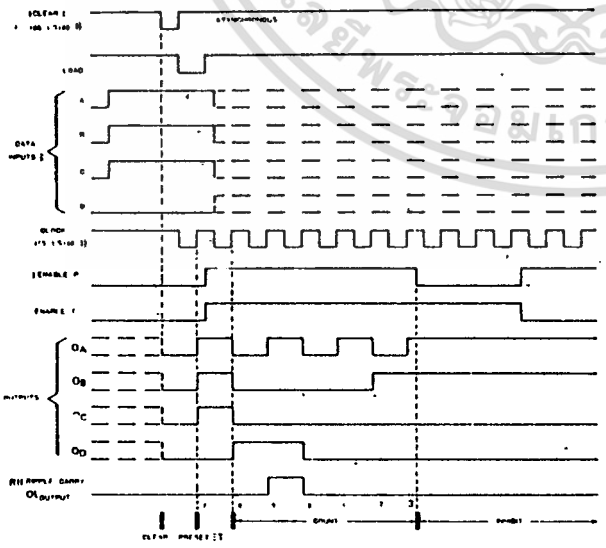


'LS160 SYNCHRONOUS DECADE COUNTER
(See P160 for '160)

typical clear, preset, count, and inhibit sequences

Illustrated below is the following sequence:

1. Clear outputs to zero.
2. Preset to BCD seven.
3. Count to eight, nine, zero, one, two, and three.
4. Inhibit



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

54161/74161 Synchronous 4-Bit Binary Counter with Direct Clear

	Schottky TTL					High-Speed TTL					Low-Power Schottky TTL					Standard TTL					Low-Power TTL				
	Device Type	Package C	P	M	CF	Device Type	Package C	P	M	CF	Device Type	Package C	P	M	CF	Device Type	Package C	P	M	CF	Device Type	Package P	P	M	CF
T.I.											SN54LS161	J†			W†	SN54161	J†			W†					
											SN74LS161	J	N†			SN74161	J	N†							
FAIRCHILD											FN54LS161/FN74LS161	DⓄ			FⓄ	FN93161	DⓄ							
											FC74LS161/FC93LS161	DⓄ	PⓄ		FⓄ	FC74161/FC93161	DⓄ	PⓄ		FⓄ				
MOTOROLA											SN74LS161		P†			MC74161		P†						
N.S.C.											DM54LS161		J†			DM54161A								
											DM74LS161		N†			DM74161A								
PHILIPS											N74LS161		D†			N74161		D†						
SIGNETICS											N74LS161		A†			S54161	F†	B†		W†				
																N74161	F†	B†						
SIEMENS																FLJ411		D†						
FUJITSU											74LS161		M†											
HITACHI											HD74LS161		P†			HD74161	Ⓞ	PⓄ						
MITSUBISHI											M74LS161		P†			M53361		PⓄ						
NEC											74LS161		D†			μPB2161	D†							
AMD	Am54S161		J†								Am54LS161		J†											
	Am74S161		N†								Am74LS161		N†											

Electrical Characteristics SN54LS161/SN74LS161

absolute maximum ratings over operating free-air temperture range

Supply voltage, V_{CC}	7V	Operating free-air temperature range	SN54LS	−55°C to 125°C
Input voltage	5.5V		SN74LS	0°C to 70°C
		Storage temperature range		−65°C to 150°C

recommended operating conditions

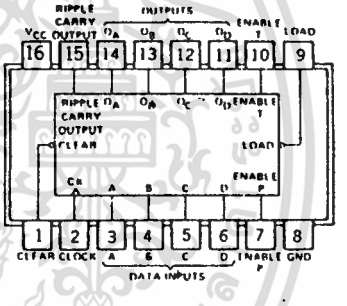
	SN54LS161 MIN	NOM	MAX	SN74LS161 MIN	NOM	MAX	UNIT
Supply voltage, V_{CC}	4.5	5	5.5	4.75	5	5.25	V
High-level output current, I_{OH}			−400			−400	μA
Low-level output current, I_{OL}			4			8	mA
Input clock frequency, f_{clock}	0		25	0		25	MHz
Width of clock pulse, $t_{w(clock)}$	25			25			ns
Width of clear pulse, $t_{w(clear)}$	20			20			ns
Setup time, t_{setup} — Data inputs A, B, C, D	20			20			ns
Setup time, t_{setup} — Enable P or T	20			20			ns
Setup time, t_{setup} — Load	20			20			ns
Setup time, t_{setup} — Clear	20			20			ns
Hold time at any input, t_{hold}	0			0			ns
Operating free-air temperature, T_A	−55		125	0		70	°C

electrical characteristics over recommended operating free-air temperature range

PARAMETER		TEST CONDITIONS†		MIN	TYP‡	MAX	UNIT
V_{IH}	High-level input voltage			2			V
V_{IL}	Low-level input voltage					0.8	V
V_I	Input clamp voltage	V_{CC} = MIN, I_I = −18mA				−1.5	V
V_{OH}	High-level output voltage	V_{CC} = MIN, V_{IH} = 2V, V_{IL} = 0.8V, I_{OH} = −400μA		2.7	3.4		V
V_{OL}	Low-level output voltage	V_{CC} = MIN, V_{IH} = 2V, V_{IL} = 0.8V, I_{OL} = 8mA			0.35	0.5	V
I_I	Input current at maximum voltage — Load, clock or T	V_{CC} = MAX, V_I = 7V				0.2	mA
I_I	Input current at maximum voltage — Other input					0.1	mA
I_{IH}	High-level input current — Load, clock or enable T	V_{CC} = MAX, V_I = 2.7V				40	μA
I_{IH}	High-level input current — Other inputs					20	μA
I_{IL}	Low-level input current — Load, clock or enable T	V_{CC} = MAX, V_I = 0.4V				−0.8	mA
I_{IL}	Low-level input current — Other inputs					−0.4	mA
I_{OS}	Short-circuit output current ◆	V_{CC} = MAX		−20		−100	mA
I_{CCH}	Supply current, all outputs high	V_{CC} = MAX, See Note 2	SN54LS		18	31	mA
			SN74LS		18	31	
I_{CCL}	Supply current, all outputs low	V_{CC} = MAX, See Note 3	SN54LS		19	32	mA
			SN74LS		19	32	
f_{max}	Maximum clock frequency			25	32		ns
t_{PLH}	from Clock to output	V_{CC} = 5V, T_A = 25°C, C_L = 15pF, R_L = 2kΩ, See Note 4			20	35	ns
t_{PHL}	Ripple carry				18	35	
t_{PLH}	from Clock (load input high)				13	24	ns
t_{PHL}	to output Any Q				18	27	
t_{PLH}	from Clock (load input low)				13	24	ns
t_{PHL}	to output Any Q				18	27	
t_{PLH}	from Enable T				9	14	ns
t_{PHL}	to output Ripple carry				9	14	
t_{PHL}	from Clear to output Any Q				20	28	ns

Pin Assignments (Top View)

①



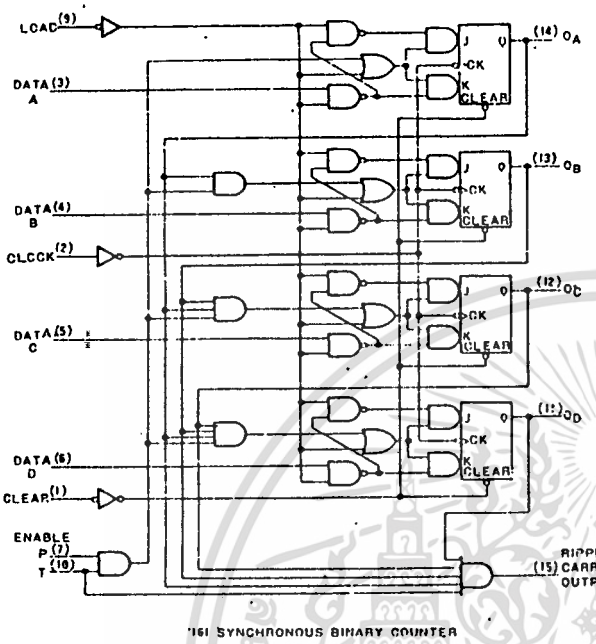
NOTES: 1. This is the voltage between two emitters of a multiple-emitter transistor. For these circuits, this rating applies between the count enable inputs P and T.
2. I_{CCH} is measured with the load input high, then again with the load input low, with all other inputs high and all outputs open.
3. I_{CCL} is measured with the clock input high, then again with the clock input low, with all other inputs low and all outputs open.
4. Propagation delay for clearing is measured from the clear input for the 161.

† For conditions shown as MIN or MAX, use the appropriate value specified under recommended operating conditions.
‡ All typical values are at V_{CC} = 5V, T_A = 25°C.
◆ Not more than one output should be shorted at a time.
* t_{PLH} = propagation delay time, low-to-high-level output
t_{PHL} = propagation delay time, high-to-low-level output

CONTINUED ON NEXT PAGE

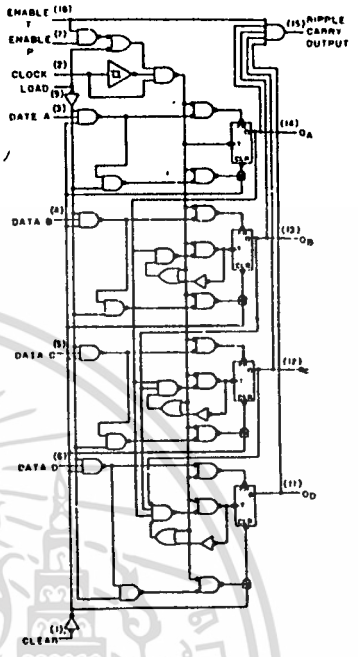
สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Functional Block Diagram



'161 SYNCHRONOUS BINARY COUNTER

Functional Block Diagram

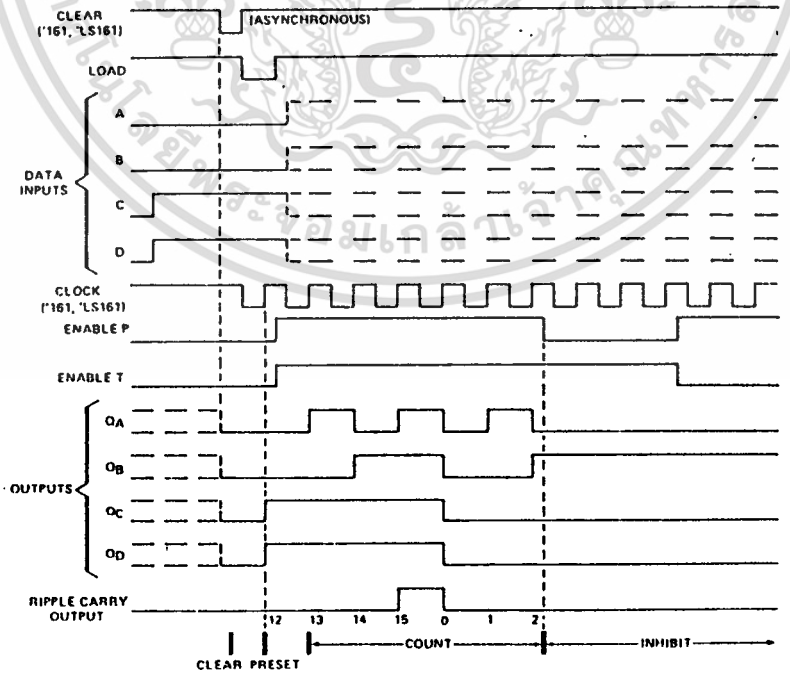


'LS161 SYNCHRONOUS BINARY COUNTER

Typical clear, preset, count, and inhibit sequences

Illustrated below is the following sequence:

1. Clear outputs to zero
2. Preset to binary twelve
3. Count to thirteen, fourteen fifteen, zero, one, and two
4. Inhibit



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

54164/74164 8-Parallel-Out Serial Shift Register

	Schottky TTL					High-Speed TTL					Low-Power Schottky TTL					Standard TTL					Low-Power TTL				
	Device Type	Package C	P	M	CF	Device Type	Package C	P	M	CF	Device Type	Package C	P	M	CF	Device Type	Package C	P	M	CF	Device Type	Package C	P	M	CF
T.I.											SN54LS164	J①			W①	SN54164	J①			W①	SN54L164	J①,	N①,	T①,	
											SN74LS164	J①	N①			SN74164	J①	N①			SN74L164	J①,	N①,	T①,	
FAIRCHILD											FM54LS164/FM74LS164	D①			F①	FM54164/FM93164	D①								
											FC74LS164/FC93LS164	D①	P①		F①	FC74164/FC93164	D①	P①							
MOTOROLA											SN74LS164		P①			MC74164		P①							
N.S.C.											DM74LS164		J①								DM54L164	J①	N①		
											DM54LS164		J①			DM74164		N①			DM74L164	J①	N①		
PHILIPS											N74LS164		J①			N74164		J①							
																S54164	F①	A①		W①					
SIGNETICS											N74LS164		A①			N74164	F①	A①							
SIEMENS																FLJ441		J①							
FUJITSU											74LS164		M①												
HITACHI											HD74LS164		P①			HD74164	J①	P①							
MITSUBISHI											M74LS164		P①			M53364		P①							
NEC											AM74LS		C①			μPB2164	D①								
TOSHIBA																TD3503A		P①							
AMD											Am74LS164														

Electrical Characteristics SN54LS164/SN74LS164

absolute maximum ratings over operating free-air temperature range

Supply voltage, V_{CC}	7 V	Operating free-air temperature range	SN54'	−55°C to 125°C
Input voltage	7 V		SN74'	0°C to 70°C
		Storage temperature range		−65°C to 150°C

recommended operating conditions

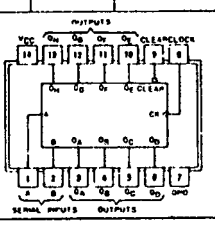
	SN54LS164 MIN	NOM	MAX	SN74LS164 MIN	NOM	MAX	UNIT
Supply voltage, V_{CC}	4.5	5	5.5	4.75	5	5.25	V
High-level output current, I_{OH}			−400			−400	μA
Low-level output current, I_{OL}			4			8	mA
Clock frequency, f_{clock}	0		25	0		25	MHz
Width of clock or clear input pulse, t_w	20			20			ns
Data setup time, t_{setup}	15			15			ns
Data hold time, t_{hold}	5			5			ns
Operating free-air temperature, T_A	−55		125	0		70	°C

electrical characteristics over recommended operating free-air temperature range

PARAMETER		TEST CONDITIONS†		MIN	TYP‡	MAX	UNIT
V_{IH}	High-level input voltage			2			V
V_{IL}	Low-level input voltage					0.8	V
V_I	Input clamp voltage	V_{CC} = MIN, I_I = −18mA				−1.5	V
V_{OH}	High-level output voltage	V_{CC} = MIN, V_{IH} = 2 V, V_{IL} = 0.8V, I_{OH} = −400μA		2.7	3.5		V
V_{OL}	Low-level output voltage	V_{CC} = MIN, V_{IH} = 2 V, V_{IL} = 0.8V, I_{OL} = 8mA			0.35	0.5	V
I_I	Input current maximum input voltage	V_{CC} = MAX, V_I = 7V				0.1	mA
I_{IH}	High-level input current	V_{CC} = MAX, V_I = 2.7V				20	μA
I_{IL}	Low-level input current	V_{CC} = MAX, V_I = 0.4V				0.4	mA
I_{OS}	Short-circuit output current ♦	V_{CC} = MAX	SN54LS	−20		−100	mA
			SN74LS	−20		−100	
I_{CC}	Supply current	V_{CC} = MAX, See Note 1			16	27	mA
f_{max}	Maximum clock frequency	V_{CC} = 5V, T_A = 25°C, R_L = 2kΩ	C_L = 15pF	25	36		MHz
t_{PHL}	Propagation delay time, high-to-low level Q outputs from clock input		C_L = 15pF		24	36	ns
t_{PLH}	Propagation delay time, low-to-high level Q outputs from clock input		C_L = 15pF		17	27	ns
t_{PHL}	Propagation delay time, high-to-low level Q outputs from clock input		C_L = 15pF		21	32	ns

Pin Assignment (Top View)

①



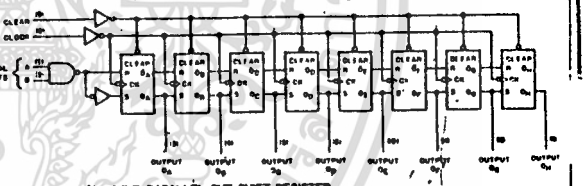
positive logic: see function table

Function Table

'164, 'LS164, 'L164 (see Note 2)

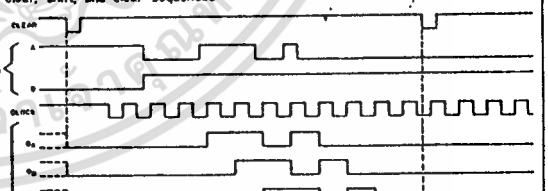
INPUTS CLEAR	CLOCK	A	B	OUTPUTS QA	QB	··· QH
L	X	X	X	L	L	L
H	L	X	X	Q_{A0}	Q_{B0}	Q_{H0}
H	↑	H	H	H	Q_{An}	Q_{Gn}
H	↑	L	X	L	Q_{An}	Q_{Gn}
H	↑	X	L	L	Q_{An}	Q_{Gn}

Functional Block Diagram



'164, 'LS164, 'L164 8-BIT PARALLEL-OUT SHIFT REGISTER

typical clear, shift, and clear sequences



NOTES: 1. I_{CC} is measured with outputs open, serial inputs grounded, and a momentary ground, then 4.5V, applied to clear.

2. H = high level (steady state), L = Low-level (steady state)
X = irrelevant (any input, including transitions)
↑ = transition from low to high level.
Q_{A0}, Q_{B0}, Q_{H0} = the level of Q_A, Q_B, or Q_H, respectively, before the indicated steady-state input conditions were established.
Q_{An}, Q_{Gn} = the level of Q_A or Q_G before the most-recent ↑ transition of the clock; indicates a one-bit shift.

† For conditions shown as MIN or MAX, use the appriate value specified under recommended operating conditions for the applicable device type.
‡ All typical values are at V_{CC} = 5V, T_A = 25°C.
♦ Not more than two outputs should be shorted at a time.

เอกสารสำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

54390/74390 Dual 4-Bit Decade Counter

	Schottky TTL					High-Speed TTL					Low-Power Schottky TTL					Standard TTL					Low-Power TTL				
	Device Type	Package C	P	M	CF	Device Type	Package C	P	M	CF	Device Type	Package C	P	M	CF	Device Type	Package C	P	M	CF	Device Type	Package C	P	M	CF
T.I.											SN74LS390	J①	N①			SN54390	J①			W①					
																SN74390	J①	N①							
FAIRCHILD																									
MOTOROLA																									
N.S.C																									
PHILIPS																									
SIGNETICS																									
SIEMENS																									
FUJITSU																									
HITACHI																									
MITUBISHI											M74LS390		P①												
NEC																									
TOSHIBA																									

Electrical Characteristics SN54LS390/SN74LS390

absolute maximum ratings over operating free-air temperature range

Supply voltage, V_{CC}	7V	Operating free-air temperature range	SN54LS	−55°C to 125°C
Input voltage	7V		SN74LS	0°C to 70°C
		Storage temperature range		−65°C to 125°C

recommended operating conditions

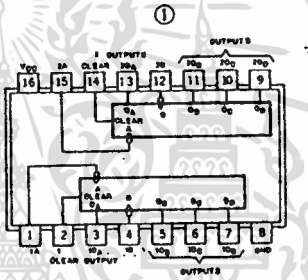
		SN54LS390 MIN	NOM	MAX	SN74LS390 MIN	NOM	MAX	UNIT
Supply voltage, V_{CC}		4.5	5	5.5	4.75	5	5.25	V
High-level output current, I_{OH}				−400			400	μA
Low-level output current, I_{OL}				4			8	mA
Count frequency, f_{count}	A input	0		25	0		25	MHz
	B input	0		20	0		20	
Pulse width, t_w	A input high or low	20			20			ns
	B input high or low	25			25			
	Clear high	20			20			
Clear inactive-state setup time, t_{setup}		25↓			25↓			ns
Operating free-air temperature, T_A		−55		125	0		70	°C

electrical characteristics over recommended operating free-air temperature range

PARAMETER ‖		TEST CONDITIONS†		MIN	TYP‡	MAX	UNIT
V_{IH}	High-level input voltage			2			V
V_{IL}	Low-level input voltage					0.8	V
V_I	Input clamp voltage	V_{CC}=MIN, I_I= −18mA				−1.5	V
V_{OH}	High-level output voltage	V_{CC}=MIN, V_{IH}=2V, V_{IL}=0.8V, I_{OH}= −400μA		2.7	3.4		V
V_{OL}	Low-level output voltage	V_{CC}=MIN, V_{IH}=2V, V_{IL}=0.8V, I_{OL}=8mA			0.35	0.5	mA
I_I	Input current at maximum input voltage	Clear	V_{CC}=MAX, V_I=7V			0.1	μA
		Input A	V_{CC}=MAX, V_I=5.5V			0.2	
		Input B				0.4	
I_{IH}	High-level input current	Clear	V_{CC}=MAX, V_I=2.4V,			20	μA
		A				100	
		B				100	
I_{IL}	Low-level input current	Clear	V_{CC}=MAX, V_I=2.7V			0.4	mA
		A				−1.6	
		B				−2.4	
I_{OS}	Short-circuit output current●	V_{CC}=MAX	SN54'	−20		−100	mA
			SN74'	−20		−100	
I_{CC}	Supply current	V_{CC}=MAX, See Note 1			15	26	mA
f_{max}	from A to output Q_A	V_{CC}=5V, T_A=25°C, C_L=15pF, R_L=2kΩ		25	35		MHz
	from B to output Q_B			20	30		
t_{PLH} / t_{PHL}	from A to output Q_A				12	20	ns
t_{PLH} / t_{PHL}	from A to output Q_C				13	20	
t_{PLH} / t_{PHL}	from A to output Q_D				37	60	
t_{PLH} / t_{PHL}	from B to output Q_B				39	60	
t_{PLH} / t_{PHL}	from B to output Q_C				13	21	ns
t_{PLH} / t_{PHL}	from B to output Q_D				14	21	
t_{PHL}	from Clear to Any output				24	39	ns
					26	39	
					13	21	ns
					14	21	
					24	39	ns

Pin Assignment (Top View)

①



positive logic: High input to clear resets all four outputs low

Function Table

BCD COUNT SEQUENCE (See Note A)

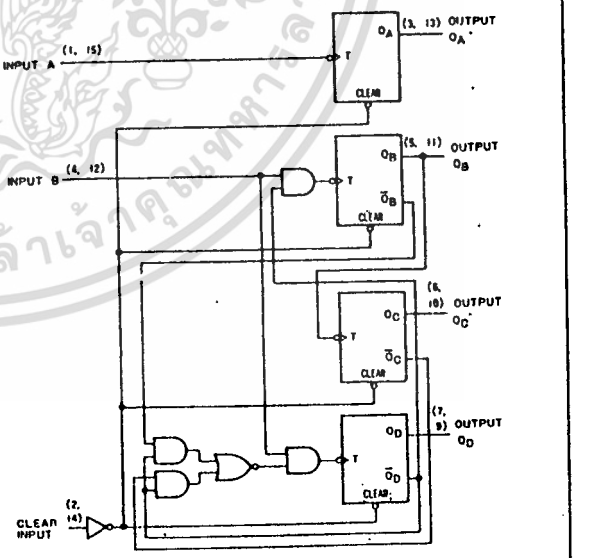
COUNT	OUTPUT Q_D	Q_C	Q_B	Q_A
0	L	L	L	L
1	L	L	L	H
2	L	L	H	L
3	L	L	H	H
4	L	H	L	L
5	L	H	L	H
6	L	H	H	L
7	L	H	H	H
8	H	L	L	L
9	H	L	L	H

BI-QUINARY (5-2) (See Note B)

COUNT	OUTPUT Q_A	Q_D	Q_C	Q_B
0	L	L	L	L
1	L	L	L	H
2	L	L	H	L
3	L	L	H	H
4	L	H	L	L
5	H	L	L	L
6	H	L	L	H
7	H	L	H	L
8	H	L	H	H
9	H	H	L	L

H = high level, L = low level

Functional Block Diagram



NOTES: I. I_{CC} is measured with all outputs open, both clear inputs grounded following momentary connection to 4.5V, and all other inputs grounded

A. Output Q_A is connected to input B for BCD count.

B. Output Q_D is connected to input A for bi-quinary count.

↓ The arrow indicates the falling edge of the clock pulse is used for reference.

‖ f_{max} = maximum count frequency t_{PHL} = propagation delay time, high-to-low-level output t_{PLH} = propagation delay time, low-to-high-level output

‡ The Q_A outputs of the '390 are tested at I_{OL} = 16 mA plus the limit value for I_{IL} for the B input. This permits driving the B input while maintaining full fan-out capability.

† For conditions shown as MIN or MAX, use the appropriate value specified under recommended operating conditions.

‡ All typical values are at V_{CC} = 5V, T_A = 25°C.

● Not more than one output should be shorted at a time.

เว็บไซต์นี้ สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MOTOROLA

LF347
LF351
LF353

FAMILY OF BIFET OPERATIONAL AMPLIFIERS
SILICON MONOLITHIC INTEGRATED CIRCUITS

JFET INPUT OPERATIONAL AMPLIFIERS

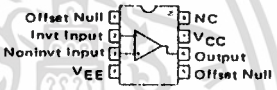
These low cost JFET input operational amplifiers combine two state-of-the-art linear technologies on a single monolithic integrated circuit. Each internally compensated operational amplifier has well matched high voltage JFET input devices for low input offset voltage. The BIFET technology provides wide bandwidths and fast slew rates with low input bias currents, input offset currents, and supply currents.

These devices are available in single, dual and quad operational amplifiers which are pin-compatible with the industry standard MC1741, MC1458, and the MC3403/LM324 bipolar devices.

- Input Offset Voltage of 5.0 mV Max (LF347B)
- Low Input Bias Current – 50 pA
- Low Input Noise Voltage – 16 nV/$\sqrt{Hz}$
- Wide Gain Bandwidth – 4.0 MHz
- High Slew Rate – 13 V/μs
- Low Supply Current – 1.8 mA per Amplifier
- High Input Impedance – 10^{12} Ω
- High Common-Mode and Supply Voltage Rejection Ratios – 100 dB

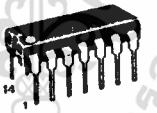
N SUFFIX
PLASTIC PACKAGE
CASE 626-05
(LF351, LF353 Only)

D SUFFIX
PLASTIC PACKAGE
CASE 751-02
SO-8
(LF351, LF353 Only)



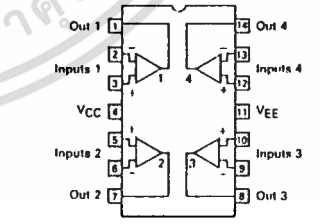
LF351
(Top View)

LF353
(Top View)



N SUFFIX
PLASTIC PACKAGE
CASE 646-06
(LF347 Only)

D SUFFIX
PLASTIC PACKAGE
CASE 751A-02
SO-14



(Top View)

MAXIMUM RATINGS

Rating	Symbol	Value	Unit
Supply Voltage	V_{CC} V_{EE}	+18 −18	V
Differential Input Voltage	V_{ID}	±30	V
Input Voltage Range (Note 1)	V_{IDR}	±15	V
Output Short Circuit Duration (Note 2)	t_S	Continuous	
Power Dissipation at T_A = +25°C	P_D	900	mW
Derate above T_A = +25°C	$1/\theta JA$	10	mW/°C
Operating Ambient Temperature Range	T_A	0 to +70	°C
Operating Junction Temperature Range	T_J	115	°C
Storage Temperature Range	T_{stg}	−65 to +150	°C

NOTES:

1. Unless otherwise specified, the absolute maximum negative input voltage is limited to the negative power supply.
2. Any amplifier output can be shorted to ground indefinitely. However, if more than one amplifier output is shorted simultaneously, maximum junction temperature ratings may be exceeded.

ORDERING INFORMATION

Function	Device	Package
Single	LF351D	SO-8
Single	LF351N	Plastic DIP
Dual	LF353D	SO-8
Dual	LF353N	Plastic DIP
Quad	LF347D	SO-14
Quad	LF347BN	Plastic DIP
Quad	LF347N	Plastic DIP

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MOTOROLA

LM111
LM211
LM311

HIGHLY FLEXIBLE VOLTAGE COMPARATORS

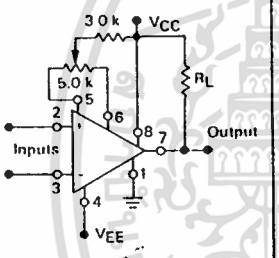
The ability to operate from a single power supply of 5.0 to 30 volts or ±15 volt split supplies, as commonly used with operational amplifiers, makes the LM111/LM211/LM311 a truly versatile comparator. Moreover, the inputs of the device can be isolated from system ground while the output can drive loads referenced either to ground, the V_{CC} or the V_{EE} supply. This flexibility makes it possible to drive DTL, RTL, TTL, or MOS logic. The output can also switch voltages to 50 volts at currents to 50 mA. Thus the LM111/LM211/LM311 can be used to drive relays, lamps or solenoids.

HIGH PERFORMANCE VOLTAGE COMPARATORS

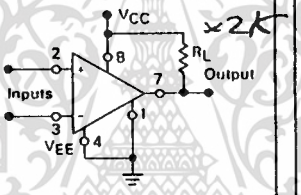
SILICON MONOLITHIC INTEGRATED CIRCUIT

TYPICAL COMPARATOR DESIGN CONFIGURATIONS

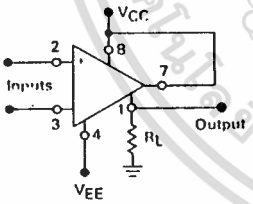
Split Power-Supply with Offset Balance



Single Supply

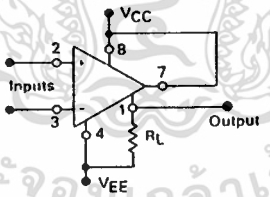


Ground-Referred Load



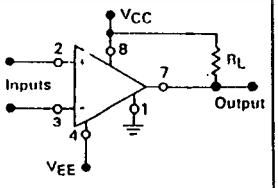
Input polarity is reversed when Gnd pin is used as an output

Load Referred to Negative Supply

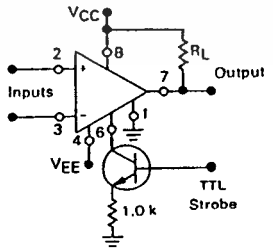


Input polarity is reversed when Gnd pin is used as an output.

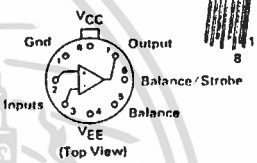
Load Referred to Positive Supply



Strobe Capability



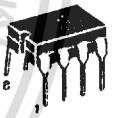
H SUFFIX
METAL PACKAGE
CASE 601-04



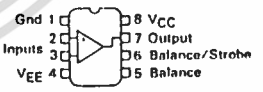
(Top View)

N SUFFIX
PLASTIC PACKAGE
CASE 626-05
(LM311 Only)

J-8 SUFFIX
CERAMIC PACKAGE
CASE 693-02



D SUFFIX
PLASTIC PACKAGE
CASE 751-02
SO-8
(LM211/LM311 Only)



(Top View)

ORDERING INFORMATION

Device	Temperature Range	Package
LM111H LM111J-8	−55°C to +125°C	Metal Can Ceramic DIP
LM211D LM211H LM211J-8	−25°C to +85°C	SO-8 Metal Can Ceramic DIP
LM311D LM311J-8 LM311N	0°C to +70°C	SO-8 Ceramic DIP Plastic DIP

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MOTOROLA

MC1488

QUAD MDTL LINE DRIVER EIA-232C

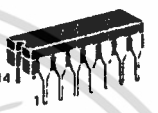
SILICON MONOLITHIC INTEGRATED CIRCUIT

QUAD LINE DRIVER

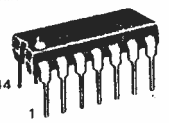
The MC1488 is a monolithic quad line driver designed to interface data terminal equipment with data communications equipment in conformance with the specifications of EIA Standard No. EIA-232C.

Features:

- Current Limited Output
  ±10 mA typ
- Power Off Source Impedance
  300 Ohms min
- Simple Slew Rate Control with External Capacitor
- Flexible Operating Supply Range
- Compatible with All Motorola MDTL and MTTL Logic Families



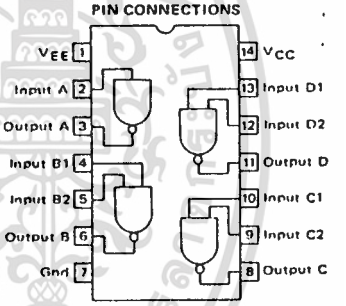
L SUFFIX
CERAMIC PACKAGE
CASE 632-08



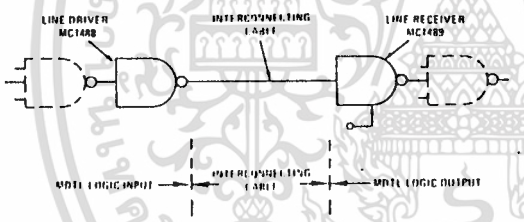
P SUFFIX
PLASTIC PACKAGE
CASE 646-06

D SUFFIX
PLASTIC PACKAGE
CASE 751A-02
SO-14

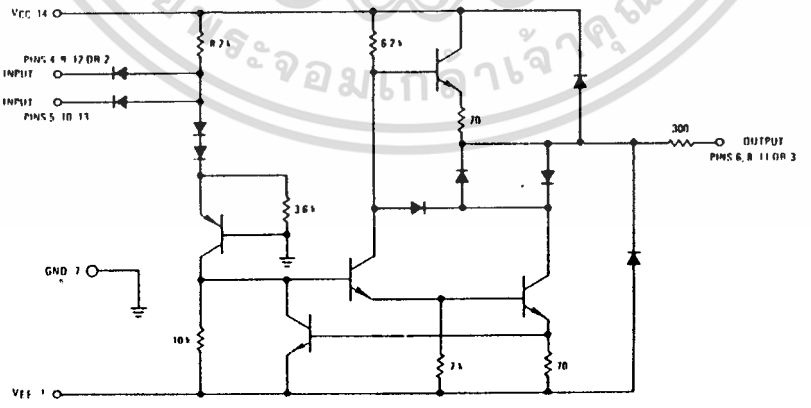
PIN CONNECTIONS



TYPICAL APPLICATION



CIRCUIT SCHEMATIC
(1/4 OF CIRCUIT SHOWN)



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MC1495L
MC1595L

ORDERING INFORMATION

Device	Temperature Range	Package
MC1495L	0°C to +70°C	Ceramic DIP
MC1595L	−55°C to +125°C	Ceramic DIP

Specifications and Applications Information

WIDEBAND MONOLITHIC FOUR-QUADRANT MULTIPLIER

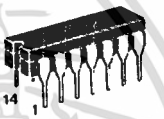
. . . designed for uses where the output is a linear product of two input voltages. Maximum versatility is assured by allowing the user to select the level shift method. Typical applications include: multiply, divide*, square root*, mean square*, phase detector, frequency doubler, balanced modulator/demodulator, electronic gain control.

*When used with an operational amplifier.

- Wide Bandwidth
- Excellent Linearity – 1% max Error on X-Input, 2% max Error on Y-Input – MC1595L
- Excellent Linearity – 2% max Error on X-Input, 4% max Error on Y-Input – MC1495L
- Adjustable Scale Factor, K
- Excellent Temperature Stability
- Wide Input Voltage Range – ± 10 Volts
- ± 15 Volt Operation

LINEAR FOUR-QUADRANT MULTIPLIER

SILICON MONOLITHIC INTEGRATED CIRCUIT



L SUFFIX
CERAMIC PACKAGE
CASE 632-08

FIGURE 1 – FOUR-QUADRANT MULTIPLIER TRANSFER CHARACTERISTIC

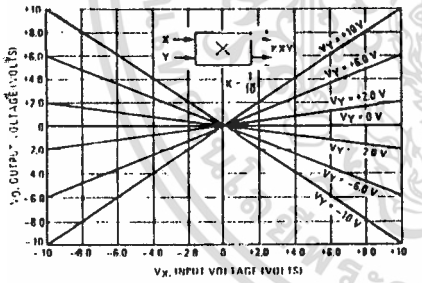


FIGURE 2 – TRANSCONDUCTANCE BANDWIDTH

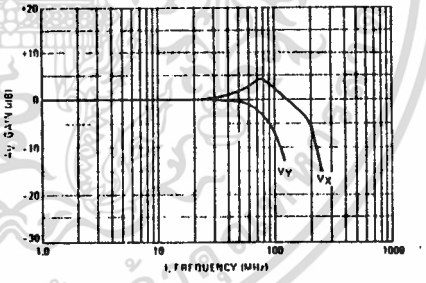
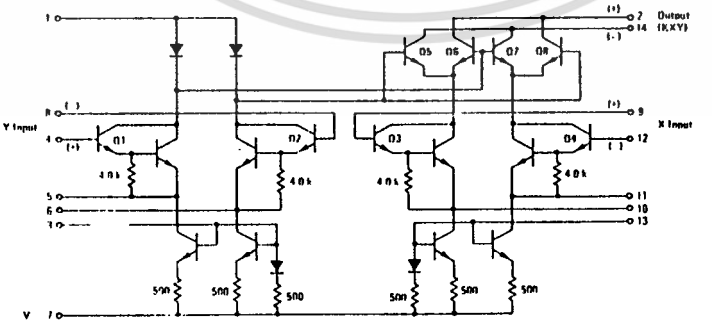


FIGURE 3 – CIRCUIT SCHEMATIC



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ORDERING INFORMATION

Device	Temperature Range	Package
MC1496D	0°C to +70°C	SO-14
MC1496G		Metal Can
MC1496L		Ceramic DIP
MC1496P		Plastic DIP
MC1596G	−55°C to +125°C	Metal Can
MC1596L		Ceramic DIP

MC1496
MC1596

Specifications and Applications Information

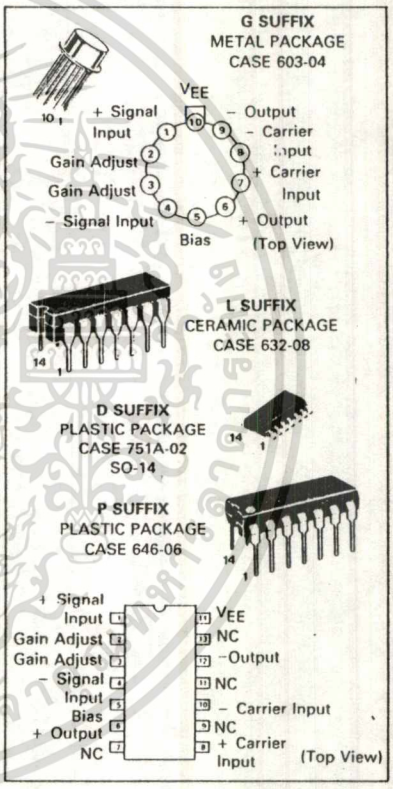
BALANCED MODULATOR/ DEMODULATOR

. . . designed for use where the output voltage is a product of an input voltage (signal) and a switching function (carrier). Typical applications include suppressed carrier and amplitude modulation, synchronous detection, FM detection, phase detection, and chopper applications. See Motorola Application Note AN-531 for additional design information.

- Excellent Carrier Suppression — 65 dB typ @ 0.5 MHz
  — 50 dB typ @ 10 MHz
- Adjustable Gain and Signal Handling
- Balanced Inputs and Outputs
- High Common Mode Rejection — 85 dB typ

BALANCED MODULATOR/DEMODULATOR

SILICON MONOLITHIC INTEGRATED CIRCUIT



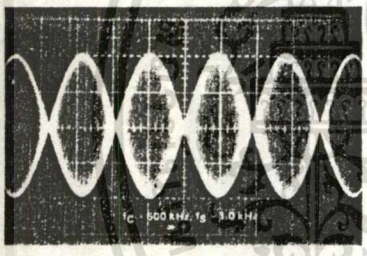


FIGURE 1 – SUPPRESSED-CARRIER OUTPUT WAVEFORM

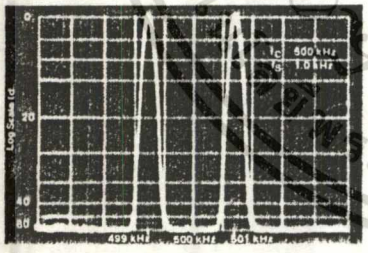


FIGURE 2 – SUPPRESSED-CARRIER SPECTRUM

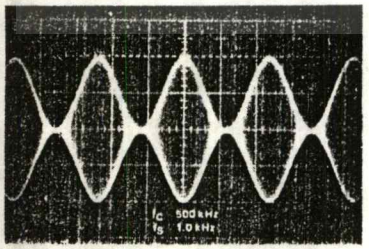
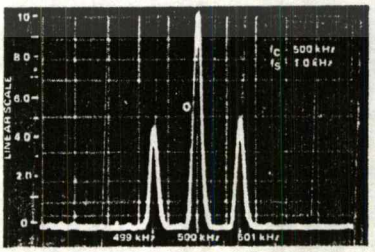


FIGURE 3 – AMPLITUDE-MODULATION OUTPUT WAVEFORM

FIGURE 4 – AMPLITUDE-MODULATION SPECTRUM



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MOTOROLA

LF355, LF356, LF357* LF355B, LF356B, LF357B*

Specifications and Applications Information

MONOLITHIC JFET INPUT OPERATIONAL AMPLIFIERS

These internally compensated operational amplifiers incorporate highly matched JFET devices on the same chip with standard bipolar transistors. The JFET devices enhance the input characteristics of these operational amplifiers by more than an order of magnitude over conventional amplifiers.

This series of op amps combines the low current characteristics typical of FET amplifiers with the low initial offset voltage and offset voltage stability of bipolar amplifiers. Also, nulling the offset voltage does not degrade the drift or common mode rejection.

- Low Input Bias Current – 30 pA
- Low Input Offset Current – 3.0 pA
- Low Input Offset Voltage – 1.0 mV
- Temperature Compensation of Input Offset Voltage – 3.0 $\mu V/^{o}C$
- Low Input Noise Current – 0.01 $pA/\sqrt{Hz}$
- High Input Impedance – $10^{12}\Omega$
- High Common-Mode Rejection Ratio – 100 dB
- High DC Voltage Gain – 106 dB

SERIES FEATURES

- LF355/355B — Low Power Supply Current
- LF356/356B — Wide Bandwidth
- LF357/357B — Wider Bandwidth Decompensated (A_{Vmin} = 5)

	LF355/355B	LF356/356B	LF357/357B
Fast Settling Time to 0.01%	4.0 μs	1.5 μs	1.5 μs
Fast Slew Rate	5.0 $V/\mu s$	12 $V/\mu s$	50 $V/\mu s$
Wide Gain Bandwidth	2.5 MHz	5.0 MHz	20 MHz
Low Input Noise Voltage	20 $nV/\sqrt{Hz}$	12 $nV/\sqrt{Hz}$	12 $nV/\sqrt{Hz}$

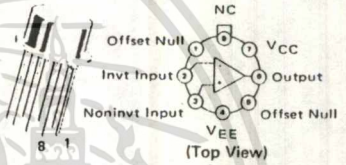
ORDERING INFORMATION

Device	Temperature Range	Package
LF355BH,H	0 to +70°C	Metal Can
LF355BJ,J	0 to +70°C	Ceramic DIP
LF356BH,H	0 to +70°C	Metal Can
LF356BJ,J	0 to +70°C	Ceramic DIP
LF357BH,H	0 to +70°C	Metal Can
LF357BJ,J	0 to +70°C	Ceramic DIP

MONOLITHIC JFET OPERATIONAL AMPLIFIERS

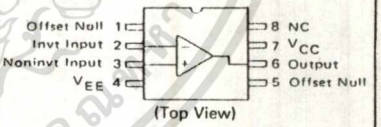
SILICON MONOLITHIC INTEGRATED CIRCUITS

H SUFFIX
METAL PACKAGE
CASE 601-04



(Top View)

J SUFFIX
CERAMIC PACKAGE
CASE 693-02



(Top View)

APPLICATIONS

The LF series is suggested for all general purpose FET input amplifier requirements where precision and frequency response flexibility are of prime importance.

Specific applications include:

- Sample and Hold Circuits
- High Impedance Buffers
- Fast D/A and A/D Converters
- Precision High Speed Integrators
- Wideband, Low Noise, Low Drift Amplifiers

***NOTE:** The LF357/357B are designed for wider bandwidth applications. They are decompensated (A_{Vmin} = 5).

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

SCL4049UB Inverting
SCL4050B Non-Inverting

CMOS
HEX BUFFERS/CONVERTERS

FEATURES

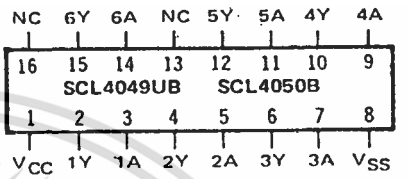
- Direct Drive of 2 TTL/DTL Loads
- Operation from Single Supply
- Pin-for Pin Replacements for SCL4009B, SCL4010B

DESCRIPTION

The SCL4049UB and SCL4050B are Inverting and Non-Inverting Hex Buffers, respectively, and feature logic-level conversion using only one supply voltage (V_{CC}). The Input-signal high level (V_{IH}) can exceed the V_{CC} supply voltage when these devices are used for logic-level conversions. These devices are intended for use as CMOS-to-DTL/TTL converters and can drive directly two DTL/TTL Loads.

The SCL4049UB and SCL4050B are interchangeable with SCL4009UB and SCL4010B devices, respectively. In these applications the SCL4049UB and SCL4050B are pin-compatible with the SCL4009UB and SCL4010B, respectively, and can be substituted for these devices in existing as well as in new designs. Terminal No. 16 is not connected internally on the SCL4049UB or SCL4050B; therefore, connection to this terminal is of no consequence to circuit operation.

CONNECTION DIAGRAM
(all packages)



Add suffix for package:

C	16-pin Cerdip
D	16-pin Ceramic
E	16-pin Epoxy
F	16-pin Flat
H	Chip

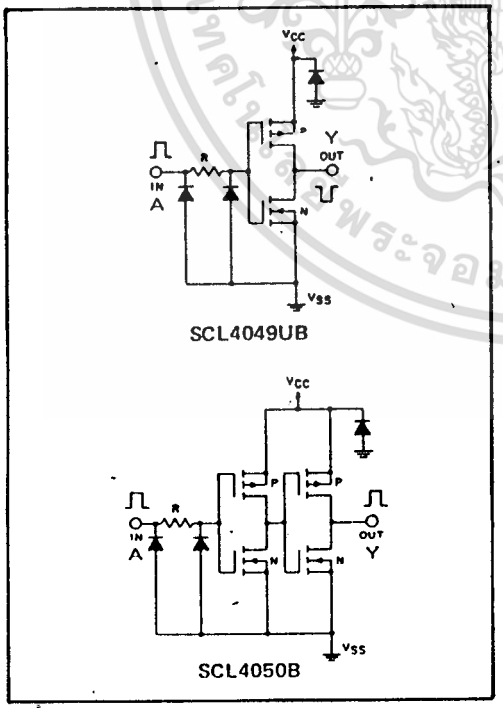
RECOMMENDED OPERATING CONDITIONS

For maximum reliability:

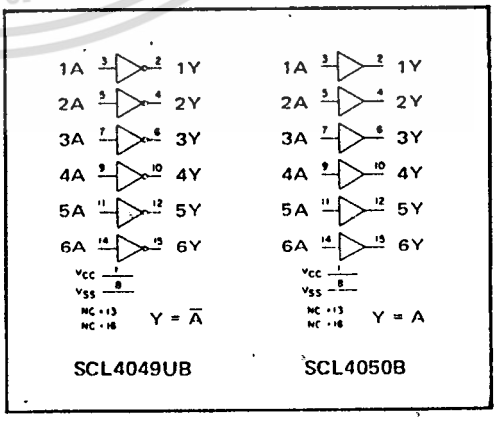
DC Supply Voltage	$V_{CC} - V_{SS}$	3 to 15	Vdc
Operating Temperature	T_A		
C, D, F, H Device		-55 to +125	°C
E Device		-40 to +85	°C

Note: These devices contain input protection networks to V_{SS} only. Therefore, V_{IH} (max) may exceed V_{CC} without damage (subject to absolute maximum ratings).

SCHEMATIC DIAGRAMS



LOGIC DIAGRAMS



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

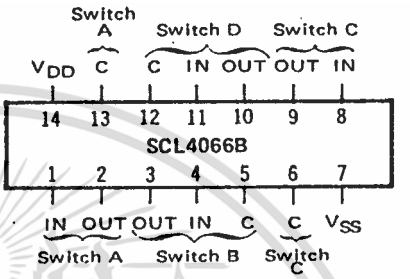
SCL4066B

CMOS QUAD ANALOG SWITCH

FEATURES

- Transmission or Multiplexing of Analog or Digital Signals
- 80Ω Typical ON-Resistance for 15-Volt operation
- Switch ON-Resistance Matched to within 5Ω over 15-Volt Signal-Input Range
- ON-Resistance Flat over Full Peak-to-Peak Signal Range
- High Degree of Linearity:
  ≤0.5% Distortion (typ) @ f_{is} = 1kHz,
  V_{is} = 5V_{p-p}, V_{DD}-V_{SS} ≥ 10V, R_L = 10kΩ
- Extremely Low OFF switch Leakage Resulting in very Low Offset Current and High Effective OFF Resistance:
  10pA (typ) @ V_{DD}-V_{SS} = 10V, T_A = 25°C
- Extremely High Control Input Impedance (Control Circuit Isolated from Signal Circuit):
  10^{12}Ω (typ)
- Low Crosstalk between Switches:
  -50dB (typ) @ f_{is} = 0.9MHz, R_L = 1kΩ
- Matched Control-Input to Signal-Output Capacitance Reduces Output Signal Transients
- Frequency Response, Switch ON = 40MHz (typ)

CONNECTION DIAGRAM
(all packages)



Add suffix for package:

C	14-pin Cerdip	F	14-pin Flat
D	14-pin Ceramic	H	Chip
E	14-pin Epoxy		

RECOMMENDED OPERATING CONDITIONS

For maximum reliability:

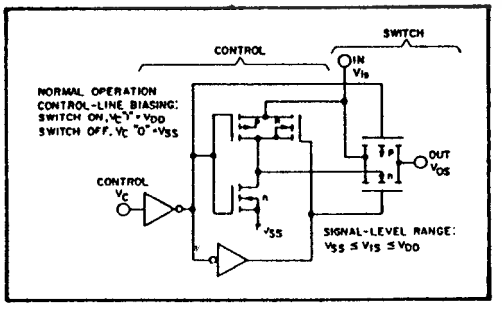
DC Supply Voltage	V_{DD} - V_{SS}	3 to 15	Vdc
Operating Temperature	T_A		
C, D, F, H Device		-55 to +125	°C
E Device		-40 to +85	°C

DESCRIPTION

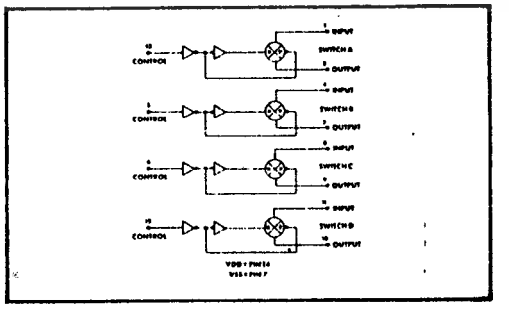
The SCL4066B is a Quad Bilateral Switch intended for the transmission or multiplexing of analog or digital signals. It is pin-for-pin compatible with the SCL4016B, but exhibits a much lower ON-resistance. In addition, the ON-resistance is relatively constant over the full input signal range. The SCL4066 consists of four independent bilateral switches. A single control signal is required per switch. Both the P and the N device in a given switch are biased ON or OFF simultaneously by the control signal. As shown below, the well of the N-channel device on each switch is either tied to the input when the switch is ON or to V_{SS} when the switch is OFF. This configuration minimizes the variation of the switch-transistor threshold voltage with input-signal, and thus keeps the ON-resistance low over the full operating range.

The advantages over single-channel switches include peak input-signal voltage swings equal to the full supply voltage, and more constant ON-impedance over the input-signal range. For sample-and-hold applications, however, the SCL4016 is recommended.

SCHEMATIC DIAGRAM (one of four switches)



LOGIC DIAGRAM



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

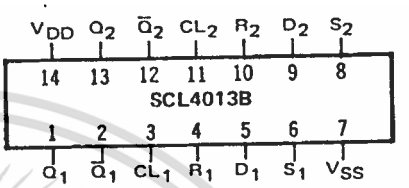
SCL4013B

CMOS DUAL D-TYPE FLIP-FLOP

FEATURES

- Independent Set and Reset Controls
- Static Operation
- Logic Edge-Clocked Design
- 16MHz Toggle Rate @ 10Vdc
- Balanced Output Drive Current Specifications

CONNECTION DIAGRAM
(all packages)



Add suffix for package:

C	14-pin Cerdip
D	14-pin Ceramic
E	14-pin Epoxy
F	14-pin Flat
H	Chip

DESCRIPTION

The SCL4013B consists of two identical, independent D-type Flip-Flops. These devices can be used for shift register applications, and, by connecting the $\bar{Q}$ output to the Data input, for counter and toggle applications. The logic level present at the D input is transferred to the Q output during the positive-going transition of the Clock pulse. Setting or resetting is independent of the Clock and is accomplished by a high level on the Set or Reset line, respectively.

TRUTH TABLE

CL ▲	D	R	S	Q	$\bar{Q}$	
▲	0	0	0	0	1	
▲	1	0	0	1	0	
▲	x	0	0	Q	$\bar{Q}$	NO CHANGE
x	x	1	0	0	1	
x	x	0	1	1	0	
x	x	1	1	1	1	

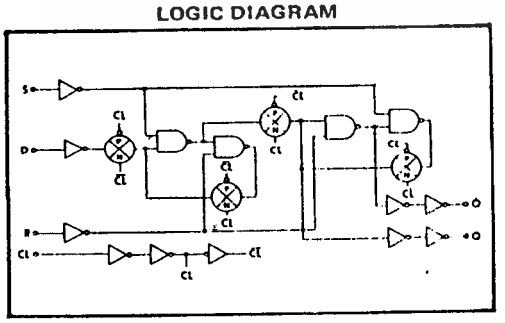
▲ = Level Change
x = Don't Care

RECOMMENDED OPERATING CONDITIONS

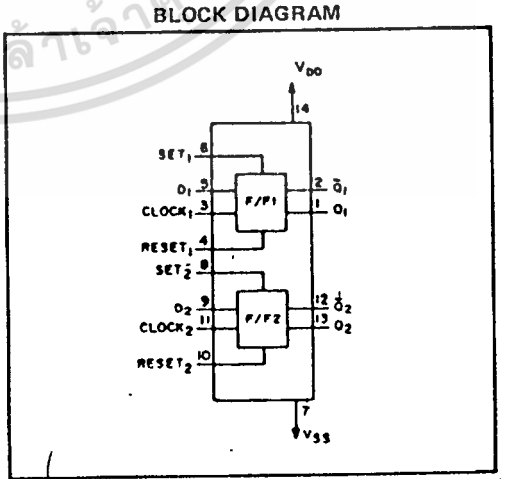
For maximum reliability:

DC Supply Voltage	$V_{DD} - V_{SS}$	3 to 15	Vdc
Operating Temperature	T_A		
C, D, F, H Device		-55 to +125	°C
E Device		-40 to +85	°C

LOGIC DIAGRAM



BLOCK DIAGRAM



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

SCL4046B
SCL4446B

CMOS PHASE-LOCKED LOOPS

FEATURES

- Very low power consumption — 70 μW (typ) @ f_o = 10kHz, 5Vdc
- Operating frequency range (no offset) —
  Up to 3MHz (typ) @ 10Vdc (SCL4046B)
  Up to 4MHz (typ) @ 10Vdc (SCL4446B)
- Low frequency drift — 0.04%/°C (typ) @ 10Vdc
- Choice of two phase comparators:
  1. Exclusive-OR network
  2. Edge-controlled memory network with phase-pulse output for lock indication
- VCO Inhibit control for ON-OFF keying and ultra-low standby power consumption
- High VCO linearity 1% (typ)
- Source-follower output of VCO control input (Demodulator Output)
- Zener Diode to assist Supply Regulation
- Balanced Output Drive Current Specifications

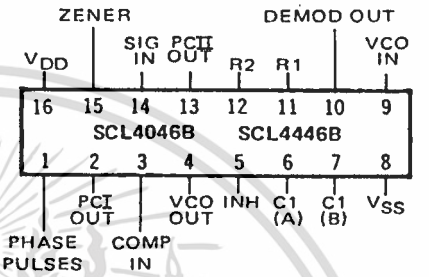
APPLICATIONS

- FM demodulator and modulator
- Frequency synthesis and multiplication
- Frequency discriminator
- Data synchronization
- Voltage-to-frequency conversion
- Tone decoding
- FSK-Modems
- Signal conditioning

DESCRIPTION

The SCL4046B and SCL4446B phase-locked loops contain two phase comparators, a voltage-controlled oscillator (VCO), source follower, and zener diode. The comparators have two common inputs. The Signal input can be used directly coupled to large voltage signals, or indirectly coupled (with a series capacitor) to small voltage signals. The self-bias circuit adjusts small voltage signals in the linear region of the amplifier. Phase comparator I (an exclusive-OR gate) provides a digital error signal PCI_{out}, and maintains 90° phase shift at the center frequency between Signal and Comparator inputs (both at 50% duty cycle). Phase comparator II (with leading edge sensing logic) provides digital error signals $PCII_{out}$ and Phase Pulses, and maintains a 0° phase shift between input signals (duty cycle is immaterial). The linear VCO produces an output signal VCO_{out} whose frequency is determined by the voltage of input VCO_{in} and the capacitor and resistors connected to pins $C1_A$, $C1_B$, R1, and R2. The source follower output, Demod Out, with an external resistor is used where the VCO_{in} signal is needed but no loading can be tolerated. The inhibit input Inh, when high, disables the VCO and source follower to minimize standby power consumption. The zener diode can be used to assist in power supply regulation.

CONNECTION DIAGRAM
(all packages)



Add suffix for package:

C	16-pin Cerdip
D	16-pin Ceramic
E	16-pin Epoxy
F	16-pin Flat
H	Chip

RECOMMENDED OPERATING CONDITIONS

For maximum reliability:

DC Supply Voltage	$V_{DD} - V_{SS}$	3 to 15	Vdc
Operating Temperature	T_A		
C, D, F, H Device		-55 to +125	°C
E Device		-40 to +85	°C

BLOCK DIAGRAM

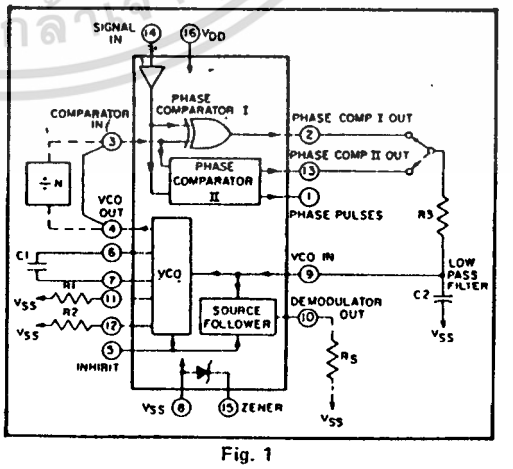


Fig. 1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

SCL4060AB

CMOS 14-STAGE BINARY COUNTER AND OSCILLATOR

FEATURES

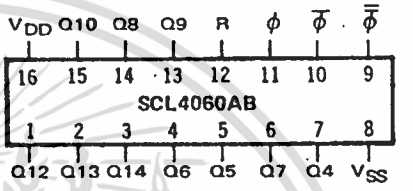
- 14 Fully Static Stages
- 10 Buffered Outputs Available
- Common Reset Line
- 8MHz Counting Rate @ 10Vdc
- All Active Oscillator Components on Chip for R-C or Crystal Control

DESCRIPTION

The SCL4060AB consists of an oscillator section and 14 ripple-carry binary counter stages. The oscillator configuration allows design of either R-C or crystal oscillator circuits. A Reset input is provided which resets the counter to the all-0's state. A high level on the Reset line accomplishes the reset function. The state of the counter is advanced one step in binary order on the negative transition of the Clock input ϕ. All inputs and outputs are fully buffered. Outputs are available from stages 4 through 10 and 12 through 14.

Applications include timers, frequency dividers, delay circuits and counter controls.

CONNECTION DIAGRAM
(all packages)



Add suffix for package:

- C 16-pin Cerdip
- D 16-pin Ceramic
- E 16-pin Epoxy
- F 16-pin Flat
- H Chip

TRUTH TABLE

CLOCK	RESET	OUTPUT STATE
⌐	0	No Change
¬	0	Advance to next state
X	1	All Outputs are low

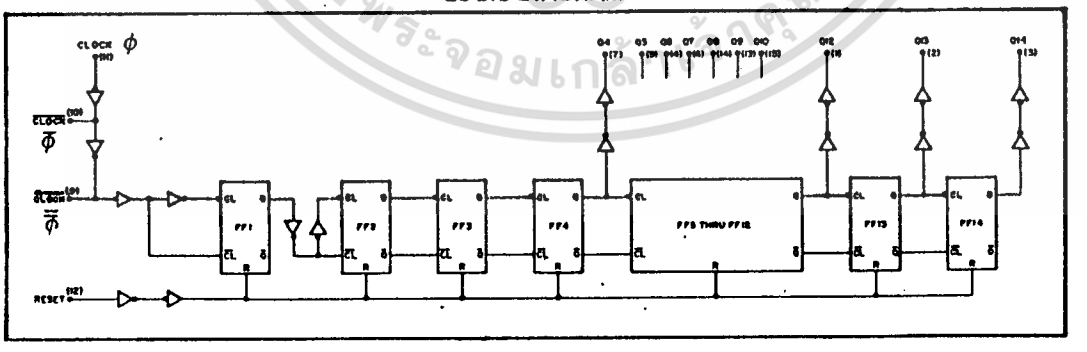
X = Don't Care

RECOMMENDED OPERATING CONDITIONS

For maximum reliability:

DC Supply Voltage	$V_{DD} - V_{SS}$	3 to 15	Vdc
Operating Temperature	T_A		
C, D, F, H Device		-55 to +125	°C
E Device		-40 to +85	°C

LOGIC DIAGRAM



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

EXAR

XR-2206

Monolithic Function Generator

GENERAL DESCRIPTION

The XR-2206 is a monolithic function generator integrated circuit capable of producing high quality sine, square, triangle, ramp, and pulse waveforms of high-stability and accuracy. The output waveforms can be both amplitude and frequency modulated by an external voltage. Frequency of operation can be selected externally over a range of 0.01 Hz to more than 1 MHz.

The circuit is ideally suited for communications, instrumentation, and function generator applications requiring sinusoidal tone, AM, FM, or FSK generation. It has a typical drift specification of 20 ppm/°C. The oscillator frequency can be linearly swept over a 2000:1 frequency range, with an external control voltage, having a very small affect on distortion.

FEATURES

Low-Sine Wave Distortion	0.5%, Typical
Excellent Temperature Stability	20 ppm/°C, Typical
Wide Sweep Range	2000:1, Typical
Low-Supply Sensitivity	0.01%/V, Typical
Linear Amplitude Modulation	
TTL Compatible FSK Controls	
Wide Supply Range	10V to 26V
Adjustable Duty Cycle	1% to 99%

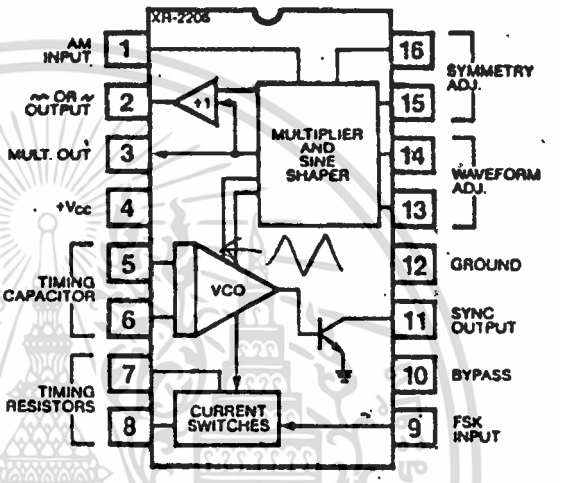
APPLICATIONS

Waveform Generation
Sweep Generation
AM/FM Generation
V/F Conversion
FSK Generation
Phase-Locked Loops (VCO)

ABSOLUTE MAXIMUM RATINGS

Power Supply	26V
Power Dissipation	750 mW
Derate Above 25°C	5 mW/°C
Total Timing Current	6 mA
Storage Temperature	−65°C to +150°C

FUNCTIONAL BLOCK DIAGRAM



ORDERING INFORMATION

Part Number	Package	Operating Temperature
XR-2206M	Ceramic	−55°C to +125°C
XR-2206N	Ceramic	0°C to +70°C
XR-2206P	Plastic	0°C to +70°C
XR-2206CN	Ceramic	0°C to +70°C
XR-2206CP	Plastic	0°C to +70°C

SYSTEM DESCRIPTION

The XR-2206 is comprised of four functional blocks; a voltage-controlled oscillator (VCO), an analog multiplier and sine-shaper; a unity gain buffer amplifier; and a set of current switches.

The VCO actually produces an output frequency proportional to an input current, which is produced by a resistor from the timing terminals to ground. The current switches route one of the timing pins current to the VCO controlled by an FSK input pin, to produce an output frequency. With two timing pins, two discrete output frequencies can be independently produced for FSK Generation Applications.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

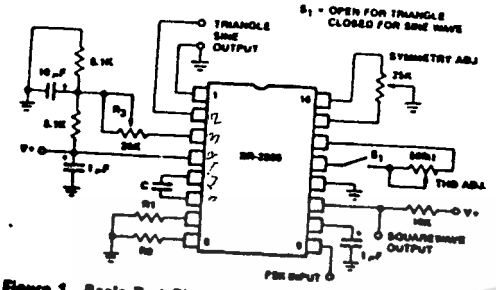


Figure 1. Basic Test Circuit.

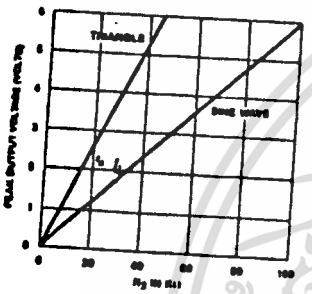


Figure 2. Output Amplitude as a Function of the Resistor, R_3, at Pin 3.

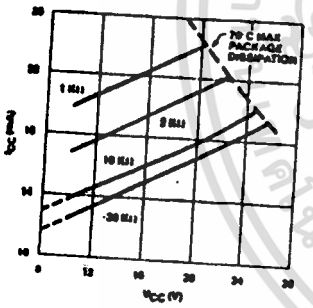


Figure 3. Supply Current versus Supply Voltage, Timing, R.

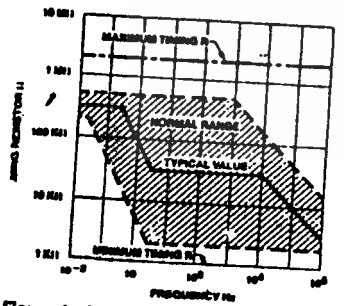


Figure 4. R versus Oscillation Frequency.

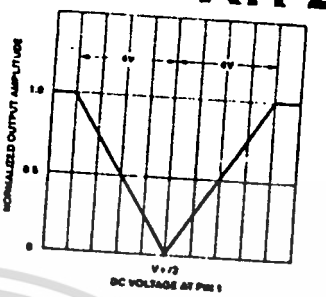


Figure 5. Normalized Output Amplitude versus DC Bias at AM Input (Pin 1).

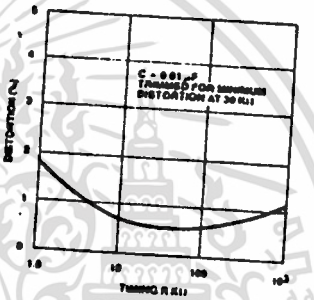


Figure 6. Trimmed Distortion versus Timing Resistor.

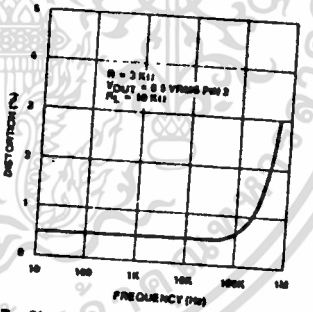


Figure 7. Sine Wave Distortion versus Operating Frequency with Timing Capacitors Varied.

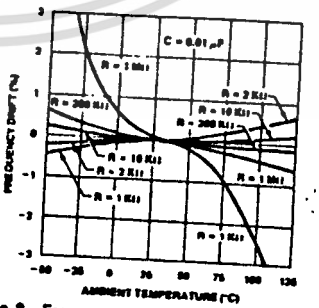


Figure 8. Frequency Drift versus Temperature.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

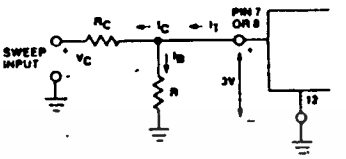


Figure 9. Circuit Connection for Frequency Sweep.

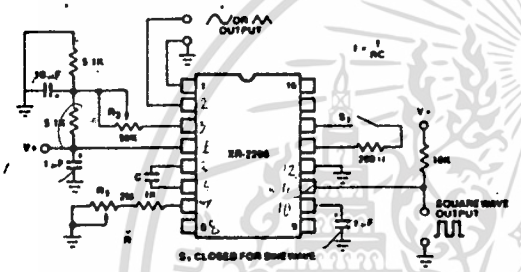


Figure 10. Circuit for Sine Wave Generation without External Adjustment. (See Figure 2 for Choice of R_3).

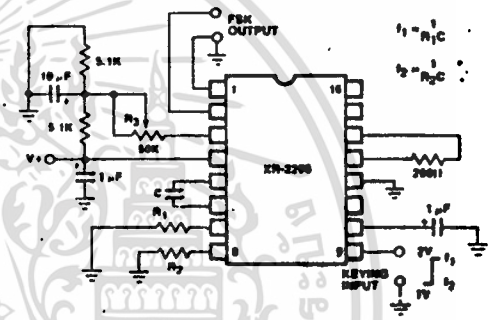


Figure 12. Sinusoidal FSK Generator.

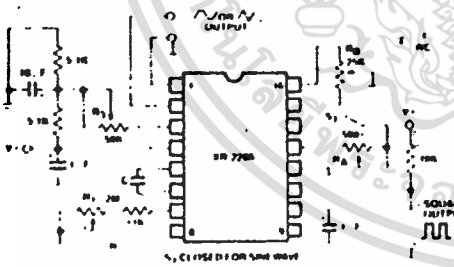


Figure 11. Circuit for Sine Wave Generation with Minimum Harmonic Distortion. (R_3 Determines Output Swing—See Figure 2.)

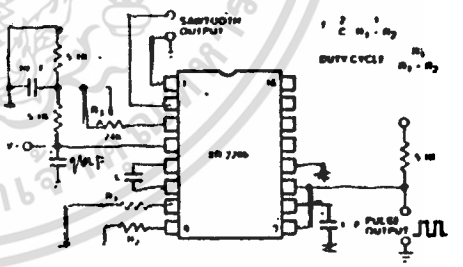


Figure 13. Circuit for Pulse and Ramp Generation.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Frequency-Shift Keying:

The XR-2206 can be operated with two separate timing resistors, R_1 and R_2, connected to the timing Pin 7 and 8, respectively, as shown in Figure 12. Depending on the polarity of the logic signal at Pin 9, either one or the other of these timing resistors is activated. If Pin 9 is open-circuited or connected to a bias voltage $\geq 2V$, only R_1 is activated. Similarly, if the voltage level at Pin 9 is $\leq 1V$, only R_2 is activated. Thus, the output frequency can be keyed between two levels, f_1 and f_2, as:

$$f_1 = 1/R_1C \text{ and } f_2 = 1/R_2C$$

For split-supply operation, the keying voltage at Pin 9 is referenced to V^-.

Output DC Level Control:

The dc level at the output (Pin 2) is approximately the same as the dc bias at Pin 3. In Figures 10, 11 and 12, Pin 3 is biased midway between V^+ and ground, to give an output dc level of $= V^+/2$.

APPLICATIONS INFORMATION

Sine Wave Generation

Without External Adjustment:

Figure 10 shows the circuit connection for generating a sinusoidal output from the XR-2206. The potentiometer, R_1 at Pin 7, provides the desired frequency tuning. The maximum output swing is greater than $V^+/2$, and the typical distortion (THD) is <2.5%. If lower sine wave distortion is desired, additional adjustments can be provided as described in the following section.

The circuit of Figure 10 can be converted to split-supply operation, simply by replacing all ground connections with V^-. For split-supply operation, R_3 can be directly connected to ground.

With External Adjustment:

The harmonic content of sinusoidal output can be reduced to ≈0.5% by additional adjustments as shown in Figure 11. The potentiometer, R_A, adjusts the sine-shaping resistor, and R_B provides the fine adjustment for the waveform symmetry. The adjustment procedure is as follows:

1. Set R_B at midpoint, and adjust R_A for minimum distortion.
2. With R_A set as above, adjust R_B to further reduce distortion.

Triangle Wave Generation

The circuits of Figures 10 and 11 can be converted to triangle wave generation, by simply open-circuiting Pin 13 and 14 (i.e., S_1 open). Amplitude of the triangle is approximately twice the sine wave output.

FSK Generation

Figure 12 shows the circuit connection for sinusoidal FSK signal operation. Mark and space frequencies can be independently adjusted, by the choice of timing resistors, R_1 and R_2; the output is phase-continuous during transitions. The keying signal is applied to Pin 9. The circuit can be converted to split-supply operation by simply replacing ground with V^-.

Pulse and Ramp Generation

Figure 13 shows the circuit for pulse and ramp waveform generation. In this mode of operation, the FSK keying terminal (Pin 9) is shorted to the square-wave output (Pin 11), and the circuit automatically frequency-shift keys itself between two separate frequencies during the positive-going and negative-going output waveforms. The pulse width and duty cycle can be adjusted from 1% to 99%, by the choice of R_1 and R_2. The values of R_1 and R_2 should be in the range of 1 kΩ to 2 MΩ.

PRINCIPLES OF OPERATION

Description of Controls

Frequency of Operation:

The frequency of oscillation, f_o, is determined by the external timing capacitor, C, across Pin 5 and 6, and by the timing resistor, R, connected to either Pin 7 or 8. The frequency is given as:

$$f_o = \frac{1}{RC} \text{ Hz}$$

and can be adjusted by varying either R or C. The recommended values of R, for a given frequency range, as shown in Figure 4. Temperature stability is optimum for $4\text{ k}\Omega < R < 200\text{ k}\Omega$. Recommended values of C are from 1000 pF to 100 μF.

Frequency Sweep and Modulation:

Frequency of oscillation is proportional to the total timing current, I_T, drawn from Pin 7 or 8:

$$f = \frac{320\, I_T\,(\text{mA})}{C\,(\mu\text{F})} \text{ Hz}$$

Timing terminals (Pin 7 or 8) are low-impedance points, and are internally biased at +3V, with respect to Pin 12. Frequency varies linearly with I_T over a wide range of current values, from 1 μA to 3 mA. The frequency can be controlled by applying a control voltage, V_C, to the activated timing pin as shown in Figure 9. The frequency of oscillation is related to V_C as:

$$f = \frac{1}{RC}\left(1 + \frac{R}{R_C}\left(1 - \frac{V_C}{3}\right)\right) \text{ Hz}$$

$R_C \gg R$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

where V_C is in volts. The voltage-to-frequency conversion gain, K, is given as:

$$K = \partial f / \partial VC = -\frac{0.32}{R_C C} \text{ Hz/V}$$

CAUTION: For safety operation of the circuit, I_T should be limited to ≤3 mA.

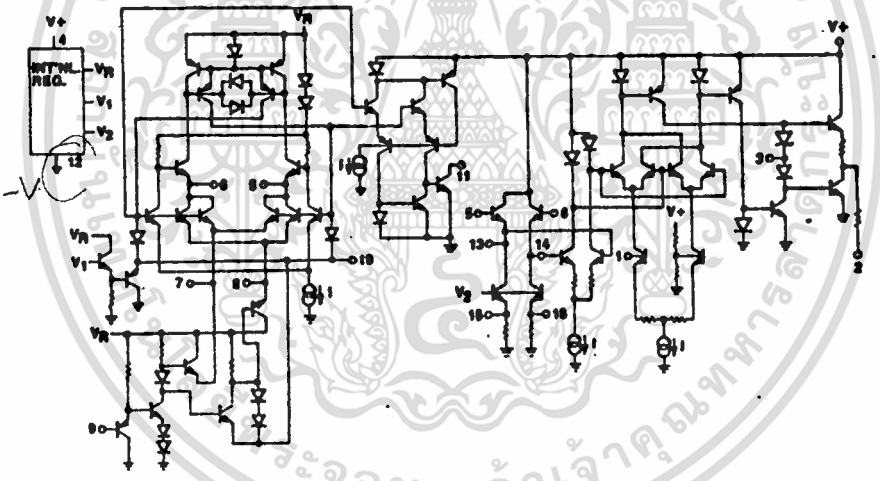
Output Amplitude:

Maximum output amplitude is inversely proportional to the external resistor, R_3, connected to Pin 3 (see Figure 2). For sine wave output, amplitude is approximately 80 mV peak per kΩ of R_3; for triangle, the peak amplitude is approximately 160 mV peak per kΩ of R_3. Thus, for example, R_3 = 50 kΩ would produce approximately ±3V sinusoidal output amplitude.

Amplitude Modulation:

Output amplitude can be modulated by applying a dc bias and a modulating signal to Pin 1. The internal impedance at Pin 1 is approximately 100 kΩ. Output amplitude varies linearly with the applied voltage at Pin 1, for values of dc bias at this pin, within ±4 volts of $V^+/2$ as shown in Figure 5. As this bias level approaches $V^+/2$, the phase of the output signal is reversed, and the amplitude goes through zero. This property is suitable for phase-shift keying and suppressed-carrier AM generation. Total dynamic range of amplitude modulation is approximately 55 dB.

CAUTION: AM control must be used in conjunction with a well-regulated supply, since the output amplitude now becomes a function of V^+.



EQUIVALENT SCHEMATIC DIAGRAM

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กิตติกรรมประกาศ

ขอขอบคุณความสำเร็จในครั้งนี้ ที่ได้รับความช่วยเหลือเป็นอย่างดีเยี่ยม ในด้านสถานที่ อุปกรณ์และเครื่องมือเครื่องใช้ในการทำงาน และที่สำคัญอย่างยิ่ง คือข้อมูลความรู้และอีกหลาย ๆ อย่าง อันเป็นผลให้งานวิจัยชิ้นนี้สมบูรณ์แบบตามจุดประสงค์ที่ตั้งไว้ทุกประการ จากท่านอาจารย์กฤดากร กล่อมการ และที่ปริญญานิพนธ์ฉบับนี้เสร็จสมบูรณ์ด้วยดีก็ด้วยความช่วยเหลือแนะนำจากท่านอาจารย์ประดิษฐ์ วัชรพิบูลย์ และท่านอาจารย์ ดร.ไพศาล นาคพิพัฒน์ และขอบคุณเพื่อน ๆ ที่ได้ให้ความช่วยเหลือในด้านอื่น ๆ อย่างดีเยี่ยม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หนังสืออ้างอิง

1. ดร.ประสิทธิ์ ปร่ะพิณมงคลการ , หลักการระบบสื่อสาร , 2521

2. บัณฑิต โรจน์อารยานนท์ , หลักการไฟฟ้าสื่อสาร , พิมพ์ครั้งที่ 1,ชุดความรู้เฉพาะ อันดับ 6 , 2532

3. Lewis C. Eggebrecht , Interfacing to the IBM personal computer , Howard W.sams & Co.,Inc.,1983

4. E. Alexander Newcombe, Subbarayan Pasupathy, "Error Rate Monitoring For Digital Communications" , proceeding of the IEEE , Vol.70, No.8,August 1982

5. IBM Version , TURBO C, User's quide Reference quide Additions & Enhancements, version 1.5 , Borland International, inc.,1987

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้