เครื่องโปรแกรม PAL

PROGRAMMER PAL

โดย

นายเกษม เจริญวัฒนาสุข

นายจารุพล วนาสันติพงศ์

นายธีระยุทธ ควรระงับ

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตร์บัณฑิต

ภาควิชาเทคโนโลยีการวัดคุมทางอุตสาหกรรม

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2534

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

008401

ปริญญานิพนธ์ปีการศึกษา 2534
ภาควิชา เทคโนโลยีการวัดคุมทางอุตสาหกรรม
สาขา เทคโนโลยีคอมพิวเตอร์อุตสาหกรรม
คณะวิศวกรรมศาสตร์
สถาบันเทคโนโลยีพระจอมเกล้า เจ้าคุณทหาร ลาดกระบัง

เรื่อง เครื่องโปรแกรม PAL
(PROGRAMMER PAL)

ผู้จัดทำ

1. นาย เกษม เจริญวัฒนาสุข 33.162203
2. นาย จารุพล วนาสินดิษงศ์ 33.162204
3. นาย ธีระยุทธ ควรระงับ 33.162211

.....อาจารย์ที่ปรึกษา
(อาจารย์ พิทักษ์ เลาหสงคราม)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หัวข้อปริญญานิพนธ์	เครื่องโปรแกรม PAL	
นักศึกษา	นายเกษม เจริญวัฒนสุข	33.162203
	นายจารุพล วนาสันติพงศ์	33.162204
	นายธีระยุทธ ควรระงับ	33.162211
อาจารย์ที่ปรึกษา	อาจารย์นิพัฒน์ เลาหสงคราม	
ระดับการศึกษา	อุตสาหกรรมศาสตร์บัณฑิต	
	ทางเทคโนโลยีการวัดคุมทางอุตสาหกรรม	
ปีการศึกษา	พ.ศ. 2534	

บทคัดย่อ

ในปัจจุบันนี้วิวัฒนาการทางด้านอิเลคทรอนิคได้เจริญก้าวหน้าและมีการพัฒนาอยู่เสมอ อุตสาหกรรมทางด้านไอซีก็เช่นกัน PAL ก็เป็นไอซีตัวหนึ่งที่เราสามารถโปรแกรมได้ ตามที่เราต้องการ เครื่อง PROGRAM PAL เป็นสิ่งหนึ่งที่อำนวยความสะดวกในการโปรแกรม PAL โดยการใช้โปรแกรม AMAZE เป็นตัว SOFT WARE ที่ใช้เป็นตัวควบคุมในการทำงาน ของเครื่องโปรแกรม PAL เครื่องโปรแกรม PAL จะทำงานตามที่เราออกแบบเพื่อให้ได้ OUT PUT ที่เราต้องการ

สำหรับปริญญานิพนธ์ฉบับนี้ จะขอเสนอ การนำโปรแกรม AMAZE มาประยุกต์ใช้งานร่วมกับเครื่องโปรแกรม PAL โดยที่เครื่องโปรแกรม PAL จะมีมอนิเตอร์โปรแกรมภายในเครื่อง สำหรับรับข้อมูลที่ส่งมาจาก PC คอมพิวเตอร์ เพื่อที่จะนำไปทำการโปรแกรม PAL ต่อไป จากการทดลองนี้สามารถจะทำงานได้อีกระดับหนึ่ง ซึ่งยังต้องพัฒนาต่อไปอีก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Thesis Title	PAL PROGRAMMER
Name	KASAM CHAREONWATTANASUK
	JARUPON VANASANTIPONG
	TEERAYUTH KHUANRA-NGUB
Thesis Advisor	PIPAT LAUHASONGKRAM
Level of Study	Bachelor's Degree Of Computer
	Technology Instrument Department
	Engineering Faculty
Academic Year	1991

ABSTRACT

Now a day there is semiconductor products development-and fast growing. Such as Integrated Circuit PAL that can be programed as the needed. So the programmer equipment of PAL-is convenience and easy for programming PAL by use software program that we call "AMAZE". The AMAZE software is the truth table design for proper output as design.

This Thesis is introduct the AMAZE software to apply with the programmer PAL equipment.That can be monitor program receiving .So that we can be programmed IC PAL.For experiment of programming PAL still need more development and impllement the method

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทนำ

เวอร์ชั่นที่ 1.7 เป็นการปรับปรุง AMAZE ครั้งล่าสุดและเป็นเวอร์ชั่นที่ใช้ง่ายที่สุด ซึ่งในเวอร์ชั่น 1.65 เป็นความแตกต่างครั้งใหญ่มาก คือข้อมูลที่ต้องเก็บในไฟล์แยกกัน (คือ,fn.PIN)ปัจจุบันถูกเก็บใน Boolean Equation Entry (BEE)ไฟล์ภายใต้ชื่อเรื่อง '@PINLIST'ซึ่งภายใต้หัวเรื่องนี้เป็นเพียง pin labels มากกว่าหน้าที่และจำนวน pin อาจจะถูกค้นพบการรวมกันยังเป็นข้อมูลอ้างอิงที่เป็นประโยชน์ในการแสดงชื่อ pinได้แสดงอย่างชัดเจนใน data sheet และชุดความเกี่ยวเนื่องกันของตัว label กำลังควบคุมตัวทำหน้าที่แสดงผลลัพธ์ของ Pin การใช้ Pin Editor ภายในส่วน Blast ของ AMAZE อย่างอัตโนมัติทันต่อเหตุการณ์ ส่วนนี้เป็นไฟล์ของ BEE หรือข้อมูลนี้สามารถใช้คู่มือลำดับเรื่อง Text Editor ตามที่ผู้ใช้ต้องการ

การส่งเสริมหลักด้านอื่น ๆให้ AMAZE มีความสามารถเริ่มต้นโดยอัตโนมัติ-สมการของ Boolean ด้วยความสัมพันธ์เฉพาะในไฟล์ BEE เริ่มต้นหน้าที่ของpin ที่แสดงอย่างชัดเจนใน Pin Editor 'equation starts'นี้ถูกจัดตั้งขึ้นในการออกแบบของไฟล์ BEE แบบใหม่ ภายใต้ header ที่ว่า @LOGIC EQUATION จากการวิจารณ์ถ้า Pin Editor ถูกอ้างเป็นขั้นตอนแรกในขณะที่ "equation starts" สำหรับข้อมูลที่ควบคุมผลลัพธ์จะถูกจัดตั้งภายใต้ @OUTPUT ENABLE,@I/O DIRECTION, และ @ FLIP-FLOP MODE headers(PLC42VA12)

AMAZEในตอนนี้สามารถช่วย PAL บางอย่างของสกาปนิคได้เช่น 16L8,16R8, 16R4,16R6, 16V8, 18P8, 20L8, 20R8,20R4, 20R6 และ 20V8 เป็นแบบแผนที่สามารถเห็นได้ภายในหน้าจอสภาพของการถ่ายโอนและสมการ Boolean ที่ถูกสนับสนุนและ BLAST จัดหาไฟล์ JEDEC fusemap สำหรับนักProgrammer ธุรกิจยังมีป้ายอิเลคทรอนิคที่ช่วยเหลือผู้ใช้ AMAZE การใช้อาจจะถึง 1200 หรือ 2400 baud modem ที่ (800) 451-6644 ตั้ง Modem ของคุณที่ 1200/2400 baud,ไม่เสมอ,8 บิต และ 1 stop บิต (1200/2400-N-8-1)รวมทั้งในคู่มือนี้ถูกอ้างอิงยัง PLC42VA12 อย่างไรก็ตาม AMAZE เวอร์ชั่น 1.7 ยังไม่ช่วยเหลือ PLC42VA12

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ

		หน้า
ABSTRACT		
บทนำ		
บทที่	1 AMAZE OVERVIEW	1
	1.1 Starting Amaze	2
	1.2 Main Menu	4
บทที่	2 การติดตั้ง AMAZE PC/MA DOS	9
	2.1 Dual Folppy System Installation	9
	2.2 System Requirment	9
	2.3 Hard Disk Installation	9
บทที่	3 BLAST USERE GUIDE	12
	3.1 Description	12
	3.2 การใช้ BLAST	16
	3.3 Pin Editor	18
	3.4 Logic/Boolean Information	24
	3.5 .BEE File Header	29
	3.6 State Transfer Entry	61
	3.7 การใช้ State Equation Entry	65
	3.8 .SEE File Header	67
	3.9 State Machine Example	80
	3.10 Edit Schematic	87
	3.11 Schematic to Boolean Coversion	88
	3.12 ฉพิ่มลบิบายเครื่องมือประมวลผล	96
	3.13 ตัวนำหน้าไฟล์ AMAZE.CTL	98

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.14 Compile 103
3.15 Print 107
3.16 Bracket notation 108

บทที่ 4 Program Table Editor 112
4.1 Description 112
4.2 การใช้ PTP 113
4.3 Fuse Table 114

บทที่ 5 PLD Functional Simulator 128
5.1 Description 128
5.2 Ruler File 131
5.3 .RUL File Header 134
5.4 Interactive Simulator 136
5.5 Trace Function 140
5.6 Log File 140
5.7 External Vector Set File 142
5.8 Auto Vector Generation 145

บทที่ 6 Device Programmer Interface 146
6.1 Description 146
6.2 การใช้ DPI 147
6.3 DPI/PTP Serial Communication 149

บทที่ 7 PAL TO PLD COVERSION 152
7.1 Description 152
7.2 การใช้ PTP 153

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 8 Utilties 156
8.1 TO JED 156
8.2 FROM JED 157
8.3 TO SIG 158
8.4 FROM SIG 158

บทสรุป
หนังสืออ้างอิง
ภาคผนวก 1
ภาคผนวก 2

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

1. AMAZE Overview

AMAZE (Automated Map And Zap Equations) เป็นชุดของ software ที่มุ่งออกแบบเพื่อให้ขบวนการใช้ Programmable Logic Devices (PLD) และ Programmable Logic Elements (PLE's=PROM's) ง่ายขึ้นในวงจรตรรก

AMAZE ประกอบด้วยหน่วยของ software ต่อไปนี้

1. BLAST (Boolean Logic and State Transfer)
2. DPI (Device Programmer Interface)
3. PTP (PAL to PLD Conversion)
4. SIM (PLD Functional Simulator)
5. PTE (Program Table Editor)

โครงสร้างของ AMAZE ได้แสดงไว้ใน รูป 1-1 ทุกหน่วยสื่อสารผ่านไฟล์ PLD standard Fusemap (ไฟล์ STD) ในย่อหน้าต่อไป เสนอคำอธิบายขีดความสามารถของแต่ละหน่วยโดยย่อ สำหรับคำอธิบายโดยละเอียดของแต่ละหน่วย software ดูได้จาก User's Guide ที่แยกออกไป

BLASTเป็นหน่วย interactive software ที่ช่วยเหลือช่างในการออกแบบตรรกอีกด้วย Signetics PLDs ให้เป็นผลสำเร็จ จะตรวจสอบข้อมูลออกแบบที่ input เข้าไป และทำให้เกิด PLD Program Table (ไฟล์ STD) โดยอัตโนมัติ

PLD simulator (SIM) สามารถจำลองการวางโปรแกรม PLD และ PLG ในการผลิตทั้งสองแบบคือ Interactive และ Automic SIM สามารถสร้างชุดของการทดสอบ vector สำหรับทดสอบการวางโปรแกรมกลไกต่าง ๆ ตามกลไกของ fusemap ไฟล์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

คู่มือนี้ไม่ได้มุ่งให้เป็นการสอน PLD สำหรับรายละเอียดโดยสมบูรณ์ของ PLD Devices ทั้งหมดและข้อมูลการใช้เพิ่มเติมดูใน 1989 Signetics PLD Data Mannual และ "AMAZE Tutorial and Technology Overview" ดิสเกต และหนังสือที่ดีเยี่ยมในวิชา PLD's ทั่ว ๆ ไป ได้แก่ Bostock,Geoff, "Programmable Logic Devices", McGraw-Hill, NY,1988.

PTE เป็น Editor พิเศษสำหรับ PLD Program Table PTE ทำให้เกิด/เปลี่ยนแปลง PLD Standard Table จากข้อมูลที่ป้อนโดยผู้ใช้ในสิ่งแวดล้อมที่เป็นกันเองและคุ้นเคย หน่วยย่อยของ PTE ชื่อว่า FTE คือ Fuse Table Editor ใช้เฉพาะสำหรับการลำดับ Fusemap ของกลไก PLHS501 PML หมายเหตุไว้ว่า PTE ไม่สามารถใช้ในการเพิ่มหรือลำดับ PLE (PROM) fusemaps เหมือนกับเป็น HEX programmer ไฟล์อย่างเดียว

DPI เป็นหน่วย software utility ที่ก่อให้เกิดการ interface ระหว่าง Computer และ commercial device programmers มันสามารถ upload และ download ไฟล์ในหลาย ๆ format (รวมทั้ง JEDEC) จาก/ถึง programmer PLD/PROM ต่างๆ

PTP เป็นหน่วย software ที่สามารถแปลง PAL Fusemaps 20 pin และ 24 pin เป็น PLD fusemaps ที่ยอมให้การแปลงเกือบอัตโนมัติของการออกแบบเป็นแบบตรรกเหมือนกับที่มาของ Signetics "generic" กลไก PLD

1.1 Starting Amaze

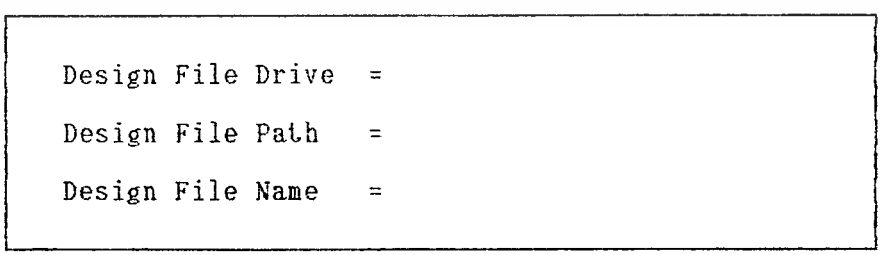
ก่อนอ่าน section นี้,กรุณาดู section 2 (คู่มือติดตั้ง AMAZE)ดูรายละเอียดในการติดตั้ง AMAZE AMAZE ต้องเริ่มจาก disk ใด ๆ หรือ sub-directory ที่ command DOS PATH ไป AMAZE ต่อ directory สั่งก่อนการสั่ง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Command AMAZE สำหรับรายละเอียดการ Command PATH ดูในคู่มือ DOS ของท่าน ถ้าท่านไม่ต้องการตั้ง path command AMAZE ให้ enter hard-disk ที่ AMAZE อยู่ก่อนเริ่ม AMAZE command ที่ใช้ run AMAZE คือ "AMAZE" เมื่อขอครั้งแรก AMAZE จะแสดง logo screen พร้อมด้วยกรอบข้อมูล ซึ่งจะแสดงใน รูปที่ 1-2

AMAZE สร้างไฟล์จำนวนมากร่วมกับการออกแบบรายการไฟล์เหล่านี้บรรจุข้อมูล เช่น pinlist assignment และ design equations,state equations หรือ fusemap information เมื่อตั้งชื่อ few ทุกไฟล์ประกอบไปด้วย design จะมีชื่อไฟล์เดียวกัน แต่จะมีไฟล์ extension ต่างกัน (เช่น BEE,SEE, STD,ฯลฯ) กรอบข้อมูลจะถูกแสดงใน รูป 1-2 และใน AMAZE logo screen พร้อมสำหรับแผ่น disk (เช่น A:,B:,C:,D:) และชื่อ directory path ใน design ไฟล์ จะถูกสร้างขึ้น prompt สุดท้ายสำหรับออกแบบชื่อไฟล์ ที่ทุก ๆ design file จะมีส่วนร่วม

ก่อนถึง version1.65 แผ่น disk อยู่ที่ drive A: ตั้งชื่อ 'AMAZE MASTER' ให้เรียกไฟล์ design ยังสามารถที่จะ run AMAZE 1.7 ด้วย diskette ใน dirve A: การทำเช่นนี้ user ควรตั้ง command DOS path ด้วยอักษร drive ของ AMAZE sub-directory และ editor subdirectory (เช่น PATH C:\AMAZE;C:\PCWRITER) ต่อไป default มาที่ drive A: และพิมพ์ AMAZE ที่ A>prompt เมื่อ Logo screen พร้อมสำหรับ disk drive พิมพ์ "A" สำหรับชื่อ design file path พิมพ์ "\"

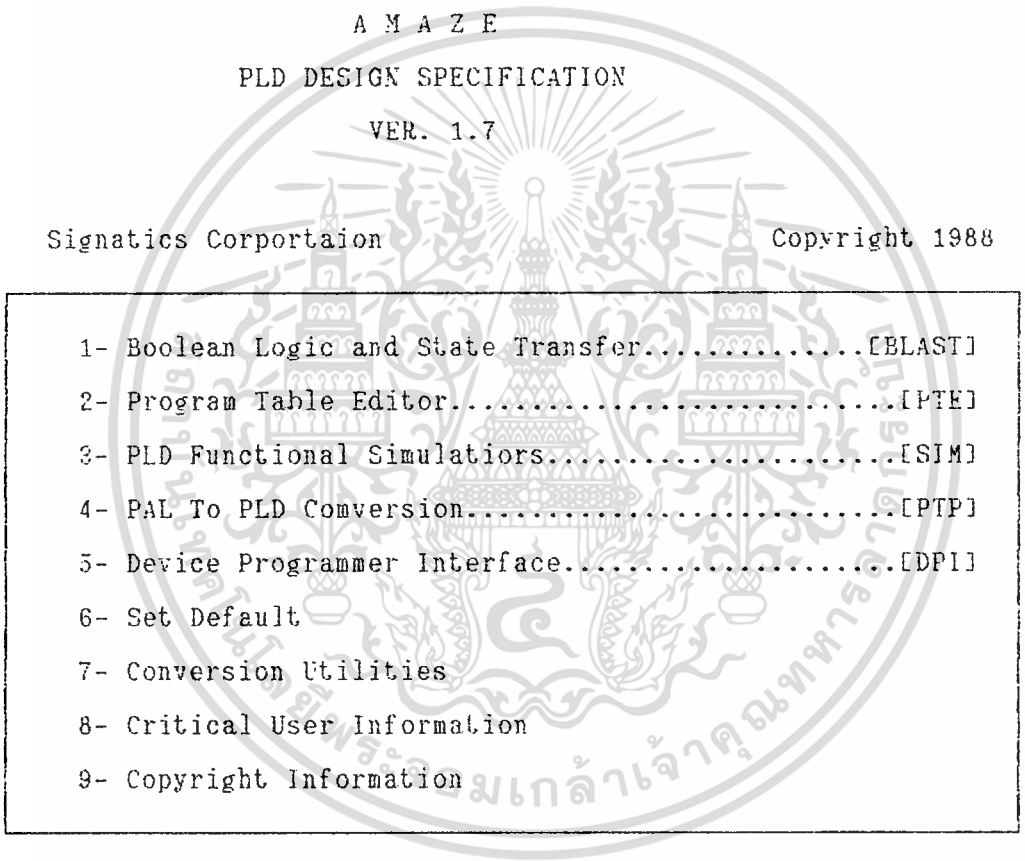


รูป 1-2 Logo Screen Information Box

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

1.2 Main Menu

หน่วยใน AMAZE package สามารถติดต่อไป AMAZE main menu ได้ แสดงในรูปที่ 1-3โดย enter จำนวนของหน่วยหลัง "SELECT:_" ในทางตรงกันข้าม modules อาจถูกเรียกแยกออกมาต่างหาก โดย เข้าไปแสดงอยู่ใน menu AMAZE ที่อยู่ทางด้านขวามือ (เช่น PTP หรือ BLAST) ที่ DOS prompt ถ้าต้องการข้าม main menu AMAZE ไปเลยก็ได้



รูป 1-3 AMAZE Main Menu

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จำไว้ว่า menu นี้เป็นทางเดียวที่เข้าไปสู่ "Set Default" "Conversion Utilities" และ Critical User Information" หน่วยของ AMAZE เช่นเดียวกับทุก ๆ design ที่ถูกสร้างมาแต่ดั้งเดิมใน version ที่เร่งด่วน (Rev A, B, C,หรือ D) ของ AMAZE ต้อง update ไป version 1.6 version 1.6 และไฟล์ต่อไปจะ run โดยตรงต่อไป version 1.7 ดูใน Section 1.2.2 สำหรับรายละเอียดเพิ่มเติมของ Conversion Utilities

ทุกหน่วย AMAZE จะสร้างไฟล์ข้อมูลโดยอัตโนมัติในการออกแบบไฟล์ directory ไฟล์นี้ให้ข้อมูลที่ออกแบบผ่านหน่วย AMAZE ที่แตกต่างกัน

โดยตลอด AMAZE package, key ESC ใช้สำหรับการออกจาก menu ในทุก ๆ menu set ของ pre-assigned defaults ได้แก่ Selection,Format Editor Name, Baud Rate หรือ Path Name จะถูกแสดงเมื่อถึงเวลาที่ควร สำหรับ default selection กด key RETURN การแสดงรายการใหม่ทันทีจะทำให้สำเร็จ default information อื่น ๆ จะถูกแสดงในกรอบต่าง ๆ ที่เหมาะสม default เหล่านี้สามารถเปลี่ยนแปลงชั่วคราวขณะ run หน่วยโดย select SET Function (สำหรับparticular default นั้น) ใน menu หรือเปลี่ยนแปลงแบบถาวรโดย select Option 6 (Set Default) ใน AMAZE main menu

แต่ละหน่วยใน AMAZE package มี section ของมันเอง ในคู่มือนี้ดูใน section ที่เหมาะสมสำหรับรายละเอียดเพิ่มเติมในหน่วย (เช่น BLAST,PTG,SIM ,PTP และ DPI)

1.2.1 Set Default

เมื่อเลือก Option ที่ 6 ของ AMAZE main menu ดังแสดงในรูป 1-4 รายการจะแสดง AMAZE package ทั้งหมดที่สามารถมีค่า default; โดยเลือก item ใน menu นั้น default ปัจจุบันจะถูกแสดงพร้อมทั้งโอกาสให้เปลี่ยนโดยพิมพ์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ใน default ใหม่ เมื่อ select defaults เสร็จ กด ESC และ รายละเอียดใหม่จะถูก save ไว้ใน AMAZE.DEF ใน current directory editorใดๆ ที่สามารถสร้างไฟล์ text ได้โดยไม่มีผู้ทำหน้าที่ควบคุม (เช่น nondocument) สามารถให้ input ไฟล์ designs ใน BLAST อย่างไรก็ตามการเรียกชื่อ editor ต้องถูกระบุไว้ใน AMAZE default information option 9 ใน Default Menu จำไว้ว่า preset AMAZE default สำหรับชื่อ editor คือ PC-WRITE (calling name:ED) editor text ต้องไม่อยู่ทั้งใน AMAZE directory หรือ DOS path ต้องตั้งไปที่ directory ที่บรรจุ text editor

Figure 1-4 Set Default Menu

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

1.2.2 Conversion Utilities

Conversion Utilities menu ถูกแสดงไว้ใน รูป 1-5 สอง menu ที่รวมอยู่ (1 & 2) จัดไว้เพื่อ update ไฟล์ design สร้างการใช้ revision ของ AMAZE (เช่น rev A,B,C, หรือ D)อย่างเร่งด่วน ไม่ทำการ update จำเป็นสำหรับไฟล์ที่สร้างการใช้ revision 1.60 และ 1.65

การ update revision ใด ๆ ก่อนหน้านั้น copy เฉพาะไฟล์ design (เช่น fn.BEE,fn.PIN,fn.STD) ไป floppy ใหม่ หรือ sub-directory บน hard disk การ update revision ไฟล์ A สองขั้นตอนต่อไปนี้เป็นสิ่งจำเป็นขั้นแรก run option 1 เพื่อเปลี่ยนชื่อ device ในไฟล์ STD จาก 82SXXX เป็น PLSXXX ขั้นที่สอง run option 2 เพื่อ update format ของ pinlist (เช่น fn.PIN) ถึง format 1.6 การ update ไฟล์ revision B,C หรือ D run แค่ option 2 ไป update pinlist

เนื่องมาจากการเปลี่ยนใน BLAST โครงสร้างของไฟล์ pinlist (fn.PIN) ได้ถูกเปลี่ยนไปด้วยกับ AMAZE version 6 option 2 ใน Conversion Utility Menu จะ update ในไฟล์นี้ conversion จะถูกทำเพียงครั้งเดียวเป็นการจำเป็นที่จะ update pinlist ของ version ก่อน ๆ ของ AMAZE ทั้งหมด conversion จะเก็บ backup ของไฟล์เก่าเป็น fn.-IN conversion นี้สามารถเปลี่ยนเพียงหนึ่งไฟล์ในหนึ่งครั้ง

```
1- Change Device Names to PLSnnn
2- Update Pinlist to Ver. 1.6 Pinlist
3- PLS105 to PLUS405 Conversion
```

รูป 1-5 Conversion Utilities

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ก้าการออกแบบดังกล่าวมาจาก pre-Rev. D AMAZE แล้ว ไฟล์ STD ก็ต้องการได้รับการ update ด้วย Option 1,Change Device Names เป็น PLSnnn, แสดง function นี้ทุก standard(.STD) ไฟล์ ค้นหาได้ใน design file directory โปรแกรมนี้จะ update บรรทัดแรกในไฟล์ STD แสดงให้เห็น numbering policy ของ Signetic ตั้งแต่ 82Snnn ถึง PLS

ทุกหน่วยใน AMAZE Version 1.6 หรือถัดไปดูในชื่อไฟล์ (มักอยู่ใน BLAST) สำหรับ design และ DO NOT เพิ่มเติม device number (เช่น 159) การสิ้นสุดชื่อไฟล์ enter,เหมือนกับที่ทาใน versions เหล่านั้นถ้า user enter ชื่อไฟล์ของ "DFLOW" device number(แสดง 153)จะตามด้วยการสิ้นสุดของ DFLOW, ทำให้ข้อมูลถูกเก็บไว้ใน DFLOW153.*.ใน Rev. D, และใน Version 1.6 ข้อมูลเดียวกันจะถูกเก็บไว้ใน DFLOW.*.

ด้วยเหตุนี้การใช้ข้อมูลเก่าด้วย AMAZE software package ผู้ใช้ต้องรวม device number เมื่อ filename ถูกขอ (เช่น DFLOW153)หรือเปลี่ยนชื่อไฟล์เก่า

การเข้าเมนูสุดท้าย (option 3) PLS105 ถึง PLUS405 ในทางกลับกันเป็นวิธีที่สะดวกที่สุดในการแปลง PLS105การออกแบบของไฟล์.STD ไปยัง PLUS405 ของไฟล์ .STD เป็นการปรับปรุงไฟล์ .STD ให้ทันสมัย ไฟล์ใหม่จะประกอบด้วยข้อมูล PLUS405's.STD ที่ถูกสร้างขึ้น "Z" จะเพิ่มขึ้นในตอนต้นของการออกแบบของ file name ถ้า filename มี 8 ตัวอักษร ตัวอักษรตัวสุดท้ายจะหยุดลง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2. คู่มือติดตั้ง AMAZE PC/[illegible]

2.1 Dual Folppy System Installation

ไฟล์ต่าง ๆ ประกอบกับ AMAZE modual BLASTไม่สามารถบรรจุในหนึ่ง diskette ที่จุได้ 360K byte อีกต่อไป ด้วยเหตุนี้ AMAZE จึงไม่ได้รับการสนับสนุนการใช้ใน dual-floppy system อีกต่อไป

2.2 System Requirements

โครงสร้าง minimum system เป็นดังนี้

- o hard disk หนึ่ง drive จุได้ 1.8M bytes
- o floppy disk drive แบบ double sided 1 แผ่น
- o main memory มี 640K bytes
- o MS DOS 2.0 หรือมากกว่า
- o การสื่อ Asynchnonous port (RS-232) COM1 หรือ COM2 ถูกเรียกสำหรับ interface ไป commercial PLD programmers
- o test Editor (จัดไว้ใน PCWRITE)

2.3 Hard-Disk System Installation

ก่อนการเก็บโปรแกรม AMAZE ควรตรวจดูว่า Hard disk มีความจุว่างอย่างน้อย1.8 Mbytes ใส่ AMAZE diskette#1 ใน drive A: (หรือ drive B:) และ enter

```
CD\
A:(or B:)
INSTALL
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

008401

โปรแกรม INSTALL จะแสดงชื่อ sub-directory ในส่วนที่จะจัดเก็บ software AMAZE โดยการพิมพ์กลับไปที่ prompt ไม่มี sub-directory ของ c:\AMAZE จะถูกสร้างขึ้น หรือผู้ใช้อาจเข้าสู่การระบุ drive ใหม่และ/หรือ ตั้งชื่อสำหรับ directory ที่ AMAZE ถูกติดตั้ง sub-directory ใหม่จะถูกสร้างขึ้นโดยโปรแกรมการติดตั้งถ้ามันยังไม่มีอยู่แล้ว

sub-directory ของ c:\AMAZE จะถูกสร้างขึ้นหรือผู้ใช้อาจ เข้าสู่การระบุ drive ใหม่/หรือ ตั้งชื่อสำหรับ directory ที่ AMAZE ถูก install sub-directory ใหม่จะถูกสร้างขึ้นโดยโปรแกรมการติดตั้งถ้ามันยังไม่มีอยู่เลย

ต่อไป โปรแกรม INSTALL จะกระตุ้นเมื่อ text editor ถูกใช้สำหรับแก้ไข textไฟล์ต่าง ๆ ของ AMAZE editor ส่วนใหญ่ถูกตั้งไว้ใน sub-directory นานเท่ากับคำสั่ง DOS PATH จะสั่งก่อนการอ้าง editor PC-WRITER editor จะไม่ถูก copy ลงใน hard disk เป็นส่วนหนึ่งของ install procedure และต้องถูก copy แยกออกไป PC-write เป็น default editor สำหรับ AMAZE และถูกรวมไว้ใน diskette ที่แยกต่างหาก

หลังจาก diskette แรกถูก copy INSTALLจะพร้อมสำหรับ diskette ที่ยังอยู่จะถูกload หนึ่งครั้ง เมื่อเสร็จเรียบร้อย จะอ่านไฟล์ CONFIG.SYS ในรากของ directory และจะprompt คำสั่งต่อไปนี้ ที่ไม่ถูกค้นพบ

FILES = 20

BUFFERS = 16

คำสั่งต้องรวมทั้งการอ่าน AMAZE และ INSTALL จะเป็นการรวบรวมเข้าในไฟล์ CONFIG.SYS ถ้าผลตอบรับ prompt ที่ให้ไฟล์ CONFIG.SYS จะถูกสร้างโดย AMAZE install routine ถ้าไม่มีอยู่

ไฟล์ designจะจัดใน diskใด ๆ และ/หรือ ใน sub-directory ใด ๆ ในทำนองเดียวกัน AMAZE จะถูกอ้างจาก sub-directory ใด ๆ ที่จัดไว้ให้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

คำสั่ง DOS PATH สั่งก่อนที่จะอ้าง AMAZE (เช่น PATH C:\AMAZE;C:\PCWRITE) หรือ AMAZE อาจ run จาก directory ที่ AMAZE เคยถูกนำไปไว้ ถ้าทางไป AMAZE directory ที่ยังไม่เป็นผลสุดท้าย จะสะดวกที่สุดถ้าใส่ PATH command ที่บรรจุชื่อของ sub-directory AMAZE และชื่อของ text editor's sub-directory ในไฟล์ AUTOEXEC.BAT จัดตั้งในรากของ directory ใน hard disk วิธีนี้ หลังจาก boot การใช้ง่าย ๆ สามารถพิมพ์ AMAZE ระหว่างอยู่ใน sub-directory ใด ๆ

ข้อเสนอแนะว่า ผู้ใช้อ้างถึง AMAZE จากทั้ง sub-directory ที่มีไฟล์ design หรือจาก sub-directory ที่มี AMAZE เหตุผลก็เพราะ AMAZE เก็บ track ของ design filename ปัจจุบันไว้ในทุกหน่วย ทำโดยการเก็บชื่อไฟล์ และ path ในไฟล์ที่เรียกว่า AMAZE.DEF AMAZE ต้องการไฟล์ AMAZE.DEF ใน directory จากที่ซึ่งมันถูกอ้าง และถ้าไม่ถูกค้นพบไฟล์จะถูกสร้างขึ้นดังนั้นถ้าAMAZE เริ่มจากหลาย ๆ sub-directory ที่แตกต่างกันในเวลาต่างกัน หลาย copies ของ AMAZE.DEF จะคงอยู่ การบรรจุ sub-directory หรือจะบรรจุไฟล์ design ต้องมีอยู่ใน hard disk PRIOR เพื่ออ้าง AMAZE, AMAZE จะ prompt สำหรับไฟล์ design path name อย่างไรก็ตามมักจะไม่สร้างถ้าไม่มีอยู่ ข้อความ path error จะปรากฏ ถ้า AMAZE ไม่พบรายการไฟล์ design ที่กำหนดไว้

หมายเหตุ:ถ้า diskette ที่ drive A กำหนด drive สำหรับไฟล์ design จากนั้น diskette ต้องอยู่ใน drive-A ก่อนเข้า AMAZE

กรุณาดูใน Section 1.1 - Starting Amaze

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3. BLAST Users Guide

3.1 Description

BLAST (Boolean Logic and State Transfer) เป็น software module ที่อำนวยความสะดวก เครื่องมือของสมการ logic ใน Signetics Programmable Logic Devices (PLD) รูปที่ 3-1 แสดงให้เห็นความสามารถของ BLAST จะตรวจสอบข้อมูล design เข้าโดย user และผลิต Standard Program Table (.STD file และ option ไฟล์ JEDEC Fusemap) โดยอัตโนมัติ ข้อมูลจาก Standard Program Table สามารถใช้โดยหน่วย software อื่น ๆ เช่น DPI และ SIM

ประโยชน์ของการใช้ BLAST สรุปได้ดังนี้

- o ออกแบบงานในระดับสูง
- o การแปลโดยอัตโนมัติในการ design ระดับสูงเป็น Program Table Data และ ไฟล์ JEDEC Programmer
- o ปฏิบัติการแม่นยำและตรวจสอบอย่างถูกต้อง
- o ต้องการเวลาน้อย สำหรับงานประจำวันที่น่าเบื่อลักษณะสำคัญข้างบนเป็นผลที่เพิ่มขึ้นและลดค่าใช้จ่ายสิ่งแวดล้อมในการออกแบบธรรมดา

BLAST จะแสดงการทำงาน 3 ขั้นตอน ระหว่าง design session

1. Accepts design information

A. ด้วยตัว pinlist editor ของมันเอง BLAST แสดงการตรวจสอบความผิดพลาดบนข้อมูลทันทีในการเข้าไปกำหนด design's pin label และ function ข้อมูลนี้ถูกเก็บไว้ใน Boolean Equation Entry file (fn. BEE)

B. เมื่อการใช้ลิ้นสุดลง text editor (defaults to PC-Write) BLAST ยอมรับ Boolean และ/หรือ สถานะของสมการเพื่ออธิบายหน้าที่ที่อยู่ใน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การออกแบบ สมการถูกเข้าภายใต้ BLAST ผลิตหัวข้อแต่ละหน้าที่และเก็บไว้ในไฟล์ด้วยส่วนประกอบของ BEE หรือ SEE (fn.BEE, fn.SEE)

C. การใช้แผนโปรแกรมส่วนกลับของ Boolean,BLAST สามารถยอมรับรายละเอียดทางตรรกของเครื่องหมายในรูปของแผนนั้น จะก่อให้เกิดสมการจาก schematic's netlist และจะเก็บไว้ในไฟล์ .BEE วิธีนี้ต้องการ external schematic capture package (ORCAD,FutureNet,SCHEMA,ฯลฯ)

2. รวบรวมข้อมูลที่ได้ไว้ใน Standard Fusemap (หรือ JEDEC FILE) หลังจากการตรวจสอบ error ส่วนเพิ่มในกรณีที่พบ error จะตรวจพบ ERROR CODES (ขึ้นถึง 20) กับที่ตั้งของมัน (Line และ Column#) จะแสดงบนจอหรือ printer หลังจากจัดรายการ error code แล้ว ข้อความที่ error จะถูก list หรือ print ออกมาเพื่ออธิบายถึงข้อผิดการตอบโต้ที่ error messages ที่สมบูรณ์ไปยัง error code สามารถอ่านพบได้ในภาคผนวก B

3. ตามที่เอกสารประกอบการออกแบบที่สมบูรณ์ในรูปที่ถูกพิมพ์ออกมาโดยผู้ใช้ใน user friendly printed format

รายละเอียดที่อธิบายการใช้และการปฏิบัติของแต่ละส่วนของ BLAST ถูกรวมไว้ใน Section 3.2.2 ผู้ใช้ถูกแนะนำให้มีความรู้ทั่วไปบางอย่างเกี่ยวกับ BLAST โดยเลือกอ่านจากบทต่อไป ก่อนที่จะกระทำต่อไปในการ design ผู้ใช้ควรจะคุ้นเคยกับรายละเอียดเกี่ยวกับความสามารถของ PLD เขา/เธอตั้งใจใช้โดยการอ่านคู่มือข้อมูล Signetic PLD

เครื่องหมายวงเล็บ [] ในไฟล์ .BEE กำหนดให้ผู้ใช้ต้องมีความรู้ถึงความสามารถโดยกว้าง ๆ ในการใช้ PML architecture (Programmable Macro Logic; เช่น PLHS501) เครื่องหมายวงเล็บอาจเพียงใช้กับความสามารถที่รวมกันกับ PML (folded NANS)ทางสถาปัตยกรรม ความสามารถอื่น ๆ ทางสถาปัตยกรรมไม่ยอมรับเครื่องหมายวงเล็บ เครื่องหมายวงเล็บสำหรับ PML เป็นการพิจารณาได้มากขึ้นใน Section 3.1.6 และ 3.1.4.1.1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

PLD Applicational Notes แสดงในด้านหลังของคู่มือข้อมูล Signetic Programable Logic Devices ซึ่งมีไฟล์ design สำหรับ BLAST ใน AMAZE package ไฟล์เหล่านี้อาจพบในลักษณะสำคัญจากแผ่นดิสก์ "AMAZE Toutorial และ Technology Overview." ที่รวมทั้งใน AMAZE package ใส่ diskette ใน drive ถ้าไม่มี diskette (เช่นdrive-A)และป้อนคำสั่ง "README" สำหรับสั่งให้ copy บันทึกรายละเอียดข้อมูลไปยัง directory ของ hard disk ของท่าน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

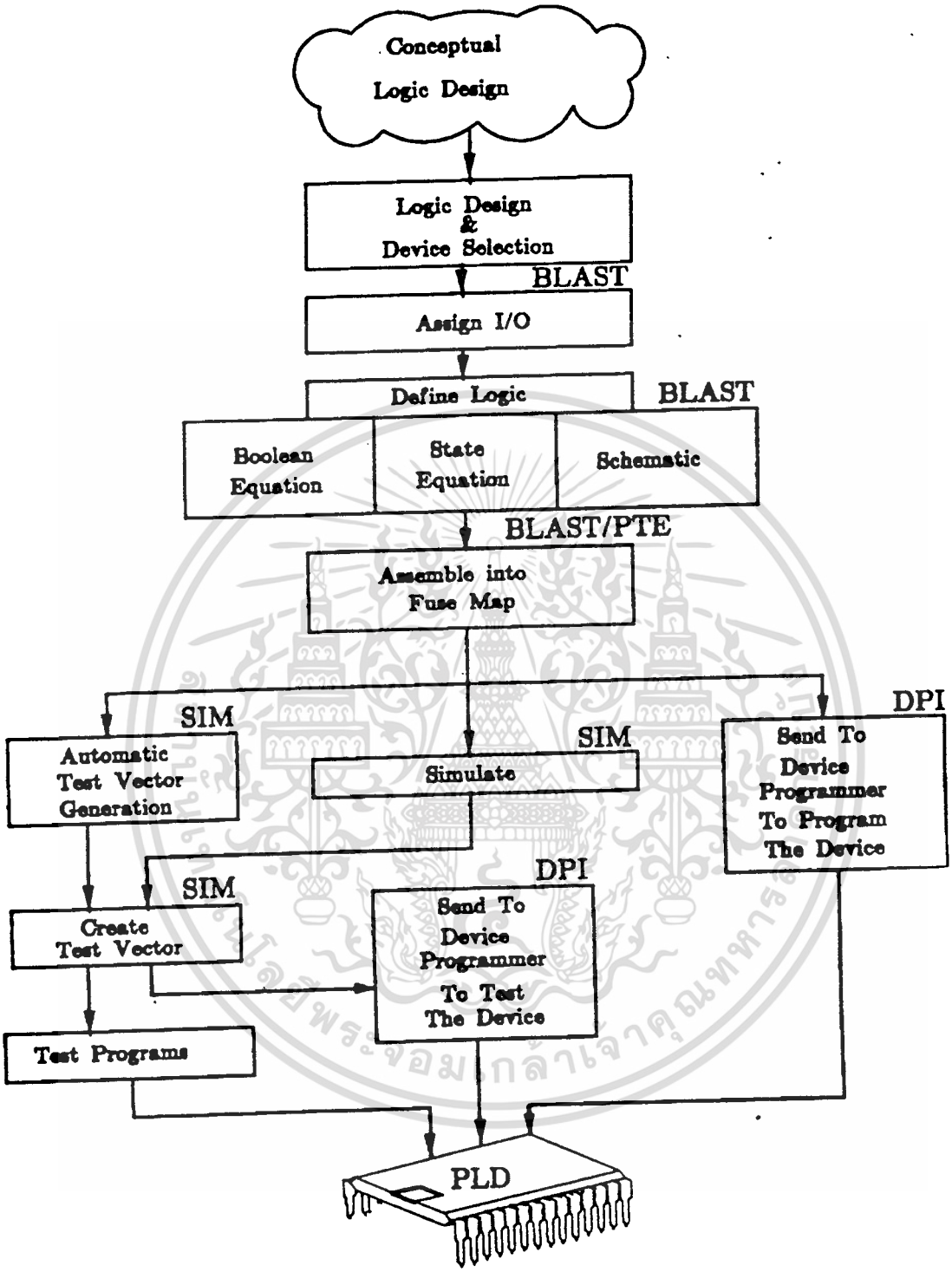


Figure 3-1 Design Flow

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.2 การใช้ BLAST

BLAST software ประกอบด้วย 3 sections ใหญ่ ๆ คือ EDIT,PRINT และ COMPILE โดยการเลือก option 1 จาก AMAZE Main Menu (รูป 1-2) หรือ การพิมพ์ BLAST จาก DOS promt การควบคุมโปรแกรม AMAZE โดยอ้างถึง BLAST design session เริ่มโดย BLAST ตาม menu ดังที่แสดงในรูป 3-2

BLAST

MAIN MENU

VER. 1.7

1- EDIT PINLIST
2- EDIT LOGIC/BOOLEAN INFORMATION
3- EDIT STATE TRANSFER INFORMATION
4- EDIT SCHEMATIC
5- SCHEMATIC TO BOOLEAN CONVERSION
6- COMPILE EQUATIONS
7- COMPILE EQUATIONS & GENERATE JEDEC FILE
8- PRINT
9- DOS COMMAND
0- CHANGE FILE

EDITOR: FILE NAME:

SELECT : Press ESC to Return

รูปที่ 3-2 BLAST Main Menu

การเลือก option 1 ถึง 8 โดยการเข้าสู่ BLAST หรือเลือก Option 0 ในบางครั้งจะผลิต prompt ตามที่ผู้ใช้ต้องการเข้าสู่ design filename (work file)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ชื่อไฟล์สามารถบรรจุตัวอักษร alpha-numeric รวมทั้งขีดเส้นใต้ (_) hyphen (-) ขึ้นไป 7 ตัว การเข้าสู่ชื่อไฟล์ จะปรากฏในกรอบ FILENAME ของ BLAST menu ในการอ้างอิงต่อไป

Design อาจถูกเปลี่ยนโดย select option 0 ใน menu และให้ชื่อที่แตกต่างไปจาก ชื่อที่แสดงในกรอบ FILE NAME

BLAST แสดงเครื่องหมาย menu และต้องการ DEVICE TYPE เพียงเมื่อข้อมูลที่ออกแบบใหม่ (หรือชื่อไฟล์ออกแบบใหม่) จะถูกสร้างข้อมูลชุดใหม่ ถ้าไม่มีการระบุชื่อไฟล์ไว้ใน design file directory.BLAST จะให้การใช้ text editor ของผู้ใช้เพื่อเข้าข้อมูลสำหรับ option 2 และ 3 ชื่อเรียก editor จะแสดงในกรอบ EDITOR และสามารถเปลี่ยนได้โดยใช้ option6 (Set Default) ของ AMAZE main menu ต้องแน่ใจว่าชื่อ drive ของ editor ถูกรวมไว้ (ถ้านอกเหนือจากไม่มี drive) เมื่อระบุชื่อเรียก editor

BLAST จะค้นหา editor ใน directories ทั้งหมด เมื่อ DOS path ถูกตั้งไว้ก่อนที่จะเรียก BLAST ดังนั้นถ้าวางแผนที่จะเก็บ editor ใน director อื่น ๆ นอกเหนือจาก AMAZE director ต้องแน่ใจว่าเป็นเครื่องมือคำสั่ง PATH ไปยัง directory BEFORE เรียก BLAST อ้างถึงคำสั่ง PATH ในคู่มือ DOS สำหรับข้อมูลเพิ่มเติม คำสั่ง path มักจะอยู่ในไฟล์ "AUTOEXEC.BAT" ในราก (\) directory ของระบบ hard-disk

BLAST จะแก้ไข text files (fn.BEE, fn.SEE) ด้วย text editor ที่ระบุไว้และเป็นความรับผิดชอบของผู้ใช้ที่จะสร้างไฟล์สำรองถ้าต้องการ อย่างไรก็ตามไฟล์สำรองของ.BEE จะถูกสร้างขึ้นตอนออกจาก pinlist editor(fn.BE~) หลังจากการรวบรวมที่ประสบผลสำเร็จของการออกแบบ ไฟล์สำรองของ .STD (fuse pattern) จะเกิดขึ้นแบบแผน BLAST สำหรับสำรองคือ '-' เป็นอักษรตัวสุดท้ายของการออกจากไฟล์

ตัวอย่างเช่น

fn.STD กลายเป็น fn.ST~ เป็นไฟล์สำรอง

fn.BEE กลายเป็น fn.BE~ เป็นไฟล์สำรอง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Option 9 DOS COMMAND ในเมนูหลัก จะยอมให้แสดง DOS command เช่น DIR,COPY, RENAME,...,หรือแม้แต่ไม่มีคำสั่ง DOS เช่นในโปรแกรม executable ทั่วไป หน้าที่ยอมให้การใช้คำสั่งที่ทำในระบบสิ่งแวดล้อม ผู้ใช้สามารถเรียกได้โดยเร็วและการเข้าชื่อ module ที่ต้องการ

3.3 Pin Editor

การแก้ไขพิเศษใน BLAST สำหรับระบุข้อมูลอย่างระมัดระวัง เลือก PLD pin label และ pin function editor นี้ถูกอ้างโดยการเลือก option 1 จาก BLAST main menu รูปที่ 3-3 แสดงจอภาพที่แสดง designใหม่(ไม่มีรายละเอียดการ design) สำหรับ PLS159 มี 2 field ที่ตั้งชื่อให้ ทุก ๆ pin คือ Function field (FNC) และ LABEL field การออกแบบเริ่มด้วย pin labels ทุกตัวในลักษณะ N/C (No Connection) label เหล่านี้ควรเปลี่ยนเป็นทางอื่น ของตัวอักษร alphanumeric (สูงสุดของ 12 ตัวอักษร) การเคลื่อนไหว Cursor เกิดขึ้นจากการใช้คีย์ [RETURN] [TAB],[->],[<-],[ ],[ ],[DEL],และ [INS] คีย์ [TAB] หรือ [RETURN] เคลื่อนจาก pin 1 ไปจำนวน pin สูงสุดเครื่องหมายและกลับมาที่ pin 1 ทีละ pin สำหรับ PML ทางสถาปัตยกรรม ^X เพื่อไปจอภาพถัดไป ^P กลับไปยังจอภาพก่อนหน้านี้ (คีย์ ^=CTRL) ที่ตั้ง cursor ก่อนหน้านั้นจะถูกจำไว้ ถ้าหน้าที่ของ pin มีจำกัด editor จะเข้าสู่ function field ที่เหมาะสม (เช่น I,O,/B,ฯลฯ) ข้างหน้า pin เคลื่อนไป function field 1 ครั้ง option ที่เป็นไปได้ทั้งหมดสำหรับ pin นั้นจะถูกแสดงทางด้านขวามือของจอภาพ

ในกรณีที่การเข้าที่ผิด เกิดขึ้นใน field ใด ๆ interactive editor จะเตือนด้วยเสียงสัญญาณและข้อความที่ผิดจะถูกแสดงในส่วนล่างของจอภาพ Cursor จะย้ายไป field อื่น หรือออกจากการทำงานจะไม่ยอมทำงานจนกว่าจะมีการแก้ไข error แล้วออกจาก inter-active editing session โดยการกดคีย์ ESC BLAST ในที่สุดจะดำเนินการตรวจสอบทั่ว ๆไป ที่เข้าไปใน pinlist ทั้งหมด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
############## P I N L I S T ##############  : LABEL :
                                              : LENGTH 12
                                                CHAR MAX
LABEL  ** FNC **PIN --------- PIN** FNC **   LABEL : A-Z,
                                                     0-9,/,-
  N/C  ** CK  **  1-¦       ¦-20 ** +5V **VCC :N/C:Not Used
  N/C  ** I   **  2-¦   P   ¦-19 ** B   **N/C      :
  N/C  ** I   **  3-¦   L   ¦-18 ** B   **N/C      : FUNCTION
  N/C  ** I   **  4-¦   S   ¦-17 ** B   **N/C      :
  N/C  ** I   **  5-¦       ¦-16 ** B   **N/C      :
  N/C  ** /B  **  6-¦   1   ¦-15 ** B   **N/C      :
  N/C  ** /B  **  7-¦   5   ¦-14 ** B   **N/C      :
  N/C  ** /B  **  8-¦   9   ¦-13 ** B   **N/C      :
  N/C  ** /B  **  9-¦       ¦-12 ** B   **N/C      :
  GND  ** OV  ** 10-¦       ¦-11 ** /OE **N/C      :
                   ---------                       :
                                                   :
                                                   :
                                                   :
                                                   :
* * * * R E S E R V E D  L A B E L S * * * *      : COMMAND
* EA, EB, LA, LB, PA, PB, D0, D1, D2, D3, *       : ESC-SAVE
* C, T, J, K, D, FC, RA, RB              *       : EDIT
* M0, M1, M2, M3, M4, M5, M6, M7,        *       :
* VCC, GND                               *       :
* * * * * * * * * * * * * * * * * * * * *        :
```

รูป 3-3 Pin List Screen with No Design Information

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ถ้าพบข้อผิดพลาดใด ๆ เสียงสัญญาณจะดังพร้อมกับแสดงบริเวณที่ผิด แสดงให้แก้ error หรือ หยุด pinlist screen โดยกด ESC อีกครั้งและตอบ 'N' ตรง prompt เมื่อ save การแก้ไข ในกรณีนี้ข้อมูล pinlist ก่อน ๆ จะยังอยู่ในไฟล์ .BEE

ก่อน save ผล backup copy ของข้อมูลเก่าถูกสร้างขึ้นโดยอัตโนมัติใน directory การออกแบบไฟล์ (เช่น fn.BE~) ข้อมูล pin ทั้งหมดจะถูกเก็บไว้ภายใต้ชื่อ @PINLIST ของไฟล์ BEE

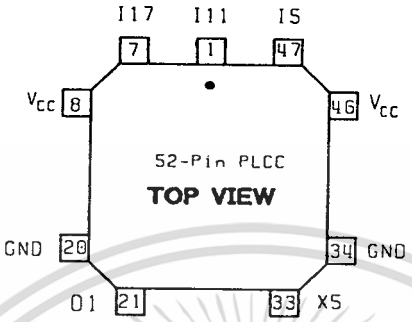
นอกจากนี้ ไฟล์ BEE ยังไม่ edit Pin Editor จะเขียนข้อมูลจำนวนมากที่สุดเท่าที่จะเป็นไปได้ ในไฟล์ BEE จะถูกจัดเป็นคำอธิบาย (เช่น ใน quotes) สมการ โดยมีพื้นฐานมาจาก labels และ pin function ภายใต้ heading ที่เหมาะสมที่ช่วยให้ผู้ที่คุ้นเคยกับสมการที่สัมพันธ์กัน

ใน PROM designs ไม่อนุโลมให้ใช้ slash (/) ใน PROM pin label ที่อยู่ใน pinlist และไม่ใช้ pin labels สำหรับเครื่องหมาย PROM (label ไม่ใช้ในสมการใด ๆ) ไม่ใช้ในการคำนวณ ไฟล์ .STD ด้วยเหตุผลนี้จะทำให้ใช้ PROM ได้ผลดียิ่งขึ้น ซึ่งย่อมให้เขียนทับ Option เพื่อรวม designs เข้ากับเครื่องหมาย PROM 1 ตัว

3.3.1 Dual Screen Pinlist for the PML Device (PLHS501)

Programmable Macro Logic (PML) deviceใหญ่มากจนต้องใช้จอภาพติด ๆ กันในการแสดง สัญลักษณ์และ pin ทั้งหมด รูป 3-4 แสดงชื่อต่าง ๆ ที่ใช้ใน PLHS501 device ซึ่งมี 52 pins ในหน้าต่อไปสังเกตว่า BLAST แบ่งแยกและกำหนด device package ใน pinlist screen editor อย่างไร

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



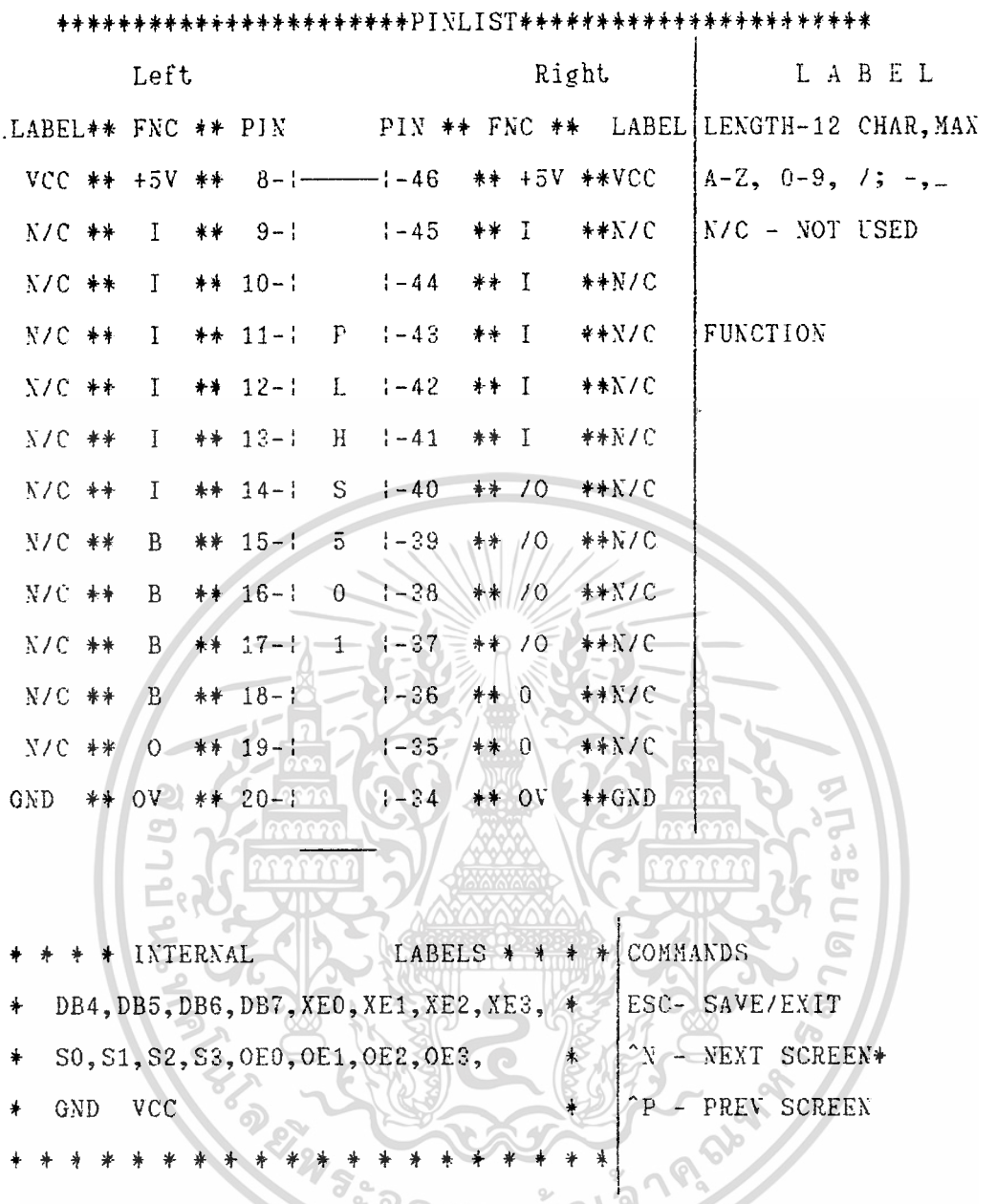
PIN NUMBERS

1	I11	12	I21	22	O2	32	X4	42	I1
2	I12	13	I22	23	O3	33	X5	43	I2
3	I13	14	I23	24	/O4	34	GND	44	I3
4	I14	15	B4	25	/O5	35	X6	45	I4
5	I15	16	B5	26	/O6	36	X7	46	VCC
6	I16	17	B6	27	/O7	37	/B0	47	I5
7	I17	18	B7	28	X0	38	/B1	48	I6
8	VCC	19	O0	29	X1	39	/B2	49	I7
9	I18	20	GND	30	X2	40	/B3	50	I8
10	I19	21	O1	31	X3	41	I0	51	I9
11	I20							52	I10

Figure 3-4 PLHS501 Pin Labels and PLCC Package Layout

รูปที่ 3-4 PLHS501 Pin Labels and PLCC Package Layout

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูป 3-5 PLHS501 - First Screen Display

*หมายเหตุ "Control-N" จะกว้าง 2 ครั้ง ของ PLHS501 pinlist screen

กรอบ "Internal Labels" บรรจุ pin ที่ไปสองทิศทางทั้งหมด และ output ทำให้สามารถควบคุม labels,เหล่านี้ใช้ใน fields ที่เหมาะสมใน Boolean Equat

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ion Entry ของ BLAST และไม่อนุโลมให้ใช้เป็น pinlabels ดู section .@I/O Direction" และ "@I/O Steering" สำหรับคำอธิบายและประโยชน์ของ labels เหล่านี้

```
**********************PINLIST**********************
BOTTOM                                      TOP
LABEL ** FNC ** PIN     PIN ** FNC ** LABEL
N/C   ** O   ** 21-|---|- 7  ** I  **N/C
N/C   ** O   ** 22-|   |- 6  ** I  **N/C
N/C   ** O   ** 23-|   |- 5  ** I  **N/C
N/C   ** /O  ** 24-| P |- 4  ** I  **N/C
N/C   ** /O  ** 25-| L |- 3  ** I  **N/C
N/C   ** /O  ** 26-| H |- 2  ** I  **N/C
N/C   ** /O  ** 27-| S |- 1  ** I  **N/C
N/C   ** O   ** 28-| 5 |-52  ** I  **N/C
N/C   ** O   ** 29-| 0 |-51  ** I  **N/C
N/C   ** O   ** 30-| 1 |-50  ** I  **N/C
N/C   ** O   ** 31-|   |-49  ** I  **N/C
N/C   ** O   ** 32-|   |-48  ** I  **N/C
GND   ** O   ** 33-|   |-47  ** I  **N/C
                   ---

* * * * I N T E R N A L   L A B E L S * * * *
*  DB4, DB5, DB6, DB7, XE0, XE1, XE2, XE3,  *
*  S0,  S1,  S2,  S3,  OE0, OE1, OE2, OE3,  *
*  GND  VCC                                 *
* * * * * * * * * * * * * * * * * * * * * * *
```

```
LABEL
LENGTH-12 CHAR,MAX
A-Z, 0-9, /; -,_
 N/C - NOT USED

 F U N C T I O N
```

```
COMMANDS
ESC-SAVE/EXIT
^N -NEXT SCREEN
^P -PREV SCREEN
```

รูปที่ 3-6 PLHS501 - Second Screen Display

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

*หมายเหตุ "Control-P" จะพาผู้ใช้กลับมาที่ ครึ่งแรกของ PLHS501 pinlist screen

3.4 Logic/Boolean Information

โดยการเลือก Option 2 จาก BLAST menu BLAST จะถูกกำหนดให้เป็น Text Editor ซึ่งแสดงดังรูป 3-7 ในการออกแบบเราสามารถสอดแทรกข้อความใส่ Header

```
@DEVICE TYPE
PLS153
@DRAWING
@REVISION
@DATE
@SYMBOL
@COMPANY
@NAME
@DESCRIPTION
@PINLIST
"<--------FUNCTION--------->     <--REFERENCE-->"
"PINLABEL     PIN #   PIN_FCT     PIN_ID      DE_CTRL"
N/C             1       I           I0          -   ;
N/C             2       I           I1          -   ;
N/C             3       I           I2          -   ;
N/C             4       I           I3          -   ;
N/C             5       I           I4          -   ;
N/C             6       I           I5          -   ;
N/C             7       I           I6          -   ;
N/C             8       I           I7          -   ;
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
N/C          9       B          B0          D0 ;
GND          10      0V         GND         -  ;
N/C          11      B          B1          D1 ;
N/C          12      B          B2          D2 ;
N/C          13      B          B3          D3 ;
N/C          14      B          B4          D4 ;
N/C          15      B          B5          D5 ;
N/C          16      B          B6          D6 ;
N/C          17      B          B7          D7 ;
N/C          18      B          B8          D8 ;
N/C          19      B          B9          D9 ;
VCC          20      +5V        VCC         -  ;
@COMMON PRODUCT TERM "CPT_label = (expression)"
@I/O DIRECTION " D0 ..Dn "
@LOGIC EQUATION
```

รูปที่ 3-7 Template for Boolean Equation Entry (BEE) file for a PLS153

BLAST Compiler อาจแสดงข้อความ "WARNING" บนบรรทัด title แต่ละบรรทัด (เช่น @I/O DIRECTION) ถ้าอยู่ในไฟล์ ".BEE" โดยปราศจากข้อมูลในการออกแบบตามมา ไม่กระทบกระเทือนต่อ การรวบรวมข้อมูลของ fuse map PLD และไม่ต้องสนใจ ตั้งแต่ตัวรวบรวม BLAST คอยนำข้อมูลภายใต้แต่ละหัวเรื่อง

ดังได้กล่าวไว้แล้ว BLAST เป็นกระบวนการเรียงลำดับข้อมูลดังนั้นจึงต้องปฏิบัติตามกฎต่อไปนี้

DECLARATION BEFORE USAGE

หมายความว่าส่วนต่าง ๆ ที่อยู่ทางด้านขวามือของสมการต้องถูกแจ้งในการแสดงครั้งก่อน รวมไปถึงการพิมพ์ที่ชัดแจ้ง flip-flop ก่อนกำหนดสมการสำหรับการบันทึก ห้ามทำ 2 title เว้นแต่เพื่อแสดง @COMMON PRODUCE TERMS ในตัวอย่างต่อไปนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
@COMMON PRODUCT TERM
   cmp1 = I0 * /I1 ;
   cmp2 = I1 * I5 ;
@COMPLEMENT ARRAY
   /c = /(CMP1 + CMP2 + 111* s5) ;
@COMMON PRODUCT TERM
   cmp3 = /c * S10 * I4 ;
   cmp4 = [I4 * I5 + I6] *I7 ;
```

การเข้าไฟล์ Logic Information (fn.BEE) คือ OPEN FORMATTED การเว้นช่องตัวอักษร จะใส่ไว้ตรงจุดใดของสมการก็ได้ เพื่อปรับปรุงความสามารถในการแปล อย่างไรก็ตาม ไม่มีเว้นช่องว่างตัวอักษรอาจใส่แทนใน label (เช่น 1N1 ไม่เหมือนกับ I N 1) โดยไม่มีการเปลี่ยนแปลง ซึ่งหมายถึงเครื่องอธิบายที่ล้อมรอบใน double quoted สามารถวางไว้ตรงไหนก็ได้ ในไฟล์นี้

section DRAWING, REVISION, DATE, SYMBOL,COMPANY, NAME,และ DESCRIPTION มีไว้เพื่อจุดประสงค์ในการประกอบเท่านั้น บรรทัดแรกใส่ title @NAME, @DATE และ @REVISION จะถูกพิมพ์ในการพิมพ์ Program Table ออกมาจากคำสั่งพิมพ์ BLAST หรือ PTE

รูปทรงสมการทั้งหมด PLD Control Logic Circuitry (เช่น I/O Direction, flip-flop Control ฯลฯ) ต้องประกอบด้วยรายละเอียดอื่น ๆ ทั้งหมด (เช่น Pinlist, Flip-Flop Mode) ตลอดทั้งการออกแบบ label ทั้งหมดทางด้านซ้ายมือของสมการ Control Logic ต้องมีลักษณะเช่นเดียวกับที่ถูกกำหนดไว้ใน Signetics PLD Data Manual

ตัวอย่าง: ดูใน รูปที่ 3-8

```
@I/O DIRECTION
D0 = I0 * I1 * /C ;
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในตัวอย่างด้านบน pin B0 ถูกควบคุมโดย pin I/O เมื่อ I0*I1*/C ถูกต้อง pin คือ output อีกนัยหนึ่ง pin เป็นทั้ง input หรือ output 3 stated บันทึกการใช้และที่ตั้งของ D0 ทางด้านซ้ายของสมการและในรูปที่ 3-5

เราไม่ต้องระบุรายละเอียดใด ๆในไฟล์สมการ Boolean เกี่ยวกับ pin หรือ label ที่ไม่ใช้ในการออกแบบ (N/C label ใน pinlist) label เหล่านี้ถือว่าเป็น UNKNOWN LABELS ที่อยู่ใน BLAST ตัวอย่างเช่นถ้า B6 ไม่ถูกใช้ (pin 16 ในรูปที่ 3-8) D6 และ B6 ถูกจัดให้เป็น UNKNOWN LABELS และการใช้ labels เหล่านี้ทางด้านซ้ายของสมการจะถูกตรวจพบเป็น error ระหว่างกระบวนการ compile ของ BLAST

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

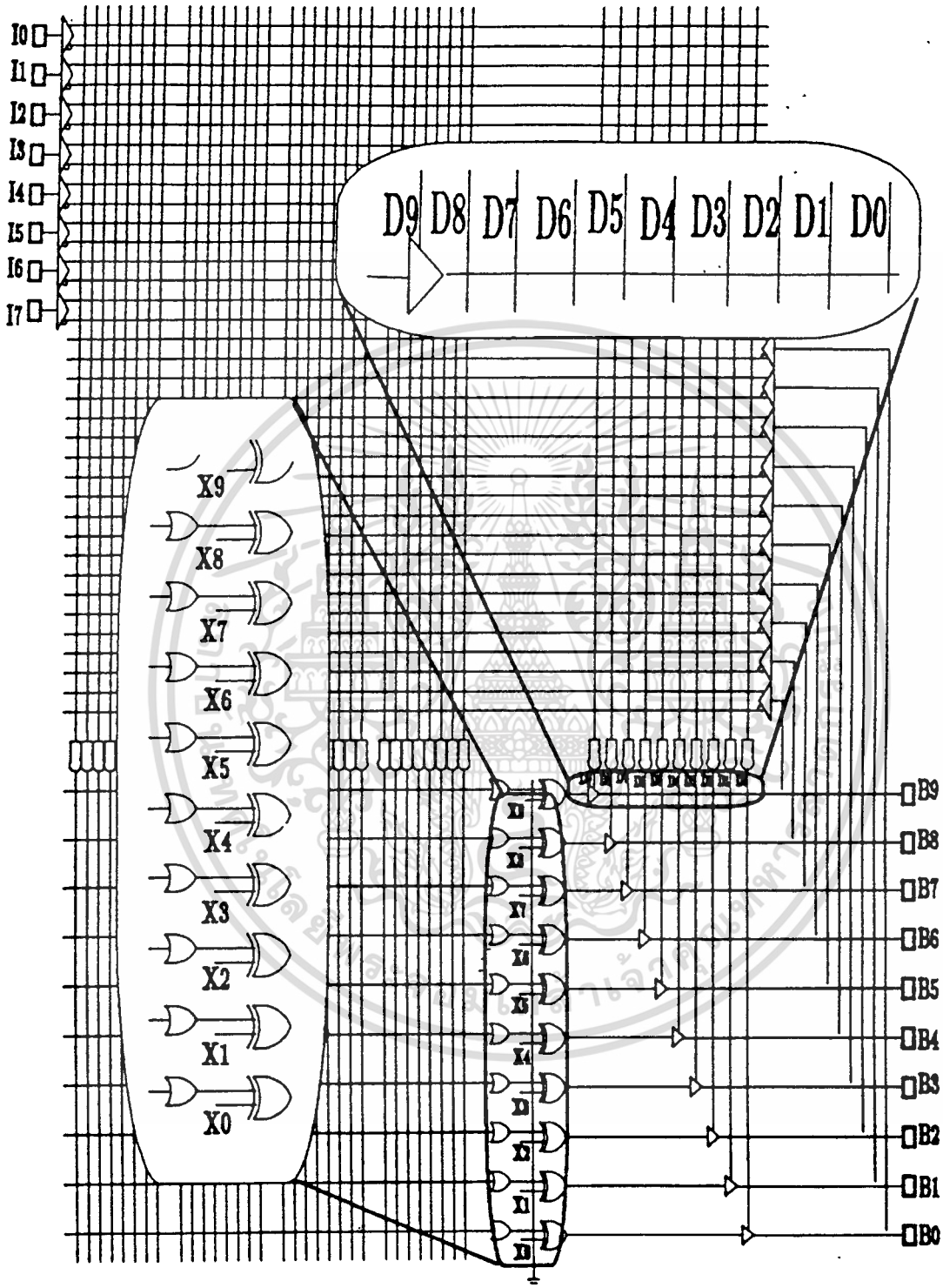


Figure 3-5 PLS153 Logic Diagram. Notice the internal node labels (X0-X9 and D0-D9).

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.5 .BEE File Headers

@Asynchronours Preset/Reset
@Common Product Term
@Complement Array
@Flip-Flop Control
@Flip-Flop Mode
@Initialize
@Init/OE
@Internal Clocks
@Internal Node
@Internal SR Flip-Flop Labels
@Internal Flip-Flop Labels
@I/O Direction
@I/O Steering
@Logic Equations
@Output Enable
@Pinlist
@Register Loag

3.5.1 @Asynchronous Preset/Reset

Devices: PLS155, PLS157, PLS159, PLS179, PLC42VA12
Format:

LABEL = EXPRESSION ;

ที่ LABEL เป็น RA, RB,PA,หรือ PB สำหรับ PLC42VA12 LABEL อาจเป็น PM9, PM0 และ RM0 - RM9 EXPRESSION เป็นได้ทั้ง "1" (permanently high, active),
"0" (idle) หรือ Boolean expression (controlled)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

คำอธิบาย:

ผู้ใช้ต้องเขียน Boolean expression เพื่อกำหนด flip-flop อย่างไร ในการออกแบบอาจ preset/reset ทันทีถ้าอยู่ในสภาพ default การเข้า function asynchronous preset/reset จะทำไม่ได้ มีเพียง labels ที่แสดงในคู่มือ Signetics PLD data (RA,RB,PA,หรือ PB) ที่อาจใช้ในการบันทึกช่องว่าง labels ที่ใช้ได้จะสร้างขึ้นโดย BLAST และจะปรากฏให้เห็นภายใต้หัวข้อนี้ จำไว้ว่าไม่มีสมการของ R และ P ของแถวเดียวกัน การบันทึกควรเหมือนกัน

(สำหรับ PLS155)

ผลรวมจะยอมรับการควบคุม dynamic ของสัญญาณ RA, PA, RB และ PB

(สำหรับ PLS157)

ยอดรวมของผลจะยอมรับสำหรับ RA และ PA สำหรับ RB และ PB เพียงการขยาย Single term product สมการแต่ละสมการต้องเข้าโดยแยกส่วน

(สำหรับ PLS159, PLS179 และ PLC 42VA12)

มีเพียง product term ธรรมดา ที่ยอมรับสำหรับ PA RA, PB,RB ดูส่วนประกอบ

สา[illegible]"()"

ตั[illegible]

[illegible] PRESET/RESET

[illegible] "Preset for Bank A is disabled; default conditions"

```
RA = Q0 * /Q1 ;
PB = Q1 * /Q0 ;
RB = Q4 * /C ; "Bank B registers are reset when(Q4*/C)is true"
```

3.5.2 @Common Product Term

Devices: All

Format:

SYMBOL = EXPRESSION ;

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

SYMBOL คือ 1 ถึง 12 ตัวอักษร อาจบรรจุตัวอักษร alphanumeric,hyphen และการขีดเส้นใต้ (underscore) slash(/) จะใช้เป็นตัวอักษรตัวแรก EXPRESSION สามารถเป็นยอดของ Product expression หรือเป็น single product term

คำอธิบาย:

ฟิลด์ Product Term ธรรมดาสามารถใช้เพื่อกำหนด single product term หรือ สมการ subset ที่จะใช้ในสมการ Boolean ดังนั้นถ้าสมการแทนสมการในที่ใดก็ได้ ที่ Boolean expression ถูกยอมรับสมการต้องจบลงด้วย semicolon (;) นี่ถือเป็นรูปแบบหนึ่งของ macro substitution ในการทำให้งานพิมพ์สมการง่ายขึ้น หน้าที่ซ้ำ ๆ กันในตำแหน่งที่ต้องการสมการ Common Product Term อาจประกอบไปด้วย pin names, internal nodes หรือ common product term อื่น ๆ ถ้าสัญลักษณ์ของ common product term ถูกใช้ใน expression ที่สัญลักษณ์นั้นต้องถูกกำหนดก่อนการใช้

ตัวอย่าง:

```
@COMMON PRODUCT TERM
COMP = /Q0 * in0 * /C  ;
```

The COMMON PRODUCT TERM title can be duplicated and thue specified twice in cases such as following:

```
@COMMON PRODUCT TERM
   Cmp1 = i0 * i1 ;
   Cmp2 = i1 * i5 ;
@COMPLEMENT ARRAY
   /C = /(cmp1 + Cmp2 + I11 * S5);
@COMMON PRODUCT TERM
   Cmp3 = /C * S10 + i4* i11 ;
   Cmp4 = [I9*I8*I7]*[I6+I5*I4]+I3 ;
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.5.3 @Comploement Array

Devices: PLS105, PLS155, PLS157, PLS159
PLS167, PLS168, PLS179, PLUS405, PLC42VA12

Format:

/C = /(EXPRESSION) ;

ที่ซึ่ง EXPRESSION เป็นข้อมูลตัวเลขของ Product expressionใดก็ได้หรือ product term บันทึกว่า "/c"เป็น reserve label และไม่ควรใช้กับ function อื่นใดนอกเหนือจาก complement array

คำอธิบาย:

ฟิลด์ Complement Array ใช้ในการกำหนด COMPLEMENT ARRAY ทางตรรก จะถูกใช้ภายหลัง สมการที่ label ยอมรับใน expression (เช่น F-F Control, สมการของ Boolean, I/O Control, Register Load ฯลฯ.การลำดับส่วนประกอบ เป็น gate NOR ที่ซึ่ง input สามารถต่อเนื่องไปยัง output gate AND และที่ output สามารถต่อเนื่องไปยัง input ที่เป็น product terms

ตัวอย่าง:

```
@COMPLEMENT ARRAY
/C  = /(cpl * pt2+dda_1) ;
/C  = /( IO*/I12*I2 + l1*/Q4 + /Q5*Q1 ) ;
```

When two complement arrays (PLUS405)

```
@COMPLEMENT ARRAY
/C0 = /(cp3 + I9*I8*I7+I6) ;
/C1 = /cI9*/I8+cp4*/I7+15) ;
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

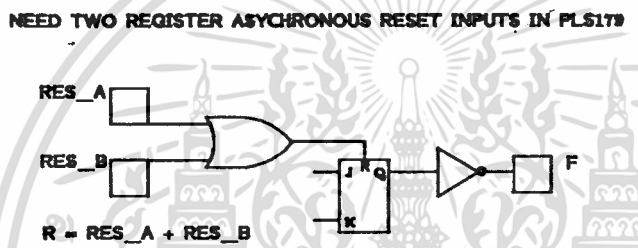


Figure 3–9 Desired Logic

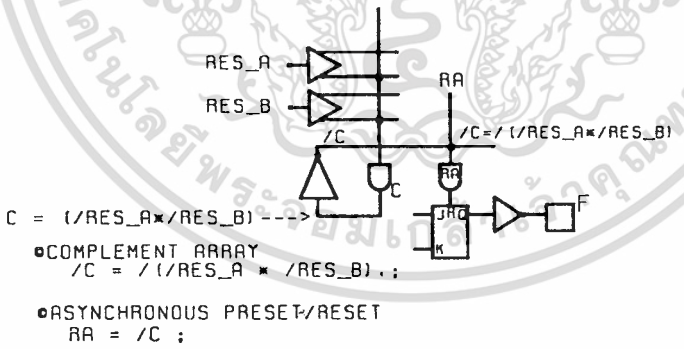


Figure 3–10 PLS179 Implementation

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.5.4 @Flip Flop Control

Device: PLS155, PLS157, PLS159, PLS179, PLC42VA12

Format:

FC = EXPRESSION ;

ที่ซึ่ง EXPRESSION สามารถเป็น "0" (logic low สำหรับ D-type flip flop;นี้เป็นสภาพ default) "1" (logic high สำหรับ J-K flip flop) หรือ single product term (สำหรับ J-K หรือ D type flip-flop ควบคุมแบบเคลื่อนที่)

คำอธิบาย:

ฟิลด์ Flip-Flop Control ใช้ในการกำหนดการควบคุมสมการทางตรรกของทุก flip-flop ที่ตั้งขึ้นเป็นแบบเคลื่อนที่และ/หรือ ควบคุมภายนอกในฟิลด์ Flip-Flop Mode ผู้ใช้อาจเข้าโดย Boolean expression ด้วยเพียง 1 product term (รวมทั้ง Complement array) เพื่อกำหนด logic สำหรับเส้น FC ถ้า label FC แสดงใน ฟิลด์ Flip-Flop Mode, กำหนด expression สำหรับ FC ในฟิลด์นี้ จำไว้ว่า โหมด flip-flop ใด ๆ ระบุเป็น Mn=1; เป็นการแสดง J/K (หรือ การต่อแบบ flip-flop) และไม่ถูกควบคุมโดย flip-flop control(FC) term ตั้งแต่ระบุ Mn = 1 ตั้ง fuse ต่อเนื่องกับ input Mn-gate ไป FC control termและบรรทัดที่เหนือขึ้นไปทำให้ Mn-gate เสียหาย ดู @Flip-Flop Mode ด้วย

ตัวอย่าง:

```
@FLIP-FLOP CONTROL
      FC = 0;                  "D"
      FC = 1;                  "J-K"
      FC = A * /B;             "J-K if A*/B is true"
      FC = A * /B;             "D if A*/B is false"
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.5.5 @Flip Flop Mode

Devices: PLS155,PLS157,PLS159,PLS179,PLC42VA12

Format:

Mn = EXPRESSION ; or

Mn, Mn = EXPRESSION

ที่ซึ่ง n เป็น register number และ EXPRESSION เป็นทั้ง "1" (สำหรับ J-K flip-flop ถาวร) หรือ "FC"(สำหรับ D หรือ J-K /D flip-flop การควบคุมแบบเคลื่อนที่โดยบรรทัด FC) สมการต้องจบด้วย semicolo(;) ดูแผ่นข้อมูล PLD เฉพาะสำหรับ register Mn Assignments

คำอธิบาย

ฟิลด์ filp-flop Mode ใช้ในกำหนดรูปแบบของ flip-flop ที่ได้รับเลือกให้รวมเข้ากับการออกแบบ label ที่ใช้กำหนดโหมด flip-flop คือ Mn ที่ n คือหมายเลขของ flip-flop ที่ถูกกำหนดชื่อ Flip-Flop Mode สามารถถูกจำกัดเพียงเพื่อ register แสดง labelใน pinlist ถ้าข้อมูลนี้ยังไม่ถูกกำหนดไว้ความเกี่ยวเนื่องของ flip-flop กับ label เหล่านี้จะ default ให้พิมพ์ J-K/D ควบคุมโดย FC จำไว้ว่า default ฟังก์ชั่น FC = 0 การแสดง D-type Flip-Flop นี้ถูกระบุถ้าสัมพันธ์กับ Mn.label ถูกควบคุมโดย FC (และเส้น FC อยู่ทางซ้ายในcondition default) ดู @FLIP-FLOP CONTROL

ตัวอย่าง:

```
@FLIP-FLOP MODE
  M0, M2 = 1;              " F0 and F2 are J-K Flip Flops    "

  M1, M3, M4 = FC;         " F1, F3 and F4 may be J-K, D or  "
                           " dynamically J-K/D flip-flops"
                           " depending on the flip-flops"
                           " CONTROL (FC) definition"
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.5.6 @Initialize

Devices: 82HS187,82HS189

Format:

LABEL = EXPRESSION, EXPRESSION, ... EXPRESSION ;

LABEL เป็นชื่อที่ผู้ใช้ตั้งให้กับ specific initialized pin label ใน pinlist

EXPRESSION เป็น label ใด ๆ หรือ label ทั้งหมดที่ใช้ใน pinlist เช่นเดียวกับ OUTPUT

คำอธิบาย:

ฟิลด์ initialize ถูกใช้ในการยอมรับให้ userเข้าถึงการควบคุม output ผ่านฟังก์ชั่น vinitialization ท่านต้องจบสมการด้วย semicolon (;)

ตัวอย่าง:

```
@INITIALIZE
  INITOUT = Out0, Out1, Out2, /Out3, Out5, /Out7 ;
```

3.5.7 @Init/Oe

Device: PLUS405

Format:

LABEL = R0, ... Rn ;

ที่ Rn เท่าเทียมกับ initialization bit ใด ๆ ที่ถูกสำรองไว้ (R0 - R15)

Rn ระบุ asyne reset ให้ F/F n

/Rn ระบุ asyne preset ให้ F/F n

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

คำอธิบาย:

ฟิลด์ INIT/OE ถูกใช้ในการกำหนด initialization ของความสามารถหรือควบคุม output ผู้ใช้มี option ใน pinlist เพื่อเลือกทั้ง initialization function หรือ ฟังก์ชั่นที่ให้อำนาจ output pin label ที่ให้ในฟิลด์ label ต้องจับคู่กับ label ที่ใช้กำหนด initialization

ถ้าผู้ใช้เลือกฟังก์ชั่นINT ใน pinlist screen สำหรับ PLUS405 ใน pin19 กับ option ที่มี output OE แล้ว 16 R-S Registers ทั้งหมดสามารถทำการ asynchronous PRESET input หรือ Reset input เลือกอย่างใดอย่างหนึ่งนี้ ยอมให้ pin 19 asynchronously force F/F ทั้งหมดโดยผู้ใช้กำหนด initialization ตำแหน่งที่ชัดแจ้งเมื่อ pin ถูกแสดงขึ้น

ฟังก์ชั่นอะไรก็ตามที่ถูกระบุเพื่อแต่ละ flip-flop ทั้งหมดจะต่อโดยบรรทัด input 1 บรรทัด: INIT/OE นี้เป็นการรักษา pin เมื่อฟังก์ชั่น PRESET หรือ RESET ถูกเลือก

ตัวอย่างที่ 1

```
@INIT/OE
"       F0 F1 F2 F3 F4 F5 F6 F7   Output Register Labels"
   CLEAR = R0,R1,R2,R3,R4,R5,R6,R7 "Async Reset Function"
/R8,/R9,/R10,/R11,/R12,/R13,/R14,/R15; "Async Preset Function"
" P0  P1  P2   P3   P4   P5   P6   P7    State Register Labels"
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตัวอย่างที่ 2

```
@INIT/OE
INIT =  R0, /R1,  R2, /R15 ;
     ^    ^   ^     ^.preset P7 when Init high
     :    :   :.............reset  F2 when Init high
     :    :.....................preset F1 when Init high
     :.....................:.....reset F0 when Init high
```

3.5.8 @Internal Clocks

Device: PLC42VA12

Format:

LABEL = EXPRESSION ;

ที่ซึ่ง label เป็น label ที่แสดงต่อ flip-flop เฉพาะภายใต้หัวชื่อ @INTERNAL FLIP-FLOP LABELS EXPRESSION คือ product term เดียว ที่บอกเวลาที่ใช้ใน flip-flop ที่ระบุไว้

คำอธิบาย:

แต่ละ flip-flop ใน PLC42VA12 อาจมีเวลาอย่างอิสระ section นี้ พร้อมกับ section @INTERNAL FLIP-FLOP LABELS กำหนดการจับเวลาที่ใช้สำหรับ flip-flop ที่ระบุเพียง flip-flop เหล่านั้นที่ถูกจับเวลาที่ถูกกำหนด สภาพ default เป็นเวลาที่ต่อเนื่องกับเวลาปกติตอน input ที่ซึ่ง pin 18 PLC42VA12

ตัวอย่าง:

```
@INTERNAL FLIP-FLOP LABELS
"P0   P1   P2   P3   P4   P5   P6   P7   P8   P9"
N/C   N/C  N/C TEST  N/C  N/C  N/C  N/C LAB2  N/C
      @INTERNAL CLOCKS
      TEST = A*B*D ;
      LAB2 = B ;
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

คำอธิบาย:

ในตัวอย่างนี้ P3 และ P8 คือ flip-flop ถูกจับเวลาด้วยสัญญาณต่างกัน label ที่ได้คือ TEST และ LAB2 นั้นอยู่ภายใต้หัวชื่อ @INTERNAL FLIP-FLOP LABELS การจับเวลากำหนดภายใต้หัวชื่อ @INTERNAL CLOCK ดังนั้น P3 คือให้มีการสร้างเวลาของ product term ของ input A, B,และ D ขณะที่ P8 จับเวลาโดย input B flip-flop ที่ยังคงอยู่จับเวลาโดย เวลาปกติที่ input ให้ pin 18 ของ PLC42VA12 นั่นก็คือ การแสดง pinlist ของ pin PLC42VA12 M-pins เป็นเหตุของการรวม pinlabel เป็นการ enter ข้อมูลภายใต้หัวชื่อ FLIP-FLOP LABELS ดู section 3.5.11

3.5.9 @Internal Node

Device: PLHS501

Format:

```
LABEL1    LABEL2    LABEL3  ... LABEL72
LABEL1,   LABEL2,   LABEL3  ... LABEL72 ;
```

ที่ซึ่ง LABELN เป็นชื่อที่ตั้งให้ internal node แต่ละ label ขึ้นอยู่กับ 12 ตัวอักษร ในความยาวที่อยู่กับ alphanumerics, underscores(_) หรือ hyphen (-) labels จะแบ่งโดยอย่างน้อย 1 ช่องว่างหรือ 1 commar จะใช้ semicolon ที่ปลายบรรทัดสุดท้ายหรือไม่ก็ได้

คำอธิบาย:

ฟิลด์ Internal Node ใช้เพียงเพื่อออกแบบ PLHS501 ซึ่งยอมให้ ผู้ใช้เข้น node ในวงจรที่ป้อนให้ internal gate อื่น ๆ โดยไม่มี externa pin ฟิลด์นี้ทำให้ที่ที่มีการ list หรือแจ้ง interna node labe s ทั้งหมดง่ายขึ้น

label อาจประกอบขึ้นด้วย 12 ตัวอักษร การออกแบบ PLHS501 ใด ๆ อาจบรรจุได้ไม่เกิน 72 ตัว labels ใน current AMAZE release แต่ละ label ต้องแยกโดยอย่างน้อยหนึ่งช่องว่าง และไม่ต้องมี semicolon ตอนจบบรรทัดหลังจาก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การแจ้งในฟิลด์นี้ สมการตรรกใช้ lable เป็นข้ออ้างในการ node อาจเกิดในฟิลด์ @LOGIC EQUATION

ตัวอย่าง

```
@INTERNAL NODE
int1     int2
@LOGIC EQUATION
int1 = /(i1 * int2)      ;
int2 = /(i2 * int1)      ;
o19 = /i2 + int1         ;
o21 = /i4  * s * int2    ;
```

3.5.10 @Internal SR Flip-Flop Labels

Devices: PLS105, PLS167, PLS168

Format:

```
LABEL1    LABEL2    LABEL3  ... LABELN
LABEL1,   LABEL2,   LABEL3  ... LABELN ;
```

LABEL หนึ่งอาจใช้ถึง 12 ตัวอักษร ประกอบด้วย alphanumerics, un-derscores (_), hyphens(-)และ slash(/) อย่างไรก็ตาม slash ถือว่าเป็น ตัวอักษรแรกในการแสดง label ตรงกันข้าม State Register labels ต้องถูกแยกโดยอย่างน้อย 1 ตัวขึ้นไป commar หรือ carriage return semi colon อยู่ตอนจบบรรทัดตามเดิม

คำอธิบาย:

State Register Assignmentใช้ในการแสดง label ไป output ของ internal (buried) registers นี้ยอมให้การอธิบายของ Boolean และ/หรือ แจ้ง vector ของ Flop-Flip เหล่านี้ node เหล่านี้สามารถถือเอาเป็น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

register out put label ซึ่งไม่ drive การ device pin โดยตรง label แรกมีลักษณะเดียวกับ LABC bit ที่สำคัญน้อยที่สุด register (P0) register ใด ๆ ที่ระบุ (เช่น P4) ต้องมีชื่อตำแหน่งที่ถูกต้องใน ฟิลด์นี้

อย่าแสดง label กับ flip-flop ใด ๆ ที่ต่อเนื่องกับ pin PLD output ในฟิลด์ @INTERNAL SR FLIP-FLOP LABELS เมื่อใช้การแบ่ง register-(P0-P1 ใน PLS167; P0-P3 ใน PLS168) ซึ่งต่อเนื่องกับ PLD output pins และคงอยู่เป็นสภาพ ฟังก์ชั่น register label เหล่านี้ต้องอยู่ใน pinlist screen แต่สามารถรักษาสภาพหรือ output vector labels ใน BLAST

ตัวอย่างที่ 1

```
@INTERNAL SR FLIP-FLOP LABELS
"P0  P1  P2  P3  P4  P5  In this case the only one used"
N/C  N/C  N/C  N/C  REG4     "is (P4), which has been"
                          "assigned the label (REG4)."
```

ตัวอย่างที่ 2

```
@INTERNAL SR FLIP-FLOP LABELS
N/C      "In this case the label REG4 has been assigned"
N/C            "to the internal F/F P4."
N/C     REG4
```

ตัวอย่างที่ 3

```
@INTERNAL  SR FLIP-FLOP LABELS
"P0  P1  P2  P3  P4  P5"

FF0  FF1 FF2 FF3 FF4 FF5    "All six internal F/Fs are
                                  assigned labels."
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.5.11 @Internal Flip-Flop Labels

Devices: PLUS405, PLC42VA12

Format:

```
LABEL1      LABEL2      LABEL3  ... LABELN
LABEL1,     LABEL2,     LABEL3  ... LABELN ;
```

LABEL หนึ่งอาจใช้ถึง 12 ตัวอักษร ประกอบด้วย alphanumerics, underscore(_),hyphens(-), และ Slash อย่างไรก็ตาม Slash ถือว่าเป็นตัวอักษรแรกในการแสดง label ตรงกันข้าม labels ต้องถูกแยกโดยอย่างน้อย 1 ตัวขึ้นไป commar หรือ carriage return semicolon อยู่ตอนจบบรรทัดตามเดิม

คำอธิบาย:

section Internal Flip-Flop Labels ใช้แสดง label ไป output ของ internal (buried) flip-flops นี้ยอมให้การอธิบายของ Boolean และ/หรือแจ้ง vector ของ flip-flop เหล่านี้ label แรกมีลักษณะเดียวกับ LSB bitที่สำคัญน้อยที่สุด) register (P0) register ใด ๆ ที่ระบุ (เช่น P4) ต้องมีชื่อ ตำแหน่งที่ถูกต้องในฟิลด์นี้

สำหรับการออกแบบ PLUS405 section นี้หมายถึงการแสดง label เพื่อเพียงแจ้ง flip-flop เหล่านี้คือ flip-flop (P0-P7) ที่ output ป้อนกลับไป array output เหล่านี้ไม่ต่อโดยตรงกับ output buffer เมื่อการออกแบบสำหรับ PLC42VA12 มีรากฐานมาจากฟังก์ชั่น M-Pin, AMAZE จะจัดการเข้า section นี้หลังการใช้ pin editor ตัวอย่างเช่น ถ้า M-Pin ถูกกำหนดเป็น register input ด้วย Pin-label เป็น label ที่ให้โดยการแบ่ง pin แล้ว Pin_label จะถูกจัดอย่างอัตโนมัติใน section นี้ มีลักษณะเช่นเดียวกับการจัด flip-flop ยังคงจำกัด M-Pin พวก /BD, /BJ, /OD หรือ /OJ จะเป็นเหตุของการเข้าถูกจัดภายใต้หัวชื่อนี้ เพื่อสะท้อน register output ฟังก์ชั่น pin

สังเกต syntax ของ section นี้สำหรับ PLC42VA12 เพราะว่าใช้สำหรับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การเขียนสมการสำหรับ device นี้เมื่อ M-Pin ตั้ง RI (register input) หรือ /BD หรือ /BJ (3-state F/F output ด้วย foldback) แล้ว input เข้าใน array โดยตรงจาก pin เป็นทั้ง pin-label หรือ /Pin_label ที่ซึ่ง apostro -phe ตาม label ของ pin ไปแสดง inclusionของ flip-flop ใน input signal path จาก M-Pin

การใช้ของ label ของ pin เป็น flip-flop output label ตามด้วย apostrophe เป็นตามนี้ถ้า pin ถูกกำหนดเป็น B หรือ /B ตั้งแต่สำหรับ case นี้ Flip-Flop อาจจะใช้หรือไม่ใช้เป็น register output มันอาจเป็นอิสระของ signal บน pin ที่มีส่วนร่วมและอาจให้ label ใด ๆ

apostrophe ใช้สำหรับ input/bidirectional pin ที่ซึ่งมีข้อขัดแย้งที่เป็นไปได้ดังที่ผลสะท้อนกลับของการใช้ ในคำอื่น ๆ เมื่อ M-Pin ถูกใช้เป็น input สองทางออกที่เป็นไปได้สู่ array ทางแรกคือโดยตรงจาก pin ทางที่สองจาก pin ผ่านสู่ flip-flop รวม การใช้ชื่อ pin โดยตรงทางด้านขวามือของสมการ de-notes ทางตรง (nonregister input) การใช้ของชื่อ pin ตามด้วย apos-trophe denotes ทางผ่าน flip-flop (registered input)

เมื่อ M-Pin ถูกจำกัดเป็น flip-flop output ตรง (เช่น /OD หรือ /OI) แล้วไม่ใช้ apostrophe AMAZE แสดง Dnรวมควบคุมบรรทัดภายใต้ @I/O DIRECTION) ค่าที่กำหนดคือ "1" นี้ทำให้สามารถ output buffer แบบถาวร การ feedback สู่ array เกิดจาก ทาง output ของ flip-flop โดยหลีก เลี่ยงความล่าช้าในการ output buffer อย่างไรก็ดีการแสดง label ใน sec -tion นี้เป็นกระแสไฟฟ้ากลับของ output pin label เพราะ PLC42VA12 output buffers เป็นการกลับ

ตัวอย่างที่ 1

```
@INTERNAL FLIP-FLOP LABELS
"P0  P1  P2  P3  P4  P5        In this case the only used"
 N/C N/C N/C N/C REG4      "flip-flop is (P4), which has"
                          "been assigned the label (REG4)."
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตัวอย่างที่ 2

```
@INTERNAL FLIP-FLOP LABELS
N/C          "In this case the label REG4 has been assigned"
N/C          "to the internal F/F P3."
N/C    REG4
```

ตัวอย่างที่ 3

```
@INTERNAL FLIP-FLOP LABELS
"P0  P1  P2  P3  P4  P5  P6  P7"
 FF0 FF1 FF2 FF3 FF4 FF5 FF6 FF7  "All eight internal F/Fs
                                   are  assigned labels."
```

ตัวอย่างที่ 4 For the PLC42VA12 only

```
@INTERNAL FLIP-FLOP LABELS
"P0     P1  P2  P3   P4   P5   P6   P7   P8   P9"
 RIN1'  N/C N/C  INT  N/C  FF5  N/C  N/C/ N/C /OUT1
```

ในกรณีนี้ M0 ถูกจำกัดเป็น register input (RI) ในฟิลด์ FNC ของ Pin Editon ด้วยการรวม pinlabel "RIN1" (สังเกตุ apostrophe) P3 และ P5 output ทั้งไม่รวมกับ M-pin (implies pin function ของ I,O ,/O หรือเป็น B หรือ /Bได้) และการรวม output pins ที่ถูกแสดงฟังก์ชั่นของ /OD หรือ /OJ และ pin labels คือ /INT หรือ /FF5 M9 ถูกแสดงฟังก์ชั่นของ /OD หรือ /OJ ด้วย pin label ของ out1

3.5.12 @I/O Direction

Devices:	PLS151,	PLS153,	PLHS153,	PLUS153,
	PLS155,	PLS157,	PLS159,	PLS179,
	PLC473,	PLHS473,	PLS173,	PLUS173,
	PLHS18P8,	PLHS501,	PLC42VA12	

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Format:

LABEL = EXPRESSION ;

(For PLS151)

LABEL = /(EXPRESSION) ;

ที่ซึ่ง LABEL เป็น signal (Dn หรือ Dmn) ควบคุมสาม state driver บน bidirectional pin และ EXPRESSION เป็นทั้ง "o", "1" และ Boolean Ex -pression

คำอธิบาย:

ฟิลด์ I/O Direction ใช้ enter Boolean Expressiong เพื่อออกแบบ I/O Control สำหรับการใช้ pins bidirectional Direction(Dn หรือ DMn) label เพียงอย่างเดียวอาจใช้สำหรับ pins ที่มี label นอกเหนือไปจาก N/C ใน pinlist screen DMn labels ใช้เพียงเพื่อการออกแบบ PLC42VA12 ท่านต้องจบสมการด้วย semicolon(;) Dn labels ต้อง reserve สำหรับ P-term ควบคุมของ output pin buffers ดูชีตแยก PLD data ซึ่งมีลักษณะเป็นแผนสำหรับการแสดง Dn หรือ DMn

รายละเอียดเหล่านี้ไม่ใช้สำหรับแสดง inputs (I) หรือ output (O,/O) ใช้เมื่อสาม stateable pin (B,/B) ถูกกำหนดใน pinlist การแสดง "I" หรือ "O"ใด ๆ ใน pinlist screen สำหรับ bidirectional (B) pin มีสิทธิ์ก่อนในการระบุข้อมูลใน @I/O Direction Field นั่นคือรายละเอียดสำหรับ pins ที่แสดง "I" หรือ "O" ใน pinlist screen สามารถละเว้นจาก

ฟิลด์ @I/O Directory ถ้า PLD pin "B" ทั้งหมดถูกใช้เป็นตัวแสดง in puts (I) หรือ outputs (I) ดังที่กำหนดใน pinlist screen แล้วไม่มีการเพิ่มเติม I/O direction รายละเอียดที่ต้องการและ title "@I/O DIRECTION" สามารถลบได้จากไฟล์ถ้า keyword "@I/O DIRECTION" อยู่ทางซ้ายในไฟล์ .BEE โดยไม่มีรายละเอียดใด ๆ อยู่ภายใต้ BLAST จะ invoke "WARNING 223" ระหว่างการแทรกแซงของไฟล์เพียงเพื่อกระตุ้น USER ในการระบุ I/O direction ที่ยังไม่สมบูรณ์ คำเตือนนี้ไม่มีผลต่อผลลัพธ์ PLD Fuse file แต่เพียงเพื่อแจ้งให้ user ทราบว่า การไม่กำหนด "B-Pin" I/O รายละเอียดถูกนำไปจากการแสดงใน pinlist screen

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

---

1. PLS151 สามารถ output function ควบคุมโดย I/O direction และ I/O steering functions ดูในชีต I/O steering Section (10.8) และ PLS151 data

output buffer ของ PLC42VA12 ถูกควบคุมแบบโปรแกรมจากทั้งการแสดง OE pin (pin 13) และจาก single product term (DMn) สภาพ default ถูกควบคุมโดยทาง pin 13 (OE) นั่นคือการต่อเนื่องกับ product term (DMn) จะเกิดขึ้นเมื่อ DMn expression ถูกกำหนดภายใต้หัวชื่อ @I/O DIRECTION จำไว้ว่าการแสดงฟังก์ชั่น pin lable สำหรับ pin มุ่งเป็น 3 state controlled ต้องแสดง B, /B, /BD หรือ /BJ ใน pinlist screen

ตัวอย่าง:

ตัวอย่างที่ 1

```
@I/O DIRECTION
     D0 = 1;                "B0 is an output pin"
     D1 = 0;                "B1 is an input pin"
     D3 = I0 * i1 */I5 ;    "Output on B3 is enabled when this
                             term is true"
```

ตัวอย่างที่ 2 สำหรับ PLHS501 device:

```
@I/O Direction
DB7=0; "B7 (pin 18) is an input pin"

OE0=1; "O0 & O1 (pins 19 & 21) are outputs"
DB4=Enable;"B4  (pin  15) is an actiove output when enable
                in put is true"

@I/O Steering
S3=1;"/B3 (pin 40) is an input pin"
S2=0;"/B2 (pin 39) is on output pin"
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หมายเหตุ : I/O Direction และ I/O Steering labels ข้างต้นระบุแยกฟิลด์ ©I/O Direction และ ©I/O Steering ในสมการ Boolean เข้าสู่ไฟล์ (.BEE) สำหรับ 3 state output control ใน PLHS501 device control term ที่สามารถทำให้ XOR ทั้งหมด และ output แต่ pin ถูกจำกัดภายใต้ ©I/O Direction (XE0, XE1, XE2, XE3,OE0, OE1, OE2, OE3)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

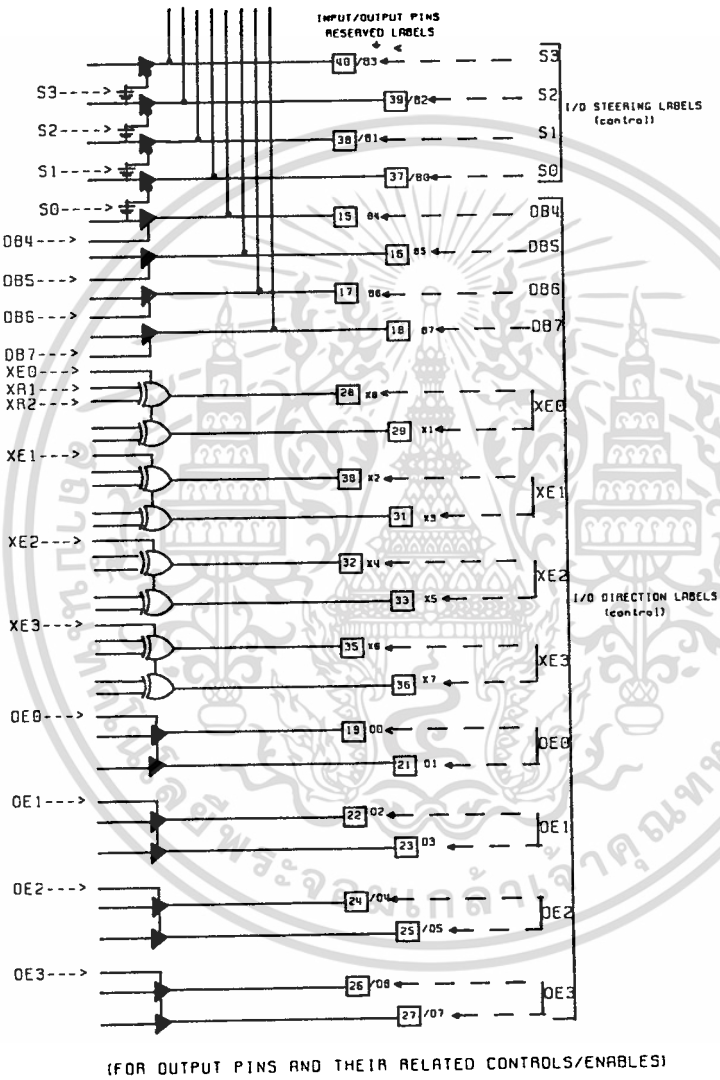


Figure 3–11 PLHS501 Reserved Label Map

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.5.13 @I/O Steering

Devices: PLS151, PLHS501

Format:

LABEL = EXPRESSION ;

LABEL , LABEL = EXPRESSION ;

สำหรับ PLS151:

LABEL คือ label ของ 3 state control signal ของ output Sn. EXPRESSION เป็นทั้ง "1"(logic high ของ input ถาวร) และ "Dn" (สำหรับควบคุมแบบเคลื่อนที่โดย Dn signals)

สำหรับ PLHS501:

EXPRESSION เป็นทั้ง "1" (สำหรับ input ถาวร) และ "0" (สำหรับ output ถาวร)

คำอธิบาย:

A.ฟิลด์ I/O Steering ใช้ในการกำหนดฟังก์ชั่นของ bidirectional pin ใน การออกแบบ PLS151 (B0 - B11)

เราอาจใช้เพียงการแสดง labelในคู่มือ Signetic PLD data (Sn) และเพียงสำหรับพื้นที่มี labels นอกเหนือไปจาก N/C user ต้องสิ้นสุดสมการด้วย

semicolon(;)

B.ฟิลด์ I/O Steering ก็ใช้กำหนด 4 fuse ควบคุมความเป็นระดับ low bidirectional pin ในการออกแบบ PLHS501 (/B0 - /B3)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตัวอย่าง:

สำหรับ PLS151

```
@I/O STEERING
S0, S2 = 1  ;        " B0 and B2 are Input pins"
S7, S6, S4 = D1      " B7, B6, and B4 may be Input,"
                     " Output, or dynamically I/O"
                     " depending on the I/O"
                     " CONTROL (D1) definition"
                     " in I/O Direction Field."
```

หมายเหตุ: ตั้งแต่ (Sn) output gates ที่ทำได้ถูกควบคุมโดย control (Dn) term ดังที่กำหนดในฟิลด์ I/O steering การควบคุม signal ต้องถูกระบุในพิสัย I/O direction (Dn) สำหรับ B-pin กลายเป็น active output

ตัวอย่าง: สำหรับ PLHS501

```
@I/O Steering
   S0, S2 = 1 ; "these are input pins"
   S1, S3 = 0 ; "these are output pins"
```

อ้างถึง รูปที่ 3-11 ดู @I/O DIRECTION ด้วย

3.5.14 @Logic Equation

Devices : All

Format :

For active high combinatorial outputs

LABEL = EXPRESSION ;

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
For active low combinatorial outputs
    LABEL = /(EXPRESSION) ;

For registered outputs
    LABEL : SIDE = EXPRESSION  ;

For PML XOR outputs
    LABEL : XR1  = EXPRESSION  ;
            XR2  = EXPRESSION  ;
```

ที่ซึ่ง label เป็น output pin label แสดงใน pinlist screen อย่างไรก็ตามสำหรับ PLS155-9 และ PLS179 devices เราต้องใช้ complement ของ label สำหรับ flip-glop EXPRESSION คือ สมการ Boolean และ SIDE คือ input side label ไป register ซึ่งสามารถเป็น R, S, J, K, D หรือ T ขึ้นอยู่กับการเลือกของ PLD XR1 และ XR2 คือ reserved words สำหรับ 2 input ไปแต่ละ XOR output gate สมการ Boolean ทั้งหมดต้องสิ้นสุดลงด้วย semicolon (;)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

คำอธิบาย:

ฟิลด์ Logic Equation ใช้ในการกำหนด ฟังก์ชั่น PLD output LABEL บนด้านซ้ายมือของสมการต้องเป็นหนึ่งใน label ที่แสดง output, bidirectional pin หรือ internal flip-flop EXPRESSIONS อยู่ในหลายระดับที่เสริมเข้าไป BLAST จะนำไปใช้ theorem ของ DeMorgan เมื่อแปลลักษณะเดียวกับสมการ Boolean นำใน Program Table

ถ้าฟังก์ชั่น pinlist (ภายใต้ "FNC"ใน pin editor screen) แสดงสำหรับ output "A"เป็น "O" (output) หรือ "B" (3 state output) แล้ว ex-pression:A=/(a*b+c) จะเป็นแบบ DeMorganized ในการจัด active low output function ถ้าฟังกชั่น pinlist แสดง output "A"เป็น "/O"(active low output) หรือ "/B"(3 stateable output) แล้ว expression : A=/(a*b+c) คือ map ที่เขียนในขณะที่เสริมและ fuse กระแสไฟฟ้า สำหรับ output "A" ถูกจัดโปรแกรมสำหรับทำให้การกลับมั่นคง DeMorganization ของ express-ion อาจไม่เป็นที่ต้องการใน cases ส่วนใหญ่ดังเช่นการใช้ PLD product term เพิ่มขึ้นอย่างรวดเร็ว กับความยาวของ expression

Rule of Thumb

สำหรับ combinatorial output ความไวต่ำ สัญลักษณ์ "/O"ใน pinlist สำหรับฟังก์ชั่น output และใช้ "LABEL = /(EXPRESSION)" syntax ในฟิลด์ @Logic Equation

บันทึกไว้ว่า combinatorial output LABEL บนด้านซ้ายของสมการต้องเป็นเหมือนกับที่ PIN LABEL กำหนดใน pinlist screen LABEL บนด้านซ้ายของสมการสำหรับ registered output ด้วยตัวกลับต้องมีลักษณะเช่นเดียวกับที่ output ของ register และไม่เป็น output pin ด้วยเหตุนี้สำหรับ part ต่าง ๆ เช่น PLS159 (พร้อมด้วย inventer ตามหลัง register) ถ้า register output pin label เป็น /REG แล้วสมการควรจะถูกเขียนด้วย LABEL ของ REG1 ดังตัวอย่างที่ตามมาสำหรับ PLS159 สำหรับ 16v8/20v8 device ถ้าฟังก์ชั่น output pin เป็น "D" แล้วสมการร่วมเป็น "LABEL : D=EXP;" ถ้าฟังก์ชั่น pin เป็น"/D" แล้วสมการควรถูกเขียน "/LABEL :D=EXP;"ในการเพิ่มเติมสำหรับ PLC42VA12 ถ้าฟังก์ชั่น pin แสดงเป็น "OJ"แล้วสมการร่วมคือ "LABEL;J=EXP;K=EXP; หรือ T=

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

EXP;"ถ้าฟังก์ชั่น pin คือ /OJ แล้วสมการร่วมคือ "/LABEL;J=EXP; K=EXP;หรือ T=EXP;" ถ้า BLAST จะไม่ป้องกัน user จากการเขียน J/K สมการ Boolean สำหรับ S/R Register device (PLS105,167,168) นี้อาจไม่ invoke error massage ระหว่างการรวบรวม BLAST แต่จะ result ใน การจัด flip-flop ที่ไม่ได้คาดไว้ใน devices เหล่านี้ ถ้าสภาพ J=K=1 เกิดขึ้นใช้อย่างระมัดระวังเมื่อการเขียนสมการ Boolean ด้วย S/R Register เพียง PLDs

หลีกเลี่ยงการใช้ของ LABELS "/C0" "/C1" ใน BLAST ถ้า user ไม่ต้องการ 2 complement arrays ของ PLUS405 จำไว้ว่า "/C" ถูก reserve ด้วยสำหรับ complement array ของ PLDS อื่น ๆทั้งหมดที่รวมเข้าไว้ในการแสดงเมื่อการใช้ XOR output ของ PML, XR1,และ XR2 อาจเป็น Boolean expression ใด ๆ ที่ได้รับอนุญาตใน BLAST และเครื่องหมายวงเล็บได้รับการยอมรับ Constants 0 หรือ 1ได้รับอนุญาตแต่ไม่เป็นที่ต้องการถ้า input เพียง 1 ครั้งไป XOR output gate จะเป็นการเร่งปฏิกิริยา กับ set อื่น ๆ ไป constant สำหรับการกลับหรือสร้างไป output แล้ว user อาจเขียนสมการง่าย ๆ แสดงกระแสไฟฟ้าด้วย slash(/) BLAST จะ set constant input อย่างอัตโนมัติไป XOR output gate สำหรับ output ขั้วไฟฟ้าที่เกี่ยวข้อง

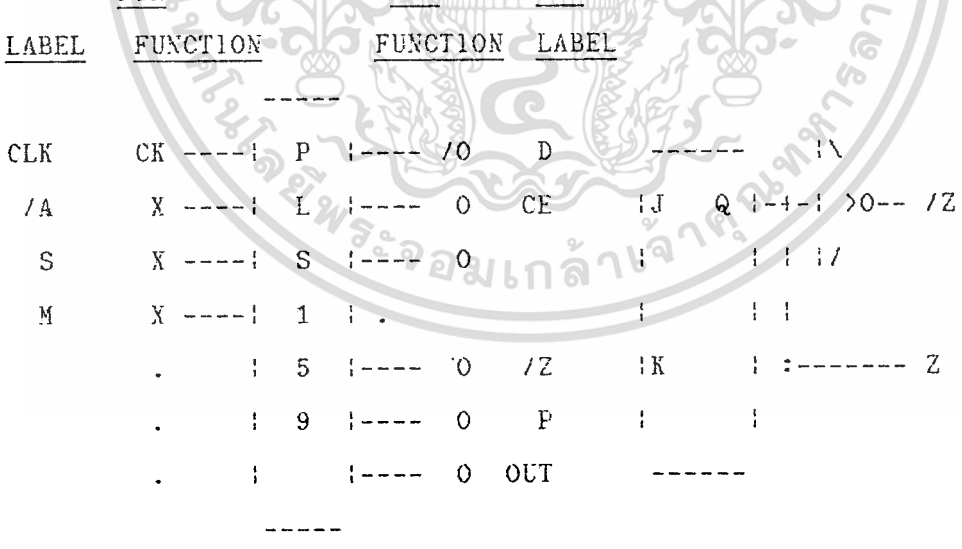
OPERATORS:	/	Complement
	[ ] ()	Expression Delimiter
	*	AND (Product)
	+	OR (Sum)
		Note that the above Operators are prioritized in the same sequence as above.
		ex. X = (/ (A+B) * /D);
		ex. X = E*[/ (A+B)*D + [F*G]*H] ;
	;	End of Equation

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

	ex. X = B * C * /D + /C * /B; Y = /B * /D;
"	Comment Delimiter
=	Equality
:	Assigned to; after the low-to-high clock transition for register devices. ex. 01 : J = A * B; K = C * /B;
,	(Comma) Equivalence ex. X, Y, Z = /A * /B * C;

ตัวอย่าง:

ตัวอย่างสำหรับ PLS159: USER'S PINLIST SCREEN



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

LOGIC EQUATION

```
CD = /((/A * S + /A * M) ; "ASSERTED LOW COMBINATORIAL OUTPUT"
                           "POLARITY FUSE INTACT"
                           "Note /O function assignment and
                            /(EXP.) syntax of equation"

CE =  ((/A * S + /A * M) ; "ASSERTED HIGH COMBINATORIAL OUTPUT"
                           "POLARITY FUSE BLOWN"

Z  : J = S + M * /A  ;  "J/K register output"
     K = S + M * /A  ;  "Note /Z label inversion in pinlist
                         indicating" "inversion from register
                         output to pin" "this is basically a
                         toggle function"
or
Z  : T = S + M * /A  ;  "direct toggle register implementation
                           on Z output"

/out : D = /A * S + M ;    "note register output label slash
                            is here and not in the pinlist"

 /P  : J = S * M * /A ;
       K = S + M + /A ;
       D = CE * /A + M * /S ;
```

flip-flop ด้านบนสามารถเป็นได้ทั้ง J/K หรือ D ขึ้นอยู่กับ FC line การแสดงนี้ยอมให้ p-term ควบคุมของฟังก์ชั่น flip-flop ทั้ง "D" และ "J/K -toggle" แบบ flip-flop

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.5.15 @output Enable

Devices: PLS155, PLS157,PLS159,PLS179

PHLS16L8,PLUS16L8,PLUS20L8

Format:

LABEL = EXPRESSION ; or

LABEL,LABEL = EXPRESSION ;

ที่ซึ่ง LABEL เป็นทั้ง EA และ EB สำหรับ 155,157,159 และ 179 EXPRESS -ION อาจเป็นทั้ง 1,0 และlabel ของ controll pin ดังที่กำหนดใน pinlist สำหรับ 16L8 และ 20L8 EXPRESSION อาจเป็นทั้ง 1,0 หรือ single product term

คำอธิบาย:

ฟิลด์ output Enable ใช้กำหนด 3 state ควบคุม Logic ของ output pin ชุดตัวเลข 155,157,159 และ 179 ของ device มี output pin แบ่งเป็นสอง bank แต่ละ bank ประกอบด้วย output pins จำนวน 2 หรือมากกว่า ซึ่ง 3 state output ยังคงควบคุมโดย term EA หรือ EB ตามปกติ term เหล่านี้อาจ enable ถาวร disable หรือควบคุมแบบอัตโนมัติ (โดยเชื่อมต่อกับ device pin หนึ่ง) output ของ bank ที่เจาะจง สำหรับ devices เหล่านี้ EA หรือ EB ควรเป็น set ที่เท่ากับ 0 ไป enable หรือเท่ากับ 1 ไป disable outputs ถ้าถูก set ให้เท่ากับ label (ที่ให้ใน pinlist) ของ pin 11 สำหรับ devices 155,157,159 หรือ pin 13 สำหรับ 179 แล้ว รวมกับ bank ของ output อาจควบคุมแบบอัตโนมัติโดย device ของ output enable pin

ชุด 16l8 และ 20L8 ของ devices มี 3 state output pin (เช่น O7 และ O0) ซึ่งไม่มี feedback ใน array product term ควบคุม O7 และ O0 คือ EB และ EA อย่างแน่นอนอาจจะ set เป็น constant (เช่น 0 หรือ 1) หรือ product term expression ของ input หรือ bidirectional pin labels บันทึกไว้ว่าสำหรับ devices เหล่านั้นความชัดของ EA และ EB แตกต่างกว่าสำหรับ devices 155,157,159 และ 179 ด้วย 16L8 และ 20L8 เมื่อ term ถูก set เป็น '1' นี้ enable output และ "0" disable output

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ดูใน @I/O DIRECTION สำหรับรายละเอียดในการควบคุม bi-directional pin ของ devices เหล่านี้

ตัวอย่าง

```
For 155, 157, 159, 179 seried devices:
@OUTPUT ENABLE
EA = 1;        "disabled outputs"
EB = 0;        "enabled outputs"

@OUTPUT ENABLE
EA, EB = ENAB; "ENAB is the label in the pinlist to the
                device's output enable pin.  This is pin 11
                for the 155, 157,159 and pin 13 for the 179."

For 1618 or 2018 series devices
@OUTPUT ENABLE
EA = 1 ; "enable output"
EB = 0 ; "disable output"

@OUTPUT ENABLE
EA = A*B*C; "single product term dynamically"
EB = A*D;   "controlling output"
```

3.5.16 @Pinlist

Devices: All

Format:

```
LABEL(1) 1 FUNCTION(1) comments;
    .          .          .
    .          .          .
LABEL(N) N FUNCTION(N) comments;
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ที่ซึ่ง LABEL คือ ชื่อของ ตัวอักษร 12 ตัวข้างบน N คือ device pin number ปัจจุบันร่วมกับการแสดง LABEL FUNCTION คือ function ของ pin

คำอธิบาย:

นี้คือ section ที่อธิบาย pinout ของ device และ pin function ทุก pin ของ device ต้องได้รับการอธิบายถ้าบาง pin ไม่ต่อเนื่องแล้ว label ควรเป็น N/C section นี้สร้างโดยอัตโนมัติโดย BLAST สำหรับ designใหม่ ๆอาจจะ edit โดย user อย่างไรก็ตาม user ควรใช้ pin editor environment ของ BLAST เพื่อสร้างการแสดง pin Pin Editor prompts สำหรับยอมให้ pin function และการเตือนอย่างฉับพลันของการใช้ที่ผิดบันทึกการเปลี่ยน edit ใน section นี้

section เป็น feature ใหม่ของ AMAZE 1.7 แทน fn.PIN ของ version ก่อนถึงแม้ AMAZE 1.7 จะ compile designโดยตรงสร้างด้วย version 1.6 หรือ 1.65 section นี้อาจถูกผนวกเข้ากับไฟล์ design เก่าที่อ้างถึง pin editor และพิมพ์ pin label อีกครั้ง กด ESC และตอบ 'Y' เพื่อ save ไฟล์ prompt section @PINLIST จะถูกรวมเข้ากับไฟล์ .BEE ไฟล์ fn. PIN ถูกลบเป็น @PINLIST ของไฟล์.BEE ซึ่งกลายเป็นแหล่งข้อมูลและเป้าหมายของ pinlist edits ต่อ ๆ มาทั้งหมด

ตัวอย่าง:

For a 153 series PLA Device

```
@PINLIST
"<--------FUNCTION--------->    <--REFERENCE-->"
"PINLABLE    PINS # PIN_FCT     PIN_ID     OE_CTRL"
N/C          1      I           I0         -  ;
N/C          2      I           I1         -  ;
N/C          3      I           I2         -  ;
N/C          4      I           I3         -  ;
N/C          5      I           I4         -  ;
N/C          6      I           I5         -  ;
N/C          7      I           I6         -  ;
N/C          8      I           I7         -  ;
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

N/C	9	I	B0	D0 ;
N/C	10	0V	GND	- ;
N/C	11	B	B1	D1 ;
N/C	12	B	B2	D2 ;
N/C	13	B	B3	D3 ;
N/C	14	B	B4	D4 ;
N/C	15	B	B5	D5 ;
N/C	16	B	B6	D6 ;
N/C	17	B	B7	D7 ;
N/C	18	B	B8	D8 ;
N/C	19	B	B9	D9 ;
N/C	20	+5V	VCC	- ;

3.5.17 @Register Load

Devices: PLS155, PLS157, PLS159, PLS179, PLC42VA12

Format:

LABEL = EXPRESSION ;

ที่ซึ่ง LABEL สามารถเป็น LA (bank ล่าง) หรือ LB (bank บน) สำหรับชุด 155,159 และ179 สำหรับ PLC42VA12 LABEL อาจเป็น LM0 หรือ LM9 ด้วยดูในชีต PLD data สำหรับโครงสร้างของ bank EXPRESS เป็นทั้ง "1"(clocked input จาก pin) "0" (register load จาก array อย่างเดียว) และ single product term สำหรับควบคุมเคลื่อนที่

คำอธิบาย:

ฟิลด์ Registerload ใช้กำหนดการควบคุมตรวก สำหรับการเรียกฟิล register load โดยตรงจาก pins "F" และ "M" มีเพียง label ต่าง ๆ ที่ถูกแสดง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เป็น comment หลังจากหัวชื่อ (LA, LB, LM0,LM9) ในไฟล์ BEE ถูกใช้และเพียงเพื่อ register banks ที่ถูกใช้

ถ้ารายละเอียดทั้งหมดที่ต้องการไม่อยู่ภายใต้บรรทัด title นี้ fuse ยังคงอยู่ หมายความว่า function register load หายไปถ้า user เลือกฟังก์ชั่น input (I) สำหรับ pin "F" หรือ (RI) สำหรับ pin "M"ใน pinlist แล้วลักษณะเช่นเดียวกับ BANK ของ flip-flop ต้องถูกควบคุมโดย LA หรือ LB เพื่อสนับสนุน input ฟังก์ชั่น F/F

เป็นความรับผิดชอบของ user ในการ program Output Enable และ/หรือ inputs (J,K) ไป flip-flop ดังนั้นจึงไม่มีการแทรกแทรงจาก signal อื่น ๆ เกิดขึ้นเมื่อ flip-flop โดยตรง หมายถึงว่า bank ของ register ออกแบบเป็น input (I หรือ (I) ฟังก์ชั่นใน pinlist screen โดย user ต้องมี output disable (Dn) ในฟิลด์ @OUTPUT ENABLE และ register load function Ln 1 (หรือถูกควบคุม) ในฟิลด์ @REGISTER LOAD สำหรับชุด 155, 157, 159 และ 179 โครงสร้างเป็น J-K flops ผู้ใช้ต้องแน่ใจว่า inputs J & K จาก array low (0) เพราะจากแหล่งข้อมูลเป็น high (array หรือ pin) ลบล้างต่ำและอาจขัดแย้งกับจุดหมายของสัญญาณจาก pin "F" ถ้าสัญญาณเกิดขึ้น ดังนั้นทั้ง J & K เป็น "high" แล้ว flip-flop จะถูกต่อกระป้องกันไว้ก่อนนี้ใช้ไม่ได้เมื่อ flip-flops เป็น 'D-type' เนื่องมาจาก inverter ระหว่าง J & K การป้องกันไว้ก่อนนี้ก็ไม่จำเป็นสำหรับ PLC42VA12 designs ดังที่ devices บรรจุวงจรที่ disable arrays output เมื่อ load bank โดยตรงของ flip-flops

ตัวอย่าง:

```
@REGISTER LOAD

LA = 1;        "ACTIVE, Register bank = input"
               "All F/F controlled by LA (or LB) are
                input registers for M-pins"
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
LB = 0;        "IDLE, Register bank = output"
               "Default condition; bank of F/F are
                output to the F-pins"
```

or

```
LA = A * B;    "Register bank is loaded from the
                F or M-pins only when inputs A & B
                are 'high'"
```

3.6 State Transfer Entry

Finate State Machine ประกอบด้วย finate set ของ states และ set ของ transitions จาก state เพื่อแจ้งว่าเกิดขึ้นใน set ของสัญลักษณ์ input output 2 แบบ ถูกรวมเข้ากับ state machines รูปที่ 3-2 และ 3-13 แสดงทั้ง 2 state machines นี้ และ State Diagrams ของมัน

1. output ร่วมกับ state ของ machines (machine แบบ Moore)
2. output ร่วมกับ transitions (input condition และ present state) ของ machine (machine แบบ Mealy)

โครงสร้าง state machine ของ Signetics PLD devices สามารถถูกจำลองเป็น 4 ประเภท ดังที่แสดงในรูป 3-10 Signetics PLD devices นำ Moore, Mealy หรือ Moore/Mealy แบบ state machines มาใช้ได้ output ของแบบ Mealy state machine สามารถ asynchronous หรือ synchronous ด้วย clock

เนื่องจากความแตกต่างของ timing characteristics ของ output จึงจำเป็นที่จะออกแบบสัญลักษณ์ใหม่เพื่อเน้น synchronous (หรือ outputโดยตรงจาก registers) จาก asynchronous output (หรือ outputจาก combinatorial logic) เพื่อส่งเสริม documentation เครื่องหมายใหม่จะมีผลต่อการ register หรือ synchronous output ร่วมกับ transition ของ machines

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

apostrophe (') ถูกเลือกให้ออกแบบ synchronous/clocked output ของ Mealy machine (Mealy output ด้วย register) apostroghe (') นี้ต้องตามหลังทุก ๆ synchronized Mealy สัญลักษณ์ output

ยังใช้กับแต่ละ output ของ Moore machine เพียง เมื่อ output ถูกใช้โดยตรงจาก state register และเพียงเมื่อ label ใช้ตามข้อความ 'WITH' ถ้า state vectors กำหนด output โดยตรงของ Moore machine และlabel เพียงตาม 'THEN' หรือ '::' ไม่มี apostrophe ถูกใช้ ดูใน section eTRANSITIONS สำหรับรายละเอียดของ 'WITH''THEN' และ '::' ไม่มี apostrophe ถูกใช้สำหรับทั้งแบบของ machine เมื่อ output ตรงมาจาก pins 'B' ของ PLS 155-159 หรือ PLS173 นี้คือข้อเท็จจริงถ้า 'B' output ถูกป้อนโดยตรงจาก pin 'F' register การใช้ของ apostrophe ด้วย output label แสดงในรูป 3-14

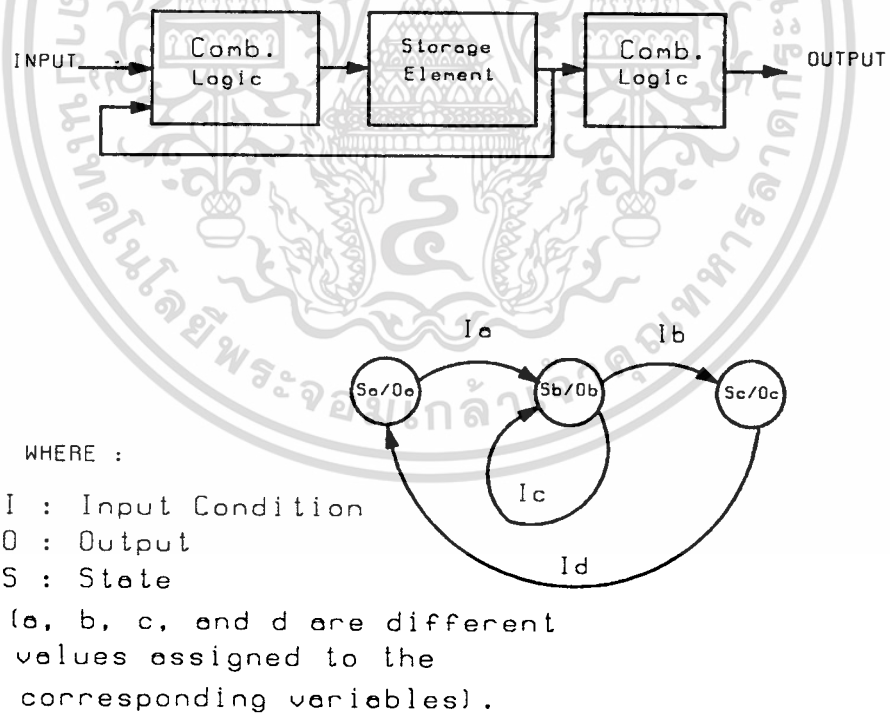
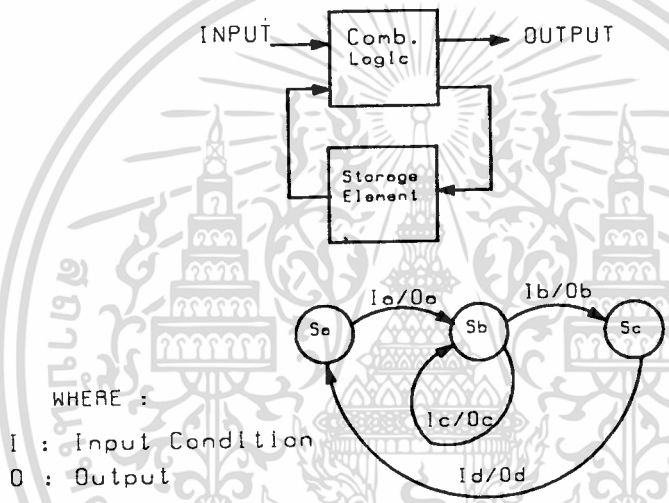


Figure 3-12 Moore State Machine Model

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3-13

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

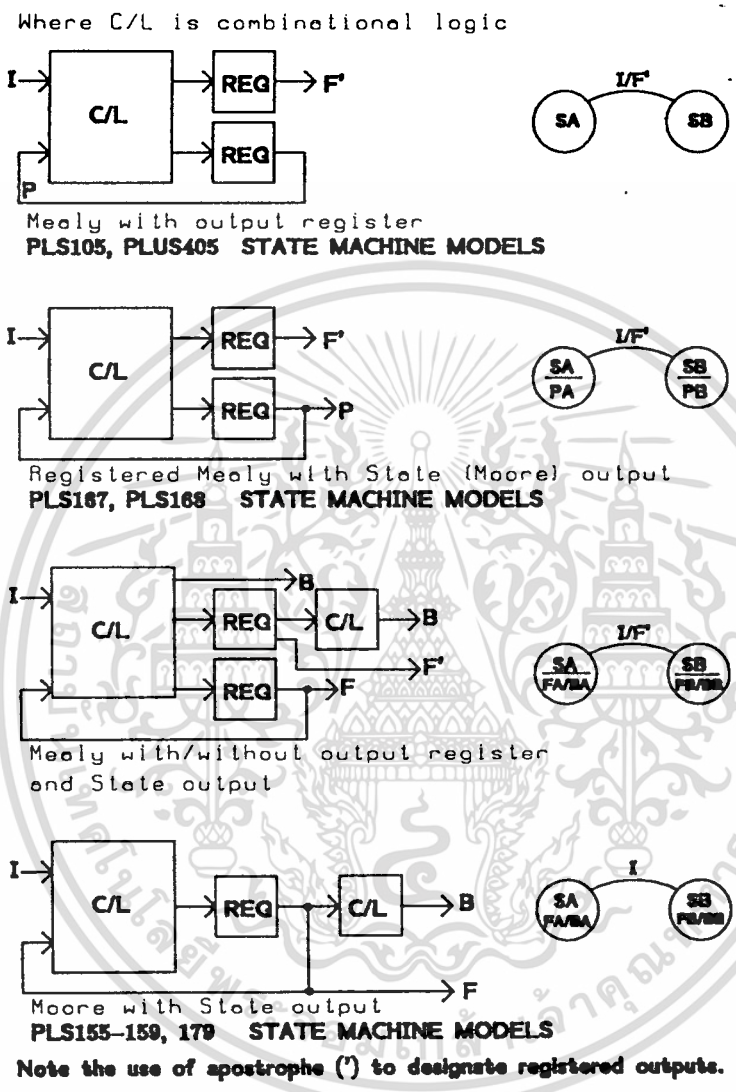


Figure 3-14 State Machine Models of Registered Devices

รูปที่ 3-14

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.7 การใช้ State Equation Entry

หลังจากเลือก option 3 จาก BLAST main menu BLAST จะแสดง tem plate ดังที่แสดงในรูปที่ 3-12 ไฟล์นี้มี SEE extension เช่น

"DESIGN_filename" .SEE

รายละเอียดการออกแบบสามารถใส่ไว้ใน template รายละเอียดนี้ต้อง enter ภายใต้ title ที่เหมาะสม input vector ต้องถูกกำหนดก่อน transit ions และฟิลด์ Device Selection ต้องเป็นฟิลด์แรกในไฟล์ บรรทัด title สามารถสร้างขึ้นแต่ไม่มีการจำลองเกิดขึ้น ต้องไม่สะกดผิดและ title ตามหลัง "@" คำเตือนจะออกมาสำหรับการสะกดผิดหรือ title ที่ไม่พึงประสงค์ รายละเอียดที่ enter บนบรรทัด title จะถูกละเลยจาก BLAST title ถูกลบได้ถ้ารายละ เอียดลักษณะเดียวกันไม่ใช้ในการออกแบบหรือ Feature ไม่ถูกใช้

entries ทั้งหมดดูในไฟล์ State transfer(fn.SEE) ถูกเปิด formatted ด้วย เหตุนี้ตัวแสดงช่องว่างหรือ comment (ด้วย syntax ที่เหมาะสม) สามารถ ใส่ในจุดใดก็ได้ของการเข้าสำหรับความเข้าใจ ไม่มี ตัวอักษรที่ใส่ในตัวอักษรของ label (เช่น IN1 ไม่เหมือนกับ I N)

```
@DEVICE SELECTION
@STATE VECTORS
@INPUT VECTORS
@OUTPUT VECTORS
@TRANSITIONS
```

รูปที่ 3-15 An Empty .SEE File

BLAST ยอมให้ใช้มากกว่า 1 PLD สำหรับ state machine และมากกว่า 1 state machine low file .SEE อย่างไรก็ตามผู้ใช้ต้องเลือกแบบของ device

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ที่กำหนดสมการของ Boolean (ถ้าใช้)และรายละเอียด pinlist สำหรับ device ทั้งหมดที่ถูกใช้ในการออกแบบ state machine BLAST จะแบ่ง state machine เป็น devices ที่ตั้งไว้โดยอัตโนมัติ โดยมีพื้นฐานของการจับคู่ I/O pinlabels ระหว่าง device pinlist รายละเอียดการออกแบบทั้งหมด (ชื่อไฟล์ .BEE, ชื่อไฟล์ .STD และชื่อไฟล์ .SEE) ต้องอยู่ใน design file directory ชื่อไฟล์ของไฟล์ .SEE อาจเหมือนกับชื่อไฟล์ของไฟล์ .BEE และไฟล์ .STD เฉพาะเมื่อมี 1 device ต่อไฟล์ .SEE แผนผังการประกอบของ design สามารถกำหนดโดยการใช้ individual PLD pinlist ทางต่อระหว่าง devices ต่อกำหนดโดยการแสดงชื่อ lable เดียวกับ pin ที่ต่อ feedback ภายนอกใน device เดียวกันสามารถทำได้ (ถ้าไม่มี feedback ภายใน)โดยแสดง label เดียวกับ pin input และ pin output

เมื่อใช้ state equation (fn.SEE) ไฟล์ BEE จำเป็นต้องกำหนดรูปแบบ flip-flop (เช่น D หรือ JK อ้างถึง @Filp-flop mode)และ output ฟังก์ชั่นที่ทำได้ไม่จำเป็นต้องอธิบายสมการตรรกของฟังก์ชั่น อธิบายโดย state equations ถ้าฟังก์ชั่นที่เพิ่มไม่ถูกเพิ่มให้กับ state machine design และฟังก์ชั่นนั้นอธิบายได้ง่าย ๆ โดยสมการตรรกแล้ว ไฟล์ BEE อาจบรรจุสมการได้ถ้าต้องการ จะถูกเพิ่มกับ fusemap ที่แยกจาก SEE state equation

การ run compiler ด้วยชื่อไฟล์ SEE เป็นเหตุของการรวมไฟล์ BEE ทั้งหมดด้วยชื่อไฟล์ SEE ที่ถูกรวมตัวอย่าง state machine แบบง่าย ๆแสดงใน section 3.9 รวมทั้ง ตัวอย่างแสดงใน ภาคผนวก A

ฟังก์ชั่นที่ตามมาให้การอธิบายรูปแบบและ format ของ data enter ในฟิลด์ State Equation

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.8 .SEE File Headers

@Device Selection

@Input Vectors

@Output Vectors

@State Vectors

@Transitions

3.8.1 @Device Selection

Format:

FILENAME/DEVICE TYPE

ที่ซึ่ง FILENAME คือชื่อของไฟล์ที่ Boolean และข้อมูลตาราง fuse อยู่(เช่น Fn.BEE,Fn.STD) DEVICE TYPE คือ PLD Device number (เช่น PLS159)

คำอธิบาย:

ฟิลด์ Device Selection ยอมให้ใช้การระบุของ device ใช้สำหรับ State Machine Design ถ้าใช้มากกว่า 1 device สำหรับ design ผู้ใช้ต้องระบุ devices ทั้งหมดและชื่อไฟล์ร่วม (.BEE)แยกโดยอย่างน้อย 1 ช่องหรือ 1 carriage returnแต่ละชื่อไฟล์ของ device design ทั้งหลายต้องแตกต่างจากชื่อไฟล์ของไฟล์ SEE อย่างไรก็ตามสำหรับกรณีที่มี device เดียว list ภายใต้หัวชื่อนี้ ไฟล์ .BEE อาจมีชื่อไฟล์เดียวกับไฟล์ SEE นี้

การระบุชื่อไฟล์ PLD ในฟิลด์ @DEVICE SELECTION ของไฟล์ State Equation Entry จะรวม devices เหล่านี้โดยอัตโนมัติเข้าใน State machine design เมื่อรวมกับ BLAST BLAST จะสร้างโดยอัตโนมัติและส่งชื่อไฟล์ออกไป ดังนั้นไม่ควรรวมใน "ชื่อไฟล์"ใด ๆเข้าสู่ BLAST

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตัวอย่าง:

ตัวอย่างที่ 1

@DEVICE SELECTION

DLOW/PLS153 timer/PLS159 "2 devices on same line separated by a space".

ตัวอย่างที่ 2

@DEVICE SELECTION

SM_PLD1/PLS105 "Pinlist, logic, fusemap of DEV #1)"

SM_PLD2/PLS105 "Pinlist, logic, fusemap of DEV #2)"

SM_PLD3/PLS168 "Pinlist, logic, fusemap of DEV #3)"

3.8.2 @Input Vector

Format:

Boolean Notation:

```
VEC_LABEL = EXPRESSION ;
```

Coded sets:

```
[PIN_LABEL1,PIN_LABEL2...PIN LABELN]
VEC_LABEL1 = NUMBER TYPE ;
VEC_LABEL2 = NUMBER TYPE ;
    .       .    .
    .       .    .
    .       .    .
VEC_LABELN = NUMBER TYPE ;
```

ที่ซึ่ง:

VEC_LABEL คือ vector label ที่ต้องการใช้กับ section @TRANSITIONS ต่อไป

EXPRESSION คือ expression ที่ประกอบด้วย PIN_LABELS และ operations AND ที่ซึ่ง: * คือ function AND

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

PIN_LABEL คือ label ที่ให้เพื่อระบุ pin ใน pinlist (section 3.3) หรืออาจเป็น label ที่กำหนดในไฟล์ .BEE ภายใต้ section @INTERNAL SR FLIP-FLOP LABELอาจเป็น input pinlabel, bidirection pin label, หรือ output pinlabel ด้วย feedback ต่อเนื่อง

NUMBER คือ binary, hex หรือ octal number จะมีตัวร่วมโดยตรงระหว่าง PIN_LABEL pins และ value นี้ PIN-LABEL คือ bit ที่สำคัญที่สุดและ PIN_LABELN คือตัวที่สำคัญน้อยที่สุดเมื่อใช้เครื่องโหมด binary

1 = 'high'

2 = 'low'

\- = 'don't care'

TYPE กำหนดพื้นฐานของ NUMBER อาจเป็น upper หรือ lower case

ที่: O สำหรับ octal

H สำหรับ hexadecimal

B สำหรับ binary

คำอธิบาย:

สภาพ input อาจแสดง vector label (VEC_LABEL)ใช้ใน section @TRANSITION VEC_LABEL ต้องเริ่มด้วยตัวอักษร alpha ใช้ slash (/)ไม่ได้ ถ้าต้องการลบ vector ต้องกำหนด vector ใหม่และอธิบายใหม่ Pin labels ใช้ดังที่กำหนดใน pinlist ทั้ง Boolean และ Coded set formats อาจใช้ในฟิลนี้ อย่างไรก็ตาม coded set สิ้นสุดโดย code set อื่น หรือสมการ Boolean ดูในตัวอย่างที่ 1

สำหรับ octal และ hexedecimal แสดง VEC_LABEL,degits ซ้ายสุดจะถูกกลับถ้ามันเป็นศูนย์ ถ้า degits ซ้ายสุดไม่ได้ระบุใน octal หรือ hex NUMBER จะแสดง don't care ดูในตัวอย่างที่ 2 และตัวอย่างที่ 3

Binary format ต้องมี number ของ degits ใช้ใน NUMBER เพื่อทำให้ number เท่ากับของ PIN_LABELs ดูตัวอย่างที่ 2

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตัวอย่าง

ตัวอย่างที่ 1 การประกอบ Boolean Expression ด้วย Coded Set Format

```
@INPUT VECTOR
[b1,b2]
in1 = 11b;
in2 = 0-b;
in3 = /i1 *i15 + 12
in4 = -0b;"This vector is ignored"
```

vector สุดท้าย "in4" จะไม่ถือว่าเป็นส่วนของ (b1,b2) การรวมกลุ่ม ตั้งแต่ถูกแยกออกมาโดยสมการ Boolean "in3"

ตัวอย่างที่ 2 การอ้างสิทธิของ octal และ Hex NUMBER

```
@INPUT VECTOR
[a3,a2,a1,a0]
inp1 = 7h;
inp2 = 3o;
```

ซึ่งเหมือนกับ:

```
@INPUT VECTOR
[A3,A2,A1,A0]
inp1 = -111b;
inp2 = --11b;
```

ตัวอย่างที่ 3 Hex และ Octal NUMBER ที่ใช้ไม่ได้

```
@INPUT VECTOR
[a3,a2,a1,a0]
inp1 = 8h;    "ใช้ไม่ได้ตั้งแต่ 8 hex ต้องการ 4 bits และเพียง
               3 (a2,a1,a0) ถูกแยก"
inp2 = 11o;   "ใช้ไม่ได้เช่นกันตั้งแต่ 11 octal ต้องการ 4 bits"
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.8.3 @Output Vector

Format:

Boolean Notation

VEC_LABEL = LIST;

Coded sets:

[PIN_LABEL1, PIN_LABEL2, ... PIN_LABELN]

VEC_LABEL1 = NUMBER TYPE;

VEC_LABEL2 = NUMBER TYPE;

" " "

" " "

" " "

VEC_LABELN = NUMBER TYPE;

where:

VEC_LABEL คือ vector label ที่ต้องการใช้ใน section @TRANSITION apostrophe ใช้ตามหลัง label ถ้า output โดยตรงจาก register

LIST คือ list ของ output pin label ที่แยกโดย commar(,) apostrophe ใช้ตามแต่ละ output pin label ถ้า pin นั้นเป็น output ตรงของ register

PIN_LABEL คือ label ให้เพื่อระบุ output pin หรือ bidirectional pin ใน pinlist (section 3.2.1) apostrophe ใช้หลัง label ถ้า outputยังใช้ได้โดยตรงจาก register

NUMBER คือ binary, hex หรือ octal number จะมีลักษณะร่วมระหว่าง pin PIN_LABELN สำคัญน้อยที่สุด เมื่อใช้เครื่องหมาย binary: 1 = 'high'
0 = 'low'
- = 'don't care'

TYPE กำหนดพื้นฐานของ NUMBER อาจอยู่ในกรณีขึ้นหรือลง
O สำหรับ octal
H สำหรับ hexadecimal
B สำหรับ binary

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

คำอธิบาย:

Output อาจถูกรวมกลุ่มและแสดง vector label ใช้ใน section @TRANSITIONS VEC_LABEL ต้อง start ด้วย alpha character ใช้ slash (/) ไม่ได้ ถ้าต้องการลบ vector ต้องกำหนด vectorใหม่และอธิบายใหม่ pinlabels ใช้ดังที่กำหนดใน pinlist register output อาจไม่ต้องจับกลุ่มด้วย output จากตรรกร่วม

ทั้ง Boolean และ Coded Set Formal อาจใช้ในฟิลด์นี้ อย่างไรก็ตาม coded set ต้องสิ้นสุดด้วย Coded Set อื่น ๆ หรือ Boolean Expression ดูในตัวอย่างที่ 1 สำหรับ octal และ hexadecimal assignment ของ VEC_LABEL, degits ซ้ายสุดถูกกลับถ้ามันเป็นศูนย์ ถ้า degits ซ้ายสุดไม่ได้ระบุใน octal หรือ hex NUMBER แล้วจะแสดง don't care ดูในตัวอย่าง 2 และ 3 Binary format ต้องการ number ของ digits ที่ใช้ใน NUMBER เพื่อให้เท่ากับ number ของPIN_LABELS ดูตัวอย่างที่ 2

ตัวอย่าง:

ตัวอย่างที่ 1 การรวม Boolean Expression ด้วย Coded Set Format

```
@OUTPUT VECTOR
[b1,b2]
out1 = 11b;
out2 = 0-b;
out3 = /i1, i15, i2  "Note label แยกโดย comma"
out4 = -ob;          "vector มีทั้งได้"
```

vector สุดท้าย "out4" จะไม่ถือว่าเป็นส่วนของ [b1, b2] การรวมกลุ่มตั้งแต่ถูกแยกโดย สมการ Boolean ของ "out3"

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตัวอย่างที่ 2 การอ้างสิทธิของ Octal และ Hex NUMBER

```
@OUTPUT VECTOR
[a3,a2,a1,a0]
out1 = 7h;
out2 = 3o;
```

เหมือนกับ

```
@OUTPUT VECTOR
[a3,a2,a1,a0]
out1 = -111b;
out2 = --11b;
```

ตัวอย่างที่ 3 Hex และ Octal NUMBERS ที่ใช้ไม่ได้

```
@OUTPUT VECTOR
[a2,a1,a0]
out1 = 8h;  "ใช้ไม่ได้ตั้งแต่ 8 hex กำหนด 4 bit และเพียง 3
        (a2,a1,a0) ถูกระบุ"
out2 = 11o; "ใช้ไม่ได้เช่นกันตั้งแต่ 11 octal กำหนด 4 bits
            และเพียง 3 ถูกระบุ"
```

ตัวอย่างที่ 4 Registered outputs

```
@OUTPUT VECTOR
[reg1,reg2]

out3' = 11b;
out2' = 10b;
out1' = 01b; "Note apostrophe in vector label."
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.8.4 @State Vector

Format:

Boolean Notation:

```
VEC_LABEL = EXPRESSION;
```

Coded sets:

```
[PIN_LABEL1,PIN_LABEL2,...PIN_LABELN]
VEC_LABEL1 = NUMBER TYPE;
VEC_LABEL2 = NUMBER TYPE;
    "          "      "
    "          "      "
    "          "      "
VEC_LABELN = NUMBER TYPE;
```

VEC_LABEL คือ vector label ที่ต้องการใช้ต่อจากใน section TRANSITION

EXPRESSION คือ Boolean Expression ประกอบด้วย PIN_LABEL และ AND operation ที่ยิ่ง * คือ ฟังก์ชั่น AND

PIN_LABEL คือ label ที่ให้เพื่อระบุ pin output ด้วยการ feedback ต่อเพื่อใน pinlist (section 3.2.1) หรืออาจเป็น label ที่กำหนดในไฟล์ .BEE ภายใต้ section @INTERNAL(SR) FLIP-FLOP LABEL

NUMBER คือ binary,hex หรือ octal number จะมีตัวรวมโดยตรงระหว่าง pin PIN_LABEL และ value นั้น PIN_LABEL1 คือ bit ที่สำคัญที่สุด และ PIN-LABELN สำคัญน้อยที่สุด

เมื่อการใช้เครื่องหมาย binary : 1 = "high"
0 = "low"
- = "don't care"

TYPE กำหนดพื้นฐานของ NUMBER อาจอยู่ในกรณีบนหรือล่างที่ยิ่ง

O สำหรับ octal

H สำหรับ hexadecimal

B สำหรับ binary

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

คำอธิบาย:

State register output อาจแสดง vector labels ที่ใช้ใน section @TRANSITION VEC_LABELS ต้องเริ่มด้วย alpha character ใช้ slash(/)ไม่ได้ ถ้าต้องการลบ vector ให้กำหนด vector ใหม่และอธิบายสภาพ input นี้ไม่ใช้ apostrophe เพราะ state vector มักจะเป็น output ของ register ทั้ง Boolean และ Coded Set Format อาจใช้ในฟิลด์นี้ code set สิ้นสุดด้วย code set อื่น ๆหรือ Boolean Expression ดูตัวอย่างที่ 1 สำหรับ octal และ hexadecimal assignment ของ VEC_LABEL digits ซ้ายสุดถูกกลับถ้าเป็นศูนย์ ถ้า digit ซ้ายสุดไม่ระบุใน octal หรือ hex NUMBER แล้วจะแสดง don't care ดูตัวอย่างที่ 2 และ 3

Binary format กำหนด number ของ digits ที่ใช้ใน NUMBER ทำให้เท่ากับ number ของ PIN_LABELs ดูตัวอย่างที่ 2

state register อาจใช้เพียงใน 1 การรวมกลุ่ม state vector ดูในตัวอย่างที่ 4

ตัวอย่าง:

ตัวอย่างที่ 1 การรวม Boolean Expression ด้วย Coded Set Format

```
@STATE VECTOR
[b1,b2]
st1 = 11b;
st2 = 0-b;
st3 = /i1 * i15, i2
st4 = -ob;  "This vector is ignored"
```

vector สุดท้าย "st4" จะไม่ถือว่าเป็นส่วนของ [b1,b2] การรวมกลุ่มตั้งแต่ถูกแยกโดยสมการ Boolean ของ "st3"

ตัวอย่างที่ 2 การอ้างสิทธิของ Octal และ Hex NUMBERS

```
@STATE VECTOR
[a3,a2,a1,a0]
st1 = 7h;
st2 = 3o;
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เหมือนกับ:

```
@STATE VECTOR.
[a3,a2,a1,a0]
st1 = -111b;
st2 = --11b;
```

ตัวอย่างที่ 3 Hex และ Octal NUMBER ที่ใช้ไม่ได้

```
@STATE VECTOR
[a2,a1,a0]
st1 = 8h;     "ใช้ไม่ได้ตั้งแต่ 8 hex กำหนด bit และ ระบุ
               เพียง 3 (a2,a1,a0)
st2 = 11o;    "ใช้ไม่ได้เช่นกันตั้งแต่ 11 octal กำหนด 4 bit
               และระบุเพียง 3
```

ตัวอย่างที่ 4 State register อาจใช้ใน 1 state grouping

```
@STATE VECTOR
[q0,q4,a1,q7]
state_00 = 0h;
state_02 = 2h;
state_04 = 9h;
state_14 = eh;

[q3,q5]
st_0 = 00b;
st_1 = 01b;
st_3 = 11b;
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.8.5 @Transitions

Format:

'While-if-then-else':

```
WHILE [present state] : [nonregistered Moore output]
 IF [input1] THEN [next state]
 IF [input2] THEN [next state] WITH [Mealy/Moore output]
       .              .              .
       .              .              .
       .              .              .
IF  [inputN] THEN [next state] WITH [Mealy/Moore output]
ELSE [next state] WITH [Mealy/Moore output]
```

'While-case-endcase':

```
WHILE [present state] : [nonregistered Moore output]
CASE
[input1]::[next state]
[input1]::[next state] WITH [Mealy/moore output]
   .        .              .
   .        .              .
   .        .              .
[input1]::[next state] WITH [Mealy/moore output]
 ELSE [next state] WITH [Mealy/Moore output]
ENDCASE
```

Where:

PRESENT STATE คือ Pin_label1 * Pin_label2 * ... Pin_labelN
หรือ Vec_label1
และที่ PIN-LABELS เป็นบันทึก output เป็น pin label
VEC_LABEL เป็นสถานะ vector label

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

NONREGISTERED

MOORE OUTPUT คือ Label1 * Label2 * ... LabelN
และที่ LABEL เป็น nonregistered output pin label หรือ nonregistered output vector labels อย่างไรก็ตาม "[nonregistered Moore output]" เป็นเพียงตัวที่มีผลต่อ "B" output ของ PLS155-159 และเครื่อง PLS179 และรูปร่าง output PLC42VA12 เท่ากับฟังก์ชั่น "O" หรือ "B" ถ้า output ชนิดนี้ ไม่ถูกใช้ หรือไม่เปลี่ยนจากสถานะก่อนนั้น และ JK หรือ RS flip-flops ถูกใช้ จากนั้นจึงไม่จำเป็นที่จะต้องใส่ colon และ Moore output หลัง WHILE ค่าของ output จะปรากฏบน device pin ก่อนเข้าไปในสถานะที่มีความสัมพันธ์กัน

INPUT เป็น Pin_label1*/+Pin_label2*...Pin_labelN หรือ Vec_label1 และที่ PIN_LABELS เป็น node labels ภายใน pin labels หรือ complement array, VEC_LABEL เป็น input vector label, output vector label หรือ สถานะ vector label
slash(/) อาจใช้กับข้อความที่ไม่มีผลต่อ input,output หรือ label ภายใน slash ไม่สามารถอธิบาย vector label ถ้าต้องการที่จะให้ไม่มีผลต่อ vector label จากนั้น vector ตัวใหม่จะต้องอธิบาย สำหรับสภาพของ input วงเล็บ "[]" อาจถูกใช้เพื่อเป็นเครื่องแสดงเสมอหรือไม่สนใจสภาพ

NEXT STATE คือ Pin_label1*Pin_label2* ... Pin_labelN
หรือ Vec_label และที่ PIN_LABELS เครื่องหมาย output pin labels VEC_LABEL เป็นตำแหน่ง vector label การเปลี่ยนตำแหน่งจะเกิดขึ้นก็ต่อเมื่อสภาวะ INPUT เป็นจริง

MEALY/MOORE
OUTPUT คือ Label1, Label2,...LabelN และที่ LABELS แสดงหรือไม่แสดง output vector labels output นี้จะปรากฏต่อเมื่อสภาวะ INPUT เป็นจริง การแสดง output pin labelในรูปอื่น ๆ หรือ output vector labels จะต้องตามด้วย apostrophe(')

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

คำอธิบาย:

ในส่วนนี้เป็นการอธิบายก่อนที่ pin labels และ/หรือ vector จะถูกใช้เพื่ออธิบายหน้าที่ของ 1 หรือมากกว่าตำแหน่งของเครื่อง 2 formats- "while-if-then-else" และ "While-case-endcase" ถูกกำหนดขึ้น ทั้ง 2 formats ปฏิบัติหน้าที่เดียวกันและจะเลือกใช้อันใดอันหนึ่งก็ได้แล้วแต่ความชอบส่วนตัว ถ้าต้องการทั้ง 2 format อาจถูกใช้เป็นอันเดียว .SEE file

สังเกตว่าข้อความ ELSE อ้างถึงเพียงส่วนประกอบการใช้ที่เรียงลำดับลักษณะสำคัญไม่สามารถใช้ได้สำหรับกลไกที่ไม่มีการเรียงลำดับของส่วนประกอบ มากกว่า 1 ข้อความ ELSE อาจเกิดภายในตำแหน่งการเปลี่ยนเครื่อง (machine transition) เนื่องจากการใช้ที่เรียงลำดับส่วนประกอบ ข้อความนี้อาจเป็นสาเหตุการล่าช้าในการกระจาย เป็นเวลานานกว่าผ่านการเรียงลำดับ AND/OR ทางเลือกใช้ข้อความอื่น IF -THEN ซึ่งจะแสดงใน ตัวอย่างที่ 2 อย่างไรก็ตามจำนวน product terms อาจมีการใช้ IF-THEN มาก แทนการเรียงลำดับส่วนประกอบ

ตัวอย่างที่ 1

```
@TRANSITIONS
while [st_null]
   if [i7] then [s0]
while [s01] : [ready]
if [i0-] then [s7] with [out1']
while [s7]
else [s10] with [/a3',a2']
while [s8] : [busy]
case
[i4]::[s0]
[i3]::[s7]
[i2]::[s16] with [out2']
else [s9]
endcase
while [s9]
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
if[i4] then [s8]
if[i3] then [s0]
if[i2] then [s7] with [out3']
while [s16]
if[i1+i2+i3] then [s0] with [out5',out4']
```

ตัวอย่างที่ 2

OPTION 1 Using Complement Array	OPTION 2 Not Using Complement Array
WHILE [S0]	WHILE [S0]
IF [I1] THEN [S1]	IF [I1] THEN [S1]
IF [I2] THEN [S3]	IF [I2] THEN [S3]
ELSE [S2]	IF [/(I1 + I2] THEN [S2]
WHILE [S0]	WHILE [S0]
CASE [I1] :: [S1]	CASE [I1] :: [S1]
[I2] :: [S3]	[I2] :: [S3]
ELSE [S2]	[/(I1 + I2] :: [S2]
ENDCASE	ENDCASE

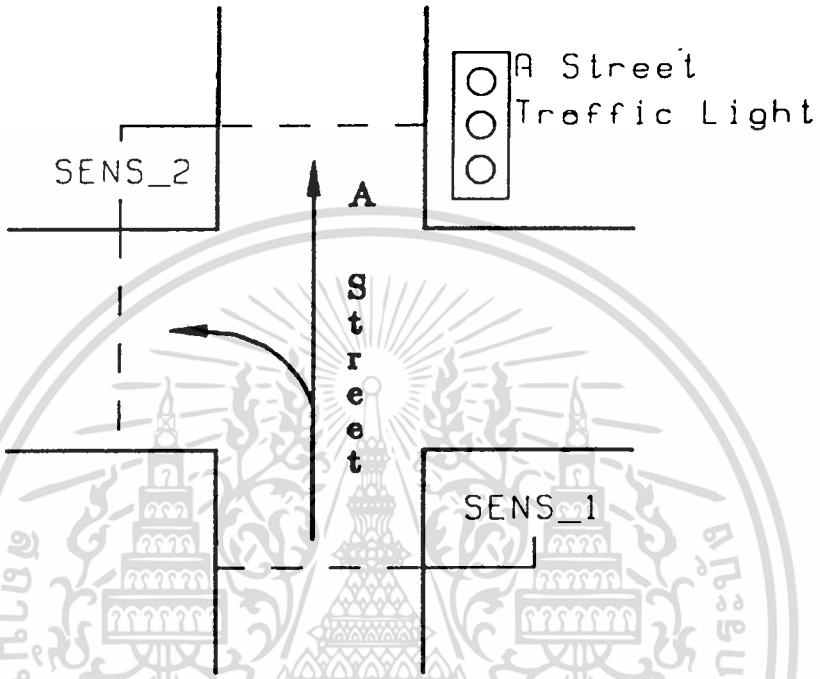
จำไว้ว่าจำนวนของ product terms จะใช้ option2 อาจจะมากกว่า option 1

3.9 State Machine Example (ตัวอย่างตำแหน่งเครื่อง)

การพิจารณาการควบคุมสัญญาณไฟจราจรอย่างง่าย ๆ สำหรับสี่แยกซึ่งแสดงใน ภาพ 3-13 การใช้เครื่องหมายใน BLAST มักจะคาดว่าการบันทึก (I/K หรือ S/R)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จะถือค่าก่อนนั้น ถ้าถูกติดตั้งในช่วงหัวเลี้ยว ดังนั้นผู้ใช้ต้องกำหนดหัวเลี้ยวต่อตามชนิดของ flip-flops (J/K, S/R หรือ D) จะถูกใช้ในการออกแบบของมัน รูปที่ 3-17 แสดงแผนผังสามตำแหน่ง สำหรับการออกแบบเดียวกัน การใช้ชนิดที่แตกต่างของหน้าที่ของข้อมูลควบคุม เกี่ยวกับการกำหนด flip-flop (เช่น FC และ/หรือ Mx ใน .BEE file) อยู่ด้านซ้ายของผู้ใช้



รูปที่ 3-16 A Traffic Intersection

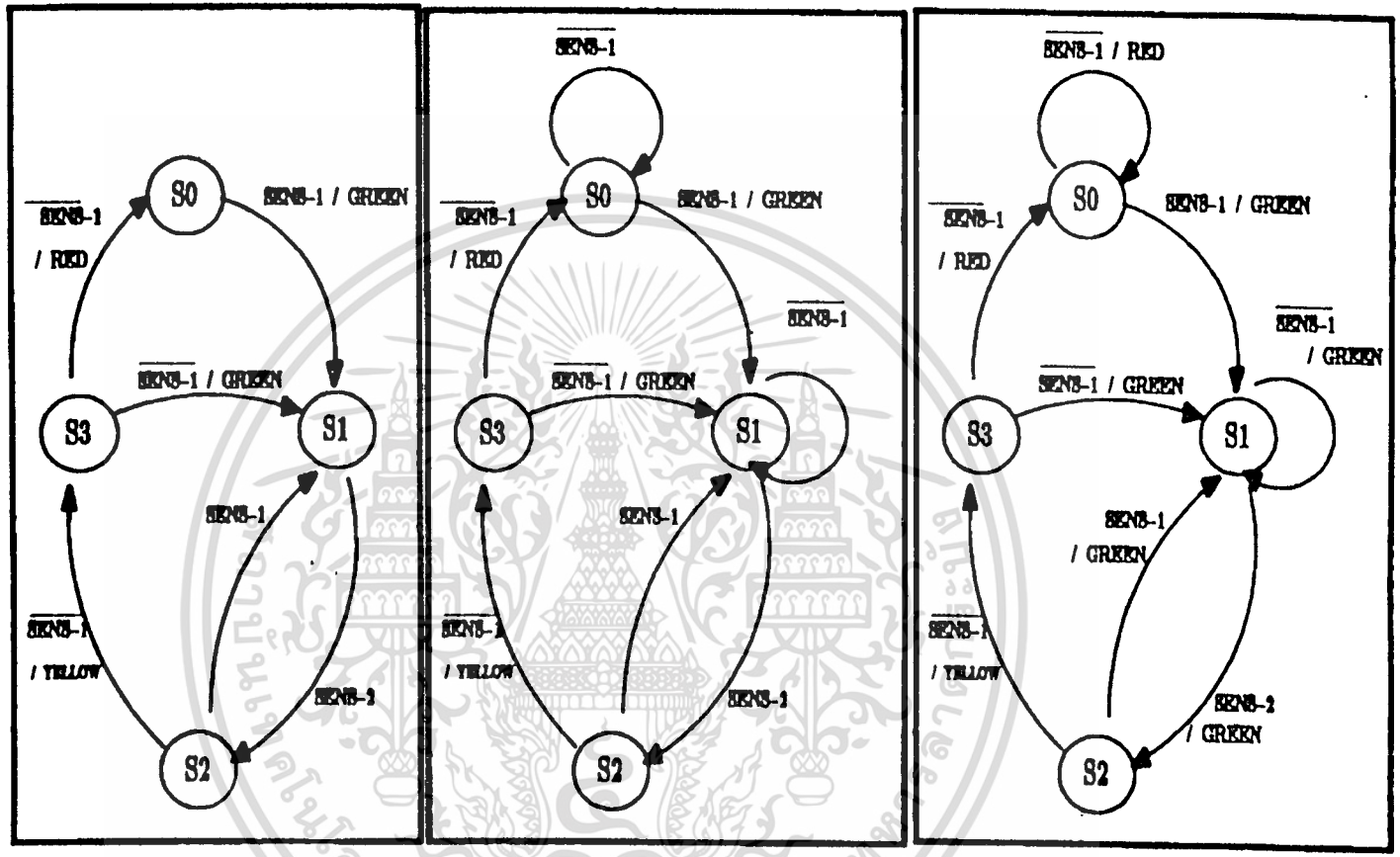
ในตอนแรกสัญญาณไฟจราจรที่ถนน A เป็นแดง รถในถนน A ที่เข้าใกล้สี่แยกมีการเรียงลำดับก่อนหลังตามการจราจรที่ติดกัน จะตั้งสัญญาณ SENS-1 ซึ่งเปลี่ยนไฟจราจรเป็นเขียว เมื่อรถวิ่งผ่านสี่แยก(โดยตรวจพบสัญญาณ SENS-2) และไม่มีรถหลังที่ 1 ได้ตั้ง SENS_1

ไฟจะเปลี่ยนเป็นสีเหลืองตามเวลานาฬิกา หลังจากรถคันสุดท้ายได้ผ่านไป SENS_1 เวลาต่อไปจะเปลี่ยนเป็นสีแดง เตรียมไม่ให้มีรถที่แล่นผ่าน SENS_1 ถ้ามี 1 คัน จากนั้นไฟจะเปลี่ยนเป็นสีเขียวจากสีเหลือง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูป 3-17 แสดงชนิดที่แตกต่างกัน 3 อย่างของแผนผังหัวต่อเลี้ยว สำหรับเครื่อง Mealy กับการแสดง output ขึ้นอยู่กับชนิดของตัวแสดงต่าง ๆ ที่ถูกใช้เป็นเครื่องมือตามตัวอย่างข้างบน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



A) J/K or R/S type state register and output

B) D type state register, J/K or R/S type output

C) D type state register and output register

รูปที่ 3-17 การออกแบบวงจรโดยใช้ State Diagram

```
File Name :  TRAFFIC
Date      :  11/14/1988
Time      :  14:25:55

@DEVICE TYPE
PLS159
@DRAWING
@REVISION
@DATE
@SYMBOL
@COMPANY
@NAME
@DESCRIPTION

"<--------FUNCTION---------->    <--REFERENCE-->"
"PINLABEL    PIN #    PIN_FCT    PIN_ID    DE-CTRL"
CLOCK          1        CK         CK         -  ;
SENS_1         2        I          I0         -  ;
SENS_2         3        I          I1         -  ;
START          4        I          I2         -  ;
N/C            5        I          I3         -  ;
N/C            6        /B         B0        D0 ;
N/C            7        /B         B1        D1 ;
N/C            8        /B         B2        D2 ;
N/C            9        /B         B3        D3 ;
GND           10        0V         GND        -  ;
N/C           11        /OE        /OE        -  ;
/GREEN        12        /O         F0        EA ;
/YELLOW       13        /O         F1        EA ;
/RED          14        /O         F2        EA ;
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
N/C          15          /B          F3          EA ;
N/C          16          /B          F4          EB ;
N/C          17          /B          F5          EB ;
Q1           18          /O          F6          EB ;
Q2           19          /O          F7          EB ;
VCC          20          5V          VCC         -  ;
@COMMON PRODUCT TERM "CPT label = (expression)"
@COMPLEMENT ARRAY "/C =(---) ;"
@OUTPUT ENABLE " EA, EB "
"permanently enable all outputs"

EA = 0 ;
EB = 0 ;
@I/O DIRECTION " D0 .. DN "
@FLIP FLOP CONTROL " FC = --- ; "
@REGISTER LOAD " LA, LB "
@ASYNDHRONOUS PRESET/RESET "RA, RB, PA, PB "
@FLIP FLOP MODE "M0 .. MN "
"set flip-flops used to J/K"
M0,M1,M2,M6,M7 = 1 ;
@LOGIC EQUATION
"no logic equation as all design information is in TRAFFIC.
SEE"
```

รูปที่ 3-18 Traffic light Bee File

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
File Name:  TRAFFIC
Date:  11/14/1988
Time:  14:26:37

@DEVICE SELECTION
traffic/pls159
@STATE VECTORS
[Q1,Q0]
null = --b;
s0   = 00b;
s1   = 01b;
s2   = 10b;
s3   = 11b;
@INPUT VECTORS
@OUTPUT VECTORS
  [/green,/yellow,/red]
  grn_light' = o11b;
  yel_light' = 101b;
  red_light' = 110b;
  @TRANSITIONS

  while [null]
  if [start] then [s0] with [red_light']

  while [s0]
  if [sens_1] then [s1] with [grn_light']

  while [s1]
  if [sens_1] then [s2]
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
while [s2]
if [sens_1] then [s1]
if [/sens_1] then [s3] with [yel_light']

while [s3]
if [sens_1] then [s1] with [grn_light']
if [/sens_1] then [s0] with [red_light']
```

รูปที่ 3-19 traffic light SEE File

3.10 EDIT SCHEMATIC

ส่วนของ BLAST นี้อ้างถึง กลุ่มไฟล์ที่สามารถจัดลำดับโดยอ้างถึงแผนสำเร็จรูปภายในที่ได้ของผู้ใช้ (schematic capture package) ตัวอย่างเช่น OrCAD หรือ FutureNet จุดประสงค์ของกลุ่มไฟล์ คือให้เป็นวิธีง่ายที่จะอ้างแผนสำเร็จรูปที่ได้และแสดงงานกระบวนการภายหลังที่กำหนดไฟล์ FutureNet format PINLIST (Fn.FNN) ตามต้องการสำหรับที่เผชิญหน้ากันระหว่าง STBC (Schematic to Bodean Conversion) เกณฑ์สำหรับวัดของ BLAST ชื่อกลุ่มไฟล์ต้องเป็น "EDIT _SCH.BAT"ถ้าทางเลือกนี้ถูกเลือกใน BLAST ถ้าไม่มี Text file ปรากฏบนจอกับตำแหน่งสำหรับสร้างตัวอย่างไฟล์ "EDIT_SCH.BAT" สำหรับเนื้อที่ OrCAD/ SDT ถึง STBC ตามที่แผนสำเร็จรูปจับได้ เลือกผลิตไฟล์ FutureNet Pinlist format

BLAST จะผ่านการใช้งาน,ผ่านรายการ และ ชื่อไฟล์ไป batch file ผ่าน batch file ที่มีค่าเปลี่ยนแปลงได้ (1%) ซึ่งทำให้การปฏิบัติงานของ user's external schematio capture package automatic ตั้งแต่การออกแบบชื่อไฟล์ และผ่านไปยัง batch file อ้างถึง text file "EDIT_SCH.TXT" สำหรับ OrCAD ที่ตัวอย่าง (ในการนำไปใช้ในรายการของ AMAZE)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในบางรายการ กำหนดระบบความจำที่จำกัด schematic capture package ต้องเป็นการอ้างจากภายนอก AMAZE/BALST shell ถ้าคุณมีประสบการณ์เรื่อง DOS ข้อความที่ผิดพลาด ตัวอย่างเช่น "Memory Limit"ระหว่างปฏิบัติของ "EDIT .SCH.BAT" ซึ่งเป็นผลของการขาดระบบความจำที่จะ run AMAZE รวมทั้งหมดของ schematic capture ไฟล์ที่เกี่ยวเนื่องระหว่าง "Edit Schematic" ถ้าชนิดของข้อความที่ผิดพลาดปรากฏ จากนั้นจงออกจาก AMAZE และ run EDIT_SCH.BAT การรวม drive และ path ของ schematic file จาก DOS เช่น EDIT.SCH <drive>:\file_path\schematic_filename.

3.11 Schematic to Boolean Conversion (STBC)

เกณฑ์นี้ใช้ได้พร้อมด้วย schematic capture package เพื่อเข้าสู่รายละเอียดทางตรรกในรูปลักษณะของแผนและได้รวม PLD รูปแบบที่มีลักษณะเช่นเดียวกัน แผนผังทางตรรกต้องถูกวาดการใช้ schematic เข้าไปสู่ software/hardware package ที่จัดหาโดยผู้ขายอื่น ๆ เช่น FutureNet, OrCAD/SDT หรือ package บางตัวที่ให้ไฟล์ FutureNet PINLIST ของ schematic drawing

เกณฑ์สำหรับวัดนี้ สามารถใช้กับแบบแผนที่คงอยู่ใน schematic form ส่วนกลับหรือตรรกที่แยกส่วนทั้งหมดไปยัง PLD STDC โดยอัตโนมัติ หาข้อมูลที่ต้องการพูดถึงส่วนของ schematic ที่ระบุโดยผู้ใช้ และสร้างสมการ Boolean ที่มีลักษณะเดียวกัน เช่น แบ่งพื้นที่ของ schematic ถูกส่งเสริมใน PLD ตามแต่ขอบเขตของผู้ใช้

เมื่อการใช้ "Schematic-To-Boolean-Conversion"(STBC)เกณฑ์สำหรับวัดใน BLAST PLD pinlist สร้าง boundaries ทางตรรกจากการออกแบบ schematic ถูกส่งเสริมใน PLD (หรือPLD's) ("PLD Pinlist) "ไม่ควรถูกปฏิเสธกับ "FutureNet format PINLIST อ้างถึงข้างบน)

STBC จะเขียนเพียงสมการ Boolean สำหรับส่วนของ schematic ที่ใช้ชื่อสัญญาณเดียวกัน ดังที่แสดงภายใต้หัวชื่อ @PINLIST ของไฟล์ BEE นั่นคือ ผู้ใช้

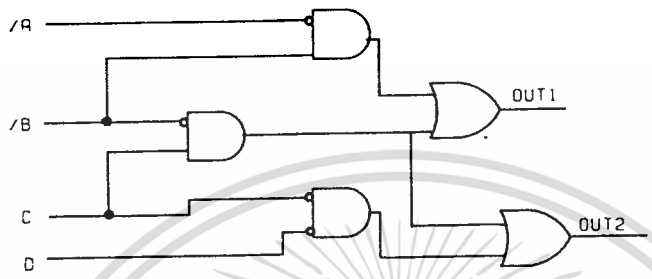
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ต้องกำหนด SAME SIGNAL LABELS ไปยัง output หรือ bidirectional pin on the schematic ส่วนใน @PINLIST หรือ vice-versa เมื่อการใช้ออกแบบที่คงอยู่ เมื่อผู้ใช้ต้องแผนที่ส่วนหรือการออกแบบทั้งหมดใน PLD เราต้องแน่ใจว่า pin และสัญญาณ label ในส่วน @PINLIST (fn.BEE) และไฟล์ pinlist (Fn.FNN) Okd schematic ที่ยังคงอยู่และเหมือนเดิม สังเกตว่า pin label กับ over score หรือ bar "PINLABEL" เป็นที่ยอมรับกฎแห่งความสัมพันธ์ สำหรับภายใน schematic capture packages แต่ not a legal definition สำหรับ pin label ทางปฏิเสธใน BLAST Slash (/) ต้องใช้สำหรับทางปฏิเสธของ pin labels ในการวาด schematic และใน BLAST จอภาพ pinlist (เช่น/PIN LABEL) FutureNet(Strides) หรือ OrCAD SDT สามารถสร้างทั้ง "netlist" หรือ "pinlist" FutureNet format output file (ด้วยไม่มีการขยายของ pin) "pinlist" format ต้องถูกระบบสำหรับใช้กับ STBC นอกจากไฟล์ Future Net output นี้ ต้องถูกระบบชื่อไฟล์เดิมตามการออกแบบ PLD ใน BLAST และต้องให้ส่วนประกอบ ".FNN" (Fn.FNN) FutureNet's pinlist file ต้องคัดลอกไปยังไฟล์ออกแบบรายการก่อน อ้างเกณฑ์สำหรับวัด BLAST STBC ผู้ใช้ต้องมีการต่อเติมให้สมบูรณ์ในส่วน @PINLIST ของไฟล์ BEE และ Fn.FNN (FutureNetpin list) เท่า ๆ กับ Fn.STD ในการออกแบบรายการไฟล์ ใช้ได้สำหรับ STBC ที่แท้จริง เข้าสู่สมการภายใต้หัวชื่อ @LOGIC EQUATIONS ในไฟล์ .BEE สังเกตว่า fn. STD ถูกสร้างโดยอัตโนมัติโดย BLAST เมื่อใดก็ตาม BLAST pinlist สำหรับการออกแบบใหม่ "Fn" ถูกสร้างโดยผู้ใช้

ตัวอย่าง:

Schematic drawing ถูกสร้างด้วย FutureNet,OrCAD/SDT หรือ exter nal schematic capture package เหมือนกันและการโต้ตอบของ BLAST pin list drawing

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3-20 schematic Drawing

BLAST Fn. Fnn.

PINLIST

LABEL	FNC		FNC	LABEL
/A	I		o	out1
/B	I	P		
C	I	L	o	out2
D	I	D		

รูปที่ 3-21 BLAST Pinlist Drawing

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

FutureNet อ้างถึง Data I/O FutureNet schematic capture packages : DASH II, DASH III, OR DASH IV และ schematic capture package สามารถที่เท่ากันของ FutureNet format pinlist files ทั่วไปอาจถูกใช้

3.11.1 จะใช้ STBC ได้อย่างไร

เมื่อการใช้เกณฑ์ในการวัดนี้ ข้อมูลไฟล์ต่อไปนี้ต้องการ

AMAZE.CTL Boolean description of the elements (74xx "starter" library provided with AMAZE).

filename.FNN Interconnection of the elements (FutureNet format Pinlist)

PLSnnn.AMZ PLD architecture, provided in AMAZE

ครั้งหนึ่งไฟล์นี้ยังได้ (อธิบายในส่วนต่อไป) อ้าง STBC โดยการเลือก option 5 (Schematic to Boolean Conversion) จากรายการ BLAST การอ้าง STBC จะทำให้เกิดสมการที่จะเข้าไปภายใต้ @LOGIC EQUATIONS ส่วนของการออกแบบไฟล์ BEE BLAST option 6 จะ COMPILE ข้อมูลจากนั้น ลำดับต่อไปต้องออกแบบในรูป schematic:

1. วาด schematic หรือ เรียกการออกแบบที่คงอยู่ใน schematic form* ต้องแน่ใจว่าได้ค้นพบรายละเอียดของกฎการออกแบบในส่วนต่อไปแล้ว ยังคงเป็นที่แน่ใจว่าพื้นฐานทั้งหมดในการวาดเป็นรายละเอียดคุณสมบัติใน AMAZE.CTL file(ดูส่วน 3.11) การรวมไฟล์ AMAZE CTL อธิบายเครื่องหมาย 74xxx และต้องถูกพิมพ์ถ้า 745,74LS,74F,74HCT, ect., เครื่องหมายถูกใช้ใน schematic

* ดู "EDIT SCHEMATIC"ส่วนที่ 3.10 สำหรับใช้ external schematic capture package กับ BLAST

2. กำหนดชื่อสัญญาณเพื่อเข้าสู่ตำแหน่งที่เดิม/สัญญาณที่กำลังจะไปสู่หรือออกจากเครื่องหมาย PLD

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3. การสร้างรายละเอียดไฟล์ที่ติดต่อซึ่งกันและกันสำหรับการวาด (Fn.FNN) การปฏิบัตินี้ขึ้นอยู่กับการใช้ schematic entry package

A. สำดับ FutureNet DASH 2,3,หรือ 4 ใช้ FutureNet "pinlist processor"เพื่อผลิต pinlist ตั้งชื่อใหม่ของไฟล์นี้ "fn.FNN" และคัดลอกไปยังรายการไฟล์ design อย่าปะปนกับไฟล์ FutureNet pinlist (Fn.FNN) กับ @PINLIST ส่วนของไฟล์ BEE

B. สำหรับ OrCAD/SDT Version 3.1 ระบุรายละเอียดที่ติดต่อซึ่งกันและกันการใช้โปรแกรมทั้ง 3 ต่อไปนี้

Annotate filename /m /u

Ercheck filename

Netlist filename filename.FNN FutureNet/s/p

(/P ระบุการกำเนิดของ FutureNet "pinlist" format file)

4. Schematic entry module และอ้าง BLAST 1 ครั้ง filename.FNN ไฟล์ที่สร้างขึ้นได้สมบูรณ์แล้ว

5. เลือก Pinlist Editor option ใช้ filename เดิม ที่ระบุในขั้นที่ 3 (fn.FNN)

ถ้าไม่มี BLAST PLD PINLIST อยู่ข้อมูลใหม่ที่ตั้งจะถูกสร้างขึ้นขั้นนี้เลือกความสามารถของPLD

6. ใช้ BLAST Pinlist Editor เพื่อระบุ สัญญาณ/ชื่อ pin,polarity and funtion สำหรับ PLD pins ใช้ labels เดิมในการระบุใน schematic ขั้นนี้จะระบุส่วนของ schematic ที่ถูกเปลี่ยนด้วย PLD การเลือก polarity out putpin ที่มีผลสะท้อนต่อ polarity ในทางบวก มีส่วนร่วมใน schematic label หรือ signal

7.ออกจาก Pinlist Editor อ้าง STBC โดยเลือก option 5 (Schematic To Boolear Conversion) ในรายการ BLAST STBC จะใช้ข้อมูลที่จัดหามา และจะเข้าสมการในไฟล์ BEE ถ้าไม่พบ error ขณะที่มีกระบวนการออกแบบ errors ทั้งหมดและข้อความที่เตือนระหว่าง STBC ถูกจัดวางในไฟล์ "file

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

name.MSC"ไฟล์นี้สามารถตรวจดูโดยใช้คำสั่ง DOS option ที่อยู่ในรายการ BLAST ถ้า error เกิดขึ้นในขั้นนี้ ให้ลงมือทำให้ถูกโดยใช้ขั้นตอนข้างบน ถ้าไม่เช่นนั้นก็ทำขั้นต่อไป

8. เลือก COMPILE optionในรายการของ BLAST จากนั้นเลือก option ที่ต้องการในรายการของ COMPILE ในขั้นนี้ fusemap filename.STD จะถูกสร้างขึ้น ถ้าทางตรรกสามารถจัดเก็บในชื่อ PLD

ถ้าเกิดปัญหา SIZE ความหมายการออกแบบจะไม่พอดีใน PLD ที่ต้องการพยายามกลับ polarityของสัญญาณ output ใน pinlist Editor สำหรับ output เหล่านั้นทำให้เกิดผลเกินกำหนด หรือสมการจำนวนมากผิดปกติในไฟล์ .BEE และซ้ำ ขั้นที่ 7 และ 8 ถ้าไม่สามารถลดผลกำหนดในการใช้ ต่อจากนั้นการออกแบบสามารถจะลดใน schematic โดยรายละเอียดทางตรรกลดลง ซึ่งสามารถทำโดยกลับไปยังขั้นที่ 2 ถึง 4 และ/หรือ ขั้นที่ 6 ซ้ำ ขั้นที่ 7 และ 8 หลังการแก้ไขอื่น ๆ แล้ว

หลังจากการรวบรวมที่สำเร็จแล้ว PLD fusemap ที่จะแสดงหน้าที่เดิมเช่นเดียวกับ schematic จะถูกสร้างขึ้น

3.11.2 คำจำกัดความของการออกแบบตำแหน่งเข้าการประมวลผล

1. label (ส่วนชื่อหรือส่วน label)ขององค์ประกอบต่าง ๆ ตรรก คือ, 7403 ในการประมวลผลต้องมีคุณสมบัติต้องแปร 3 FutureNet DASH

2. เพื่อความแน่นอน ชื่อสัญญาณ input/output ทั้งหมด (PLD pin label) ในการประมวลผล FutureNet DASH กำหนดค่าคุณสมบัติตัวแปร 5

3. รีจีสเตอร์ทั้ง Q และ/Q ใช้ในตรรก มิใช่เพียงตัวเดียวเท่านั้นที่สามารถใช้ PLD เอาต์พุตอีกอย่าง Q และ/Q ของรีจีสเตอร์ตัวเดียวกันไม่สามารถเชื่อม 2 เอาต์พุตที่บันทึกต่างกันของ PLD เนื่องจาก PLD มีหนึ่ง pin เอาต์พุตละเอียดต่อรีจีสเตอร์

4.STBC จะจัด "?"ในการสร้างสมการ Boolean ถ้าไม่มีทางเข้าประเมินค่าหรืออุปสรรคเชื่อมสายในการวาดภาพประมวลผล

5. เพื่อแน่ใจว่าไม่มี Reserved labels ปรากฏเหมือนชื่อสัญญาณ labels

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

นี้ถูกบันทึกไว้แน่นอนเพื่อเครื่องมือทุกวันและถูกจัดรายการในระหว่างการแก้ไขรายการกำหนด pin ใน BLAST เพื่อการออกแบบ PML เครื่องจะกำหนด labels รวมภายในไป INTERNAL(int) (e.g.,INTERNAL1, INTERNAL2,etc.) แม้ว่า INTERNAL(int) สำรองชื่ออาจไม่ใช้ในบางตำแหน่ง การลบการแปลงป้ายชื่อ (labels Transition) แว็คเตอร์ (Vector) สถานะ (State) Input, และ Output ใช้ BLAST ด้วย

อย่างไรก็ตาม ถ้าการวางแผนใช้อุปกรณ์ที่เด่นชัด ต้องใช้ชื่อประเมินค่าก่อน (Pre-assigned name) สำหรับชื่อสัญญาณขณะจัดบัญชีข้างล่าง(i.e.,/C or /C0, /c1 สำหรับแถวลำดับส่วนเติมเต็ม Complement Array)

6. STBC สนับสนุนตัวพิมพ์รีจีสเตอร์ต่าง ๆ (i.e., J-K, D,R-S,หรือ T) แสดงรูปโดยอัตโนมัติ รีจีสเตอร์ในเครื่อง อย่างไรก็ตาม มีเพียง PLD เท่านั้นที่สนับสนุน พิมพ์รีจีสเตอร์ (Pre-assigned name)

7. ชื่อสัญญาณทางเข้าสำหรับ lines เชื่อมกับ Vcc และ Ground ต้องเป็น Vcc และ GND ตามลำดับ ตัวอย่างเช่น ถ้าการเชื่อม pin ทางเข้าของส่วนประกอบไปที่ high

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

line ที่มีค่าคงตัว (+5โวลต์) ชื่อสัญญาณสำหรับขานั้นจะเป็น "Vcc" ทางเข้าค่าคงที่ต่ำจะถูกประเมินค่าชื่อสัญญาณ "GND" ให้จำว่า คุณสมบัติตัวแปร Vcc และ GND เป็น 5 เมื่อกำลังใช้ FutureNet

8. ชื่อสัญญาณประมวลผลของแท่งบนสุด (สำหรับการผกผัน inversion)เมื่อ BLAST ไม่ตอบรับ กฎการผกผัน BLAST คือ slash "/"

9.เนื่องจากการออกแบบ PLD บางตัว มี feedbacks ภายใน โดยปราศจาก intermediate pin labels ซึ่งไม่สามารถทำได้ ถ้าใช้การป้อนกลับในการออกแบบ คุณต้องแน่ใจว่าได้เริ่มต้นที่ PLD pin ในอีกทางหนึ่ง จะมีเพียงสัญญาณป้อนกลับจากศูนย์รวมต่าง ๆ (nodes) เช่น

A. สัญญาณ pin แสดงผลลัพธ์

B. ผลลัพธ์ของรีจีสเตอร์

C. แถวลำดับเรียบร้อย "/C"

10. STBC จะไม่สิ่ง labels ในการแสดงผลและบันทึกรีจีสเตอร์ ไว้ในการออกแบบอย่างไรก็ตาม ถ้ารีจีสเตอร์ไม่มี pin label ทำงานร่วมด้วย มันสามารถตัดสินใจได้โดยรีจีสเตอร์ภายใน

11. ถ้ารายการกำหนดตำแหน่ง pinlist editor ไม่กำหนดหน้าที่ของ pin labels เดียวกัน ซึ่งเป็นการเชื่อมสัญญาณภายนอก จะแข็งองค์ประกอบหุ่น (dammy) ในชื่อสัญญาณซึ่งประมวลผลและกำหนดค่าสองชื่อว่า input และ output

12. แม้ว่า XOR ใช้ในการออกแบบสัญญาณ อาจใช้ในการประมวลผล STBC ใน NAND gate จะทำให้สัญญาณสมบูรณ์ ถ้าผลลัพธ์ XOR gates ของ PLHS501 ต้องถูกใช้ จากนั้น สมการ .BEE จะต้องถูกแก้ไขดัง Section ที่ 3.5.14 ความสัมพันธ์ของสมการที่ถูกต้องใช้เพื่อ gates ผลลัพธ์ของ XOR

3.12 แฟ้มอธิบายเครื่องมือประมวลผล

AMAZE.CTL บรรยายหน้าที่ขององค์ประกอบ logic (TTL device)ในการประมวลผลใช้ทางเข้าเป็น STBC. อีกอย่าง AMAZE.CTL คือไฟล์ซึ่งบรรจุข้อมูลอ้าง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ถึงหน้าที่สัมบูรณ์ Boolean ขององค์ประกอบใช้ในการประมวลผล ไฟล์ AMAZE.CTL บรรจุการบรรยายหน้าที่ SSI, MSI พื้นฐาน MSI ขั้นต้น ในคลังข้อมูล TTL (TTL Library) โปรแกรมสำเร็จรูปจัดการประมวลผลแก่ผู้ใช้ ถ้าการใช้คลังข้อมูล /ส่วนประกอบอื่น ๆ ไม่ครอบคลุมไฟล์นี้ สามารถรวมองค์ประกอบง่าย ๆ และลดหรือเปลี่ยนแปลงองค์ประกอบที่มีอยู่ หรือสร้างไฟล์ใหม่ แต่ละองค์ประกอบ logic ใช้บรรยายในไฟล์ AMAZE.CTL ถูกตั้งขึ้นใน STBCLIB รายชื่อแฟ้มข้อมูลย่อย (sub-directory) จัดตั้งในรายชื่อแฟ้ม AMAZE เพื่อความแน่นอน ส่วนประกอบทั้งมวลที่ใช้ในการประมวลผล จัดขอบข่ายที่แน่นอนในไฟล์นี้ AMAZE.CTL เป็นไฟล์ข้อความ ASCII และง่ายที่จะแก้ไข ด้วย text editor หรือ word processor เช่น PC-WRITER รวมกับโปรแกรมสำเร็จรูป AMAZE ตัวอย่างเช่น 74LS138 จะไม่จำโดย STBC เว้นแต่ว่าคำอธิบาย logic 74LS138 ถูกเขียนลงในไฟล์ AMAZE.CTL อย่างไรก็ตาม คำอธิบาย 74138 ถูกเพิ่มในไฟล์ AMAZE.CTL ที่ถูกจัดขึ้นและจะถูกจำโดยไม่ต้องแก้ไขไฟล์ AMAZE.CTL

มีข้อมูล 4 ชนิด ใน AMAZE.CTL ซึ่งถูกใช้บรรยายหน้าที่ขององค์ประกอบและ pin

1. ส่วนประกอบ 3 สถานะ
2. ส่วนประกอบรีจีสเตอร์
3. Logic Boolean ซึ่งเป็นตัวรวมแท้ไม่เกี่ยวกับองค์ประกอบข้างต้น (i.e., AND,OR) หรือทั่ว ๆ ไป องค์ประกอบใด (ตัวถอดรหัส, ตัวมัลติเพลกซ์) ซึ่งสามารถใช้สมการ Boolean เขียนได้
4. หน้าที่ของ pin กำหนด (input,output และ three-state)

ข้อมูลข้างต้นขึ้นอยู่กับความเหมาะสมของ heading/title

@Combinatorial Logic

(ไฟล์สำหรับ gates และตัวถอดรหัสง่าย ๆ)

ไฟล์นี้จะถูกเปิดและจัดลำดับ (การจัดระยะระหว่าง labels, arguments, delimiters, (อักขระคั่น) ชื่อไม่ถูกจำกัด) อย่างไรก็ตาม ช่องว่างระหว่างอักขระของ labels หรือชื่อไม่สิ่งงาน เช่น "INO"ไม่เหมือน "I N O" แต่ "INO =i1*/12;" เหมือนกับ "INO=11 * /12;"

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

heading/titles จะถูกระบุไว้ชัดเจน (เช่น @Combinatorial Logic)เครื่องจะไม่รับที่ว่างหรือการสะกดตัวอื่นที่ต่างจากนี้ อย่างไรก็ตามข้อมูลที่สัมพันธ์กันมานั้นอาจเปลี่ยนแปลง ข้อมูลในบรรทัดที่ใส่หัวเรื่องจะไม่สั่งงาน

3.13 ตัวนำหน้าไฟล์ AMEZE,CTL

@Attribute

@Combinatorial Logic

@Registers

@Tri States

3.13.1 @Attributes

Format:

pin function ; attribute number, attribute number,...;

เครื่องหมาย commar (,) คือ อักขระแบ่ง attribute number (คุณสมบัติตัวแปรของเลข) และ semicolon (;) เป็นอักขระแบ่ง (separator) *Pin function* และ *Pin function* สามารถทำงานได้ 1 ใน 3 คือ INPUTS, OUTPUTS หรือ BIDIRECTIONS สำหรับตัวเลขที่มีคุณสมบัติเหมาะสม คือตัวเลขของ Future Net pin

การอธิบาย:

ในบทนี้จะกล่าวถึง คุณสมบัติตัวแปรที่ใช้ใน schematics/designs ซึ่งจัดขอบข่ายหน้าที่ส่วนประกอบของ pin (เช่น 7400 input และ output pins)ในการประมวลผล ดังการกำหนดคุณสมบัติตัวแปร แบ่งได้ 3 วิธี

i. Inputs (อยู่ในหมวดคำสั่ง "INPUTS :")

ii. Outputs (อยู่ในหมวดคำสั่ง "OUTPUTS :")

iii. Bidirectionals (อยู่ในหมวดคำสั่ง "BIDIRECTIONS :")

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตัวอย่าง:

```
@ATTRIBUTE        "The info. on this line is ignored"
    INPUTS    :     23, 24 ;
   OUTPUTS    :     21, 25 ;
BIDIRECTIONS  :     22, 26 ;
```

เมื่อกำลังสร้างข้อมูลโดย FutureNet* ผู้ใช้ต้องกำหนดค่าส่วนประกอบและ input /output labels สัญญาณที่แน่นอน

The attribute for the element name (i.e., 7404 หรือ 741s14 ต้องเป็น 3)

The attribute for the signals must be 5.(ต้องกำหนดสัญญาณต้องเป็น 5)

The attribute for the PLD pin labels in the schematic must also be 5)

(ต้องกำหนด PLD pin labels ในการประมวลผลต้องเป็น 5 ด้วย)

*FutureNet มี Data I/O-FutureNet DASH-II, III, หรือ โปรแกรมสำเร็จรูป จัดประมวลผล IV

3.13.2 @Combinational Logic

Format:

type name : output pin name = Boolean equation :

commar (,) คือ อักขระแบ่ง output pin name และ เครื่องหมาย (;) แทนอักขระแบ่ง type name เครื่องหมาย (/) หน้า pin label ที่แสดงหน้าที่ Active Low ช่องว่างภายในเครื่องหมายและการซ้อนในหลายระดับจะสั่งงานในพื้นที่ของสมการ Boolean

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Discription:

ในส่วนนี้ (ภายใต้การใส่หัวเรื่อง @COMDINATIONAL LOGIC) ผู้ใช้จะต้องจัดขอบข่ายหน้าที่ตรรกขององค์ประกอบ ทั้งหมดที่ใช้ในการออกแบบคลังข้อมูล and/or ตรรก (logic) จะถูกจัดขอบเขตไว้ใน Boolean ใช้กฎเดียวกับบทก่อน (ตำแหน่งเข้าสมการ Boolean)โดยทั่วไปองค์ประกอบจะมีฟังก์ชั่น Boolean ระหว่าง Input และ Output จะถูกจัดขอบข่ายไว้ในส่วนนี้สมการจะเขียนในขอบเขตของส่วนประกอบ pin labels

ตัวอย่าง:

```
@COMBINATIONAL LOGIC
7400 : 3 = /(1*2) ,
       6 = /(5* 4) ,
      11 = /(12 * 13) ,
       8 = /(9*10) ;
74LS55 : 8 = /((1*2*3*4) + (10 *11*12*13)) ;
```

หมายเหตุ: ถ้า 74LS00 ใช้ในการประมวลผล จากนั้นการอธิบาย logic สำหรับ gate74LS00 จะถูกรวมที่ไฟล์ AMAZE.CTL การใช้ text editor (PC-WRITE) จะช่วยแก้ไขหรือลอกคำอธิบายตรรก 7400 (หรือเปลี่ยนชื่อ "7400"ไป "74LS00" ง่ายขึ้น ในกรณีนี้ "7400" จะหยุดจำโดย STBC ในไฟล์ .CTL)

3.13.3 @Registers

Format:

type name : pin function designator = pin label (or pin number) :

การทำงานที่ใช้เวลาน้อยที่สุดหรือการปัดแคร่ (carriage return) คือ pin function designator separator สำหรับ register ตัวเดียวกัน Colon (:) หมายถึงอักขระแบ่งนิยาม registers และ Semi-colon (;) หมายถึงอักขระแบ่ง type name และ Slash (/)อยู่หน้า pin label แสดงฟังก์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ชั่น Active Low

Description:

รีจีสเตอร์ใส่หัวเรื่อง @REGISTERS ซึ่งผู้ใช้จัดขอบเขตส่วนประกอบชื่อ pin labels และฟังก์ชั่นติดต่อกับ pin ฟังก์ชั่นข้างล่างจะสนับสนุนส่วนนี้

- o Clock (ออกแบบโดย "C")
- o Asynchronous Preset (สร้างแบบโดย "AP")
- o Asynchronous Reset (สร้างแบบโดย "AR")
- o Input (สร้างแบบโดย "J", "K", "R", "S", "T", or "D")
- o Output (สร้างแบบโดยใช้ทั้ง "Q"เพื่อ true output,หรือ "N" สำหรับ output ที่สมบูรณ์)
- o Synchronous Load (สร้างแบบโดย "L")
- o Flip-flop Control (สร้างแบบโดย "F")

ตัวอย่าง:

```
@REGISTERS
   7474   : C= 3  D= 2  AR =  1  Q=5 N=6  AP= 4
            C=11  D=12  AR = 13  Q=9 n=8  AP=10 ;
   74107  : C= /12  J=1  AR=/13
             Q=   3  N=2   K=  4
           AR= /10  Q=5   n = 6 ;
```

3.13.4 @Tri States

Format:

type name : pin function designator = pin label (or pin number) ;

commar (,) คือลักษระแบ่งนิยามส่วนประกอบ three-state และ semi colon (;)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

คืออักขระแบ่ง type name slash (/) หน้า pin label แสดงถึงฟังก์ชั่น Active Low ตัวอย่างเช่น นิยาม Three-state คือ octal buffers, trans -ceivers,และquad buffer 74125

Description:

ส่วนประกอบ Three-stateable อยู่ภายใต้ @Tri States การใส่หัวเรื่องและ pin labels ของส่วนประกอบ ต้องจัดขอบข่ายตัวที่เขียนไว้ในการประมวลผล ฟังก์ชั่น 3 types เชื่อมกันทุก pin

- o Input (สร้างโดย "I")
- o Output (สร้างโดย "O")
- o Control Line (สร้างโดย "C")

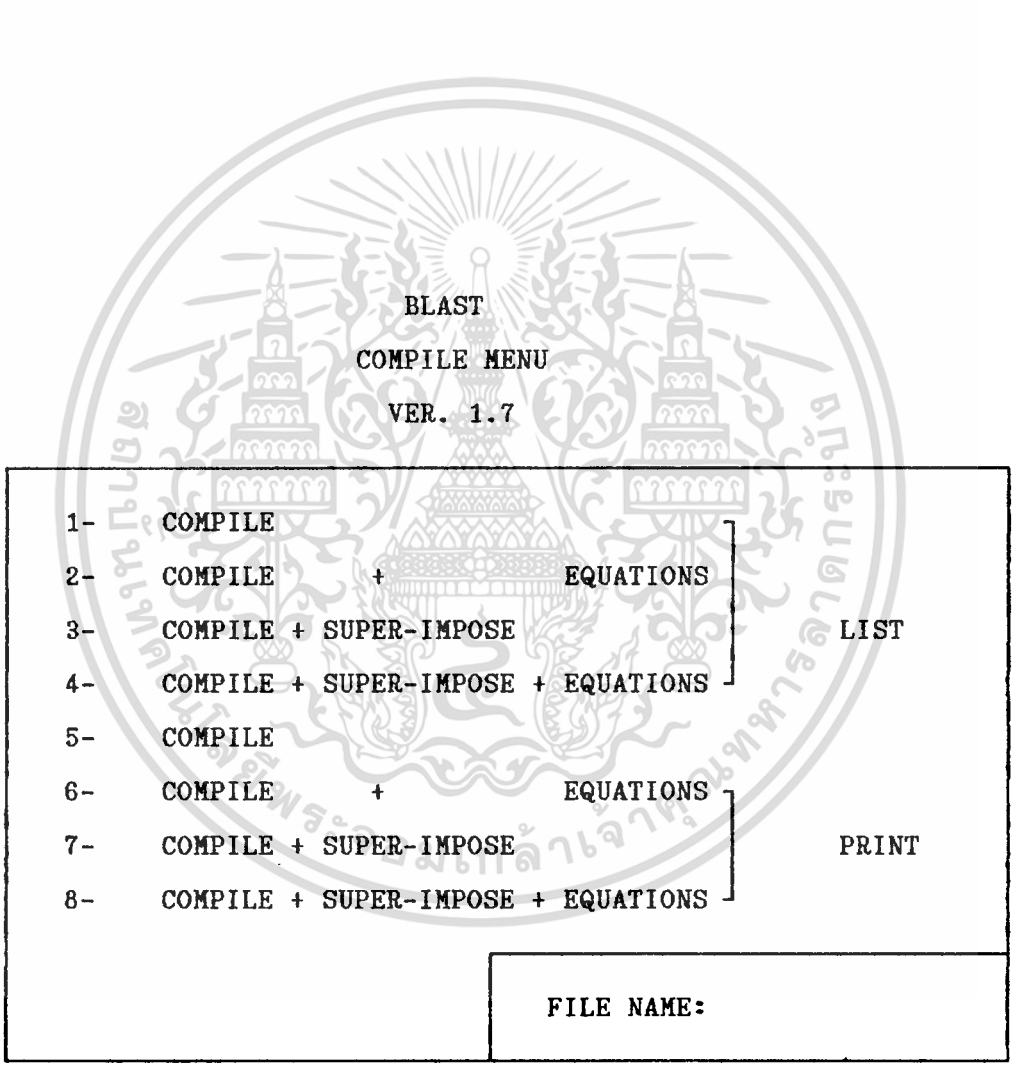
ตัวอย่าง:

```
@Tri States   "Information on this line is ignored "

 74240 : C = /19    I = 17     O =  /3 ,
         C = /19    I = 15     O =  /5 , "ใส่ (,) comma เพื่อแบ่ง
         C = /19    I = 13     O =  /7 , ส่วนต่าง ภายใน
         C = /19    I = 11     O =  /9 , (BUFFERS)
         C = /1     I =  2     O = /18 , ใส่ (;) ปิดท้ายข้อความ"
         C = /1     I =  4     O = /16 ,
         C = /1     I =  6     O = /14 ,
         C = /1     I =  8     O = /12 ,

 74241 : C =  19    I = 17     O =  3 ,
         C =  19    I = 15     O =  5 ,
         C =  19    I = 13     O =  7 ,
         C =  19    I = 11     O =  9 ,
         C =  /1    I =  2     O = 18 ,
         C =  /1    I =  4     O = 16 ,
         c =  /1    I =  6     O = 14 ,
         C =  /1    I =  8     O = 12 ,
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.14 Compile (คอมไพล์)

ข้อมูลที่ออกแบบจะสร้าง PLD Fuse Map ขึ้นใหม่โดยเลือก Option 6(ทางเลือก 6) ใน BLAST main menu (เมนูหลัก) เมนู COMPILE จะแสดง (รูปที่ 3-22) เกี่ยวกับ Compile Option สองหน่วยหลักคือ สมการ Sum of Products (ผลิตภัณฑ์รวม) และ Superimposition เมื่อกำลัง compile ถ้าความผิดพลาดที่ถูกตรวจพบจะชี้ไปเฉพาะคอลัมภ์ เครื่องหมายนี้จะแสดงว่าพบความผิดพลาดที่ใดหรือจะแสดง error ทางซ้ายของตำแหน่งเครื่องหมาย



รูป 3-22 Compile Menu

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เมื่อไฟล์สมการ State กำลังคอมไพล์ ข้อมูลจะแสดงสถานะเครื่อง (ไฟล์ .BEE,.STD ทั้งหมดซึ่งระบุในรายการกำหนดข้อมูลอุปกรณ์โดยละเอียด (Device Specification field) ของไฟล์ .BEE) และไฟล์ .SEE ต้องอยู่ในสารบัญแฟ้มข้อมูลออกแบบ (design file directory)

3.14.1 Sum of Products

รายการหรือข้อมูลที่พิมพ์ออกมาของ version ที่ถูกขยายสมการ Boolean คือแบบ Sum Of Products อาจจะร้องขอระหว่างกำลังคอมไพล์ทางเลือกนี้จะผ่านการตรวจสอบสมการเพื่อให้อยู่ในระดับต่ำสุดเท่าที่เป็นไปได้ใส่ BLAST จะเพิกเฉยต่อส่วนเกินตรรกโดยอัตโนมัติ และไม่มี routine ที่ถูกทำให้อยู่ระดับต่ำสุดตรรกทำงานระหว่าง COMPILE

3.14.1.1 Sum Of Products สำหรับ PML กับ Bracket Notation

อุปกรณ์ PML (เช่น PLHS501) เครื่องหมายวงเล็บซึ่งกำหนดทางที่กำลังแสดงทางต่าง ๆ ของการจัดรูปแบบผลรวมของ sum of products สำหรับสมการเอาต์พุตเฉพาะ กล่าวถึงส่วนที่ 3.15 ข้อมูลบน PML Bracket Notation โดยเฉพาะสมการภายในวงเล็บจะทำงานและคิดเหมือนสมการแบ่งไว้ต่างหาก AMAZE อาจขยายในวงเล็บอย่างไรก็ตามขอบเขต product term แต่ละตัวในวงเล็บไม่รวมกับ product term ใดภายนอกวงเล็บแม้ว่าจะเป็นขอบเขต product term ที่เหมือนกันก็ตาม ทั้งในและนอกวงเล็บ มันก็ยังแยกกันอยู่ในทั้ง 2 ที่ แม้ว่าอยู่ภายหลังการรวบรวมใน BLAZE แล้วก็ตาม ซึ่งสามารถดูจากภาพ 3-23 และ 3-24 ใส่ 1 รายการข้อมูลในทั้งสอง ตัวเลขแสดง product term เหมือนกันทั้งภายในและภายนอกของวงเล็บ ข้อมูล 2 และ 3 คือ ด้านซ้ายและขวาวงเล็บตามลำดับ

```
@DEVICE TYPE
PLHS501
@DRAWING
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
@REVISION
@DATE
@SYMBOL
@COMPANY
@NAME
@DESCRIPTION
@COMMON PRODUCT TERM
@INTERNAL NODE
@I/O DIRECTION
@I/O STEERING
@LOGIC EQUATION

                1                                   3
_____________________________________________________

X=(a*b)+[b*c*d+a*e*(f+g+b*h)+(a+b*g*h+e)*(b+c*d+a*e)]
  +(a+c+f+e)*(f+g*h+b)+a*b+c*g;

  2

Displaying Equation in SUM of PRODUCTS form....

                1
_____________________________________________________
```

รูป 3-23 แสดงการทดสอบ PML SOP

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
X= (a*b) +[(b*c*d)+(a*e*f)+(a*e*g)+(a*b*e*h)+ (a*b) +(a*c*d)+
   (b*g*h)
          2
   +(b*c*d*g*h)+(a*b*e*g*h)+(a*e)+(b*e)+c*d*e)]+a*f+a*g*h+c*f+
   c*g*h+b*c+d*e*f + d*e*g*h +b*d*e +a*b*c*g;
```

รูป 3-24 ผลที่ถูก Compile

การแสดงผลตารางฟิวซ์ (fuse) จากสมการเชิงซ้อน แสดงใน FTE ส่วนที่ 4.3.2

3.14.2 Superimpostion

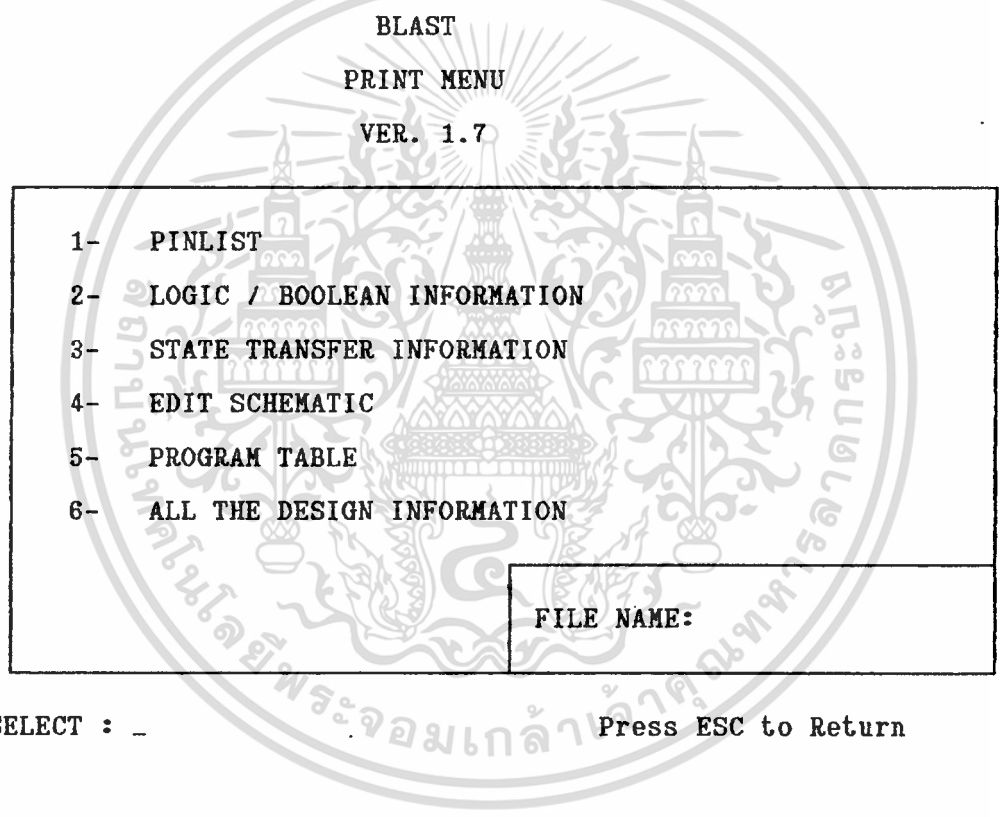
ถ้าการใช้อุปกรณ์โปรแกรม PLD ซึ่งบรรจุฟิวซ์แบบเก่าและอุปกรณ์อย่างเดียวกันต้องใช้กับการออกแบบใหม่ หรือการเปลี่ยนแปลงการออกแบบที่มีอยู่ จากนั้นส่วน Superimposition จะถูกใช้ต่อไป BLAST จะพยายามซ่อนกับการเปลี่ยนแปลงในการออกแบบใหม่ในของเดิม BLAST ลบขอบเขต product term แบบเก่าที่จะมารบกวนแบบใหม่ การออกแบบผ่านการทวนซ้ำและการใส่โปรแกรม การบวกการตรวจสอบฟังก์ชั่นใหม่ที่ PLD เบื้องต้นทีละขั้นตอน

การใช้เพียงส่วน Superimposition เมื่อการเปลี่ยนการออกแบบสมบูรณ์และยังอยู่ในไฟล์ "fn.STD" เชื่อมกับแบบในอุปกรณ์กายภาพ เป็นจริงเสมอเมื่ออุปกรณ์ถูกโปรแกรมซ้ำ เพราะการบวกเก็บทั้งหมด หรือการเปลี่ยนที่ถูกโปรแกรมลงใน PLD เป็นไปได้ที่จะใช้อยู่ อาจถูกใช้ เช่น "New Device" ข้อมูลแสดง p-terms หรือฟังก์ชั่นที่ขาดหรือขัดแย้งและ PLD ที่ไม่ถูกโปรแกรมจะถูกใช้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.15 Print

hard-copy ของงานออกแบบเลือก Option 7 (PRINT)ใน BLAST main menu (รายการหลัก) รายการ PRINT จะแสดงดังรูป 3-25 ไฟล์จะพิมพ์ทีละตัว หรือเหมือนกับโปรแกรมสำเร็จรูป เมื่อ option 6 (ALL THE DESIGN INFORMATION) เลือก การลอกข้อมูล BLAST ทั้งหมดและแบบจำลอง ไฟล์.LOG (ถ้ายังอยู่ในไฟล์ออกแบบ -ardirectory) จะถูกพิมพ์ Selection ที่ 4 Edit - Schematic เรียกไฟล์ "EDIT.SCH.BAT" ผ่านการพิมพ์ via ประมวลผลอำนาจความสะดวกใน External Schematic Capture Package เมื่อถูกใช้



รูป 3-25 Print Menu

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.16 Bracket notation สำหรับ PML Family ของอุปกรณ์

ตัวออกแบบ logic ผ่านวงเล็บไปสมการ Boolean ไป "depth" (ระดับชั้น-ลงทั่วไปของสัญญาณเรียงซับซ้อน ไปประมาณระดับสัญญาณ 73 ต่ำสุด)การทำให้ความสมดุลย์ระหว่างหน่วยความจำ กับความเร็วเหมาะสมมี 2 ทาง

1. การยืดเวลาทำให้สัญญาณระดับต่ำสุด โดยใช้อุปกรณ์ระดับ 2 สัญญาณ ของ Boolean Expression (ไม่ Sum of Products ก็ Product Of Sums)

2. การลดจำนวน product terms ที่ใช้โดยรวมระดับสัญญาณ (gate levels) ที่เหมาะสมการรวมผลรวมระดับสัญญาณ หรือการรวมทั่วไปการผลิตอาจสมบูรณ์ในจำนวน product term รวมต้องการ การนำไปใช้เฉพาะของ Boolean Expression เฉพาะจุดมุ่งหมายเฉพาะเพื่อการสังเคราะห์หลายฟังก์ชั่น

ตัวอย่างที่ 1:

นำสมการข้างล่างไปใช้ใน PLHS501:

Z = a*b*c*d + b*d*e + (a+b+c)*(d+e+f)+c*d*e*f

Let X = (a+b+c)*(d+e+f) ; requires 2 terms

Then X also is equal to:

X = a*d + a*e + a*f + b*d + b*e + b*f + c*d + c*e + c*f;
requires 9 terms

Therefore,

Z = a*b*c*d + b*d*e + x + c*d*e*f ;

การนำระดับสอง Sum of Products หนึ่งแบบอย่างของนิพจน์ แสดงผลในสิบสาม gates ที่ใช้งานอยู่ (9 gates กับ 2 input และ 2 gates กับ 4 input,1 gate กับ 3 inputs และ 1 gate กับ 12 inputs) (รูปที่ 3-26)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

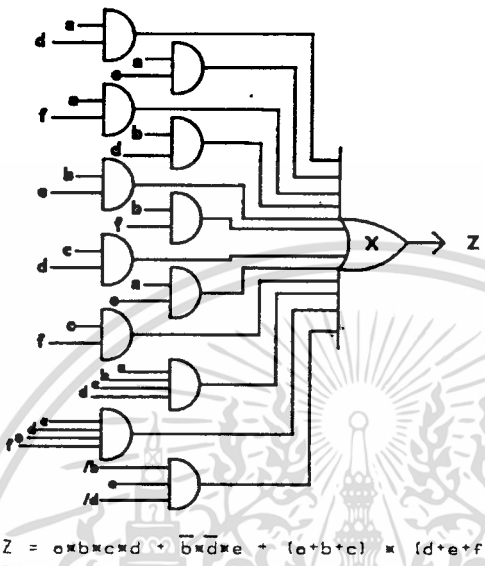
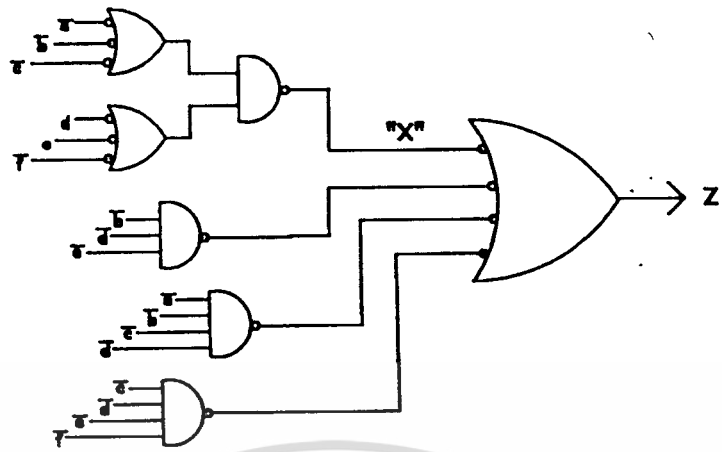


Figure 3-26 Two Level SOP Configuration

รูปที่ 3-26 รูปลักษณ์ SOP 2 ระดับ

ถ้าการนำไปใช้ครั้งแรกกับระดับเกตเพิ่มเติม (additional gate level) ผ่าน (และการหน่วงเหนี่ยว gate เพิ่มเติมสัมพันธ์) จากนั้น วงจรที่ตามมาแสดงผลในผลรวมของ 7 gate เท่านั้น ดูรูปที่ 3-27

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



$$Z = a*b*c*d + \overline{b}*\overline{d}*e + [(a+b+c)*(d+e+f)] + c*d*e*f :$$

Figure 3-27 Bracket Controlled Multilevel Configuration

รูป 3-27 รูปลักษณ์หลายระดับควบคุมวงเล็บ (Bracket)

การนำไปใช้แสดงผลใน gate ที่มี 3 input 3 ตัว, gate ที่มี 4 input 3 ตัว และสุดท้าย gate ที่มี 2 input 1 ตัว สามารถเรียก input นำมาใช้ได้ โดยเรียกผ่านการออกแบบระบบคอมพิวเตอร์อินพุตของ Signetics

สรุปแล้ว ระดับเกตเพิ่มเติมในตัวอย่าง (ซึ่งรวมการหน่วงเหนี่ยว gate หนึ่งตัว) ลดจำนวนขอบเขต product term ที่ใช้จากสิบสามเป็นเจ็ด

ทางเพิ่มเติมที่แสดงความสามารถของ bracket notation ดังตัวอย่างนี้

ตัวอย่างที่ 2:

```
z = ((a+b) * (c+d) * (e+f)) * ((g+h+i) * (j+k+l))
```

การขยาย Z ไปถึง โครงสร้างสองระดับจะเกิดผลดังนี้

(8 P-terms) X (9 P-terms) = 72 P-terms

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การใส่วงเล็บควรระมัดระวัง ซึ่งอาจขยายเพียงส่วนเดียวดังนี้

Z = [(a+b) * (c+d) * (e+f)] * [(g+h+i) * (j+k+l)]

แสดงผลในเทอมที่ 19 ใช้เมื่อขยายเต็มที่ ระวังการใช้วงเล็บผ่านตัวออกแบบเพื่อความสมดุลย์ ความฉลาดของ gate (หรือความเร็ว) กับจำนวนขอบเขต product term ที่ใช้

วงเล็บจะไม่ป้องกัน AMAZE จากการขยายสิ่งที่อยู่ในวงเล็บ แต่วงเล็บป้องกัน AMAZE จากการรวมสิ่งที่อยู่ในวงเล็บกับเทอมภายนอกวงเล็บ แม้ว่ากาควบคุมวงจรซึ่งเชื่อมติดในอุปกรณ์ และเขียนสมการเพื่อการนำ gate NAND ไปใช้ ตลอดจน ใช้วงเล็บรอบ ๆ เทอม product terms

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4. Program Table Editor

(ตารางโปรแกรมอำนวยความสะดวก)

4.1 Description

PTE คือ Editor พิเศษสำหรับ ตารางโปรแกรม PLD (PLD Program Tables) โมดูล (module) ผ่านให้ถ้าการสร้าง, เปลี่ยนแปลงหรือพิมพ์ไฟล์มาตรฐาน PLD Signetic ผ่านข้อความเพิ่มเติม (comments)ในบริเวณหัวเรื่องของตาราง แสดงบนบรรทัด HELP จัดอยู่ระหว่างการทำงานของโมดูล

ระหว่างส่วนการแก้ไขตารางโปรแกรม ข้อมูลนำเข้าถูกตรวจสอบเพื่อความแน่นอน และตัว cursor จะไม่เคลื่อนที่ไปยังตำแหน่งถัดไปถ้ายังผิดอยู่ เอาต์พุตของ PTE คือไฟล์ (.STD) มาตรฐาน PLD ซึ่งสามารถใช้โดยโมดูล AMAZE ตัวอื่นก็ได้

PTE สนับสนุนฟังก์ชั่นแก้ไขข้างล่าง

- o [] [] [] [] : เคลื่อน cursor
- o RETURN : เคลื่อน cursor ไปจุดเริ่มต้นบรรทัดต่อไป
- o TAB : เคลื่อน cursor ไป field function ถัดไป
- o SHIFT TAB : เคลื่อน cursor ขึ้นไป 1 field function
- o PgUP : เคลื่อน cursor ขึ้นไป 1 หน้าตาราง ถ้ามี
- o PgDn : เคลื่อน cursor ไปหน้าถัดไปของตาราง ถ้ามี
- o Home : เคลื่อน cursor ไปหน้าที่หนึ่งของตาราง
- o End : เคลื่อนไปหน้าสุดท้ายของตาราง
- o Ctrl + A : ยกเลิกการแก้ไขส่วนที่ยังไม่เก็บข้อมูล
- o Ctrl + B : ที่ว่างแสดงบรรทัดของตารางโดยเปลี่ยน fuses ทั้งหมด เป็นสถานะ 0 หรือ A คำสั่งนี้จะเปลี่ยน fuses เป็น สถานะ BLOWN (PLD ที่ยังไม่ได้นำไปใช้) สำหรับส่วนที่มีความเร็วสูง (PLHS)
- o Ctrl + D : เปลี่ยน fuses ในบรรทัดที่แสดง - or . state หมายถึง UNBLOWN สำหรับส่วนที่มีความเร็วสูง (PLHS) และ BLOWN สำหรับส่วนอื่น ๆ (PLS หรือ PLC)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- o Ctrl + E : เก็บข้อมูลที่แสดงและออกจากส่วนที่กำลังแก้ไข
- o Ctrl + P : พิมพ์ตารางโปรแกรม (เพื่อให้แน่ใจว่าเครื่องพิมพ์นั้น On-line)
- o Ctrl + O : ลบส่วน OR ของ product terms ซึ่งสามารถปรับปรุงการทำงานด้วยความเร็วของ PLD's บางตัว ดูแผ่นข้อมูล
- o Ctrl + R : การแสดงจอภาพใหม่หรือซ้ำอีกครั้ง ถ้าระบบข่าวสารปรากฏขึ้นบนจอ
- o Ctrl + S : เก็บแฟ้มข้อมูล
- o Ctrl + T : กลับไป COMMENT ของไฟล์
- o ESC : ออกจาก PTE และ prompts ไม่ว่ากรณีใดก็ตามจะ save การเปลี่ยนแปลงแก้ไข(ทำสำเนาโดย CTRL+A และ CTRL+E)

PTE จะไม่ แสดง product terms ซึ่งอยู่ในสถานะแสดงค่าโดยปริยาย (-) สำหรับ product ความเร็วสูง (PLHS473) ยังไม่นำไปใช้งานสถานะ (0) สำหรับ product อื่น ๆ (PLS153,PLC473,หรือ PLS105)

4.2 การใช้ PTE

เมื่อ PTE ถูกเรียก จะขอชื่อไฟล์ที่จะแก้ไข PTE จะค้น "fn. STD" ซึ่ง fn คือตัวจัดชื่อไฟล์ในการออกแบบสารบัญชื่อแฟ้มข้อมูล เช่น ไม่มีไฟล์อยู่ PTE จะร้องขอเมื่อไฟล์ใหม่ถูกสร้างขึ้น สำหรับการออกแบบรายการใหม่ของอุปกรณ์ที่ใช้ได้ ถูกแสดงและขอให้เลือกอุปกรณ์ที่ต้องการสำหรับการออกแบบใหม่ ดังแสดงข้างล่างนี้

```
Cust/project -
Date         -
Rev/I. D.    -
Comments:
```

ตัว cursor จัดตำแหน่งที่บนสุดจอใช้วิธีกระโดดผ่านไฟล์โดยกดคีย์ RETURN ใส่คีย์ RUTURN แสดงข้อมูลเดิม รายการของคำสั่งการแก้ไขที่เรียกออกมาแสดงโดยกดคีย์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

(*) เครื่องหมายดอกจันทน์การออกจาก mode กด ESE หรือเลื่อน cursor ไป บรรทัดสุดท้ายของไฟล์หมายเหตุ (บรรทัดเหนือ bar) และกด RETURN จอจะแสดงข้าและ prompt จะปรากฏใต้ header/comment section : Continue to Program Table? (Y:edit table; N:edit header; Esc:exit) [Y] สำหรับการออกแบบการออกโปรแกรมจะเคลื่อนไปจุดนี้กับข้อมูลที่ใส่ไว้แสดงเหนือฟิล

การตอบรับหรือ (RETURN ขณะแสดงในวงเล็บบน) จะเรียกส่วนการแก้ไขตารางโปรแกรมกด [N] จะวาง cursor ที่ส่วนบนของจอที่ปรากฏอยู่ไปแก้ไข (re-edit) header/comment section อีกครั้งถ้าจุดใดระหว่างการแก้ไขตารางโปรแกรมหนึ่งจะกลับไปที่จุดนั้น กด [Ctrl] และ [T] คีย์ทั้งคู่ระหว่าง PTE การใส่หัวเรื่องตารางโปรแกรมและค่าสูงสุดของ product terms 16 and "CLOCK" (H) ถูกเลือก PTE จะยอมผ่านไปทำการเปลี่ยนคอลัมน์ Input/CLOCK ความผิดพลาดของการจัดขอบเขตคอลัมน์ I6 ขณะ don't cares จะแสดงผลในข้อมูลที่ผิดบางครั้งคอลัมน์ I6 จะจัดขอบเขต PTE จะปฏิเสธการเปลี่ยนแปลงไม่ว่าส่วน Clockจะจัดขอบเขตเหมือน L คอลัมน์ Input/Clock ของ product terms ทั้งหมดจะเปลี่ยนไปเป็นสถานะที่เหมาะสมโดยอัตโนมัติขณะที่ฟิวซ์ Input/Colck เปลี่ยนแปลง

PTE editorไม่สามารถแก้ไข PLE's (PROM's) editors อื่น ๆ อาจแก้ไขไฟล์มาตราฐานของ PLE's แม้ว่าทางเข้าสมการ Boolean ของข้อมูลใหม่ผ่าน BLAST ที่ยอมรับเนื้อที่ฟิวซ์ (Fusemaps)สำหรับ PLS155-159 หรือ PLS 179 แปลย่อยในแบบทั่วไปทั้งหมด (เช่น J-K FFs, next state syntax: H, in PTE) เมื่อเรียกออกมาผ่าน DPI.อาจแสดงผลโดยความสับสนของผู้ใช้เมื่ออธิบายเริ่มต้นเช่น D-FFs (next state syntax: A,in PTE) ผลจะถูกต้องและแน่นอนโดยไม่คำนึงถึงกฎแรกเริ่มในคำอื่น "H" มีหน้าที่เหมือน "A" และ "-" ทำหน้าที่เหมือน "."

4.3 Fuse Table Editor

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.3.1 description

FTE เป็นสับเซตของ PTE และ editor พิเศษสำหรับ PLHS501 จะเรียกโดยอัตโนมัติเมื่อ PTE เรียกโปรแกรมการออกแบบ PLHS501โมดูลนี้ออกแบบสร้างตารางใหม่หรือขยายตารางที่มีอยู่แล้ว คำสั่งเข้าโดยเลือกจากเมนู Pull-Down

ระหว่าง FTE ข้อมูลถูกตรวจสอบหาความถูกต้องและความผิดพลาดข้อมูลที่ขาดมิได้ใส่เอาต์พุตของ FTE คือไฟล์ (.STD) มาตรฐาน FTE สามารถใช้งานโดยโมดูล AMAZE อื่น ๆ ได้

เป็นที่ยอมรับว่าผู้ใช้เพื่อแต่ใช้ FTE สำหรับการตรวจทางการออกแบบ เพราะ 72 NAND gate "Fold Back" แถวลำดับ ไม่สามารถอธิบายแจ่มชัดในหนึ่งการจัดรูปแบบตารางโปรแกรมและไม่ง่ายสำหรับ PLDs อื่น ๆ ผลการเปลี่ยนแปลงนั้นเสี่ยงมากต่อระบบการออกแบบไม่ว่าผู้ใช้เป็นผู้ชำนาญในเรื่อง FTE ก็ตาม

[4][5][6][7]	:	เลื่อน cursor แสดงการเลื่อนจอภาพ
RETURN	:	เลื่อน cursor ไปอักษรตัวแรกบรรทัดถัดไป
PgUP	:	เลื่อนขึ้นหนึ่งหน้าหรือไปไฟล์บนสุด
PgDN	:	เลื่อนลงหนึ่งหน้า
HOME	:	เลื่อนไปบรรทัดแรก
END	:	เลื่อนไปบรรทัดสุดท้าย
*or F10	:	เลื่อน cursor ที่เมนูหลัก PULL-DOWN
<ESCAPE	:	ออกทีละระดับของ PULL-DOWN

ตาราง 4-1 ควบคุม Cursor FTE

4.3.2 การใช้ FTE

เป็นที่รู้กันว่าผู้ใช้เพียงใช้ FTE สำหรับตรวจทางการออกแบบไม่ใช้เพื่อการเปลี่ยนแปลง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

PML EXAMPLE จากส่วน 3.2.6.1.1 กล่าวถึง การเริ่มต้นเนื้อที่ฟิวชหน้าถัดไป

FTE นำเข้าโดยเรียกโปรแกรม PTE และเลือกชื่อใหม่หรือชื่อที่มีอยู่เดิมของการออกแบบ PLHS501 เมื่อ FTE ถูกเรียกออกมา ผู้ใช้จะถูกถามชื่อไฟล์ที่ต้องการแก้ไข ถ้าไม่มีไฟล์อยู่ FTE จะถามเมื่อสร้างไฟล์ใหม่ ถ้าตอบ "Y" ไฟล์ PLHS501 จะถูกสร้างใหม่ ถ้าไฟล์มีอยู่แล้ว เครื่องจะอ่านและตรวจสอบดังนี้

1. ชื่ออุปกรณ์ถูกต้อง
2. ข้อมูลถูกต้องในแต่ละบรรทัดของไฟล์

ข้อมูลที่ผิดนั้นจะถูกแสดง ถ้าถูกค้นพบ กด [ESC] หลังจากอ่านข้อความและก่อนที่ไฟล์จะปรากฏ ข้อมูลจะถูกตรวจสอบแนะนำเข้าและถ้านำเข้าข้อมูลผิดตำแหน่งเครื่องจะไม่ทำงาน ข้อมูลอาจไม่ถูกรวมผ่านไปบรรทัดสุดท้ายจอภาพจะเลื่อนขณะมีบรรทัดใหม่ที่ต้องการ ตลอดเวลาบรรทัดและคอลัมน์ตำแหน่ง cursor จะแสดงในวินโดว์ (window) ในมุมบนขวาของจอ FTE บรรทัดบนสุดของวินโดว์จะเป็น labels สำหรับแถวและคอลัมน์

File

- Save file - Save ไฟล์
- Quit - ออกจาก FTE และไม่แก้ไข
- Print - คัดลอก fusemap ไป Filename.LST
- Copy - คัดลอก หนึ่งไฟล์ไปชื่อไฟล์ต่าง ๆ หรือ disk drive

Search

- Find - Find a pattern
- Next - redo previous Find
  - Top of file - เลื่อน cursor ไปบนสุดไฟล์
  - End of file - เลื่อน cursor ไปบรรทัดสุดท้ายไฟล์
  - Line - เลื่อน cursor ไปบรรทัดเฉพาะ
  - Column - เลื่อน cursor ไปคอลัมน์เฉพาะ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Window

Select	- เคลื่อนไปเลือกวินโดว์อื่น
Open	- เปิดวินโดว์ที่สอง
Close	- ปิดวินโดว์ที่ cursor อยู่

ตาราง 4-2 FTE หลักและฟังก์ชั่นการแก้ไขเมนูย่อย

คำสั่งการแก้ไข จัดขอบเขตแสดงในตาราง 4-2 อาจเรียกโปรแกรมใน FTE ได้สองทาง ทางแรก วิธีที่ยาวกว่า เริ่มโดยกด <F10> หรือ "*" ทั้งนี้เนื่องจากบรรทัดเมนูแสดงไว้บนสุดการพิมพ์อักษรตัวแรกของทางเข้า หรือการเลื่อน cursor โดยใช้คีย์ลูกศร (ด้านขวาของแป้นพิมพ์) ครอบคลุมตำแหน่งเข้า และกด <RETURN> เมนูย่อยจะปรากฏ สิ่งฟังก์ชั่นโดยกดอักษรตัวแรกของตำแหน่งที่จะเข้าหรือเลื่อน cursor โดยใช้คีย์ลูกศร และกด <RETURN> ออกจากเมนูหลักหรือเมนูย่อย โดยกด <ESC>

วิธีที่สอง จะต้องทำขนาดที่ cursor อยู่ในพื้นที่กำลังแก้ไข โดยพิมพ์ตามลำดับตัวอักษรควบคุมสัมพันธ์กับฟังก์ชั่นที่ต้องการ ดังแสดงในตาราง 4-3 การใช้ลำดับตัวอักษาควบคุมจะไม่ทำงานถ้า cursor อยู่ในเมนู เพียงแต่ลำดับอักษรควบคุม จะถูกจัดรายการไว้ข้าง FTE จะสอดคล้องกับการเลือกเมนูย่อย

File

Save file	- ctrl-k ctrl-s
Quit	- ctrl-k ctrl-x
Print	- ctrl-k ctrl-w
Copy	- ctrl-k ctrl-c

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Search

Find	- ctrl-q ctrl-f
Next	- ctrl-l

Go-to

Top of file	- ctrl-q ctrl-r
End of file	- ctrl-q ctrl-c
Line	- ctrl-o ctrl-n
Column	- ctrl-o ctrl-i

Window

Select	- ctrl-o ctrl-g
Open	- ctrl-o ctrl-o
Close	- ctrl-o ctrl-y

ตาราง 4-3 ลำดับตัวอักษรควบคุมฟังก์ชั่นการแก้ไข FTE

ออกจาก FTE โดยเลือก คำสั่ง QUIT หรือ SAVE จากเมนู FILE ถ้าไฟล์เปลี่ยนคำสั่ง QUIT ผู้ใช้จะถูกกระตุ้น ให้ SAVE ไฟล์ การออกอาจเกิดขึ้นโดยการ save ไฟล์เก่าหรือไม่ก็ได้ การออกด้วยการ SAVE ไฟล์ "OLD" จะยังอยู่ที่ fn.BAK

Note: *Modification of a design with FTE which was previously created with BLAST, will NOT cause modifications to the original BLAST equations.*

4.3.3 FTE Default Labels

Labels สำหรับแถวและคอลัมน์ในไฟล์ EDITLAB.MSG Labels นี้มีความสึกสูงสุดสิบตัวอักษร บรรทัดสำหรับ "lable" อาจเปลี่ยนแปลง (ด้วยความลึกสูงสุดสิบ) จำนวนบรรทัดรวมในสามฟิล NOT อาจถูกเปลี่ยนบรรทัด "start field" และ "end field" เริ่มด้วย "0" อาจไม่เปลี่ยนแปลง ตารางฟิวชพิมพ์ลงบนหน้าถัดไปแปดหน้า "FUSEMAP" คือผลของตัวอย่าง SOP ในส่วน 3.2.6.1.1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

----------/B0 Pin 37

.....

----------/B1 Pin 38

.....

----------/B2 Pin 39

.....

----------/B3 Pin 40

.....

---------- B4 Pin 15

.....

---------- DB4

.....

---------- B5 Pin 16

.....

---------- DB5

.....

---------- B6 Pin 17

.....

---------- DB6

.....

---------- B7 Pin 18

.....

---------- DB7

.....

---------- X0A Pin 28

.....

---------- X0B Pin 28

.....

---------- X1A Pin 29

.....

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

---------- X1B Pin 29

.....

---------- XE0

.....

---------- X2A Pin 30

.....

---------- X2B Pin 30

.....

---------- X3A Pin 31

.....

---------- X3B Pin 31

.....

---------- XE1

.....

---------- X4A Pin 32

.....

---------- X4B Pin 32

.....

---------- X5A Pin 33

.....

---------- X5B Pin 33

.....

---------- XE2

.....

---------- X6A Pin 35

.....

---------- X6B Pin 35

.....

---------- X7A Pin 36

.....

---------- X7B Pin 36

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
.....
---------- XE3
.....
---------- O0 Pin 13
.....
---------- O0 Pin 21
.....
---------- OE0
.....
---------- O2 Pin 22
.....
---------- O3 Pin 23
.....
---------- OE1
.....
---------- /O4 Pin 24
.....
---------- /O5 Pin 25
.....
---------- /OE2
.....
---------- /O6 Pin 26
.....
---------- /O7 Pin 27
.....
---------- P0
.....
---------- P1
.....A....
---------- P2
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

.....AAAAAA.....A

H-----H------------------ P3

.....

------H--------HH-------- P4

.....

H-H---------------------- P5

.....

--H------------HH-------- P6

.....

--HH--------------------- P7

.....

HHH---------------------- P8

.....

-HH------------HH-------- P9

.....

-HH-H-------------------- P10

.....

-H-HHH------------------- P11

.....

--HHH-------------------- P12

.....

HH---H------------------- P13

.....

-H---H--------------H---- P14

.....

-H--HH-------------H----- P15

.....

--HH-H------------------- P16

.....

----H--------------HH---- P17

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

.....

--HHH----------HH---- P18

.....

-H--HH----------HH---- P19

.....

-H----H---------- P20

.....

-H--H---------- P21

.....

-HHH---------- P22

.....

---------- P23

.....

---------- P24

.....

---------- P25

.....

---------- P26

.....

---------- P27

.....

---------- P28

.....

---------- P29

.....

---------- P30

.....

---------- P31

.....

---------- P32

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

.....

---------- P33

.....

---------- P34

.....

---------- P35

.....

---------- P36

.....

---------- P37

.....

---------- P38

.....

---------- P39

.....

---------- P40

.....

---------- P41

.....

---------- P42

.....

---------- P43

.....

---------- P44

.....

---------- P45

.....

---------- P46

.....

---------- P47

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

.....

---------- P48

.....

---------- P49

.....

---------- P50

.....

---------- P51

.....

---------- P52

.....

---------- P53

.....

---------- P54

.....

---------- P55

.....

---------- P56

.....

---------- P57

.....

---------- P58

.....

---------- P59

.....

---------- P60

.....

---------- P61

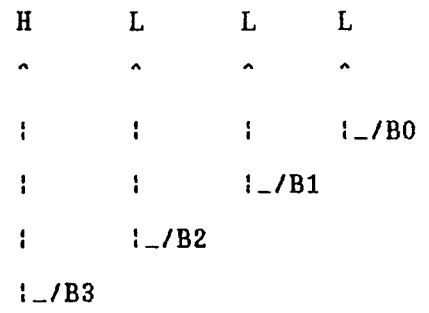
.....

---------- P62

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
.....................................................
------------------------- P63
.....................................................
------------------------- P64
.....................................................
------------------------- P65
.....................................................
------------------------- P66
.....................................................
------------------------- P67
.....................................................
------------------------- P68
.....................................................
------------------------- P69
.....................................................
------------------------- P70
.....................................................
------------------------ P71
.....................................................


HLLL     /B ENABLE

COMMENT:
The  last  line  above indicates that the PLHS501 output
steering fuses are to be programmed as (Pins 37-40):
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

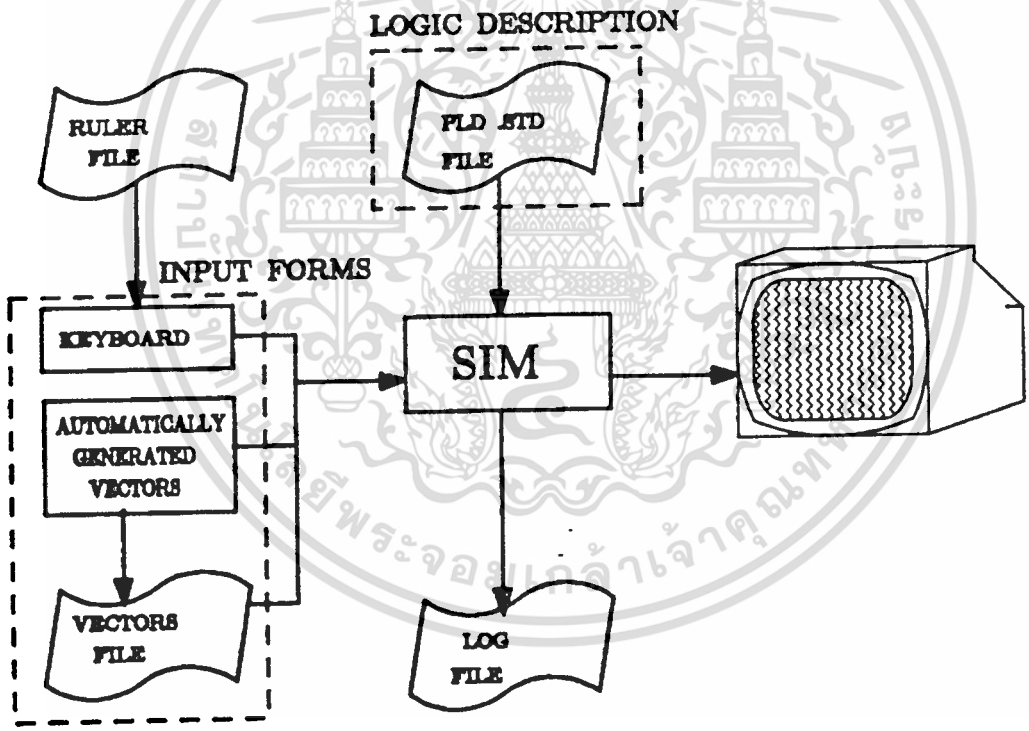
5. PLD Functional Simulator (SIM)

(ระบบจำลองแบบแสดงหน้าที่ PLD)

5.1 Description

(SIM)ระบบจำลองแบบหน้าที่ PLD เป็นระบบออกแบบเพื่ออุปกรณ์ PLD ซึ่งจะแสดงปฏิกิริยาตอบกลับของอุปกรณ์ที่โปรแกรมแล้ว ไปที่เซตของเว็คเตอร์ (vector) อินพุต รูปที่ 5-1 แสดงโครงสร้างของระบบจำลองแบบ

อธิบายตรรก PLD สำหรับระบบจำลองแบบสามารถสร้างขึ้นใหม่โดยผ่านโมดูลซอฟต์แวร์ AMAZE ทั่วไป รูปได้บรรยายในรูปแบบของไฟล์ fn.STD



รูป 5-1 ภาพของ SIM

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5. PLD Functional Simulator (SIM)

(ระบบจำลองแบบแสดงหน้าที่ PLD)

5.1 Description

(SIM)ระบบจำลองแบบหน้าที่ PLD เป็นระบบออกแบบเพื่ออุปกรณ์ PLD ซึ่งจะแสดงปฏิกิริยาตอบกลับของอุปกรณ์ที่โปรแกรมแล้ว ไปที่เซตของเว็คเตอร์ (vector) อินพุต รูปที่ 5-1 แสดงโครงสร้างของระบบจำลองแบบ

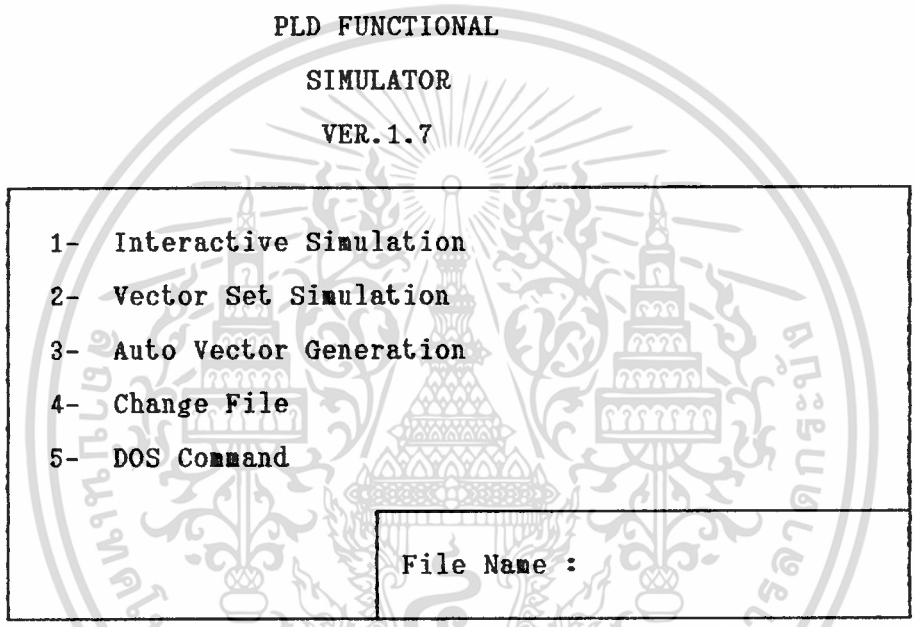
อธิบายตรรก PLD สำหรับระบบจำลองแบบสามารถสร้างขึ้นใหม่โดยผ่านโมดูลซอฟต์แวร์ AMAZE ทั่วไป รูปได้บรรยายในรูปแบบของไฟล์ fn.STD

รูป 5-1 ภาพของ SIM

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

SIM เริ่มต้นดังเมนูที่แสดงในรูป 5-2 SIM สั่งงานทางเข้าเว็คเตอร์อินพุตสาม mode สำหรับ การจำลองแบบอุปกรณ์ PLD

การจำลองแบบเชิงโต้ตอบ คือการทำงานของแว็คเตอร์อินพุตที่กำลังเข้า และกำลังแสดงการตอบสนองอุปกรณ์ หนึ่งแว็คเตอร์ในช่วงเวลาหนึ่ง การจำลองแบบเซตแว็คเตอร์สั่งงานเซตไฟล์การประยุกต์ของแว็คเตอร์อินพุต ในสารบัญชื่อข้อมูลไฟล์ออกแบบไปโมดออกแบบการสร้างแว็คเตอร์ใหม่โดยอัตโนมัติ จะสร้างเซตแว็คเตอร์อินพุตโดยอัตโนมัติ ด้วยการใช้วิธีศึกษาสำนึก (heuritie algorithm) แบบอุปกรณ์



รูป 5-2 เมนูหลัก SIM

สามารถสลับช่องสัญญาณระหว่างส่วนหนึ่งผ่านส่วนสามสำหรับแบบเดียวกัน ขณะที่ชื่อไฟล์แบบรูปเป็นแบบเดียวกัน (แสดงรายละเอียดมุมล่างขวาเมนู)ผู้ใช้กระตุ้นชื่อไฟล์แบบข้างบนในการเข้าครั้งแรกของระบบจำลองแบบ ชื่อไฟล์แบบการจำลอง สามารถเปลี่ยนการใช้ส่วนที่ 4 (Option 4) ในเมนูสำหรับชื่อไฟล์ตำแหน่งเข้าชื่อไฟล์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เดียวกัน ใช้ในการสร้างแบบ PLD (ไฟล์ .STD) ไม่เพิ่มชื่อส่วนขยายไฟล์ใด ๆ (extension)เมื่อกำลังแสดงชื่อไฟล์ แบบจะถูกตรวจสอบความผิดพลาด และปัญหาที่ตรวจสอบได้จะแสดงบนจอ สำหรับการตรวจสอบแก้ไขโปรแกรม TRACE จะแสดงว่าเอาต์พุตเฉพาะจะถูกสร้างขึ้นใหม่ โดยการแสดง product terms เคลื่อนไหวอยู่เสมอโดยแว็คเตอร์อินพุต (ดู 5.5)การเรียกโปรแกรมในบรรทัด HELP โดยการใช้ (*) เครื่องหมายดอกจันทน์ ที่จุดใดใดในระบบจำลองแบบ PLD บางครั้งการเลือกเมนูทำได้ดังนี้

LOG Function desired? (Y/N) [N]

ไฟล์ LOG การแสดงรายละเอียดข้อมูลส่วนระบบจำลองแบบและใช้ในการสร้างแว็คเตอร์ตรวจสอบ PLD (ในการจัดรูปแบบ JEDEC) การอธิบายไฟล์ LOG อยู่ในส่วนที่ 5.6 กดคีย์ <RETURN> (ทางเข้าไม่ดำเนินการ null entry เพื่อผ่าน LOG ถ้าไม่ต้องการ และอีกวิธีถ้า history ของการจำลองแบบที่ต้องการถูก SAVE ในไฟล์ LOG พิมพ์อักษร "Y" (ข้างบนหรือข้างล่างตามกรณี) SIM จะถามหัวเรื่องหรือข้อมูลเพิ่มเติม ที่ถูกจัดไว้ที่การเริ่มต้นของไฟล์นี้ พิมพ์หัวเรื่องหรือข้อมูลเพิ่มเติมไฟล์ LOG บรรทัดที่ต้องการ (65 ตัวอักษรต่อบรรทัด) null entry จะหยุดข้อมูลส่วนเกินถ้าเลือกผ่านฟังก์ชั่น LOG หรือ การนำเข้าข้อมูลหัวเรื่อง LOG โดยสมบูรณ์ จากนั้น SIM เข้าไปโหมดที่กำลังทำงาน

โหมดซึ่งกำลังทำการเลือก (Selection 1) SIM จะแจ้งผู้ใช้ก่อนโดยลำดับอินพุตเฉพาะสำหรับอุปกรณ์ PLD ที่กำลังจัดจำลองแบบ และจะแสดงรายการฟังก์ชั่นพิเศษที่จัดได้สำหรับ อุปกรณ์ที่กำลังจัดจำลองแบบแก่ผู้ใช้ และข้อมูลสามารถเรียกมาอีกครั้งโดย HELP (ใส่เครื่องหมาย "*") ที่ prompt แว็คเตอร์อินพุต คือ

INPUT VECTOR:

เมื่อจำนวนอินพุตถูกต้องจะนำเข้าไป prompt แว็คเตอร์อินพุต SIM จะแสดงการตอบสนองของอุปกรณ์ PLD ออกมา (ด้วยฟังก์ชั่นเอาต์พุตถูกจัดรายการจาก MSB -LSB หรือขณะแสดงในไฟล์ RULER) และ prompt สำหรับอินพุตอื่น การนำออกการจำลองแบบ (to quit) ใส่ Q ที่ "Input Vector" prompt และควบคุมจะ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กลับไปที่เมนู SIM จากจุดนี้อาจนำการจำลองแบบกลับในการทำปฏิกิริยาหรือโหมดเซท แว็คเตอร์จะใช้หรือไม่ใช้ LOG ก็ได้หรือกลับไปที่เมนูหลัก AMAZE ก็ได้

5.2 Ruler File

SIM จะถามก่อนสำหรับแว็คเตอร์อินพุตกำลังเลือกเมนู option1-โหมดเข้าทำงาน จะแสดงการใส่หัวเรื่องสำหรับแว็คเตอร์อินพุตที่คาดหมาย การใส่หัวเรื่องนี้เรียกว่า RULER อาจนำเข้าแว็คเตอร์กับการวางตัวอักษรตามต้องการ แต่ลำดับติดต่อกันจะแสดงใน ruler ruler อาจถูกยึดติดระหว่าง 'custom' และเครื่องจะแสดงโดยอัตโนมัติโดยการนำเข้า 'R' แทนแว็คเตอร์อินพุตบรรทัดฐาน ณ เวลาใดเวลาหนึ่งระหว่างส่วนการจัดระบบลอกแบบ (simulation session)

ข้อมูล custom ruler จัดไว้ในไฟล์ ASCII text 'Filename.RUL' (รูป 5-3) ถ้าไม่มีไฟล์นี้อยู่เมื่อ SIM กำลังนำเข้า การเลือก option 1,2 หรือ 3 จากเมนูเป็นเหตุให้สร้างชื่อ pin names ที่กำลังใช้ถูกนำเข้าในรายการ pin list ลำดับซึ่งแว็คเตอร์อินพุตแสดงผลระหว่างโหมดกำลังทำงานอาจถูกเปลี่ยนโดยบรรทัดที่กำลังสั่งงานซ้ำในไฟล์ ruler แม้ว่าตัวเลขขาอุปกรณ์ในไฟล์ ruler พิสูจน์ได้ว่าเป็นขาเดียวกัน และ pin label ในไฟล์ ruler อาจเป็น ASCII text ใด ๆ ไม่ต้องเชื่อม label ใน pin list

หมายเหตุ เนื่องจาก SIM อ่านไฟล์ ruler บนทางเข้า การเปลี่ยนแปลงไฟล์ ruler โดยการเรียกโปรแกรม editor การใช้ option 5 - DOS Command จะแสดงไม่ทันท่วงที ถ้า option 1 ถูกเลือกทันที จำเป็นต้องปล่อย SIM ให้ ruturn หรือเลือก option 4 เปลี่ยนชื่อไฟล์ (Change Filename) และเก็บชื่อไฟล์เดียวกัน

แม้ว่า SIM ไม่ตรวจสอบถ้าตัวกำหนด @PINLIST เปลี่ยนแปลง ดังนั้นหลังจากขากำลังเปลี่ยนแปลงจะแก้ไขไฟล์ ruler หรือไม่ก็ทำการลบ และไฟล์ ruler ใหม่จะถูกสร้าง โดยเรียกเมนู option 1,2 หรือ 3

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ไฟล์ ruler ใช้แสดงเพียงอินพุตและเอาต์พุตบนจอระหว่าง "interactive simulation" มันไม่มีผลต่อลำดับอินพุตของไฟล์เว็คเตอร์ (fn.VEC) หรือลำดับขาของไฟล์ LOG ไฟล์ ruler แยกเป็น 2 ส่วน (รูป 5-3) INPUT และ OUTPUT, @INPUT และ @OUTPUT เป็นการใส่หัวเรื่องของส่วนนี้ ใต้สองหัวเรื่องนี้ ทุกบรรทัดร่วมตอบสนองหนึ่งขาอินพุตหรือเอาต์พุตของอุปกรณ์

อีกตัวอย่างเช่น SIM เขียน label ของขา "B" ซึ่งเป็นตัวจัดหมู่ทั้ง @INPUT และ @OUTPUT ฟิลของไฟล์ Ruler (.RUL) เป็นเหตุให้ label ปรากฏขึ้นทั้งที่ ' Input Vector' และ "Output Vector" prompts ระหว่างการปฏิบัติการลอกแบบ ซึ่งอาจจะไม่ดีเท่าที่ควรการใช้ text editor เคลื่อนย้าย B-Input จากฟิล @Output และเอาต์พุต B-Pin จากฟิล @Input จะตรวจแก้ตำแหน่งที่ผิดของ label อินพุตและเอาต์พุตที่กำลังปรากฏถัดจาก prompts ระหว่างการปฏิบัติการลอกแบบ (ตำแหน่ง cosmetic เท่านั้น)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

PLD Functional Simulator (SIM)

```
PIN    PIN    PRE-ASSIGNED
NBR.  LABEL  (FIXED) VALUE
@INPUT
 08    INPUT7   :  H          |
 07    INPUT6   :  L          |
 06    INPUT5   :  L          |
 05    INPUT4   :  H          |
 04    INPUT3                 |
 03    INPUT2                 |                    BBBB BBBB BB
 02    INPUT1                 |                    0000 0000 00
 01    INPUT0                 |               IIII UUUU UUUU UU
                              |               NNNN TTTT TTTT TT
 19    BOUTPUT9               |               PPPP PPPP PPPP PP
 18    BOUTPUT8               |               UUUU UUUU UUUU UU
 17    BOUTPUT7               |               TTTT TTTT TTTT TT
 16    BOUTPUT6               |               3210 9876 5432 10
|   Input Vector
 15    BOUTPUT5               |
 14    BOUTPUT4               |
 13    BOUTPUT3               |
 12    BOUTPUT2               |
 11    BOUTPUT1               |
 09    BOUTPUT0               |
 @OUTPUT                      |
 19    BOUTPUT9               |                BBBB BBBB BB BBBB BBBB BB
 18    BOUTPUT8               |                0000 0000 00 0000 0000 00
 17    BOUTPUT7               |           IIII UUUU UUUU UU UUUU UUUU UU
 16    BOUTPUT6               |           NNNN TTTT TTTT TT TTTT TTTT TT
                              |           PPPP PPPP PPPP PP PPPP PPPP PP
 15    BOUTPUT5               |           UUUU UUUU UUUU UU UUUU UUUU UU
 14    BOUTPUT4               |           TTTT TTTT TTTT TT TTTT TTTT TT
 13    BOUTPUT3               |           3210 9876 5432 10 9876 5432 10
 12    BOUTPUT2               |  Output Vector:
 11    BOUTPUT1               |
 09    BOUTPUT0               |
|                             |    Corresponding Input Vector &          |
|A:fn.RUL file                |    Output Vector Rulers . This half of the |
|                             |    figure is how the display will look in  |
|_____________________________|    SIM and is not part of the fn.RUL file. |
```

Figure 5-3 Ruler file with Input and Output Vector Headings

รูป 5-3 ไฟล์ Ruler แสดงการใส่หัวเรื่องเว็คเตอร์อินพุตและเอาต์พุต

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5.3 .RUL File Header

@Input

@Output

5.3.1 @Input

Format:

PIN LABEL : VALUE

PIN LABEL

ที่ PIN อยู่คือ ขาอินพุตอุปกรณ์เชื่อมกับ LABEL ซึ่งอธิบายไว้ในรายการขา (pinlist) VALUE แล้วแต่เลือก และจะกำหนดค่า (H หรือ L) ของขาผ่านออกการลอกแบบ

Description:

ส่วน Input บรรจุข้อมูล 3 ชนิด Pin number,Pin label และ Pressigned Value (Value ถูกกำหนดค่าก่อนตามต้องการ) Pin label อาจบรรจุอักษร 1 ถึง 12 ตัว และต้องแบ่งโดยเว้นวรรค 1 เคาะจากตัวอื่น ๆ ที่ใส่เข้าไปในบรรทัดเดียวกัน (Pin number และ value ที่กำหนดค่าแล้ว) โดยการกำหนดค่า value ก่อน (H หรือ L)ไปขาอินพุต ผู้ใช้จัดขาไป value ผ่านออกไปที่การลอกแบบ. Pressigned Value เลือกและต้องมีประโยชน์กับขาซึ่งยังไม่ใช้ หรือขากำหนดฟังก์ชั่น เช่นขาที่สามารถ Output A':' ควรใช้ระหว่าง Pin label และ Preas - signed Value เว้น 1 เคาะข้างเครื่องหมาย (:)ขาอินพุตจริงใส่กำหนดค่า Value แล้วในไฟล์ .RUL หรือยังไม่เขียนรายการใน @Input จะไม่แสดงในการใส่หัวเรื่อง Ruler ระหว่างการปฏิบัติในการลอกแบบ ขาที่มี 2 ด้าน อาจเขียนได้ในส่วนนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตัวอย่าง:

```
@INPUT
1 CLOCK
2 SENSE_1
3 SENSE_2
4 START
5 OUTPUT_EN :H
```

5.3.2 @Output

Format:

PIN LABEL

บริเวณที่ PIN อยู่คือ ขาเอาต์พุตอุปกรณ์เชื่อมกับ LABEL อธิบายในรายการขา (pinlist)

Description:

Output บรรจุข้อมูล 2 ชนิด pin number และ pin labels, Pin labels อาจจุได้ 1-12 ตัวอักษร และต้องห่างกันอย่างน้อย 1 ตัวอักษร จากตัวอื่นในบรรทัดเดียวกัน Output pins ไม่จัดอยู่ในส่วนนี้ด้วยจะไม่แสดงใน Ruler heading ขาที่มี 2 ด้าน อาจเขียนรายการในส่วนนี้

ตัวอย่าง:

```
@OUTPUT
12 /GREEN
13 /YELLOW
14 /RED
18 Q1
19 Q0
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5.4 Interactive Simulation

การเริ่มปฏิบัติการลอกแบบ SIM จะแสดงลำดับเฉพาะของตัวอักษรโดยร้องขอเว็คเตอร์ อินพุตแต่ละตัว (เรียก Ruler heading - ดู 5.2) และการเซทของ applicable help และข้อมูลที่ถูกควบคุม ข้อมูล HELP จะทำงานอีกครั้งถ้า '*' ถูกใส่ในเวลาใดเวลาหนึ่งระหว่างโหมด Input

โดยทั่วไป ผู้ใช้ต้องใส่ input,บิทที่มี 2 ด้าน, clock หรือ บิทที่สามารถทำซ้ำได้ และบิทอื่น ๆ ที่ต้องการเพื่อการจัดที่ถูกต้องของอุปกรณ์ อินพุตอุปกรณ์ต้องอยู่ในอักษร H หรือ L (สูงกว่าหรือต่ำกว่าแล้วแต่กรณี) ขณะที่บรรทัด 2 ด้านใส่ H, L หรือ ("-") เครื่องหมายขีดจะใช้เมื่อ บรรทัดนั้นเป็น output การเว้นวรรคระหว่างตัวอักษรแล้วแต่การจัดหรือความน่าอ่าน

```
ENTER H or L  ตัวอักษรที่สอดคล้องกัน ไปแต่ละ I หรือ Q และ H,L หรือ "_"
              ตัวอักษรสอดคล้องกับ B แต่ละตัว, การใช้ช่องว่าง(เว้นวรรค)
              แล้วแต่ผู้ใช้เพื่อความสวยงาม
A "/"   จะทำซ้ำตัวอักษรที่สมมูลย์จาก Input ที่ถูกต้องตัวสุดท้าย
A "="   จะทำซ้ำตัวอักษรที่มีอยู่จากตัวที่ถูกต้องตัวสุดท้าย
   Enter "D" แสดงไฟล์ LOG แบบยาว
   Enter "I" การจับจังหวะแสดง Prompt บนจอ
   Enter "M" ทำการเซตเว็คเตอร์จากไฟล์ภายนอก
   Enter "P" แสดง Input และผลเดิม
   Enter "Q" ออกไป run mode
   Enter "R" จัด rulers
   Enter "T" จัด trace mode
   Enter "W" จัด โหมดข้อมูลเตือน
++++++++++++++++++++++++++++++++++++++++++++++++++++++++++++++++++++
IIIIIIII BBBBBBBBBB ) DEFAULT RULER FILE (FOR PLS153)
         76543210 9876543210 )   "       "    "        "
INPUT VECTOR: LLLLLLLL ---------- <-USER INPUT VECTORS(H,L,-)
              "
              .
              "      INPUTS <=B(I/O=> TRACE TERMS
              "765432F10 9876543210
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
OUTPUT VECTOR: 000000000 11LLLLLLHL ; <- SIMULATOR OUTPUT
                                          VECTOR

TIMING DISPLAY (Y/N) (N)        [NOTE: INPUT CONDITIONS: 0, 1]
                                [      OUTPUT CONDITIONS: H, L]
```

หน้าที่พิเศษถูกเรียกออกมาโดยการใส่อักษรดังนี้

/ จะแสดงซ้ำอักษรจากอินพุตสุดท้ายที่ถูกต้อง

= จะแสดงซ้ำอินพุตถูกต้องตัวสุดท้ายที่เหลืออยู่

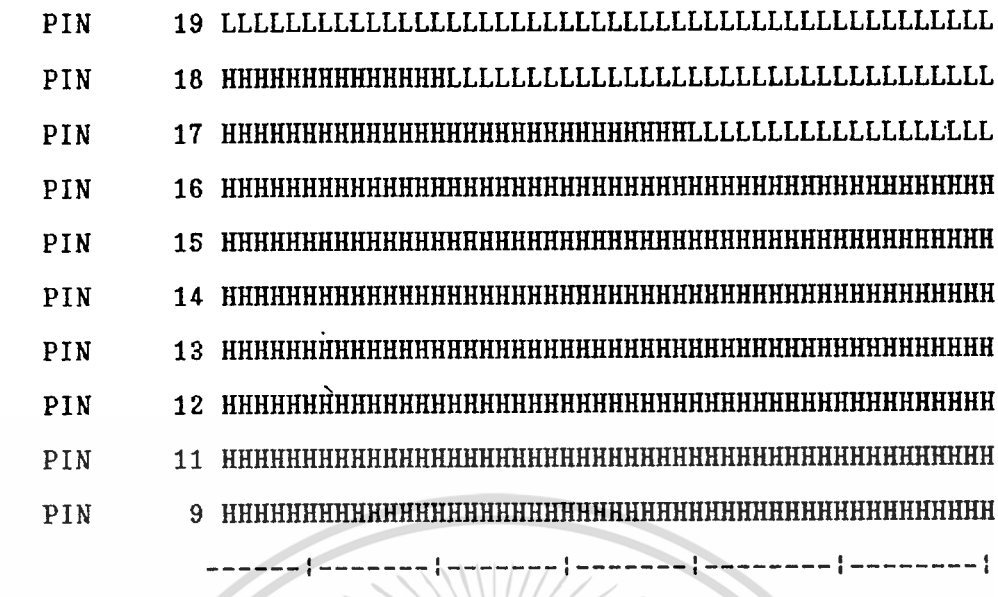
ตัวอักษรข้างต้นสามารถวางไว้ที่ใดก็ได้ในแว็คเตอร์อินพุต

ความสัมพันธ์การให้จังหวะของสัญญาณขาเอาต์พุตแสดงระหว่างการปฏิบัติการลอกแบบการแสดงสัญญาณพิมพ์ Y เมื่อ prompt แล้วกดคีย์ RETURN (R) หลังจากแว็คเตอร์เอาต์พุตแสดงข้อมูล prompt สำหรับจอภาพแสดงจังหวะ อาจถูกปิดโดยการใช้ "I" ที่ prompt แว็คเตอร์อินพุต

แต่ละจอภาพแสดงจังหวะแทนเพียงแว็คเตอร์อินพุตปัจจุบัน การแสดงจังหวะจะไม่แสดงข้อมูลที่เพิ่มพูนขึ้นจากจอภาพครั้งก่อน

เมื่อกำลังลอกแบบ อุปกรณ์ซึ่งมีรีจีสเตอร์ภายในและบรรทัด clock เฉพาะกิจ และลูกศรชี้ขึ้นเล็ก จะปรากฏบนบรรทัดสเกลจังหวะ ลูกศรนี้แสดง สันเสียบ clock ที่มีความไว ปรากฏที่จอ จำไว้ว่า แว็คเตอร์อินพุตของ "H" บนบรรทัด clock เฉพาะกิจ แปลย่อยโดยระบบลอกแบบเหมือน low-high-low pulse และ clock ไม่ปรากฏในการลอกแบบ จนกระทั่งอินพุตไป รีจีสเตอร์ทำการ clock แล้ว รูป 5-4 เป็นจังหวะสัญญาณเอาต์พุตที่ขา "B" เพื่อ PLS153

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูป 5-4 การจัดจังหวะ B-Pin สำหรับ PLS153

เมื่อกำลังลอกแบบอุปกรณ์นั้นบรรจุการสร้างรีซีสเตอร์จาก gates ผู้ใช้ควรจำสามจุดนี้ให้ได้ จุดแรกแสดงผลสะท้อนกลับ gate บางตัวจะไม่รู้จัก output ในการนำเข้าครั้งแรกของระบบการลอกแบบ เป็นระบบการลอกแบบธรรมดา กล่าวถึงผลสะท้อนกลับ SIM จะใช้เวลาติดต่อกันนานในการนำเข้า มันจะแสดง ข้อมูล "Outputs are not stabilized within 251 nsec"

อันดับแรกเวคเตอร์ที่ถูกปรับปรุงควรใช้รีซีสเตอร์ส่งเข้าไปในภาวะ know ไม่ว่าจะเป็นเซตหรือรีเซต (แต่ละรีซีสเตอร์ควรออกแบบกับเซตหรือรีเซต) ถ้าไม่เวคเตอร์ครั้งต่อมา จะยังถ่ายทอดภาวะ unknow ต่อไปและ "output not-stable" ข้อมูลจะดำเนินต่อไป

อันดับสอง SIM ไม่สามารถสามารถรู้ว่า flip flop ถูกสร้างดังนั้นบรรทัด clock ต้องยึดติดเช่น เซต "L" ในหนึ่งเว็คเตอร์ ต้องเซต "H" จากนั้นเซต "L" ในที่สุดข้อมูลนำเข้าสู่ flip flop ไม่ควรเปลี่ยนในเว็คเตอร์เดียวกันขณะสันเสียบ (edge) ที่ไวของสัญญาณ clock หรือ อยู่ในภาวะ unstable อาจเกิดขึ้นได้ ดังนั้น flip flop ต้องใส่ในภาวะ know ด้วยเซตหรือรีเซต

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สำหรับบางอุปกรณ์ความเป็นลำดับ รีจีสเตอร์ที่แสดงสถานะทำงานที่สถานะเฉพาะโดยใส่ "P" ตามด้วยตัวเลขที่ถูกต้องของ H และ L สำหรับตัวเลขของรีจีสเตอร์แสดงสถานะ (state register) ถ้าถูกใช้ไฟล์ LOG ที่มีความไวจะจุภาวะสิ่งแสดงข้อมูลพิเศษเปลี่ยนแปลง (ใช้คีย์ "+") เนื่องจากฟังก์ชั่นนี้ไม่เป็นส่วนของการดำเนินการอุปกรณ์ที่เป็นจริง ไฟล์ LOG ไม่ควรใช้สร้างเว็คเตอร์ตรวจสอบของการตรวจสอบอุปกรณ์ (เว็คเตอร์ตรวจสอบควรสร้างด้วยฟังก์ชั่น "F" อาจแสดงผลในข้อมูลผิดพลาดเว็คเตอร์ ในโปรแกรมเมอร์ PLD)

รูป 5-5 แสดงตัวอย่างของบางเว็คเตอร์อินพุตและคำสั่ง

```
HHHHLLLLHLHLHHHHL          (เต็ม 17 ตัวข้อมูลนำเข้าทำการเซตทั้งอิน
                            พุตและบิท PE)
hhhh llll hlhl hhhh l      (บางอินพุตกับกรณีอักษรและช่องว่างต่ำกว่า)
////HLHL///////H/          (ซ้ำอักษาบางตัวและเปลี่ยนตัวอื่น ๆ )
hhl=                       (เซตบิทสามตัวแรกและซ้ำตัวอื่นทุกตัว)
d                          (แสดงไฟล์ LOG แบบยาว)
p                          (แสดงอินพุตและเอาต์พุตเดิม)
*                          (HELP แสดง option อักษรเว็คเตอร์อินพุต)
f hhhlhl                   (ภาวะบังคับ (force) ที่ HHHLHL)
=                          (ซ้ำเว็คเตอร์อินพุตสุดท้ายทั้งหมด)
S                          (แสดงรีจีสเตอร์ภายในบนขาเอาต์พุต)
M                          (สั่งทำงานเซตของแว็คเตอร์ที่เก็บในไฟล์ภายนอก)
Q                          (โหมดคู่มือออกและกลับเมนู SIM)
```

รูป 5-5 ตัวอย่างเว็คเตอร์และคำสั่งอินพุตของ PLS105 การลอกแบบ

หมายเหตุ จอแสดงจังหวะไม่สามารถเรียก PROMs

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5.5 Trace Function

TRACE จัดเครื่องมือตรวจแก้โปรแกรมในระบบลอกแบบ PLD สามารถเคลื่อนไหวหรือลดการเครื่องไหวโดยใส่ "T" ที่ "INPUT VECTOR" prompt เมื่อเคลื่อนไหว TRACE จะแสดงproduct terms ของแบบฟิวซ์ที่ใช้ในการได้รับเอาต์พุตสุดท้าย ตัวเลข product terms ที่เคลื่อนไหวแสดงหลังเอาต์พุตที่แสดงผลเทอมควบคุม (FC, D0, D1...) แสดงด้วยตัวอักษร "C" ลำดับตัวเลขสำหรับเทอมควบคุมจากบนสุดไปล่างสุด อย่างที่ระบุไว้แล้วใน Program Table ตัวอย่างเช่น PLS155,C1 กล่าวถึงเทอม FC, C2 กล่าวถึงเทอม LB และ C11 กล่าวถึง D0 (อ้างถึง PLD Data Sheets เฉพาะหรือ PTE สำหรับ PLD ที่ต้องการ)

5.6 Log Files

ไฟล์เอาต์พุตตามเลือกอาจสร้างสำหรับการจัดข้อมูลหรือการถ่ายทอดได้ผลออกไปตามลำดับและภาวะถัดไปสำหรับอุปกรณ์ตามลำดับ Clock และ enable information รวมไว้ด้วยข้อมูลนำเข้าอุปกรณ์ถูกบันทึกในการจัดรูปแบบ 1 และ 0 ขณะยังมีเอาต์ในการจัดรูปแบบ H และ L

ไฟล์ LOG จะเป็นถ้าการตรวจสอบหน้าที่ของ PLD ทำการโปรแกรมที่ต้องการ DPI(Device Programmer Interface)ใช้ "Fn.LOG" สร้างและเพิ่มเว็คเตอร์ตรวจสอบที่ไฟล์ PLD fusemap เพื่อย้ายไป PLD Programmer ในการจัดรูปแบบ JEDED ดูส่วนที่ 6 ข้อมูล DPI และการทำงาน

```
PLS153 dflow153.STD
"This LOG file was created from a user input file
"7/17/84    TMS
"
"INPUTS (=B(I/O)=) TRACE TERMS
"76543210 9876543210
"
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
11101110 LH...HH110   ;
11101110 LH...HL101   ;
11101110 LH...LL001   ;
11101110 LH...LH010   ;
11101111 HL...LH101   ;
11111110 LH...10HL1   ;
10111110 LH.......    ;
"
"-X-X---- ----------          I/O CONTROL LINES
"         OOIIIBBBBI          DESIGNATED I/O USAGE
"         OOIIIBBBII          ACTUAL I/O USAGE
"
" PINLIST
" 08 07 06 05 04 03 02 01 19 18 17 16 15 14 13 12 11 19 ;
     Note: input conditions 1, 0.
           output conditions H, L.
```

ทุกบรรทัดเริ่มต้นด้วย (")ข้อมูลเพิ่มเติม

รูป 5-6 ไฟล์ Log

ลำดับอินพุตและเอาต์พุตจัดในไฟล์ LOG และเปลี่ยนไม่ได้ เครื่องหมาย (.) แสดง tri-stated output และ x แสดงเอาต์พุต unknown และ unresolved การบรรจุไฟล์ x ควรใช้สร้างเว็คเตอร์ตรวจสอบ

ฟิลด์ต่าง ๆ ของข้อมูล LOG กำหนดขอบเขตโดยเว้นวรรค และแต่ละบรรทัดของข้อมูลการลอกแบบจะจบด้วยเครื่องหมาย (";") ตามด้วยเลขที่เกี่ยวกับ product terms ของแบบฟิวซ์ ซึ่งรวมแว็คเตอริอินพุตถ้า TRACE ที่มีความไว A '+' ที่ท้ายสุดบรรทัดในไฟล์ LOG แสดงว่ามีเทอมเคลื่อนไหวอยู่เสมอ ซึ่งไม่สามารถจัดรายการในบรรทัดเดียวกัน

บางฟังก์ชั่นพิเศษ เช่น การเซต PLS105 ก่อนหรือการเซตภาวะ PLS159 ต้องการการ clock พิเศษสำหรับตรวจสอบและในกรณีนี้บรรทัดที่เหมาะสม รวม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในไฟล์ LOG ในกรณีไม่มีความสัมพันธ์ บรรทัดต่อบรรทัดที่แน่นอนระหว่างอินพุตการลอกแบบและไฟล์ LOG

สำหรับการลอกแบบเต็มระบบของอุปกรณ์ตามลำดับ SIM สั่งงาน การเซทก่อนโดยตรงของรีซีสเตอร์แสดงภาวะ เพราะไม่เกิดเป็นจริงในอุปกรณ์ PLD (SLS105,PLS167,PLS168)ไฟล์ LOG จะบรรจุข้อมูลที่มีภาวะบังคับเปลี่ยนและไฟล์ไม่ควรใช้สร้างเว็คเตอร์ตรวจสอบ บรรทัดข้อมูลเพิ่มเติมที่ว่า (ด้วยเครื่องหมาย (")ในคอลัมน์แรก) จะแสดงการจบของข้อมูลเว็คเตอร์ อินพุตและเอาต์พุต

ถัดไปในไฟล์ LOG เป็นบรรทัดข้อมูลเพิ่มเติมสามภาวะ จัดข้อมูลบน I/O ควบคุมและการใช้ของขาที่มี 2 ด้าน บรรทัดแรกจุลนุกรมของ dash ("-") และ อักษร "x" ใต้บรรทัดบิทท่วไป dash แสดงอินพุต หรือ I/O บรรทัดที่สามารถทำการควบคุมทิศทางของขา I/O หนึ่งหรือมากกว่า ขณะ "x" แสดงบิทซึ่ง value ทำการควบคุมทิศทาง I/O ในแบบนี้ บรรทัดถัดไปจะจุอักษร แสดงทิศทางซึ่งระบุทิศแต่ละบรรทัด I/O ขณะที่ I (input), O(output) หรือ B (bi-directional) บรรทัดที่ 3 แสดงการใช้เป็นจริงของขา I/O แต่ละตัวสำหรับการลอกแบบ การเปรียบเทียบบรรทัดที่ 2 กับ 3 จะแสดงถ้าลำดับเว็คเตอร์อินพุตที่ถูกปรับปรุงทดสอบความสามารถในการทำงานของการออกแบบทั้งหมด

ไฟล์ LOG สำหรับอุปกรณ์ที่ไม่มีขา I/O จะเป็นบรรทัดว่างในบริเวณนี้ บรรทัดถัดไป 2-3 บรรทัด ตามลงมาเป็นบรรทัดข้อมูลเพิ่มเติมที่ว่าง จะจุการจัดรายการตัวเลขขาข้อมูลเป็นลำดับจะปรากฏข้อมูล LOG ข้างบนฟังก์ชั่นในการใส่รายการ LOG ซึ่งไม่มีขาอุปกรณ์ (เช่นระดับภาวะ) จะปรากฏเป็น "00" ในการใส่รายการขา รูป 5-6 แสดงตัวอย่างไฟล์ LOG

5.7 External Vector Set Files

ไฟล์เว็คเตอร์อินพุตภายนอกสามารถใช้นำเข้าลำดับของเว็คเตอร์อินพุต เป็นกลุ่มระหว่าง การทำงานทางเข้าเว็คเตอร์ Vector Set Simulation อาจใช้ปรับปรุงเว็คเตอร์ตรวจสอบ อุปกรณ์ตามลำดับขั้นตอนที่ภาวะ known และฟังก์ชั่นอุปกรณ์ที่ยกตัวอย่างง่าย ๆ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ก่อนการเขียน ไฟล์ Input Vector จำเป็นต้องตรวจสอบลำดับชุดอักษรที่เรียงติดกันที่นำเข้าเฉพาะ เพราะว่า SIM ไม่ใช้ไฟล์ custom Ruler (fn.RUL) จากข้อมูลรายการขาสำหรับเว็คเตอร์ภายนอก SIM ต้องการเว็คเตอร์ภายนอกนำเข้าข้อมูล อ้างถึง การใส่หัวเรื่อง Ruler โดยอัตโนมัติ (default) แม้ว่าวิธีง่ายที่สุดแสดง default heading คือการเรียกโปรแกรมระบบลอกแบบและเลือก option 1 - interactive Simulation พิมพ์ 'R' ยิดติด Ruler ที่แสดงโดยอัตโนมัติ เขียนการสั่งงานของอินพุตและขาซึ่งมี 2 ทางโดยชื่อแผ่นข้อมูล (data sheet)

การใช้เว็คเตอร์เขียนอักษร H,L,-,/,หรือ =.มีความหมายเดียวกัน สำหรับเว็คเตอร์ อินพุตที่ปฏิบัติงานแสดงไว้ใน 5.4 อักษรว่างอาจแทนในชุดอักษรที่เรียงกันโดยอินพุต เป็นกลุ่มและน่าอ่าน อักษรเพิ่มเติมจะไม่ทำงานในส่วนของชุดอักษรที่เรียงกันโดยอินพุต แต่วางไว้บรรทัด

เดียวกัน ซึ่งจัดเฉพาะของ H,L,-,/,หรือ = ถ้าขาอินพุตขึ้นตามความพอใจ เริ่มบรรทัดด้วย (") แปลย่อยอย่างบรรทัดอักษรเพิ่มเติม ดูรูป 5-7 ตัวอย่างไฟล์เว็คเตอร์อินพุตภายนอก

การป้องกันข้อผิดพลาดในไฟล์นี้จะแสดงบนจอ แต่ละบรรทัดทางเข้าปฏิบัติเหมือนเรานำเข้าด้วยมือ และทำงานโดยระบบลอกแบบหนึ่งบรรทัดภายในเวลาใดเวลาหนึ่ง ดังนั้นเป็นไปได้ที่จะใช้ฟังก์ชั่นพิเศษ ดังแสดงใน (5.4) SIM จะหยุดอ่านไฟล์ภายนอกเมื่อทำงานไปหนึ่งบรรทัด เริ่มด้วย "Q" และจะกลับไปควบคุมเมนูระบบลอกแบบซึ่งผู้ใช้อาจยังคงทำการลอกแบบด้วยตนเองต่อไป หรือควบคุมจากไฟล์เวคเตอร์ภายนอกตัวอื่น SIM ยังคงอ่านไฟล์เวคเตอร์อินพุตภายนอกตั้งแต่ต้นแล้ว หลังจาก "G" จะไม่พบสิ่งใด เมื่อ "Vector Set Simulation" (option 2)เลือกจากเมนูระบบลอกแบบผู้ใช้ต้องใช้ชื่อไฟล์เว็คเตอร์อินพุต ทั้งชื่อไฟล์ และชื่อส่วนขยายไฟล์ (FN.EXT) ถ้ายังมีไฟล์อยู่

```
"Line designations:"
"     I6 = /INH       Inhibits outputs (makes all inputs)
"     I4 = DIR        PB =) PA when high, PA =) when low
"     I1 = CLK        High to operate
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
"    IO = CROSS     High to cross, low for direct
"    B9 = QTRUE     High to indicate direct operation
"    B8 = QFALSE    High to indicate crossed operation
"    B4-B3 = PB     ( 1-0 )
"    B2-B1 = PA     ( 1-0 )
" All other pins unused
"
" Inputs     I/O's          Function
"
"7654321 99876543210
"
/H/L/HL -------HH    = Expect PB to be HH )PA) =) PB direct)
///////  ////////HL    = Expect PB to be HL
///////  ////////LL    = Expect PB to be LL
///////  ////////LH    = Expect PB to be LH
///////H  ////////HL   = Expect PB to be LH (PA =) PB crossed)
///H///L /////HL--     = Expect PA to BE HL (PB =) PA direct)
/L////H/ /////----     = Expect PA and PB to be off (inhibited)
quit
```

รูป 5-7 ไฟล์ External Input Vector

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5.8 Auto Vector Generation

Auto Vector Generation option ในเมนู SIM จะสร้างเซตของเว็คเตอร์อินพุตอย่างเหมาะสมโดยอัตโนมัติ กล่าวถึงรูปแบบฟิวซ์ เว็คเตอร์นี้จะถูกเก็บไว้ในไฟล์ filename.VEC ระบบลอกแบบจะทำการเว็คเตอร์ตรวจสอบที่สร้างใหม่ติดกับรูปแบบฟิวซแสดงเก็บการแสดงผลไว้ในไฟล์ filename.LOG

Auto Vector Genarator จะแสดงสัญลักษณ์พิเศษในภาวะนำเข้าข้อมูลซึ่งอาจเป็นสาเหตุภาวะความไม่แน่นอนในอุปกรณ์ ดังนั้น เว็คเตอร์อินพุตจะถูกนำออกไปจากรายการเว็คเตอร์ที่สร้างใหม่โดยอัตโนมัติ การตรวจสอบ product terms เป็นเหตุให้เกิดภาวะให้ใช้โหมด Interactive กับ Trace on สั่งการภาวะปัจจุบัน (จะแสดงเมื่อเกิดภาวะ) และจากนั้นปรับปรุงภาวะอินพุตให้เหมาะสม เว็คเตอร์อัตโนมัติสร้างใหม่โดย "Walking" หนึ่งหลายตัวหรือศูนย์หลายตัวผ่านการการนำเข้าข้อมูล ถึงแม้ว่าการตรวจสอบยอมรับการผลิต แสดงผลการออกแบบรวมกันไม่มีวันหมดสิ้น ด้วยเหตุนี้การสร้างเวคเตอร์ใหม่อาจไม่ดีที่สุด หรือ เซตเว็คเตอร์สำหรับรูปแบบได้อย่างเหมาะสม (โดยเฉพาะอย่างยิ่งลำดับ (ภาวะเครื่อง) การออกแบบ) ถ้าต้องการขยายเว็คเตอร์ ตรวจสอบโดยการรวมเว็คเตอร์อินพุตที่เว็คเตอร์สร้างใหม่โดยการแก้ไขไฟล์ "Fn.VEC"

เลือก option นี้เพื่ออุปกรณ์รีจีสเตอร์ถูกเก็บไว้ (buried register) (PLS155,157,159,179 และ PLUS405) จะเรียก prompt ทำการถาม ถ้าเว็คเตอร์ซุปเปอร์โวลท์ถูกใช้อุปกรณ์นี้มีโหมดตรวจสอบความผิดพลาด (diagnostic mode) ซึ่งนำเข้าโดยการนำไปขาประเมินค่าที่ +10 โวลท์ ในโหมดนี้รีจีสเตอร์ภายใน จะเซตก่อนที่ value ซึ่งปรับปรุงขาเอาต์พุต เว็คเตอร์ซุปเปอร์โวลท์ กล่าวถึงโหมดตรวจสอบความผิดพลาดของรีจีสเตอร์ที่กำลังเซตก่อน บางโปรแกรมเมอร์อุปกรณ์ที่สนับสนุนส่วนเด่นนี้ แม้ว่าเว็คเตอร์ตรวจสอบนี้ เป็นที่ยอมรับ แต่ควรใช้อย่างระมัดระวังด้วย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

6. Device Programmer Interface

6.1 Description

DPI = Device Programmer Interface ย่อมผ่าน fusemap PLD จากคอมพิวเตอร์หลักไปโปรแกรม

AMAZE เปลี่ยนเป็นการถาวรทั้งหมดเมนู BLAST"Compile" มีหนึ่ง option ที่สร้างPLD

JEDEC Fusemap File (Fn.JED) ใหม่โดยไม่มีเว็ดเตอร์ตรวจสอบถ้าโปรแกรมเมอร์ PLD เรียกไฟล์ JEDEC แทนที่เป็นไปตามลำดับ "Download" option นี้จะผ่านการสร้างไฟล์ JEDEC ใหม่ โดยไม่ต้องใช้ DPI

DPI

MAIN MENU

VER. 1.7

1- Fuse Pattern --->> Programmer	
2- Fuse Pattern <<--- Programmer	
3- Pat.+ Vector --->> Programmer [JEDEC only]	
4- Low Cost Programmer Interface	
5- Communication Parameters	
6- Set Format	
FORMAT : JEDEC	BAUD RATE: 9600

SELECT : 1 Press ESC to Return

รูป 6-1 เมนูหลัก DPI

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

6.2 การใช้ DPI

6.2.1 Downloading (Fuse Pattern --> Programmer)

เมื่อ Download option เลือก(Option 1)เครื่องจะถามชื่อไฟล์ fusemap มาตรฐาน (fn.STD file) ทำ download DO NOT จัดชื่อสำหรับขยายไฟล์,ไฟล์ต้องอยู่ในสารบัญชื่อแฟ้มออกแบบ

โปรแกรมเมอร์อุปกรณ์ สนับสนุนการตรวจสอบฟังก์ชั่นของอุปกรณ์ซึ่งโปรแกรมแล้ว Option 3 (Pat.+Vector -->Programmer) ในเมนูที่เลือก เป็นเหตุจาก DPI ที่ download เว็คเตอร์ตรวจสอบสร้างใหม่โดย AMAZE SIMULATOR กับสารบัญแฟ้ม .LOG ตามกับ PLD fusemap (.STD file) การปฏิบัติการเพียงแต่จัดไว้ในรูปแบบ JEDEC ทั้งไฟล์ STD และ LOG จะอยู่ในสารบัญแฟ้มออกแบบ

6.2.2 Uploading (Fuse Pattern <-- Programmer)

เมื่อกำลัง upload fusemap จากโปรแกรมเมอร์อุปกรณ์ (option 2) ต้องใช้ทั้งชื่อไฟล์และชนิดอุปกรณ์ซึ่งเลือกจากเมนู DPIสร้างไฟล์ในสารบัญไฟล์ออกแบบกับชื่อไฟล์ดังในรายละเอียดและชื่อส่วนขยายไฟล์ STD ชื่อไฟล์ไม่เกิน 8 ตัวอักษร เพื่อแน่ใจข้อมูลจากโปรแกรมเมอร์อุปกรณ์ถูกสั่ง AFTER ปรากฏ:

The host is ready to receive programmer data.

เมื่อกำลัง download (หรือ upload)ไฟล์จะส่ง(รับ)จากโปรแกรมเมอร์เป็น filename.JED เพื่อจัดรูปแบบ JEDEC และ filename,SIG เพื่อจัดรูปแบบ H/L Signetics ไฟล์(และเว็คเตอร์ตรวจสอบถ้า option 3 download)จะเขียนสารบัญแฟ้มออกแบบซึ่งสอดคล้องแก่ผู้ใช้โดยอัตโนมัติ

PLC105, PLUS405A และ PLHS501 สนับสนุนโดยการจัดรูปแบบ JEDEC เท่านั้น (ไม่จัดรูปแบบ H/L Signetics) โปรแกรมเมอร์ PLD เกี่ยวกับพาณิชย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กรรมส่วนใหญ่ สนับสนุน การจัดรูปแบบอัตโนมัติ AMAZE DPI ซึ่งเป็น JEDEC Standard

หมายเหตุ : อุปกรณ์ PLHS18P8 ทั้ง (.) หรือ (/) สั่งงานในแถวลำดับ "OR" (เหมือนกัน) DPI ใส่ SLASHs เมื่อกำลังผ่านไฟล์ทางใดทางหนึ่ง ทั้งนี้เป็นเพียงข้อความถึงผู้ใช้ในการแก้ไขตารางโปรแกรม PLHS18P8 กับ Program Table Edit -or (PTE)

6.2.3 Low Cost Programmer Interface

เมื่อเลือก Option 4 ในเมนู DPI, DPI เปลี่ยนอัตรา Baud ที่ 9600 และแสดงเมนูดังรูป6-2 option 1 ถึง 3 อุปกรณ์ต้องอยู่ใน socket สำหรับโปรแกรม (programmer socket) option VERIFY ตรวจสอบแบบในอุปกรณ์ติดกับแบบในไฟล์ fn.STD ในสารบัญชื่อแฟ้มออกแบบ

รับรองได้ว่าการตรวจสอบแบบแล้ว Option 1 และ 2 เนื่องจากเสียงรบกวนอาจเกิดขึ้นระหว่างกำลัง Upload และ Download บนบรรทัดที่สัมพันธ์กัน

การเรียก Low Cost Programmer Interface โดยไม่มีการติดต่อกันครั้งแรก low-cost programmer ที่ลำดับ RS-232 เป็นเหตุให้ MS-DOS คอยจนกระทั่งมีการจัดลำดับความสัมพันธ์ Low Cost Programmer ทำการรวมกับ .COM1, COM1 ควรเซต 8 บิทหรือ 8 ตัวอักษร 1 stop-bit ไม่เหมือน

PLHS501 สนับสนุนโดย low cost programmer ด้วยซึ่งสามารถเรียกได้ด้วยการปล่อยนี้

```
1-  Fuse Pattern  --->>  Programmer
2-  Fuse Pattern  <<---  Programmer
3-  Verify
4-  Programmer Information
```

SELECT : Press ESC to Return

รูป 6-2 เมนู Low Cost Programmer Interface

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Note: The low cost programmer interface supports communication with the followin low cost programmers:

For 20 pin PLD support (PLS151,PLS153,PLS155,PLS157,PLS159, only)

Curtis Electro Services, Inc.
Box 4098
Mountain View, CA 94040
Phone: (415) 964-3846

For PLHS501 support

Strebor Data Communication, Inc.
1008 North Nob Hill Drive
American Fork, Utah 84003
Phone: (801) 756-3605

6.3 DPI/PTP Serial Communication

PC ต้องจัดเตรียมด้วย Asynchronous Communication Port -- ไม่ COM1 ก็ COM2

DPI/PTP default สำหรับ COM1 ดังนี้ EVEN parity
1 Stop Bit
7 Data Bits

โปรแกรมเมอร์ควรวางโครงสร้างในโหมดเดียวกันอย่าง default ซึ่งแสดงการใช้งานใน option 6 (set default) ในเมนูหลัก AMAZE ติดต่อกับการเซตโปรแกรมเมอร์ที่ต้องการ พารามิเตอร์ (parameter) การติดต่อเป็นลำดับประเมินค่าเก็บไว้ในไฟล์ AMAZE.DEF รูป 6-3 แสดงรูปขา MINIMUM สำหรับ cable รับส่งข้อมูล cable ป้องกัน ย่อมให้ข้อมูล RS-232 ผ่านและลดการแซกซ้อน RFI เมื่อกำลังรวม XT ที่โปรแกรมเมอร์ Streborไม่ควรมี swap บรรทัด 2 และ 3 ดังรูป 6-3

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

DB-25-F	DB-25-M	DB-9-F
PC or XT	LOGIC PROGRAMMER	PC-AT-PS2

PIN 2----------PIN 3----------PIN 3

PIN 3----------PIN 2----------PIN 2

PIN 7----------PIN 7----------PIN 5

PIN 4--: Connect pins 4 & 5 — Connect pin 8 & 7:--PIN 8

PIN 5--: together — together:--PIN 7

PIN 6------: Connect pins — Connect pins:-------PIN 6

PIN 8------: 6, 8, & 20 — 1, 4, & 6:-------PIN 1

PIN 20-----: together — together:-------PIN 4

(Note that pins 2 and 3 are swapped in the case of the PC or XT interface but NOT for the PC-AT interface).

รูป 6-3 Minimum Pin Configuration for Communication Cables

เมื่อกำลัง download หรือ upload ในการจัดรูปแบบ JEDEC เกี่ยวกับตัวเลขฟิวซ์ EA และ EB สำหรับ PLS159 ต่าง ๆ สำหรับ Commercial Device Programmers ต่าง ๆ ตัวเลขฟิวซ์ใช้ในโปรแกรมสำเร็จรูปนี้ ดังรูป 6-4-Format A (EB:2106 และ 2107 - EA: 2104 และ 2105) บาง Commercial Device Programmerใช้ตัวเลขฟิวซ์แสดงใน Format B (EB:2104 และ 2105 - EA:2106-2107)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

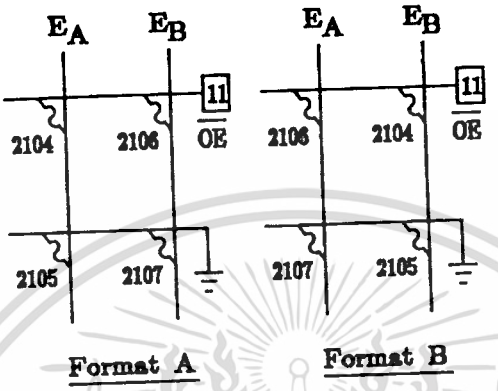


Figure 6-4 Different JEDEC Numbers for PLS159

รูป 6-4 Different JEDEC Numbers for PLS159

คำแนะนำคู่มือ Device Programmer สำหรับใช้ตัวเลขฟิวซ์ ตัวอย่างเช่น

DATA I/O: Format A

STAG: Format B

ดังนั้นเมื่อกำลัง download หรือ upload แบบ PLS159 การใช้ JEDEC format, ซอฟต์แวร์ DPI กระตุ้นโครงร่างที่โปรแกรมอุปกรณ์สนับสนุน จะสลับช่องสัญญาณตัวเลขฟิวซ์ อัตโนมัติถ้าถูกถาม low cost programmer ต้องทำประกันการรวม RS-232 เชื่อมระหว่างคอมพิวเตอร์และ low cost programmer ถูกสร้างขึ้นก่อนทำการสั่ง DPI ทำงานกับ LCP

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

7. PAL to PLD Conversion (PTP)

7.1 Description

PTP แปรผัน PAL designs/patterns เพื่อสอดคล้องให้อุปกรณ์ PLD designs/patterns PTP สนับสนุนสองโหมดของการทำงาน ดังนี้

1. อุปกรณ์กายภาพ PALในอุปกรณ์กายภาพ PLD (via commercial PLD programmer)
2. แบบฟิวซ์ PAL ในแบบฟิวซ์ PLD (via files read/written from /to the design fine directory)

ตลอดเวลาที่ PTP ทำงานจะสร้างไฟล์ Fn.PRT ในสารบัญแฟ้มออกแบบไฟล์นี้ยังจุแบบ PAL (fusemap) และแบบ PLD ที่สอดคล้อง (fusemap) และจัดคำอธิบายรายละเอียดสำหรับ

ขั้นตอนการแปลง

PTP

VERSION 1.6

MAIN MENU

1- PAL Device ---›› PLD Device 2- PAL Pattern PLD Pattern 3- Set Baud Rate ---›› 4- Set Format	
FORMAT : JEDEC --›› JEDEC	BAUD RATE: 9600

SELECT : Press ESC to Return

รูป 7-1 เมนูหลัก PTP

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

7.2 การใช้ PTP

7.2.1 PAL Device to PLD Device

โหมดนี้ผู้ใช้ต้องให้อุปกรณ์ PLD มีหน้าที่สอดคล้องกับอุปกรณ์ PAL ที่เหมาะสมดังมีขั้นตอนการทำงานดังนี้ (PTP เป็นเมนูที่ถูกขับเคลื่อนแบบสมบูรณ์และกระตุ้นทุกขั้นตอน)

1. การบรรจุอุปกรณ์ PAL ลงใน Device Programmer เสมือน การเตรียมทำโปรแกรม อุปกรณ์มาก ๆ จากต้นฉบับ
2. ส่งข้อมูลฟิวซ์ไปที่คอมพิวเตอร์หลักเมื่อสร้างโดย PTP ("output" หรือ "up load" ฟังก์ชั่นของโปรแกรมเมอร์ PLD ข้อมูล I/O ตอนลำดับ 29 โมเดล คำสั่งคือ "SELECT EC" และจากนั้น "START")
3. PTP DATA I/O ตอนลำดับ 29 โมเดลโปรแกรมเมอร์ ต้องทำความจำโปรแกรมเมอร์ให้กระจ่าง (SELECT A4) ก่อนการเปลี่ยน Program-&-Test Adapters คือ ความผิดพลาดในการทำนี้อาจมีสาเหตุมาจาก PTP ที่ abort execution
4. ให้แบบ PLD ที่สอดคล้องจากคอมพิวเตอร์ เมื่อสร้าง (โดยทั่วไป "input" หรือ "download"ฟังก์ชั่นของโปรแกรมเมอร์PLD, Data I/O ตอนลำดับ 29 โมเดล คำสั่ง คือ "SELECTEB" และจากนั้น "START")
5. โปรแกรมอุปกรณ์ PLD, Data I/O ตอนลำดับ 29 โมเดล:

"COPY->RAM->DEVICE->START-->START"

ลอกแบบไฟล์ PLD STANDARD ถูกเก็บในสารบัญแม่มอกแบบ ดังข้างล่าง

fn.STD where fn is the filename specified by the user

ไฟล์นี้อาจใช้กับโมดูล AMAZE สำหรับการเปลี่ยนแปลงในอนาคต แบบฟิวซ์ PLD อาจแก้ไขด้วย PTE และทำ download ที่โปรแกรมเมอร์กับ DPI ถ้าการเปลี่ยนแปลงของแบบฟิวซ์ PLD ตามต้องการ การจัดรูปแบบรับส่งข้อมูล PTP สนับสนุน JEDEC, SIGNETICS H/L และ PAL's FUSE PLOT การรวมการใช้ PTP ทั้งหมด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เพิ่มในเมนู PTP Format PTP จะใช้ข้อมูล default ที่จัดในไฟล์ AMAZE.DEF ถ้าไม่มีไฟล์นี้เซต default ประเมินค่า Format และการแสดงรูป รับ-ส่ง ข้อมูลสามารถเปลี่ยนอัตรา Format และ Baud ขณะอยู่ใน PTP หรือใช้ option 6 (set default) ในเมนูหลัก AMAZE เปลี่ยนแบบถาวร เขียนเซต default รับ-ส่งข้อมูลเป็นลำดับสำหรับ DPI ซึ่งใช้สำหรับ PTP ด้วย

7.2.2 PAL Pattern to PLD Pattern

การทำงานโหมดนี้ แบบ PAL ใน FUSE PLOT (-และ x) หรือจัดรูปแบบ JEDEC สามารถเปลี่ยนที่แบบ PLD STANDARD ที่สอดคล้องถ้าแบบ PAL ใส่ลงไป PLHS18P8 จากนั้นเมนูสำหรับเลือก PLD ดังแสดงรูป 7-2

```
                PLD SELECTION
 ┌──────────────────────────────────────┐
 │  1- 14H4      -------->    PLS153    │
 │  2- 14H4      -------->    PLHS18P8  │
 └──────────────────────────────────────┘
```

รูป 7-2 เมนูสำหรับเลือก PLD

อุปกรณ์ 14H4 ตัวอย่างเช่น 20 ขายังไม่รีซีสเตอร์ อุปกรณ์ PAL อาจใช้เลือกจากเมนู PAL

ไฟล์อินพุต (fuseplot หรือ JEDEC format) ต้องมีชื่อส่วนขยายไฟล์ .PAL และต้องมีอยู่ในสารบัญเพิ่มออกแบบ แบบ PLD จะมีชื่อไฟล์เดียวกันอย่างชื่อไฟล์ PAL กับชื่อส่วนขยายไฟล์ .STD สั่งงาน DPI โดยใช้ download ที่ PLD fusemap (.STD PLD file) ที่โปรแกรมเมอร์ PLD) PTP จะสร้างไฟล์โปรแกรมเมอร์ PLD JEDEC (.JED PLD file) ดังนั้นการใช้ DPI คือส่วนสำหรับการโปรแกรม PLD

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ถ้าการแก้แบบฟิวซ์กับ PTE ให้เขียนว่า PTP สำหรับอุปกรณ์ PLHS18P8 ใส่ (.) ใน unusable section ของแถวลำดับ OR ไม่เหมือน โมดูล DPI ซึ่งใช้ SLASHs (/) สำหรับฟังก์ชั่นเดียวกัน ไม่เป็นปัญหากับ DPI เมื่อกำลัง download อย่าง DPI จะยอมรับทั้งสองการจัดรูปแบบ

7.2.3 PTP/DPI Serial Communication

อ้างถึง 6.3

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

8.UTILITIES

ลำดับของ stand-alone moduler ดังนี้

1. TOJED
2. FROMJED
3. TOSIG
4. FROMSIG

โมดูลจะอ่าน/เขียนไฟล์ via default drive เว้นแต่รายละเอียดอื่น ๆ ระบุไว้

8.1 TOJED

โมดูลสร้างไฟล์ JEDEC จุ้อมูลฟิวซและเว็คเตอร์ตรวจสอบ (ถ้าใช้ประโยชน์ได้) จากไฟล์ ตารางโปรแกรม (.STD) และไฟล์เว็คเตอร์ตรวจสอบ (.LOG) ถ้าระบุไว้

Format:

TOJED *parameter1 parameter2 parameter3*

parameter1: Input Fuse Pattern filename (Standard Format)

parameter2: Output filename (JEDEC Format)

parameter3: Input Vector filename (.LOG format)

ถ้า parameter3 ไม่ถูกจัดไว้ไฟล์เอาต์พุตจะจุเพียงข้อมูลแบบฟิวซเท่านั้น

ตัวอย่าง:

TOJED examp.STD examp.JED ex-1.LOG

In the above example, the JEDEC correspondence of the fuse pattern

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

(examp.STD), and Test vectors (ex-1.LOG) is stored in examp.JED

TOJED test.STDtt1.JJD

In the above example, the JEDEC correspondence of the fuse pattern (test.STD) is stored in tt1.JJD.

8.2 FROMJED

โมดูลนี้เปลี่ยนแปลงไฟล์ JEDEC(.JED) ในแบบฟิวส์ PLD Standard (.STD)

Format:

FROMJED *parameter1 parameter2 parameter3*

parameter1 : PLD full device name

parameter2 : Input filename (JEDEC Format)

parameter3 : Output filename (Standard format)

ส่วนเว็คเตอร์ตรวจสอบในไฟล์ JEDEC อินพุตจะไม่สั่งงานโดยโมดูลนี้

ตัวอย่าง:

FROMJED PLHS153 examp.JED exp.STD

In the above example, the JEDEC information (examp.JED) is converted into PLHS153 fuse pattern in Standard format which is stored in exp.STD.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

8.3 TOSIG

โมดูลนี้สร้าง SIG.H/L ความสอดคล้องของไฟล์มาตรฐานที่ระบุไว้ (.STD)

Format:

TOSIG *parameter1 parameter2*

parameter1: Input Fuse Pattern filename (Standard Format)

parameter2: Output filename (SIG. H/L Format)

Example:

TOSIG examp.STD examp.SIG

In the above example, the SIG H/L correspondence of the fuse pattern (examp.STD) is stored in examp.SIG.

8.4 FROMSIG

โมดูลนี้เปลี่ยนแปลงไฟล์ SIG.H/L ลงในไฟล์ฟิวซ์ PLD Standard (.STD)

Format:

FROMSIG *parameter1 parameter2 parameter3*

parameter1: PLD full device name

parameter2: Input filename (SIG. H/L Format)

parameter3: Output filename (Standard format)

ตัวอย่าง:

FROMSIG PLS105 examp.SIG exp.STD

ข้างบนตัวอย่างนี้ ข้อมูล SIG H/L (exapm.SIG)
เปลี่ยนแปลงในแบบฟิวซ์ PLS105 ในการจัดรูปแบบ
Standard ซึ่งถูกเก็บใน exp.STD

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก 1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การใช้งานเครื่อง Program PAL

1. ต่อสาย Interface ระหว่าง programmer กับ computer โดยใช้ RS 232

2. run program x.talk บน computer (x.bat)

3. Turn on power supply ของ Programmer

- Push switch Reset

- เลือก Menu ที่แสดงบน CRT ของ computer

display menu on CRT of Computer

HELLO I AM A PAL PROGRAMMER

1.LOAD DATA FROM PC TO PROGRAMMER
2.PROGRAM DATA FROM PROGRAMMER TO PAL
3.VERIFY DATA ON PROGRAMMER
4.READ DATA FROM PAL TO PROGRAMMER

YOU SELECT NUMBER

4. เลือก menu 1.LOAD DATAFROM PC TO PROGRAMMER

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

-กด Ctrl A เพื่อใช้ command ของ x.talk

-ส่ง file ที่ต้องการ program ไปยัง programmer โดยใช้ se file name

.jed (se = send)

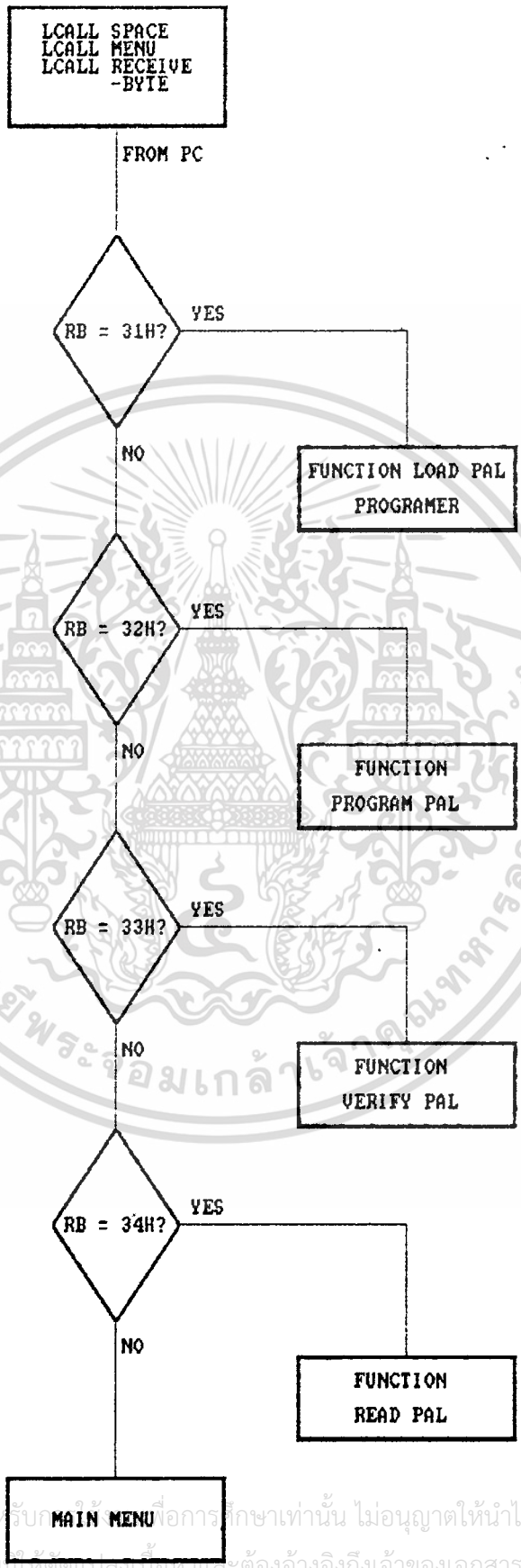
-กด key ใด

5. Select Menu 2 Program PAL

6. จบขั้นตอนการใช้งาน

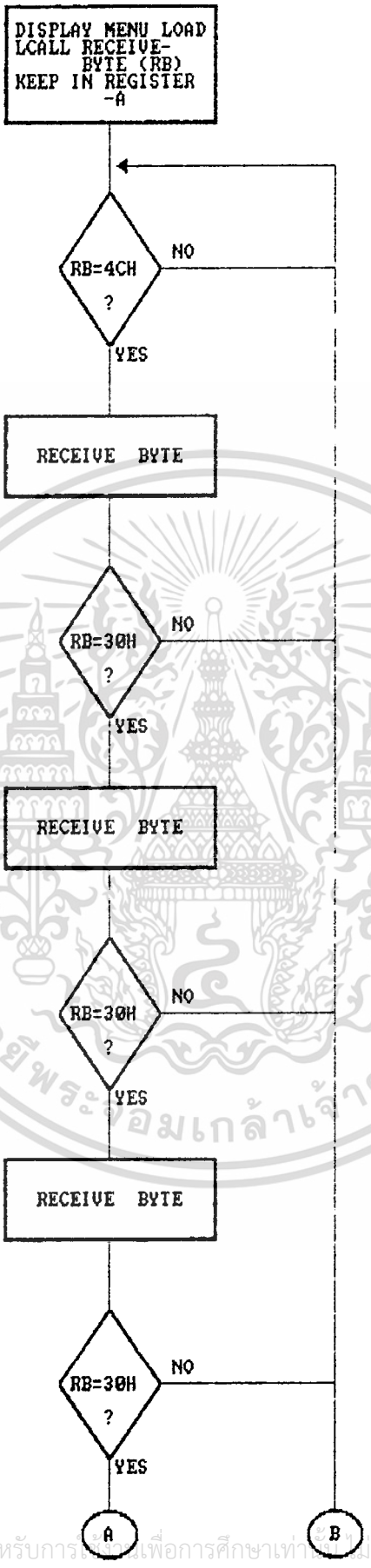
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MAIN MENU

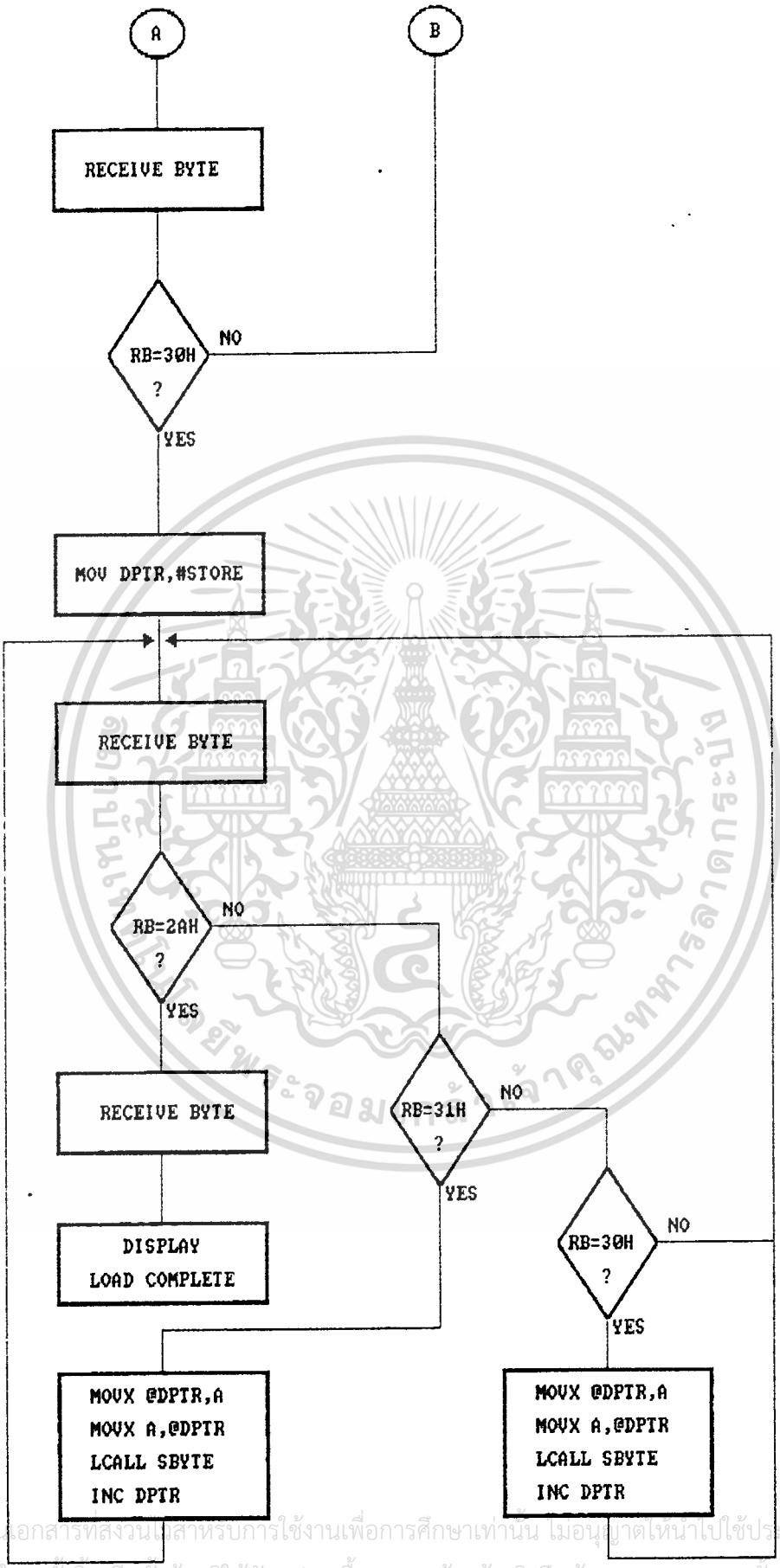


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

FUNCTION LOAD

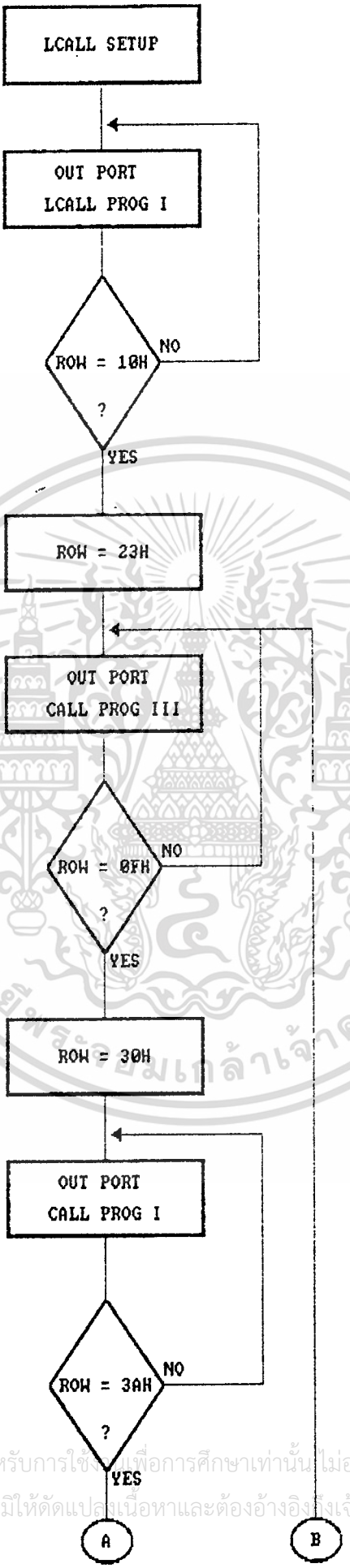


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

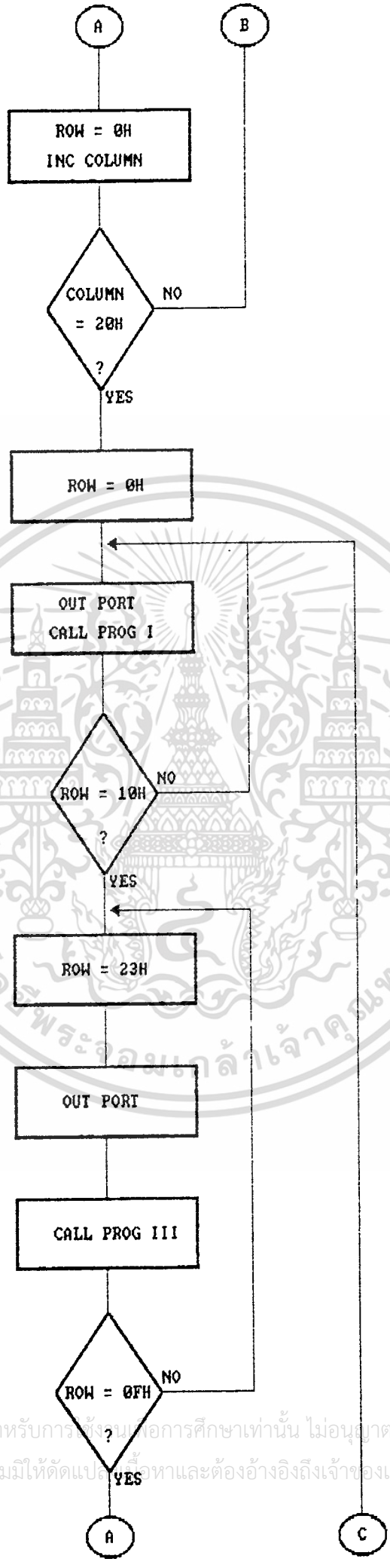


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

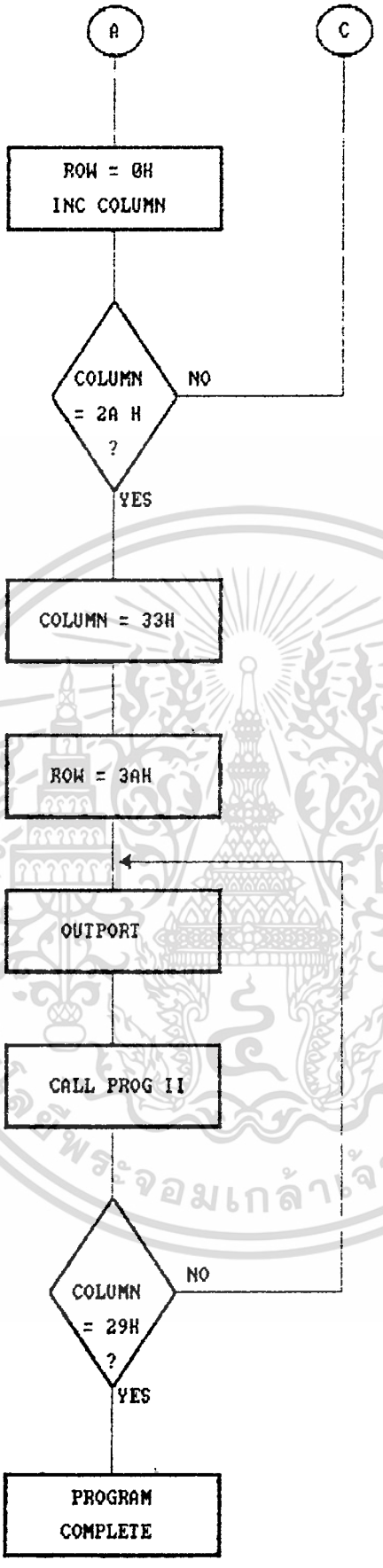
FUNCTION PROGRAM



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
        ;******** SYSTEM CALL ********

                    ORG   0000H
             CR     EQU   0DH
             LF     EQU   0AH
             ESC    EQU   1BH
             STORE  EQU   0000H
             CONA   EQU   0F800H
             CONB   EQU   0F801H
             CONC   EQU   0F802H
             CONP   EQU   0F803H
             ROW    EQU   01111111B
             COL    EQU   00111111B
        ;******** MAIN PROGRAME ********


        MOV     R1,#0
RRR1:   MOV     R0,#0
RRR:    DJNZ    R0,RRR
        DJNZ    R1,RRR1


        MOV     DPTR,#CONP
        MOV     A,#88H
        MOVX    @DPTR,A

        MOV     TMOD,#20H
        MOV     SCON,#52H
        MOV     TH1,#0FDH
        SETB    TR1

MAIN:   LCALL   SPACE
        LCALL   MONI
        LCALL   RBYTE
        LCALL   SBYTE
        CJNE    A,#31H,J1
        LCALL   LOAD
        LJMP    MAIN
J1:     CJNE    A,#32H,J2
        LCALL   PROG
        LJMP    MAIN
J2:     CJNE    A,#33H,J3
        LCALL   VERI
        LJMP    MAIN
J3:     CJNE    A,#34H,J4
        LCALL   READ
        LJMP    MAIN
J4:     CJNE    A,#35H,J5
        LCALL   TTT1
        LJMP    MAIN
J5:     CJNE    A,#36H,MAIN
        LCALL   TEST
        LJMP    MAIN
        ;******** LOAD ********
READD:  LCALL   INTPORT
        LCALL   SETUP
        PUSH    DPH
        PUSH    DPL
RE1:    LCALL   OUTCOL
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
        LCALL   OUTROW
        LCALL   STBL
        MOV     DPTR,#CONC
        MOVX    A,@DPTR
        JNB     ACC.4,RE22
        MOV     A,#31H
        LCALL   SBYTE
        LCALL   STBH
        INC     R6
        SJMP    RE1
RE22:   MOV     A,#30H
        LCALL   SBYTE
        LCALL   STBH
        INC     R6
        SJMP    RE1

        LCALL   REA11
        CJNE    R6,#23H,RE1
        MOV     R6,#30H
RE2:    LCALL   OUTROW
        LCALL   COL
        LCALL   REA11
        CJNE    R6,#3AH,RE2
        MOV     R6,#0
        INC     R7
        CJNE    R7,#33H,RE1
        LCALL   SPACE
        LCALL   DREAD1
        RET
REA11:
        MOV     DPTR,#CONC
        LCALL   STBL
        MOVX    A,@DPTR
        JNB     ACC.4,REA10
        MOV     A,#31H
        POP     DPL
        POP     DPH
        MOVX    @DPTR,A
        INC     DPTR
        PUSH    DPH
        PUSH    DPL
        LCALL   SBYTE
        INC     R6
        RET
REA10:  MOV     A,#30H
        POP     DPL
        POP     DPH
        MOVX    @DPTR,A
        INC     DPTR
        PUSH    DPH
        PUSH    DPL
        LCALL   SBYTE
        INC     R6
        RET

LOAD:   LCALL   SPACE
        LCALL   DLOAD
LOAD1:  LCALL   RBYTE
        CJNE    A,#04CH,LOAD1       ;CHECK L
        LCALL   RBYTE
        CJNE    A,#30H,LOAD1        ;CHECK 0
        LCALL   RBYTE
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
        CJNE    A,#30H,LOAD1        ;CHECK 0
        LCALL   RBYTE
        CJNE    A,#30H,LOAD1        ;CHECK 0
        LCALL   RBYTE
        CJNE    A,#30H,LOAD1        ;CHECK 0
        MOV     DPTR,#STORE         ;SET DPTR WITH 0000H

LOAD2:  LCALL   RBYTE
        CJNE    A,#2AH,LOAD3        ;CHECK * (END OF JDEC FILE)
        LCALL   RBYTE
        LCALL   RBYTE
        LCALL   RBYTE
        LCALL   RBYTE
        LCALL   RBYTE
        LCALL   RBYTE
        LCALL   RBYTE
        LCALL   RBYTE
        LCALL   RBYTE
        LCALL   RBYTE
        LCALL   RBYTE
        LCALL   RBYTE
        SJMP    LOAD5

LOAD3:  CJNE    A,#31H,LOAD4        ;READ 0 AND STORE
        MOVX    @DPTR,A
        MOVX    A,@DPTR
        LCALL   SBYTE
        INC     DPTR
        SJMP    LOAD2

LOAD4:  CJNE    A,#30H,LOAD2        ;READ 1 AND STORE
        MOVX    @DPTR,A
        MOVX    A,@DPTR
        LCALL   SBYTE
        INC     DPTR
        SJMP    LOAD2

LOAD5:  LCALL   SLF
        LCALL   SLF
        MOV     DPTR,#LO6
        LCALL   SBLOCK
        MOV     DPTR,#LO7
        LCALL   SBLOCK
        LCALL   SLF
        LCALL   SLF
        LCALL   RBYTE
        LCALL   RBYTE
        RET


        ;******** VERIFY SUB ********
VERI:   LJMP    MAIN
        RET

        ;******** PROGRAME PAL SUB ********

        ;******** SETUP ********
        ; R6   =   ROW
        ; R7   =   COLUMN
        ; B    =   PORT C  0=Vp, 1=STB, 2=P/V, 3=Vccp, 4=IN FN

PROG:   LCALL   SPACE
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
         LCALL   SETUP
         MOV     R6,#0
         MOV     R7,#0
         MOV     DPTR,#0000H
PROGR:   LCALL   OUTROW
         LCALL   OUTCOL
         LCALL   PROG1
         CJNE    R6,#10H,PROGR       ;CHECK ROW = 00100100 ?
         MOV     R6,#23H
PROGR1:  LCALL   OUTROW
         LCALL   OUTCOL
         LCALL   PROG111
         CJNE    R6,#0FH,PROGR1
         MOV     R6,#30H
BBB:     LCALL   OUTROW
         LCALL   OUTCOL
         LCALL   PROG1
         CJNE    R6,#3AH,BBB
         MOV     R6,#0
         INC     R7
         CJNE    R7,#20H,PROGR       ;CHECK COLUMN = 0100000 ?
         MOV     R6,#0
AAA1:    LCALL   OUTROW
         LCALL   OUTCOL
         LCALL   PROG1
         CJNE    R6,#10H,AAA1
         MOV     R6,#23H
AAA2:    LCALL   OUTROW
         LCALL   OUTCOL
         LCALL   PROG111
         CJNE    R6,#0FH,AAA2
         MOV     R6,#0
         INC     R7
         CJNE    R7,#2AH,AAA1
         MOV     R7,#33H
         MOV     R6,#3AH
AAA:     LCALL   OUTROW
         LCALL   OUTCOL
         LCALL   PROG11
         CJNE    R7,#29H,AAA
         LCALL   INTPORT
         LCALL   OUTROW
         LCALL   OUTCOL
         MOV     A,#0
         MOV     DPTR,#CONC
         MOVX    @DPTR,A
         LCALL   SLF
         LCALL   SLF
         LCALL   SLF
         LCALL   SLF
         LCALL   DPROG               ;DISPLAY PROGRAME COMPLETE
         LCALL   SLF
         LCALL   SLF
         LCALL   SLF
         LCALL   SLF
         LCALL   SLF
         LCALL   SLF
         LCALL   SLF
         LCALL   SLF
         LCALL   SLF
         LCALL   SLF
         LCALL   SLF
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
        LCALL   RBYTE
        LJMP    MAIN
        RET

ERROR:  LCALL   SLF
        LCALL   SLF
        LCALL   SLF
        MOV     DPTR,#ERR1
        LCALL   SBLOCK
        LCALL   SLF
        LCALL   SLF
        LCALL   SLF
        LJMP    MAIN
READ:   LCALL   SPACE
        LCALL   DREAD
        LCALL   SLF
        LCALL   SLF
        LCALL   SLF
        LCALL   SLF
        LCALL   SLF
        LCALL   SLF
        LCALL   SLF
        LCALL   SLF
        LCALL   SLF
        LCALL   SLF
        LCALL   RBYTE
        LCALL   INTPORT
        LCALL   SETUP
        PUSH    DPH
        PUSH    DPL
READ11: LCALL   SAVE
        CJNE    R6,#24H,READ11
        SJMP    READ11
        MOV     R6,#30H
READ12: LCALL   SAVE
        CJNE    R6,#3AH,READ12
        MOV     R6,#0
        INC     R7
        CJNE    R7,#20H,READ11
        MOV     R6,#0
READ13: LCALL   SAVE
        CJNE    R6,#24H,READ13
        MOV     R6,#0
        INC     R7
        CJNE    R7,#2AH,READ13
        MOV     R6,#3AH
READ14: LCALL   SAVE1
        CJNE    R7,#34H,READ14
        LCALL   INTPORT
        LCALL   OUTROW
        LCALL   OUTCOL
        MOV     A,#0
        MOV     DPTR,#CONC
        MOVX    @DPTR,A
        LCALL   SLF
        LCALL   SLF
        LCALL   SLF
        LCALL   DREAD1
        LCALL   SLF
        LCALL   SLF
        LCALL   SLF
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
        LCALL   SLF
        LCALL   SLF
        LCALL   SLF
        LCALL   RBYTE
        LJMP    MAIN

SAVE:   LCALL   OUTCOL
        LCALL   OUTROW
        LCALL   STBL            ;2 PLUSE STB TO Vil FOR 10 uS
        MOV     DPTR,#CONC
        MOVX    A,@DPTR         ;TEST BLOW A FUSE
        JNB     ACC.4,SAVE02
        MOV     A,#31H
SAVE01: POP     DPL
        POP     DPH
        MOVX    @DPTR,A
        INC     DPTR
        PUSH    DPH
        PUSH    DPL
        LCALL   SBYTE
        LCALL   STBH            ;SET STB TO HIGH
        INC     R6
        SJMP    SAVE03
SAVE02: MOV     A,#30H
        SJMP    SAVE01
SAVE03: NOP
        RET


SAVE1:  LCALL   OUTCOL
        LCALL   OUTROW
        LCALL   STBL            ;2 PLUSE STB TO Vil FOR 10 uS
        MOV     DPTR,#CONC
        MOVX    A,@DPTR         ;TEST BLOW A FUSE
        JNB     ACC.4,SAVE12
        MOV     A,#31H
SAVE11: POP     DPL
        POP     DPH
        MOVX    @DPTR,A
        INC     DPTR
        PUSH    DPH
        PUSH    DPL
        LCALL   SBYTE
        LCALL   STBH            ;SET STB TO HIGH
        INC     R7
        RET
SAVE12: MOV     A,#30H
        SJMP    SAVE11

TEST:   MOV     DPTR,#STORE
TEST1:  MOVX    A,@DPTR
        LCALL   SBYTE
        INC     DPTR
        PUSH    DPH
        PUSH    DPL
        MOV     DPTR,#CONA
        MOVX    @DPTR,A
        POP     DPL
        POP     DPH
        LCALL   D5USEC
        AJMP    TEST1
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
        RET

PROG1:  MOVX    A,@DPTR
        LCALL   SBYTE
        CJNE    A,#31H,PROG3

        ;******** TO BLOW A FUSE ********

        LCALL   BLOW            ;BLOW A FUSE


        ;******** TO VERIFY ********

                                ;1 WAIT 1-5 uS
PROG3:  INC     DPTR            ;INC ADDRESS FUSE
        INC     R6              ;INC ROW ADDRESS
        RET

PROG11: MOVX    A,@DPTR
        LCALL   SBYTE
        CJNE    A,#31H,PROG31

        ;******** TO BLOW A FUSE ********

        LCALL   BLOW            ;BLOW A FUSE


        ;******** TO VERIFY ********

                                ;1 WAIT 1-5 uS
PROG31: INC     DPTR            ;INC ADDRESS FUSE
        DEC     R7              ;INC ROW ADDRESS
        RET

PROG111:MOVX    A,@DPTR
        LCALL   SBYTE
        CJNE    A,#31H,PROG311

        ;******** TO BLOW A FUSE ********

        LCALL   BLOW            ;BLOW A FUSE


        ;******** TO VERIFY ********

                                ;1 WAIT 1-5 uS
PROG311: INC     DPTR           ;INC ADDRESS FUSE
         DEC     R6             ;INC ROW ADDRESS
         RET

READD11:
        LCALL   STBH
        MOV     A,#31H
        LCALL   SBYTE
        POP     DPL
        POP     DPH
        MOVX    @DPTR,A
        INC     DPTR
        INC     R6
        PUSH    DPH
        PUSH    DPL
        RET
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
READD10:LCALL   STBH
        MOV     A,#30H
        LCALL   SBYTE
        POP     DPL
        POP     DPH
        MOVX    @DPTR,A
        INC     DPTR
        INC     R6
        PUSH    DPH
        PUSH    DPL
        RET

 VPL:   PUSH    DPH
        PUSH    DPL
        MOV     DPTR,#CONC
        CLR     B.0             ;1 SET Vp TO GND
        MOV     A,B
        MOVX    @DPTR,A
        POP     DPL
        POP     DPH
        RET
STBH:   PUSH    DPH
        PUSH    DPL
        SETB    B.1             ;3 SET STROBE (STB) TO Vih
        MOV     A,B
        MOV     DPTR,#CONC
        MOVX    @DPTR,A
        POP     DPL
        POP     DPH
        RET
STBL:   PUSH    DPH
        PUSH    DPL
        CLR     B.1
        MOV     A,B
        MOV     DPTR,#CONC
        MOVX    @DPTR,A
        POP     DPL
        POP     DPH
        RET
 PVL:   PUSH    DPH
        PUSH    DPL
        CLR     B.2             ;4 SET PROGRAME / VERIFY (P/V) TO Vil
        MOV     A,B
        MOV     DPTR,#CONC
        MOVX    @DPTR,A
        POP     DPL
        POP     DPH
        RET
 PVH:   PUSH    DPH
        PUSH    DPL
        SETB    B.2             ;4 SET PROGRAME / VERIFY (P/V) TO Vih
        MOV     A,B
        MOV     DPTR,#CONC
        MOVX    @DPTR,A
        POP     DPL
        POP     DPH
        RET
VCCPH:  PUSH    DPH
        PUSH    DPL
        SETB    B.3             ;6 SET VCCP TO 8.5 V
        MOV     A,B
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
        MOV     DPTR,#CONC
        MOVX    @DPTR,A
        POP     DPL
        POP     DPH
        RET
VCCPL:  PUSH    DPH
        PUSH    DPL
        CLR     B.3
        MOV     A,B
        MOV     DPTR,#CONC
        MOVX    @DPTR,A
        POP     DPL
        POP     DPH
        RET
VPH:    PUSH    DPH
        PUSH    DPL
        SETB    B.0             ;4 SET Vp TO 14.5 V
        MOV     A,B
        MOV     DPTR,#CONC
        MOVX    @DPTR,A
        POP     DPL
        POP     DPH
        RET
STBP:   PUSH    DPH
        PUSH    DPL
        CLR     B.1             ;6 PLUSE STB TO Vil FOR 10 uS
        MOV     A,B
        MOV     DPTR,#CONC
        MOVX    @DPTR,A
        LCALL   D5USEC
        SETB    B.1
        MOV     A,B
        MOV     DPTR,#CONC
        MOVX    @DPTR,A
        POP     DPL
        POP     DPH
        RET
INTPORT:PUSH    DPH
        PUSH    DPL
        MOV     R6,#0
        MOV     R7,#0
        POP     DPL
        POP     DPH
        RET
OUTROW: PUSH    DPH
        PUSH    DPL
        MOV     DPTR,#CONA      ;OUT ROW
        MOV     A,R6
        MOVX    @DPTR,A
        POP     DPL
        POP     DPH
        RET
OUTCOL: PUSH    DPH
        PUSH    DPL
        MOV     A,R7            ;OUT COL
        MOV     DPTR,#CONB
        MOVX    @DPTR,A
        POP     DPL
        POP     DPH
        RET
DPROG:  PUSH    DPH
        PUSH    DPL
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งไม่อนุญาตให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
        LCALL   SLF                 ;DISPLAY PROGRAME COMPLETE
        LCALL   SLF
        LCALL   SLF
        MOV     DPTR,#PR1
        LCALL   SBLOCK
        MOV     DPTR,#LO7
        LCALL   SBLOCK
        POP     DPL
        POP     DPH
        RET
SPACE:  PUSH    DPH
        PUSH    DPL
        LCALL   SLF
        LCALL   SLF
        LCALL   SLF
        LCALL   SLF
        LCALL   SLF
        LCALL   SLF
        LCALL   SLF
        LCALL   SLF
        LCALL   SLF
        LCALL   SLF
        LCALL   SLF
        LCALL   SLF
        LCALL   SLF
        LCALL   SLF
        LCALL   SLF
        LCALL   SLF
        LCALL   SLF
        LCALL   SLF
        LCALL   SLF
        LCALL   SLF
        LCALL   SLF
        LCALL   SLF
        LCALL   SLF
        LCALL   SLF
        LCALL   SLF
        LCALL   SLF
        POP     DPL
        POP     DPH
        RET

SETUP:  LCALL   VPL             ;1 SET Vp TO GND
        MOV     R6,#0           ;2 ROW ADDRESS
        MOV     R7,#0           ;  COLUMN ADDRESS
        MOV     DPTR,#CONA
        MOV     A,R6
        MOVX    @DPTR,A
        MOV     DPTR,#CONB
        MOV     A,R7
        MOVX    @DPTR,A
        LCALL   STBH            ;3 SET (STB) TO Vih
        LCALL   D10USEC           ;DELAY 1/10 SEC
        LCALL   PVL             ;4 SET P/V TO LOW
        LCALL   D50USEC           ;5 WAIT 1 MSEC
        LCALL   VCCPH           ;6 SET Vccp TO 8.5 V
        MOV     DPTR,#STORE
        RET
BLOW:   PUSH    DPH
        PUSH    DPL
        LCALL   D10USEC
        LCALL   PVH             ;2 SET PROGAME / VERIFY (P/V) TO Vih
        LCALL   D50USEC
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
        LCALL   VPH             ;4 SET Vp TO 14.5 V
        LCALL   D10USEC
        LCALL   STBP            ;6 PLUSE STB TO Vil FOR 10 uS
        LCALL   D10USEC
                                ;7 WAIT 1-5 uS
        LCALL   VPL             ;8 SET Vp TO GND
        LCALL   D10USEC
        LCALL   PVL             ;9 SET PROGRAM VERIFY TO LOW
        POP     DPL
        POP     DPH
        RET
VERIFY: PUSH    DPH
        PUSH    DPL
        LCALL   D5USEC
        LCALL   STBL            ;2 PLUSE STB TO Vil FOR 10 uS
        LCALL   D5USEC
        MOV     DPTR,#CONC
        MOVX    A,@DPTR         ;TEST BLOW A FUSE
      ; JNB     ACC.4,ERROR
        LCALL   STBH            ;SET STB TO HIGH
        POP     DPL
        POP     DPH
        RET
MONI:   PUSH    DPH
        PUSH    DPL
        LCALL   SLF             ;DISPLAY MONITOR
        LCALL   SLF
        MOV     DPTR,#STAR
        LCALL   SBLOCK
        LCALL   SLF
        MOV     DPTR,#L1
        LCALL   SBLOCK
        MOV     DPTR,#STAR
        LCALL   SBLOCK
        LCALL   SLF
        LCALL   SLF
        LCALL   SLF
        MOV     DPTR,#L2
        LCALL   SBLOCK
        MOV     DPTR,#L3
        LCALL   SBLOCK
        MOV     DPTR,#L4
        LCALL   SBLOCK
        MOV     DPTR,#L41
        LCALL   SBLOCK
        LCALL   SLF
        LCALL   SLF
        LCALL   SLF
        LCALL   SLF
        LCALL   SLF
        LCALL   SLF
        MOV     DPTR,#L5
        LCALL   SBLOCK
        POP     DPL
        POP     DPH
        RET
DLOAD:  PUSH    DPH
        PUSH    DPL
        LCALL   SLF
        LCALL   SLF
        LCALL   SLF
        LCALL   SLF
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
        MOV     DPTR,#STAR
        LCALL   SBLOCK
        MOV     DPTR,#LO1
        LCALL   SBLOCK
        MOV     DPTR,#LO2
        LCALL   SBLOCK
        MOV     DPTR,#STAR
        LCALL   SBLOCK
        MOV     DPTR,#LO3
        LCALL   SBLOCK
        MOV     DPTR,#LO4
        LCALL   SBLOCK
        MOV     DPTR,#LO5
        LCALL   SBLOCK
        POP     DPL
        POP     DPH
        RET
DREAD:  PUSH    DPH
        PUSH    DPL
        MOV     DPTR,#RR1
        LCALL   SBLOCK
        POP     DPL
        POP     DPH
        RET
DREAD1: PUSH    DPH
        PUSH    DPL
        MOV     DPTR,#RR2
        LCALL   SBLOCK
        POP     DPL
        POP     DPH
        RET
L1:     DB      "                    ! HELLO I AM A  PAL PROGRAMER ",CR
L2:     DB      "                   1 LOAD DATA FROM PC TO PROGRAMER",CR
L3:     DB      "                   2 PROGRAM DATA FROM PROGRAMER TO PAL",CR
L4:     DB      "                   3 VERIFY DATA ON PROGRAMER",CR
L41:    DB      "                   4 READ DATA  FROM PAL TO PROGRAMER",CR
L5:     DB      "                     YOU SELECT NUMBER ",00H
STAR:   DB      "  ********************************************************************",CR
LO1:    DB      "                       YOU WANT TO LOAD DATA TO",CR
LO2:    DB      "                            PROGRAME",CR
LO3:    DB      "                     You can sent by press control and a",CR
LO4:    DB      "                      in mode command you can type",CR
LO5:    DB      "                        '    se filename.jed'",CR
LO6:    DB      "                    ******** LOAD COMPLETE ********",CR
LO7:    DB      "                       Press any key to main program",CR
PR1:    DB      "                     ******** PROGRAM COMPLETE ********",CR
ERR1:   DB      "                   ********   !   VERIFY ERROR   !  ********",CR
RR1:     DB     "                        PUT IC PAL ON SOCKET PROGRAMER          ",CR
RR2:     DB     "                        READ  DATA FROM PAL COMPLETE            ",CR
        ;******** DELAY ******** 03
        ;DELAY 1/1000 SECOND
        ;IN  = R2
        ;REG = R2,R3

D5USEC:   MOV    R3,#01H            ;5 MICROSEC
          DJNZ   R3,D5USEC
          RET

D50USEC:  MOV    R2,#01H
D50USEC1: MOV    R3,#10H            ;50 MICROSEC
D50USEC2: NOP
          NOP
          DJNZ   R3,D50USEC2
```

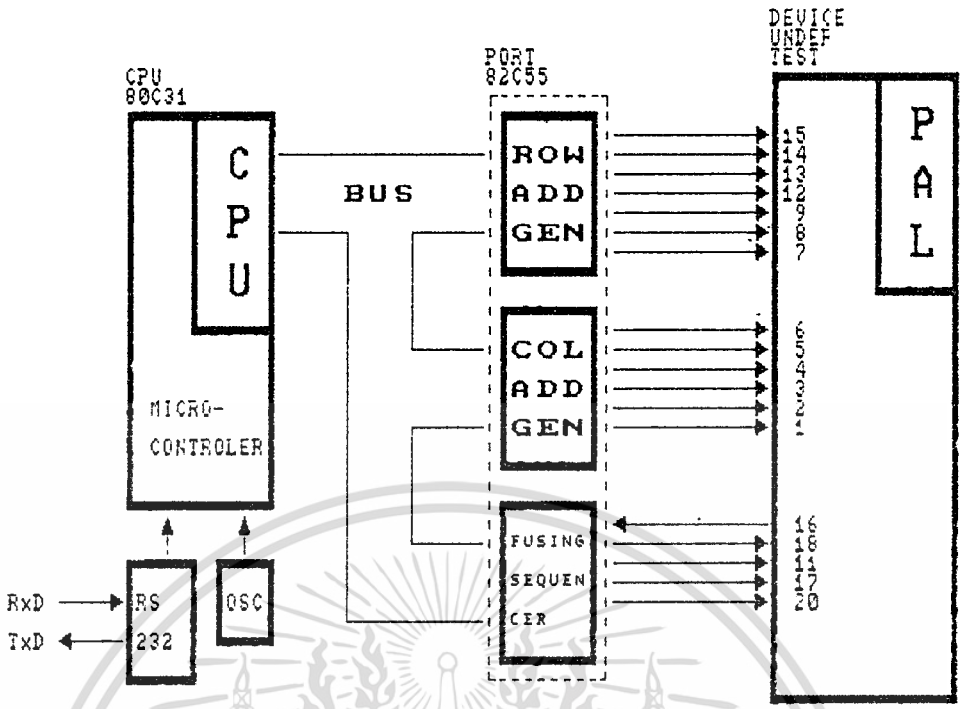
เอกสารนี้เป็นเอกสารสงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
          DJNZ   R2,D50USEC1
          RET

D10USEC:  MOV    R2,#01H
D10USEC1: MOV    R3,#02H          ;5 MICROSEC
D10USEC2: NOP
          NOP
          DJNZ   R3,D10USEC2
          DJNZ   R2,D10USEC1
          RET

DMSEC:    MOV    R2,#01H
DMSEC1:   MOV    R3,#230H         ;1 MILISEC
DMSEC2:   NOP
          NOP
          DJNZ   R3,DMSEC2
          DJNZ   R2,DMSEC1
          RET

        ;******** DTSEC SUB ******** 04
        ;DELAY 1/10 SECOND
        ;IN  = R2
        ;REG = R2,R3,R4

DTSEC:  MOV    R2,#02
DTSEC1: MOV    R3,#179
DTSEC2: MOV    R4,#0
        DJNZ   R4,$
        NOP
        NOP
        DJNZ   R3,DTSEC2
        DJNZ   R2,DTSEC1
        RET

        ;******** DSEC SUB ******** 05
        ;DELAY SECOND
        ;IN  = R1
        ;REG = R1,R2,R3,R4

DSEC:   MOV    R1,#03
DSEC1:  MOV    R2,#10
        LCALL  DTSEC
        DJNZ   R1,DSEC1
        RET

        ;******** SBYTE SUB ******** 45
        ; SEND BYTE
        ; IN = A
        ; REG = NO

 SBYTE: JNB    TI,$             ;WAIT FOR SEND OK
        CLR    TI
        MOV    SBUF,A
        RET

        ;******** SBLOCK SUB ******** 46
        ;SEND BLOCK
        ;IN = DPTR ROM-ADDRESS (END BY 0 OR 0DH)
        ;OUT= DPTR (NEXT)
        ;REG= A,DPTR

SBLOCK: CLR    A
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
        MOVC    A,@A+DPTR
        CJNE    A,#0,SBLOCK1
        INC     DPTR                ;NEXT ADDRESS
        RET                         ;EXIT BY 0
SBLOCK1:CJNE    A,#0DH,SBLOCK2
        LCALL   SLF                 ;CR/LF
        INC     DPTR                ;NEXT ADDRESS
        RET
SBLOCK2:LCALL   SBYTE
        INC     DPTR
        SJMP    SBLOCK

        ;******** SLF SUB ******** 50
        ; PRINT CR/LF
        ; REG = A

 SLF:   MOV     A,#0DH
        LCALL   SBYTE
        MOV     A,#0AH
        LCALL   SBYTE
        RET

        ;******** RBYTE SUB ******** 51
        ; OUT = A
        ; REG = A

 RBYTE: JNB     RI,$                ;WAIT FOR RECEIVE OK
        CLR     RI
        MOV     A,SBUF
        RET

  TTT1: MOV     DPTR,#STORE
  TTT:  MOVX    A,@DPTR
        LCALL   SBYTE
        INC     DPTR
        SJMP    TTT
        RET

        END
```

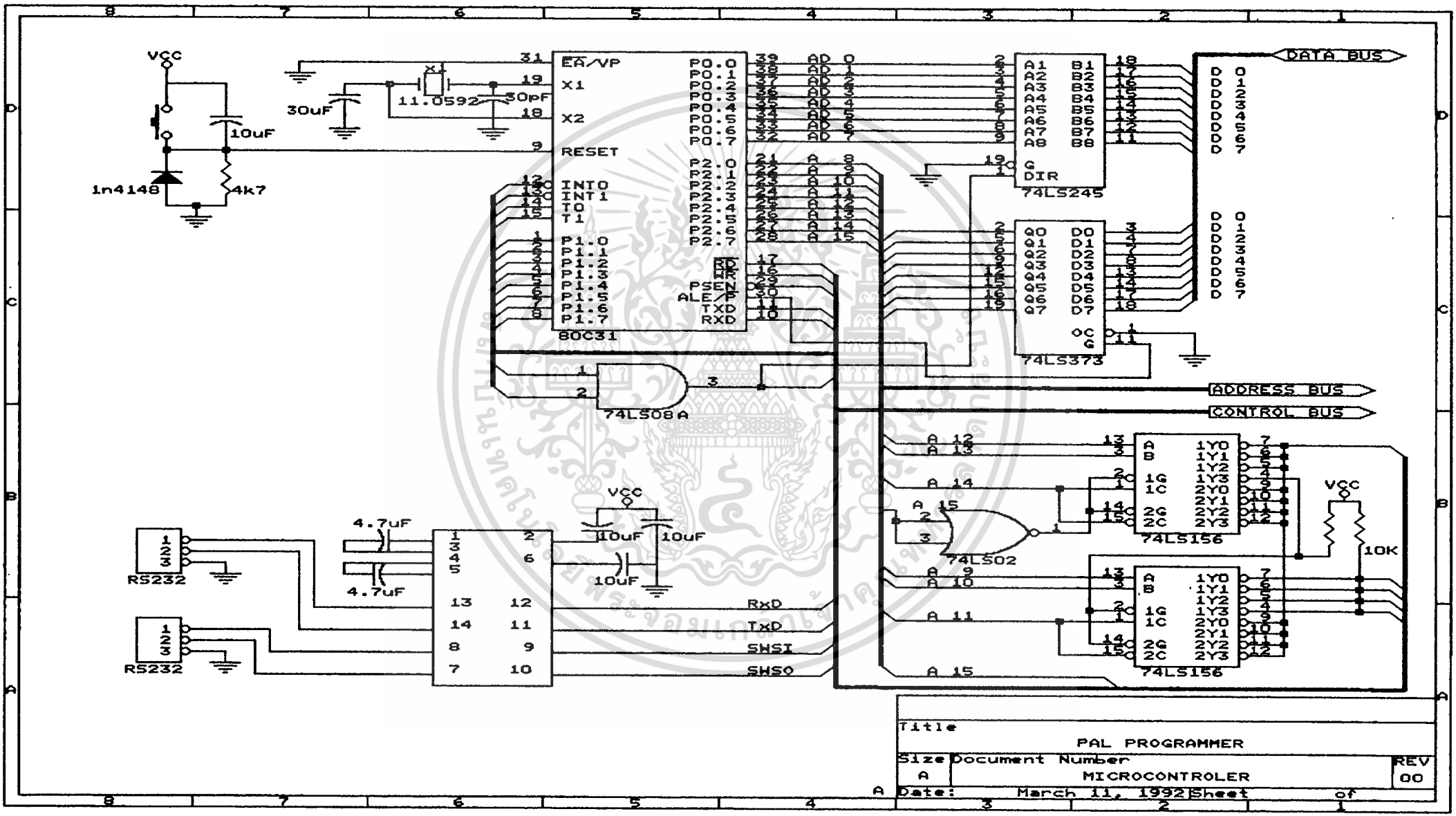
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



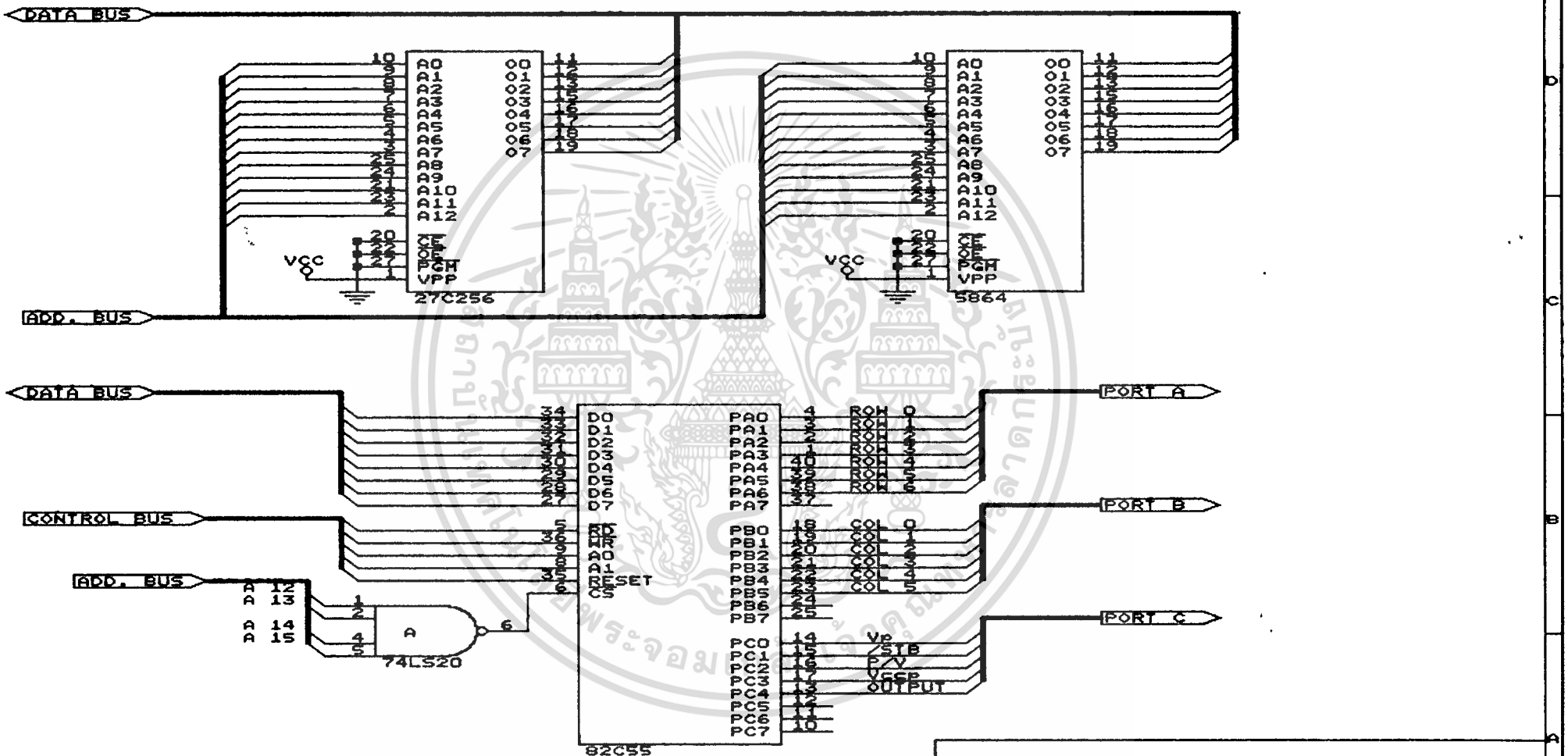
BLOCK DIAGRAM

PAL PROGRAMMER

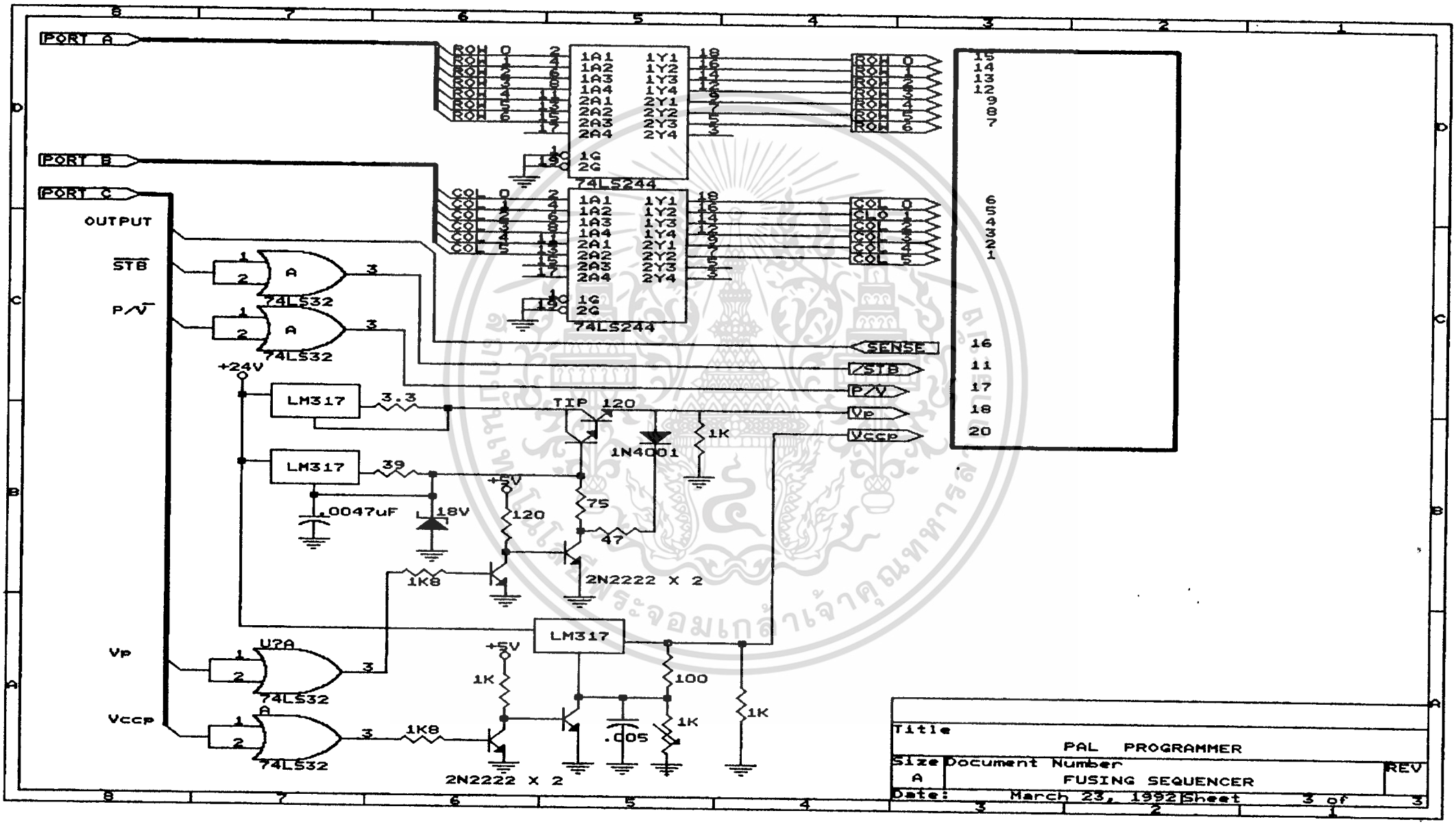
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



Title	PAL PROGRAMMER	
Size A	Document Number MICROCONTROLER	REV 00
Date: March 11, 1992	Sheet of	

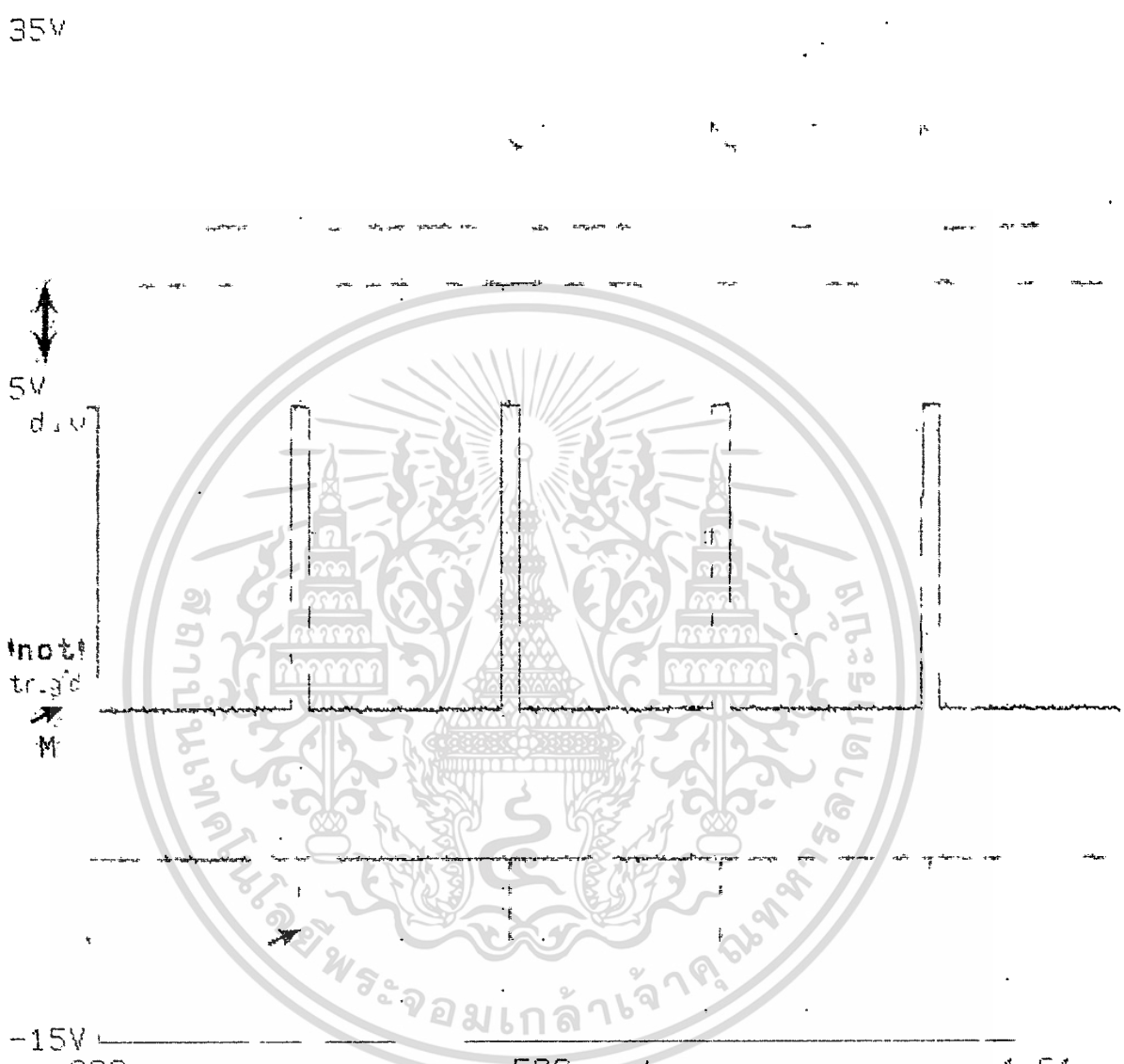


Title	PAL PROGRAMMER	
Size: A	Document Number: MEMORY & OUT PORT	REV: 00
Date: March 23, 1992	Sheet 2 of 3	


PORT A
PORT B
PORT C
OUTPUT
STB
P/V
74LS244
74LS244
74LS532
74LS532
+24V
LM317
3.3
LM317
39
.0047uF
18V
TIP 120
1N4001
1K
+5V
120
75
47
2N2222 X 2
1K8
LM317
+5V
1K
100
1K
1K
.005
1K8
2N2222 X 2
74LS532
74LS532
Vp
Vccp
SENSE
/STB
P/V
Vp
Vccp
Title
PAL PROGRAMMER
Size
A
Document Number
FUSING SEQUENCER
REV
Date: March 23, 1992
Sheet 3 of 3

11402 DIGITIZING OSCILLOSCOPE {exp:3.8,dig:3.91,dsy:3.3}
date: 20-MAR-92 time: 22:17:48 Instrument ID# B021374

Tek Cursors Window1 DefWfm



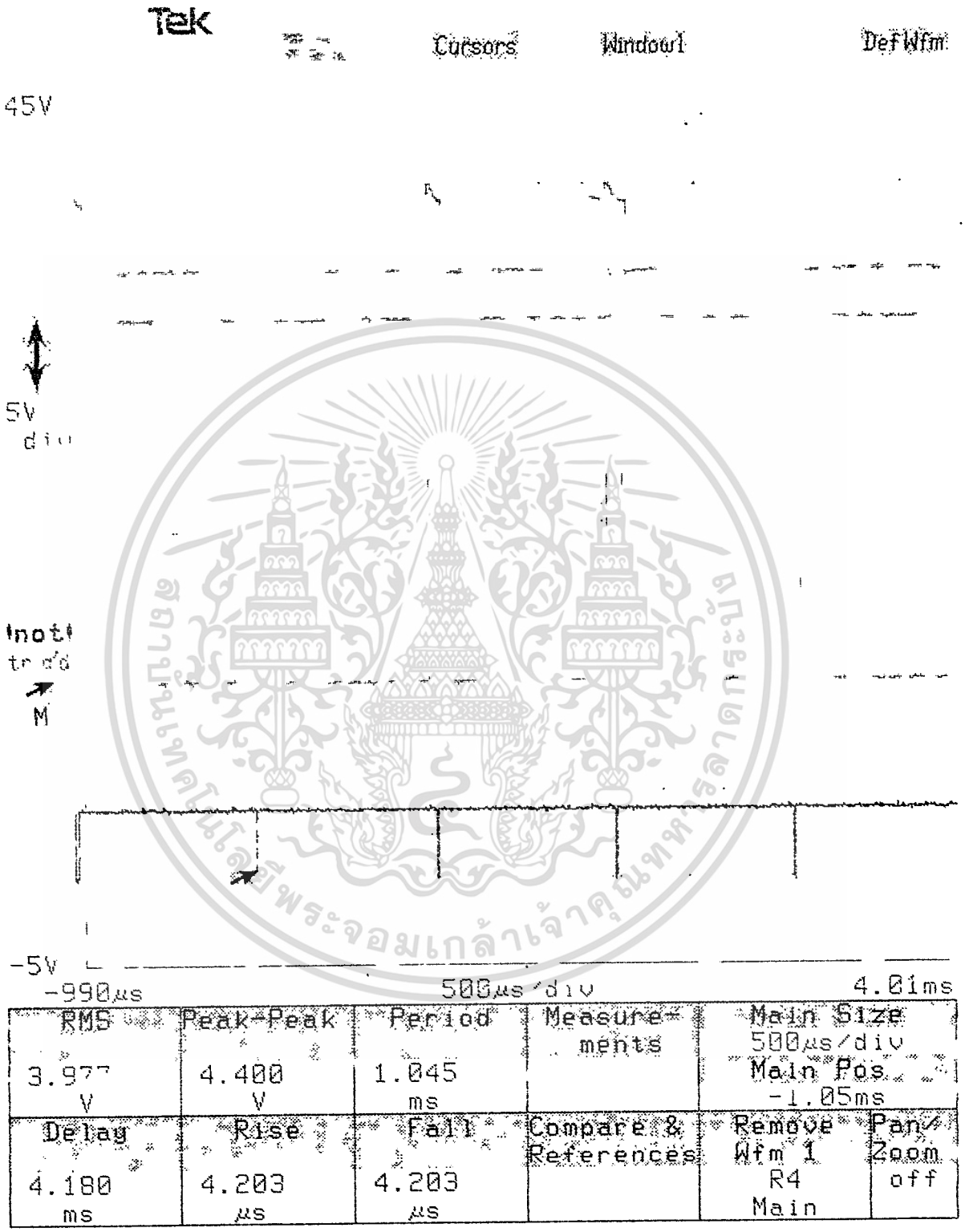
RMS	Peak-Peak	Period	Measure-ments	Main Size 500µs/div Main Pos -1.05ms	
4.833 V	15.35 V	1.045 ms			
Delay	**Rise**	**Fall**	**Compare & References**	**Remove Wfm 2**	**Pan/ Zoom**
4.170 ms	7.950 µs	4.814 µs		R3 Main	off

WAVEFORM

1. **PROGRAM / VERIFY**
2. **Vcc**
3. **Vp**
4. **STROBE**

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งไม่ให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

11402 DIGITIZING OSCILLOSCOPE {exp:3.8,dig:3.91,dsy:3.3}
date: 20-MAR-92 time: 22:50:32 Instrument ID# B021374



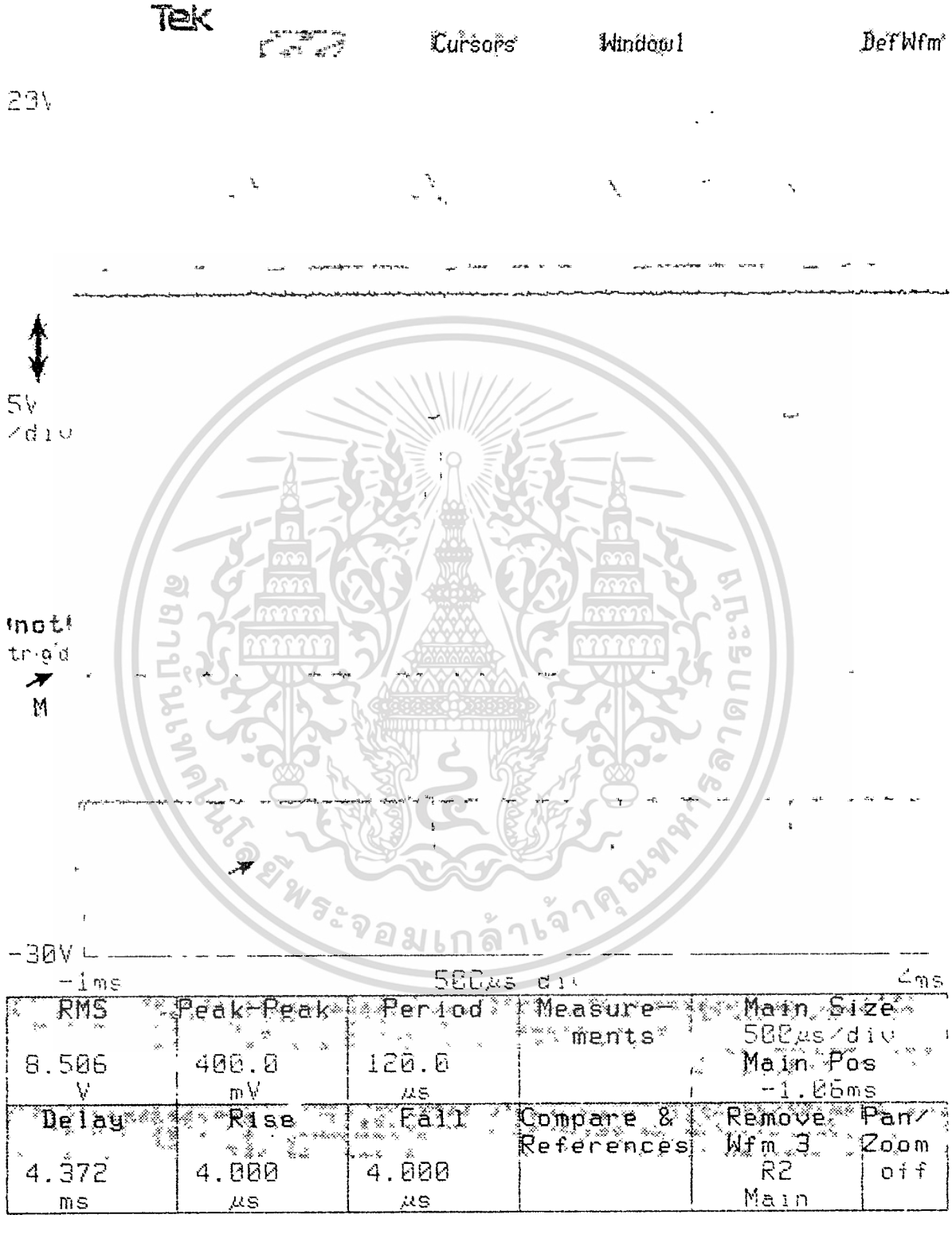
RMS	Peak-Peak	Period	Measure-ments	Main Size 500µs/div Main Pos. -1.05ms	
3.977 V	4.400 V	1.045 ms			
Delay 4.180 ms	Rise 4.203 µs	Fall 4.203 µs	Compare & References	Remove Wfm 1 R4 Main	Pan/Zoom off

WAVEFORM

1. **PROGRAM / VERIFY**
2. **Vccp**
3. **Vp**
4. **STROBE**

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับใช้ในการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งไม่ให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

11402 DIGITIZING OSCILLOSCOPE {exp:3.8,dig:3.91,dsy:3.3}
date: 20-MAR-92 time: 23:03:36 Instrument ID# B021374



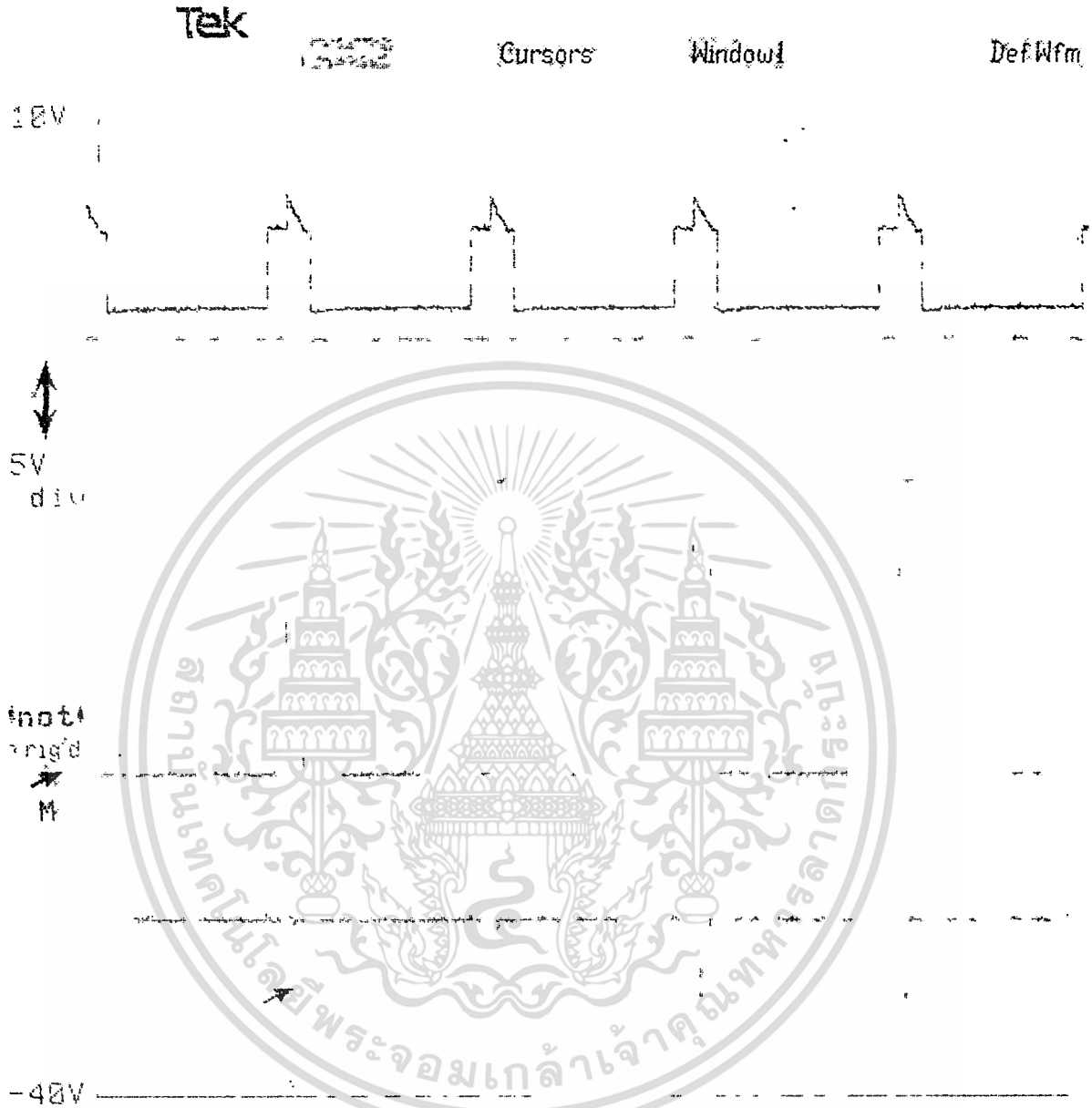
RMS	Peak-Peak	Period	Measure-ments	Main Size 500µs/div Main Pos -1.06ms	
8.506 V	400.0 mV	120.0 µs			
Delay	**Rise**	**Fall**	**Compare & References**	**Remove Wfm 3 R2 Main**	**Pan/Zoom off**
4.372 ms	4.000 µs	4.000 µs			

WAVEFORM

1. **PROGRAM / VERIFY**
2. **Vcc**
3. **Vp**
4. **STROBE**

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น ห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

11402 DIGITIZING OSCILLOSCOPE {exp:3.8,dig:3.91,dsy:3.3}
date: 20-MAR-92 time: 23:08:40 Instrument ID# B021374



RMS	Peak-Peak	Period	Measure-ments	Main Size 500µs/div Main Pos -1.86ms	
2.077 V	6.000 V	1.645 ms			
Delay	**Rise**	**Fall**	**Compare & References**	**Remove Wfm 4**	**Pan/Zoom**
4.987 ms	102.6 µs	95.66 µs		R1 Main	off

WAVEFORM

1. **PROGRAM / VERIFY**
2. **Vccp**
3. **Vp**
4. **STROBE**

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งไม่อนุญาตให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

11402 DIGITIZING OSCILLOSCOPE {exp:3.8,dig:3.91,dsy:3.3}
date: 20-MAR-92 time: 23:14:09 Instrument ID# B021374

RMS	Peak-Peak	Delay	Measure-ments	Vert Size: R1 5.00
error	5.750 V	222.5 µs		Vert Offset: R1 -15V

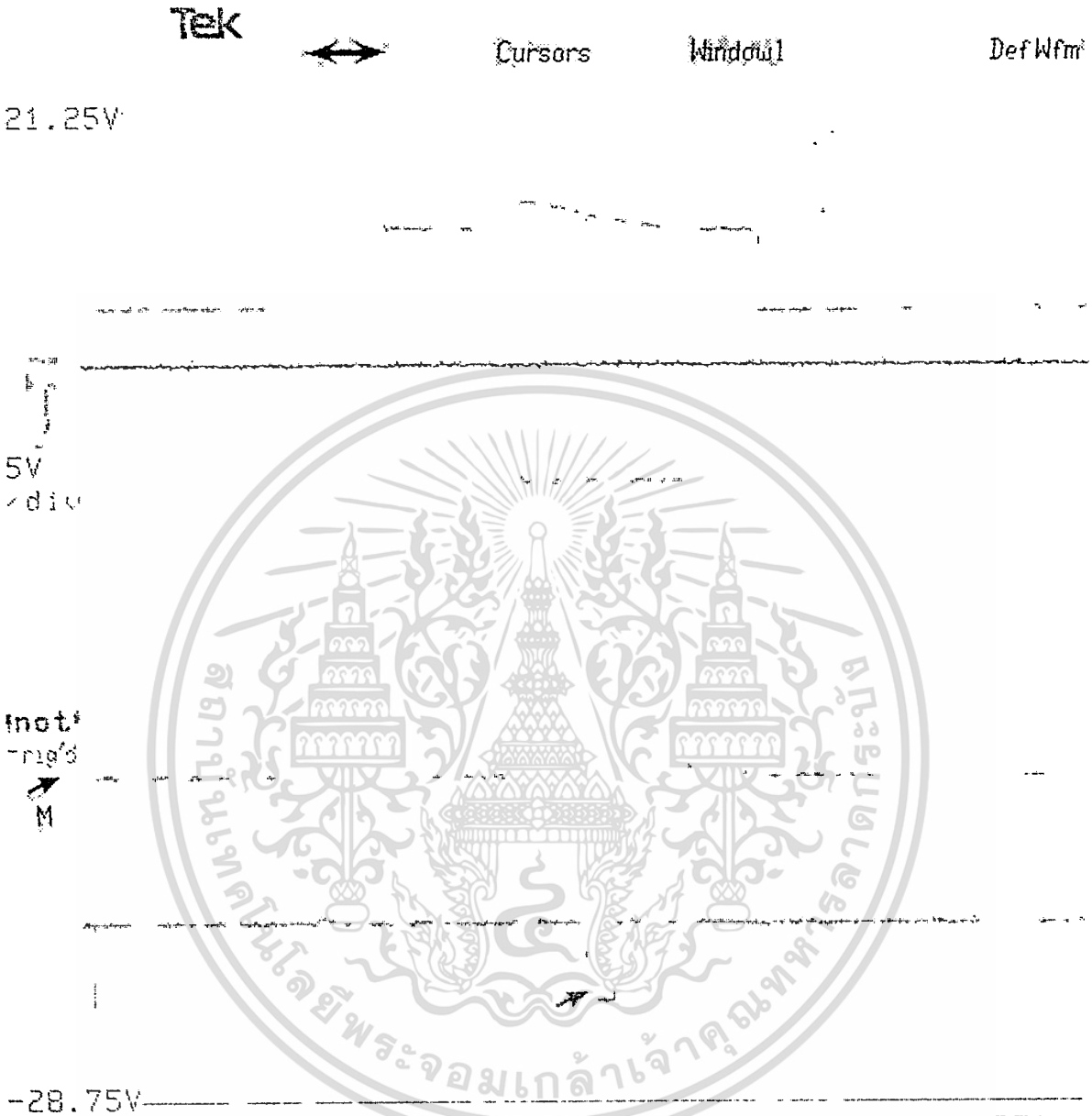
Width	Rise	Fall	Compare & References	Remove Wfm 4	Chan Sel
222.5 µs	420.9 ns	395.2 ns		Ri Main	R1

WAVEFORM

1. PROGRAM / VERIFY
2. Vccp
3. Vp
4. STROBE

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น ทั้งนี้ห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

11402 DIGITIZING OSCILLOSCOPE {exp:3.8,dig:3.91,dsy:3.3}
date: 20-MAR-92 time: 23:20:32 Instrument ID# B021374



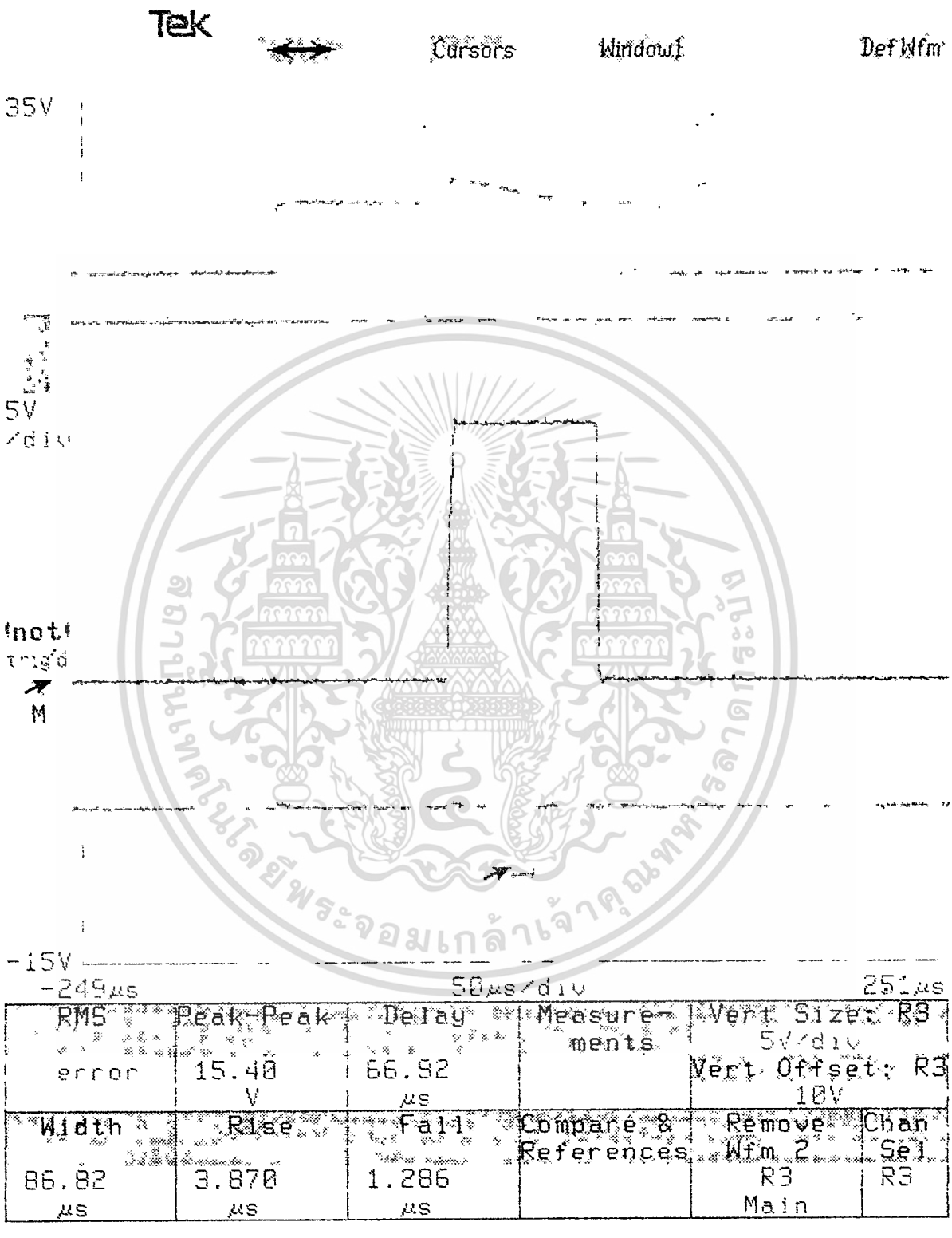
RMS	Peak-Peak	Delay	Measure-ments	Vert Size: R2 5V/div Vert Offset: R2 -3.75V	
8.514 V	350.0 mV	505.6 µs			
Width	Rise	Fall	Compare & References	Remove Wfm 3	Chan Sel
13.00 µs	796.9 ns	1.698 µs		R2 Main	R2

WAVEFORM

1. PROGRAM / VERIFY
2. Vccp
3. Vp
4. STROBE

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

11402 DIGITIZING OSCILLOSCOPE {exp:3.8,dig:3.91,dsy:3.3}
date: 20-MAR-92 time: 23:24:01 Instrument ID# B021374



RMS	Peak-Peak	Delay	Measure-ments	Vert Size: R3 5V/div
error	15.40 V	66.92 µs		Vert Offset: R3 10V

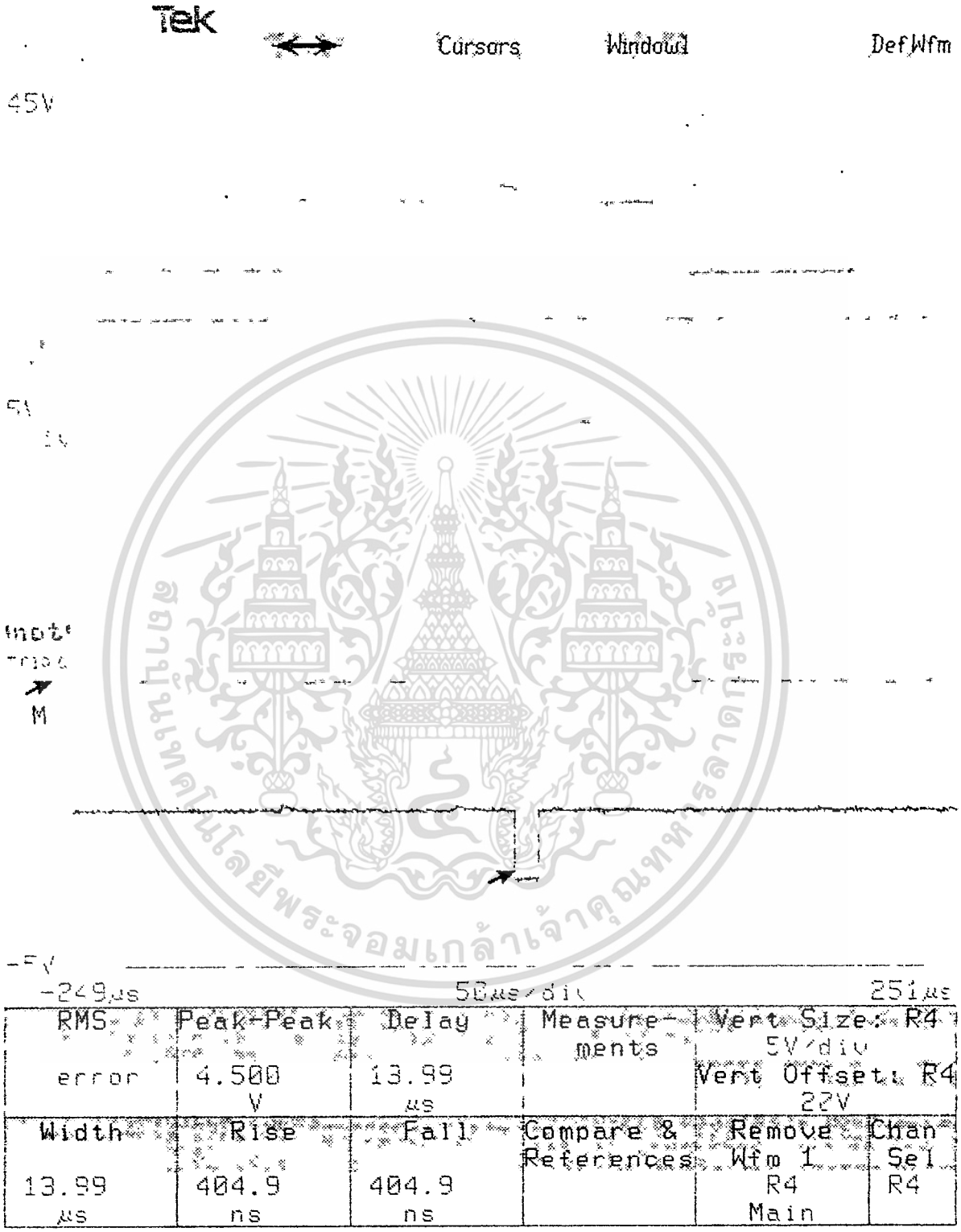
Width	Rise	Fall	Compare & References	Remove Wfm 2	Chan Sel
86.82 µs	3.870 µs	1.286 µs		R3 Main	R3

WAVEFORM

1. PROGRAM / VERIFY
2. Vccp
3. Vp
4. STROBE

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งไม่อนุญาตให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

11402 DIGITIZING OSCILLOSCOPE {exp:3.8,dig:3.91,dsy:3.3}
date: 20-MAR-92 time: 23:28:51 Instrument ID# B021374



RMS	Peak-Peak	Delay	Measure-ments	Vert Size: R4
error	4.500 V	13.99 µs		5V/div Vert Offset: R4 22V

Width	Rise	Fall	Compare & References	Remove Wfm 1	Chan Sel
13.99 µs	404.9 ns	404.9 ns		R4 Main	R4

WAVEFORM

1. PROGRAM / VERIFY
2. Vccp
3. Vp
4. STROBE

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งไม่อนุญาตให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทสรุป

จากการทดลอง เครื่อง PROGRAM PAL สามารถที่จะรับและส่งข้อมูลที่ได้จาก PC COMPUTER ตามที่เรากำหนดไว้ได้ และสามารถจะ โปรแกรมค่าของ ไอซีตระกูล PAL ได้ตามที่เราต้องการ

ปัญหาที่สำคัญในการทดลองคือ แรงดันและกระแส ไม่สามารถที่จะจ่ายให้กับตัวงานที่จะทำการ PROGRAM ได้เพียงพอ และอีกอย่างหนึ่งก็คือ DATA ที่ใช้สำหรับเก็บ FILE ใน MOMITOR PROGRAM ในตอนแรกไม่สามารถที่จะรับ DATA ได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก 2

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Signetics

82S153A (PLS153A)
Field Programmable Logic Array (18 × 42 × 10)

Signetics Programmable Logic
Product Specification

Military
Application Specific Products

DESCRIPTION

The 82S153A is a two-level logic elements, consisting of 42 AND gates and 10 OR gates with fusible link connections for programming I/O polarity and direction.

All AND gates are linked to 8 inputs (I) and 10 bidirectional I/O lines (B). These yield variable I/O gate configurations via 10 direction control gates (D), ranging from 18 inputs to 10 outputs.

On chip T/C buffers couple either True (I, B) or Complement ($\bar{I}$, $\bar{B}$) input polarities to all AND gates, whose outputs can be optionally linked to all OR gates. Their output polarity, in turn, is individually programmable through a set of EX-OR gates for implementing AND/OR or AND/NOR logic functions.

The 82S153A is field-programmable, enabling the user to quickly generate custom patterns using standard programming equipment.

Order codes are contained on the pages following.

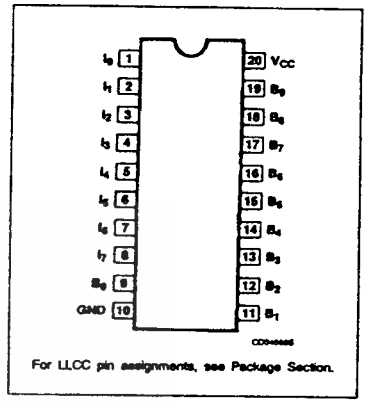
FEATURES

- **Field-Programmable (Ni-Cr links)**
- **8 inputs**
- **42 AND gates**
- **10 OR gates**
- **10 bidirectional I/O lines**
- **Active high or low outputs**
- **42 Product Terms:**
  - **32 Logic Terms**
  - **10 Control Terms**
- **I/O propagation delay: 45ns (max)**
- **Input loading: −150μA (max)**
- **Power dissipation: 650mW (typ)**
- **Tri-State Outputs**
- **TTL compatible**

APPLICATIONS

- **Random logic**
- **Code converters**
- **Fault detectors**
- **Function generators**
- **Address mapping**
- **Multiplexing**

PIN CONFIGURATION



For LLCC pin assignments, see Package Section.

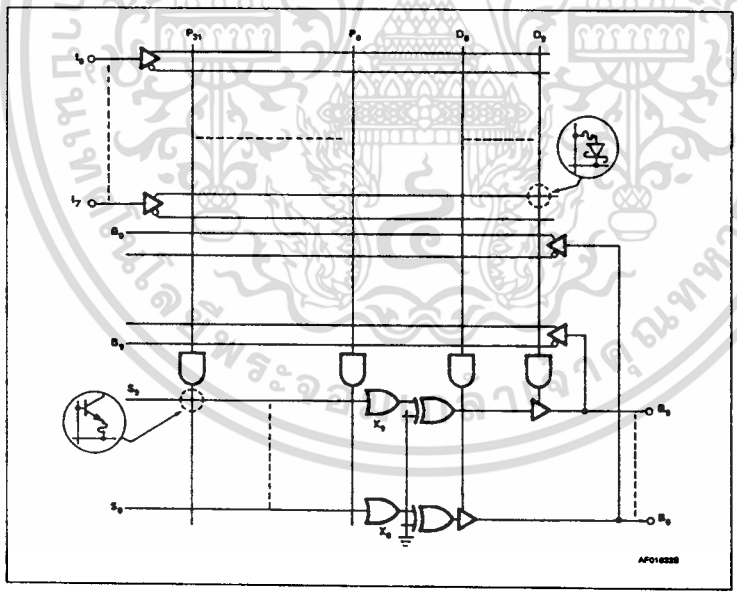
LOGIC FUNCTION

TYPICAL PRODUCT TERM:
$Pn = A \cdot B \cdot C \cdot D \cdot \ldots$
TYPICAL LOGIC FUNCTION:
AT OUTPUT POLARITY = H
$Z = P0 + P1 + P2 \ldots$

AT OUTPUT POLARITY = L
$\bar{Z} = \overline{P0 + P1 + P2 + \ldots}$
$\bar{Z} = \overline{P0} \cdot \overline{P1} \cdot \overline{P2} \ldots$

NOTES:
1. For each of the 10 outputs, either function Z (active-high) or $\bar{Z}$ (active-low) is available, but not both. The desired output polarity is programmed via the EX-OR gates.
2. Z, A, B, C, etc. are user defined connections to fixed inputs (I) and bidirectional pins (B).

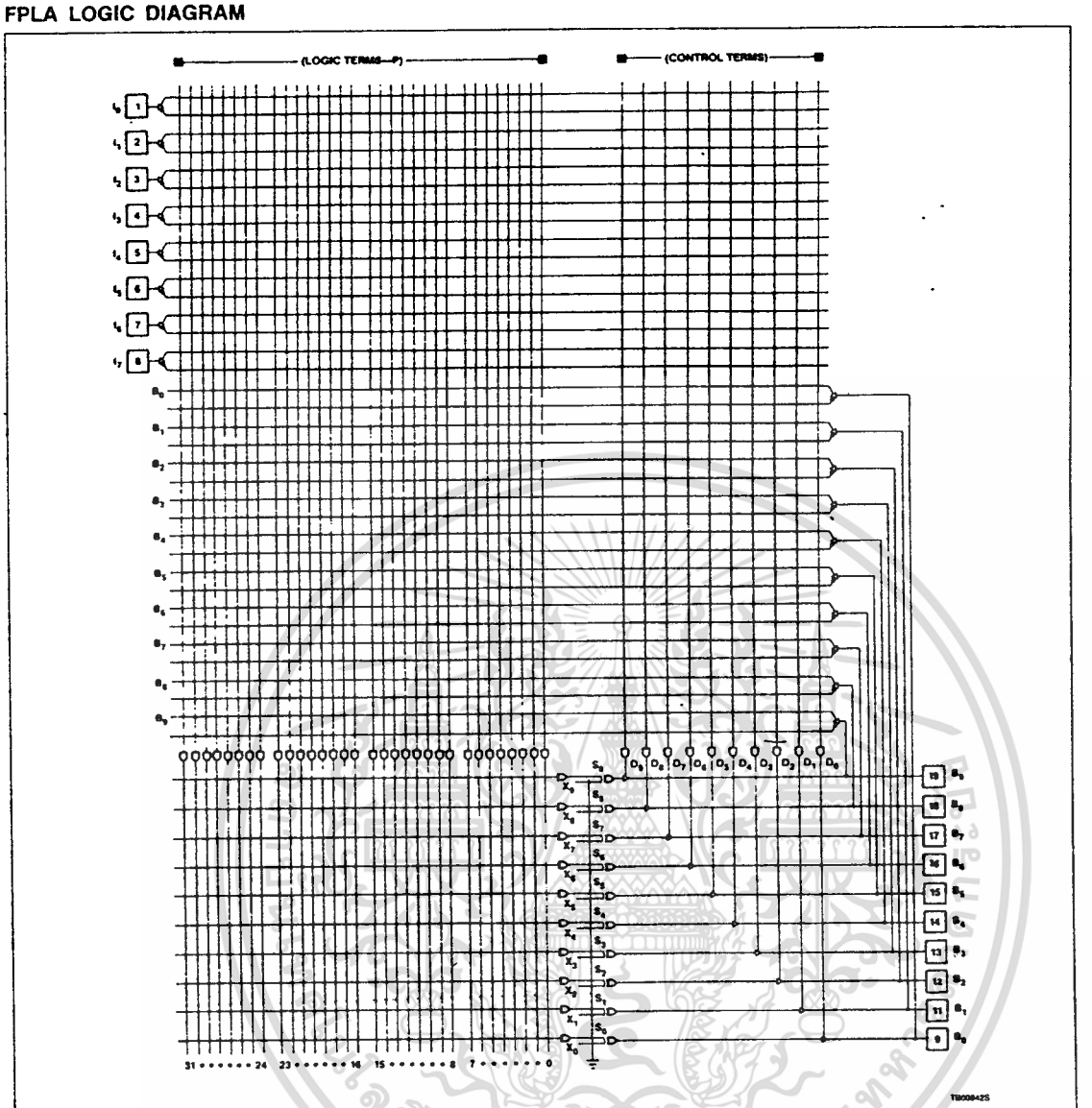
FUNCTIONAL DIAGRAM



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Field Programmable Logic Array (18 × 42 × 10) — 82S153A

FPLA LOGIC DIAGRAM



NOTES:
1. All programmed "AND" gate locations are pulled to logic "1".
2. All programmed "OR" gate locations are pulled to logic "0".
3. ⊗ Programmable connection.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Field Programmable Logic Array (18 × 42 × 10) — 82S153A

ORDERING INFORMATION

DESCRIPTION	ORDER CODE
20-pin Ceramic DIP 300mil	82S153A/BRA
20-pin Ceramic Flat Pack	82S153A/BSA
Ceramic LLCC	82S153A/B3C

ABSOLUTE MAXIMUM RATINGS[1]

SYMBOL	PARAMETER	RATING		UNIT
		Min	Max	
V_{CC}	Supply voltage		+7	V_{DC}
V_I	Input voltage		+10.0	V_{DC}
V_O	Output voltage		+5.5	V_{DC}
I_I	Input currents	−30	+30	mA
I_O	Output currents		+100	mA
T_A T_{STG}	Temperature range Operating Storage	 −55 −65	 +125 +150	°C

DC ELECTRICAL CHARACTERISTICS $-55°C \leq T_A \leq +125°C,\ 4.5V \leq V_{CC} \leq 5.5V$

SYMBOL	PARAMETER[3]	TEST CONDITIONS[3]	LIMITS[3]			UNIT
			Min	Typ[2]	Max	
Input voltage						
V_{IL}	Low	$V_{CC} = 4.5V$			0.80	V
V_{IH}	High	$V_{CC} = 5.5V$	2.0			
V_{IK}	Clamp[4]	$V_{CC} = 4.5V,\ I_I = -18mA$		−0.8	−1.2	
Output voltage						
V_{OL}	Low[5]	$V_{CC} = 4.5V$ $I_{OL} = 15mA$			0.5	V
V_{OH}	High[6]	$I_{OH} = -2mA$	2.4			
Input current						
I_{IL}	Low	$V_{CC} = 5.5V$ $V_I = 0.45V$			−150	μA
I_{IH}	High	$V_I = 5.5V$			50	
Output current						
$I_{O(OFF)}$	Hi-Z state[11]	$V_{CC} = 5.5V$ $V_O = 5.5V$			110	μA
		$V_O = 0.45V$			−210	
I_{OS}	Short circuit[4, 6, 7]	$V_O = 0V$	−15		−85	mA
I_{CC}	V_{CC} supply current[8]	$V_{CC} = 5.5V$		130	165	mA
Capacitance[12]						
C_{IN}	Input	$V_{CC} = 5V$		8	13	pF
C_B	I/O	$V_I = 2.0V$ $V_B = 2.0V$		15	20	

Notes on following page.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

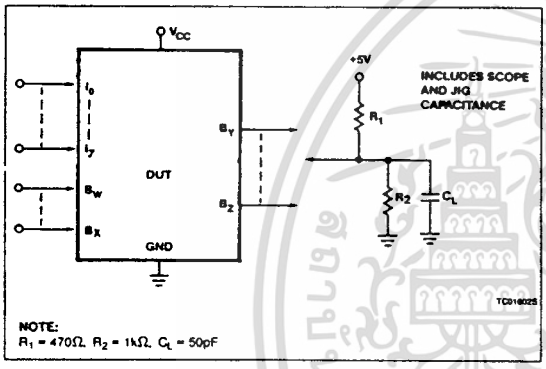
Field Programmable Logic Array (18 × 42 × 10) — 82S153A

AC ELECTRICAL CHARACTERISTICS $-55°C \leq T_A \leq +125°C$, $4.5V \leq V_{CC} \leq 5.5V$

SYMBOL	PARAMETER	TO	FROM	TEST CONDITIONS	LIMITS			UNIT
					Min	Typ[2]	Max	
T_{PD} T_{OE}	Propagation delay Output enable	Output ± Output –	Input ± Input ±	C_L = 30pF		20 20	45 40	ns
T_{OD}	Output disable[9, 11]	Output +	Input ±	C_L = 5pF		20	40	ns

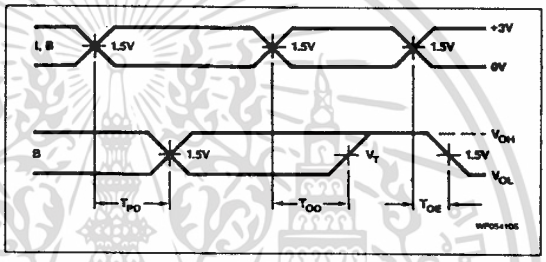
NOTES:
1. Stresses above those listed under "Absolute Maximum Ratings" may cause malfunction or permanent damage to the device. This is a stress rating only. Functional operation at these or any other conditions above those indicated in the operational and programming specification of the device is not implied.
2. All typical values are at V_{CC} = 5V, T_A = 25°C.
3. All voltage values are with respect to network ground terminal.
4. Test one at a time.
5. Measured with + 10V applied to I_7.
6. Measured with + 10V applied to I_{0-7}. Output sink current is supplied through a resistor to V_{CC}.
7. Duration of short circuit should not exceed 1 second.
8. I_{CC} is measured with I_0 grounded and outputs open.
9. Measured at $V_T = V_{OL} + 0.5V$.
10. Leakage values are a combination of input and output leakage.
11. Not testable on unprogrammed device.
12. Guaranteed but not tested.

TEST LOAD CIRCUIT

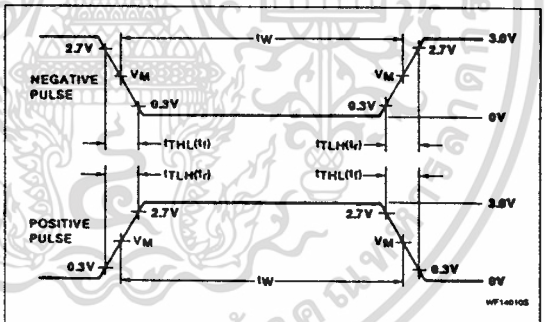


NOTE:
R_1 = 470Ω, R_2 = 1kΩ, C_L = 50pF

TIMING DIAGRAMS



VOLTAGE WAVEFORMS



TIMING DEFINITIONS

T_{PD} Propagation delay between input and output.

T_{OD} Delay between input change and when output is off (Hi-Z or High).

T_{OE} Delay between input change and when output reflects specified output level.

INPUT PULSE DEFINITIONS

INPUT PULSE CHARACTERISTICS				
V_M	Rep. Rate	Pulse Width	t_{TLH}	t_{THL}
1.5V	1MHz	500ns	≤ 5ns	≤ 5ns

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Field Programmable Logic Array (18 × 42 × 10) — 82S153A

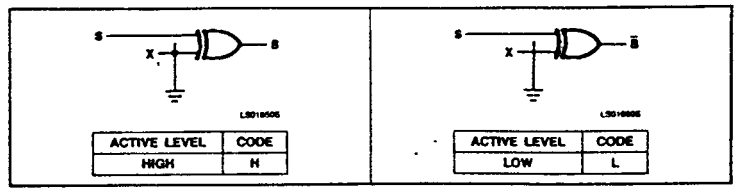
LOGIC PROGRAMMING

The FPLA can be programmed by means of Logic programming equipment.

With Logic programming, the AND/OR/EX-OR gate input connections necessary to implement the desired logic function are coded directly from logic equations using the Program Table on the following page.

In this Table the logic state of variables I, P, and B associated with each Sum Term S is assigned a symbol which results in the proper fusing pattern of corresponding link pairs, defined as follows:

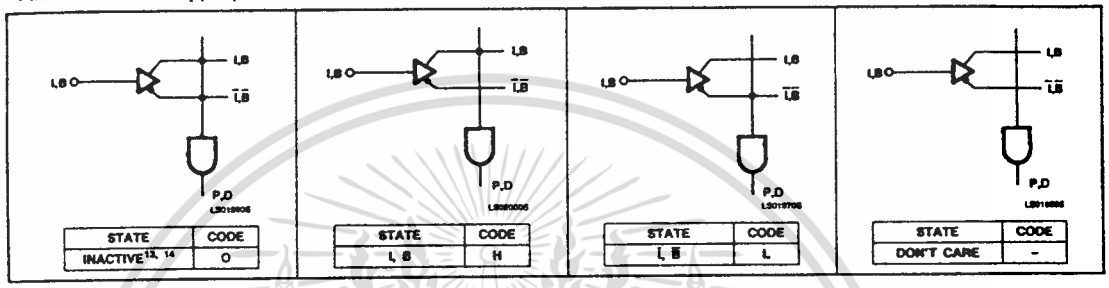
OUTPUT POLARITY – (B)



ACTIVE LEVEL	CODE
HIGH	H

ACTIVE LEVEL	CODE
LOW	L

"AND" ARRAY – (I, B)



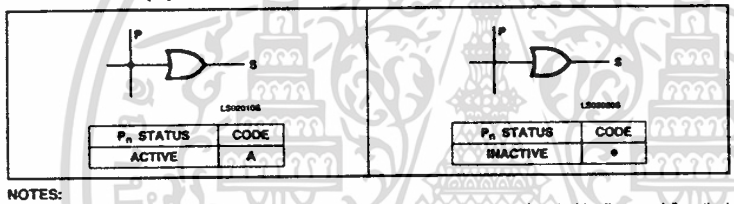
STATE	CODE
INACTIVE[13, 14]	O

STATE	CODE
I, B	H

STATE	CODE
I, B̄	L

STATE	CODE
DON'T CARE	-

OR ARRAY – (B)



P_n STATUS	CODE
ACTIVE	A

P_n STATUS	CODE
INACTIVE	•

NOTES:

13. This is the initial unprogrammed state of all link pairs. It is normally associated with all unused (inactive) AND gates P_n, D_n.
14. Any gate P_n, D_n will be unconditionally inhibited if any one of its (I, B) link pairs is left intact.

VIRGIN STATE

A factory shipped virgin device contains all fusible links intact, such that:

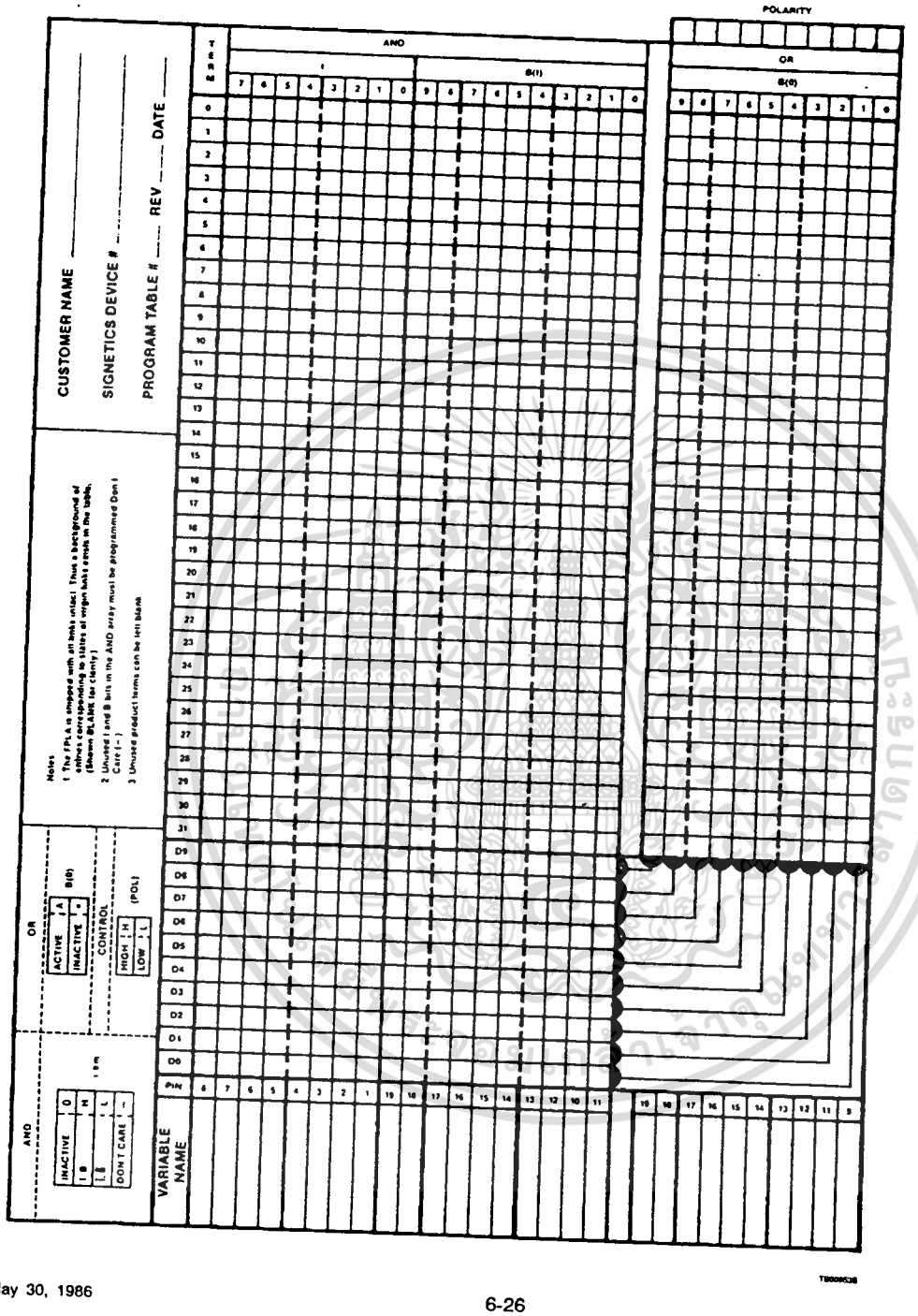
1. All outputs at "H" polarity.
2. All P_n terms are disabled.
3. All P_n terms are active on all outputs.

CAUTION: 82S153A TEST COLUMNS

The 82S153A incorporates two columns not shown in the logic block diagram. These columns are used for in-house testing of the device in the unprogrammed state. These columns must be disabled prior to using the 82S153A in your application. If you are using a Signetics approved programmer the disabling is accomplished during the device programming sequence. If these columns are not disabled, abnormal operation is possible.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

FPLA PROGRAM TABLE

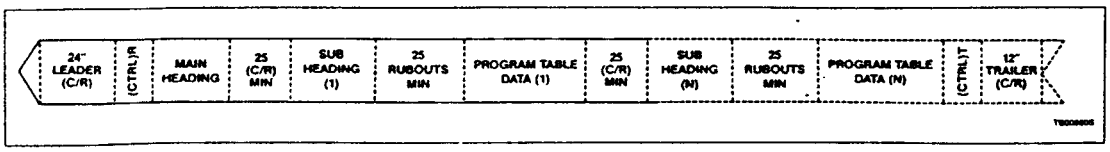


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TWX TAPE CODING (LOGIC FORMAT)

The FPLA Program Table can be sent to Signetics in ASCII code format via airmail using any type of 8-level tape (paper, mylar, fanfold, etc.), or via TWX: just dial (910) 339-9283, tell the operator to turn the paper puncher on, and acknowledge. At the end of transmission instruct the operator to send tape to Signetics Order Entry.

A number of Program Tables can be sequentially assembled on a continuous tape as follows, however, limit tape length to a roll of 1.75 inch inside diameter and 4.25 inch outside diameter.



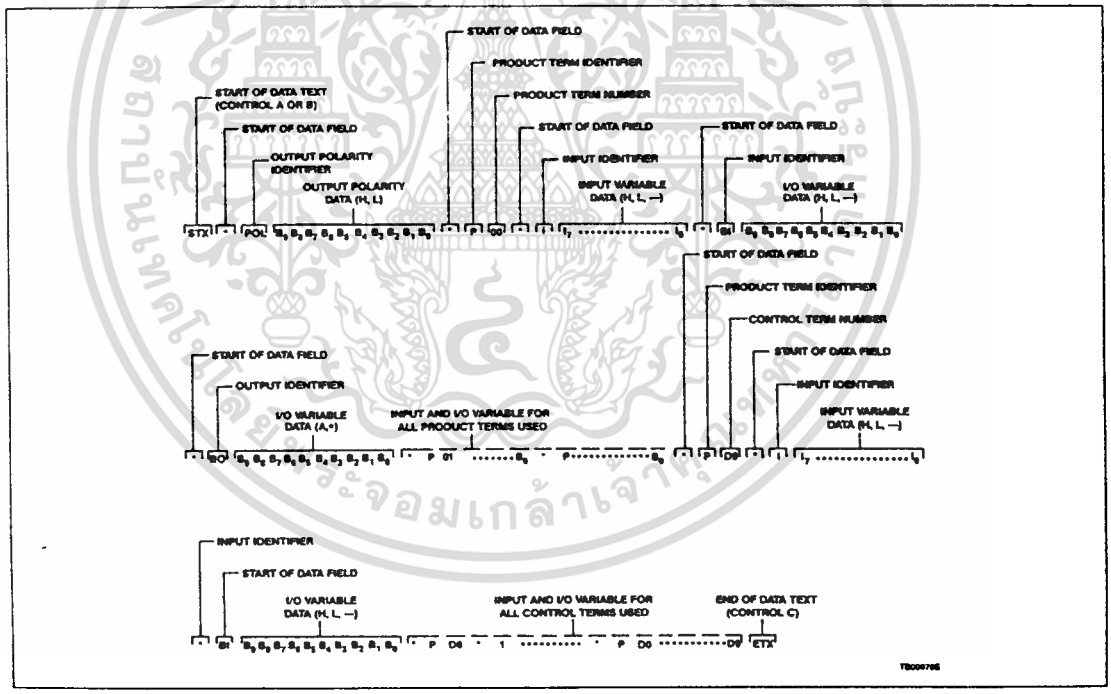
A. The MAIN HEADING at the beginning of tape includes the following information, with each entry preceded by a ($) character, whether used or not:

— 1. Customer Name
— 2. Customer TWX No.
— 3. Date
— 4. Purchase Order No.
— 5. Number of Program Tables
— 6. Total Number of Parts

B. Each SUB HEADING should contain specific information pertinent to each Program Table as follows, with each entry preceded by a ($) character, whether used or not:

— 1. Signetics Device No.
— 2. Program Table No.
— 3. Revision
— 4. Date
— 5. Customer Symbolized Part No.
— 6. Number of Parts

C. Program Table data blocks are initiated with an STX character, and terminated with an ETX character. The body of the data consists of output polarity, product term, and output information separated by appropriate identifiers in accordance with the following format. Entries for the data fields correspond to those defined in the Logic PROGRAM TABLE:



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

REV.
PARA. I.D. NO. 0176z DISK NO. 0039z **FIGURE(S)**

1. PURPOSE:

D 1.1 This document establishes the requirements, conditions and procedures which need to be followed in order to program FPLA PLS152/153 and PLS153A devices.

2. SCOPE:

D 2.1 This document applies to all users of PLS152/153 and PLS153A devices and the systems used to program these devices. A system used for programming must satisfy all the requirements specified herein to be qualified by Signetics. These requirements supersede but do not render obsolete programming equipment approved prior to the release of this document.

2.2 Contents:

2.2.1 Purpose (Paragraph 1)

2.2.2 Scope (Paragraph 2)

2.2.3 Applicable Standards and Specifications (Paragraph 3)

2.2.4 Equipment and Materials (Paragraph 4)

2.2.5 Calibration (Paragraph 5)

2.2.6 Records and Forms (Paragraph 6)

2.2.7 Programming Procedure (Paragraph 7)

D 2.2.8 PLS152/153/153A Programming Specifications (TABLE I)

MASTER SPEC

SIGNETICS TECHNICAL
DATE RCVD 23 OCT 1985

DISTRIBUTION CENTER

DOC TYPE: OPERATOR INSTRUCTION DOCUMENT (O.I.D.)	CONTROL CENTER: ASP DIVISION
DOCUMENT TITLE: ADM ASPD ENGR-PLS152/153/153A PROGRAMMER REQUIREMENTS	REVISION: D
DOCUMENT NUMBER: 350-2007 FSCM 18324 SIGNETICS	

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

REV.
PARA. I.D. NO. 0176z DISK NO. 0039z **FIGURE(S)**

2. SCOPE: (Continued)

2.2.9 Program/Verify Mode Row Select (TABLE II)

2.2.10 Program/Verify Mode Column Select (TABLE III)

2.2.11 Program/Verify Mode Pin Out (FIGURE 1)

2.2.12 Program/Verify Timing Waveforms (FIGURE 2)

3. APPLICABLE STANDARDS AND SPECIFICATIONS:

3.1 None required

4. EQUIPMENT AND MATERIALS:

4.1 Approved equipment to be added at a later date.

5. CALIBRATION:

5.1 Not applicable

6. FORMS:

6.1 Not applicable

7. PROCEDURE:

7.1 Set Up Sequence:

7.1.1 Pin connections and conditions must be as specified in TABLE I and FIGURES 1 and 2.

7.1.2 Pin 16 should be terminated with a 10K ohm resistor to Vcc.

7.1.3 Pin 10 should be grounded.

7.1.4 Bypass Vcc to ground with a 0.01uf capacitor.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

REV. PARA. I.D. NO. 0176z DISK NO. 0039z **FIGURE(S)**

7. PROCEDURE: (Continued)

7.1.5 Apply 0 volts to Pin 20 (Vcc).

C 7.1.6 Apply 0 volts to Pin 18 (Fuse Supply).

D 7.1.7 Apply VIH to Pin 11 (Strobe).

D 7.1.8 Apply VIL to Pin 17 (Program/Verify).

7.1.9 Connect Pin 16 (Output F_N) to VMEASURE.

7.1.10 Apply 0 volts to all other pins.

7.2 Select the fuse to be programmed and verified as follows:

D 7.2.1 Apply VIL or VIH to Pins 1-6, 8, 9 and 12-15 in accordance with the Binary Address Map in TABLES II and III.

D 7.2.2 Wait TD1 and raise Pin 20 to VCCP.

D 7.2.3 Wait TD2 and raise Pin 17 to VIH.

D 7.2.4 Wait TD3 and raise Pin 18 to VP.

D 7.2.5 Wait TD4 and pulse Pin 11 to VIL for a duration of PWP.

D 7.2.6 Return Pin 11 to VIH.

D 7.2.7 Wait TD5 and lower Pin 18 to 0 volts.

D 7.2.8 Wait TD6 and lower Pin 17 to VIL.

D 7.2.9 Wait TD7 and pulse Pin 11 to VIL for a duration of PWV.

D 7.2.10 Wait TD8. Read Pin 16: VSOH greater than 2V indicates fuse was programmed; VSOL less than 1V indicates an unsuccessful fusing attempt.

C 7.2.11 Return Pin 11 to VIH.

D 7.2.12 Wait TD9 and lower Pin 20 to 0 volts.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

REV.
PARA. I.D. NO. 0176z DISK NO. 0039z **FIGURE(S)**

7. PROCEDURE: (Continued)

D 7.2.13 Wait TD10 and select the next fuse to be addressed.

7.3 Repeat steps given in paragraph 7.2 for all of the fuses to be programmed.

A 7.4 Program Test Fuses

D 7.4.1 The PLS153A device is shipped with a test pattern left intact in Test Columns 1 and 2. In order not to interfere with the Customers pattern, all intact fuses along Test Columns 1 and 2 in the OR array must be programmed. See TABLE IV for the specific locations. It is recommended to verify that the test fuses are intact first, and then blow the fuses at the locations given in TABLE IV, if necessary. Attempting to program at these locations in the PLS152/153 device should not be harmful.

CAUTION!!

VCCP AT MAXIMUM TIMES SHOWN IN THE PROGRAMMING SPECIFICATIONS (TABLE I) WILL CAUSE THE CHIP TEMPERATURE TO EXCEED 150°C AND CAN CAUSE DIFFICULTY IN PROGRAMMING. RECOMMENDED TIMES ARE PREFERRED AND ALLOW PROGRAMMING TO BE COMPLETED PRIOR TO SIGNIFICANT RISE IN CHIP TEMPERATURE. SHOULD RECOMMENDED TIMES BE EXCEEDED, VCCP MUST HAVE A 25% DUTY CYCLE AND NOT EXCEED THE TVCCP MAXIMUM OF 350us.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

REV.
PARA. I.D. NO. 0176z DISK NO. 0039z **FIGURE(S)**

D

TABLE I:
PLS152/153/153A PROGRAMMING SPECIFICATIONS

THE FOLLOWING REPRESENT SPECIFICATIONS WHICH A PROGRAMMING SYSTEM MUST USE IN ORDER TO BE QUALIFIED BY SIGNETICS:

SYMBOL	PARAMETER	CONDITIONS	MIN.	REC.[1]	MAX.	Units
VCCP	VCC Supply Program/Verify	ICCP = 550MA	8.25	8.5	8.75	V
ICCP	ICC Limit Program/Verify	VCCP = 8.5V	550	-	-	mA
VP[2]	Programming Voltage	IP = 300±25mA	17.0	17.5	18.0	V
VIH	Input Voltage (High)	IIH = 1mA	2.4	3.0	5.5	V
VIL	Input Voltage (Low)	IIL = -1mA	0	0	0.8	V
VSOL	Fuse Intact Voltage		0	-	1.0	V
VSOH	Fuse Blown Voltage		2.0	-	8.75	V
TPP[3]	Program-Verify Time @100% D.C.[4]	50% to 50%	42	67	70	us
	Program-Verify Time @25% D.C.[4]	50% to 50%	1.4	1.4	1.5	ms
TVCCP	VCC Program-Verify Time	90% to 90%	37	53	350	us
PWP	Pulse Width Programming	10% to 10%	10	10	110	us
PWV	Pulse Width Verify	10% to 10%	3	5	50	us
td1	VCC Delay Time	50% to 10%	1	5	50	us
td2	Program/Verify Delay	90% to 10%	1	2	50	us
td3-td7	Pulse Sequence Delay	Figure 2	1	1	50	us
td8	Valid Data Delay	Figure 2	2	2	50	us
td9	Pulse Sequence Delay	Figure 2	1	1	50	us
td10	Pulse Sequence Delay @100% D.C.[4]	Figure 2	1	1	50	us
td10	Pulse Sequence Delay @25% D.C.[4]		1.1	1.1	1.2	ms
	Fusing Attempts per Link		-	-	1	Cycle

SLEW RATES:

PARAMETER	RISE MAX	RISE MIN	FALL MAX	FALL MIN	UNIT
VCC	1.0	0.5	10.0	-	v/us
Fuse Supply	1.0	0.5	10.0	-	v/us

[1]REC. = Recommended Value (preferred condition)
[2]VP supply must regulate to ± 0.25V at IP and not be less than 17V.
[3]TPP minimum is four times TVCCP maximum at 25% duty cycle.
[4]D.C. = Duty Cycle

:DOC TYPE:	:CONTROL CENTER :	:
: OPERATOR INSTRUCTION DOCUMENT (O.I.D.)	: ASP DIVISION :	:
:DOCUMENT TITLE:	:	:
: ADM ASPD ENGR-PLS152/153/153A PROGRAMMER REQUIREMENTS		:REVISION:
:	:	D :
:DOCUMENT NUMBER: 350-2007 FSCM 18324 SIGNETICS	:	:

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

REV.
PARA. I.D. NO. 0176z DISK NO. 0039z **FIGURE(S)**

TABLE II(1):
PROGRAM/VERIFY MODE ROW SELECT

A ROW ADDRESS IDENTIFIES A PARTICULAR VARIABLE COUPLED TO PRODUCT TERMS WITH A VARIABLE SELECTED BY THE ROW ADDRESS, THE COLUMN ADDRESS (SEE TABLE III) FURTHER SELECTS A COUPLING FUSE FOR EACH TERM.

OCT	DEC	HEX	MSB R5	R4	R3	R2	R1	LSB R0	SELECTED ROW	
00	00	00	L	L	L	L	L	L	I0	
01	01	01	L	L	L	L	L	H	/I0	
02	02	02	L	L	L	L	H	L	I1	
03	03	03	L	L	L	L	H	H	/I1	
04	04	04	L	L	L	H	L	L	I2	
05	05	05	L	L	L	H	L	H	/I2	
06	06	06	L	L	L	H	H	L	I3	
07	07	07	L	L	L	H	H	H	/I3	
10	08	08	L	L	H	L	L	L	I4	A
11	09	09	L	L	H	L	L	H	/I4	N
12	10	0A	L	L	H	L	H	L	I5	D
13	11	0B	L	L	H	L	H	H	/I5	
14	12	0C	L	L	H	H	L	L	I6	A
15	13	0D	L	L	H	H	L	H	/I6	R
16	14	0E	L	L	H	H	H	L	I7	R
17	15	0F	L	L	H	H	H	H	/I7	A
20	16	10	L	H	L	L	L	L	B9	Y
21	17	11	L	H	L	L	L	H	/B9	
22	18	12	L	H	L	L	H	L	B8	
23	19	13	L	H	L	L	H	H	/B8	
24	20	14	L	H	L	H	L	L	B7	
25	21	15	L	H	L	H	L	H	/B7	
26	22	16	L	H	L	H	H	L	B6	
27	23	17	L	H	L	H	H	H	/B6	
30	24	18	L	H	H	L	L	L	B5	
31	25	19	L	H	H	L	L	H	/B5	
32	26	1A	L	H	H	L	H	L	B4	
33	27	1B	L	H	H	L	H	H	/B4	
34	28	1C	L	H	H	H	L	L	B3	
35	29	1D	L	H	H	H	L	H	/B3	
36	30	1E	L	H	H	H	H	L	B2	
37	31	1F	L	H	H	H	H	H	/B2	
40	32	20	H	L	L	L	L	L	B1	
41	33	21	H	L	L	L	L	H	/B1	
42	34	22	H	L	L	L	H	L	B0	
43	35	23	H	L	L	L	H	H	/B0	

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

REV.
PARA. I.D. NO. 0176z DISK NO. 0039z **FIGURE(S)**

TABLE II(2):
PROGRAM/VERIFY MODE ROW SELECT

OCT	DEC	HEX	MSB R5	R4	R3	R2	R1	LSB R0	SELECTED ROW	
60	48	30	H	H	L	L	L	L	B9	
61	49	31	H	H	L	L	L	H	B8	O
62	50	32	H	H	L	L	H	L	B7	R
63	51	33	H	H	L	L	H	H	B6	
64	52	34	H	H	L	H	L	L	B5	A
65	53	35	H	H	L	H	L	H	B4	R
66	54	36	H	H	L	H	H	L	B3	R
67	55	37	H	H	L	H	H	H	B2	A
70	56	38	H	H	H	L	L	L	B1	Y
71	57	39	H	H	H	L	L	H	B0	
72	58	3A	H	H	H	L	H	L	POL	

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

REV.
PARA. I.D. NO. 0176z DISK NO. 0039z **FIGURE(S)**

TABLE III (1)
PROGRAM/VERIFY MODE COLUMN SELECT

OCT	DEC	HEX	MSB C5	C4	C3	C2	C1	LSB C0	SELECTED COLUMN
00	00	00	L	L	L	L	L	L	P00
01	01	01	L	L	L	L	L	H	P01
02	02	02	L	L	L	L	H	L	P02
03	03	03	L	L	L	L	H	H	P03
04	04	04	L	L	L	H	L	L	P04
05	05	05	L	L	L	H	L	H	P05
06	06	06	L	L	L	H	H	L	P06
07	07	07	L	L	L	H	H	H	P07
10	08	08	L	L	H	L	L	L	P08
11	09	09	L	L	H	L	L	H	P09
12	10	0A	L	L	H	L	H	L	P10
13	11	0B	L	L	H	L	H	H	P11
14	12	0C	L	L	H	H	L	L	P12
15	13	0D	L	L	H	H	L	H	P13
16	14	0E	L	L	H	H	H	L	P14
17	15	0F	L	L	H	H	H	H	P15
20	16	10	L	H	L	L	L	L	P16
21	17	11	L	H	L	L	L	H	P17
22	18	12	L	H	L	L	H	L	P18
23	19	13	L	H	L	L	H	H	P19
24	20	14	L	H	L	H	L	L	P20
25	21	15	L	H	L	H	L	H	P21
26	22	16	L	H	L	H	H	L	P22
27	23	17	L	H	L	H	H	H	P23
30	24	18	L	H	H	L	L	L	P24
31	25	19	L	H	H	L	L	H	P25
32	26	1A	L	H	H	L	H	L	P26
33	27	1B	L	H	H	L	H	H	P27
34	28	1C	L	H	H	H	L	L	P28
35	29	1D	L	H	H	H	L	H	P29
36	30	1E	L	H	H	H	H	L	P30
37	31	1F	L	H	H	H	H	H	P31

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

REV.
PARA. I.D. NO. 0176z DISK NO. 0039z **FIGURE(S)**

TABLE III (2)
PROGRAM/VERIFY MODE COLUMN SELECT

OCT	DEC	HEX	MSB C5	C4	C3	C2	C1	LSB C0	SELECTED COLUMN
40	32	20	H	L	L	L	L	L	D0
41	33	21	H	L	L	L	L	H	D1
42	34	22	H	L	L	L	H	L	D2
43	35	23	H	L	L	L	H	H	D3
44	36	24	H	L	L	H	L	L	D4
45	37	25	H	L	L	H	L	H	D5
46	38	26	H	L	L	H	H	L	D6
47	39	27	H	L	L	H	H	H	D7
50	40	28	H	L	H	L	L	L	D8
51	41	29	H	L	H	L	L	H	D9
52	42	2A	H	L	H	L	H	L	X0
53	43	2B	H	L	H	L	H	H	X1
54	44	2C	H	L	H	H	L	L	X2
55	45	2D	H	L	H	H	L	H	X3
56	46	2E	H	L	H	H	H	L	X4
57	47	2F	H	L	H	H	H	H	X5
60	48	30	H	H	L	L	L	L	X6
61	49	31	H	H	L	L	L	H	X7
62	50	32	H	H	L	L	H	L	X8
63	51	33	H	H	L	L	H	H	X9
64	52	34	H	H	L	H	L	L	TC2 (PLS153A
65	53	35	H	H	L	H	L	H	TC1 ONLY)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

REV.
PARA. I.D. NO. 0176z DISK NO. 0039z **FIGURE(S)**

C

TABLE IV

PLS153A TEST FUSE LOCATIONS

	COLUMN ADDRESS	ROW ADDRESS				
	TEST COLUMN 1	B8	B6	B4	B2	B0
OCT.	65	61	63	65	67	71
HEX.	35	31	33	35	37	39
	TEST COLUMN 2	B9	B7	B5	B3	B1
OCT.	64	60	62	64	66	70
HEX.	34	30	32	34	36	38

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

REV.
PARA. I.D. NO. 0176z DISK NO. 0039z **FIGURE(S)**

C

FIGURE 1

PROGRAM/VERIFY MODE PINOUT

C5	1	20	VCC
C4	2	19	N.U.
C3	3	18	FUSE SUPPLY
C2	4	17	PROGRAM/VERIFY
C1	5	16	OUTPUT Fn
C0	6	15	R0
N.U.	7	14	R1
R5	8	13	R2
R4	9	12	R3
GND	10	11	/STROBE

1. R5 (MSB) through R0 (LSB) are Row Select Pins.

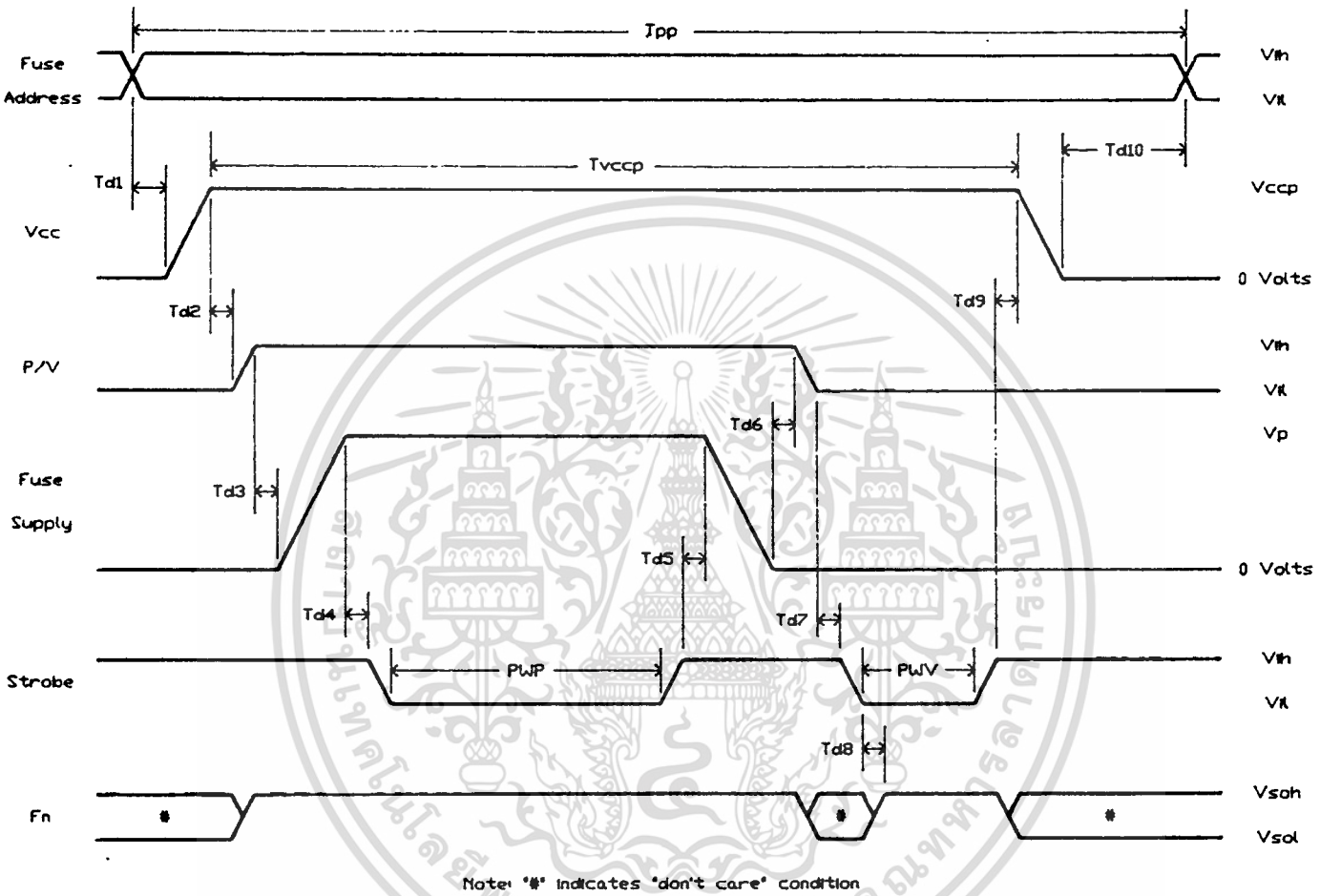
2. C5 (MSB) through C0 (LSB) are Column Select Pins.

3. Pins 7 and 19 are Not Used during programming and must be connected to zero (0) volts.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

REV.
PARA. I.D. NO. 0176z DISK NO. 0039z **FIGURE(S)**

FIGURE 2
PLS153A PROGRAM/VERIFY TIMING



:DOC TYPE:		:CONTROL CENTER :	:
: OPERATOR INSTRUCTION DOCUMENT (O.I.D.)		: ASP DIVISION :	:
:DOCUMENT TITLE:		:	:
: ADM ASPD ENGR-PLS152/153/153A PROGRAMMER REQUIREMENTS			:REVISION:
:			: D :
:DOCUMENT NUMBER: 350-2007	FSCM 18324	SIGNETICS	: :

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

REV.
PARA. I.D. NO. 0176z DISK NO. 0039z **FIGURE(S)**

REVISION PAGE

ECN #	DATE	REV	CHANGE	APPV'L
62841	2-16-83	-	GENERATE SPECIFICATION. (KS: BAILEY)	
67202	8-10-83	A	General update including TITLE change. (KS: BAILEY)	
B01791	11-21-83	B	Incorporate slew rate specifications. (KS: BAILEY).	
B02692	8-10-84	C	General update including TITLE change and new timing diagram. (KS: 2981/HOFFMANN)	
B03758	10-8-85	D	Remove pin numbers from timing diagram. Change IIH, IIL requirements. Remove Address, P/V, Strobe slew rate requirements. Remove voltage and timing values from text if they were contained in TABLE I. Add decimal addresses to TABLES II and III. Remove pin numbers from TABLE II and III. Change TITLE from BIPM to ASPD, 82S to PLS, and delete GENERIC. (KS: 2981/HOFFMANN)	

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

DOC TYPE: OPERATOR INSTRUCTION DOCUMENT (O.I.D.)	CONTROL CENTER : ASP DIVISION
DOCUMENT TITLE: ADM ASPD ENGR-PLS152/153/153A PROGRAMMER REQUIREMENTS	REVISION: D
DOCUMENT NUMBER: 350-2007 FSCM 18324 SIGNETICS	

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หนังสืออ้างอิง

1. Integrated Fuse Logic
   Data Manual 1933
   Signetics

2. JASS -31
   Single Board Micocontroller
   User Manual V.I.0
   Sila Research Co.,LTD

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้