เครื่องตรวจข้อสอบ

CAMERA TYPE OPTICAL READ MARKER

โดย
นายอธิพจน์ เกตุแก้ว
นายปราโมทย์ อนันต์วราพงษ์

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตร์บัณฑิต
ภาควิชาเทคนิคอุตสาหกรรม
สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง
ปีการศึกษา 2534

008399
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ปริญญานิพนธ์ปีการศึกษา 2534

ภาควิชาเทคนิคอุตสาหกรรม

คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้า เจ้าคุณทหารลาดกระบัง

เรื่องเครื่องตรวจข้อสอบ (CAMERA TYPE OPTICAL READ MARKER)

ผู้จัดทำ

1.นายอธิพจน์ เกตุแก้ว

2.นายปราโมทย์ อนันต์วราพงษ์

_____อจารย์ที่ปรึกษา

(อ.อุทัย ศรีธีระวิโรจน์)

_____กรรมการ

( )

_____กรรมการ

( )

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เครื่องตรวจข้อสอบ

(CAMERA TYPE OPTICAL READ MARKER)

นายอธิพจน์ เกตุแก้ว
นายปราโมทย์ อนันต์วราพงษ์
อาจารย์ อุทัย ศรีธีระวิโรจน์ ที่ปรึกษา
ปีการศึกษา 2534

บทคัดย่อ

ปัจจุบันเครื่องตรวจข้อสอบได้มีการพัฒนาไปเป็นอย่างมาก ได้มีการนำเอาระบบคอมพิวเตอร์เข้ามาช่วยในการประมวลผลข้อมูล ทำให้สามารถตรวจข้อสอบได้เร็วขึ้นและเก็บรวบรวมข้อมูลได้ง่าย แต่ว่าอุปกรณ์ในการอ่านข้อมูลจากกระดาษคำตอบส่วนมากจะเป็นชุดอ่าน แบบอินฟาเรด(infared) ซึ่งอุปกรณ์นี้ทำให้เกิดข้อกำหนด ในการออกแบบกระดาษคำตอบ, การใช้อุปกรณ์ในการระบายกระดาษคำตอบรวมทั้งรายละเอียดในการการอ่านยังหยาบอยู่ ดังนั้นเครื่องตรวจข้อสอบที่จัดทำขึ้นชุดนี้ จึงเน้นในการเปลี่ยนอุปกรณ์ในการอ่านข้อมูลจากชุดอ่านแบบอินฟาเรดมาเป็นกล้องโทรทัศน์ซึ่งทำให้การอ่านละเอียดขึ้น และสามารถออกแบบรูปแบบกระดาษคำตอบได้หลากหลายขึ้น ส่วนหน่วยประมวลผลและการจัดเก็บข้อมูลยังคงใช้ระบบคอมพิวเตอร์เช่นเดิม อนึ่งวิทยานิพนธ์ฉบับนี้ยังสามารถนำหลักการการอ่านข้อมูลโดยใช้กล้องโทรทัศน์ ไปประยุกต์ใช้กับงานอื่นๆได้อีก ซึ่งคงต้องมีการพัฒนากันอีกต่อไป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

CAMERA TYPE OPTICAL READ MARKER

Mr.Artiphot Ketkeaw
Mr.Pramote Anunvrapon
Mr.U-thai Sritheeraviroj ADVISER
Semester 1/2534

ABSTRACT

Now a day, the checker answer-sheet machine has been developing so much and taking the computer system in DATA-processing. It makes checking the test faster and collects the data easier. The equipment in reading the data from answer sheet is read-set by infared witch this equipment makes over-limit. To design the answer sheet and detail in reading, is not still clear enough, so the camera type optical read marker need to change the equipment in reading the data from infared-answer sheet to be telescope which we can read the detail cleaser and design many answer-sheets. For the central processing unit and the data processing is still using the computer system. This is can take the priciple in reading the data by telescope in application with another work. We must more developer in the future.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ

	หน้า
บทคัดย่อ	I
บทที่ 1 บทนำ	1
บทที่ 2 ทฤษฎี	2
2.1 โครงสร้างของสัญญาณภาพ	2
2.2 รูปร่างของสัญญาณภาพ	9
2.3 สัญญาณภาพและสัญญาณมาตรฐานของสัญญาณโทรทัศน์	13
2.4 ลักษณะทั่วไปของไอซีทีทีแอล(TTL)	16
2.5 วงจรดิจิตอลแบบต่างๆ	17
บทที่ 3 การสร้างและทดสอบ	25
3.1 รายละเอียดทั่วไป	25
3.2 หลักการทำงานเบื้องต้น	27
3.3 รายละเอียดในส่วนของวงจร	31
3.4 ผลการทดสอบและการใช้งาน	42
บทที่ 4 บทสรุป	44
ภาคผนวก	
กิตติกรรมประกาศ	
หนังสืออ้างอิง	

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 1

บทนำ

เครื่องตรวจข้อสอบชุดนี้ใช้วิธีการอ่านข้อมูล(DATA) เข้ามาทางกล้องโทรทัศน์แบบขาว-ดำ แล้วนำเอาสัญญาณมาทำการประมวลผลไปใช้งานซึ่งหลักการนี้ผู้จัดทำขอเรียกว่า CAMERA TYPE OPTICAL MARK READER

การนำเอากล้องโทรทัศน์แบบขาว-ดำมาเป็นตัวอ่านข้อมูล ซึ่งก็คือกระดาษคำตอบนั่นเอง จะทำให้ข้อมูลบนกระดาษคำตอบถูกแบ่งออกเป็น 3 ระดับ คือ ระดับขาวจะถูกกำหนดให้เป็นลอจิก "0" ระดับดำหรือข้อที่ถูกฝนด้วยดินสอหรือหมึกจะถูกกำหนดให้เป็นลอจิก "1" หรือเรียกว่าสัญญาณข้อมูล(DATA signal) ส่วนสัญญาณอีกระดับเกิดจากตัวเลขข้อที่เป็นตัวเลือก จะมีระดับสีเทาจะถูกกำหนดให้เป็นสัญญาณมาร์คเกอร์(marker signal)

สัญญาณจากกล้องโทรทัศน์อีกส่วนหนึ่งจะถูกแยกออกไปเป็น สัญญาณซิ้งค์(sync) ทั้งทางแนวตั้ง(vertical sync)และทางแนวนอน(horizontal sync) ซึ่งจะนำไปเป็นสัญญาณควบคุมลำดับการอ่านข้อมูลในแต่ละชุด

สัญญาณข้อมูลที่ได้จากวงจรหรือส่วนที่เป็นฮาร์ดแวร์(hardware)จะเป็นข้อมูลของคำตอบ ที่เป็นสัญญาณดิจิตอล(digital) โดยสัญญาณเหล่านี้จะถูกนำไปประมวลผลบนเครื่องคอมพิวเตอร์ดังนั้นจึงต้องมีซอฟแวร์(software) ที่จะนำสัญญาณไปประมวลผลอีกขั้นหนึ่ง

สำหรับรายละเอียดในส่วนต่างๆของเครื่องทั้งฮาร์ดแวร์ และซอฟแวร์รวมทั้งทฤษฎีต่างๆจะกล่าวถึงในบทต่อไปตามลำดับ จนถึงหัวข้อสุดท้ายซึ่งจะเป็นภาคผนวก ก็จะเป็นการแสดงถึงรายละเอียดเกี่ยวกับข้อมูลของไอซีและอุปกรณ์ที่จะเป็นประโยชน์สำหรับผู้ที่จะนำไปพัฒนาต่อไป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 2

ทฤษฎี

ในบทนี้จะเป็นการกล่าวถึงเรื่องทฤษฎีทั่วไปเกี่ยวกับระบบโทรทัศน์ โดยจะเน้นเฉพาะสัญญาณโทรทัศน์เท่านั้น นอกจากนี้จะกล่าวถึงหลักการของวงจรที่สำคัญๆ ที่ใช้ในเครื่องตรวจข้อสอบนี้ด้วย

2.1 โครงสร้างของสัญญาณภาพ

พิคเจอร์อีเลเม้นท์(picture element) ของภาพที่เรามองเห็นในจอโทรทัศน์ จะประกอบด้วยจุดเล็กๆ จำนวนมากมาย ซึ่งเราเรียกว่าพิคเจอร์อีเลเม้นท์ ในระบบโทรทัศน์และระบบการถ่ายรูปพิคเจอร์อีเลเม้นท์เหล่านี้ เป็นพื้นที่สี่เหลี่ยมจัตุรัสเล็กๆ ซึ่งทำให้เกิดขึ้นโดยเส้นแนวนอนและแนวตั้ง จะแบ่งภาพออกเป็นส่วนๆ แต่ละส่วนจะมีขนาดเท่ากันแต่มีความสว่างไม่เท่ากัน ภาพโทรทัศน์ที่เรามองเห็นจะประกอบด้วย พิคเจอร์อีเลเม้นท์จำนวนมากมาย คล้ายๆกับรูปถ่ายของหนังสือพิมพ์ ซึ่งประกอบด้วยจุดเล็กๆมากมาย

สะแกนนิ่ง(scanning)

หน้าที่ของการสะแกนก็เพื่อที่จะจัดเรียงพิคเจอร์อีเลเม้นท์ของภาพที่กล้องรับเข้ามาให้ไปแสดงที่จอให้ถูกต้อง การสะแกนหมายถึงจำนวนเส้นของการสะแกนต่อหนึ่งภาพและจำนวนภาพที่ส่งออกไปต่อวินาที ถ้าเราส่งจำนวนภาพต่อวินาทียิ่งมากเท่าไร การกระพริบของภาพก็จะลดลงเท่านั้น และถ้ายิ่งเพิ่มจำนวนเส้นในการสะแกนก็จะได้ภาพที่ละเอียดชัดเจนยิ่งขึ้น

ให้จำนวนพิคเจอร์อีเลเม้นท์ = N

ให้จำนวนเส้นในการสะแกน = n

ความสูงของภาพ = h

ความกว้างของภาพ = b

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หาความสัมพันธ์ได้ว่า $N = (b/h)n^2$

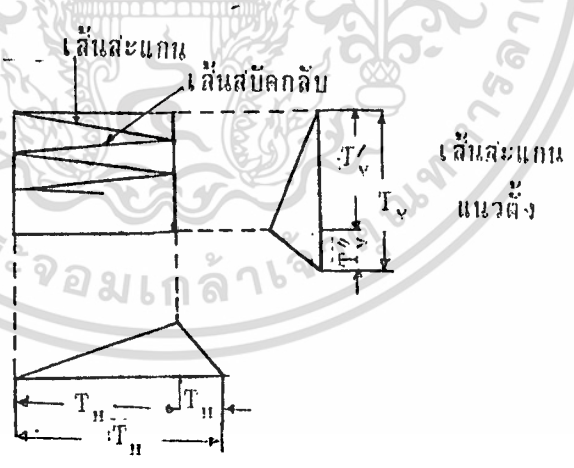
b/h คืออัสเปคท์เรโช(aspect ratio)ซึ่งมีค่า = 4/3

จะเห็นว่าความชัดเจนของภาพจะขึ้นอยู่กับจำนวนพิคเจอร์อีเลเม้นท์ N ถ้าให้ความถี่ของการสะแกนในแนวตั้ง F_v เท่ากับ จำนวนภาพ/วินาที ดังนั้นความถี่ในการสะแกนทางแนวนอน F_h เท่ากับ จำนวนภาพ/วินาทีคูณด้วยจำนวนเส้นสะแกน เพราะฉะนั้นโทรทัศน์ระบบ 625 เส้น จะมีจำนวนเส้นในการสะแกนเท่ากับ 625 เส้นต่อหนึ่งภาพและจะมีจำนวนภาพต่อวินาทีเท่ากับ 25 ภาพ ฉนั้นเราสามารถหาความถี่ในการสะแกนในแนวนอนจะได้

$$F_h = 25 \times 625 = 15,625 \text{ Hz}$$

และ $n = F_h/F_v = 15625/25 = 625$ เส้น

การสะแกนอาศัยรูปคลื่นแบบฟันเลื่อยดังแสดงในรูปที่ 2.1



รูปที่ 2.1 การสะแกนรูปคลื่นแบบฟันเลื่อย

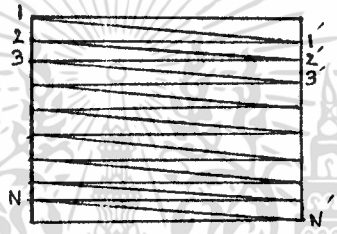
จากรูปที่ 2.1 จะเห็นว่าการสะแกนจะกระทำไปพร้อมๆกันทางแนวนอนและแนวตั้ง โดยที่ความถี่ในการสะแกนต่างกันแต่ขณะลวดทางแนวนอนและแนวตั้งที่จะทำให้เกิดการสะแกนจะวางอยู่ในตำแหน่งตั้งฉากซึ่งกันและกันโดย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ทั่วไปแล้ววิธีการสะแกนมีอยู่ 2 วิธีคือ

1. โปรเกรสซีพสะแกนนิ่ง(progressive scanning)
2. อินเตอร์เลซค์สะแกนนิ่ง(interlaced scanning)

โปรเกรสซีพสะแกนนิ่ง จะมีวิธีการสะแกนดังแสดงในรูป 2.2

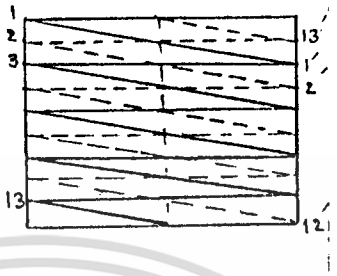


รูปที่ 2.2 โปรเกรสซีพสะแกนนิ่ง

จากรูปจะเห็นว่าภาพจะถูกสะแกนจากซ้ายไปขวา และจากบนลงล่างคือ จาก 1--->1´, 2---> 2´, 3--->3´, N--->N´ แล้วก็มาเริ่มการสะแกน 1--->1´ ใหม่ การสะแกนแบบนี้เป็นหลักการเบื้องต้นของการสะแกนในระบบโทรทัศน์

ส่วนอินเตอร์เลซค์สะแกนนิ่งเป็นการสะแกนที่ดีกว่าแบบโปรเกรสซีพมากเพราะสามารถเพิ่มจำนวนภาพต่อวินาทีได้ โดยใช้แบนด์วิดท์(bandwith)เท่าเดิม หลักการสะแกนดังแสดงให้เห็นได้ในรูปที่ 2.3 การสะแกนแบบนี้จะเริ่มสะแกนเส้นคี่ก่อน คือ 1--->1´, 3--->3´, 5--->5´... 13--->13´ แล้วก็มาเริ่มสะแกนเส้นคู่ 2--->2´, 4--->4´, 6--->6´... 12--->12´

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



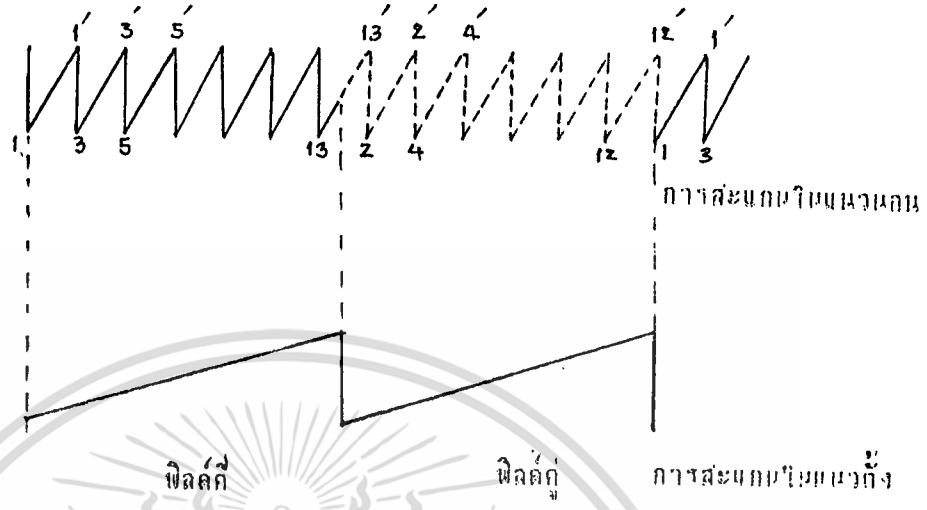
รูปที่ 2.3 การสะแกนแบบอินเตอร์เลซค์สะแกนนึ่ง

การสะแกนเส้นคี่แล้วมาสะกนเส้นคู่ แล้วกลับมาสะแกนเส้นคี่อีกเรื่อยๆไป การสะแกนก็มีหลักการเช่นเดียวกับการสะแกนแบบโปรเกรสชีพสะแกนนึ่งนั่นเอง แต่เราสะแกนสองครั้งนำมาซ้อนเป็นภาพๆเดียว ในระบบอินเตอร์-เลซค์สะแกนนึ่ง จำนวนเส้นสะแกนต้องเป็นเลขคี่เสมอ เพราะว่าการสะแกนแบบอินเตอร์เลซค์กระทำได้จากการสะแกนทางแนวนอนและแนวตั้งโดยอัตโนมัติ การสะแกนทางแนวตั้งที่เป็นเลขคี่จะสิ้นสุดลงตรงกึ่งกลางของเส้นสะแกนทางแนวนอน ส่วนการสะแกนทางแนวตั้งที่เป็นเลขคู่ จะสิ้นสุดลงที่เส้นสุดท้ายของเส้นสะแกนแนวนอน ดังแสดงในรูปที่ 2.4 จะเห็นความสัมพันธ์ระหว่างการสะแกนแนวนอนและแนวตั้งที่กระทำไปพร้อมกัน ในรูปนี้สมมุติว่า เวลาในช่วงสะบัดกลับเป็นศูนย์ แต่ความจริงในช่วงที่สะบัดกลับของการสะแกนจะเสียเวลาบ้างเล็กน้อย

ถ้าจำนวนเส้นในการสะแกนเป็นเลขคู่แล้วในทางปฏิบัติจะทำไม่ได้ เพราะว่ารูปร่างของรูปคลื่นแบบฟันเลื่อยทางแนวตั้งและแนวนอน จะต้องต่างกันและแยกกันทำงาน การสะแกนเสร็จสิ้นครั้งหนึ่งเรสเรียกว่า ฟิลด์สะแกนนึ่ง(F_1) การสะแกนครบหนึ่งภาพเรียกว่าเฟรมสะแกนนึ่ง(F_f) ฉนั้นจะได้

$$F_f = F_1/2 \qquad \text{(ความถี่)}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.4 รูปคลื่นแบบฟันเลื่อยของการสะแกนแบบอินเตอร์เลซค์

ในหนึ่งเฟรมจะประกอบด้วย 2 ฟิลด์คือฟิลด์คู่และฟิลด์คี่ เฟรมจะมีความถี่เป็นครึ่งหนึ่งของฟิลด์เสมอ เมื่อเปรียบเทียบข้อดีและข้อเสียของระบบอินเตอร์เลซค์กับโปรเกรสซีพพอสรุปได้ดังนี้

ข้อดีกรณีจำนวนเส้นสะแกนและจำนวนภาพต่อวินาทีเท่ากับระบบอินเตอร์เลซค์จะให้การกระพริบน้อยกว่า

ข้อเสียการที่จะทำให้เกิดอินเตอร์เลซค์ยากมักจะเกิดไลน์แพริ่ง (line pairing)ซึ่งทำให้ความชัดเจนลดลงไป และการสร้างชิ้งล่าบากยุ่งยากมากกว่า คำว่าไลน์แพริ่ง หมายถึง เส้นมักจะทับกันทำให้เส้นในการสะแกนลดลงเป็นผลให้รายละเอียดและความชัดเจนลดลงด้วย

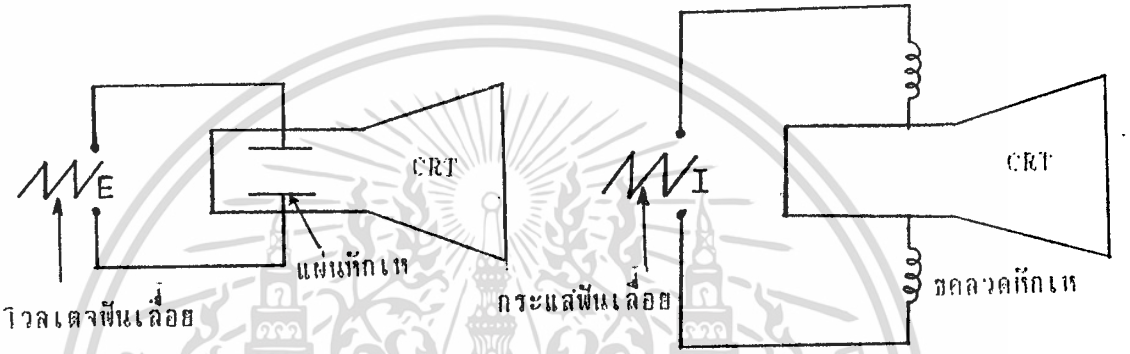
<u>การหักเหของลำอีเลคตรอน</u>(electron beam deflection)

เส้นสะแกนที่เห็นบนจอเครื่องรับโทรทัศน์ ซึ่งเรียกว่ารัสเตอร์ (raster) ทำได้โดยทำให้ลำของอีเลคตรอนเคลื่อนที่จากซ้ายไปขวา และจากบนลงล่าง การที่จะทำให้อีเลคตรอนหักเหกระทำได้ 2 วิธี คือ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

1.สแตติคดีเฟลคชั่น(static deflection) ดังแสดงในรูปที่ 2.5 วิธีนี้ใช้โวลเตจแบบฟันเลื่อยป้อนเข้าไปยังแผ่นหักเห(deflection plate) ซึ่งต่ออยู่ในหลอดภาพ

2.แมกเนติคดีเฟลคชั่น(magnetic deflection) วิธีนี้ต้องป้อนกระแสรูปฟันเลื่อยเข้าที่ขดลวดหักเห(deflection coil) เพื่อทำให้เกิดสนามแม่เหล็กผลักล่าอีเล็คตรอนให้เคลื่อนที่ดังแสดงในรูปที่ 2.6



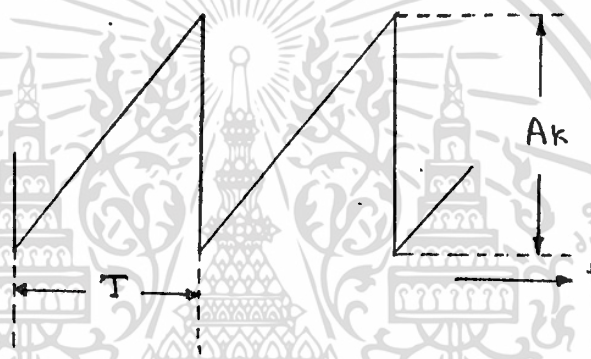
รูปที่ 2.5 การหักเหแบบสะแตติค รูปที่ 2.6 การหักเหแบบแมคเนติค

การหักเหทั้งสองแบบที่กล่าวมาแล้วจำเป็นต้องมีแผ่นหักเห หรือขดลวดหักเหอย่างละ 2 ชุด วางตั้งฉากซึ่งกันและกัน เพื่อทำให้เกิดการหักเหทางแนวตั้งและทางแนวนอน เส้นรัสเตอร์ที่เห็นรูปสี่เหลี่ยมประกอบด้วยเส้นสะแกนทางแนวนอนและแนวตั้ง ในปัจจุบันนี้ประเทศไทยเราใช้ระบบ CCIR จำเป็นต้องใช้กระแสฟันเลื่อย ซึ่งมีความถี่ทางแนวนอน 15625 เฮิทซ์ และความถี่ทางแนวตั้ง 50 เฮิทซ์ ในทางปฏิบัติเครื่องมือที่ใช้งานจริง ๆ เช่นหลอดถ่ายภาพในกล้องโทรทัศน์ และหลอดจอเครื่องรับโทรทัศน์ จะใช้การหักเหแบบแมกเนติคดีเฟลดชั่นแทบทั้งนั้น สำหรับมุมหักเหของล่าอีเลคตรอนในจอโทรทัศน์ที่มีมุมหักเหกว้างกว่าจะมีความยาวของหลอดสั้นกว่าแต่จำเป็นต้องใช้ ความเข้มของสนามแม่เหล็กมากกว่า

คุณสมบัติของรูปคลื่นฟันเลื่อย คือคลื่นฟันเลื่อยที่ใช้ในการหักเหล่าอีเลคตรอนจะแตกต่างจากคลื่นชนิดไซน์เวฟ (sine wave) ก็คือคลื่นฟันเลื่อยจะ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ประกอบด้วยความถี่ซินิดไซน์เวฟหลายๆความถี่ประกอบกัน แต่คลื่นไซน์เวฟจะมีความถี่เพียงความถี่เดียวเท่านั้น ความถี่ 50 เฮิทซ์ ของคลื่นฟันเลื่อยหมายถึงมีคลื่นฟันเลื่อยจำนวน 30 ครั้ง เกิดขึ้นในหนึ่งวินาที ดังรูปที่ 2.7 แสดงรูปคลื่นฟันเลื่อยแบบอุดมคติ (ideal) ถ้าแสดงด้วยสมการคณิตศาสตร์ฟูเรียซีรีส์ (fourier series) จะได้จำนวนฮาร์โมนิคที่สูงกว่าความถี่เดิมมากมายจนถึงอนันต์



รูปที่ 2.7 รูปคลื่นฟันเลื่อยแบบอุดมคติ

$$F(t) = E \; AnSin(nwt) \qquad (1)$$

เมื่อ $An = Ak/n \; (Cos\ n\ )$

Ak หมายถึงขนาดของคลื่นฟันเลื่อย

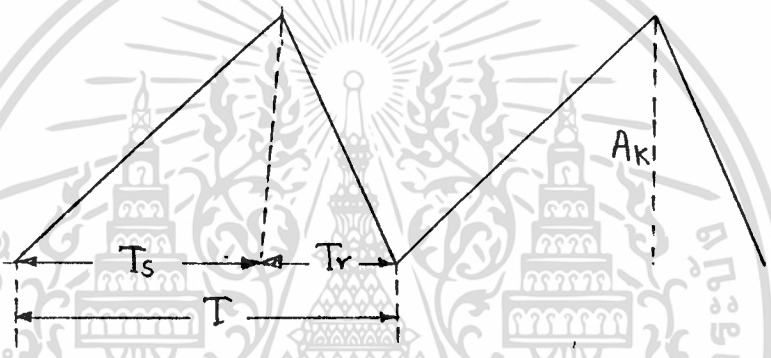
n หมายถึงลำดับที่ของฮาร์โมนิค

แต่เมื่อพิจารณารูปที่ 2.7 จะเห็นว่าเวลาในช่วงสบัดกลับเท่ากลับศูนย์จะยากแก่การสร้างและการขยายมาก เนื่องจากมีจำนวนฮาร์โมนิคมากมาย ดังนั้นในทางปฏิบัติรูปคลื่นฟันเลื่อยจะผลิตดังแสดงในรูปที่ 2.8 คือให้เวลาในการสะแกนทั้งหมดเท่ากับ T แบ่งออกเป็น 2 ส่วนคือ Ts เป็นเวลาที่ใช้ในการสะแกนและ Tr เป็นเวลาที่ใช้ในการสบัดกลับซึ่งเขียนความสัมพันธ์ได้ว่า

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$An = \frac{Ak}{n^2 \pi^2 (Ts/T)(1-Ts/T)} \sin(n \pi Ts/T) \quad -----(2)$$

จากสมการนี้แสดงว่า ถ้าช่วงเวลาในการสบัดกลับมาจะใช้จำนวนฮาร์โมนิคน้อยลงและง่ายแก่การสร้างและการออกแบบวงจรขยาย ในระบบโทรทัศน์รูปคลื่นฟันเลื่อยจำเป็นต้องมีเวลาในการสบัดกลับที่เหมาะสม คือใช้เวลาสบัดกลับ 18 % สำหรับการหักเหแนวนอน และ 6.5 % ในแนวนอน

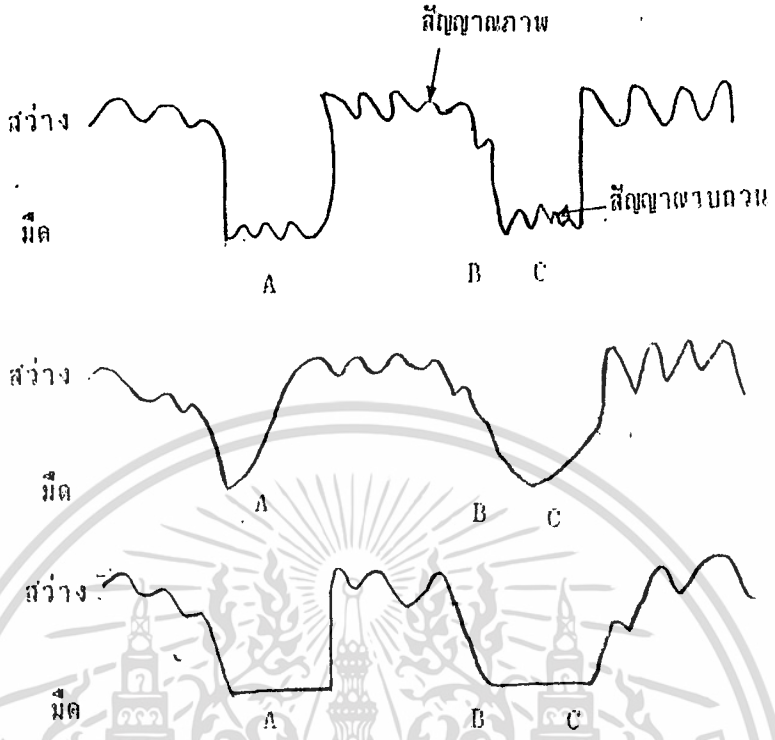


รูปที่ 2.8 รูปคลื่นฟันเลื่อยในทางปฏิบัติ

2.2 รูปร่างของสัญญาณภาพ

การที่เราใช้รูปคลื่นฟันเลื่อยสะแกนรูปภาพก็จะได้สัญญาณภาพออกมา ภาพส่วนที่มีแสงมากก็จะให้ขนาดของกระแสสูง ส่วนภาพที่มืดหรือมีแสงน้อยก็จะให้ขนาดของกระแสต่ำดังแสดงในรูปที่ 2.9 ระยะ AB เป็นสัญญาณที่ต้องการให้เห็นบนจอภาพ ส่วนระยะ BC เป็นช่วงสบัดกลับซึ่งไม่ต้องการ จึงต้องใส่สัญญาณแบล้งค์กิ้ง(blanking) เพื่อตัดสัญญาณช่วง BC ไม่ให้ปรากฏบนจอ ทำได้โดยการรักษาระดับสัญญาณช่วงนี้ไว้ที่ระดับต่ำ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้
008399



รูปที่ 2.9 รูปร่างของสัญญาณภาพ

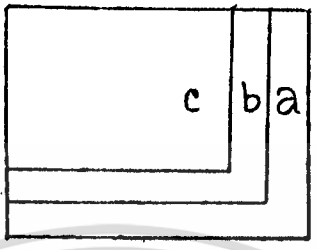
สัญญาณแบล้งค์กิ้ง

เมื่อพิจารณาความสัมพันธ์ในหลอดถ่ายภาพดังรูป 2.10ก ส่วนที่ a เป็นช่วงสบัดกลับของการสะแกนซึ่งเป็นเวลาที่ใช้สะแกนภาพไปและกลับ ส่วน b เป็นส่วนที่รักษาระดับไว้ที่ระดับดำหลังจากหลอดถ่ายภาพสะแกนไปแล้วหรือสัญญาณแบล้งค์กิ้ง ส่วนที่ aและ b จะถูกรักษาไว้ที่ระดับดำ ส่วน c จะเป็นช่วงที่สะแกนได้จริงๆ

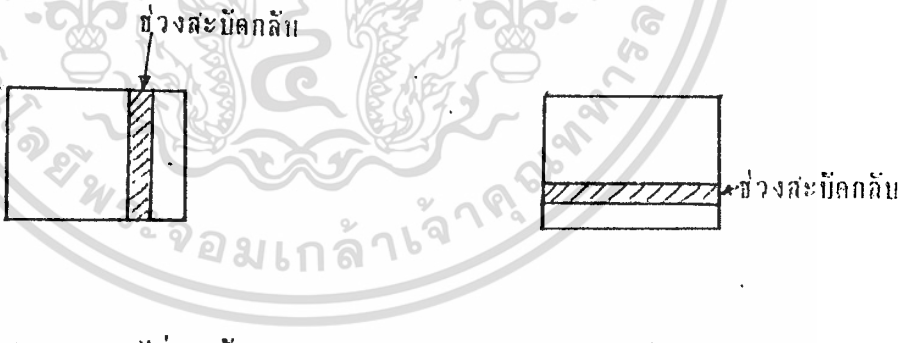
สัญญาณซิงโครไนซ์ซิ่ง(synchronizing signal)

สัญญาณซิงโครไนซ์ซิ่งสำคัญมากในระบบโทรทัศน์ สัญญาณนี้จะช่วยให้สัญญาณภาพที่จอตรงตามภาพจริงที่กล้องรับเข้ามา ทั้งนี้หมายความว่าจอภาพและกล้องจะต้องมีความถี่และเฟสเดียวกัน เมื่อพิจารณารูปที่ 2.11 กรณีที่สัญญาณภาพของจอและกล้องมีเฟสไม่ตรงกัน ทำให้เห็นช่วงสบัดกลับชัดเจน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.10 การสบัดกลับในกล้องโทรทัศน์



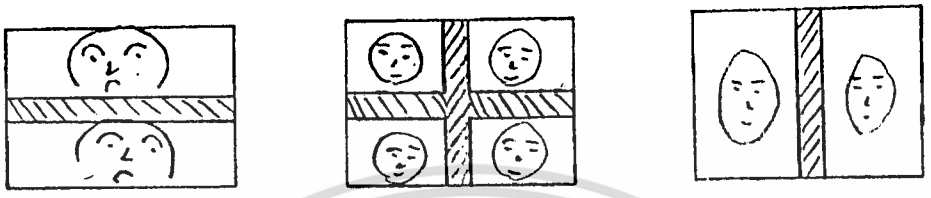
(ก) เฟสทางแนวนอนไม่ตรงกัน (ข) เฟสทางแนวตั้งไม่ตรงกัน

รูปที่ 2.11 สัญญาณซิ้งค์มีเฟสไม่ตรงกัน

จากรูปที่ 2.11 แสดงทั้งความถี่และเฟสไม่ตรงกันทำให้เห็นภาพหลายภาพและเห็นช่วงสบัดกลับชัดเจนตามรูป อัตราส่วนระหว่างความถี่ของด้านรับและส่ง แสดงไว้ดังรูปที่ 2.12 สัญญาณซิงค์มีอยู่ 2 ชนิดคือ สัญญาณซิงค์ในแนวตั้งและสัญญาณซิ้งค์ในแนวนอน สัญญาณทั้งสองนี้มีขนาดเท่ากันแต่ความถี่และ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ความกว้างของพัลซ์ไม่เท่ากัน ดังแสดงในรูปที่ 2.13 สัญญาณซิ้งค์จะใส่ไว้ต่ำกว่าระดับแบล้งค์กิ้ง ขนาดความสูงของสัญญาณภาพเท่ากับ 0.7 Vp-p สัญญาณซิ้งค์มีขนาดความสูงเพียง 0.3 Vp-p เท่านั้นเมื่อรวมสัญญาณภาพและสัญญาณซิ้งค์จะได้ 1 Vp-p พอดี ซึ่งถือเป็นมาตรฐาน

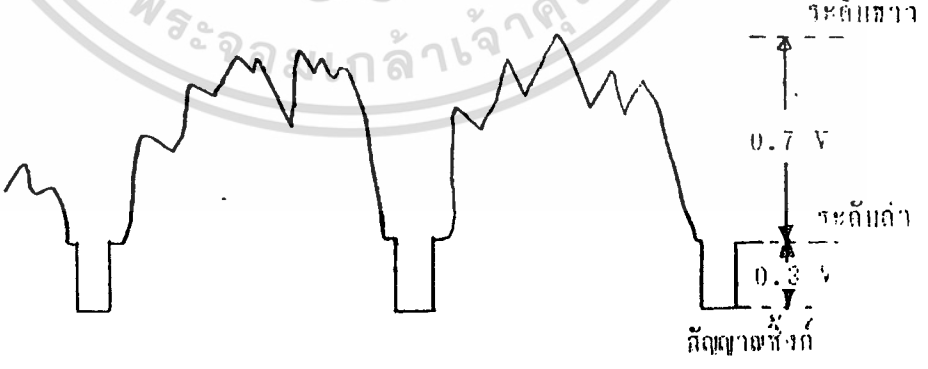


(ก)แนวตั้ง 1 : 2 แนวนอน 1 : 1

(ข)แนวตั้ง 1 : 2 แนวนอน 1 : 2

(ค)แนวตั้ง 1 : 1 แนวนอน 1 : 2

รูปที่ 2.12 ความถี่และเฟสของภาพไม่ตรงกัน



รูปที่ 2.13 สัญญาณภาพ,แบล้งค์กิ้งและซิ้งค์ทางแนวนอน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.3 สัญญาณภาพและมาตรฐานของสัญญาณโทรทัศน์

สัญญาณภาพที่ประกอบขึ้นเป็นสัญญาณทางไฟฟ้า ซึ่งจะตรงกันกับการสะแกนของอีเลคตรอนบีมในกล้องโทรทัศน์ สัญญาณโทรทัศน์จะบอกรายละเอียดทางด้านเทคนิคของรูปร่างของสัญญาณและคุณสมบัติในการมอดดูเลทของโทรทัศน์ที่ส่งออกอากาศซึ่งจะบอกอย่างชัดเจนเกี่ยวกับจำนวนเส้นของการสะแกน ความถี่ในการสะแกน อัตราส่วนการอินเตอร์เลซค์ การมอดดูเลทภาพและเสียงเป็นอย่างไรมีความกว้างของแบนด์เท่าไร แต่ในที่นี้เราจะพูดถึงเฉพาะจำนวนเส้นของการสะแกน และอัตราส่วนในการอินเตอร์เลซค์ของระบบ CCIR-B ที่ใช้อยู่ในประเทศไทย และใช้ในวิทยานิพนธ์นี้เท่านั้น

จำนวนเส้นและการสะแกน

ระบบ CCIR-B ใช้เส้นในการสะแกนจำนวน 625 เส้น และอินเตอร์เลซค์ของภาพ 2 : 1 ในหนึ่งภาพจะประกอบด้วย 2 ฟิลด์ ความถี่ของฟิลด์เท่ากับ 50 เฮิทซ์ ความถี่ทางแนวนอนเท่ากับ 625 x 25 = 15625 เฮิทซ์ มีอัตราความสูงต่อความกว้างของภาพเท่ากับ 4 : 3

ส่วนประกอบของสัญญาณโทรทัศน์ที่สำคัญมี 3 ส่วน คือ

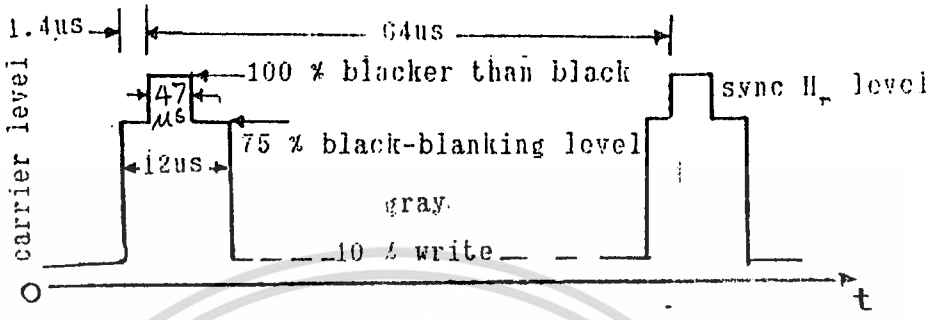
1. สัญญาณภาพที่ได้จากการสะแกน
2. สัญญาณซิ้งค์ ประกอบด้วยไลน์ซิ้งค์(line sync) และฟิลด์ซิ้งค์ (field sync)
3. สัญญาณแบล้งค์กิ้ง เพื่อป้องกันไม่ให้ตาเห็นช่วงสบัดกลับ

ค่ามาตรฐานของไลน์ซิงค์และไลน์แบล้งกิ้ง(line blanking)

ขนาดและเวลาของสัญญาณภาพระหว่างการสะแกนทางแนวนอนจำนวน 1 เส้น ซึ่งมีค่าเท่ากับ 64 ไมโครวินาที ดังแสดงในรูปที่ 2.14

ไลน์พีเรียด(line period:H) นี้เป็นระยะเวลาที่ใช้ในการสะแกนเสร็จสมบูรณ์ใน 1 เส้น ความถี่ทางแนวนอนเท่ากับ 625 x 25 = 15625 เส้นใน 1 วินาที ฉนั้นจึงหาค่าระยะเวลาได้จาก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.14 ค่ามาตรฐานของซิ้งค์และแบล้งค์กิ้งทางแนวนอน

$H = 1/F_h = 1/15625 = 64$ ไมโครวินาที

ไลน์แบล้งค์กิ้ง(LB) ค่านี้จะเป็นช่วงเวลาที่จะใส่ซิ้งค์พัลซ์ระยะเวลานี้อีเลคตรอนบีมจะสบัดกลับช่วงนี้จะถูกรักษาไว้ที่ระดับต่ำ ซึ่ง LB เท่ากับ 0.19H = 12 ไมโครวินาทีระยะเวลาของไลน์แบล้งค์กิ้งจะแบ่งออกเป็น 3 ส่วน เพราะซิ้งค์จะใส่ไว้เกือบกึ่งกลางช่วงแบล้งค์กิ้ง ไลน์ซิ้งค์พัลซ์(HS) เป็นพัลซ์ที่มีความสำคัญมากจะถูกส่งจากด้านส่งไปยังเครื่องรับ เพื่อทำให้การสะแกนทางแนวนอนของเครื่องรับถูกต้อง ความกว้างของ HS = 0.075H = 4.7 ไมโครวินาที ผิดพลาดประมาณ 4.5 - 4.9 ไมโครวินาที และมีไรส์ไทม์(rise time) น้อยกว่า 0.25 ไมโครวินาที

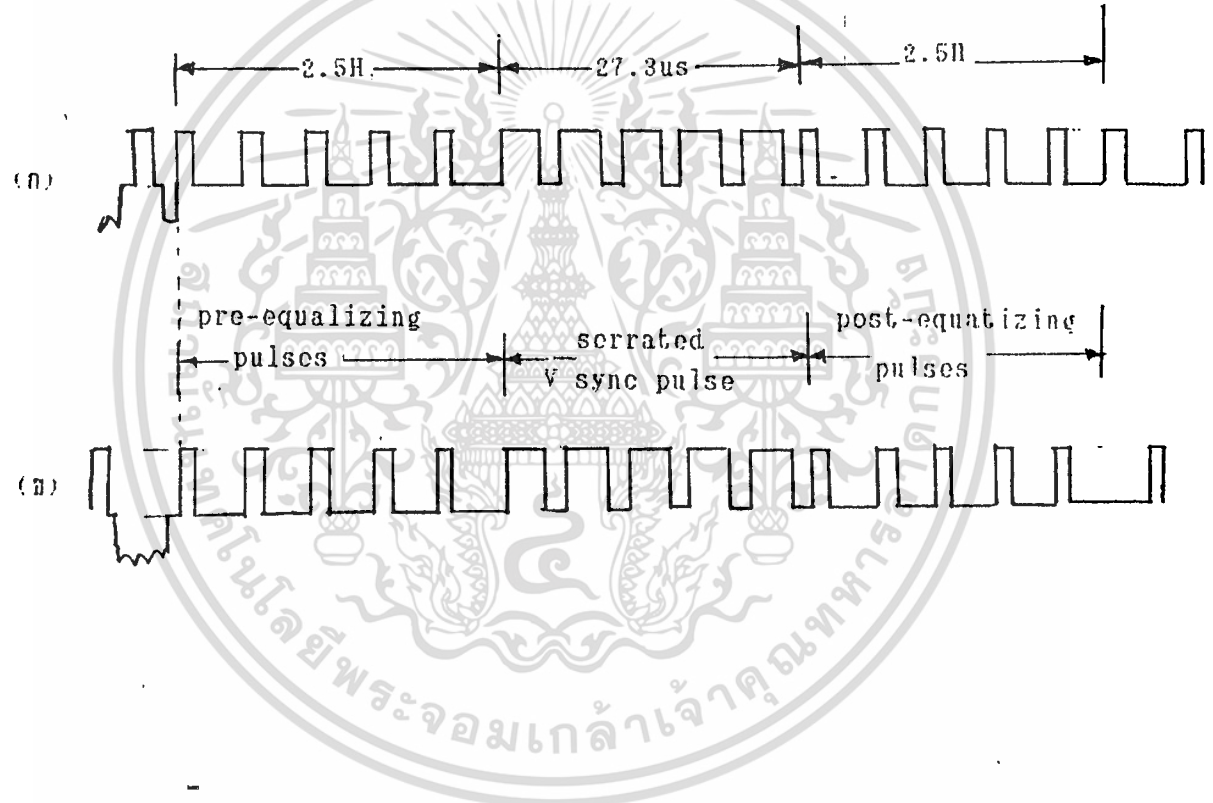
ฟร้อนพอร์ช(front porch) จุดเริ่มต้นของช่วงนี้จะไม่เริ่มที่แบล้งค์กิ้งแต่จะตามหลังจุดเริ่มต้นของแบล้งค์กิ้ง ประมาณ 2 % ของไลน์ที่เรียดซึ่งระยะนี้เรียกว่าระยะฟร้อนพอร์ช เพื่อให้เวลาของไลน์ซิ้งค์แต่ละตัวได้เริ่มต้นใหม่ที่ระดับต่ำที่คงที่และหลีกเลี่ยงจากการสร้างไลน์ซิ้งค์ในเครื่องรับ การเปลี่ยนแปลงของระดับขาว-ดำของภาพ เป็นการแยกซิ้งค์ออกจากอิทธิพลของช่วงท้ายของสัญญาณภาพซึ่งจะสูงสุดเมื่อสัญญาณขาวเกิดขึ้นที่ช่วงท้ายของการสะแกน ช่วงนี้จึงแทนสัญญาณขาวที่เกิดขึ้นให้เป็นสัญญาณดำ ทำให้การเริ่มต้นของไลน์ซิ้งค์พัลซ์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ถูกต้อง ฟร้อนพอร์ช = 2.5 % H = 1.5 ไมโครวินาที แบคพอร์ช(back porch) = 5.8 ไมโครวินาที

ค่ามาตรฐานของฟิลด์ซิ้งค์ และฟิลด์แบล้งกิ้ง

เมื่อการสะแกนเสร็จสิ้นลงหลังจากสะแกนไปแล้ว 312.5 เส้น ฟิลด์ซิ้งค์พัลซ์จะนำมาใส่ไว้ในสัญญาณภาพ มีรูปร่างดังแสดงในรูปที่ 2.15 แยกเป็นฟิลด์คี่และฟิลด์คู่



รูปที่ 2.15 ฟิลด์ซิ้งค์ และฟิลด์แบล้งค์กิ้งมาตรฐาน
(ก)ฟิลด์คี่ (ข)ฟิลด์คู่

ฟิลด์แบล้งค์กิ้งพีเรียดเป็นช่วงเวลาที่สัญญาณภาพสะแกนหมดแล้วในหนึ่งฟิลด์ และจะเริ่มสะแกนอีกฟิลด์หนึ่ง ช่วงนี้จะถูกรักษาไว้ในระดับดำเพื่อป้องกันไม่ให้มองเห็นสัญญาณในจอภาพ ช่วงนี้จะมีระยะเวลาเท่ากับ 20 เท่าของไลน์ซิ้งค์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

VB = 20H = 20 x 64 uS = 1280 uS

ฟิลด์ชิ้งค์พัลซ์คือ พัลซ์ทางแนวตั้งมีความกว้างของพัลซ์ประมาณ 2.5 เท่าของไลน์พีเรียด ในช่วงพัลซ์นี้จะบรรจุด้วยเซอเรตเตดพัลซ์(seratted pulse) ซึ่งมีความกว้างของพัลซ์เท่ากับ 4.7 ไมโครวินาที ระยะห่างระหว่างพัลซ์เท่ากับ 32 - 4.7 = 27.3 ไมโครวินาที พัลซ์เหล่านี้ใส่ไว้เพื่อทำให้ออสซิลเลเตอร์ของเครื่องรับทางแนวนอนล๊อก(lock) กับชิ้งค์ที่ส่งมา

อีควอไลซิ่งพัลซ์(equalizing pulse) เป็นพัลซ์แคบๆ ที่มีความกว้างของพัลซ์ประมาณ 2.3 ไมโครวินาที ใส่ไว้ก่อนและหลังฟิลด์พัลซ์จำนวน 5 พัลซ์จะเท่ากับ 2.5 ไลน์พีเรียด พัลซ์ที่อยู่ก่อนฟิลด์ชิ้งค์พัลซ์เรียกว่าปรีอีควอไลซิ่งพัลซ์(pre-equalizing pulse) และพัลซ์ที่หลังฟิลด์ชิ้งค์พัลซ์เรียกว่าโพสอีควอไลซิ่งพัลซ์(post-equalizing pulse) พัลซ์เหล่านี้จะทำให้การสะแกนแบบอินเตอร์เลซค์สมบูรณ์ เพราะที่เครื่องรับโทรทัศน์จะให้ฟิลด์ชิ้งค์พัลซ์ทั้งฟิลด์คี่และฟิลด์คู่มีรูปร่างเหมือนกันและมีจุดเริ่มต้นในการสะแกนเท่ากัน

2.4 ลักษณะสมบัติทั่วไปของไอซีทีทีแอล(TTL)

ไอซีทีทีแอลเป็นไอซีที่มีการใช้กันมาก เบอร์ที่เรารู้จักกันดีอยู่ในกลุ่ม 54/74 นั่นคือเป็นเบอร์ที่ขึ้นต้นด้วยหมายเลข 74 หรือ 54 โดยทั่วไปไอซีในกลุ่มนี้มีลักษณะสมบัติดังต่อไปนี้

74 เป็นไอซีที่ทำงานได้เมื่ออุณหภูมิสิ่งแวดล้อมอยู่ระหว่าง 0-70 C

54 เป็นไอซีที่ทำงานได้เมื่ออุณหภูมิสิ่งแวดล้อมระหว่าง -55 ถึง +125 C

54/74 เป็นไอซีชนิดมาตรฐานใช้งานทั่วไป

54H/74H เป็นไอซีชนิดความเร็วสูง H ย่อมาจาก high speed

54L/74L เป็นไอซีชนิดมีกำลังสูญเสียในตัวต่ำ L ย่อมาจาก low power

54S/74S เป็นไอซีชนิดชอทกี้ โดยใช้อุปกรณ์แอกทีฟภายในเป็นชอทกี้ S ย่อมาจากคำว่า schotlky

54LS/74LS เป็นไอซีชนิดมีกำลังงานสูญเสียต่ำและเป็นชนิดชอทกี้ด้วย

ลักษณะสมบัติทางไฟฟ้าทั่วไป

แรงดันไฟเลี้ยง 5.0 โวลท์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

แรงดันเอาท์พุทเมื่อแสดงลอจิก "0" 0.2-0.4 โวลท์
แรงดันเอ้าท์พุทเมื่อแสดงลอจิก "1" 3.0-4.0 โวลท์
มีความสามารถแยกสัญญาณรบกวนได้ 1 โวลท์

2.5 วงจรดิจิตอลแบบต่างๆ

ฟังก์ชั่นทางคณิตศาสตร์

ไอซีที่สำคัญในการแสดงค่าฟังก์ชั่นในทางด้านดิจิตอลที่สำคัญก็คือทำหน้าที่ในการบวกเลขไบนารี่ ทำการเปรียบเทียบค่าเลขไบนารี่เป็นต้น สำหรับการลบเลขไบนารี่ เราทำได้ด้วยการบวกเลขด้วยค่าคอมพลีเม้นท์ของตัวเลขที่นำมาลบ ซึ่งก็จะได้ผลลัพธ์เป็นการลบกันนั่นเอง ไอซีที่ทำงานในลักษณะนี้ได้แก่เบอร์ 7400 7483 7485 ซึ่งรายระเอียดของไอซี 7485 ดูได้จากภาคผนวก

วงจรนับ-หาร

วงจรนับ-หารมีใช้กันมากมายในวงจรทางด้านดิจิตอลที่สามารถนำไปประยุกต์ใช้งานได้อย่างกว้างขวาง ทั้งในวงจรระบบที่เกี่ยวกับการวัด วงจรแสดงผลเป็นตัวเลข วงจรเครื่องมือทางด้านดิจิตอล ฯลฯ เช่นเครื่องนับความถี่ ซึ่งอาจแสดงผลได้เลขหลายหลัก , เลขแต่ละหลักก็จะได้ผลมาจากวงจรนับหรือวงจรหาร โดยใช้มาตรฐานเวลาการนับจากความถี่ของคริสตรอลที่ถูกหารลงมาเหลือช่วงเวลา 0.1, 1 หรือ 10 วินาที ดังนั้นจำนวนพัลซ์ที่นับได้ในแต่ละช่วงเวลานี้ก็จะปรากฏเป็นผลลัพธ์เช่น นับได้ 1000 พัลซ์ ในเวลา 1 วินาที สัญญาณที่นับได้ก็มีความถี่ 1 KHz เป็นต้น

นาฬิกาดิจิตอลก็อาศัยวงจรพื้นฐานมาจากวงจรนับ คือนับความถี่ 1 Hz ก็จะได้เป็นเลขหลักวินาที จากนั้นจะหารต่อด้วย 10, 6, 10 และ 6 แสดงผลเป็นวินาที, นาที เป็นต้น

นอกจากนี้วงจรทางด้านดิจิตอลเกี่ยวกับการหารยังมีใช้อีกมากมาย เช่นวงจรภาคแสดงผลบนจอโทรทัศน์ ข้อมูลคอมพิวเตอร์แสดงผลด้วยทางโทรทัศน์ ฯลฯ ซึ่งอาศัยระบบการหารให้พอดีกับจำนวนเส้น เช่น หารด้วย 625 สำหรับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ระบบ 625 เส้น เป็นต้น

โดยหลักการเบื้องต้นวงจรนับ-หาร ได้มาจากฟลิบฟลอบ และในปัจจุบันนี้วงจรนับได้พัฒนาไปมากจนเป็นวงจรทางด้าน LSI เช่น วงจรนับที่สามารถนับหรือหารได้ทีละหลายๆหลัก เช่นไอซีเบอร์ 74C926 สามารถนับแสดงผลได้เป็นตัวเลขได้ทีละ 4 หลักโดยมีตัวแปลรหัสและตัวขับอยู่ในตัวไอซีที่สามารถต่อกับภาคแสดงผลได้โดยตรง

มอดูโล

คำว่ามอดูโลของวงจรนับหมายถึงว่าในขณะที่มีสัญญาณอินพุทป้อนเข้าวงจรนับ เอาท์พุทของวงจรนับจะให้ผลลัพธ์ได้จำนวนครั้งเท่าไรจนกระทั่งมันกลับมาอยู่สภาพที่เอาท์พุทเดิมอีกครั้ง เช่น มอดูโล 10 ก็หมายถึงว่า วงจรนั้นนับจำนวนได้จาก 0-9 แล้วกลับมาเริ่มที่ 0 ใหม่อีก

การแบ่งน้ำหนัก

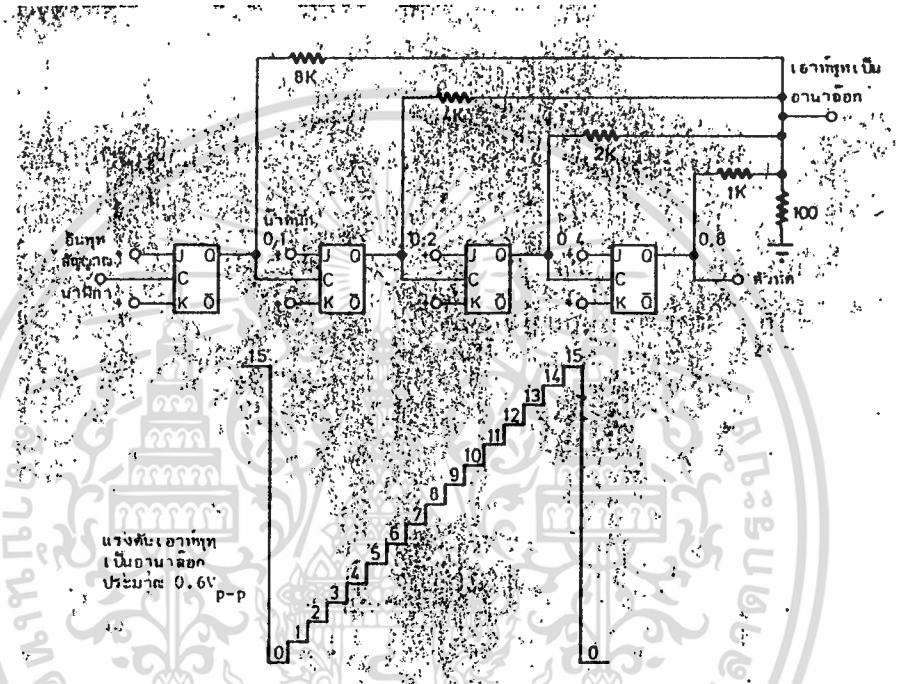
ในวงจรนับถ้าต่อตัวนับเข้าหลายๆภาคแต่ละภาคจะประกอบด้วยตัววงจรพื้นฐาน คือฟลิบฟลอบ ซึ่งจะมีเอาท์พุทอยู่ค่าหนึ่งที่แสดงผลลัพธ์ จึงเป็นหน้าที่ที่เราจะต้องต่อวงจรนับ โดยให้ตัวเลขเอ้าท์พุทเหล่านั้นมีค่าตัวเลขในหลักใดหลักหนึ่งตามกำหนด ซึ่งการกำหนดค่าหลักของตัวเลขไบนารี่"0"หรือ"1"นี้ คือการแบ่งน้ำหนัก

ขอให้พิจารณาจากเลขฐานสิบเช่น 256 เราเข้าใจในความหมายโดยตรง ว่าตัวเลข 2 เป็นหลักร้อย เลข 5 เป็นหลักสิบ และเลข 6 เป็นหลักหน่วย หรือกล่าวอีกนัยหนึ่งว่าเลข 2 มีตัวเลข 100 คูณอยู่ เลข 5 มีเลข 10 คูณอยู่ และเลข 6 มีเลข 1 หรือ 10^0 คูณอยู่ ดังนั้นค่าของเลขจำนวนนี้จึงมีค่าเป็น $2 \times 10^2 + 5 \times 10^1 + 6 \times 10^0 = 256$ นั่นคือตัวเลขแต่ละตัวที่ประกอบเป็นจำนวนนั้นจะมีน้ำหนักในตัวของมันเอง

สมมุติว่าเราใช้วงจรฟลิบฟลอบ 4 ภาค ต่อกันเป็นวงจรนับไบนารี่จาก 0000 จนถึง 1111 จะเห็นว่าฟลิบฟลอบตัวแรกจะแสดงค่าในลักษณะ "0" หรือ "1" ตัวที่สองจะต้องแสดงค่า 0,2 ตัวที่สามแสดงค่า 0,4 ตัวที่สี่แสดงค่า

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

0,8 ดังนั้นน้ำหนักของเอ้าท์พุทแต่ละลันจิงมีค่าไม่เท่ากัน เป็น 1,2,4,8 หรือ 2^0 $2^1, 2^2, 2^3$ ดังรูปที่ 2.16



รูปที่ 2.16 การให้น้ำหนักในหลักต่างๆของวงจรนับ

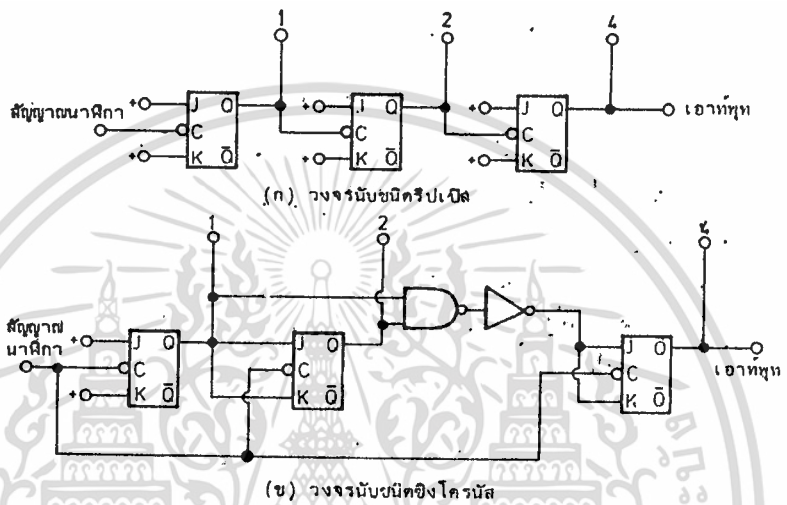
ซิงโครไนเซชั่น(syncronization)

ในวงจรนับชนิด อะซิงโครไนเซชั่น (asyncronization) เช่น วงจรนับชนิดริปเปิล การเปลี่ยนแปลงของเอ้าท์พุทในภาคหนึ่งจะทำให้เอาท์พุทอีกภาคหนึ่งมีผลตามด้วย ดังรูปที่ 2.17ก

ส่วนในเรื่องของวงจรชนิดซิงโครไนส เอาท์พุทจะเปลี่ยนแปลงทันทีทันใดหลังจากที่สัญญาณนาฬิกามาเป็นตัวทำให้เปลี่ยน โดยปกติแล้ววงจรชนิดซิงโครนัสนี้จะทำงานได้เร็วกว่าแบบริปเปิลแต่แพงกว่า และใช้กระแสจากแหล่ง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จ่ายไฟเลี้ยงมากกว่าดังนั้นวงจรชนิดนี้จึงใช้เฉพาะในวงจรนับความถี่สูงๆหรืออาจจะใช้นับในภาคแรกๆเท่านั้น



รูปที่ 2.17 แสดงวงจรนับชนิดอะซิงโครนัสและชนิดซิงโครนัส

พรีเซทเตบิลิตี้

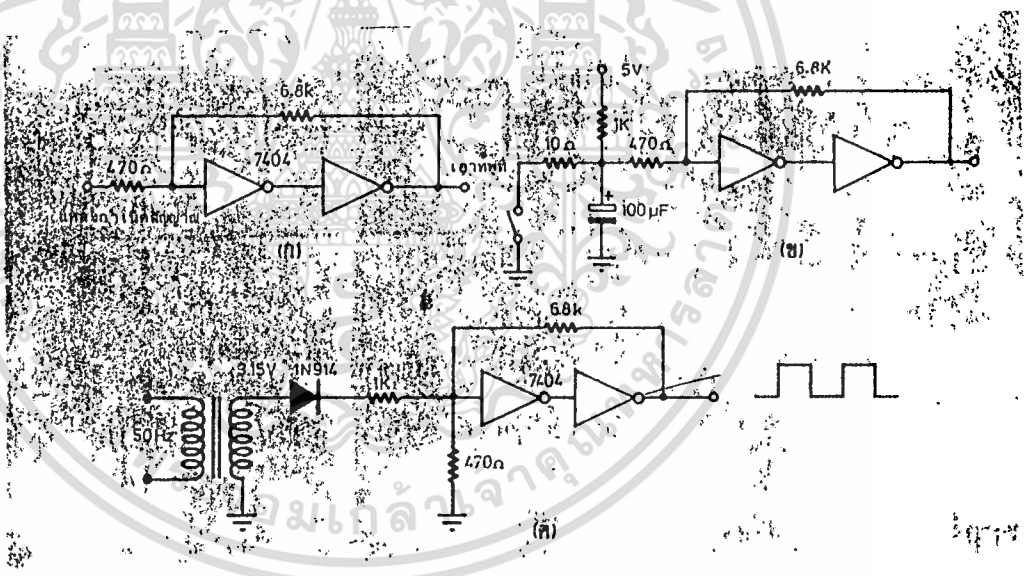
โดยทั่วไปแล้วทีทีแอลทุกตัวมีความสามารถในการเคลียร์ได้ ซึ่งผลของการเคลียร์จะทำให้เอาท์พุทกลับมาเริ่มต้นที่ "0" ใหม่แต่ไลซีชนิด MIS บางตัวสามารถที่จะทำให้เอาท์พุทมีค่าเป็น "0" หรือ "1" ในภาวะเริ่มต้นได้ ดังนั้นถ้าต่อในลักษณะการป้อนกลับโดยเอาเอาท์พุทมาควบคุม เพื่อให้วงจรทำงานตามต้องการได้ความสามารถในการทำให้เอาท์พุทกลับมาเป็นเลขใดใหม่ได้ เรา เรียกว่า พรีเซทเตบิลิตี้

ทิศทางการนับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับใช้เพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในวงจรนับพวกทีทีแอล ส่วนใหญ่นับตัวเลขในลักษณะจากน้อยไปหามาก หรือกล่าวว่าเคาท์อัพ หรือ นับเดินหน้า โดยตัวเลขไบนารี่จะเพิ่มจากตัวที่มีน้ำหนักน้อยไปหาตัวที่มีน้ำหนักมาก แต่ถ้าเราทำการดัดแปลงโดยให้เอาท์พุทเป็นคอมพลีเมนทารี่ของเดิม มันก็จะทำหน้าที่เป็นตัวนับในลักษณะนับถอยหลัง หรือเคาท์ดาวน์ คือนับจากมาไปน้อย

วงจรชมิททริกเกอร์ด้วยอินเวอรเตอร์



รูปที่ 2.18 วงจรชมิททริกเกอร์

จากวงจรตามรูปที่ 2.18 เรียกว่าวงจรชมิททริกเกอร์ ซึ่งเหมาะที่จะนำไปใช้ในการเปลี่ยนสัญญาณอื่นที่ไม่ใช่สัญญาณสี่เหลี่ยมที่ความถี่ต่างๆ ให้เป็นสัญญาณสี่เหลี่ยม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เมื่อสัญญาณเป็นบวกจนถึงค่าๆหนึ่งที่ทำให้เอาท์พุทของกินเวลเตอร์ตัวแรกลดลงมาอยู่ที่ลอจิก "0" เมื่อเหตุการณ์นี้เกิดขึ้น อินเวอเตอร์ตัวที่สองจะเริ่มเข้าสู่สภาวะ "1" และจะยิ่งทำให้เอาท์พุทเป็น "1" มากยิ่งขึ้น และถ้าหากว่าที่อินพุทสัญญาณเริ่มจะลดลงก็จะยังไม่มีอะไรเกิดขึ้น จนกว่าอินพุทจะลดลงมาถึงค่าที่ทำให้เอาท์พุทเปลี่ยนแปลงซึ่งจะทำให้เอาท์พุทตัวแรกกลับกลายมาเป็น "1" และตัวที่สองกลับกลายมาเป็น "0"

วงจรตั้งเวลา และโมโนสเตเบิ้ล

ในวงจรดิจิตอลทั่วไป ลักษณะของสัญญาณจะเป็นสัญญาณสวิทชิ่งระหว่างสภาวะ "0" และ "1" สำหรับวงจรทีทีแอลทั่วไปสัญญาณดิจิตอลที่เกี่ยวข้อง สัญญาณดิจิตอลที่ใช้งานมากมักจะได้จากวงจรจำพวกการสร้างสัญญาณจากไอซี 555 หรือไอซีจำพวกโมโนสเตเบิ้ล ซึ่งจะขอกล่าวถึงบางเบอร์ดังนี้ (รายละเอียดของแต่ละเบอร์ดูได้ที่ภาคผนวก)

ไอซี 555 เป็นไอซีที่รู้จักกันแพร่หลายและสามารถประยุกต์ใช้งานได้อย่างกว้างขวาง

ไอซี 74121 เป็นไอซีโมโนสเตเบิ้ลหรือวงจรสร้างสัญญาณพัลซ์เมื่อมีการกระตุ้นจากภายนอก

ไอซี 74122 เหมือนกับไอซีเบอร์ 74121 คือวงจรที่ทำหน้าที่เป็นโมโนสเตเบิ้ลมัลติไวเบรเตอร์

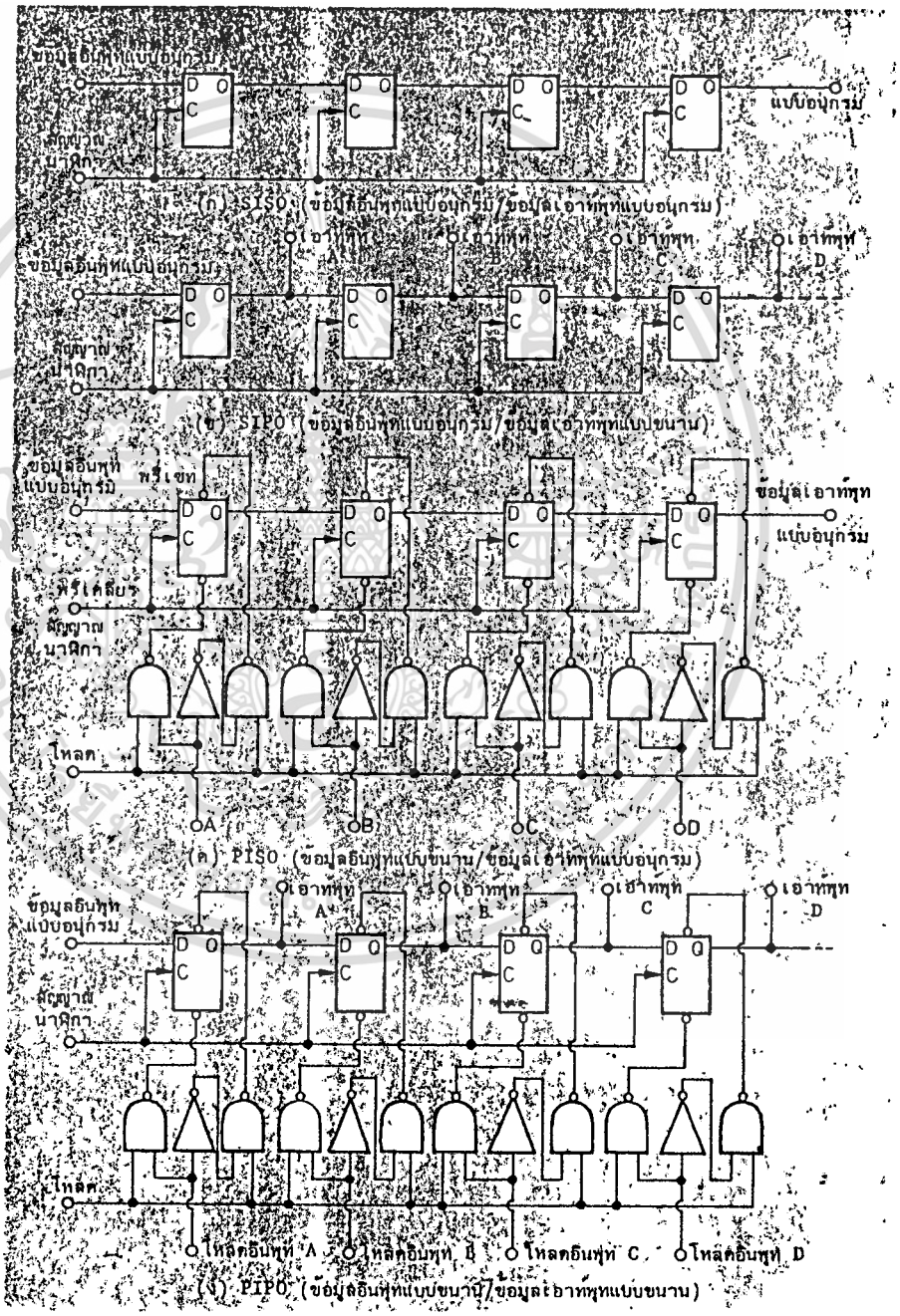
ชิฟท์รีจิสเตอร์(shift register)

ชิฟท์รีจิสเตอร์เป็นกลุ่มของฟลิบฟลอบชนิด JK หรือชนิด D ที่ต่ออนุกรมกันเพื่อจุดมุ่งหมายในการเลื่อนข้อมูลเรียงไปตามตัวฟลิบฟลอบแต่ละตัวตามจังหวะของสัญญาณนาฬิกาในทิศทางตามต้องการ ชิฟท์รีจิสเตอร์จึงมีประโยชน์ในการเก็บรวบรวมข้อมูลหรือเป็นหน่วยความจำ เป็นตัวเปลี่ยนข้อมูลจากข้อมูลลักษณะอนุกรมให้อยู่ในลักษณะขนานหรือขนานให้กลับกลายเป็นอนุกรม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ชนิดของชิฟท์รีจิสเตอร์

ชิฟท์รีจิสเตอร์เป็นไอซีที่ที่แอลมีด้วยกันหลายเบอร์ ไอซีแต่ละเบอร์ก็มีหน้าที่การทำงานที่แตกต่างกัน ถ้าแบ่งออกเป็นกลุ่มแล้ว พอแบ่งชิฟท์รีจิสเตอร์ออกเป็นกลุ่มของวงจรได้ดังรูปที่ 2.19



รูปที่ 2.19 วงจรชิฟท์รีจิสเตอร์แบบต่างๆ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในกลุ่มแรกจะเป็นกลุ่มของวงจรในรูปที่ 2.19ก ซึ่งเป็นวงจรชิฟท์รีจิสเตอร์ที่เป็นเบื้องต้นพื้นฐานที่สุด คือเป็นชิฟท์รีจิสเตอร์ที่มีอินพุทชนิดรับข้อมูลแบบอนุกรมและให้ข้อมูลเอาท์พุทแบบอนุกรมหรือเรียกว่า Serial-In/Serial Out ใช้ตัวย่อว่า SISO เป็นหน่วยความจำเบื้องต้นชนิดลำดับหรือซีเควนเชียล ซึ่งในแต่ละภาคสามารถรับข้อมูลได้ภาคละ 1 บิท ถ้าหากว่าเรียกข้อมูลก็จะเรียกออกเป็นลำดับเช่นกัน บิทใดเข้าก่อนบิทนั้นก็สามารถเรียกออกได้ก่อน การใช้งานของ SISO ยังเป็นที่นิยมอีกอย่างหนึ่งคือ ใช้เป็นตัวหน่วงเวลาหรือดีเลย์ข้อมูล โดยถ้าหากมีจำนวนภาคทั้งสิ้น n ภาค ก็สามารถทำให้เอาท์พุทหน่วงเวลาไปจากอินพุทตามจำนวนสัญญาณพัลซ์ได้ถึง n ลูก ชิฟท์รีจิสเตอร์ส่วนใหญ่มักใช้สัญญาณนาฬิกา ขณะขาขึ้นหรือขอบบวกเป็นตัวทริกให้เปลี่ยนสถานะหรือเลื่อนข้อมูล

กลุ่มที่สองจะเป็นแบบอินพุทชนิดรับข้อมูลแบบอนุกรมให้เอาท์พุทชนิดข้อมูลแบบขนานหรือ Serial In/Parallel Out ใช้อักษรย่อว่า SIPO ดังแสดงในรูปที่ 2.19ข จากรูปนี้จะเห็นว่าเอาท์พุทจะมีจำนวนเท่ากับจำนวนภาคของฟลิบฟลอบ ดังนั้นไอซีประเภทนี้จำเป็นจะต้องมีจำนวนขามากกว่าปกติ การใช้งานของ SISO ก็เพื่อเปลี่ยนแปลงข้อมูลที่อยู่ในลักษณะอนุกรมให้เป็นลักษณะขนาน

ส่วนในกลุ่มที่สามซึ่งจะสลับกับกลุ่มที่สองคือเป็นแบบข้อมูลอินพุทแบบขนานและข้อมูลเอาท์พุทแบบอนุกรม Parallel In/Serial Outใช้อักษรย่อว่า PISO ดังแสดงในรูปที่ 2.19ค ในบางครั้งส่วนของข้อมูลอินพุทแบบขนานก็เหมือนกับการพรีเซท ซึ่งเราต้องมีการเคลียร์ข้อมูลก่อนแล้วเราจึงพรีเซทข้อมูลเข้าไปในฟลิบฟลอบแต่ละตัว แล้วจากนั้นจึงไล่ข้อมูลทีละภาคออกไปยังเอาท์พุท ดังนั้นชิฟท์รีจิสเตอร์แบบนี้ก็เสมือนกับชนิดข้อมูลอินพุทอนุกรมให้ข้อมูลเอาท์พุทอนุกรม ที่มีการพรีเซทได้นั่นเอง

ในกลุ่มสุดท้ายจะเป็นแบบข้อมูลอินพุทแบบขนานและให้ข้อมูลเอาท์พุทแบบขนาน Parallel In/Parallel Out หรือ PIPO ซึ่งต้องใช้จำนวนขามากกว่าปกติคืออย่างน้อยจะต้องมี 2 ขาที่เป็นอินพุทและเอาท์พุทต่อ 1ภาค PIPO จึงเป็นชิฟท์รีจิสเตอร์ที่มีข้อจำกัดเพียง 4-5 ภาคต่อไอซี 1 ตัวเท่านั้น ดังแสดงในรูปที่ 2.19ง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 3

การสร้างและทดลอง

ในบทนี้จะกล่าวถึงรายละเอียดของเครื่องตรวจข้อสอบชุดนี้โดยจะแบ่งออกเป็น 5 หัวข้อที่สำคัญคือ เรื่องราบละเอียดทั่วไป, หลักการทำงานเบื้องต้น, รายละเอียดในส่วนของวงจร, รายละเอียดในส่วนของซอฟแวร์, และหัวข้อสุดท้ายคือเรื่องของผลการทดลองและการใช้งาน สำหรับในหัวข้อที่สอง ซึ่งมีรายละเอียดเกี่ยวกับหลักการเบื้องต้นนั้นจะกล่าวถึงโดยพิจารณาจากบล๊อกไดอะแกรม(block diagram) เป็นหลัก และหัวข้อรายละเอียดในส่วนของวงจรก็จะพิจารณาจากวงจรที่ใช้งานจริงโดยแบ่งออกเป็นภาคๆ ตามลำดับ และสำหรับวงจรที่สมบูรณ์นั้นก็จะแสดงไว้ในตอนท้ายของหัวข้อ ส่วนหัวข้อสุดท้ายก็จะเป็นการกล่าวถึงเรื่องผลการทดลองในการทำงานของเครื่อง และสรุปการใช้งานของชุดควบคุมต่างๆ

3.1 รายละเอียดทั่วไป

เครื่องตรวจข้อสอบชุดนี้ใช้สำหรับตรวจข้อสอบแบบอัตนัย คือเป็นแบบที่มีตัวเลือก โดยเครื่องที่ออกแบบมานี้สามารถตรวจข้อสอบจากกระดาษคำตอบที่ใช้ในการทดลองดังแสดงในรูปที่ 3.1

จากรูปจะเห็นว่าเครื่องสามารถตรวจข้อสอบได้ 80 ข้อโดยแต่ละข้อจะมีตัวเลือกได้ 4 ตัวเลือก

ความเร็วในการอ่านสูงสุด 0.04 วินาที/แผ่น (ทั้งนี้ขึ้นอยู่กับว่าเครื่องคอมพิวเตอร์สามารถอ่านข้อมูลได้ทันหรือไม่ด้วย)

สามารถอ่านค่าตอบจากกระดาษที่ใช้วัสดุใดก็ได้ทำข้อสอบ แต่จะต้องระบายเป็นสีดำ (แบบอินฟาเรดใช้ได้เฉพาะผงคาร์บอนหรือดินสอ)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สถาบันเทคโนโลยีพระจอมเกล้า เจ้าคุณทหารลาดกระบัง

ชื่อ.....สกุล.....

คณะ.....รหัสประจำตัว.....

1 ① ② ③ ④	21 ① ② ③ ④	41 ① ② ③ ④	61 ① ② ③ ④
2 ① ② ③ ④	22 ① ② ③ ④	42 ① ② ③ ④	62 ① ② ③ ④
3 ① ② ③ ④	23 ① ② ③ ④	43 ① ② ③ ④	63 ① ② ③ ④
4 ① ② ③ ④	24 ① ② ③ ④	44 ① ② ③ ④	64 ① ② ③ ④
5 ① ② ③ ④	25 ① ② ③ ④	45 ① ② ③ ④	65 ① ② ③ ④
6 ① ② ③ ④	26 ① ② ③ ④	46 ① ② ③ ④	66 ① ② ③ ④
7 ① ② ③ ④	27 ① ② ③ ④	47 ① ② ③ ④	67 ① ② ③ ④
8 ① ② ③ ④	28 ① ② ③ ④	48 ① ② ③ ④	68 ① ② ③ ④
9 ① ② ③ ④	29 ① ② ③ ④	49 ① ② ③ ④	69 ① ② ③ ④
10 ① ② ③ ④	30 ① ② ③ ④	50 ① ② ③ ④	70 ① ② ③ ④
11 ① ② ③ ④	31 ① ② ③ ④	51 ① ② ③ ④	71 ① ② ③ ④
12 ① ② ③ ④	32 ① ② ③ ④	52 ① ② ③ ④	72 ① ② ③ ④
13 ① ② ③ ④	33 ① ② ③ ④	53 ① ② ③ ④	73 ① ② ③ ④
14 ① ② ③ ④	34 ① ② ③ ④	54 ① ② ③ ④	74 ① ② ③ ④
15 ① ② ③ ④	35 ① ② ③ ④	55 ① ② ③ ④	75 ① ② ③ ④
16 ① ② ③ ④	36 ① ② ③ ④	56 ① ② ③ ④	76 ① ② ③ ④
17 ① ② ③ ④	37 ① ② ③ ④	57 ① ② ③ ④	77 ① ② ③ ④
18 ① ② ③ ④	38 ① ② ③ ④	58 ① ② ③ ④	78 ① ② ③ ④
19 ① ② ③ ④	39 ① ② ③ ④	59 ① ② ③ ④	79 ① ② ③ ④
20 ① ② ③ ④	40 ① ② ③ ④	60 ① ② ③ ④	80 ① ② ③ ④

รูปที่ 3.1 กระดาษคำตอบ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.2 หลักการทำงานเบื้องต้น

หลักการทำงานของเครื่องตรวจข้อสอบชุดนี้ สามารถแสดงการทำงานเบื้องต้นได้จากบล๊อกไดอะแกรมในรูปที่ 3.2 ซึ่งจะแบ่งการทำงานออกเป็น 5 ส่วนใหญ่ๆ คือ

-ส่วนแปลงสัญญาณโทรทัศน์เป็นสัญญาณดิจิตอล
(DATA Co-nverter)
-ส่วนเลือกข้อมูล (DATA Selector)
-ส่วนเก็บข้อมูล (Memory)
-ส่วนคอมพิวเตอร์ (Computer)
-ส่วนแหล่งจ่ายไฟ (Power Supply)

โดยรายละเอียดในหัวข้อนี้จะกล่าวถึงรายละเอียดในการทำงานเพียง 3 ส่วนคือ ส่วนแปลงสัญญาณโทรทัศน์เป็นสัญญาณดิจิตอล, ส่วนเลือกข้อมูล และส่วนเก็บข้อมูลเท่านั้น สำหรับส่วนของคอมพิวเตอร์และส่วนของแหล่งจ่ายไฟจะไม่กล่าวถึงในรายละเอียดเพราะเป็นเรื่องที่ไม่ซับซ้อน แต่จะกล่าวถึงพอสังเขปในตอนท้าย

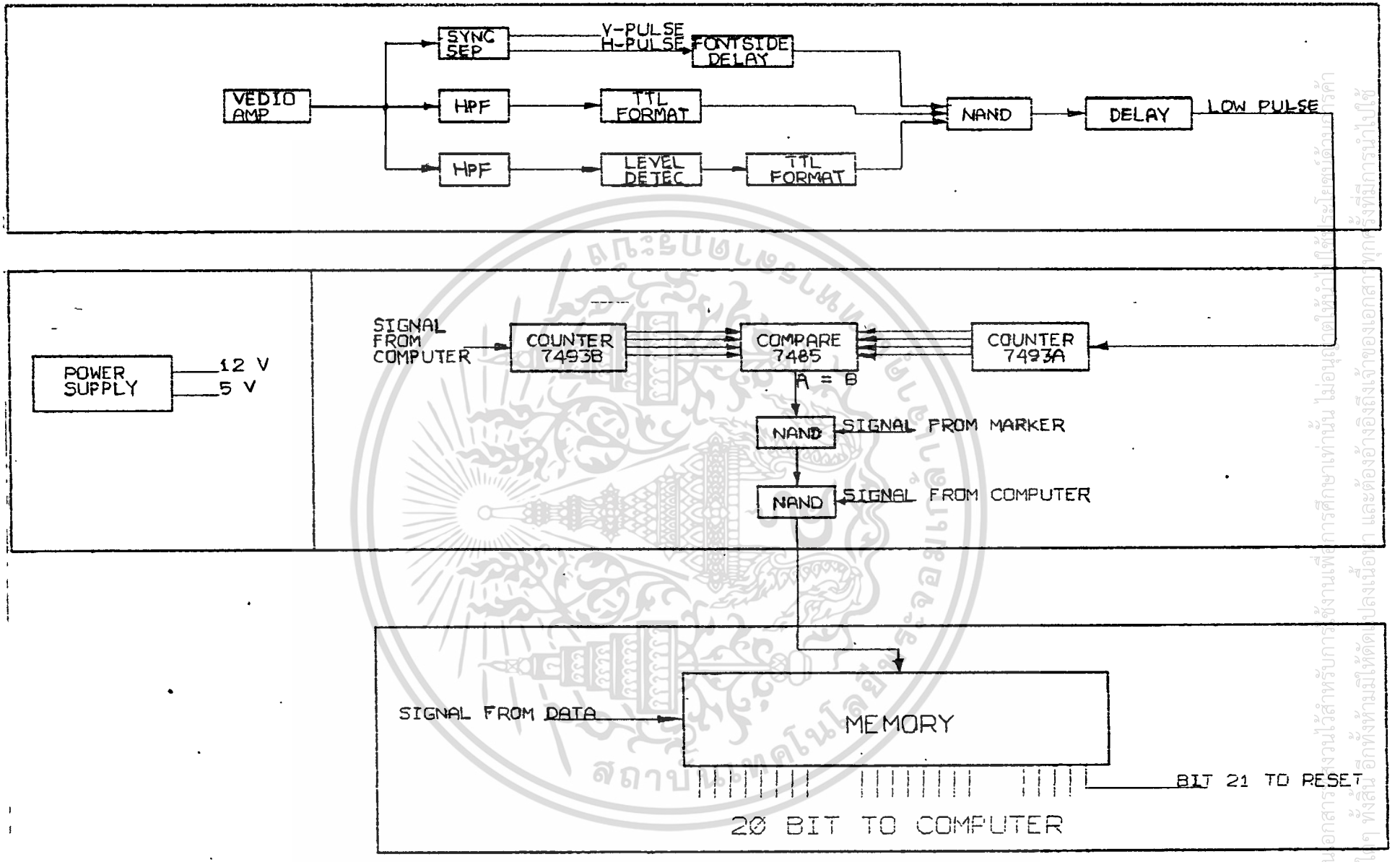
3.2.1 ส่วนแปลงสัญญาณโทรทัศน์เป็นสัญญาณดิจิตอล

จากบล๊อกไดอะแกรมที่แสดงในส่วนของการแปลงสัญญาณโทรทัศน์เป็นสัญญาณดิจิตอล จะเห็นว่าสัญญาณโทรทัศน์ที่รับเข้ามาทางวีดิโอแอมป์(vedio amp)จะเป็นภาพที่รับมาจากกระดาษคำตอบเพราะฉะนั้นจะมีระดับสัญญาณอยู่ 3 ระดับคือ ระดับขาวของแผ่นกระดาษคำตอบเอง, ระดับเทาที่เกิดจากตำแหน่งของข้อแต่ละข้อและตัวเลือกทุกตัว และระดับดำที่เกิดจากการฝนกระดาษคำตอบให้เป็นสีดำในแต่ละข้อ

หลังจากภาควีดิโอแอมป์ จะแบ่งสัญญาณออกไป 3 ทางคือคือ ทางแรกจะนำสัญญาณไปทำการแยกสัญญาณซิงค์ทั้งทางแนวตั้งและทางแนวนอน

ซิ้งค์ทางแนวนอนจะถูกนำไปหน่วงเวลา (delay) ประมาณ 10 ไมโครวินาทีเพื่อให้สัญญาณถึงภาค NAND เกทพร้อมกับสัญญาณมาร์คเกอร์ และสัญญาณข้อมูล เนื่องจากสัญญาณทั้งสองต้องผ่านภาคอื่นๆ อีกจึงทำให้เกิดการล่าช้า

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

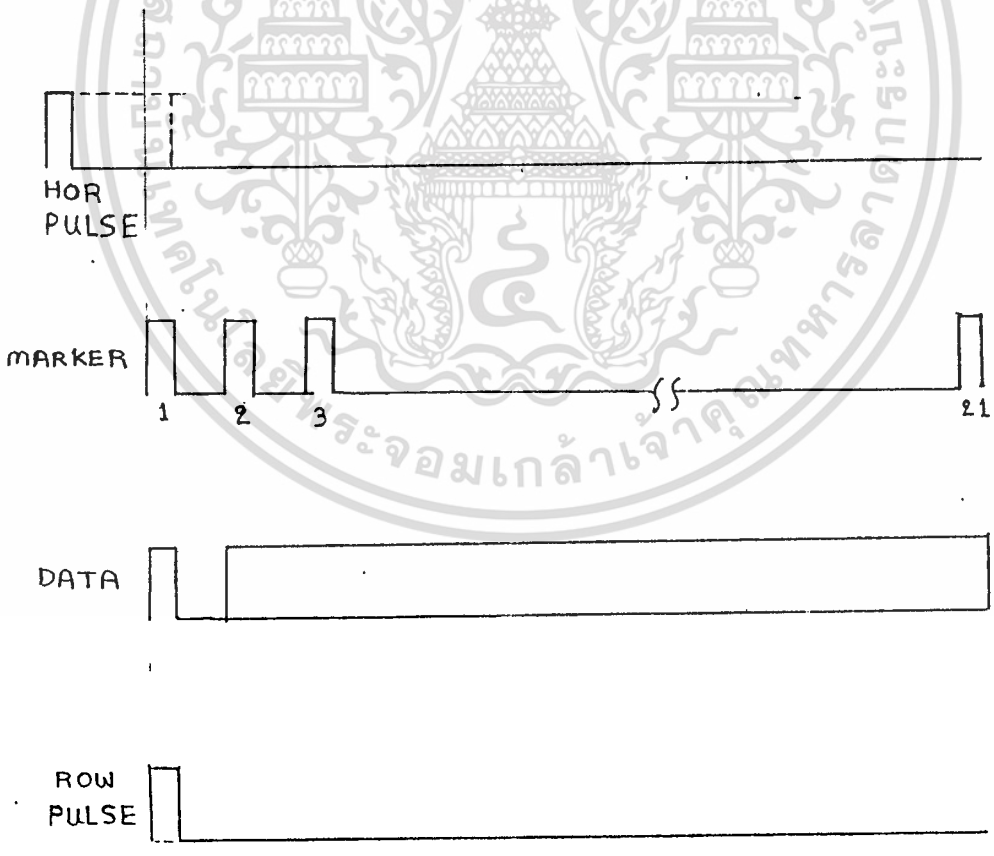


รูปที่ 3.2 บล็อคไดอะแกรม

สัญญาณอีกส่วนหนึ่งจะถูกนำไปผ่านวงจรกรองความถี่สูง แล้วนำไปผ่านวงจร ทีทีแอล ฟอร์แมท (TTL format) เพื่อแปลงสัญญาณให้เป็นดิจิตอล สัญญาณที่ได้จะเรียกว่าสัญญาณมาร์คเกอร์

สัญญาณส่วนสุดท้ายจะถูกนำไปผ่านวงจรกรองความถี่สูง และวงจรทีทีแอล ฟอร์แมทเช่นกัน แต่ว่าก่อนที่จะนำมาผ่านจะมีการจำกัดระดับสัญญาณโดยการผ่านวงจร จำกัดระดับ (level dectecter) เพื่อเลือกเฉพาะตำแหน่งที่สัญญาณเป็นระดับต่ำเท่านั้น สัญญาณที่ได้นี้เรียกว่าสัญญาณข้อมูล

สัญญาณทั้งสามจะถูกนำมารวมกันอีกครั้ง เพื่อสร้างสัญญาณโรวพัลซ์ (row pulse) คือการนำเอาสัญญาณซิงค์ทางแนวนอนที่ผ่านการหน่วงเวลาแล้วมารวมกับสัญญาณมาร์คเกอร์และสัญญาณข้อมูล โดยรวมกันผ่านทาง NAND เกท สัญญาณโรวพัลซ์ที่ได้จะไว้ใช้สำหรับควบคุมวงจรนับของไอซีเบอร์ 7493A เพื่อเลือกแถวที่จะอ่านหรือเลือกเส้นทางแนวนอนนั่นเอง ลักษณะของสัญญาณโรวพัลซ์ดูได้จากรูปที่ 3.3



รูปที่ 3.3 ลักษณะสัญญาณโรวพัลซ์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.2.2 ส่วนเลือกข้อมูล

ในส่วนนี้จะทำหน้าที่เลือกข้อมูลว่าจะนำเอาข้อมูลแถวไหนไปใช้งาน วงจรจะประกอบด้วยไอซีสำคัญๆ 3 ตัวคือ 7493A, 7493B และ 7485

การทำงานคือไอซีเบอร์ 7493A จะนับแถวข้อมูลจากทางกล้องโทรทัศน์โดยได้สัญญาณทริกเกอร์ (trigger) จากสัญญาณโรวพัลซ์ ซึ่งไอซีตัวนี้จะนับวนไปเรื่อยๆ โดยมีสัญญาณซิงค์ทางแนวตั้งมารีเซท ให้เริ่มต้นนับใหม่เมื่อนับจบหนึ่งรอบหรือหนึ่งเฟรม

ส่วนไอซีเบอร์ 7493B จะทำหน้าที่นับแถวข้อมูลเหมือนกันแต่จะรับสัญญาณทริกเกอร์จากคอมพิวเตอร์ โดยมีซอฟแวร์คอยกำหนดช่วงเวลาการนับ ในแต่ละครั้ง เหตุผลที่ต้องใช้ไอซีเบอร์ 7493B ช่วยเนื่องจากความเร็วในการอ่านและประมวลผลข้อมูลของคอมพิวเตอร์ ยังไม่ทันการอ่านข้อมูลหนึ่งเฟรมของกล้องโทรทัศน์ ดังนั้นในการตรวจข้อสอบแต่ละแผ่นจึงต้องอ่านอยู่หลายรอบ

ไอซีเบอร์ 7493B จะนับหนึ่งครั้งเมื่อคอมพิวเตอร์ประมวลผลข้อมูลเสร็จหนึ่งแถวแล้วส่งสัญญาณทริกเกอร์มาให้ และจะนับไปจนหมดทุกแถวหรือว่าหมดแผ่นแล้วจึงหยุด

การเริ่มนับใหม่จะต้องมีสัญญาณมารีเซท ซึ่งได้มาจากคอมพิวเตอร์เช่นกัน โดยสามารถกำหนดให้เว้นช่วงนานเท่าไรก็ได้ขึ้นอยู่กับการกดคีย์ของคอมพิวเตอร์ ช่วงเวลานี้จะเอาไว้รอการเปลี่ยนกระดาษคำตอบแผ่นใหม่

สัญญาณแถวที่จะถูกอ่านจะกำหนดโดยไอซีเบอร์ 7485 ซึ่งเป็นไอซีที่สามารถเปรียบเทียบค่าทางคณิตศาสตร์ คือ จะเลือกเอาแถวที่ไอซีเบอร์ 7493A และ 7493B แสดงค่าเท่ากันเท่านั้น (A = B) โดยเมื่อค่าทั้งสองเท่ากันสัญญาณเอาท์พุทจะเป็นลอจิก "1" ไปทริกให้ AND เกท ทำงานเพื่อเลือกมาร์คเกอร์และข้อมูลตามแถวนั้นๆ ไปเก็บไว้ที่ส่วนเก็บข้อมูล ซึ่งพร้อมที่จะให้คอมพิวเตอร์มาอ่านไปประมวลผล

3.2.3 ส่วนเก็บข้อมูล

ส่วนนี้จะใช้ไอซีเบอร์ 74164 ซึ่งเป็นชิพรีจิสเตอร์ ทำการเก็บข้อมูลโดยจัดเก็บแบบอนุกรม และส่งออกเป็นแบบขนานชุดละ 21 บิท

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ชิฟรีจิสเตอร์ชุดนี้จะเก็บข้อมูลตามแถวที่กำหนดโดยส่วนเลือกข้อมูล และจะเก็บข้อมูลอยู่นานจนกว่าจำนวนแถวจะเปลี่ยนไป

บิทที่ 21 จะต่อไปที่ฟลิบฟลอบเพื่อรอเปรียบเทียบกับสัญญาณจากคอมพิวเตอร์ สัญญาณใหม่ที่ได้จะนำไปรีเซทให้ชิฟรีจิสเตอร์เคลียร์ให้คอยเก็บข้อมูลชุดใหม่และเมื่อรีเซ็ทเสร็จจะส่งสัญญาณไปแสดงผลว่ารับข้อมูลชุดใหม่ไปแล้ว โดยส่งสัญญาณ Q^- ออกไป สัญญาณ Q^- นี้จะไปบอกให้คอมพิวเตอร์ทำการประมวลผลข้อมูลชุดใหม่

3.3 รายละเอียดในส่วนของวงจร

การทำงานของวงจรที่จะกล่าวถึงในหัวข้อนี้จะเป็นเรื่องเกี่ยวกับรายละเอียดในส่วนของวงจรทั้งหมด ซึ่งจะรวมถึงการคำนวณและการออกแบบในบางส่วนของวงจร เช่นการออกแบบชุดกรองความถี่ต่างๆ หรือวงจรนับต่างๆ เป็นต้น สำหรับรายละเอียดของเนื้อหานั้นจะขอแยกการพิจารณาออกเป็นส่วนๆ ตามบล๊อกไดอะแกรมในรูปที่ 3.2 ตามภาคต่างๆ ดังต่อไปนี้

3.3.1 การทำงานในส่วนแปลงสัญญาณโทรทัศน์เป็นสัญญาณดิจิตอล

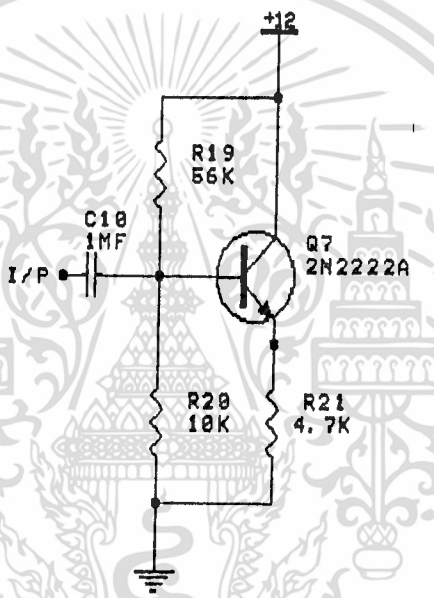
จากบล๊อกไดอะแกรมในรูปที่ 3.2 ในส่วนของการแปลงสัญญาณโทรทัศน์เป็นสัญญาณดิจิตอล จะสามารถแบ่งการทำงานของวงจรออกเป็นส่วนย่อยดังนี้

- วีดิโอ แอมป์
- วงจรแยกสัญญาณซิงค์ทางแนวนอน และแนวตั้ง
- วงจรกรองความถี่สูง
- ทีทีแอล ฟอร์แมท
- วงจรจำกัดระดับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.3.1.1 วีดิโอ แอมป์

การทำงานในส่วนนี้จะเป็นการนำเอาสัญญาณวีดิโอจากกล้องมาทำการขยาย ซึ่งวงจรที่ออกแบบไว้มีอัตราขยายต่ำมากเนื่องจากจุดประสงค์ในส่วนนี้ต้องการให้เป็นบัฟเฟอร์ (buffer) ระหว่างกล้องกับส่วนวงจรในเครื่องมากกว่า ดังนั้นวงจรที่ใช้จึงไม่ยุ่งยากนักดังแสดงในรูปที่ 3.4

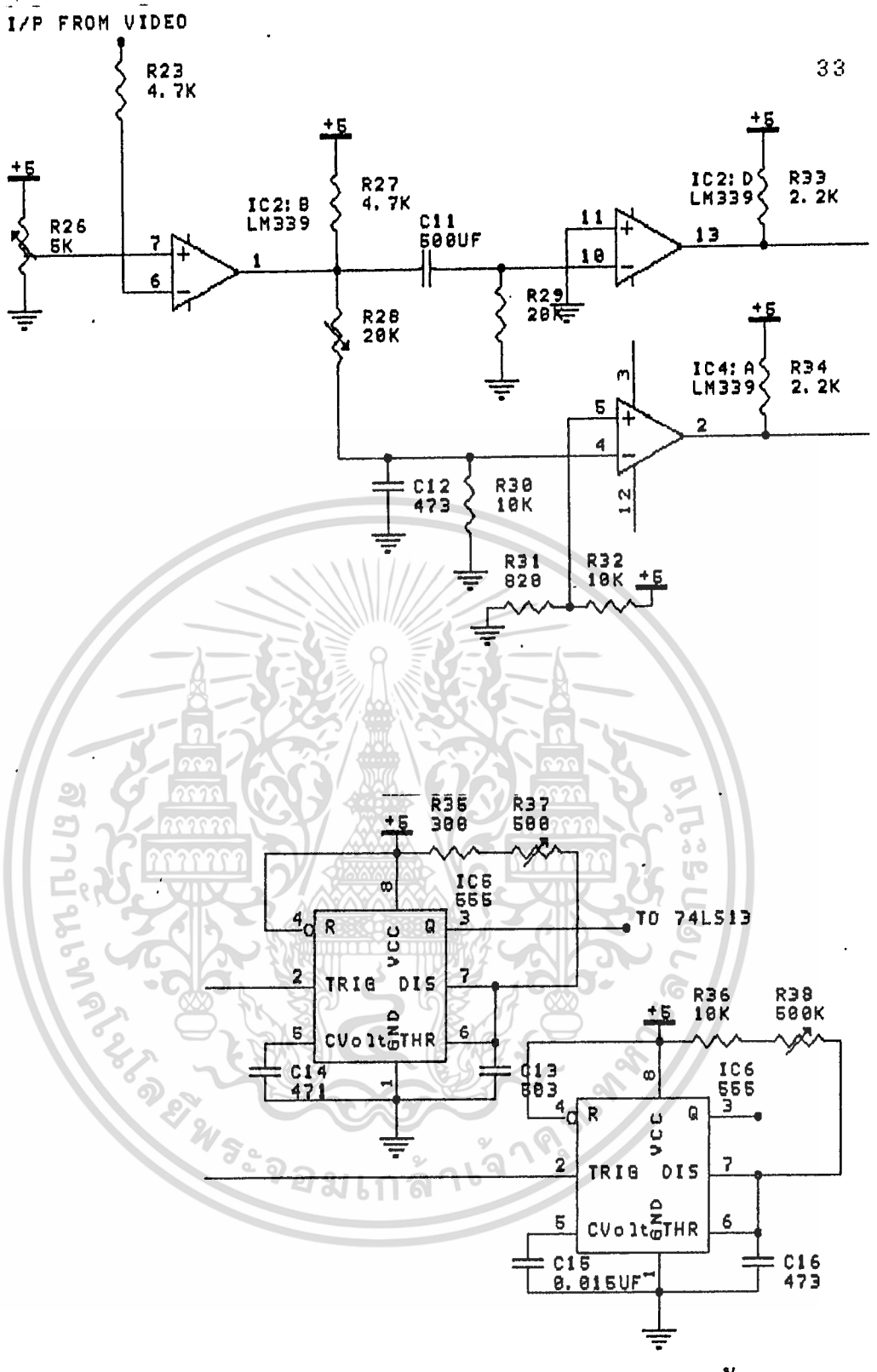


รูปที่ 3.4 วงจรวีดิโอ แอมป์

3.3.1.2 วงจรแยกสัญญาณซิงค์ทางแนวนอน และแนวตั้ง

วงจรในส่วนนี้ใช้ไอซีออปแอมป์ (op amp) เบอร์ LM339 ซึ่งภายในประกอบด้วยออปแอมป์ 4 ตัว นำมาสร้างเป็นวงจรกรองความถี่ต่างๆตามที่ต้องการ คือความถี่ทางแนวนอน 15625 Hz และความถี่ทางแนวตั้ง 50 Hz ตัวอย่างวงจรดูได้จากรูปที่ 3.5 (ความถี่คำนวณจาก 1/RC)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.5 วงจรแยกสัญญาณทางแนวนอน และแนวตั้ง

จากวงจรในรูปที่ 3.5 จะเห็นว่าสัญญาณเอ้าท์พุทของสัญญาณแนวนอน และแนวตั้งจะถูกนำไปหน่วงเวลาโดยใช้ไอซีเบอร์ 555 ในการหน่วงเวลานี้เพื่อให้สามารถกำหนดจุดต่างๆที่ต้องการบนภาพได้ซึ่งเอาไว้สำหรับกำหนดสัญญาณมาร์คเกอร์และสัญญาณข้อมูลได้ถูกต้อง

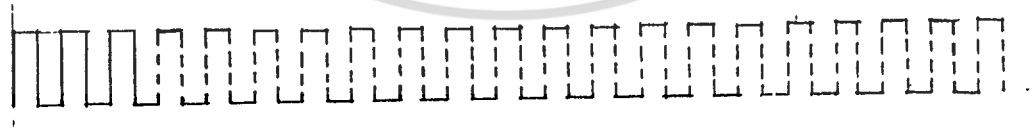
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.3.1.3 วงจรกรองความถี่สูง, ทีทีแอล ฟอร์แมท และวงจรจำกัดระดับ

วงจรทั้งสามส่วนนี้จะขอนำมากล่าวไว้รวมกันเนื่องจากมีส่วนที่เกี่ยวข้องกันมากวงจรกรองความถี่สูงจะเป็นการใช้ทรานซิสเตอร์มาสร้างทั้งหมดสำหรับในส่วนนี้ โดยออกแบบเป็นวงจรกรองความถี่สูงซึ่งเป็นความถี่ในระดับสัญญาณภาพ ในส่วนของวงจรเหล่านี้จะมีวงจรจำกัดระดับสัญญาณอยู่ด้วยโดยการจำกัดระดับแรงดันเพื่อแยกสัญญาณมาร์คเกอร์และสัญญาณข้อมูลออกจากกัน เนื่องจากสัญญาณทั้งสองมีระดับของแรงดันแตกต่างกันตามระดับขาว-ดำ

สัญญาณที่ได้ออกมาจะเป็นสัญญาณมาร์คเกอร์และสัญญาณข้อมูลแต่ว่าสัญญาณเหล่านี้ก็ยังมีระดับของแรงดันแตกต่างกันในแต่ละชุดอีก จึงจำเป็นต้องนำไปผ่านวงจรส่วนที่เรียกว่าทีทีแอล ฟอร์แมทเพื่อทำให้สัญญาณมีระดับเท่ากันทั้งหมดโดยการนำไปผ่านไอซีเบอร์ 7414 ซึ่งวงจรภายในของไอซีเบอร์นี้เป็นวงจรชมิททริกเกอร์ (schmittriger) และเป็นแบบอินเวอร์เตอร์ (not gate) ดังนั้นสัญญาณที่ออกจากส่วนนี้จึงมีลักษณะเป็นสัญญาณดิจิตอล (0-5 V)

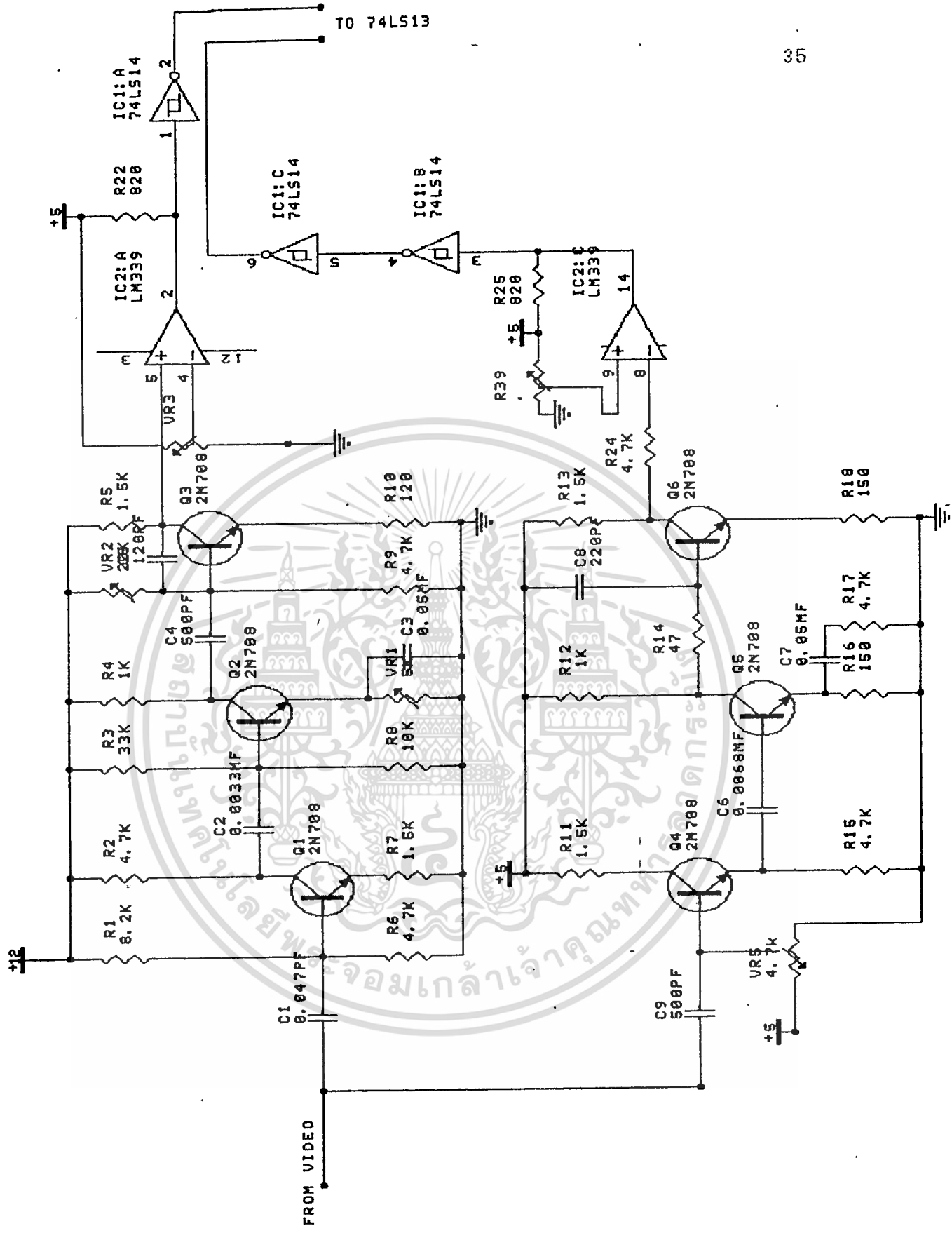
MARKER



DATA

รูปที่ 3.6 แสดงสัญญาณมาร์คเกอร์ และสัญญาณข้อมูลที่เป็นดิจิตอล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.7 แสดงส่วนของวงจรกรองความถี่สูง, ทีทีแอล ฟอร์แมท และ วงจรจำกัดระดับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.3.2 การทำงานของวงจรส่วนเลือกข้อมูล

การทำงานของวงจรในส่วนนี้จะเป็นการกำหนดช่วงเวลาในการนำสัญญาณไปประมวณผลในคอมพิวเตอร์ ทั้งนี้เพราะว่าเนื่องจากความเร็วในการประมวลผลของเครื่องคอมพิวเตอร์ในปัจจุบันยังช้ากว่าการสแกนของสัญญาณภาพในระบบโทรทัศน์อยู่ ดังนั้นจึงต้องมีการกำหนดลำดับในการนำสัญญาณไปใช้ให้ถูกต้อง

วงจรที่ใช้ในภาคนี้ส่วนใหญ่จึงเป็นประเภทวงจรหน่วงเวลา, วงจรนับ และวงจรเปรียบเทียบ ซึ่งสามารถแบ่งออกเป็นส่วนๆ ได้ดังนี้

-วงจรสัญญาณโรวพัลซ์

-วงจรนับ

-วงจรเปรียบเทียบ

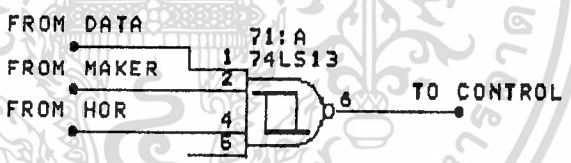
3.3.2.1 วงจรสัญญาณโรวพัลซ์

วงจรในส่วนนี้จะเป็นการนำเอาสัญญาณต่างๆที่แยกออกจากสัญญาณภาพโทรทัศน์ ซึ่งประกอบด้วยสัญญาณข้อมูล, สัญญาณมาร์คเกอร์ และสัญญาณซิงค์-ทางแนวนอนที่ผ่านการหน่วงเวลาให้ช้าลงเท่ากับสัญญาณทั้งสองโดยสัญญาณทั้งสามจะจะถูกนำมาแนนกัน (ผ่าน nand gate) โดยใช้ไอซีเบอร์ 7413 ซึ่งภายในเป็นวงจรแนนเกท 4 อินพุทแต่ถูกนำมาใช้เพียง 3 อินพุท ดังนั้นอินพุทที่เหลือจะต้องต่อกับระดับลอจิก "1" เอ้าท์พุทของไอซีตัวนี้จะเป็นสัญญาณโรวพัลซ์ดังที่ได้แสดงให้ดูไว้แล้วในรูปที่ 3.3 ส่วนวงจรในภาคนี้จะแสดงให้ดูในรูปที่ 3.8

จากรูปที่ 3.8 จะเห็นว่าสัญญาณโรวพัลซ์ที่ได้จะถูกนำไปผ่านวงจรโมโนสเตเบิ้ล (monostable) ซึ่งใช้ไอซีเบอร์ 74121 เพราะไอซีเบอร์นี้เหมาะกับการนำไปใช้กับความถี่สูงๆ มากกว่าไอซีเบอร์ 555 โดยช่วงเวลาของเอ้าท์พุทเมื่อมีการทริกจะกำหนดได้ด้วยค่าคงตัวเวลา RC เหตุผลที่ต้องนำมาผ่านวงจรโมโนสเตเบิ้ลเพราะว่าสัญญาณโรวพัลซ์ที่ได้ในหนึ่งชุดข้อมูลหรือหนึ่งแถวอาจมีมากกว่าหนึ่งพัลซ์ ซึ่งเกิดจากการสะแกนในแต่ละเส้นของการสะแกนทางแนวนอน สัญญาณเหล่านี้เมื่อนำมาผ่านวงจรโมโนสเตเบิ้ลแล้ว จะถูกรวมให้เหลือเป็นสัญญาณเดียวเพื่อนำไปทริกวงจรนับ ดังนั้นเมื่อผ่านวงจรโมโนสเตเบิ้ลแล้ว

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ในการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สัญญาณโรวพัลซ์จะเหลืออยู่ 16 สัญญาณในการสะแกนครบหนึ่งคาบหรือหนึ่งสัญญาณทางแนวตั้ง



รูปที่ 3.8 วงจรสัญญาณโรวพัลซ์

3.3.2.2 วงจรนับ

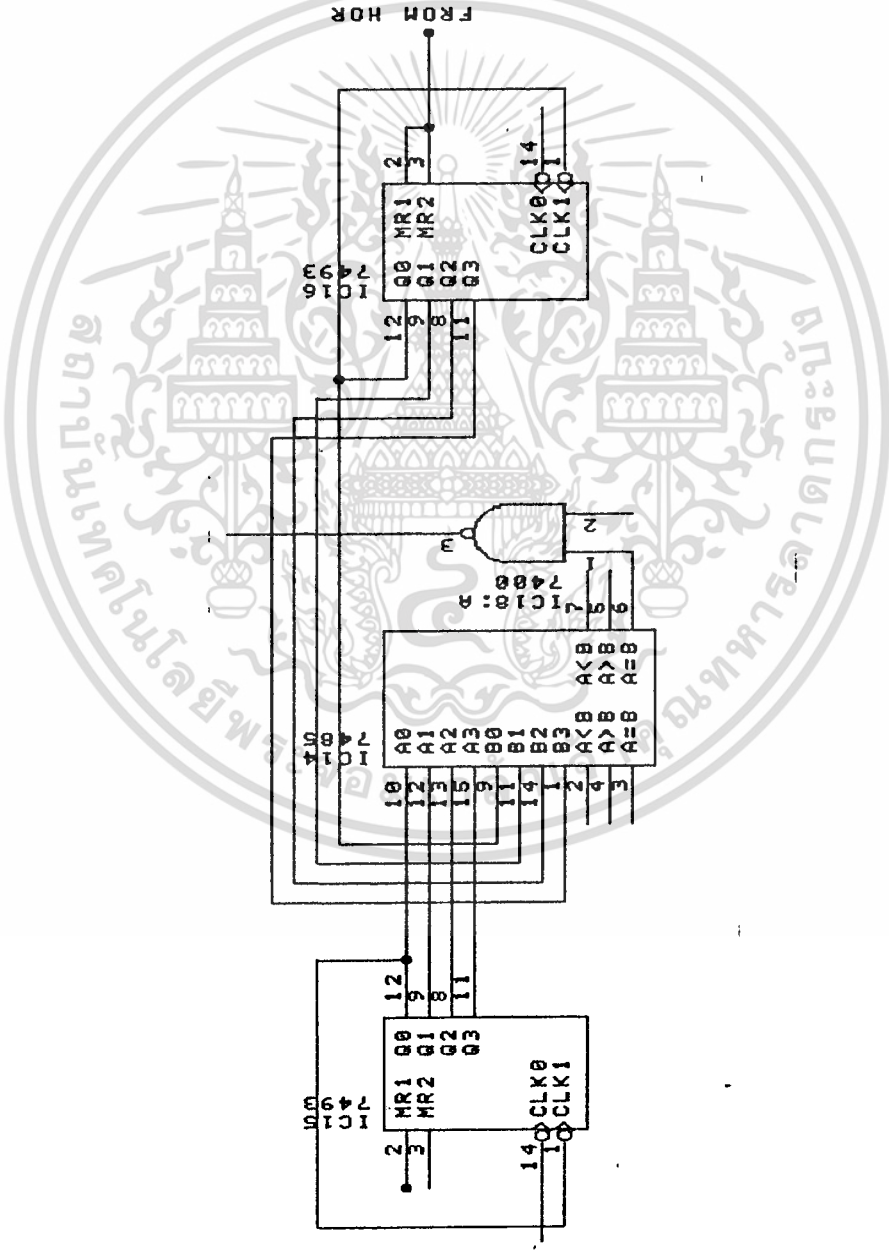
วงจรนับจะมีอยู่ 2 ชุดซึ่งใช้ไอซีเบอร์ 7493 ซึ่งจะขอแยกออกให้ดูแตกต่างกันโดยกำหนดในวงจรให้เป็น 7493A และ 7493B เพื่อให้ง่ายกับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การอธิบายในส่วนของวงจรนี้

วงจรนับชุดแรกคือ 7493A จะนำเอาสัญญาณโรวพัลซ์ไปทำการนับ ดังนั้นวงจรจึงเป็นการนับ 16 ตามจำนวนของสัญญาณโรวพัลซ์ ซึ่งเท่ากับจำนวนคอลัมน์ของกระดาษคำตอบพอดี ส่วนสัญญาณที่นำมารีเซ็ทจะได้จากสัญญาณซิงค์ทางแนวตั้ง

ส่วนวงจรนับชุดที่ 2 คือ 7493B จะถูกต่อให้เป็นวงจรนับ 16 เช่นกันแต่สัญญาณที่นำมาทริกให้นับจะได้รับมาจากเครื่องคอมพิวเตอร์ รวมทั้งสัญญาณที่นำมารีเซ็ทก็ได้มาจากเครื่องคอมพิวเตอร์อีกเช่นกัน



รูปที่ 3.9 วงจรนับ และวงจรเปรียบเทียบ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.3.2.3 วงจรเปรียบเทียบ

วงจรเปรียบเทียบที่ใช้เป็นวงจรเปรียบเทียบค่าตัวเลขไบนารี่ 2 ตัวเลข โดยใช้ไอซีเบอร์ 7485 ดังแสดงในรูปที่ 3.9 ซึ่งไอซีเบอร์ 7485 เป็นไอซีที่สามารถเปรียบเทียบค่าตัวเลขไบนารี่ได้ครั้งละ 4 หลัก สัญญาณที่นำมาเปรียบเทียบได้มาจากวงจรนับแต่ละชุด

เอ้าท์พุทที่ได้จากวงจรเปรียบเทียบจะนำเอาเอ้าท์พุทส่วนที่แสดงค่าที่ สัญญาณอินพุททั้งสองมีค่าเท่ากันไปใช้งานคือจะนำไปทริกหน่วยความจำให้จำข้อมูลในแถวนั้นๆ ดังนั้นสัญญาณที่ถูกจำจะขึ้นอยู่กับสัญญาณที่ส่งมาจากเครื่องคอมพิวเตอร์เท่านั้นทำให้เครื่องคอมพิวเตอร์สามารถรู้เสมอว่ากำลังทำการประมวลผลข้อมูลส่วนใดอยู่

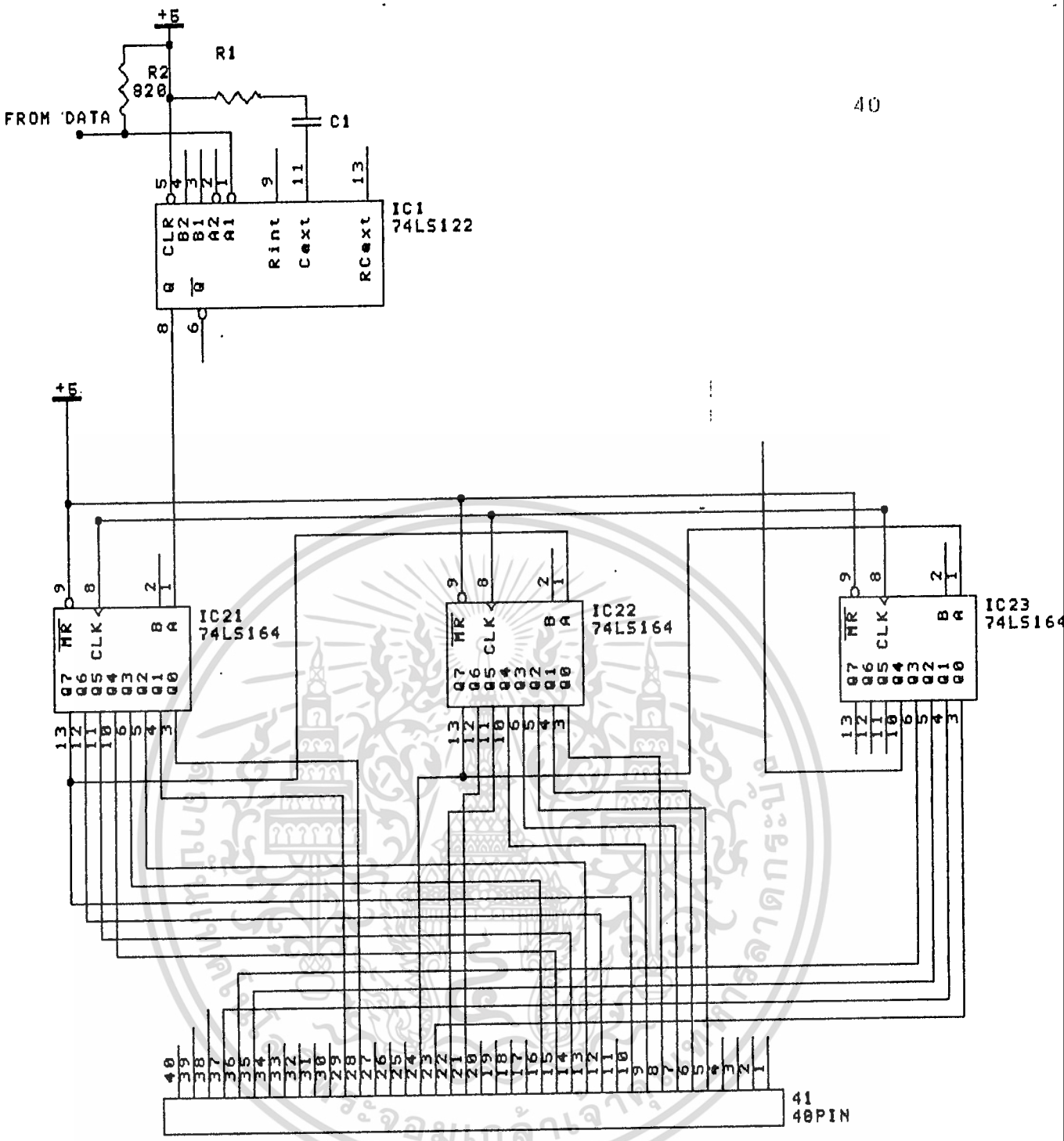
3.3.3 การทำงานในส่วนของวงจรเก็บข้อมูล

ในส่วนของวงจรเก็บข้อมูลนั้นใช้ไอซีเบอร์ 74164 ซึ่งเป็นไอซีชิฟท์รีจิสเตอร์ชนิดข้อมูลอินพุทเป็นแบบอนุกรม แล้วให้ข้อมูลเอาท์พุทเป็นแบบขนานขนาด 8 บิทเลื่อนข้อมูลได้ทางขวาแต่เพียงอย่างเดียว

แต่เนื่องจากข้อมูลที่ต้องการเก็บแต่ละชุดมีถึง 21 ตัวหรือ 21 บิท ดังนั้นจึงต้องใช้ไอซี 74164 ถึง 3 ตัวนำมาต่ออนุกรมกันเพื่อให้ได้จำนวนบิทถึง 21 บิท สัญญาณที่นำมาเก็บในชิฟท์รีจิสเตอร์ชุดนี้คือสัญญาณข้อมูลนั่นเอง

ส่วนสัญญาณที่นำมารีเซ็ทเป็นสัญญาณที่ได้มาจากเครื่องคอมพิวเตอร์ซึ่งเป็นสัญญาณเดียวกับสัญญาณที่ไปทำการรีเซ็ทไอซีเบอร์ 7493B นั่นเอง ในรูปที่ 3.10 เป็นการแสดงวงจรในส่วนเก็บข้อมูล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

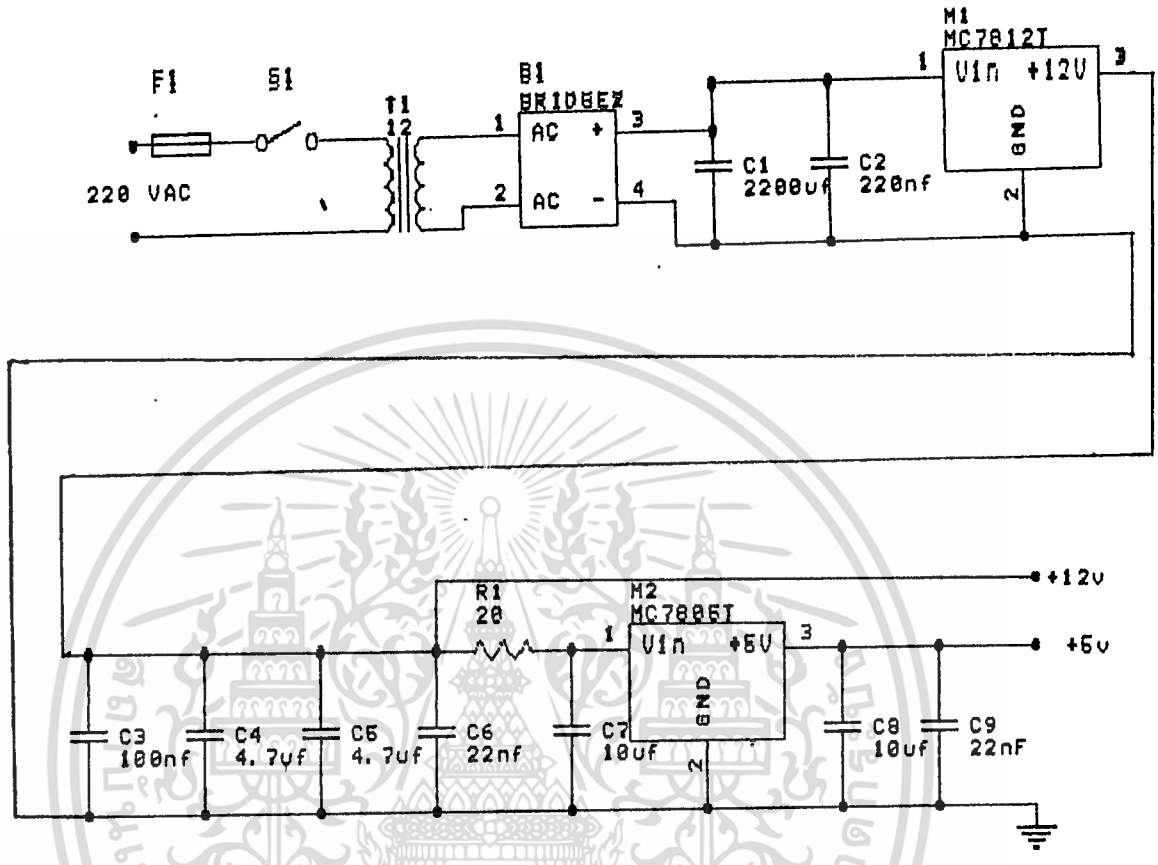


รูปที่ 3.10 วงจรเก็บข้อมูล

3.3.4 การทำงานในส่วนของแหล่งจ่ายไฟ

เนื่องจากเครื่องตรวจข้อสอบชุดนี้ มีการใช้ระดับแรงดันไฟ 2 ระดับ ตามความเหมาะสมในการทำงานของวงจร ดังนั้นในส่วนของแหล่งจ่ายไฟจึงต้องสร้างระดับแรงดันให้มี 2 ระดับ เพื่อจ่ายให้กับวงจร โดยมีระดับแรงดันที่ 12 โวลท์ และ 5 โวลท์ตามลำดับ สำหรับส่วนของวงจรจะแสดงในรูปที่ 3.11

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.11 วงจรแหล่งจ่ายแรงดัน

จากวงจรจะใช้หม้อแปลงซึ่งมีระดับแรงดันไฟสลับทางด้าน ทุติยภูมิ (secondary) เท่ากับ 12 โวลท์ และถูกเปลี่ยนเป็นวงจรไฟตรงโดยชุดกรองแรงดัน (rectifier) หลังจากนั้นจะถูกทำให้ได้ระดับแรงดันไฟตรงที่คงที่จากไอซีเบอร์ 7812 ซึ่งมีการทำงานเป็นวงจร voltage regulator ดังนั้นเอ้าท์พุทของไอซีจึงมีแรงดันไฟตรงที่คงที่เท่ากับ +12 โวลท์ และจะถูกนำไปใช้ในส่วนของวงจรที่เป็นทรานซิสเตอร์

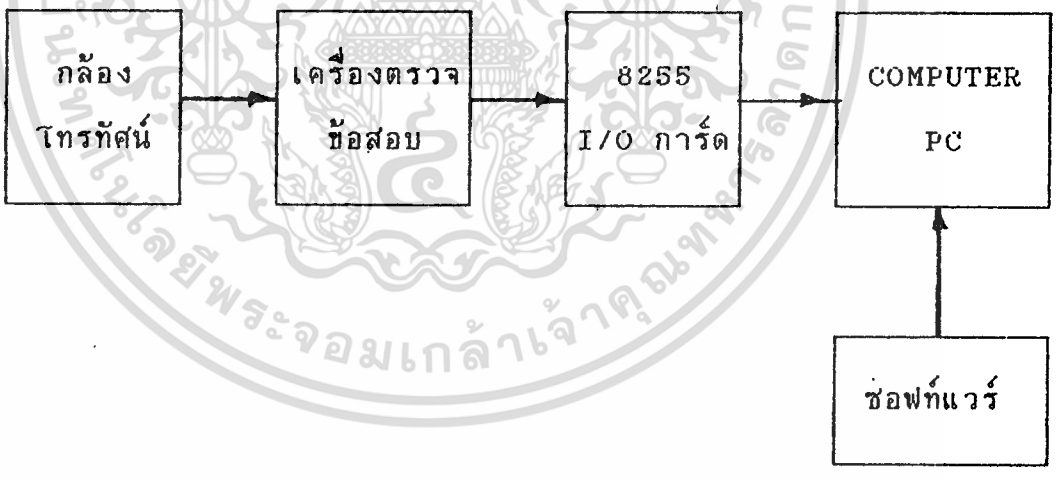
สำหรับแรงดันไฟตรงระดับ +5 โวลท์ ที่ใช้ในส่วนของวงจรที่เป็นไอซีนั้น จะถูกกำหนดระดับแรงดันจากไอซีเบอร์ 7805 ซึ่งมีการทำงานในลักษณะเดียวกันกับไอซีเบอร์ 7812

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.4 ผลการทดสอบและการใช้งาน

การใช้งานเครื่องตรวจข้อสอบชุดนี้จำเป็นต้องมีส่วนประกอบร่วม ดังนี้

1. กล้องถ่ายโทรทัศน์แบบขาวดำ
2. คอมพิวเตอร์ พีซี คอมแพททิเบิล ไอบีเอ็ม
3. การ์ด 8255 I/O (รายละเอียดดูที่ภาคผนวก)
4. เครื่องตรวจข้อสอบ
5. ซอฟท์แวร์ (รายละเอียดดูที่ภาคผนวก)



รูปที่ 3.12 แสดงการต่อเครื่องใช้งาน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เมื่อต่อส่วนต่างๆ เข้าด้วยกันดังรูปที่ 3.12 แล้วเครื่องก็พร้อมที่จะใช้งาน โดยเริ่มต้นด้วยการเรียกโปรแกรม CTORM.EXE (รายละเอียดของโปรแกรมดูที่ภาคผนวก) ต่อจากนั้นก็นำแผ่นกระดาษคำตอบที่เป็นแผ่นเฉลยใส่ที่แท่นวางกระดาษแล้วสั่งให้เครื่องอ่านข้อมูลไปเก็บ เมื่อเครื่องอ่านเรียบร้อยแล้วให้เปลี่ยนกระดาษคำตอบที่ต้องการตรวจไปใส่ แล้วสั่งให้เครื่องตรวจซึ่งเครื่องจะตรวจแล้วแจ้งคะแนนให้ทราบทันที ถ้าหากจะตรวจกระดาษแผ่นอื่นๆ อีกก็นำกระดาษไปวางต่อเรื่อยๆ หรือถ้าหากต้องการตรวจข้อสอบชุดอื่นก็ให้ออกจากโปรแกรมแล้วเริ่มต้นเรียกโปรแกรมใหม่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 4

บทสรุป

เครื่องตรวจข้อสอบชุดนี้ จากการทดสอบถึงแม้ว่าจะสามารถทำงานได้ตามต้องการ แต่ว่าฟังก์ชั่นการทำงานต่างๆ นั้นยังไม่เหมาะสมในการนำไปใช้งานจริง เนื่องจากส่วนต่างๆ อาจจะเรียกได้ว่ายังไม่สมบูรณ์ เช่นกล้องยังไม่คงที่ ที่จับและฟีดกระดาษยังไม่มี และสุดท้ายโปรแกรมยังไม่สมบูรณ์

แต่อย่างไรก็ดีผู้จัดทำเห็นว่าเครื่องตรวจข้อสอบที่ใช้หลักการนี้ยังไม่เคยมีการสร้างออกมาใช้งานกัน ก็หวังว่าท่านผู้อ่านท่านใดที่เห็นประโยชน์ในข้อดีของหลักการนี้จะนำไปเป็นแนวทาง ในการพัฒนาปรับปรุงต่อไปให้มีความเหมาะสมและสามารถใช้งานจริงได้

โดยจากปัญหาของผู้จัดทำที่พบคือในกรณีที่ใช้กล้องคุณภาพต่ำจะทำให้สัญญาณที่นำมามีระดับไม่แน่นอน การแก้ไขคืออาจจะเปลี่ยนเป็นกล้องที่ได้มาตรฐานขึ้นหรือทำการออกแบบวงจรที่สามารถกรองสัญญาณให้ดีขึ้นได้ และควรทำการยึดกล้องให้สมบูรณ์เพื่อจะได้ไม่ต้องมาเสียเวลามาปรับแต่งกล้องบ่อยๆ แต่ว่าก่อนจะยึดกล้องควรปรับแต่งกล้องให้แน่ใจเสียก่อน และควรจัดหาไฟมาส่องที่กระดาษคำตอบให้สว่างและเกลี่ยให้ทั่วกระดาษ ซึ่งขั้นตอนที่กล่าวมาเหล่านี้อาจเป็นแนวทางในการปรับปรุงส่วนของที่ฟีดกระดาษให้ได้มาตรฐานเลยก็ได้

ในส่วนของการตรวจจับข้อมูลต่างๆ ได้แก่สัญญาณมาร์คเกอร์และสัญญาณข้อมูลที่ผู้จัดทำสร้างขึ้นเป็นการตรวจจับโดยมีตัวตรวจเช็คแค่แกนเดียวคือ-แกน Y ซึ่งทำให้เกิดการอ่านข้อมูลผิดพลาดได้บ่อยๆ จากปัญหานี้ผู้จัดทำได้รับข้อเสนอจากอาจารย์บางท่านว่าควรจะทำการตรวจเช็คทั้งสองแกนคือทั้งแกน Y และแกน X โดยการสร้างมาร์คเกอร์ทางแกน X เพิ่มขึ้นมา ซึ่งผู้จัดทำเห็นว่าน่าจะสามารถแก้ปัญหาในการอ่านข้อมูลผิดพลาดได้ดีขึ้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

และในส่วนของวงจรนับที่นำสัญญาณจากคอมพิวเตอร์หรือซอฟท์แวร์มาทำการทริกให้เกิดการนับนั้น สามารถนำเอาสัญญาณที่นับจากคอมพิวเตอร์มาใช้โดยตรงได้เลย ซึ่งจะเป็นสัญญาณที่แน่นอนกว่าการที่จะมาสร้างส่วนของฮาร์ดแวร์ขึ้นมาใหม่ และถ้าเป็นไปได้ในส่วนของวงจรนับทั้งหมดและส่วนเปรียบ-เทียบอาจจะนำเอาไมโครโปรเซสเซอร์มาทำการประมวลผลข้อมูลทั้งหมดแทนในส่วนของฮาร์ดแวร์ที่ได้สร้างขึ้นมานั้นเพราะสัญญาณในส่วนเหล่านี้เป็นสัญญาณดิจิตอลทั้งสิ้น ซึ่งเราสามารถเขียนคำสั่งให้ไมโครโปรเซสเซอร์ทำงานเปรียบเสมือนกับส่วนของฮาร์ดแวร์ได้และจะทำให้สัญญาณที่ได้แน่นอนยิ่งขึ้น

ปัญหาและแนวทางกว้างๆ เหล่านี้อาจจะเป็นประโยชน์ในการนำเอาโครงงานนี้ไปพัฒนาได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก

ภาคผนวก

ภาคผนวก

ภาคผนวก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

PROGRAM

```
int narr,true,false;
int A[48],B[48],C[8],D[8];

# define   PA  0x01b0
# define   PB  0x01b1
# define   PC  0x01b2
# define   PCT 0x01b3
main()
{
        char ch;
        int num = 0;
        display();
        do {
             clrscr();
             printf("Press \"Enter\" to read a Reference Sheet. ");
        } while (getch() != '\r');
        clrmem(A,48);
        rddata(A);
        dpsucc();
        do
         {
            num++;
            do {
                clrscr();
                printf("Press \"Enter\" to read an Answer Sheet # %d. ",num);
            } while (getch() != '\r');
            clrmem(B,48);
            rddata(B);
            dpsucc();
            compare();
            clrscr();
            printf("\n  ANSWER SHEET #%d \n\n",num);
            printf("Anount of  True is :%d \n",true);
            printf("Amount of false is :%d \n",false);
            printf("Total  amount   is :%d \n",(true + false));
      loop: printf("\nDo you want to check the other (y/n) :  ");
            ch = getche();
            if ((ch !='y')&&(ch !='Y')&&(ch !='n')&&(ch !='N'))
            {
                delline();
                goto loop;
            }
        } while ((ch == 'y') || (ch == 'Y'));
        printf("\n\nPress any key to END.");
        getch();
}
clrmem(arr,r)
int arr[],r;
{
        int ind;
        for(ind = 0; ind < r; ind++)
            arr[ind] = 0;
}
rddata(mem)
int mem[];
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
{
        int vs,hs,cmk;
        int hcount = 0;
        int item = 1;
        narr = 0;
        do
          {
            outport(PCT,0x0093);
            outport(PC,0x0000);
            outport(PCT,0x0088);
            do     vs = (inport(PC) & 0x0020);
              while (vs == 0x0020);
            do     vs = (inport(PC) & 0x0020);
              while (vs != 0);
            do
              {
               do     hs = (inport(PC) & 0x0040);
                 while (hs != 0);
               do     hs = (inport(PC) & 0x0040);
                 while (hs == 0x0040);
               hcount++;
              }
            while (hcount != item);
            do    cmk = (inport(PC) & 0x0010);
              while (cmk != 0x0010);
            rdrow(mem);
            item++;
          }
        while (item != 17);
}
rdrow(ary)
int ary[];
{
        ary[narr] = (inport(PA) & 0x00ff);
        narr++;
        ary[narr] = (inport(PB) & 0x00ff);
        narr++;
        ary[narr] = (inport(PC) & 0x000f);
        narr++;
}
compare()
{
        int n,m,c;
        true = 0;
        false = 0;
        clrmem(C,8);
        clrmem(D,8);
        for (n = 0; n <= 47;n++)
        {
          exparr(A[n],C);
          exparr(B[n],D);
          if ((n % 3) == 0)  c = 3;
             else  c = 7;
          for (m = 0; m <= c;m++)
          {
            if (C[m] == 1)
            {
            if (C[m] == D[m]) true++;
                else false++;
```

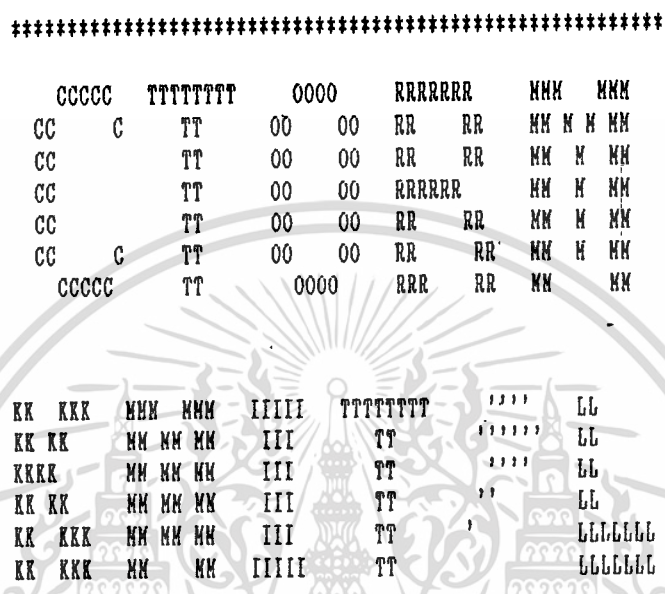
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
                }
            }
            clrmem(C,8);
            clrmem(D,8);
        }
}
exparr(abval,cord)
int abval,cord[];
{
        int x,y;
        for(x = abval,y = 0; x >1; y++)
        {
           cord[y] = x % 2;
           x /= 2;
        }
        cord[y] = x;
}
dpsucc()
{
        printf("\n\t Read success.\n\n");
        printf("Press any key to continue.");
        getch();
}
display()
{
  clrscr();
 printf("\n");
 printf("      ************************************************************\n");
 printf("\n");
 printf("          CCCCC   TTTTTTTT    0000    RRRRRRR    MMM   MMM\n");
 printf("        CC    C     TT      00    00  RR    RR   MM M M MM\n");
 printf("        CC          TT      00    00  RR    RR   MM  M  MM\n");
 printf("        CC          TT      00    00  RRRRRR     MM  M  MM\n");
 printf("        CC          TT      00    00  RR   RR    MM  M  MM\n");
 printf("        CC    C     TT      00    00  RR    RR   MM  M  MM\n");
 printf("         CCCCC      TT       0000     RRR   RR   MM     MM\n");
 printf("\n\n\n");
 printf("      KK  KKK   MMM  MMM   IIIII   TTTTTTTT     ''''    LL\n");
 printf("      KK KK     MM MM MM    III       TT       ''''''   LL\n");
 printf("      KKKK      MM MM MM    III       TT         ''''   LL\n");
 printf("      KK KK     MM MM MM    III       TT       ''       LL\n");
 printf("      KK  KKK   MM MM MM    III       TT       '        LLLLLLL\n");
 printf("      KK  KKK   MM    MM   IIIII      TT                LLLLLLL\n");
 printf("\n");
 printf("     ************************************************************\n");
 printf("\n");
  printf("      Press any key to continue.");
  getch();
}
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ขั้นตอนการเรียกโปรแกรม

เริ่มต้นเรียกโปรแกรม CTORM.EXE จะแสดงหน้าจอดังนี้



เมื่อกดปุ่มใดๆ จะปรากฏข้อความ

Press "Enter" to read a Reference Sheet.

ซึ่งเครื่องจะรอให้ใส่กระดาษเฉลยคำตอบ หลังจากนั้นให้กดปุ่ม ENTER เครื่องจะทำการเก็บข้อมูลเมื่อเสร็จเรียบร้อยแล้ว จะแสดงข้อความแจ้งให้ทราบดังนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
Press "Enter" to read a Reference Sheet.
        Read success.

Press any key to continue.
```

เมื่อกดปุ่มใดๆ อีกจะปรากฏข้อความ

```
Press "Enter" to read an Answer Sheet # 1.
```

ซึ่งเครื่องจะรอให้ใส่กระดาษคำตอบที่ต้องการตรวจ โดยเริ่มต้นจากแผ่นที่ # 1 หลังจากนั้นให้กดปุ่ม ENTER เครื่องจะทำการเก็บข้อมูลเมื่อเสร็จเรียบร้อยแล้ว จะแสดงข้อความแจ้งให้ทราบดังนี้

```
Press "Enter" to read an Answer Sheet # 1.
        Read success.

Press any key to continue.
```

ซึ่งเมื่อกดปุ่มใดๆ เครื่องจะแสดงผลการสอบเป็นคะแนนต่างๆ คือ

Amount of True หมายถึงจำนวนข้อหรือคะแนนที่ตอบถูก

Amount of False หมายถึงจำนวนข้อที่ตอบผิด

Total amount หมายถึงจำนวนข้อทั้งหมดของข้อสอบ

หลังจากนั้นเครื่องจะถามว่าต้องการตรวจข้อสอบชุดต่อไปหรือไม่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
  ANSWER SHEET #1

Amount of  True is :0
Amount of false is :0
Total  amount   is :0

Do you want to check the other (y/n) :
```

ถ้าต้องการตรวจชุดต่อไปให้กดอักษร Y หรือ y เครื่องจะรอกระดาษคำตอบชุดต่อไปและจะเพิ่มหมายเลขกระดาษคำตอบไปเรื่อยๆ

```
Press "Enter" to read an Answer Sheet # 2.
```

ถ้าไม่ต้องการตรวจต่อให้กดอักษร N หรือ n แล้วกดปุ่มใดๆ เป็นการเลิกทำงาน

```
  ANSWER SHEET #2

Amount of  True is :0
Amount of false is :0

Total  amount   is :0

Do you want to check the other (y/n) :  n

Press any key to END.
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5400/7400 Quadruple 2-Input Positive-NAND Gate

	Schottky TTL					High-Speed TTL					Low-Power Schottky TTL					Standard TTL					Low-Power TTL				
	Device Type	Package C	P	M	CF	Device Type	Package C	P	M	CF	Device Type	Package C	P	M	CF	Device Type	Package C	P	M	CF	Device Type	Package C	P	M	CF
T. I.	SN54S00	J	N		W	SN54H00	J			W	SN54LS00	J			W	SN5400	J			W	SN54L00	J	N	F	
	SN74S00	J	N			SN74H00	J	N			SN74LS00	J	N			SN7400	J	N			SN74L00	J	N	F	
FAIRCHILD	FM54S00/FM95S00	D			F	FM54H00, FM95H00	D			F	[illegible]	[illegible]				FM 5400/FM9N00	D			F					
	FC74S00/FC9S00	D	P			FC74H00/FC9H00	D	P			[illegible]	[illegible]				FC7400/FC9N00	D	P							
MOTOROLA						MC3100	L			F						MC5400	L			F					
						MC3000	L	P		F	SN74LS00		P			MC7400	L	P		F					
N. S. C.						DM54H00	J	N			DM54LS00					DM5400	J	N		W	DM54L00	J	N		F
	DM74S00		N			DM74H00	J	N			DM74LS00					DM7400	J	N			DM74L00	J	N		F
PHILIPS	N74S00					OJH131/74H00					N74LS00					FJH131/7400									
SIGNETICS	N54S00	F	A		W	S54H00	F	A		W						S5400	F	A		W					
	N74S00	F	A			N74H00	F	A			N74LS00		A			N7400	F	A							
SIEMENS																FLH101									
FUJITSU						MB601			M		74LS00		M			MB400		M							
HITACHI	HD74S00		P								HD74LS00		P			HD7400/HD2503		P							
MITSUBISHI	M53000		P								M74LS00		P			M53200		P							
NEC	μPB2500	C									74LS00		C			μPB201	D								
TOSHIBA																TD3400A		P							

Electrical Characteristics SN54LS00/SN74LS00

absolute maximum ratings over operating free-air temperature range

Supply voltage, V_{CC}	7V	Operating free-air temperature range	SN54LS	−55°C to 125°C
Input voltage	7V		SN74LS	0°C to 70°C
Interemitter voltage	5.5V	Storage temperature range		−65°C to 150°C

recommended operating conditions

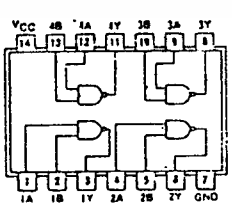
	SN54LS00			SN74LS00			UNIT
	MIN	NOM	MAX	MIN	NOM	MAX	
Supply voltage, V_{CC}	4.5	5	5.5	4.75	5	5.25	V
High-level output current, I_{OH}			−400			−400	μA
Low-level output current, I_{OL}			4			8	mA
Operating free-air temperature, T_A	−55		125	0		70	°C

electrical characteristics over recommended operating free-air temperature range

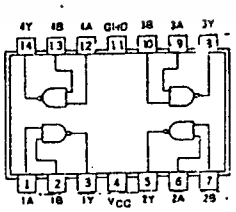
PARAMETER		TEST CONDITIONS†		MIN	TYP‡	MAX	UNIT
V_{IH}	High-level input voltage			2			V
V_{IL}	Low-level input voltage					0.8	V
V_I	Input clamp voltage	V_{CC}=MIN, I_I=−18mA				−1.5	V
V_{OH}	High-level output voltage	V_{CC}=MIN, V_{IL}=V_{IL} max, I_{OH}=MAX		2.7	3.4		V
V_{OL}	Low-level output voltage	V_{CC}=MIN, V_{IH}=2V, I_{OL}=4mA			0.2	0.4	V
I_I	Input current at maximum input voltage	V_{CC}=MAX, V_I=7V				0.1	mA
I_{IH}	High-level input current	V_{CC}=MAX, V_{IH}=2.7V				20	μA
I_{IL}	Low-level input current	V_{CC}=MAX, V_{IL}=0.4V				−0.4	mA
I_{OS}	Short-circuit output current*	V_{CC}=MAX	54LS Family	−20		−100	mA
			74LS Family	−18		−100	
I_{CCH}	Supply current	V_{CC}=MAX	Total, outputs high		4	8	mA
I_{CCL}	Supply current		Total, outputs low		12	22	mA
I_{CC}	Supply current	V_{CC}=5V	Average per gate (50% duty cycle)		0.4		mA
t_{PLH}	Propagation delay time, low-to-high-level output	V_{CC}=5V, T_A=25°C, C_L=15pF, R_L=2kΩ			9	15	ns
t_{PHL}	Propagation delay time, high-to-low-level output				10	15	ns

Pin Assignments (Top View)

①

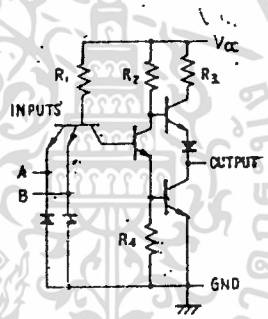


②



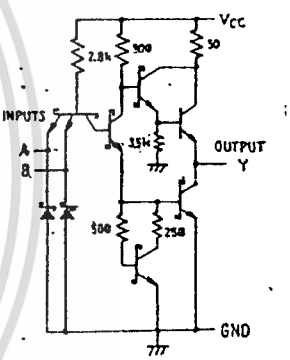
positive logic:
$Y = \overline{AB}$

Schematics (each gate)

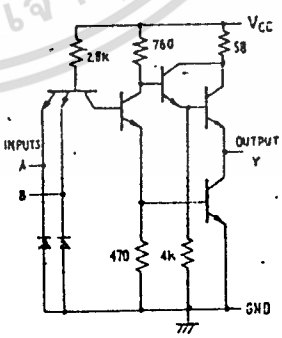


CIRCUIT	R_1	R_2	R_3	R_4
'00	4k	1.4k	130	1k
'L00	40k	20k	500	12k

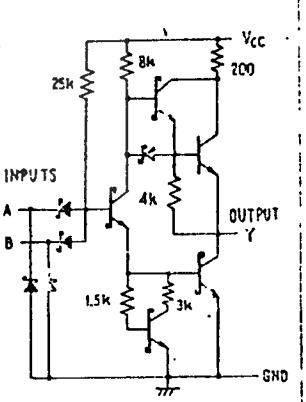
Input clamp diodes not on SN54L'/SN74L' circuits.
'00, 'L00 CIRCUITS



'S00 CIRCUIT



'H00 CIRCUIT



LS00 CIRCUIT

Resistor values shown are nominal and in ohms.

† For conditions shown as MIN or MAX, use the appropriate value specified under recommended operating conditions.
‡ All typical values are at V_{CC}=5V, T_A=25°C.
* Not more than one output should be shorted at a time, and for SN54H'/SN74H' and SN54S'/SN74S', duration of short-circuit should not exceed 1 second.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5413/7413 Dual 4-Input Positive-NAND Schmitt-Trigger

	Schottky TTL					High-Speed TTL					Low-Power Schottky TTL					Standard TTL					Low-Power TTL				
	Device Type	Package				Device Type	Package				Device Type	Package				Device Type	Package				Device Type	Package			
		C	P	M	CF		C	P	M	CF		C	P	M	CF		C	P	M	CF		C	P	M	CF
T.I.											SN54LS13	J⑭			W⑭	SN5413 →	J⑭			W⑭					
											SN74LS13	J⑭	N⑭			SN7413 →	J⑭	N⑭							
FAIRCHILD																FMS413/FM9N13	D⑭			F⑭					
																FC7413/FC09N13	D⑭	P⑭		F⑭					
MOTOROLA																MC7413		P⑭							
N.S.C.											DM54LS13					DM5413	J⑭	N⑭		W⑭					
											DM74LS13					DM7413	J⑭	N⑭							
PHILIPS											N74LS13		⑭			FJL131/7413			⑭						
SIGNETICS																S5413	F⑭	A⑭		W⑭					
											N74LS13		A⑭			N7413	F⑭	A⑭							
SIEMENS																FLH351			⑭						
FUJITSU																									
HITACHI											HD74LS13		P⑭			HD2545	⑭	P⑭							
MITSUBISHI											M74LS13		P⑭			M53213		P⑭							
NEC																μPB2013	D⑭								
TOSHIBA																									

Electrical Characteristics SN54LS13/SN74LS13

absolute maximum ratings over operating free-air temperature range

Supply voltage V_{CC}	7V	Operating free-air temperature range	SN54LS	−55°C to 125°C
Input voltage	7V		SN74LS	0°C to 70°C
		Storage temperature range		−65°C to 150°C

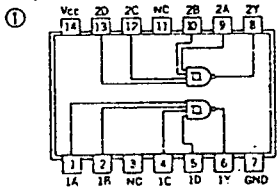
recommended operating conditions

	SN54LS13			SN74LS13			UNIT
	MIN	NOM	MAX	MIN	NOM	MAX	
Supply voltage, V_{CC}	4.5	5	5.5	4.75	5	5.25	V
High-level output current, I_{OH}			−400			−400	μA
Low-level output current, I_{OL}			4			8	mA
Operating free-air temperature T_A	−55		125	0		70	°C

electrical characteristics over recommended operating free-air temperature range

PARAMETER		TEST CONDITIONS †		MIN	TYP ‡	MAX	UNIT
V_{T+}	Positive-going threshold voltage	V_{CC} = 5V		1.4	1.6	1.9	V
V_{T-}	Negative-going threshold voltage	V_{CC} = 5V		0.5	0.8	1	V
	Hysteresis ($V_{T+} - V_{T-}$)	V_{CC} = 5V		0.4	0.8		V
V_I	Input clamp voltage	V_{CC} = MIN,	I_I = −18mA			−1.5	V
V_{OH}	High-level output voltage	V_{CC} = MIN, I_{OH} = MAX	$V_I = V_{T-}$ min.	2.7	3.4		V
V_{OL}	Low-level output voltage	V_{CC} = MIN, I_{OL} = 4mA	$V_I = V_{T+}$ max.		0.25	0.4	V
I_{T+}	Input current at positive-going threshold	V_{CC} = 5V,	$V_I = V_{T+}$		−0.14		mA
I_{T-}	Input current at negative-going threshold	V_{CC} = 5V,	$V_I = V_{T-}$		−0.18		mA
I_I	Input current at maximum input voltage	V_{CC} = MAX,	V_I = 7V			0.1	mA
I_{IH}	High-level input current	V_{CC} = MAX,	V_I = 2.7V			20	μA
I_{IL}	Low-level input current	V_{CC} = MAX,	V_{IL} = 0.4V			−0.4	mA
I_{OS} *	Short-circuit output current *	V_{CC} = MAX		−20		−100	mA
I_{CCH}	Supply current	V_{CC} = MAX	Total, outputs high		2.9	6	mA
I_{CCL}	Supply current		Total, outputs low		4.1	7	mA
I_{CC}	Supply current	V_{CC} = 5V	Average per gate (50% duty cycle)		1.75		mA
t_{PLH}	Propagation delay time, low-to-high-level output	V_{CC} = 5V, C_L = 15pF,	T_A = 25°C, R_L = 2kΩ		15	22	ns
t_{PHL}	Propagation delay time, high-to-low-level output				18	27	ns

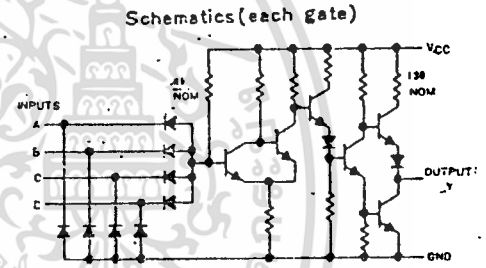
Pin Assignment (Top View)



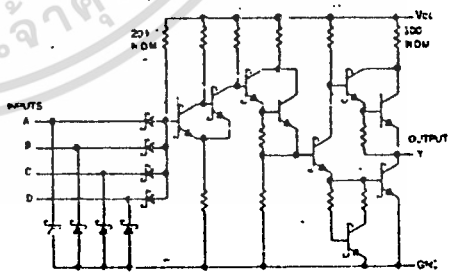
positive logic: Y = ABCD

NC-No internal connection

Schematics (each gate)



'13 CIRCUIT



'LS13 CIRCUIT

Resistor values shown are nominal and in ohms.

* For conditions shown as MIN or MAX, use the appropriate value specified under recommended operating conditions.
‡ All typical values at V_{CC} = 5V, T_A = 25°C.
† Not more than one output should be shorted at a time.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5414/7414 Hex Schmitt-Trigger Inverter

	Schottky TTL					High-Speed TTL					Low-Power Schottky TTL					Standard TTL					Low-Power TTL				
	Device Type	Package				Device Type	Package				Device Type	Package				Device Type	Package				Device Type	Package			
		C	P	M	CF		C	P	M	CF		C	P	M	CF		C	P	M	CF		C	P	M	CF
T.I.											SN54LS14	J			W	SN5414	J			W					
											SN74LS14	J	N			SN7414	J	N							
FAIRCHILD											9N54LS14/9N74LS14	9D			F	9N5414/9N7414	9D								
											9C54LS14/9C85S14	9D	9D		F	9C5414/9C7414	9D	9C							
MOTOROLA											SN74LS14		P			MC7414		P							
N.S.C.											DM54LS14		J			DM5414	J	N		W					
											DM74LS14		J			DM7414	J	N		W					
PHILIPS											N74LS14		N			N7414		N							
																N5414	F	B							
SIGNETICS											N74LS14		A			N7414	F	B							
SIEMENS																									
FUJITSU											74LS14		M												
HITACHI											HD74LS14		P			HD7414		P							
MITSUBISHI											M74LS14		P			M5J214		P							
NEC																									
TOSHIBA																									

Electrical Characteristics SN54LS14/SN74LS14

absolute maximum ratings over operating free-air temperature range

Supply voltage, V_{CC}	7V	Operating free-air temperature range	SN54LS	−55°C to 125°C
Input voltage	7V		SN74LS	0°C to 70°C
		Storage temperature range		−65°C to 150°C

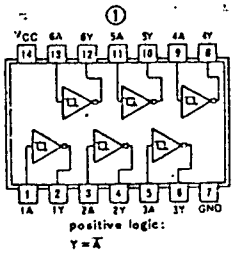
recommended operating conditions

	SN54LS14			SN74LS14			UNIT
	MIN	NOM	MAX	MIN	NOM	MAX	
Supply voltage, V_{CC}	4.5	5	5.5	4.75	5	5.25	V
High-level output current, I_{OH}			−400			−400	μA
Low-level output current, I_{OL}			4			8	mA
Operating free-air temperature, T_A	−55		125	0		70	°C

electrical characteristics over recommended operating free-air temperature range

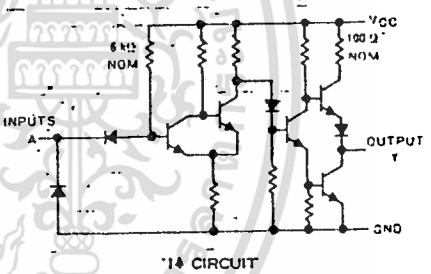
PARAMETER		TEST CONDITIONS†		MIN	TYP‡	MAX	UNIT
V_{T+}	Positive-going threshold voltage	V_{CC} = 5V		1.4	1.6	1.9	V
V_{T-}	Negative-going threshold voltage	V_{CC} = 5V		0.5	0.9	1	V
	Hysteresis ($V_{T+} - V_{T-}$)	V_{CC} = 5V		0.4	0.8		V
V_I	Input clamp voltage	V_{CC} = MIN,	I_I = −18mA			−1.5	V
V_{OH}	High-level output voltage	V_{CC} = MIN, I_{OH} = MAX	$V_I = V_{T-}$ min.	2.7	3.4		V
V_{OL}	Low-level output voltage	V_{CC} = MIN, I_{OL} = 4mA	$V_I = V_{T+}$ max.		0.25	0.4	V
I_{T+}	Input current at positive-going threshold	V_{CC} = 5V,	$V_I = V_{T+}$		−0.14		mA
I_{T-}	Input current at negative-going threshold	V_{CC} = 5V,	$V_I = V_{T-}$		−0.18		mA
I_I	Input current at maximum input voltage	V_{CC} = MAX,	V_I = 7V			0.1	mA
I_{IH}	High-level input current	V_{CC} = MAX,	V_I = 2.7V			20	μA
I_{IL}	Low-level input current	V_{CC} = MAX,	V_I = 0.4V			−0.4	mA
I_{OS}	Short-circuit output current*	V_{CC} = MAX		−20		−100	mA
I_{CC}	Supply current, Total, output high	V_{CC} = MAX			8.6	16	mA
	Supply current, Total, output low				12	21	
	Supply current, Average per gate	V_{CC} = 5V,	50% duty cycle		1.72		
t_{PLH}	Propagation delay time, low-to-high-level output	V_{CC} = 5V,	T_A = 25°C,		15	22	ns
t_{PHL}	Propagation delay time, high-to-low-level output	C_L = 15PF,	R_L = 2kΩ		15	22	ns

Pin Assignment (Top View)

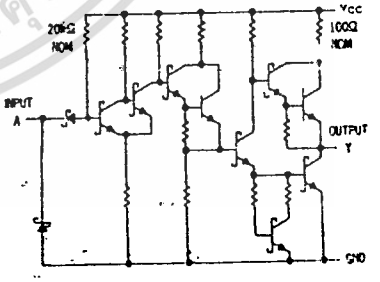


positive logic:
$Y = \overline{A}$

Schematics (each gate)



'14 CIRCUIT



'LS14 CIRCUIT

Resistor values shown are nominal and in ohms.

† For conditions shown as MIN or MAX, use the appropriate value specified under recommended operating conditions.
‡ All typical values are at V_{CC} = 5V, T_A = 25°C.
* Not more than one output should be shorted at a time.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

'S74/74S74 Dual D-Type Positive-Edge-Triggered Flip-Flop with Preset and Clear

	Schottky TTL					High-Speed TTL					Low-Power Schottky TTL					Standard TTL					Low-Power TTL				
	Device Type	Package C	P	M	CF	Device Type	Package C	P	M	CF	Device Type	Package C	P	M	CF	Device Type	Package C	P	M	CF	Device Type	Package C	P	M	CF
T.I.	SN54S74	J①			W①	SN54H74	J①			W②	SN54LS74	J①			W①	SN5474	J①			W②	SN54L74	J①	N①	T①	
	SN74S74	J①	N①			SN74H74	J①	N①			SN74LS74	J①	N①			SN7474	J①	N①			SN74L74	J①	N①	T①	
FAIRCHILD	FM54S74/FM84S74	D①				FM54H74/FM84H74	D①			F①	FM54LS74/FM84LS74	D①			F①	FM5474/FM84N74	D①			F①					
	FC74S74/FC84S74	D①	P①			FC74H74/FC84H74	D①	P①		F①	FC74LS74/FC84LS74	D①	P①		F①	FC7474/FC84N74	D①	P①							
MOTOROLA											SN74LS74		P①												
N.S.C.						DM54H74	J①	N①			DM54LS74		P①			DM5474	J①	N①		W②	DM54L74	J①	N①		F②
	DM74S74		N①			DM74H74	J①	N①			DM74LS74					DM7474	J①	N①			DM74L74	J①	N①		F②
PHILIPS	N74S74		①			0JJ131/74H74		①			N74LS74		①			FJJ131/7474		①							
SIGNETICS	8S4S74					S54H74	F①	A①		W①						S5474	F①	A①		W②					
	N74S74					N74H74	F①	A①			N74LS74		A①			N7474	F①	A①							
SIEMENS																FLJ141		①							
FUJITSU											74LS74		SK①			MB420	①	M①							
HITACHI	HD74S74	①	P①								HD74LS74		P①			HD7474/HD2510	①	P①							
MITSUBISHI	M74S74		P①								M74LS74		P①			M5327/M5374		P①							
NEC	74S74		C①								74LS74		C①			μPB214	D①	C①							
TOSHIBA																TD3474A		P①							

Electrical Characteristics SN54LS74/SN74LS74

absolute maximum ratings over operating free-air temperature range

Supply voltage V_{CC}	7V	Operating free-air temperature range	SN54LS	−55°C to 125°C
Input voltage	5.5V		SN74LS	0°C to 70°C
		Storage temperature range		−65°C to 150°C

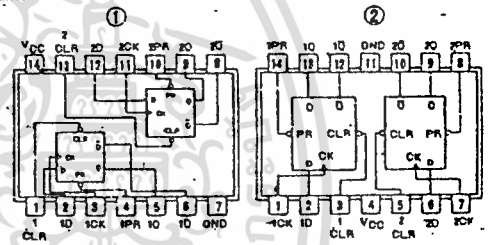
recommended operating conditions

		SN54LS74 MIN	NOM	MAX	SN74LS74 MIN	NOM	MAX	UNIT
Supply voltage, V_{CC}		4.5	5	5.5	4.75	5	5.25	V
High-level output current, I_{OH}				−400			−400	μA
Low-level output current, I_{OL}				4			8	mA
Pulse width, t_w	Clock high	25			25			ns
	Preset or clear low	25			25			
Input setup time, t_{su}	High-level data	25↑			25↑			ns
	Low-level data	20↑			20↑			
Input hold time, t_h		5↑			5↑			ns
Operating free-air temperature, T_A		−55		125	0		70	°C

electrical characteristics over recommended operating free-air temperature range

PARAMETER			TEST CONDITIONS †	MIN	TYP‡	MAX	UNIT
V_{IH}	High-level input voltage			2			V
V_{IL}	Low-level input voltage					0.8	V
V_I	Input clamp voltage		V_{CC}=MIN, I_I=−18mA			−1.5	V
V_{OH}	High-level output voltage		V_{CC}=MIN, V_{IH}=2V, V_{IL}=0.8V, I_{OH}=MAX	2.7	3.4		V
V_{OL}	Low-level output voltage		V_{CC}=MIN, V_{IH}=2V, V_{IL}=0.8V, I_{OL}=4mA		0.25	0.4	V
I_I	Input current at maximum input voltage	D, J, K	V_{CC}=MAX, V_I=7V			0.1	mA
		Clear				0.2	
		Preset				0.2	
		Clock				0.1	
I_{IH}	High-level input current	D, J, K	V_{CC}=MAX, V_I=2.7V			20	μA
		Clear				40	
		Preset				40	
		Clock				20	
I_{IL}	Low-level input current	D, J, K	V_{CC}=MAX, V_I=0.4V			−0.4	mA
		Clear				−0.8	
		preset				−0.8	
		Clock				−0.4	
I_{OS}	Short-circuit output current ◆	Series 54LS	V_{CC}=MAX	−20		−100	mA
		Series 74LS		−20		−100	
I_{CC}	Supply current (Average per flip-flop)		V_{CC}=MAX, See Note 1		4	8	mA
f	clock frequency		V_{CC}=5V, T_A=25°C, C_L=15pF, R_L=2kΩ	25	33		MHz
t_{PLH}	from clear, preset or clock (as appropriate) to Q or Q̄				13	25	ns
t_{PHL}					25	40	

Pin Assignments (Top View)

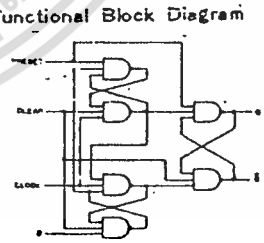


Functional Table

'74, 'H74, 'LS74, 'S74 (See Note 2)

INPUTS PRESET	CLEAR	CLOCK	D	OUTPUTS Q	Q̄
L	H	X	X	H	L
H	L	X	X	L	H
L	L	X	X	H*	H*
H	H	↑	H	H	L
H	H	↑	L	L	H
H	H	L	X	Q_0	$\bar{Q}_0$

Functional Block Diagram



'74, 'S74, 'H74, 'LS74, 'L74 DUAL D-FLIP-FLOP WITH CLEAR AND PRESET

NOTES: 1 With all outputs open, I_{CC} is measured with the Q and Q̄ outputs high in turn. At the time of measurement, the clock input is grounded.

2 H = high level (steady state), L = low level (steady state), X = irrelevant
↑ = transition from low to high level,
Q_0 = the level of Q before the indicated input conditions were established.
• This configuration is nonstable; that is, it will not persist when preset and clear inputs return to their inactive (high) level.

†For conditions shown as MIN or MAX, use the appropriate value specified under recommended operating conditions.
‡All typical values are at V_{CC}=5V, T_A=25°C.
◆Not more than one output should be shorted at a time.
■ t_{PLH} = propagation delay time, low-to-high-level output;
t_{PHL} = propagation delay time, high-to-low-level output;
§ The arrow indicates the edge of the clock pulse used for reference: ↑ for the rising edge.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5485/7485 4-Bit Magnitude Comparator

	Schottky TTL					High-Speed TTL					Low-Power Schottky TTL					Standard TTL					Low-Power TTL				
	Device Type	Package				Device Type	Package				Device Type	Package				Device Type	Package				Device Type	Package			
		C	P	M	CF		C	P	M	CF		C	P	M	CF		C	P	M	CF		C	P	M	CF
T.I.	SN54S85	J			W						SN54LS85	J			W	SN5485	J			W	SN54L85	J			
	SN74S85	J	N								SN74LS85	J	N			SN7485	J	N			SN74L85	J	N		
FAIRCHILD																9324 85 / 93L85	J								
																93S85 / 93L85		P							
MOTOROLA																MC7485		P							
N.S.C.											DM54LS85		J								DM54L85	J	N		F
											DM74LS85		J			DM7485		N			DM74L85	J	N		F
PHILIPS	N74S85										N74LS85					N7485									
																S5485									
SIGNETICS	N74S85		A								N74LS85		A			N7485									
SIEMENS																FLH431									
FUJITSU											74LS85		M			MB148		NM							
HITACHI											HD74LS85		P			HD7485		P							
MITSUBISHI	M74S85		P								M74LS85		P			M53285		P							
NEC																μPB2085	D								
TOSHIBA																									

Electrical Characteristics SN54LS85/SN74LS85

absolute maximum ratings over operating free-air temperature range

Supply voltage, V_{CC}	7V	Operating free-air temperature range	SN54LS	−55°C to 125°C
Input voltage	7V		SN74LS	0°C to 70°C
Interemitter voltage (see Note)	5.5V	Storage temperature range		−65°C to 150°C

recommended operating conditions

	SN54LS85			SN74LS85			UNIT
	MIN	NOM	MAX	MIN	NOM	MAX	
Supply voltage, V_{CC}	4.5	5	5.5	4.75	5	5.25	V
High-level output current, I_{OH}			−400			−400	μA
Low-level output current, I_{OL}			4			8	mA
Operating free-temperature, T_A	−55		125	0		70	°C

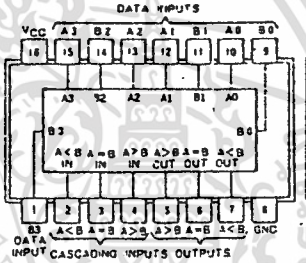
electrical characteristics over recommended operating free-air temperature range

PARAMETER		TEST CONDITIONS†		MIN	TYP‡	MAX	UNIT
V_{IH}	High-level input voltage			2			V
V_{IL}	Low-level input voltage					0.8	V
V_I	Input clamp voltage	V_{CC} = MIN, I_I = −18mA				−1.5	V
V_{OH}	High-level output voltage	V_{CC} = MIN, V_{IH} = 2V, V_{IL} = 0.8V, I_{OH} = −400μA		2.7	3.4		V
V_{OL}	Low-level output voltage	V_{CC} = MIN, V_{IH} = 2V, V_{IL} = 0.8V, I_{OL} = 4mA			0.25	0.4	V
I_I	Input current at maximum input voltage: A<B, A>B inputs	V_{CC} = MAX, V_I = 7V				0.1	mA
	Input current at maximum input voltage: all other input					0.3	
I_{IH}	High-level input current: A<B, A>B inputs	V_{CC} = MAX, V_I = 2.7V				20	μA
	High-level input current: all other inputs					60	
I_{IL}	Low-level input current: A<B, A>B inputs	V_{CC} = MAX, V_I = 0.4V				−0.4	mA
	Low-level input current: all other inputs					−1.2	
I_{OS}	Short-circuit output current*	V_{CC} = MAX, V_O = 0	SN54LS85	−20		−100	mA
			SN74LS85	−20		−100	
I_{CC}	Supply current	V_{CC} = MAX, See Note			10.4	20	mA
t_{PLH}	From Any A or B data input to output A<B, A>B	V_{CC} = 5V, T_A = 25°C, C_L = 15pF, R_L = 2kΩ	NUMBER OF GATE LEVELS	1	14		ns
				2	19		
				3	24	36	
	From Any A or B data input to output A=B			4	27	45	
t_{PHL}	From Any A or B data input to output A<B, A>B			1	11		ns
				2	15		
				3	20	30	
	From Any A or B data input to output A=B			4	23	45	
t_{PLH}	From A<B or A=B to output A>B			1	14	22	ns
t_{PHL}				1	11	17	ns
t_{PLH}	From A=B to output A=B			2	13	20	ns
t_{PHL}				2	13	26	ns
t_{PLH}	From A>B or A=B to output A<B			1	14	22	ns
t_{PHL}				1	11	17	ns

NOTE: I_{CC} is measured with outputs open, A=B grounded, and all other inputs at 4.5V.

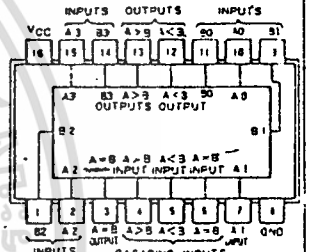
Pin Assignments (Top View)

①



positive logic: see function tables

②



positive logic: see function tables

Function Table

COMPARING INPUTS			CASCADING INPUTS			OUTPUTS		
A3, B3	A2, B2	A1, B1	A0, B0	A>B	A<B	A=B	A>B	A<B	A=B
A3>B3	X	X	X	X	X	X	H	L	L
A3<B3	X	X	X	X	X	X	L	H	L
A3=B3	A2>B2	X	X	X	X	X	H	L	L
A3=B3	A2<B2	X	X	X	X	X	L	H	L
A3=B3	A2=B2	A1>B1	X	X	X	X	H	L	L
A3=B3	A2=B2	A1<B1	X	X	X	X	L	H	L
A3=B3	A2=B2	A1=B1	A0>B0	X	X	X	H	L	L
A3=B3	A2=B2	A1=B1	A0<B0	X	X	X	L	H	L
A3=B3	A2=B2	A1=B1	A0=B0	H	L	L	H	L	L
A3=B3	A2=B2	A1=B1	A0=B0	L	H	L	L	H	L
A3=B3	A2=B2	A1=B1	A0=B0	L	L	H	L	L	H

'85, 'S85, 'LS85

A3=B3	A2=B2	A1=B1	A0=B0	X	X	H	L	L	H
A3=B3	A2=B2	A1=B1	A0=B0	H	H	L	L	L	L
A3=B3	A2=B2	A1=B1	A0=B0	L	L	L	H	H	L

LS85

A3=B3	A2=B2	A1=B1	A0=B0	L	H	H	L	H	H
A3=B3	A2=B2	A1=B1	A0=B0	H	L	H	H	L	H
A3=B3	A2=B2	A1=B1	A0=B0	H	H	H	H	H	H
A3=B3	A2=B2	A1=B1	A0=B0	H	H	L	H	H	L
A3=B3	A2=B2	A1=B1	A0=B0	L	L	L	L	L	L

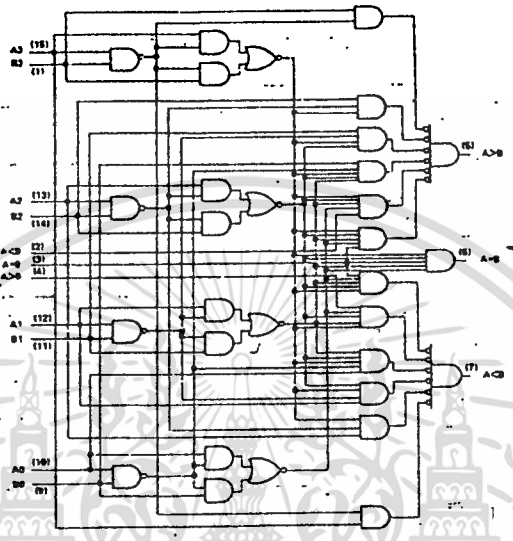
H = high level, L = low level, X = irrelevant

† For conditions shown as MIN or MAX, use the appropriate value specified under recommended operating conditions for the applicable type.
‡ All typical values are at V_{CC} = 5V, T_A = 25°C.
* Not more than one output should be shorted at a time.
• t_{PLH} = propagation delay time, low-to-high-level output
t_{PHL} = propagation delay time, high-to-low-level output

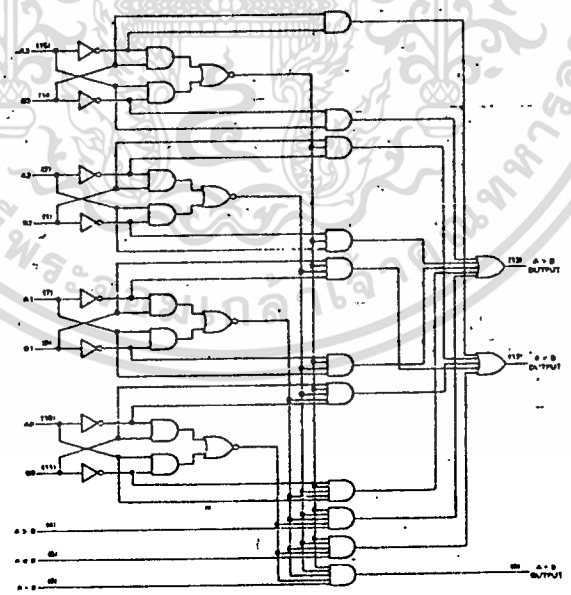
CONTINUED ON NEXT PAGE

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Functional Block Diagrams



'85, 'S85, 'LS85 4-BIT MAGNITUDE COMPARATOR



'L85 4-BIT MAGNITUDE COMPARATOR

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

54122/74122 Retriggerable Monostable Multivibrator with Clear

	Schottky TTL					High-Speed TTL					Low-Power Schottky TTL					Standard TTL					Low-Power TTL				
	Device Type	Package				Device Type	Package				Device Type	Package				Device Type	Package				Device Type	Package			
		C	P	M	CF		C	P	M	CF		C	P	M	CF		C	P	M	CF		C	P	M	CF
T.I.											SN54LS122	J			W	SN54122	J			W	SN54L122	J	FK	T	W
											SN74LS122	J	N			SN74122	J	N			SN74L122	J	FK	T	
FAIRCHILD																54122/ [illegible]	D								
																74122/ [illegible]	D	P							
MOTOROLA																MC74122		P							
N.S.C.											DM54LS122		J												
											DM74LS122		N												
PHILIPS																N74122		D							
SIGNETICS																SN74122	F	A							
SIEMENS																FLK111		T							
FUJITSU																									
HITACHI											HD74LS122		P												
MITSUBISHI																M53322		P							
NEC																									
TOSHIBA																									

Electrical Characteristics SN54LS122/SN74LS122

absolute maximum ratings over operating free-air temperature range

Supply voltage, V_{CC}	7V	Operating free-air temperature range	SN54LS		-55°C to 125°C
Input voltage	7V		SN74LS		0°C to 70°C
		Storage temperature range			-65°C to 150°C

recommended operating conditions

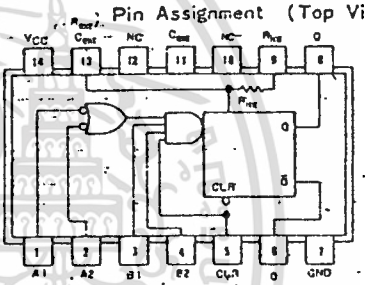
		SN54LS122			SN74LS122			UNIT
		MIN	NOM	MAX	MIN	NOM	MAX	
Supply voltage, V_{CC}		4.5	5	5.5	4.75	5	5.25	V
High-level output current, I_{OH}				-400			-400	μA
Low-level output current, I_{OL}				8			8	mA
Pulse width, t_w	A or B inputs high	40			40			ns
	A or B inputs low	40			40			
External timing resistance, Rext		5		180	5		260	kΩ
External timing capacitance, Cext		No restriction			No restriction			
Timing capacitance at Rext Cext terminal				50			50	pF
Operating free-air temperature, T_A		55		125	0		70	°C

electrical characteristics over recommended operating free-air temperature range

PARAMETER		TEST CONDITIONS†		MIN	TYP‡	MAX	UNIT
V_{IH}	High-level input voltage			2			V
V_{IL}	Low-level input voltage					0.8	V
V_I	Input clamp voltage	V_{CC}=MIN, I_I=-18mA				1.5	V
V_{OH}	High-level output voltage	V_{CC}=MIN, I_{OH}=-400μA, See Note 1		2.7	3.5		V
V_{OL}	Low-level output voltage	V_{CC}=MIN, I_{OL}=8mA, See Note 1			0.35	0.5	V
I_I	Input current at maximum input voltage	V_{CC}=MAX, V_I=7V				0.1	mA
I_{IH}	High-level input current	V_{CC}=MAX, V_I=2.7V				20	μA
I_{IL}	Low-level input current	V_{CC}=MAX, V_I=0.4V				0.4	mA
I_{OS}	Short-circuit output current*	V_{CC}=MAX, See Note 1		-20		-100	mA
I_{CC}	Supply current (quiescent or triggered)	V_{CC}=MAX, See Notes 2 and 3			6	11	mA
t_{PLH}	from A to output Q	V_{CC}=5V, T_A=25°C, C_L=15pF, R_L=2kΩ	C_{ext}=0, R_{ext}=5kΩ		23	33	ns
	from B to output Q				23	44	
t_{PHL}	from A to output $\overline{Q}$				32	45	ns
	from B to output $\overline{Q}$				34	56	
t_{PHL}	from Clear to output Q				20	27	ns
t_{PLH}	from Clear to output $\overline{Q}$				28	45	
$t_{O(min)}$	from A or B to output Q				116	200	ns
t_{WO}	from A or B to output Q		C_{ext}=1000pF, R_{ext}=10kΩ	4	4.5	5	μs

†For conditions shown as MIN or MAX, use the value specified under recommended operating conditions
‡All typical values are at V_{CC}=5V, T_A=25°C
*Not more than one output shorted at a time
•t_{PLH}=propagation delay time, low-to-high-level output. t_{PHL}=propagation delay time, high-to-low-level output
t_{WO}=width of pulse at output Q

Pin Assignment (Top View)



NC: No internal connection

122: R_{int} = 10kΩ±30%
L 122: R_{int} = 20kΩ±30%

Function Table

122, LS122, L122 (See Note 4)

INPUTS					OUTPUTS	
CLEAR	A1	A2	B1	B2	Q	$\overline{Q}$
L	X	X	X	X	L	H
X	H	H	X	X	L	H
X	X	X	L	X	L	H
X	X	X	X	L	L	H
X	L	X	H	H	L	H
↑	L	X	↑	H	⊓	⊔
↑	L	X	H	↑	⊓	⊔
↑	X	L	↑	H	L	H
H	X	L	↑	H	⊓	⊔
↑	X	L	H	↑	⊓	⊔
H	H	↓	H	H	⊓	⊔
H	↓	↓	H	H	⊓	⊔
H	↓	H	H	H	⊓	⊔
↓	L	X	H	H	⊓	⊔
↓	X	L	H	H	⊓	⊔

NOTES 1: Ground C_{ext} to measure V_{OH} at Q, V_{OL} at $\overline{Q}$, or I_{OS} at Q. C_{ext} is open to measure V_{OH} at $\overline{Q}$, V_{OL} at Q, or I_{OS} at $\overline{Q}$.

2: I_{CC} is measured (after clearing) with 2.4V applied to all clear and A inputs, B inputs grounded, all outputs open, C_{ext}=0.02 μF, and R_{ext} 25kΩ, R_{int} is open.

3: I_{CC} is measured in the triggered state with 2.4V applied to all clear and B inputs, A inputs grounded, all output open, C_{ext}=0.02 μF, and R_{ext} 25 kΩ, R_{int} is open.

4: A, H=high level (steady state), L=low level (steady state), ↑=transition from low to high level, ↓=transition from high to low level, ⊓=one high-level pulse, ⊔=one low-level pulse, X=irrelevant (any input, including transitions).

B. To use the internal timing resistor connect R_{int} to V_{CC}.

C. An external timing capacitor may be connected between C_{ext} and R_{ext} (C_{ext} (positive).

D. For accurate repeatable pulse widths, connect an external resistor between R_{ext} C_{ext} and V_{CC} with R_{int} open-circuited.

E. To obtain variable pulse widths, connect external variable resistance between R_{int} or R_{ext} C_{ext} and V_{CC}

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5493/7493 4-Bit Binary Counter

	Schottky TTL					High-Speed TTL					Low-Power Schottky TTL					Standard TTL					Low-Power TTL				
	Device Type	Package				Device Type	Package				Device Type	Package				Device Type	Package				Device Type	Package			
		C	P	M	CF		C	P	M	CF		C	P	M	CF		C	P	M	CF		C	P	M	CF
I.											SN54LS93	J①			W①	SN5493A	J①			W①	SN54L93	J②	N②		T②
FAIRCHILD											SN74LS93	J③	N③			SN7493A	J③	N①			SN74L93	J③	N②		T②
MOTOROLA											*SN54LS93 *SN74LS93	P①			F①	FM5493 FM9393	D①			F①					
N. S. C											FC74LS92 FC93LS93	D①	P①			FC7493 FC9393	D①	P①							
PHILIPS																MC5493	L①								
SIGNETICS											SN74LS93		P①			MC7493	L①	P①							
SIEMENS											DM54LS93		J①			DM5493	J①	N①		W①	DM54L93	J②	N②		F②
FUJITSU											DM74LS93		J①			DM7493	J①	N①			DM74L93	J②	N②		F②
HITACHI											N74LS93		J①			FJJ221 7493		J①							
MITSUBISHI											N74LS93		A①			S5493	F①	A①		W①					
NEC																N7493	F①	A①							
TOSHIBA																FLJ181		J①							
											HD74LS93		P①			HD7493A/HD2520	C①	P①							
											M74LS93		P①			M5329J		P①							
																μPB223	D①	C①							
																TD3493A		P①							

Electrical Characteristics SN54LS93A, SN74LS93A

absolute maximum ratings over operating free-air temperature range

Supply voltage, V_{CC}	7V	Operating free-air temperature range	SN54LS	−55°C to 125°C
Input voltage	7V		SN74LS	0°C to 70°C
Pin emitter voltage (see Note 1)	5.5V	Storage temperature range		−65°C to 150°C

recommended operating conditions

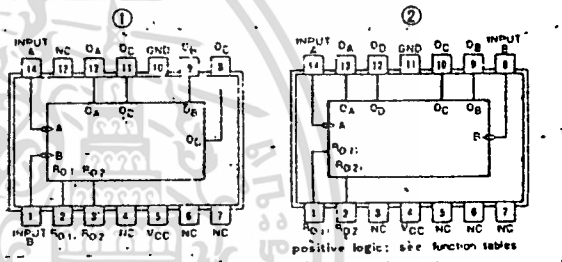
		SN54LS93A			SN74LS93A			UNIT
		MIN	NOM	MAX	MIN	NOM	MAX	
Supply voltage, V_{CC}		4.5	5	5.5	4.75	5	5.25	V
High-level output current, I_{OH}				−400			−400	μA
Low-level output current, I_{OL}				4			8	mA
Count frequency, f_{count}	A input	0		32	0		32	MHz
	B input	0		16	0		16	
Pulse width, t_w	A input	15			15			ns
	B input	30			30			
	Reset inputs	15			15			
Reset inactive-state setup, t_{setup}		25			25			ns
Operating free-air temperature, T_A		−55		125	0		70	°C

electrical characteristics over recommended operating free-air temperature range

PARAMETER ‖		TEST CONDITIONS†		MIN	TYP‡	MAX	UNIT
V_{IH}	High-level input voltage			2			V
V_{IL}	Low-level input voltage					0.8	V
V_I	Input clamp voltage	V_{CC} = MIN, I_I = −18mA				−1.5	V
V_{OH}	High-level output voltage	V_{CC} = MIN, V_{IH} = 2V, V_{IL} = 0.8V, I_{OH} = −400μA		2.7	3.4		V
V_{OL}	Low-level output voltage	V_{CC} = MIN, V_{IH} = 2V, V_{IL} = 0.8V, I_{OL} = 8mA			0.35	0.5	V
I_I	Input current at maximum input voltage: Any reset	V_{CC} = MAX, V_I = 7V				0.1	mA
	A input	V_{CC} = MAX, V_I = 5.5V				0.2	
	B input					0.2	
I_{IH}	High-level input current: Any reset	V_{CC} = MAX, V_I = 2.7V				20	μA
	A input					80	
	B input					80	
I_{IL}	Low-level input current: Any reset	V_{CC} = MAX, V_I = 0.4V				0.4	mA
	A input					2.4	
	B input					1.6	
I_{OS}	Short-circuit output current *	V_{CC} = MAX	SN54LS	−20		−100	mA
			SN74LS	−20		−100	
I_{CC}	Supply current	V_{CC} = MAX, See Note 2			9	15	mA
f_{max}	from A to output Q_A	V_{CC} = 5V, T_A = 25°C, C_L = 15pF, R_L = 2kΩ		32	42		MHz
	from B to output Q_B			16			
t_{PLH} / t_{PHL}	from A to output Q_A				10	16	ns
					12	18	
t_{PLH} / t_{PHL}	from A to output Q_D				46	70	ns
					46	70	
t_{PLH} / t_{PHL}	from B to output Q_B				10	16	ns
					14	21	
t_{PLH} / t_{PHL}	from B to output Q_C				21	32	ns
					23	35	
t_{PLH} / t_{PHL}	from B to output Q_D				34	51	ns
					34	51	
t_{PHL}	from Set-to-0 to Any output				26	40	ns

† For conditions shown as MIN or MAX, use the appropriate value specified under recommended operating conditions for the applicable type.
‡ All typical values are at V_{CC} = 5V, T_A = 25°C.
* Not more than one output should be shorted at a time.
‖ Q_A outputs are tested at I_{OL} = 16mA plus the limit value for I_{IL} for the B input. This permits driving the B input while maintaining full fan-out capability.
¶ f_{max} = maximum count frequency, t_{PLH} = propagation delay time, low-to-high-level output, t_{PHL} = propagation delay time, high-to-low-level output

Pin Assignments (Top View)



positive logic: see function tables
NC: No internal connection

Function Table

COUNT SEQUENCE
'93A,'LS93,'L93 (See Note 3,4)

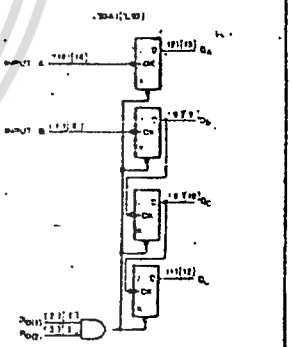
COUNT	OUTPUT			
	Q_D	Q_C	Q_B	Q_A
0	L	L	L	L
1	L	L	L	H
2	L	L	H	L
3	L	L	H	H
4	L	H	L	L
5	L	H	L	H
6	L	H	H	L
7	L	H	H	H
8	H	L	L	L
9	H	L	L	H
10	H	L	H	L
11	H	L	H	H
12	H	H	L	L
13	H	H	L	H
14	H	H	H	L
15	H	H	H	H

RESET/COUNT
'93A,'LS93,'L93 (See Note 4)

RESET INPUTS		OUTPUT			
$R_{0(1)}$	$R_{0(2)}$	Q_D	Q_C	Q_B	Q_A
H	H	L	L	L	L
L	X	COUNT			
X	L	COUNT			

Functional Block Diagram

(see Note 5)



'93A,'LS93,'L93
4-BIT BINARY COUNTER

NOTES:

1. This is the voltage between two emitters of a multiple-emitter transistor. For this circuit, this rating applies between the two R_0 inputs.
2. I_{CC} is measured with all outputs open, both R_0 inputs grounded following momentary connection to 4.5V, and all other inputs grounded.
3. Output Q_A is connected to input B.
4. H = high level, L = low level, X = irrelevant.
5. The J and K inputs shown without connection are for reference only and are functionally at a high level.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

54121/74121 Monostable Multivibrator with Schmitt-Trigger Input

	Schottky TTL				High-Speed TTL				Low-Power Schottky TTL*				Standard TTL					Low-Power TTL			
	Device Type	Package C	P	M	CF	Device Type	Package C	P	M	CF	Device Type	Package C	P	M	CF	Device Type	Package C	P	M	CF	Device Type	Package C	P	M	CF
T.I.																SN54121	J①			W①	SN54L121	J①	N①	T①	
																SN74121	J①	N①			SN74L121	J①	N①	T①	
FAIRCHILD																FMS4121*FM9603	D①			F①					
																FC74121/FC9603	D①	P①							
MOTOROLA																MC54121	L①			F①					
																MC74121	L①	P①		F①					
N.S.C.																DM54121	J①	N①		W①					
																DM74121	J①	N①							
PHILIPS																FJK101/74121		①							
SIGNETICS																S54121	F①	A①		W①					
																N74121	F①	A①		W①					
SIEMENS																FLK101		①							
FUJITSU																									
HITACHI																HD74121/HD2543	①	P①							
MITSUBISHI																M53321		P①							
NEC																									
TOSHIBA																TD3112A*		P①							

Electrical Characteristics SN54S121 SN74S121

absolute maximum ratings over operating free-air temperature range

Supply voltage, V_{CC}	7V	Operating free-air temperature range: SN54S	−55°C to 125°C
Input voltage	5.5V	SN74S	0°C to 70°C
		Storage temperature range	−65°C to 150°C

recomended operating conditions

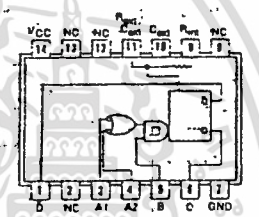
		SN54S121 MIN	NOM	MAX	SN74S121 MIN	NOM	MAX	UNIT
Supply voltage, V_{CC}		4.5	5	5.5	4.75	5	5.25	V
High-level output current, I_{OH}							−400	μA
LOW-level output current, I_{OL}							16	mA
Duty cycle of repetitive input pulse, during active-state	Schmitt input, B	0			0			%
	Logic input, A1, A2	0			0			%
Width of input pulse, t_w		50			50			ns
External timing capacitance, C_{ext}		0		1000	0		1000	pF
External timing resistance, R_{ext}		1.4		30	1.4		40	kΩ
Duty cycle	R1, 2kΩ			67			67	%
	R1, MAX Pwr			80			90	%
Operating free-air temperature, T_A		55		125	0		70	°C

electrical characteristics over recommended operating free-air temperature range

PARAMETER		TEST CONDITIONS†		MIN	TYP‡	MAX	UNIT
V_{T+}	Positive-going threshold voltage	V_{CC}=MIN	A input		1.4	2	V
V_{T-}	Negative-going threshold voltage	V_{CC}=MIN	A input	0.8	1.6		V
V_{T+}	Positive-going threshold voltage	V_{CC}=MIN	B input		1.55	2	V
V_{T-}	Negative-going threshold voltage	V_{CC}=MIN	B input	0.8	1.35		V
V_I	Input clamp voltage	V_{CC}=MIN,	I_I=−12mA			−1.5	V
V_{OH}	High-level output voltage	V_{CC}=MIN,	I_{OH}=MAX	2.4	3.4		V
V_{OL}	Low-level output voltage	V_{CC}=MIN,	I_{OL}=MAX		0.2	0.4	V
I_I	Input current at maximum input voltage	V_{CC}=MAX,	V_I=5.5V			1	mA
I_{IH}	High-level input current	V_{CC}=MAX,	A1 or A2			40	μA
	High-level input current	V_I=2.4V	B			80	μA
I_{IL}	Low-level input current	V_{CC}=MAX,	A1 or A2			−1.6	mA
		V_I=0.4V	B			−3.2	mA
I_{OS}	Short-circuit output current*	V_{CC}=MAX	54 Family	−20		−55	mA
			74 Family	−18		−55	mA
I_{CC}	Supply current	V_{CC}=MAX	Quiescent		13	25	mA
			Triggered		23	40	mA
t_{PLH}	Propagation delay time, low-to-high-level Q output from either A input	V_{CC}=5V, T_A=25°C, C_L=15pF, R_L=400Ω	C_T=80 pF, R_{int} to V_{CC}		45	70	ns
t_{PLH}	Propagation delay time, low-to-high-level Q output from B input				35	55	ns
t_{PHL}	Propagation delay time, high-to-low-level Q output from either A input				50	80	ns
t_{PHL}	Propagation delay time, high-to-low-level Q output from B input				40	65	ns
t_w(out)	Pulse width obtained using internal timing resistor	V_{CC}=5V, T_A=25°C, C_L=15pF, R_L=400Ω	C_T=80pF, R_{int} to V_{CC}	70	110	150	ns
t_w(out)	Pulse width obtained with zero timing capacitance		C_T=0, R_{int} to V_{CC}		30	50	ns
t_w(out)	Pulse width obtained using external timing resistor		C_T=100pF, R_T=10kΩ	600	700	800	ns
			C_T=1μF, R_T=10kΩ	6	9	11	ms

† For conditions shown as MIN or MAX, use the appropriate value specified under recommended operating conditions.
‡ All typical values are at V_{CC}=5V, T_A=25°C
* Not more than one output should be shorted at a time.

Pin Assignment (Top view)



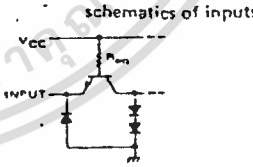
NC-No internal connection
'121---R_{int} = 2 kΩ NOM
'L121---R_{int} = 4 kΩ NOM

Function Table

'121, 'L121 (See Note)

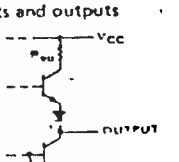
INPUTS A1	A2	B	OUTPUTS Q	$\overline{Q}$
L	X	H	L	H
X	L	H	L	H
X	X	L	L	H
H	H	X	L	H
H	↓	H	⊓	⊔
↓	H	H	⊓	⊔
↓	↓	H	⊓	⊔
L	X	↑	⊓	⊔
X	L	↑	⊓	⊔

schematics of inputs and outputs



INPUT	'121	'L121
A1	4 kΩ	8 kΩ
A2	4 kΩ	8 kΩ
B	2 kΩ	4 kΩ

EQUIVALENT OF EACH INPUT



'121 R_{int} = 130 Ω NOM
'L121 R_{int} = 260 Ω NOM

TYPICAL OF BOTH OUTPUTS

NOTES: A. H = high level (steady state), L = low level (steady state), ↑ = transition from low to high level, ↓ = transition from high to low level, ⊓ = one high-level pulse, ⊔ = one low-level pulse, X = irrelevant (any input, including transitions).
B. To use the internal timing resistor connect R_{int} to V_{CC}.
C. An external timing capacitor may be connected between C_{ext} (positive) and R_{ext}/C_{ext}.
D. For accurate repeatable pulse widths, connect an external resistor between R_{ext}/C_{ext} and V_{CC} with R_{int} open-circuited.
E. To obtain variable pulse widths, connect external values (resistance between R_{int} or R_{ext}/C_{ext} and V_{CC}.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

54164/74164 8-Parallel-Out Serial Shift Register

	Schottky TTL					High-Speed TTL					Low-Power Schottky TTL					Standard TTL					Low-Power TTL				
	Device Type	Package C	P	M	CF	Device Type	Package C	P	M	CF	Device Type	Package C	P	M	CF	Device Type	Package C	P	M	CF	Device Type	Package C	P	M	CF
T.I.											SN54LS164	J①			W①	SN54164	J①			W①	SN54L164	J①	N①	T①
											SN74LS164	J①	N①			SN74164	J①	N①			SN74L164	J①	N①	T①	
FAIRCHILD											F9LS164/TWRLS164	9①			F①	FJ54164, FM33164	D①								
											F74LS164/FC33164	9①	F①		F①	FC74164, FC33164	D①	F①							
MOTOROLA											SN74LS164		P①			MC74164		P①							
N.S.C.											DM74LS164		①								DM54L164	J①	N①		
											DM54LS164		①			DM74164		N①			DM74L164	J①	N①		
PHILIPS											N74LS164		①			N74164		①							
SIGNETICS																S54164	F①	J①		W①					
											N74LS164		A①			N74164	F①	A①							
SIEMENS																FLJ441		①							
FUJITSU											74LS164		M①												
HITACHI											HD74LS164		P①			HD74164	①	P①							
MITSUBISHI											M74LS164		P①			M53364		P①							
NEC											AM74LS		C①			μPB2164	D①								
TOSHIBA																TD3503A		P①							
AMD											Am74LS164														

Electrical Characteristics SN54LS164/SN74LS164

absolute maximum ratings over operating free-air temperature range

Supply voltage, V_{CC}	7V	Operating free-air temperature range	SN54*	−55°C to 125°C
Input voltage	7V		SN74*	0°C to 70°C
		Storage temperature range		−65°C to 150°C

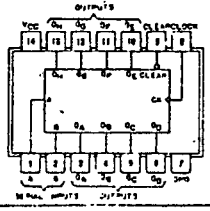
recommended operating conditions

	SN54LS164 MIN	NOM	MAX	SN74LS164 MIN	NOM	MAX	UNIT
Supply voltage, V_{CC}	4.5	5	5.5	4.75	5	5.25	V
High-level output current, I_{OH}			−400			−400	μA
Low-level output current, I_{OL}			4			8	mA
Clock frequency, f_{clock}	0		25	0		25	MHz
Width of clock or clear input pulse, t_w	20			20			ns
Data setup time, t_{setup}	15			15			ns
Data hold time, t_{hold}	5			5			ns
Operating free-air temperature, T_A	−55		125	0		70	°C

electrical characteristics over recommended operating free-air temperature range

PARAMETER		TEST CONDITIONS†		MIN	TYP‡	MAX	UNIT
V_{IH}	High-level input voltage			2			V
V_{IL}	Low-level input voltage					0.8	V
V_I	Input clamp voltage	V_{CC}=MIN, I_I=−18mA				−1.5	V
V_{OH}	High-level output voltage	V_{CC}=MIN, V_{IH}=2V, V_{IL}=0.8V, I_{OH}=−400μA		2.7	3.5		V
V_{OL}	Low-level output voltage	V_{CC}=MIN, V_{IH}=2V, V_{IL}=0.8V, I_{OL}=8mA			0.35	0.5	V
I_I	Input current maximum input voltage	V_{CC}=MAX, V_I=7V				0.1	mA
I_{IH}	High-level input current	V_{CC}=MAX, V_I=2.7V				20	μA
I_{IL}	Low-level input current	V_{CC}=MAX, V_I=0.4V				0.4	mA
I_{OS}	Short-circuit output current*	V_{CC}=MAX	SN54LS	−20		100	mA
			SN74LS	−20		100	
I_{CC}	Supply current	V_{CC}=MAX, See Note 1			16	27	mA
f_{max}	Maximum clock frequency	V_{CC}=5V, T_A=25°C, R_L=2kΩ	C_L=15pF	25	36		MHz
t_{PHL}	Propagation delay time, high-to-low level Q outputs from clear input		C_L=15pF		24	36	ns
t_{PLH}	Propagation delay time, low-to-high level Q outputs from clock input		C_L=15pF		17	27	ns
t_{PHL}	Propagation delay time, high-to-low level Q outputs from clock input		C_L=15pF		21	32	ns

Pin Assignment (Top View) ①



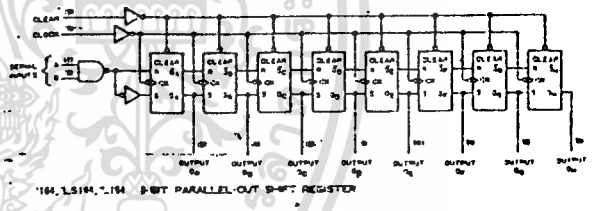
positive logic: see function table

Function Table

'164, 'LS164, 'L164 (see Note 2)

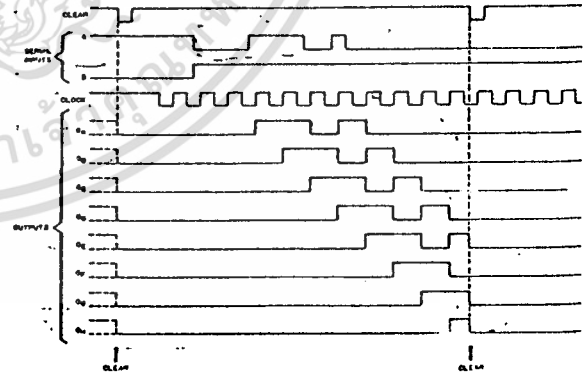
INPUTS CLEAR	CLOCK	A	B	OUTPUTS QA	QB ··· QH
L	X	X	X	L	L L
H	L	X	X	Q_{A0}	Q_{B0} Q_{H0}
H	↑	H	H	H	Q_{An} Q_{Gn}
H	↑	L	X	L	Q_{An} Q_{Gn}
H	↑	X	L	L	Q_{An} Q_{Gn}

Functional Block Diagram



'164, 'LS164, 'L164 8-BIT PARALLEL-OUT SHIFT REGISTER

typical clear, shift, and clear sequences

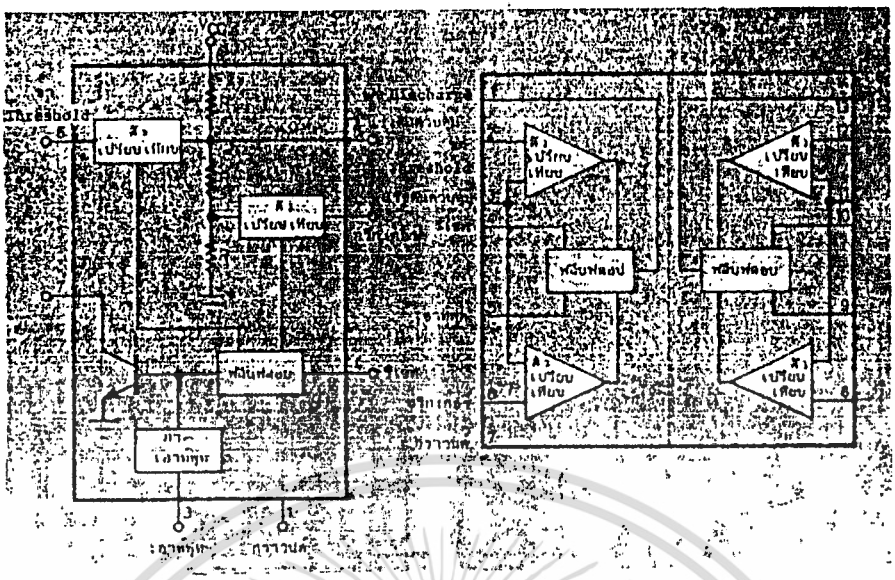


NOTES: 1. I_{CC} is measured with outputs open, serial inputs grounded, and a momentary ground, then 4.5V, applied to clear.

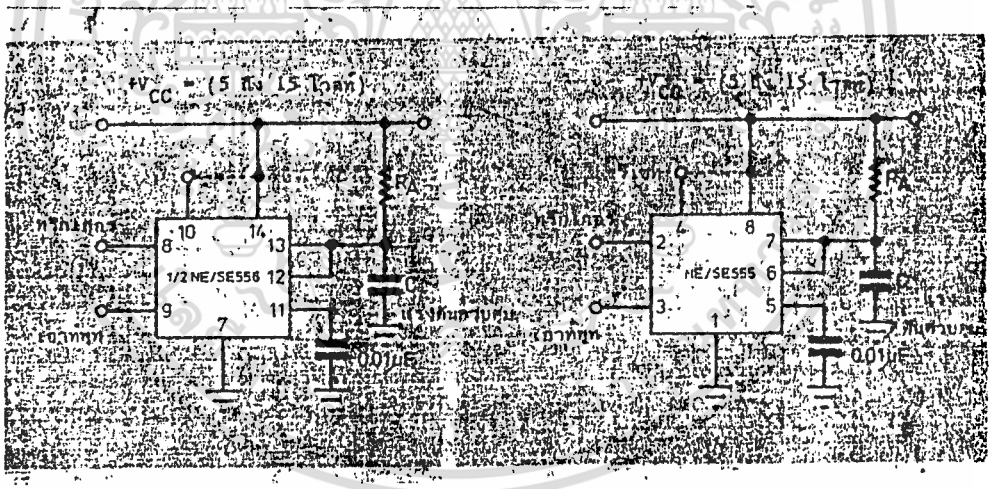
2. H = high level (steady state), L = Low level (steady state)
X = irrelevant (any input, including transitions)
↑ = transition from low to high level.
Q_{A0}, Q_{B0}, Q_{H0} = the level of Q_A, Q_B, or Q_H, respectively, before the indicated steady-state input conditions were established.
Q_{An}, Q_{Gn} = the level of Q_A or Q_G before the most recent ↑ transition of the clock; indicates a one-bit shift.

†For conditions shown at MIN or MAX, use the appropriate value specified under recommended operating conditions for the applicable device type.
‡All typical values are at V_{CC} = 5V, T_A = 25°C
*Not more than two outputs should be shorted at a time.

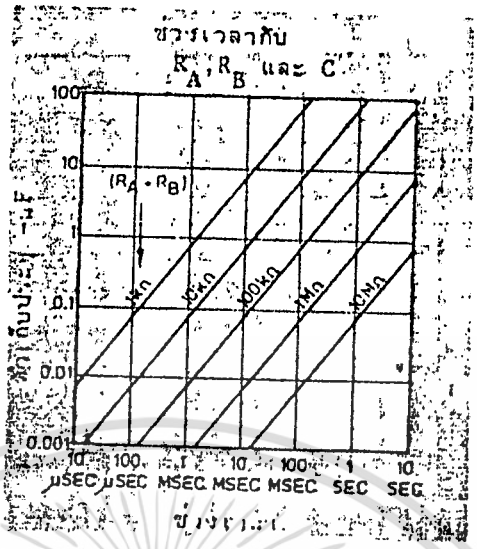
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



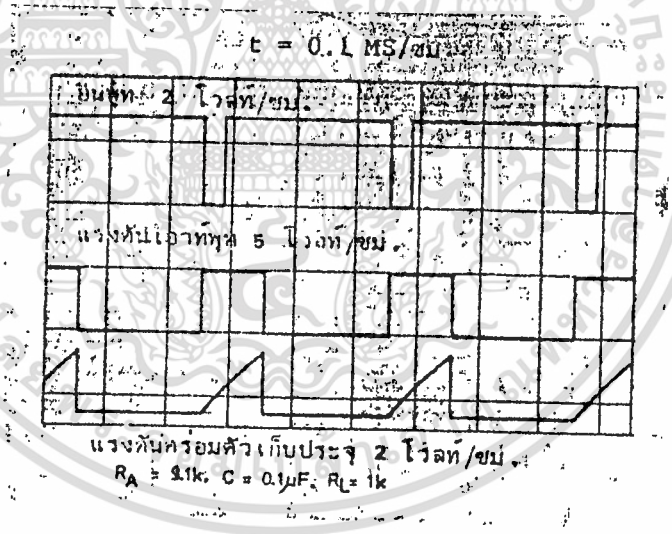
วงจรภายในของไอซีเบอร์ 555, 556



วงจรโมโนสเตเบิล



ในไมแกรมแสดงค่าเวลา T



สัญญาณของไมโนสเตเบ็ล
มัลติไวเบรเตอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Silicon Gate MOS 8255

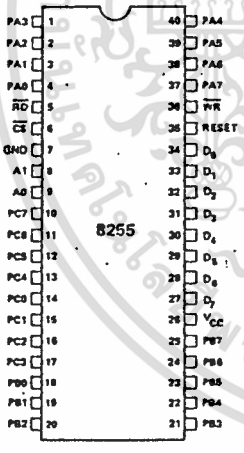
PROGRAMMABLE PERIPHERAL INTERFACE

- 24 Programmable I/O Pins
- Completely TTL Compatible
- Fully Compatible with MCS™-8 and MCS™-80 Microprocessor Families
- Direct Bit Set/Reset Capability Easing Control Application Interface
- 40 Pin Dual In-Line Package
- Reduces System Package Count

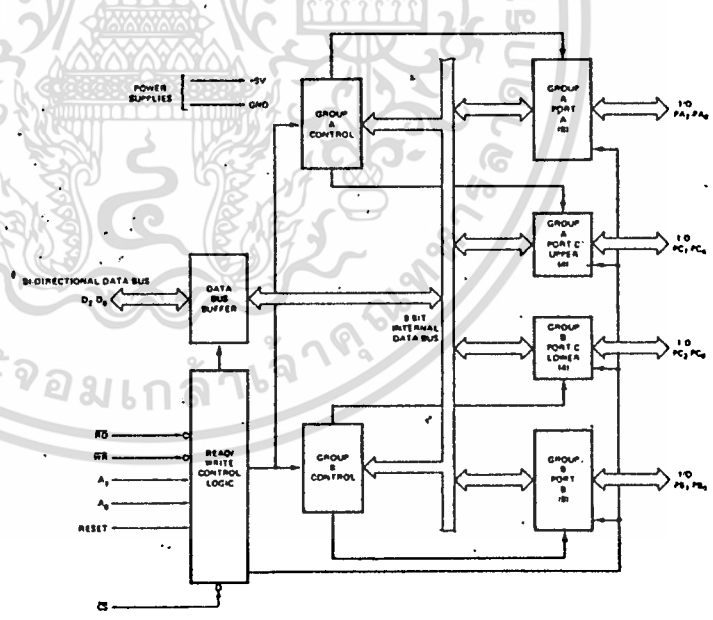
The 8255 is a general purpose programmable I/O device designed for use with both the 8008 and 8080 microprocessors. It has 24 I/O pins which may be individually programmed in two groups of twelve and used in three major modes of operation. In the first mode (Mode 0), each group of twelve I/O pins may be programmed in sets of 4 to be input or output. In Mode 1, the second mode, each group may be programmed to have 8 lines of input or output. Of the remaining four pins three are used for handshaking and interrupt control signals. The third mode of operation (Mode 2) is a Bidirectional Bus mode which uses 8 lines for a bidirectional bus, and five lines, borrowing one from the other group, for handshaking.

Other features of the 8255 include bit set and reset capability and the ability to source 1mA of current at 1.5 volts. This allows darlington transistors to be directly driven for applications such as printers and high voltage displays.

PIN CONFIGURATION



8255 BLOCK DIAGRAM



PIN NAMES

D_7–D_0	DATA BUS (BI-DIRECTIONAL)
RESET	RESET INPUT
$\overline{CS}$	CHIP SELECT
$\overline{RD}$	READ INPUT
$\overline{WR}$	WRITE INPUT
A0, A1	PORT ADDRESS
PA7-PA0	PORT A (BIT)
PB7-PB0	PORT B (BIT)
PC7-PC0	PORT C (BIT)
V_{CC}	+5 VOLTS
GND	0 VOLTS

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

8255 BASIC FUNCTIONAL DESCRIPTION

General

The 8255 is a Programmable Peripheral Interface (PPI) device designed for use in 8080 Microcomputer Systems. Its function is that of a general purpose I/O component to interface peripheral equipment to the 8080 system bus. The functional configuration of the 8255 is programmed by the system software so that normally no external logic is necessary to interface peripheral devices or structures.

Data Bus Buffer

This 3-state, bi-directional, eight bit buffer is used to interface the 8255 to the 8080 system data bus. Data is transmitted or received by the buffer upon execution of INput or OUTput instructions by the 8080 CPU. Control Words and Status information are also transferred through the Data Bus buffer.

Read/Write and Control Logic

The function of this block is to manage all of the internal and external transfers of both Data and Control or Status words. It accepts inputs from the 8080 CPU Address and Control busses and in turn, issues commands to both of the Control Groups.

($\overline{CS}$)

Chip Select: A "low" on this input pin enables the communication between the 8255 and the 8080 CPU.

($\overline{RD}$)

Read: A "low" on this input pin enables the 8255 to send the Data or Status information to the 8080 CPU on the Data Bus. In essence, it allows the 8080 CPU to "read from" the 8255.

($\overline{WR}$)

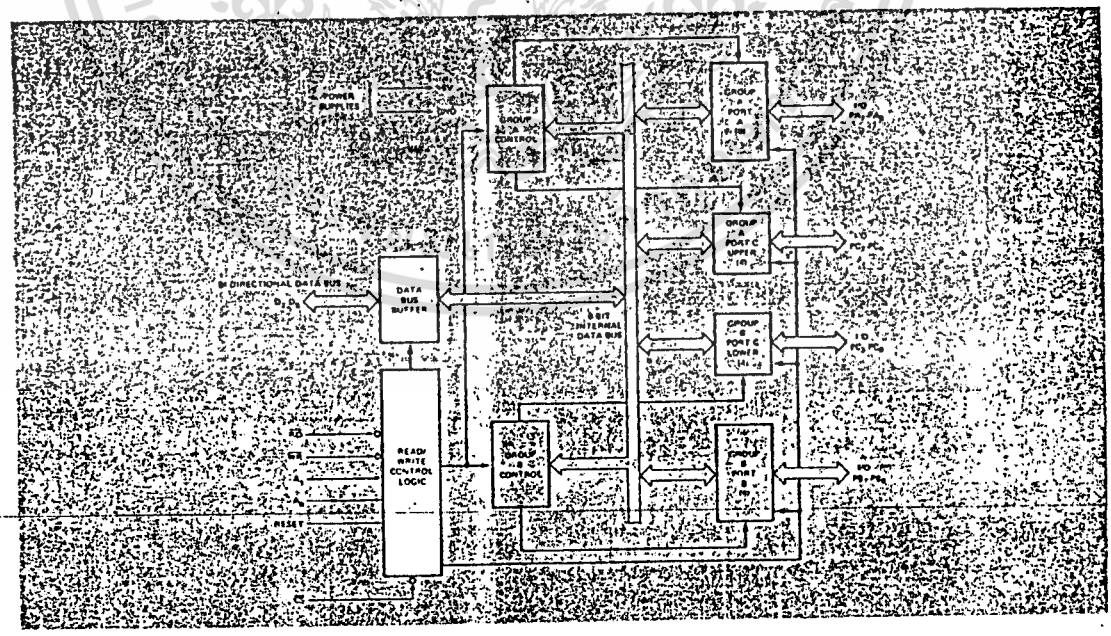
Write: A "low" on this input pin enables the 8080 CPU to write Data or Control words into the 8255.

(A_0 and A_1)

Port Select 0 and Port Select 1: These input signals, in conjunction with the $\overline{RD}$ and $\overline{WR}$ inputs, control the selection of one of the three ports or the Control Word Register. They are normally connected to the least significant bits of the Address Bus (A_0 and A_1).

8255 BASIC OPERATION

A_1	A_0	$\overline{RD}$	$\overline{WR}$	$\overline{CS}$	INPUT OPERATION (READ)
0	0	0	1	0	PORT A → DATA BUS
0	1	0	1	0	PORT B → DATA BUS
1	0	0	1	0	PORT C → DATA BUS
					OUTPUT OPERATION (WRITE)
0	0	1	0	0	DATA BUS → PORT A
0	1	1	0	0	DATA BUS → PORT B
1	0	1	0	0	DATA BUS → PORT C
1	1	1	0	0	DATA BUS → CONTROL
					DISABLE FUNCTION
X	X	X	X	1	DATA BUS = 3-STATE
1	1	0	1	0	ILLEGAL CONDITION



8255 Block Diagram

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

(RESET)

Reset: A "high" on this input clears all internal registers including the Control Register and all ports (A, B, C) are set to the input mode.

Group A and Group B Controls

The functional configuration of each port is programmed by the systems software. In essence, the 8080 CPU "outputs" a control word to the 8255. The control word contains information such as "mode", "bit set", "bit reset" etc. that initializes the functional configuration of the 8255.

Each of the Control blocks (Group A and Group B) accepts "commands" from the Read/Write Control Logic, receives "control words" from the internal data bus and issues the proper commands to its associated ports.

Control Group A – Port A and Port C upper (C7-C4)
Control Group B – Port B and Port C lower (C3-C0)

The Control Word Register can Only be written into. No Read operation of the Control Word Register is allowed.

Ports A, B, and C

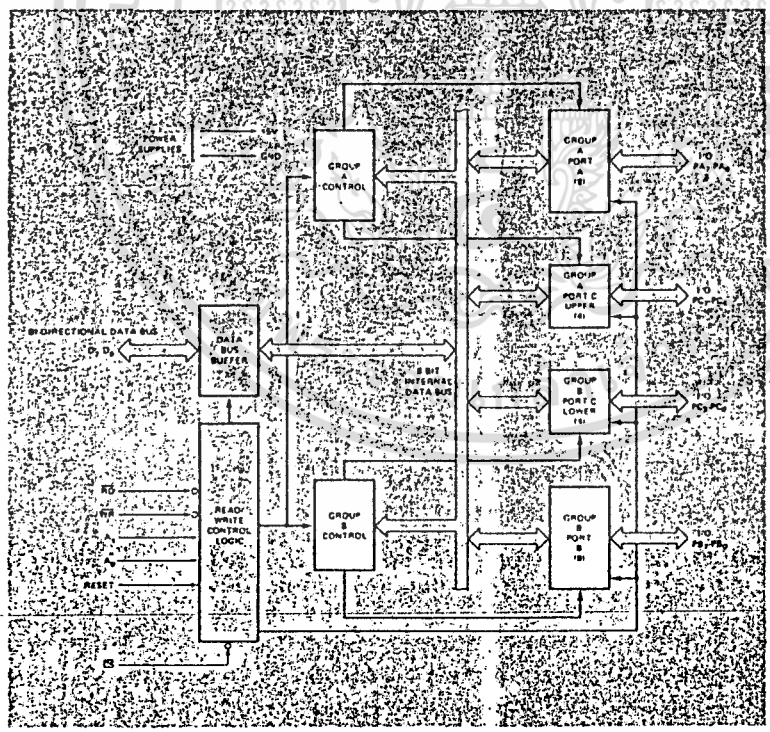
The 8255 contains three 8-bit ports (A, B, and C). All can be configured in a wide variety of functional characteristics by the system software but each has its own special features or "personality" to further enhance the power and flexibility of the 8255.

Port A: One 8-bit data output latch/buffer and one 8-bit data input latch.

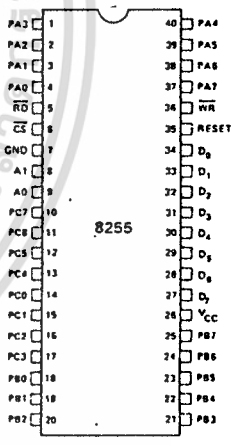
Port B: One 8-bit data input/output latch/buffer and one 8-bit data input buffer.

Port C: One 8-bit data output latch/buffer and one 8-bit data input buffer (no latch for input). This port can be divided into two 4-bit ports under the mode control. Each 4-bit port contains a 4-bit latch and it can be used for the control signal outputs and status signal inputs in conjunction with Ports A and B.

8255 BLOCK DIAGRAM



PIN CONFIGURATION



PIN NAMES

D_7–D_0	DATA BUS (BI-DIRECTIONAL)
RESET	RESET INPUT
$\overline{CS}$	CHIP SELECT
$\overline{RD}$	READ INPUT
$\overline{WR}$	WRITE INPUT
A0, A1	PORT ADDRESS
PA7-PA0	PORT A (BIT)
PB7-PB0	PORT B (BIT)
PC7-PC0	PORT C (BIT)
V_{CC}	+5 VOLTS
GND	0 VOLTS

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

8255 DETAILED OPERATIONAL DESCRIPTION

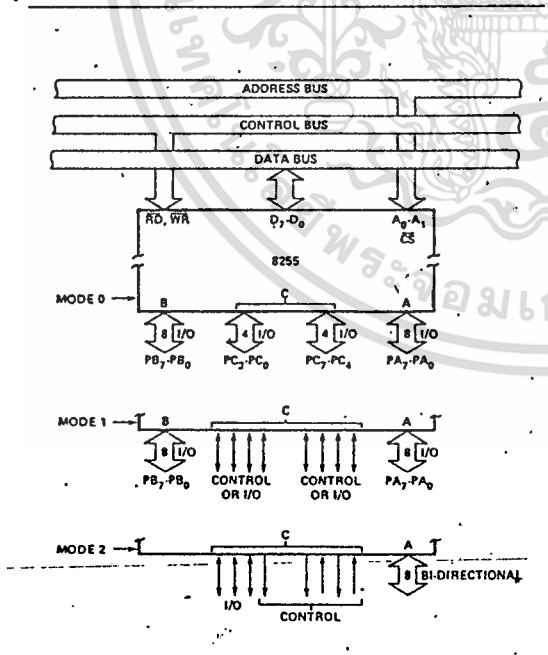
Mode Selection

There are three basic modes of operation that can be selected by the system software:

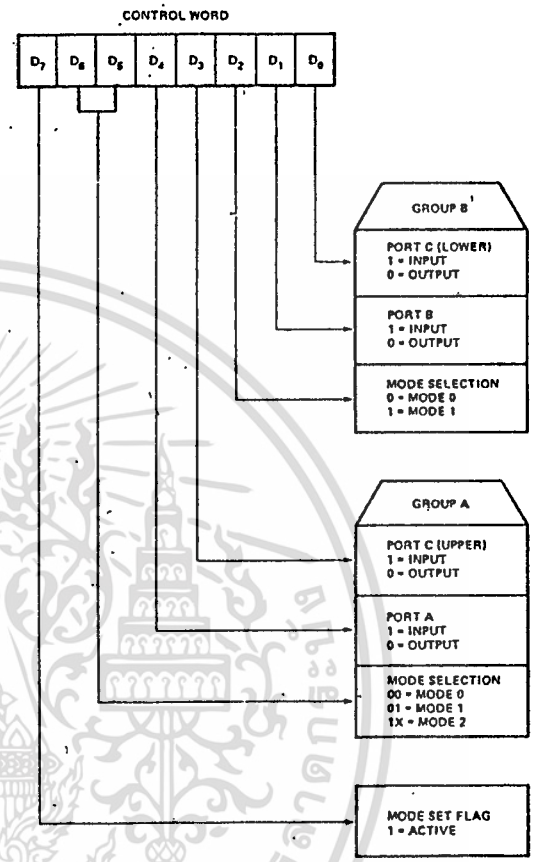
Mode 0 — Basic Input/Output
Mode 1 — Strobed Input/Output
Mode 2 — Bi-Directional Bus

When the RESET input goes "high" all ports will be set to the Input mode (i.e., all 24 lines will be in the high impedance state). After the RESET is removed the 8255 can remain in the Input mode with no additional initialization required. During the execution of the system program any of the other modes may be selected using a single OUTput instruction. This allows a single 8255 to service a variety of peripheral devices with a simple software maintenance routine.

The modes for Port A and Port B can be separately defined, while Port C is divided into two portions as required by the Port A and Port B definitions. All of the output registers, including the status flip-flops, will be reset whenever the mode is changed. Modes may be combined so that their functional definition can be "tailored" to almost any I/O structure. For instance; Group B can be programmed in Mode 0 to monitor simple switch closings or display computational results, Group A could be programmed in Mode 1 to monitor a keyboard or tape reader on an interrupt-driven basis.



Basic Mode Definitions and Bus Interface



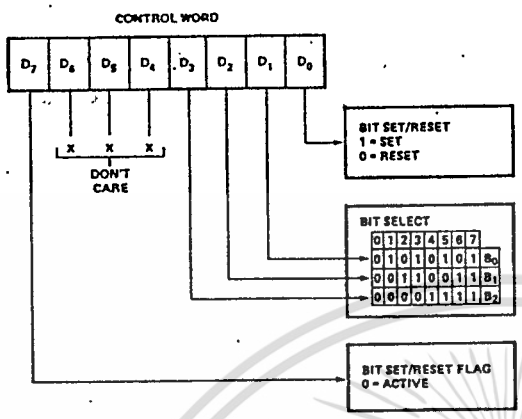
Mode Definition Format

The Mode definitions and possible Mode combinations may seem confusing at first but after a cursory review of the complete device operation a simple, logical I/O approach will surface. The design of the 8255 has taken into account things such as efficient PC board layout, control signal definition vs PC layout and complete functional flexibility to support almost any peripheral device with no external logic. Such design represents the maximum use of the available pins.

Single Bit Set/Reset Feature

Any of the eight bits of Port C can be Set or Reset using a single OUTput instruction. This feature reduces software requirements in Control-based applications.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



Bit Set/Reset Format

When Port C is being used as status/control for Port A or B, these bits can be set or reset by using the Bit Set/Reset operation just as if they were data output ports.

Interrupt Control Functions

When the 8255 is programmed to operate in Mode 1 or Mode 2, control signals are provided that can be used as interrupt request inputs to the CPU. The interrupt request signals, generated from Port C, can be inhibited or enabled by setting or resetting the associated INTE flip-flop, using the Bit set/reset function of Port C.

This function allows the Programmer to disallow or allow a specific I/O device to interrupt the CPU without effecting any other device in the interrupt structure.

INTE flip-flop definition:

(BIT-SET) — INTE is SET — Interrupt enable
(BIT-RESET) — INTE is RESET — Interrupt disable

Note: All Mask flip-flops are automatically reset during mode selection and device Reset.

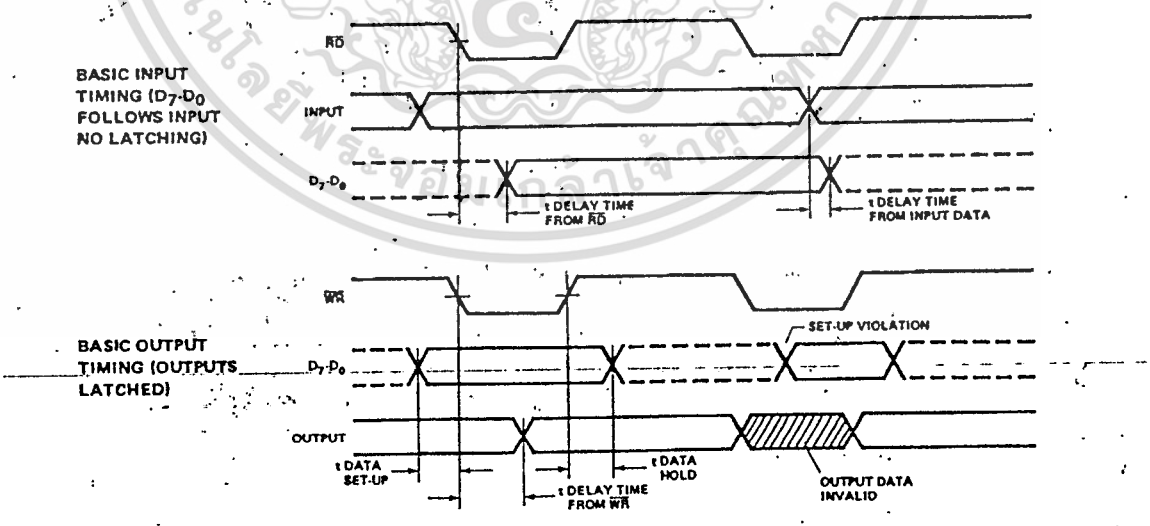
Operating Modes

Mode 0 (Basic Input/Output)

This functional configuration provides simple Input and Output operations for each of the three ports. No "handshaking" is required, data is simply written to or read from a specified port.

Mode 0 Basic Functional Definitions:

- Two 8-bit ports and two 4-bit ports.
- Any port can be input or output.
- Outputs are latched.
- Inputs are not latched.
- 16 different Input/Output configurations are possible in this Mode.



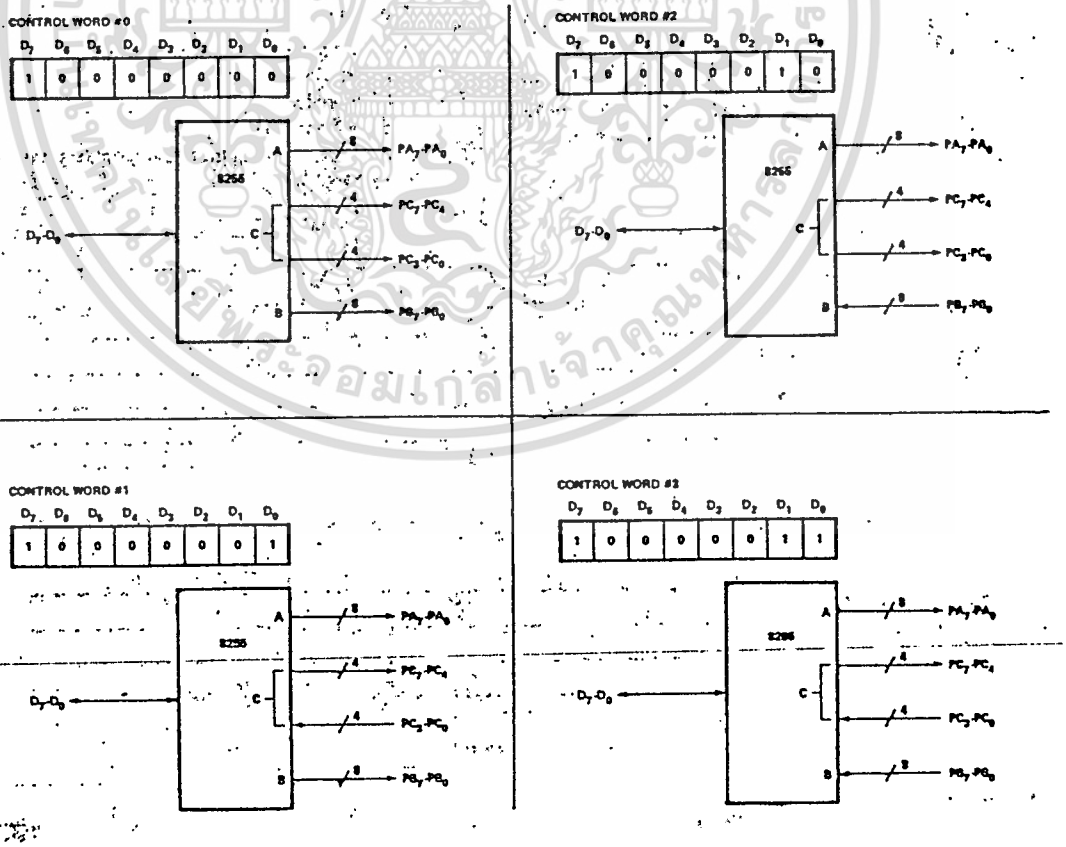
Mode 0 Timing

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MODE 0 PORT DEFINITION CHART

A		B		GROUP A			GROUP B	
D_4	D_3	D_1	D_0	PORT A	PORT C (UPPER)	#	PORT B	PORT C (LOWER)
0	0	0	0	OUTPUT	OUTPUT	0	OUTPUT	OUTPUT
0	0	0	1	OUTPUT	OUTPUT	1	OUTPUT	INPUT
0	0	1	0	OUTPUT	OUTPUT	2	INPUT	OUTPUT
0	0	1	1	OUTPUT	OUTPUT	3	INPUT	INPUT
0	1	0	0	OUTPUT	INPUT	4	OUTPUT	OUTPUT
0	1	0	1	OUTPUT	INPUT	5	OUTPUT	INPUT
0	1	1	0	OUTPUT	INPUT	6	INPUT	OUTPUT
0	1	1	1	OUTPUT	INPUT	7	INPUT	INPUT
1	0	0	0	INPUT	OUTPUT	8	OUTPUT	OUTPUT
1	0	0	1	INPUT	OUTPUT	9	OUTPUT	INPUT
1	0	1	0	INPUT	OUTPUT	10	INPUT	OUTPUT
1	0	1	1	INPUT	OUTPUT	11	INPUT	INPUT
1	1	0	0	INPUT	INPUT	12	OUTPUT	OUTPUT
1	1	0	1	INPUT	INPUT	13	OUTPUT	INPUT
1	1	1	0	INPUT	INPUT	14	INPUT	OUTPUT
1	1	1	1	INPUT	INPUT	15	INPUT	INPUT

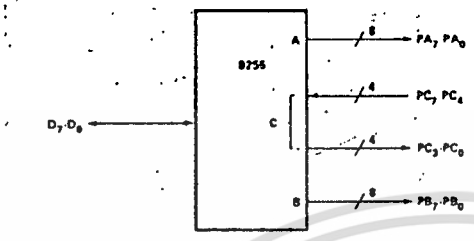
MODE 0 CONFIGURATIONS



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

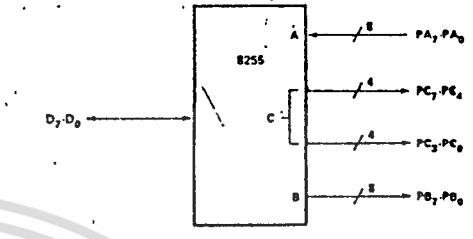
CONTROL WORD #4

D_7	D_6	D_5	D_4	D_3	D_2	D_1	D_0
1	0	0	0	1	0	0	0



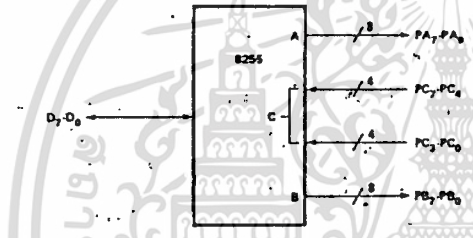
CONTROL WORD #8

D_7	D_6	D_5	D_4	D_3	D_2	D_1	D_0
1	0	0	1	0	0	0	0



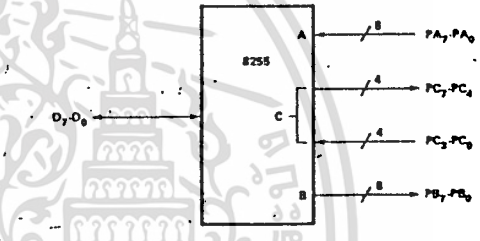
CONTROL WORD #5

D_7	D_6	D_5	D_4	D_3	D_2	D_1	D_0
1	0	0	0	1	0	0	1



CONTROL WORD #9

D_7	D_6	D_5	D_4	D_3	D_2	D_1	D_0
1	0	0	1	0	0	0	1

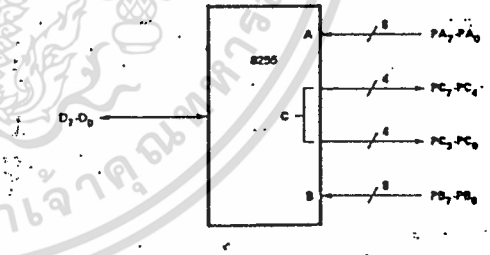


CONTROL WORD #6

D_7	D_6	D_5	D_4	D_3	D_2	D_1	D_0
1	0	0	0	1	0	1	0

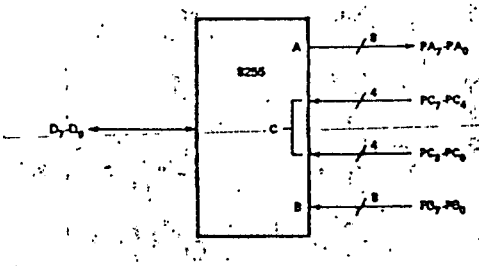
CONTROL WORD #10

D_7	D_6	D_5	D_4	D_3	D_2	D_1	D_0
1	0	0	1	0	0	1	0



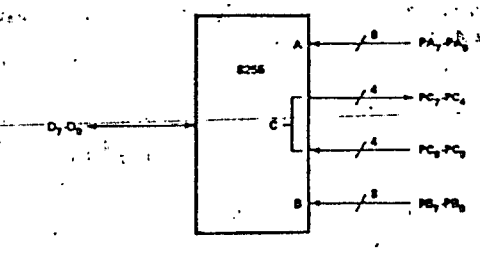
CONTROL WORD #7

D_7	D_6	D_5	D_4	D_3	D_2	D_1	D_0
1	0	0	0	1	0	1	1



CONTROL WORD #11

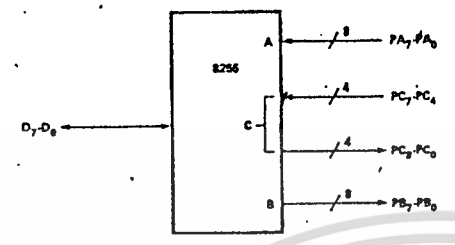
D_7	D_6	D_5	D_4	D_3	D_2	D_1	D_0
1	0	0	1	0	0	1	1



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

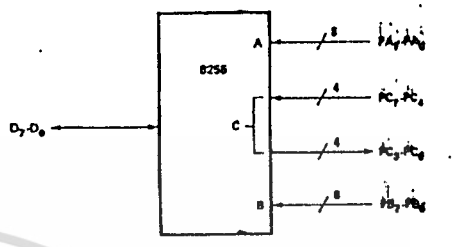
CONTROL WORD #12

D_7	D_6	D_5	D_4	D_3	D_2	D_1	D_0
1	0	0	1	1	0	0	0



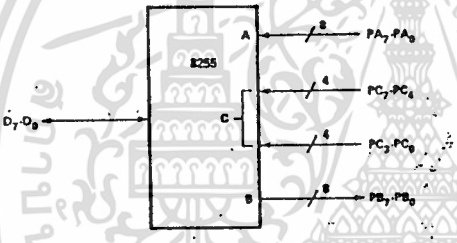
CONTROL WORD #14

D_7	D_6	D_5	D_4	D_3	D_2	D_1	D_0
1	0	0	1	1	0	1	0



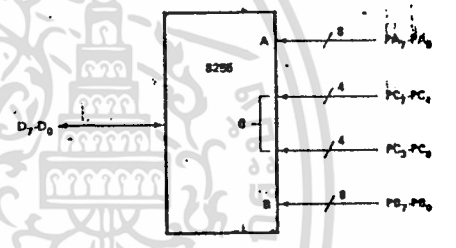
CONTROL WORD #13

D_7	D_6	D_5	D_4	D_3	D_2	D_1	D_0
1	0	0	1	1	0	0	1



CONTROL WORD #15

D_7	D_6	D_5	D_4	D_3	D_2	D_1	D_0
1	0	0	1	1	0	1	1



Operating Modes

Mode 1 (Strobed Input/Output)

This functional configuration provides a means for transferring I/O data to or from a specified port in conjunction with strobes or "handshaking" signals. In Mode 1, Port A and Port B use the lines on Port C to generate or accept these "handshaking" signals.

Mode 1 Basic Functional Definitions:

- Two Groups (Group A and Group B)
- Each group contains one 8-bit data port and one 4-bit control/data port.
- The 8-bit data port can be either input or output. Both inputs and outputs are latched.
- The 4-bit port is used for control and status of the 8-bit data port.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Input Control Signal Definition

$\overline{STB}$ (Strobe Input)

A "low" on this input loads data into the input latch.

IBF (Input Buffer Full F/F)

A "high" on this output indicates that the data has been loaded into the input latch; in essence, an acknowledgement. IBF is set by the falling edge of the STB input and is reset by the rising edge of the RD input.

INTR (Interrupt Request)

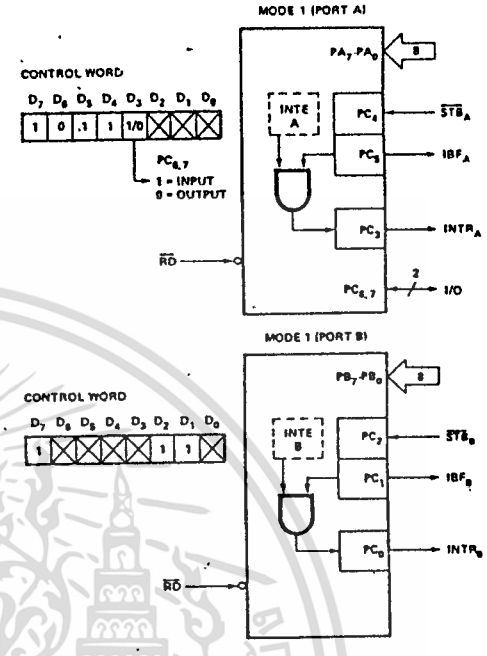
A "high" on this output can be used to interrupt the CPU when an input device is requesting service. INTR is set by the rising edge of $\overline{STB}$ if IBF is a "one" and INTE is a "one". It is reset by the falling edge of $\overline{RD}$. This procedure allows an input device to request service from the CPU by simply strobing its data into the port.

INTE A

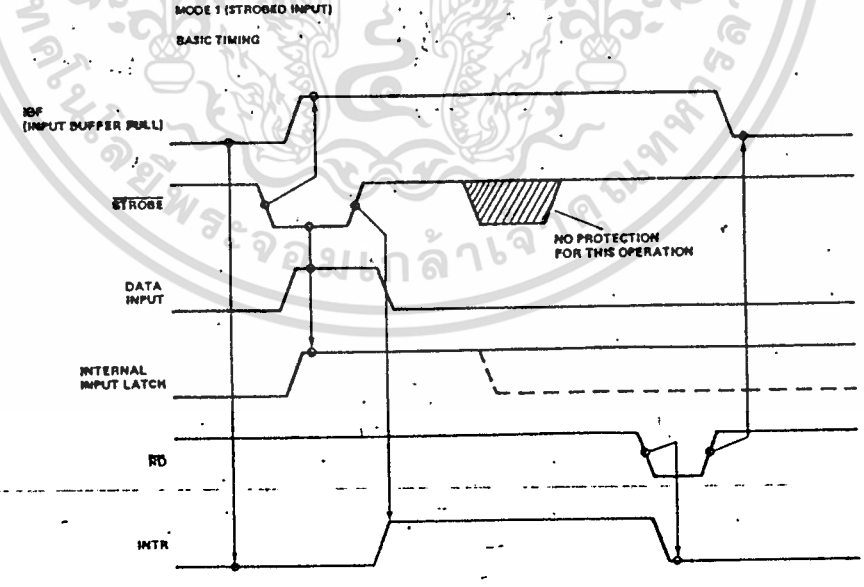
Controlled by bit set/reset of PC_4.

INTE B

Controlled by bit set/reset of PC_2.



Mode 1 Input



Basic Timing Input

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Output Control Signal Definition

$\overline{OBF}$ (Output Buffer Full F/F)

The $\overline{OBF}$ output will go "low" to indicate that the CPU has written data out to the specified port. The OBF F/F will be set by the rising edge of the WR input and reset by the falling edge of the $\overline{ACK}$ input signal.

$\overline{ACK}$ (Acknowledge Input)

A "low" on this input informs the 8255 that the data from Port A or Port B has been accepted. In essence, a response from the peripheral device indicating that it has received the data output by the CPU.

INTR (Interrupt Request)

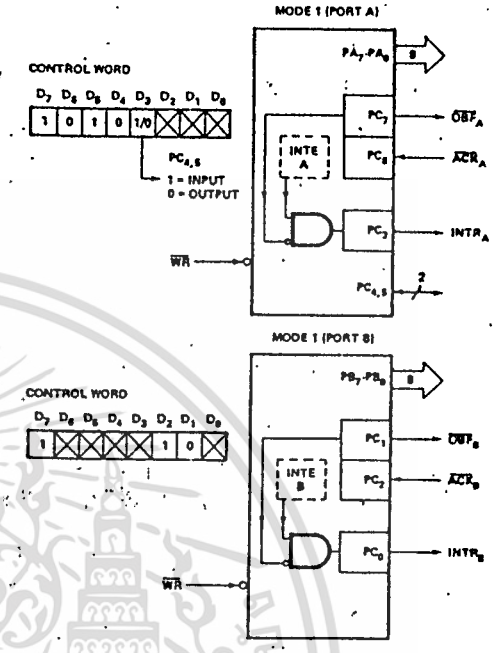
A "high" on this output can be used to interrupt the CPU when an output device has accepted data transmitted by the CPU. INTR is set by the rising edge of $\overline{ACK}$ if $\overline{OBF}$ is a "one" and INTE is a "one". It is reset by the falling edge of $\overline{WR}$.

INTE A

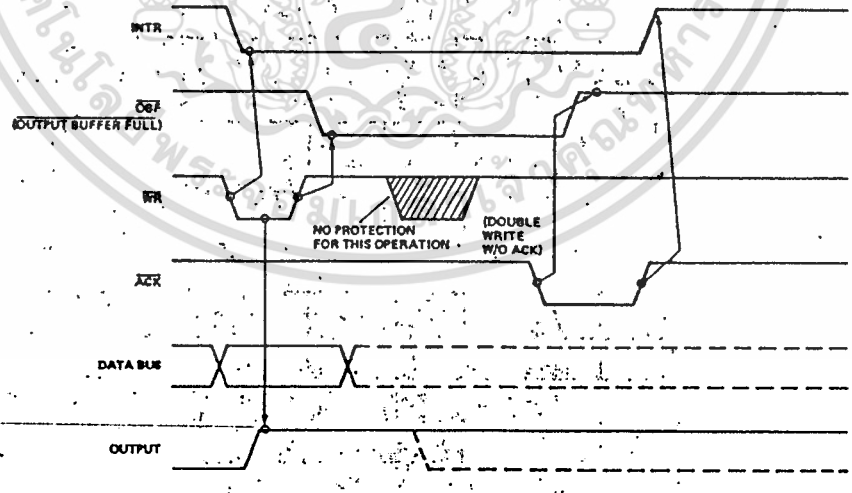
Controlled by bit set/reset of PC_6.

INTE B

Controlled by bit set/reset of PC_2.



Mode 1 Output

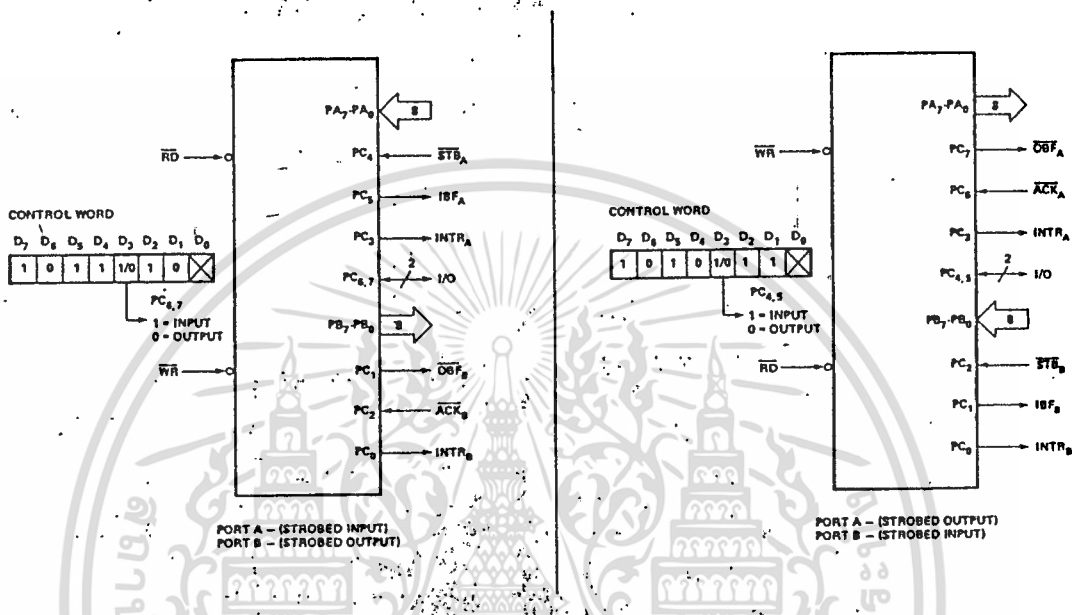


Basic Timing Output

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Combinations of Mode 1

Port A and Port B can be individually defined as input or output in Mode 1 to support a wide variety of strobed I/O applications.



Operating Modes

Mode 2 (Strobed Bi-Directional Bus I/O)

This functional configuration provides a means for communicating with a peripheral device or structure on a single 8-bit bus for both transmitting and receiving data (bi-directional bus I/O). "Handshaking" signals are provided to maintain proper bus flow discipline in a similar manner to Mode 1. Interrupt generation and enable/disable functions are also available.

Mode 2 Basic Functional Definitions:

- Used in Group A only.
- One 8-bit, bi-directional bus Port (Port A) and a 5-bit control Port (Port C).
- Both inputs and outputs are latched.
- The 5-bit control port (Port C) is used for control and status for the 8-bit, bi-directional bus port (Port A).

Bi-Directional Bus I/O Control Signal Definition

INTR (Interrupt Request)

A high on this output can be used to interrupt the CPU for both input or output operations.

Output Operations

$\overline{OBF}$ (Output Buffer Full)

The $\overline{OBF}$ output will go "low" to indicate that the CPU has written data out to Port A.

$\overline{ACK}$ (Acknowledge)

A "low" on this input enables the tri-state output buffer of Port A to send out the data. Otherwise, the output buffer will be in the high-impedance state.

INTE 1 (The INTE Flip-Flop associated with $\overline{OBF}$)

Controlled by bit set/reset of PC_6.

Input Operations

$\overline{STB}$ (Strobe Input)

A "low" on this input loads data into the input latch.

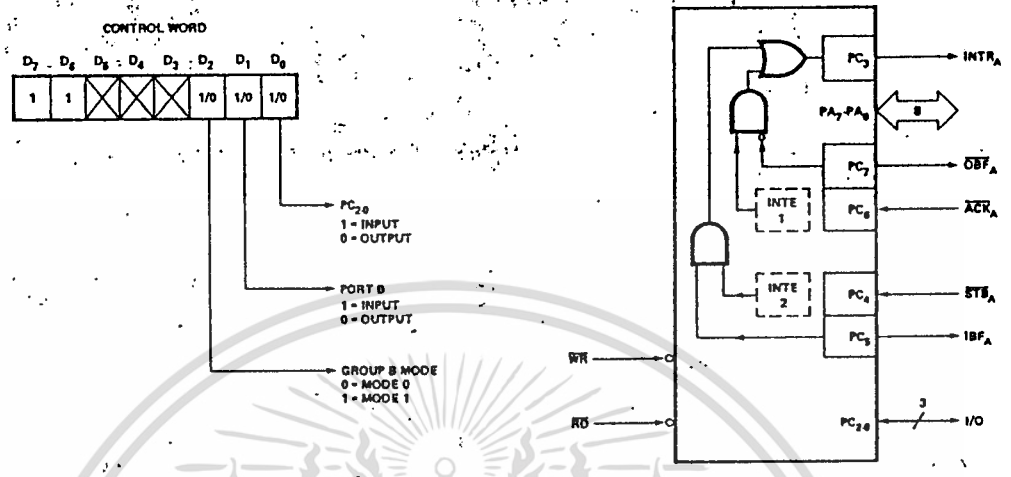
IBF (Input Buffer Full F/F)

A "high" on this output indicates that data has been loaded into the input latch.

INTE 2 (The INTE Flip-Flop associated with IBF)

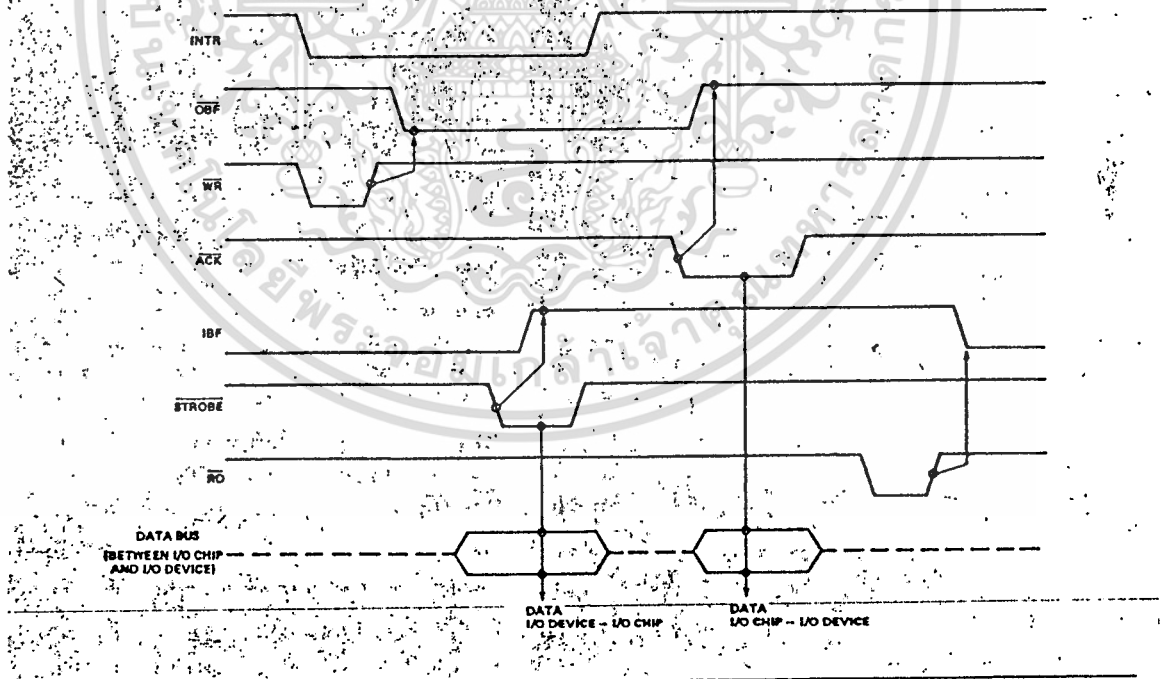
Controlled by bit set/reset of PC_4.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



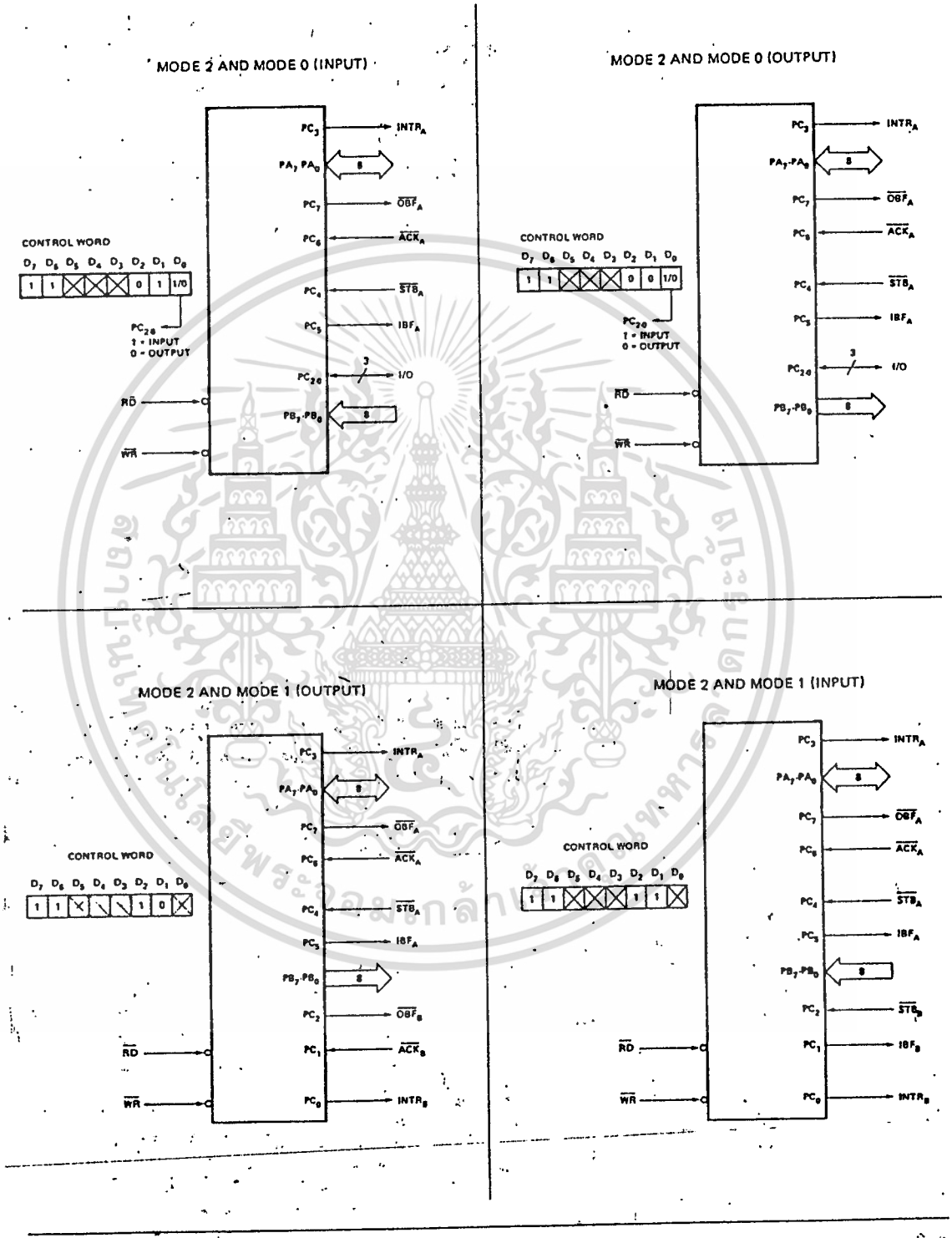
Mode 2 Control Word

Mode 2



Mode 2 (Bi-directional) Timing

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



Mode 2 Combinations

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MODE DEFINITION SUMMARY TABLE

	MODE 0		MODE 1		MODE 2	
	IN	OUT	IN	OUT	GROUP A ONLY	
PA_0	IN	OUT	IN	OUT	⟷	
PA_1	IN	OUT	IN	OUT	⟷	
PA_2	IN	OUT	IN	OUT	⟷	
PA_3	IN	OUT	IN	OUT	⟷	
PA_4	IN	OUT	IN	OUT	⟷	
PA_5	IN	OUT	IN	OUT	⟷	
PA_6	IN	OUT	IN	OUT	⟷	
PA_7	IN	OUT	IN	OUT	⟷	
PB_0	IN	OUT	IN	OUT	—	MODE 0 OR MODE 1 ONLY
PB_1	IN	OUT	IN	OUT	—	
PB_2	IN	OUT	IN	OUT	—	
PB_3	IN	OUT	IN	OUT	—	
PB_4	IN	OUT	IN	OUT	—	
PB_5	IN	OUT	IN	OUT	—	
PB_6	IN	OUT	IN	OUT	—	
PB_7	IN	OUT	IN	OUT	—	
PC_0	IN	OUT	$INTR_B$	$INTR_B$	I/O	
PC_1	IN	OUT	IBF_B	$\overline{OBF}_B$	I/O	
PC_2	IN	OUT	$\overline{STB}_B$	$\overline{ACK}_B$	I/O	
PC_3	IN	OUT	$INTR_A$	$INTR_A$	$INTR_A$	
PC_4	IN	OUT	$\overline{STB}_A$	I/O	$\overline{STB}_A$	
PC_5	IN	OUT	IBF_A	I/O	IBF_A	
PC_6	IN	OUT	I/O	$\overline{ACK}_A$	$\overline{ACK}_A$	
PC_7	IN	OUT	I/O	$\overline{OBF}_A$	$\overline{OBF}_A$	

Special Mode Combination Considerations

There are several combinations of modes when not all of the bits in Port C are used for control or status. The remaining bits can be used as follows:

If Programmed as Inputs –
All input lines can be accessed during a normal Port C read.

If Programmed as Outputs –
Bits in C upper (PC_7-PC_4) must be individually accessed using the bit set/reset function.

Bits in C lower (PC_3-PC_0) can be accessed using the bit set/reset function or accessed as a threesome by writing into Port C.

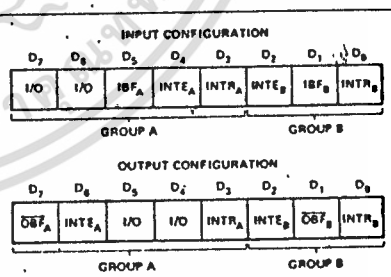
Source Current Capability on Port B and Port C

Any set of eight output buffers, selected randomly from Ports B and C can source 1mA at 1.5 volts. This feature allows the 8255 to directly drive Darlington type drivers and high-voltage displays that require such source current.

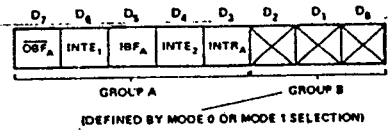
Reading Port C Status

In Mode 0, Port C transfers data to or from the peripheral device. When the 8255 is programmed to function in Modes 1 or 2, Port C generates or accepts "hand-shaking" signals with the peripheral device. Reading the contents of Port C allows the programmer to test or verify the "status" of each peripheral device and change the program flow accordingly.

There is no special instruction to read the status information from Port C. A normal read operation of Port C is executed to perform this function.



Mode 1 Status Word Format



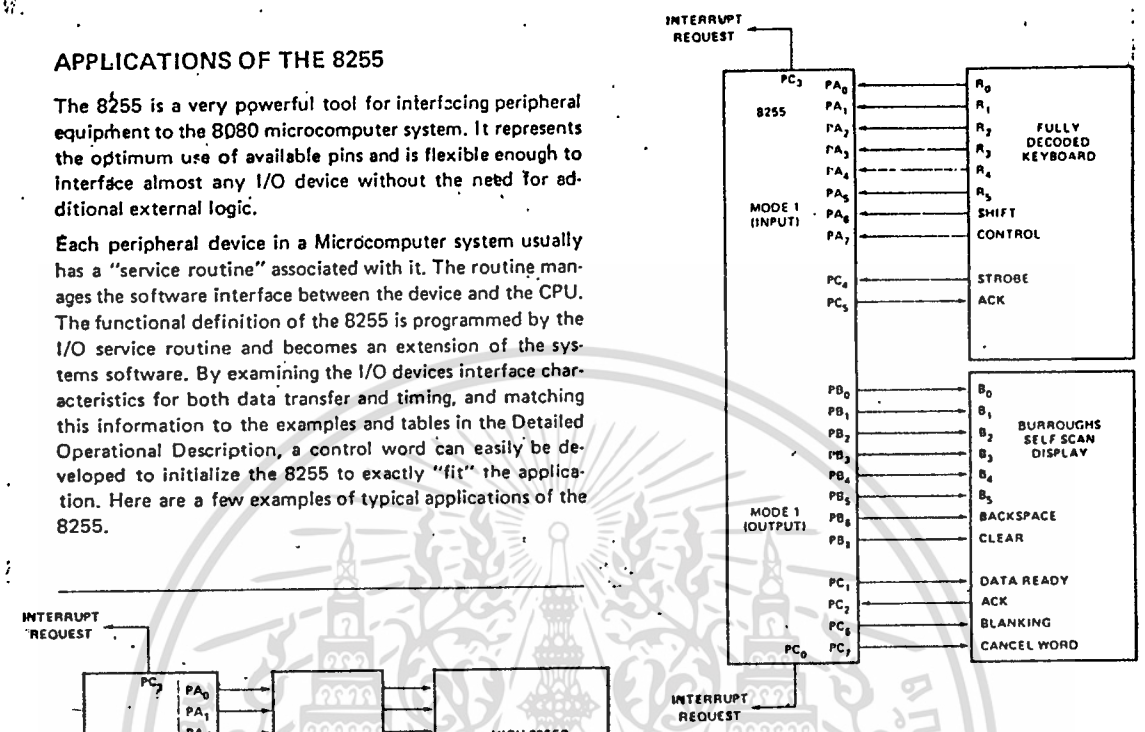
Mode 2 Status Word Format

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

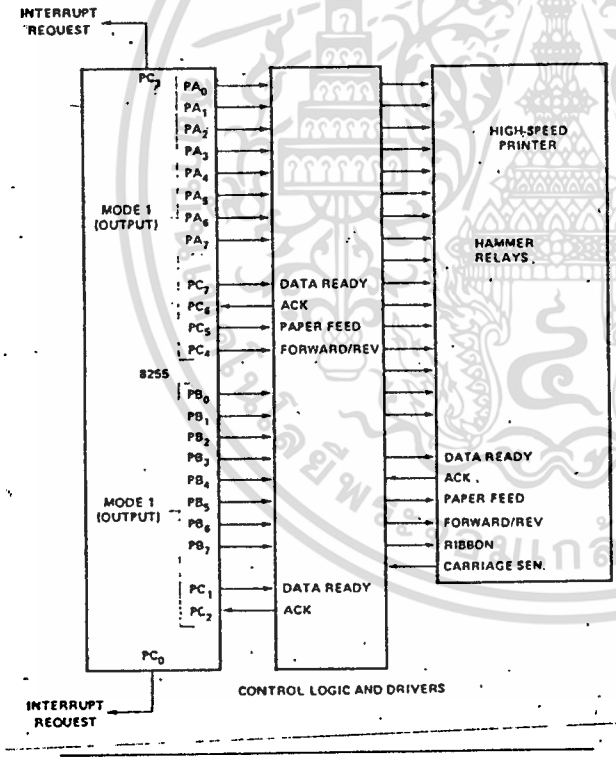
APPLICATIONS OF THE 8255

The 8255 is a very powerful tool for interfacing peripheral equipment to the 8080 microcomputer system. It represents the optimum use of available pins and is flexible enough to interface almost any I/O device without the need for additional external logic.

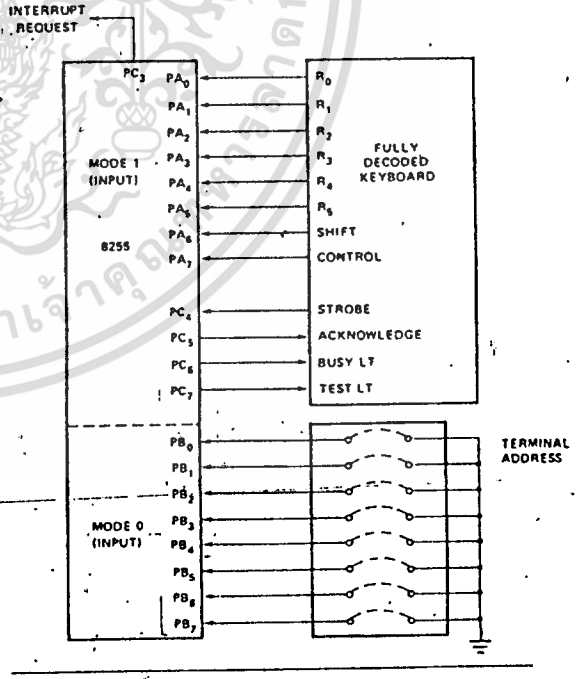
Each peripheral device in a Microcomputer system usually has a "service routine" associated with it. The routine manages the software interface between the device and the CPU. The functional definition of the 8255 is programmed by the I/O service routine and becomes an extension of the systems software. By examining the I/O devices interface characteristics for both data transfer and timing, and matching this information to the examples and tables in the Detailed Operational Description, a control word can easily be developed to initialize the 8255 to exactly "fit" the application. Here are a few examples of typical applications of the 8255.



Keyboard and Display Interface

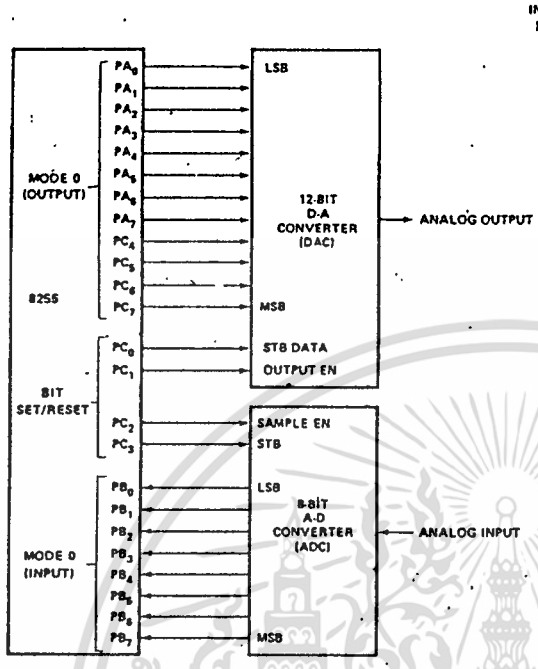


Printer Interface

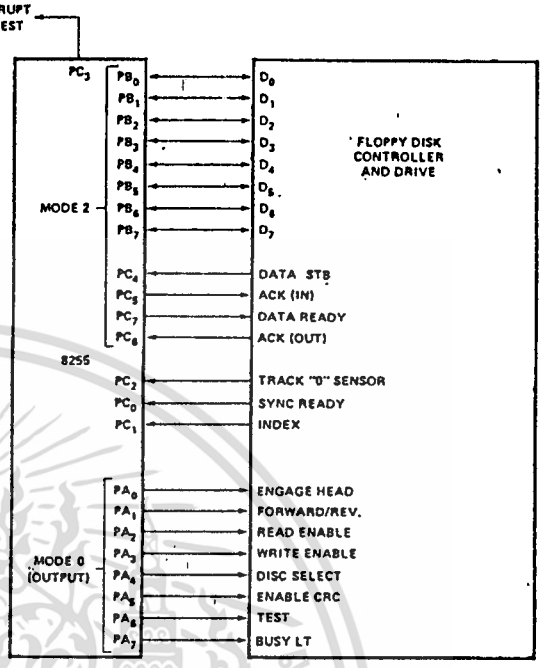


Keyboard and Terminal Address Interface

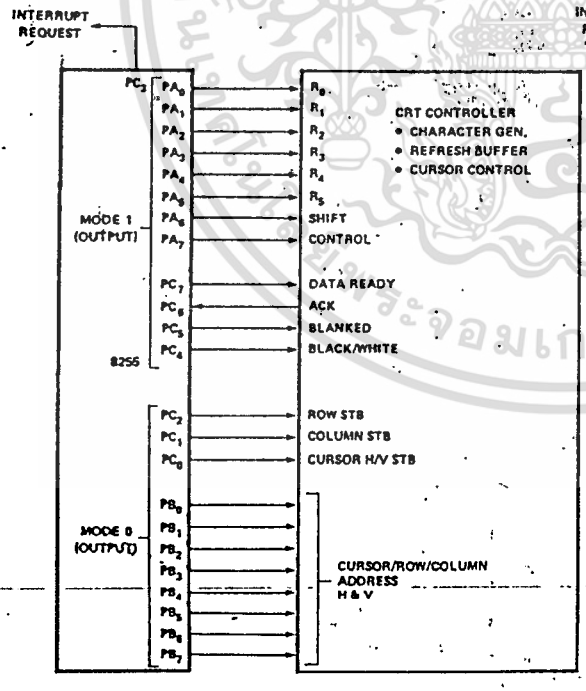
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



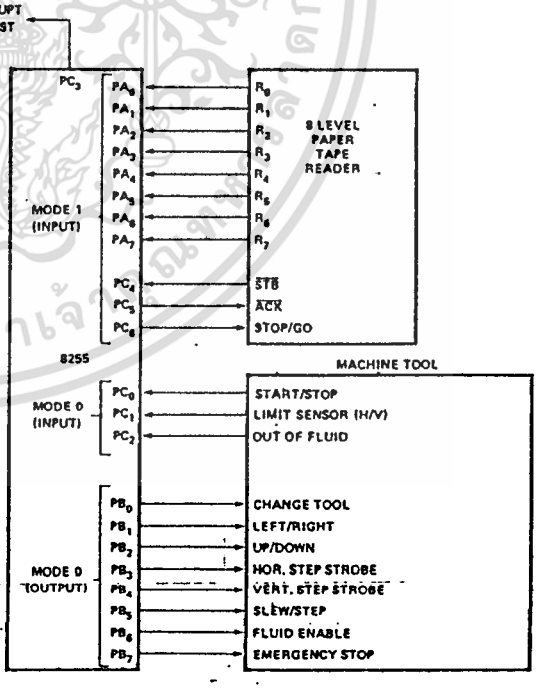
Digital to Analog, Analog to Digital



Basic Floppy Disc Interface

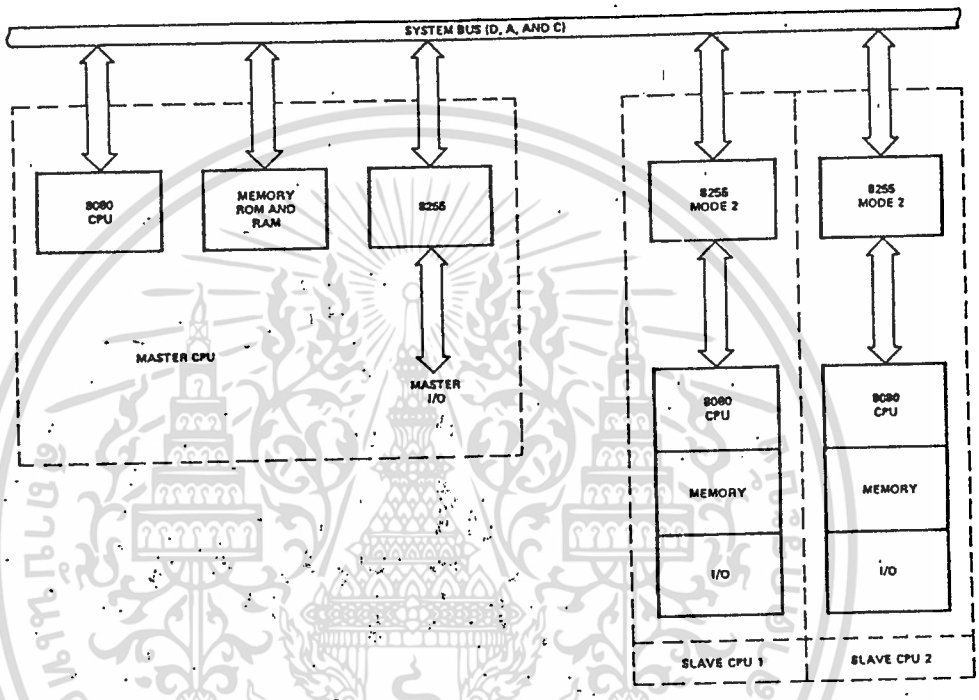


Basic CRT Controller Interface



Machine Tool Controller Interface

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



Distributed Intelligence Multi-Processor Interface

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

D.C. CHARACTERISTICS $T_A = 0°C$ to $70°C$; $V_{CC} = +5V \pm 5\%$; $V_{SS} = 0V$

Symbol	Parameter	Min.	Typ.	Max.	Unit	Test Conditions
V_{IL}	Input Low Voltage			.8	V	
V_{IH}	Input High Voltage	2.0			V	
V_{OL}	Output Low Voltage			.4	V	I_{OL} = 1.6mA
V_{OH}	Output High Voltage	2.4			V	I_{OH} = -50μA (-200μA for D.B. Port)
I_{OH}[1]	Darlington Drive Current		2.0		mA	V_{OH} = 1.5V, R_{EXT} = 390Ω
I_{CC}	Power Supply Current		40		mA	

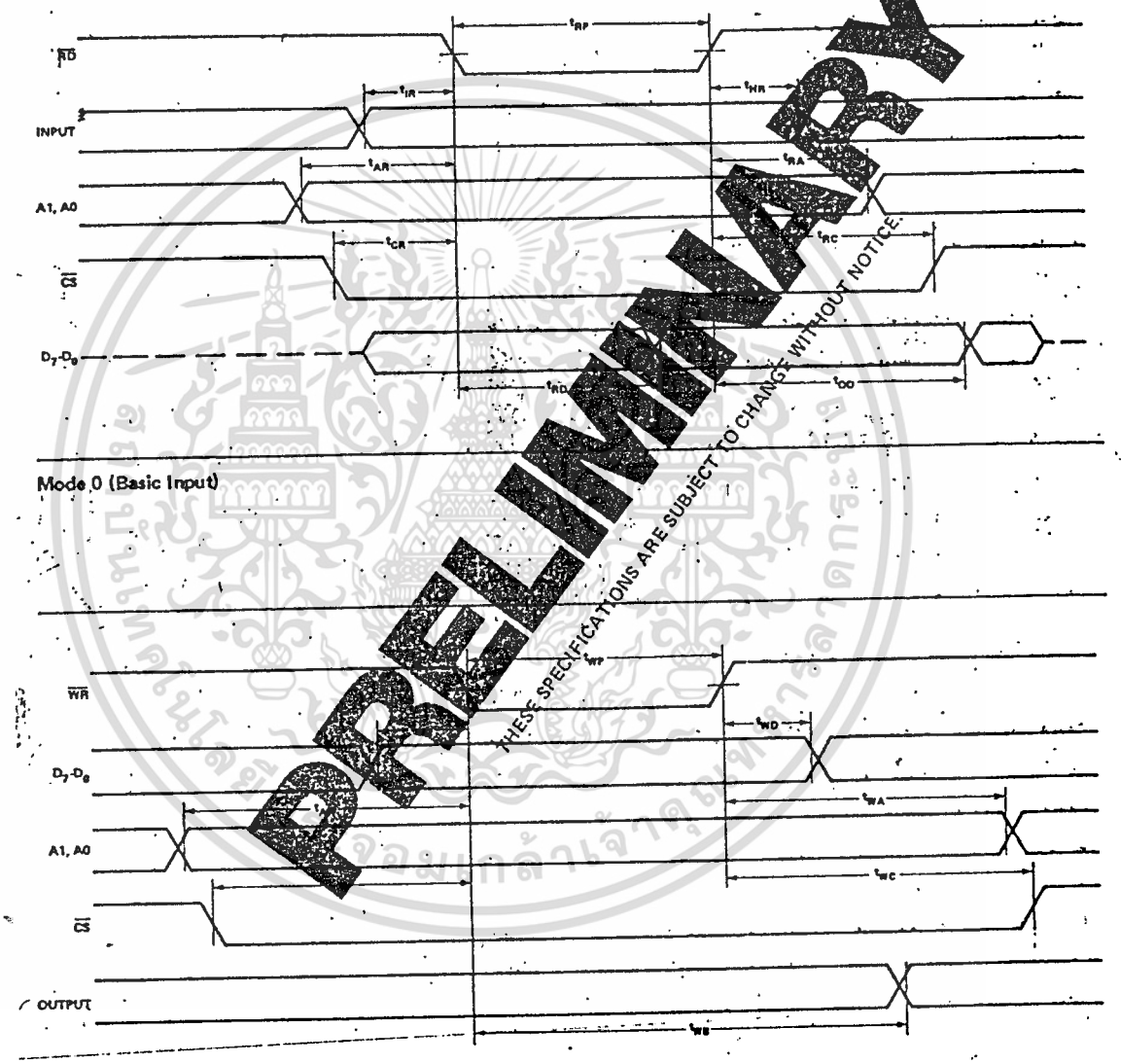
NOTE:
1. Available on 8 pins only.

A.C. CHARACTERISTICS $T_A = 0°C$ to $70°C$; $V_{CC} = +5V \pm 5\%$; $V_{SS} = 0V$

Symbol	Parameter	Min.	Typ.	Max.	Unit	Test Condition
t_{WP}	Pulse Width of $\overline{WR}$		250		ns	
t_{DW}	Time D.B. Stable Before $\overline{WR}$		10		ns	
t_{WD}	Time D.B. Stable After $\overline{WR}$		10		ns	
t_{AW}	Time Address Stable Before $\overline{WR}$		20		ns	
t_{WA}	Time Address Stable After $\overline{WR}$		30		ns	
t_{CW}	Time CS Stable Before $\overline{WR}$		20		ns	
t_{WC}	Time CS Stable After $\overline{WR}$		30		ns	
t_{WB}	Delay From $\overline{WR}$ To Output		200		ns	
t_{RR}	Pulse Width of $\overline{RD}$		300		ns	
t_{IR}	$\overline{RD}$ Set-Up Time		50		ns	
t_{HR}	Input Hold Time		10		ns	
t_{RD}	Delay From $\overline{RD}$ = 0 To Sys. Bus		200		ns	
t_{OD}	Delay From $\overline{RD}$ = 1 To Sys. Bus		100		ns	
t_{AR}	Time Address Stable Before $\overline{RD}$		25		ns	
t_{CR}	Time $\overline{CS}$ Stable Before $\overline{RD}$		25		ns	
t_{AK}	Width Of $\overline{ACK}$ Pulse		100		ns	
t_{ST}	Width Of $\overline{STB}$ Pulse		100		ns	
t_{PS}	Set-Up Time For Peripheral		200		ns	
t_{PH}	Hold Time For Peripheral		10		ns	
t_{RA}	Hold Time for A_1, A_0 After $\overline{RD}$ = 1		10		ns	
t_{RC}	Hold Time For CS After $\overline{RD}$ = 1		10		ns	
t_{AD}	Time From $\overline{ACK}$ = 0 To Output (Mode 2)		200		ns	
t_{KD}	Time From $\overline{ACK}$ = 1 To Output Floating		250		ns	
t_{WO}	Time From $\overline{WR}$ = 1 To $\overline{OBF}$ = 0		50		ns	
t_{AO}	Time From $\overline{ACK}$ = 0 To $\overline{OBF}$ = 1		200		ns	
t_{SI}	Time From $\overline{STB}$ = 0 To IBF		200		ns	
t_{RI}	Time From $\overline{RD}$ = 1 To IBF = 0		200		ns	

PRELIMINARY
THESE SPECIFICATIONS ARE SUBJECT TO CHANGE WITHOUT NOTICE

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

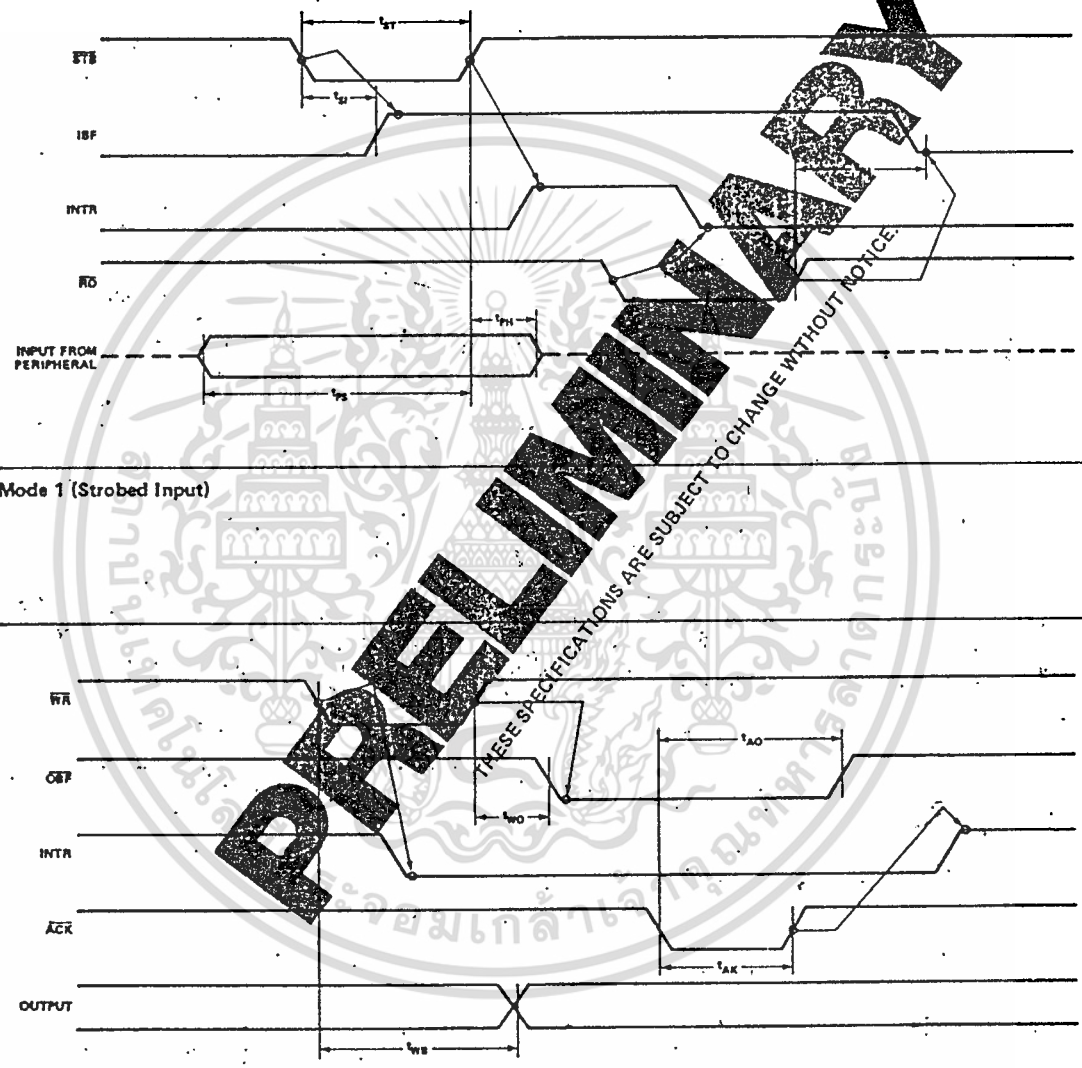


Mode 0 (Basic Input)

Mode 0 (Basic Output)

PRELIMINARY
THESE SPECIFICATIONS ARE SUBJECT TO CHANGE WITHOUT NOTICE.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

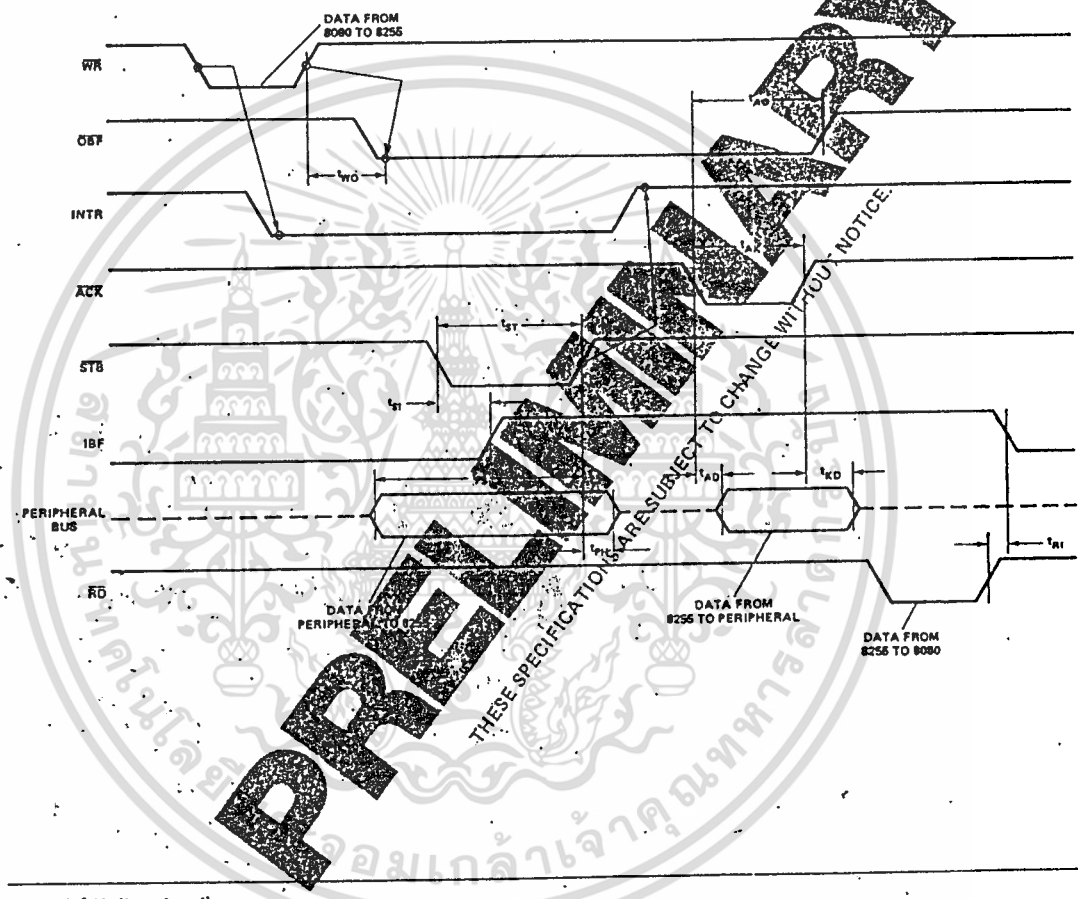


Mode 1 (Strobed Input)

Mode 1 (Strobed Output)

PRELIMINARY
THESE SPECIFICATIONS ARE SUBJECT TO CHANGE WITHOUT NOTICE.

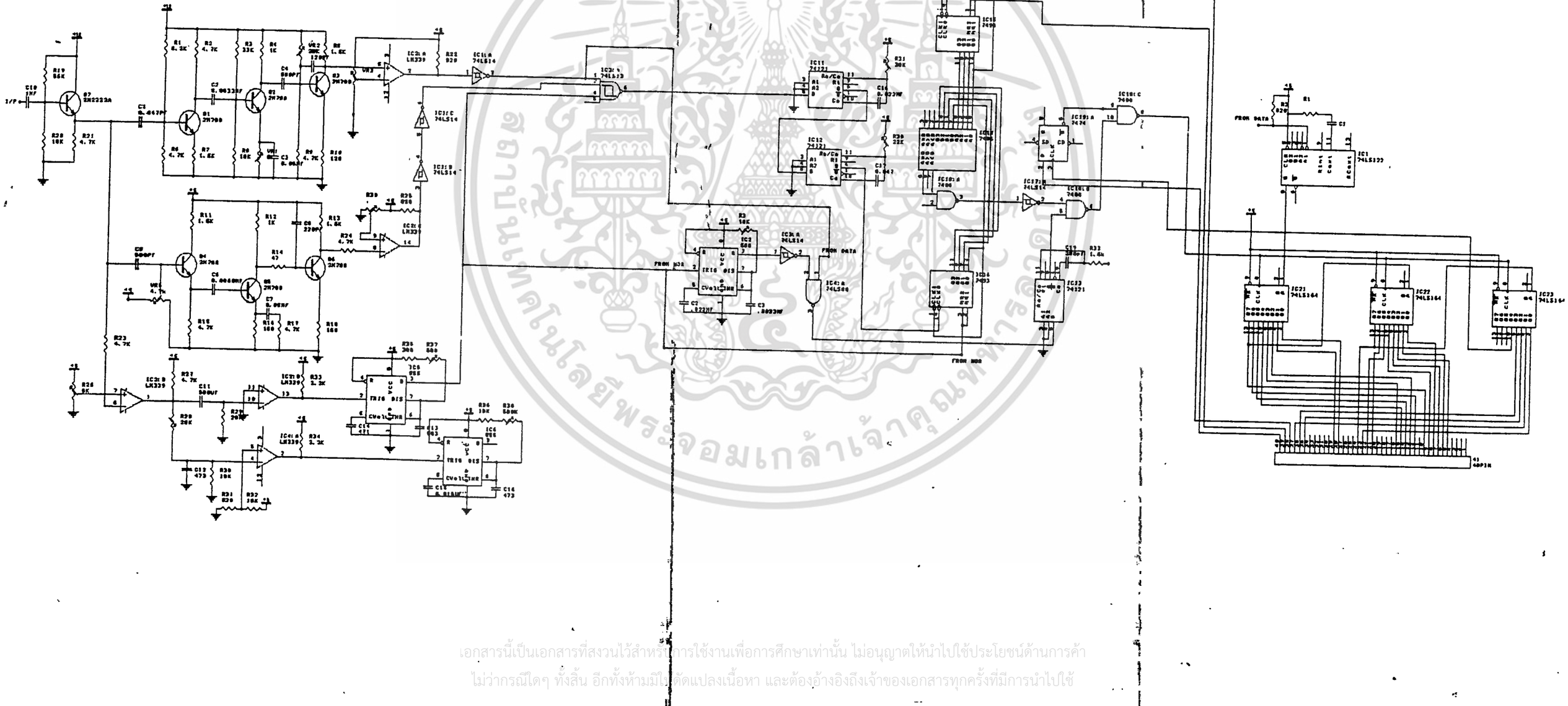
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



Mode 2 (Bi-directional)

PRELIMINARY
THESE SPECIFICATIONS ARE SUBJECT TO CHANGE WITHOUT NOTICE.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กิตติกรรมประกาศ

ปริญญานิพนธ์ที่ได้จัดทำขึ้นมานี้ สามารถสำเร็จได้อย่างสมบูรณ์นั้น ก็เพราะว่ามีบุคคลหลายฝ่ายที่ให้การช่วยเหลือ ซึ่งในที่นี้ข้าพเจ้าก็ต้องขอขอบคุณ อาจารย์ อุทัย ศรีธีระโรจน์ ซึ่งเป็นอาจารย์ที่ปรึกษา และโดยเฉพาะอย่างยิ่ง อาจารย์ เจริญ จั่นสกุล หัวหน้าแผนกอีเล็คโทรนิคส์ วิทยาเขตเทคนิคกรุงเทพฯ รวมทั้งอาจารย์ท่านอื่นๆ ที่คอยให้คำแนะนำ ตลอดจนอำนวยความสะดวกในด้านอุปกรณ์และเครื่องมือที่ใช้ในการทดลอง และนอกจากนั้นข้าพเจ้าก็ขอขอบคุณ แก่บุคคลที่เกี่ยวข้องทุกๆ ฝ่ายที่ได้ให้ความสนับสนุนและช่วยเหลือ เพื่อให้ปริญญา-นิพนธ์ฉบับนี้สำเร็จลุล่วงไปด้วยดี

ผู้จัดทำ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หนังสืออ้างอิง

1. ยืน ภู่วรวรรณ, "เทคนิคการประยุกต์และใช้งานไอซีทีทีแอล", ซีเอ็ดยูเคชั่น, 2528
2. ซีเอ็ดยูเคชั่น, "คู่มือ/เทียบเบอร์ไอซี TTL", 2532
3. วิชัย สุรพัฒน์, "วิศวกรรมโทรทัศน์", คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้า เจ้าคุณทหารลาดกระบัง, 2525
4. กฤษดา วิศวธีรานนท์ ยืน ภู่วรวรรณ, "ไมโครโปรเซสเซอร์", สมาคมส่งเสริมเทคโนโลยี(ไทย-ญี่ปุ่น), 2526
5. Rodnay Zaks,Austin Lesea, "Microprocessor Interfacing Techniques", SYBEX, 1988

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้