จีทีโอ อินเวอร์เตอร์

GTO INVERTER

โดย

นายกิติพงษ์ พายัพวัฒนวงษ์

นางสาวรัชนีวรรณ เกียรติตันสกุล

นายสุทธิ เต็มธนกิจไพศาล

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตร์บัณฑิต

ภาควิชาวิศวกรรมไฟฟ้า

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2534

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

007750

ปริญญานิพนธ์ปีการศึกษา 2534

เรื่อง จีทีโอ อินเวอร์เตอร์ (GTO INVERTER)

ผู้จัดทำ

1. นายกิติพงษ์ พายัพวัฒนวงษ์ 31.1007
2. นางสาวรัชนีวรรณ เกียรติตันสกุล 31.1220
3. นายสุทธิ เต็มธนกิจไพศาล 31.1346

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ลงชื่อ อาจารย์ที่ปรึกษา

(อาจารย์ลุวงษ์ โลมพงศ์)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จีทีโอ อินเวอร์เตอร์

นายกิติพงษ์ พายัพวัฒนวงษ์
นางสาวรัชนีวรรณ เกียรติตันสกุล
นายสุทธิ เต็มธนกิจไพศาล

อ.สุวงษ์ โสมพงศ์

บทคัดย่อ

ในการแปลงไฟฟ้ากระแสตรงเป็นไฟฟ้ากระแสสลับ เพื่อนำไปใช้ประโยชน์ในงานต่าง ๆ เราสามารถใช้อุปกรณ์ที่เรียกว่า อินเวอร์เตอร์ ซึ่งสามารถปรับระดับแรงดันไฟฟ้าและความถี่ของไฟได้ด้วย โดยใช้สารกึ่งตัวนำเป็นตัวสวิทช์ชิ่ง(switching) เช่น ไทริลเตอร์ (thyristor), จีทีโอ (gate turn off thyristor), พาวเวอร์มอสเฟส (power mosfet), พาวเวอร์ทรานซิสเตอร์(power transistor)

ซึ่งในโครงงานนี้เป็นการสร้าง single phase bridge inverter ที่สามารถปรับความถี่ได้ในช่วง 500 H_z ถึง 3 kH_z และสามารถจ่ายกระแสได้สูงสุด 20 แอมป์ จุดประสงค์เพื่อนำไปใช้งานทั่วไป เช่น ใช้เป็นส่วนหนึ่งของแหล่งจ่ายไฟต่อเนื่อง (UPS), ปรับปรุงให้เหมาะกับการขับมอเตอร์เหนี่ยวนำ เป็นต้น

ในโครงงานนี้ ได้เลือกใช้ จีทีโอ เบอร์ GFF200E เป็นอุปกรณ์สวิทช์ชิ่ง และสร้างอินเวอร์เตอร์ที่มี wave form เป็นรูป quasi square

single phase bridge inverter ที่สร้างประกอบด้วย 2 ส่วนคือ

1. วงจรหลัก(Main circuit)

ซึ่งประกอบด้วยแหล่งจ่ายไฟกระแสตรงขนาด 70 โวลต์ , จีทีโอ เบอร์ GFF200E จำนวน 4 ตัว และ fast recovery diode 4 ตัว

2. วงจรขับ(Drive circuit)

ซึ่งประกอบด้วย

1.1 วงจร turn-on เป็นการทำให้จีทีโอนำกระแสโดยการป้อนสัญญาณ pulse train เข้าที่ขา เกทของจีทีโอ

1.2 วงจร turn-off เป็นการทำให้จีทีโอหยุดนำกระแสโดยการป้อนสัญญาณ กระแส reverse เข้าที่ขาเกทของจีทีโอ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ

		หน้า
บทที่ 1	บทนำ	1
บทที่ 2	ลักษณะทั่วไปของจีทีโอ	2
บทที่ 3	การแปลงไฟกระแสตรงเป็นกระแสสลับ(inverter)	16
บทที่ 4	การออกแบบและการทำงานของวงจรในการทดลอง	33
บทที่ 5	ผลการทดลอง	42
	สรุปและวิจารย์ผลการทดลอง	53

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 1

บทนำ

ปริญญานิพนธ์ฉบับนี้ได้จัดรวบรวมเรื่องการสร้าง อินเวอร์เตอร์ ที่มีจีทีโอเป็นอุปกรณ์สวิทช์ชิ่ง ซึ่งจะได้กล่าวถึงลักษณะและคุณสมบัติทั่วไปของจีทีโอ, ชนิดของอินเวอร์เตอร์ รวมทั้งการออกแบบวงจรขับจีทีโอด้วย ซึ่งได้ใช้ข้อมูลและความรู้ที่ได้จากการค้นคว้าทดลองดังที่ได้ผลของค่าต่าง ๆ ตามบทที่ 5

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จีทีโอ (GTO)

GTO(Gate Turn Off)thyrister ได้เป็นที่รู้จักกันมานานกว่า 20 ปีแล้ว แต่ในช่วง 5 ปีหลังนี้ ได้มีการปรับปรุงและพัฒนาจีทีโอเพื่อรองรับการใช้งานเกี่ยวกับอุปกรณ์ทาง high power จนในปัจจุบันได้มีจีทีโอขนาด 3000 A. 3000 V. ด้วยเหตุนี้จึงนำไปสู่การใช้จีทีโอกันอย่างแพร่หลายในงานประเภท variable dc., ac motor drives และในวงจร chopper รวมทั้งอุปกรณ์เปลี่ยนแปลงความถี่(frequency converter equipment)รุ่นใหม่ๆ ที่ผลิตขึ้นจากทุกมุมโลกได้เปลี่ยนมาสู่การใช้จีทีโอกันแล้วเป็นส่วนใหญ่ เพราะมีข้อดีและข้อได้เปรียบกว่าไธริสเตอร์ทั่วไปในหลายๆ ด้าน ในปัจจุบันนี้ก็ยังมีการพัฒนาจีทีโอให้ดีขึ้นและลดข้อบกพร่องต่างๆ ต่อไปอย่างไม่หยุดยั้ง และในอนาคตจีทีโอจะเป็นที่รู้จักและใช้กันอย่างแพร่หลายมากขึ้น ดังเช่น scr และ power transitor ในปัจจุบัน ทั้งในด้านอิเลคทรอนิคส์และไฟฟ้ากำลัง

หลักการทำงานของจีทีโอ

เนื่องจากจีทีโอเป็นอุปกรณ์สวิทช์ชิ่ง ซึ่งมีหลักการทำงานเหมือนไธริสเตอร์ทั่วไปที่มีการทำงานเป็น 2 สถานะ(state) คือ สถานะ ON และสถานะ OFF ในการ turn-off และ turn-on จะถูกควบคุมทางขาเกท(gate) โดย reverse gate current และ forward gate current ตามลำดับ การ turn-on ก็เหมือนกับของไธริสเตอร์ทั่วไป โดยป้อน positive trigger current เทียบกับคาโทด(cathod)เข้าทางขาเกท จุดเด่นที่เพิ่มขึ้นของจีทีโอก็คือ การ turo-off ของจีทีโอนั้นสามารถควบคุมได้ ทางเกทได้เช่นเดียวกับการ turn-on โดย negative current เทียบกับคาโทดเข้าทางขาเกท ซึ่งไม่ต้องใช้วงจรหยุดนำกระแส(comutation circuit) จากภายนอก เพื่อลดกระแสที่อาโนด(anode current) ให้ต่ำกว่าค่า holding current ดังเช่น scr แต่วงจร drive จีทีโอจะค่อนข้างยุ่งยากกว่าในการใช้งานจีทีโอให้ได้อย่างมีประสิทธิภาพจะขึ้นอยู่กับอุปกรณ์ภายนอกที่รวมใช้กับจีทีโอด้วย snubber circuit ที่มีคุณภาพสูงเป็นสิ่งสำคัญที่จะช่วยเพิ่มประสิทธิภาพของจีทีโอ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

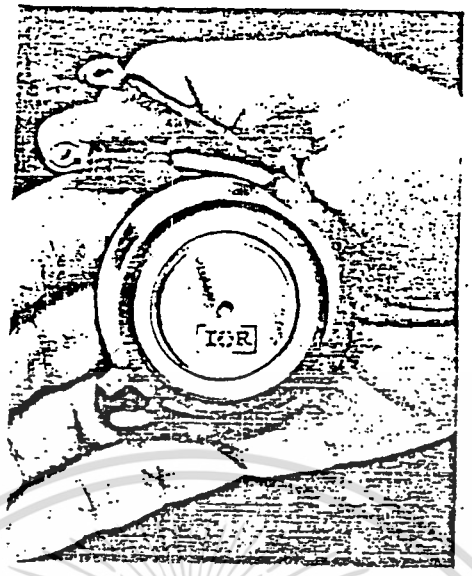
โครงสร้างของจีทีโอ

จีทีโอเป็นสารเซมิคอนดัคเตอร์แบบ 4 เลเยอร์ (layer) 3 จังค์ชั่น (junction) และ สามาถนำกระแสได้ทิศทางเดียวได้เช่นเดียวกับไธริสเตอร์ทั่วไป จากโครงสร้างภายนอำจะเห็นได้ว่ามี 3 ขั้ว เรียกว่า อาโนด(A),คาโธด(K) และเกท(G) ดังรูป 2.6 (a),(b) และ (c)

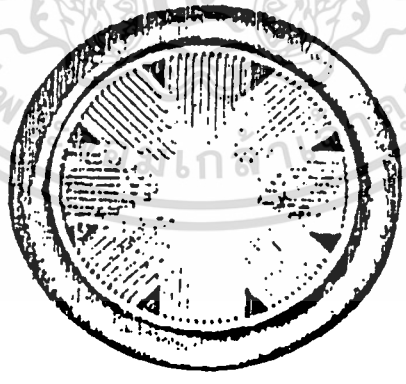
2.6 (a) โครงสร้างของจีทีโอ สัญลักษณ์ของจีทีโอ

โครงสร้างภายในของจีทีโอตัวหนึ่งๆ จะประกอบด้วยไธริสเตอร์ตัวเล็กๆ มากมายต่อขนานกันแบบ common gate และ anode ส่วนคาโธดจะมีรูปร่างคล้ายซิการ์เล็กๆเรียกว่า "cathode island" มากมายวางเรียงกันดังรูป 2.7 ซึ่งจะแสดงการเปรียบเทียบผิวคาโธดของไธริสเตอร์กับจีทีโอ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

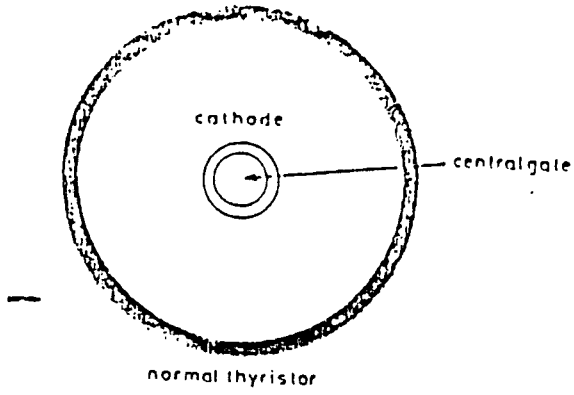


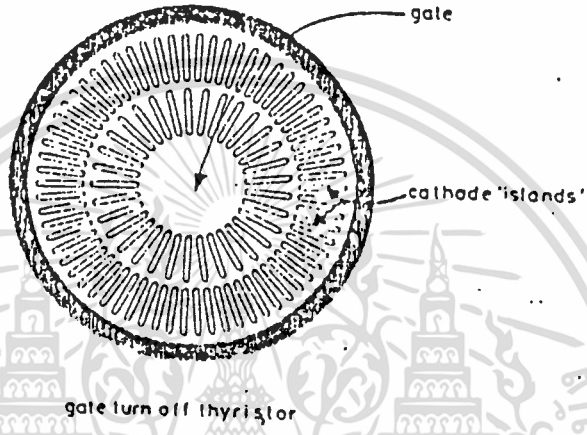
รูป 2.6 (b) แสดงลักษณะโครงสร้างภายนอกของ จีทีโอ



รูป 2.6 (c) แสดงลักษณะโครงสร้างภายในของ จีทีโอ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้





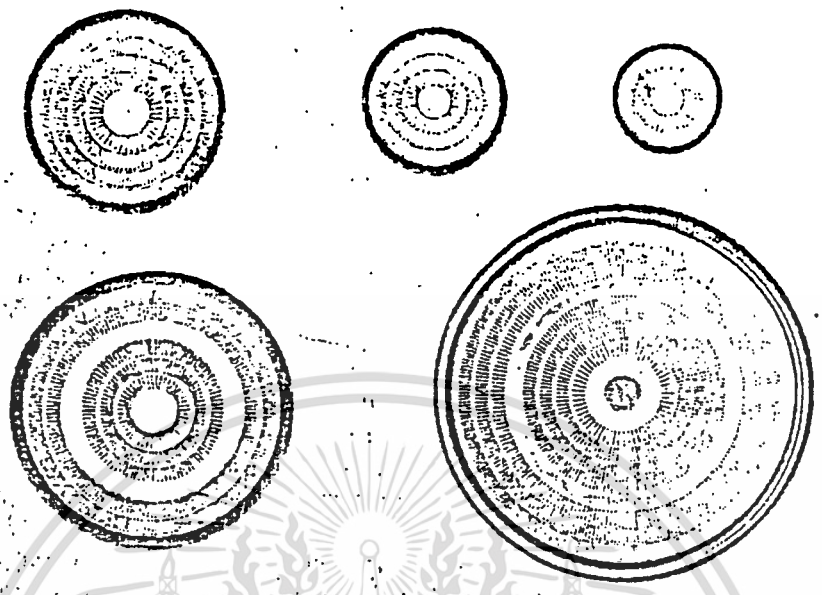
รูป 2.7 แสดงการเปรียบเทียบ cathode surface ของไธริสเตอร์ทั่วไปกับจีทีโอ

ไธริสเตอร์จะมีเกทแอเรีย(gate area) อยู่ตรงกลาง และพื้นที่ผิวส่วนใหญ่ของคาโธดแอเรีย(cathode area) จะอยู่ไกลจากเกทแอเรีย ซึ่งจะส่งผลให้เกิดปัญหาในการ turn-off โดยวิธีการดึงกระแสออกทางขาเกท จะมีเพียงบริเวณใกล้ๆ เกทแอเรียเท่านั้นที่กระแสถูกดึงออกมาได้

ส่วนในจีทีโอนั้นจะเห็นว่าบริเวณพื้นที่ของ cathode island จะถูกล้อมรอบด้วยพื้นที่ของเกท ซึ่งจะเป็นผลทำให้การ turn-off ด้วยวิธีการดึงกระแสออกทางขาเกทได้รับผลทั่วทุกเซล(cell) ของ cathode island ทำให้การ turn-off เป็นไปได้อย่างสมบูรณ์และรวดเร็ว

ในจีทีโอที่มีค่าพิกัดสูงๆ (I > 20000 A.) ได้มีการเพิ่มการจัดวางเกทแอเรียในระหว่างแนวของ acthode island เป็นรูปวงแหวนขึ้นอีกชั้นหนึ่ง เรียกว่า ring gate ดังรูป 2.8

เอกสารนี้สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูป 2.8 (b) ลักษณะของ cathode surface ในจีทีโอขนาดใหญ่ขึ้น

Mechanical Construction

จีทีโอจะมีโครงสร้างภายนอกที่เล็กกว่าไธริสเตอร์ทั่วไปที่ขนาดพิกัดเดียวกัน เทคนิคในการลด thermal resistance ระหว่างแผ่นซิลิคอน(silicon wafer) กับ heat sink โดยการประกบแผ่นโมลิบดินั่ม(molybdinum disc) เข้ากับแผ่นซิลิคอนทั้งทางอาโนดและคาโธด ดังรูป 2.9

ในวิธีการผลิตจีทีโอ ก็จะมีข้อแตกต่างจากไธริสเตอร์ทั่วไป ดังแสดงในขั้นตอนในรูปที่ 2.10

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

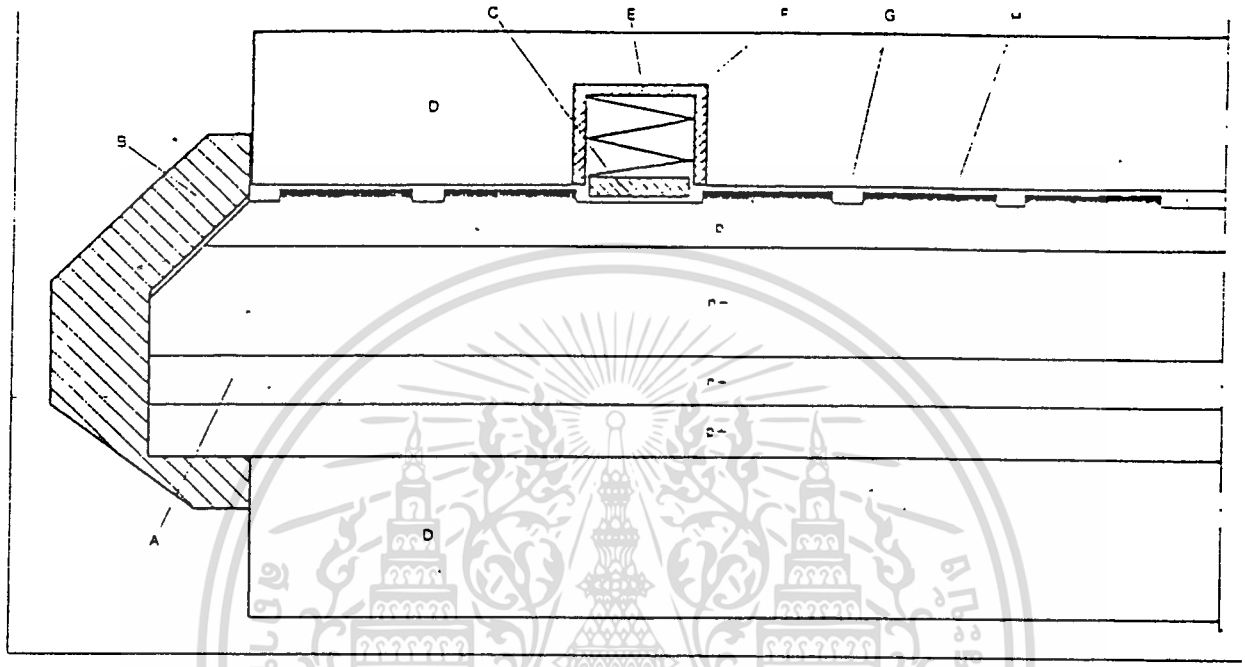
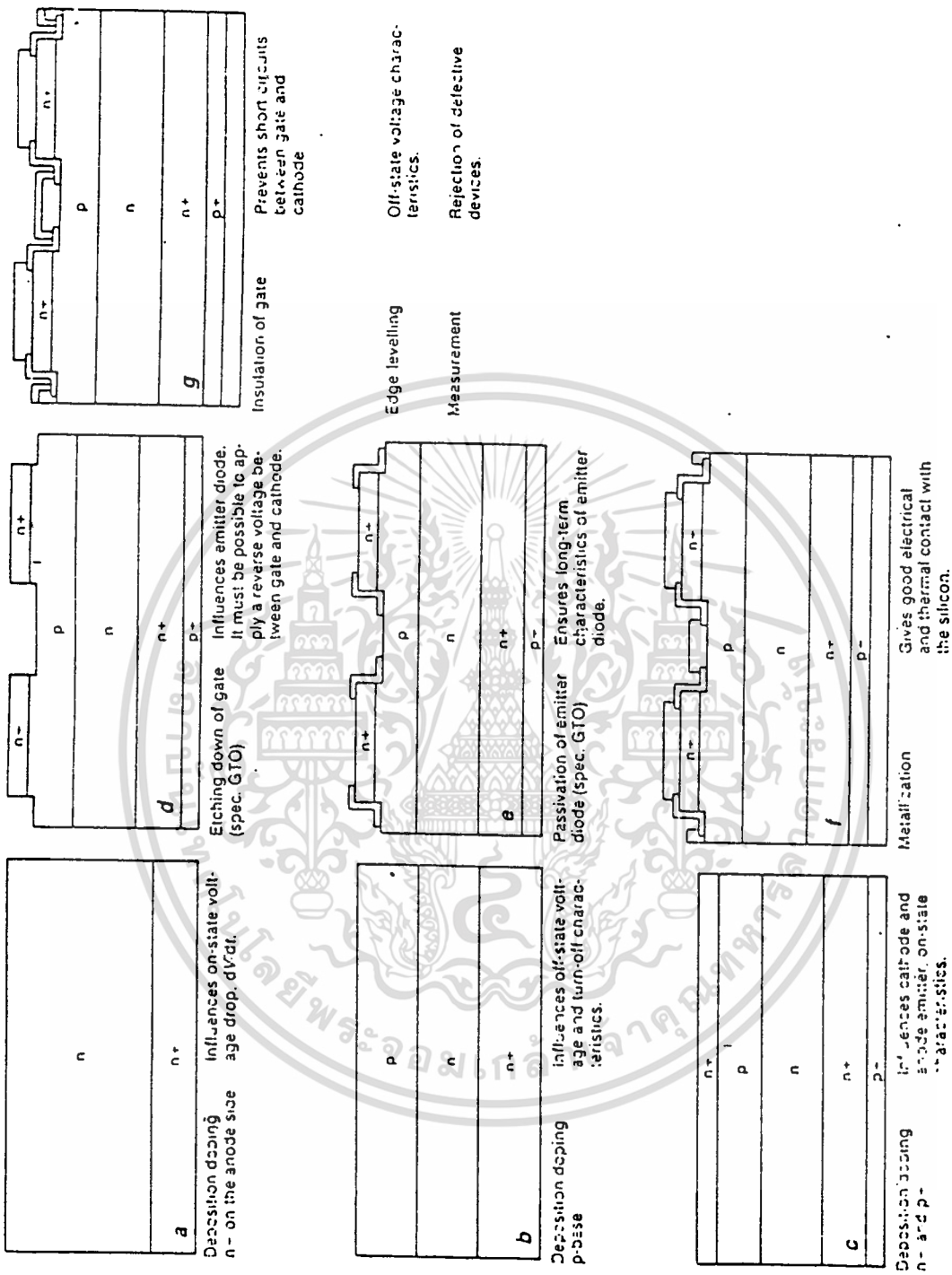


Fig. 4. Basic design of encapsulation for ring gate.

A Silicon wafer
B Surface protection
C Gate connection
D Molybdenum disc
E Spring
F Insulation
G Gate
H Cathode emitter

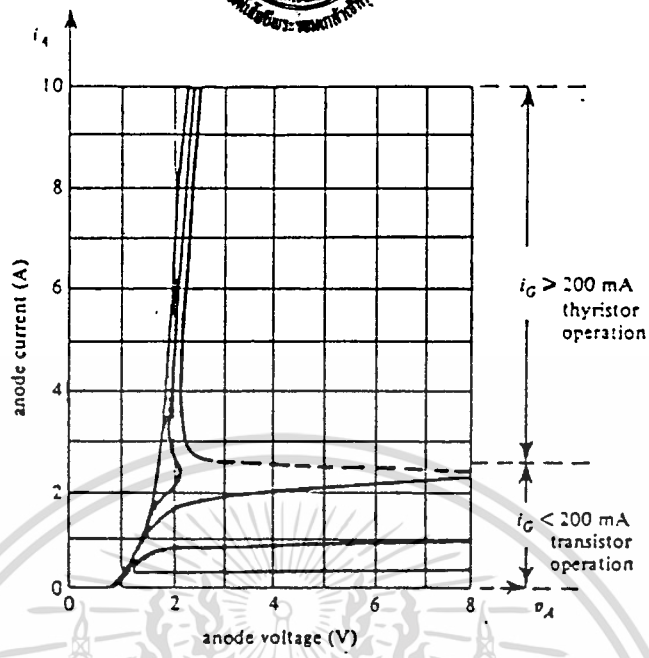
รูป 2.9 การออกแบบ encapsulation ของ ring gate

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



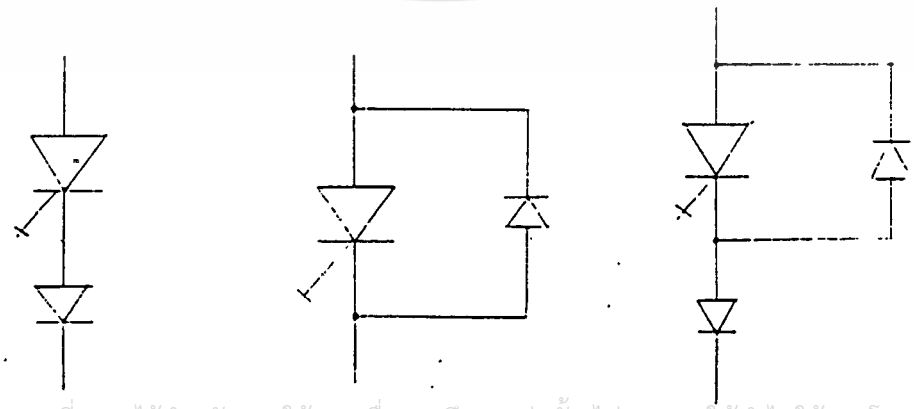
รูป 2.10 แสดงขั้นตอนการผลิต จีทีโอ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูป 2.11 กราฟแสดงความสัมพันธ์ ระหว่าง กระแสอาโนดกับโวลท์เตจที่อาโนด

จีทีโอจะมีค่า forward blocking voltage สูง และสำหรับจีทีโอบางขนาดพิกัดจะมีค่า reverse blocking voltage สูงพอๆ กัน จีทีโอสามาถนำกระแสได้ถ้า forward voltage มีค่าสูงมากว่า หรือเท่ากับค่า breakover voltage เช่นเดียวกับเอสซีอาร์ แต่ด้วยวิธีนี้จะทำให้จีทีโอชำรุดเสียหาย โดยไม่สามารถนำกลับมาใช้ได้อีก เพราะกระแสเริ่มต้น (initial current) จะผ่านทาง cathode island อย่างหนาแน่นเพียงเซลใดเซลหนึ่งเท่านั้น



เพิ่ม reverse เพิ่ม forward เพิ่มทั้งสองอย่าง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

007750

ในบางขนาดพิกัดของจีทีโอ ก็จะมีค่า reverse blocking voltage ต่ำ ซึ่งเป็นจุดที่ได้มีการพัฒนาต่อไปอีก แต่เราก้สามารถเพิ่มค่านี้รวมถึงค่า forward blocking voltage ได้อย่างง่ายดาย โดยการต่อไดโอดขนานหรืออนุกรมกับจีทีโอ โดยไดโอดที่ใช้จะต้องมี reverse blocking voltage สูงกว่าจีทีโอ

นอกจากนี้จีทีโอยังสามารถที่จะทนต่อค่าอัตราการเพิ่มของโวลต์เตจ (voltage) ต่อเวลา [dy/dt] ได้สูงกว่าไธริสเตอร์ทั่วไป อย่างไรก็ตามถ้าค่า dy/dt นี้สูงเกินพิกัดของจีทีโอแล้ว จะทำให้จังค์ชั่นภายในตัวจีทีโอถูกทำลาย เป็นผลให้จีทีโอนำกระแสและเสียหายเช่นกัน

Current Capacibility

เนื่องจากโครงสร้างของจีทีโอ ค่าโวลต์เตจที่ตกคร่อมระหว่างนำกระแสจะมีค่าสูงกว่าไธริสเตอร์ทั่วไป ค่านี้จะเปลี่ยนแปลงโดยขึ้นอยู่กับอุณหภูมิและ กระแสอาโนด (I_T) ค่าพิกัด junction temperature ของจีทีโอก็เหมือนกับเอสซีอาร์ คือ ถ้าระดับกระแสอาโนดมากก็ยิ่งจำเป็นต้องใช้ระดับการคูลลิ่ง (cooling) มากตามไปด้วย

จีทีโอยังมีค่าพิกัดกระแสที่สามารถ turn-off ได้โดยเกท ถ้าเราพยามที่จะ turn-off จีทีโอ ในขณะที่กระแสอาโนดมีค่าสูงกว่า กระแสที่ใช้ในการหยุดนำกระแส (turn-off current ; I_{GQ}) นี้แล้ว จีทีโอจะเสียหายอย่างถาวร จีทีโอมีความสามารถที่จะทนต่อค่ากระแสฟอลท์(fault current)ได้โดยไม่เสียหายเหมือนไธริสเตอร์ โดยมีค่าประมาณ 10 เท่าของ I_{GQ} (turn-off current)

พารามิเตอร์ที่สำคัญอีกตัวหนึ่งคือ กระแสอาโนดสูงสุด (maximum anode current) ซึ่งสามารถหยุดนำกระแสได้โดยป้อน I_{GQ} เข้าทางขาเกทภายใต้อุณหภูมิที่จังค์ชั่นที่ต่ำกว่าพิกัด

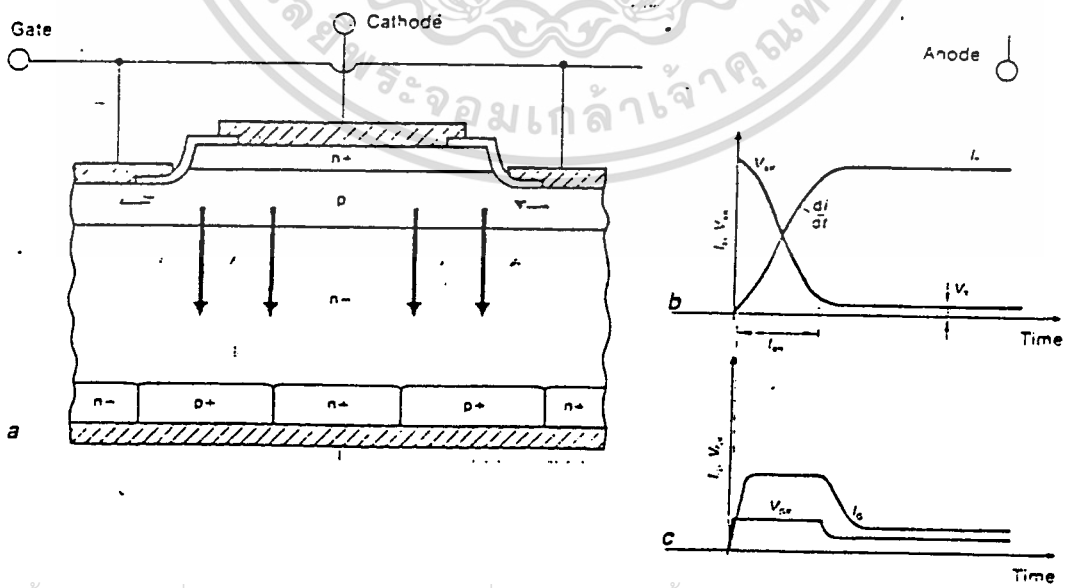
จีทีโอสามารถที่จะหยุดนำกระแสได้เร็วกว่าไธริสเตอร์ทั่วไป เพราะโครงสร้างภายในดังที่กล่าวมาแล้วข้างต้น กระแสจะแพร่กระจายได้ในระยะทางที่สั้นอย่างรวดเร็วจากเกท ก่อนที่จีทีโอจะนำกระแสซึ่งเป็นผลให้จีทีโอมีค่าพิกัด di/dt สูงกว่าของไธริสเตอร์ทั่วไป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Switching Characteristic

Turn-on

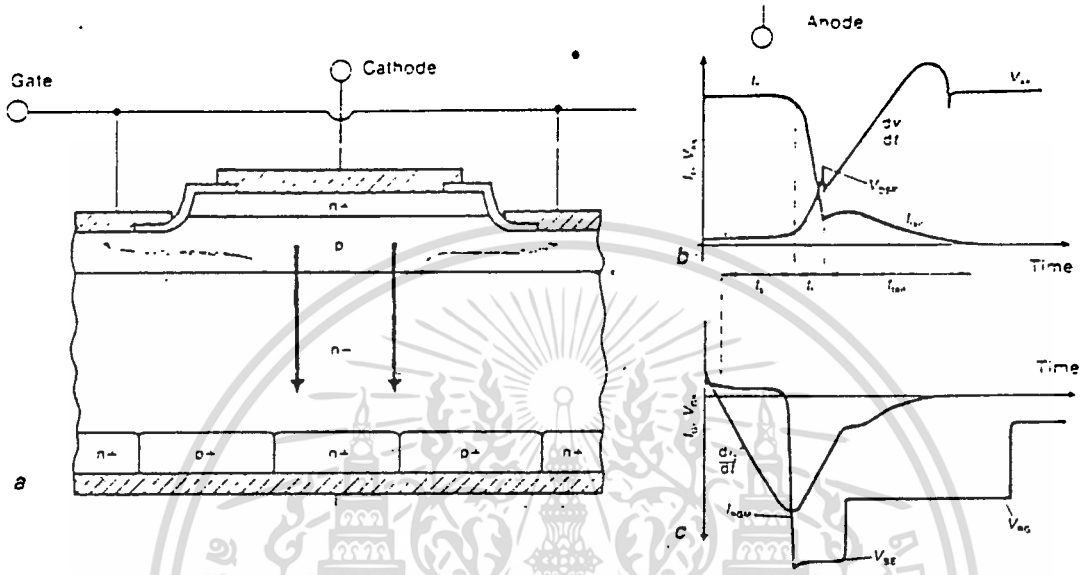
จีทีโอจะนำกระแสโดยการป้อน forward gate pulse current เหมือนกับเอสซีอาร์ แต่จีทีโอจะต้องการกระแสเกทสูงกว่า เนื่องจากเกทแอเรียมีค่าใหญ่กว่า แต่จะมีผลให้จีทีโอทนต่อค่า di/dt ได้สูงกว่าและมีค่า turn-on time สั้นกว่า เพราะกระแสจากเกทจะกระจายไปสู่ทุกๆ เซลของ cathode island ได้ในระยะทางที่สั้นกว่าและเร็วกว่า อัตราการเพิ่มของ amplitude ของ peak current เป็นสิ่งสำคัญในการทำให้จีทีโอนำกระแสได้อย่างรวดเร็วและกระจายกระแสเกทไปสู่ทุก cathode island ได้อย่างสมบูรณ์และรูปแบบ ขณะที่จีทีโออยู่ในสภาวะนำกระแสอย่างสมบูรณ์แล้ว เราสามารถหยุดป้อนกระแสเกทได้โดยจีทีโอยังคงสภาวะนำกระแสอยู่ได้อย่างเดิม กรณีที่กระแสอาโนดมีค่าต่ำลง จนทำให้ไธริสเตอร์เล็กๆ ที่ขนานกันอยู่ภายในบางตัวหยุดนำกระแสไป ก็จะไม่มีผลอย่างไรเกิดขึ้นถ้ากระแสอาโนดนั้นคงที่อยู่ที่ในระดับต่ำนั้น แต่ถ้าค่ากระแสอาโนดเพิ่มขึ้นจากระดับนั้น จะเป็นผลให้ความหนาแน่นของกระแสที่ผ่านไธริสเตอร์เล็กๆ ที่ยังคงนำกระแสอยู่มีค่าสูงขึ้น และไธริสเตอร์เล็กๆ เหล่านั้นเกิด overheat หรือพังไปเลย เพราะไธริสเตอร์เล็กๆ ที่หยุดนำกระแสไปแล้วไม่ได้ถูกทริกให้นำกระแสอีกครั้งหนึ่ง วิธีแก้ปัญหานี้ก็คือป้อน gate trigger current อีกครั้งหนึ่ง เพื่อให้แน่ใจได้ว่าไธริสเตอร์เล็กๆ ทุกตัวอยู่ในสภาวะนำกระแส



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 2.12 แสดงลักษณะรูปคลื่นของโวลต์เตจ และ กระแสในช่วงการนำกระแสของจีทีโอ

Turn-off



รูปที่ 2.13 แสดงรูปคลื่นของโวลต์เตจ และ กระแสในช่วงการหยุดนำกระแส ของจีทีโอ

การทำให้จีทีโอหยุดนำกระแสเราต้องป้อน reverse gate pulse current ที่ขาเกท ในช่วงต้นกระแสอาโนดจะคงที่อยู่ ในช่วง storage time กระแสจะเริ่มบีบเข้าสู่กลางของ cathode island จนกระแสอาโนด (I_A) มีค่าน้อยกว่า holding current (I_H) และหยุดนำกระแสไปในที่สุด นั้นคือจีทีโอเข้าสู่สภาวะหยุดนำกระแส กระแสอาโนดจะลดลงอย่างลดเร็วในช่วง fall time ค่า storage time จะขึ้นอยู่กับอัตราเพิ่มของ reverse gate current ยิ่งอัตราการเพิ่มของ reverse gate current สูงขึ้น ค่า storage time ก็จะยิ่งสั้นลง และระดับ amplitude ของ reverse gate ratio ซึ่งเท่ากับ กระแสอาโนด reverse gate current ข้อสำคัญอีกประการหนึ่งที่จะช่วยให้จีทีโอหยุดนำกระแสอย่างรวดเร็วคือ จะต้องมีทางที่จะให้กระแสอาโนดเปลี่ยนทิศไปทางอื่นนั้นก็หมายถึงsnubberนั่นเอง และช่วงเวลา (period) ของ reverse gate current จะต้องมีค่ามากกว่าค่า storage time ของ จีทีโอ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

และต้องไม่มากเกินไป จนทำให้จังค์ชั่นระหว่างคาโธดกับเกทถูกทำลาย หรือพูดอีกนัยหนึ่งได้ว่า พลังงานที่จ่ายเข้าไปในการหยุดนำกระแส จะต้องน้อยกว่าค่า power dissipate ทาง reverse ของจังค์ชั่นระหว่างคาโธดกับเกท (P_{gr}) นั่นเอง ในช่วงท้ายของ fall time ในกราฟจะเห็นว่ามี tail current และ over shoot voltage เนื่องจากวงจรสนับเบอร์ (snubber circuit) จะรีโซแนนซ์ (resonance) ก่อนที่จะเข้าสู่ forward blocking voltage ค่า dv/dt ที่เกิดจะถูกกำหนดโดยค่า c ในสนับเบอร์ (snubber capacitance) คุณสมบัติอีกประการหนึ่งของของจีทีโอก็คือ แต่ละเซลของไธริสเตอร์เล็กๆ จะถูกหยุดนำกระแสโดยพร้อมเพียงกัน โดยไม่มีเซลใดเซลหนึ่งยังคงสภาวะนำกระแสอยู่เลย เพราะจะทำให้เซลนั้นๆ รับกระแสอาโนดทั้งหมด ซึ่งจะทำให้จีทีโอเสียหายได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จีทีโอ (GTO) เปรียบเทียบกับ เอสซีอาร์ (SCR)

1. จีทีโอ ไม่ต้องใช้วงจร force commutate เป็นผลทำให้ราคาต่ำลง น้ำหนักลดลงและ ปริมาตรลดลง

2. ลดเสียงรบกวน และ สัญญาณรบกวนคลื่นแม่เหล็กไฟฟ้า ที่เกิดจาก ค่าความเหนี่ยงนำ (L) ในวงจรคอมมิวเตท (commutate)

3. เวลาที่ใช้ในการ เริ่มนำกระแส และ หยุดนำกระแสลั้น เป็นให้สามารถใช้ได้กับอุปกรณ์สวิชชิ่ง (switching) ที่ความถี่สูง

4. เพิ่มประสิทธิภาพของคอนเวอร์เตอร์ (converter)

จีทีโอ (GTO) เปรียบเทียบกับ ทรานซิสเตอร์ (transistor)

1. blocking voltage สูงกว่า

2. อัตราส่วนระหว่าง peak surge current กับ ค่ากระแสเฉลี่ย (average current) สูงกว่า

3. on-state gain = [กระแสอาโนด (anode current) / กระแสเกท (gate current)] สูงกว่า

4. สัญญาณจุดชนวน (trig) นำกระแสช่วงสั้นๆ

ภายใต้ surge condition ทรานซิสเตอร์ จะเข้าสู่ช่วงอิ่มตัว (saturation) แต่จีทีโอจะเข้าได้ยาก เนื่องจาก regenerative action

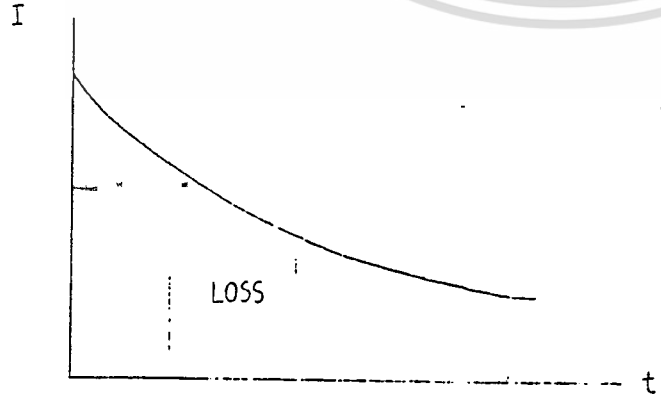
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

SNUBBER CIRCUIT

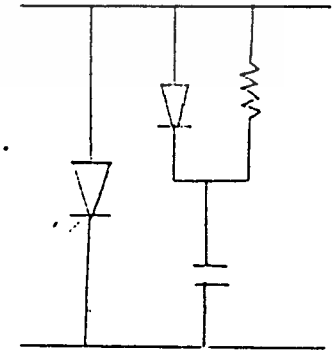
หลักการทำงานของวงจรสนับเบอร์ คือ เมื่อจีทีโอหยุดนำกระแส กระแสอาโนดก็จะเปลี่ยนทิศทางเข้าชาร์จตัวเก็บประจุ (C) โดยผ่านทางไดโอด ตัวเก็บประจุก็จุสร้าง forward blocking voltage คร่อมจีทีโอในช่วงเวลาของการหยุดนำกระแสค่าของประจุที่เข้าชาร์ทอยู่ในตัวเก็บประจุขึ้นอยู่กับ ค่าของกระแสที่ไหลเข้าและขนาดของตัวเก็บประจุเอง และเมื่อเริ่มนำกระแส ตัวเก็บประจุก็จะดิสชาร์จ (discharge) ผ่านทางตัวความต้านทาน (R) สิ่งสำคัญอย่างยิ่งคือ ประจุที่ดิสชาร์จออกจากตัวเก็บประจุจะต้องหมดก่อนช่วงที่จีทีโอจะถูกทำให้หยุดนำกระแสอีกครั้ง เพื่อหลีกเลี่ยงปัญหาที่จะเกิดขึ้นในช่วงการหยุดนำกระแสครั้งต่อไป ตัวความต้านทานที่อยู่ในสนับเบอร์จะเป็นตัวจำกัดค่า di/dt ของวงจรสนับเบอร์นี้ ตัวเก็บประจุที่ใช้ในวงจรสนับเบอร์จะต้องมีค่าความต้านทาน (resistance) และ ค่าการเหนี่ยวนำ (inductance) ต่ำ เพื่อให้กระแสเปลี่ยนทิศเข้าชาร์จตัวเก็บประจุได้อย่างรวดเร็ว ค่าตัวเก็บประจุจะถูกกำหนดโดยค่า dv/dt ในช่วงหยุดนำกระแส (C snubber) ของจีทีโอ จะใหญ่กว่าของเอสซีอาร์) ไดโอดที่ใช้จะต้องเป็นพวก fast recovery diode ค่าของตัวต้านทานจะถูกจำกัดโดยค่าของตัวเก็บประจุและระยะเวลาที่จีทีโออยู่ในสภาวะนำกระแส

วงจรสนับเบอร์จะเป็นตัวที่จะช่วยลด dv/dt และความสูญเสียในขณะหยุดนำกระแสของจีทีโอ (turn-off loss) แต่จะเกิดความสูญเสีย (loss) ขึ้นในตัววงจรสนับเบอร์ ในช่วงเวลานำกระแสที่ R โดยค่าความสูญเสียของสนับเบอร์นี้ ขึ้นกับค่า di/dt ของกระแสดิสชาร์จของตัวเก็บประจุ

คุณสมบัติที่สำคัญของวงจร snubber คือ จะต้องมี leakage inductance ต่ำที่สุด



รูป 2.14 กราฟแสดงการสูญเสีย



รูป 2.15 วงจรสนับเบอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 3

การแปลงไฟกระแสตรงเป็นไฟกระแสสลับ

การแปลงไฟกระแสตรงเป็นไฟกระแสสลับ นิยมเรียกว่าอินเวอร์เตอร์ (Inverter) ซึ่งสามารถเปลี่ยนแปลง หรือควบคุมระดับแรงดันไฟฟ้า และความถี่ของไฟฟ้ากระแสสลับได้ อินเวอร์เตอร์ได้นำไปใช้ประโยชน์ต่างๆ ได้ เช่น

1. แหล่งจ่ายไฟกระแสสลับสำรอง เมื่อแหล่งจ่ายไฟกระแสสลับหลักเกิดขัดข้องขึ้น ที่เรียกกันว่า stand-by power supplies หรือ Uninterruptible power supplies โดยเรียกย่อๆ ว่า UPS ใช้เป็นระบบไฟฟ้าสำรองสำหรับเครื่องมือที่สำคัญดัง เช่น คอมพิวเตอร์ เมื่อแหล่งจ่ายไฟกระแสสลับหลักเกิดขัดข้อง transfer switch ซึ่งทำงานเป็นเวลาเพียง 1/1000 วินาที จะต่อระบบอินเวอร์จ่ายไฟกระแสสลับให้กับเครื่องมือที่สำคัญแทน โดยแปลงไฟจากแบตเตอร์รี่ซึ่งประจุไว้และที่มีแหล่งจ่ายไฟกระแสสลับหลัก

2. ใช้ควบคุมความเร็วของมอเตอร์กระแสสลับโดยการเปลี่ยนความถี่ เมื่อความถี่ของไฟฟ้ากระแสสลับเปลี่ยนแปลง ความเร็วของมอเตอร์จะเปลี่ยนตามสูตร $N = 120f/p$ โดยที่ N = ความเร็วรอบต่อนาที, f = ความถี่ของแหล่งจ่ายไฟเป็นไซเคิลต่อนาที และ p = จำนวน pole ของมอเตอร์ ในการควบคุมนี้จะต้องรักษาให้อัตราส่วนของแรงดันต่อความถี่ที่จ่ายเข้ามามอเตอร์จะต้องคงที่ เมื่อต้องการใช้แรงบิด (torque) คงที่ทุกๆ ความเร็วที่เปลี่ยนแปลงไป

3. ใช้แปลงไฟฟ้าจากระบบส่งกำลังไฟฟ้าแรงสูงชนิดไฟฟ้ากระแสตรง ให้เป็นไฟฟ้ากระแสสลับ เพื่อจ่ายให้กับผู้ใช้

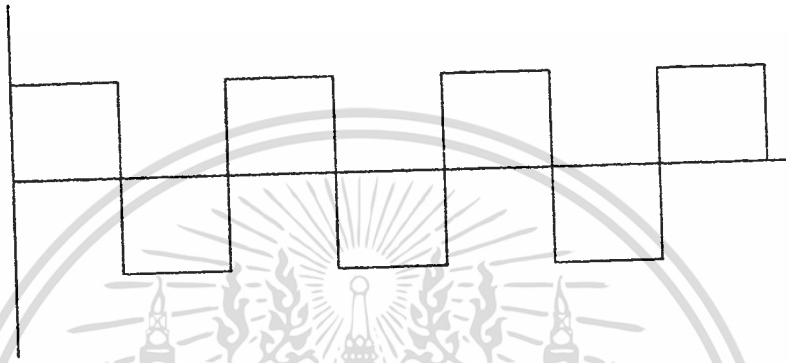
4. ใช้ในเตาถลุงเหล็กที่ใช้ความถี่สูง ซึ่งใช้หลักการเหนี่ยวนำด้วยสนามแม่เหล็กทำให้ร้อน (Induction Heating)

วงจรอินเวอร์เตอร์สามารถใช้สารกึ่งตัวนำที่ทนแรงดันและกระแสไฟฟ้าสูง ๆ ได้ เช่น เพาเวอร์ทรานซิสเตอร์ จีทีโอ เอสซีอาร์ ซึ่งในอนาคตเมื่อเพาเวอร์ทรานซิสเตอร์ และ จีทีโอ สามารถผลิตให้แรงดันและกระแสสูงๆ ได้เท่ากับเอสซีอาร์ เพาเวอร์ทรานซิสเตอร์ และ จีทีโอ จะเข้ามาแทนเอสซีอาร์ เพราะทรานซิสเตอร์ และจีทีโอ ไม่ต้องมีวงจรที่ทำให้มีการหยุดนำกระแสเรียกว่า วงจรคอมมูเตชั่น (commutation circuit) แต่เพาเวอร์ทรานซิสเตอร์จะต้องใช้กระแสควบคุมสูงมากกว่าเอสซีอาร์ ในปัจจุบันเอสซีอาร์ยังมีขีดความสามารถสูงกว่าทรานซิสเตอร์ ฉนั้นในระบบอินเวอร์เตอร์ขนาดกิโลวัตต์สูงระดับ 50 กิโลวัตต์ ส่วนใหญ่ยังใช้เอสซีอาร์อยู่แทนเอสซีอาร์ ส่วนจีทีโอเป็นอุปกรณ์ใหม่อยู่

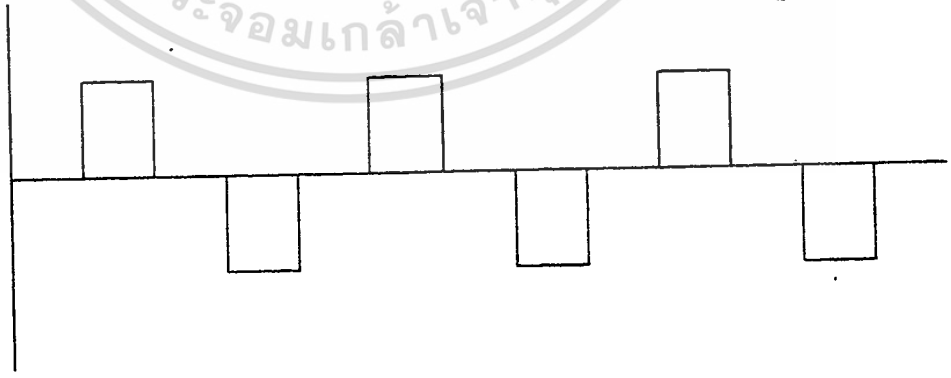
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น ไม่อนุญาตให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของลิขสิทธิ์ทุกครั้งที่มีการนำไปใช้

อินเวอร์เตอร์มีอยู่หลายแบบตวัยกัน โดยแต่ละแบบ จะมีข้อดี ข้อเสีย ต่างกัน ขึ้นอยู่กับว่าจะใช้โหลดชนิดใด ตอ้งการสัญญาณเอาท์พุทแบบไหน เราสามารถแบ่งอินเวอร์เตอร์ตามลักษณะสัญญาณ เอาท์พุทได้ดังนี้

1. อินเวอร์เตอร์แบบคลื่นสี่เหลี่ยม (Sqour-Wave Inverter) เป็นแบบอินเวอร์เตอร์ที่ให้สัญญาณ เอาท์พุทเป็นคลื่นสี่เหลี่ยม เป็นชนิดที่สร้างได้ไม่ยาก แต่จะให้เอาท์พุทเป็นรูปคลื่น ซายน์ (sine) จะตอ้งใช้อุปกรณ์กรองความถี่ ขนาดใหญ่มากจึงไม่นิยมใช้

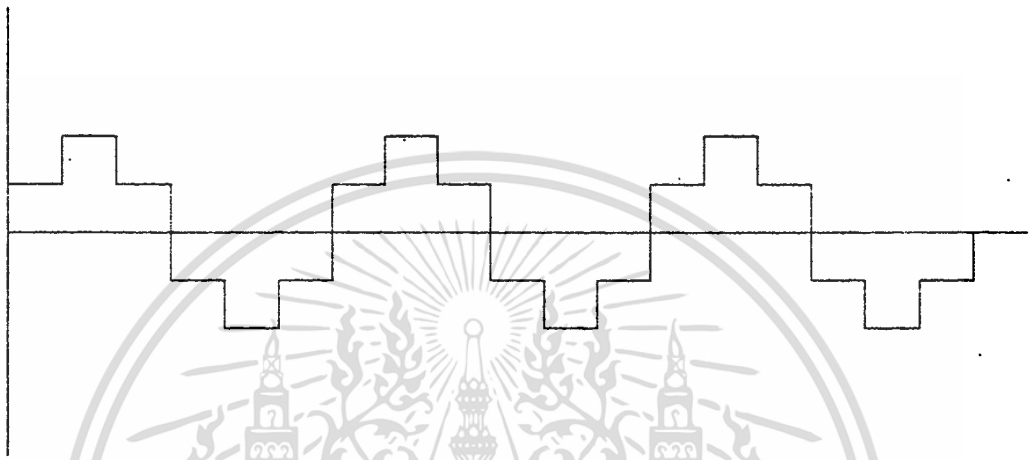


2. อินเวอร์เตอร์แบบคลื่นสี่เหลี่ยมควอซี่ (Quosi - Square - wave Inverter) แบบนี้ ได้รับการปรับปรุงจากแบบแรก ซึ่งจะกรองเอาสัญญาณ ซายน์ ออกมาได้ง่ายขึ้น วิธีนี้ยังนิยมใช้อยู่

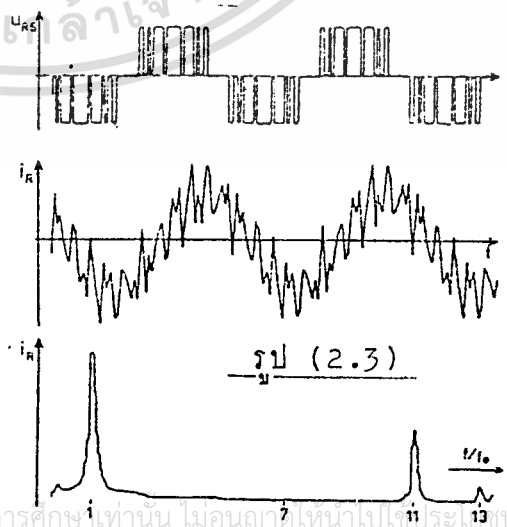


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3. อินเวอร์เตอร์แบบ 6 ชั้น และ 12 ชั้น (Six-step,Twelve-step) ทั้ง 2 ชนิดนี้ใช้สัญญาณ ควอซี่ มารวมกันโดยผ่านหม้อแปลงไฟฟ้า เพื่อให้ ลักษณะสัญญาณเอาท์พุท ใกล้เคียงกับคลื่นรูปซายน์ จึงสามารถลดขนาดของอุปกรณ์กรองความถี่ลงได้ เพราะอาโมนิค(Harmonic)ลดลง แต่การสร้างอินเวอร์เตอร์แบบนี้จะยุ่งยาก และสิ้นเปลืองค่าใช้จ่าย เพราะต้องใช้ชนิดควอซี่หลายๆ ตัวมาต่อเข้าด้วยกัน และยังต้องใช้หม้อแปลงเพิ่มขึ้นด้วย ทำให้มีขนาดใหญ่ และน้ำหนักมาก



4. อินเวอร์เตอร์แบบพัลส์วิดท์มอดดูเลชั่น (Pulse-Width-Modulation Inverter) เป็นแบบที่ให้สัญญาณเอาท์พุทไม่เหมือนแบบอื่น โดยลักษณะของสัญญาณเอาท์พุทเกิดจากการ มอดดูเลต ระหว่างคลื่นซายน์ กับ สัญญาณสามเหลี่ยม ซึ่งผลที่ได้จะมีอาโมนิคขนาดต่ำ น้อยมาก อุปกรณ์กรองความถี่ที่ใช้จึงมีขนาดเล็ก แต่แบบนี้จะมีความยุ่งยากในการสร้างรูปแบบ (Pattern)



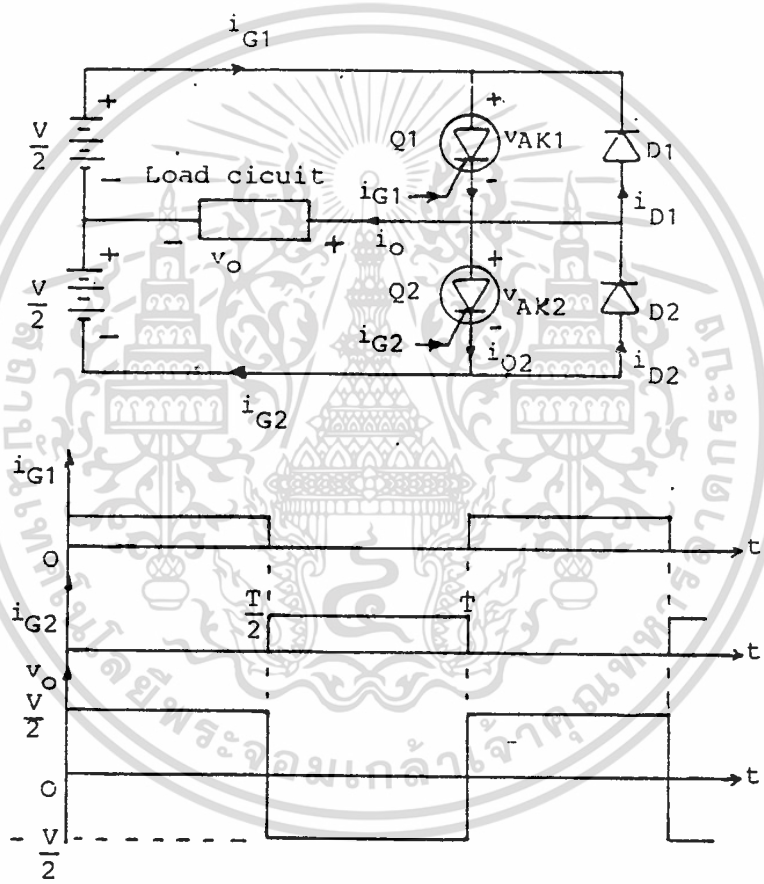
รูป (2.3)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ชนิดของอินเวอร์เตอร์

ซึ่งในที่นี้จะพิจารณาในรูปแบบของวงจรอย่างง่าย (ในที่นี้จะอธิบายโดยใช้เอสซีอาร์) ดังได้แก่

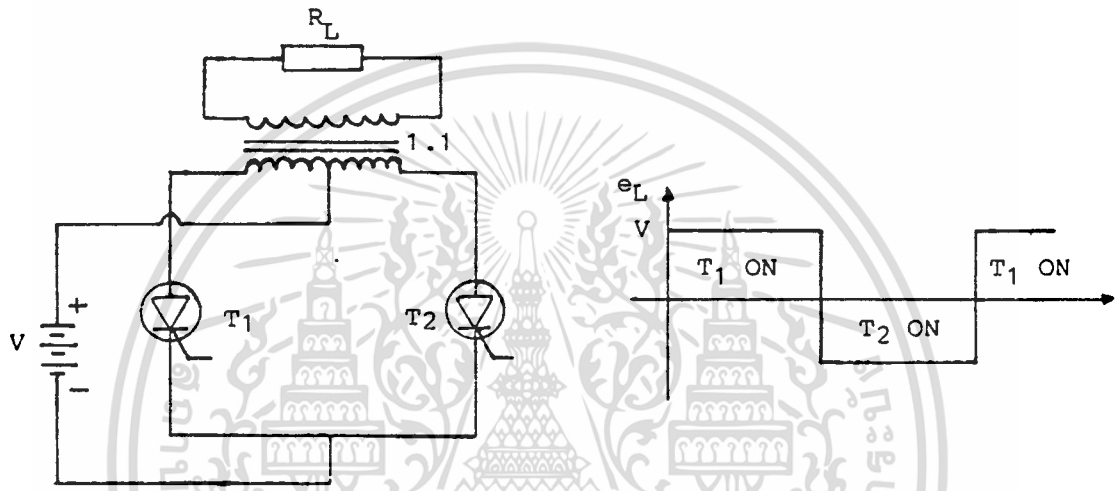
1. อินเวอร์เตอร์ชนิด 1 เฟส ที่ใช้แหล่งจ่ายไฟกระแสตรงที่มีจุดกึ่งกลาง (single-phase centre-tapped supply inverter) ดังแสดงในรูปข้างล่างนี้



รูปที่ 1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

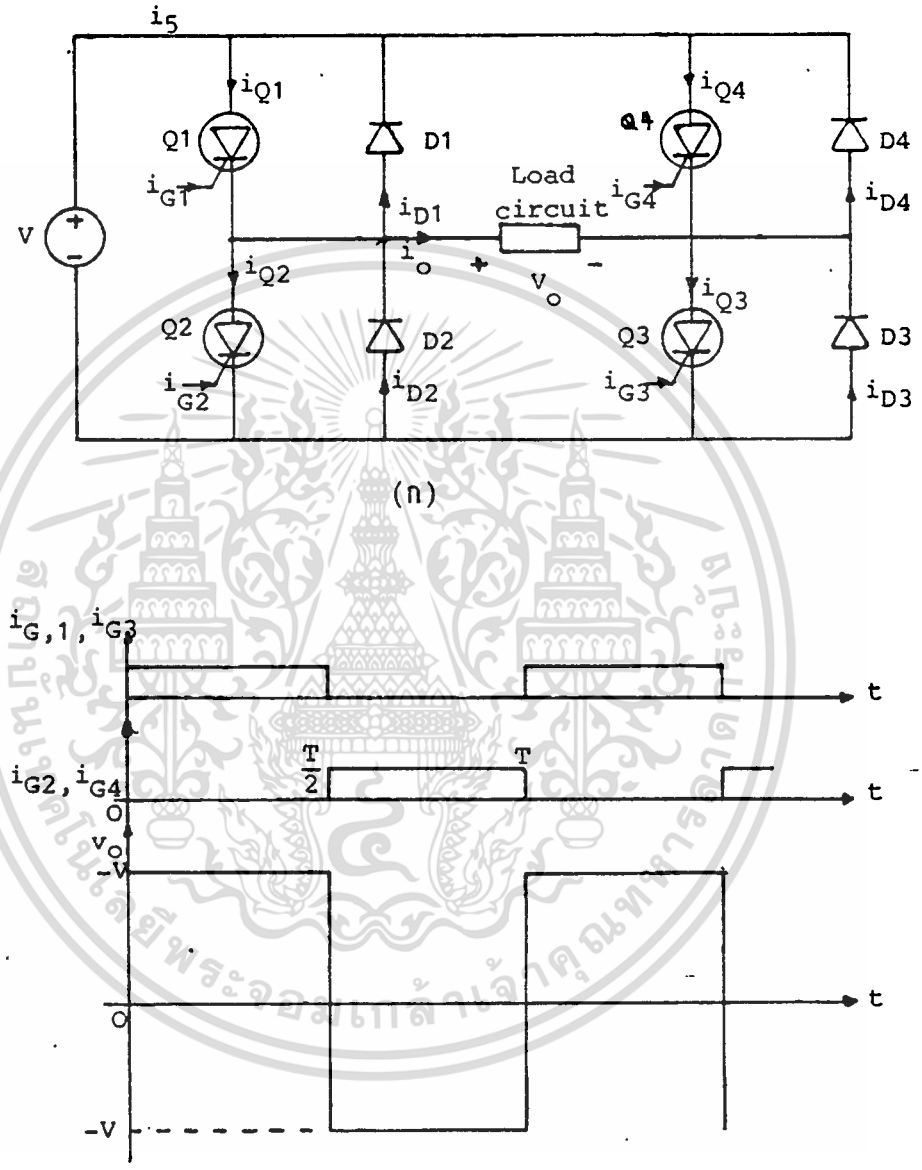
2. อินเวอร์เตอร์ 1 เฟส โดยที่โหลดมีจุดกึ่งกลาง (single-phase centre-tapped load inverter) เอสซีอาร์แต่ละตัวจะผลัดกันนำกระแส และหยุดนำกระแสตัวละครึ่งไซเคิล ดังแสดงในวงจรข้างล่าง



รูปที่ 2

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3. อินเวอร์เตอร์ชนิด 1 เฟส แบบบริดจ์ (single-phase bridge inverter) ดังแสดงวงจงในรูปข้างล่าง

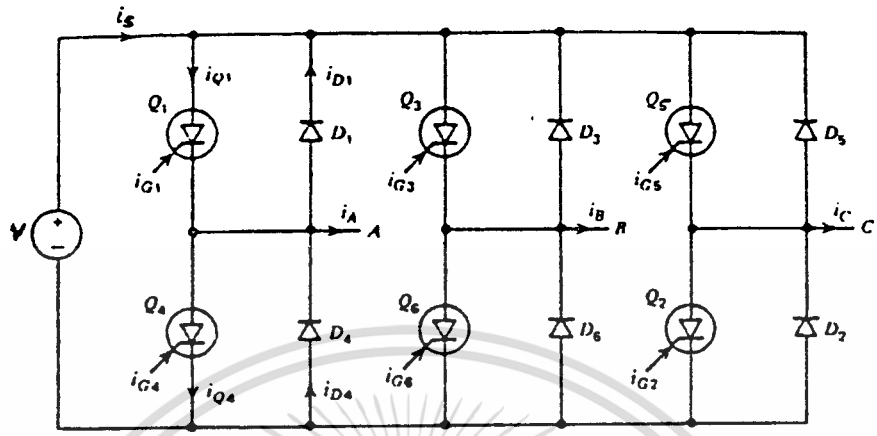


รูป 7.3 Single-phase bridge inverter

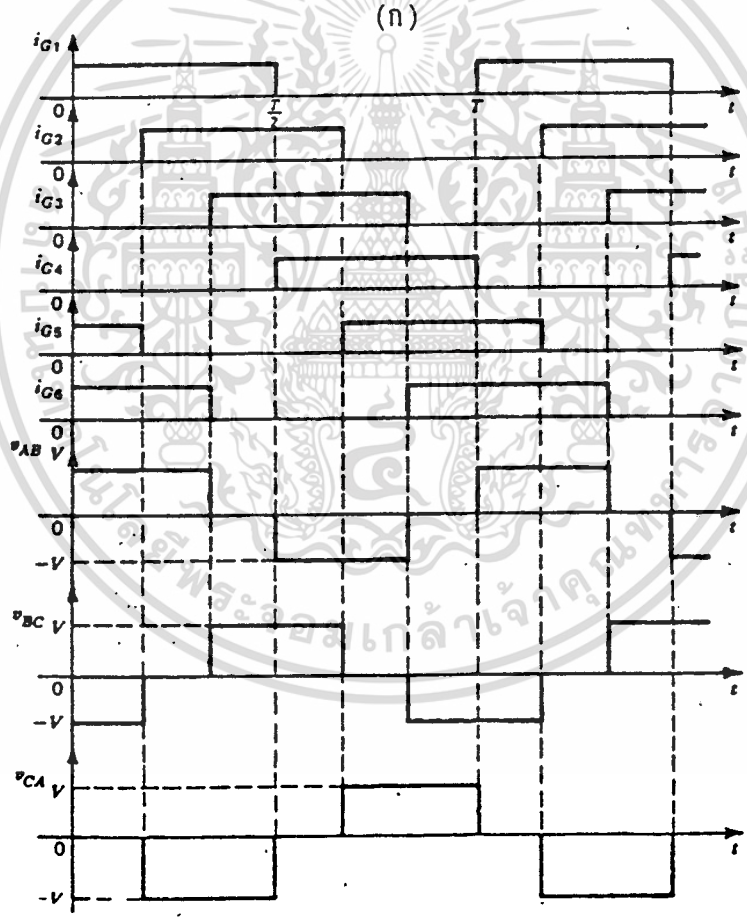
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 3

4. อินเวอร์เตอร์ชนิด 3 เฟส แบบบริดส์ (tree-phese bridge inverter) ดังแสดงในรูปข้างล่าง



(ก)

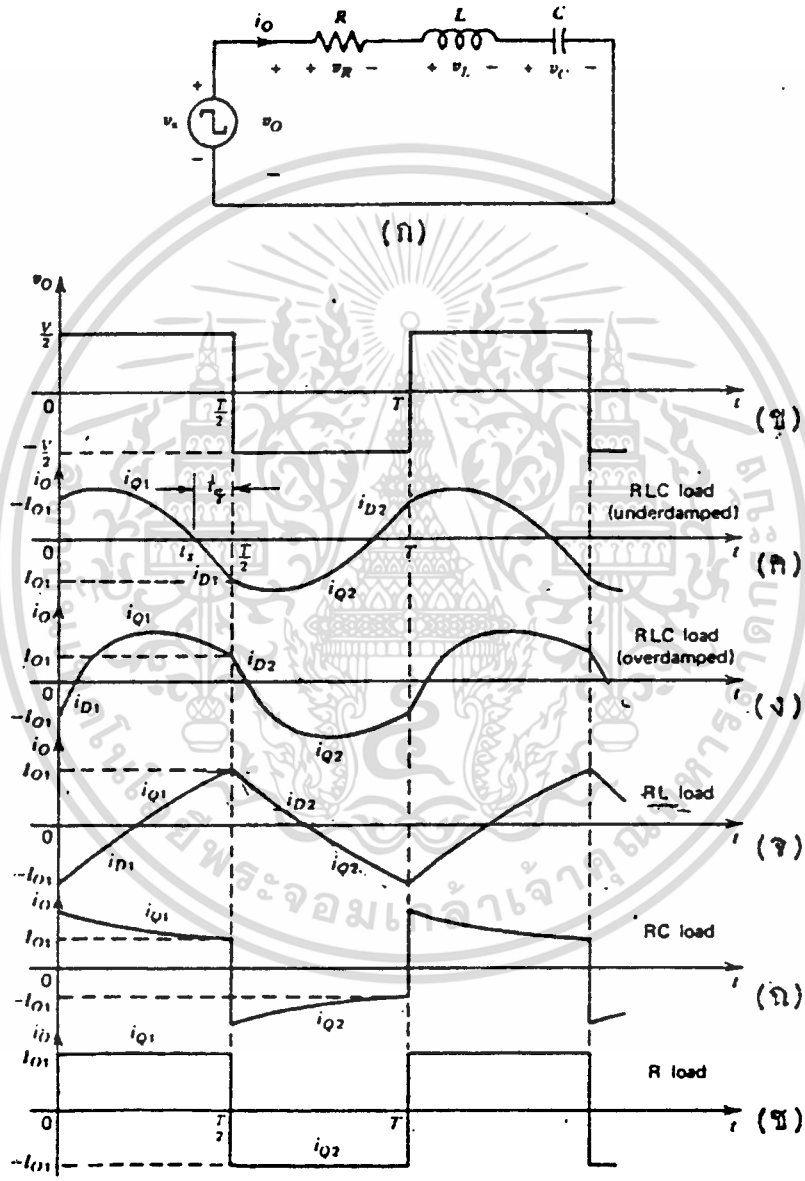


(ข)

รูปที่ 4

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เมื่อโหลดของอินเวอร์เตอร์เปลี่ยนแปลงไป กระแสที่ไหลในเอสซีอาร์และไดโอดแต่ละตัวจะเปลี่ยนแปลงไปด้วย โดยพิจารณาจากวงจรรูปที่ 2 นำมาเขียน equivalent circuit ได้ ดังแสดงในรูปที่ 5



รูปที่ 5

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในรูป 5(ค) เป็นกรณีที่โหลดเป็น RLC ที่ต่ออยู่ในลักษณะ underdamped คือ เมื่อทริกให้เอสซีอาร์ Q_1 ให้นำกระแส กระแสที่ไหลผ่านโหลดจะเพิ่มขึ้นและตกเป็นศูนย์ จะทำให้เอสซีอาร์ Q_1 หยุดนำกระแส (load commutation) แล้วจึงค่อยทริกให้เอสซีอาร์ Q_2 นำกระแส ก็จะได้สัญญาณของแรงดันเอาท์พุทตามรูป 5(ข)

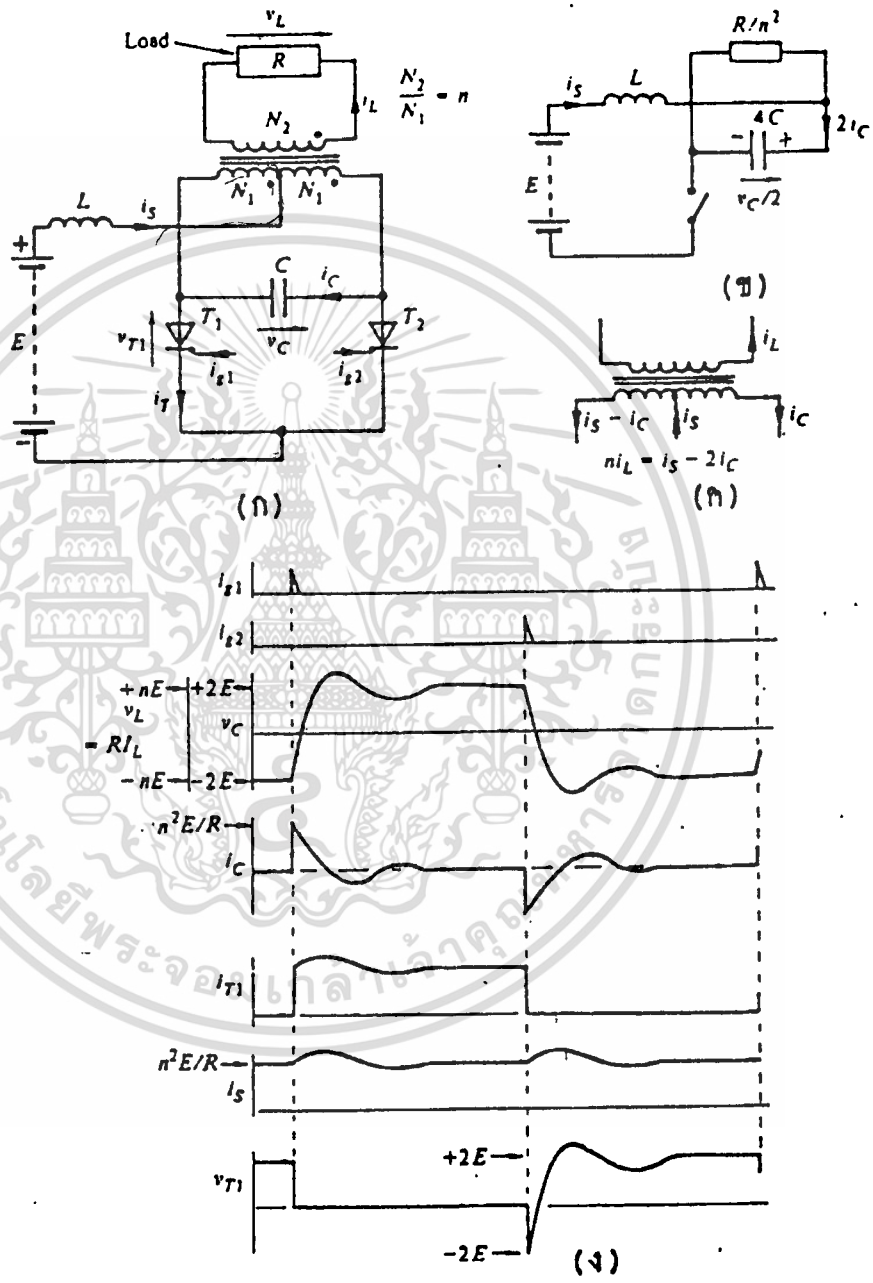
ในรูป 5(ง) โหลดเป็น RLC ซึ่งอยู่ในลักษณะ overdamp ในรูป 5(จ) โหลดเป็นอินดัคติฟโหลด (RL Load) ในรูป 5(ฉ) โหลดเป็นคาปาซิทีทีฟโหลด (RC Load) และรูป 5(ช) โหลดเป็นความต้านทาน เป็นวงจรที่เมื่อทริกให้เอสซีอาร์นำกระแสแล้ว กระแสไหลผ่านโหลด หรือไหลผ่านเอสซีอาร์ไม่ตกลงสู่ศูนย์ จึงจำเป็นต้องมีวงจรคอมมูเตชั่นมาบังคับให้เอสซีอาร์หยุดนำกระแส เรียกกันว่า Force commutatation จึงสามารถทริกให้เอสซีอาร์อีกตัวนำกระแส
(*สำหรับ จีทีโอ ไม่ต้องมีวงจรคอมมูเตชั่น แต่ต้องมีวงจรทริกให้จีทีโอหยุดนำกระแสแทน*)

<u>วงจรอินเวอร์เตอร์แบบขนาน (Parallel Inverter)</u>

การแปลงไฟฟ้ากระแสตรงเป็นไฟฟ้ากระแสสลับ โดยใช้หม้อแปลงที่มีจุดกึ่งกลาง ดังแสดงในรูป6เรียกว่าวงจรอินเวอร์เตอร์แบบขนาน(Parelell Inverter) เอสซีอาร์ทั้งสองจะผลัดกันนำกระแส เพื่อจะต่อแหล่งจ่ายไฟกระแสตรง เข้ากับขดปฐมภูมิทั้งสองของหม้อแปลง ซึ่งจะทำให้เกิดแรงดันรูปสี่เหลี่ยมตกคร่อมโหลดที่ต่ออยู่ทางด้านขดทุติยภูมิ

การทำงานของวงจรคือ เมื่อเอสซีอาร์ T_1 ถูกทริกให้นำกระแส แรงดันไฟฟ้ากระแสตรง E จะตกคร่อมครึ่งหนึ่งของขดปฐมภูมิ ซึ่งทำให้ขดปฐมภูมิทั้งหมดมีแรงดันตกคร่อม 2E คาปาซิเตอร์จะถูกประจุ จนมีแรงดัน 2E เมื่อทำการทริกให้เอสซีอาร์ T_2 นำกระแสเอสซีอาร์ T_1 จะได้รับรีเวอร์ดไบแอส 2E และกระแสที่ไหลผ่านเอสซีอาร์ T_1 ก็จะตกเป็นศูนย์ซึ่งนานกว่า turn-off-time ของเอสซีอาร์ T_1 เอสซีอาร์ T_1 ก็จะหยุดนำกระแสซึ่งคาปาซิเตอร์จะต่อขนานกับโหลด หรือหม้อแปลง และอินดัคเตอร์ L ที่ต่ออนุกรมกับแหล่งจ่ายไฟ จะป้องกันไม่ให้คาปาซิสเตอร์ C คายประจุสู่แหล่งจ่ายไฟกระแสตรง เมื่อเอสซีอาร์เริ่มนำกระแส ในระหว่างคอมมูเตชั่น อัตราการเปลี่ยนแปลงของกระแสจะสูง จึงนิยมใช้อินดัคเตอร์ต่ออนุกรม กับคาปาซิสเตอร์เพื่อลด di/dt ที่ไหลผ่านเอสซีอาร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 7 single -phase centre-tapped load inverter

สำหรับโหลดที่ไม่เป็นความต้านทานอย่างเดียว กระแสที่ไหลผ่านโหลดจะ out of phase กับแรงดัน ซึ่งต้องต่อไดโอดอีก 2 ตัว ดังแสดงในรูปที่ 7(ก) เพื่อจะจ่ายพลังงานที่สะสมในโหลดกับคืน ระหว่างช่วงเวลาที่กระแสไหลกลับเป็นบวก เมื่อเทียบกับแรงดันเอาท์พุทที่เปลี่ยนแปลงเป็นลบ

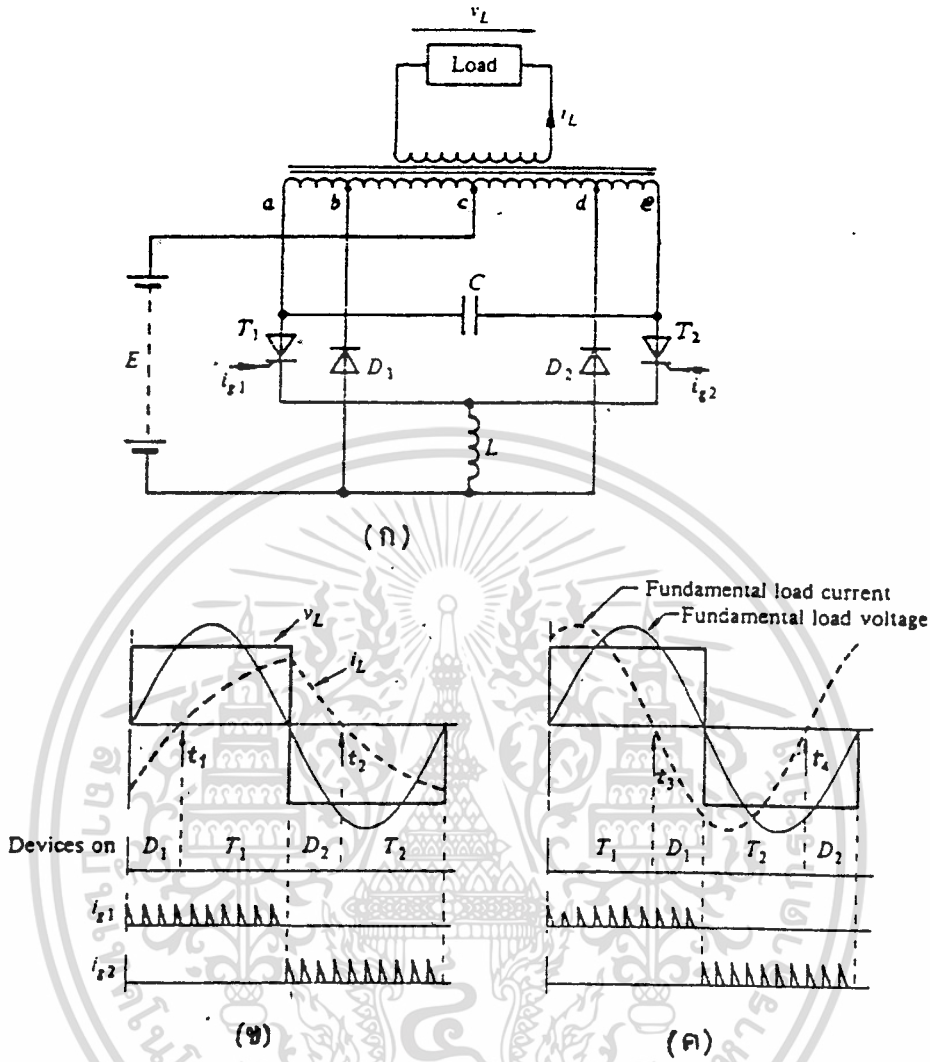
เมื่อโหลดเป็นอินดัคติฟโหลด กระแสโหลดจะเพิ่มขึ้นและลดลงดังแสดงในรูปที่ 7(ข) เมื่อเอสซีอาร์ T_1 นำกระแสกระแสจะไหลจาก c ไป a โดยที่แรงดันที่ C เป็นบวกเมื่อเทียบกับ a พลังงานจะถูกจ่ายให้โหลด และเมื่อเอสซีอาร์ T_2 ถูกทริกให้นำกระแส แรงดันที่โหลดเปลี่ยนกลับ เอสซีอาร์ T_1 จะหยุดนำกระแส แต่กระแสโหลดไม่สามารถไหลกลับทันทีทันใดดังนั้น ทิศทางการไหลของกระแสในขดปฐมภูมิจะไม่เปลี่ยนแปลง ขณะที่เอสซีอาร T_2 หยุดนำกระแส กระแสจะไหลจาก d ไป c โดยผ่านไดโอด D_2 และแหล่งจ่ายไฟกระแสตรง ขณะที่ไดโอด D_2 นำกระแส เอสซีอาร์ T_2 จะหยุดนำกระแส แรงดันที่จุด d เป็นลบเมื่อเทียบกับ c ซึ่งหมายความว่า พลังงานจะถูกจ่ายกลับจากโหลดสู่แหล่งจ่ายไฟกระแสตรง

ในรูปที่ 7(ข) ที่เวลา t_2 กระแสไหลจะตกสู่ศูนย์ ไดโอด D_2 จะหยุดนำกระแส และเอสซีอาร์ T_2 จะนำกระแสแทน กระแสโหลดจะไหลกลับเป็นลบ และพลังงานจะจ่ายเข้าสู่โหลดเพื่อให้แน่ใจว่าเอสซีอาร์ T_2 จะนำกระแสที่เวลา t_2 สัญญาณทริกที่จ่ายเข้าเกทของเอสซีอาร์ จะต้องเป็นพัลส์ต่อเนื่อง การทำงานจะเหมือนกับครึ่งไซเคิลแรก เมื่อเริ่มทริกเอสซีอาร์ T_1 เพื่อให้เอสซีอาร์ T_2 หยุดนำกระแส กระแสจะเปลี่ยนไปไหลผ่านไดโอด D_1 และเอสซีอาร์ 1 จึงกระแส

Feedback diode D_1 และ D_2 สามารถต่อที่ขั้วปลายของขดปฐมภูมิ แต่จะเกิดการสูญเสียของพลังงาน ขณะคอมมูเตชั่นในอินดัคเตอร์ L ในการต่อไดโอดนี้ห่างจากขั้วปลายของขดปฐมภูมิ พลังงานที่สะสมใน L จะได้กลับคืนสู่แหล่งจ่ายไฟหลังจากคอมมูเตชั่นแล้ว ดังนั้น จะลดการสูญเสียในการคอมมูเตชั่นลง

เมื่อโหลดมีสภาวะเพาเวอร์แฟคเตอร์ leading สัญญาณต่างแสดงในรูปที่ 7(ค) กระแสจะเปลี่ยนสู่ไดโอดที่ t_3 และ t_4 ก่อนเอสซีอาร์จะถูกทริกให้จ่ายแรงดันกลับทิศทางแก่โหลด ในทางปฏิบัติสัญญาณจะไม่เป็น sinewave ที่แสดงในรูปที่ 7(ค) เป็นการแสดงพื้นฐานการทำงานที่เพาเวอร์แฟคเตอร์ leading

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 8 centre-tapped inverter with feedback diode

(ข) โหลดเป็นอินดักทีฟโหลด (ค) โหลดเป็นคาปาซิทีฟโหลด

ข้อดีของอินเวอร์เตอร์แบบขนาน (parallel inverter)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

1. เป็นวงจรที่ใช้คอมมูเตชั่นอย่างง่าย

2. สามารถทำให้เอาท์พุทเป็น sinusoidal โดยใช้วงจรฟิลเตอร์ช่วย

ข้อเสียของอินเวอร์เตอร์แบบนี้ คือ

1. ค่าของ L และ C จะใหญ่มาก และไม่เหมาะสำหรับในงานที่ใช้พลังงานสูงๆ

2. วงจรนี้เหมาะสมเมื่อโหลดคงที่ เมื่อเปลี่ยนแปลงโหลดสัญญาณเอาท์พุทจะเปลี่ยน และแรงดันเปลี่ยนแปลงจึงไม่สะดวกต่อการออกแบบ

Single-phase bridge inverter

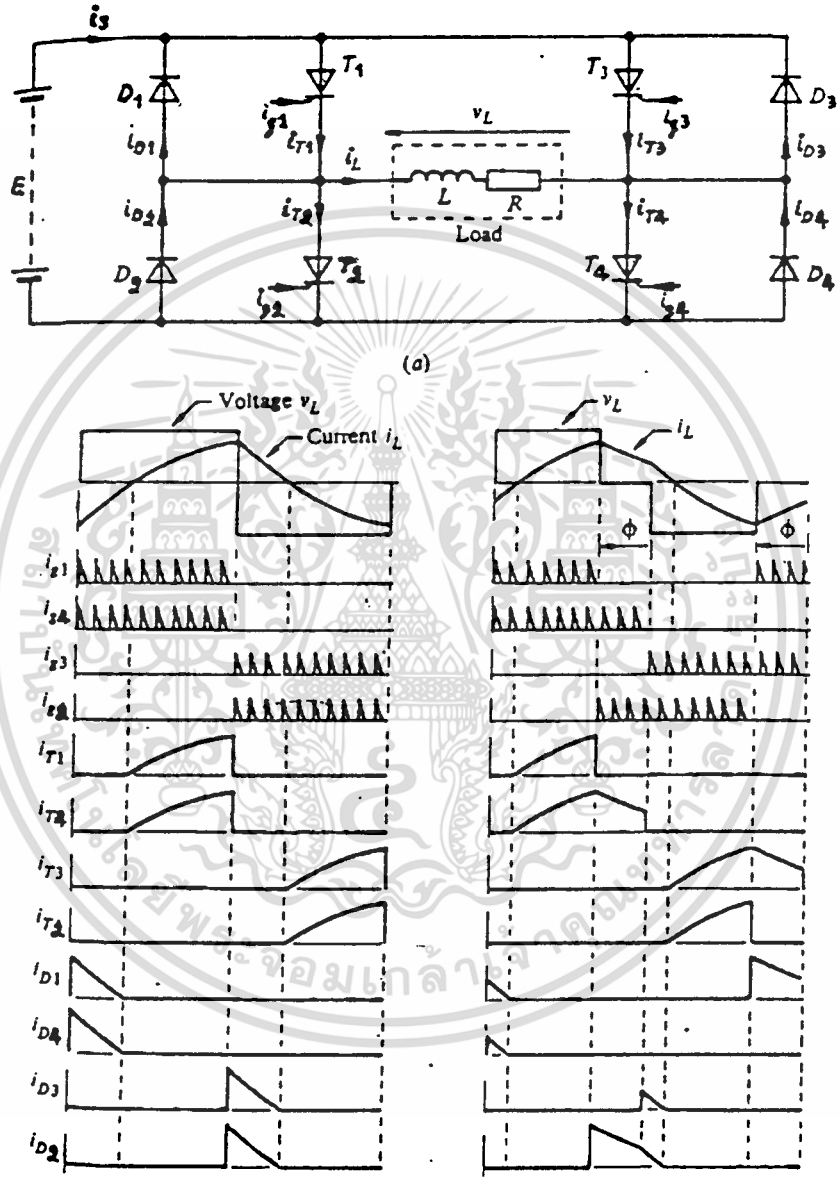
สำหรับอินเวอร์เตอร์แบบ 1 เฟส ที่ต่อเอสซีอาร์แบบบริดจ์ (bridge) เขียนเป็นวงจรที่ไม่มีอุปกรณ์การคอมมูเตชั่นให้เอสซีอาร์หยุดนำกระแส ตามรูปที่ 8 ในช่วงที่จะทำให้เอสซีอาร์ T_1 หยุดนำกระแส และเริ่มทริกให้เอสซีอาร์ T_2 นำกระแส ในกรณีที่โหลดเป็นอินดัคตีฟโหลด กระแสที่ไหลในโหลดจะไม่ไหลกลับอย่างทันทีเมื่อช่วงเวลาการคอมมูเชั่นหมดไป เอสซีอาร์ T_2 จะหยุดนำกระแสด้วย กระแสที่ไหลในโหลดจะไหลไปทางไดโอด D_2 โดยทั่วไปช่วงเวลาการคอมมูเตชั่นจะสั้นมาก เมื่อเทียบกับความถี่ที่อินเวอร์เตอร์จ่ายให้แก่โหลด สัญญาณต่างๆ ซึ่งแสดงการทำงานของวงจรนี้ที่โหลดเป็นอินดัคตีฟโหลดในรูปที่ 8 (ข) และ (ค)

ถ้าโหลดของวงจรในรูปที่ 8 (ก) เป็นความต้านทานอย่างเดียว แรงดัน และกระแสที่โหลดจะมีสัญญาณเหมือนกัน สำหรับอินดัคตีฟโหลดรูปคลื่นของกระแสจะล้าหลังสัญญาณของแรงดัน ดังแสดงในวงจรรูปที่ 8 (ข) และ (ค)

ในรูปที่ 8(ข) รูปคลื่นของแรงดันคร่อมโหลดเป็นรูปสี่เหลี่ยม เอสซีอาร์ถูกทริกเกอร์เป็นพลัส์ ความถี่สูงที่ต่อเนื่อง 180 องศา ของรูปคลื่นของแรงดันคร่อมโหลดพิจารณาที่จุดสุดท้ายของครึ่งไซเคิลบวก กระแสที่ไหลในโหลดจะยังไหลอยู่ในรูป จะเห็นว่ากระแสยังเป็นบวกอยู่ เมื่อเอสซีอาร์ T_2 และ T_3 ถูกทริกให้นำกระแส เพื่อจะทำให้เอสซีอาร์ T_1 และ T_4 หยุดนำกระแส แรงดันคร่อมโหลดกลับทิศทาง แต่ทว่ากระแสที่ไหลในโหลดไม่เปลี่ยนทิศทาง ดังนั้น กระแสที่ไหลในโหลดจึงไหลผ่านไดโอด D_3 และ D_4 แทน ซึ่งจะเห็นว่าเป็นการต่อแหล่งจ่ายไฟกระแสตรงเข้ากับโหลด จะทำให้พลังงานที่สะสมในอินดัคตีฟโหลดไหลกลับเข้าสู่แหล่งจ่ายไฟกระแสตรง จนกระทั่งกระแสที่ไหลผ่านไดโอดตกลงเป็นศูนย์ ในช่วงเวลาที่ไดโอด D_3 และ D_4 นำกระแสเอสซีอาร์ทุกตัวจะหยุดนำกระแส เมื่อมีสัญญาณทริกเกอร์ตลอด 180 องศา ของรูปคลื่นเอาท์พุท จึงทำให้เอสซีอาร์ T_2 และ T_3 สามารถนำกระแสจ่ายพลังงานจากแหล่งจ่ายไฟเข้าสู่โหลด กระแสที่ไหลในโหลดจะไหลเพิ่มขึ้นด้วย exponential จะเห็นว่าเอสซีอาร์ต้องการสัญ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ญาณทริกขณะที่กระแสที่ไหลผ่านโหลดตกเป็นศูนย์ ในทางปฏิบัติจึงจำเป็นจะต้องใช้สัญญาณทริกที่เป็นความถี่สูงในช่วงกว้างถึงตลอดครึ่งไซเคิล



รูปที่ 8 การทำงานของอินเวอร์เตอร์แบบบริดจ์เมื่อโหลดเป็นอินดัคตีฟโหลด

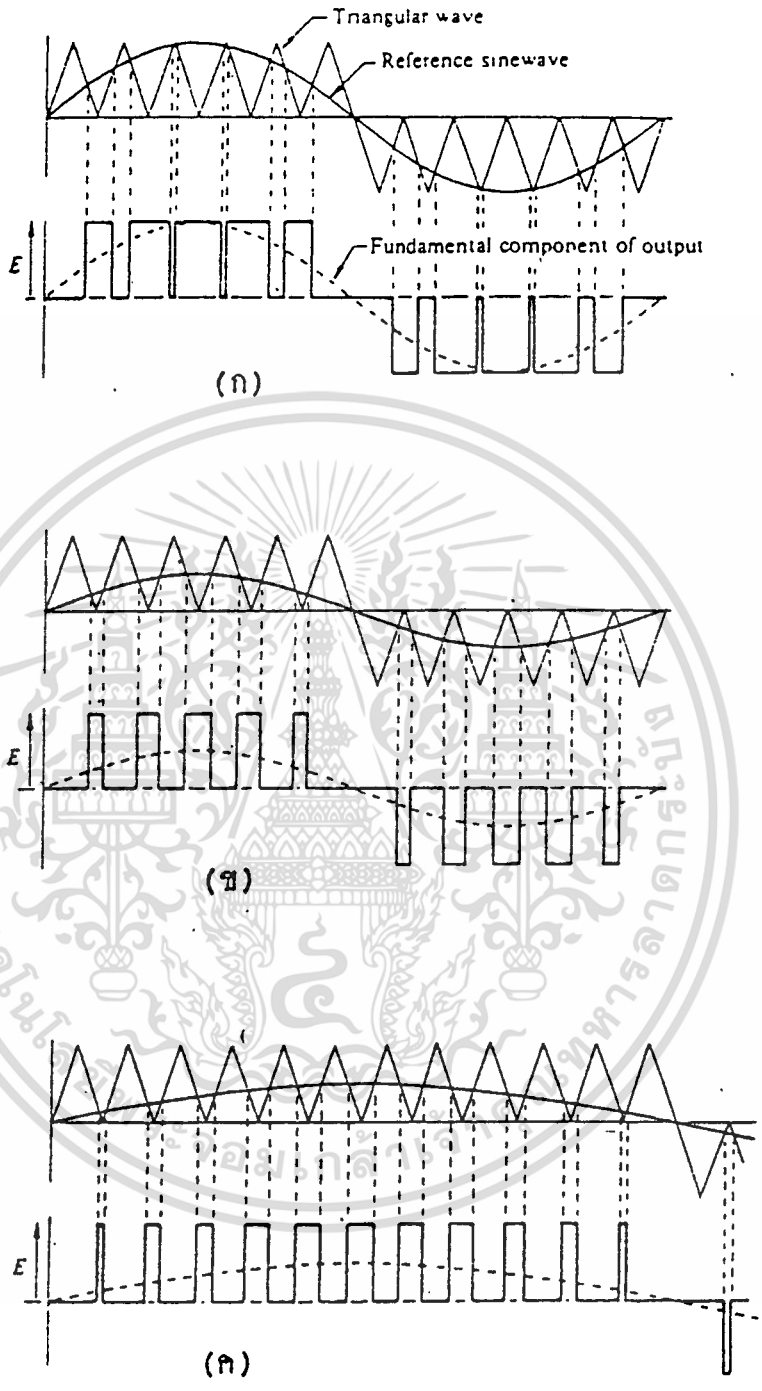
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การควบคุมแรงดันเอาท์พุท สสามารถทำได้โดยการเปลี่ยนแปลงช่วงเวลาที่รูปคลื่นเป็นศูนย์ของรูปคลื่นสี่เหลี่ยม โดยแรงดันไฟจากแหล่งจ่ายไฟยังคงที่อยู่ รูปร่างของแรงดันเอาท์พุทซึ่งเป็นแรงดันคร่อมที่โหลดดังแสดงในรูปที่ 8(ค) เป็นลักษณะ quasi-square wave ทำได้โดยให้สัญญาณทริกเอสซีอาร์ T_1 และ T_2 ล่วงหน้า เมื่อเทียบกับสัญญาณทริกเอสซีอาร์ T_4 และ T_3 ในรูปที่ 8 (ค) สัญญาณทริกเอสซีอาร์ T_1 ล่วงหน้า เอสซีอาร์ T_4 เป็นมุม ϕ และสัญญาณทริกเอสซีอาร์ T_2 ล่วงหน้าเอสซีอาร์ T_3 เป็นมุม ϕ

ขณะที่เอสซีอาร์ T_2 ถูกทริกให้นำกระแสเพื่อจะให้เอสซีอาร์ T_1 หยุดนำกระแส กระแสไหลในโหลดจะเปลี่ยนไปไหลผ่านไดโอด D_3 ขณะที่เอสซีอาร์ T_4 ยังนำกระแสอยู่ กระแสจากโหลดจะไหลผ่าน D_2 และ T_4 เป็นการลัดวงจรโหลดให้แรงดันคร่อมโหลดเป็นศูนย์ และเมื่อเอสซีอาร์ T_3 ถูกทริกให้นำกระแสเอสซีอาร์ T_4 จะหยุดนำกระแส กระแสที่ไหลในโหลดจะผ่านไดโอด D_3,D_2 ซึ่งต่อแหล่งจ่ายไฟเข้าโหลดในช่วงไซเคิลลบ ในช่วงเวลานี้เอสซีอาร์ทั้งหมดจะหยุดนำกระแสจนกระทั่ง เมื่อมีสัญญาณทริกเอสซีอาร์ T_3 พร้อมกับเอสซีอาร์ T_2 เอสซีอาร์ T_2 และ T_3 จะนำกระแส ทำให้รูปคลื่นแรงดันคร่อมโหลดเป็นลบ

การควบคุมแรงดันเอาท์พุทและปรับปรุงให้แรงดันเอาท์พุทมีอาร์โมนิคส์น้อยมาก สามารถใช้การควบคุมโดยวิธีที่เรียกว่า pulse-width modulation ดังแสดงในรูปที่ 9 เป็นการควบคุมทำให้เอสซีอาร์นำและหยุดนำกระแส เพื่อให้ได้รูปคลื่นของแรงดันเอาท์พุทเปลี่ยนแปลงความกว้างของพัลส์ วิธีการทำให้รูปคลื่นของแรงดันเอาท์พุทเป็นพัลส์ขนาดที่ถูกต้อง จะใช้รูปคลื่น sine wave เป็นรูปคลื่นอ้างอิงที่มีความถี่ที่ต้องการเปรียบเทียบกับรูปคลื่นสามเหลี่ยม ดังแสดงในรูปที่ 9 จุดตัดกันของ 2 รูปคลื่นจะเป็นสภาวะที่สร้างสัญญาณทริกเอสซีอาร์ ในรูปที่ 9 (ก) แสดงรูปคลื่นของแรงดันเอาท์พุทมีค่าสูงสุด การลดแรงดันเอาท์พุทโดยการลดรูป sine wave อ้างอิงลง ในรูปที่ 9 (ข) แสดงการลดรูปคลื่น sine wave ลงครึ่งหนึ่ง จะได้แรงดันเอาท์พุทลดลงครึ่งหนึ่ง

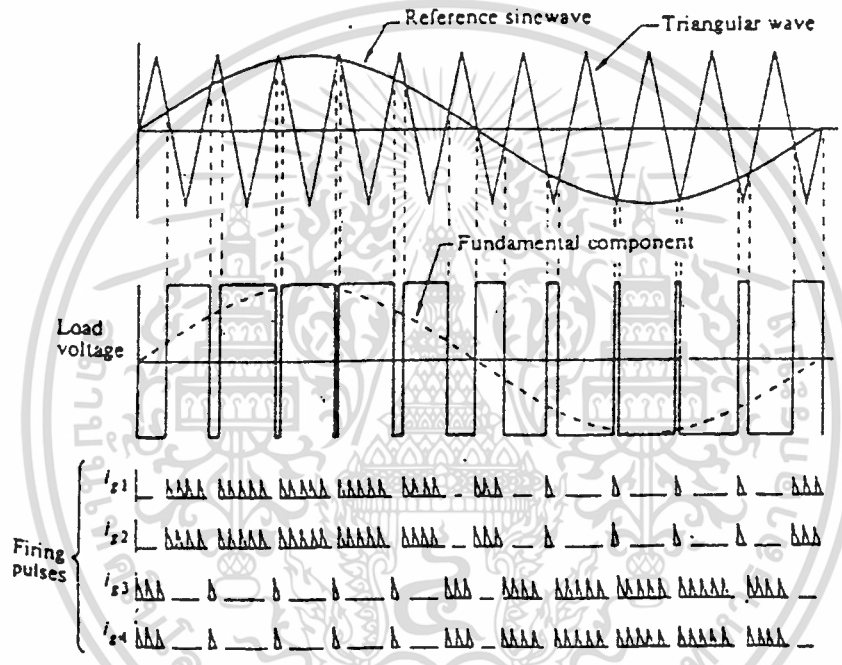
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 9 รูปคลื่นเอาท์พุทควบคุมลักษณะ pulse-width modulation

เอกสารนี้เป็นเอกสาร[illegible]ใช้เพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การควบคุมแรงดันเอาท์พุท ลักษณะ pulse-width modulation ด้วยวงจรอินเวอร์เตอร์ ในรูปที่ 8 สามารถควบคุมให้แหล่งจ่ายไฟกระแสตรงต่อกับโหลดเสมอ โดยการทริกเอสซีอาร์ T_1 พร้อม T_4 และ T_2 พร้อม T_3 ซึ่งจะไม่มีช่วงแรงดันเป็นศูนย์ ดังแสดงรูปคลื่นเอาท์พุทในรูปที่ 10 การหาสัญญาณทริกเอสซีอาร์ทำได้โดยการสร้างรูปคลื่นสามเหลี่ยมเทียบกับรูปคลื่น sine wave อ้างอิง



รูปที่ 10 การควบคุมลักษณะ pulse-width modulation

ถ้ามีการคอมมูเตชั่นในแต่ละครึ่งไซเคิลหลายๆ ครั้งในแต่ละไซเคิล จะทำให้เกิดการสูญเสียในการคอมมูเตชั่นสูง การเลือกระหว่างอินเวอร์เตอร์ที่ให้รูปคลื่นแรงดันเอาท์พุทแบบ quasi-square wave และแบบ pulse-width modulation ให้พิจารณาถึงราคาของวงจรควบคุม และการสูญเสียในการคอมมูเตชั่น และฮาร์โมนิคส์ของแรงดันเอาท์พุท

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 4

การออกแบบและการทำงานของวงจรในการทดลอง

แบ่งเป็น 2 วงจร

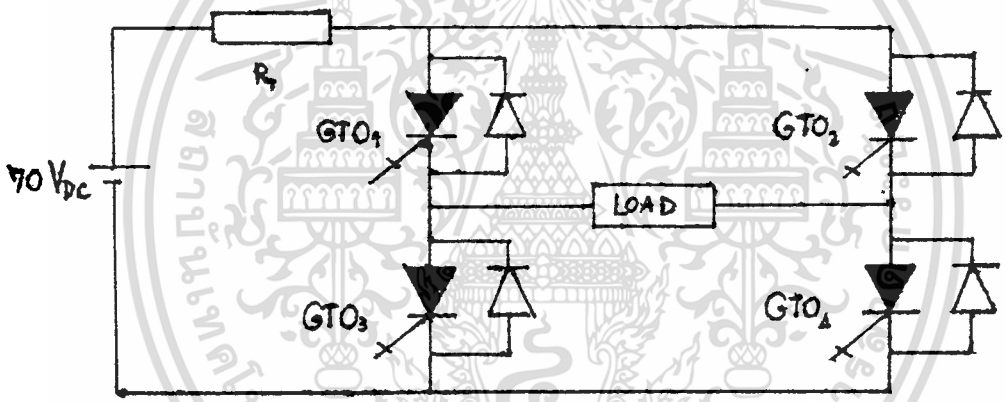
1. วงจรหลัก (MAIN CIRCUIT) ประกอบด้วย

   1.1 แหล่งจ่ายไฟกระแสตรง 70 โวลต์ ซึ่งในการทดลองได้จากการนำไฟกระแสสลับ 220 โวลต์ มาผ่านหม้อแปลง,bridge rectifire,capacitor

   1.2 จีทีโอ เบอร์ GFF200E 4 ตัว

   1.3 ไดโอดทำงานเร็ว(Fast diode) 4 ตัว เพื่อเป็น free wheeling diode ในการใช้ อินดักชั่นโหลด (inductive load)

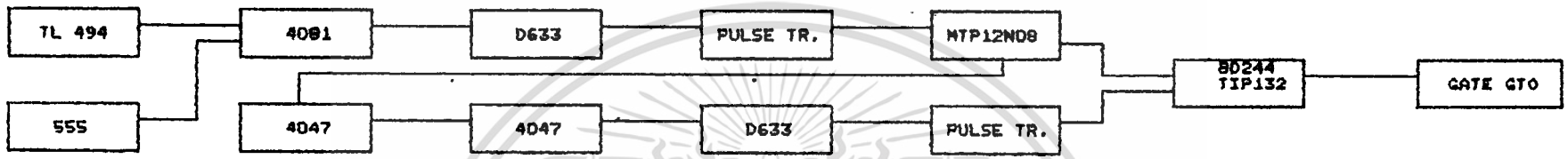
   1.4 Resistive load ที่สามารถทน วัตต์สูง ในที่นี้ใช้น้ำผสมเกลือเพื่อให้มีค่าความต้านทานตามต้องการ จำนวน 2 ตัว



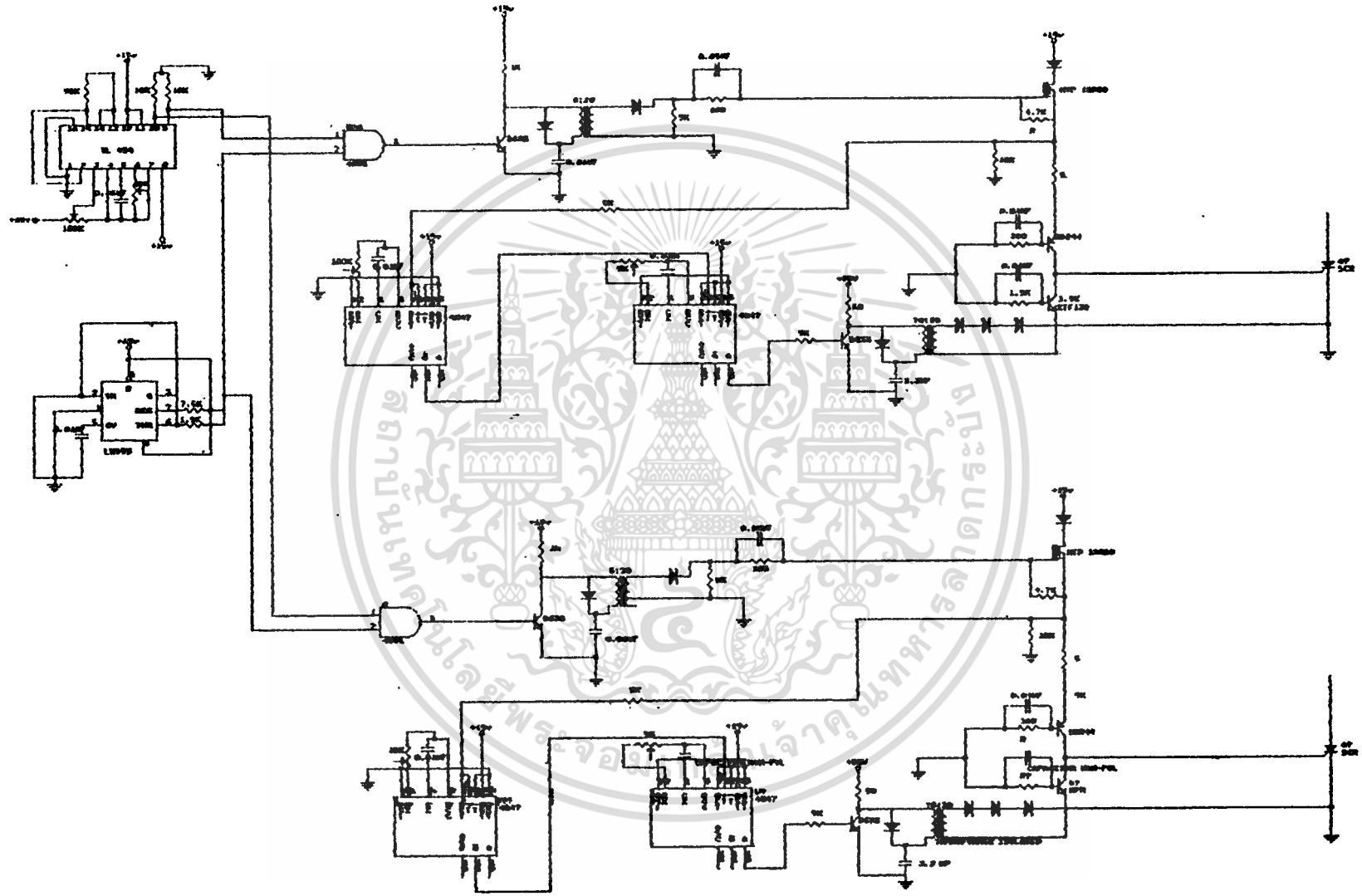
ซึ่งเป็นลักษณะการสร้าง 1 phase full bridge inverter มีหลักการทำงานดังนี้

โดย จีทีโอ จะทำงานพร้อมกันเป็นคู่ คือ จีทีโอ ตัวที่ 1 ทำงานคู่กับ จีทีโอ ตัวที่ 4 และ จีทีโอ ตัวที่ 2 ทำงานคู่กับ จีทีโอ ตัวที่ 3 ทั้งลองคู่จะทำงานสลับกันโดยได้รับสัญญาณ trig-on ในลักษณะของ pulse train และ trig-off ในลักษณะของกระแสลวิทชิ่งที่แรงและเร็วเพียงครั้งเดียว ซึ่งในการทำงานของแต่ละคู่ จะมี TL 494 เป็นตัวควบคุมเวลาหน่วง(time lag)ตามค่า dead time ของ TL 494 ซึ่งเป็นการควบคุมความถี่ได้ตามต้องการ นอกจากนี้ยังมีไดโอดที่ต่อขนานกับ จีทีโอแต่ละตัวเพื่อทำหน้าที่คืนพลังงานกลับเข้าแหล่งจ่ายไฟ ในขณะใช้กับภาระที่เป็น inductive load ส่วน load R1 ใส่ไว้สำหรับใช้ในการทดลอง เพื่อป้องกันการลัดวงจรในขณะที่ จีทีโอทำงานผิดปกติ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



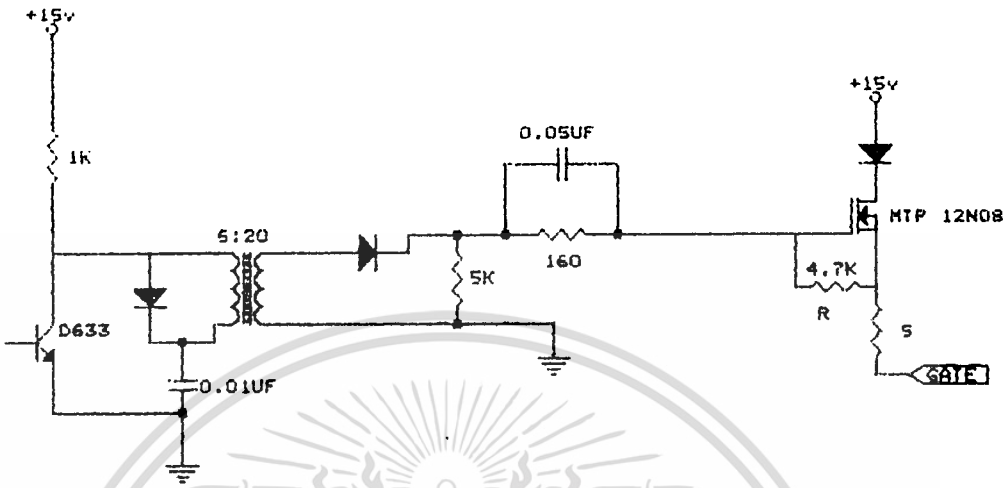
บล็อกไดอแกรมของวงจรขับ จีทีโอ



วงจรขับ GTO

2. วงจรขับจีทีโอ (GTO DRIVE CIRCUIT) ประกอบด้วย 2 ส่วนคือ

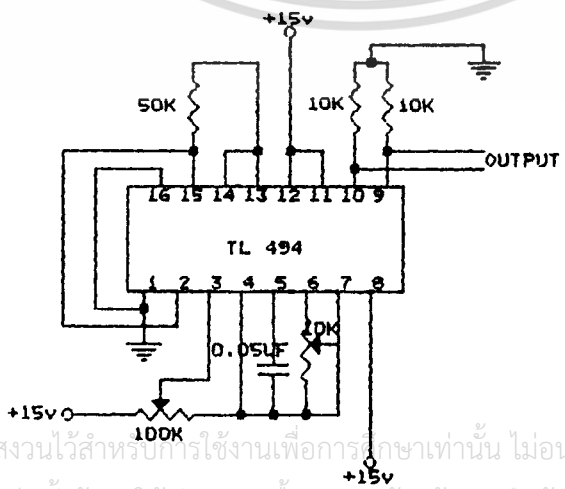
2.1 Turn-on circuit



ประกอบด้วย

ก. TL 494

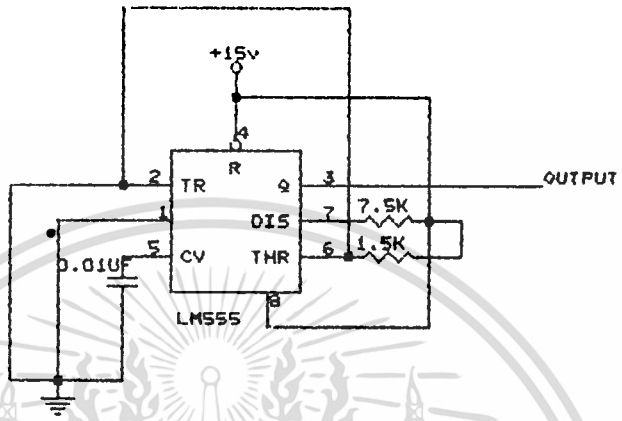
เป็นอุปกรณ์ switching ที่สามารสร้าง pulse ที่มีความถี่ ตั้งแต่ 40 H_z ถึง 200 kH_z และเป็นตัวควบคุม time lag ที่ได้จากการปรับ dead time ของ TL 494 และตัว output ได้ 2 ทาง ในที่นี้ได้จากขา 9 และ ขา 10 สัญญาณออกจะมีลักษณะดังรูปที่ 1 สำหรับโครงงานนี้ต้องการนำไปใช้ในการสร้าง อินเวอร์เตอร์ ที่มีความถี่ ตั้งแต่ 500 H_z ถึง 3 kH_z ในช่วงของกระแสที่ต้องการ



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ข. ไอซี 555

ซึ่งเป็นอุปกรณ์ที่สามารถสร้างได้ทั้ง monostable และ astable และสามารถปรับความถี่ได้ตามต้องการ สำหรับในที่นี้ใช้ ไอซี 555 ในการสร้างสัญญาณความถี่ประมาณ 150 kH$_z$ ดังรูปที่ 2 ซึ่งเป็นความถี่ของสัญญาณของ pulse trains ที่จะใช้ในการ trig-on



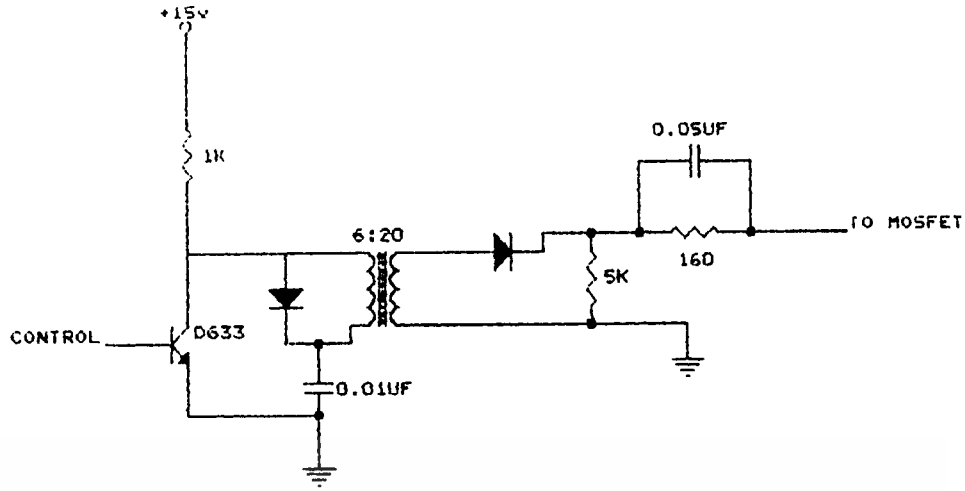
ค. ไอซี 4081

เป็นอุปกรณ์ซึ่งทำหน้าที่เป็น and gate ในโครงงานนี้ใช้สำหรับนำสัญญาณจากไอซี 555 มา and กับสัญญาณจาก TL 494 ที่ได้จากขา 9 และขา 10 เพื่อให้ได้สัญญาณที่ใช้ในการสร้างอินเวอร์เตอร์ ที่มีความถี่เท่ากับความถี่จาก TL 494 ก็จะได้สัญญาณในการ trig-on ที่เป็นลักษณะของ pulse train ทั้งหมด 2 ชุด ดังรูปที่ 3

ง. ชุด Isolate

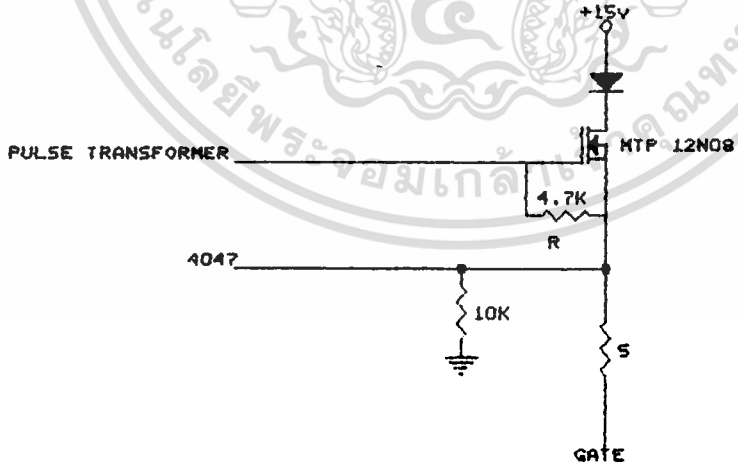
ประกอบด้วย ทรานซิสเตอร์ เบอร์ D633 และ pulse transformer ในการ ขับ จีทีโอจำเป็นที่จะต้องแยกสัญญาณ control ออกจากสัญญาณทาง power โดยเด็ดขาด เพื่อป้องกันความเสียหายที่จะเกิดขึ้นกับวงจรควบคุม ที่เกิดจากสัญญาณด้าน power ในที่นี้ได้ใช้ D633 ในการขยายสัญญาณโดยป้อนแหล่งจ่ายไฟกระแสตรง 15 โวลต์ ให้กับ D633 เพื่อให้ขับสัญญาณให้แรงขึ้น เพื่อส่งผ่าน pulse transformer ไปยังวงจรทางด้าน power ได้ ดังรูปที่ 4

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



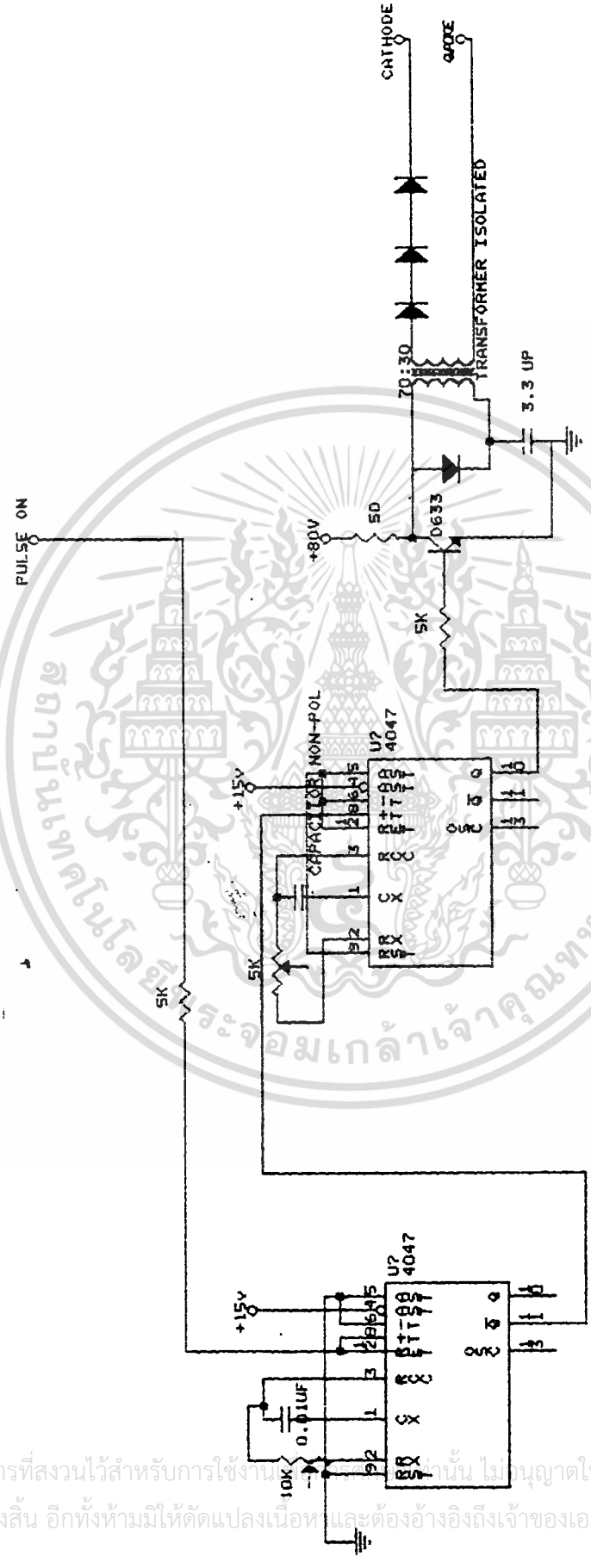
จ. POWER MOSFET เบอร์ MTP12N08

เป็นอุปกรณ์ที่ใช้ในการขับสัญญาณ pulse train ที่ได้จาก pulse transformer ให้แรงพอที่จะขับ จีทีโอ ให้สามารถนำกระแสได้ดังรูปที่ 5 ซึ่งสำหรับ GTO เบอร์ GFF200E ต้องการกระแส gate ในการ ON มากกว่า 600 mA ในที่นี้สามารถสร้างกระแส gate ได้ถึง 2 A ดังรูปที่ 6



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

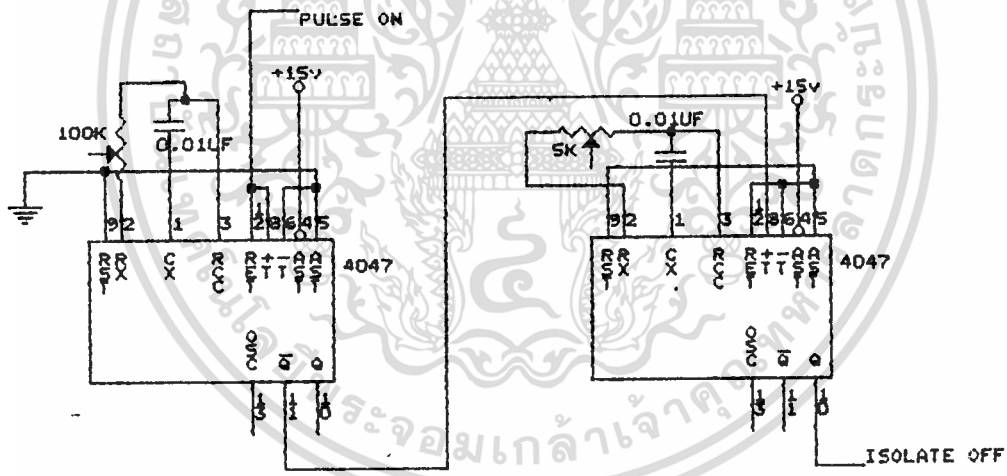
2.2 Turn-off circuit ประกอบด้วย



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ก. ไอซีเบอร์ 4047

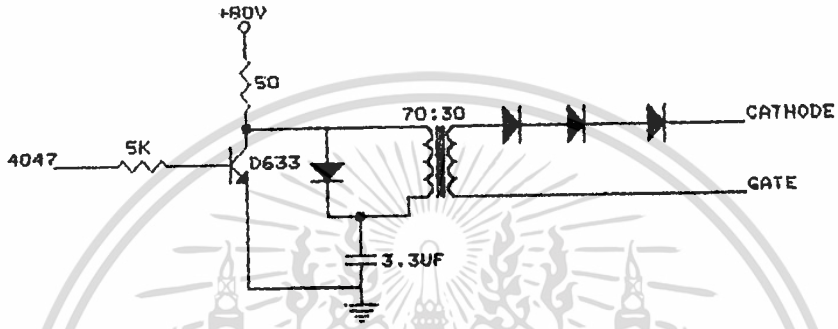
เป็นอุปกรณ์ที่ใช้เป็นได้ทั้งastable และ monostable ซึ่งในที่นี้ใช้เป็น monostable ซึ่งใช้ทั้งหมด 2 ตัวคือ ตัวแรกใช้ในลักษณะการทำงานแบบ Retrigerable ซึ่งได้รับสัญญาณ input แยกมาจาก output ของ MOSFET ก่อนที่จะเข้าเกท ของ จีทีโอ จะได้สัญญาณดังรูปที่ 7 ตัวที่สอง ใช้ในลักษณะของ Positive Edge Trigger ทำหน้าที่รับสัญญาณมาจาก 4047 ตัวแรก แล้วสร้างในลักษณะที่แคบกว่าเพื่อช่วยในการลดการสูญเสีย (loss) ที่เกิดจาก ทรานซิสเตอร์ D633 ON เป็นเวลานานเกินความจำเป็นซึ่งจะได้สัญญาณดังรูปที่ 8



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

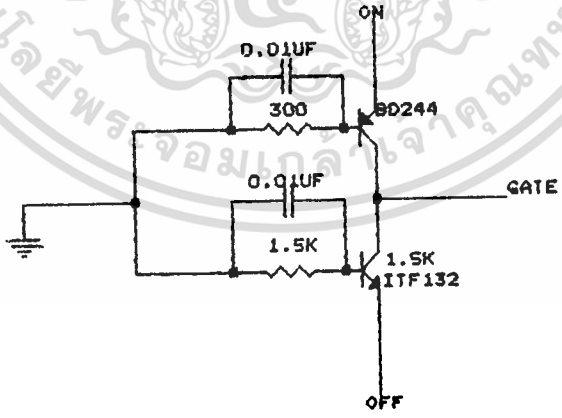
ข. ชุดสร้างสัญญาณ OFF จีทีโอ และชุด Isalate

ประกอบด้วย ทรานซิสเตอร์ D633, capacitor ขนาด 3.3 μF และ pulse transformer ดังรูปที่ ซึ่งใช้สร้างสัญญาณ OFF จีทีโอ โดยการใช้สัญญาณควบคุมจาก 4047 ตัวที่ 2 เข้า bias transistor D633 ให้ได้สัญญาณ OFF จีทีโอ แล้วส่งผ่าน pulse transformer ไป OFF จีทีโอ ดังรูปที่ 10 ซึ่งในการ OFF ต้องใช้ reverse gate current ที่เป็นสัดส่วนกับกระแส I_L ในที่นี้สามารถทำ reverse gate current ได้ 8 A



2.3 วงจรช่วยในการ ON-OFF จีทีโอ

จากวงจรจะเห็นว่า ทรานซิสเตอร์ เบอร์ BD 244 และเบอร์ TIP 132 แทรกอยู่ดังรูป



เนื่องจากผลการทดลองที่ผ่านมาในการสร้างสัญญาณ ON-OFF จีทีโอ แล้วมีสัญญาณบางส่วนของสัญญาณ ON หายไปในวงจร OFF และมีสัญญาณ OFF บางส่วนหายไปในวงจร ON เนื่องจากไม่มีการ block สัญญาณระหว่างกัน จึงได้ใช้วงจรดังกล่าว block สัญญาณออกจากกัน โดยเด็ดขาด ดังการทำงานที่จะได้กล่าวต่อไป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้ทำซ้ำ ดัดแปลง เผยแพร่ หรือนำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ลบข้อความนี้ออก และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การทำงานของวงจร จะทำการไบอัสทรานซิสเตอร์ BD244 และ ITF132 ให้ทำงานเป็น switching โดยทำงานสลับกัน เมื่อ BD244 จะนำกระแส ITF132 จะไม่นำกระแส ทำให้กระแสในการ trig-on จีทีโอ ไหลเข้าขา เกท อย่างเต็มที่ ในทำนองเดียวกัน เมื่อ ITF132 นำกระแส BD244 จะไม่นำกระแส ทำให้กระแส trig-off จีทีโอไหลผ่านขาเกท อย่างเต็มที่ เป็นผลให้ประสิทธิภาพในการ ON-OFF จีทีโอ ดีขึ้น

จะได้หลักการทั้งหมดดังนี้

Turn-on circuit

เป็นวงจรที่ทำหน้าที่สร้างสัญญาณ trig ป้อนเข้าที่ขา gate ของ จีทีโอ เพื่อจุดชนวนให้ จีทีโอ นำกระแส ซึ่งในที่นี้เป็นสัญญาณของ pulse train ที่ได้จากการนำเอาสัญญาณ pulse จาก ไอซี 555 และสัญญาณที่ได้จาก TL 494 มาผ่าน and gate 4081 จะได้สัญญาณ trig ที่มีความถี่เท่ากับความถี่ TL 494 และความถี่ภายในเท่ากับความถี่ของ 555 ดังรูปที่ 3 สัญญาณที่ได้จะทำหน้าที่เป็นกระแสเบส (I_B) ให้กับ Transistor เบอร์ D633 ทำหน้าที่ขยาย pulse current ให้ส่งผ่าน pulse tansformer ซึ่งทำหน้าที่ Isolate ระหว่างวงจร control กับวงจรทางด้าน power หลังจากนั้นเพื่อให้ได้ pulse current ที่สามารถ ON จีทีโอ ได้อย่างแน่นอน จึงได้ใช้ MOSFET เบอร์ MTP12N08 ช่วยในการขับกระแสอีกครั้งหนึ่ง จะได้สัญญาณดังรูปที่ 5 และสามารถขับกระแสได้ถึง 2 A ดังรูปที่ 6

Turn-off circuit

เนื่องจาก จีทีโอ ต้องการ reverse current ในการดึงประจุออกจากเกท เพื่อให้ จีทีโอ หยุดนำกระแสซึ่งต้องมีขนาดและ di/dt ค่ามากพอในเวลานั้น turn-off circuit จึงได้ออกแบบขึ้นมา เพื่อทำหน้าที่สร้า reverse phise current ซึ่งเริ่มด้วยการดึงกระแสมาจากสัญญาณ ON ที่จะเข้าเกท ของจีทีโอ มาเป็น input ให้กับ 4047 ที่ทำหน้าที่เป็น Retrigerableและผ่าน 4047 ที่เป็น monostable อีกครั้ง จะได้สัญญาณที่ทำหน้าที่ในการ switch transistor เบอร์ D633 ขณะเริ่มต้น ตอนที่เป็น pulse เท่ากับ 0 ก็จะมีกระแสจาก แหล่งจ่ายไฟกระแสตรง 80 โวลต์ เข้า charge ตัวเก็บประจุ(3.3 μF) โดยผ่านทาง ตัวต้านทาน 25 โอมห์ และไดโอด จนประจุถูก charge เต็ม โวลต์ครอมตัวเก็บประจุก็จะประมาณ 80 โวลต์ ดังรูปที่ 10 เมื่อสัญญาณ pulse จาก 4047 เป็นบวก ทำให้ transistor เบอร์ D633 นำกระแสในช่วงเวลา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

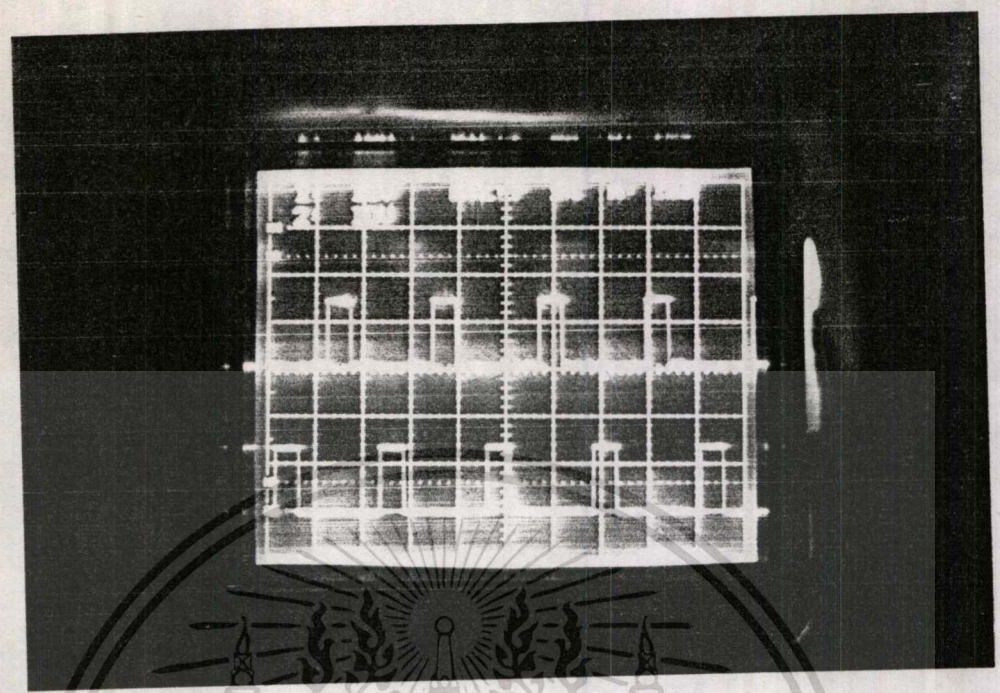
สั้นๆ ก็จะมีกระแสไหลมาจากสองทางผ่านทรานซิสเตอร์D633คือมาจากแหล่งจ่ายไฟกระแสตรง และจากการ discharge ของตัวเก็บประจุผ่าน pulse transformer ทางด้านปฐมภูมิ ซึ่งขณะเดียวกันก็ส่งผ่านไปยังด้านทุติยภูมิ ผ่านไดโอดเข้าไปยัง คาโทด ซึ่งเป็นการป้อน reverse current ดังรูปที่11, 12

<u>หมายเหตุ</u> จะเห็นว่าเราใช้ 4047 สองตัวเนื่องจากสัญญาณที่ได้จาก 4047 ในตอนแรกยังมีความกว้างของ pulse มากอยู่ จึงทำให้เกิด loss มาก เพราะในการ bias D633 ให้ ON จะมีกระแสที่ไหลผ่านตัวต้านทานลง ground เกิด loss ขึ้น ดังนั้นจึงทำการลดขนาดความกว้าง โดยการต่อ4047 อีกตัวหนึ่งให้เป็น monostable ที่มีความกว้าง pulse ที่แคบลง ซึ่งความกว้างของ pulse นี้สามารถปรับได้ตามต้องการ ซึ่งในการปรับจะต้องสัมพันธ์กับเวลาในการ discharge ประจุในตัวเก็บประจุ(3.3 μF) ต้องให้ประจุในตัวเก็บประจุ discharge ออกมาให้ได้มากที่สุด เพื่อให้กระแสส่งผ่าน pulse transformer ให้ได้มากที่สุด

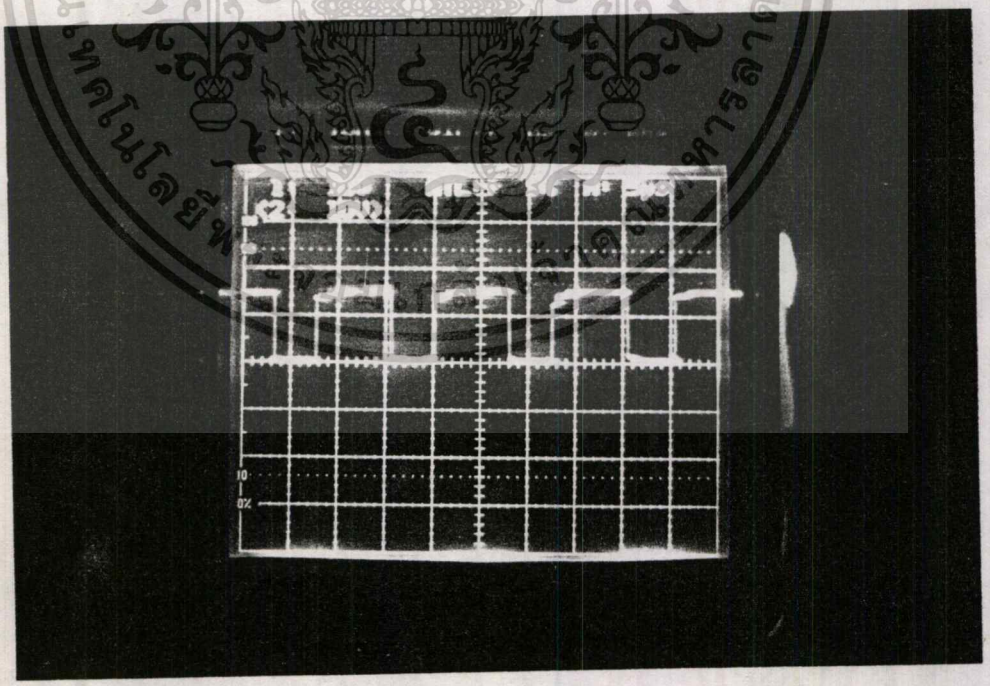
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 5

ผลการทดลอง

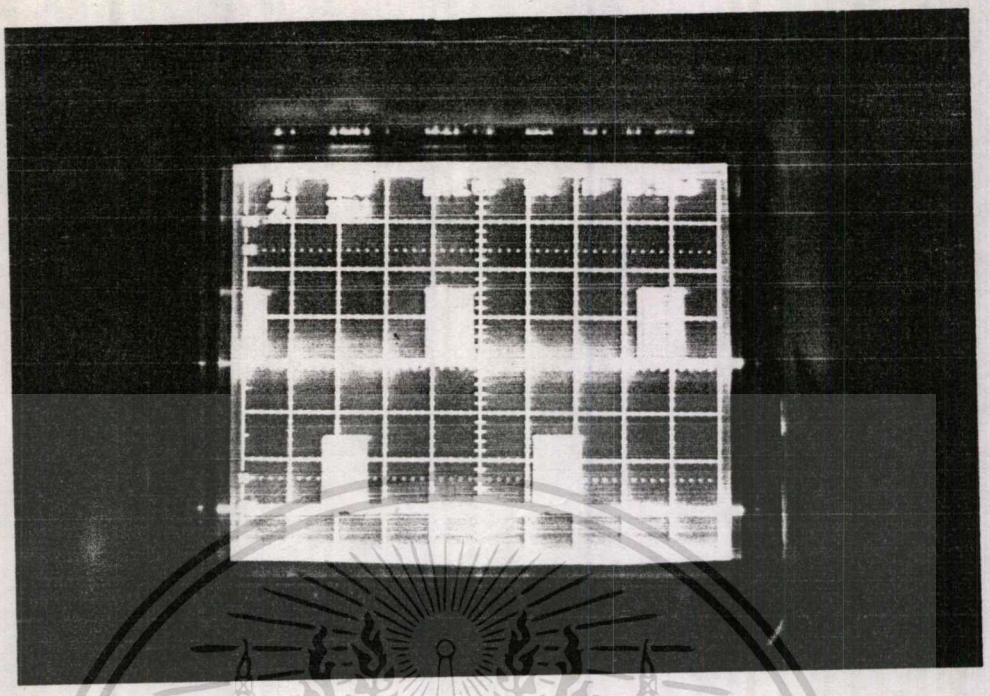


รูปที่ 1 แสดงสัญญาณที่ออกจาก TL 494

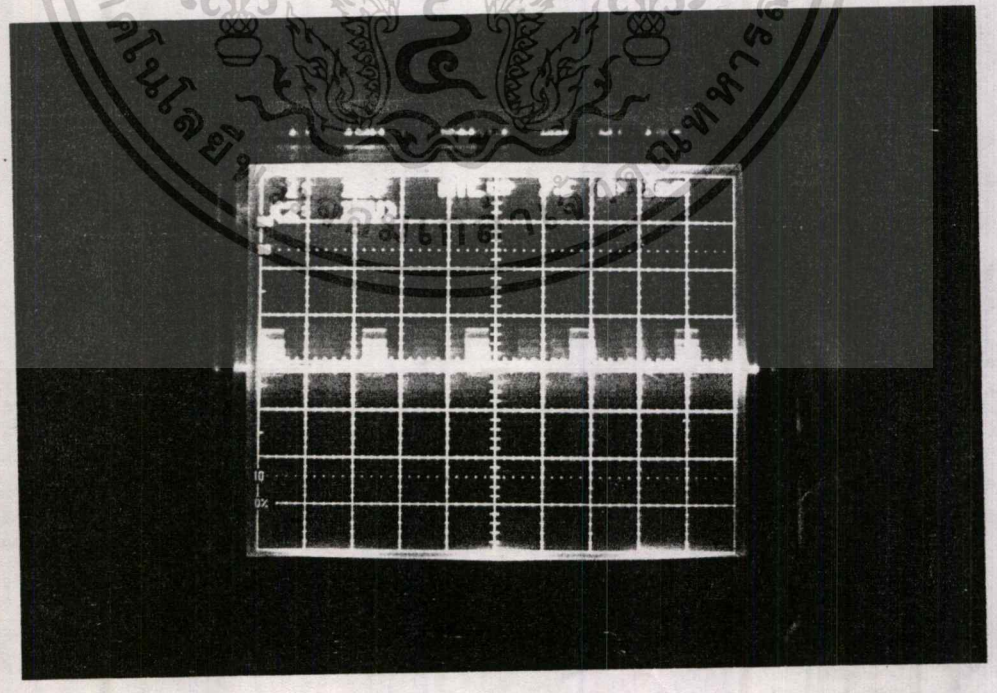


รูปที่ 2 แสดงสัญญาณที่ออกจากไอซี 555

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

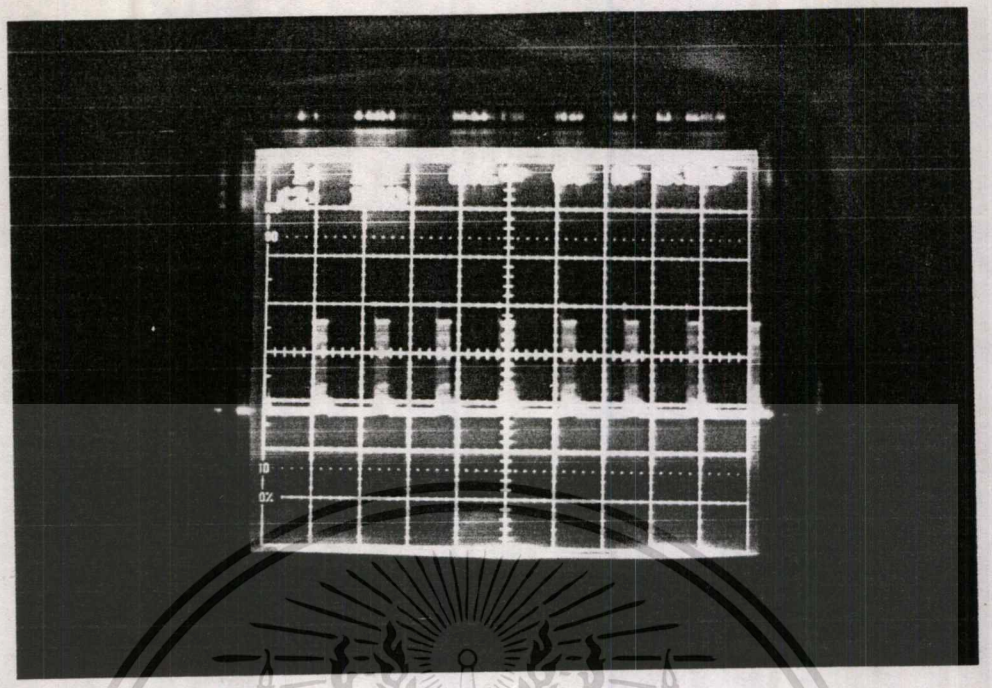


รูปที่ 3 แสดงสัญญาณที่ออกจาก 4081

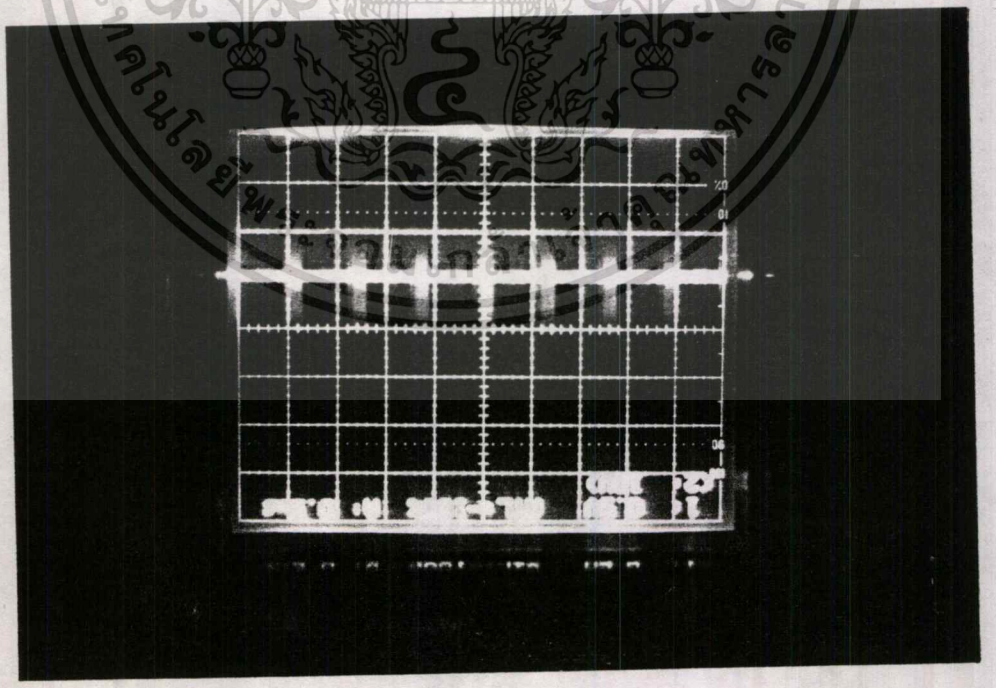


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 4 แสดงสัญญาณที่จะส่งผ่าน pulse transformer

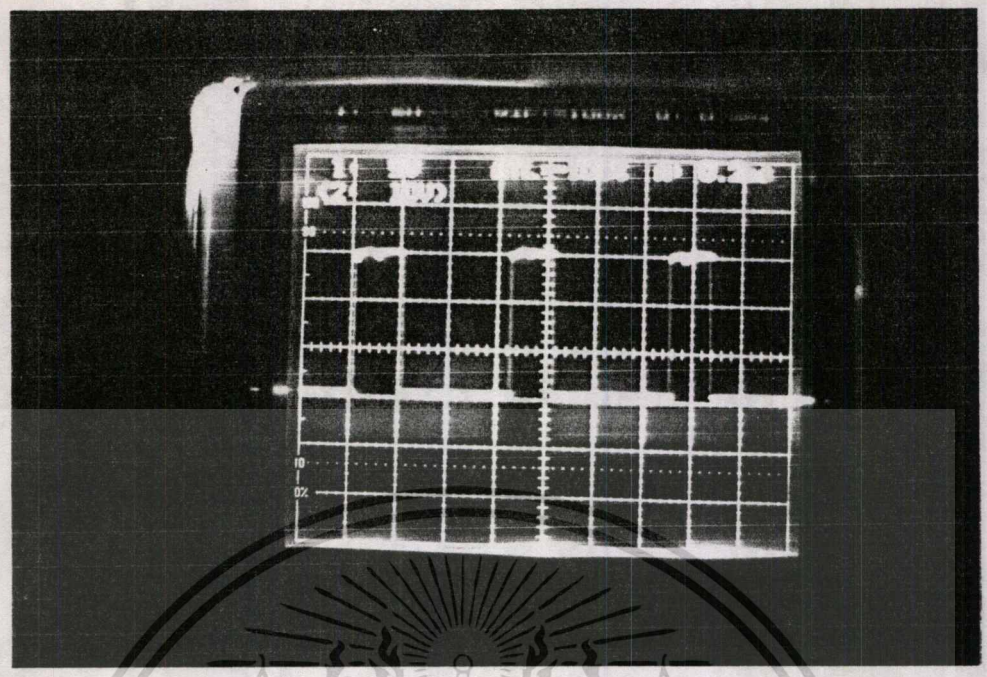


รูปที่ 5 แสดงสัญญาณ trig-on จีทีโอ

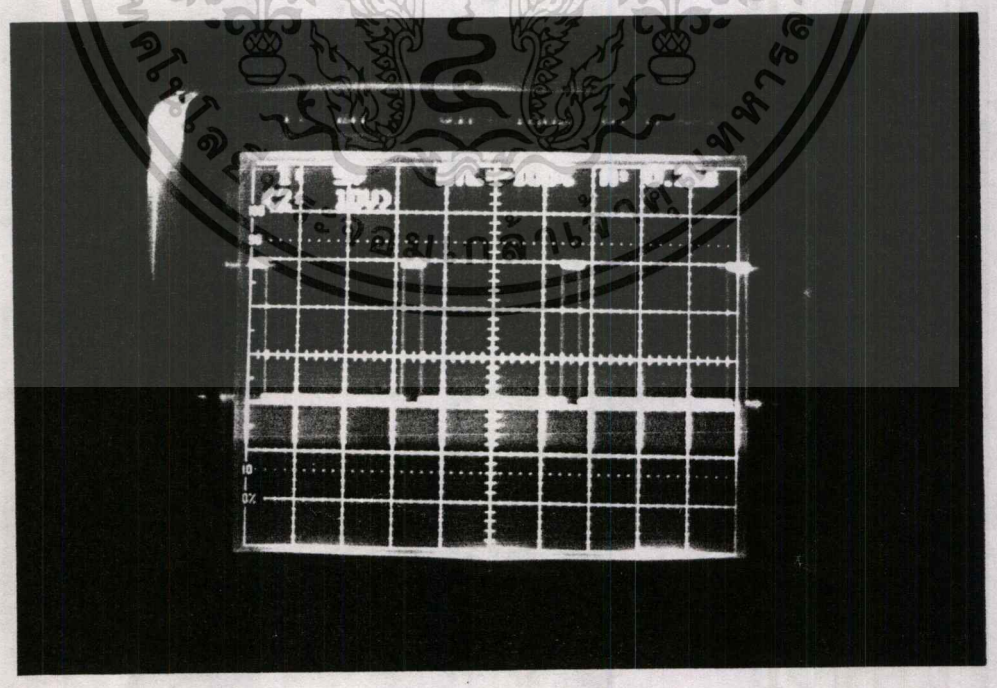


รูปที่ 6 แสดงสัญญาณของกระแสในการ tric-on จีทีโอ โดยวัดคร่อม ความต้านทาน 0.1 โอห์ม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

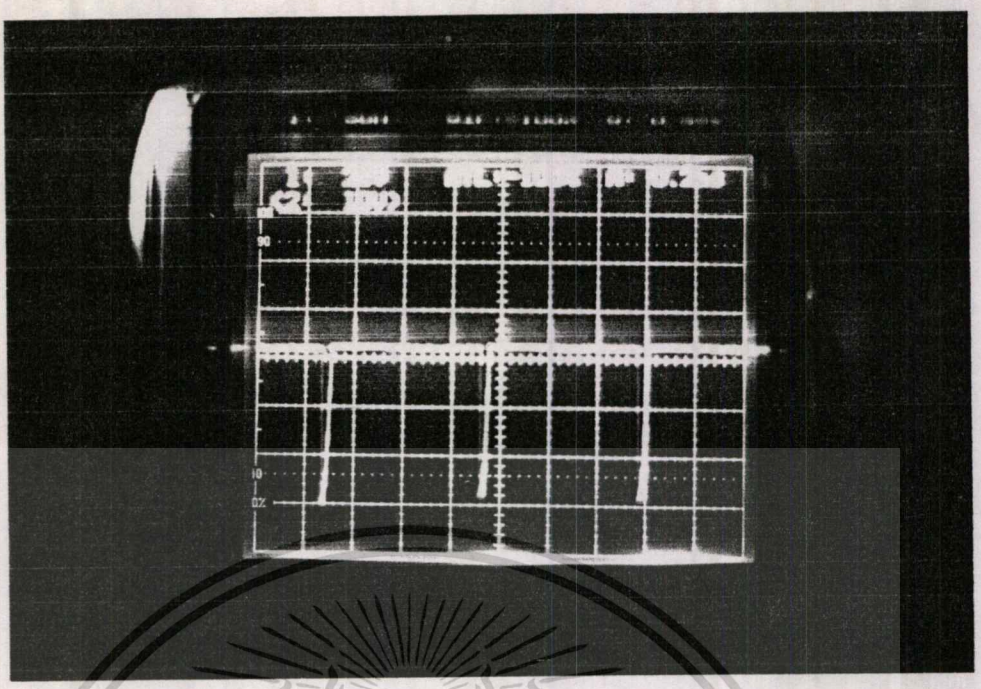


รูปที่ 7 แสดงสัญญาณที่ออกจาก 4047 ตัวแรก

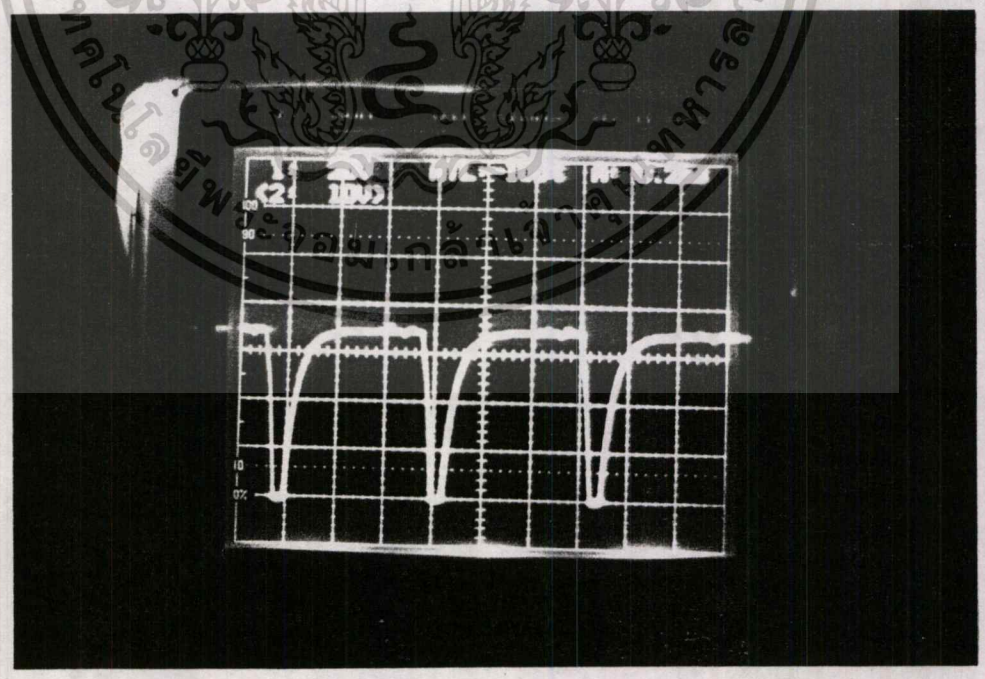


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 8 แสดงสัญญาณที่ออกจาก 4047 ตัวที่สอง

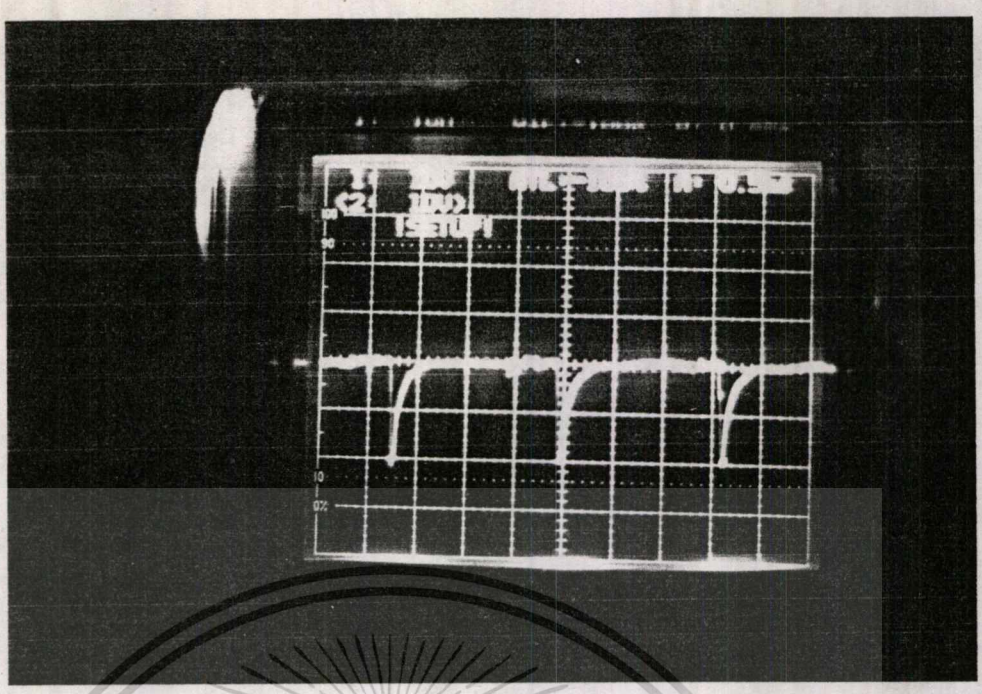


รูปที่ 9 แสดงสัญญาณโวล์เตท tric-off ที่คร่อมขดลวดทางด้านปฐมภูมิ

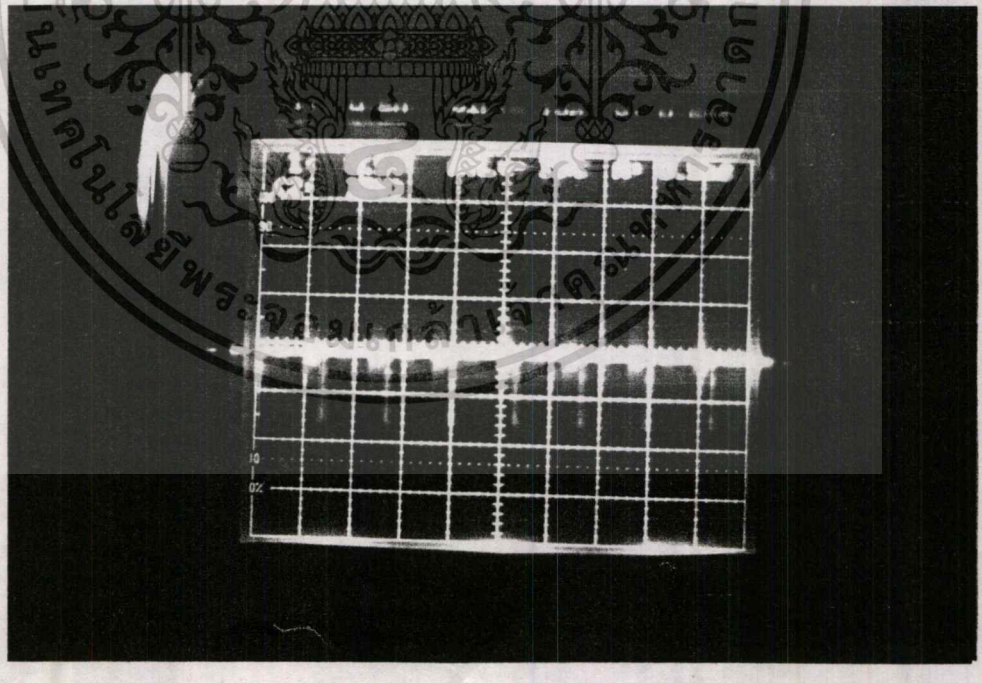


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 10 แสดงสัญญาณโวล์เตท tric-off ที่คร่อม C (3.3 μF)

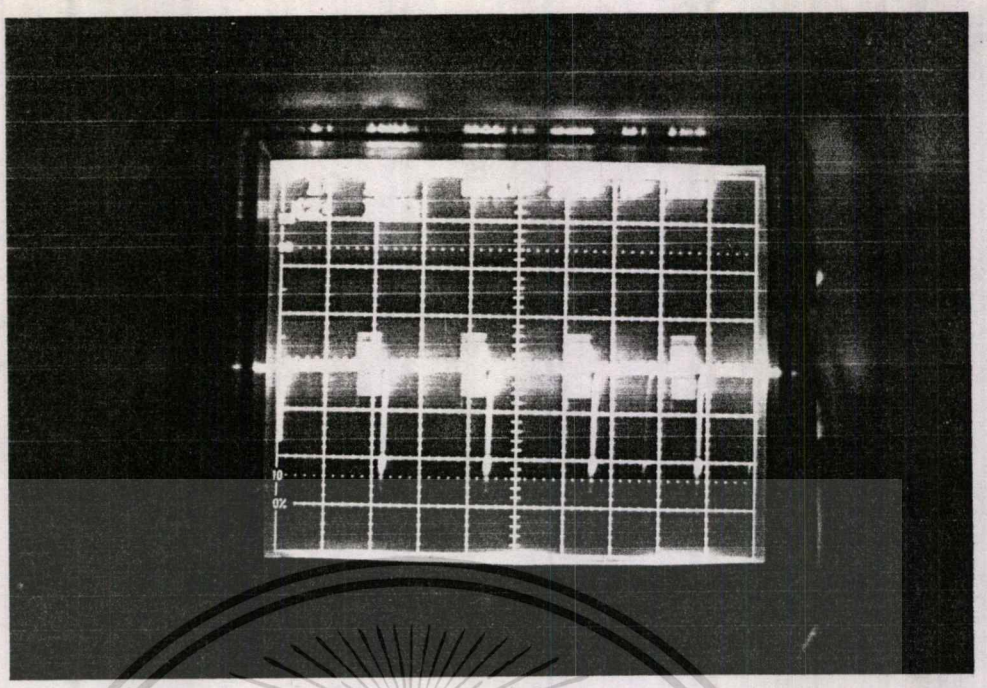


รูปที่ 11 แสดงสัญญาณโวท์ลเตท tric-off ที่ป้อนเข้าขาเกทของจีทีโอ

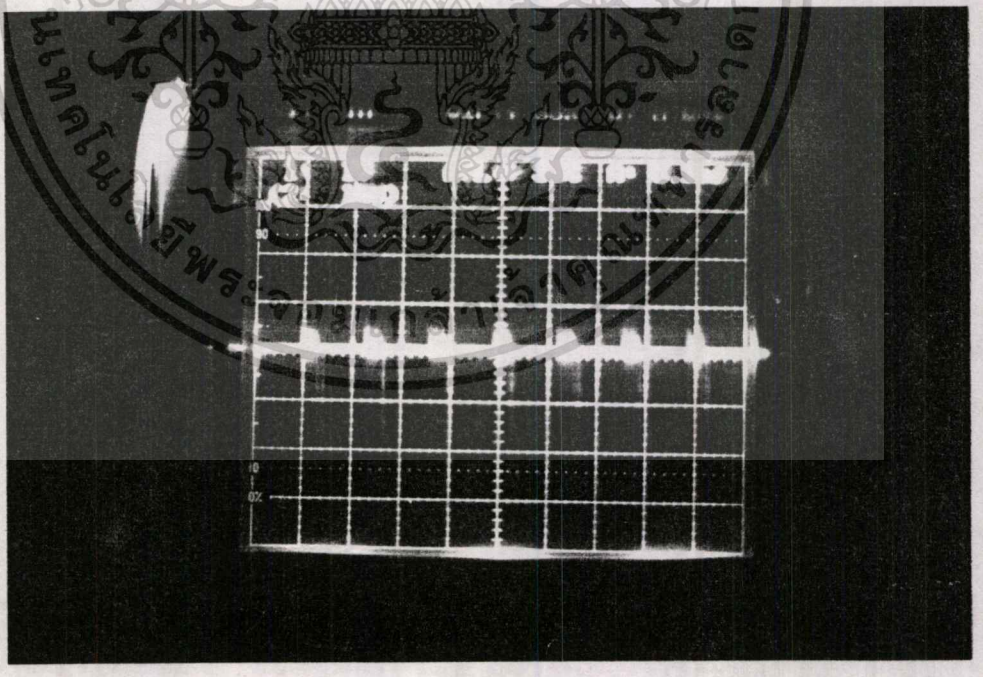


รูปที่ 12 แสดงสัญญาณกระแส tric-off ที่ป้อนเข้าเกทของจีทีโอ โดยวัดคร่อมความต้านทาน 0.1 โอห์ม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ ดัดแปลง ดัดแปลงเนื้อหา
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ลบเครื่องหมายการค้าของเอกสารทุกครั้งที่มีการนำไปใช้

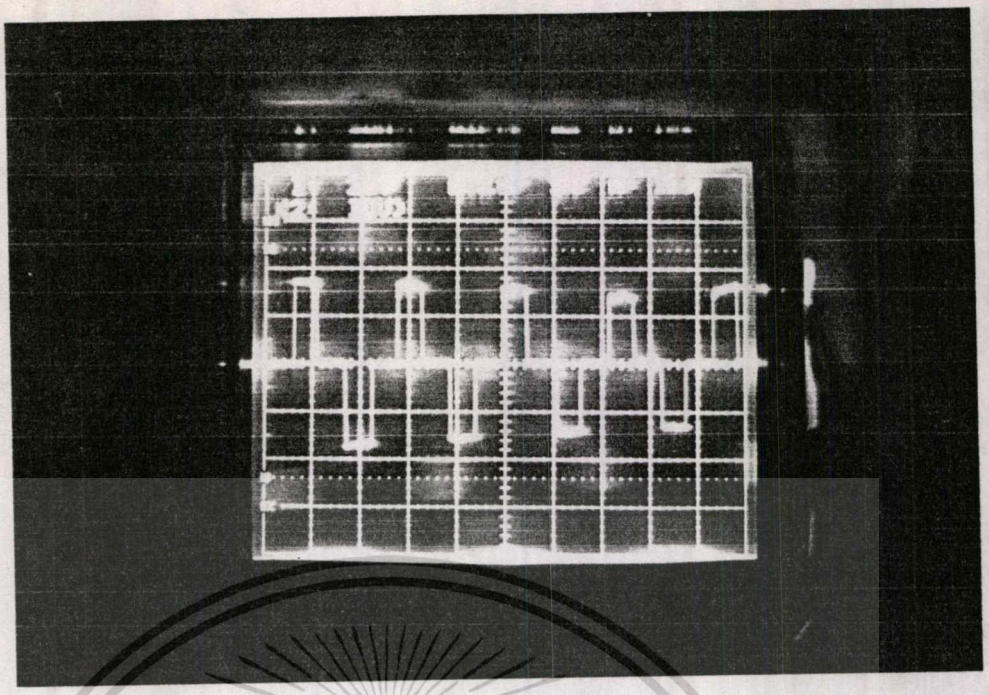


รูปที่ 13 แสดงสัญญาณ ON-OFF ที่ป้อนเข้าขาเกทของจีทีโอ

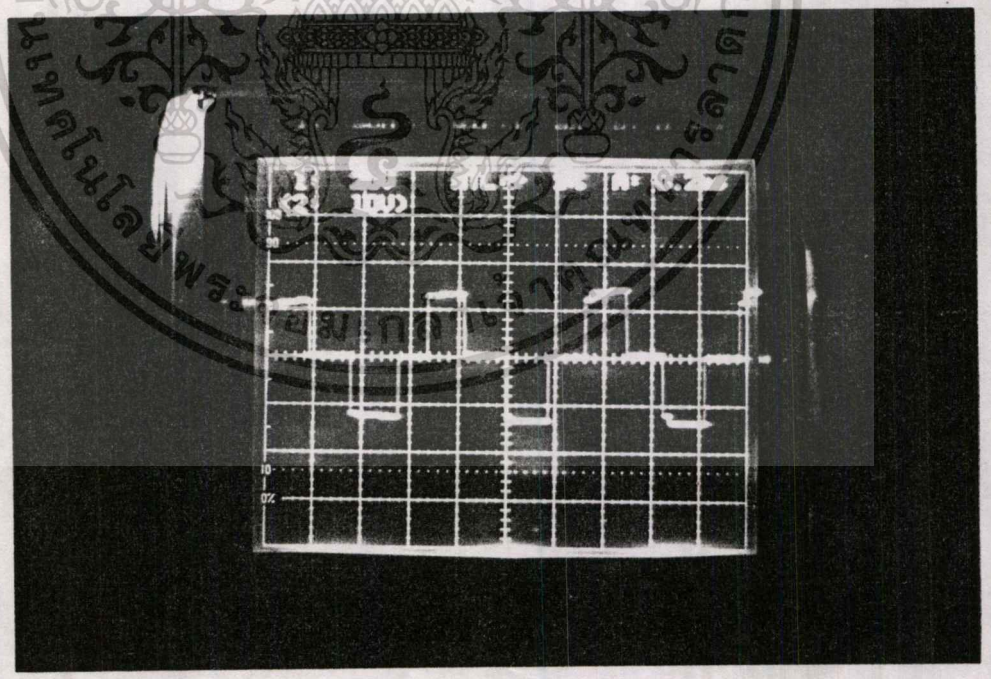


รูปที่ 14 แสดงสัญญาณกระแส ON-OFF ที่ป้อนเข้าขาเกทของจีทีโอ โดยวัดคร่อมความต้านทาน 0.1 โอห์ม

เอกสารนี้เป็นเอกสารที่สงวนลิขสิทธิ์ ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

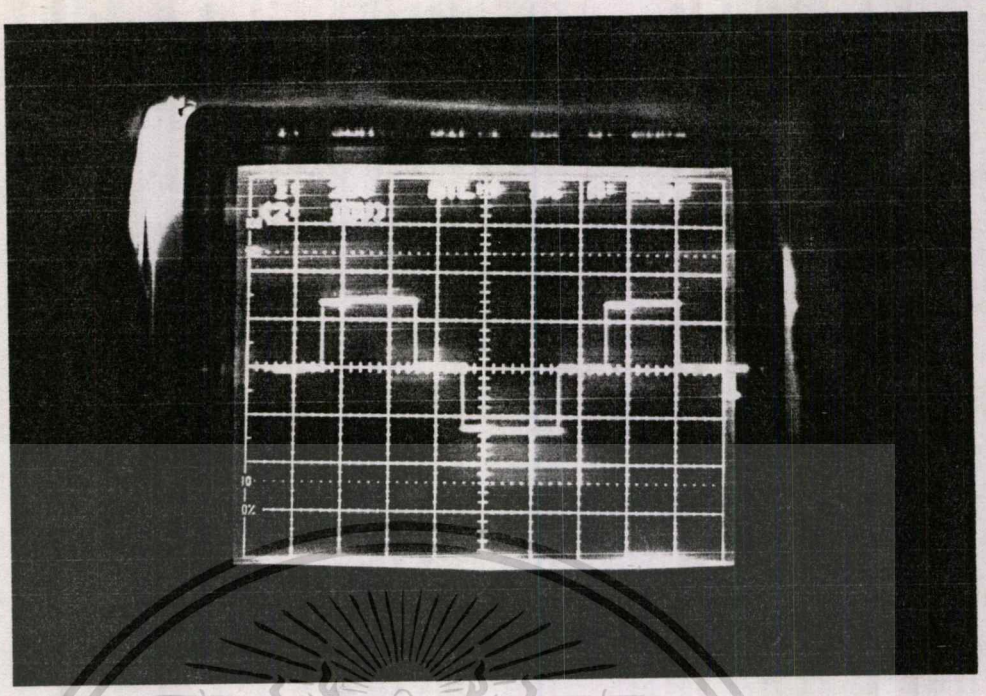


รูปที่ 15 แสดงสัญญาณอินเวอร์เตอร์ที่ได้จากการวัดคร่อมโหลด ที่ความถี่ต่ำสุด (500 Hz)



รูปที่ 16 แสดงสัญญาณอินเวอร์เตอร์ที่ได้จากการวัดคร่อมโหลด ที่ความถี่ 1.67 kHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 17 แสดงสัญญาณอินเวอร์เตอร์ที่ได้จากการวัดคร่อมโหลด ที่ความถี่สูงสุด (3.3 kHz)

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตารางบันทึกผลการทดลอง วัดกระแสที่ผ่านโหลดความต้านทาน

ความถี่(kH$_z$)	0.5	1	1.5	2	2.5	3
กระแส(A)	20	19	18.5	18	17	15

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สรุปและวิจารณ์ผลการทดลอง

สำหรับโครงงานนี้เป็นการทดลองและสร้าง อินเวอร์ตเตอร์ ที่มีความถี่ค่อนข้างสูง และปรับได้ในช่วงกว้าง พร้อมกับสามารถจ่ายกระแสได้มากเพียงพอที่จะใช้งานทั่วไป โดยเริ่มต้นตั้งแต่ การศึกษาคุณสมบัติของ จีทีโอ, การทดลองจีทีโอที่จะใช้, ศึกษาลักษณะการขับของจีทีโอ ตลอดทั้งการออกแบบวงจรขับ ซึ่งสิ่งสำคัญที่จะต้องคำนึงถึงคือ การที่สามารถสร้างวงจรขับจีทีโอที่มีประสิทธิภาพพอ ในโครงงานนี้ได้ค้นคว้าทดลอง และออกแบบวงจรขับ ที่สามารถขับจีทีโอให้สร้างอินเวอร์ตเตอร์ที่ปรับความถี่ได้ตั้งแต่ 500H$_z$ ถึง 3 kH$_z$ และสามารถจ่ายโหลด ได้ถึง 20 แอมป์ จะได้ว่าความถี่ที่ได้อยู่ในช่วงกว้างพอสมควร แต่ก็ไม่กว้างมากเนื่องจากมีปัญหาทางด้านการปรับความถี่ที่ TL494 ไม่สามารถปรับได้ในช่วงกว้าง ซึ่งในการปรับความถี่ของ TL494 เป็นการปรับความถี่ของอินเวอร์ตเตอร์ด้วย ซึ่งจะมีผลต่อวงจรขับภายใน ดังจะเห็นได้จากผลการทดลองในตาราง จะได้ว่าที่ความถี่สูงขึ้น อินเวอร์ตเตอร์ที่สร้างได้จะสามารถจ่ายโหลดได้ ค่ากระแสสูงสุดที่ต่ำลง ที่เป็นเช่นนี้เพราะที่ความถี่สูงอุปกรณ์ที่ใช้อาจจะไม่มีความไวพอในการทำงานซึ่งจากผลการทดลองจะเห็นว่าที่ความถี่สูงสัญญาณอินเวอร์ตเตอร์จะมี wave form บางส่วนแคบไปกว่าปกติ ซึ่งในจุดนี้ควรจะได้รับการแก้ไขปรับปรุงให้มีการจ่ายกระแสสูงสุดที่เท่ากันในความถี่ที่ต่างกัน ในเรื่องของ wave form ของอินเวอร์ตเตอร์ที่ได้ในโครงงานนี้เป็นแบบ quasi square ซึ่งมี TL494 เป็นตัวควบคุม time lag ซึ่งลักษณะ quasi square จะดีกว่า square wave แต่ก็ด้อยกว่า 6 step หรือ pwm ซึ่งในการศึกษาครั้งนี้ ก็สามารถนำไปใช้งานได้ตามต้องการ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กิตติกรรมประกาศ

คณะผู้จัดทำขอกราบขอบพระคุณอาจารย์สุวงษ์ โลมพงค์ อาจารย์ที่ปรึกษาเป็นอย่างสูงที่ได้คอยดูแลให้คำปรึกษา ชี้แนะแนวทางต่าง ๆ มาโดยตลอด และขอขอบคุณอาจารย์วรศักดิ์ จิตรภักดี ตลอดจนทุกท่านที่ได้ให้ความช่วยเหลือให้โครงงานนี้สามารถลำเร็จขึ้นมาได้เป็นอย่างดี

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หนังสืออ้างอิง

1. B.W. Williams, "Power Electrinics Devices, and Applications", 1988 .

2. Cyril W. Lander, "Power Electronics" , McGRAW-HILL BOOK COMPANY,1987.

3. บริษัท ซีเอ็ดยูเคชั่น จำกัด, "คู่มือ ไอซี CMOS 4000 SERRIES",บริษัท ซีเอ็ดยูเคชั่น จำกัด, 2530.

4. อุดมศักดิ์ ยั่งยืน, "Power Electronics I", ภาควิชาวิศวกรรมไฟฟ้า คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้า วิทยาเขตธนบุรี ,2528.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

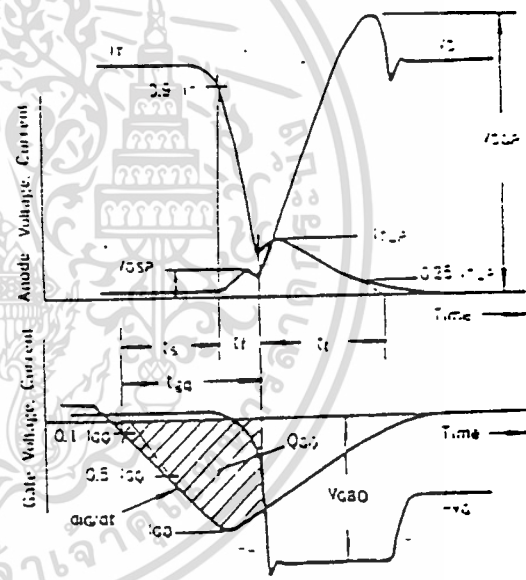
5. Gate Turn-off Thyristor

Terms	Symbols	Definitions
Repetitive Peak Off-State Voltage	V_{DRXM}	Under specified conditions, maximum allowable instantaneous value of off-state voltage having an increase rate lower than the critical rate of rise of off-state voltage applicable repeatedly to anode of GTO.
RMS On-State Current	$I_{T(RMS)}$	Maximum continuous RMS current flowable in forward direction under specified conditions.
Repetitive Controllable On-State Current	I_{TCM}	Maximum allowable instantaneous value of on-state current applicable repeatedly when to cause switching from on-state to off-state by off gate current under specified conditions.
Non-Repetitive Controllable On-State Current	I_{TCSM}	Maximum allowable instantaneous value of on-state current applicable without repetition when to cause switching from on-state to off-state by off gate current under specified conditions.
(Non-Repetitive) Surge On-State Current	I_{TSM}	When device is in operation at specified junction temperature, allowable non-repetitive peak current flowable during one half sine wave (1.5ms duration) in forward direction with resistive load.
I^2t Limit Value	I^2t	Scale to express forward non-repetitive overcurrent capacity with respect to current pulse of very short duration (1.5ms unless otherwise specified). I stands for ampere in RMS value, and t for pulse durtion in seconds.
Critical Rate of Rise of On-State Current	di/dt	Under specified conditions, maximum allowable increase rate of on-state current without any damage to the device after triggering.
Repetitive Peak Reverse Gate Voltage	V_{GRM}	Maximum allowable instantaneous value of voltage between cathode terminal and gate terminal for applying reverse bias to gate-cathode junction.
Repetitive Average Forward Gate Power Dissipation	$P_{GF(AV)}$	Maximum average value of forward power dissipation during one cycle allowable between gate terminal and cathode terminal.
Repetitive Peak Forward Gate Power Dissipation	P_{GFM}	Maximum peak value of forward power dissipation continuously allowable between gate terminal and cathode terminal.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Terms	Symbols	Definitions
Repetitive Average Reverse Gate Power Dissipation	P_{GRIAV}	Maximum average value of reverse power dissipation during one cycle allowable between gate terminal and cathode terminal.
Repetitive Peak Reverse Gate Power Dissipation	P_{GRM}	Maximum peak value of reverse power dissipation continuously allowable between gate terminal and cathode terminal.
Operating Junction Temperature	Tj	Temperature at junction which defined as basis of ratings and indicated by range of allowable temperature.
Storage Temperature	Tstg	Range of allowable temperature for storage of device.
Peak Off-State Current	I_{DRM}	Maximum instntaneous value of forward leakage current for applying specified forward voltage under specified conditions.
Peak On State Voltage	V_{TM}	Maximum instantaneous value of on-state voltage obtained when repetitive controllable on-state current flows under specified conditions.
DC Gate Trigger Current	I_{GT}	Minimum value of DC forward gate current capable of triggering any GTO of the same type at specified conditions.
DC Gate Trigger Voltage	V_{GT}	Minimum value of DC forward gate voltage capable of triggering any GTO of the same type at specified conditions.
Critical Rate of Rise of Off-State Voltage	dv/dt	Under specified conditions, minimum increase rate of off-state voltage to cause switching of device from off-state to on-state.
Holding Current	I_H	When device is in on-state under specified conditions, critical value of on-state current below which the device return to off-state.
Latching Current	I_L	Under specified conditions and load state, minimum on-state current required to keep on-state after switching of device to on-state and removal of gate signal.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Terms	Symbols	Definitions
(Gate Controlled) Turn-On Time	t_{gt}	Under specified conditions with resistive load connected, time required for on-state current to reach 90% of its final value after the moment when gate current pulse has reached 10% of its final value and through the subsequent switching of device from off-state to on-state. $(t_d + t_r)$
Delay Time	t_d	Time required for on-state current to reach 10% of its final value after the moment when gate current pulse has reached 10% of its final value.
Rise Time	t_r	Time required for on-state current to reach 90% from 10% of its final value.
(Gate Controlled) Turn-Off Time	t_{gq}	
Storage Time	t_s	
Fall Time	t_f	
Turn-Off Gate Charge	Q_{GQ}	
Steady State Thermal Impedance	$R_{th(j-c)}$	Under themally steady state while device is continuously energized, value of temperature difference between junction and case, per unit power dissipation at junction. Unit is °C, W.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

GATE TURN-OFF THYRISTOR

GFF200E

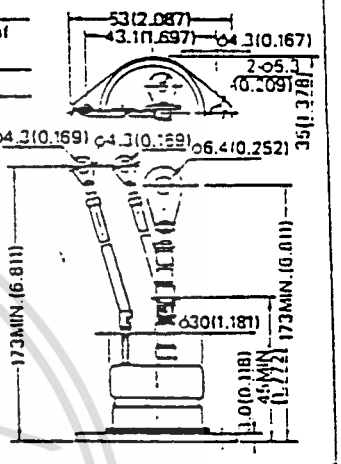
Unit in mm(inch)

■特　長
- 大きな可制御電流
- 重金属ノンドープによるオン電圧の低減
- グラシベーションチップ使用による、高耐圧、高信頼性

■FEATURES
- High controllable on-state current.
- Lower on-state voltage due to non-doping heavy metal.
- High off-state voltage and high reliability due to glass-passivated chip.

OUTLINE DRAWING

Type	Direction of polarity
GFF200E12	▽



Weight : 93 (g)

■MAXIMUM ALLOWABLE RATINGS

Items	Type		GFF200E12
Repetitive Peak Off-State Voltage	V_{DRM}	V	1,200 (1)
RMS On-State Current	$I_{T(RMS)}$	A	70 (T_c=60℃)
Repetitive Controllable On-State Current	I_{TCM}	A	200 (2)
Non-Repetitive Controllable On-State Current	I_{TCSM}	A	280 (3)
Surge (Non-Repetitive) On-State Current	I_{TSM}	A	500 (4)
I^2t Limit Value	I^2t	A^2sec.	185 (5)
Critical Rate of Rise of On-State Current	di/dt	A/μsec.	200 (6)
Repetitive Peak Reverse Gate Voltage	V_{GRM}	V	13 (7)
Repetitive Average Forward Gate Power Dissipation	$P_{G(AV)}$	W	12
Repetitive Peak Forward Gate Power Dissipation	P_{GFM}	W	36
Repetitive Average Reverse Gate Power Dissipation	$P_{G(AV)}$	W	20
Repetitive Peak Reverse Gate Power Dissipation	P_{GRM}	W	1,500
Operating Junction Temperature	T_j	℃	−40 ~ +125
Storage Temperature	T_{stg}	℃	−40 ~ +125

NOTE
(1) V_{GK}=5V or R_{GK}≦100Ω
(2) V_D=400V, Over shoot voltage=100V, E_{GGM}=12V, C_s=0.47μF, L_s=0.4μH, L_c=0.1μH, f=1KHz.
(3) V_D=400V, Over shoot voltage=100V, E_{GGM}=12V, C_s=0.47μF, L_s=2.7μH, L_c=0.1μH.
(4) 1.5msec conduction, Half sine wave, 1cycle.
(5) 1.5msec conduction, I=RMS Value
(6) I_{GM}=6A, dig/dt=4A/μs, Gate pulse width=10μs, V_D=600V.
(7) This value may be exceeded at the turn-off period provided the peak reverse gate power dissipation does not exceed the rated P_{GRM} value.
(8) The reverse voltage between anode and cathode shall not exceed the rated V_{GRM} value.

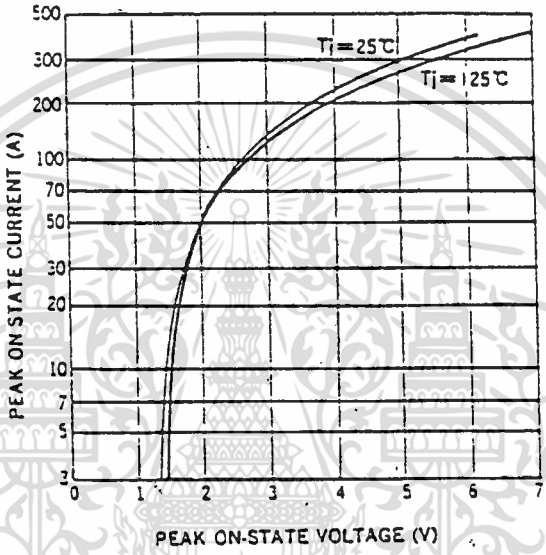
■CHARACTERISTICS (T_j=25℃ unless otherwise specified)

Items	Symbols	Units	Min.	Typ.	Max.	Test Conditions
Peak Off-State Current	I_{DRM}	mA	—	—	1	$V_D=V_{DRM}$, R_{GK}=100Ω
Peak On-State Voltage	V_{TM}	V	—	—	3.8	I_{TM}=200A
DC Gate Trigger Current	I_{GT}	mA	—	—	600	V_D=24V, R_L=2Ω
DC Gate Trigger Voltage	V_{GT}	V	—	—	1.5	
Critical Rate of Rise of Off-State Voltage	dv/dt	V/μsec.	1,000	—	—	V_D=¾V_{DRM}, T_j=125℃, V_{GK}=5V or R_{GK}=100Ω
Holding Current	I_H	A	—	4	—	V_D=24V
Latching Current	I_L	A	—	6	—	V_D=24V
Turn-On Time	t_{on}	μsec.	—	3.0	4.0	V_D=800V
(Delay Time)	t_d	μsec.	—	1.0	—	I_{TM}=200A
(Rise Time)	t_r	μsec.	—	2.0	—	I_{GM}=6A
Gate Turn-Off Time	t_{off}	μsec.	—	4.5	6.0	V_D=600V, I_{TM}=200A
(Storage Time)	t_s	μsec.	—	4.0	—	E_{GGM}=12V
(Fall Time)	t_f	μsec.	—	0.5	—	L_c=0.4μH
Turn-Off Gate Charge	Q_{GO}	μC	—	200	300	
Steady State Thermal Impedance	$R_{th(j-c)}$	℃/W	—	—	0.35	Junction to Case

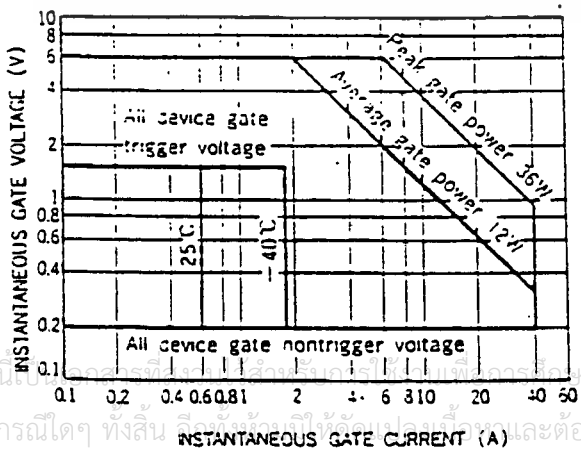
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งไม่อนุญาตให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

GFF200E

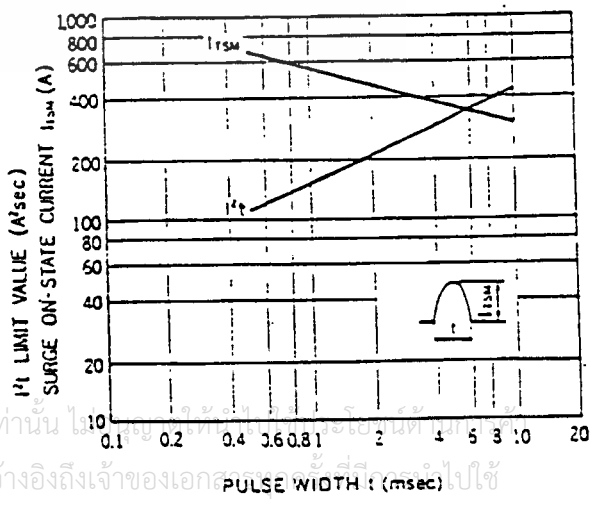
頂 特 性
ON-STATE VOLTAGE CHARACTERISTICS



ゲートトリガ特性
GATE TRIGGERING CHARACTERISTICS



サージオン電流特性（非繰返し）
SURGE ON-STATE CURRENT CHARACTERISTICS
(NON-REPETITIVE)

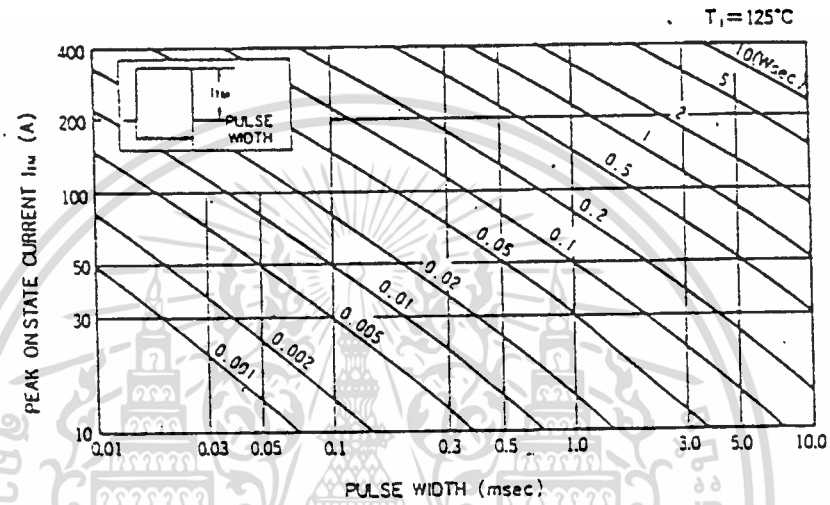


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

GFF200E

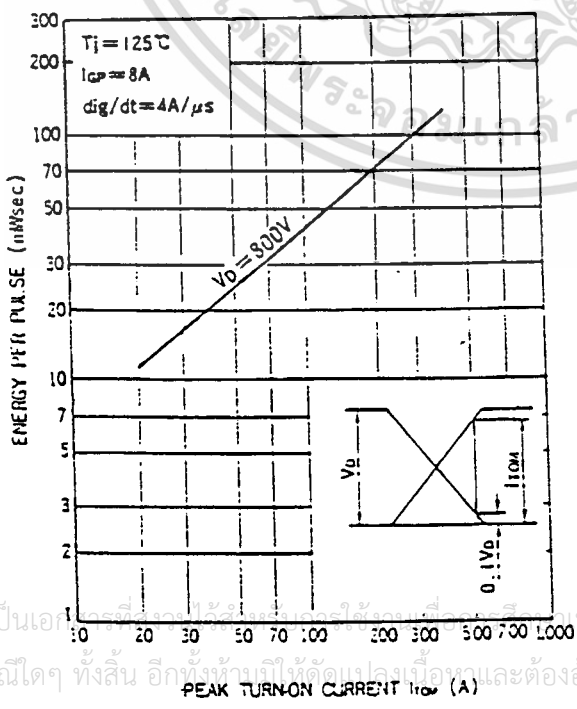
方形波1パルス当りのエネルギー損失特性(導通時)

ON-STATE ENERGY PER PULSE



1パルス当りのエネルギー損失特性（ターンオン時）

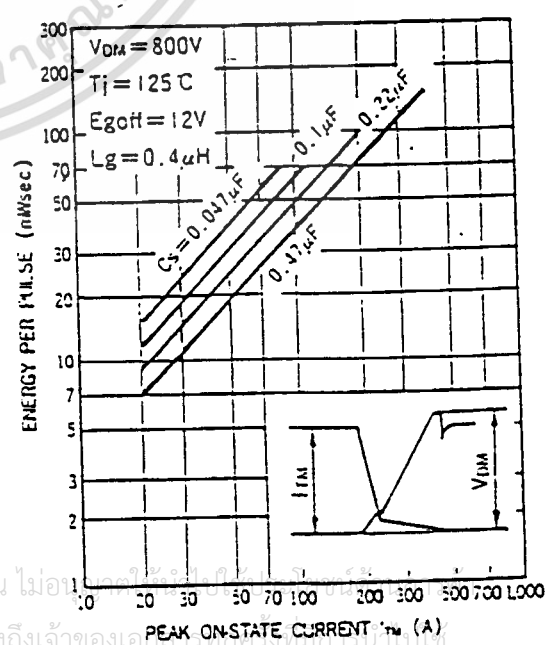
ENERGY PER PULSE (AT TURN-ON)



1パルス当りのエネルギー損失特性

（ゲートターンオフ時）

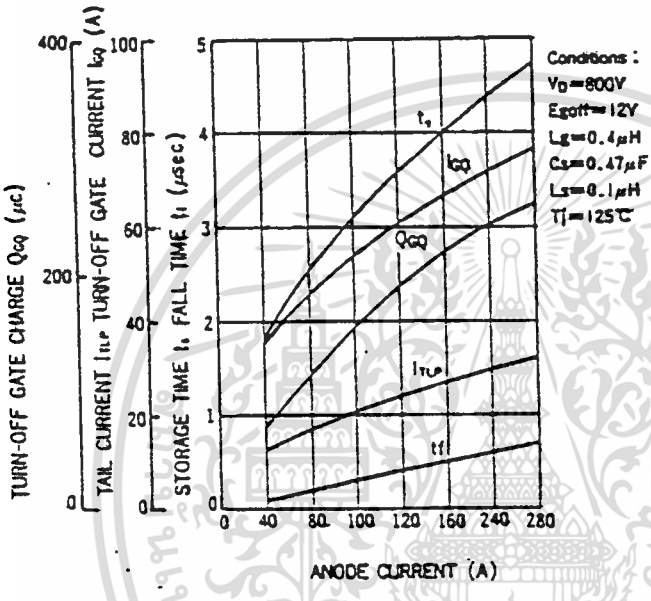
ENERGY PER PUSE (AT GATE TURN-OFF)



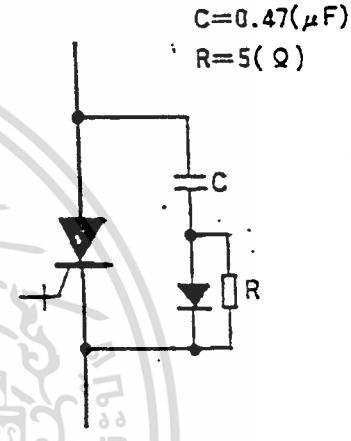
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า การแสวงหากำไร
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

GFF200E

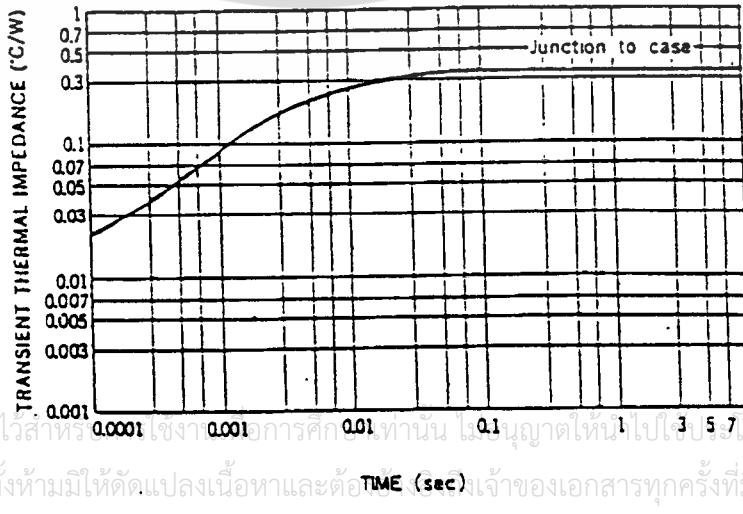
ターンオフ特性（代表値）
TURN-OFF CHARACTERISTICS (TYPICAL)



スナバ定数の推奨値
RECOMMENDED VALUES
OF SNUBBER CONSTANTS



過渡熱インピーダンス
TRANSIENT THERMAL IMPEDANCE



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

National Semiconductor

CD4047BM/CD4047BC Low Power Monostable/Astable Multivibrator

general description

CD4047B is capable of operating in either the monostable or astable mode. It requires an external capacitor (between pins 1 and 3) and an external resistor (between pins 2 and 3) to determine the output pulse width in the monostable mode, and the output frequency in the astable mode.

Astable operation is enabled by a high level on the astable input or low level on the $\overline{\text{astable}}$ input. The output frequency (at 50% duty cycle) at Q and $\overline{Q}$ outputs is determined by the timing components. A frequency twice that of Q is available at the Oscillator Output; a 50% duty cycle is not guaranteed.

Monostable operation is obtained when the device is triggered by low-to-high transition at + triggger input or high-to-low transition at − trigger input. The device can be retriggered by applying a simultaneous low-to-high transition to both the + trigger and retrigger inputs.

A high level on Reset input resets the outputs Q to low, $\overline{Q}$ to high.

features

■ Wide supply voltage range	3V to 15V
■ High noise immunity	0.45 V_{DD} typ
■ Low power TTL compatibility	fan out of 2 driving 74L or driving 74LS

SPECIAL FEATURES

- Low power consumption: special CMOS oscillator configuration
- Monostable (one-shot) or astable (free-running) operation
- True and complemented buffered outputs
- Only one external R and C required

MONOSTABLE MULTIVIBRATOR FEATURES

- Positive or negative-edge trigger
- Output pulse width independent of trigger pulse duration
- Retriggerable option for pulse width expansion
- Long pulse widths possible using small RC components by means of external counter provision
- Fast recovery time essentially independent of pulse width
- Pulse-width accuracy maintained at duty cycles approaching 100%

ASTABLE MULTIVIBRATOR FEATURES

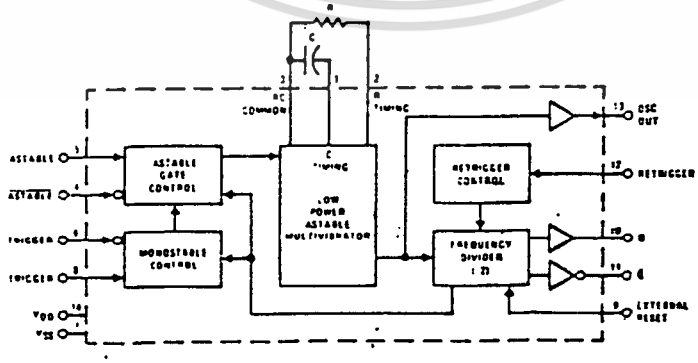
- Free-running or gatable operating modes
- 50% duty cycle
- Oscillator output available
- Good astable frequency stability

  typical frequency deviation = ±2% + 0.03%/°C @ 100 kHz
  = ±0.5% + 0.015%/°C @ 10 kHz
  (circuits trimmed to frequency V_{DD} = 10V ±10%)

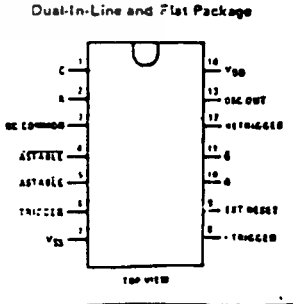
applications

- Frequency discriminators
- Timing circuits
- Time delay applications
- Envelope detection
- Frequency multiplication
- Frequency division

block and connection diagrams



Dual-In-Line and Flat Package



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

absolute maximum ratings

(Notes 1 and 2)

V_{DD} dc Supply Voltage	−0.5 to +18 V_{DC}
V_{IN} Input Voltage	−0.5 to V_{DD} + 0.5 V_{DC}
T_S Storage Temperature Range	−65°C to +150°C
P_D Package Dissipation	500 mW
T_L Lead Temperature (Soldering, 10 seconds)	300°C

recommended operating conditions

(Note 2)

V_{DD} dc Supply Voltage	3 to 15 V_{DC}
V_{IN} Input Voltage	0 to V_{DD} V_{DC}
T_A Operating Temperature Range	
CD4047BM	−55°C to +125°C
CD4047BC	−40°C to +85°C

dc electrical characteristics CD4047BM (Note 2)

PARAMETER		CONDITIONS	−55°C		25°C			125°C		UNITS
			MIN	MAX	MIN	TYP	MAX	MIN	MAX	
I_{DD}	Quiescent Device Current	V_{DD} = 5V		5			5		150	μA
		V_{DD} = 10V		10			10		300	μA
		V_{DD} = 15V		20			20		600	μA
V_{OL}	Low Level Output Voltage	$\|I_O\| < 1\ \mu A$								
		V_{DD} = 5V		0.05		0	0.05		0.05	V
		V_{DD} = 10V		0.05		0	0.05		0.05	V
		V_{DD} = 15V		0.05		0	0.05		0.05	V
V_{OH}	High Level Output Voltage	$\|I_O\| < 1\ \mu A$								
		V_{DD} = 5V	4.95		4.95	5		4.95		V
		V_{DD} = 10V	9.95		9.95	10		9.95		V
		V_{DD} = 15V	14.95		14.95	15		14.95		V
V_{IL}	Low Level Input Voltage	V_{DD} = 5V, V_O = 0.5V or 4.5V		1.5		2.25	1.5		1.5	V
		V_{DD} = 10V, V_O = 1V or 9V		3.0		4.5	3.0		3.0	V
		V_{DD} = 15V, V_O = 1.5V or 13.5V		4.0		6.75	4.0		4.0	V
V_{IH}	High Level Input Voltage	V_{DD} = 5V, V_O = 0.5V or 4.5V	3.5		3.5	2.75		3.5		V
		V_{DD} = 10V, V_O = 1V or 9V	7.0		7.0	5.5		7.0		V
		V_{DD} = 15V, V_O = 1.5V or 13.5V	11.0		11.0	8.25		11.0		V
I_{OL}	Low Level Output Current	V_{DD} = 5V, V_O = 0.4V	0.64		0.51	0.88		0.36		mA
		V_{DD} = 10V, V_O = 0.5V	1.6		1.3	2.25		0.9		mA
		V_{DD} = 15V, V_O = 1.5V	4.2		3.4	8.8		2.4		mA
I_{OH}	High Level Output Current	V_{DD} = 5V, V_O = 4.6V	−0.64		−0.51	−0.88		−0.36		mA
		V_{DD} = 10V, V_O = 9.5V	−1.6		−1.3	−2.25		−0.9		mA
		V_{DD} = 15V, V_O = 13.5V	−4.2		−3.4	−8.8		−2.4		mA
I_{IN}	Input Current	V_{DD} = 15V, V_{IN} = 0V		−0.1		-10^{-5}	−0.1		−1.0	μA
		V_{DD} = 15V, V_{IN} = 15V		0.1		10^{-5}	0.1		1.0	μA

dc electrical characteristics CD4047BC (Note 2)

PARAMETER		CONDITIONS	−40°C		25°C			85°C		UNITS
			MIN	MAX	MIN	TYP	MAX	MIN	MAX	
I_{DD}	Quiescent Device Current	V_{DD} = 5V		20			20		150	μA
		V_{DD} = 10V		40			40		300	μA
		V_{DD} = 15V		80			80		600	μA
V_{OL}	Low Level Output Voltage	$\|I_O\| < 1\ \mu A$								
		V_{DD} = 5V		0.05		0	0.05		0.05	V
		V_{DD} = 10V		0.05		0	0.05		0.05	V
		V_{DD} = 15V		0.05		0	0.05		0.05	V

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

dc electrical characteristics (Continued) CD4047BC (Note 2)

PARAMETER		CONDITIONS	-40°C		25°C			85°C		UNITS
			MIN	MAX	MIN	TYP	MAX	MIN	MAX	
V_{OH}	High Level Output Voltage	$\|I_O\| < 1\ \mu A$								
		$V_{DD} = 5V$	4.95		4.95	5		4.95		V
		$V_{DD} = 10V$	9.95		9.95	10		9.95		V
		$V_{DD} = 15V$	14.95		14.95	15		14.95		V
V_{IL}	Low Level Input Voltage	$V_{DD} = 5V$, $V_O = 0.5V$ or 4.5V		1.5		2.25	1.5		1.5	V
		$V_{DD} = 10V$, $V_O = 1V$ or 9V		3.0		4.5	3.0		3.0	V
		$V_{DD} = 15V$, $V_O = 1.5V$ or 13.5V		4.0		6.75	4.0		4.0	V
V_{IH}	High Level Input Voltage	$V_{DD} = 5V$, $V_O = 0.5V$ or 4.5V	3.5		3.5	2.75		3.5		V
		$V_{DD} = 10V$, $V_O = 1V$ or 9V	7.0		7.0	5.5		7.0		V
		$V_{DD} = 15V$, $V_O = 1.5V$ or 13.5V	11.0		11.0	8.25		11.0		V
I_{OL}	Low Level Output Current	$V_{DD} = 5V$, $V_O = 0.4V$	0.52		0.44	0.88		0.36		mA
		$V_{DD} = 10V$, $V_O = 0.5V$	1.3		1.1	2.25		0.9		mA
		$V_{DD} = 15V$, $V_O = 1.5V$	3.6		3.0	8.8		2.4		mA
I_{OH}	High Level Output Current	$V_{DD} = 5V$, $V_O = 4.6V$	-0.52		-0.44	-0.88		-0.36		mA
		$V_{DD} = 10V$, $V_O = 9.5V$	-1.3		-1.1	-2.25		-0.9		mA
		$V_{DD} = 15V$, $V_O = 13.5V$	-3.6		-3.0	-8.8		-2.4		mA
I_{IN}	Input Current	$V_{DD} = 15V$, $V_{IN} = 0V$		-0.3		-10^{-5}	-0.3		-1.0	μA
		$V_{DD} = 15V$, $V_{IN} = 15V$		0.3		10^{-5}	0.3		1.0	μA

Note 1: "Absolute Maximum Ratings" are those values beyond which the safety of the device cannot be guaranteed, they are not meant to imply that the devices should be operated at these limits. The table of "Recommended Operating Conditions" and "Electrical Characteristics" provides conditions for actual device operation.

Note 2: $V_{SS} = 0V$ unless otherwise specified.

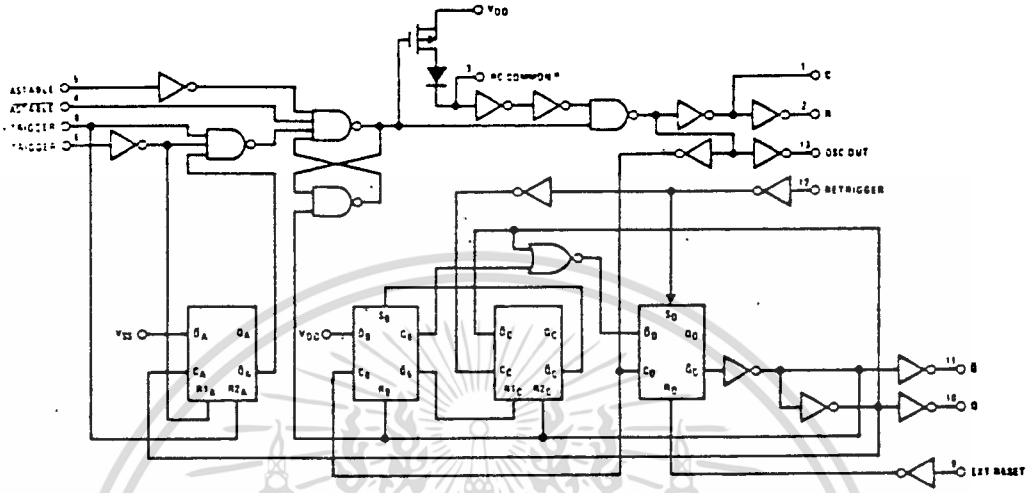
ac electrical characteristics CD4047B

$T_A = 25°C$, $C_L = 50$ pF, $R_L = 200$k, Input $t_r = t_f = 20$ ns, unless otherwise specified.

	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
t_{PHL}, t_{PLH}	Propagation Delay Time Astable, $\overline{\text{Astable}}$ to Osc Out	$V_{DD} = 5V$		200	400	ns
		$V_{DD} = 10V$		100	200	ns
		$V_{DD} = 15V$		80	160	ns
t_{PHL}, t_{PLH}	Astable, $\overline{\text{Astable}}$ to Q, $\overline{Q}$	$V_{DD} = 5V$		550	900	ns
		$V_{DD} = 10V$		250	500	ns
		$V_{DD} = 15V$		200	400	ns
t_{PHL}, t_{PLH}	+ Trigger, − Trigger to Q, $\overline{Q}$	$V_{DD} = 5V$		700	1200	ns
		$V_{DD} = 10V$		300	600	ns
		$V_{DD} = 15V$		240	480	ns
t_{PHL}, t_{PLH}	+ Trigger, Retrigger to Q, $\overline{Q}$	$V_{DD} = 5V$		300	600	ns
		$V_{DD} = 10V$		175	300	ns
		$V_{DD} = 15V$		150	250	ns
t_{PHL}, t_{PLH}	Reset to Q, $\overline{Q}$	$V_{DD} = 5V$		300	600	ns
		$V_{DD} = 10V$		125	250	ns
		$V_{DD} = 15V$		100	200	ns
t_{THL}, t_{TLH}	Transition Time Q, $\overline{Q}$, Osc Out	$V_{DD} = 5V$		100	200	ns
		$V_{DD} = 10V$		50	100	ns
		$V_{DD} = 15V$		40	80	ns
t_{WL}, t_{WH}	Minimum Input Pulse Duration	Any Input				
		$V_{DD} = 5V$		500	1000	ns
		$V_{DD} = 10V$		200	400	ns
		$V_{DD} = 15V$		160	320	ns
t_{RCL}, t_{FCL}	+ Trigger, Retrigger, Rise and Fall Time	$V_{DD} = 5V$			15	μs
		$V_{DD} = 10V$			5	μs
		$V_{DD} = 15V$			5	μs
C_{IN}	Average Input Capacitance	Any Input		5	7.5	pF

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

logic diagram



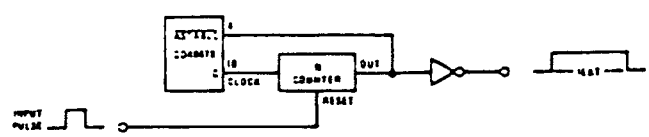
*Special input protection circuit to permit larger input-voltage swings

truth table

FUNCTION	TERMINAL CONNECTIONS			OUTPUT PULSE FROM	TYPICAL OUTPUT PERIOD OR PULSE WIDTH
	TO V_{DD}	TO V_{SS}	INPUT PULSE TO		
Astable Multivibrator					
Free-Running	4, 5, 6, 14	7, 8, 9, 12		10, 11, 13	$t_A(10, 11) = 4.40\ RC$
True Gating	4, 6, 14	7, 8, 9, 12	5	10, 11, 13	$t_A(13) = 2.20\ RC$
Complement Gating	6, 14	5, 7, 8, 9, 12	4	10, 11, 13	
Monostable Multivibrator					
Positive-Edge Trigger	4, 14	5, 6, 7, 9, 12	8	10, 11	
Negative-Edge Trigger	4, 8, 14	5, 7, 9, 12	6	10, 11	$t_M(10, 11) = 2.48\ RC$
Retriggerable	4, 14	5, 6, 7, 9	8, 12	10, 11	
External Countdown*	14	5, 6, 7, 8, 9, 12	(See Figure)	(See Figure)	(See Figure)

Note: External resistor between terminals 2 and 3. External capacitor between terminals 1 and 3.

*** Typical Implementation of External Countdown Option**

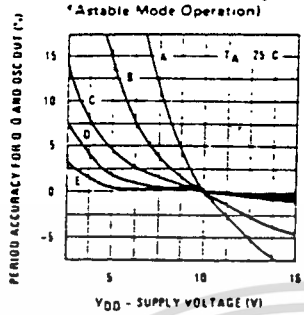


$$t_{EXT} = (N - 1)\,t_A + (t_M + t_A/2)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

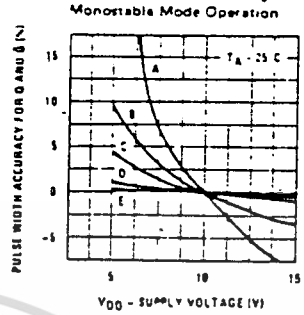
typical performance characteristics

Typical Q, $\overline{Q}$, Osc Out Period Accuracy vs Supply Voltage (Astable Mode Operation)



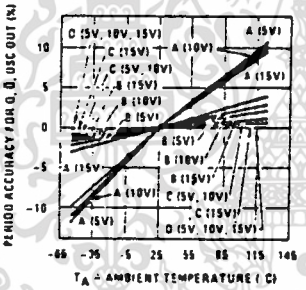
	$f_{Q, \overline{Q}}$	R	C
A	1000 kHz	22k	10 pF
B	100 kHz	22k	100 pF
C	10 kHz	220k	100 pF
D	1 kHz	220k	1000 pF
E	100 Hz	2.2M	1000 pF

Typical Q, $\overline{Q}$, Pulse Width Accuracy vs Supply Voltage Monostable Mode Operation



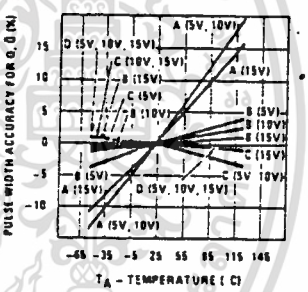
	t_M	R	C
A	2 µs	22k	10 pF
B	7 µs	22k	100 pF
C	60 µs	220k	100 pF
D	550 µs	220k	1000 pF
E	5.5 ms	2.2M	1000 pF

Typical Q, $\overline{Q}$ and Osc Out Period Accuracy vs Temperature Astable Mode Operation



	$f_{Q, \overline{Q}}$	R	C
A	1000 kHz	22k	10 pF
B	100 kHz	22k	100 pF
C	10 kHz	220k	100 pF
D	1 kHz	220k	1000 pF

Typical Q and $\overline{Q}$ Pulse Width Accuracy vs Temperature Monostable Mode Operation

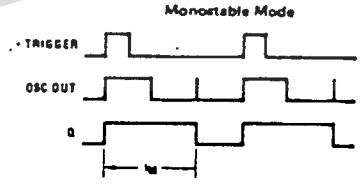


	t_M	R	C
A	2 µs	22k	10 pF
B	7 µs	22k	100 pF
C	60 µs	220k	100 pF
D	550 µs	220k	1000 pF

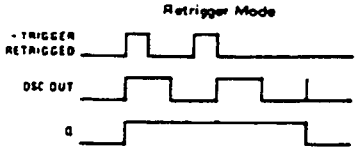
timing diagrams

Astable Mode

Monostable Mode



Retrigger Mode



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MOTOROLA
SEMICONDUCTOR
TECHNICAL DATA

MTM12N08
MTM12N10
MTP12N08
MTP12N10

Designer's Data Sheet

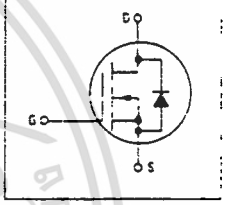
Power Field Effect Transistor
N-Channel Enhancement Mode Silicon Gate TMOS

TMOS

TMOS POWER FETs
12 AMPERES
$r_{DS(on)}$ = 0.18 OHM
80 and 100 VOLTS

These TMOS Power FETs are designed for medium voltage, high speed power switching applications such as switching regulators, converters, solenoid and relay drivers.

- Silicon Gate for Fast Switching Speeds — Switching Times Specified at 100°C
- Designer's Data — I_{DSS}, $V_{DS(on)}$, $V_{GS(th)}$ and SOA Specified at Elevated Temperature
- Rugged — SOA is Power Dissipation Limited
- Source-to-Drain Diode Characterized for Use With Inductive Loads



MTM12N08
MTM12N10
CASE 1-04
TO-204AA
(TO-3)

MTP12N08
MTP12N10
CASE 221A-02
TO-220AB

MAXIMUM RATINGS

Rating	Symbol	MTM or MTP 12N08	MTM or MTP 12N10	Unit
Drain-Source Voltage	V_{DSS}	80	100	Vdc
Drain-Gate Voltage (R_{GS} = 1 MΩ)	V_{DGR}	80	100	Vdc
Gate-Source Voltage	V_{GS}	±20		Vdc
Drain Current — Continuous — Pulsed	I_D I_{DM}	12 30		Adc
Total Power Dissipation @ T_C = 25°C Derate above 25°C	P_D	75 0.6		Watts W/°C
Operating and Storage Temperature Range	T_J, T_{stg}	−65 to 150		°C

THERMAL CHARACTERISTICS

Thermal Resistance Junction to Case		$R_{\theta JC}$	1.67	°C/W
Junction to Ambient	TO-204	$R_{\theta JA}$	30	
	TO-220		62.5	
Maximum Lead Temperature for Soldering Purposes, 1/8" from case for 5 seconds		T_L	275	°C

Designer's Data for "Worst Case" Conditions — The Designer's Data Sheet permits the design of most circuits entirely from the information presented. SOA Limit curves — representing boundaries on device characteristics — are given to facilitate "worst case" design.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ELECTRICAL CHARACTERISTICS (T_C = 25°C unless otherwise noted)

Characteristic		Symbol	Min	Max	Unit
OFF CHARACTERISTICS					
Drain-Source Breakdown Voltage (V_{GS} = 0, I_D = 0.25 mA)	MTM MTP12N08 MTM MTP12N10	$V_{(BR)DSS}$	80 100	— —	Vdc
Zero Gate Voltage Drain Current (V_{DS} = Rated V_{DSS}, V_{GS} = 0) (V_{DS} = 0.8 Rated V_{DSS}, V_{GS} = 0, T_J = 125°C)		I_{DSS}	— —	0.2 1	mAdc
Gate-Body Leakage Current, Forward (V_{GSF} = 20 Vdc, V_{DS} = 0)		I_{GSSF}	—	100	nAdc
Gate-Body Leakage Current, Reverse (V_{GSR} = 20 Vdc, V_{DS} = 0)		I_{GSSR}	—	100	nAdc
ON CHARACTERISTICS*					
Gate Threshold Voltage (V_{DS} = V_{GS}, I_D = 1 mA) T_J = 100°C		$V_{GS(th)}$	2 1.5	4.5 4	Vdc
Static Drain-Source On-Resistance (V_{GS} = 10 Vdc, I_D = 6 Adc)		$r_{DS(on)}$	—	0.18	Ohm
Drain-Source On-Voltage (V_{GS} = 10 V) (I_D = 12 Adc) (I_D = 6 Adc, T_J = 100°C)		$V_{DS(on)}$	— —	2.6 2.2	Vdc
Forward Transconductance (V_{DS} = 15 V, I_D = 6 A)		g_{FS}	3	—	mhos
DYNAMIC CHARACTERISTICS					
Input Capacitance	V_{DS} = 25 V, V_{GS} = 0, f = 1 MHz See Figure 11	C_{iss}	—	800	pF
Output Capacitance		C_{oss}	—	400	
Reverse Transfer Capacitance		C_{rss}	—	100	
SWITCHING CHARACTERISTICS* (T_J = 100°C)					
Turn-On Delay Time	V_{DD} = 25 V, I_D = 0.5 Rated I_D R_{gen} = 50 ohms) See Figures 9, 13 and 14	$t_{d(on)}$	—	50	ns
Rise Time		t_r	—	150	
Turn-Off Delay Time		$t_{d(off)}$	—	200	
Fall Time		t_f	—	100	
Total Gate Charge	V_{DS} = 0.8 Rated V_{DSS}, I_D = Rated I_D, V_{GS} = 10 V) See Figure 12	Q_g	17 (Typ)	36	nC
Gate-Source Charge		Q_{gs}	8 (Typ)	—	
Gate-Drain Charge		Q_{gd}	9 (Typ)	—	
SOURCE DRAIN DIODE CHARACTERISTICS*					
Forward On-Voltage	I_S = Rated I_D V_{GS} = 0)	V_{SD}	1.2 (Typ)	2.5	Vdc
Forward Turn-On Time		t_{on}	Limited by stray inductance		
Reverse Recovery Time		t_{rr}	325 (Typ)	—	ns
INTERNAL PACKAGE INDUCTANCE (TO-204)					
Internal Drain Inductance (Measured from the contact screw on the header closer to the source pin and the center of the die)		L_d	5 (Typ)	—	nH
Internal Source Inductance (Measured from the source pin, 0.25" from the package to the source bond pad)		L_s	12.5 (Typ)	—	
INTERNAL PACKAGE INDUCTANCE (TO-220)					
Internal Drain Inductance (Measured from the contact screw on tab to center of die) (Measured from the drain lead 0.25" from package to center of die)		L_d	3.5 (Typ) 4.5 (Typ)	— —	nH
Internal Source Inductance (Measured from the source lead 0.25" from package to source bond pad.)		L_s	7.5 (Typ)	—	

*Pulse Test: Pulse Width = 300 μs, Duty Cycle = 2%.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TYPICAL ELECTRICAL CHARACTERISTICS

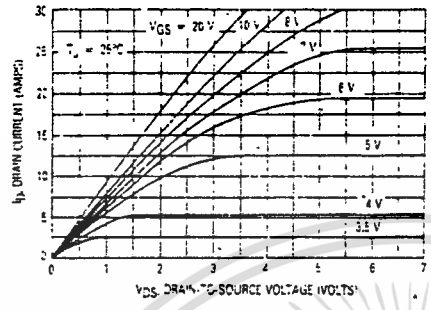


Figure 1. On-Region Characteristics

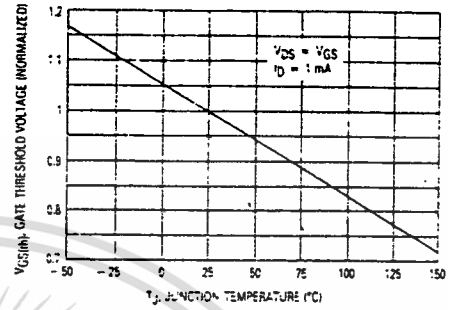


Figure 2 Gate-Threshold Voltage Variation With Temperature

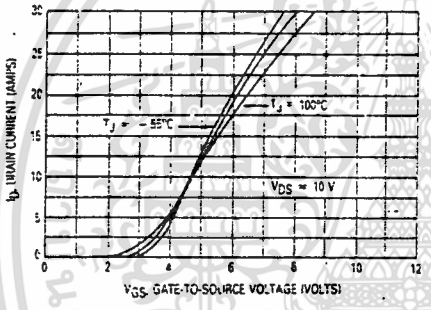


Figure 3. Transfer Characteristics

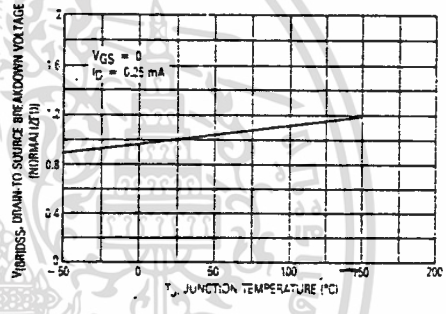


Figure 4. Breakdown Voltage Variation With Temperature

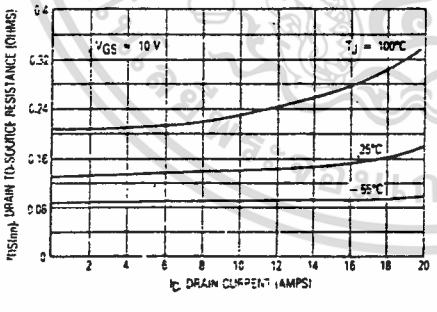


Figure 5. On-Resistance versus Drain Current

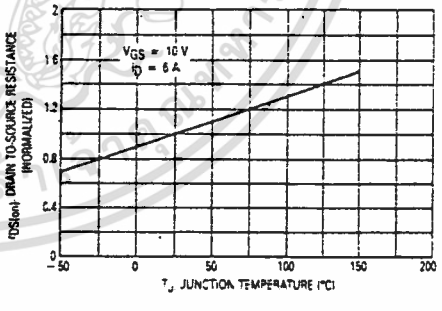


Figure 6. On-Resistance Variation With Temperature

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

SAFE OPERATING AREA INFORMATION

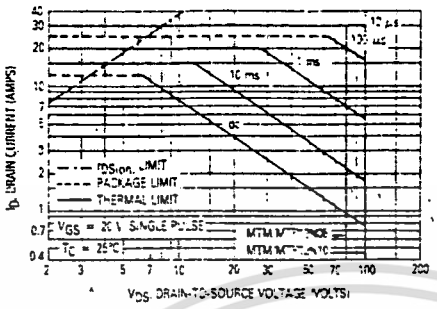


Figure 7. Maximum Rated Forward Biased Safe Operating Area

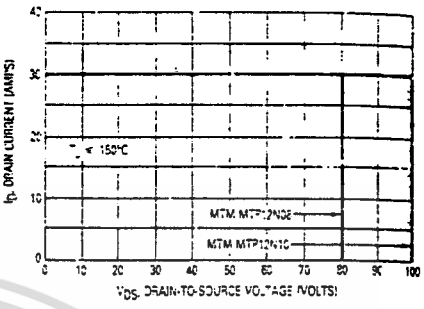


Figure 8. Maximum Rated Switching Safe Operating Area

FORWARD BIASED SAFE OPERATING AREA

The FBSOA curves define the maximum drain-to-source voltage and drain current that a device can safely handle when it is forward biased, or when it is on, or being turned on. Because these curves include the limitations of simultaneous high voltage and high current, up to the rating of the device, they are especially useful to designers of linear systems. The curves are based on a case temperature of 25°C and a maximum junction temperature of 150°C. Limitations for repetitive pulses at various case temperatures can be determined by using the thermal response curves. Motorola Application Note, AN569, "Transient Thermal Resistance-General Data and Its Use" provides detailed instructions.

SWITCHING SAFE OPERATING AREA

The switching safe operating area (SOA) of Figure 8 is the boundary that the load line may traverse without incurring damage to the MOSFET. The fundamental limits are the peak current, I_{DM} and the breakdown voltage, $V_{(BR)DSS}$. The switching SOA shown in Figure 8 is applicable for both turn-on and turn-off of the devices for switching times less than one microsecond.

The power averaged over a complete switching cycle must be less than:

$$\frac{T_{J(max)} - T_C}{R_{\theta JC}}$$

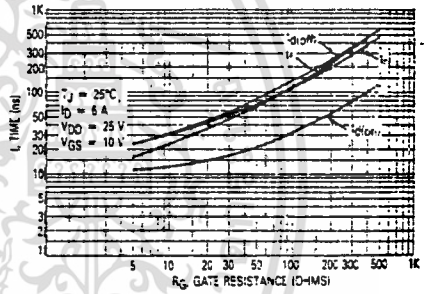


Figure 9. Resistive Switching Time versus Gate Resistance

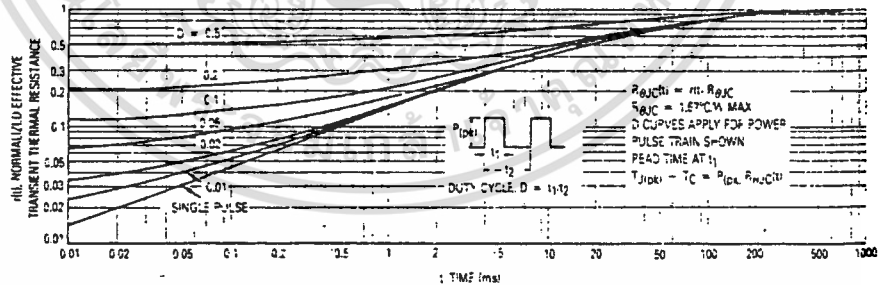


Figure 10. Thermal Response

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

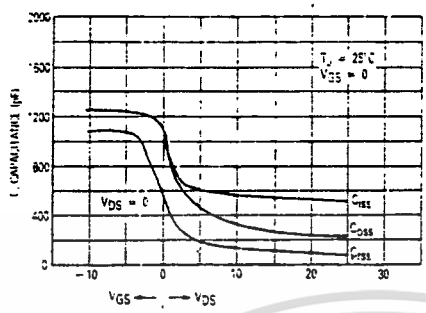


Figure 11. Capacitance Variation

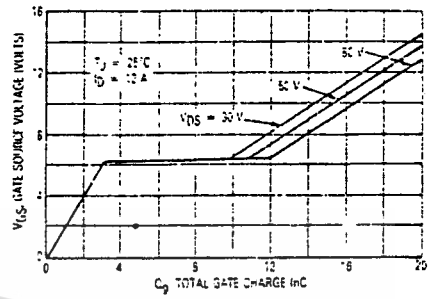


Figure 12. Gate Charge versus Gate-To-Source Voltage

3

RESISTIVE SWITCHING

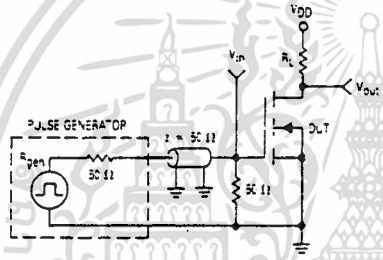


Figure 13. Switching Test Circuit

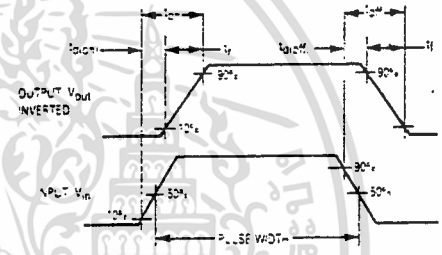
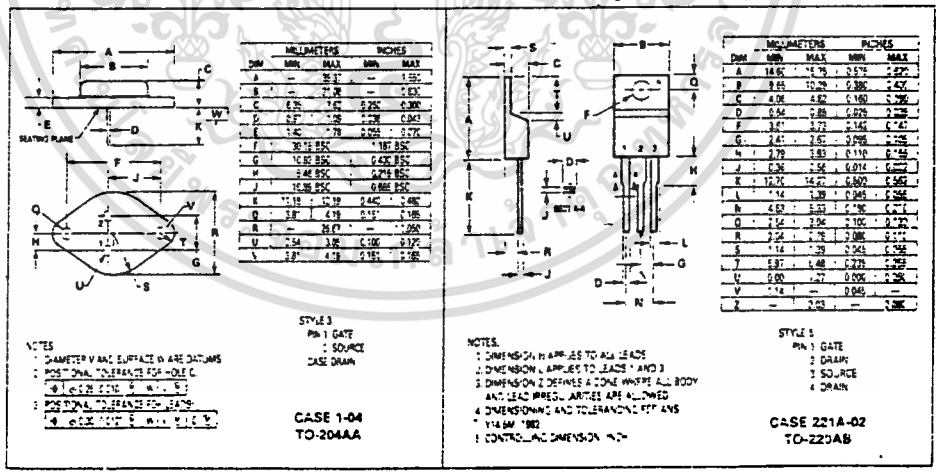


Figure 14. Switching Waveforms

OUTLINE DIMENSIONS



DIM	MILLIMETERS MIN	MILLIMETERS MAX	INCHES MIN	INCHES MAX
A	—	25.37	—	1.000
B	—	21.08	—	0.830
C	6.35	7.62	0.250	0.300
D	0.97	1.09	0.038	0.043
E	1.40	1.78	0.055	0.070
F	38.10 BSC		1.500 BSC	
G	10.92 BSC		0.430 BSC	
H	5.46 BSC		0.215 BSC	
J	16.26 BSC		0.640 BSC	
K	17.15	17.91	0.675	0.705
Q	3.81	4.19	0.150	0.165
R	—	26.67	—	1.050
U	6.54	3.96	0.100	0.125
V	3.81	4.19	0.150	0.165

NOTES
1. DIAMETER V AND SURFACE W ARE DATUMS
2. POSITIONAL TOLERANCE FOR HOLE Q
3. POSITIONAL TOLERANCE FOR LEADS

STYLE 3
PIN 1 GATE
2 SOURCE
CASE DRAIN

CASE 1-04
TO-204AA

DIM	MILLIMETERS MIN	MILLIMETERS MAX	INCHES MIN	INCHES MAX
A	14.60	15.75	0.575	0.620
B	9.65	10.29	0.380	0.405
C	4.06	4.82	0.160	0.190
D	0.64	0.88	0.025	0.035
F	3.61	3.73	0.142	0.147
G	2.41	2.67	0.095	0.105
H	2.79	2.93	0.110	0.115
J	0.36	0.56	0.014	0.022
K	12.70	14.27	0.500	0.562
L	1.14	1.39	0.045	0.055
N	4.83	5.33	0.190	0.210
Q	2.54	2.94	0.100	0.116
R	2.04	2.79	0.080	0.110
S	1.14	1.39	0.045	0.055
T	5.87	6.48	0.231	0.255
U	0.00	1.27	0.000	0.050
V	1.14	—	0.045	—
Z	—	2.03	—	0.080

NOTES:
1. DIMENSION H APPLIES TO ALL LEADS
2. DIMENSION L APPLIES TO LEADS 1 AND 3
3. DIMENSION Z DEFINES A ZONE WHERE ALL BODY AND LEAD IRREGULARITIES ARE ALLOWED
4. DIMENSIONING AND TOLERANCING PER ANSI Y14.5M, 1982
5. CONTROLLING DIMENSION: INCH

STYLE 5
PIN 1 GATE
2 DRAIN
3 SOURCE
4 DRAIN

CASE 221A-02
TO-220AB

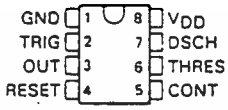
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TYPES TLC555M, TLC555C
LinCMOS™ TIMERS

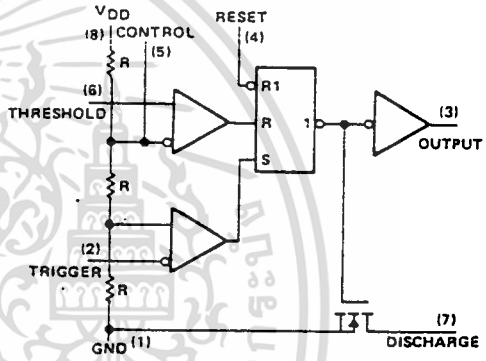
D2784, SEPTEMBER 1983

- Very Low Power Consumption . . . 1 mW Typ at V_{DD} = 5 V
- Capable of Very-High-Speed Operation . . . Typically 2 MHz in Astable Mode
- Complementary CMOS output Capable of Swinging Rail-to-Rail
- High Output-Current Capability
  . . . Sink 100 mA Typ
  . . Source 10 mA Typ
- Output Fully CMOS-, TTL-, and MOS-Compatible
- Low Supply Current Reduces Spikes During Output Transitions
- High Impedance Inputs . . . 10^{12} Ω Typ
- Single-Supply Operation from 2 to 18 V
- Functionally Interchangeable with the Signetics NE555; has Same Pinout

TLC555M . . . JG PACKAGE
TLC555C . . . D, JG, or P PACKAGE
(TOP VIEW)



functional block diagram



Reset can override Trigger, which can override Threshold.

description

The TLC555 is a monolithic timing circuit fabricated using TI's LinCMOS™ process. Due to its high-impedance inputs (typically 10^{12} Ω), it is capable of producing accurate time delays and oscillations while using less expensive, smaller timing capacitors than the NE555. Like the NE555, the TLC555 achieves both monostable (using one resistor and one capacitor) and astable (using two resistors and one capacitor) operation. In addition, 50% duty cycle astable operation is possible using only a single resistor and one capacitor. The LinCMOS™ process allows the TLC555 to operate at frequencies up to 2 MHz and be fully compatible with CMOS, TTL, and MOS logic. It also provides very low power consumption (typically 1 mW at V_{DD} = 5 V) over a wide range of supply voltages ranging from 2 volts to 18 volts.

Like the NE555, the threshold and trigger levels are normally two-thirds and one-third respectively of V_{DD}. These levels can be altered by use of the control voltage terminal. When the trigger input falls below trigger level, the flip-flop is set and the output goes high. If the trigger input is above the trigger level and the threshold input is above the threshold level, the flip-flop is reset and the output is low. The reset input can override all other inputs and can be used to initiate a new timing cycle. When the reset input goes low, the flip-flop is reset and the output goes low. Whenever the output is low, a low-impedance path is provided between the discharge terminal and ground.

While the complementary CMOS output is capable of sinking over 100 mA and sourcing over 10 mA, the TLC555 exhibits greatly reduced supply current spikes during output transitions. This minimizes the need for the large decoupling capacitors required by the NE555.

These devices have internal electrostatic discharge (ESD) protection circuits that will prevent catastrophic failures at voltage up to 2000 volts as tested under MIL-STD-883B, Method 3015.1. However, care should be exercised in handling these devices as exposure to ESD may result in a degradation of the device parametric performance.

All unused inputs should be tied to an appropriate logic level to prevent false triggering.

The TLC555M is characterized for operation over the full military temperature range of −55°C to 125°C; the TLC555C is characterized for operation from 0°C to 70°C.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

FUNCTION TABLE

RESET	TRIGGER VOLTAGE†	THRESHOLD VOLTAGE†	OUTPUT	DISCHARGE SWITCH
Low	Irrelevant	Irrelevant	Low	On
High	< 1/3 V_{DD}	Irrelevant	High	Off
High	> 1/3 V_{DD}	> 2/3 V_{DD}	Low	On
High	> 1/3 V_{DD}	< 2/3 V_{DD}	As previously established	

†Voltages levels shown are nominal.

absolute maximum ratings over operating free-air temperature range (unless otherwise noted)

Supply voltage, V_{DD} (see Note 1) . . . . . 18 V
Input voltage range (any input) . . . . . −0.3 V to 18 V
Continuous total dissipation at (or below) 25°C free-air temperature (see Note 2) . . . . . 600 mW
Operating free-air temperature range: TLC555M . . . . . −55°C to 125°C
TLC555C . . . . . 0°C to 70°C
Storage temperature range . . . . . −65°C to 150°C
Lead temperature 1,6 mm (1/16 inch) from case for 60 seconds: JG package . . . . . 300°C
Lead temperature 1,6 mm (1/16 inch) from case for 10 seconds: D or P package . . . . . 260°C

NOTES: 1. All voltage values are with respect to network ground terminal.
2. For operation above 25°C free-air temperature, refer to Dissipation Derating Curves, Section 2. In the JG package, TLC555M chips are alloy-mounted.

electrical characteristics at 25°C free-air temperature, V_{DD} = 5 V to 15 V (unless otherwise noted)

PARAMETER	TEST CONDITIONS		MIN	TYP	MAX	UNIT
Threshold voltage level as a percentage of supply voltage				66.7%		
Threshold current	V_{DD} = 5 V			10		pA
Trigger voltage level as a percentage of supply voltage				33.3%		
Trigger current	V_{DD} = 5 V			10		pA
Reset voltage level				0.7		V
Reset current	V_{DD} = 5 V			±10		pA
Control voltage (open-circuit) as a percentage of supply voltage				66.7%		
Low-level output voltage	V_{DD} = 15 V	I_{OL} = 10 mA		0.1		V
		I_{OL} = 50 mA		0.5		
		I_{OL} = 100 mA		1		
	V_{DD} = 5 V	I_{OL} = 5 mA		0.1		
		I_{OL} = 8 mA		0.16		
High-level output voltage	V_{DD} = 15 V	I_{OH} = −1 mA		14.8		V
		I_{OH} = −5 mA		14		
		I_{OH} = −10 mA		12.7		
	V_{DD} = 5 V	I_{OH} = −2 mA		4		
		I_{OH} = −1 mA		4.5		
Supply current	V_{DD} = 15 V			360		μA
	V_{DD} = 5 V			170		

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

operating characteristics, V_{DD} = 5 V, T_A = 25°C (unless otherwise noted)

PARAMETER	TEST CONDITIONS	MIN	TYP	MAX	UNIT
Initial error of timing interval	V_{DD} = 5 V to 15 V, R_A = R_B = 1 kΩ to 100 kΩ, C_T = 0.1 μF, See Figure 1		1%		
Supply voltage sensitivity of timing interval			0.1		%/V
Output pulse rise time	V_{DD} = 5 V, R_L = 10 MΩ, C_L = 10 pF		20		ns
Output pulse fall time			20		
Maximum frequency in astable mode	R_A = 470 Ω, R_B = 200 Ω, C_T = 200 pF		2.1		MHz

TYPICAL APPLICATION DATA

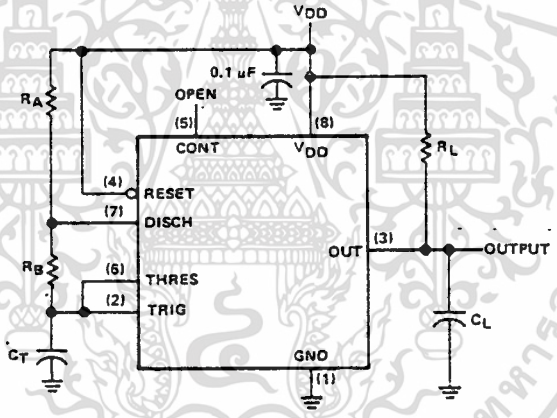


FIGURE 1–CIRCUIT FOR ASTABLE OPERATION

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

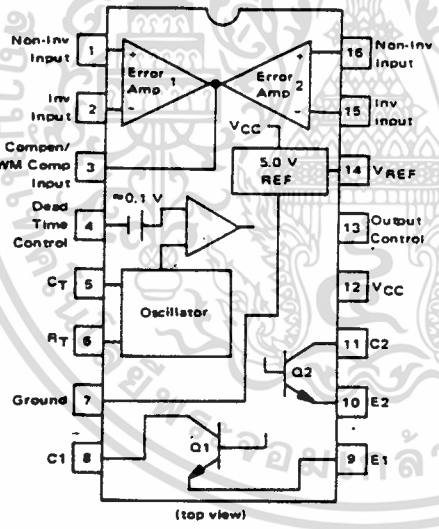
MOTOROLA

TL494

SWITCHMODE PULSE WIDTH MODULATION CONTROL CIRCUITS

The TL494 is a fixed frequency, pulse width modulation control circuit designed primarily for Switchmode power supply control. This device features:

- Complete Pulse Width Modulation Control Circuitry
- On-Chip Oscillator With Master Or Slave Operation
- On-Chip Error Amplifiers
- On-Chip 5 Volt Reference
- Adjustable Dead-Time Control
- Uncommitted Output Transistors Rated to 500 mA Source Or Sink
- Output Control For Push-Pull Or Single-Ended Operation
- Undervoltage Lockout

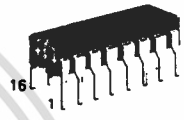


(top view)

The TL494C is specified over the commercial operating range of 0°C to 70°C. The TL494I is specified over the industrial range of −25°C to 85°C. The TL494M is specified over the full military range of −55°C to 125°C.

SWITCHMODE PULSE WIDTH MODULATION CONTROL CIRCUITS

SILICON MONOLITHIC INTEGRATED CIRCUITS



J SUFFIX
CERAMIC PACKAGE
CASE 620-10

N SUFFIX
PLASTIC PACKAGE
CASE 648-08

ORDERING INFORMATION

Device	Temperature Range	Package
TL494CN	0° to +70°C	Plastic DIP
TL494CJ	0° to +70°C	Ceramic DIP
TL494IN	−25° to +85°C	Plastic DIP
TL494IJ	−25° to +85°C	Ceramic DIP
TL494MJ	−55° to +125°C	Ceramic DIP

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

FIGURE 1 — BLOCK DIAGRAM

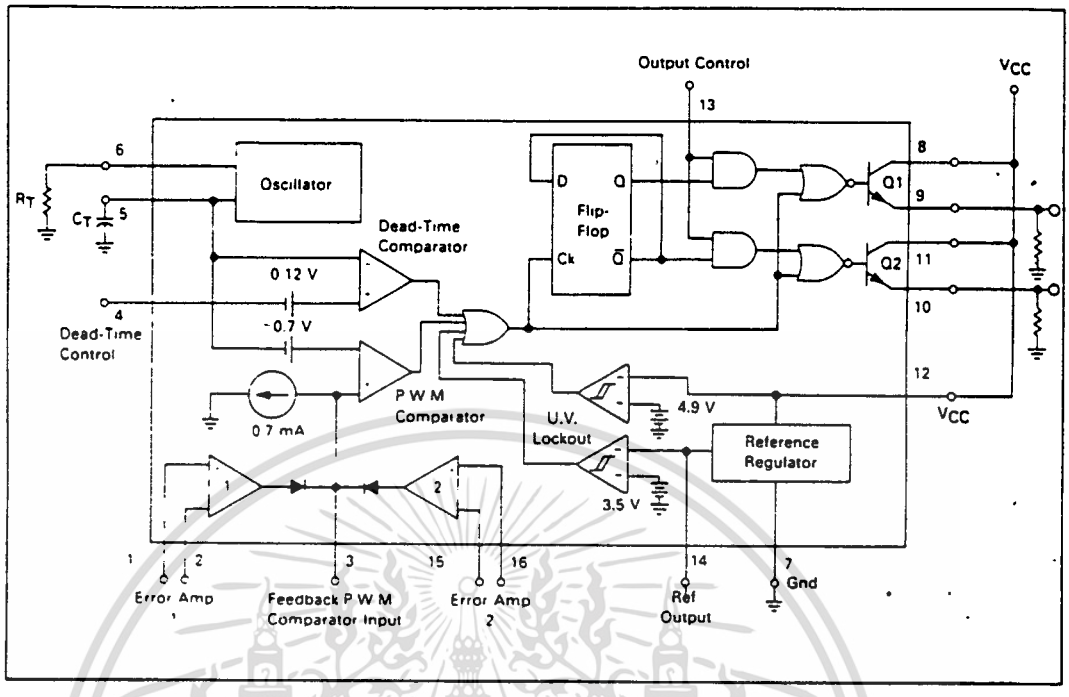
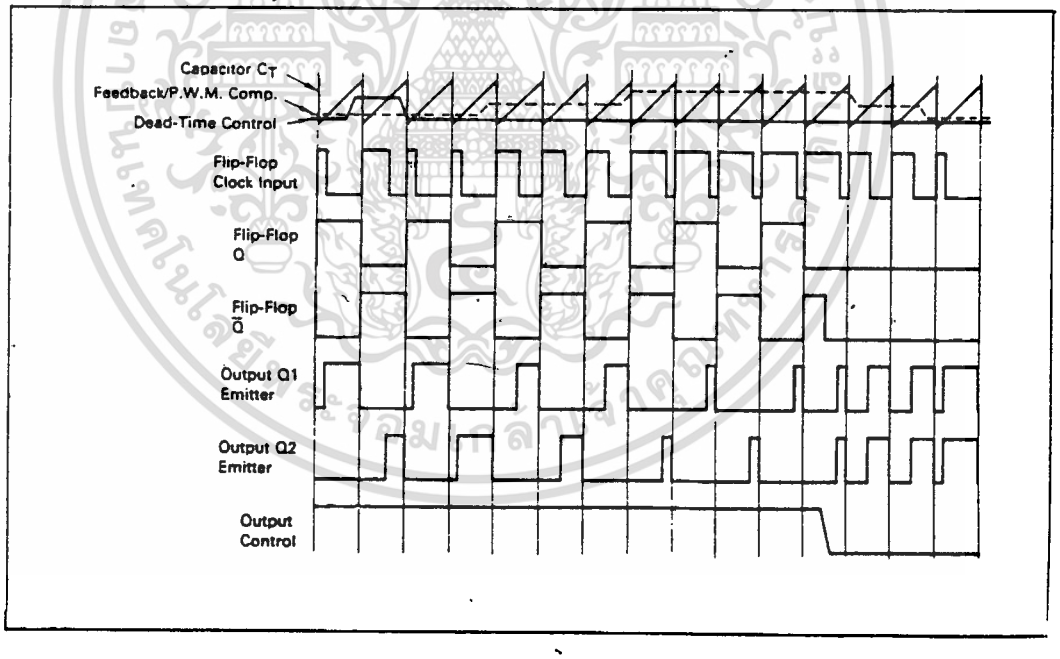


FIGURE 2 — TIMING DIAGRAM



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MAXIMUM RATINGS (Full operating ambient temperature range applies unless otherwise noted)

Rating	Symbol	TL494C	TL494I	TL494M	Unit
Power Supply Voltage	V_{CC}	42	42	42	V
Collector Output Voltage	V_{C1}, V_{C2}	42	42	42	V
Collector Output Current (each transistor) (1)	I_{C1}, I_{C2}	500	500	500	mA
Amplifier Input Voltage Range	V_{IR}	−0.3 to 42	−0.3 to 42	−0.3 to 42	V
Power Dissipation @ $T_A \leq 45°C$	P_D	1000	1000	1000	mW
Operating Junction Temperature Plastic Package Ceramic Package	T_J	 125 150	 125 150	 — 150	°C °C °C
Operating Ambient Temperature Range	T_A	0 to 70	−25 to 85	−55 to 125	°C
Storage Temperature Range Plastic Package Ceramic Package	T_{stg}	 −55 to 125 −65 to 150	 −55 to 125 −65 to 150	 — −65 to 150	°C

NOTE 1: Maximum thermal limits must be observed.

THERMAL CHARACTERISTICS

Characteristics	Symbol	N Suffix Plastic Package	J Suffix Ceramic Package	Unit
Thermal Resistance, Junction to Ambient	$R_{\theta JA}$	80	100	°C/W
Derating Ambient Temperature	T_A	45	50	°C

RECOMMENDED OPERATING CONDITIONS

Condition/Value	Symbol	TL494			Unit
		Min	Typ	Max	
Power Supply Voltage	V_{CC}	7.0	15	40	V
Collector Output Voltage	V_{C1}, V_{C2}	—	30	40	V
Collector Output Current (each transistor)	I_{C1}, I_{C2}	—	—	200	mA
Amplifier Input Voltage	V_{in}	−0.3	—	V_{CC} − 2.0	V
Current Into Feedback Terminal	I_{fb}	—	—	0.3	mA
Reference Output Current	I_{ref}	—	—	10	mA
Timing Resistor	R_T	1.8	30	500	kΩ
Timing Capacitor	C_T	0.0047	0.001	10	μF
Oscillator Frequency	f_{osc}	1.0	40	200	kHz

ELECTRICAL CHARACTERISTICS (V_{CC} = 15 V, C_T = 0.01 μF, R_T = 12 kΩ unless otherwise noted.)
For typical values T_A = 25°C, for min/max values T_A is the operating ambient temperature range that applies unless otherwise noted.

*Characteristic	Symbol	TL494C,I			TL494M			Unit
		Min	Typ	Max	Min	Typ	Max	
REFERENCE SECTION								
Reference Voltage (I_O = 1.0 mA)	V_{ref}	4.75	5.0	5.25	4.75	5.0	5.25	V
Line Regulation (V_{CC} = 7.0 V to 40 V)	Reg_{line}	—	2.0	25	—	2.0	25	mV
Load Regulation (I_O = 1.0 mA to 10 mA)	Reg_{load}	—	3.0	15	—	3.0	15	mV
Short-Circuit Output Current (V_{ref} = 0 V)	I_{SC}	15	35	75	15	35	75	mA

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ELECTRICAL CHARACTERISTICS (V_{CC} = 15 V, C_T = 0.01 μF, R_T = 12 kΩ unless otherwise noted.)
For typical values T_A = 25°C, for min/max values T_A is the operating ambient temperature range that applies unless otherwise noted.

Characteristic	Symbol	TL494C,I			TL494M			Unit
		Min	Typ	Max	Min	Typ	Max	
OUTPUT SECTION								
Collector Off-State Current (V_{CC} = 40 V, V_{CE} = 40 V	$I_{C(off)}$	—	2.0	100	—	2.0	100	μA
Emitter Off-State Current (V_{CC} = 40 V, V_C = 40 V, V_E = 0 V)	$I_{E(off)}$	—	—	−100	—	—	−150	μA
Collector-Emitter Saturation Voltage (2) Common-Emitter (V_E = 0 V, I_C = 200 mA)	$V_{SAT(C)}$	—	1.1	1.3	—	1.1	1.5	V
Emitter-Follower (V_C = 15 V, I_E = −200 mA)	$V_{SAT(E)}$	—	1.5	2.5	—	1.5	2.5	V
Output Control Pin Current Low State (V_{OC} ≤ 0.4 V)	I_{OCL}	—	10	—	—	10	—	μA
High State (V_{OC} = V_{ref})	I_{OCH}	—	0.2	3.5	—	0.2	3.5	mA
Output Voltage Rise Time Common-Emitter (See Figure 13)	t_r	—	100	200	—	100	200	ns
Emitter-Follower (See Figure 14)		—	100	200	—	100	200	ns
Output Voltage Fall Time Common-Emitter (See Figure 13)	t_f	—	25	100	—	25	100	ns
Emitter-Follower (See Figure 14)		—	40	100	—	40	100	ns

Characteristic	Symbol	TL494			Unit
		Min	Typ	Max	
ERROR AMPLIFIER SECTIONS					
Input Offset Voltage (V_O (Pin 3) = 2.5 V)	V_{IO}	—	2.0	10	mV
Input Offset Current (V_O (Pin 3) = 2.5 V)	I_{IO}	—	5.0	250	nA
Input Bias Current (V_O (Pin 3) = 2.5 V)	I_{IB}	—	−0.1	−1.0	μA
Input Common-Mode Voltage Range (V_{CC} = 40 V, T_A = 25°C)	V_{ICR}	−0.3 to V_{CC} − 2.0	—	—	V
Open-Loop Voltage Gain (ΔV_O = 3.0 V, V_O = 0.5 to 3.5 V, R_L = 2.0 kΩ)	A_{VOL}	70	95	—	dB
Unity-Gain Crossover Frequency (V_O = 0.5 to 3.5 V, R_L = 2.0 kΩ)	f_C	—	350	—	kHz
Phase Margin at Unity-Gain (V_O = 0.5 to 3.5 V, R_L = 2.0 kΩ)	ϕ_m	—	65	—	deg.
Common-Mode Rejection Ratio (V_{CC} = 40 V)	CMRR	65	90		dB
Power Supply Rejection Ratio (ΔV_{CC} = 33 V, V_O = 2.5 V, R_L = 2.0 kΩ)	PSRR	—	100	—	dB
Output Sink Current (V_O (Pin 3) = 0.7 V)	I_O −	0.3	0.7	—	mA
Output Source Current (V_O (Pin 3) = 3.5 V)	I_O −	−2.0	−4.0	—	mA

NOTE 2: Low duty cycle pulse techniques are used during test to maintain junction temperature as close to ambient temperatures as possible.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ELECTRICAL CHARACTERISTICS (V_{CC} = 15 V, C_T = 0.01 μF, R_T = 12 kΩ unless otherwise noted.)
For typical values T_A = 25°C, for min/max values T_A is the operating ambient temperature range that applies unless otherwise noted.

Characteristic	Symbol	TL494			Unit
		Min	Typ	Max	
PWM COMPARATOR SECTION (Test Circuit Figure 12)					
Input Threshold Voltage (Zero duty cycle)	V_{TH}	—	3.5	4.5	V
Input Sink Current ($V_{(Pin\ 3)}$ = 0.7 V)	I_I −	0.3	0.7	—	mA
DEAD-TIME CONTROL SECTION (Test Circuit Figure 12)					
Input Bias Current (Pin 4) ($V_{Pin\ 4}$ = 0 to 5.25 V)	I_{IB} (DT)	—	−2.0	−10	μA
Maximum Duty Cycle, Each Output, Push-Pull Mode ($V_{Pin\ 4}$ = 0 V, C_T = 0.01 μF, R_T = 12 kΩ) ($V_{Pin\ 4}$ = 0 V, C_T = 0.001 μF, R_T = 30 kΩ)	DC_{max}	 45 —	 48 45	 50 50	%
Input Threshold Voltage (Pin 4) (Zero Duty Cycle) (Maximum Duty Cycle)	V_{TH}	 — 0	 2.8 —	 3.3 —	V
OSCILLATOR SECTION					
Frequency (C_T = 0.001 μF, R_T = 30 kΩ)	f_{osc}	—	40	—	kHz
Standard Deviation of Frequency* (C_T = 0.001 μF, R_T = 30 kΩ)	σf_{osc}	—	3.0	—	%
Frequency Change with Voltage (V_{CC} = 7.0 V to 40 V, T_A = 25°C)	Δf_{osc} (ΔV)	—	0.1	—	%
Frequency Change with Temperature (ΔT_A = T_{low} to T_{high}) (C_T = 0.01 μF, R_T = 12 kΩ)	Δf_{osc} (ΔT)	—	—	12	%
UNDERVOLTAGE LOCKOUT SECTION					
Turn-On Threshold (V_{CC} Increasing, I_{ref} = 1.0 mA)	V_{th}	5.5	6.43	7.0	V
TOTAL DEVICE					
Standby Supply Current (Pin 6 at V_{ref}, All Other Inputs and Outputs Open) (V_{CC} = 15 V) (V_{CC} = 40 V)	I_{CC}	 — —	 5.5 7.0	 10 15	mA
Average Supply Current ($V_{(Pin\ 4)}$ = 2.0 V) (See Figure 12) (C_T = 0.01 μF, R_T = 12 kΩ, V_{CC} = 15 V)	—	—	7.0	—	mA

* Standard deviation is a measure of the statistical distribution about the mean as derived from the formula, $\sigma = \sqrt{\frac{\sum_{n=1}^{N} (X_n - \bar{X})^2}{N-1}}$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

FIGURE 4 — OSCILLATOR FREQUENCY versus TIMING RESISTANCE

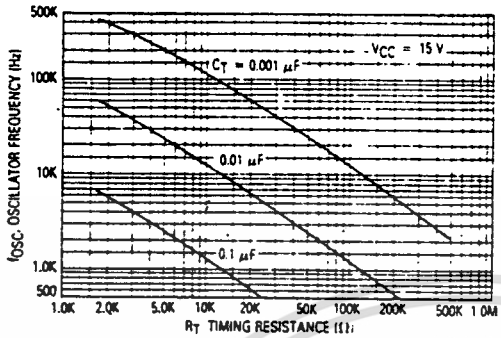


FIGURE 5 — OPEN-LOOP VOLTAGE GAIN AND PHASE versus FREQUENCY

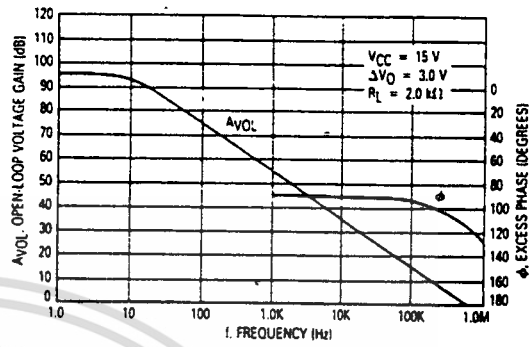


FIGURE 6 — PERCENT DEAD-TIME versus OSCILLATOR FREQUENCY

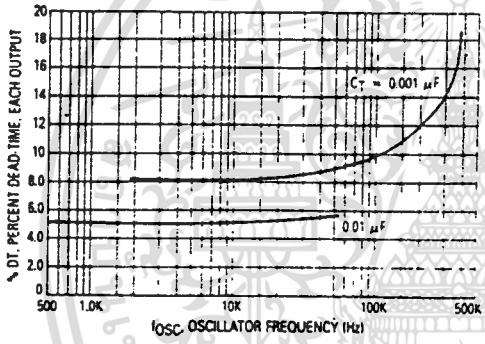


FIGURE 7 — PERCENT DUTY CYCLE versus DEAD-TIME CONTROL VOLTAGE

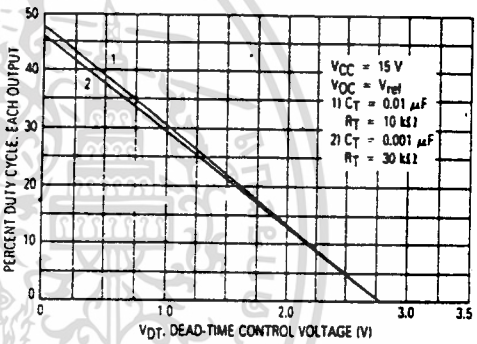


FIGURE 8 — EMITTER FOLLOWER CONFIGURATION OUTPUT SATURATION VOLTAGE versus EMITTER CURRENT

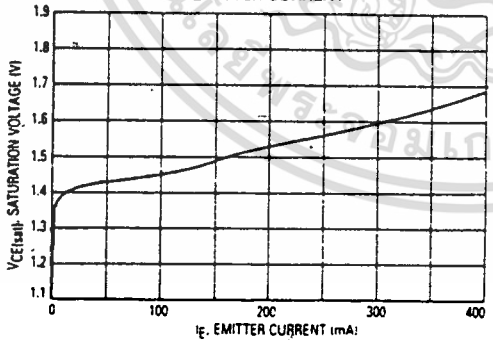
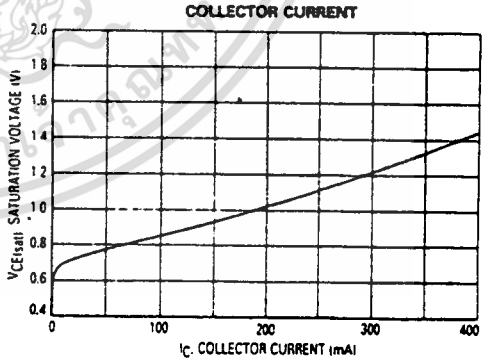


FIGURE 9 — COMMON EMITTER CONFIGURATION OUTPUT SATURATION VOLTAGE versus COLLECTOR CURRENT



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

FIGURE 10 — STANDBY SUPPLY CURRENT
versus SUPPLY VOLTAGE

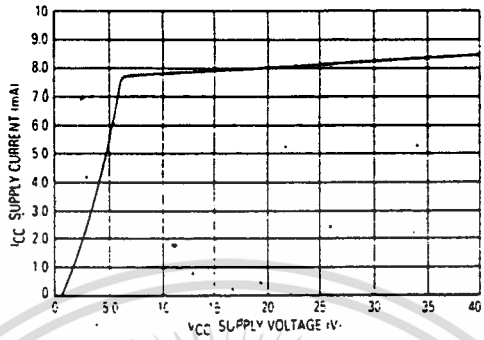


FIGURE 11 — ERROR AMPLIFIER CHARACTERISTICS

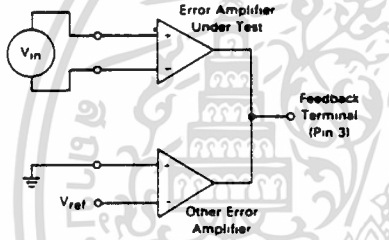


FIGURE 12 — DEAD-TIME AND FEEDBACK CONTROL
TEST CIRCUIT

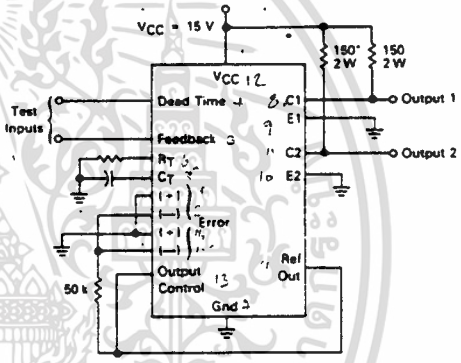


FIGURE 13 — COMMON-EMITTER CONFIGURATION
TEST CIRCUIT AND WAVEFORM

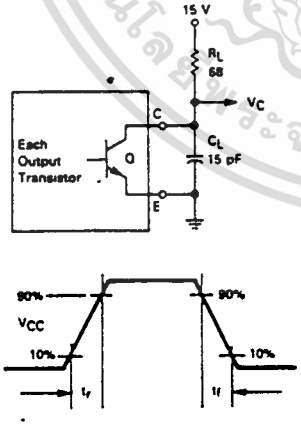
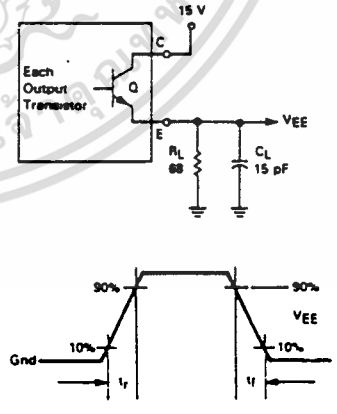


FIGURE 14 — EMITTER-FOLLOWER CONFIGURATION
TEST CIRCUIT AND WAVEFORM



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

FIGURE 15 — ERROR-AMPLIFIER SENSING TECHNIQUES

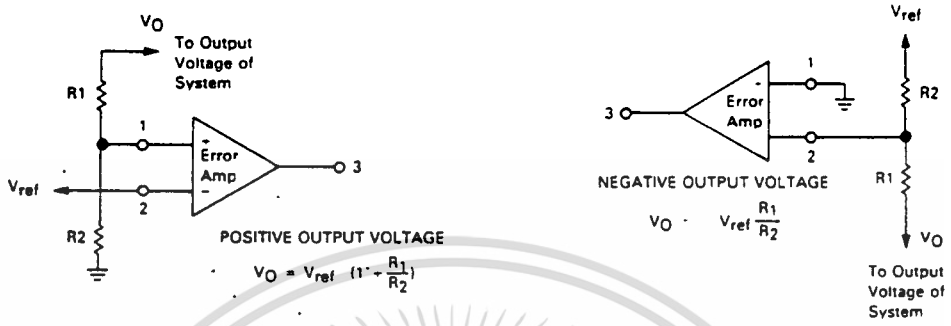


FIGURE 16 — DEAD-TIME CONTROL CIRCUIT

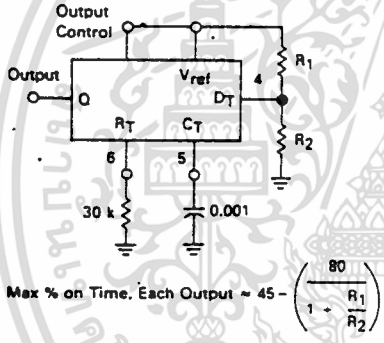


FIGURE 17 — SOFT-START CIRCUIT

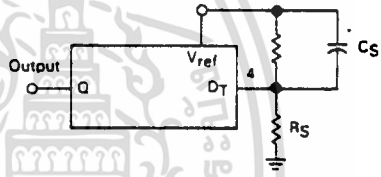
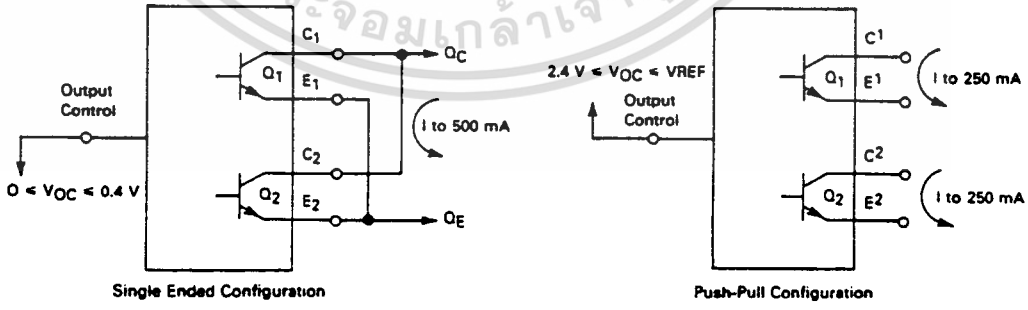


FIGURE 18 — OUTPUT CONNECTIONS FOR SINGLE-ENDED AND PUSH-PULL CONFIGURATIONS



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

FIGURE 19 — SLAVING TWO OR MORE CONTROL CIRCUITS

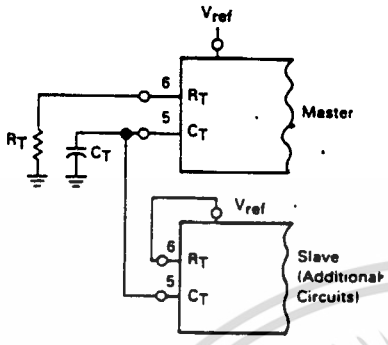


FIGURE 20 — OPERATION WITH V_{IN} > 40 V USING EXTERNAL ZENER

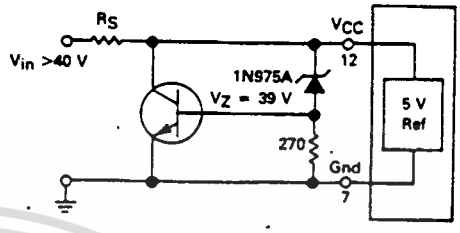
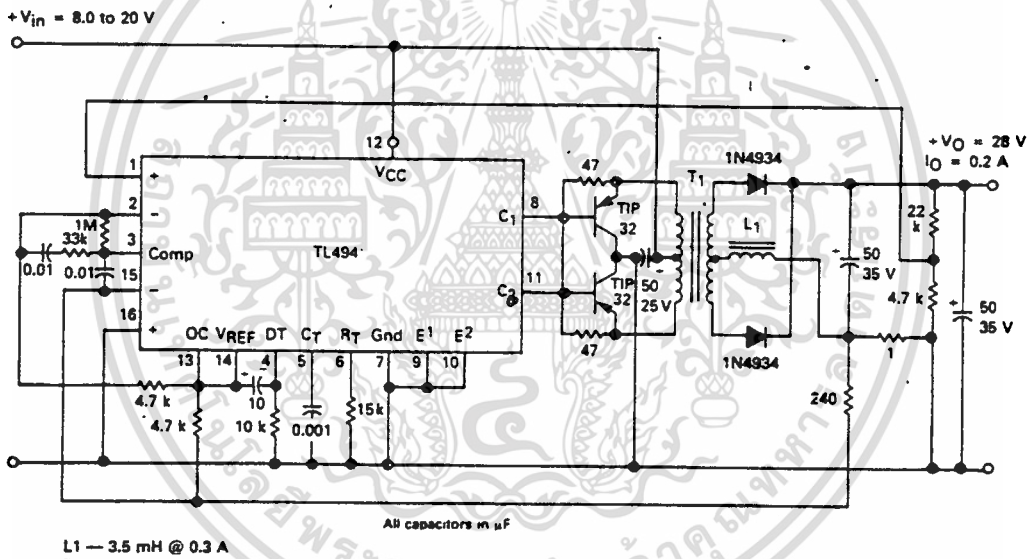


FIGURE 21 — PULSE-WIDTH MODULATED PUSH-PULL CONVERTER

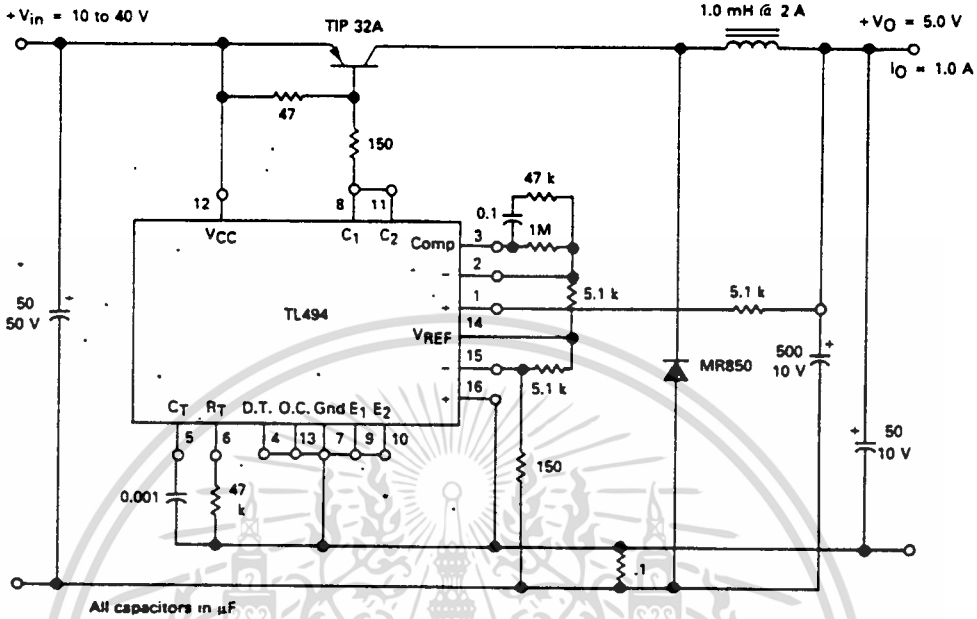


L1 — 3.5 mH @ 0.3 A
T1 — Primary: 20T C.T. #28 AWG
Secondary: 120T C.T. #36 AWG
Core: Ferroxcube 1408P-L00-3C8

TEST	CONDITIONS	RESULTS
Line Regulation	V_{in} = 10 V to 40 V	14 mV 0.28%
Load Regulation	V_{in} = 28 V, I_O = 1 mA to 1 A	3.0 mV 0.06%
Output Ripple	V_{in} = 28 V, I_O = 1.0 A	65 mV P-P P.A.R.D.
Short Circuit Current	V_{in} = 28 V, R_L = 0.1 Ω	1.6 amps
Efficiency	V_{in} = 28 V, I_O = 1 A	71%

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

FIGURE 22 — PULSE-WIDTH MODULATED STEP-DOWN CONVERTER



TEST	CONDITIONS	RESULTS
Line Regulation	V_{in} = 8.0 to 40 V	3.0 mV 0.01%
Load Regulation	V_{in} = 12.6 V, I_O = 0.2 to 200 mA	5.0 mV 0.02%
Output Ripple	V_{in} = 12.6 V, I_O = 200 mA	40 mV p-P P.A.R.D.
Short Circuit Current	V_{in} = 12.6 V, R_L = 0.1 Ω	250 mA
Efficiency	V_{in} = 12.6 V, I_O = 200 mA	72%

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Description

The TL494 is a fixed-frequency pulse width modulation control circuit, incorporating the primary building blocks required for the control of a switching power supply. (See Figure 1.) An internal-linear sawtooth oscillator is frequency-programmable by two external components, R_T and C_T. The approximate oscillator frequency is determined by:

$$f_{osc} \approx \frac{1.1}{R_T \bullet C_T}$$

For more information refer to Figure 4.

Output pulse width modulation is accomplished by comparison of the positive sawtooth waveform across capacitor C_T to either of two control signals. The NOR gates, which drive output transistors Q1 and Q2, are enabled only when the flip-flop clock-input line is in its low state. This happens only during that portion of time when the sawtooth voltage is greater than the control signals. Therefore, an increase in control-signal amplitude causes a corresponding linear decrease of output pulse width. (Refer to the timing diagram shown in Figure 2.)

The control signals are external inputs that can be fed into the dead-time control, the error amplifier inputs, or the feedback input. The dead-time control comparator has an effective 120 mV input offset which limits the minimum output dead time to approximately the first 4% of the sawtooth-cycle time. This would result in a maximum duty cycle on a given output of 96% with the output control grounded, and 48% with it connected to the reference line. Additional dead time may be imposed on the output by setting the dead time-control input to a fixed voltage, ranging between 0 to 3.3 V.

The pulse width modulator comparator provides a means for the error amplifiers to adjust the output pulse width from the maximum percent on-time, established by the dead time control input, down to zero, as the voltage at the feedback pin varies from 0.5 to 3.5 V. Both error amplifiers have a common-mode input range from −0.3 V to (V_{CC} − 2 V), and may be used to sense power-supply output voltage and current. The error-amplifier outputs are active high and are ORed together at the non-inverting input of the pulse-width modulator comparator. With this configuration, the amplifier that demands minimum output on time, dominates control of the loop.

When capacitor C_T is discharged, a positive pulse is generated on the output of the dead-time comparator, which clocks the pulse-steering flip-flop and inhibits the output transistors, Q1 and Q2. With the output-control connected to the reference line, the pulse-steering flip-flop directs the modulated pulses to each of the two output transistors alternately for push-pull operation. The output frequency is equal to half that of the oscillator. Output drive can also be taken from Q1 or Q2, when single-ended operation with a maximum on-time of less than 50% is required. This is desirable when the output transformer has a ringback winding with a catch diode used for snubbing. When higher output-drive currents are required for single-ended operation, Q1 and Q2 may be connected in parallel, and the output-mode pin must be tied to ground to disable the flip-flop. The output frequency will now be equal to that of the oscillator.

The TL494 has an internal 5 V reference capable of sourcing up to 10 mA of load current for external bias circuits. The reference has an internal accuracy of ±1.5% with a typical thermal drift of less than 50 mV over an operating temperature range of 0 to 70°C.

FIGURE 3 — FUNCTIONAL TABLE

Input Output Control	Output Function	$\frac{f_{out}}{f_{osc}}$ =
Grounded	Single-ended P.W.M. at Q1 and Q2	1
At V_{ref}	Push-pull operation	0.5

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้