เครื่องแสดงคำบรรยายประกอบภาพ
VIDEO CAPTION MIXER

โดย

นายไกรฤกษ์ ฤกษ์ศรีมลคล

นายทรงยศ คันธมานนท์

น.ส.ศิราณี จรัสวชิรกุล

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตร์บัณฑิต

ภาควิชาวิศวกรรมคอมพิวเตอร์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2534

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

007661

ปริญญานิพนธ์ปีการศึกษา 2534

ภาควิชา วิศวกรรมคอมพิวเตอร์

คณะ วิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เรื่อง เครื่องแสดงคำบรรยายประกอบภาพ

ผู้จัดทำ นาย ไกรฤกษ์ ฤกษ์ศรีมงคล

นาย ทรงยศ คันธมานนท์

น.ส. ศิวาณี จรัสวิรกุล

---------- อาจารย์ที่ปรึกษา

(ดร. บุญวัฒน์ อัตชู)

---------- อาจารย์ที่ปรึกษา

(อาจารย์ วัชระ ฉัตรวิริยะ)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วัตถุประสงค์

1. ช่วยในการจัดทำวีดีโอเทป
2. ช่วยในการจัดแสดงคำบรรยายประกอบภาพที่แสดงอยู่บนจอทีวี

ขอบเขตของโครงงาน

1. สร้างชิ้นงานของเครื่องแสดงคำบรรยายประกอบภาพที่สมบูรณ์
2. สามารถเชื่อมต่อเครื่องกับไมโครคอมพิวเตอร์ได้
3. อุปกรณ์อินพุทมาตรฐานของเครื่องคือ คีย์บอร์ด IBM
4. อุปกรณ์เอาท์พุทมาตรฐานของเครื่องคือ LCD GRAPHIC
5. ควบคุมความสามารถของเครื่องให้เป็นไปตามจุดประสงค์ที่ได้ตั้งไว้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

คำนำ

ในปัจจุบันโทรทัศน์ และ เครื่องเล่นเทปโทรทัศน์ เป็นสิ่งสร้างความบันเทิงและช่วยเผยแพร่ข่าวสาร ที่มีใช้กันอย่างแพร่หลายอยู่ตามบ้านเรือนทั่วไป รวมทั้ง กล้องถ่ายวิดีโอ และอุปกรณ์ที่ใช้งานเกี่ยวกับสัญญาณภาพในลักษณะเดียวกัน (เช่น วีดีโอดีสค์ , คอมแพคดีสค์แบบมีภาพประกอบ) นับวันจะได้รับความนิยมมากขึ้นเรื่อยๆ

โครงงานนี้จึงเป็นโครงงานที่ จัดทำขึ้นเพื่อ ให้ผู้ใช้สามารถเพิ่มประโยชน์ในการใช้งาน เครื่องอุปกรณ์ ที่เกี่ยวกับการรับส่งสัญญาณภาพดังกล่าว ให้สามารถจัดทำ และแสดงข้อความข่าวสาร หรือ วันเวลา ให้ปรากฏแทรก ซ้อนทับภาพบนทีวี ในลักษณะที่ปรากฏซ้อนบนภาพรายการปกติ หรือใช้เพื่อ จัดทำข้อความบรรยายประกอบภาพ ลงในวีดีโอเทป ลึกทั้งยังสามารถติดต่อ ส่งถ่ายข้อมูลกับ ร่วมกับเครื่องไมโครคอมพิวเตอร์ทั่วไป ได้อีกด้วย

สำหรับโครงงานนี้ ผู้จัดทำไม่ได้มุ่งหวัง เพื่อการใช้งานใน ระดับห้องส่งโทรทัศน์ หรือ ในระดับ สตูดีโอ (STUDIO) เพราะการใช้งานระดับนี้ มีการใช้เครื่องที่คุณภาพสูงอยู่แล้ว แต่ผู้จัดทำมุ่งหวัง เพื่อใช้งาน ตามบ้านเรือนทั่วไป ,ในร้านอาหาร,โรงแรมขนาดเล็ก หรือ ในธุรกิจขนาดเล็ก ที่ไม่จำเป็นต้องใช้ คุณภาพในการแสดงที่ดีมาก โครงงานนี้ จึงถูกออกแบบให้สามารถใช้งานได้ง่าย มีขนาดเล็ก และมีราคาถูก

คณะผู้จัดทำหวังว่าโครงงานนี้จะเป็นประโยชน์ต่อผู้สนใจ และต้องการนำโครงงานนี้ไปใช้ตามที่ต้องการ

คณะผู้จัดทำ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เครื่องแสดงคำบรรยายประกอบภาพ

นาย ไกรฤกษ์ ฤกษ์ศรีมงคล
นาย ทรงยศ คันธมานนท์
น.ส. ศิราณี จรัสวิรกุล

อาจารย์ที่ปรึกษา

ดร. บุญวัฒน์ อัตชู
อาจารย์ วัชระ ฉัตรวิริยะ

ปีการศึกษา 2534

บทคัดย่อ

ปริญญานิพนธ์ฉบับนี้ กล่าวถึง การสร้างเครื่องมือที่ช่วยใน การแสดงข้อความข่าวสารต่างๆ ให้ปรากฏบนหน้าจอโทรทัศน์ พร้อมกับรายการปกติ โดยมีจุดประสงค์เพื่อช่วย ในการจัดทำวีดีโอเทป และช่วยในการจัดแสดงคำบรรยายประกอบภาพ ที่แสดงอยู่บนหน้าจอทีวี ซึ่งมีการใช้งานร่วมกับเครื่องเล่นกลับสัญญาณภาพ ในแบบต่างๆ เช่น เครื่องเล่นวิดีโอเทป เครื่องเล่นเลเซอร์ดิสค์ กล้องถ่ายภาพวิดีโอ ฯลฯ โดยมุ่งหวังสำหรับใช้งานทั่วไป ซึ่งถูกออกแบบให้ง่ายต่อการใช้ และใช้งบประมาณในการสร้างที่ประหยัด

ในการสร้างเครื่องแสดงคำบรรยาย ประกอบภาพนี้จะต้องศึกษาถึง การแสดงผลบนหน้าจอทีวี , การประมวลผลข้อความที่จะนำออกแสดงบนหน้าจอทีวี และ ส่วนเชื่อมโยงระหว่างการประมวลผลและการแสดงผลบนจอทีวี รวมทั้งเขียนโปรแกรมควบคุม การทำงานของเครื่องให้เป็นไปตามหน้าที่การใช้งาน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

VIDEO CAPTION MIXER

MR. KRAIRIRK RIRKSRIMONGKOL

MR. SONGYOT KANTHAMANON

MISS. SIRANEE JARASWACHIRAKUL

ADVISOR

DR. BOONWAT ATTACHOO

MR. WATCHARA CHATWIRIYA

YEAR 1991

ABSTRACT

This thesis presents the equipment for displaying any message on television while the normal program still showing. The purpose of this project is to assist video tape creation and display subtitle of picture that shows on television.

This project can be used with a video cassette recorder, laser disc, video carmera and etc. The concept design of this project is for general use , thus it's designed to be easy to use and has economic cost.

In designing the video caption mixer, we must study about displaying picture of television, processing of message that we want to show ,linking the processing part with the displaying part together and write the program to control the machine to work properly.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบาญ

เรื่อง	หน้าที่
บทที่ 1 การแสดงผลบนจอทีวี	
1.1 ทฤษฎีของจอทีวี	1
1.1.1 การสแกนแบบอินเตอร์เลส	2
1.1.2 จำนวนเส้นสแกนทางแนวตั้งและแนวนอน	2
1.2 การแสดงตัวอักษรบนจอภาพ	3
1.2.1 คล็อคสำหรับตัวอักษร	3
1.2.2 ดอทคล็อค	4
1.3 CRT CONTROLLER 6845	5
1.3.1 ขาสัญญาณต่าง ๆ ของ 6845	7
1.3.2 6845 กับรีจิสเตอร์ภายในที่โปรแกรมได้	9
1.3.3 การอินเตอร์เฟสระหว่างสกีนเมมโมรี่ ของ 6845 กับคาแรคเตอร์เจนเนอเรเตอร์	10
1.3.4 โหมดการสแกนของ 6845	12
บทที่ 2 การประมวลผลข้อความที่นำออกแสดงบนจอทีวี	
2.1 Z80-CPU	13
2.1.1 โครงสร้างของซีพียู Z80	13
2.1.2 รีจิสเตอร์ที่ใช้งานใน Z80	15
2.1.3 การจัดขาของ Z80	18
2.1.4 การทำงานของซีพียูในแต่ละคำสั่ง	21
2.1.5 ชุดคำสั่งของ Z80	21
2.2 ส่วนรับข้อมูล (KEYBOARD)	23
2.2.1 โครงสร้างของคีย์บอร์ดของเครื่องไมโครคอมพิวเตอร์	23
2.3 ส่วนแสดงผล (LCD GRAPHIC)	25
2.3.1 คุณสมบัติของจอภาพผลึกเหลวแบบจุดเมตริกซ์	25
2.3.2 การอินเตอร์เฟส LCD	32

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.4 8255 (PROGRAMABLE PERIPHERAL INTERFACE) 35
2.4.1 คุณสมบัติของ 8255 35
2.4.2 การอินเตอร์เฟส 8255 36
2.4.3 การโปรแกรม 8255 ในโหมดต่าง ๆ 37
2.5 REAL TIME CLOCK (RTC) 47
2.5.1 โครงสร้างของ RTC 47
2.5.2 การใช้งาน MM58167 47
2.5.3 ส่วนประกอบที่สำคัญของ MM58167 48
บทที่ 3 เครื่องแสดงคำบรรยายประกอบภาพ
1. ภาคการแสดงผลบนจอทีวี 53
2. ภาคการประมวลผลข้อความที่นำออกแสดงบนจอทีวี 58
3. ภาคเชื่อมโยงระหว่างการประมวลผล 59
และการแสดงผลบนจอทีวี
SYSTEM BLOCK DIAGRAM 62
บทที่ 4 โปรแกรมควบคุมการทำงาน
4.1 คำอธิบายโปรแกรม 64
สรุปผลโครงงาน 71
ปัญหาและแนวทางการแก้ไข 72
FLOWCHART
ภาคผนวก (DATA SHEET)

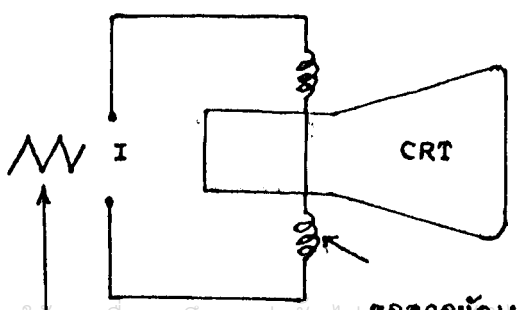
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 1. การแสดงผลบนจอทีวี

1.1 ทฤษฎีของจอทีวี

หลอดจอทีวีที่เรารับชมกันอยู่นั้น มีชื่อเรียกทางเทคนิคว่า หลอดรังสีคาโถด หรือ CATHODE RAY TUBE (CRT) กล่าวคือ CRT ก็คือหลอดสูญญากาศ ที่พื้นผิวจอด้านในจะถูกฉาบด้วยสารเรืองแสง ซึ่งสารเรืองแสงนี้ มีหลายประเภททั้งนี้ทั้งนั้น ขึ้นอยู่กับจุดประสงค์สำหรับงาน เช่น อาจใช้สารเรืองแสงฉาบเพื่อกำเนิดแสงสีส้ม, สีเขียว, สีขาวและดำ, สีแดงและสีน้ำเงินหรือสีอื่นๆในยามที่อีเลคตรอนชิ่งมากระทบกัน ตำแหน่งที่วางปืนอีเลคตรอนจะอยู่ที่ตอนปลายสุดของคอหลอด เมื่อปืนอีเลคตรอนปล่อยอีเลคตรอนออกมา อีเลคตรอนนี้จะวิ่งเข้าไปชนพื้นผิวด้านใน(ที่ฉาบด้วยสารฟลูออเรสเซ้นส์)ของจอ ซึ่งจะทำให้เกิดจุดฟอสเฟอร์สว่างขึ้นเป็นลักษณะจุดตรงกลางจอให้เราเห็นได้จุดสว่างที่เห็นอยู่นี้ เราสามารถที่จะควบคุม ตำแหน่งของมันบนหน้าจอได้โดยการทำให้ลำอีเลคตรอนที่พุ่งออกไปนั้นหักเหทิศทางซึ่งวิธีที่จะทำให้เกิดการหักเหของลำอีเลคตรอนได้มี 2 วิธีที่นิยมใช้ด้วยกันคือการหักเหโดยใช้แม่เหล็กไฟฟ้า (ELECTROMAGNETIC) และการหักเหโดยใช้ไฟฟ้าสถิตย์ (ELECTROSTATIC)

ในที่นี้จะกล่าวถึงเฉพาะวิธีใช้แม่เหล็กไฟฟ้าเพราะนิยมใช้กันมาก วิธีการของการใช้แม่เหล็กไฟฟ้ามาใช้เป็นตัวหักเหก็คือจะใช้ขดลวด 2 ชุดที่แยกชุดกันมาวางยังแนวตั้ง 1 คู่ และแนวนอน 1 คู่ ตรงบริเวณกลาง ๆ คอหลอด และขดลวดแต่ละชุดนี้จะถูกป้อนสัญญาณที่ต่างกัน กล่าวคือ ขดลวดทางแนวตั้ง จะมีผลต่อจุดที่สว่างบนจอภาพในตำแหน่งทางแนวตั้งเท่านั้น เช่นเดียวกัน ขดลวดทางแนวนอนก็จะมีผลต่อ จุดสว่างของจอภาพในทางแนวนอนเพียงอย่างเดียวแต่จะมี CRT บางประเภท ที่ผู้ใช้สามารถ กำหนดตำแหน่งอินพุท ของสัญญาณ ทั้งทางแนวตั้งและแนวนอนได้โดยตำแหน่งของจุดบนของ CRT แบบนี้จะแปรผันโดยตรงเป็นเชิงเส้น กับแรงดันที่ป้อนแก่ขดลวดหักเหทางแนวตั้งและทางแนวนอน ทั้ง 2 ซึ่งเราจะพบเห็น CRT แบบนี้ ได้แก่ CRT เวคเตอร์ และ CRT กราฟฟิคเป็นต้น



รูปที่ 1.1.1 แสดงการหักเหโดยใช้แม่เหล็กไฟฟ้า

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

CRT ที่พบเห็นกันอยู่โดยทั่วไปจะมีการสแกนของภาพเป็นแบบราสเตอร์(RASTER) ซึ่งจอชนิดนี้นำมาใช้กับทีวีเทอร์มินัล (มอนิเตอร์) เพื่อใช้สำหรับแสดงข้อมูลที่เป็นอักขระในรูปแบบต่าง ๆ การสแกนของเส้นราสเตอร์นี้เป็นผลการกระทำร่วมกันระหว่างแรงหักเหทางแนวตั้งและแนวนอน แต่ลักษณะของเส้นราสเตอร์ยังไม่ก่อให้เกิดการแสดงข้อมูลหรือภาพใด ๆ ปรากฏออกทางหน้าจอให้เห็น เพราะยังมีขั้นตอนอีกหลายอย่าง ประการแรกเราต้องหาทางกำจัดตำแหน่งที่เกิดเส้นสะบัดกลับของเส้นสแกน ซึ่งอาจจะทำได้โดยการลดความเข้มของลำอีเลคตรอนลงตอนช่วงที่ เกิดการสะบัดกลับ นั่นคือการควบคุมความเข้ม (INTENSITY) ของสัญญาณวีดีโอที่ป้อนเข้ามา แล้วเราจึงจะสามารถทำให้จอแสดงภาพต่างๆได้

1.1.1 การสแกนแบบอินเตอร์เลส

อีกวิธีหนึ่งที่นิยมใช้กันมากในการเพิ่มจำนวนของเส้นแกนเพื่อใช้ในการแสดงข้อมูล ซึ่งเรารู้จักกันดีคือ การสแกนแบบอินเตอร์เลส (INTERLACED) ซึ่งใช้กันมากในระบบการรับส่งทีวี ในระบบการสแกนแบบนี้จะถูกรีเฟรชทุก ๆ ครึ่งจอภาพระหว่างการสแกนทางแนวตั้ง

ในระบบการสแกนแบบอินเตอร์เลสจะมีการทำงานแบ่งออกเป็น 2 ฟิลด์โดยเรามักเรียกว่าฟิลด์คู่และฟิลด์คี่ ซึ่งเมื่อ เรารวมการกระทำระหว่างฟิลด์ทั้ง 2 เข้าด้วยกัน ก็จะทำให้ภาพที่ปรากฏบนจอเป็นภาพที่สมบูรณ์ (ฟิลด์คู่รวมกับฟิลด์คี่ เราจะเรียกว่า 1 เฟรม) ดังนั้นภาพที่สมบูรณ์ได้ก็คือภาพ 1 เฟรมนั่นเอง แต่ปัญหาอย่างนี้สำหรับการสแกนแบบอินเตอร์เลสคือ ผลของการแบ่งอัตราการรีเฟรชออกเป็น 2 ส่วน เช่น ความถี่การสแกนทางแนวตั้งที่ เราใช้กันอยู่คือ 50 เฮิร์ท ดังนั้นในทางปฏิบัติจริงเส้นสแกนบนจะมีอัตราความถี่การรีเฟรชเพียง 25 เฮิร์ทเท่านั้น แทนที่จะเป็น 50 เฮิร์ทระบบทีวีที่เราใช้กัน 1เฟรมประกอบด้วยจำนวนเส้นสแกน 625 เส้น

1.1.2 จำนวนเส้นสแกนทางแนวตั้งและแนวนอน

ในเมืองไทยเราใช้ทีวีระบบ PAL (PHASE ALTERNATING LINE) ซึ่งใช้ความถี่ทางแนวนอน 15625 เฮิร์ท และความถี่ทางแนวตั้ง 50 เฮิร์ท ดังนั้นจำนวนเส้นสแกนทางแนวนอนจากบนสุดจนถึงล่างสุดของจอภาพ จะเท่ากับ 312.5 เส้น ในบางช่วงจังหวะการสแกนเราจำเป็นต้องทำการลบเส้นสะบัดกลับทั้งของเส้นสแกนแนวตั้งและแนวนอน ดังนั้นเส้นสแกนบางเส้นจะเกิดการสูญเสียอันเนื่องมาจากการสะบัดกลับของเส้นสะบัดกลับทางแนวตั้ง ระบบวีดีโอบางระบบอาจจะมีความต้องการในการทำการสะบัดกลับทางแนวตั้งทุก ๆ เส้นสแกน 21 หรือ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

22 เส้น โดยจะมีเส้นราสเตอร์จำนวน 240 เส้นสำหรับใช้ในการแสดงข้อมูล และจำนวนข้อมูลที่สามารถแสดงตามแนวนอนได้จะขึ้นอยู่กับ ความถี่วีดีโอที่ใช้ (สัญญาณวีดีโอนี้จะถูกมอดดูเลตให้อยู่ในรูปของความเข้มของลำอีเลคตรอน ตัวอย่างเช่นถ้าเราใช้ความถี่การสแกนทางแนวนอนเท่ากับ 15625 เฮิร์ทและ ต้องการแสดงตัวอักษร (CHARACTER) 100 ตัวต่อ 1 เส้นสแกน (ตัวอักษรแต่ละตัวกว้าง 8 จุดหรือ 8 ดอท) ความถี่ของสัญญาณวีดีโอที่ใช้จะเท่ากับ 12.5 เม็กกะเฮิร์ท (15625 x 8 x 100)) แต่ในระบบที่เป็นจริงแล้วเราต้องเผื่อสำหรับตัวอักษรเหล่านี้ไว้ประมาณ 20 เปอร์เซนต์ สำหรับช่วงเวลาที่เส้นสแกนทางแนวนอนสะบัดกลับและขอบทั้ง 2 ด้านของจอภาพ ดังนั้นความถี่ของสัญญาณวีดีโอขนาดนี้จะสามารถแสดงตัวอักษรได้แค่เพียง 80 ตัวเท่านั้น

1.2 การแสดงตัวอักษรบนจอภาพ

การแสดงภาพทางดิจิตอลมีแต่จุดขาวกับดำและเป็นจุด ๆ ไปไม่ต่อเนื่องเหมือนภาพทางอนาลอกเช่นภาพในเครื่องรับทีวี แต่มีส่วนที่เหมือนกันคือแสดงเป็นเส้นสแกนเช่นกัน เช่นในเครื่องรับทีวีที่กล่าวว่าเป็น 625 เส้น นั้น จะมีเส้นยืดขวางจออยู่ 625 เส้น(ความจริงไม่ถึงเพราะจะต้องถูกแบ่งไปเป็นช่วงรีเทรช (RETRACE) บางส่วน)เส้นต่าง ๆ เหล่านี้โดยเฉพาะในทีวีขาวดำเปรียบเสมือนการลากเส้นที่มีความหนักเบาไม่เท่ากันหลายๆเส้นทำให้เรามองเห็นเป็นภาพ

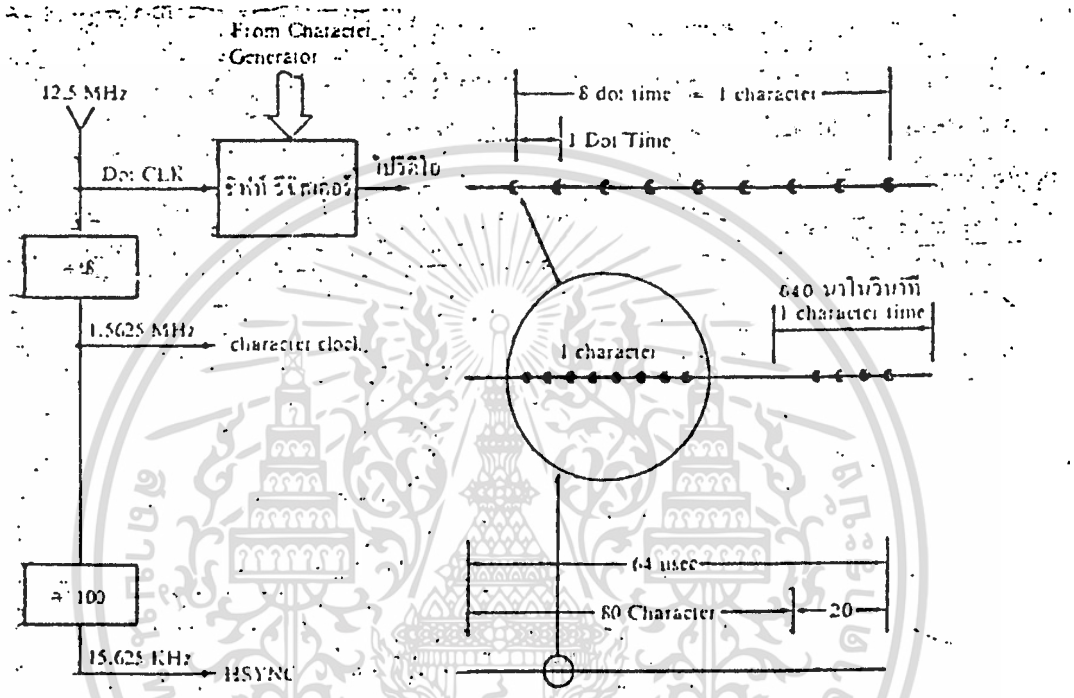
แต่ในทางดิจิตอลเปรียบเสมือนเราแต้มจุดไปตามแนวไม้บรรทัดและจุดนี้มีอยู่ 2 สถานะเท่านั้นคือ ขาวกับดำ ถ้าให้เป็นสีขาว จะปรากฏเป็นจุดขาวบนจอภาพ แต่ถ้าให้เป็นดำ จะกลมกลืนกับพื้นหลังของจอภาพ ไม่ปรากฏเป็นจุดบนจอภาพคือ ถ้าให้เป็นดำทั้งหมดก็จะไม่เห็นเส้นสแกน เส้นสแกน 1 เส้น ไม่ทำให้เกิดเป็นภาพตัวอักษรได้ เช่น เราจะให้แสดงภาพตัวอักษรในเมตริกซ์ 8x8 จะต้องใช้เส้นสแกน 8 เส้น เรียกว่า หนึ่งบรรทัดตัวอักษร (CHARACTER ROW) เพราะจะแสดงตัวอักษรได้อีกหลาย ๆ ตัว

1.2.1 คล็อคสำหรับตัวอักษร (CHARACTER CLOCK)

ความถี่การสแกนทางแนวนอน 15.625 กิโลเฮิร์ท อาจจะต้องถูกเพิ่มขึ้นให้มีความถี่สูงจากเดิม 100 เท่า เพื่อจะให้เป็นฐานเวลาจัดสรรให้แก่ ตัวอักษรในแต่ละตัว ซึ่งเราจะเรียกความถี่ 15,625 เฮิร์ทนี้ว่า คล็อคสำหรับตัวอักษร จากรูปที่ 1.2.1 เราจะกำหนดให้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เมตริกซ์สำหรับใช้แสดงผลมีขนาด 8 x 10 จุด แต่จะใช้แสดงผลมีขนาดเพียง 6 x 8 จุดเท่านั้น เหตุผลก็เพื่อที่จะแบ่งแยก ตัวอักษร แต่ละตัวที่อยู่ชิดกันในสามารถอ่านได้สะดวก ดังนั้นช่วงคาบเวลาของแต่ละตัวจะนำเอาความถี่ดอทคล็อค มาทำการหาร 8 เพื่อใช้เป็นฐานเวลาของคล็อคสำหรับตัวอักษร จากนั้น ก็จะถูกหารด้วย 100 เพื่อใช้เป็นฐานเวลาของ HSYNC ต่อไปดังรูปที่ 1.2.1



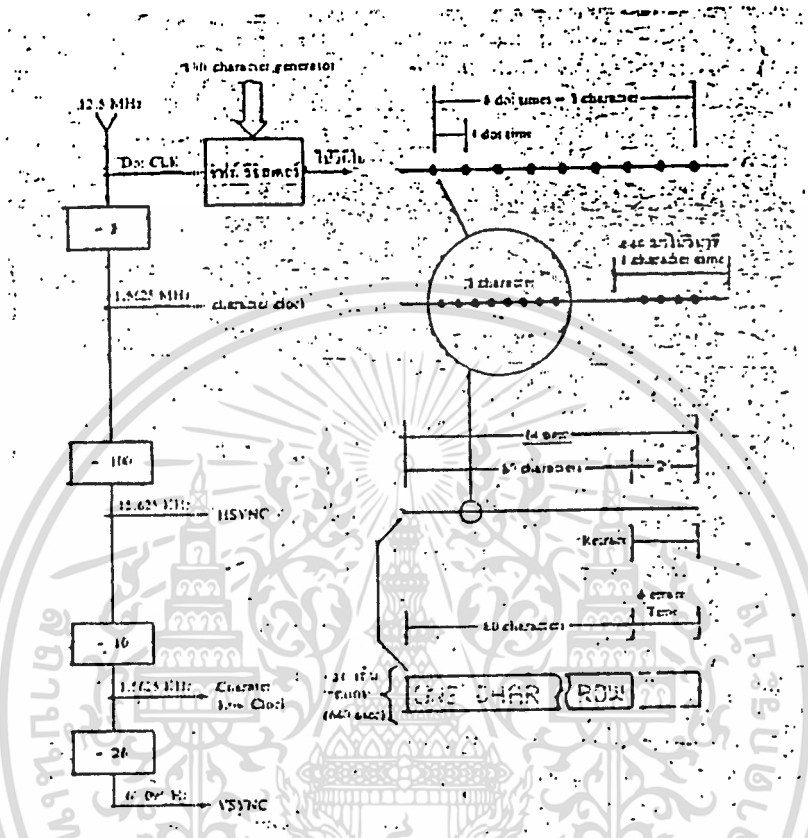
รูปที่ 1.2.1 การสร้างฐานเวลาของ CHARACTER CLOCK และ HSYNC

1.2.2 ดอทคล็อค (DOT CLOCK)

สัญญาณดอทคล็อคทำหน้าที่เป็นสัญญาณนาฬิกาให้กับชิฟรีจิสเตอร์ เพื่อใช้ในการสร้างสัญญาณวีดีโอ ที่นิยมใช้กันโดยทั่วไปจะมีความถี่ 12.5 เม็กกะเฮิร์ท (1.5625 x 10 x 8 = 12.5 x 10) ซึ่งความจริงมีอยู่ว่าถ้าหากความถี่ของมันสูงมากเท่าใดความละเอียดของ ตัวอักษร ที่ได้จะสูงตามไปด้วย

จากรูปที่ 1.2.2 เราจะอธิบายถึงการสร้างตัวอักษรแต่ละตัวบนจอ CRT โดยอาศัยเมตริกซ์ขนาด 8 x 10 เพราะฉะนั้นในแต่ละแถวของ ตัวอักษรจะมีความจำเป็นต้องใช้เส้นสแกนทั้งหมด 10 เส้น จากนั้นก็นำความถี่ ROW CLOCK มาหารด้วย 26 เพื่อให้ได้ความถี่ชิงค์ทางแนวตั้ง 60.069 เฮิร์ท (สำหรับประเทศที่ใช้ไฟบ้านที่มีความถี่ 60 เฮิร์ท หรือจะต้องหารด้วย 31 เพื่อให้ได้ความถี่ชิงค์ทางแนวตั้ง 50.4 เฮิร์ท)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

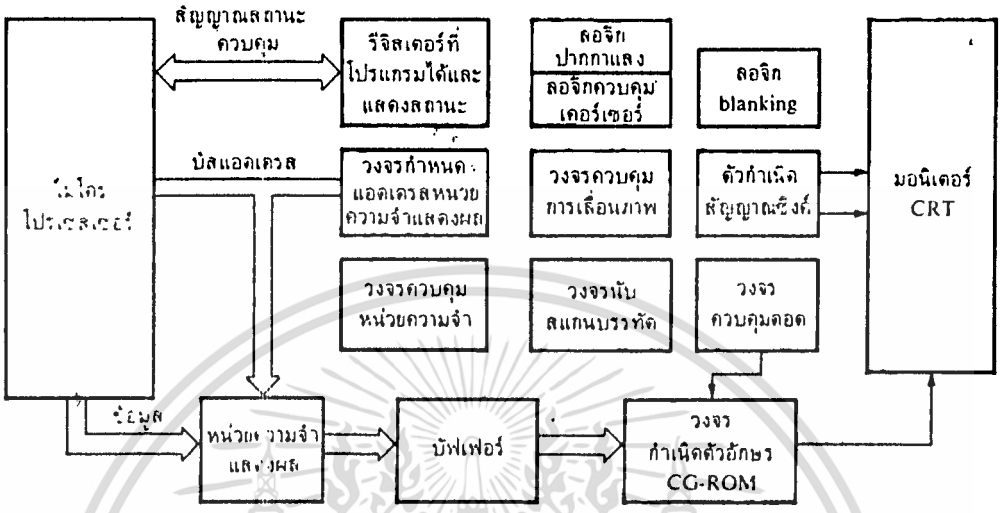


รูปที่ 1.2.2 แสดงไทม์มิ่งที่เกิดจากฐานเวลาของดอทคล็อคที่ต่อเนื่องกัน

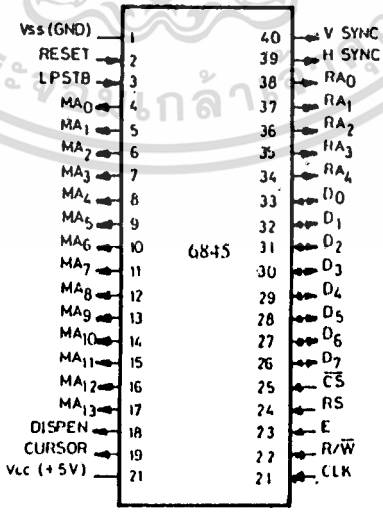
1.3 CRT CONTROLLER 6845

การทำงานของ CRT CONTROLLER เบอร์ 6845 จะมีการอ้างหรือกำหนดแอดเดรสของสกรีนเมมโมรี่ แต่ภายในตัวมันเองจะไม่มีหน่วยความจำหรือเมมโมรี่บรรจุไว้ นอกจากนั้นแล้วมันยังไม่ได้มีลอจิกดอทไทม์มิ่ง แต่มันจะผลิตสัญญาณ HSYNC และสัญญาณ VSYNC ขึ้นภายในตัวมัน เราสามารถที่จะโปรแกรมรีจิสเตอร์, สถานะ(STATUS) และลอจิกควบคุมแต่ละส่วนของบล็อกไดอะแกรมจากรูปที่ 1.3.1 ได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 1.3.1 บล็อกไดอะแกรมแสดงลอจิกฟังชั่นของ 6845



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 1.3.2 แสดงตำแหน่งการวางขาตัวชิพ 6845

1.3.1 ขาสัญญาณต่างๆของ 6845

สัญญาณของชิฟ 6845 แบ่งได้เป็น 3 กลุ่ม คือ สัญญาณที่ใช้ในการอินเตอร์เฟสจากซีอาร์ทีคอนโทรลเลอร์ไปยังไมโครโปรเซสเซอร์และบัสของระบบ, สัญญาณกลุ่มที่ 2 คือสัญญาณ ที่ใช้อินเตอร์เฟส ซีอาร์ทีคอนโทรลเลอร์เข้ากับสกรีนเมมโมรี่และคาร์แรคเตอร์เยนเนอร์เรเตอร์ และสัญญาณกลุ่มสุดท้ายคือ สัญญาณที่ติดต่อกันโดยตรงระหว่างซีอาร์ทีคอนโทรลเลอร์กับมอนิเตอร์หรือจอ CRT

	ชื่อขา	คำอธิบาย	ชนิด
ขาที่ต่อกับไมโครโปรเซสเซอร์	D0 D7	บัสข้อมูล	บิตสองทิศทาง
	$\overline{CS}$	เลือกชิป	อินพุต
	RS	เลือกรีจิสเตอร์	อินพุต
	R/$\overline{W}$	เลือกการเขียนและการอ่าน	อินพุต
	E	สัญญาณซิงโครนัสอีนาเบิล	อินพุต
	CLK/RESET	สัญญาณนาฬิกา/รีเซต	อินพุต
	V_{CC} , V_{SS}	แหล่งจ่ายไฟเลี้ยง	อินพุต
ขาที่ต่อกับหน่วยความจำแสดงผลและ CG	MA_0-MA_{13}	แอดเดรสของหน่วยความจำแสดงผล	เอาต์พุต
	RA_0-RA_4	สัญญาณกำหนดแอดเดรสราสเตอร์	เอาต์พุต
สัญญาณที่ต่อกับจอมอนิเตอร์	HSYNC	สัญญาณซิงโครนัสทางแนวราบ	เอาต์พุต
	VSYNC	สัญญาณซิงโครนัสทางแนวดิ่ง	เอาต์พุต
	DISPEN	อีนาเบิลการแสดงผล	เอาต์พุต
	CURSOR	อีนาเบิลเคอร์เซอร์	เอาต์พุต
	LPSTB	ลไดรบปากกาแสง	อินพุต

ตารางที่ 1.3.1 แสดงสัญญาณและคำจำกัดความขาต่างๆ ของชิฟ 6845

ขาสัญญาณกลุ่มแรก คือ สัญญาณที่จะใช้ในการ อินเตอร์เฟสกับ ระบบของไมโครโปรเซสเซอร์มีดังนี้ คือ

ขา D0-D7 เป็นเส้นสัญญาณข้อมูลแบบสองทิศทาง (BIDIRECTION) ที่สามารถ รับและส่งสัญญาณจากสายสัญญาณนั้นในเวลาต่างกันได้ ซึ่งในที่นี้ คือ เป็นบัสที่ใช้สำหรับส่งผ่านข้อมูลระหว่าง ไมโครโปรเซสเซอร์ กับ รีจิสเตอร์ ที่อยู่ภายในตัวชิฟ 6845 นั่นเอง

ขา CS เป็นขาสัญญาณอินพุทมาตรฐานไว้สำหรับเลือกชิฟ ซึ่งเกิดจากการถอดรหัสของ สัญญาณแอดเดรสในระบบซีพียู ขานี้จะทำงานได้ก็ต่อเมื่อ มีสภาวะลอจิกเป็น 0

ขา RS เป็นขาไว้สำหรับเลือกรีจิสเตอร์ที่อยู่ภายใน 6845 โดยรีจิสเตอร์ที่อยู่ภายใน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

มีทั้งหมด 19 ตัว ซึ่งจะใช้เลือกได้จากการกำหนดแอดเดรสแก่รีจิสเตอร์เหล่านี้ ด้วยขาสัญญาณทั้ง 5 (RA0-RA4) เมื่อขาสัญญาณ RS มีสภาวะลอจิกเป็น 0 แอดเดรสของ รีจิสเตอร์ที่อยู่ภายในก็สามารถที่จะเข้าถึง และ โหลดแอดเดรสของรีจิสเตอร์ที่จะเข้าถึงตัวต่อไปได้

ขา R/W ก็คือ ขาสัญญาณที่ใช้ในกำหนดการเขียนและการอ่านข้อมูล กับ รีจิสเตอร์ตัวใดตัวหนึ่ง ถ้าขานี้มีสภาวะลอจิกเป็น 0 แสดงว่ามันทำฟังก์ชันสำหรับเขียนข้อมูล ถ้าเป็น 1 ทำฟังก์ชันสำหรับการอ่านข้อมูลจากรีจิสเตอร์นั่นเอง

ขา E คือ ขาชิงโครไนซ์คล็อคหรือสัญญาณอีนาเบิ้ล นั่นเอง โดยขานี้จะใช้สำหรับการอีนาเบิ้ลบัฟเฟอร์ของ อินพุท/เอาท์พุท ที่อยู่ภายใน และ คล็อคข้อมูล (CLOCK DATA) ไปยังรีจิสเตอร์ภายในโดยผ่านบัฟเฟอร์ข้อมูล

ขา CLK เป็น ขาสัญญาณนาฬิกา เพื่อช่วยในการทำงานที่จะทำให้ สัญญาณควบคุมทั้งหมดเป็นไปอย่างถูกต้อง ซึ่งจะได้มาจาก คอทคล็อคจากภายนอก

ขา RESET เป็น ขาซึ่งเป็นมาตรฐานของ ขาสัญญาณรีเซ็ทตัวอื่นๆ เมื่อขานี้มีสภาวะเป็น 0 เมื่อไร เคาน์เตอร์ (COUNTER) ทุกตัว จะโคนเคลียร์ และขาเอาท์พุททุกขาของ 6845 จะมีสภาวะเป็น0 ทั้งหมด

ขา VCC (+5V) และขา VSS(GND) ก็คือขาสัญญาณไฟเลี้ยงให้แก่ 6845 และขากราวน์ของ 6845

ขา สัญญาณกลุ่มที่ 2 ก็คือ สัญญาณที่ใช้ในการอินเตอร์เฟส กับสกรีนเมมโมรี่ และคาแรคเตอร์เจน ซึ่งจะแยกย่อยออกได้เป็น 2 กลุ่ม คือ MA0-MA13 จะเป็นสัญญาณแอดเดรสของเมมโมรี่ และ อีกกลุ่มคือสัญญาณ RA0-RA4 ซึ่งเป็นแอดเดรสของเส้นราสเตอร์ที่จะส่งไปยังคาแรคเตอร์เจน โดยขาแอดเดรสของสกรีนเมมโมรี่ทั้ง 14 ขา นั้นจะสามารถทำให้ 6845 สามารถที่จะเข้าถึงหน่วยความจำที่เรียกว่าสกรีนเมมโมรี่ได้ถึง 16 กิโลไบท์ส่วนขาแอดเดรสของเส้นราสเตอร์ 4 เส้น (RA0-RA4) นั้นก็เป็นเอาท์พุทสำหรับนับเส้นสแกนในแต่ละตัวอักษร

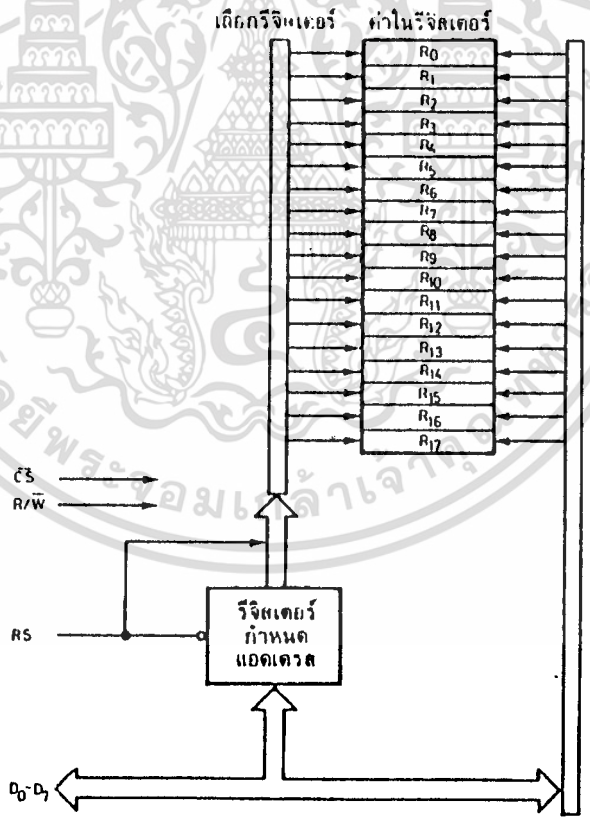
ขาสัญญาณในกลุ่มที่ 3 คือ สัญญาณที่ใช้ในการอินเตอร์เฟสกับจอภาพ หรือมอนิเตอร์ โดย 6845 จะผลิตสัญญาณที่เป็นมาตรฐาน สำหรับการอินเตอร์เฟสกับจอ CRT ดังนี้คือ สัญญาณ HSYNC และ VSYNC ส่วนสัญญาณ DISPEN ก็คือสัญญาณดิสอีนาเบิ้ลซึ่งมันจะถูกเซ็ทให้เป็น 1 ทุกครั้งที่มีสัญญาณวีดีโอส่งมายังจอ CRT และจะมีสภาวะเป็น 0 ในระหว่างที่เกิดเส้นสะบัดกลับทางแนวนอนและแนวตั้ง ดังนั้นเราจึงมักเรียกสัญญาณอันนี้ว่าสัญญาณลบวีดีโอ(VIDEO BLANKING) สำหรับสัญญาณ CURSOR ก็เป็นสัญญาณไว้สำหรับอีนาเบิ้ลเคอเซอร์ เพื่อใช้ในการนำไปสร้างเป็นสัญลักษณ์ต่างๆ ของเคอร์เซอร์บนจอเป็นรูปแบบต่าง ๆ กันได้ และสำหรับสัญญาณตัวสุดท้ายที่จะกล่าวถึงคือ สัญญาณ LPSTB ซึ่งเป็นสัญญาณอินพุทสโตรปของปากกาแสง (LIGHT PEN) ซึ่งจะนำ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ไปใช้ร่วมกับวงจรภายนอกเพื่อที่จะช่วยให้การอินเตอร์เฟสระหว่างปากกาแสงและจอ CRT โดยผ่าน 6845 เป็นไปอย่างสมบูรณ์

1.3.2 6845 กับรีจีสเตอร์ภายในที่โปรแกรมได้

ตามที่ได้กล่าวมาแล้วว่า 6845 มีรีจิสเตอร์ภายในจำนวน 19 ตัว ซึ่งจะเข้าถึงมันได้ภายใต้โปรแกรมควบคุม รูปที่ 1.3.3 จะเป็นภาพที่แสดง ส่วนของสัญญาณลอจิกที่จำเป็นในการใช้งาน



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 1.3.3 แสดงวิธีการที่จะเข้าถึงรีจีสเตอร์ของ 6845

007661

ตารางที่ 1.3.2 จะเป็นตารางสรุปฟังก์ชันพารามิเตอร์ทั้ง 18 พารามิเตอร์ของรีจิสเตอร์ จะสังเกตุได้ว่า รีจิสเตอร์กลุ่มแรก (R0-R3) จะเป็นฟอร์แมททางแนวนอน (HOR FORMAT) และพารามิเตอร์ของคาบเวลา กลุ่มถัดไป (R4-R9) ก็คือ ฟอร์แมททางแนวตั้ง (VER FORMAT) และไทม์มิ่งคาแรคเตอร์ริสติค (TIMING CHARACTERISTIC) และกลุ่มสุดท้าย (R10-R17)จะประกอบด้วยเคอร์เซอร์คาแรคเตอร์ริสติค(CURSOR CHARACTERISTIC) การกำหนดแอดเดรสแก่สกรีนเมมโมรี่ และการอินเตอร์เฟสกับปากกาแสง

	รีจิสเตอร์		เขียน (W) อ่าน (R)	จำนวนบิต	หน่วย
	หมายเลข	ชื่อ/ฟังก์ชัน			
การกำหนดช่วงเวลาแนวราบ	0	ช่วงเวลาแนวราบทั้งหมด	W	8	1-256 clks
	1	จำนวนตัวอักษร/แถว	W	8	1-256 clks
	2	ตำแหน่ง HSYNC	W	8	1-256 clks
	3	ความกว้าง HSYNC	W	4	1-16 clks
การกำหนดช่วงเวลาแนวดิ่ง	4	ช่วงเวลาทั้งหมดแนวดิ่ง	W	7	1-128 แถว
	5	ปรับ VSYNC	W	5	1-32 สแกน
	6	จำนวนแถวต่อเฟรม	W	7	1-128 แถว
	7	ตำแหน่ง VSYNC	W	7	1-128 แถว
	8	โหมด interlace	W	2	0-3
	9	จำนวนสแกนต่อแถว	W	5	1-32 สแกน
รีจิสเตอร์กำหนดการทำงานพื้นฐาน	10	ตำแหน่งแถวเริ่มต้นเคอร์เซอร์	W	7	1-32 สแกน
	11	ตำแหน่งสุดท้ายเคอร์เซอร์	W	5	1-32 สแกน
	12	(MSB) แอดเดรสเริ่มต้น	W	6	1-16384
	13	(LSB)	W	8	
	14	(MSB) ตำแหน่งเคอร์เซอร์	R/W	6	0-16384
	15	(LSB)	R/W	8	
	16	(MSB) ตำแหน่งปากกาแสง	R	6	0-16384
	17	(LSB)	R	8	

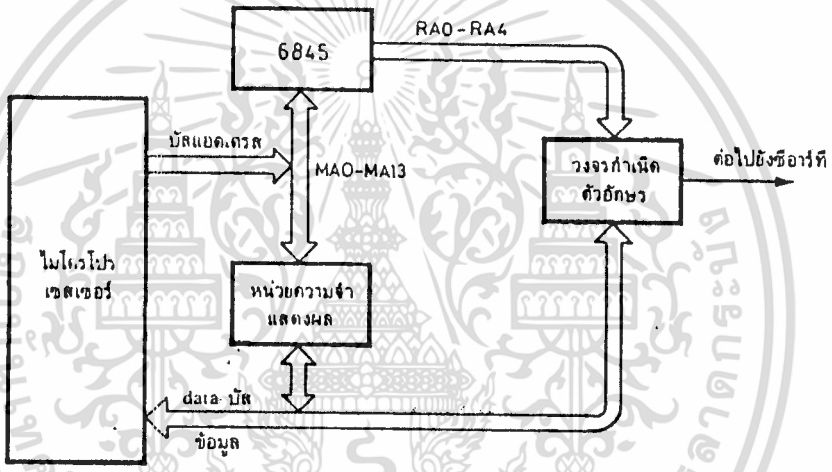
ตารางที่ 1.3.2 ตารางสรุปฟังก์ชันรีจีสเตอร์ทั้ง 18 ตัวของ 6845

1.3.3 การอินเตอร์เฟสระหว่างสกรีนเมมโมรี่ของ6845 กับคาแรคเตอร์เยนเนอเรเตอร์

6845 จะมีสัญญาณเพียงชุดเดียวที่จะใช้ในการกำหนดการอินเตอร์เฟสกับสกรีนเมมโมรี่ของตัวเอง นั่นคือ ขาแอดเดรสของสกรีนเมมโมรี่ MA0-MA13 จำนวน 14 ขา โดย ในเฟรมการทำงานเริ่มแรกตัวนับหรือเคาน์เตอร์แอดเดรสภายใน 6845 จะทำการเซ็ทค่าไปยัง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

แอดเดรสของรีจิสเตอร์เริ่มแรกที่ใช้ทำงาน ซึ่งตรงกันกับรีจิสเตอร์ R12 และ R13 ต่อจากนั้นค่านี้ก็จะเป็นค่าที่ใช้ในการนับแอดเดรส ซึ่งจะเพิ่มค่าตัวเองขึ้นทีละหนึ่ง ตามอัตราความเร็วของสัญญาณคล็อคในระหว่างแต่ละช่วงของเส้นสแกน รีจิสเตอร์แอดเดรสก็จะทำการเซ็ทแอดเดรสเริ่มต้นใหม่อีกครั้ง และจะกระทำในลักษณะเช่นเดียวกันนี้ซ้ำ ๆ กัน จนกระทั่งการสแกนได้เสร็จสมบูรณ์ จนเกิดเป็นแถวของตัวอักษร ปรากฏเป็นตัวอักษรบนจอ ให้เราเห็นได้ต่อจากนั้นตัวนับแอดเดรสก็จะทำการโหลดแอดเดรสที่ตรงกับอักษรตัวแรกของแถวบรรทัดต่อไปเข้ามาอีก การทำงานเช่นที่กล่าวมาก็จะเริ่มต้นทำงานใหม่อีกครั้ง



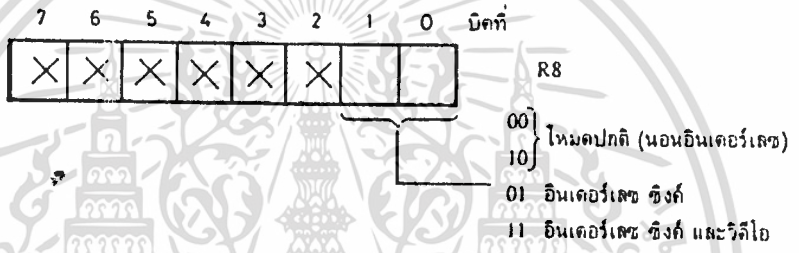
รูปที่ 1.3.4 แสดงความสัมพันธ์ของการอินเตอร์เฟส 6845 เข้ากับระบบ

ข้อมูลจะถูกโหลดเข้าสู่สกรีนเมมโมรี่ภายใต้การควบคุมของไมโครโปรเซสเซอร์และต่อจากนั้น ข้อมูลเหล่านี้ก็จะถูกเข้าถึงโดย 6845 เพื่อจะใช้ส่งไปยังคาแรคเตอร์เจนโดยที่ข้อมูลที่อยู่ในสกรีนเมมโมรี่นี้จะไม่ผ่าน 6845 ส่วนวิธีที่จะเข้าถึงและสามารถใช้ข้อมูลในเมมโมรี่นี้มีหลายวิธีด้วยกัน อาจสามารถที่จะนำลอจิกภายนอก มาทำการถอดรหัสของเส้นสแกน ซึ่งจะใช้ในกรณีที่ไม่ต้องการให้ 6845 เข้าถึงสกรีนเมมโมรี่ แต่จะปล่อยเวลาช่วงนี้ให้ไมโครโปรเซสเซอร์ใช้บัสของระบบแทน อีกวิธีหนึ่งก็คือสามารถให้ไมโครโปรเซสเซอร์เข้าสู่สกรีนเมมโมรี่ในช่วงเวลาแบล็งกิ้งทางแนวนอน (HOR BLANKING) และแบล็งกิ้งทางแนวตั้ง (VER BLANKING)

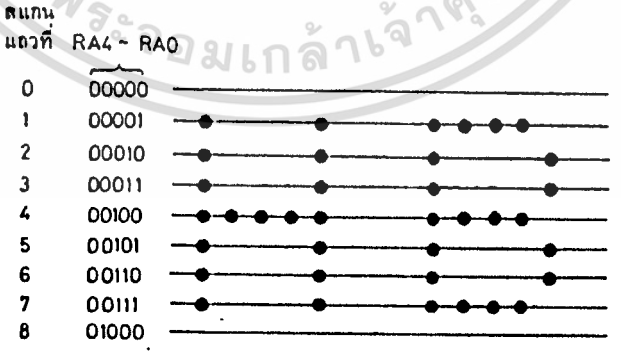
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

1.3.4 โหมดการสแกนของ 6845

6845 จะมีโหมดการสแกน 3 โหมดด้วยกันคือ การสแกนที่ไม่ใช่แบบอินเตอร์เลส, การสแกนแบบอินเตอร์เลสซิงค์ (INTERLACED-SYNC) และการสแกนแบบอินเตอร์เลสซิงค์ + วีดีโอ (INTERLACED-SYNC AND VIDEO) ซึ่งเราสามารถที่จะเลือกโหมดที่ต้องการได้ โดยการโหลดรหัสที่กำหนดจำนวน 2 บิทเข้าไปยังรีจิสเตอร์ตัวที่ 8 (R8)ดังรูปที่ 1.3.5



รูปที่ 1.3.5 แสดงโหมดการสแกนของ 6845



รูปที่ 1.3.6 โหมดการสแกนแบบ NON-INTERLACED

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การสร้างตัวอักษรให้เป็นมาตรฐานในแบบ NON-INTERLACED สามารถแสดงได้ดังรูปที่ 1.3.6ในโหมดนี้ ทุกๆ เส้นสแกนทางแนวนอน จะทำการยึดเส้นตามเส้นสแกนทางแนวตั้งในระหว่างแต่ละเส้น ของเส้นสแกนทางแนวตั้ง และจะมีอัตราการรีเฟรชสำหรับแต่ละดอทบนสกรีน (อัตราการรีเฟรชนี้จะเท่ากับความถี่ซิงค์ทางแนวตั้ง (VSYNC) ซึ่งเท่ากับ 50 เฮิร์ท) โหมดการสแกนแบบ NON-INTERLACDED นี้ นิยมนำมาใช้กับเทอร์มินัลสำหรับแสดงตัวอักษรและตัวเลข (ALPHANUMERIC TERMINALS)

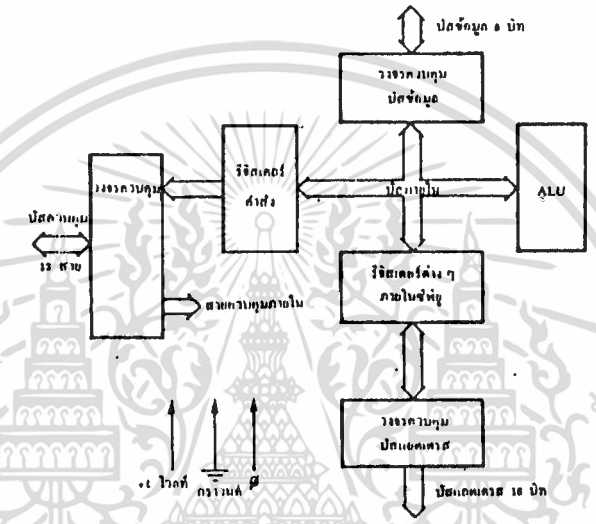
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 2. การประมวลผลข้อความที่นำออกแสดงบนจอทีวี

2.1 Z80-CPU

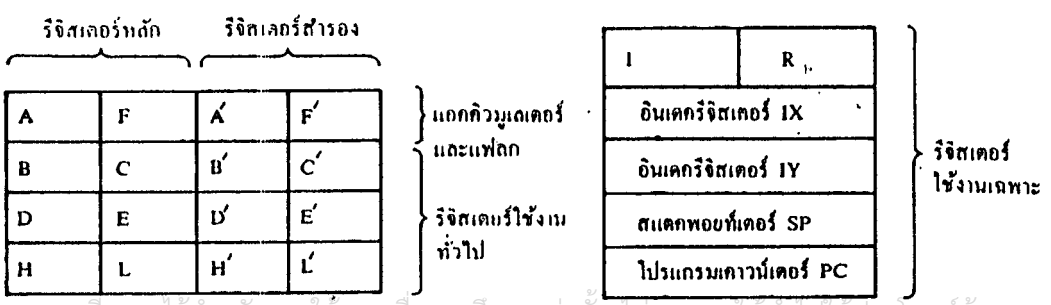
2.1.1 โครงสร้างของซีพียู Z-80

โครงสร้างของซีพียู Z-80 มีโครงสร้างที่พัฒนามาจาก 8080 รูปที่ 2.1.1 แสดงให้เห็นโครงสร้างของ Z-80 โดยโครงสร้างของซีพียูนี้จะบรรจุลงในแอลเอสไอขนาด 40 ขา



รูปที่ 2.1.1 บล็อกไดอะแกรมซีพียู Z-80

โครงสร้างภายในของ Z-80 ซีพียูประกอบด้วยรีจิสเตอร์ภายในที่สามารถเขียนและอ่านได้ถึง 208 บิท โดยแยกเป็นกลุ่มของรีจิสเตอร์ขนาด 8 บิท 18 รีจิสเตอร์ และรีจิสเตอร์ขนาด 16 บิท อีก 4 รีจิสเตอร์ โดยมีชุดรีจิสเตอร์แสดงได้ดังรูปที่ 2.1.2



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 2.1.2 แสดงรีจิสเตอร์ต่าง ๆ ที่มีอยู่ใน Z-80

2.1.2 รีจิสเตอร์ที่ใช้งานใน Z-80

1. รีจิสเตอร์หลักที่ใช้งานทั่วไป

รีจิสเตอร์ในกลุ่มแรกคือ A,F,B,C,D,E,H,L เป็นรีจิสเตอร์ขนาด 8 บิท ที่ใช้งานทั่วไป โดยรีจิสเตอร์เหล่านี้สามารถประกอบรวมกันเป็นคู่รีจิสเตอร์ได้ คือ AF,BC,DE และ HL โดยคู่รีจิสเตอร์เหล่านี้จะได้รับการใช้งานในลักษณะของรีจิสเตอร์ขนาด 16 บิท การกระทำภายในซีพียูอาจจะอาศัยเพียงรีจิสเตอร์เดียวหรือกระทำเป็นคู่รีจิสเตอร์ได้ โดยที่ A คือ แอคคิวมูเลเตอร์ F คือแฟลก โดยที่ แฟลกของ Z-80 จะมีด้วยกันทั้งหมด 6 ตัว จึงใช้เพียง 6 บิท แต่ Z-80 อาศัยการเพิ่มบิทขึ้นอีก 2 บิท และกลายเป็นรีจิสเตอร์ F รีจิสเตอร์ F นี้ สามารถได้รับการเซ็ท รีเซ็ทการกระทำตามคำสั่งทางคณิตศาสตร์ หรือลอจิกได้ และเราสามารถใช้ F เหมือนรีจิสเตอร์ตัวหนึ่ง ซึ่งเมื่อรวมกับรีจิสเตอร์ A แล้วจะกลายเป็นรีจิสเตอร์ขนาด 16 บิทได้

กลุ่มรีจิสเตอร์สำรอง เป็นกลุ่มรีจิสเตอร์ที่สามารถเก็บข้อมูลได้ โดยเป็นตัวเก็บข้อมูลที่มาจากรีจิสเตอร์หลัก รีจิสเตอร์ชุดนี้จึงมีด้วยกัน 8 ตัว คือ A,F,B,C,D,E,H,L รีจิสเตอร์เหล่านี้เป็นรีจิสเตอร์ที่ใช้ในการเก็บข้อมูลชั่วคราว ในการที่ต้องการใช้รีจิสเตอร์หลักทำงานอย่างอื่นก่อน ดังนั้นรีจิสเตอร์กลุ่มนี้จึงไม่สามารถกระทำทางคณิตศาสตร์และลอจิกได้

2. กลุ่มรีจิสเตอร์ที่ใช้งานเฉพาะอย่าง

- โปรแกรมเคาน์เตอร์ (PC-PROGRAM COUNTER)

เป็นรีจิสเตอร์ขนาด 16 บิทที่เป็นตัวกำหนดตำแหน่งของโปรแกรมในขณะสภาวะการกระทำการเฟทช์ โดยขณะทำการเฟทช์ค่าที่อยู่ในโปรแกรมเคาน์เตอร์จะไปปรากฏอยู่ที่แอดเดรสบัส เพื่อชี้ไปยังตำแหน่งในหน่วยความจำให้ซีพียูอ่านคำสั่งมาตีความหมาย ค่าที่อยู่ในโปรแกรมเคาน์เตอร์จะเพิ่มค่าขึ้นอัตโนมัติหลังการกระทำการเฟทช์ แต่ถ้าหากซีพียูกระทำคำสั่งให้ข้ามไปยังตำแหน่งอื่น (JUMP) ค่าแอดเดรสที่จะกระโดดข้ามนั้นจะโหลดเข้ามายังโปรแกรมเคาน์เตอร์ได้ อย่างอัตโนมัติ

- สแตคพอยท์เตอร์ (SP-STACK POINTER)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เป็นรีจิสเตอร์ขนาด 16 บิทที่ใช้สำหรับชี้ไปยังแอดเดรสชั้นบนสุดของสแตคที่อยู่ในหน่วยความจำ (RAM) โดยส่วนของสแตคมีลักษณะโครงสร้างเป็นหน่วยความจำ

เป็นแบบเก็บทีหลังเรียกออกได้ก่อน (FIRST IN FIRST OUT) ข้อมูลในสแตคอาจได้รับการ PUSH หรือ POP มาจากข้อมูลรีจิสเตอร์ภายในซีพียู ลักษณะสแตคในที่นี้ยังเป็นส่วนช่วยในการกระทำอินเตอร์รัพท์ และการเรียกโปรแกรมย่อย กล่าวคือในการอินเตอร์รัพท์ค่าของโปรแกรมเคาน์เตอร์จะได้รับการเก็บรักษาไว้ในชั้นสแตค ครั้นเมื่อโปรแกรมกลับจากอินเตอร์รัพท์ไปกระทำยังโปรแกรมหลักก็จะนำค่าจากสแตคเข้ามายังโปรแกรมเคาน์เตอร์ใหม่ ในทำนองเดียวกันการกระโดดไปกระทำยังโปรแกรมย่อย ก็เช่นเดียวกัน ดังนั้นการกระทำในรูปของอินเตอร์รัพท์หรือโปรแกรมย่อย สามารถซ้อนกันได้ไม่มีสิ้นสุด

- อินเดครีจิสเตอร์ (IX,IY-INDEX REGISTER)

ซีพียู Z-80 มีอินเดครีจิสเตอร์ขนาด 16 บิท 2 ตัว แต่ละตัวใช้ประโยชน์หลักในการทำหน้าที่เป็นตัวเก็บแอดเดรสฐาน (BASE ADDRESS) เพื่อทำหน้าที่อ้างแอดเดรสแบบอินเดคแอดเดรสซิ่ง (INDEX ADDRESSING) ในโหมดของอินเดคแอดเดรสซิ่งมีข้อมูลที่อยู่ในอินเดครีจิสเตอร์นี้จะรวมกับข้อมูลที่ติดมากับคำสั่งอีก 8 บิท เพื่อเป็นตัวกำหนดแอดเดรสให้กับคำสั่ง ข้อมูลที่ติดมากับคำสั่งนี้เราเรียกว่า ดิสเพลซเมนท์ (DISPLACEMENT) ซึ่งจะเก็บอยู่ในรูปของตัวเลข 2's คอมพลีเมนท์

- อินเตอร์รัพท์เพจแอดเดรสรีจิสเตอร์

(I-INTERRUPT PAGE ADDRESS REGISTER)

การอินเตอร์รัพท์ของ Z-80 มีหลายโหมด และโหมดหนึ่งที่ทำให้การอินเตอร์รัพท์ของZ-80มีประสิทธิภาพสูง กล่าวคือเมื่อเกิดการอินเตอร์รัพท์ในโหมดนี้ขึ้นมันสามารถ อ้างแอดเดรสโดยทางอ้อมไปกระทำโปรแกรมในที่ใดก็ได้ในหน่วยความจำ โดยอาศัยค่าในรีจิสเตอร์ I รวมกับค่าที่ส่งมาจากอุปกรณ์เพอริเฟอรัลอีก 8 บิท ชี้ไปยังค่าในหน่วยความจำเพื่อนำค่านั้นมาโหลดเข้าในโปรแกรมเคาน์เตอร์เพื่อกระทำต่อไปด้วยวิธีการนี้เราจึงสามารถกระโดด เข้าไปทำที่ส่วนใดก็ได้ในหน่วยความจำ

- รีจิสเตอร์รีเฟรชหน่วยความจำ (R-MEMORY REFLESH REGISTER)

การต่อซีพียูกับหน่วยความจำนั้นโดยปกติจะต่อกับหน่วยความจำชนิดสแตติคได้โดยง่าย แต่อย่างไรก็ดี ชนิด ไดนามิคที่ต้องการรีเฟรชมีราคาถูกกว่า มีความหนาแน่นสูงกว่าหน่วยความจำชนิดสแตติค Z-80 ให้ข้อดีกว่าประการหนึ่งคือ มันสามารถให้การรีเฟรชหน่วยความจำได้อย่างอัตโนมัติ โดยค่าใน R รีจิสเตอร์จะเพิ่มค่าขึ้นอีก 1 ทุกครั้งที่มีการกระทำ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น

การเฟทช์คำสั่ง และข้อมูลในรีจิสเตอร์ R นี้จะส่งออกไปยังแอดเดรสบัสในส่วนบิทที่มีนัยสำคัญต่ำกว่า จังหวะของการส่งนี้จะเป็นจังหวะเดียวกันกับที่ซีพียูส่งสัญญาณรีเฟรชออกมา ผู้โปรแกรมสามารถกำหนดค่าให้กับรีจิสเตอร์ R นี้ได้ แต่ค่าในรีจิสเตอร์นี้จะเรียกใช้โดยผู้โปรแกรมทางคำสั่งโดยตรงไม่ได้

- แอคคิวมูเลเตอร์ (ACCUMULATOR) และแฟลก (FLAG)

ซีพียูจะมีรีจิสเตอร์ที่ใช้เป็นหลักในการเป็นตัวโอเปอร์แรนด์สำหรับกระทำทางคณิตศาสตร์และลอจิก โดยรีจิสเตอร์หลักนี้จะมีเพียง 8 บิท เรียกว่า "แอคคิวมูเลเตอร์" การกระทำในส่วนของหน่วยคณิตศาสตร์และลอจิก ย่อมเกิดเงื่อนไขได้หลายอย่างที่จะต้องแสดงสถานะภาพของเงื่อนไขเหล่านั้น เช่น เงื่อนไขผลลัพธ์เป็นศูนย์ ผลลัพธ์เป็นบวกหรือลบ มีตัวทดหรือตัวขอยืมในการกระทำทางคณิตศาสตร์ แสดงเงื่อนไขพาริตี้คู่หรือคี่ ฯลฯ สิ่งเหล่านี้จะให้ผลลัพธ์แสดงสถานะได้ด้วยแฟลก ซึ่งแฟลกเป็นรีจิสเตอร์ขนาด 8 บิท ซึ่งสามารถรวมกับแอคคิวมูเลเตอร์เป็นรีจิสเตอร์ขนาด 16 บิทได้ ผู้โปรแกรมยังสามารถใช้คำสั่งในการเคลื่อนย้ายข้อมูลจากแอคคิวมูเลเตอร์ A และแฟลก F ไปเก็บไว้ใน A และ F ได้เพื่อทำให้การใช้งานของ A และ F มีประสิทธิภาพดียิ่งขึ้น

- หน่วยคำนวณทางคณิตศาสตร์และลอจิก
(ALU-ARITHMETIC AND LOGIC UNIT)

การประมวลผลที่สำคัญของซีพียูของคอมพิวเตอร์ ยังขึ้นอยู่กับหน่วยคำนวณทางคณิตศาสตร์และลอจิก ส่วน ALU นี้จะนำข้อมูลซึ่งอาจจะมาจากภายนอกซีพียูหรือภายในซีพียูก็ได้มาประมวลผล การประมวลผลในส่วน ALU ที่สำคัญจะประกอบด้วย

การบวก (ADD)	การเลื่อนบิททางซ้ายหรือขวา
การลบ (SUBSTRACT)	การเพิ่มค่า (INCREMENT)
ลอจิก AND	การลดค่า (DECREMENT)
ลอจิก OR	การเซ็ทบิท
ลอจิก EX-OR	การรีเซ็ทบิท
เปรียบเทียบ (COMPARE)	การทดสอบบิท

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

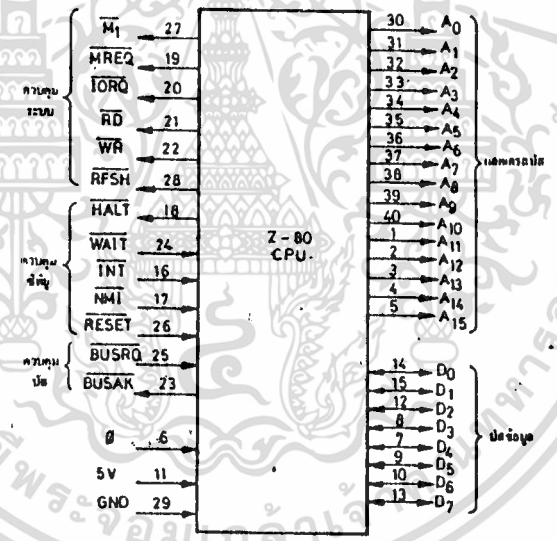
- รีจิสเตอร์คำสั่งและส่วนควบคุม

(INSTRUCTION REGISTER AND CONTROL)

ในการกระทำการเฟทช์ซีพียูจะอ่านคำสั่งจากหน่วยความจำที่เป็นส่วนของโปรแกรมโดยรอคำสั่งนั้น มาเก็บไว้ใน IR เพื่อทำการถอดรหัสคำสั่งและส่งสัญญาณควบคุมการทำงานภายในซีพียู หรือควบคุมการทำงานของระบบสัญญาณควบคุมเหล่านี้จะออกมาในจังหวะต่าง ๆ กัน เพื่อใช้ควบคุมระบบในการทำงานต่อไป

2.1.3 การจัดขาของ Z-80

Z-80 เป็นไอซีไมโครโปรเซสเซอร์ที่มีขาเพียง 40 ขา การจัดวางขาแสดงได้ดังรูปที่ 2.1.3



รูปที่ 2.1.3 ลักษณะของขาไอซี Z-80 ซีพียู

รายละเอียดของขาต่าง ๆ แสดงได้ดังนี้

A_0-A_{15} บัสแอดเดรส สัญญาณที่ออกมาจากขาไอซีเหล่านี้จะให้แอคทีฟสถานะ HIGH โดยขาเหล่านี้เป็นเอาท์พุทแบบไดรสเตท บัสแอดเดรสมีด้วยกันทั้งหมด 16 สาย เพื่อให้ซีพียูติดต่อกับหน่วยความจำได้มากถึง 2^{16} = 64 K ไบท์ นอกจากนี้ส่วนของแอดเดรสยังเป็นตัวกำหนดเบอร์พอร์ตของอุปกรณ์อินพุท/เอาท์พุท โดยขณะที่ซีพียู

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กระทำคำสั่งเกี่ยวกับอินพุทหรือเอาท์พุทค่าของแอดเดรสบัสใน 8 บิทล่าง (A_0-A_7) จะแสดงค่าเบอร์พอร์ต ดังนั้นเราจึงมีอุปกรณ์อินพุทหรือเอาท์พุทได้ทั้งหมด 2^8 =256 พอร์ต และในขณะช่วงเวลารีเฟรช เมื่อสัญญาณรีเฟรชปรากฏขึ้นที่ขารีเฟรช (REFRESH) ค่าในแอดเดรสบัส A_0-A_7 จะแสดงค่าแอดเดรสของหน่วยความจำที่จะได้รับการกระทำการรีเฟรช

D_0-D_7 บัสข้อมูลเป็นลักษณะบัสแบบสองทิศทาง Z-80 ซีพียูมีบัสข้อมูล 8 เส้น บัสข้อมูลเป็นเส้นทางผ่านของข้อมูลระหว่างซีพียูกับหน่วยความจำ ซีพียูกับอุปกรณ์อินพุท/เอาท์พุท หรือการติดต่อระหว่างอุปกรณ์อินพุท/เอาท์พุท กับหน่วยความจำ

$\overline{M_1}$ MACHINE CYCLE ONE แอคทีฟที่ลอจิก "0" ซึ่งเป็นส่วนที่จะบอกให้ทราบว่าขณะนี้ซีพียูอยู่ในสภาวะเฟทช์ ในขณะที่ซีพียูเฟทช์คำสั่งที่มีออฟโค้ดสองไบท์ ส่วนของ $\overline{M_1}$ จะสร้างขึ้นขณะเฟทช์ในแต่ละไบท์ นอกจากนี้ $\overline{M_1}$ ยังสร้างสัญญาณร่วมกับ $\overline{IORQ}$ เพื่อบอกสถานะการตอบรับการอินเตอร์รัพท์

$\overline{MREQ}$ MEMORY REQUEST เป็นแบบไดรสเตทให้ลอจิกแอคทีฟที่ลอจิก "0" เป็นสายสัญญาณที่บอกให้ทราบว่า ซีพียูต้องการอ่านหรือเขียนหน่วยความจำตามแอดเดรสที่ปรากฏอยู่ในแอดเดรสบัส

$\overline{IORQ}$ INPUT OUTPUT REQUEST เป็นเอาท์พุทแบบไดรสเตทให้ลอจิกแอคทีฟที่ "0" เป็นสัญญาณที่บอกให้ทราบว่า ซีพียูต้องการติดต่อกับอุปกรณ์อินพุท/เอาท์พุท โดยแอดเดรสบัส 8 บิทล่างจะให้แสดงค่าเบอร์พอร์ต ส่วนบัสข้อมูลจะแสดงข้อมูลที่จะมีการส่งถ่ายระหว่างซีพียูกับอุปกรณ์อินพุท/เอาท์พุท นอกจากนี้ $\overline{IORQ}$ ถ้าเกิดขึ้นพร้อมกับสัญญาณ M_1 เป็นตัวบอกถึงสถานะที่ซีพียูกำลังตอบสนองผลการอินเตอร์รัพท์ โดยขณะนี้ส่วนของบัสข้อมูลจะมีการส่งผ่านเข้ามาด้วยค่าของอินเตอร์รัพท์เวคเตอร์

$\overline{RD}$ MEMORY READ เป็นเอาท์พุทแบบไดรสเตทให้ลอจิกแอคทีฟที่ "0" เป็นตัวบอกว่าขณะนี้ซีพียูต้องการอ่านข้อมูลจากหน่วยความจำหรืออุปกรณ์อินพุท/เอาท์พุท

$\overline{WR}$ MEMORY WRITE เป็นขาเอาท์พุทแบบไดรสเตทให้ลอจิกแอคทีฟที่ "0" เป็นตัวบอกว่าซีพียูต้องการเขียนข้อมูลโดยจะเขียนข้อมูลในตำแหน่งที่แอดเดรสบัสกำหนดขึ้น อาจจะเป็นหน่วยความจำหรืออุปกรณ์อินพุท/เอาท์พุทก็ได้

$\overline{RFSH}$ REFRESH เป็นขาเอาท์พุทแบบไดรสเตทให้ลอจิกแอคทีฟที่ "0" เป็นตัวบอกให้ทราบว่าสัญญาณในแอดเดรสบัส ในส่วน A_0-A_6 เป็นแอดเดรสที่จะใช้ในการรีเฟรชหน่วยความจำชนิดไดนามิกส์ ส่วนบิท A_7 จะเป็น "0" ส่วนบิท A_8-A_{15} จะแสดงค่าของรีจิสเตอร์ I

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$\overline{HALT}$ HALT STATE เป็นเอาท์พุทที่แอคทีฟด้วยลอจิก "0" สัญญาณ $\overline{HALT}$ จะแสดงเมื่อซีพียูได้กระทำคำสั่ง HALT และจะหยุดรอจนกว่าจะมีการอินเตอร์รัพท์หรือรีเซ็ท ขณะที่อยู่ในช่วง HALT ซีพียูจะเสมือนกำลังกระทำคำสั่ง NOP (NO OPERATION) เพื่อให้เกิดไซเคิลในการทำงาน เพื่อส่งสัญญาณไปกระทำการรีเฟรชหน่วยความจำชนิดไดนามิกส์

$\overline{WAIT}$ เป็นขาอินพุท จะแอคทีฟด้วยลอจิก "0" เป็นตัวแสดงเพื่อบอกซีพียูให้ซีพียูหยุดรอ ในกรณีที่อุปกรณ์อินพุท/เอาท์พุท หรือหน่วยความจำไม่สามารถรับหรือส่งข้อมูลได้ทัน $\overline{WAIT}$ จะเป็นตัวทำให้ซีพียูทำงานได้พอดีกับอุปกรณ์อินพุท/เอาท์พุทที่ทำงานด้วยความเร็วต่ำ

$\overline{INT}$ INTERRUPT REQUEST เป็นขาอินพุทที่แอคทีฟด้วยลอจิก "0" เป็นสัญญาณที่สร้างขึ้นมาจากอุปกรณ์อินพุท/เอาท์พุท เพื่อต้องการที่จะอินเตอร์รัพท์ซีพียู ซีพียูจะทำการตรวจสอบสัญญาณนี้ทุก ๆ ครั้งที่จบการกระทำแต่ละคำสั่ง การตอบสนองของตัวการอินเตอร์รัพท์ สามารถควบคุมได้ด้วยโปรแกรม ด้วยการเซ็ทค่าอินเตอร์รัพท์ฟลิปฟลอป (IFF) การตอบสนองอินเตอร์รัพท์จะเกิดได้ยังต้องให้ $\overline{BUSRQ}$ ไม่แอคทีฟ เมื่อซีพียูตอบสนองการอินเตอร์รัพท์ ซีพียูจะสร้างสัญญาณตอบด้วยการสร้างสัญญาณ $\overline{IORQ}$ ระหว่างช่วงเวลา M_1

$\overline{NMI}$ NONMASKABLE INTERRUPT เป็นขาอินพุท ที่จะทริกบอกซีพียูในขณะขอบพัลซ์ขาลงการอินเตอร์รัพท์ด้วยวิธีนี้ ซีพียูจะให้ความสำคัญสูงกว่า $\overline{INT}$ กล่าวคือมันจะตอบสนองและกระทำทันทีด้วยการเริ่มเอ็กซีคิว (EXECUTE) คำสั่งในตำแหน่ง 0066H โดยอัตโนมัติ การกระโดดไปกระทำในกรณีนี้ ซีพียูจะเก็บค่าโปรแกรมเคาน์เตอร์เดิมไว้ในสแตค เพื่อจะได้กลับไปทำงานเดิม เมื่อเสร็จสิ้นการอินเตอร์รัพท์ได้

$\overline{RESET}$ เป็นขาอินพุทที่แอคทีฟด้วยลอจิก "0" การรีเซ็ทในกรณีนี้จะมีผลดังนี้

1. ค่าของโปรแกรมเคาน์เตอร์ มีค่าเป็น "0"
2. IFF จะได้รับการ DISABLE
3. รีจิสเตอร์ I จะมีค่า 00H
4. รีจิสเตอร์ R จะมีค่า 00H
5. จะมีการเซ็ทอินเตอร์รัพท์โหมดมาอยู่ที่โหมด 0

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ระหว่างการรีเซ็ทสายแอดเดรสบัสและบัสข้อมูลจะได้รับการกระทำให้มีค่า HIGH IMPEDANCE เพื่อแยกออกจากซีพียู ส่วนสายสัญญาณควบคุมจะได้รับการทำให้เป็นสัญญาณที่ไม่แอคทีฟ การรีเฟรชจะไม่เกิดขึ้น

$\overline{\text{BUSRQ}}$ BUS REQUEST เป็นขาอินพุทที่แอคทีฟด้วยลอจิก "0" เป็นสัญญาณที่ส่งให้ซีพียู เพื่อต้องการแยกซีพียูออกจากบัส

$\overline{\text{BUSAK}}$ BUS ACKNOWLEDGE เป็นขาเอาท์พุทที่แอคทีฟด้วยลอจิก "0" เป็นสัญญาณตอบกลับจากซีพียูว่า ซีพียูได้แยกตัวเองออกจากบัสเรียบร้อยแล้ว

CLOCK สัญญาณนาฬิกาที่จะป้อนเข้าระบบ

2.1.4 การทำงานของซีพียูในแต่ละคำสั่ง

ในการทำงานแต่ละคำสั่งของซีพียู ซีพียูจะมีไซเคิลการทำงานที่แน่นอนคือ การเฟทช์และการเอ็กซีคิ้ว สลับกันไป

สภาวะการเฟทช์ หมายถึงการที่ซีพียูส่งข้อมูลของโปรแกรมเคาน์เตอร์ไปยังแอดเดรสบัสและส่งสัญญาณ $\overline{\text{RD}}$ + $\overline{\text{MERQ}}$ เพื่อไปอ่านข้อมูลออพโค้ดที่อยู่ในหน่วยความจำเข้ามาใน IR เพื่อกระทำการตีความในการเอ็กซีคิ้วต่อไป เมื่อสิ้นสุดการเฟทช์คำของโปรแกรมเคาน์เตอร์จะเพิ่มขึ้นโดยอัตโนมัติเพื่อที่จะอ่านข้อมูลในตำแหน่งต่อไปในหน่วยความจำ

สภาวะการเอ็กซีคิ้ว เป็นการกระทำต่อจากการเฟทช์ ส่วนของออพโค้ดที่อยู่ใน IR จะได้รับการถอดรหัสและตีความหมาย ซีพียูจะทราบความหมายของคำสั่งนั้นและจะกระทำตามคำสั่งนั้น ๆ และเมื่อทำเสร็จแล้วซีพียูก็จะกลับมากระทำการเฟทช์คำสั่งถัดไปอีกครั้งหนึ่ง สลับไปเช่นนี้เรื่อย ๆ ไป

2.1.5 ชุดคำสั่งของ Z-80

สามารถแบ่งเป็นกลุ่ม ๆ ได้ดังนี้

1. กลุ่มการโหลดและแลกเปลี่ยนข้อมูล

ซึ่งสามารถกระทำได้โดยใช้ รีจิสเตอร์ต่างๆที่อยู่ภายในซีพียู โดยจากรีจิสเตอร์หนึ่งไปยังอีกรีจิสเตอร์หนึ่ง หรือเคลื่อน ย้ายข้อมูลกับหน่วยความจำโดยจากรีจิสเตอร์ไปยังหน่วยความจำหรือจากหน่วยความจำเข้า หารีจิสเตอร์ก็ได้ นอกจากนี้ยังมีลักษณะคำสั่งที่สามารถโหลดข้อมูลตัวเลขใด ๆ ก็ได้เข้า ไปในซีพียูโดยเฉพาะเจาะจงที่รีจิสเตอร์ใดรีจิสเตอร์หนึ่งหรือหน่วยความจำ การโหลดข้อ มูลยังสามารถกระทำ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ได้ทั้งแบบ 8 บิทและ 16 บิท ซึ่งความสามารถสำคัญอีกประการหนึ่ง คือ สามารถแลกเปลี่ยนข้อมูลระหว่างรีจิสเตอร์สองตัวให้ข้อมูลสลับที่กันก็ได้

2. กลุ่มการเคลื่อนย้ายและค้นหาข้อมูลเป็นบล็อก

ซึ่งการย้ายข้อมูลเป็นบล็อกจากที่หนึ่งไปยังอีกที่หนึ่งด้วยคำสั่งเพียงคำสั่งเดียวเท่านั้น ลักษณะของคำสั่งนี้จะอาศัยวิธี การกำหนดกระทำคำสั่งเดิมซ้ำ ๆ จนกว่าเงื่อนไขจะเกิดขึ้นจึงจะไปกระทำคำสั่งถัดไป นอกจากการเคลื่อนย้ายข้อมูลเป็นบล็อกแล้ว ยังมีการค้นหาข้อมูลในบล็อกของข้อมูลอีก โดยซีพียูจะตรวจสอบข้อมูลในบล็อกนั้นทีละตัว

3. กลุ่มคำสั่งทางคณิตศาสตร์และลอจิก เป็นการอาศัยรีจิสเตอร์หลักคือ แอคคิวมูเลเตอร์ กับรีจิสเตอร์อื่น ๆ ซึ่งการกระทำทางคณิตศาสตร์และลอจิกจะกระทำภายในหน่วย ALU และให้ผลลัพธ์กลับเข้าไปยังแอคคิวมูเลเตอร์ โดยมีแฟลกรีจิสเตอร์เป็นตัวแสดงสถานะบางอย่างของผลการกระทำ

4. กลุ่มคำสั่งการเคลื่อนย้ายข้อมูลเป็นวงรอบและการชิฟท์

5. กลุ่มคำสั่งการกระทำในส่วนบิท ซึ่งสามารถใช้ในการรีเซ็ทและทดสอบค่าบิทต่าง ๆ ของรีจิสเตอร์ภายในซีพียู

6. กลุ่มคำสั่งการกระโดด การเรียกโปรแกรมย่อย และการกลับคืนสู่โปรแกรมหลัก เป็นการเคลื่อนย้ายตำแหน่งของโปรแกรม ซึ่งอาจจะมีหรือไม่มีเงื่อนไขก่อนที่จะกระโดดก็ได้

7. กลุ่มคำสั่งเกี่ยวกับอินพุท/เอาท์พุท เพื่อใช้ในการติดต่อกับอุปกรณ์อินพุท/เอาท์พุท

8. กลุ่มคำสั่งควบคุมซีพียู ซึ่งได้แก่การอินเตอร์รัพท์ ซึ่งมีหลายโหมด การเซ็ทให้เป็นโหมดไหนขึ้นอยู่กับโปรแกรม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.2 ส่วนรับข้อมูล KEYBOARD

วงจรคีย์บอร์ดประกอบด้วยส่วนสำคัญ 3 ส่วนคือ ส่วนของคีย์บอร์ด ส่วนของวงจรถอดรหัส และส่วนของวงจรเข้ารหัส คีย์แต่ละตัวจะมีรหัสเป็นของเฉพาะตัว เพราะว่าคีย์แต่ละตัวถูกนำไปใช้งานต่าง ๆ กัน วงจรถอดรหัสทำหน้าที่ถอดรหัสการกดคีย์ให้เป็นค่ารหัสคีย์ ส่วนวงจรเข้ารหัสจะนำค่ารหัสคีย์ที่ได้นี้ไปเข้ารหัสเพื่อสั่งงานวงจรอื่น ๆ ต่อไป

วงจรคีย์บอร์ดมีให้เลือก 2 แบบ

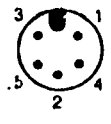
1. การต่อแบบขาร่วม (COMMON LEG) คือขาใดขาหนึ่งของสวิตช์ทุกตัวต่อร่วมเข้าด้วยกันการรับรู้การกดคีย์เป็นไปในลักษณะเฉพาะตัวของแต่ละคีย์ เหมาะสำหรับคีย์บอร์ดที่ใช้สวิตช์จำนวนน้อย

2. วงจรแบบเมตริกซ์ (MATRIX) คือเป็นการต่อสวิตช์แบบเมตริกซ์ ซึ่งเหมาะสำหรับคีย์บอร์ดที่ใช้สวิตช์จำนวนมาก

ในโครงงานนี้ใช้คีย์บอร์ด IBM ซึ่งใช้ไอซีเบอร์ 8048 ซึ่งเป็นไมโครคอนโทรลเลอร์ ซึ่งเป็นวงจรแบบเมตริกซ์ 23 แถว 4 คอลัมน์

2.2.1 โครงสร้างของคีย์บอร์ดของเครื่องไมโครคอมพิวเตอร์

คีย์บอร์ดของเครื่องไมโครคอมพิวเตอร์ 16 บิทมีสายต่อที่สำคัญคือ ไฟบวก 5 โวลต์ กราวน์ สายสัญญาณข้อมูล สัญญาณคล็อคคีย์บอร์ด และสัญญาณรีเซ็ท ลักษณะของหัวต่อจะเป็นแบบ DIN โดยมีไดอะแกรมของหัวต่อดังรูปที่ 2.2.1

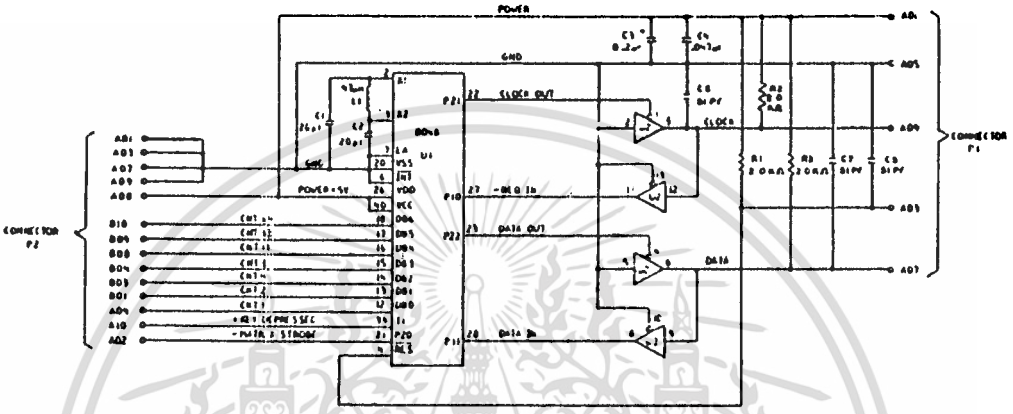


1. สัญญาณนาฬิกาคีย์บอร์ด
2. ข้อมูลคีย์บอร์ด
3. รีเซตคีย์บอร์ด
4. กราวนด์
5. +5 โวลต์

รูปที่ 2.2.1 หัวต่อ DIN ของคีย์บอร์ด

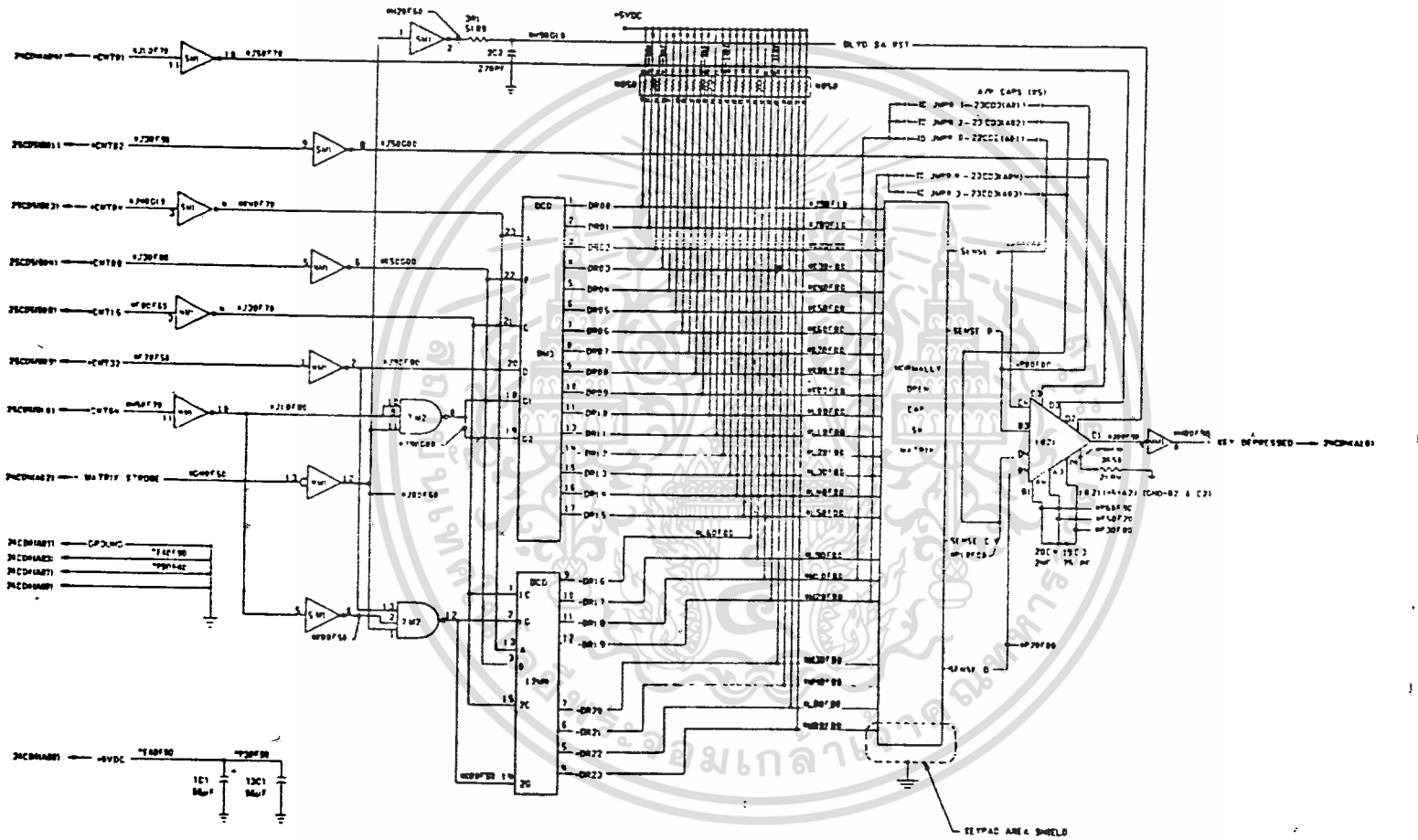
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บนคีย์บอร์ดจะมีซีพียู 8048 1 ตัว ทำหน้าที่ในการสแกนตรวจสอบการกดคีย์ ซีพียูที่อยู่บนคีย์บอร์ดนี้จะตรวจสอบการกดคีย์ เมื่อมีการกดคีย์ก็จะรับรู้และส่งข้อมูลออกตามรหัสของคีย์นั้นๆ โดยโครงสร้างการต่อคีย์บอร์ดวางเป็นเมตริกซ์มี 23 แถว 4 คอลัมน์ โครงสร้างของซีพียู 8048 แสดงได้ดังรูปที่ 2.2.2 และ รูปที่ 2.2.3



รูปที่ 2.2.2 วงจร 8048 ที่คีย์บนคีย์บอร์ด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.2.3 การต่อวงจรสแกนคีย์บอร์ดขนาด 23 แถว 24 คอลัมน์

2.3 ส่วนแสดงผล (LCD GRAPHIC)

2.3.1 คุณสมบัติของจอภาพผลึกเหลวแบบจุดเมตริกซ์ (DV-12864)

- ลักษณะภายนอก

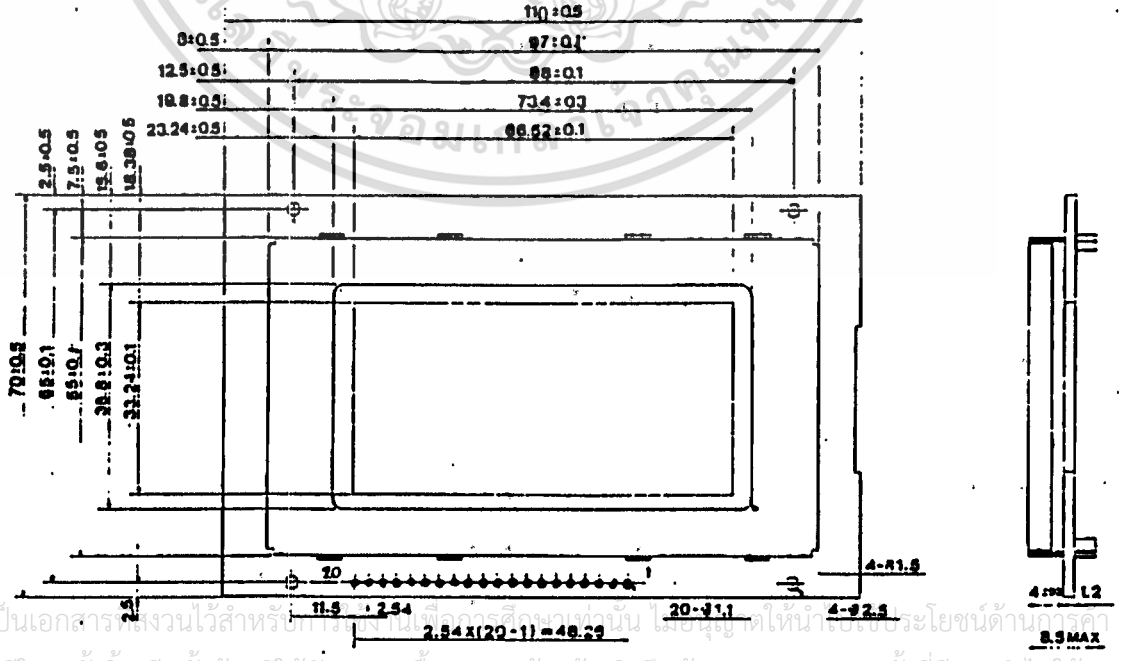
DV-12864 เป็น LCD GRAPHIC ขนาด 128*64 จุด ซึ่งมีคอนโทรลเลอร์ภายในคือ HD61202,HD61203 มีลักษณะภายนอกเป็นดังรูปที่ 2.3.1

โดยการทำงานของคอนโทรลเลอร์จะมีลักษณะการแบ่งการควบคุมไว้ดังนี้

subline คือการอ้างถึงบรรทัดของข้อมูล ภายในจะแบ่งเป็น 64 คอลัมน์ (จุด)

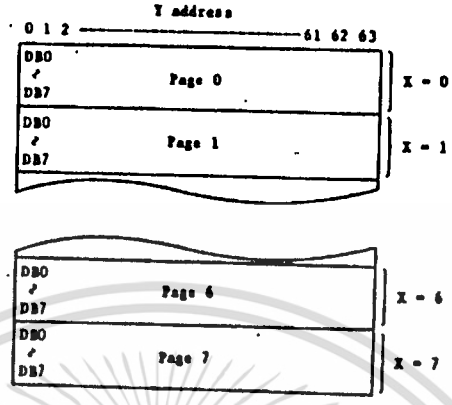
line คือการอ้างถึงบรรทัดของการแสดงผล ภายในหนึ่ง line จะประกอบไปด้วย 8 subline ซึ่งจะเป็นการอ้างถึงข้อมูลด้วย data-bus โดยตรง หนึ่งหน้าจอภาพของ LCD จะประกอบด้วย 8 line ซึ่งถูกชี้โดย X-register โดยเมื่อต้องการให้ LCD แสดงผลที่บรรทัดใดของจอภาพ เราจะต้องตั้งค่า X ให้กับ LCD ซึ่งเมื่อตั้งค่าXให้กับ LCD แล้วค่าX นั้นจะไม่มีการเปลี่ยนแปลง จนกระทั่งจะมีการตั้งค่าใหม่ให้กับ LCD

column คือการอ้างที่อยู่ของข้อมูลในแต่ละคอลัมน์ (Y) ซึ่งภายใน LCD จะถูกควบคุมการชี้ของข้อมูล โดย HD61202 โดยในตัว HD61202 จะสามารถชี้ที่อยู่ของข้อมูลได้ 64 คอลัมน์ ซึ่ง HD61202 ทั้ง 2 ตัวก็จะสามารถทำการอ้างคอลัมน์ได้ถึง 128 คอลัมน์



รูปที่ 2.3.1 แสดงลักษณะภายนอกของ DV-12864

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.3.2 แสดงการแบ่งการควบคุม

โดยการใช้งาน เมื่อทำการตั้งค่า Y แล้ว ค่าของ Y จะถูกเพิ่มค่าขึ้นเสมอ เมื่อมีการอ่านหรือเขียนข้อมูลบน LCD แต่เมื่อค่า Y ถูกเพิ่มขึ้นมากกว่า 63 แล้ว ค่า Y จะยังไม่เป็นการอ้างถึงข้อมูลคอลัมน์ที่ 64 (คอลัมน์ 0 ของ section ที่ 2 (cs2)) ดังนั้นตัวโปรแกรมจะต้องช่วยจัดการในส่วนนี้

- คำสั่งควบคุมของ LCD

1. DISPLAY ON/OFF

R/W D/I DB7 ---------- DB0

CODE	0	0	0	0	1	1	1	1	1	D

เป็นคำสั่งควบคุมการแสดงผล โดยการแสดงผลจะขึ้นอยู่กับค่า D (DB0) เมื่อค่า D เป็น 1 LCD จะทำการแสดงผล และเมื่อค่า D เป็น 0 LCD จะไม่ทำการแสดงผล ข้อมูลภายใน LCD จะไม่มีการเปลี่ยนแปลงเนื่องจากคำสั่งนี้

นั่นคือ CODE LCD ON = 3FH, CODE LCD OFF = 3EH

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2. DISPLAY START SUBLINE

R/W D/I DB7 ---------- DB0

CODE	0	0	1	1	A	A	A	A	A	A

เป็นค่าสั่งควบคุม subline ในการแสดงผล ค่า A จะเป็นค่าหมายเลขของ subline ที่จะให้ LCD แสดงผลเป็น subline แรกบนจอภาพ ซึ่งในรูปที่ 1.3 จะเป็นตัวอย่าง ของการเลือกค่า subline จาก 0-3 ซึ่งจะทำให้การแสดงผลแตกต่างกันออกไป

3. SET LINE (X)

R/W D/I DB7 ---------- DB0

CODE	0	0	1	0	1	1	1	A	A	A

เป็นค่าสั่งควบคุม line ในการแสดงผล ค่า AAA ของค่าสั่งจะเป็นการตั้งค่า X ซึ่งหลังจากทำค่าสั่งนี้แล้ว ข้อมูลจาก DB0-DB7 จะเป็นการติดต่อกับ RAM ที่ line นั้นตลอดจนกว่าจะมีการตั้งค่าใหม่ให้กับ LCD

นั่นคือ CODE LINE 1 - LINE 8 = 0B8H - 0BFH

4. SET COLUMN (Y)

R/W D/I DB7 ---------- DB0

CODE	0	0	0	1	A	A	A	A	A	A

เป็นค่าสั่งควบคุม คอลัมน์ ค่า A จะเป็นการตั้งค่า Y ซึ่งมีค่าอยู่ระหว่าง 0-63 และค่า Y จะเพิ่มขึ้นครั้งละ 1 เมื่อมีการอ่านหรือเขียนข้อมูลจาก CPU

นั่นคือ CODE COLUMN 1 - COLUMN 63 = 40H - 7FH

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5. STATUS READ

R/W D/I DB7 ---------- DB0

CODE	1	0	busy	0	on/off	reset	0	0	0	0

เป็นคำสั่งที่ใช้อ่านค่าสถานะของ LCD โดยถ้าค่า busy เป็น 1 LCD จะทำงานในส่วนภายใน ซึ่งจะทำให้ไม่สามารถทำการควบคุม LCD ขณะนี้ได้ เพราะฉะนั้นเพื่อให้แน่ใจว่าในการควบคุมครั้งต่อไป จะต้องตรวจค่า busy ให้ได้ค่าเป็น 0 เสียก่อน

6. WRITE DISPLAY DATA

R/W D/I DB7 ---------- DB0

CODE	0	1	D	D	D	D	D	D	D	D

เป็นคำสั่งที่ใช้ในการเขียนข้อมูลเข้าไปใน LCD ซึ่งข้อมูล DDDDDDD จะถูกเก็บใน LCD RAM และ ค่า Y จะถูกเพิ่มขึ้น 1

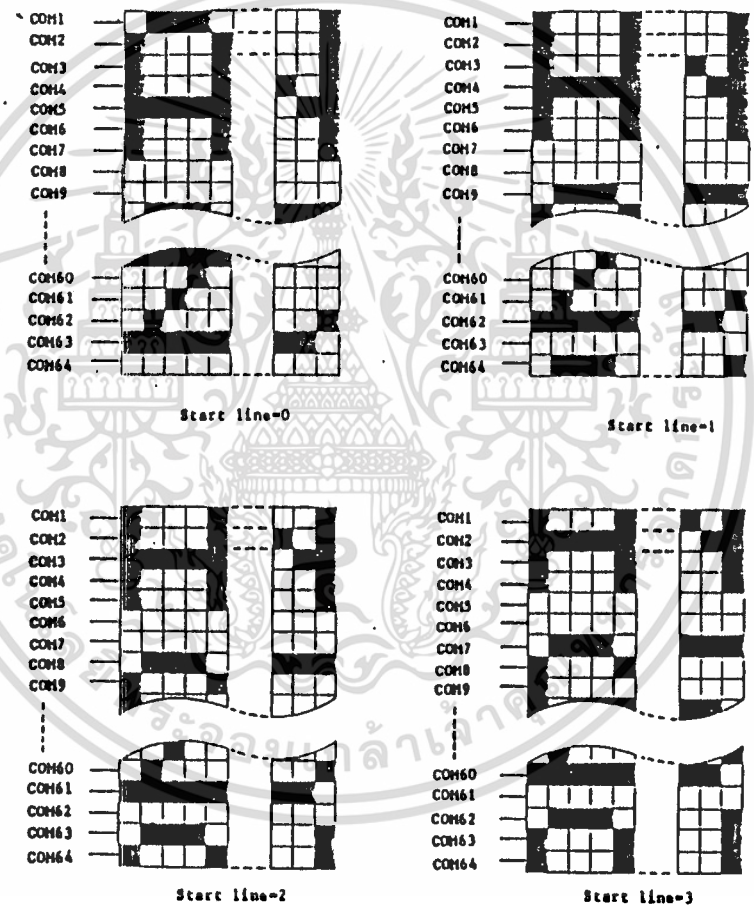
7. READ DISPLAY DATA

R/W D/I DB7 ---------- DB0

CODE	1	1	D	D	D	D	D	D	D	D

เป็นคำสั่งที่ใช้ในการอ่านข้อมูลที่แสดงผล โดย LCD จะให้ค่าข้อมูลออกมาที่ data-bus ค่า Y จะถูกเพิ่มค่าขึ้น 1 เช่นเดียวกับการเขียนข้อมูล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



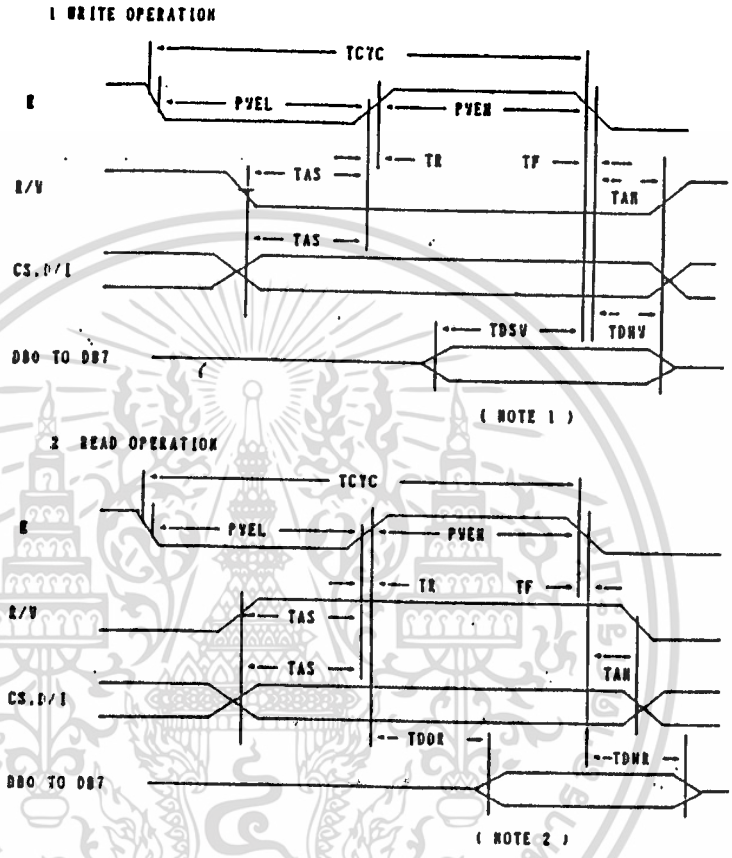
รูปที่ 2.3.3 แสดงความแตกต่างในการเลือกค่า subline 0-3

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- การทำงานของจอผลึกเหลวแบบจุดเมตริกซ์

การที่จอภาพจะแสดงภาพตามที่ต้องการมีขั้นตอนดังต่อไปนี้

1.1 ต้องมีสัญญาณไฟฟ้าจากวงจรควบคุมป้อนให้ขาสัญญาณของจอภาพดังนี้



3 Bus timing Characteristics (VDD=5.0V ,Ta=-20 to +75°C)

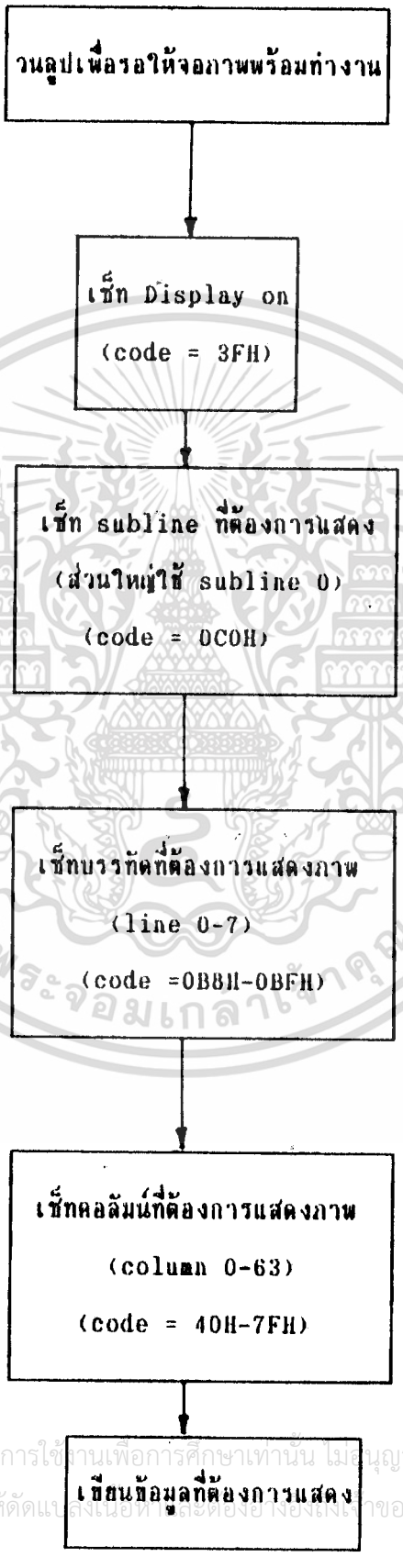
ITEM	Symbol	Limit		NOTE
		min	max	
E Cycle Time	TCYC	1000	—	1, 2
E high level width	PWEH	450	—	1, 2
E low level width	PWEL	450	—	1, 2
E rise time	TR	—	25	1, 2
E fall time	TF	—	25	1, 2
Address setup time	TAS	140	—	1, 2
Address hold time	TAH	10	—	1, 2
Data setup time	TDSW	200	—	1
Data delay time	TDDR	—	320	2
Data hold time (Write)	TDHW	10	—	1
Data hold time (Read)	TDHR	20	—	2

Unit:nS

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 2.3.4 แสดง Timing Characteristics ของจอผลึกเหลวแบบจุดเมตริกซ์

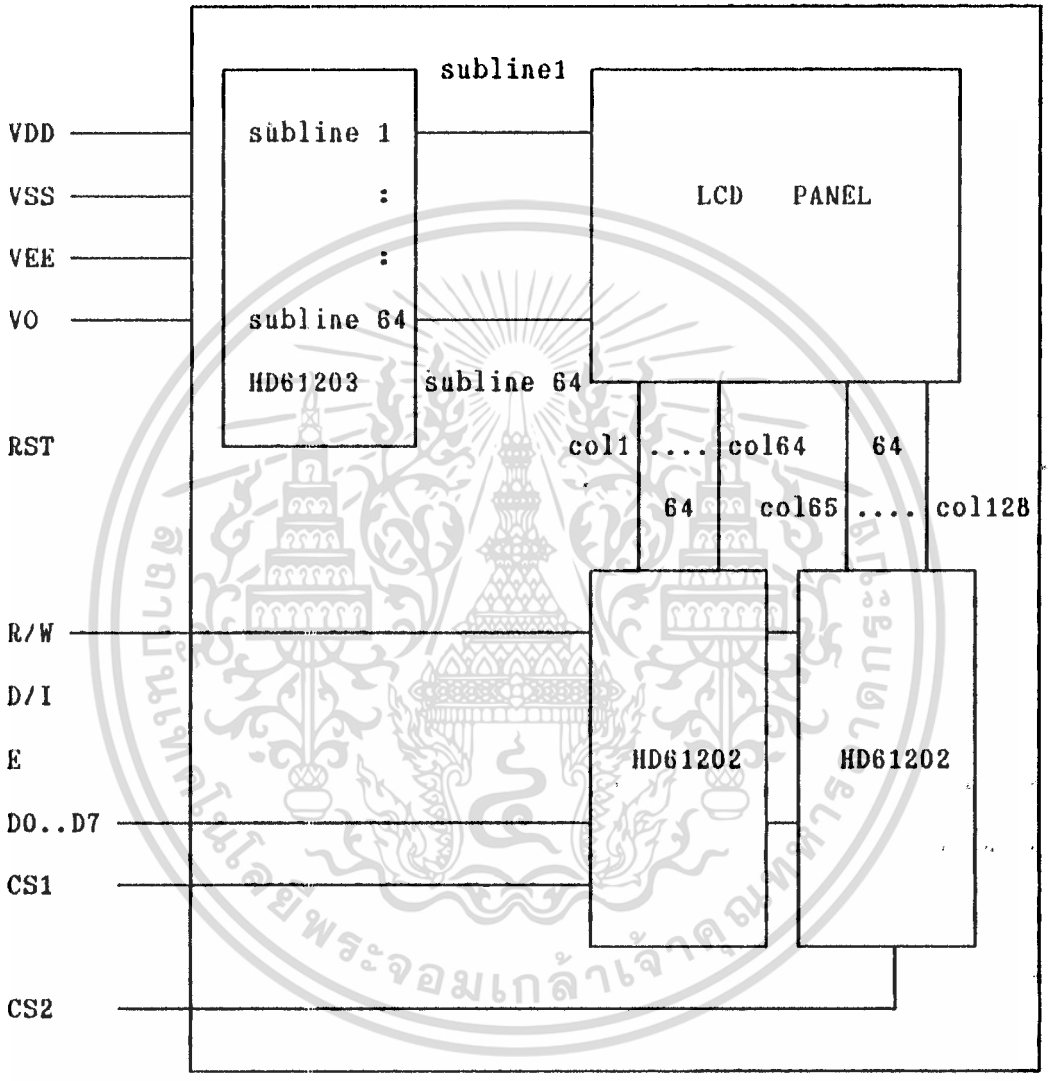
1.2 ต้องมีโปรแกรมควบคุมการแสดงภาพบนจอภาพ โดยต้องมีคำสั่งเซ็ทจอภาพให้พร้อมทำงาน, คำสั่งกำหนดตำแหน่งภาพ และข้อมูลภาพ ดังนี้



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.3.2 การอินเตอร์เฟส LCD

โครงสร้างภายในของ LCD จะประกอบไปด้วยส่วนของคอนโทรลเลอร์โดย HD-61203 จะควบคุมการอ้างถึง line ของข้อมูลและ HD61202 จะควบคุมในการอ้างของcolumn ซึ่งในการใช้งาน เราจะต้องควบคุมส่วนเหล่านี้ โดยการส่งรหัสควบคุมไปที่ขาของ LCD ดังนี้



รูปที่ 2.3.5 แสดงโครงสร้างภายใน และ ขาควบคุม

ขา RST เป็นขาที่ใช้ RESET การทำงานของ LCD

ขา E เป็นขา ENABLE การรับส่งข้อมูล จะทำงานที่ LOGIC HIGH และขอบขาลง

ขา R/W เป็นขาที่ใช้กำหนด การอ่านหรือเขียนข้อมูล

ขา D/I เป็นขาที่ใช้บอกถึงข้อมูลใน data-bus ว่าเป็นรหัสควบคุมหรือเป็นส่วนของข้อมูล

ขา CS1 เป็นขา CHIP SELECT ของ HD61202 ตัวแรก

ขา CS2 เป็นขา CHIP SELECT ของ HD61202 ตัวที่สอง

ขา DATA-BUS เป็นขาที่ใช้ส่งข้อมูล หรือรหัสควบคุม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เมื่อ CS1 เป็น HIGH และ CS2 เป็น LOW จะเป็นการอ้างถึง column 0-64 และเมื่อ CS1 เป็น LOW และ CS2 เป็น HIGH จะเป็นการอ้างถึง column ที่ 64-127

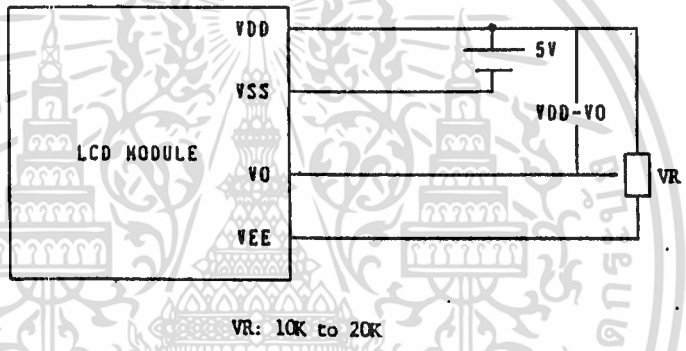
นอกจากขาควบคุมต่าง ๆ แล้ว ยังมีขาของแหล่งจ่ายไฟ คือ

ขา VSS GROUND

ขา VDD แรงดันไฟเลี้ยงวงจรลอจิก

ขา VO แรงดันไฟเลี้ยง LCD

ขา VEE ขาจ่ายแรงดันไฟลบ โดยเมื่อต่อ VDD ให้วงจร ขา VEE จะจ่ายแรงดันไฟลบออกมา ใช้ไปขับ LCD ที่ขา VO



รูปที่ 2.3.6 แสดงขาแหล่งจ่ายไฟ และการต่อใช้งาน

- การอินเตอร์เฟสกับ Z80

ในการอินเตอร์เฟสกับ Z80 CPU จะพิจารณาการควบคุมขาต่าง ๆ ของ LCD กับ CPU ดังต่อไปนี้

ขา RST จะต่อกันโดยตรง

ขา R/W จะต่อจากขา WR ของ Z80

ขา CS1,CS2 จะใช้การต่อ A0 เข้ากับ CS2 โดยตรง และต่อ A0 ผ่าน INVERTOR เข้ากับ CS1 (ใช้ A0 ในการชี้ CS1,CS2) โดยเมื่อ A0 เป็น LOW ให้ทำการติดต่อกับ CS1 และเมื่อ A0 เป็น HIGH ให้ทำการติดต่อกับ CS2

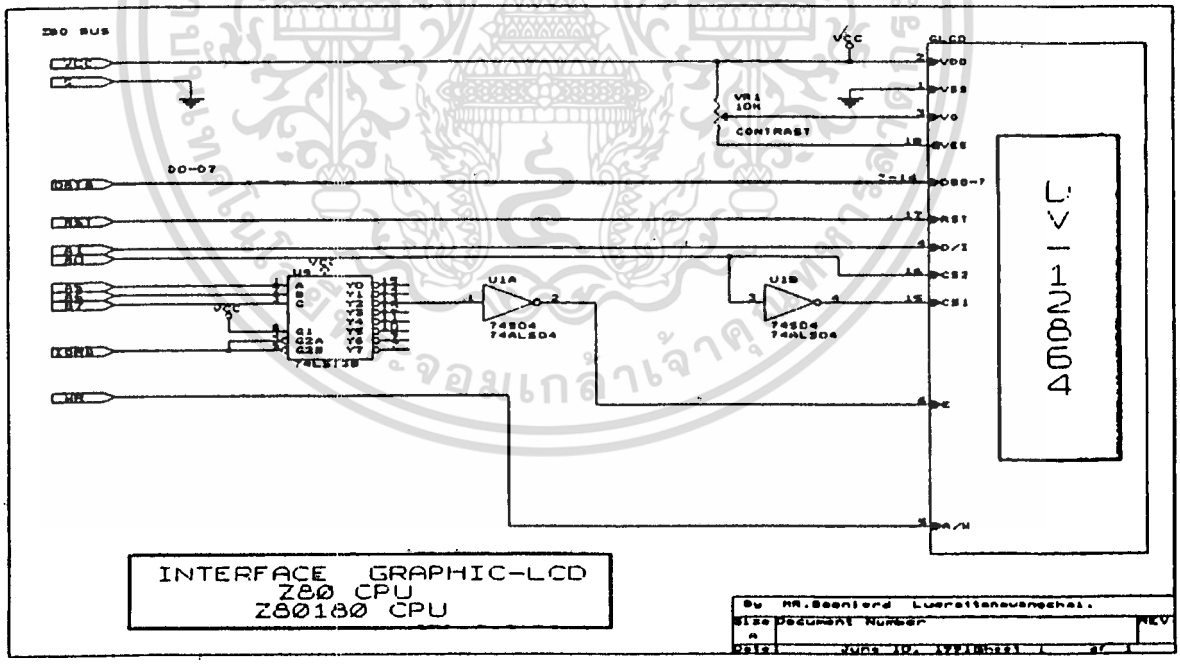
ขา D/I ใช้ต่อกับ A1 โดยตรง โดย A1 จะเป็นการกำหนดข้อมูลว่าเป็นข้อมูลหรือส่วนควบคุม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากการต่อขา CS และขา D/I จะทำให้การควบคุม LCD เป็นดังนี้

A7-A2	A1	A0	ความหมาย
-	0	0	ติดต่อกับ CS1 เป็น CONTROL LCD
-	0	1	ติดต่อกับ CS2 เป็น CONTROL LCD
-	1	0	ติดต่อกับ CS1 เป็น DATA
-	1	1	ติดต่อกับ CS2 เป็น DATA

ขา E เป็นขาควบคุมการทำงานของ LCD ในการติดต่อกับภายนอก โดยขา E จะใช้ LOGIC HIGH ในการบอกให้รับทราบการติดต่อ ดังนั้นจึงใช้ขา SELECT จากไอซี 138 ซึ่งใช้ในการ DECODE ADDRESS ต่อผ่าน INVERTER เข้ากับขา E ของ LCD



รูปที่ 2.3.7 แสดงการต่อวงจร INTERFACE กับ Z80 CPU

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.4 8255 (PROGRAMABLE PERIPHERAL INTERFACE)

2.4.1 คุณสมบัติของ 8255

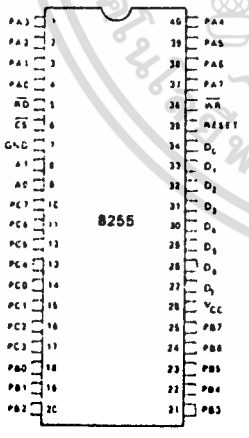
8255A เป็นอุปกรณ์อินเตอร์เฟสกับอุปกรณ์อินพุท/เอาท์พุทอเนกประสงค์ มีขา อินพุท/เอาท์พุท 24 ขา จัดแบ่งเป็นพอร์ตขนาด 8 บิท 3 พอร์ท ชื่อ A,B และ C การวางตำแหน่งขาและองค์ประกอบภายในแสดงดังรูปที่ 2.4.1 อุปกรณ์ตัวนี้ไม่สามารถถูกโปรแกรมการทำงานแบบเจาะจงเป็นขาหรือเป็นบิทโดยอิสระให้เป็นการรับหรือส่งข้อมูล เมื่อโปรแกรมพอร์ต A หรือ B ให้เป็นรับหรือส่งข้อมูลแล้วทุกบิทบนแต่ละพอร์ตจะต้องทำหน้าที่เหมือนกันหมด สำหรับพอร์ต C แบ่งเป็น 2 ส่วน คือ 4 บิทบนและ 4 บิทล่าง และแต่ละส่วนสามารถโปรแกรมการทำงานให้ต่างกันได้

8255A สามารถถูกโปรแกรมได้ 3 โหมด

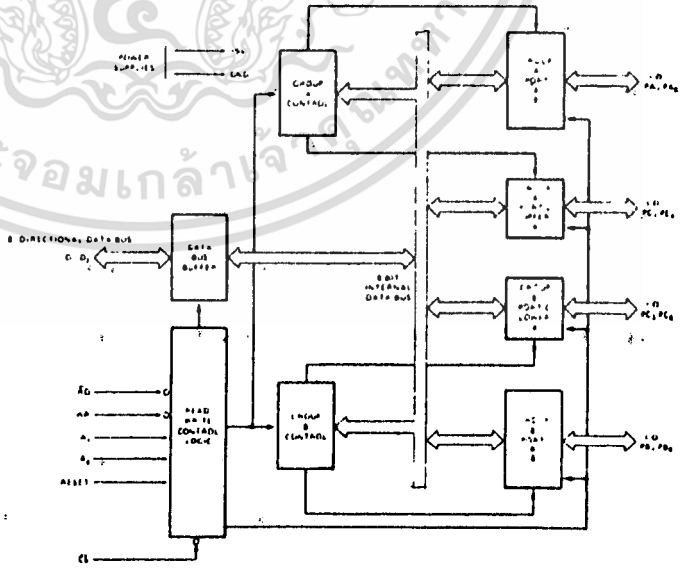
- โหมด 0 จะทำงานเป็น อุปกรณ์อินพุท/เอาท์พุทพอร์ต ตามธรรมดา
- โหมด 1 จะทำงานเป็น อุปกรณ์อินพุท/เอาท์พุทพอร์ตแบบ Handshaking
- โหมด 2 จะทำงานเป็น อุปกรณ์อินพุท/เอาท์พุทพอร์ตแบบ 2 ทิศทางและมีสัญญาณ Handshake 5 สัญญาณ

แต่ละโหมดสามารถผสมกันได้ เช่น พอร์ต A เป็นโหมด 2 พอร์ต B เป็นโหมด 0 หรือให้พอร์ต C เป็นโหมดบิทเซ็ท/รีเซ็ทเพื่อใช้สำหรับสัญญาณควบคุม

PIN CONFIGURATION



8255 BLOCK DIAGRAM



PIN NAMES

D_7-D_0	DATA BUS (BI DIRECTIONAL)
RESET	RESET INPUT
$\overline{CS}$	CHIP SELECT
$\overline{RD}$	READ INPUT
$\overline{WR}$	WRITE INPUT
A0, A1	PORT ADDRESS
PA7-PA0	PORT A (BIT)
PB7-PB0	PORT B (BIT)
PC7-PC0	PORT C (BIT)
V_{CC}	+5 VOLTS
GND	0 VOLTS

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 2.4.1 8255 PROGRAMMABLE PERIPHERAL INTERFACE

2.4.2 การอินเตอร์เฟส 8255

18255 สามารถต่อเข้ากับบัสของ Z-80 ได้โดยตรง จากระบบบัสที่เป็นแบบสองทิศทางจะเห็นว่าการติดต่อระหว่าง 8255 กับซีพียูจะผ่านบัสข้อมูลทั้ง 8 เส้นและถ้ามองจากซีพียูจะเห็นอุปกรณ์ตัวนี้มีพอร์ตอยู่4พอร์ตโดยการอ้างพอร์ตให้ใช้ A_0 และ A_1 ประกอบกับสัญญาณ CS (chip select) ซึ่งทำงานที่ลอจิก 0

A_1	A_0	$\overline{RD}$	$\overline{WR}$	$\overline{CS}$	
					Input operation (READ)
0	0	0	1	0	Port A → data bus
0	1	0	1	0	Port B → data bus
1	0	0	1	0	Port C → data bus
					Output operation (WRITE)
0	0	1	0	0	Data bus → port A
0	1	1	0	0	Data bus → port B
1	0	1	0	0	Data bus → port C
1	1	1	0	0	Data bus → control
					Disable function
X	X	X	X	1	Data bus → 3-state
1	1	0	1	0	Illegal condition
X	X	1	1	0	Data bus → 3-state

Source: Courtesy of Intel Corporation.

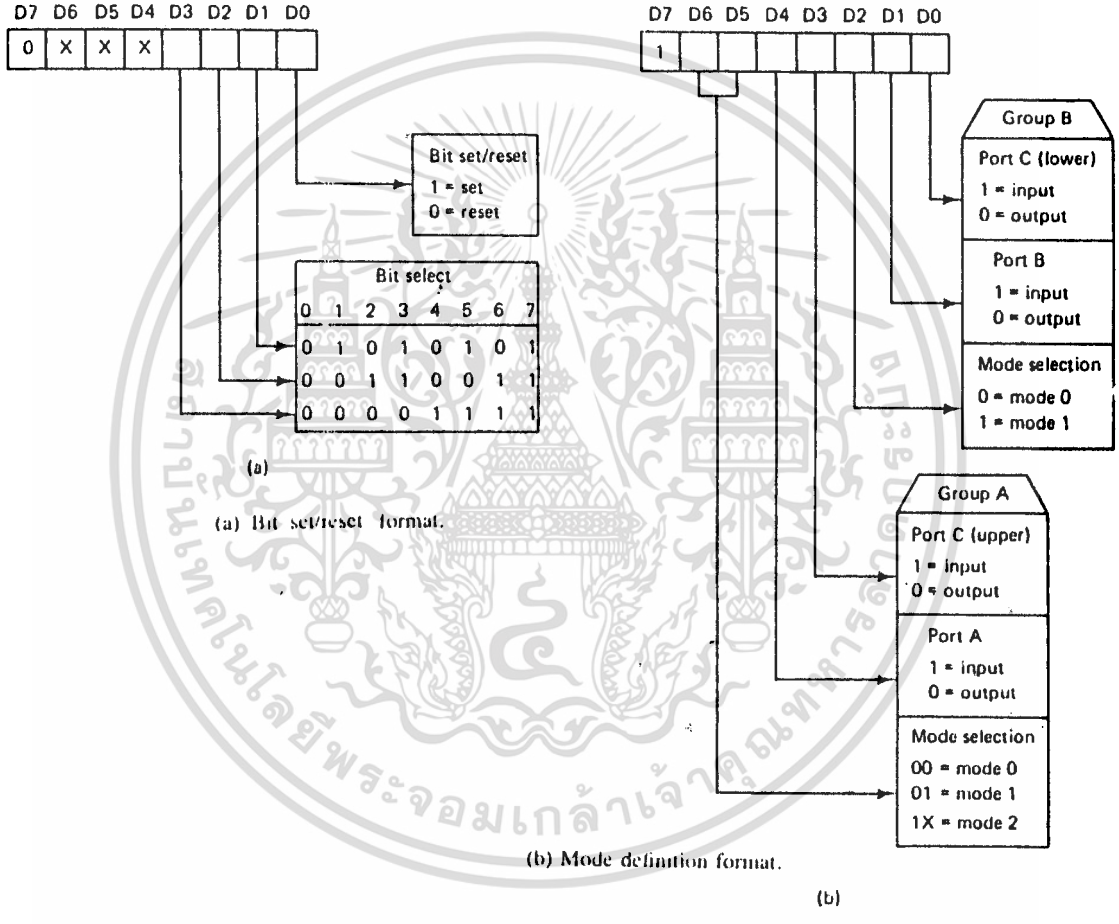
ตารางที่ 2.4.1 ตารางค่าความจริงสำหรับ 8255

จากตารางที่ 2.4 1 เป็นการสรุปการอ่านและเขียนของ 8255 เมื่อสัญญาณ RD เป็น 0 จะเป็นการอ่านค่าจากพอร์ตใดพอร์ตหนึ่งจาก 3 พอร์ต ซึ่งถูกเลือกด้วยสัญญาณ A_0 กับ A_1 แต่ถ้า A_0 กับ A_1 เป็น 1 ทั้งคู่ก็จะเป็นการระบุว่าต้องการติดต่อกับพอร์ตควบคุม ซึ่งเป็นรีจิสเตอร์พิเศษสำหรับควบคุมการทำงานของ 8255 ซึ่งรีจิสเตอร์นี้ซีพียูสามารถเขียนค่าลงไปได้ แต่ไม่สามารถอ่านค่าได้ เมื่อไม่มีการติดต่อกับ 8255 (CS = 1 หรือ RD และ WR = 1) บัสของ 8255 ที่ติดต่อกับซีพียูจะอยู่ในสถานะ high impedance ซึ่งจะเป็นการแยกตัวออกจากระบบ เพื่อให้ซีพียูติดต่อกับระบบอื่น ๆ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.4.3 การโปรแกรม 8255 ในโหมดต่าง ๆ

การโปรแกรม 8255 ให้ทำงานในโหมดต่าง ๆ นั่นคือจะต้องส่งค่าสั่งควบคุมหนึ่งเวิร์ด(word) ไปยังพอร์ตควบคุม ซึ่งค่าสั่งควบคุมโหมดของ 8255 แสดงดังรูปที่ 2.4.2 ซึ่งแสดงค่าควบคุมที่เป็นไปได้ 2 แบบเมื่อบิทที่ 7 ของค่าควบคุมเป็น 0 จะเป็นการเลือกโหมดบิทเซ็ท/รีเซ็ท ถ้าเป็น 1 จะเป็นการกำหนดโหมดของพอร์ตทั้งสามให้เป็นโหมด 0 ถึงโหมด 2



รูปที่ 2.4.2 แสดงค่าควบคุมโหมดที่เป็นไปได้ของ 8255

1. โหมด 0 : อุปกรณ์อินพุท/เอาท์พุท

เป็นการกำหนดให้พอร์ตที่กำหนดเป็นอุปกรณ์อินพุทเพื่อรับข้อมูลจากอุปกรณ์ภายนอก หรือให้พอร์ตที่กำหนดเป็นอุปกรณ์เอาท์พุทเพื่อส่งข้อมูลจากซีพียูให้กับอุปกรณ์ภายนอก โดยที่ไม่มีสัญญาณตรวจสอบใด ๆ ทั้งสิ้น ซึ่งการโปรแกรมต้องกำหนดคอนโทรลเวิร์ดดังนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตัวอย่างเช่น ถ้าต้องการให้โปรแกรมเป็นโหมด 0 โดยที่

พอร์ต A : อินพุท

พอร์ต B : เอาท์พุท

พอร์ต C บน : เอาท์พุท

พอร์ต C ล่าง: อินพุท

เราจะได้คอนโทรลเวิร์ดเป็น 1 00 1 0 0 0 1 หรือ 91H (ดูรูปที่ 2.4.2 ประกอบ)

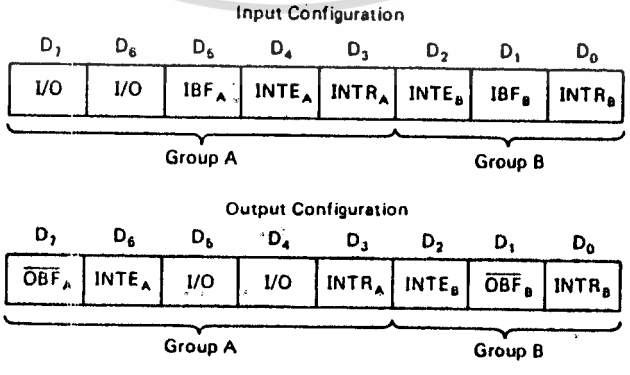
- โหมดบิทเซ็ท/รีเซ็ท

เป็นโหมดที่ช่วยในการสร้างสัญญาณสโตรป โดยที่ บิท 8 (D_7) ของค่าควบคุมเป็น 0 จะเป็นการเลือกการทำงานของโหมดบิทเซ็ท/รีเซ็ท คือแต่ละบิทของพอร์ต C จะสามารถเซ็ทให้เป็นค่า 1 หรือรีเซ็ทให้เป็นค่า 0 ได้โดยอิสระแต่ในบิทหนึ่ง ๆ จะสามารถถูกเซ็ทหรือรีเซ็ทได้เพียงค่าเดียวในเวลาใดเวลาหนึ่งเท่านั้น

2. โหมด 1 : อุปกรณ์อินพุท/เอาท์พุทพอร์ตแบบ Handshaking (STROBED I/O)

เป็นโหมดที่ช่วยในการตรวจสอบสัญญาณ Handshake และการอินเตอร์รัพท์ของการติดต่อระหว่างอุปกรณ์อินพุท/เอาท์พุท ซึ่งพอร์ต A และ B จะเป็นพอร์ตข้อมูล ส่วนพอร์ต C จะใช้สำหรับการสร้างและตรวจสอบสถานะสัญญาณเรียกว่าพอร์ตควบคุม ในโหมดนี้ขณะมีการเคลื่อนย้ายข้อมูลซีพียูจะไม่สามารถแทรกแซงการทำงานของ 8255 ได้

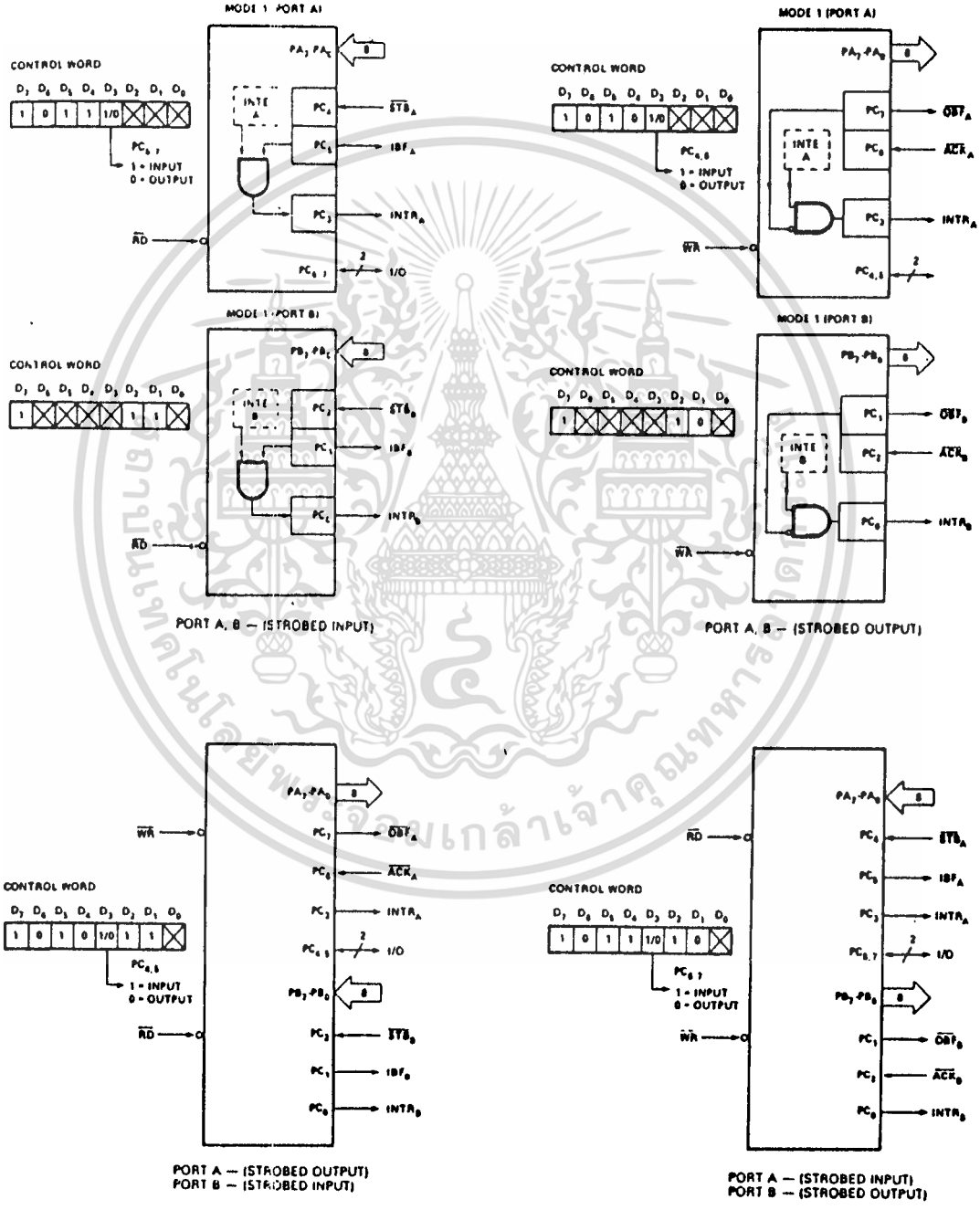
ลักษณะการทำงานของ8255 ในโหมด 1 จะมีการเลือกว่าจะให้พอร์ต A,B เป็นอินพุทหรือเอาท์พุท รวม 4 แบบ ดังรูปที่ 2.4.3



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 2.4.4 แสดงรูปแบบของ Mode 1 status word

รูปที่ 2.4.3 แสดงการทำงาน 4 ลักษณะของพอร์ต A,B ในขณะที่ทำงานใน Mode 1 C เป็นพอร์ตสถานะ



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตารางที่ 2.4.2 แสดงค่าของพอร์ต C ที่ช่วยในการตรวจสอบสัญญาณ Handshake เมื่อโปรแกรมเป็นโหมด 1

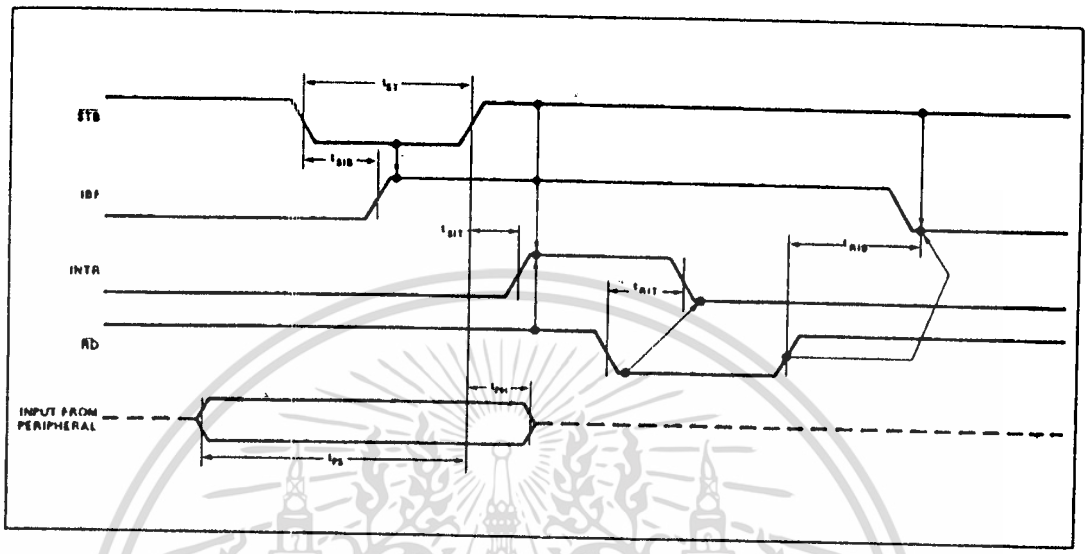
เมื่อเป็นอินพุทพอร์ต

สัญญาณ	ทิศทาง	คำอธิบาย
IBF	OUT	ถ้าเป็น 1 แสดงว่ามีข้อมูล input ถูก latch ไว้แล้ว IBF เปลี่ยนเป็น 1 ที่ขาขึ้นของสัญญาณ $\overline{STB}$
$\overline{STB}$	IN	เป็น 0 เมื่อมีข้อมูล input ถูก latch ไว้แล้ว
INTR	OUT	สถานะ 1 อาจถูกนำไปใช้ในการอินเตอร์รัพท์ซีพียู เมื่อทางด้านอุปกรณ์ input ต้องการการทำงานแบบอินเตอร์รัพท์ INTR กลายเป็น 1 ที่ขาลงของ $\overline{STB}$ ในกรณีที่ IBF เป็น 1 และ INTE เป็น 1 และ INTR จะเปลี่ยนเป็น 0 ที่ขาขึ้นของสัญญาณ $\overline{RD}$ การทำงานลักษณะเช่นนี้แสดงให้เห็นถึงการขออินเตอร์รัพท์ซีพียูจากอุปกรณ์โดยใช้สัญญาณสโตรป INTE A ถูกควบคุมโดยบิทเซ็ท/รีเซ็ทจาก PC4 INTE B ถูกควบคุมโดยบิทเซ็ท/รีเซ็ทจาก PC2

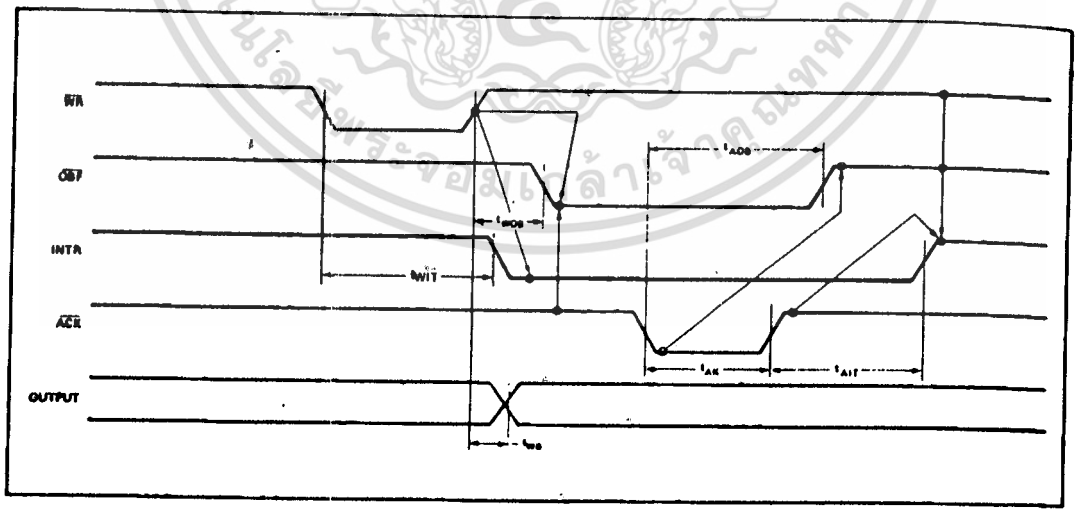
เมื่อเป็นเอาท์พุทพอร์ต

สัญญาณ	ทิศทาง	คำอธิบาย
$\overline{OBF}$	OUT	OBF เป็น 0 เมื่อซีพียูส่งข้อมูลให้พอร์ต OBF flip-flop จะถูกเซ็ทเมื่อ $\overline{WR}$ เปลี่ยนเป็น 1 และรีเซ็ทที่ขาลงของ $\overline{ACK}$
$\overline{ACK}$	IN	เมื่อเป็น 0 แสดงว่าข้อมูลที่ส่งออกไปยังพอร์ต A หรือ B ได้ถูกรับไว้แล้ว เป็นการตอบรับจากอุปกรณ์ภายนอก
INTR	OUT	สัญญาณนี้เมื่อเป็น 1 จะแสดงถึงการอินเตอร์รัพท์ซีพียู เมื่ออุปกรณ์ภายนอกได้รับข้อมูลจากซีพียูเรียบร้อยแล้ว INTR จะถูกเซ็ทที่ขอบขาขึ้นของ $\overline{ACK}$ เมื่อ $\overline{OBF}$ เป็น 0 และ INTR เป็น 1 และ INTR จะถูกรีเซ็ทที่ขาลงของ $\overline{WR}$ INTE A ถูกควบคุมโดยบิทเซ็ท/รีเซ็ทของ PC6 INTE B ถูกควบคุมโดยบิทเซ็ท/รีเซ็ทของ PC2

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.4.5 แสดง Mode 1 input port timing



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 2.4.6 แสดง Mode 1 output port timing

- input port timing

เมื่อพอร์ต A หรือ B ถูกสั่งให้ทำงานเป็นพอร์ตสำหรับอินพุท มีสัญญาณควบคุม 3 สาย คือ IBF, $\overline{STB}$ และ INTR ซึ่งคำอธิบายสัญญาณเหล่านี้อยู่ในตารางที่ 2.4.2 และแสดงการทำงานในรูปที่ 2.4.5

ในกรณีที่อุปกรณ์ภายนอกต้องการส่งข้อมูลให้กับซีพียู จะส่งผ่านมาทางพอร์ต A หรือ B จากนั้นจะส่งสัญญาณสโตรป $\overline{STB}$ ให้ 8255 ซึ่งจะตอบสนองโดยให้ขา IBF (INPUT BUFFER FULL) ซึ่งต่อไปยังอุปกรณ์ภายนอกเป็น 1 และพร้อมกับ latch ข้อมูลไว้ ซึ่งขณะนี้ซีพียูจะยังไม่ได้อ่านข้อมูล

ถ้า INTE (INTERRUPTS ENABLED) ถูกเซ็ทเอาไว้ เมื่อสัญญาณ IBF เป็น 1 จะทำให้ INTR ซึ่งเป็นสัญญาณเอาท์พุท เปลี่ยนเป็น 1 ดังนั้นการที่ซีพียูจะตรวจสอบความพร้อมว่าจะอ่านข้อมูลไปได้หรือยัง จึงมีทางเลือก 2 ทางคือ การพอลลิ่งสัญญาณ IBF ด้วยวิธีการคอยอ่าน status word ของโหมด 1 (ดูรูปที่ 2.4.4 ประกอบ) หรือนำสัญญาณ INTR ไปต่อกับขาอินเตอร์รัพท์ ซึ่งทั้งสองกรณี ทำให้เกิดการกระโดดไปยังโปรแกรมย่อยของการอ่านข้อมูลจากพอร์ตข้อมูล และที่ขาลงของสัญญาณ $\overline{RD}$ จะทำให้ INTR ซึ่งเป็นเอาท์พุท เปลี่ยนเป็น 0 และที่ขาขึ้นของสัญญาณ $\overline{RD}$ จะทำให้ IBF เป็น 0 ซึ่งแสดงว่าส่งข้อมูลเรียบร้อยสามารถรับส่งข้อมูลต่อไปได้

- output port timing

เมื่อพอร์ต Aหรือ B ในโหมด 1 ถูกสั่งให้เป็นพอร์ตเอาท์พุท มีสัญญาณควบคุม 3 สายคือ $\overline{OBF}$, $\overline{ACK}$ และ INTR ซึ่งคำอธิบายสัญญาณเหล่านี้อยู่ในตารางที่ 2.4.2 และแสดงการทำงานในรูปที่ 2.4.6

ถ้าส่งข้อมูลไปยังพอร์ตข้อมูลพอร์ตใดพอร์ตหนึ่ง อุปกรณ์ภายนอกที่จะรับข้อมูลไปจะต้องมาตรวจสอบที่ $\overline{OBF}$ (OUTPUT BUFFER FULL) ถ้าเป็น 0 แสดงว่าข้อมูลพร้อมให้อุปกรณ์ภายนอกอ่านได้แล้ว เสมือนว่าใช้ $\overline{OBF}$ เป็นสัญญาณ input strobe ซึ่งอุปกรณ์ภายนอกจะ latch ข้อมูลไว้แล้วตอบสนองด้วยการส่งสัญญาณ $\overline{ACK}$ กลับมา ขาขึ้นของสัญญาณนี้จะทำให้ $\overline{OBF}$ เปลี่ยนเป็น 1 และถ้า INTE เป็น 1 ขาลงของสัญญาณนี้ก็จะทำให้ INTR เปลี่ยนเป็น 1 ด้วยเช่นกัน

ซีพียูจะมีทางเลือกตรวจสอบความพร้อมในการรับส่งข้อมูลได้ 2 ทางคือ การพอลลิ่งสัญญาณ $\overline{OBF}$ โดยการอ่านจาก status word ของโหมด 1 (ดูรูปที่ 2.4.4 ประกอบ)หรือใช้การอินเตอร์รัพท์จาก INTR สำหรับแจ้งว่า $\overline{OBF}$ เป็น 1 แสดงว่าอุปกรณ์พร้อมที่จะรับข้อมูลแล้ว ซีพียูควรส่งข้อมูลใหม่ออกไปยังพอร์ตเอาท์พุท และที่ขาลงของสัญญาณ $\overline{WR}$ จะทำให้ INTR

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กลายเป็น 0 และที่ขาขึ้นของสัญญาณ $\overline{WR}$ จะทำให้สัญญาณ $\overline{OBF}$ เป็น 0 อุปกรณ์ภายนอกที่คอยตรวจสอบสัญญาณ $\overline{OBF}$ ก็จะอ่านข้อมูลตัวใหม่ไปได้ และทำงานในลักษณะนี้ไปเรื่อย ๆ

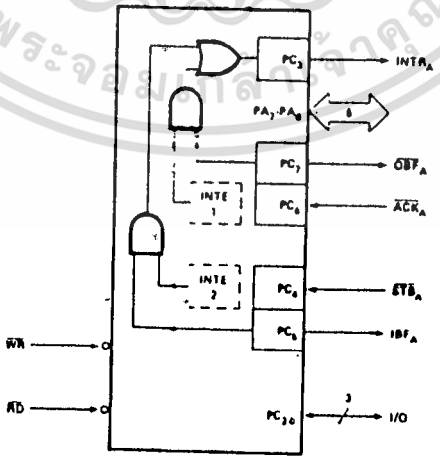
3. โหมด 2 : อุปกรณ์อินพุท/เอาท์พุทพอร์ตแบบ 2 ทิศทาง

(STROBED BIDIRECTION I/O)

ในโหมด 2 พอร์ต A ของ 8255 จะกลายเป็นพอร์ตรับส่งข้อมูลแบบสองทิศทาง ซึ่งมีการทำงานด้วยวิธี Handshake จากสัญญาณจำนวน 5 สัญญาณ ดังรูปที่ 2.4.7 ซึ่งสัญญาณ Handshake เหล่านี้จะมีลักษณะการทำงานดังเช่นโหมด 1 แต่ว่าจะอ้างอิงกับพอร์ต A เท่านั้น การใช้งานในโหมดนี้ได้แก่การส่งข้อมูลระหว่างคอมพิวเตอร์ 2 เครื่อง

เมื่อพอร์ต A ถูกโปรแกรมเพื่อให้ทำงานในโหมด 2 พอร์ต B สามารถทำงานในโหมด 0 หรือโหมด 1 ก็ได้ ถ้าถูกโปรแกรมสำหรับโหมด 0 PC0-PC2 สามารถถูกโปรแกรมให้เป็น อินพุทหรือเอาท์พุท ก็ได้ แต่ถ้าพอร์ต B ถูกโปรแกรมเป็นโหมด 1 แล้ว PC0-PC2 จะกลายเป็นสัญญาณ Handshake สำหรับพอร์ตนี้

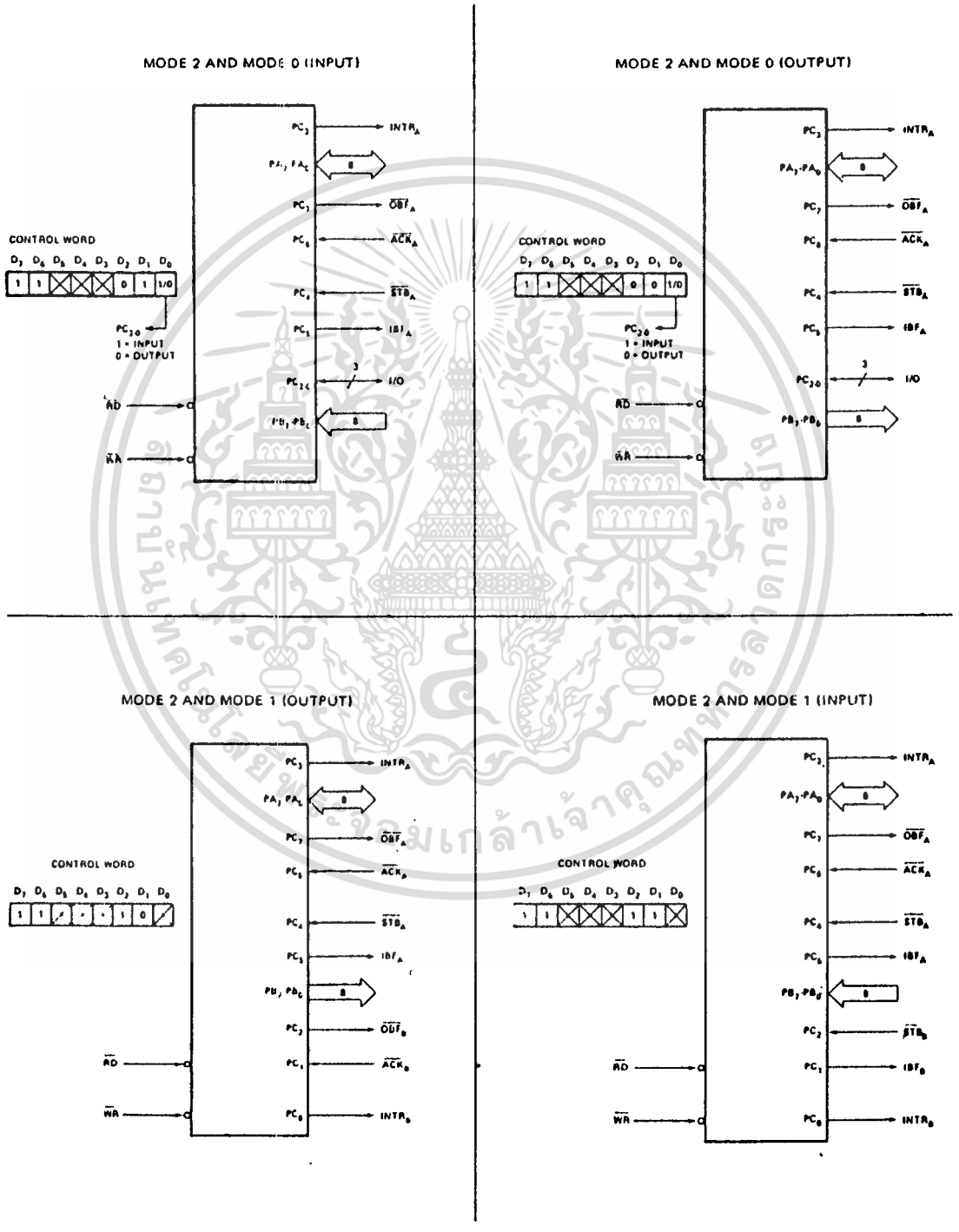
เมื่อทำการพิจารณาการโปรแกรมโหมดที่เป็นไปได้ทั้งหมดแล้ว 8255 จะมีลักษณะการทำงานอยู่ 4 ลักษณะในโหมด 2 ดังแสดงในรูปที่ 2.4.8



รูปที่ 2.4.7 แสดงโหมด 2 ของ 8255

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 2.4.8 แสดงลักษณะการทำงานที่เป็นไปได้ 4 ลักษณะ



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 2.4.9 คือผังเวลาซึ่งแสดงถึงลำดับของเหตุการณ์ต่าง ๆ ของข้อมูล ซึ่งถูกส่งไปยัง 8255 โดยอุปกรณ์และจาก 8255 กลับไปสู่อุปกรณ์ ตัวเลขที่เขียนในผังอธิบายการส่งข้อมูลจากอุปกรณ์มายัง 8255

- input port timing

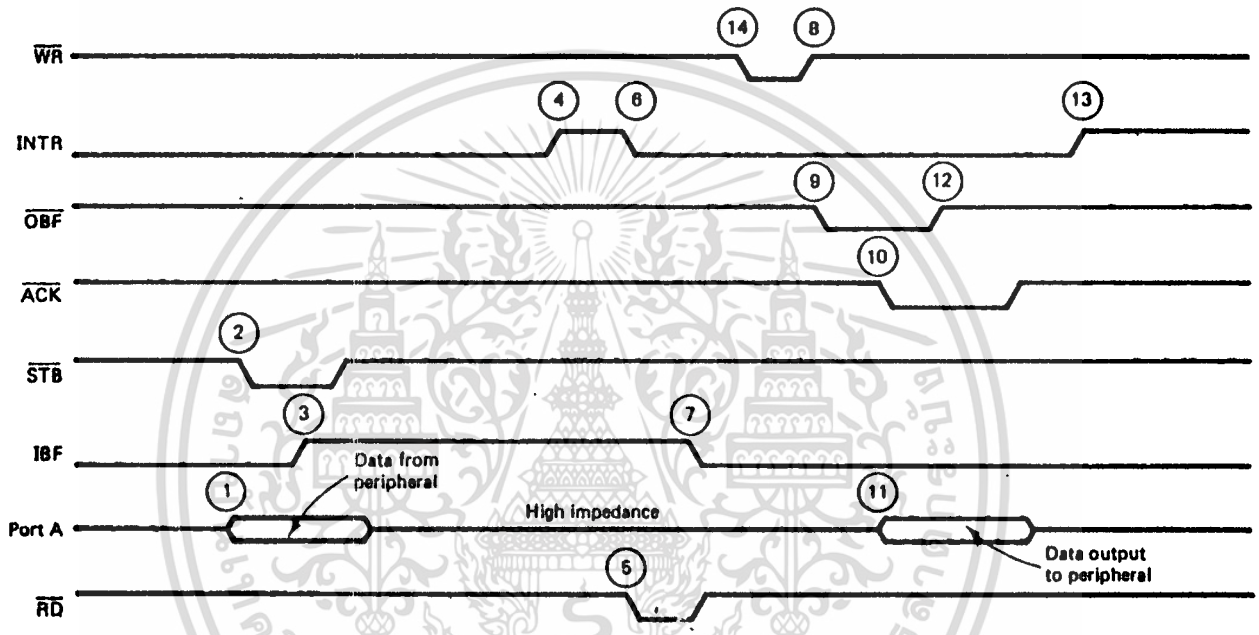
1. ข้อมูลส่งมาจากอุปกรณ์
2. อุปกรณ์ส่ง $\overline{STB}$ พัลส์ไปยัง 8255
3. เมื่อข้อมูลถูก latch IBF กลายเป็น
4. หลังจากที่ $\overline{STB}$ เปลี่ยนเป็น 1 ในขณะที่ IBF ยังคงถูกเซ็ทอยู่ INTR จะเปลี่ยนเป็น 1 เป็นการขออินเตอร์รัพท์ (ถ้าต้องการใช้)
5. ใช้การตรวจสอบด้วยวิธีพอลลิงหรืออินเตอร์รัพท์เพื่อให้บริการอุปกรณ์ ข้อมูลที่อยู่ในบัฟเฟอร์ของ 8255 จะถูกอ่านจากซีพียูเมื่อ RD เป็น 0
6. ขอบขาลงของ $\overline{RD}$ จะรีเซ็ท INTR
7. ขอบขาขึ้นของ $\overline{RD}$ จะรีเซ็ท IBF

- output port timing

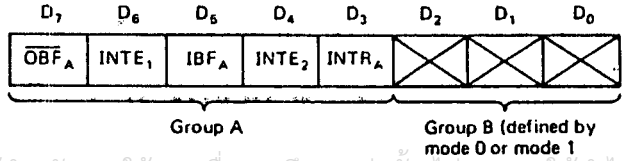
ในการส่งข้อมูล 1 ไบท์ไปยังอุปกรณ์ โดยผ่าน 8255

8. ข้อมูลถูกส่งมาจากซีพียูและถูก latch โดย 8255
9. ขอบขาขึ้นของ $\overline{WR}$ ทำให้ $\overline{OBF}$ เปลี่ยนเป็น 0 (OUTPUT BUFFER FULL)
10. อุปกรณ์ตอบรับสัญญาณ $\overline{OBF}$ โดยทำให้ $\overline{ACK}$ เปลี่ยนเป็น 0
11. ในขอบขาลงของ $\overline{ACK}$ 8255 ส่งข้อมูลออกไปทางบัสข้อมูล
12. $\overline{OBF}$ เปลี่ยนเป็น 1 (OUTPUT BUFFER EMPTY)
13. ขอบขาขึ้นของ $\overline{ACK}$ จะเซ็ท INTR ซึ่งเป็นการร้องขออินเตอร์รัพท์(ถ้าต้องการ)
14. ตรวจสอบสัญญาณโดยการพอลลิงหรืออินเตอร์รัพท์ เพื่อเขียนข้อมูลถัดไปโดยผ่าน 8255

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.4.9 ความสัมพันธ์ของ input และ output timing สำหรับโหมด 2



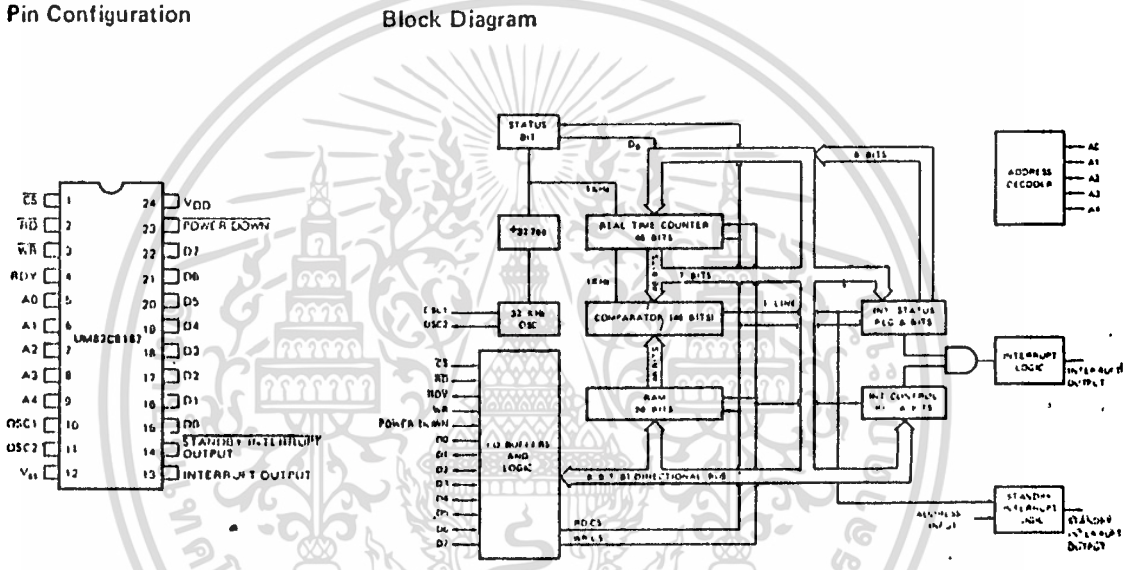
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 2.4.10 แสดงรูปแบบของ Mode 2 status word

2.5 REAL TIME CLOCK (RTC)

2.5.1 โครงสร้างของ RTC

RTC ที่ใช้ในโครงงานนี้คือ MM58167 ซึ่งชิพ 58167 นี้เปรียบเสมือนอินพุท/เอาท์พุทพอร์ต ซึ่งสามารถอ่านและเขียนไปที่พอร์ตนั้นได้ จากบล็อกไดอะแกรมรูปที่ 2.5.1 จะเห็นว่ามีส่วนประกอบที่สำคัญคือ ตัวกำเนิดสัญญาณนาฬิกา (OSCILLATOR) ตัวนับเวลา (REAL TIME COUNTER)ตัวเปรียบเทียบ (COMPARATOR) และ หน่วยความจำ (RAM)



รูปที่ 2.5.1 แสดงการจัดวางขาต่าง ๆ และบล็อกไดอะแกรมของ MM58167

2.5.2 การใช้งาน MM58167

การใช้งานเพียงแต่เขียนข้อมูลแบบ BCD ไปที่ตัวนับเวลา ตามแอดเดรสของเคาน์เตอร์แต่ละตัว เช่นของ วัน ชั่วโมงหรือ นาที ตัวนับก็เวลาจะเริ่มเดินตามเวลาที่ตั้งให้ และในทางตรงกันข้ามเราสามารถตั้งให้ RTC ให้สัญญาณอินเตอร์เอาท์พุท ในวันเวลาใดก็ได้ โดยให้ตั้งเวลาไปที่หน่วยความจำ เมื่อเวลาของตัวนับเวลาเดินมาตรงกับเวลาในหน่วยความจำจะทำให้เกิดการเปรียบเทียบขึ้นและให้สัญญาณอินเตอร์รัพท์เอาท์พุท

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.5.3 ส่วนประกอบที่สำคัญของ MM58167

- ตัวนับเวลา

ตัวนับเวลาเป็นตัวนับและจัดการเกี่ยวกับเวลา ถูกแบ่งเป็นดิจิต ดิจิตละ 4 บิท ซึ่งการเข้าถึงตัวนับเวลาจะกระทำครั้งละ 2 ดิจิต (ในขณะ READ และ WRITE) ซึ่งในแต่ละดิจิตจะให้ค่า BCD ดังแสดงในตารางที่ 2.5.1 บิทที่ไม่ใช้จะถูกโยลด์ห้วยลอจิก 0 ซึ่งเราไม่ต้องสนใจในขณะที่ทำการเขียนข้อมูลลงบนบัสข้อมูล เหตุที่บางบิทไม่ใช้ก็เนื่องจากว่า ไม่จำเป็นต้องใช้ในการให้ข้อมูลแบบ BCD ของบางหลัก ตัวอย่างเช่น ในหลักสิบของชั่วโมงจะไม่เกินเลข 2 ฉะนั้นเราจะใช้เพียง 2 บิทเท่านั้น ไม่ต้องใช้ในบิทที่ 6 และ 7

ตารางที่ 2.5.1 แสดงรายละเอียดของข้อมูลเป็นดิจิตในแต่ละเคาน์เตอร์แอดเดรส

เคาน์เตอร์แอดเดรส	หลักหน่วย D_0, D_1, D_2, D_3	BCD CODE มากที่สุด	หลักสิบ D_4, D_5, D_6, D_7	BCD CODE มากที่สุด
1/1000 วินาที(00H)	-, -, -, -		D_4, D_5, D_6, D_7	9
1/100 และ 1/10 วินาที (01H)	D_0, D_1, D_2, D_3	9	D_4, D_5, D_6, D_7	9
วินาที (02H)	D_0, D_1, D_2, D_3	9	D_4, D_5, D_6, -	5
นาที (03H)	D_0, D_1, D_2, D_3	9	D_4, D_5, D_6, -	5
ชั่วโมง (04H)	D_0, D_1, D_2, D_3	9	D_4, D_5, -, -	2
วันในสัปดาห์ (05H)	D_0, D_1, D_2, -	7	-, -, -, -	0
วันที่ (06H)	D_0, D_1, D_2, D_3	9	D_4, D_5, -, -	3
เดือน (07H)	D_0, D_1, D_2, D_3	9	D_4, -, -, -	1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- หน่วยความจำ

MM58167 มีหน่วยความจำขนาด 56 บิท ซึ่งใช้ในการเก็บข้อมูลเมื่อไฟดับหรือใช้เก็บข้อมูลการตั้งปลุกเพื่อที่จะเปรียบเทียบกับตัวนับเวลา ข้อมูลในหน่วยความจำจะสามารถเปรียบเทียบกับตัวนับเวลาและมีดิจิตที่ไม่ใช้คือ หลักหน่วยของ 1/1,000 ของวินาที และหลักสิบของวันในหนึ่งสัปดาห์ (เพราะไม่ใช้ในตัวนับเวลา ดูตารางที่ 2.5.1 ประกอบ)

หน่วยความจำจะถูกกำหนดให้มีรูปแบบเหมือนกับตัวนับเวลา อย่างไรก็ตามยังมีบิทที่ยังไม่ได้ใช้อยู่ ซึ่งบิทที่ไม่ใช้ในตัวนับเวลานี้จะเปรียบเทียบกับ 0 ในหน่วยความจำ

- อินเตอร์รัพท์และตัวเปรียบเทียบ

มีสัญญาณอินเตอร์รัพท์อยู่ 2 อย่างคือ

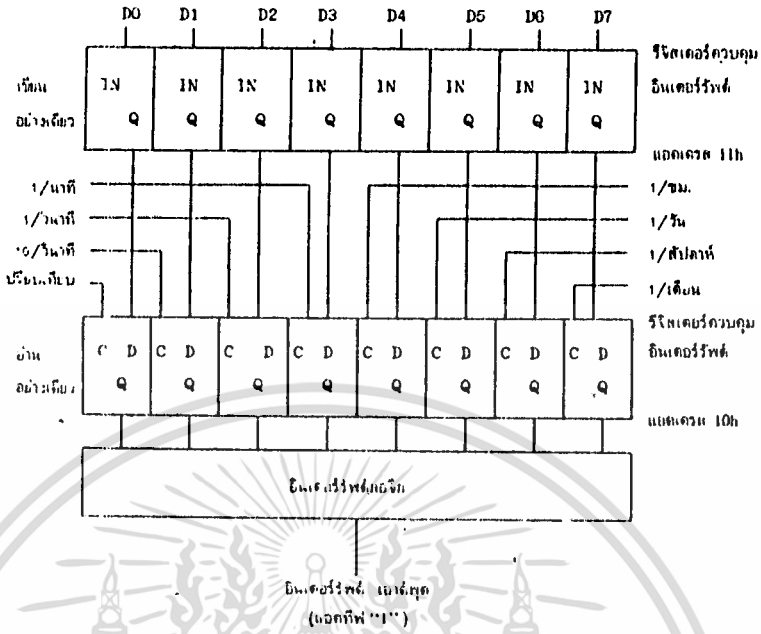
1. อินเตอร์รัพท์เอาท์พุท (แอคทีฟ "1") เอาท์พุทนี้สามารถจะโปรแกรมให้เกิดสัญญาณทางออกได้ถึง 8 อย่างคือ 10 Hz,1 Hz, 1 นาที/ครั้ง, 1 ชั่วโมง/ครั้ง, 1 วัน/ครั้ง, 1 สัปดาห์/ครั้ง, 1 เดือน/ครั้ง และเมื่อหน่วยความจำกับตัวนับเวลาเกิดการเปรียบเทียบกันขึ้น วิธีการที่จะอินาเบิ้ลสัญญาณอินเตอร์รัพท์คือ ให้ลอจิก 1 แก่รีจิสเตอร์ควบคุมการอินเตอร์รัพท์ (INTERRUPT CONTROL REGISTER)ในบิทที่ตรงกับความถี่ที่เราต้องการจะให้เกิดสัญญาณอินเตอร์รัพท์ ดูรูปที่ 2.5.2 ประกอบ เช่นต้องการให้สัญญาณอินเตอร์รัพท์ทุก ๆ 1 นาที ก็ให้ D_3 เป็น "1"เขียนไปที่รีจิสเตอร์ควบคุมการอินเตอร์รัพท์ซึ่งดูตารางแอดเดรสได้จากตารางที่ 2.5.2

เราสามารถเซ็ทรีจิสเตอร์ควบคุมอินเตอร์รัพท์ครั้งละ 1 บิทหรือมากกว่าก็ได้ ตัวอย่างเช่น ต้องการให้มีสัญญาณอินเตอร์รัพท์ทุกวินาที และ ทุกชั่วโมงก็เซ็ทบิทที่ 2 (D_2)กับบิทที่ 4 (D_4) โดยเขียนไปที่แอดเดรสของรีจิสเตอร์ควบคุมอินเตอร์รัพท์

เมื่อเวลานับมาถึงค่าสูงสุดของแต่ละภาคจะทำให้เกิดผลล็อค ให้กับรีจิสเตอร์ควบคุมอินเตอร์รัพท์ ซึ่งจะทำให้อินเตอร์รัพท์เอาท์พุทเป็น "1" (บิทใดบิทหนึ่งต้องถูกอินาเบิ้ลด้วย) การอ่านรีจิสเตอร์ควบคุมอินเตอร์รัพท์ทำให้เราทราบว่าสัญญาณอินเตอร์รัพท์เป็นสัญญาณของบิทใด อีกทั้งยังเป็นการรีเซ็ทรีจิสเตอร์ควบคุมอินเตอร์รัพท์อีกด้วย

การอ่านรีจิสเตอร์ควบคุมอินเตอร์รัพท์นี้จะได้ข้อมูลบนบัสข้อมูลซึ่งประกอบด้วยบิทที่ทำให้เกิดการอินเตอร์รัพท์โดยจะให้ค่าเป็น "1" ที่บิทนั้น (ดูรูปที่ 2.5.2 ประกอบ) หลังจากรอบของการอ่านจะทำให้รีจิสเตอร์ควบคุมอินเตอร์รัพท์ถูกรีเซ็ท

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.5.2 แสดงการต่อสัญญาณอินเตอร์รัพท์ต่าง ๆ

A_4	A_3	A_2	A_1	A_0	ฟังก์ชัน
0	0	0	0	0	นับ 1/1000 วินาที
0	0	0	0	1	นับ 1/100 และ 1/10 วินาที
0	0	0	1	0	นับวินาที
0	0	0	1	1	นับนาที
0	0	1	0	0	นับชั่วโมง
0	0	1	0	1	นับวันในสัปดาห์
0	0	1	1	0	นับวันที่
0	0	1	1	1	นับเดือน
0	1	0	0	0	RAM 1/1000 วินาที
0	1	0	0	1	RAM 1/100 และ 1/10 วินาที
0	1	0	1	0	RAM วินาที
0	1	0	1	1	RAM นาที
0	1	1	0	0	RAM ชั่วโมง
0	1	1	0	1	RAM วันในสัปดาห์
0	1	1	1	0	RAM วันที่
0	1	1	1	1	RAM เดือน
1	0	0	0	0	รีจิสเตอร์สถานะอินเตอร์รัพต์
1	0	0	0	1	รีจิสเตอร์ควบคุมอินเตอร์รัพต์
1	0	0	1	0	รีเซตตัวนับเวลา
1	0	0	1	1	รีเซต RAM
1	0	1	0	0	สถานะบิต
1	0	1	0	1	คำสั่ง "GO"
1	0	1	1	0	สแตนด์บายอินเตอร์รัพต์
1	1	1	1	1	โหมดทดสอบ

ตารางที่ 2.5.2 แสดงแอดเดรสและฟังก์ชันต่าง ๆ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2. สแตนด์บายอินเตอร์รัพท์(STANDBY INTERRUPT) (เอาท์พุทเป็นแบบโอเพ่นเดรน, แอคทีฯ "0") อินเตอร์รัพท์ตัวนี้จะเกิดขึ้นเมื่อเราได้ทำการอีนาเบิ้ลไว้และเกิดการเปรียบเทียบในหน่วยความจำกับเวลา การอีนาเบิ้ลทำได้โดยเขียน 01H ไปที่แอดเดรส 16H จะเป็นการดิสเอเบิ้ล

- เพาเวอร์ดาวน์โหมด

ขาเพาเวอร์ดาวน์ (POWER DOWN) เป็นตัวเลือกชิพที่สำคัญที่สอง ซึ่งจะดิสเอเบิ้ลสัญญาณออกทั้งหมด ยกเว้นสัญญาณสแตนด์บายอินเตอร์รัพท์ เมื่อขานี้ได้รับลอจิก "0" MM58167 จะไม่ตอบสนองแก่สัญญาณจากภายนอก แต่นาฬิกายังคงเดินตามปกติ และจะยังให้สัญญาณสแตนด์บายอินเตอร์รัพท์ (ขา 14) ถ้าได้มีการโปรแกรมให้ขานี้ทำงานไว้ก่อนแล้ว

เมื่อต้องการเปลี่ยนจากโหมดการทำงานปกติมาเป็นสแตนด์บายโหมด ควรจะให้ขาเพาเวอร์ดาวน์เป็นลอจิก "0" อย่างน้อยที่สุด 1 μs ก่อนที่จะทำการลดระดับลงมาเป็นสแตนด์บายโหมด

เมื่อต้องการเปลี่ยนกลับมาสู่การทำงานปกติผู้ใช้ต้องมั่นใจว่าขาอินพุทอื่น ๆ ต้องเป็นสัญญาณที่ถูกต้องก่อนที่จะกลับมาสู่โหมดการทำงานปกติ ทั้งนี้เพื่อป้องกันข้อมูลของนาฬิกาเสียไป จะทำให้นาฬิกาเดินผิด ตัวอย่างนี้ได้แก่ การที่ขา CS,RD,WR ของ MM58167 มีสัญญาณเปลี่ยนแปลงในขณะที่กลับสู่โหมดปกติจะทำให้มีการเขียนข้อมูลไปที่ตัวนับเวลาหรือในหน่วยความจำ

- การรีเซ็ทหน่วยความจำและตัวนับเวลา ; คำสั่ง GO

ตัวนับเวลา และ หน่วยความจำสามารถถูกรีเซ็ทได้โดยเขียน FFH ที่แอดเดรส 12H,13H ตามลำดับ การให้พัลส์ของการเขียนไปที่แอดเดรส 15H (คำสั่ง GO) จะรีเซ็ทตัวนับของวินาที ขณะทำการเขียนไปที่แอดเดรส 15H นี้ MM58167 จะไม่สนใจข้อมูลบนบัสข้อมูล แต่ผลของคำสั่ง GO มีดังนี้

ถ้าตัวนับของวินาทีนับได้มากกว่า 39 เมื่อเราใช้คำสั่ง GO จะทำให้หลักของนาทีเพิ่มขึ้นในกรณีอื่น ๆ จะไม่มีผลต่อหลักนาที

- บิทสถานะ (STATUS BIT)

บิทสถานะจะบอกผู้ใช้ว่าขณะที่ทำการอ่านตัวนับนั้น ตัวนับกำลังอยู่ในช่วงของการอัพเดตเวลา ข้อมูลที่อ่านได้อาจมีการผิดพลาดเกิดขึ้น บิตสถานะนี้จะอ่านได้จากแอดเดรส 14H ของ RTC โดยจะให้ลอจิก "1" ที่บิท 0 ของบัสข้อมูล ในขณะที่บิทอื่น ๆ เป็น "0" หมด ถ้าสัญญาณนี้ปรากฏขึ้นภายหลังการอ่านตัวนับควรมีการอ่านตัวนับใหม่ที่ขอบขาลงของสัญญาณ READ ที่แอดเดรส 14H จะรีเซ็ทบิทสถานะด้วย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- ตัวกำเนิดสัญญาณนาฬิกา

เป็นตัวกำเนิดสัญญาณนาฬิกาแบบเรโซแนนซ์ขนาน โดยใช้อุปกรณ์ภายนอกเพียงตัวเก็บประจุ 1 ตัว, แร่กำเนิดความถี่ 1 ตัว โดยตัวต้านทานจะต่ออยู่ระหว่างขั้ว OSC in (ขา 10) และ OSC out (ขา 11) เพื่อที่จะไบอัสตัวอินเวอร์เตอร์ที่อยู่ภายในให้ทำงานอยู่ในช่วงที่เป็นเชิงเส้น สำหรับแรแบบไมโครเพาเวอร์คริสตัลจะใช้ตัวต้านทานต่ออนุกรมกับขา OSC out โดยใช้ตัวต้านทานมีค่าโดยประมาณ 200 KOhms ส่วนตัวเก็บประจุโดยปกติจะมีค่าอยู่ในช่วง 20 pF-25 pF แร่ที่ใช้มีความถี่ 32768 Hz

- คอนโทรลไลน์ (CONTROL LINE)

สัญญาณ READ,WRITE,CHIP SELECT เป็นสัญญาณอินพุททำงานที่ลอจิก "0" และสัญญาณ READY เป็นสัญญาณเอาท์พุท (โอเพ่นเดรนเอาท์พุท) ที่จุดเริ่มต้นของการอ่าน หรือการเขียน ขา READY จะให้สัญญาณเอาท์พุทเป็น "0" อยู่จนกระทั่งข้อมูลปรากฏบนบัสข้อมูลเรียบร้อย หรือข้อมูลได้ถูกแลตช์ไว้แล้วในขณะช่วงของการเขียน

- โหมดทดสอบ

ในโหมดนี้ใช้เป็นเพียงการทดสอบ RTC ชิพ ให้ทำงานที่ความถี่สูงกว่าการทำงานปกติ ในโหมดนี้ความถี่ 32 KHz จะถูกต่อตรงเข้าที่ 1/1000 วินาที ขา CS และ WR ต้องเป็น "0" และให้แอดเดรสเป็น 1FH

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 3. เครื่องแสดงผ่านบรรยากาศประกอบภาพ

โครงงานนี้แบ่งส่วนสำคัญออกเป็น 3 ส่วน

1. ภาคการแสดงผลบนจอทีวี
2. ภาคการประมวลผลข้อความที่นำออกแสดงบนจอทีวี
3. ภาคเชื่อมโยงระหว่างการประมวลผลและการแสดงผลบนจอทีวี

1. ภาคการแสดงผลบนจอทีวี

ภาคแสดงผลที่ทำการแสดงตัวอักษรออกจอทีวีนั้นได้ออกแบบจากหลักการทำงานของการ์ดแสดงผลที่ใช้แสดงผลในเครื่องคอมพิวเตอร์โดยทั่วไป โดยไอซี ซีอาร์ทีคอนโทรลเลอร์เบอร์ 6845 เป็นตัวหลักสำคัญ ในการสร้างสัญญาณต่างๆ ที่จำเป็นในสัญญาณวิดีโอ

วงจรที่ใช้ในการสร้างเครื่องต้นแบบนี้ เป็นวงจรที่ออกแบบจากหลักการทำงานของหน่วยแสดงผลออกจอมอนิเตอร์แบบ ซีอาร์ที (CRT) ซึ่งใช้กันทั่วไปในเครื่องคอมพิวเตอร์ในปัจจุบัน สามารถแบ่งการทำงาน ออกเป็นส่วนๆได้ดังนี้

- ส่วนสร้างคล็อค (CLOCK)ให้ระบบ

วงจรส่วนนี้เป็นวงจรกำเนิดสัญญาณคล็อคความถี่ 8 เมกกะเฮิร์ท ทำงานโดยใช้ไอซี 74LS04 ร่วมกับคริสตัลความถี่ 8 เมกกะเฮิร์ทคล็อคที่ได้จากวงจรนี้จะถูกนำไปใช้เป็น ด็อทคล็อค (DOTCLOCK) ให้กับระบบ โดยจะนำไปเข้า ชิฟท์รีจีสเตอร์ (SHIFT REGISTER) ที่ทำหน้าที่แปลงข้อมูลแบบขนานให้เป็นแบบอนุกรม คือใช้เป็นความถี่ที่ใช้ในการชิฟท์นี้

หลังจากที่ได้สัญญาณคล็อคความถี่ 8 เมกกะเฮิร์ทนี้แล้วจะนำไปเข้า วงจรหาร 16 ที่จะหารความถี่ 8 เมกกะเฮิร์ท เหลือ 500 กิโลเฮิร์ท ซึ่งก็คือ ความถี่คาแรคเตอร์คล็อค เพื่อใช้ป้อน ให้ ไอซี 6845 ซึ่งเป็น ไอซี ซีอาร์ทีคอนโทรลเลอร์ สำหรับกำเนิดสัญญาณซิงโครนัสต่างๆ ไอซีทำหน้าที่หาร 16 นี้ใช้ ไอซี 74LS161 นอกจากที่จะใช้สัญญาณความถี่ที่ถูกหารป้อนให้ไอซี 6845 แล้ว ยังนำสัญญาณนี้ป้อนให้กับ ไอซีที่ทำหน้าที่ แลทช์ข้อมูลจาก สกรีนเมมมอรีแรม (SCREEN MEMORY RAM) เพื่อทำเปลี่ยนค่าที่ทำการแลทช์ไว้เมื่อหมด 1 ตัวอักษร

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- ส่วนกำเนิดสัญญาณซิงโครนัสของสัญญาณวิดีโอ

วงจรส่วนนี้จะทำหน้าที่สร้างสัญญาณ ซิงโครนัสทางแนวนอน และ สัญญาณซิงโครนัสทางแนวตั้ง ซึ่งทำหน้าที่โดย ไอซี ซีอาร์ทีคอนโทรลเลอร์ เบอร์ 6845 ของบริษัทมอโตโรล่า ซึ่งเป็นที่นิยมใช้กันทั่วไปในหน่วยแสดงผลในเครื่องคอมพิวเตอร์ในปัจจุบัน ไอซี 6845 นี้จะสร้างสัญญาณซิงโครนัสทางแนวนอนโดย ทำการนับสัญญาณ อินพุท คาแรคเตอร์คล็อค ที่ได้จากภาคกำเนิดสัญญาณคล็อค ให้ได้จำนวนการนับตามค่าที่โปรแกรมอยู่ในรีจีสเตอร์ภายในตัว 6845 เอง

ฉะนั้นก่อนที่วงจรจะทำงานได้เราจะต้องมีการโปรแกรมค่าเริ่มต้นลงไปในรีจีสเตอร์ที่ทำหน้าที่เป็นเสมือนเก็บคำสั่งให้ 6845 ทำงานได้ตามที่เราได้ออกแบบไว้ โดย 6845 จะสามารถติดต่อกับ CPU ภายนอกทาง บัสที่ใช้ในการส่งข้อมูล(DATA BUS) ซึ่งมีสายสัญญาณ 8 เส้น และมีขาสัญญาณ chip select (-cs) เพื่อใช้เป็นสัญญาณในการติดต่อจาก CPU นอก จากนี้ในการโปรแกรมค่าข้างมีขาสัญญาณที่ใช้เป็นตัวกระตุ้นการผ่านข้อมูลเข้าไปในรีจีสเตอร์ของ 6845 คือ ขาสัญญาณ อีนาเบิล (-E) ซึ่งขาสัญญาณนี้เนื่องมาจากลักษณะโครงสร้างของ ไอซีตระกูลนี้เป็นของบริษัท มอโตโรล่าได้ออกแบบมาเพื่อความสะดวกในการ อินเตอร์เฟสกับ CPU ในตระกูลเดียวกัน เช่น 68000 ซึ่งจะใช้ สัญญาณคล็อคของระบบเป็นแบบ 2 เฟส ซึ่งขาสัญญาณอีนาเบิลนี้จะใช้ต่อโดยตรงกับสัญญาณคล็อคเฟส 2 ได้ทันที แต่เมื่อนำมาใช้กับ CPU ในตระกูลอื่นเช่นZ-80 เป็นต้น จะต้องปรับสัญญาณคล็อคที่มีลักษณะต่อเนื่อง เพื่อใช้ในการขับสัญญาณที่ขาอีนาเบิลของ 6845 นี้ด้วย ในวงจรที่ออกแบบนี้ได้นำขา อีนาเบิลต่อกับ สัญญาณ IORQ ของ Z-80

หลังจากที่ได้จัดขาสัญญาณต่างๆเรียบร้อยแล้ว ก่อนเริ่มการทำงานทุกครั้งต้องมีการโปรแกรมค่าให้ 6845 ดังที่กล่าวไว้แล้ว ซึ่งสำหรับค่าพารามิเตอร์ต่างที่ใช้ในวงจรนี้ดังได้แสดงในตารางข้างล่างนี้ ค่า DATA 1 เมื่อใช้งานในสัดส่วนผลตามปกติ ส่วน ค่า ใน DATA 2 ใช้แสดงผลในแบบผสมตัวอักษรกับสัญญาณวิดีโอภายนอก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตารางการโปรแกรมค่าเริ่มต้นทำงาน ของ 6845

REGISTER	REGISTER FILE	PROGRAM UNIT	DATA1	DATA2
R0	HORIZONTAL TOTAL	CHARACTERS	1F	1B
R1	HOR. DISPLAYED	CHARACTERS	19	16
R2	HSYNC POSITION	CHARACTERS	1B	17
R3	HSYNC WIDTH	CHARACTERS	02	02
R4	VERTICAL TOTAL	CHAR ROWS	12	10
R5	VERTICAL ADJUST	SCAN LINES	10	09
R6	VER. DISPLAYED	CHAR ROW	12	10
R7	VSYNC POSITION	CHAR ROW	11	10
R8	INTERLACE MODE	---------	00	00
R9	MAX SCAN LINE ADD.	SCAN LINE	0F	0F
R10	CURSOR START	SCAN LINE		
R11	CURSOR END	SCAN LINE		
R12	START ADDRESS (H)	---------		
R13	START ADDRESS (L)	---------		
R14	CURSOR (H)	---------		
R15	CURSOR (L)	---------		
R16	RESERVED	---------		
R17	RESERVED	---------		

เมื่อทำการโปรแกรมค่าที่แสดงไว้ในตารางเรียบร้อยแล้ว 6845 จะเริ่มการทำงานทันที โดยมีการทำงานดังนี้

ขา MA0-MA7 จะทำการนับค่าเริ่มตั้งแต่ค่าที่กำหนดว่าให้เริ่มแสดงที่หน่วยความจำสกรีนเมมโมรี ณ ตำแหน่ง ใด จนถึงตำแหน่งที่สามารถแสดงออกที่จอได้เป็นตัวอักษรตัวสุดท้ายซึ่งขาสัญญาณเหล่านี้จะนำไปอ้างแอดเดรสที่สกรีนเมมโมรี

ขา R0-R3 จะทำการนับค่าในส่วนที่เป็นแอดเดรสบิทนัยสำคัญน้อยที่สุด คือ บิท A0-A3 ของหน่วยความจำกำเนิดตัวอักษร ซึ่งจะเป็นการชี้ข้อมูลแต่ละ แถวของตัวอักษร การนับของ ขาสัญญาณนี้จะมีความสัมพันธ์กันกับการนับของ ขา MO-M7 ด้วย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ขา สัญญาณ HSYNC ขานี้จะกำเนิดสัญญาณที่จะใช้เป็นสัญญาณ ซิงโครนัสทางแนวนอนจะมีการทำงานที่ แอคทีฟที่ high โดยจะมีความถี่และความกว้างของสัญญาณที่ แอคทีฟ ตามค่าที่กำหนดในรีจีสเตอร์ส่วนของการแสดงผลทางแนวนอน ในที่นี้คือ 15625 เฮิร์ต ในกรณีที่แสดงผลในแบบผสมตัวอักษรกับสัญญาณวิดีโอ ส่วนในแบบที่ผสมตัวอักษรกับสัญญาณวีดีโอด้วยจะต้องมีความถี่ที่มากกว่าปกติ เล็กน้อย ซึ่งเป็นหลักการที่นำมาใช้ในเครื่องนี้ โดยจะกล่าวเหตุผลในส่วนผสมตัวอักษรต่อไป

ขา สัญญาณ VSYNC ขาสัญญาณนี้จะทำหน้าที่กำเนิดสัญญาณที่จะใช้เป็นสัญญาณ ซิงโครนัสทางแนวตั้งต่อไป โดยจะมีความถี่ตามค่าที่กำหนดในรีจีสเตอร์ในส่วนของการแสดงผลทางแนวตั้ง ซึ่งในที่นี้ คือ 50 เฮิร์ต แต่สำหรับในการีการแสดงผลในแบบผสมตัวอักษรกับสัญญาณวิดีโอ ก็เช่นเดียวกับสัญญาณ ซิงโครนัสทางแนวนอน คือ จะต้องมีความถี่ที่มากกว่า ความถี่ปกติเล็กน้อย ซึ่งจะกล่าวในส่วนต่อไปเช่นกัน

ขา สัญญาณ DE เป็นสัญญาณที่จะนำไปใช้เป็นสัญญาณ แบลงกิ้ง ต่อไป คือ ใช้หยุดการยิงอีเล็คตรอน ในระหว่างการ สะบัดกลับ ทั้งแนวตั้งและแนวนอน

- ส่วนนำข้อมูลออกแสดง

ส่วนการทำงานในส่วนนี้เป็นส่วนที่นำข้อมูลตัวอักษรต่างๆที่เก็บอยู่ในสกรีนเมมโมรี ส่งออกเป็นสัญญาณวิดีโอ การทำงานจะเริ่มจากเมื่อได้รับสัญญาณชี้แอดเดรสของสกรีนเมมโมรีจาก 6845 สกรีนเมมโมรี ซึ่งเป็นแรม จะนำค่าที่เก็บอยู่ออกทางดาต้าบัส โดยการเก็บมีรูปแบบเป็น รหัสแอสกี้ ซึ่งขาดาต้านี้จะนำไปเป็นแอดเดรสเพื่อชี้ตำแหน่งที่เก็บรูปแบบของตัวอักษรในหน่วยกำเนิดตัวอักษรซึ่งเป็น รอม

ในระหว่างที่ค่าที่เก็บอยู่ในสกรีนเมมโมรีค่าหนึ่งกำลังชี้ตำแหน่งแอดเดรสของหน่วยกำเนิดตัวอักษรอยู่ในส่วนของบิทแอดเดรสนัยสำคัญน้อยสุด 4 บิทแรกจะถูกทำการชี้ตำแหน่งร่วมด้วย ซึ่งจะเป็นการกำหนดแถวของรูปแบบตัวอักษร ว่ากำลังแสดงในแถวใด ซึ่งจะมี 16 แถว เนื่องจากตัวอักษรเป็นแบบ 16 x 16

เนื่องจากในการแสดงผลตัวอักษรอย่างที่ได้กล่าวแล้วว่า มีขนาด 16 x 16 ฉะนั้นในหน่วยความจำที่เป็น รอมแบบ 8 บิทย่อมไม่เพียงพอ ดังนั้นจึงใช้ประกอบกัน 2 ตัว โดยมีการอ้างแอดเดรสที่เป็นตำแหน่งเดียวกัน คือ เสมือนว่าเป็นหน่วยความจำขนาด 16 บิท ซึ่งจะแยก 8 บิททางซ้ายไว้แสดงด้านซ้ายของตัวอักษร ส่วน 8 บิททางขวาก็ใช้แสดงส่วนของตัวอักษรด้านซ้ายหลังจากที่ได้ชี้แอดเดรสให้หน่วยกำเนิดตัวอักษรแล้ว ก็จะได้ค่าข้อมูลในหน่วยกำเนิดตัวอักษรที่ขา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตาด้าบัสของ รอม จากนั้นก็จะนำข้อมูลนี้ไปเข้า ชิพท์รีจีสเตอร์ซึ่งมีขนาด 8 บิท 2 ตัวประกอบกัน เพื่อรองรับข้อมูลขนาด 16 บิท หลังจากที่ชิพท์รีจีสเตอร์ได้รับค่าแล้วในช่วงระหว่างการเปลี่ยนค่าตัวอักษรที่จะแสดงตัวต่อไป ระหว่างนี้ชิพท์รีจีสเตอร์จะทำการชิพท์ค่าที่เก็บอยู่ออกไป โดยใช้ ด็อด คล็อคเป็นสัญญาณคล็อคในการชิพท์ คือมีความถี่ในการชิพท์ 8 เมกกะเฮิร์ต ข้อมูลที่ได้จากการชิพท์จากชิพท์รีจีสเตอร์ส่วนเก็บข้อมูลทางขวาของตัวอักษร จะนำไปเข้าเป็นอินพุท แบบ อนุกรม ของ ชิพท์รีจีสเตอร์ตัวเก็บข้อมูลตัวอักษรทางด้านซ้าย ข้อมูลแบบอนุกรมที่ได้จากชิพท์รีจีสเตอร์ตัวปลายทางจะนำไปเป็นระดับสัญญาณที่ใช้กำหนดความส่องสว่างของจุดบนจอ โดยข้อมูลนี้จะถูกนำไป and กับสัญญาณ DE ที่ผ่าน ดีฟลิปฟลอป ทำการดีเลย์ (DELAY) เวลาออกไป 2 คาแรคเตอร์คล็อค หากสัญญาณ DE เป็น high แสดงว่ากำลังอยู่ในช่วงการแสดงผลดังนั้น สัญญาณข้อมูลอนุกรมจากชิพท์รีจีสเตอร์จะสามารถผ่านไปได้ หาก สัญญาณ DE เป็น low แสดงว่าอยู่ในช่วงแบล้งกิ้งหรือกำลังสะบัดกลับ สัญญาณจากชิพท์รีจีสเตอร์จะไม่สามารถผ่านไปได้คือ เอาท์พุทของแอนด์เกทจะเป็น low สัญญาณที่ได้จากการผ่านแอนด์เกทแล้วจะถูกนำไปผสมสัญญาณรวมกับสัญญาณซิงโครนัสที่ได้จาก 6845 ในวงจรผสมสัญญาณที่ใช้ทรานซิสเตอร์ในที่นี้คือ BC 337 ที่ทำงานแบบอีมิตเตอร์ฟลอโลเวอร์ ทำการขยายกระแส เป็นสัญญาณวิดีโอที่สามารถนำไปใช้งานได้เลย สำหรับสัญญาณซิงโครนัสจาก6845 ที่จะนำมาทำการผสมนั้นสัญญาณซิงโครนัสทางแนวนอนจะต้องผ่าน ดีฟลิปฟลอป เพื่อดีเลย์เวลา 1 คาแรคเตอร์คล็อคก่อน เพื่อเหตุผลเช่นเดียวกับสัญญาณ DE ที่จะกล่าวต่อไปภายหลัง สำหรับสัญญาณ ซิงโครนัสทางแนวตั้งไม่ต้องผ่าน ดีฟลิปฟลอป จากนั้นเมื่อได้สัญญาณทั้งสองแล้วจะนำมาผ่านอินเวอร์เตอร์ เพราะสัญญาณทั้งสองแอคทีฟที่ high แต่ในการใช้เป็นสัญญาณวิดีโอช่วงที่แอคทีฟจะต้องเป็น low จึงต้องผ่านอินเวอร์เตอร์ก่อนแล้วนำไปเข้าแอนด์เกท (ทำหน้าที่เป็น or เกทของสัญญาณ low) จริงๆแล้วในลักษณะแบบนี้อาจจะใช้นอร์เกทเพียงตัวเดียว ทำหน้าที่แทนอินเวอร์เตอร์ และ แอนด์เกทด้วยแต่เนื่องจากเพื่อเป็นการประหยัด ไอซี จึงทำแบบดังกล่าว หลังจากที่ได้สัญญาณจากแอนด์เกทแล้วก็จะนำไปเข้าวงจรส่วนผสมสัญญาณที่ได้กล่าวมาแล้ว

สำหรับเหตุผลที่ต้องดีเลย์สัญญาณ HSYNC และ DE ก็เนื่องจากสัญญาณ 2 สัญญาณนี้สามารถนำไปเข้าวงจรผสมได้เลยไม่มีการดีเลย์เวลา หรือ มีก็จะน้อยมาก แต่สำหรับสัญญาณข้อมูลที่ได้ จะต้องผ่านการชี้แอดเดรส ผ่านสกรีนเมมโมรี และ ผ่านหน่วยกำเนิดตัวอักษร ซึ่งมีแอคเซสไทม์ (ACCESS TIME)ค่อนข้างมาก อีกทั้งยังต้องผ่านชิพท์รีจีสเตอร์ด้วยดังนั้นรวมแล้วจะเกิดการดีเลย์ของสัญญาณไปมาก ในขณะที่ HSYNC และ DE ไม่ถูกดีเลย์เลย อาการที่ไม่ปกติที่เกิดก็คือ ขณะที่ที่สัญญาณ DE มาทันส่วนผสมสัญญาณ ซึ่งจริงๆแล้ว จะต้องมาทันช้ากว่าข้อมูลจุดของตัวอักษรตัวสุดท้ายของบรรทัดที่แสดงออกไปเพียงเล็กน้อย แต่เนื่องจากข้อมูลจุดของตัวอักษร ตัว

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่อนุญาตให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สุดท้ายได้ถูกดีเลย์เวลาไปดังกล่าว ดังนั้นจะมาถึงช้ากว่า สัญญาณ DE ซึ่งในขณะที่ สัญญาณ DE มาถึง จะตรงกับในขณะที่ข้อมูลจุดจะเป็นของตัวอักษรตัวก่อนหน้าตัวสุดท้ายเป็นจำนวนเวลาที่ถูกดีเลย์ ดังนั้นภาพที่ปรากฏบนจอจะไม่มีตัวอักษรตัวท้ายๆของบรรทัด (จากการทดลองในตอนแรกข้อมูลตัวอักษร สองตัวสุดท้ายหายไป)แล้วเมื่อสัญญาณ DE หยุด แอคทีฟ สัญญาณจะหยุดไปในช่วงที่เป็นตัวอักษรของบรรทัดต่อไป เนื่องจากในขณะที่อยู่ในช่วงแบล้งกิ้ง ที่ขาแอดเดรสของ 6845 ยังไม่ได้หยุดนับ แต่จะนับไปเรื่อยๆจนถึงบรรทัดต่อไป (ซึ่งในการใช้งานจริงจะมีสัญญาณ DE เป็นตัวแบล้งกิ้งไว้ จึงไม่แสดงบนจอ) ดังนั้นหากสัญญาณ DE หายไปแล้วข้อมูลที่ไม่ต้องการคือส่วนหนึ่งของบรรทัดถัดไปจะถูกนำออกมาแสดงด้วย วิธีแก้ก็คือต้องทำการดีเลย์สัญญาณ HSYNC และ DE ดังที่กล่าวไว้แล้ว

2. ภาคการประมวลผลข้อความที่นำออกแสดงบนจอทีวี

ส่วนไมโครโปรเซสเซอร์

ส่วนนี้เป็นส่วนที่ใช้ในการประมวลผลข้อความที่รับเข้ามาจากคีย์บอร์ดตามที่ผู้ใช้ต้องการและเป็นส่วนที่เอื้ออำนวยความสะดวกให้แก่ผู้ใช้ในการติดต่อกับระบบซึ่งจะประกอบไปด้วย

- MICROPROCESSOR Z-80 เพื่อใช้ในการประมวลผล
- RAM 32 Kbytes
- EPROM 16 Kbytes เพื่อใช้ในการเก็บโปรแกรมมอนิเตอร์ของระบบ
- 8255 เพื่อใช้เป็นอุปกรณ์ในการเชื่อมต่อ Z-80 กับอุปกรณ์อินพุทและเอาท์พุท
- KEYBOARD IBM เพื่อเป็นอุปกรณ์อินพุทมาตรฐาน
- LCD GRAPHIC DISPLAY เพื่อเป็นอุปกรณ์เอาท์พุทมาตรฐานที่สามารถแสดงอักษรภาษาไทยได้
- REAL TIME CLOCK (RTC) เพื่อใช้เป็นตัวบอกเวลาของระบบ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3. ภาคเชื่อมโยงระหว่างการประมวลผลและการแสดงผลบนจอทีวี

ส่วนผสมสัญญาณตัวอักษรกับสัญญาณวิดีโอ

ส่วนนี้เป็นส่วนวงจรที่เพิ่มขีดความสามารถของการแสดงตัวอักษร โดยสามารถที่จะแสดงตัวอักษรบนจอร่วมไปกับสัญญาณภาพได้หากไม่ต้องการให้สามารถแสดงตัวอักษรซ้อนบนภาพก็ไม่ต้องมีวงจรส่วนนี้ ซึ่งวงจรนี้มีส่วนการทำงานที่แบ่งเป็นส่วนย่อยๆดังนี้

- ส่วนแยกสัญญาณซิงโครนัสจากสัญญาณวิดีโอที่จะทำการผสม

วงจรส่วนนี้จะทำการแยกสัญญาณ ซิงโครนัสทางแนวนอน และ สัญญาณซิงโครนัสทางแนวตั้งที่ผสมปนมากับสัญญาณภาพที่ปรากฏบนจอ ให้ได้เป็นสัญญาณซิงโครนัสของแต่ละแบบ ไม่ปนกับสัญญาณอื่น วิธีการทำงานคือ ใช้ออปแอมป์ที่ทำหน้าที่เป็นตัวเปรียบเทียบสัญญาณ ในที่นี้ใช้ออปแอมป์เบอร์ LM339 โดยจะตั้งค่าที่จะเปรียบเทียบไว้ที่ระดับสัญญาณ ซิงโครนัสทั้งสอง โดยออปแอมป์ตัวแรกใช้ในการแยกสัญญาณ คอมโพสิตซิงโครนัส ออกมา คือมีทั้ง สัญญาณซิงโครนัสทางแนวนอนและแนวตั้งรวมกันอยู่ น่าสัญญาณนี้ป้อนให้ ไอซี 74ls221 เพื่อกำเนิดสัญญาณ ซิงโครทางแนวนอน จากนั้น น่าสัญญาณคอมโพสิตซิงค์ข้างต้นมาผ่าน โลว์พาสฟิลเตอร์ ทำให้ ซิงโครนัสทางแนวนอน เปลี่ยนรูปเป็นสัญญาณคล้ายรูป สามเหลี่ยมโดยมีระดับสัญญาณที่สูงขึ้นไปกว่าระดับสัญญาณซิงโครนัสเดิม (ระดับศูนย์โวลท์)ส่วนสัญญาณ ซิงโครนัสทางแนวตั้งจะไม่ถูกเปลี่ยนรูปไป เพราะมีความถี่ที่ต่ำ โดยจะมีระดับสัญญาณสูงกว่าเดิมเล็กน้อย จากนั้นน่าสัญญาณที่ผ่านโลว์พาสฟิลเตอร์ นี้ไปเข้า LM339 เพื่อดีเทคสัญญาณ ซิงโครนัสทางแนงตั้งแล้วป้อนให้ ไอซีโมโนสเตเบิ้ล (74LS221) โดยป้อนสัญญาณนี้เข้าที่อินพุทที่แอคทีฟที่ low ฉะนั้นสัญญาณที่ได้ จะเป็นสัญญาณรูปสี่เหลี่ยมที่มีความกว้างตามที่กำหนดค่าโดย ค่าไทม์คอนสแตนท์ ของโมโนสเตเบิ้ล และมีความถี่เท่ากับสัญญาณซิงโครนัสทางแนวตั้งของสัญญาณวิดีโอที่นำมาแยก เราจะน่าสัญญาณ ซิงโครนัสทั้งสองชนิด เพื่อการ ล็อคสัญญาณ ซิงโครนัสของ ไอซี 6845 ต่อไป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- ส่วนล็อกสัญญาณชิงโครนัสของสัญญาณวิดีโอให้ตรงกับของ 6845

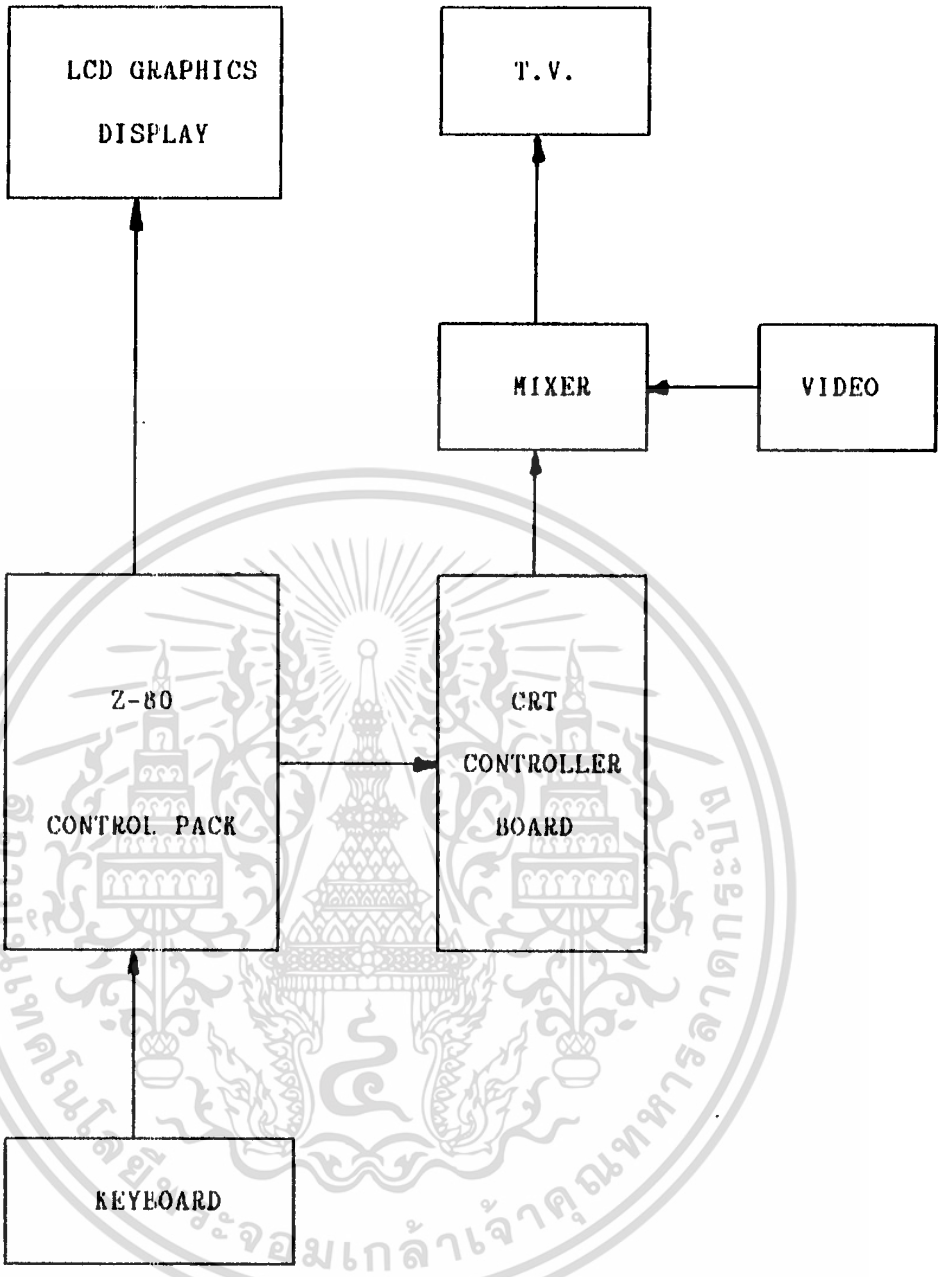
เนื่องจากในการผสมสัญญาณตัวอักษรให้แสดงบนจอร่วมกับสัญญาณวิดีโอ ภายนอกตัวอักษรที่แสดงจะต้องมีตำแหน่งที่คงที่ไม่เลื่อนล้ม ดังนั้นจะเห็นได้ว่าสัญญาณวิดีโอทั้งสองสัญญาณต้องมีความถี่ในชิงโครนัสที่ตรงกันอยู่ตลอดเวลา มิฉะนั้นหากความถี่ยืนใดผิดไปจากเดิมหรือเกิดไม่ตรงกัน ตัวอักษรที่ปรากฏบนจอจะมีการเลื่อนล้ม มีตำแหน่งไม่คงที่ วงจรส่วนนี้คือวงจรที่ทำหน้าที่ในการจัดสัญญาณทั้งสองแหล่งให้ตรงกันอยู่เสมอ ซึ่งมีหลักการคือ เนื่องจาก 6845 จะทำการนับคาแรคเตอร์คล็อคในแบบ asyncronous คือสัญญาณคาแรคเตอร์คล็อคไม่ต้องต่อเนื่องกันตลอดก็ได้ หากหยุดไป 6845 ก็จะไม่นับต่อ จนกว่าจะมีคล็อคเข้ามาอีก ดังนั้นเราจะนำสัญญาณ ชิงโครนัสทางแนวนอนของสัญญาณวิดีโอเป็นตัวเริ่มในการแสดงตัวอักษรแต่ละเส้นในแนวนอน (ดูจากรูปวงจร) โดยเราจะสร้างสัญญาณ ชิงโครนัสทางแนวนอนให้มีคาบเวลาที่น้อยกว่าคาบเวลาปกติเล็กน้อย ดังนั้นเมื่อใดก็ตามที่สัญญาณชิงโครนัสทางแนวนอนของสัญญาณวิดีโอภายนอกเกิดขึ้นเราจะนำสัญญาณนี้เป็นตัว เซ็ท JK FLIPFLOP ให้เป็น high จากนำสัญญาณที่ได้นี้ไปเข้า ขา INH (ขา อินฮิบิท)ของ ไอซีหาร16 (74 LS 161) ทำให้มีสัญญาณคาแรคเตอร์คล็อคออกไปให้ 6845 ดังนั้น 6845 จะทำการ นับไปเรื่อยๆ จน ครบค่าคล็อคที่จะให้ สัญญาณ HSYNC ออกมา ซึ่งสัญญาณ HSYNC จะต้องเกิดขึ้นก่อนสัญญาณ ชิงโครนัสทางแนวนอนของ สัญญาณวิดีโอ เราจะนำสัญญาณ HSYNC นี้ไปเป็นตัวรีเซ็ท JK FLIPFLOP ตัวเดิมทำให้ค่าที่ได้เป็น low ทำให้ในช่วงนี้เป็นสัญญาณที่แอคทีฟของขา INH ของ 74LS161 ดังนั้นจะไม่มีคาแรคเตอร์คล็อคปล่อยไปให้ 6845 จึงทำให้6845 หยุดรอที่จะนับต่อจนกว่า มีสัญญาณชิงโครนัสทางแนวนอน ของสัญญาณวิดีโอ มาเซ็ท JK FLIPFLOP ให้เป็นค่า high จึงทำการนับต่อไปในลักษณะเดียวกันการทำงานของการล็อกสัญญาณ ชิงโครนัสทางแนวตั้งก็จะเป็นเช่นนี้ (ดูจากรูปวงจร) ด้วยวิธีการนี้จะสามารถทำให้คาบเวลาของสัญญาณชิงโครนัสของ 6845 ถูกขยายให้เท่ากับ สัญญาณ ชิงโครนัสของสัญญาณวิดีโออยู่ตลอดเวลา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- ส่วนผสมสัญญาณวิดีโอ

วงจรส่วนนี้ จะเป็นการผสมสัญญาณวิดีโอ จากภายนอกด้วยสัญญาณภาพตัวอักษร ซึ่งมีการทำงาน คือ ใช้ ไอซี อนาล็อก สวิทช์ทำการมัลติเพล็กซ์สัญญาณ ทั้งสอง คือ เมื่ออยู่ในช่วงการแสดงผลแล้ว มีสัญญาณข้อมูลที่จะแสดงผลจากวงจรภายในให้เป็นจุดสว่างคือ เป็นhigh จะนำสัญญาณนี้มา ควบคุมอนาล็อกสวิทช์ให้ทำการสวิทช์ไปที่ สัญญาณ ข้อมูล หาก สัญญาณข้อมูล ที่ได้จากวงจรภายในเป็น low ดังนั้นจะควบคุมอนาล็อกสวิทช์ให้สวิทช์ไปที่สัญญาณวิดีโอภายนอก ดังนั้น ภาพที่ปรากฏบนจอ จะอยู่ในรูปที่มีตัวอักษร ซ้อนอยู่บนพื้น ที่เป็นสัญญาณภาพจากภายนอก ที่ขา ควบคุมจากสัญญาณข้อมูลจากวงจรภายใน นั้นอาจนำไปต่อกับสัญญาณไฟตรงที่มีแรงดัน 2 โวลท์ซึ่งเป็นระดับสีขาวตามปกติของสัญญาณวิดีโอทั่วไป ก็ได้เพราะ หากมีการสวิทช์ไปที่ขานี้แล้วแสดงว่าต้องการให้จุดสว่างเกิดขึ้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



SYSTEM BLOCK DIAGRAM

จากบล็อกไดอะแกรม การทำงานจะเริ่มจากการรับข้อมูลจาก KEYBOARD ซึ่งอาจเป็นค่าตัวเลือก หรือ ข้อความ ให้แก่ส่วนของ MICROPROCESSOR Z-80 โดยในส่วนของข้อความที่ต้องการแสดงออกจอภาพ จะถูกส่งต่อให้กับ CRT CONTROLLER BOARD เพื่อนำเอาค่าตัวอักษรใน CHARACTER GENERATOR ที่อยู่บน CRT CONTROLLER BOARD ออกไปผสมกับสัญญาณภาพจากเครื่องเล่นวีดีโอที่ภาค MIXER สัญญาณที่ผสมแล้วจากภาค MIXER ก็จะถูกส่งไปแสดงยังจอภาพ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การทำงานของระบบ

เมื่อเริ่มเปิดเครื่อง โปรแกรมจะทำการ initial ค่าต่างๆ ทั้งในส่วนของ Z-80 CONTROL PACK ,CRT CONTROLLER BOARD และ LCD DISPLAY จากนั้นจะแสดง menu บนจอ LCD DISPLAY ผู้ใช้จะทำการเลือก source editing ที่ต้องการผ่านทาง keyboard จะป้อนข้อความ หรือ จะแสดงข้อความออกบนจอภาพ

ถ้าเลือกป้อนข้อความ โปรแกรมก็จะให้ผู้ใช้ป้อนข้อความตามที่ต้องการ เมื่อผู้ใช้ป้อนข้อความเสร็จจะต้องทำการ save ด้วย โดยการกด F5 หลังจาก save แล้ว ผู้ใช้จะต้องเลือกรูปแบบการแสดงผล ซึ่งมีให้เลือก 2 แบบ คือ เลื่อนจากขวาไปซ้าย หรือ เลื่อนจากล่างขึ้นบน และจะต้องเลือกบรรทัดเริ่มต้นในการแสดงข้อความด้วย

จากนั้นโปรแกรมก็จะนำเอาข้อความที่ผู้ใช้ป้อนเข้าไป มาแสดงบนจอภาพตามรูปแบบที่เลือกไว้ข้างต้น

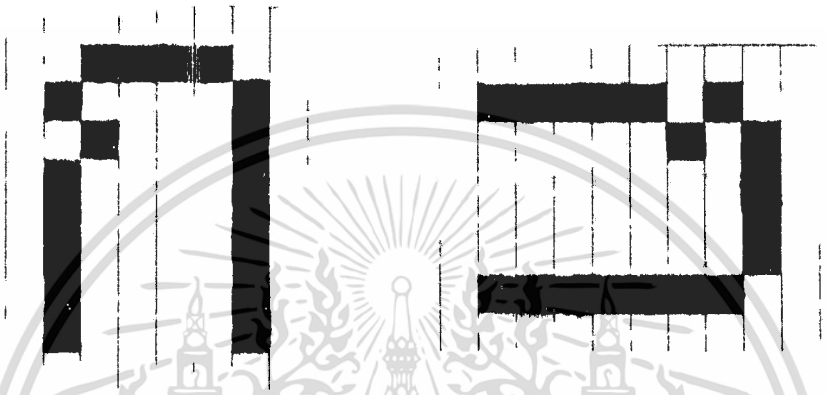
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 4. โปรแกรมควบคุมการทำงาน

4.1 คำอธิบายโปรแกรม

1.การกำหนดรูปแบบตัวอักษร (FONT)

FONT หนึ่งตัวอักษรจะแสดงได้ด้วยข้อมูลจำนวน 8 ไบท์ เรียกข้อมูลชุดนี้ว่า BITMAP FONT แต่ละไบท์เรียงในแนวตั้งจากบิทค่าต่ำแหน่งต่ำลงไปบิทค่าต่ำแหน่งสูง ดังนี้



รูปที่ 4.1.1 แสดง BITMAP ของตัวอักษร ก

จะได้ว่า ก มี BITMAP เรียงลำดับดังนี้ 00,FA,05,01,01,01,FE,00

ในกรณีตัวอักษรที่มีหางยาวไม่สามารถแสดงตัวอักษรนั้นภายในกรอบขนาด 8*8 จุดได้จึงจำเป็นต้องเพิ่มตัวอักษรที่เรียกว่าหางของตัวอักษรตังต่อไปนี้ขึ้นมาโดยมีการกำหนดรหัสแอสกีให้กับหางของตัวอักษรดังนี้

อักษร	รหัสแอสกี
หาง ญ	80H
หาง ฎ	81H
หาง อ	82H
หาง ฐ	83H
หาง ฤ	84H
หาง ๆ	85H
หาง g	86H
หาง ช,ซ,ศ,ฮ	87H
หาง ป,ฝ,พ	88H

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หาง ส	89H
หาง ฝ	8AH
หาง ำ	8BH
หาง ไ	8CH
หาง ใ	8DH
หาง ๅ	8EH

2.การแสดงผลตัวอักษรบน LCD

เนื่องจาก LCD มีขนาด 128*64 จุด จึงทำการจัดแบ่งหน้าจอ LCD ดังนี้

1 ตัวอักษรมีขนาด 8*8 จุด ดังนั้น 1 บรรทัดจะได้ 16 ตัวอักษร และ 1 หน้าจอภาพจะแสดงได้ 8 บรรทัดนั่นคือ 16*8 = 128 ตัวอักษร แต่ในการแสดงผลตัวอักษรภาษาไทยจำเป็นจะต้องมีการจัดระดับด้วยดังนั้นในโหมด EDIT โปรแกรมจึงจัดการดังนี้

บรรทัดที่ 1 ใช้แสดงสถานะการทำงานคือ ขณะนี้เป็นโหมดอักษรภาษาไทยหรือโหมดอักษรภาษาอังกฤษ

บรรทัดที่ 2,5 ใช้แสดงวรรณยุกต์,สระบนและหางของตัวอักษรที่มีหางข้างบน เช่น ป

บรรทัดที่ 3,6 ใช้แสดงพยัญชนะและสระกลาง เช่น เก

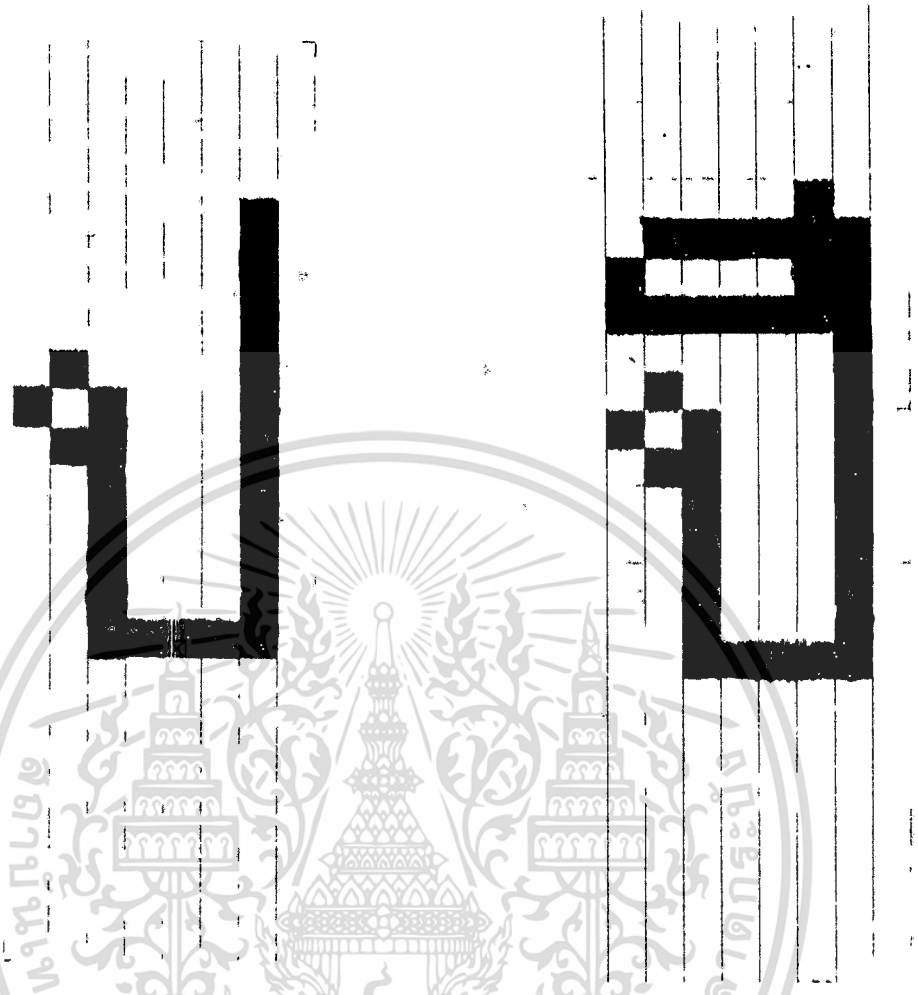
บรรทัดที่ 4,7 ใช้แสดงสระล่างและหางของตัวอักษรที่มีหางข้างล่าง เช่น ฆ

- เทคนิคการแสดงผลในการ EDIT เนื่องจากโปรแกรมมีการรับตัวอักษรหรือสระหรือวรรณยุกต์มาทีละหนึ่งตัวเท่านั้นและจะต้องแสดงแบบ INTERACTIVE ดังนั้นจึงใช้การแสดงทีละ 3 บรรทัดต่อหนึ่งตัวอักษร เช่น

1. กด ป จะต้องแสดงที่บรรทัดที่ 2 แสดงด้วยหางของ ป, บรรทัดที่ 3 แสดง ป และ บรรทัดที่ 4 แสดงช่องว่าง ณ.ตำแหน่งตัวอักษรที่ตรงกันดังรูปที่ 4.1.2

2. กดสระอี จะต้องแสดงทั้งตัว ป และตัวสระลอยบนหน้าจอ นั่นคือจะแสดงที่บรรทัดที่ 2 ด้วย BITMAP หางของ ป OR กับ BITMAP สระอี, บรรทัดที่ 3 แสดง ป และ บรรทัดที่ 4 แสดงช่องว่าง ณ. ตำแหน่งตัวอักษรที่ตรงกันดังรูปที่ 4.1.3

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.1.2 แสดงการแสดงผลตัว ป บนจอ LCD

รูปที่ 4.1.3 แสดงการแสดงผลตัว ปี บนจอ LCD

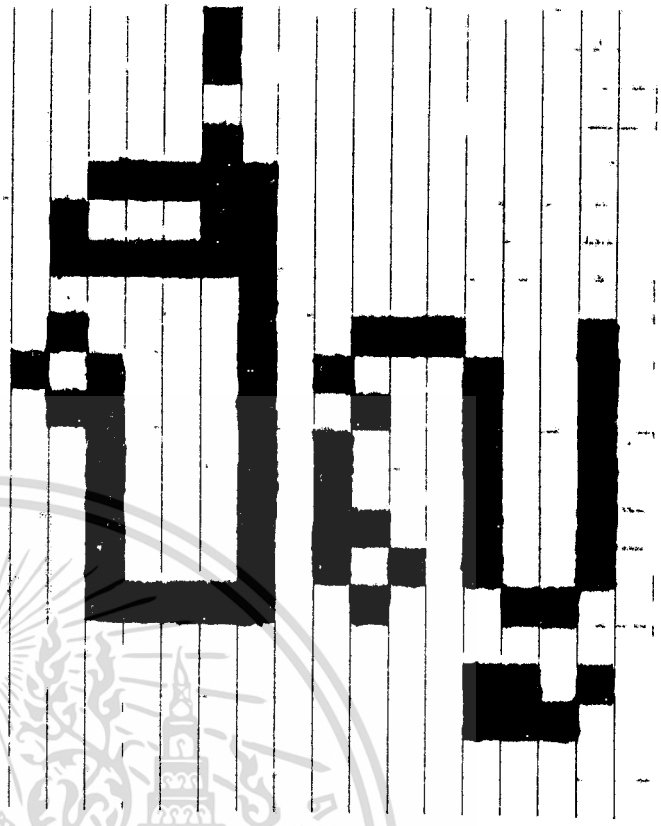
3. กด ไม้เอก จะต้องแสดงทั้งตัว ป และตัวสระอีและตัวไม้เอกบนหน้าจอ นั่นคือจะแสดงที่บรรทัดที่ 2 ด้วย BITMAP หางของ ป OR กับ BITMAP สระอี OR กับ BITMAP ไม้เอก, บรรทัดที่ 3 แสดง ป และบรรทัดที่ 4 แสดงช่องว่าง ณ. ตำแหน่งตัวอักษรที่ตรงกันดังรูปที่ 4.1.4

4. กด ญ จะมีการเลื่อนตำแหน่งการแสดงผลบนหน้าจอไปหนึ่งตัวอักษรแล้วทำการแสดงตัว ญ โดยที่ บรรทัดที่ 2 แสดงช่องว่าง บรรทัดที่ 3 แสดงตัว ญ และบรรทัดที่ 4 แสดงหาง ญ ดังรูปที่ 4.1.5

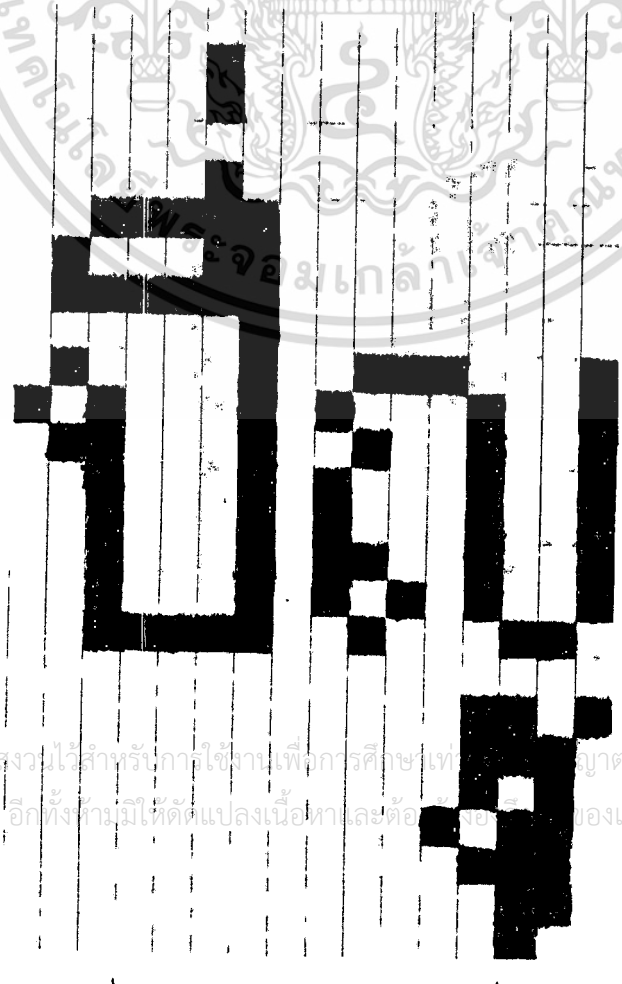
5. กด สระอู จะไม่มีการเลื่อนตำแหน่งการแสดงผลบนหน้าจอ ณ. ตำแหน่งนี้จะมีการแสดงผลตัว ญ พร้อม สระอู นั่นคือ บรรทัดที่ 2 แสดงช่องว่าง บรรทัดที่ 3 แสดง ญ และบรรทัดที่ 4 แสดง BITMAP ของ หาง ญ OR กับ BITMAP ของสระอู ดังรูปที่ 4.1.6

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 4.1.4 แสดงการแสดงผลตัว ปี บนจอ LCD



รูปที่ 4.1.5 แสดงการแสดงผลตัว ปีญ บนหน้าจอ LCD



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เทคนิคในการลบทีละตัวอักษร ก็คือ การนำ BITMAP มาทำการ XOR กันดังนี้ เมื่อเรามีตัวอักษรคำว่า ปู่ เราต้องการที่จะลบโดยใช้ BACKSPACE

ต้องการลบไม้เอกจะต้องทำคือ บรรทัดที่ 2 ทำการ XOR ค่า BITMAP ที่แสดงอยู่ปัจจุบัน กับ ค่า BITMAP ของ ไม้เอกจะทำให้ไม้เอกหายไป โดยยังไม่ต้องเลื่อนตำแหน่งของตัวอักษรดังรูปที่ 4.1.7

รูปที่ 4.1.7 แสดงการลบ ไม้เอกจากคำว่า ปู่ บนหน้าจอ LCD

หมายเหตุ จะเห็นได้ว่าเมื่อใช้เทคนิคดังกล่าวข้างต้นทำให้มีข้อจำกัดคือการออกแบบ FONT ตัวอักษรระหว่าง หางพินัญชนะ,สระและวรรณยุกต์จะต้องไม่มีค่า BITMAP ที่ซ้อนทับฌ.ตำแหน่งเดียวกันดังรูปที่ 4.1.8

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 4.1.8 แสดงการออกแบบ FONT หางพยัญชนะ,สระ และ วรรณยุกต์

เนื่องจากรับค่าจากคีย์บอร์ดเข้ามาจะเป็นรหัสแอสกีของตัวอักษรนั้นและไม่สามารถส่งรหัสแอสกีของอักษรนั้นออกหน้าจอ LCD ได้โดยตรงต้องมีการนำรหัสแอสกีนั้นมาเทียบให้ออกมาเป็น BITMAP ของอักษรนั้นก่อนจึงค่อยแสดงออกหน้าจอ ในโหมดการ EDIT ซึ่งต้องมีการจำค่าตัวอักษรที่กดเข้ามาแต่ละตัวไว้จึงได้แบ่งหน่วยความจำออกเป็น 3 ลักษณะคือ

1. หน่วยความจำสำหรับรหัสแอสกีที่รับเข้ามามีขนาด 3 ไบท์

รหัสแอสกีที่รับเข้ามา	หางของรหัสแอสกีนั้น	รหัสจบตัวอักษร

กรณีที่รหัสแอสกีที่รับเข้ามาไม่มีหางก็จะใส่รหัสจบตัวอักษรเข้าไปที่หน่วยความจำไบท์ที่เป็นหางของรหัสแอสกี

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2. หน่วยความจำสำหรับรหัสแอสกีที่จัดระดับตัวอักษรแล้วมีขนาด 100H * 6 บรรทัด

บรรทัดที่ 1 (THAILN0) จะเก็บรหัสแอสกีของวรรณยุกต์

บรรทัดที่ 2 (THAILN1) จะเก็บรหัสแอสกีของสระบน

บรรทัดที่ 3 (THAILN3) จะเก็บรหัสแอสกีของหางบน

บรรทัดที่ 4 (THAILN4) จะเก็บรหัสแอสกีของพยัญชนะ

บรรทัดที่ 5 (THAILN5) จะเก็บรหัสแอสกีของหางล่าง

บรรทัดที่ 6 (THAILN6) จะเก็บรหัสแอสกีของสระล่าง

3. หน่วยความจำสำหรับ BITMAP ที่จัดระดับตัวอักษรแล้วมีขนาด 100H * 3 บรรทัด

บรรทัดที่ 1 (BITMAPLN2) จะเก็บ BITMAP ที่ OR กันแล้วของสระบน,หางบนและวรรณยุกต์

บรรทัดที่ 2 (BITMAPLN3) จะเก็บ BITMAP ของพยัญชนะ

บรรทัดที่ 3 (BITMAPLN4) จะเก็บ BITMAP ที่ OR กันแล้วของหางล่างและสระล่าง

3. การแสดงผลบนหน้าจอที่วีที่ควบคุมโดย 6845 CRT CONTROLLER

เนื่องมาจาก HARDWARE ของระบบที่จัดการให้ VDO RAM ของหน้าจอภาพมี ตำแหน่งในหน่วยความจำเริ่มต้น = 4000H ดังนั้นการกระทำให้ตัวอักษรขึ้นบนหน้าจอทีวีก็จะกระทำได้โดยใส่ข้อมูลที่เป็นรหัสแอสกีของอักษรนั้น ๆ ลงบนหน่วยความจำที่ต้องการก็จะไปปรากฏบนจอทีวีในตำแหน่งที่ต้องการได้ทันที

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สรุปผลโครงงาน

จากการทดลอง ทดสอบการทำงานของเครื่องแสดงตัวอักษรซ้อนภาพ บนจอทีวีนี้ได้ผลเป็นที่น่าพอใจ คือ สามารถที่จะแสดงตัวอักษร ซ้อนกับภาพบนจอทีวี โดยตัวอักษรที่ปรากฏ เป็นตัวอักษรสีขาว และสามารถเลือกให้มีหรือไม่มี แทคกราวนด์ สีดำ ด้านหลังตัวอักษรก็ได้ เพื่อให้อ่านได้ง่าย จากการที่ภาพบนจอเป็นสีขาวเช่นกัน โดยในการแสดงผล สามารถเลือกแสดงได้ ทั้งภาษาไทย และ ภาษาอังกฤษ ในการใช้งานใช้การป้อนข้อมูล จาก คีย์บอร์ด 101 คีย์ (ชนิดที่ใช้กับเครื่องไมโครคอมพิวเตอร์ไอบีเอ็ม) นอกจากนี้ยังสามารถติดต่อ กับ เครื่องไมโครคอมพิวเตอร์ทั่วไปเพื่อใช้ในการส่งถ่ายข้อมูลได้อีกด้วย

ในการพัฒนาโครงงาน นี้ใช้งบประมาณไปประมาณ 7,500 บาท ซึ่งเงินส่วนหนึ่งใช้จัดซื้อเป็นอุปกรณ์ส่วนในการทำงาน และใช้ทดสอบวงจร สำหรับในตัวชิ้นงานจริงๆแล้วเป็นค่าอุปกรณ์ประมาณ 6,000 บาท ซึ่งเมื่อเทียบกับงานที่ได้ ทางผู้จัดทำคิดว่าสามารถจัดสร้างเพื่อใช้งานจริงได้ต่อไป

ซอฟท์แวร์ที่ใช้ในโครงงานนี้ ติดต่อได้ที่ภาควิชาวิศวกรรมคอมพิวเตอร์ สถาบันเทคโนโลยีพระจอมเกล้า เจ้าคุณทหาร ลาดกระบัง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ปัญหาและแนวทางการแก้ไข

1. การใช้ ซอฟท์แวร์ออกแบบลายวงจรในโครงงานนี้ใช้ โปรแกรมชุด ORCAD ซึ่งค่อนข้างมีปัญหามาก เมื่อเวลาส่งให้ร้านทำแผ่นลายวงจร เพราะโปรแกรมนี้ไม่เป็นที่นิยมใช้ในท้องตลาดทั่วไป ทำให้ หาร้านที่รับทำแผ่นลายวงจรได้ยาก ดังนั้นหากเป็นไปได้ ควรหลีกเลี่ยงไปใช้ โปรแกรมที่ท้องตลาดนิยม เช่น PROTEL , PCAD เป็นต้น

2. อุปกรณ์ที่ใช้ในวงจร บางครั้งไม่เสีย แต่ไม่สามารถทำงานได้ตามสเป็คที่กำหนดดังนั้น ควรใช้อุปกรณ์ที่มีคุณภาพดี

3. เอกสารที่ให้มากับอุปกรณ์บางตัวไม่มีข้อมูลที่เพียงพอต่อการทำโครงงาน ทำให้ต้องเสียเวลาศึกษาเอง อยู่นาน

4. ค่าใช้จ่ายต่างๆ ในการทำโครงงาน นักศึกษาต้องจ่ายสำรองเองก่อน แล้วค่อยนำใบเสร็จ มาขอรับเงินคืนในภายหลัง ซึ่งค่าใช้จ่ายในการทำโครงงานนั้น ค่อนข้างสูง ทางคณะควรจะมีวิธีการที่สามารถให้ นักศึกษาเบิกเงินเพื่อซื้ออุปกรณ์ได้ก่อน แล้วค่อยนำใบเสร็จมาส่งมอบให้เป็นหลักฐานการใช้จ่าย ในภายหลัง

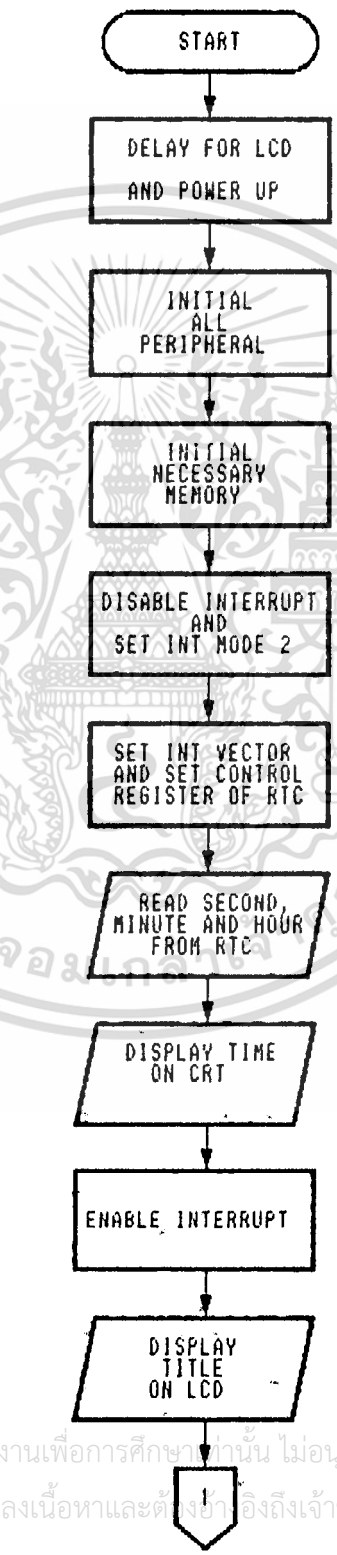
5. เครื่องมือและอุปกรณ์ บางอย่าง มีให้ไม่เพียงพอกับความต้องการ เช่น เครื่องคอมพิวเตอร์,พรินท์เตอร์ ทางคณะควรจัดหาอุปกรณ์ต่างๆให้เพียงพอต่อความต้องการของ นักศึกษา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

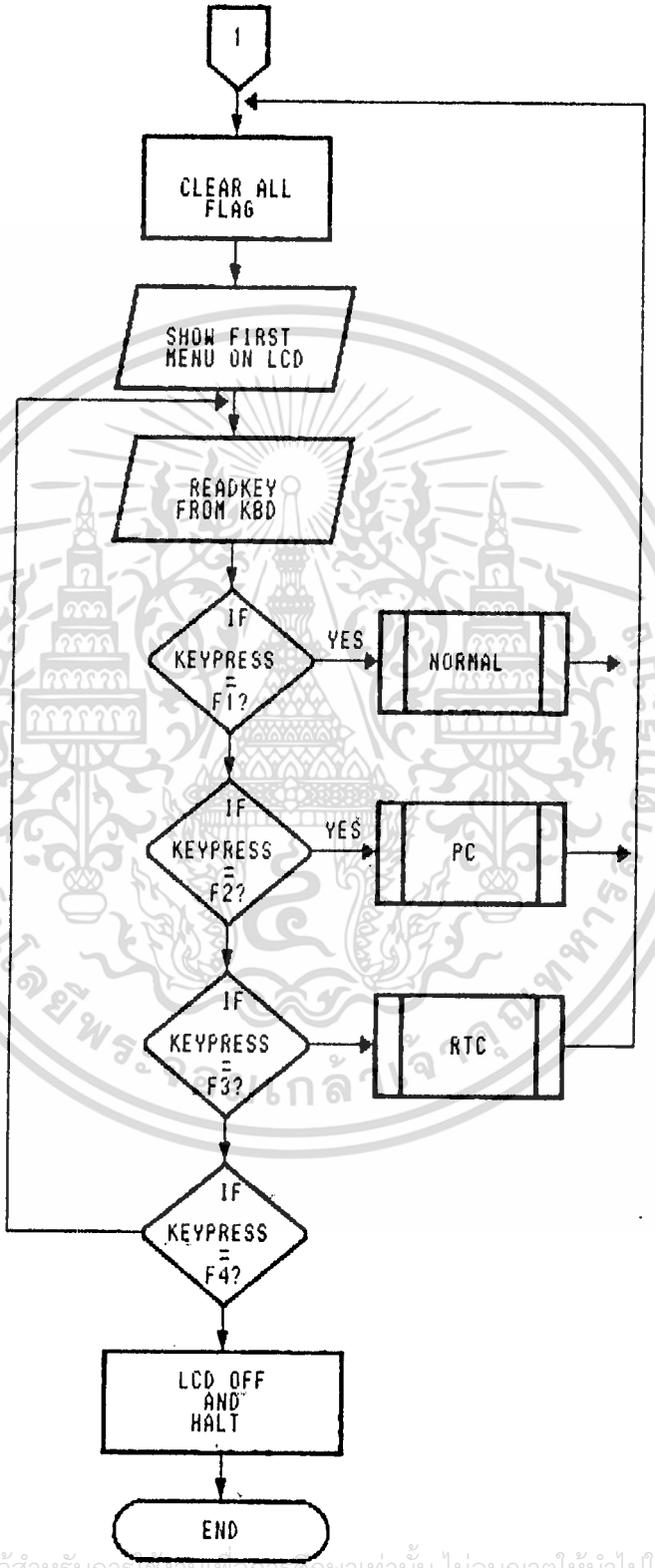
FLOWCHART

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MAIN PROGRAM

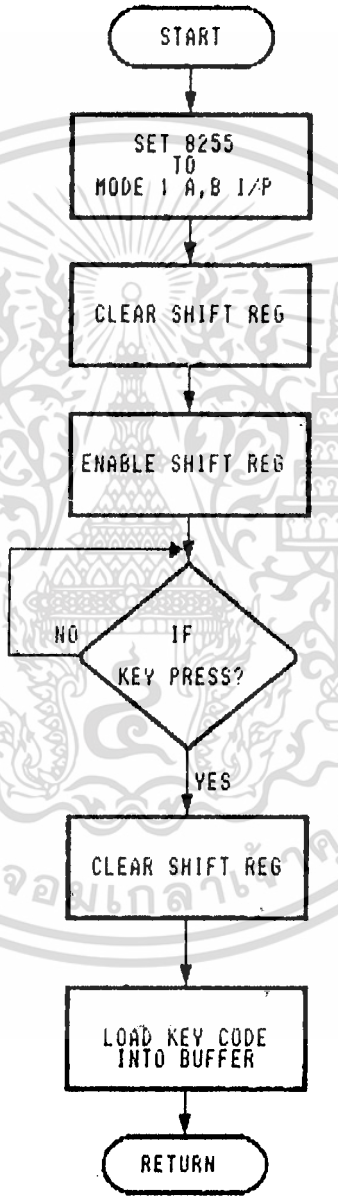


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



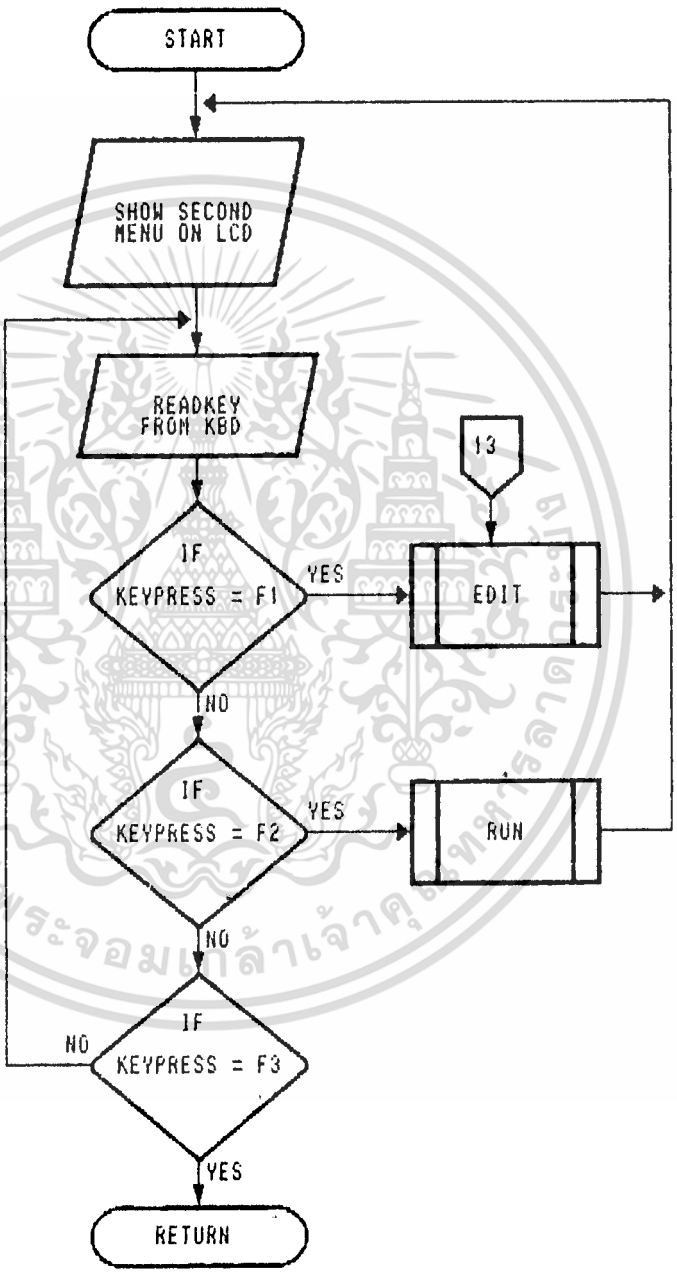
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

READ KEY FROM KBD



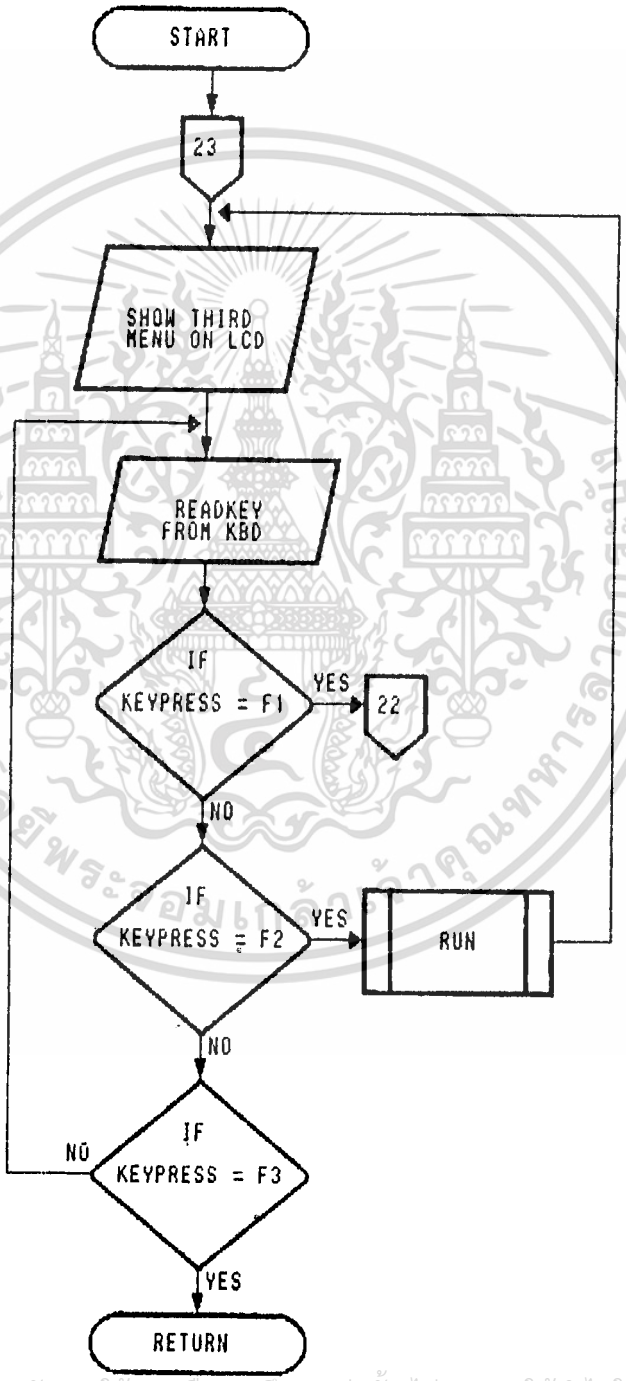
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

NORMAL EDITING



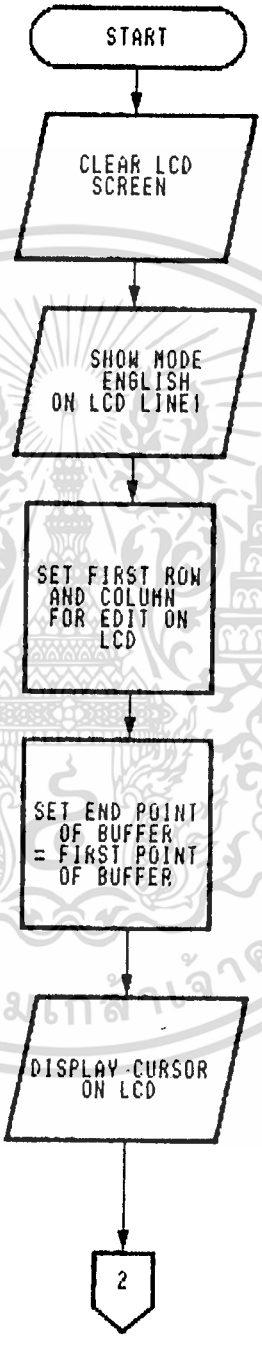
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

PC EDITING

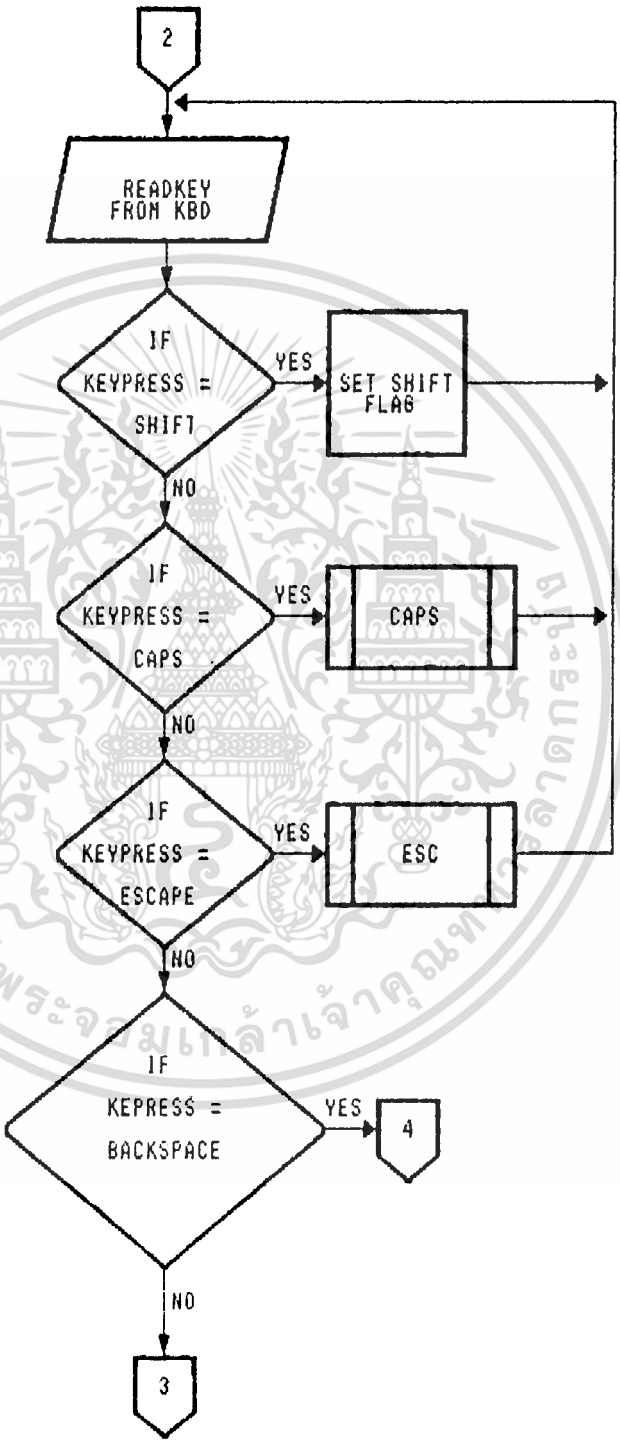


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

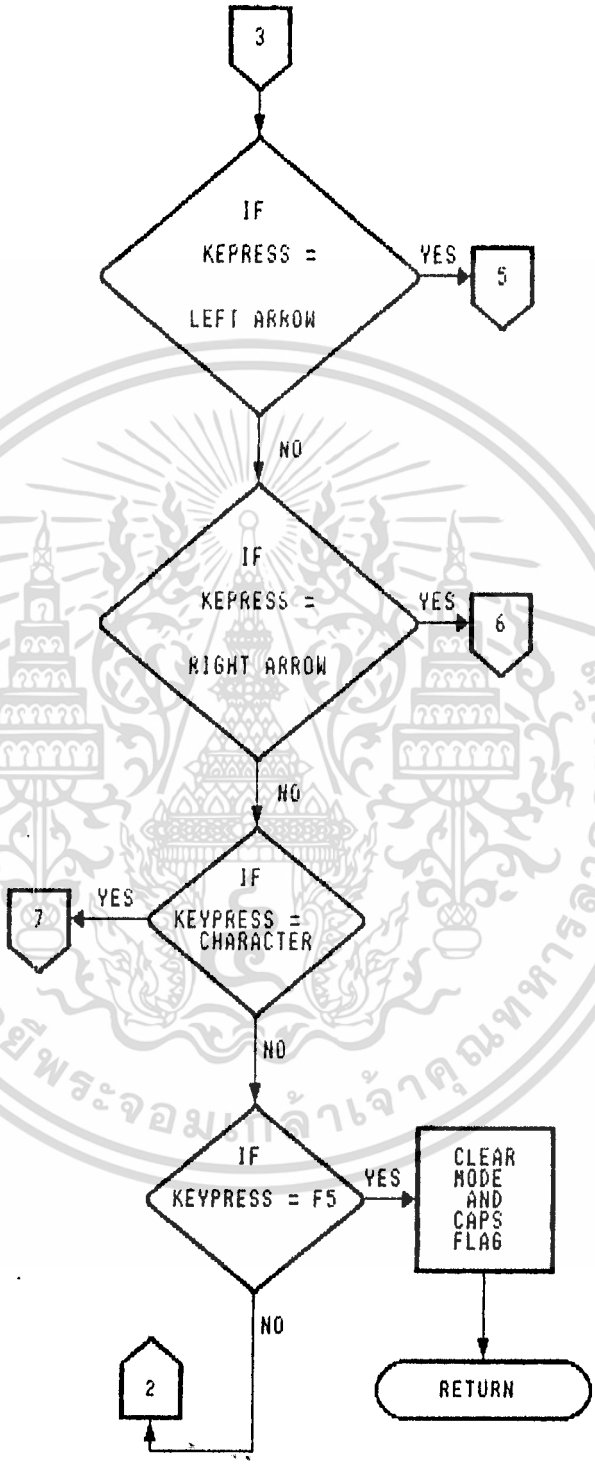
EDIT



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

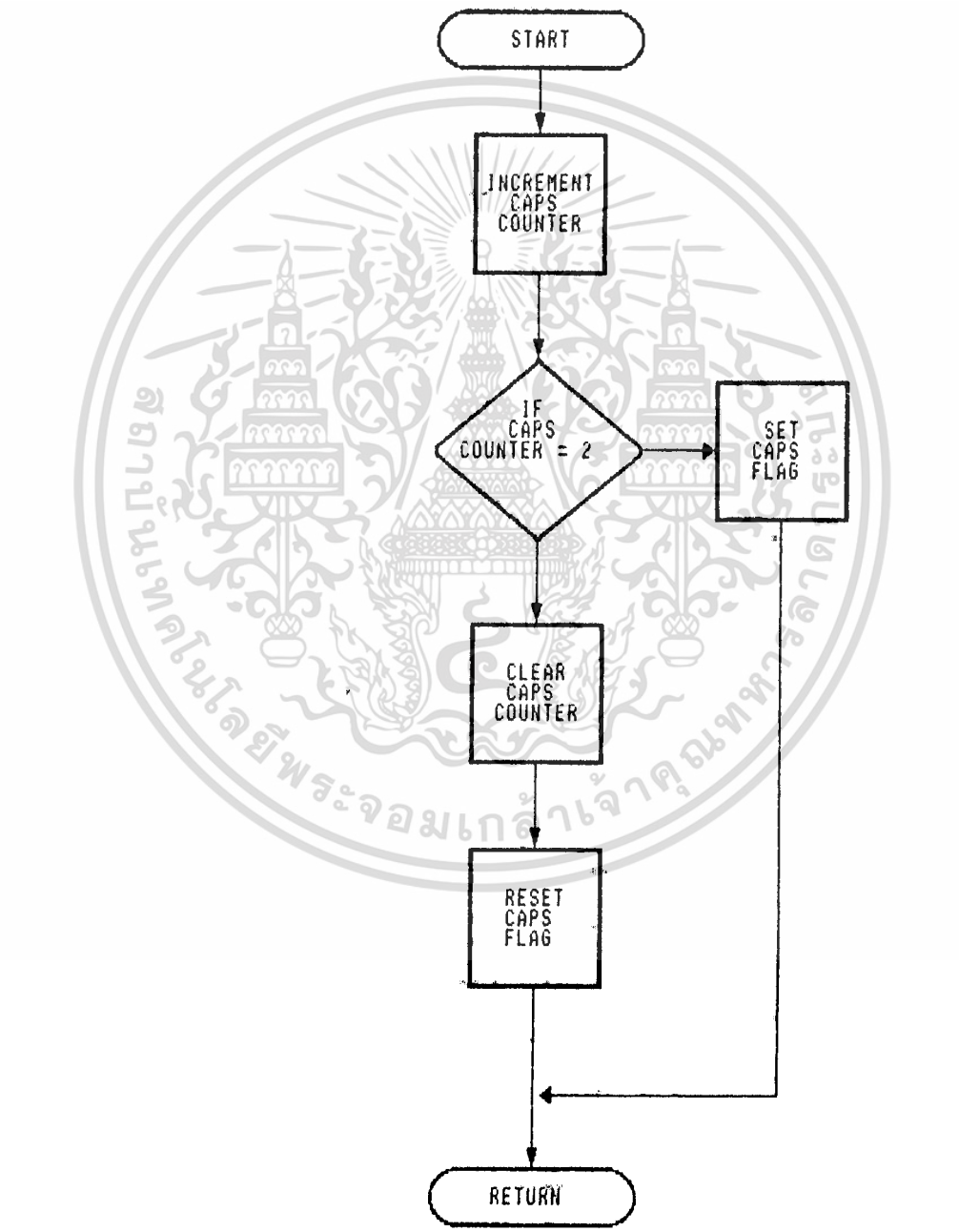


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



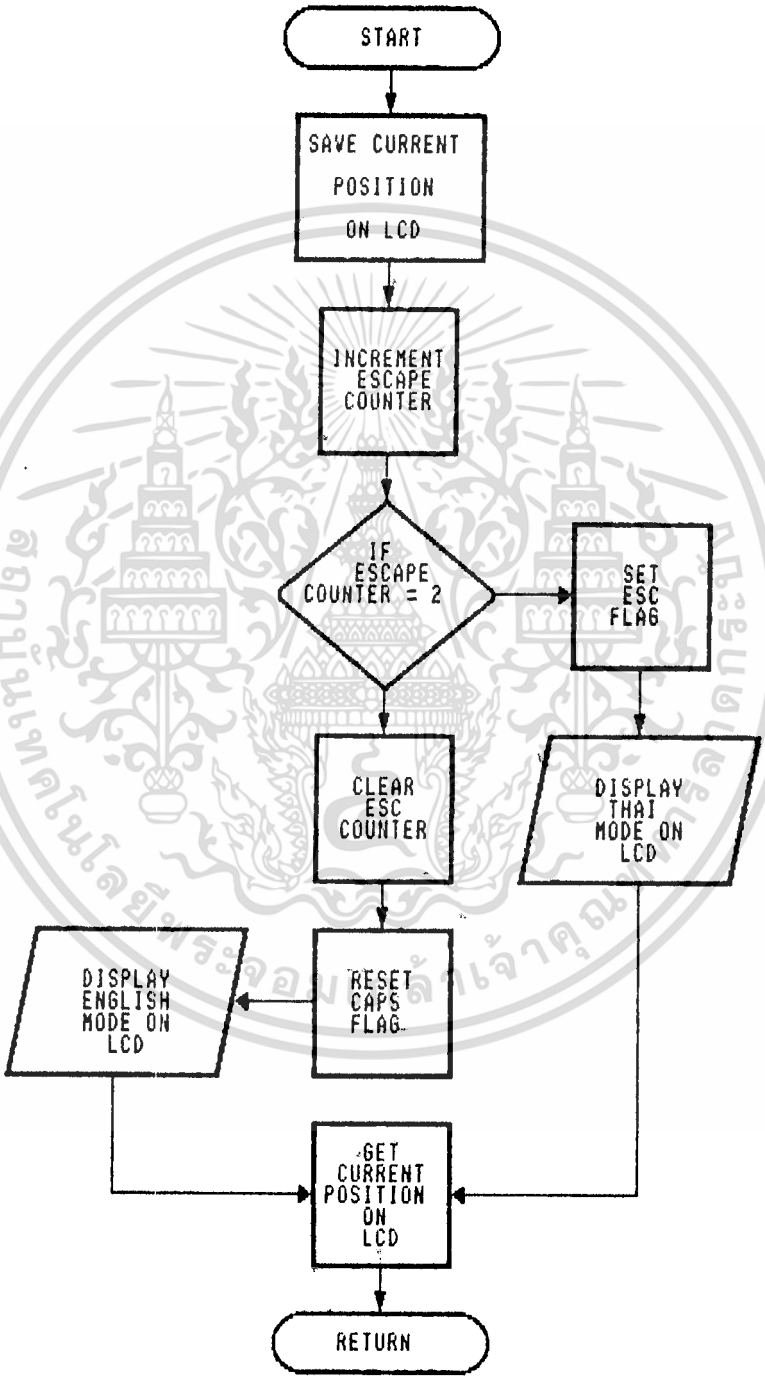
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

CAPS LOCK KEY

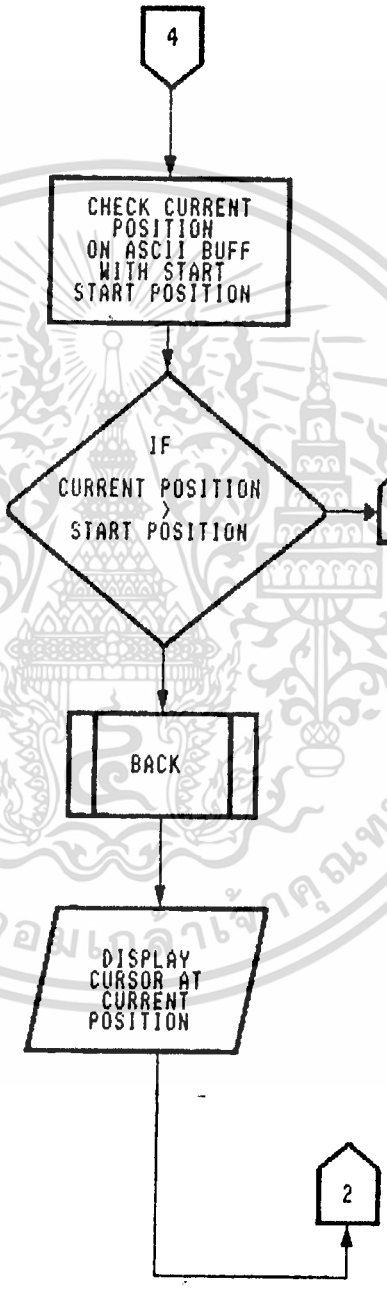


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ESCAPE KEY

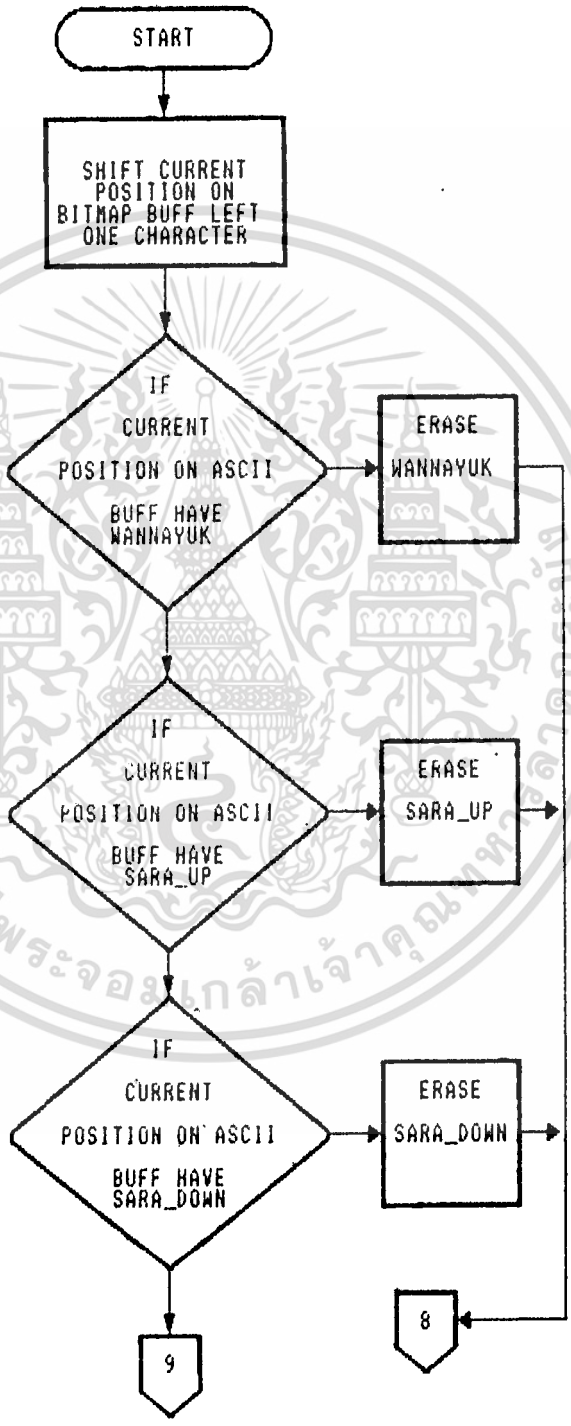


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

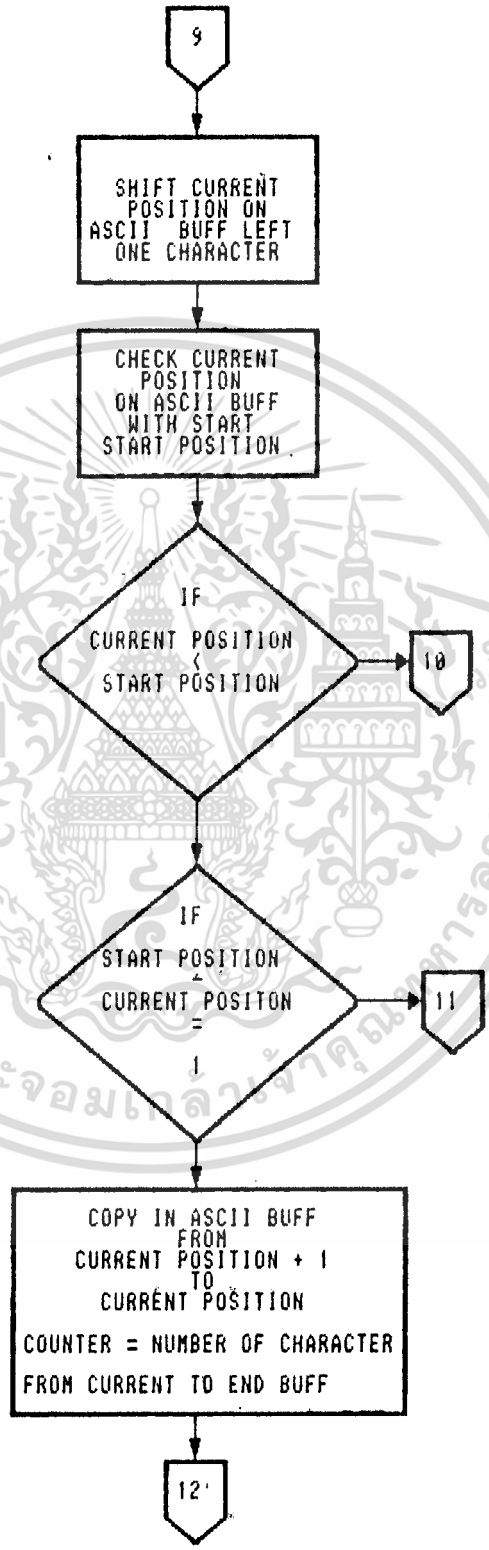


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

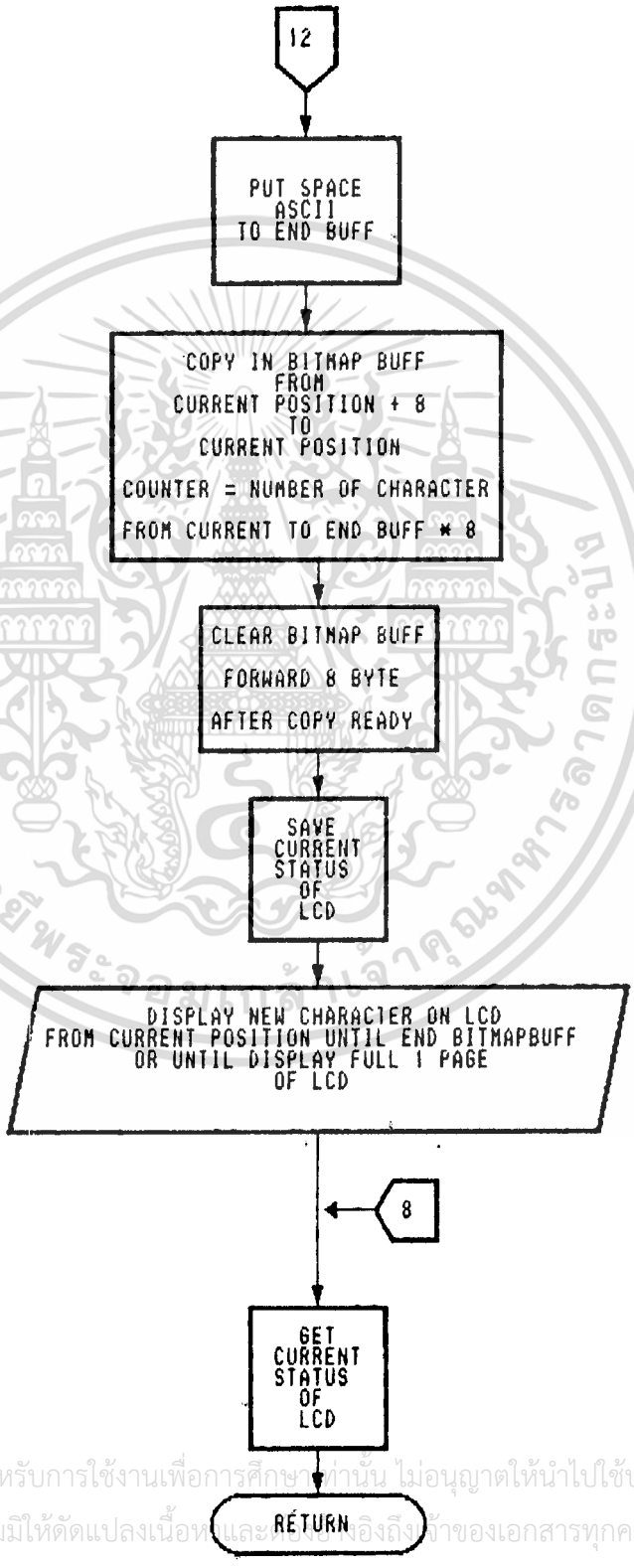
BACKSPACE KEY



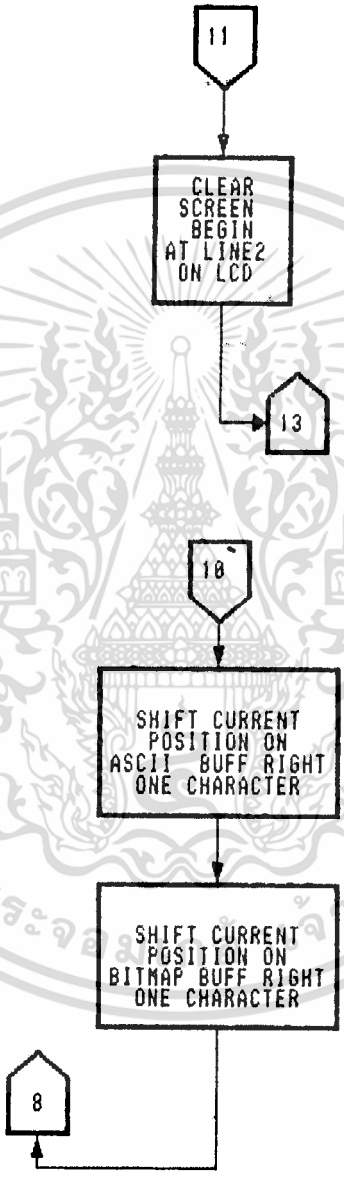
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



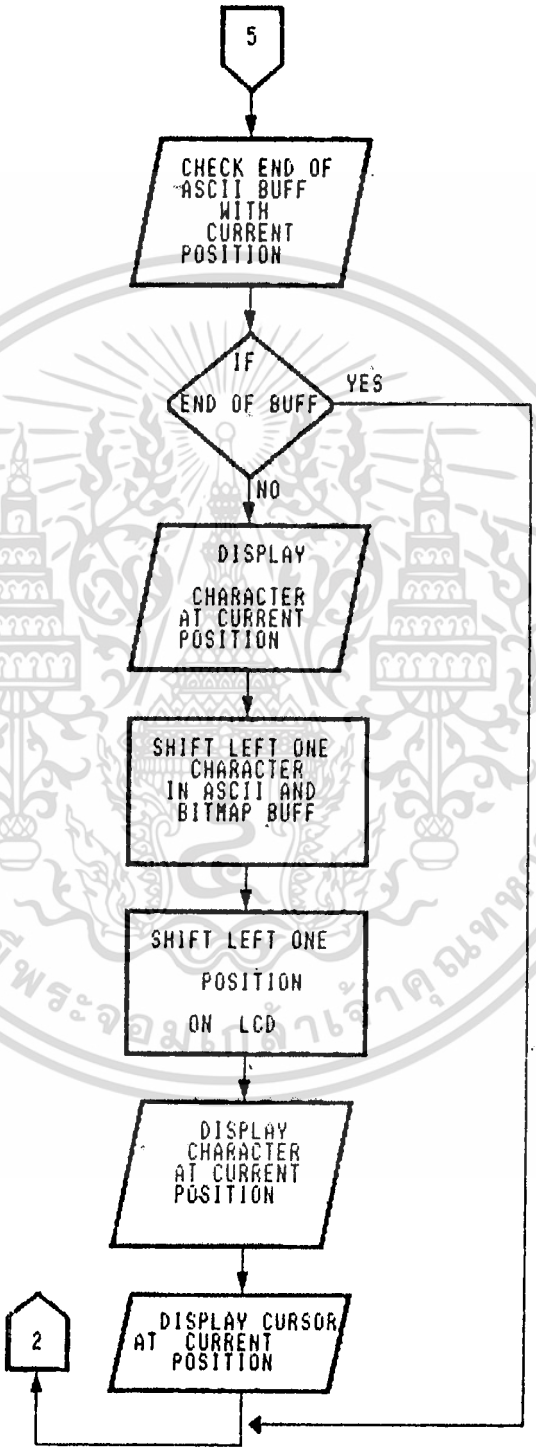
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



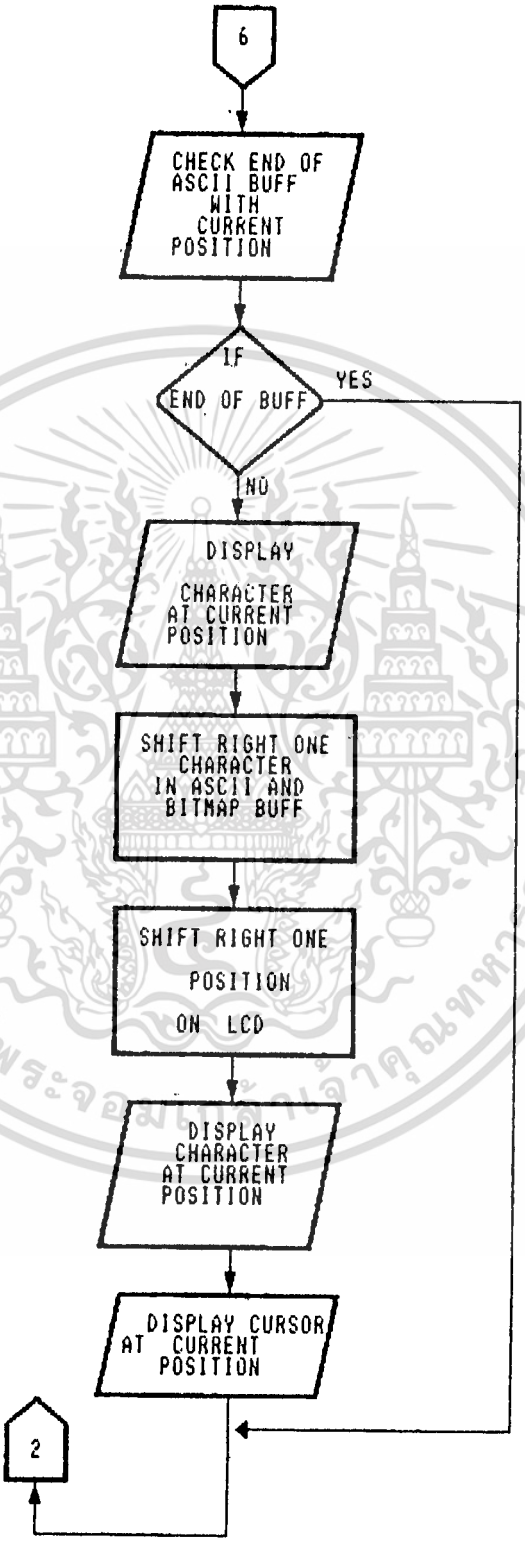
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



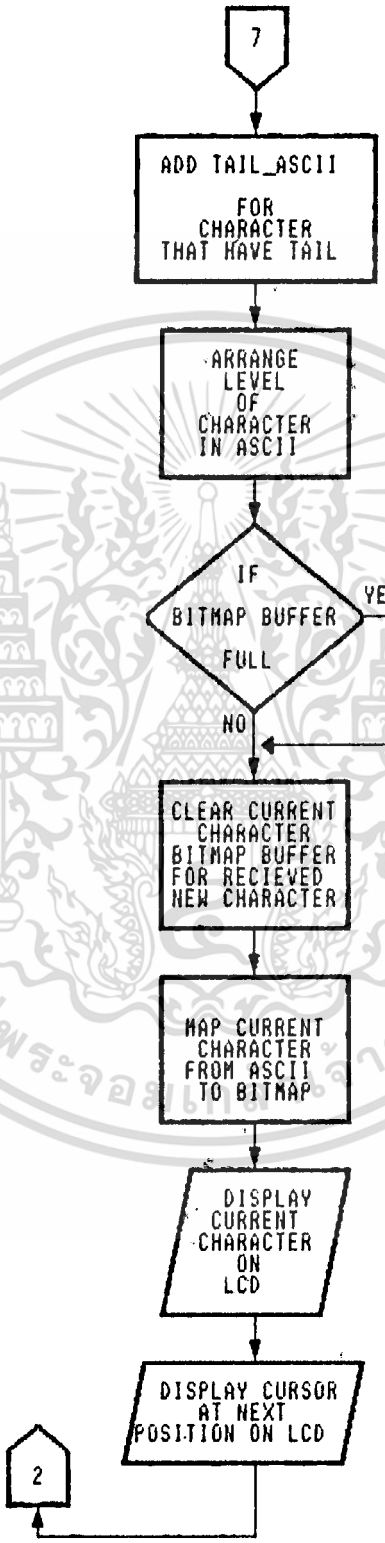
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

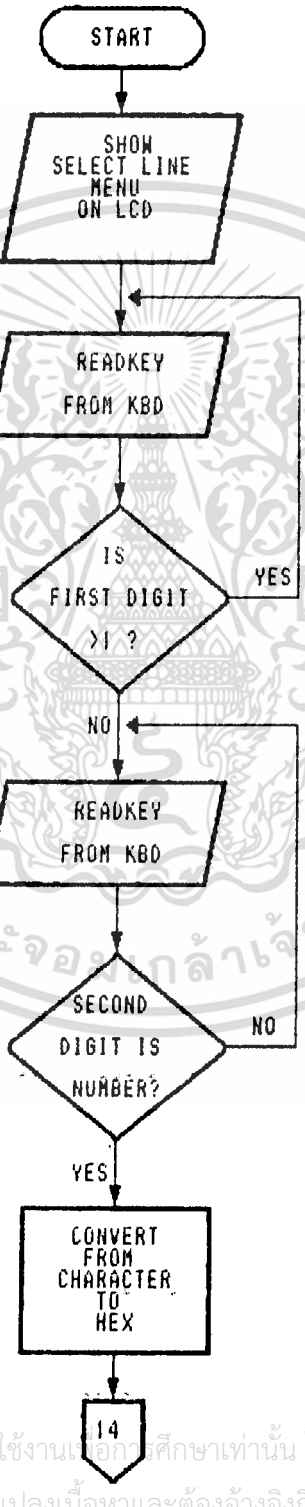


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

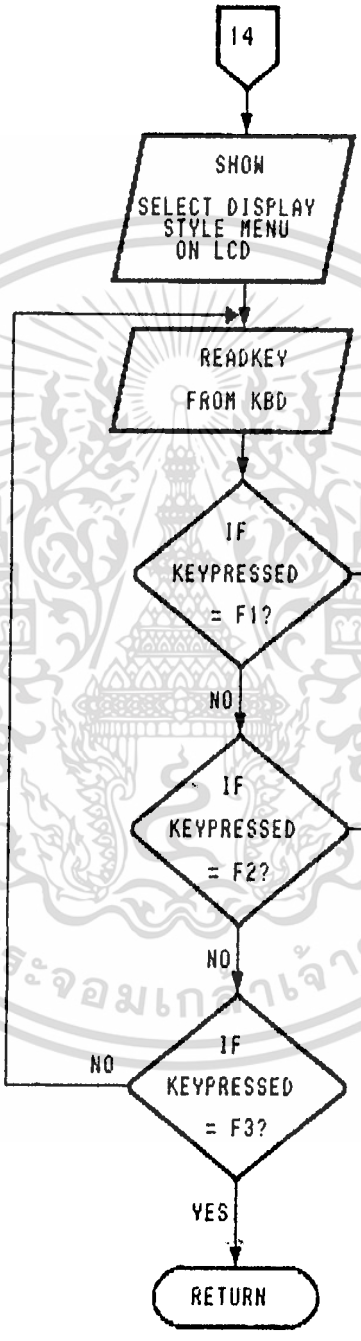


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

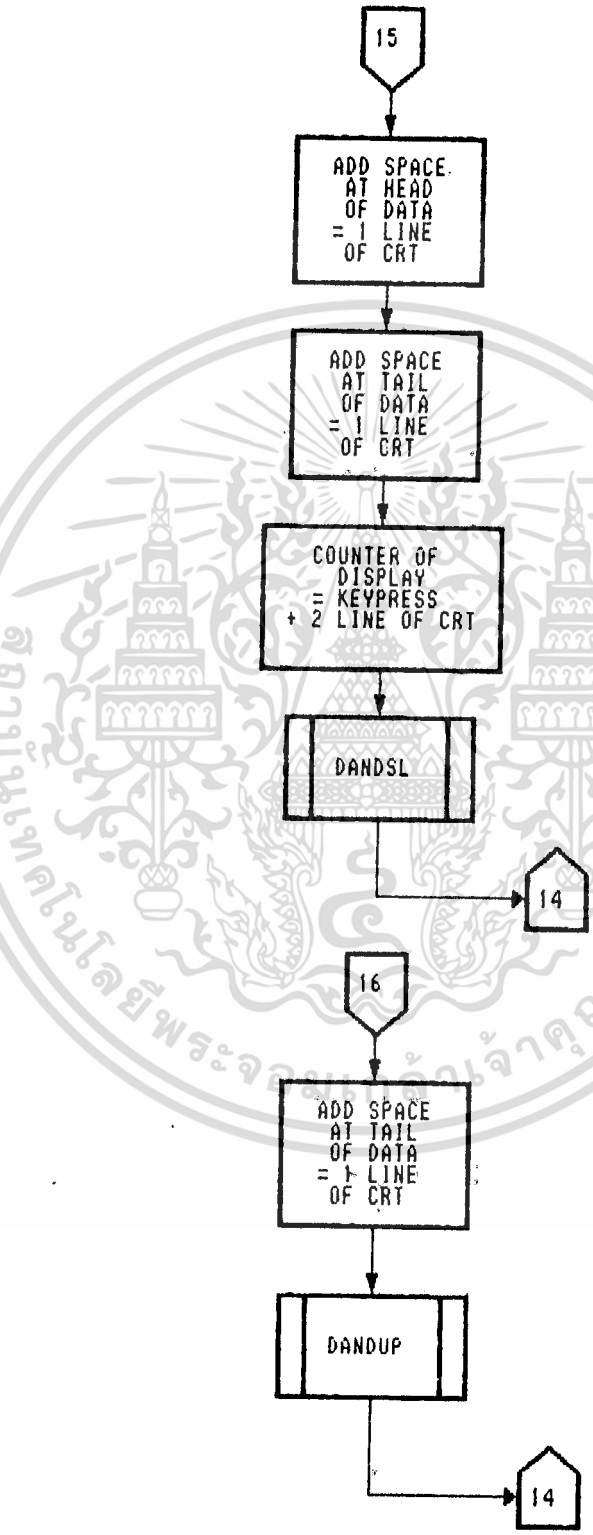
RUN ON CRT



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

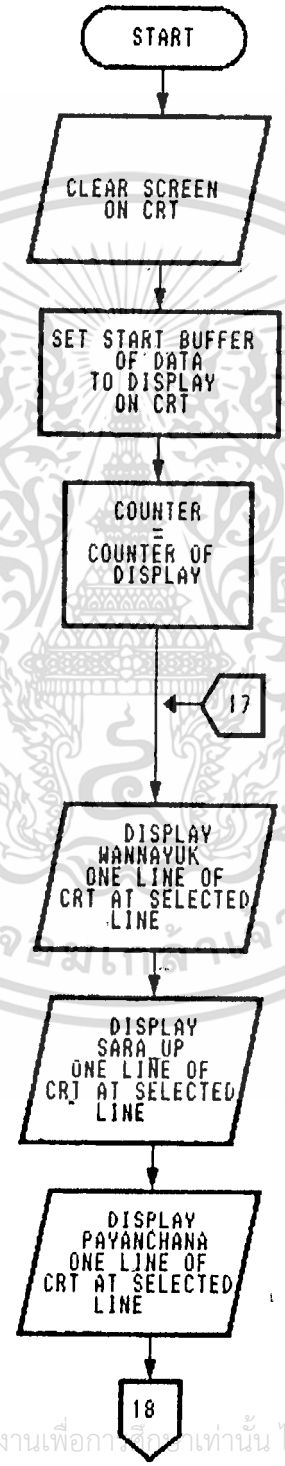


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

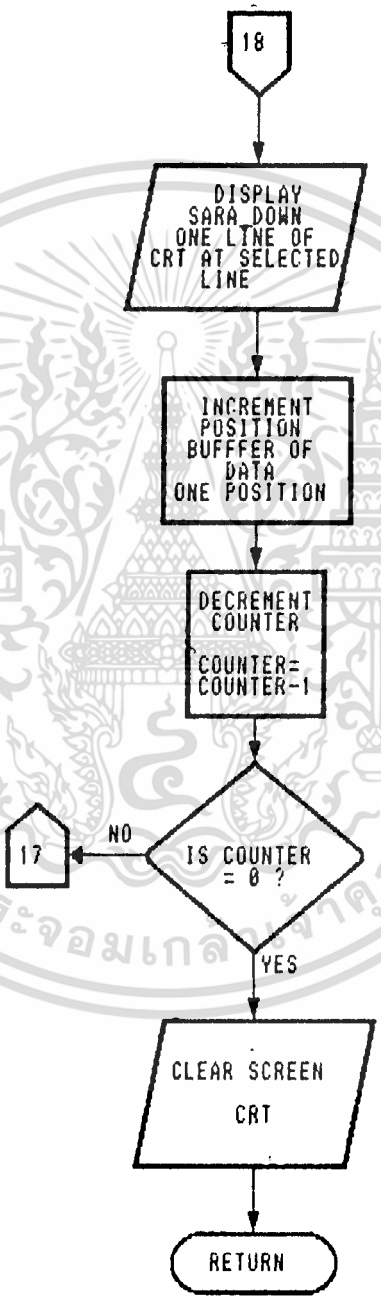


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

DISPLAY AND SHIFT LEFT

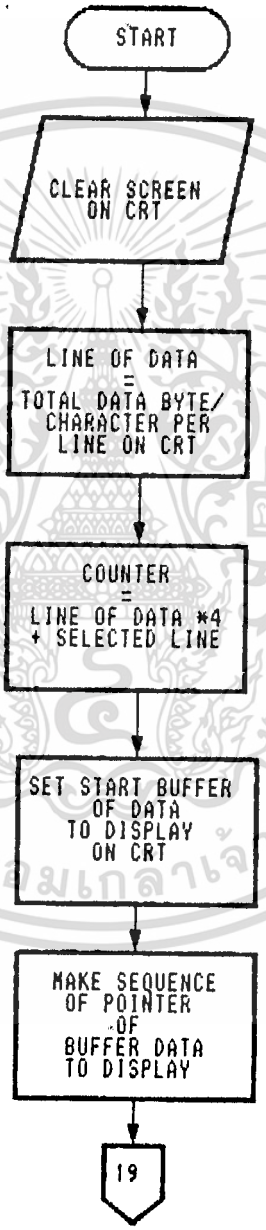


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

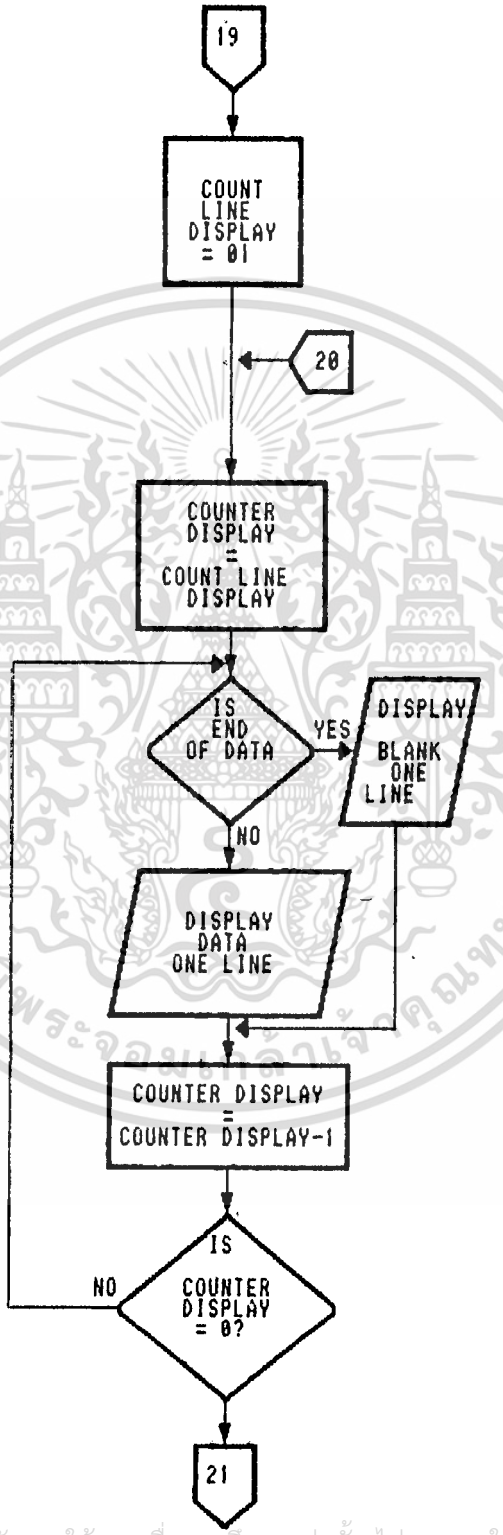


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

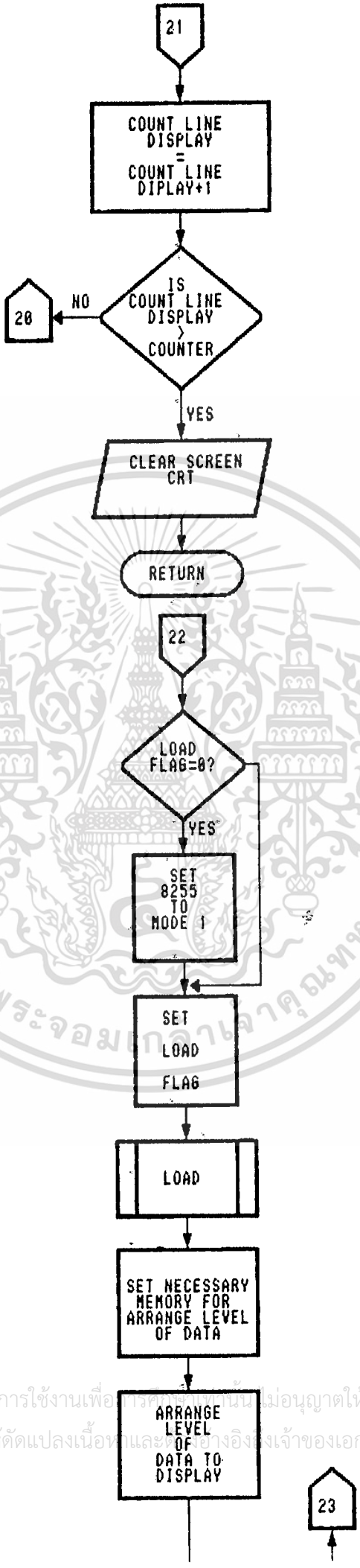
DISPLAY AND SCROLL UP



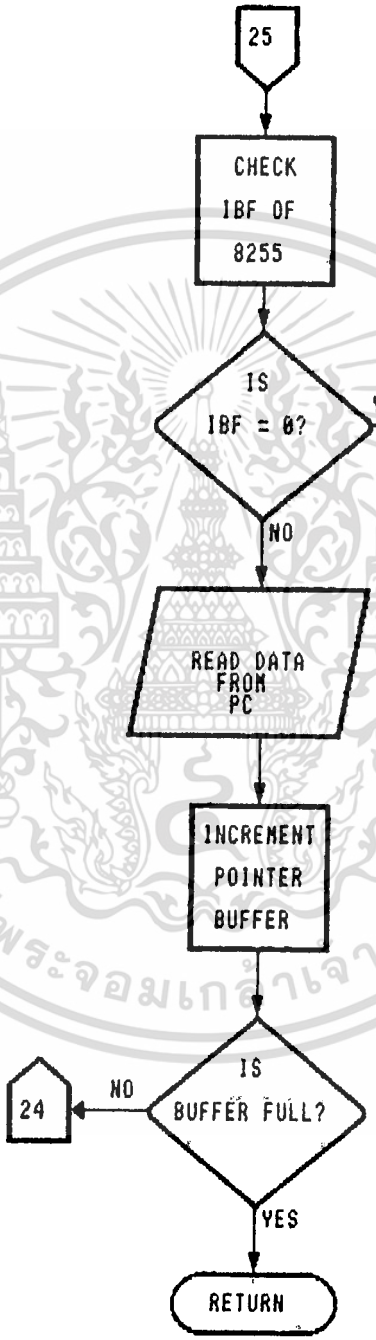
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

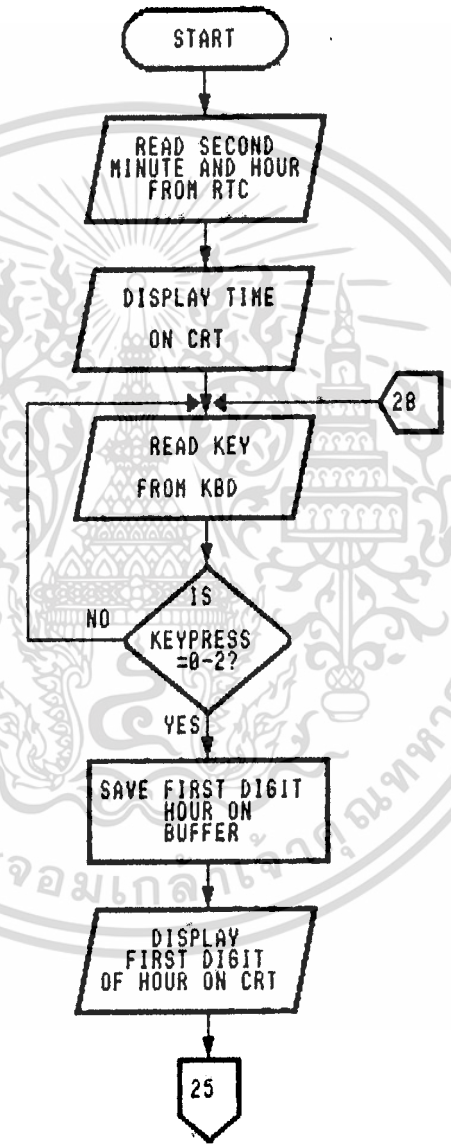


สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



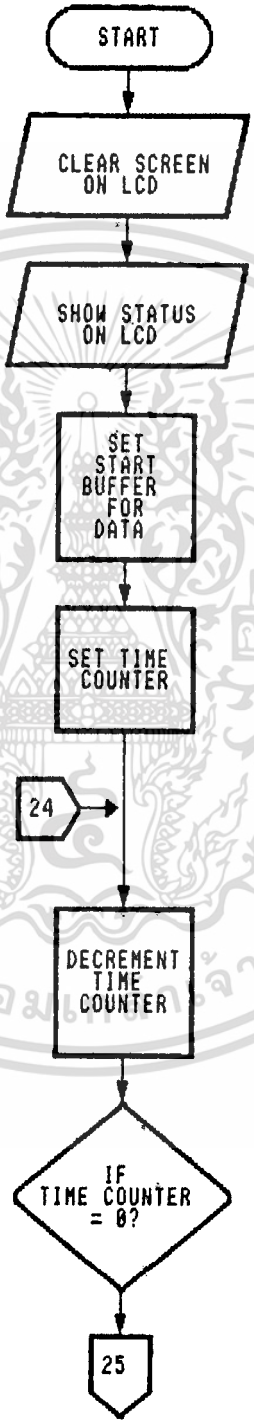
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

RTC

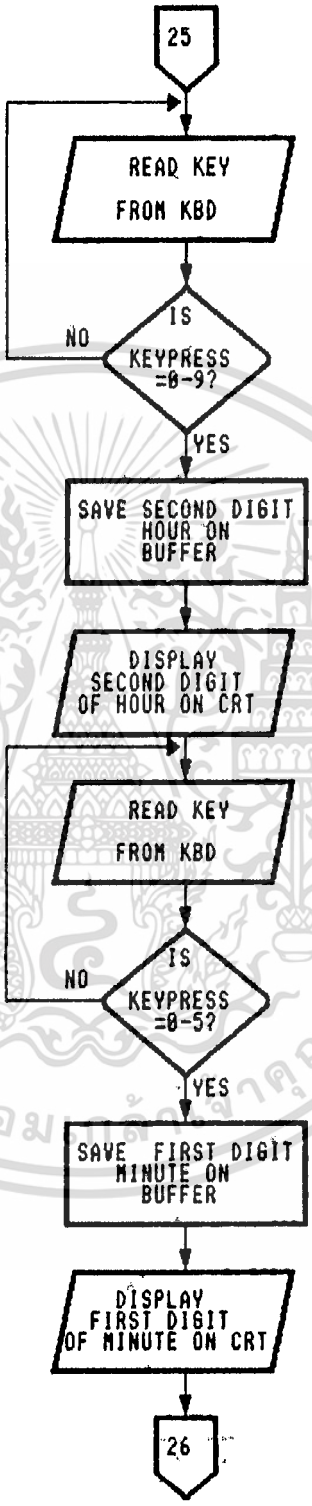


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

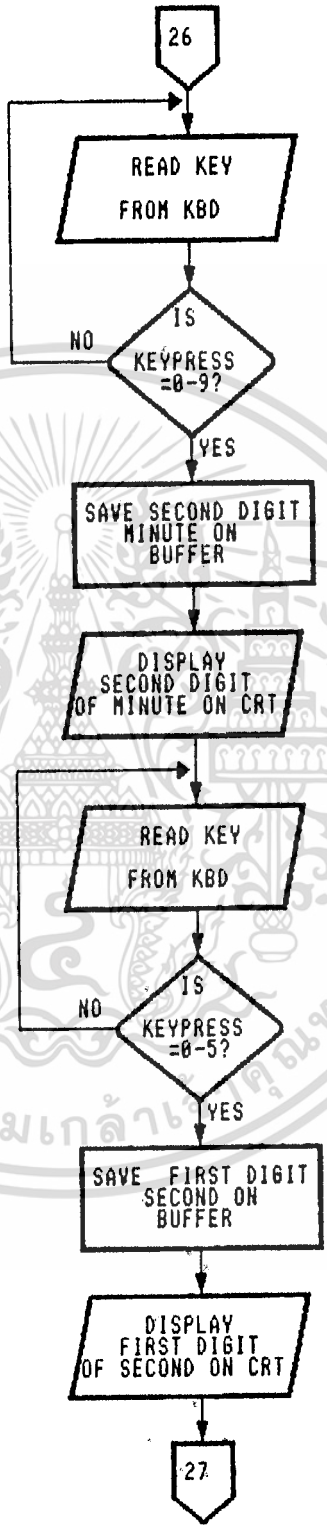
LOAD FROM PC



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



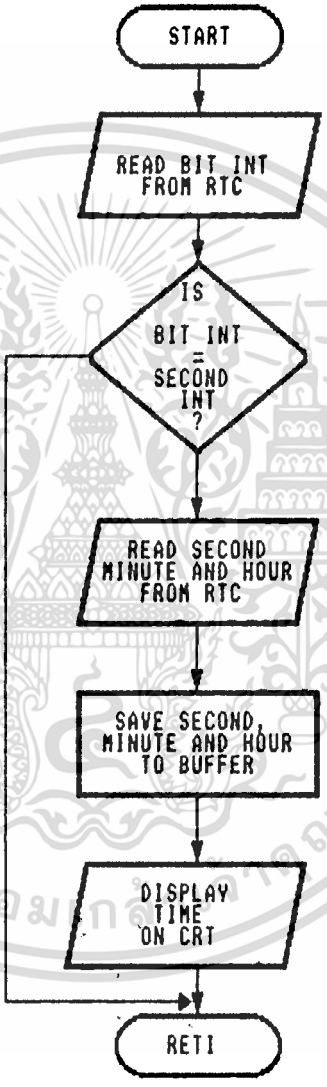
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

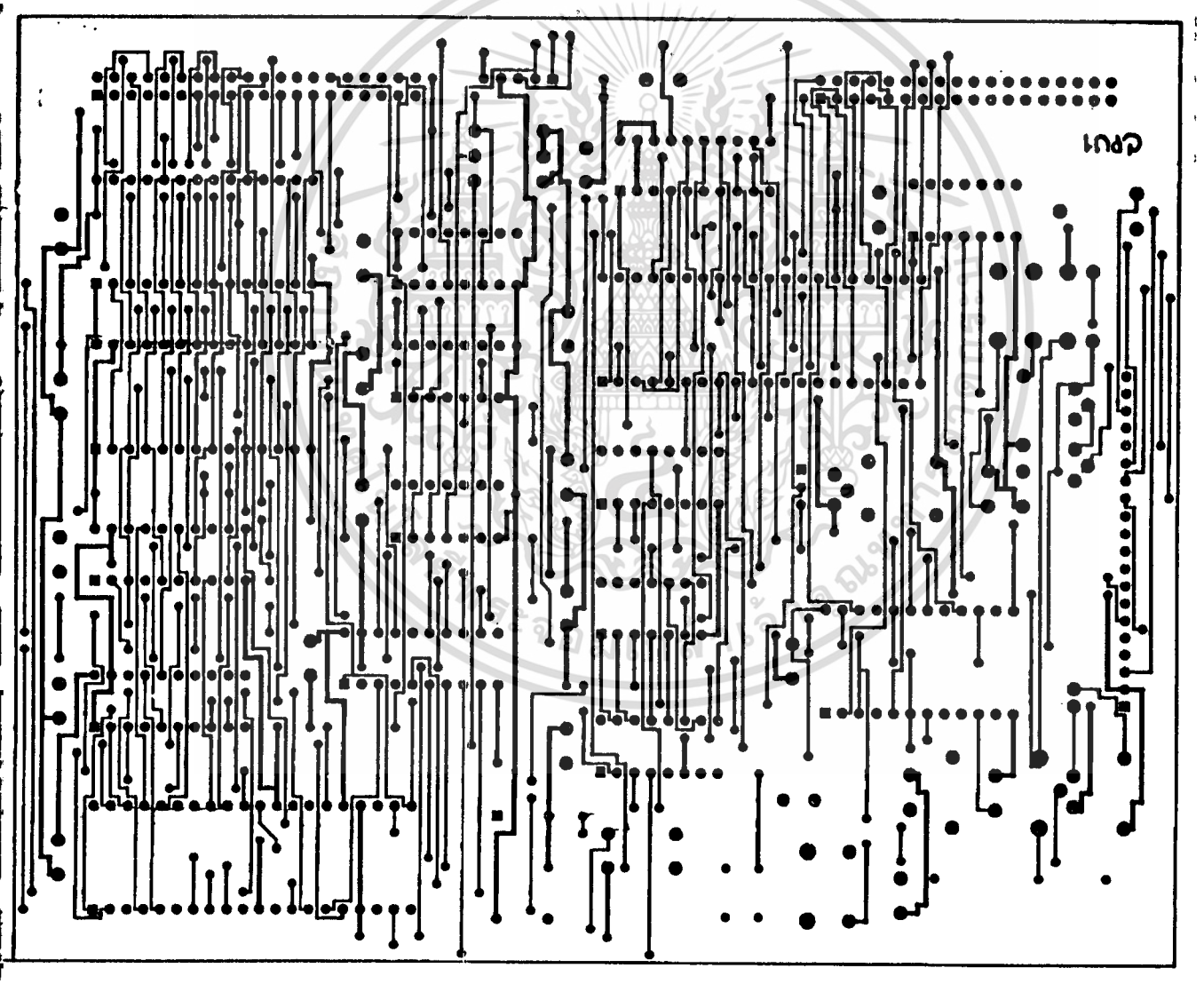
INTERRUPT SERVICE ROUTINE



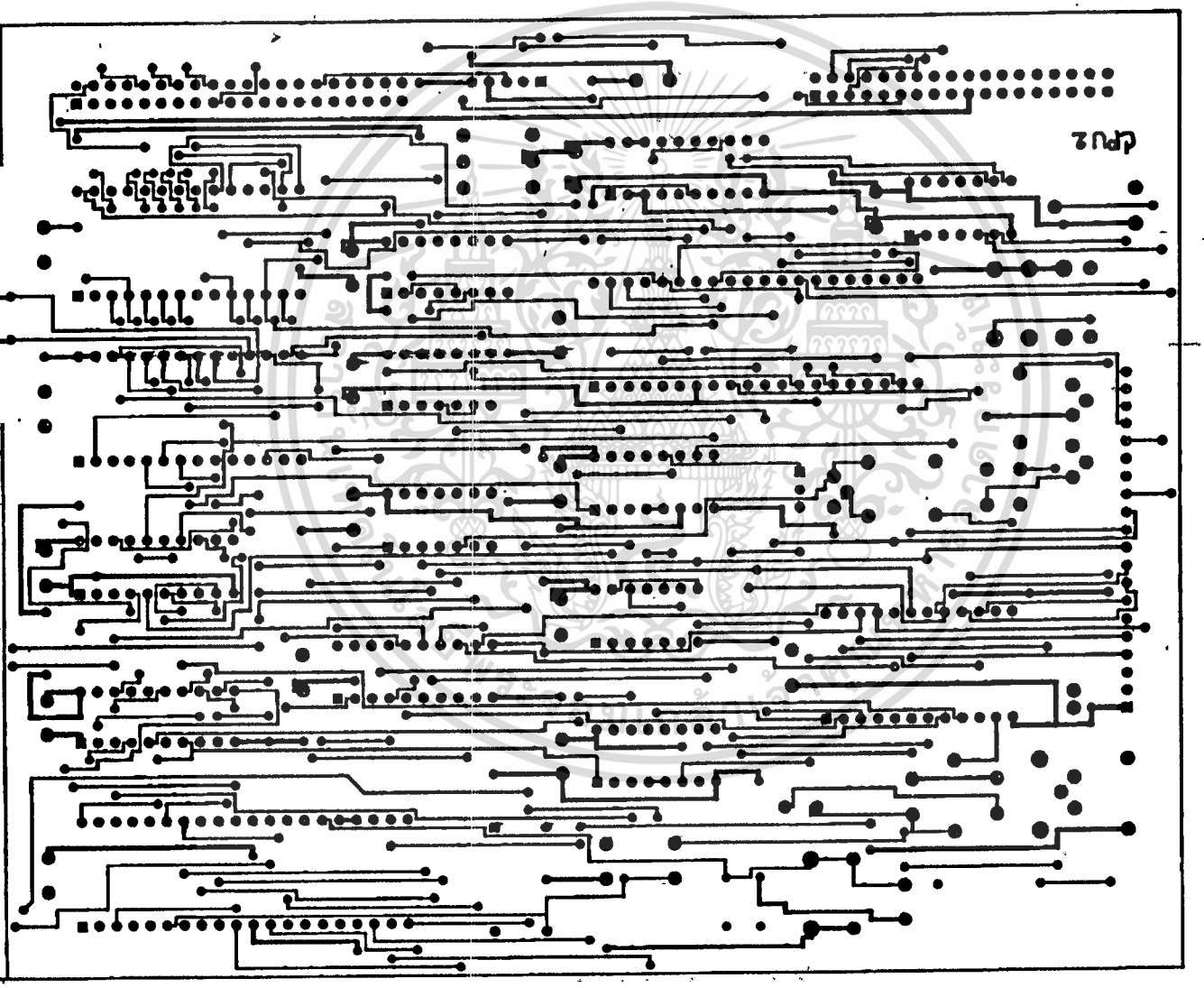
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก

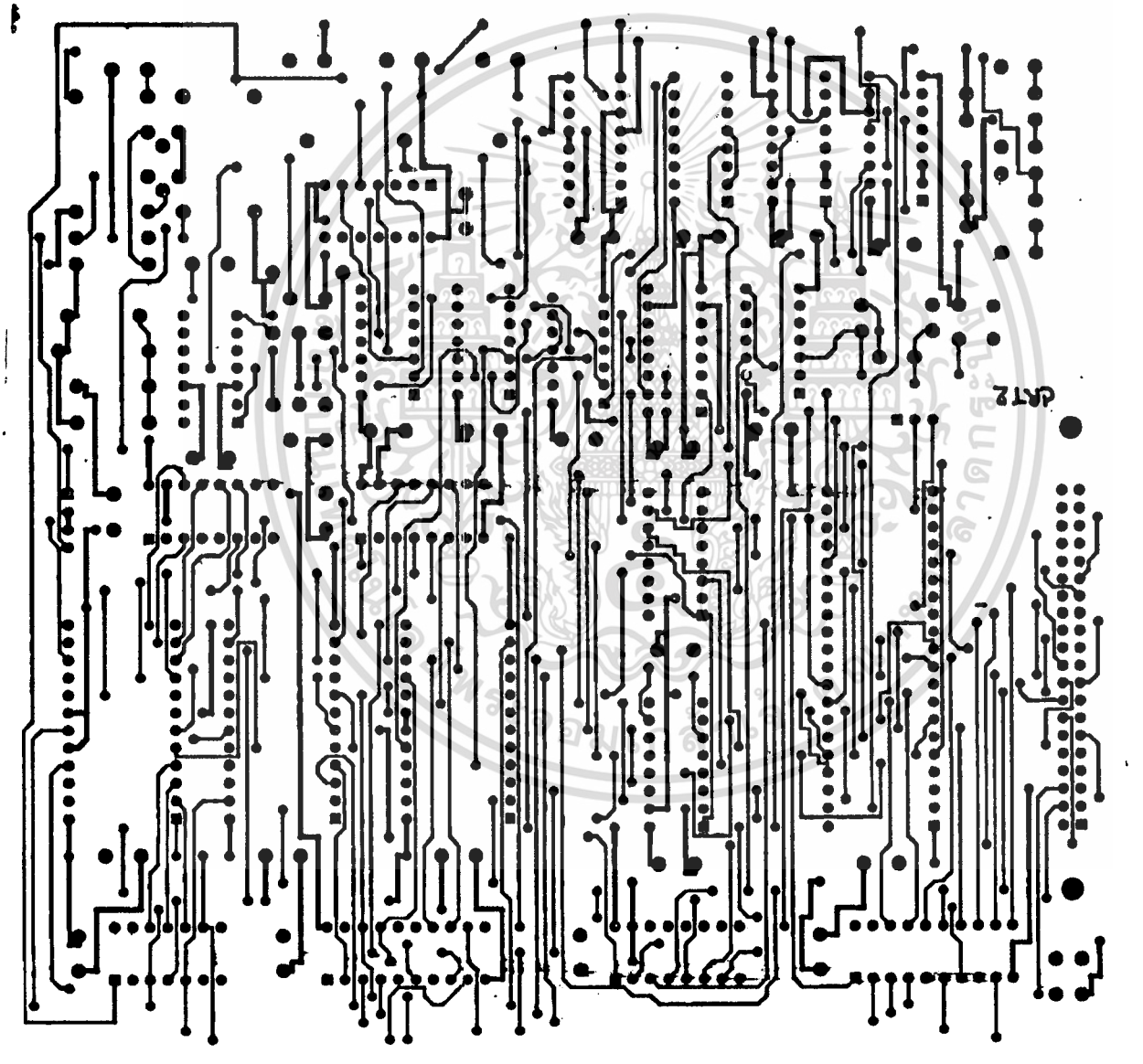
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



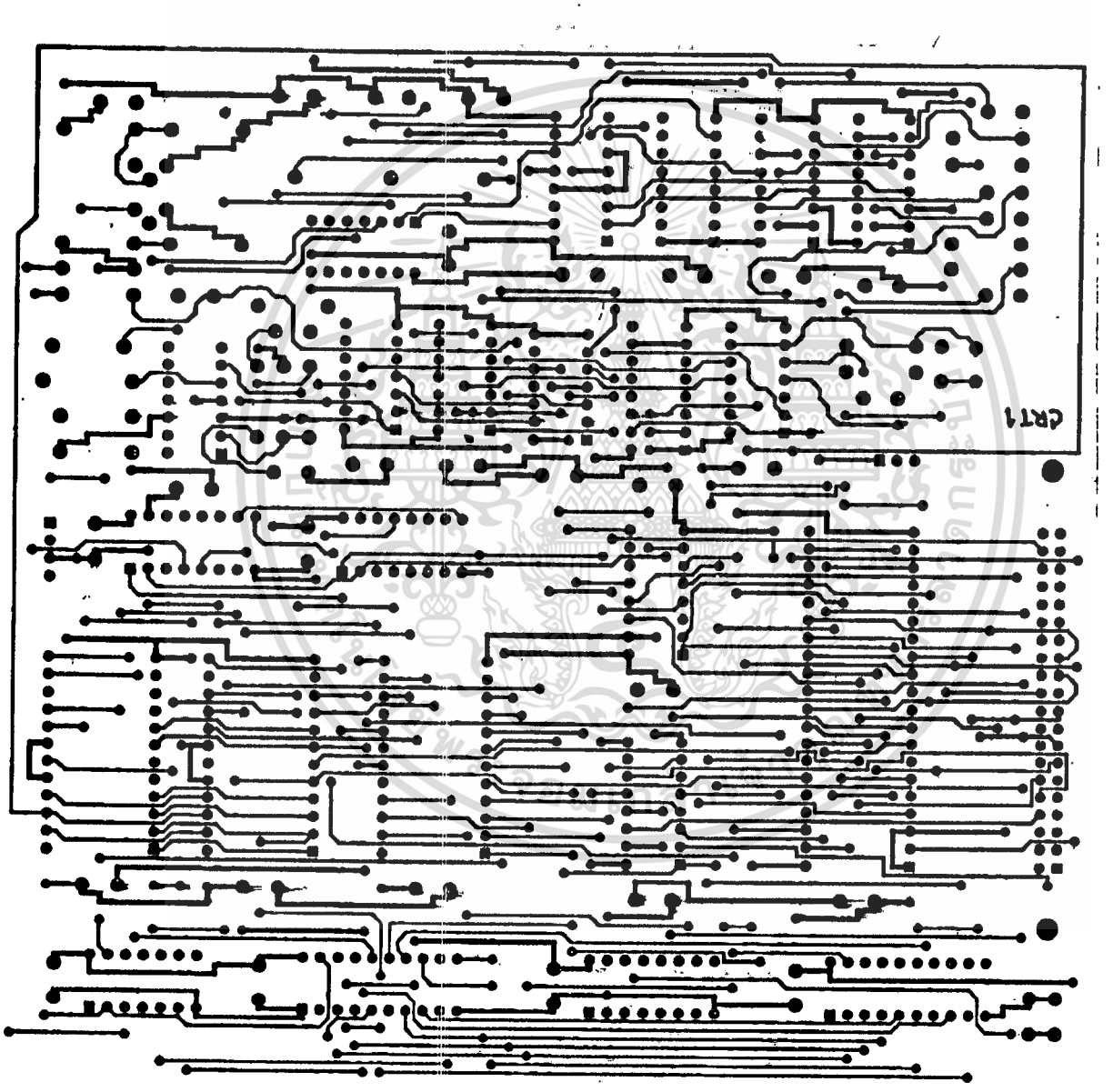
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

AC Characteristics

Number	Symbol	Parameter	Z80 CPU Min	Z80 CPU Max	Z80A CPU Min	Z80A CPU Max	Z80B CPU† Min	Z80B CPU† Max
1	TcC	Clock Cycle Time	400*		250*		165*	
2	TwCh	Clock Pulse Width (High)	180*		110*		65*	
3	TwCl	Clock Pulse Width (Low)	180	2000	110	2000	65	2000
4	TfC	Clock Fall Time	—	30	—	30	—	20
5	TrC	Clock Rise Time		30		30		20
6	TdCr(A)	Clock ↑ to Address Valid Delay	—	145	—	110	—	90
7	TdA(MREQf)	Address Valid to $\overline{MREQ}$ ↓ Delay	125*	—	65*	—	35*	—
8	TdCf(MREQf)	Clock ↓ to $\overline{MREQ}$ ↓ Delay	—	100	—	85	—	70
9	TdCr(MREQr)	Clock ↑ to $\overline{MREQ}$ ↑ Delay	—	100	—	85	—	70
10	TwMREQh	$\overline{MREQ}$ Pulse Width (High)	170*		110*		65*	
11	TwMREQl	$\overline{MREQ}$ Pulse Width (Low)	360*	—	220*	—	135*	—
12	TdCf(MREQr)	Clock ↓ to $\overline{MREQ}$ ↑ Delay	—	100	—	85	—	70
13	TdCf(RDf)	Clock ↓ to $\overline{RD}$ ↓ Delay	—	130	—	95	—	80
14	TdCr(RDr)	Clock ↑ to $\overline{RD}$ ↑ Delay	—	100	—	85	—	70
15	TsD(Cr)	Data Setup Time to Clock ↑	50		35		30	
16	ThD(RDr)	Data Hold Time to $\overline{RD}$ ↑	—	0	—	0	—	0
17	TsWAIT(Cf)	$\overline{WAIT}$ Setup Time to Clock ↓	70	—	70	—	60	—
18	ThWAIT(Cf)	$\overline{WAIT}$ Hold Time after Clock ↓	—	0	—	0	—	0
19	TdCr(M1f)	Clock ↑ to $\overline{M1}$ ↓ Delay	—	130	—	100	—	80
20	TdCr(M1r)	Clock ↑ to $\overline{M1}$ ↑ Delay		130		100		80
21	TdCr(RFSHf)	Clock ↑ to $\overline{RFSH}$ ↓ Delay	—	180	—	130	—	110
22	TdCr(RFSHr)	Clock ↑ to $\overline{RFSH}$ ↑ Delay	—	150	—	120	—	100
23	TdCf(RDr)	Clock ↓ to $\overline{RD}$ ↑ Delay	—	110	—	85	—	70
24	TdCr(RDf)	Clock ↑ to $\overline{RD}$ ↓ Delay	—	100	—	85	—	70
25	TsD(Cf)	Data Setup to Clock ↓ during M_2, M_3, M_4 or M_5 Cycles	60		50		40	
26	TdA(IORQf)	Address Stable prior to $\overline{IORQ}$ ↓	320*	—	180*	—	110*	—
27	TdCr(IORQf)	Clock ↑ to $\overline{IORQ}$ ↓ Delay	—	90	—	75	—	65
28	TdCf(IORQr)	Clock ↓ to $\overline{IORQ}$ ↑ Delay	—	110	—	85	—	70
29	TdD(WRf)	Data Stable prior to $\overline{WR}$ ↓	190*	—	80*	—	25*	—
30	TdCf(WRf)	Clock ↓ to $\overline{WR}$ ↓ Delay		90		80		70
31	TwWR	$\overline{WR}$ Pulse Width	360*	—	220*	—	135*	—
32	TdCf(WRr)	Clock ↓ to $\overline{WR}$ ↑ Delay	—	100	—	80	—	70
33	TdD(WRf)	Data Stable prior to $\overline{WR}$ ↓	20*	—	-10*	—	-55*	—
34	TdCr(WRf)	Clock ↑ to $\overline{WR}$ ↓ Delay	—	80	—	65	—	60
35	TdWRr(D)	Data Stable from $\overline{WR}$ ↑	120*		60*		30*	
36	TdCf(HALT)	Clock ↓ to $\overline{HALT}$ ↑ or ↓	—	300	—	300	—	260
37	TwNMI	$\overline{NMI}$ Pulse Width	80	—	80	—	70	—
38	TsBUSREQ(Cr)	$\overline{BUSREQ}$ Setup Time to Clock ↑	80	—	50	—	50	—

* For clock periods other than the minimums shown in the table, calculate parameters using the expressions in the table on the following page.

† Units in nanoseconds (ns). All timings are preliminary and subject to change

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

AC Characteristics (Continued)

Number	Symbol	Parameter	Z80 CPU Min	Z80 CPU Max	Z80A CPU Min	Z80A CPU Max	Z80B CPU† Min	Z80B CPU† Max
39	ThBUSREQ(Cr)	$\overline{BUSREQ}$ Hold Time after Clock ↑	0	—	0	—	0	—
40	TdCr(BUSACKf)	Clock ↑ to $\overline{BUSACK}$ ↓ Delay		120		100		90
41	TdCf(BUSACKr)	Clock ↓ to $\overline{BUSACK}$ ↑ Delay	—	110	—	100	—	90
42	TdCr(Dz)	Clock ↑ to Data Float Delay	—	90	—	90	—	80
43	TdCr(CTz)	Clock ↑ to Control Outputs Float Delay ($\overline{MREQ}$, $\overline{IORQ}$, $\overline{RD}$, and $\overline{WR}$)	—	110	—	80	—	70
44	TdCr(Az)	Clock ↑ to Address Float Delay	—	110	—	90	—	80
45	TdCTr(A)	$\overline{MREQ}$ ↑, $\overline{IORQ}$ ↑, $\overline{RD}$ ↑, and $\overline{WR}$ ↑ to Address Hold Time	160*		80*		35*	
46	TsRESET(Cr)	$\overline{RESET}$ to Clock ↑ Setup Time	90	—	60	—	60	—
47	ThRESET(Cr)	$\overline{RESET}$ to Clock ↑ Hold Time	—	0	—	0	—	0
48	TsINTf(Cr)	$\overline{INT}$ to Clock ↑ Setup Time	80	—	80	—	70	—
49	ThINTr(Cr)	$\overline{INT}$ to Clock ↑ Hold Time	—	0	—	0	—	0
50	TdM1f(IORQf)	$\overline{M1}$ ↓ to $\overline{IORQ}$ ↓ Delay	920*		565*		365*	
51	TdCf(IORQf)	Clock ↓ to $\overline{IORQ}$ ↓ Delay	—	110	—	85	—	70
52	TdCf(IORQr)	Clock ↓ to $\overline{IORQ}$ ↑ Delay	—	100	—	85	—	70
53	TdCf(D)	Clock ↓ to Data Valid Delay	—	230	—	150	—	130

* For clock periods other than the minimums shown in the table, calculate parameters using the following expressions. Calculated values above assumed TrC = TfC = 20 ns.

† Units in nanoseconds (ns). All timings are preliminary and subject to change. All timings assume equal loading on pins with 50 pF.

Footnotes to AC Characteristics

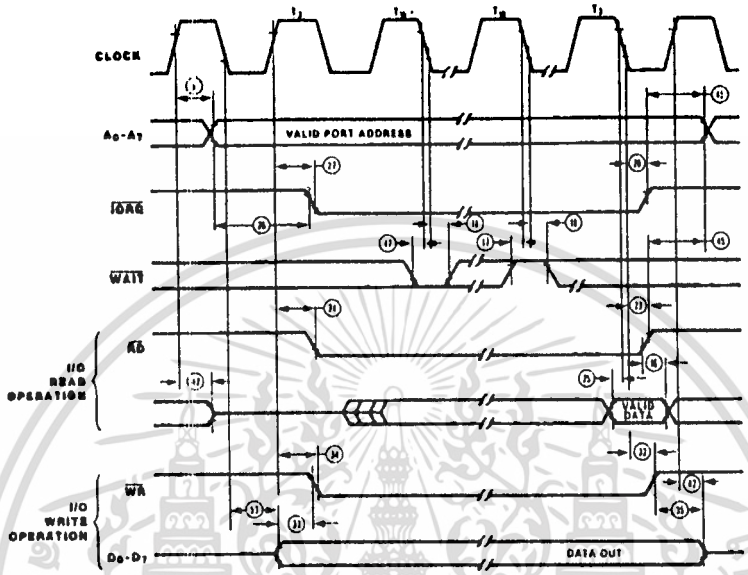
Number	Symbol	Z80	Z80A	Z80B
1	TcC	TwCh + TwCl + TrC + TfC	TwCh + TwCl + TrC + TfC	TwCh + TwCl + TrC + TfC
2	TwCh	Although static by design, TwCh of greater than 200 μs is not guaranteed	Although static by design, TwCh of greater than 200 μs is not guaranteed	Although static by design, TwCh of greater than 200 μs is not guaranteed
7	TdA(MREQf)	TwCh + TfC − 75	TwCh + TfC − 65	TwCh + TfC − 50
10	TwMREQh	TwCh + TfC − 30	TwCh + TfC − 20	TwCh + TfC − 20
11	TwMREQl	TcC − 40	TcC − 30	TcC − 30
26	TdA(IORQf)	TcC − 80	TcC − 70	TcC − 55
29	TdD(WRf)	TcC − 210	TcC − 170	TcC − 140
31	TwWR	TcC − 40	TcC − 30	TcC − 30
33	TdD(WRf)	TwCl + TrC − 180	TwCl + TrC − 140	TwCl + TrC − 140
35	TdWRr(D)	TwCl + TrC − 80	TwCl + TrC − 70	TwCl + TrC − 55
45	TdCTr(A)	TwCl + TrC − 40	TwCl + TrC − 50	TwCl + TrC − 50
50	TdM1f(IORQf)	2TcC + TwCh + TfC − 80	2TcC + TwCh + TfC − 65	2TcC + TwCh + TfC − 50

AC Test Conditions:
V_{IH} = 2.0 V
V_{IL} = 0.8 V
V_{IHC} = V_{CC} −0.6 V
V_{ILC} = 0.45 V
V_{OH} = 2.0 V
V_{OL} = 0.8 V
FLOAT = ±0.5 V

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

CPU Timing (Continued)

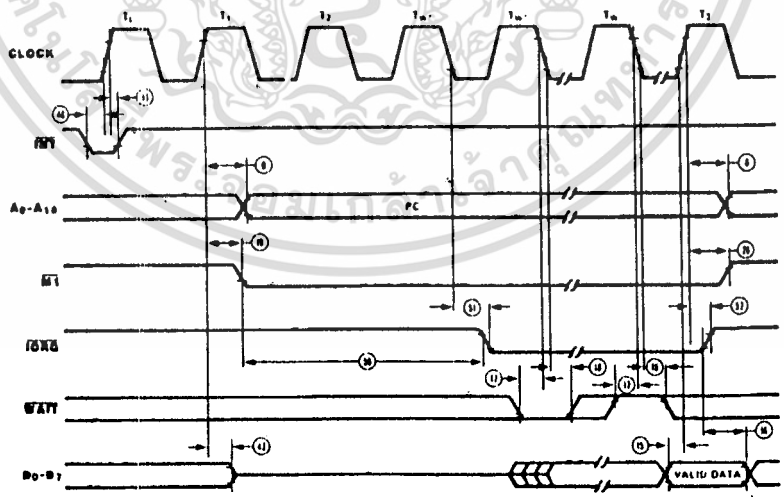
Input or Output Cycles. Figure 7 shows the timing for an I/O read or I/O write operation. During I/O operations, the CPU automatically inserts a single Wait state (T_W). This extra Wait state allows sufficient time for an I/O port to decode the address from the port address lines



NOTE: T_W = One Wait cycle automatically inserted by CPU.

Figure 7. Input or Output Cycles

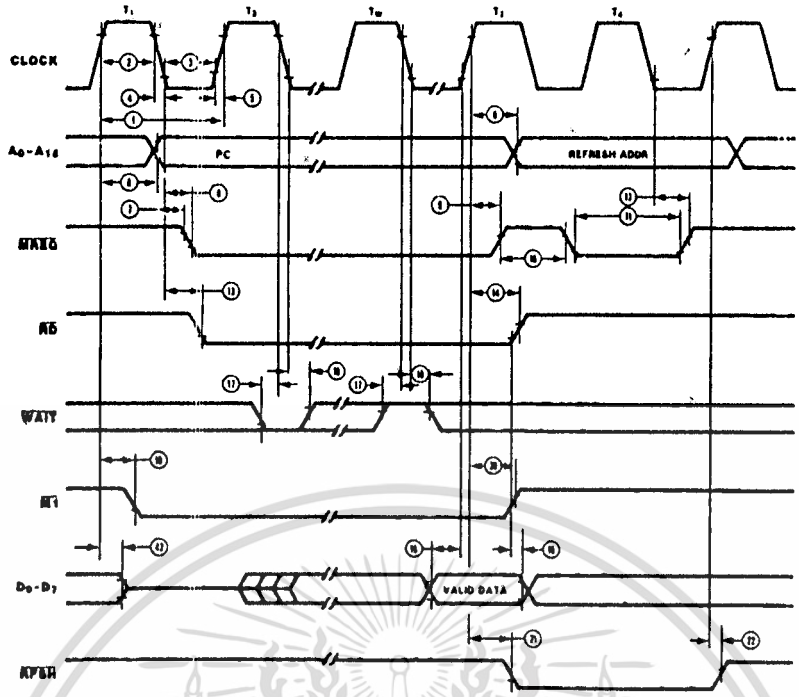
Interrupt Request/Acknowledge Cycle. The CPU samples the interrupt signal with the rising edge of the last clock cycle at the end of any instruction (Figure 8). When an interrupt is accepted, a special $\overline{M1}$ cycle is generated. During this $\overline{M1}$ cycle, $\overline{IORQ}$ becomes active (instead of $\overline{MREQ}$) to indicate that the interrupting device can place an 8-bit vector on the data bus. The CPU automatically adds two Wait states to this cycle.



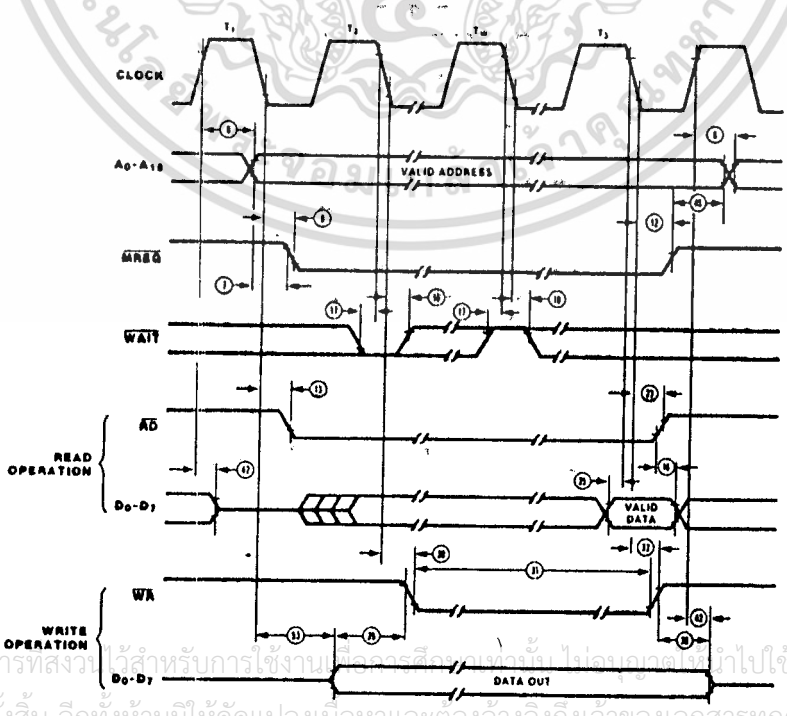
NOTE: 1) T_L = Last state of previous instruction. 2) Two Wait cycles automatically inserted by CPU(*).

Figure 8. Interrupt Request/Acknowledge Cycle

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



NOTE: T_W-Wait cycle added when necessary for slow ancillary devices.



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

intel

8255A/8255A-5
PROGRAMMABLE PERIPHERAL INTERFACE

- MCS-85™ Compatible 8255A-5
- 24 Programmable I/O Pins
- Completely TTL Compatible
- Fully Compatible with Intel® Microprocessor Families
- Improved Timing Characteristics
- Direct Bit Set/Reset Capability Easing Control Application Interface
- Reduces System Package Count
- Improved DC Driving Capability
- Available in EXPRESS
  - —Standard Temperature Range
  - —Extended Temperature Range

The Intel® 8255A is a general purpose programmable I/O device designed for use with Intel® microprocessors. It has 24 I/O pins which may be individually programmed in 2 groups of 12 and used in 3 major modes of operation. In the first mode (MODE 0), each group of 12 I/O pins may be programmed in sets of 4 to be input or output. In MODE 1, the second mode, each group may be programmed to have 8 lines of input or output. Of the remaining 4 pins, 3 are used for handshaking and interrupt control signals. The third mode of operation (MODE 2) is a bidirectional bus mode which uses 8 lines for a bidirectional bus, and 5 lines, borrowing one from the other group, for handshaking.

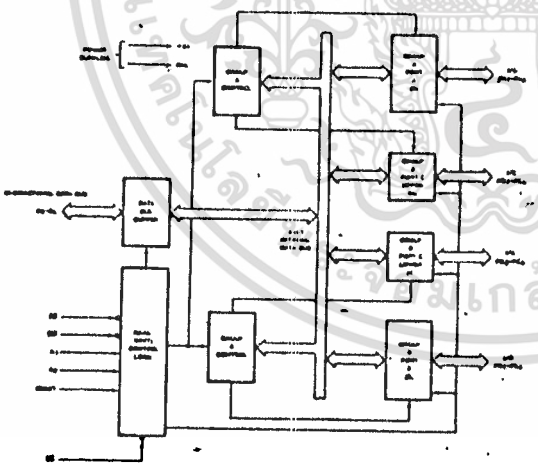


Figure 1. 8255A Block Diagram

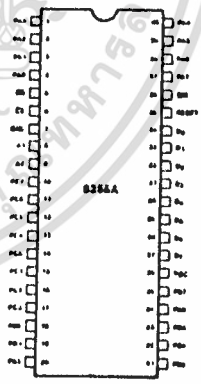


Figure 2. Pin Configuration

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ABSOLUTE MAXIMUM RATINGS*

Ambient Temperature Under Bias. . . . . 0°C to 70°C
Storage Temperature . . . . . −65°C to +150°C
Voltage on Any Pin
With Respect to Ground . . . . . −0.5V to +7V
Power Dissipation . . . . . 1 Watt

*NOTICE: Stresses above those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. This is a stress rating only and functional operation of the device at these or any other conditions above those indicated in the operational sections of this specification is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

D.C. CHARACTERISTICS (T_A = 0°C to 70°C, V_{CC} = +5V ± 10%, GND = 0V)*

Symbol	Parameter	Min.	Max.	Unit	Test Conditions
V_{IL}	Input Low Voltage	-0.5	0.8	V	
V_{IH}	Input High Voltage	2.0	V_{CC}	V	
V_{OL} (DB)	Output Low Voltage (Data Bus)		0.45	V	I_{OL} = 2.5mA
V_{OL} (PER)	Output Low Voltage (Peripheral Port)		0.45	V	I_{OL} = 1.7mA
V_{OH} (DB)	Output High Voltage (Data Bus)	2.4		V	I_{OH} = -400μA
V_{OH} (PER)	Output High Voltage (Peripheral Port)	2.4		V	I_{OH} = -200μA
I_{DAR}[1]	Darlington Drive Current	-1.0	-4.0	mA	R_{EXT} = 750Ω; V_{EXT} = 1.5V
I_{CC}	Power Supply Current		120	mA	
I_{IL}	Input Load Current		±10	μA	V_{IN} = V_{CC} to 0V
I_{OFL}	Output Float Leakage		±10	μA	V_{OUT} = V_{CC} to .45V

NOTE:
1. Available on any 8 pins from Port B and C.

CAPACITANCE (T_A = 25°C, V_{CC} = GND = 0V)

Symbol	Parameter	Min.	Typ.	Max.	Unit	Test Conditions
C_{IN}	Input Capacitance			10	pF	fc = 1MHz
$C_{I/O}$	I/O Capacitance			20	pF	Unmeasured pins returned to GND

A.C. CHARACTERISTICS (T_A = 0°C to 70°C, V_{CC} = +5V ± 10%, GND = 0V)*

Bus Parameters

READ

Symbol	Parameter	8255A		8255A-5		Unit
		Min.	Max.	Min.	Max.	
t_{AR}	Address Stable Before READ	0		0		ns
t_{RA}	Address Stable After READ	0		0		ns
t_{RR}	READ Pulse Width	300		300		ns
t_{RD}	Data Valid From READ[1]		250		200	ns
t_{DF}	Data Float After READ	10	150	10	100	ns
t_{RV}	Time Between READs and/or WRITEs	850		850		ns

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

A.C. CHARACTERISTICS (Continued)

WRITE

Symbol	Parameter	8255A		8255A-5		Unit
		Min.	Max.	Min.	Max.	
t_{AW}	Address Stable Before WRITE	0		0		ns
t_{WA}	Address Stable After WRITE	20		20		ns
t_{WW}	WRITE Pulse Width	400		300		ns
t_{DW}	Data Valid to WRITE (T.E.)	100		100		ns
t_{WD}	Data Valid After WRITE	30		30		ns

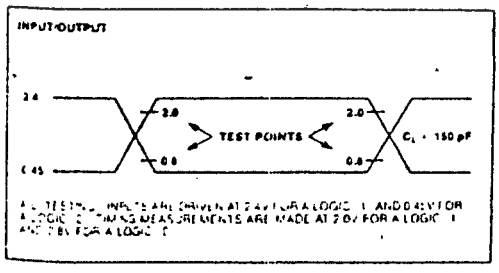
OTHER TIMINGS

Symbol	Parameter	8255A		8255A-5		Unit
		Min.	Max.	Min.	Max.	
t_{WB}	WR = 1 to Output[1]		350		350	ns
t_{IR}	Peripheral Data Before RD	0		0		ns
t_{HR}	Peripheral Data After RD	0		0		ns
t_{AK}	ACK Pulse Width	300		300		ns
t_{ST}	STB Pulse Width	500		500		ns
t_{PS}	Per. Data Before T.E. of STB	0		0		ns
t_{PH}	Per. Data After T.E. of STB	180		180		ns
t_{AD}	ACK = 0 to Output[1]		300		300	ns
t_{KD}	ACK = 1 to Output Float	20	250	20	250	ns
t_{WOB}	WR = 1 to OBF = 0[1]		650		650	ns
t_{AOB}	ACK = 0 to OBF = 1[1]		350		350	ns
t_{SIB}	STB = 0 to IBF = 1[1]		300		300	ns
t_{RIB}	RD = 1 to IBF = 0[1]		300		300	ns
t_{RIT}	RD = 0 to INTR = 0[1]		400		400	ns
t_{SIT}	STB = 1 to INTR = 1[1]		300		300	ns
t_{AIT}	ACK = 1 to INTR = 1[1]		350		350	ns
t_{WIT}	WR = 0 to INTR = 0[1,3]		450		450	ns

NOTES:
1. Test Conditions: C_L = 150 pF.
2. Period of Reset pulse must be at least 50μs during or after power on. Subsequent Reset pulse can be 500 ns min.
3. INTR may occur as early as $\overline{WR}$.

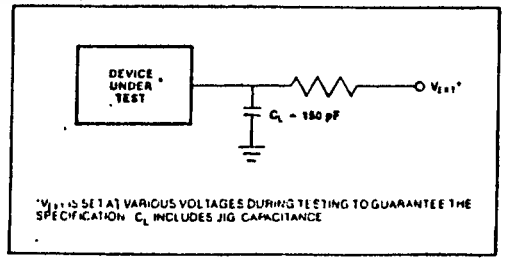
* For Extended Temperature EXPRESS, use M8255A electrical parameters.

A.C. TESTING INPUT, OUTPUT WAVEFORM



A.C. TESTING INPUTS ARE DRIVEN AT 2.4V FOR A LOGIC "1" AND 0.45V FOR A LOGIC "0". TIMING MEASUREMENTS ARE MADE AT 2.0V FOR A LOGIC "1" AND 0.8V FOR A LOGIC "0".

A.C. TESTING LOAD CIRCUIT

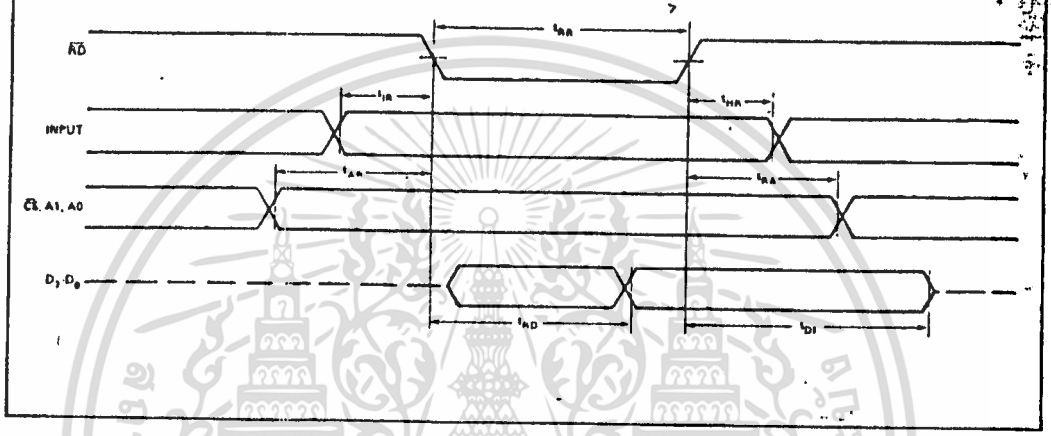


*V_{CC} IS SET AT VARIOUS VOLTAGES DURING TESTING TO GUARANTEE THE SPECIFICATION. C_L INCLUDES JIG CAPACITANCE

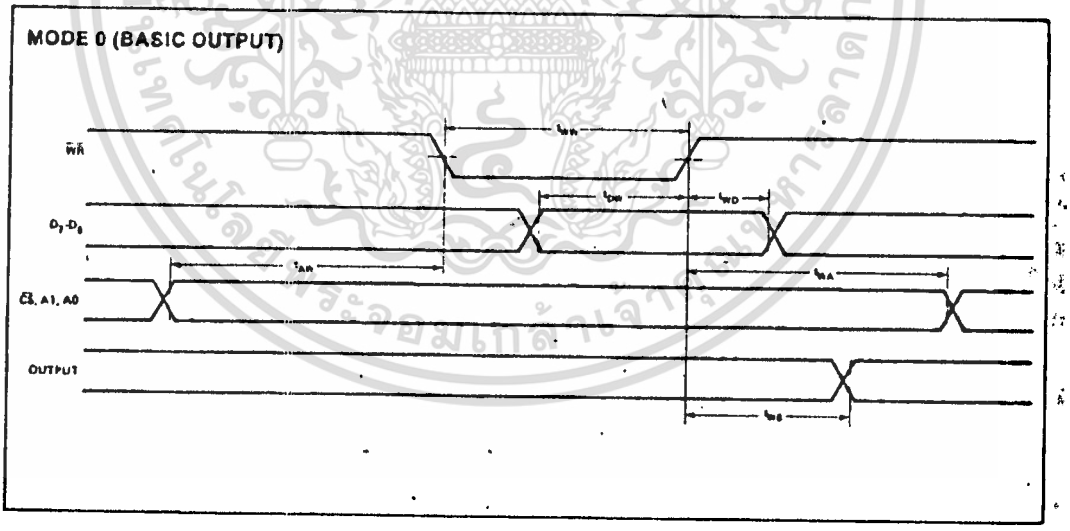
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

WAVEFORMS

MODE 0 (BASIC INPUT)



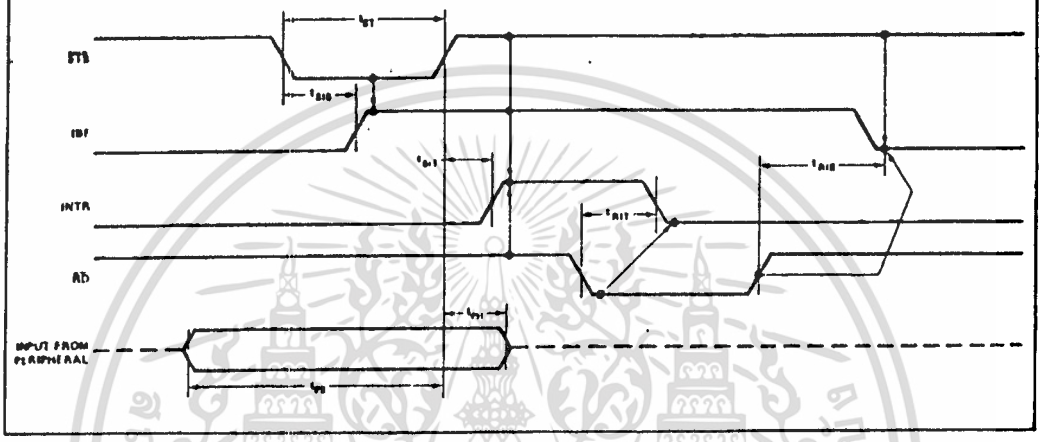
MODE 0 (BASIC OUTPUT)



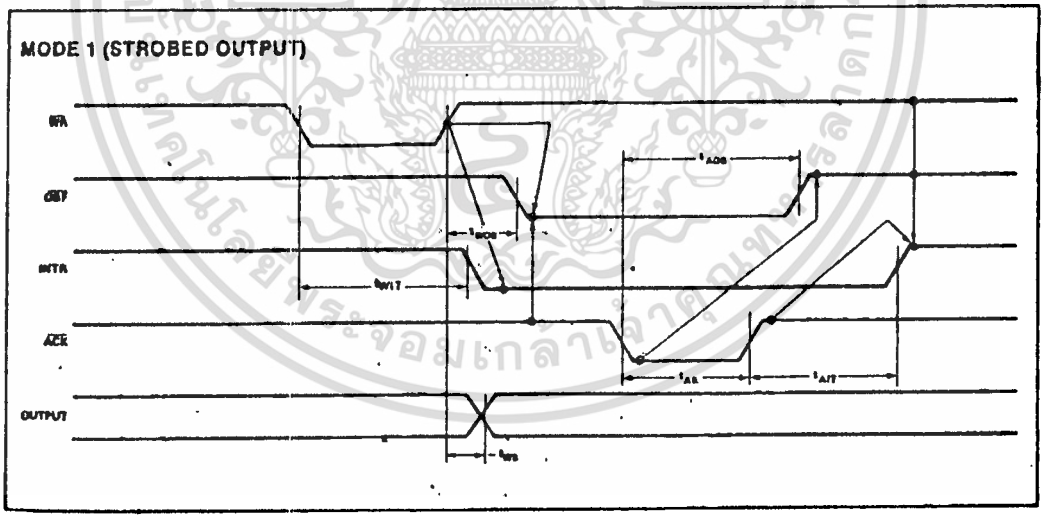
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

WAVEFORMS (Continued)

MODE 1 (STROBED INPUT)



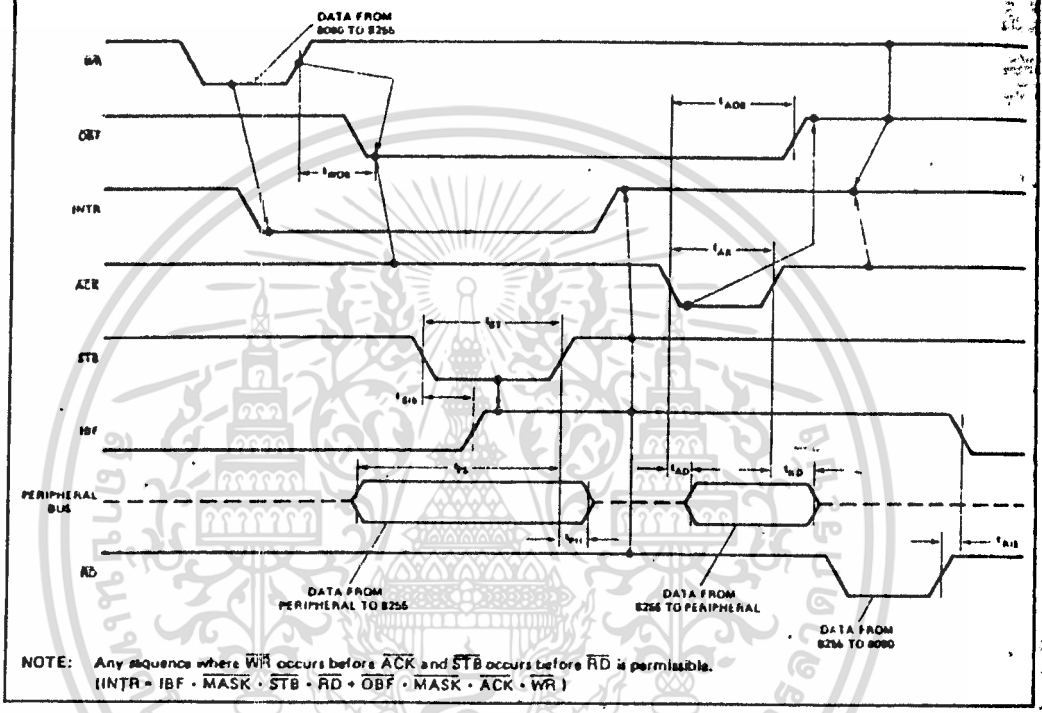
MODE 1 (STROBED OUTPUT)



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

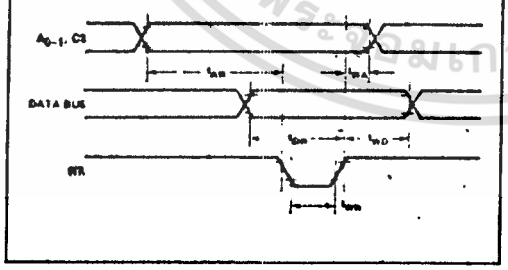
WAVEFORMS (Continued)

MODE 2 (BIDIRECTIONAL)

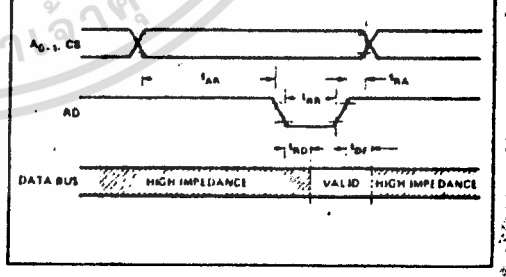


NOTE: Any sequence where $\overline{WR}$ occurs before $\overline{ACK}$ and $\overline{STB}$ occurs before $\overline{RD}$ is permissible.
(INTR = IBF · MASK · $\overline{STB}$ · $\overline{RD}$ + $\overline{OBF}$ · MASK · $\overline{ACK}$ · $\overline{WR}$)

WRITE TIMING



READ TIMING



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MOTOROLA

MC6845

CRT CONTROLLER (CRTC)

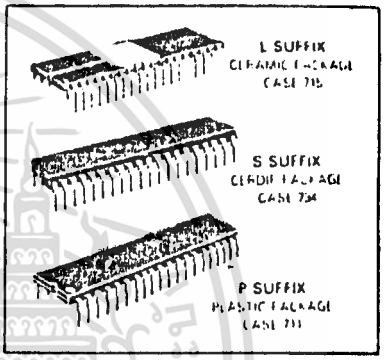
The MC6845 CRT controller performs the interface between an MPU and a raster scan CRT display. It is intended for use in MPU based controllers for CRT terminals in stand-alone or cluster configurations.

The CRTC is optimized for the hardware/software balance required for maximum flexibility. All keyboard functions, reads, writes, cursor movements, and editing are under processor control. The CRTC provides video timing and refresh memory addressing.

- Useful in Monochrome or Color CRT Applications
- Applications Include "Glass Teletype," Smart, Programmable Intelligent CRT Terminals, Video Games, Information Displays
- Alphanumeric, Semi-Graphic and Full Graphic Capability
- Fully Programmable Via Processor Data Bus, Timing May Be Generated for Almost Any Alphanumeric Screen Format, e.g., 80 × 24, 72 × 64, 132 × 20
- Single +5 V Supply
- MC6800 Compatible Bus Interface
- TTL-Compatible Inputs and Outputs
- Start Address Register Provides Hardware Scroll by Page or Character
- Programmable Cursor Register Allows Control of Cursor Format and Blink Rate
- Light Pen Register
- Refresh (Screen) Memory May Be Multiplexed Between the CRTC and the MPU Thus Removing the Requirements for Line Buffers or External DMA Devices
- Programmable Interlace or Non-Interlace Scan Modes
- 14 Bit Refresh Address Allows Up to 16K of Refresh Memory for Use in Character or Semi-Graphic Displays
- 5 Bit Row Address Allows Up to 32 Scan-Line Character Blocks
- By Utilizing Both the Refresh Addresses and the Row Addresses, a 512K Address Space is Available for Use in Graphics Systems
- Refresh Addresses are Provided During Retrace, Allowing the CRTC to Provide Row Addresses to Refresh Dynamic RAMs
- Pin Compatible with the MC6835

MOS
(N-CHANNEL, SILICON-GATE)

CRT CONTROLLER (CRTC)

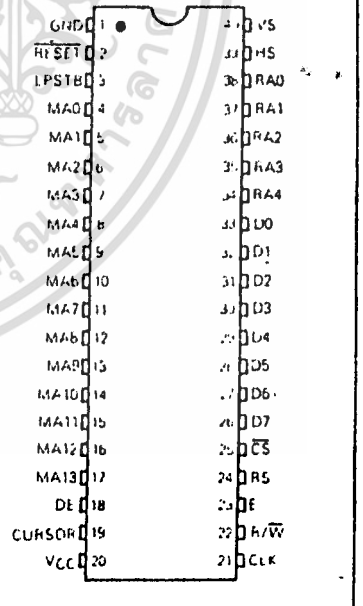


L SUFFIX
CERAMIC PACKAGE
CASE 715

S SUFFIX
CERDIP PACKAGE
CASE 734

P SUFFIX
PLASTIC PACKAGE
CASE 711

PIN ASSIGNMENT



ORDERING INFORMATION

Package Type	Frequency (MHz)	Temperature	Order Number
Ceramic L Suffix	1.0	0°C to 70°C	MC6845L
	1.0	-40°C to 85°C	MC6845CL
	1.5	0°C to 70°C	MC68A45L
	1.5	-40°C to 85°C	MC68A45CL
	2.0	0°C to 70°C	MC68B45L
Cerdip S Suffix	1.0	0°C to 70°C	MC6845S
	1.0	-40°C to 85°C	MC6845CS
	1.5	0°C to 70°C	MC68A45S
	1.5	-40°C to 85°C	MC68A45CS
	2.0	0°C to 70°C	MC68B45S
Plastic P Suffix	1.0	0°C to 70°C	MC6845P
	1.0	-40°C to 85°C	MC6845CP
	1.5	0°C to 70°C	MC68A45P
	1.5	-40°C to 85°C	MC68A45CP
	2.0	0°C to 70°C	MC68B45P

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

POWER CONSIDERATIONS

The average chip junction temperature, T_J, in °C can be obtained from:

$$T_J = T_A + (P_D \cdot \theta_{JA}) \quad (1)$$

Where:

T_A = Ambient Temperature, °C

θ_{JA} = Package Thermal Resistance, Junction-to-Ambient, °C/W

$P_D = P_{INT} + P_{PORT}$

$P_{INT} = I_{CC} \times V_{CC}$, Watts – Chip Internal Power

P_{PORT} = Port Power Dissipation, Watts – User Determined

For most applications $P_{PORT} \ll P_{INT}$ and can be neglected. P_{PORT} may become significant if the device is configured to drive Darlington bases or sink LED loads.

An approximate relationship between P_D and T_J (if P_{PORT} is neglected) is:

$$P_D = K \div (T_J + 273°C) \quad (2)$$

Solving equations 1 and 2 for K gives:

$$K = P_D \cdot (T_A + 273°C) + \theta_{JA} \cdot P_D^2 \quad (3)$$

Where K is a constant pertaining to the particular part. K can be determined from equation 3 by measuring P_D (at equilibrium) for a known T_A. Using this value of K the values of P_D and T_J can be obtained by solving equations (1) and (2) iteratively for any value of T_A.

DC ELECTRICAL CHARACTERISTICS (V_{CC} = 5.0 Vdc ± 5%, V_{SS} = 0, T_A = 0 to 70°C unless otherwise noted, see Figures 2-4)

Characteristic		Symbol	Min	Typ	Max	Unit
Input High Voltage		V_{IH}	2.0	–	V_{CC}	V
Input Low Voltage		V_{IL}	-0.3	–	0.8	V
Input Leakage Current		I_{in}	–	0.1	2.5	µA
Hi-Z State Input Current (V_{CC} = 5.25 V, V_{in} = 0.4 to 2.4 V)		I_{TSI}	-10	–	10	µA
Output High Voltage (I_{Load} = -205 µA) (I_{Load} = -100 µA)	D0-D7 Other Outputs	V_{OH}	2.4 2.4	3.0 3.0	– –	V
Output Low Voltage (I_{Load} = 1.6 mA)		V_{OL}	–	0.3	0.4	V
Internal Power Dissipation (Measured at T_A = 0°C)		P_{INT}	–	600	750	mW
Input Capacitance	D0-D7 All Others	C_{in}	– –	– –	12.5 10	pf
Output Capacitance	All Outputs	C_{out}	–	–	10	pf

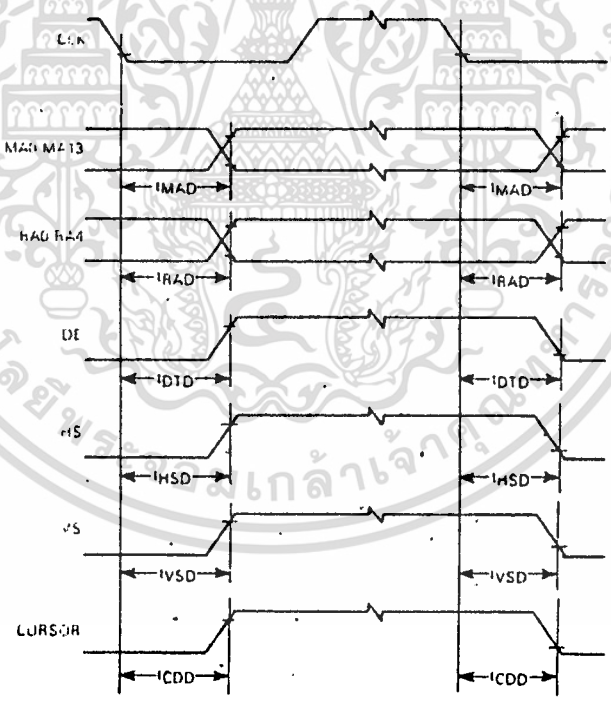
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

CRTC TIMING CHARACTERISTICS (Reference Figures 4 and 5)

Characteristic	Symbol	Min	Max	Unit
Minimum Clock Pulse Width, Low	P_{WCL}	150	–	ns
Minimum Clock Pulse Width, High	P_{WCH}	150	–	ns
Clock Frequency	f_c	–	3.0	MHz
Rise and Fall Time for Clock Input	t_{cr}, t_{cf}	–	20	ns
Memory Address Delay Time	t_{MAD}	–	160	ns
Raster Address Delay Time	t_{RAD}	–	160	ns
Display Timing Data Time	t_{DTD}	–	250	ns
Horizontal Sync Delay Time	t_{HSD}	–	250	ns
Vertical Sync Delay Time	t_{VSD}	–	250	ns
Cursor Display Timing Delay Time	t_{CDD}	–	250	ns
Light Pen Strobe Minimum Pulse Width	PW_{LPH}	80	–	ns
Light Pen Strobe Disable Time	t_{LPD1}	–	80	ns
	t_{LPD2}	–	10	ns

NOTE: The light pen strobe must fall to low level before VS pulse rises.

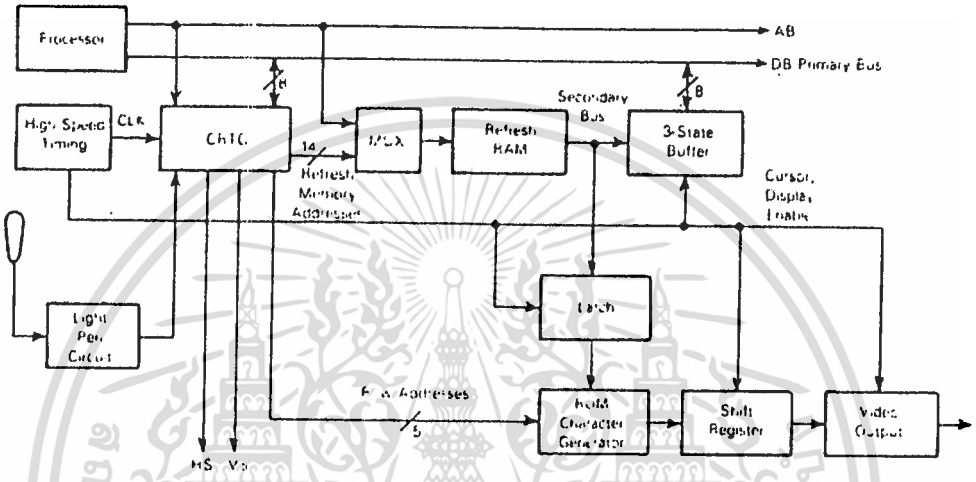
FIGURE 4 – CRTC TIMING CHART



NOTE: Timing measurements are referenced to and from a low voltage of 0.6 volts and a high voltage of 2.0 volts unless otherwise noted.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

FIGURE 1 – TYPICAL CRT CONTROLLER APPLICATION



MAXIMUM RATINGS

Rating	Symbol	Value	Unit
Supply Voltage	V_{CC}	0.3 to +7.0	V
Input Voltage	V_{in}	−0.3 to +7.0	V
Operating Temperature Range MC6845, MC68A45, MC68B45 MC6845C, MC68A45C	T_A	T_L to T_H 0 to 70 −40 to +85	°C
Storage Temperature Range	T_{stg}	−55 to +150	°C

The device contains circuitry to protect the inputs against damage due to high static voltages or electric fields; however, it is advised that normal precautions be taken to avoid application of any voltage higher than maximum rated voltages to this high impedance circuit. For proper operation it is recommended that V_{in} and V_{out} be constrained to the range $V_{SS} \le (V_{in}$ or $V_{out}) \le V_{CC}$.

THERMAL CHARACTERISTICS

Characteristic	Symbol	Value	Rating
Thermal Resistance Plastic Package Cerdip Package Ceramic Package	θ_{JA}	 100 60 50	°C/W

RECOMMENDED OPERATING CONDITIONS

Characteristics	Symbol	Min	Typ	Max	Unit
Supply Voltage	V_{CC}	4.75	5.0	5.25	V
Input Low Voltage	V_{IL}	−0.3	–	0.8	V
Input High Voltage	V_{IH}	2.0	–	V_{CC}	V

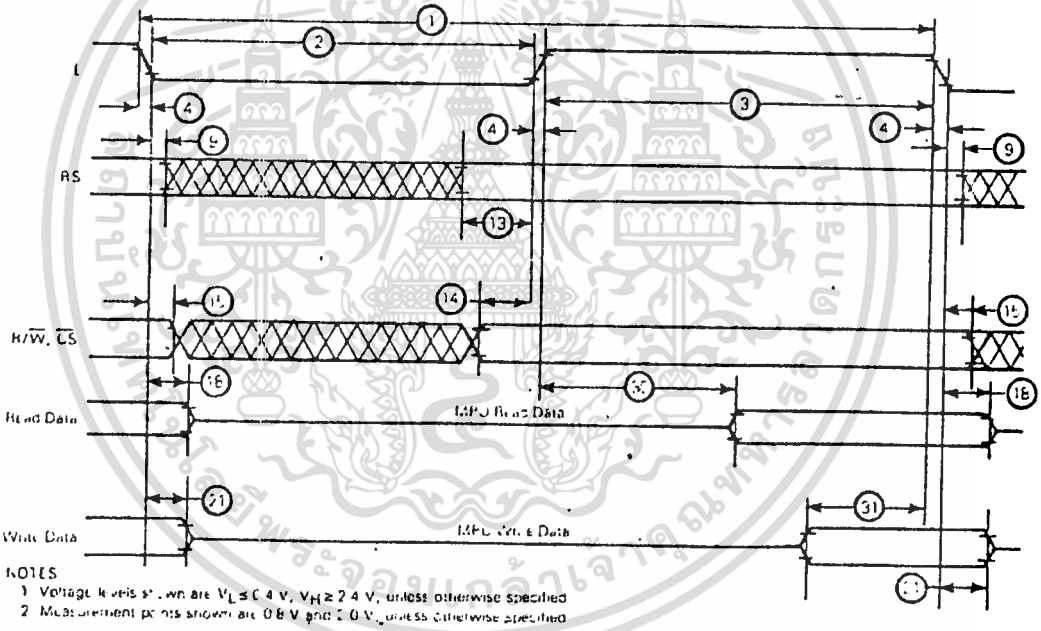
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

BUS TIMING CHARACTERISTICS (See Notes 1 and 2) (Reference Figures 2 and 3)

Ident. Number	Characteristic	Symbol	MC6845		MC68A45		MC68B45		Unit
			Min	Max	Min	Max	Min	Max	
1	Clock Time	t_{CYC}	1.0	–	0.67	–	0.5	–	µs
2	Pulse Width, E Low	PW_{EL}	430	–	280	–	210	–	ns
3	Pulse Width, E High	PW_{EH}	450	–	280	–	220	–	ns
4	Clock Rise and Fall Time	t_r, t_f	–	25	–	25	–	20	ns
9	Address Hold Time (RS)	t_{AH}	10	–	10	–	10	–	ns
13	RS Setup Time Before E	t_{AS}	80	–	60	–	40	–	ns
14	R/W and CS Setup Time Before E	t_{CS}	80	–	60	–	40	–	ns
15	R/W and CS Hold Time	t_{CH}	10	–	10	–	10	–	ns
18	Read Data Hold Time	t_{DHR}	20	50*	20	50*	20	50*	ns
21	Write Data Hold Time	t_{DHW}	10	–	10	–	10	–	ns
30	Peripheral Output Data Delay Time	t_{PDR}	–	290	–	180	0	150	ns
31	Peripheral Input Data Setup Time	t_{PSW}	165	–	80	–	60	–	ns

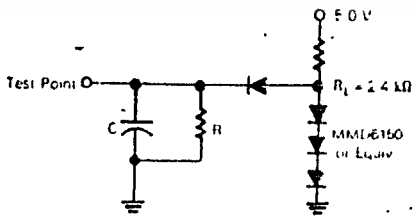
* The data bus output buffers are no longer sourcing or sinking current by t_{DHR} (i.e., maximum high impedance)

FIGURE 2 – MC6845 BUS TIMING



NOTES
1. Voltage levels shown are $V_L \leq 0.4$ V, $V_H \geq 2.4$ V, unless otherwise specified.
2. Measurement points shown are 0.8 V and 2.0 V, unless otherwise specified.

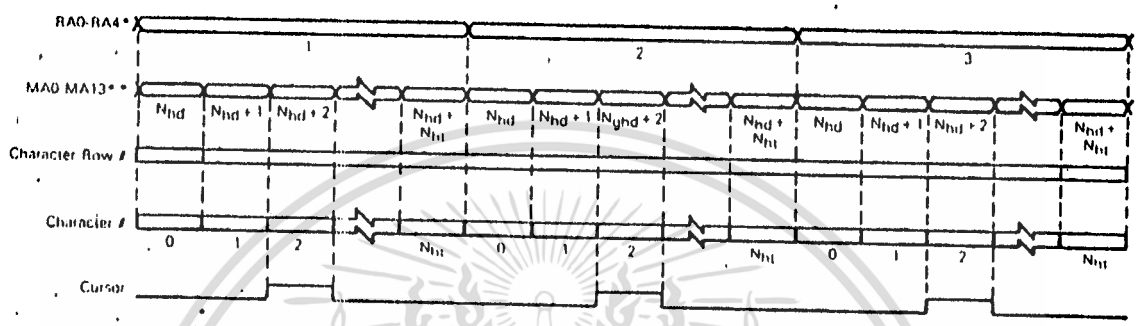
FIGURE 3 – BUS TIMING TEST LOAD



C = 130 pF for D0-D7
= 30 pF for MA0-MA13, RA0-RA4, DE, HS, VS, and CURSOR
R = 11 kΩ for D0-D7
= 24 kΩ for All Other Outputs

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

FIGURE 17 — CURSOR TIMING



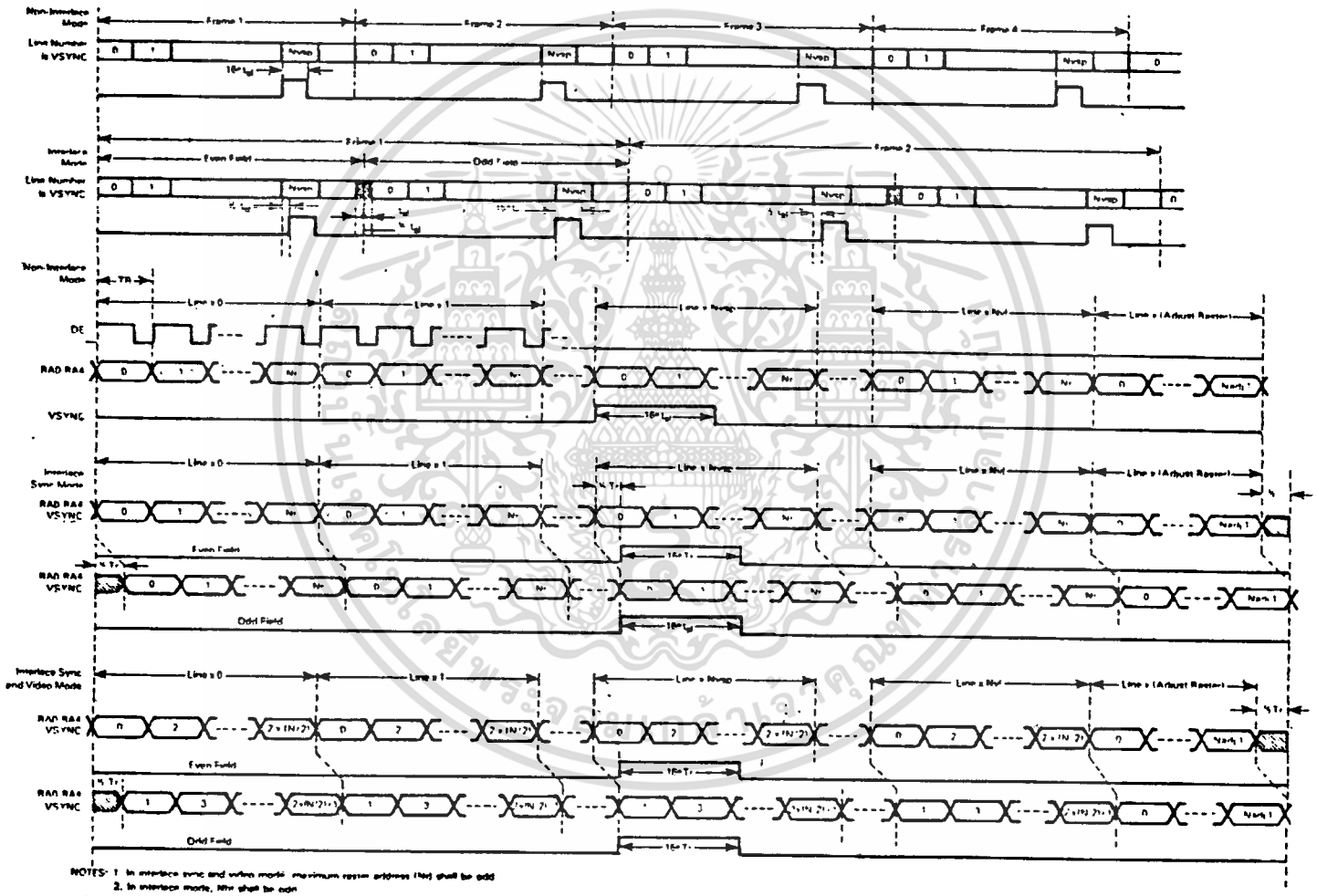
* Timing is shown for non-interlace and interlace sync modes
Example shown has cursor programmed as
Cursor Register = Nhd + 2
Cursor Start = 1
Cursor End = 3

** The initial MA is determined by the contents of start address register. R12/R13. Timing is shown for R12/R13 = 0

NOTE 1 Timing values are described in Table 5

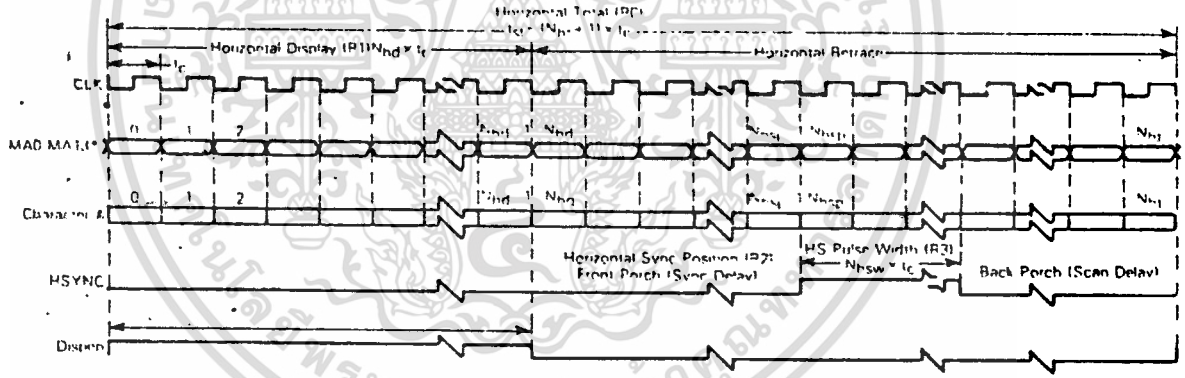
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

FIGURE 13 — CRTC VERTICAL TIMING



NOTES: 1. In interlace sync and video mode, maximum register address (Nvt) shall be odd.
2. In interlace mode, Nhr shall be even.

FIGURE 12 – CRTC HORIZONTAL TIMING



* Timing is shown for first displayed scan row only. See chart in Figure 15 for other rows. The initial MA is determined by the contents of start address register, R12/R13. Timing is shown for R12, R13 = 0

NOTE: Timing values are described in Table 5.

intel

2732A
32K (4K x 8) UV ERASABLE PROM

- 200 ns (2732A-2) Maximum Access Time . . . HMOS*-E Technology
- Compatible with High-Speed 8mHz iAPX 186...Zero WAIT State
- Two Line Control
- Compatible with 12 MHz 8051 Family
- Industry Standard Pinout . . . JEDEC Approved
- Low Standby Current...30 mA Maximum
- ±10% V_{CC} Tolerance Available
- int$_e$ligent Identifier™ Mode
- TTL Compatible

The Intel 2732A is a 5V only, 32,768 bit ultraviolet erasable and electrically programmable read-only-memory (EPROM). The standard 2732A access time is 250 ns with speed selection (2732A-2) available at 200 ns. The access time is compatible with high performance microprocessors such as the 8 MHz iAPX 186. In these systems, the 2732A allows the microprocessor to operate without the addition of WAIT states.

An important 2732A feature is the separate output control, Output Enable ($\overline{OE}$), from the Chip Enable control ($\overline{CE}$). The $\overline{OE}$ control eliminates bus contention in microprocessor systems. Intel's Application Note AP-72 describes the microprocessor system implementation of the $\overline{OE}$ and $\overline{CE}$ controls on Intel's EPROMs. AP-72 is available from Intel's Literature Department.

The 2732A has a standby mode which reduces power consumption without increasing access time. The maximum active current is 125 mA, while the maximum standby current is only 35 mA, a 70% saving. The standby mode is selected by applying the TTL-high signal to the $\overline{CE}$ input.

The 2732A is fabricated with HMOS*-E technology, Intel's high-speed N-channel MOS Silicon Gate Technology.

*HMOS is a patented process of Intel Corporation

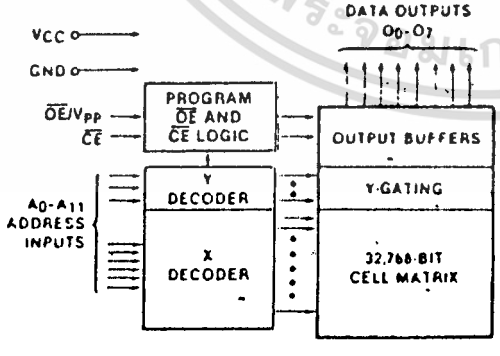


Figure 1. Block Diagram

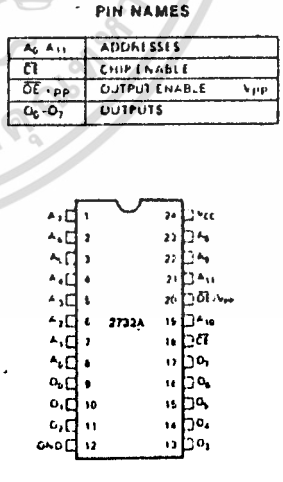


Figure 2. Pin Configuration

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ABSOLUTE MAXIMUM RATINGS*

Temperature Under Bias . . . . . −10°C to +80°C
Storage Temperature . . . . . −65°C to +125°C
All Input or Output Voltages with Respect to Ground . . . . . +6V to −0.3V
Voltage on Pin 22 with Respect to Ground . . . . . +13.5V to −0.3V
V_{PP} Supply Voltage with Respect to Ground During Programming . . . . . +22V to −0.3V

NOTICE: Stresses above those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. This is a stress rating only and functional operation of the device at these or any other conditions above those indicated in the operational sections of this specification is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

D.C. AND A.C. OPERATING CONDITIONS DURING READ

	2732A/A-2/A-3/A-4	2732A-20/A-25/A-30
Operating Temperature Range	0°C–70°C	0°C–70°C
V_{CC} Power Supply[1,2]	5V ± 5%	5V ± 10%

READ OPERATION

D.C. CHARACTERISTICS

Symbol	Parameter	Limits Min.	Typ.[3]	Max.	Units	Conditions
I_{IL}	Input Load Current			10	μA	V_{IN} = 5.5V
I_{LO}	Output Leakage Current			10	μA	V_{OUT} = 5.5V
I_{CC1}[2]	V_{CC} Current (Standby)			35	mA	$\overline{CE}$ = V_{IH}, $\overline{OE}$ = V_{IL}
I_{CC2}[2]	V_{CC} Current (Active)			100	mA	$\overline{OE}$ = $\overline{CE}$ = V_{IL}
V_{IL}	Input Low Voltage	−0.1		0.8	V	
V_{IH}	Input High Voltage	2.0		V_{CC} + 1	V	
V_{OL}	Output Low Voltage			0.45	V	I_{OL} = 2.1 mA
V_{OH}	Output High Voltage	2.4			V	I_{OH} = −400 μA
V_{PP}[2]	V_{PP} Read Voltage	3.8		V_{CC}	V	V_{CC} = 5.0V ± 0.25V

A.C. CHARACTERISTICS

Symbol	Parameter	2732A-2 2732A-20 Min.	2732A-2 2732A-20 Max.	2732A 2732A-25 Min.	2732A 2732A-25 Max.	2732A-3 2732A-30 Min.	2732A-3 2732A-30 Max.	2732A-4 Min.	2732A-4 Max.	Units	Test Conditions†
t_{ACC}	Address to Output Delay		200		250		300		450	ns	$\overline{CE}$ = $\overline{OE}$ = V_{IL}
t_{CE}	$\overline{CE}$ to Output Delay		200		250		300		450	ns	$\overline{OE}$ = V_{IL}
t_{OE}	$\overline{OE}$ to Output Delay		70		100		150		150	ns	$\overline{CE}$ = V_{IL}
t_{DF}[4]	$\overline{OE}$ High to Output Not Driven	0	60	0	60	0	130	0	130	ns	$\overline{CE}$ = V_{IL}
t_{OH}	Output Hold from Addresses, $\overline{CE}$ or $\overline{OE}$ Whichever Occurred First	0		0		0		0		ns	$\overline{CE}$ = $\overline{OE}$ = V_{IL}

†A.C. TEST CONDITIONS

Output Load . . . . . 1 TTL gate and C_L = 100 pF
Input Rise and Fall Times . . . . . ≤ 20 ns
Input Pulse Levels . . . . . 0.45V to 2.4V
Timing Measurement Reference Level:
Inputs . . . . . 0.8 and 2.0V
Outputs . . . . . 0.8 and 2.0V

NOTES: 1. V_{CC} must be applied simultaneously or before V_{PP} and removed simultaneously or after V_{PP}.
2. V_{PP} may be connected directly to V_{CC} except during programming. The supply current would then be the sum of I_{CC} and I_{PP1}.
3. Typical values are for T_A = 25°C and nominal supply voltages.
4. This parameter is only sampled and is not 100% tested. Output Float is defined as the point where data is no longer driven — see timing diagram on page 3.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

PROGRAMMING[4]

D.C. PROGRAMMING CHARACTERISTICS: $T_A = 25 \pm 5°C$, $V_{CC} = 5V \pm 5\%$, $V_{PP} = 21V \pm 0.5V$

Symbol	Parameter	Limits			Units	Test Conditions
		Min.	Typ.	Max.		
I_{LI}	Input Current (All Inputs)			10	μA	$V_{IN} = V_{IL}$ or V_{IH}
V_{OL}	Output Low Voltage During Verify			0.45	V	$I_{OL} = 2.1$ mA
V_{OH}	Output High Voltage During Verify	2.4			V	$I_{OH} = -400$ μA
I_{CC}	V_{CC} Supply Current		85	100	mA	
V_{IL}	Input Low Level (All Inputs)	-0.1		0.8	V	
V_{IH}	Input High Level (All Inputs Except $\overline{OE}/V_{PP}$)	2.0		V_{CC}	V	
I_{PP}	V_{PP} Supply Current			30	mA	$\overline{CE} = V_{IL}$, $\overline{OE} = V_{PP}$
V_{ID}	Agn[illegible]igent Identifier Voltage	11.5		12.5	V	

A.C. PROGRAMMING CHARACTERISTICS: $T_A = 25 \pm 5°C$, $V_{CC} = 5V \pm 5\%$, $V_{PP} = 21V \pm 0.5V$

Symbol	Parameter	Limits			Units	Test Conditions†
		Min.	Typ.	Max.		
t_{AS}	Address Setup Time	2			μs	
t_{OES}	$\overline{OE}$ Setup Time	2			μs	
t_{DS}	Data Setup Time	2			μs	
t_{AH}	Address Hold Time	0			μs	
t_{OEH}	$\overline{OE}$ Hold Time	2			μs	
t_{DH}	Data Hold Time	2			μs	
t_{DFP}	$\overline{OE}$ High to Output Not Driven	0		130	ns	
t_{DV}	Data Valid from $\overline{CE}$			1	μs	$\overline{CE} = V_{IL}$, $\overline{OE} = V_{IL}$
t_{PW}	$\overline{CE}$ Pulse Width During Programming	20	50	55	ms	
t_{PRT}	$\overline{OE}$ Pulse Rise Time During Programming	50			ns	
t_{VR}	V_{PP} Recovery Time	2			μs	

†A.C. TEST CONDITIONS

Input Rise and Fall Times (10% to 90%) . . . . . ≤ 20 ns
Input Pulse Levels . . . . . 0.45V to 2.4V
Input Timing Reference Level . . . . . 0.8V and 2.0V
Output Timing Reference Level . . . . . 0.8V and 2.0V

NOTES:

1. Typical values are for $T_A = 25°C$ and nominal supply voltages
2. This parameter is only sampled and is not 100% tested. Output float is defined as the point where data is no longer driven — see timing diagram
3. OE may be delayed up to $t_{ACC} - t_{OE}$ after the falling edge of CE without impacting t_{ACC}.
4. When programming the 2732A, a 0.1μF capacitor is required across OE/V_{PP} and ground to suppress spurious voltage transients which may damage the device.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Program Inhibit

Programming of multiple 2732As in parallel with different data is also easily accomplished. Except for $\overline{CE}$, all like inputs (including $\overline{OE}$) of the parallel 2732As may be common. A TTL level program pulse applied to a 2732A's $\overline{CE}$ input with $\overline{OE}/V_{PP}$ at 21V will program that 2732A. A high level $\overline{CE}$ input inhibits the other 2732As from being programmed.

Verify

A verify (Read) should be performed on the programmed bits to determine that they were correctly programmed. The verify is accomplished with $\overline{OE}/V_{PP}$ and $\overline{CE}$ at V_{IL}. Data should be verified t_{DV} after the falling edge of $\overline{CE}$.

int$_e$ligent Identifier™ Mode

The int$_e$ligent Identifier Mode allows the reading out of a binary code from an EPROM that will identify its manufacturer and type. This mode is intended for use by programming equipment for the purpose of automatically matching the device to be programmed with its corresponding programming algorithm. This mode is functional in the 25°C ± 5°C ambient temperature range.

To activate this mode, the programming equipment must force 11.5V to 12.5V on address line A9 (pin 22) of the 2732A. Two identifier bytes may then be sequenced from the device outputs by toggling address line A0 (pin 8) from V_{IL} to V_{IH}. All other address lines must be held at V_{IL} during int$_e$ligent Identifier Mode.

Byte 0 (A0 = V_{IL}) represents the manufacturer code and byte 1 (A0 = V_{IH}) the device identifier code. For the Intel 2732A, these two identifier bytes are given in Table 2. All identifiers for manufacturer and device codes will possess odd parity, with the MSB (O_7) defined as the parity bit.

Intel began manufacturing 2732As during 1982 that contained the int$_e$ligent Identifier feature. Earlier generation devices do not contain identifier information, and if erased, will respond with a "one" (V_{OH}) on each data line when operated in this mode. Programmed, preidentifier mode 2732As will respond with the current data contained in locations 0 and 1 when subjected to the int$_e$ligent Identifier operation.

System Consideration

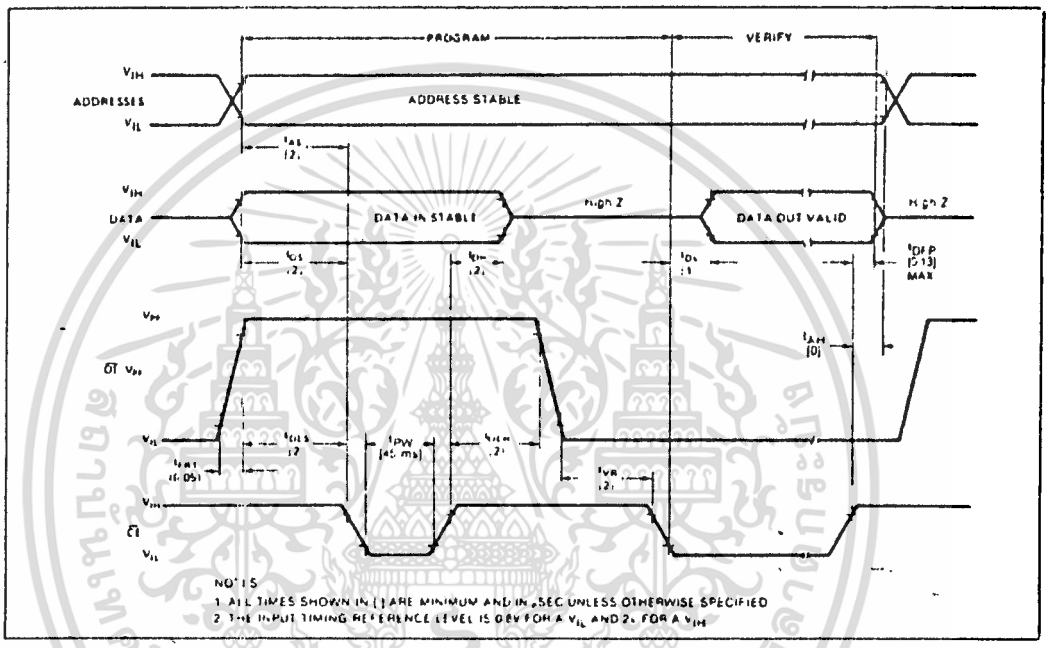
The power switching characteristics of HMOS-E EPROMs require careful decoupling of the devices. The supply current, I_{CC}, has three segments that are of interest to the system designer—the standby current level, the active current level, and the transient current peaks that are produced by the falling and rising edges of Chip Enable. The magnitude of these transient current peaks is dependent on the output capacitive loading of the device. The associated transient voltage peaks can be suppressed by complying with Intel's Two-Line Control, as detailed in Intel's Application Note, AP-72, and by properly selected decoupling capacitors. It is recommended that a 0.1μF ceramic capacitor be used on every device between V_{CC} and GND. This should be a high frequency capacitor of low inherent inductance and should be placed as close to the device as possible. In addition, a 4.7μF bulk electrolytic capacitor should be used between V_{CC} and GND for every eight devices. The bulk capacitor should be located near where the power supply is connected to the array. The purpose of the bulk capacitor is to overcome the voltage droop caused by the inductive effects of PC board traces.

Table 2. 2732A int$_e$ligent Identifier™ Bytes

Pins / Identifier	A_0 (8)	O_7 (17)	O_6 (16)	O_5 (15)	O_4 (14)	O_3 (13)	O_2 (11)	O_1 (10)	O_0 (9)	Hex Data
Manufacturer Code	V_{IL}	1	0	0	0	1	0	0	1	89
Device Code	V_{IH}	0	0	0	0	0	0	0	1	01

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

PROGRAMMING WAVEFORMS

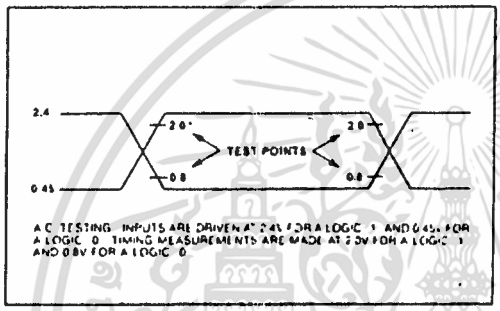


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

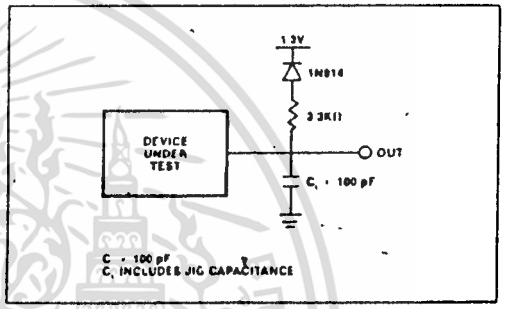
CAPACITANCE[2] (T_A = 25°C, f = 1 MHz)

Symbol	Parameter	Typ.	Max.	Unit	Conditions
C_{IN1}	Input Capacitance Except $\overline{OE}/V_{PP}$	4	6	pF	V_{IN} = 0V
C_{IN2}	$\overline{OE}/V_{PP}$ Input Capacitance		20	pF	V_{IN} = 0V
C_{OUT}	Output Capacitance	8	12	pF	V_{OUT} = 0V

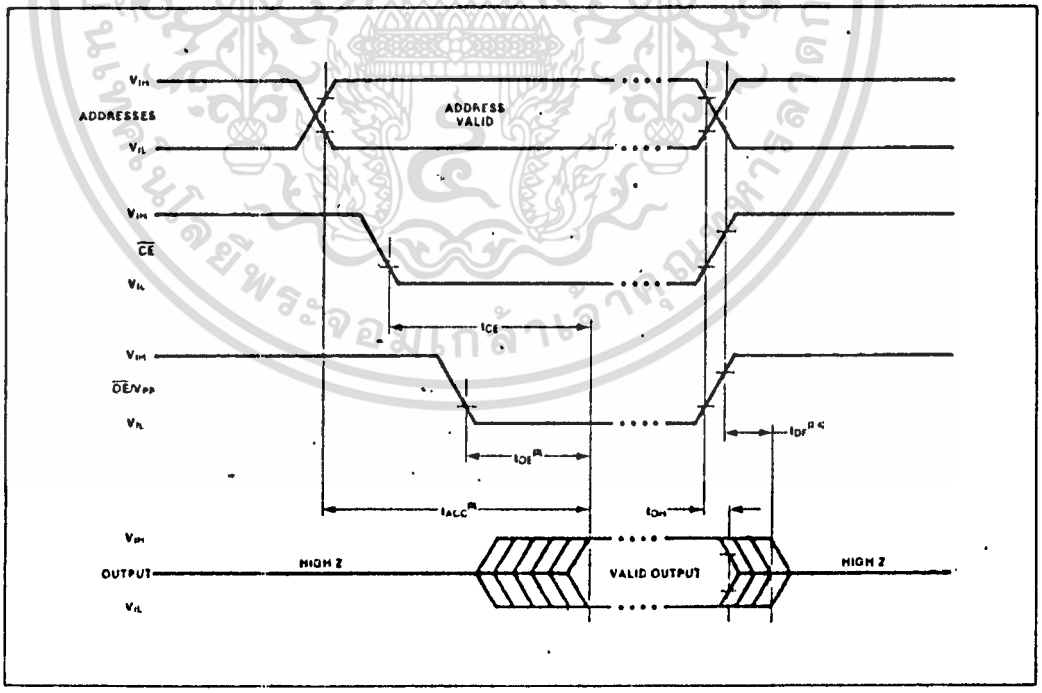
A.C. TESTING INPUT/OUTPUT WAVEFORM



A.C. TESTING LOAD CIRCUIT



A.C. WAVEFORMS



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ERASURE CHARACTERISTICS

The erasure characteristics of the 2732A are such that erasure begins to occur upon exposure to light with wavelengths shorter than approximately 4000 Angstroms (Å). It should be noted that sunlight and certain types of fluorescent lamps have wavelengths in the 3000-4000 Å range. Data show that constant exposure to room level fluorescent lighting could erase the typical 2732A in approximately 3 years, while it would take approximately 1 week to cause erasure when exposed to direct sunlight. If the 2732A is to be exposed to these types of lighting conditions for extended periods of time, opaque labels should be placed over the 2732A window to prevent unintentional erasure.

The recommended erasure procedure for the 2732A is exposure to shortwave ultraviolet light which has a wavelength of 2537 Angstroms (Å). The integrated dose (i.e., UV intensity X exposure time) for erasure should be a minimum of 15 W-sec/cm^2. The erasure time with this dosage is approximately 15 to 20 minutes using an ultraviolet lamp with 12000 μW/cm^2 power rating. The 2732A should be placed within 1 inch of the lamp tubes during erasure.

DEVICE OPERATION

The six modes of operation of the 2732A are listed in Table 1. A single 5V power supply is required in the read mode. All inputs are TTL levels except for $\overline{OE}/V_{PP}$ during programming and 12V on A9 for the Int$_e$ligent Identifier™ mode. In the program mode the $\overline{OE}/V_{PP}$ input is pulsed from a TTL level to 21V

Table 1. Mode Selection

MODE \ PINS	$\overline{CE}$ (18)	$\overline{OE}/V_{PP}$ (20)	A_9 (22)	V_{CC} (24)	OUTPUTS (9-11,13-17)
Read	V_{IL}	V_{IL}	X	+5	D_{OUT}
Output Disable	V_{IL}	V_{IH}	X	+5	High Z
Standby	V_{IH}	X	X	+5	High Z
Program	V_{IL}	V_{PP}	X	+5	D_{IN}
Program Inhibit	V_{IH}	V_{PP}	X	+5	High Z
Int$_e$ligent Identifier	V_{IL}	V_{IL}	V_H	+5	Code

Notes: 1. X can be V_{IH} or V_{IL}
2. V_H = 12.0 ± 0.5V

Read Mode

The 2732A has two control functions, both of which must be logically active in order to obtain data at the outputs. Chip Enable ($\overline{CE}$) is the power control and should be used for device selection. Output Enable ($\overline{OE}$) is the output control and should be used to gate data from the output pins, independent of device selection. Assuming that addresses are stable, address access time (t_{ACC}) is equal to the delay from $\overline{CE}$ to output (t_{CE}). Data is available at the outputs after the falling edge of $\overline{OE}$, assuming that $\overline{CE}$ has been low and addresses have been stable for at least $t_{ACC}-t_{OE}$.

Standby Mode

The 2732A has a standby mode which reduces the maximum active current from 125 mA to 35 mA. The 2732A is placed in the standby mode by applying a TTL-high signal to the $\overline{CE}$ input. When in standby mode, the outputs are in a high impedance state, independent of the $\overline{OE}$ input.

Output OR-Tieing

Because EPROMs are usually used in larger memory arrays, Intel has provided a 2 line control function that accommodates this use of multiple memory connection. The two line control function allows for:

a) the lowest possible memory power dissipation, and
b) complete assurance that output bus contention will not occur.

To use these two control lines most efficiently, $\overline{CE}$ (pin 18) should be decoded and used as the primary device selecting function, while $\overline{OE}$ (pin 20) should be made a common connection to all devices in the array and connected to the $\overline{READ}$ line from the system control bus. This assures that all deselected memory devices are in their low power standby mode and that the output pins are active only when data is desired from a particular memory device.

PROGRAMMING

CAUTION: Exceeding 22V on Pin 20 ($\overline{OE}/V_{PP}$) will permanently damage the 2732A.

Initially, and after each erasure, all bits of the 2732A are in the "1" state. Data is introduced by selectively programming "0's" into the desired bit locations. Although only "0's" will be programmed, both "1's" and "0's" can be present in the data word. The only way to change a "0" to a "1" is by ultraviolet light erasure.

The 2732A is in the programming mode when the $\overline{OE}/V_{PP}$ input is at 21V. It is required that a 0.1 μF capacitor be placed across $\overline{OE}/V_{PP}$ and ground to suppress spurious voltage transients which may damage the device. The data to be programmed is applied 8 bits in parallel to the data output pins. The levels required for the address and data inputs are TTL.

When the address and data are stable, a 50 msec. active low, TTL program pulse is applied to the $\overline{CE}$ input. A program pulse must be applied at each address location to be programmed. You can program any location at any time —either individually, sequentially, or at random. The program pulse has a maximum width of 55 msec. The 2732A must not be programmed with a DC signal applied to the $\overline{CE}$ input.

Programming of multiple 2732As in parallel with the same data can be easily accomplished due to the simplicity of the programming requirements. Like inputs of the paralleled 2732As may be connected together when they are programmed with the same data. A low level TTL pulse applied to the $\overline{CE}$ input programs the paralleled 2732As

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

intel

2764A
ADVANCED 64K (8Kx8) UV ERASABLE PROM

- Fast 180 nsec Access Time —HMOS II*-E Technology
- Low Power
  - —60 mA Maximum Active
  - —20 mA Maximum Standby
- Two Line Control
- int$_e$ligent Programming™ Algorithm —Fastest EPROM Programming
- int$_e$ligent Identifier™ Mode —Automated Programming Operations
- Compatible with 2764, 27128, 27256
- ±10% V_{CC} Tolerance Available

The Intel 2764A is a 5V only, 65,536-bit ultraviolet erasable and electrically programmable read-only memory (EPROM). The 2764A is an advanced version of the 2764 and is fabricated with Intel's HMOSII-E technology which significantly reduces die size and greatly improves the device's performance, power consumption, reliability and producibility.

The 2764A provides access times to 180 ns(2764A-1). This is an improvement over the fastest 2764 access time of 200 ns. This is compatible with high-performance microprocessors, such as Intel's 8 MHz iAPX 186 allowing full speed operation without the addition of WAIT states. The 2764A is also directly compatible with the 12 MHz 8051 family.

Several advanced features have been designed into the 2764A that allow fast and reliable programming—the int$_e$ligent Programming Algorithm and the int$_e$ligent Identifier Mode. Programming equipment that takes advantage of these innovations will electronically identify the 2764A and then rapidly program it using an efficient programming method.

The 2764A also offers reduced power consumption compared to the 2764. The maximum active current on faster speed parts is 60 mA while the maximum standby current is only 20 mA. The standby mode lowers power consumption without increasing access time.

Two-line control and JEDEC-approved, 28 pin packaging are standard features of all Intel higher density EPROMs. This ensures easy microprocessor interfacing and minimum design efforts when upgrading, adding or choosing between non-volatile memory alternatives.

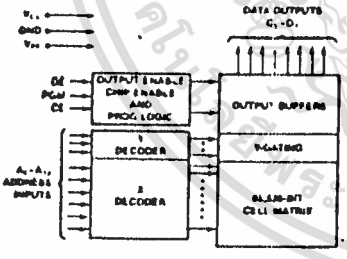
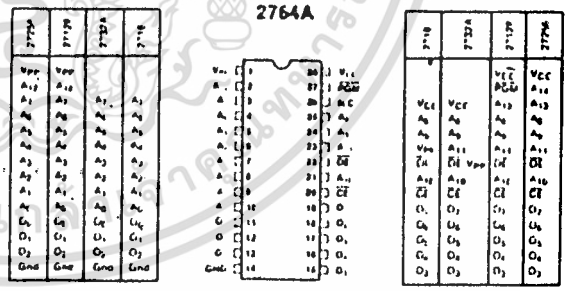


Figure 1. Block Diagram



NOTE: INTEL "UNIVERSAL SITE"-COMPATIBLE EPROM PIN CONFIGURATIONS ARE SHOWN IN THE BLOCKS ADJACENT TO THE 2764A PINS.

Figure 2. Pin Configurations

MODE SELECTION

Mode \ Pins	CE (20)	OE (22)	A9 (24)	A0 (10)	VPP (1)	VCC (28)	Outputs (11-13, 15-19)
Read	V_{IL}	V_{IL}	V_{IH}	X	V_{CC}	V_{CC}	D_{OUT}
Output Disable	V_{IL}	V_{IH}	V_{IH}	X	V_{CC}	V_{CC}	High Z
Standby	V_{IH}	X	X	X	V_{CC}	V_{CC}	High Z
Two Line Output Control	V_{IL}	V_{IL}	V_{IH}	X	V_{PP}	V_{CC}	D_{OUT}
Program Inhibit	V_{IH}	X	X	X	V_{PP}	V_{CC}	High Z
Intelligent Identifier	V_{IL}	V_{IL}	V_{IH}	V_{IL}	V_{CC}	V_{CC}	Codes
Intelligent Programming	V_{IL}	V_{IH}	V_H	X	V_{PP}	V_{CC}	D_{IN}

1. X can be V_{IH} or V_{IL}
2. V_H = 12.0V ± 0.5V

*HMOS is a patented process of Intel Corporation

PIN NAMES

A_0-A_{12}	ADDRESSES
$\overline{CE}$	CHIP ENABLE
$\overline{OE}$	OUTPUT ENABLE
O_0-O_7	OUTPUTS
PGM	PROGRAM
N.C.	NO CONNECT

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ABSOLUTE MAXIMUM RATINGS*

Temperature Under Bias . . . . . -10°C to +80°C
Storage Temperature . . . . . -65°C to +125°C
All Input or Output Voltages with Respect to Ground . . . . . +6.5V to -0.6V
Voltage on Pin 24 with Respect to Ground . . . . . +13.5V to -0.6V
V_{PP} Supply Voltage with Respect to Ground During Programming . . . . . +14V to -0.6V

*NOTICE: Stresses above those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. This is a stress rating only and functional operation of the device at these or any other conditions above those indicated in the operational sections of this specification is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

D.C. AND A.C. OPERATING CONDITIONS DURING READ

	2764A-1, 2764A-2, 2764A 2764A-3, 2764A-4	2764A-20, 2764A-25 2764A-30, 2764A-45
Operating Temperature Range	0°-70°C	0°-70°C
V_{CC} Power Supply[1,2]	5V ± 5%	5V ± 10%
V_{PP} Voltage[2]	$V_{PP} = V_{CC}$	$V_{PP} = V_{CC}$

READ OPERATION

D.C. CHARACTERISTICS

Symbol	Parameter	Limits			Unit	Conditions
		Min	Typ[3]	Max		
I_{LI}	Input Load Current			10	μA	$V_{IN} = 5.5V$
I_{LO}	Output Leakage Current			10	μA	$V_{OUT} = 5.5V$
I_{PP1}[2]	V_{PP} Current Read			5	mA	$V_{PP} = 5.5V$
I_{CC1}[2]	V_{CC} Current Standby			20/35[5]	mA	$\overline{CE} = V_{IH}$
I_{CC2}[2]	V_{CC} Current Active			60/75[5]	mA	$\overline{CE} = \overline{OE} = V_{IL}$
V_{IL}	Input Low Voltage	-.1		+.8	V	
V_{IH}	Input High Voltage	2.0		$V_{CC}+1$	V	
V_{OL}	Output Low Voltage			.45	V	$I_{OL} = 2.1$ mA
V_{OH}	Output High Voltage	2.4			V	$I_{OH} = -400$ μA
V_{PP}[2]	V_{PP} Read Voltage	3.6		V_{CC}	V	$V_{CC} = 5.0V \pm 0.25V$

A.C. CHARACTERISTICS

Symbol	Parameter	2764A-1 Limits		2764A-20 & 2764A-2 Limits		2764A-25 & 2764A Limits		2764A-30 & 2764A-3 Limits		2764A-45 & 2764A-4 Limits		Unit	Test Conditions
		Min	Max	Min	Max	Min	Max	Min	Max	Min	Max		
t_{ACC}	Address to Output Delay		180		200		250		300		450	ns	$\overline{CE} = \overline{OE} = V_{IL}$
t_{CE}	$\overline{CE}$ to Output Delay		180		200		250		300		450	ns	$\overline{OE} = V_{IL}$
t_{OE}	$\overline{OE}$ to Output Delay		65		75		100		120		150	ns	$\overline{CE} = V_{IL}$
t_{DF}[4]	$\overline{OE}$ or $\overline{CE}$ High to Output Data Float	0	55	0	55	0	60	0	105	0	130	ns	$\overline{CE} = V_{IL}$
t_{OH}	Output Hold from Addresses $\overline{CE}$ or $\overline{OE}$ Whichever Occurred First	0		0		0		0		0		ns	$\overline{CE} = \overline{OE} = V_{IL}$

NOTES: 1. V_{CC} must be applied simultaneously or before V_{PP} and removed simultaneously or after V_{PP}.
2. V_{PP} may be connected directly to V_{CC} except during programming. The supply current would then be the sum of I_{CC} and I_{PP1}.
3. Typical values are for $T_A = 25°C$ and nominal supply voltages.
4. This parameter is only sampled and is not 100% tested. Output Float is defined as the point where data is no longer driven — see timing diagram on the following page.
5. Max I_{CC} rating differs with access time. Rating of 60 mA active and 20 mA standby are for 2764As at 200 nsec and 180 nsec access time only.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

A.C. PROGRAMMING CHARACTERISTICS:
T_A = 25 ± 5°C, V_{CC} = 6.0V ± 0.25V, V_{PP} = 12.5V ± 0.5V

Symbol	Parameter	Limits				Test Conditions* (see Note 1)
		Min.	Typ.	Max.	Unit	
t_{AS}	Address Setup Time	2			µs	
t_{OES}	$\overline{OE}$ Setup Time	2			µs	
t_{DS}	Data Setup Time	2			µs	
t_{AH}	Address Hold Time	0			µs	
t_{DH}	Data Hold Time	2			µs	
t_{DFP}[4]	$\overline{OE}$ High to Output Float Delay	0		130	ns	
t_{VPS}	V_{PP} Setup Time	2			µs	
t_{VCS}	V_{CC} Setup Time	2			µs	
t_{PW}	$\overline{PGM}$ Initial Program Pulse Width	0.95	1.0	1.05	ms	(see Note 3)
t_{OPW}	$\overline{PGM}$ Overprogram Pulse Width	2.85		78.75	ms	(see Note 2)
t_{OE}	Data Valid from $\overline{OE}$			150	ns	

***A.C. CONDITIONS OF TEST**

Input Rise and Fall Times (10% to 90%) . . 20 ns
Input Pulse Levels . . . . . 0.45V to 2.4V
Input Timing Reference Level . . . 0.8V and 2.0V
Output Timing Reference Level . . . 0.8V and 2.0V

NOTES:
1. V_{CC} must be applied simultaneously or before V_{PP} and removed simultaneously or after V_{PP}.
2. The length of the overprogram pulse may vary from 2.85 msec to 78.75 msec as a function of the iteration counter value X.
3. Initial Program Pulse width tolerance is 1 msec ±5%.
4. This parameter is only sampled and is not 100% tested. Output Float is defined as the point where data is no longer driven—see timing diagram.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Inteligent Programming™ Algorithm

The 2764A inteligent Programming Algorithm rapidly programs Intel 2764A EPROMs using an efficient and reliable method particularly suited to the production programming environment. Typical programming time for individual devices is on the order of one and a half minutes. Programming reliability is also ensured as the incremental program margin of each byte is continually monitored to determine when it has been successfully programmed. A flowchart of the 2764A inteligent Programming Algorithm is shown in Figure 3.

The inteligent Programming Algorithm utilities two different pulse types, initial and overprogram. The duration of the initial $\overline{PGM}$ pulse(s) is one millisecond, which will then be followed by a longer overprogram pulse of length 3X msec. X is an iteration counter and is equal to the number of the initial one millisecond pulses applied to a particular 2764A location, before a correct verify occurs. Up to 25 one-millisecond pulses per byte are provided for before the overprogram pulse is applied.

The entire sequence of program pulses and byte verifications is performed at V_{CC} = 6.0V and V_{PP} = 12.5V. When the inteligent Programming cycle has been completed, all bytes should be compared to the original data with $V_{CC} = V_{PP} = 5.0V$.

Program Inhibit

Programming of multiple 2764As in parallel with different data is easily accomplished by using the Program Inhibit mode. A high-level $\overline{CE}$ or $\overline{PGM}$ input inhibits the other 2764As from being programmed.

Except for $\overline{CE}$, all like inputs (including $\overline{OE}$) of the parallel 2764As may be common. A TTL low-level pulse applied to the $\overline{CE}$ input with V_{PP} at 12.5V will program the selected 2764A.

Verify

A verify should be performed on the programmed bits to determine that they have been correctly programmed. The verify is performed with $\overline{OE}$ at V_{IL}, $\overline{CE}$ at V_{IL}, $\overline{PGM}$ at V_{IH} and V_{PP} at 12.5V.

Inteligent Identifier™ Mode

The inteligent Identifier Mode allows the reading out of a binary code from an EPROM that will identify its manufacturer and type. This mode is intended for use by programming equipment for the purpose of automatically matching the device to be programmed with its corresponding programming algorithm. This mode is functional in the 25°C ±5°C ambient temperature range that is required when programming the 2764A.

To activate this mode, the programming equipment must force 11.5V to 12.5V on address line A9 (pin 24) of the 2764A. Two identifier bytes may then be sequenced from the device outputs by toggling address line A0 (pin 10) from V_{IL} to V_{IH}. All other address lines must be held at V_{IL} during inteligent Identifier Mode.

Byte 0 (A0 = V_{IL}) represents the manufacturer code and byte 1 (A0 = V_{IH}) the device identifier code. For the Intel 2764A, these two identifier bytes are given in Table 2. All identifiers for manufacturer and device codes will possess odd parity, with the MSB (O_7) defined as the parity bit.

Table 2. 2764A inteligent Identifier™ Bytes

Identifier \ Pins	A_0 (10)	O_7 (19)	O_6 (18)	O_5 (17)	O_4 (16)	O_3 (15)	O_2 (13)	O_1 (12)	O_0 (11)	Hex Data
Manufacturer Code	V_{IL}	1	0	0	0	1	0	0	1	89
Device Code	V_{IH}	0	0	0	0	1	0	0	0	08

NOTES:
1. A_9 = 12.0V ± 0.5V
2. A_1–A_4, A_{10}–A_{13}, $\overline{CE}$, $\overline{OE}$ = V_{IL}
3. A_{14} = V_{IH} or V_{IL}

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

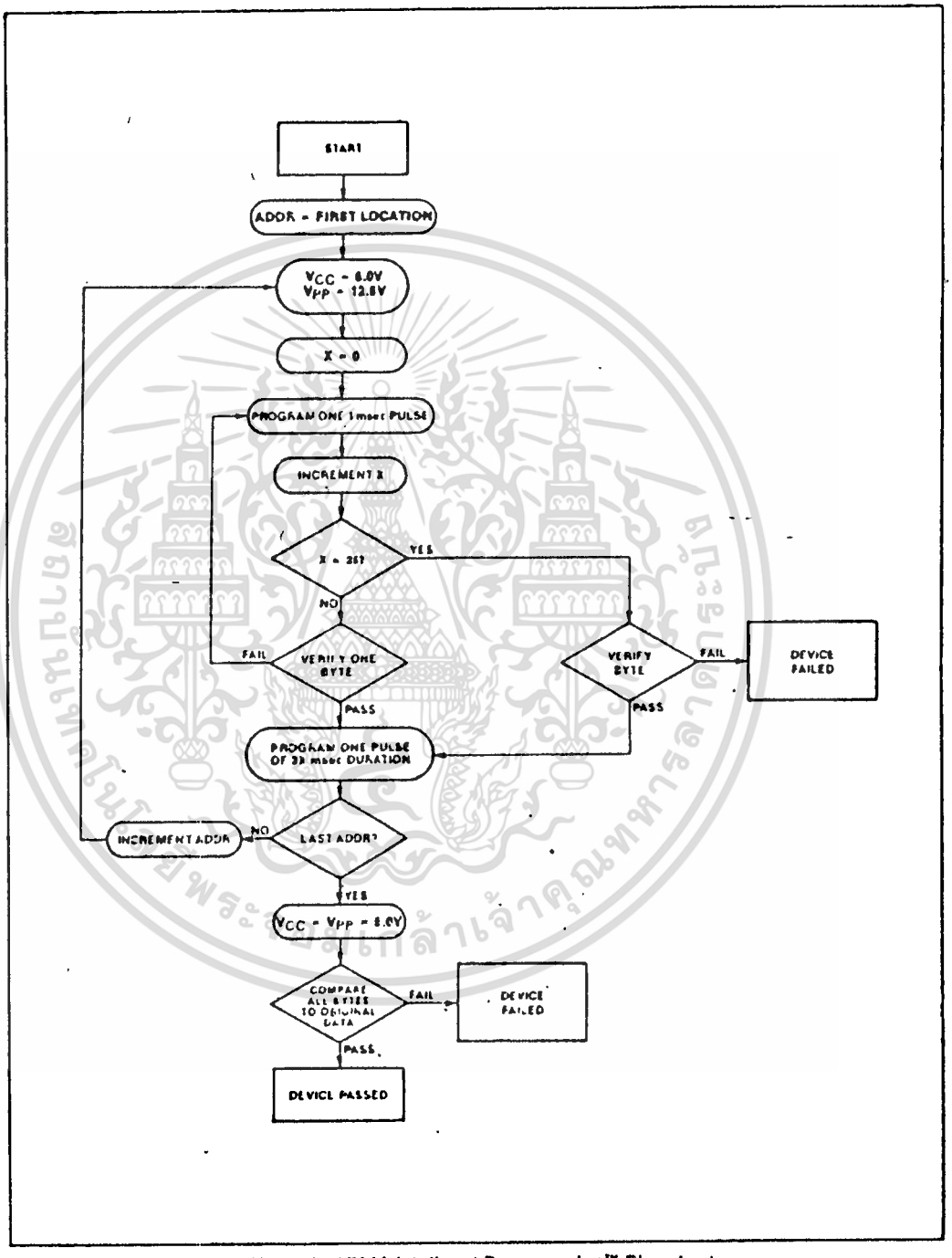
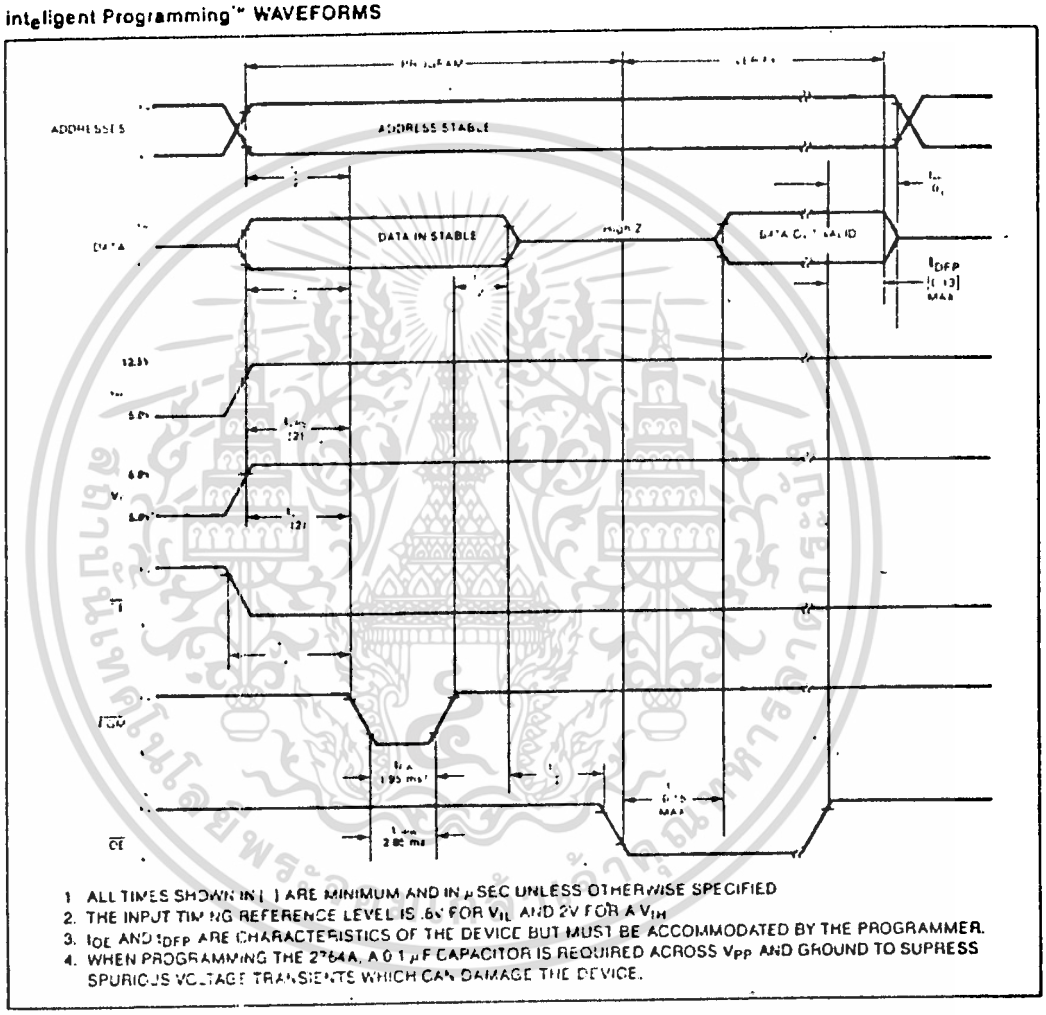


Figure 3. 2764A Intelligent Programming™ Flowchart

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

inteligent Programming™ WAVEFORMS



1. ALL TIMES SHOWN IN [ ] ARE MINIMUM AND IN μSEC UNLESS OTHERWISE SPECIFIED
2. THE INPUT TIMING REFERENCE LEVEL IS .8V FOR V_{IL} AND 2V FOR A V_{IH}
3. t_{OE} AND t_{DFP} ARE CHARACTERISTICS OF THE DEVICE BUT MUST BE ACCOMMODATED BY THE PROGRAMMER.
4. WHEN PROGRAMMING THE 2764A, A 0.1 μF CAPACITOR IS REQUIRED ACROSS V_{PP} AND GROUND TO SUPRESS SPURIOUS VOLTAGE TRANSIENTS WHICH CAN DAMAGE THE DEVICE.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ERASURE CHARACTERISTICS

The erasure characteristics of the 2764A are such that erasure begins to occur upon exposure to light with wavelengths shorter than approximately 4000 Angstroms (Å). It should be noted that sunlight and certain types of fluorescent lamps have wavelengths in the 3000–4000Å range. Data show that constant exposure to room level fluorescent lighting could erase that typical 2764A in approximately 3 years, while it would take approximately 1 week to cause erasure when exposed to direct sunlight. If the 2764A is to be exposed to these types of lighting conditions for extended periods of time, opaque labels should be placed over the 2764A window to prevent unintentional erasure.

The recommended erasure procedure for the 2764A is exposure to shortwave ultraviolet light which has a wavelength of 2537 Angstroms (Å). The integrated dose (i.e., UV intensity × exposure time) for erasure should be a minimum of 15 Wsec/cm^2. The erasure time with this dosage is approximately 15 to 20 minutes using an ultraviolet lamp with a 12000 μW/cm^2 power rating. The 2764A should be placed within 1 inch of the lamp tubes during erasure. The maximum integrated dose a 2764A can be exposed to without damage is 7258 Wsec/cm^2 (1 week @ 12000 μW/cm^2). Exposure of the 2764A to high intensity UV light for long periods may cause permanent damage.

RELEVANT INTEL LITERATURE

AR-265 Versatile Algorithm, Equipment Cut Programming Time
RR-35B EPROM Reliability Data Summary

Int$_e$ligent Programming™ Algorithm

D.C. PROGRAMMING CHARACTERISTICS:
T_A = 25 ± 5°C, V_{CC} = 6.0V ± 0.25V, V_{PP} = 12.5V ± 0.5V

Symbol	Parameter	Limits			Test Conditions (see Note 1)
		Min.	Max.	Unit	
I_{LI}	Input Current (All Inputs)		10	μA	$V_{IN} = V_{IL}$ or V_{IH}
V_{IL}	Input Low Level (All Inputs)	-0.1	0.8	V	
V_{IH}	Input High Level	2.0	V_{CC}	V	
V_{OL}	Output Low Voltage During Verify		0.45	V	I_{OL} = 2.1 mA
V_{OH}	Output High Voltage During Verify	2.4		V	I_{OH} = -400 μA
I_{CC2}	V_{CC} Supply Current (Program & Verify)		75	mA	
I_{PP2}	V_{PP} Supply Current (Program)		50	mA	$\overline{CE} = V_{IL}$
V_{ID}	A$_9$ int$_e$ligent Identifier Voltage	11.5	12.5	V	

NOTES:
1. V_{CC} must be applied simultaneously or before V_{PP} and removed simultaneously or after V_{PP}.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

DEVICE OPERATION

The seven modes of operation of the 2764A are listed in Table 1. A single 5V power supply is required in the read mode. All inputs are TTL levels except for V_{PP} and 12V on A9 for intelligent identifier mode.

Table 1. MODE SELECTION

MODE \ PINS	$\overline{CE}$ (20)	$\overline{OE}$ (22)	$\overline{PGM}$ (27)	A_9 (24)	V_{PP} (1)	V_{CC} (28)	Outputs (11-13, 15-19)
Read	V_{IL}	V_{IL}	V_{IH}	X	V_{CC}	V_{CC}	D_{OUT}
Output Disable	V_{IL}	V_{IH}	V_{IH}	X	V_{CC}	V_{CC}	High Z
Standby	V_{IH}	X	X	X	V_{CC}	V_{CC}	High Z
Verify	V_{IL}	V_{IL}	V_{IH}	X	V_{PP}	V_{CC}	D_{OUT}
Program Inhibit	V_{IH}	X	X	X	V_{PP}	V_{CC}	High Z
Intelligent Identifier	V_{IL}	V_{IL}	V_{IH}	V_H	V_{CC}	V_{CC}	Code
Intelligent Programming	V_{IL}	V_{IH}	V_{IL}	X	V_{PP}	V_{CC}	D_{IN}

NOTES
1. X can be V_{IH} or V_{IL}
2. $V_H = 12.0V \pm 0.5V$

READ MODE

The 2764A has two control functions, both of which must be logically active in order to obtain data at the outputs. Chip Enable ($\overline{CE}$) is the power control and should be used for device selection. Output Enable ($\overline{OE}$) is the output control and should be used to gate data from the output pins, independent of device selection. Assuming that addresses are stable, the address access time (t_{ACC}) is equal to the delay from $\overline{CE}$ to output (t_{CE}). Data is available at the outputs after a delay of t_{OE} from the falling edge of $\overline{OE}$, assuming that $\overline{CE}$ has been low and addresses have been stable for at least $t_{ACC} - t_{OE}$.

STANDBY MODE

The 2764A has standby mode which reduces the maximum current from 75 mA to 35 mA. The 2764A is placed in the standby mode by applying a TTL-high signal to the $\overline{CE}$ input. When in standby mode, the outputs are in a high impedance state, independent of the $\overline{OE}$ input.

Output OR-Tieing

Because EPROMs are usually used in larger memory arrays, Intel has provided 2 control lines which accommodate this multiple memory connection. The two control lines allow for:

a) the lowest possible memory power dissipation, and
b) complete assurance that output bus contention will not occur.

To use these two control lines most efficiently, $\overline{CE}$ (pin 20) should be decoded and used as the primary device selecting function, while $\overline{OE}$ (pin 22) should be made a common connection to all devices in the array and connected to the $\overline{READ}$ line from the system control bus. This assures that all deselected memory devices are in their low power standby mode and that the output pins are active only when data is desired from a particular memory device.

System Considerations

The power switching characteristics of HMOSII-E EPROMs require careful decoupling of the devices. The supply current, I_{CC}, has three segments that are of interest to the system designer—the standby current level, the active current level, and the transient current peaks that are produced by the falling and rising edges of Chip Enable. The magnitude of these transient current peaks is dependent on the output capacitive loading of the device. The associated transient voltage peaks can be suppressed by complying with Intel's Two-Line Control, as detailed in Intel's Application Note AP-72, Order Number 8566, and by properly selected decoupling capacitors. It is recommended that a 0.1 μF ceramic capacitor be used on every device between V_{CC} and GND. This should be a high frequency capacitor of low inherent inductance and should be placed as close to the device as possible. In addition, a 4.7 μF bulk electrolytic capacitor should be used between V_{CC} and GND for every eight devices. The bulk capacitor should be located near where the power supply is connected to the array. The purpose of the bulk capacitor is to overcome the voltage droop caused by the inductive effect of PC board-traces.

PROGRAMMING MODES

Caution: Exceeding 14V on pin 1 (V_{PP}) will permanently damage the 2764A.

Initially, and after each erasure, all bits of the 2764A are in the "1" state. Data is introduced by selectively programming "0s" into the desired bit locations. Although only "0s" will be programmed, both "1s" and "0s" can be present in the data word. The only way to change a "0" to a "1" is by ultraviolet light erasure.

The 2764A is in the programming mode when V_{PP} input is at 12.5V and $\overline{CE}$ and $\overline{PGM}$ are both at TTL low. The data to be programmed is applied 8 bits in parallel to the data output pins. The levels required for the address and data inputs are TTL.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

PRELIMINARY

27128A
Advanced 128K (16 x 8) UV Erasable PROM

- Fast 150 nsec Access Time — HMOS* II-E Technology
- Low Power — 100 mA Maximum Active — 40 mA Maximum Standby
- Two Line Control
- Int$_e$ligent Programming™ Algorithm — Fastest EPROM Programming
- Int$_e$ligent Identifier™ Mode — Automated Programming Operations
- Compatible with 2764A, 27128, 27256
- ± 10% V_{CC} Tolerance Available

The Intel 27128A is a 5V only, 131,072-bit ultraviolet erasable and electrically programmable read-only memory (EPROM). The 27128A is an advanced version of the 27128 and is fabricated with Intel's HMOSII-E technology which significantly reduces die size and greatly improves the device's performance, reliability and manufacturability.

The 27128A is available in fast access times including 200 ns (27128A-2) and 150 ns (27128A-1). This ensures compatibility with high-performance microprocessors, such as Intel's 8 MHz iAPX 186 allowing full speed operation without the addition of WAIT states. The 27128A is also directly compatible with the 12 MHz 8051 family.

Several advanced features have been designed into the 27128A that allow fast and reliable programming—the int$_e$ligent Programming Algorithm and the int$_e$ligent Identifier Mode. Programming equipment that takes advantage of these innovations will electronically identify the 27128A and then rapidly program it using an efficient programming method.

Two-line control and JEDEC-approved, 28 pin packaging are standard features of all Intel higher density EPROMs. This ensures easy microprocessor interfacing and minimum design efforts when upgrading, adding or choosing between non-volatile memory alternatives.

*HMOS is a patented process of Intel Corporation

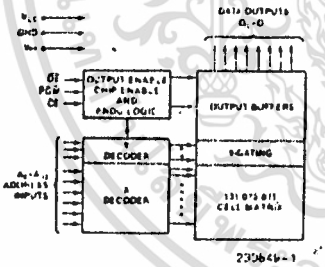
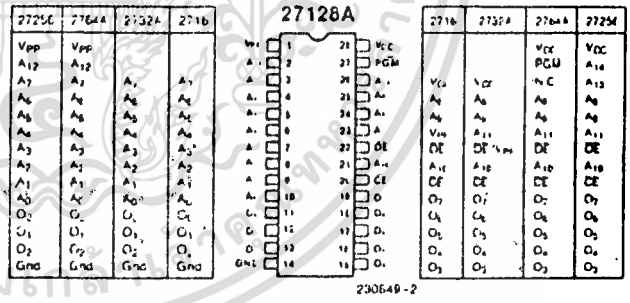


Figure 1. Block Diagram



NOTE: Intel "Universal Site"-Compatible EPROM Pin Configurations are Shown in the Blocks Adjacent to the 27128A Pins

Figure 2. Pin Configurations

Mode Selection

Mode \ Pins	$\overline{CE}$ (20)	$\overline{OE}$ (22)	$\overline{PGM}$ (27)	A_9 (24)	V_{PP} (1)	V_{CC} (28)	Outputs (11-13, 15-19)
Read	V_{IL}	V_{IL}	V_{IH}	X	V_{CC}	V_{CC}	D_{OUT}
Output Disable	V_{IL}	V_{IH}	V_{IH}	X	V_{CC}	V_{CC}	High-Z
Standby	V_{IH}	X	X	X	V_{CC}	V_{CC}	High-Z
Verify	V_{IL}	V_{IL}	V_{IH}	X	V_{PP}	V_{CC}	D_{OUT}
Program Inhibit	V_{IH}	X	X	X	V_{PP}	V_{CC}	High-Z
Int$_e$ligent Identifier	V_{IL}	V_{IL}	V_{IH}	V_H	V_{CC}	V_{CC}	Codes
Int$_e$ligent Programming	V_{IL}	V_{IH}	V_{IL}	X	V_{PP}	V_{CC}	D_{IN}

1. X can be V_{IH} or V_{IL}
2. V_H = 12.0V ± 0.5V

Pin Names

A_0-A_{13}	ADDRESSES
$\overline{CE}$	CHIP ENABLE
$\overline{OE}$	OUTPUT ENABLE
O_0-O_7	OUTPUTS
$\overline{PGM}$	PROGRAM

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ABSOLUTE MAXIMUM RATINGS*

Temperature Under Bias ..... −10°C to +80°C
Storage Temperature ..... −65°C to +125°C
All Input or Output Voltages with Respect to Ground ..... +6.25V to −0.6V
Voltage on Pin 24 with Respect to Ground ..... +13.5V to −0.6V
V_{PP} Supply Voltage with Respect to Ground During Programming .... +14V to −0.6V

"NOTICE: Stresses above those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. This is a stress rating only and functional operation of the device at these or any other conditions above those indicated in the operational sections of this specification is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

D.C. AND A.C. OPERATING CONDITIONS DURING READ

	27128A-1, 27128A-2, 27128A-3	27128A-20, 27128A-30
Operating Temperature Range	0° − 70°C	0° − 70°C
V_{CC} Power Supply[1, 2]	5V ± 5%	5V ± 10%
V_{PP} Voltage[2]	$V_{PP} = V_{CC}$	$V_{PP} = V_{CC}$

READ OPERATION

D. C. CHARACTERISTICS

Symbol	Parameter	Limits				Conditions
		Min	Typ[3]	Max	Unit	
I_{LI}	Input Load Current			10	μA	$V_{IN} = 5.5V$
I_{LO}	Output Leakage Current			10	μA	$V_{OUT} = 5.5V$
I_{PP1}[2]	V_{PP} Current Read			5	mA	$V_{PP} = 5.5V$
I_{CC1}[2]	V_{CC} Current Standby			40	mA	$\overline{CE} = V_{IH}$
I_{CC2}[2]	V_{CC} Current Active			100	mA	$\overline{CE} = OE = V_{IL}$
V_{IL}	Input Low Voltage	−.1		+.8	V	
V_{IH}	Input High Voltage	2.0		$V_{CC}+1$	V	
V_{OL}	Output Low Voltage			0.45	V	$I_{OL} = 2.1$ mA
V_{OH}	Output High Voltage	2.4			V	$I_{OH} = 400$ μA
V_{PP}[2]	V_{PP} Read Voltage	3.8		V_{CC}	V	$V_{CC} = 5.0V \pm .25$

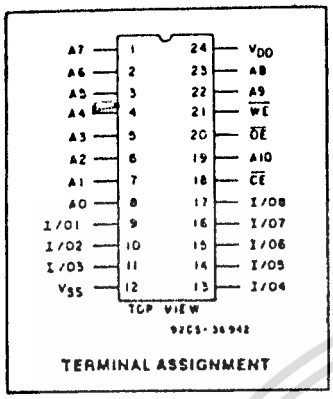
A.C. CHARACTERISTICS

Symbol	Parameter	27128A-1 Limits		27128A-20 & 27128A-2 Limits		27128A-30 & 27128A-3 Limits		Unit	Test Conditions
		Min	Max	Min	Max	Min	Max		
t_{ACC}	Address to Output Delay		150		200		300	ns	$\overline{CE} = \overline{OE} = V_{IL}$
t_{CE}	$\overline{CE}$ to Output Delay		150		200		300	ns	$\overline{OE} = V_{IL}$
t_{OE}	$\overline{OE}$ to Output Delay		65		75		100	ns	$\overline{CE} = V_{IL}$
t_{DF}[4]	$\overline{OE}$ High to Output Float	0	55	0	55	0	60	ns	$\overline{CE} = V_{IL}$
t_{OH}	Output Hold from Addresses, $\overline{CE}$ or $\overline{OE}$ Whichever Occurred First	0		0		0		ns	$\overline{CE} = \overline{OE} = V_{IL}$

NOTES:
1. V_{CC} must be applied simultaneously or before V_{PP} and removed simultaneously or after V_{PP}.
2. V_{PP} may be connected directly to V_{CC} except during programming. The supply current would then be the sum of I_{CC} and I_{PP1}.
3. Typical values are for $t_A = 25°C$ and nominal supply voltages.
4. This parameter is only sampled and is not 100% tested. Output Float is defined as the point where data is no longer driven—see timing diagram.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

CDM6116A



TERMINAL ASSIGNMENT

CMOS 2048-Word by 8-Bit Static RAM

Features:

- *Fully static operation*
- *Single power supply: 4.5 V to 5.5 V*
- *All inputs and outputs directly TTL compatible*
- *3-state outputs*
- *Industry standard 24-pin configuration*
- *Chip-enable gates address buffers for minimum standby current*
- *Data retention voltage: 2 V min*

	CDM6116A-2	CDM6116A-3	CDM6116A-9
Access Time (max.)	200 ns	150 ns	250 ns
Output Enable Time (max.)	120 ns	60 ns	150 ns
Operating Temperature	0° to +70° C		-40° to +85° C
Operating Current (max.)	35 mA	35 mA	40 mA
Standby Current $I_{DD(S)}$ (max.)	30 μA	50 μA	100 μA

The RCA-CDM6116A is a CMOS 2048-word by 8-bit static random-access memory. It is designed for use in memory systems where high-speed, low power and simplicity in use are desirable. This device has common data inputs and data outputs and utilizes a single power supply of 4.5 V to 5.5 V. A chip-enable input and an output-enable input are provided for memory expansion and output buffer control.

The chip enable ($\overline{CE}$) gates the address and output buffers and powers down the chip to the low power standby mode.

The output enable ($\overline{OE}$) controls the output buffers to eliminate bus contention.

The CDM6116A-2 and CDM6116A-3 have an operating temperature range of 0° to +70° C. The CDM6116A-9 has an operating temperature range of -40° to +85° C.

The CDM6116A-2 and CDM6116A-3 are supplied in a 24-lead dual-in-line plastic package (E suffix). The CDM-6116A-9 is supplied in a 24-lead dual-in-line plastic package (E suffix) and a 24-lead dual-in-line side-brazed ceramic package (D suffix).

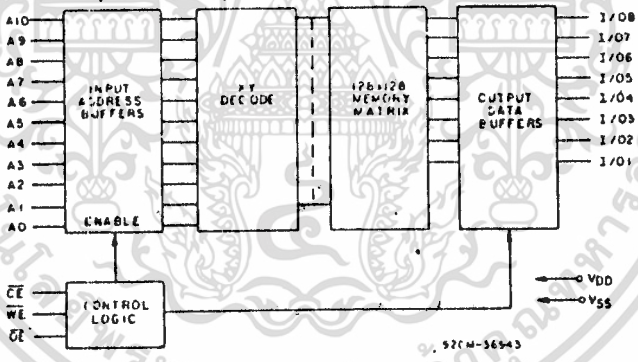


Fig. 1 - Functional block diagram.

TRUTH TABLE

$\overline{CE}$	$\overline{OE}$	$\overline{WE}$	A0 TO A10	MODE	I/01 TO I/08	DEVICE CURRENT
H	X	X	X	NOT SELECTED	HIGH Z	STANDBY
L	L	H	STABLE	READ	DATA OUT	ACTIVE
L	H	L	STABLE	WRITE	DATA IN	ACTIVE
L	L	L	STABLE	WRITE	DATA IN	ACTIVE

L = LOW H = HIGH X = H or L

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

CDM6116A

MAXIMUM RATINGS, *Absolute-Maximum Ratings*

DC SUPPLY-VOLTAGE RANGE (V_{DD})
(Voltage referenced to V_{SS} terminal) ..... -0.3 to +7 V
INPUT VOLTAGE RANGE, ALL INPUTS ..... -0.3 to +7 V
DC INPUT CURRENT, ANY ONE INPUT ..... ±10 mA
POWER DISSIPATION PER PACKAGE (P_D)
For T_A = -40° to +60°C (PACKAGE TYPE E) ..... 500 mW
For T_A = +60° to +85°C (PACKAGE TYPE E) ..... Derate Linearly at 8 mW/°C to 300 mW
For T_A = -40° to +85°C (PACKAGE TYPE D) ..... 500 mW
DEVICE DISSIPATION PER OUTPUT TRANSISTOR
For T_A = FULL PACKAGE-TEMPERATURE RANGE (All Package Types) ..... 100 mW
OPERATING-TEMPERATURE RANGE (T_A)
CDM6116A-2, CDM6116A-3 (PACKAGE TYPE E) ..... 0 to +70°C
CDM6116A-9 (PACKAGE TYPES D, E) ..... -40 to +85°C
STORAGE TEMPERATURE RANGE (T_{stg}) ..... -55 to +125°C
LEAD TEMPERATURE (DURING SOLDERING)
At distance 1/16 ± 1/32 in. (1.59 ± 0.79 mm) from case for 10 s max. ..... +265°C

OPERATING CONDITIONS at T_A = 0 to +70°C, (CDM6116A-2, CDM6116A-3); T_A = -40° to +85°C (CDM6116A-9)
For maximum reliability, operating conditions should be selected so that operation is always within the following ranges:

CHARACTERISTIC		LIMITS ALL TYPES		UNITS
		MIN.	MAX.	
DC Operating Voltage Range		4.5	5.5	V
Input Voltage Range	V_{IH}	2.2	V_{DD} + 0.3	V
	V_{IL}	-0.3	0.8	V
Input Signal Rise or Fall Time Δ	t_r, t_f	—	5	μs

Δ Input signal rise and fall times longer than the maximum value can cause loss of stored data in the selected mode

STATIC ELECTRICAL CHARACTERISTICS at T_A = 0 to +70°C (CDM6116A-2, CDM6116A-3); T_A = -40° to +85°C (CDM6116A-9), V_{DD} = 5 V ± 10%, Except as noted

CHARACTERISTIC		CONDITIONS	LIMITS									UNITS
			CDM6116A-2			CDM6116A-3			CDM6116A-9			
			MIN.	TYP.*	MAX.	MIN.	TYP.*	MAX.	MIN.	TYP.*	MAX.	
Standby Device Current	I_{DDS}	$\overline{CE}$ = V_{IH}	—	0.6	2	—	0.6	2	—	0.3	2	mA
	I_{DDS1}	$\overline{CE}$ = V_{DD}-0.2 V	—	1	30	—	1	50	—	1	100	μA
Output Voltage Low Level	V_{OL} Max	I_{OL} = 2.1 mA	—	—	0.4	—	—	0.4	—	—	0.4	V
		I_{OL} = 1 μA	—	0.1	—	—	0.1	—	—	0.1	—	
Output Voltage High Level	V_{OH} Min.	I_{OH} = -1 mA	2.4	—	—	2.4	—	—	2.4	—	—	V
		I_{OH} = -1 μA	—	V_{DD}-0.1	—	—	V_{DD}-0.1	—	—	V_{DD}-0.1	—	
Input Leakage Current	I_{IL} Max	V_{DD} = 5.5 V, V_{IN} = 0 V to V_{DD}	—	±0.1	±2	—	±0.1	±2	—	±0.1	±2	μA
3-State Output Leakage Current	I_{OUT}	$\overline{CE}$ or $\overline{OE}$ = V_{IH}, $V_{I/O}$ = 0 V to V_{DD}	—	±0.5	±2	—	±0.5	±2	—	±0.5	±2	μA
Operating Device Current	I_{OPR}*	V_{IN} = V_{IL}, V_{IH}	—	20	35	—	20	35	—	28	40	mA
Input Capacitance	C_{IN}	V_{IN} = 0 V, f = 1 MHz, T_A = 25°C	—	4	6	—	4	6	—	4	6	pF
Output Capacitance	$C_{I/O}$	$V_{I/O}$ = 0 V, f = 1 MHz, T_A = 25°C	—	6	8	—	6	8	—	6	8	pF

*Typical values are for T_A = 25°C and nominal V_{DD}

*Outputs open circuited, cycle time = Min. t_{cycle}, duty = 100%.

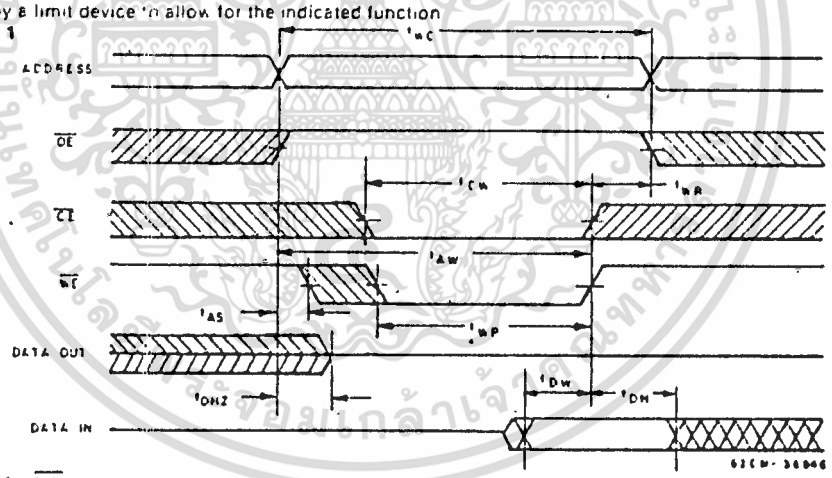
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

DYNAMIC ELECTRICAL CHARACTERISTICS at T_A = 0 to +70°C (CDM6116A-2, CDM6116A-3); T_A = −40° to +85°C (CDM6116A-9), V_{DD} = 5 V ± 10%, Input t_r, t_f = 10 ns; C_L = 100 pF and 1 TTL Load, Input Pulse Levels: 0.8 V to 2.4 V

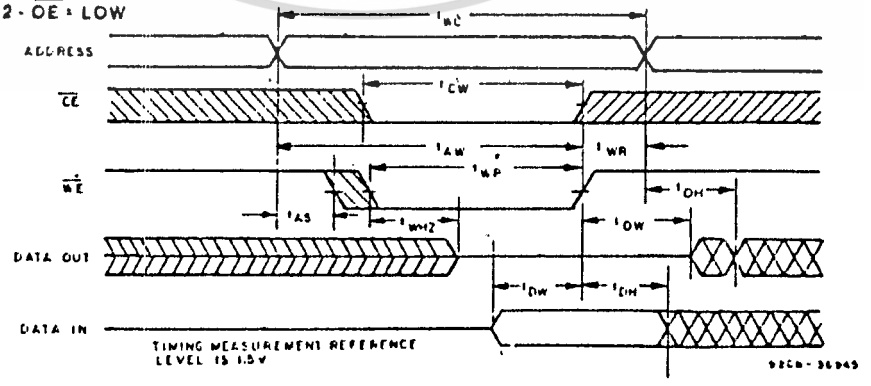
CHARACTERISTIC Write Cycle Times See Fig. 3		LIMITS						UNITS
		CDM6116A-2		CDM6116A-3		CDM6116A-9		
		MIN.[1]	MAX.	MIN.[1]	MAX.	MIN.[1]	MAX.	
Write Cycle Time	t_{WC}	200	—	150	—	250	—	ns
Chip Enable to End of WRITE	t_{CW}	160	—	90	—	200	—	
Address Valid to End of WRITE	t_{AW}	160	—	80	—	200	—	
Address Setup Time	t_{AS}	0	—	0	—	0	—	
Write Pulse Width	t_{WP}	160	—	90	—	200	—	
Write Recovery Time	t_{WR}	10	—	0	—	10	—	
Output Disable to Output "High Z"	t_{OHZ}	0	60	0	50	0	80	
Write to Output "High Z"	t_{WHZ}	0	60	0	40	0	80	
Input Data Setup Time	t_{DW}	80	—	50	—	100	—	
Input Data Hold Time	t_{DH}	10	—	5	—	10	—	
Output Active from End of Write	t_{OW}	10	—	10	—	10	—	

[1] Time required by a limit device to allow for the indicated function

WRITE CYCLE 1



WRITE CYCLE 2 - $\overline{OE}$ = LOW



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

CDM6116A

DATA RETENTION CHARACTERISTICS at T_A = 0 to 70° C (CDM6116A-2, CDM6116A-3); T_A = -40 to +85° C (CDM6116A-9), Unless otherwise noted, See Fig. 4.

CHARACTERISTIC		TEST CONDITIONS	LIMITS		UNITS
			ALL TYPES		
			MIN.	MAX.	
Minimum Data Retention Voltage	V_{DR}				
CDM6116A-2, CDM6116A-3, CDM6116A-9		T_A = 0 to 70° C $\overline{CE} \geq V_{DD}$ - 0.2 V	2	—	V
	CDM6116A-9	T_A = -40 to 0° C $\overline{CE} \geq V_{DD}$ - 0.2 V	4.5	—	
Data Retention Quiescent Current	$I_{DD}DR$*				
	CDM6116A-2	V_{DD} = 3 V, $\overline{CE} \geq$ 2.8 V	—	15	µA
	CDM6116A-3	V_{DD} = 3 V, $\overline{CE} \geq$ 2.8 V	—	25	
	CDM6116A-9	V_{DD} = 3 V, $\overline{CE} \geq$ 2.8 V	—	50	
Chip Disable to Data Retention Time	t_{CDR}	See Fig. 4	0	—	ns
Recovery to Normal Operation Time	t_R	See Fig. 4	*t_{RC}	—	

*$I_{DD}DR$=7.5 µA max. at T_A=0° to +40° C for CDM6116A-2 and CDM6116A-3
*t_{RC} = Read Cycle Time.

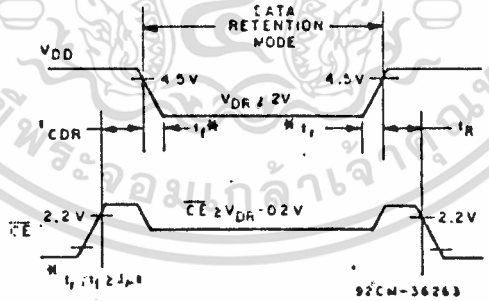


Fig. 4 – Low VDD data retention timing waveforms.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

CDM6116A

SIGNAL DESCRIPTIONS

A0-A10 (Address Inputs): These inputs must be stable prior to a write operation, but may change asynchronously during read operations.

I/01-I/08: 8-bit tristate data bus.

$\overline{CE}$ (Chip Enable): Powers down chip, disables Read and Write functions, and gates off address inputs.

$\overline{OE}$ (Output Enable): Enables tristate outputs if $\overline{CE}$ is low and $\overline{WE}$ is high.

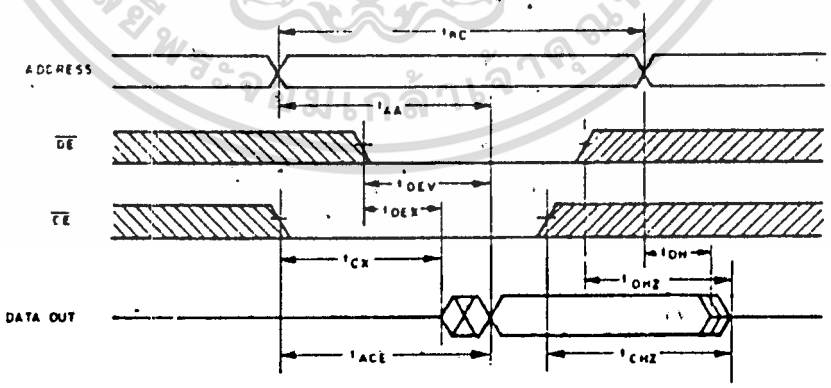
$\overline{WE}$ (Write Enable): Enables Write function. If $\overline{CE}$ is low, $\overline{WE}$ will dominate if both $\overline{WE}$ and $\overline{OE}$ are low (i.e., the bus will be tristated and a Write will occur).

V_{DD}, V_{SS}: Power supply connections.

DYNAMIC ELECTRICAL CHARACTERISTICS at T_A = 0 to +70° C (CDM6116A-2, CDM6116A-3); T_A = -40° to +85° C (CDM6116A-9), V_{DD} = 5 V ± 10%, Input t_r, t_f = 10 ns; C_L = 100 pF and 1 TTL Load, Input Pulse Levels: 0.8 V to 2.4 V

CHARACTERISTIC		LIMITS						UNITS
		CDM6116A-2		CDM6116A-3		CDM6116A-9		
Read Cycle Times See Fig. 2		MIN.†	MAX.	MIN.†	MAX.	MIN.†	MAX.	
Read Cycle Time	t_{RC}	200	—	150	—	250	—	ns
Address Access Time	t_{AA}	—	200	—	150	—	250	
Chip Enable Access Time	t_{ACE}	—	200	—	150	—	250	
Chip Enable to Output Active	t_{CX}	15	—	15	—	15	—	
Output Enable to Output Valid	t_{OEV}	—	120	—	60	—	150	
Output Enable to Output Active	t_{OEX}	15	—	15	—	15	—	
Chip Disable to Output "High Z"	t_{CHZ}	0	60	0	50	0	80	
Output Disable to Output "High Z"	t_{OHZ}	0	60	0	50	0	60	
Output Hold from Address Change	t_{OH}	15	—	15	—	15	—	

†Time required by a limit device to allow for the indicated function.



WE IS HIGH DURING READ CYCLE
TIMING MEASUREMENT REFERENCE LEVEL IS 1.5V

92CM-30944

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Absolute Maximum Ratings

If Military/Aerospace specified devices are required, contact the National Semiconductor Sales Office/ Distributors for availability and specifications.

Voltage on Any Pin Relative to V_{SS}	−0.6V to +7V
Storage Temperature, T_{STG}	−55°C to +125°C
Temperature Under Bias, T_{BIAS}	−10°C to +85°C
Power Dissipation, P_D	1.0W
Current Through Any Pin	100 mA

ESD rating to be determined.

Recommended DC Operating Conditions

	Min	Max	Units
V_{CC} Supply Voltage	4.5	5.5	V
V_{SS} Supply Voltage	0	0	V
V_{IH}, Input High Voltage (Logic 1)			
TTL	2.2	6.0	V
CMOS	V_{CC} − 0.2	V_{CC} + 0.2	V
V_{IL}, Input Low Voltage (Logic 0)			
TTL	−0.3	0.8	V
CMOS	−0.3	0.2	V
T_{OPR}, Operating Temp	0	70	°C

DC Electrical Characteristics at recommended operating conditions

Symbol		Parameter	Conditions	Min	Max	Units
I_{LI}		Input Leakage Current	V_{IN} = V_{SS} to V_{CC}	−2	2	μA
I_{LO}		Output Leakage Current	$\overline{CS}$ or $\overline{OE}$ = V_{IH} $V_{I/O}$ = V_{SS} to V_{CC}	−2	2	μA
I_{CC}		Active Quiescent Current, TTL	All Inputs at TTL Levels $\overline{CS}$ = V_{IL} TTL, $I_{I/O}$ = 0 mA		25	mA
I_{CC}	Std.	Active Quiescent Current, CMOS	All Inputs at CMOS Levels $\overline{CS}$ = V_{IL} CMOS, $I_{I/O}$ = 0 mA		2	mA
	L				500	μA
I_{CC1}		Average Operating Current, TTL	T_{RC} = T_{RC} Min $\overline{CS}$ = V_{IL} TTL, $I_{I/O}$ = 0 mA All Inputs at TTL Levels		50	mA
		Average Operating Current, CMOS	T_{RC} = T_{RC} Min $\overline{CS}$ = V_{IL} TTL, $I_{I/O}$ = 0 mA All Inputs at CMOS Levels		30	mA
I_{SB}	Std.	Standby Power Supply Current	$\overline{CS}$ = V_{IH} TTL $I_{I/O}$ = 0 mA		4	mA
	L				2	mA
I_{SB1}	Std.	Standby Power Supply Current	$\overline{CS}$ = V_{IH} CMOS		2	mA
	L				500	μA
V_{OL}		Output Low Voltage, TTL	I_{OL} = 8 mA		0.4	V
		Output Low Voltage, CMOS	I_{OL} = ±10 μA	−0.2	0.2	V
V_{OH}		Output High Voltage, TTL	I_{OH} = −4 mA	2.4		V
		Output High Voltage, CMOS	I_{OH} = ±10 μA	V_{CC} − 0.2	V_{CC} + 0.2	V

Capacitance

Symbol	Parameter	Conditions	Max	Units
C_{IN}	Input Capacitance	V_{IN} = 0V (Note 5)	8	pF
$C_{I/O}$	Input/Output Capacitance	$V_{I/O}$ = 0V (Note 5)	10	pF

Truth Table

Mode	$\overline{WE}$	$\overline{CS}$	$\overline{OE}$	I/O	Current
Not Selected (Power Down)	•	H	•	Hi-Z	I_{SB}, I_{SB1}
Output Disabled	H	L	H	Hi-Z	I_{CC}, I_{CC1}
Read	H	L	L	D_{OUT}	I_{CC}, I_{CC1}
Write	L	L	•	D_{IN}	I_{CC}, I_{CC1}

• = Don't care (H or L), H = Logic HIGH Level, L = Logic LOW Level

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

AC Electrical Characteristics* (Note 1)

Symbol	Parameter	NMC61256N/NMC61256N-L						Units
		-70		-100		-120		
		Min	Max	Min	Max	Min	Max	
READ CYCLE (Note 4)								
t_{RC}	Read Cycle Time	70		100		120		ns
t_{AA}	Address Access Time		70		100		120	ns
t_{CO}	Chip Selection ($\overline{CS}$) to Output Valid		70		100		120	ns
t_{OE}	Output Enable ($\overline{OE}$) to Output Valid		30		50		60	ns
t_{LZ}	Chip Selection ($\overline{CS}$) to Output Active (Note 11)	15		15		15		ns
t_{OLZ}	Output Enable ($\overline{OE}$) to Output Active (Note 11)	5		5		5		ns
t_{HZ}	Chip Deselection (CS) to Output in Hi-Z (Notes 2 and 3)	0	30	0	35	0	40	ns
t_{OHZ}	Output Disable ($\overline{OE}$) to Output in Hi-Z (Notes 2 and 3)	0	25	0	35	0	40	ns
t_{OHA}	Output Hold from Address Change	5		10		10		ns
WRITE CYCLE								
t_{WC}	Write Cycle Time	70		100		120		ns
t_{CW}	Chip Selection ($\overline{CS}$) to End of Write (Note 10)	60		80		85		ns
t_{AS}	Address Setup Time (Note 7)	0		0		0		ns
t_{AW}	Address Valid to End of Write	60		80		85		ns
t_{WP}	Write Pulse Width (Note 6)	40		60		70		ns
t_{WR}	Write Recovery Time from $\overline{CS}$ (Note 8)	0		0		0		ns
t_{WHZ}	Beginning of Write to Output in Hi-Z (Note 9)	0	25	0	35	0	40	ns
t_{DW}	Data Valid to Write Time Overlap	30		35		40		ns
t_{DH}	Data Hold from End of Write	0		0		0		ns
t_{OHZ}	Output Disable ($\overline{OE}$) to Output in Hi-Z	0	25	0	35	0	40	ns
t_{OW}	Output Active from End of Write	0		0		0		ns

*Applies to Standard and L Versions.

Note 1: AC test conditions T_A = 0°C to +70°C, V_{CC} = 5V ±10%.

Note 2: t_{HZ} and t_{OHZ} are defined as the time at which the outputs achieve the open circuit condition and are determined as:
High to TRI-STATE, measured V_{OH} (DC) − 0.10V
Low to TRI-STATE, measured V_{OL} (DC) + 0.10V

Note 3: At any given temperature and voltage condition, $t_{HZ\ MAX}$ is less than $t_{LZ\ MIN}$ both for a given device and from device to device (guaranteed not tested).

Note 4: $\overline{WE}$ is high for read cycle.

Note 5: T_A = 25°C, f = 1.0 MHz. This parameter is sampled and not 100% tested.

Note 6: A write occurs during the overlap (t_{WP}) of a low $\overline{CS}$ and a low $\overline{WE}$.

Note 7: t_{AS} is measured from the address changes to the beginning of the write.

Note 8: t_{WR} is measured from the earliest of $\overline{CS}$ or $\overline{WE}$ going high to the end of the write cycle.

Note 9: If $\overline{CS}$ is low during this period, I/O pins are in the output state. At this time, the data input signals of opposite phase to the outputs must not be applied.

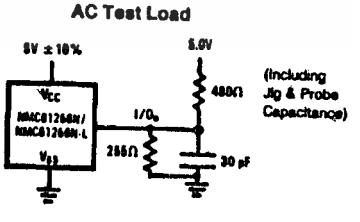
Note 10: If the $\overline{CS}$ low transition occurs simultaneously with the $\overline{WE}$ low transition or after the $\overline{WE}$ transition, the outputs will remain in a Hi-Z state.

Note 11: Output active level is defined as steady state TRI-STATE level ±0.1V.

AC Test Conditions

Input pulse levels:	V_{IH} = 3.0V, V_{IL} = 0.0V
Input rise and fall times:	5 ns
All input timing reference levels:	1.5V
Output timing reference levels:	V_{OH} = 2.0V, V_{OL} = 0.8V

AC Test Load

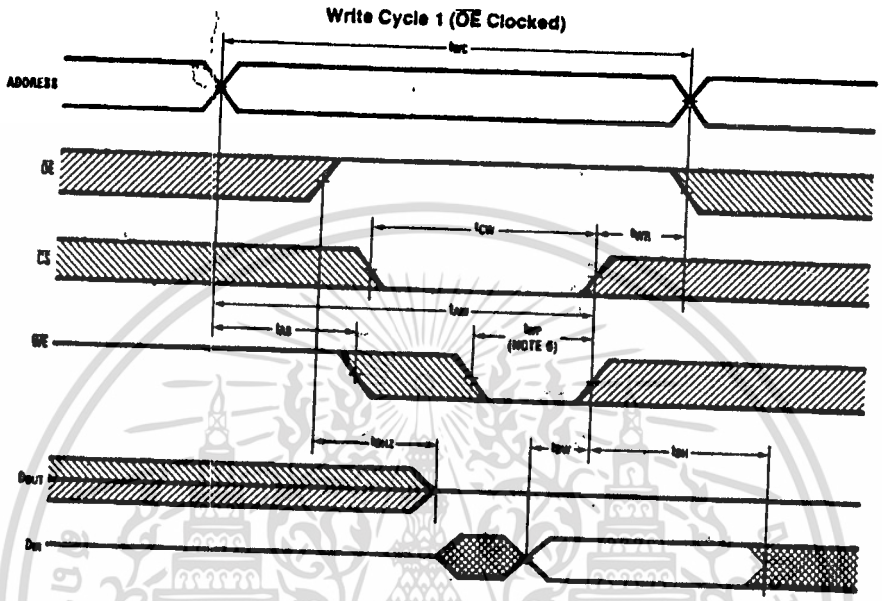


TL/D/9807–3

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

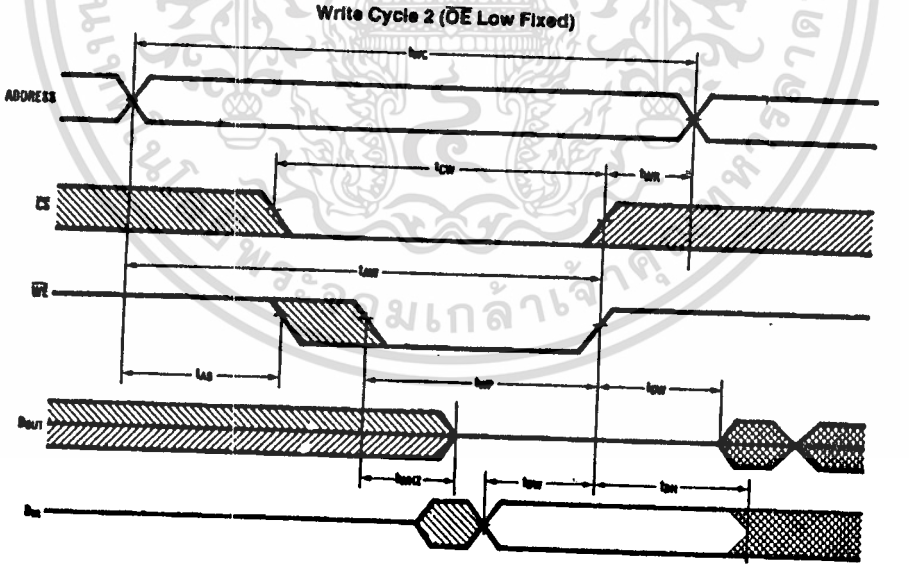
Timing Waveforms

Write Cycle 1 ($\overline{OE}$ Clocked)



TL/D/8807–4

Write Cycle 2 ($\overline{OE}$ Low Fixed)

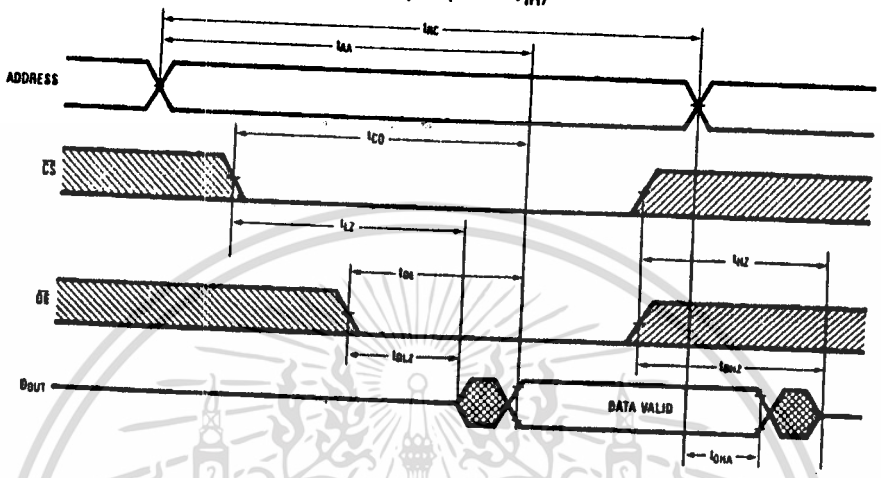


TL/D/8807–5

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Timing Waveforms (Continued)

Read Cycle ($\overline{WE}$ = V_{IH})

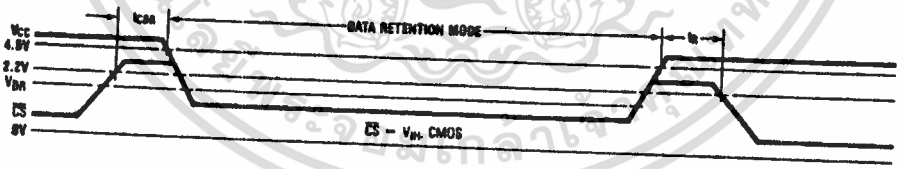


TL/D/8807–6

Low V_{CC} Data Retention (L Version)

Symbol	Parameter	Conditions	Min	Max	Units
V_{DR}	V_{CC} for Data Retention	$\overline{CS}$ > V_{IH}, CMOS	2.0	5.5	V
I_{CCDR}	Data Retention Current	V_{CC} = 2V $\overline{CS}$ > V_{IH}, CMOS		200	μA
t_{CDR}	Chip Deselect to Data Retention Time	See Retention Waveform	0		ns
t_R	Operation Recovery Time	See Retention Waveform	t_{RC}		ns

Low V_{CC} Data Retention Waveform



TL/D/8807–7

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

National Semiconductor Corporation

LM139/239/339, LM139A/239A/339A, LM2901, LM3302 Low Power Low Offset Voltage Quad Comparators

General Description

The LM139 series consists of four independent precision voltage comparators with an offset voltage specification as low as 2 mV max for all four comparators. These were designed specifically to operate from a single power supply over a wide range of voltages. Operation from split power supplies is also possible and the low power supply current drain is independent of the magnitude of the power supply voltage. These comparators also have a unique characteristic in that the input common-mode voltage range includes ground, even though operated from a single power supply voltage.

Application areas include limit comparators, simple analog to digital converters; pulse, squarewave and time delay generators; wide range VCO; MOS clock timers; multivibrators and high voltage digital logic gates. The LM139 series was designed to directly interface with TTL and CMOS. When operated from both plus and minus power supplies, they will directly interface with MOS logic— where the low power drain of the LM339 is a distinct advantage over standard comparators.

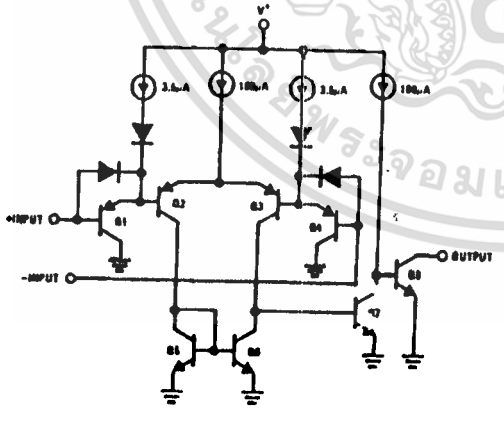
Advantages

- High precision comparators
- Reduced V_{OS} drift over temperature
- Eliminates need for dual supplies
- Allows sensing near GND
- Compatible with all forms of logic
- Power drain suitable for battery operation

Features

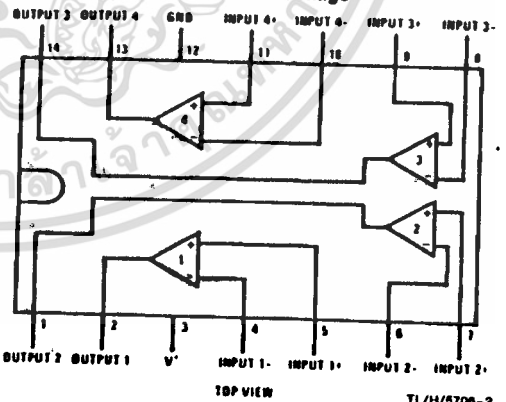
- Wide single supply voltage range of dual supplies
  - LM139 series, 2 V_{DC} to 36 V_{DC} or
  - LM139A series, LM2901 ±1 V_{DC} to ±18 V_{DC}
  - LM3302 2 V_{DC} to 28 V_{DC} or ±1 V_{DC} to ±14 V_{DC}
- Very low supply current drain (0.8 mA) — independent of supply voltage (2 mW/comparator at +5 V_{DC})
- Low input biasing current 25 nA
- Low input offset current ±5 nA
- and offset voltage ±3 mV
- Input common-mode voltage range includes GND
- Differential input voltage range equal to the power supply voltage
- Low output saturation voltage 250 mV at 4 mA
- Output voltage compatible with TTL, DTL, ECL, MOS and CMOS logic systems

Schematic and Connection Diagrams



TL/H/5706–1

Dual-In-Line Package



TOP VIEW

TL/H/5706–2

Order Number LM139J, LM139AJ, LM239J, LM239AJ, LM339J, LM339AJ, LM2901J or LM3302J
See NS Package Number J14A
Order Number LM339AM, LM339M or LM2901M
See NS Package Number M14A
Order Number LM339N, LM339AN, LM2901N or LM3302N
See NS Package Number N14A

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Absolute Maximum Ratings

If Military/Aerospace specified devices are required, contact the National Semiconductor Sales Office/Distributors for availability and specifications. (Note 10)

	LM139/LM239/LM339 LM139A/LM239A/LM339A LM2901	LM3302
Supply Voltage, V^+	36 V_{DC} or ±18 V_{DC}	28 V_{DC} or ±14 V_{DC}
Differential Input Voltage (Note 8)	36 V_{DC}	28 V_{DC}
Input Voltage	−0.3 V_{DC} to +36 V_{DC}	−0.3 V_{DC} to +28 V_{DC}
Power Dissipation (Note 1)		
Molded DIP	1050 mW	1050 mW
Cavity DIP	1190 mW	
Small Outline Package	760 mW	
Output Short-Circuit to GND, (Note 2)	Continuous	Continuous
Input Current ($V_{IN} < -0.3\ V_{DC}$), (Note 3)	50 mA	50 mA
Storage Temperature Range	−65°C to +150°C	−65°C to +150°C
Lead Temperature (Soldering, 10 seconds)	260°C	260°C

Operating Temperature Range	LM139/LM239/LM339 LM139A/LM239A/LM339A LM2901	LM3302
LM339/LM339A	0°C to +70°C	−40°C to +85°C
LM239/LM239A	−25°C to +85°C	
LM2901	−40°C to +85°C	
LM139/LM139A	−55°C to +125°C	
Soldering Information		
Dual-In-Line Package		
Soldering (10 seconds)	260°C	260°C
Small Outline Package		
Vapor Phase (60 seconds)	215°C	215°C
Infrared (15 seconds)	220°C	220°C

See AN-450 "Surface Mounting Methods and Their Effect on Product Reliability" for other methods of soldering surface mount devices.

ESD rating to be determined.

Electrical Characteristics ($V^+ = 5\ V_{DC}$, $T_A = 25°C$, unless otherwise stated)

Parameter	Conditions	LM139A			LM239A, LM339A			LM139			LM239, LM339			LM2901			LM3302			Units
		Min	Typ	Max	Min	Typ	Max	Min	Typ	Max	Min	Typ	Max	Min	Typ	Max	Min	Typ	Max	
Input Offset Voltage	(Note 9)		±1.0	±2.0		±1.0	±2.0		±2.0	±5.0		±2.0	±5.0		±2.0	±7.0		±3	±20	mV_{DC}
Input Bias Current	$I_{IN(+)}$ or $I_{IN(-)}$ with Output in Linear Range, (Note 5), $V_{CM} = 0V$		25	100		25	250		25	100		25	250		25	250		25	500	nA_{DC}
Input Offset Current	$I_{IN(+)} - I_{IN(-)}$, $V_{CM} = 0V$		±3.0	±25		±5.0	±50		±3.0	±25		±5.0	±50		±5	±50		±3	±100	nA_{DC}
Input Common-Mode Voltage Range	$V^+ = 30\ V_{DC}$ (LM3302, $V^+ = 28\ V_{DC}$) (Note 6)	0		$V^+ - 1.5$	0		$V^+ - 1.5$	0		$V^+ - 1.5$	0		$V^+ - 1.5$	0		$V^+ - 1.5$	0		$V^+ - 1.5$	V_{DC}
Supply Current	$R_L = \infty$ on all Comparators,		0.8	2.0		0.8	2.0		0.8	2.0		0.8	2.0		0.8	2.0		0.8	2.0	mA_{DC}
	$R_L = \infty$, $V^+ = 36V$, (LM3302, $V^+ = 28\ V_{DC}$)					1.0	2.5		1.0	2.5		1.0	2.5		1.0	2.5		1.0	2.5	mA_{DC}
Voltage Gain	$R_L \geq 15\ k\Omega$, $V^+ = 15\ V_{DC}$, $V_O = 1\ V_{DC}$ to $11\ V_{DC}$	50	200		50	200		50	200		50	200		25	100		2	30		V/mV
Large Signal Response Time	V_{IN} = TTL Logic Swing, $V_{REF} = 1.4\ V_{DC}$, $V_{RL} = 5\ V_{DC}$, $R_L = 5.1\ k\Omega$,		300			300			300			300			300			300		ns
Response Time	$V_{RL} = 5\ V_{DC}$, $R_L = 5.1\ k\Omega$, (Note 7)		1.3			1.3			1.3			1.3			1.3			1.3		μs
Output Sink Current	$V_{IN(-)} = 1\ V_{DC}$, $V_{IN(+)} = 0$, $V_O \leq 1.5\ V_{DC}$	6.0	16		6.0	16		6.0	16		6.0	16		6.0	16		6.0	16		mA_{DC}

Electrical Characteristics ($V^+ = 5\ V_{DC}$, $T_A = 25°C$, unless otherwise stated) (Continued)

Parameter	Conditions	LM139A			LM239A, LM339A			LM139			LM239, LM339			LM2901			LM3302			Units
		Min	Typ	Max	Min	Typ	Max	Min	Typ	Max	Min	Typ	Max	Min	Typ	Max	Min	Typ	Max	
Saturation Voltage	$V_{IN(-)} = 1\ V_{DC}$, $V_{IN(+)} = 0$, $I_{SINK} \leq 4\ mA$		250	400		250	400		250	400		250	400		250	400		250	500	mV_{DC}
Output Leakage Current	$V_{IN(+)} = 1\ V_{DC}$, $V_{IN(-)} = 0$, $V_O = 5\ V_{DC}$		0.1			0.1			0.1			0.1			0.1			0.1		nA_{DC}

Electrical Characteristics ($V^+ = 5.0\ V_{DC}$, Note 4)

Parameter	Conditions	LM139A			LM239A, LM339A			LM139			LM239, LM339			LM2901			LM3302			Units
		Min	Typ	Max	Min	Typ	Max	Min	Typ	Max	Min	Typ	Max	Min	Typ	Max	Min	Typ	Max	
Input Offset Voltage	(Note 9)			± 4.0			± 4.0			± 9.0			± 9.0		± 9	± 15			± 40	mV_{DC}
Input Offset Current	$I_{IN(+)} - I_{IN(-)}$, $V_{CM} = 0V$			± 100			± 150			± 100			± 150		± 50	± 200			± 300	nA_{DC}
Input Bias Current	$I_{IN(+)}$ or $I_{IN(-)}$ with Output in Linear Range, $V_{CM} = 0V$ (Note 5)			300			400			300			400		200	500			1000	nA_{DC}
Input Common-Mode Voltage Range	$V^+ = 30\ V_{DC}$ (LM3302, $V^+ = 28\ V_{DC}$) (Note 6)	0		$V^+ - 2.0$	0		$V^+ - 2.0$	0		$V^+ - 2.0$			$V^+ - 2.0$	0		$V^+ - 2.0$	0		$V^+ - 2.0$	V_{DC}
Saturation Voltage	$V_{IN(-)} = 1\ V_{DC}$, $V_{IN(+)} = 0$, $I_{SINK} \leq 4\ mA$			700			700			700			700		400	700			700	mV_{DC}
Output Leakage Current	$V_{IN(+)} = 1\ V_{DC}$, $V_{IN(-)} = 0$, $V_O = 30\ V_{DC}$, (LM3302, $V_O = 28\ V_{DC}$)			1.0			1.0			1.0			1.0			1.0			1.0	μA_{DC}
Differential Input Voltage	Keep all V_{IN}'s $\geq 0\ V_{DC}$ (or V^-, if used), (Note 8)			36			36			36			36			36			28	V_{DC}

Note 1: For operating at high temperatures, the LM339/LM339A, LM2901, LM3302 must be derated based on a 125°C maximum junction temperature and a thermal resistance of 95°C/W which applies for the device soldered in a printed circuit board, operating in a still air ambient. The LM239 and LM139 must be derated based on a 150°C maximum junction temperature. The low bias dissipation and the "ON-OFF" characteristic of the outputs keeps the chip dissipation very small ($P_D \leq 100$ mW), provided the output transistors are allowed to saturate.

Note 2: Short circuits from the output to V^+ can cause excessive heating and eventual destruction. When considering short circuits to ground, the maximum output current is approximately 20 mA independent of the magnitude of V^+.

Note 3: This input current will only exist when the voltage at any of the input leads is driven negative. It is due to the collector-base junction of the input PNP transistors becoming forward biased and thereby acting as input diode clamps. In addition to this diode action, there is also lateral NPN parasitic transistor action on the IC chip. This transistor action can cause the output voltages of the comparators to go to the V^+ voltage level (or to ground for a large overdrive) for the time duration that an input is driven negative. This is not destructive and normal output states will re-establish when the input voltage, which was negative, again returns to a value greater than $-0.3\ V_{DC}$ (at 25°C).

Note 4: These specifications are limited to $-55°C \leq T_A \leq +125°C$, for the LM139/LM139A. With the LM239/LM239A, all temperature specifications are limited to $-25°C \leq T_A \leq +85°C$, the LM339/LM339A temperature specifications are limited to $0°C \leq T_A \leq +70°C$, and the LM2901, LM3302 temperature range is $-40°C \leq T_A \leq +85°C$.

Note 5: The direction of the input current is out of the IC due to the PNP input stage. This current is essentially constant, independent of the state of the output so no loading change exists on the reference or input lines.

Note 6: The input common-mode voltage or either input signal voltage should not be allowed to go negative by more than 0.3V. The upper end of the common-mode voltage range is $V^+ - 1.5V$ at 25°C, but either or both inputs can go to $+30\ V_{DC}$ without damage (25V for LM3302), independent of the magnitude of V^+.

Note 7: The response time specified is a 100 mV input step with 5 mV overdrive. For larger overdrive signals 300 ns can be obtained, see typical performance characteristics section.

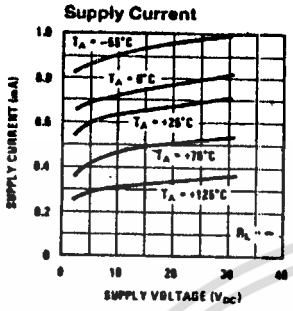
Note 8: Positive excursions of input voltage may exceed the power supply level. As long as the other voltage remains within the common-mode range, the comparator will provide a proper output state. The low input voltage state must not be less than $-0.3\ V_{DC}$ (or $0.3\ V_{DC}$ below the magnitude of the negative power supply, if used) (at 25°C).

Note 9: At output switch point, $V_O = 1.4\ V_{DC}$, $R_S = 0\Omega$ with V^+ from $5\ V_{DC}$ to $30\ V_{DC}$; and over the full input common-mode range (0 V_{DC} to $V^+ - 1.5\ V_{DC}$), at 25°C. For LM3302, V^+ from $5\ V_{DC}$ to $28\ V_{DC}$.

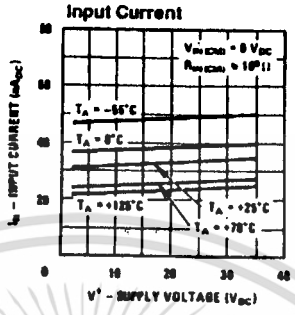
Note 10: Refer to RETS139AX for LM139AJ military specifications and to RETS139X for LM139J military specifications.

Typical Performance Characteristics LM139/LM239/LM339, LM139A/LM239A/LM339A, LM3302

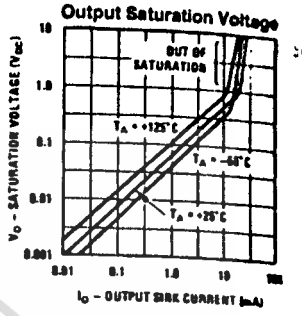
Supply Current



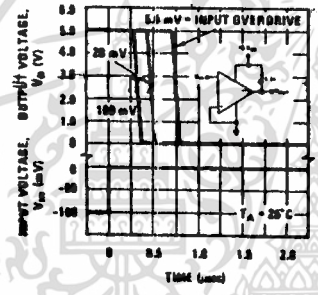
Input Current



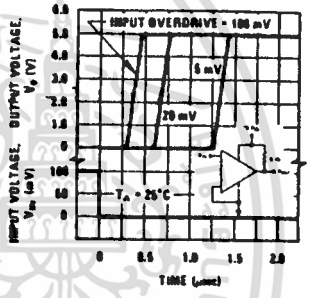
Output Saturation Voltage



Response Time for Various Input Overdrives—Negative Transition



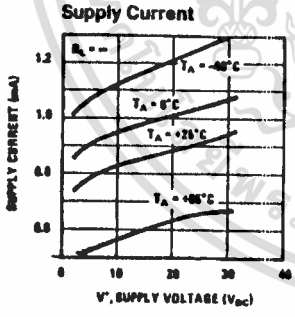
Response Time for Various Input Overdrives—Positive Transition



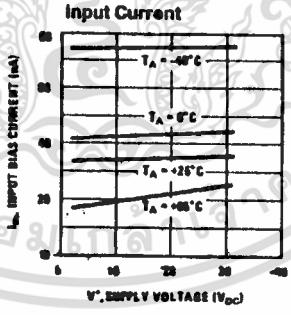
TL/H/5706–6

Typical Performance Characteristics LM2901

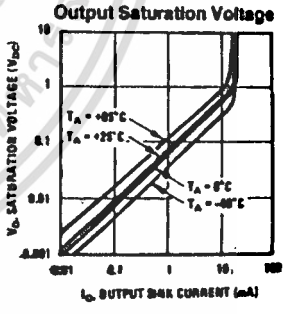
Supply Current



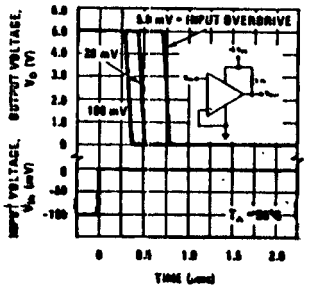
Input Current



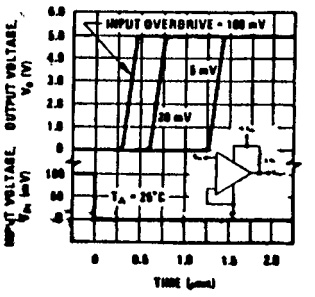
Output Saturation Voltage



Response Time for Various Input Overdrives-Negative Transition



Response Time for Various Input Overdrives-Positive Transition



TL/H/5706–7

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

National Semiconductor

MM58167A Microprocessor Real Time Clock

General Description

The MM58167A is a low threshold metal gate CMOS circuit that functions as a real time clock in bus oriented microprocessor systems. The device includes an addressable real time counter, 56 bits of RAM, and two interrupt outputs. A POWER DOWN input allows the chip to be disabled from the rest of the system for standby low power operation. The time base is a 32.768 Hz crystal oscillator.

Features

- Microprocessor compatible (8-bit data bus)
- Milliseconds through month counters
- 56 bits of RAM with comparator to compare the real time counter to the RAM data
- 2 INTERRUPT OUTPUTS with 8 possible interrupt signals
- POWER DOWN input that disables all inputs and outputs except for one of the interrupts
- Status bit to indicate rollover during a read
- 32,768 Hz crystal oscillator
- Four-year calendar (no leap year)
- 24-hour clock

Functional Description

Real Time Counter

The real time counter is divided into 4-bit digits with 2 digits being accessed during any read or write cycle. Each digit represents a BCD number and is defined in Table I. Any unused bits are held at a logical zero during a read and ignored during a write. An unused bit is any bit not necessary to provide a full BCD number. For example tens of hours cannot legally exceed the number 2, thus only 2 bits are necessary to define the tens of hours. The other 2 bits in the tens of hours digit are unused. The unused bits are designated in Table I as dashes.

The addressable portion of the counter is from milliseconds to months. The counter itself is a ripple counter. The ripple delay is less than 60 µs above 4.0V and 300 µs at 2.0V.

RAM

56 bits of RAM are contained on-chip. These can be used for any necessary power down storage or as an alarm latch for comparison to the real time counter. The data in the RAM can be compared to the real time counter on a digit basis. The only digits that are not compared are the unit ten thousandths of seconds and tens of days of the week (these are unused in the real time counter). If the two most significant bits of any RAM digit are ones, then this RAM location will always compare.

The RAM is formatted the same as the real time counter, 4 bits per digit, 14 digits, however there are no unused bits. The unused bits in the real time counter will compare only to zeros in the RAM.

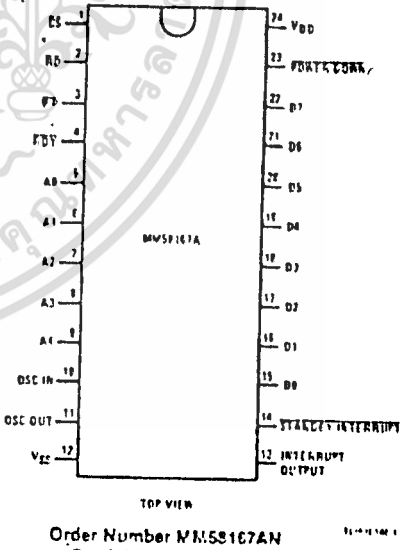
Interrupts and Comparator

There are two interrupt outputs. The first and most flexible is the INTERRUPT OUTPUT (a true high signal). This output can be programmed to provide 8 different output signals. They are: 10 Hz, 1 Hz, once per minute, once per hour, once a day, once a week, once a month, and when a RAM/real time counter comparison occurs. To enable the output a one is written into the interrupt control register at the bit location corresponding to the desired output frequency *(Figure 1)*. Once one or more bits have been set in the interrupt control register, the corresponding counter's rollover to its reset state will clock the interrupt status register and cause the interrupt output to go high. To reset the interrupt and to identify which frequency caused the interrupt, the interrupt status register is read. Reading this register places the contents of the status register on the data bus. The interrupting frequency will be identified by a one in the respective bit position. Removing the read will reset the interrupt.

The second interrupt is the STANDBY INTERRUPT (open drain output, active low). This interrupt occurs when enabled and when a RAM/real time counter comparison occurs. The STANDBY INTERRUPT is enabled by writing a one on the D0 line at address 16_H or disabled by writing a zero on the D0 line. This interrupt is not triggered by the edge of the compare signal, but rather by the level. Thus if the compare is enabled when the STANDBY INTERRUPT is enabled, the interrupt will turn on immediately.

Connection Diagram

Dual-In-Line Package



TOP VIEW

Order Number MM58167AN
See NS Package N24A

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Block Diagram

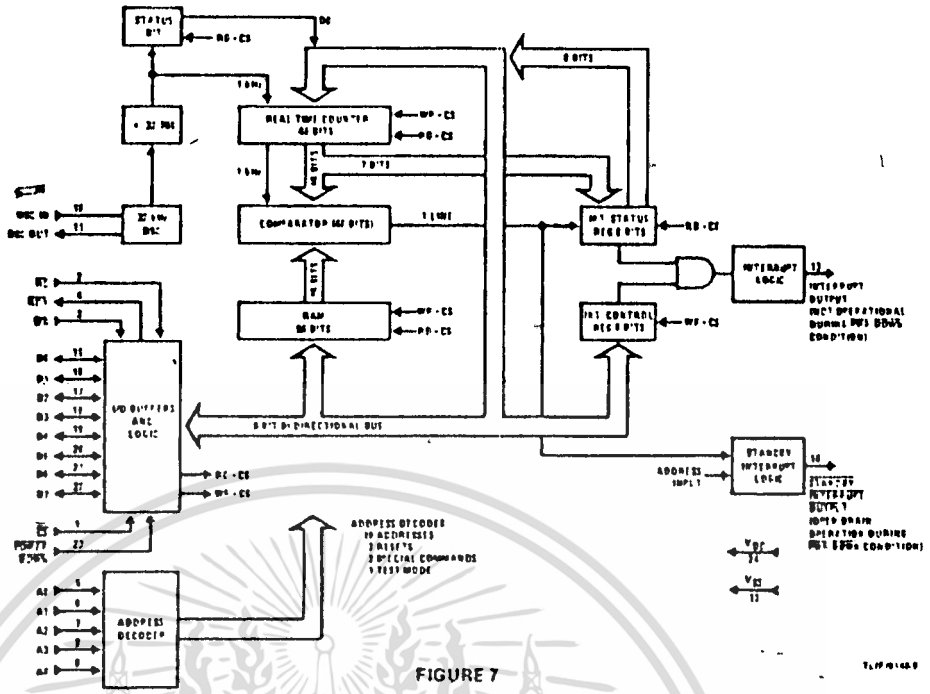


FIGURE 7

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Write Cycle Timing $0°C \le T_A \le 70°C$, $4.5V \le V_{DD} \le 5.5V$, $V_{SS} = 0V$

Sym	Parameter	Min	Max	Units
t_{AW}	Address Valid to Write Strobe	100		ns
t_{CSW}	Chip Select to Write Strobe	0		ns
t_{DW}	Data Valid before Write Strobe	100		ns
t_{WRY}	Write Strobe to Ready Strobe		150	ns
t_{RY}	Ready Strobe Width		800	ns
t_{RYH}	Write Hold Time after Ready Strobe	0		ns
t_{WD}	Data Hold Time after Write Strobe	110		ns
t_{WA}	Address Hold Time after Write Strobe	50		ns

Note 3: If data changes while $\overline{CS}$ and $\overline{WR}$ are low, then they must remain coincident for 1050 ns after the data change to ensure a valid write.

Data bus loading is 100 pF.

Ready output loading is 50 pF and 3 kΩ pull-up.

Input and output AC timing levels:
- Logical one = 2.0V
- Logical zero = 0.8V

Read and Write Cycle Timing Diagrams

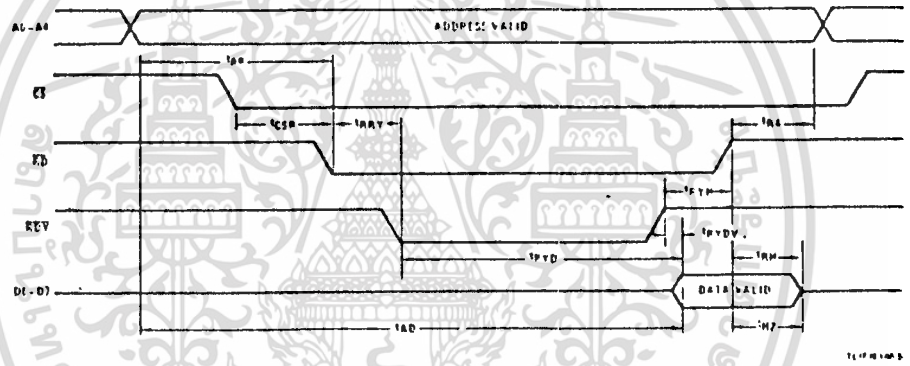


FIGURE 3. Read Cycle Timing

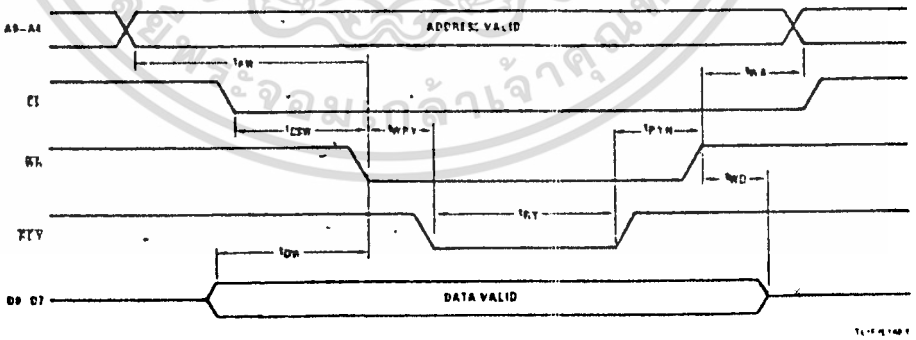


FIGURE 4. Write Cycle Timing

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กิตติกรรมประกาศ

การที่โครงงานนี้สำเร็จลุล่วงไปด้วยดีได้ ส่วนหนึ่งที่สำคัญอย่างยิ่งก็คือความช่วยเหลือจากบุคคลต่าง ๆ หลายท่านซึ่งได้กรุณาสละเวลา กำลังกายและกำลังความคิด ช่วยแก้ปัญหาจนโครงงานนนี้เสร็จสมบูรณ์

ทางคณะผู้จัดทำรู้สึกซาบซึ้งและใคร่ขอขอบคุณอย่างสูงมา ณ. ที่นี้คือ

ดร.บุญวัฒน์ อัตชู, อาจารย์ วัชระ ฉัตรวิริยะ อาจารย์ที่ปรึกษาที่กรุณาให้คำแนะนำและจัดหาอุปกรณ์ เครื่องมือต่าง ๆ ให้, อาจารย์ ประสาร ตังติสานนท์ ที่ช่วยให้คำแนะนำและสนับสนุนอุปกรณ์,อาจารย์ สมศักดิ์ มิตะถา ที่ให้การสนับสนุนทางด้านอุปกรณ์เป็นอย่างดียิ่ง, คุณนภัทร สระเอี่ยม และคุณสมบัติ วลัยรัชต์ ที่ให้ความช่วยเหลือทางด้านเครื่องคอมพิวเตอร์ตลอดโครงงาน,คุณสุวรรณ ศรีหะวรรณ์ และ คุณสุชน้ำ ศรีงางาม ที่ช่วยเหลือในการทำปริญญานิพนธ์,เพื่อน ๆ ภาคอิเล็คทรอนิคส์ ที่ให้คำแนะนำและให้ยืมอุปกรณ์ในการทำโครงงาน , น้อง ๆ ชุมนุมดนตรีสากลที่ให้ที่พักระหว่างทำโครงงาน,พี่ ๆ ห้องธุรการภาควิชาวิศวกรรมคอมพิวเตอร์ที่ให้ยืม T.V.,VIDEO และอื่น ๆ และทุก ๆ ท่านที่มิได้กล่าวนาม

ทางคณะผู้จัดทำขอขอบพระคุณเป็นอย่างยิ่ง

นาย ไกรฤกษ์ ฤกษ์ศรีมงคล

นาย ทรงยศ คันธมานนท์

นางสาว ศิราณี จรัสวชิรกุล

คณะผู้จัดทำ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เอกสารอ้างอิง

[1] เซมิคอนดัคเตอร์อิเลคทรอนิคส์ ฉบับที่ 106 พฤษภาคม 2534 หน้าที่ 97-101

[2] เซมิคอนดัคเตอร์อิเลคทรอนิคส์ ฉบับที่ 98 กุมภาพันธ์ 2533 หน้าที่ 190-197

[3] ยืน ภู่วรวรรณ ,เทคโนโลยีฮาร์ดแวร์ IBM PC,กรุงเทพ ฯ,หจก.เคส-เอน การพิมพ์, 2533,335 หน้า

[4] ยืน ภู่วรวรรณ,วัฒนา เสียงกูล,ไมโครโปรเซสเซอร์ ไมโครคอมพิวเตอร์ (Z-80 MICROPROCESSOR),กรุงเทพฯ หจก.เคส-เอน การพิมพ์,2532,292 หน้า

[5] ETT CO.,LTD,GRAPHIC LCD DV-12864.

[6] LANCE A LEVENTHAL,Z80 ASSEMBLY LANGUAGE PROGRAMMING.

[7] JOHN UFFENBECK,MICROCOMPUTER,AND MICROPROCESSORS THE 8080,8088, AND Z80 PROGRAMMING,INTERFACING,AND TROUBLESHOOTING,PRACTICE-HALL INTERNATIONAL,INC.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้