ห้องสมุดคณะวิศวกรรมศาสตร์
สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

กราฟิคอิควอไลเซอร์แบบดิจิตอล

นายวีรวิญญ์	ชั้นประเสริฐ	34132164
นายกิตติพงษ์	ลิ้มอนงิ้ว	34132141

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปริญญานิพนธ์นี้ เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาอุตสาหกรรมศาสตร์บัณฑิต
ภาควิชาเทคนิคอุตสาหกรรม
คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้า เจ้าคุณทหารลาดกระบัง
ปีการศึกษา 2535

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้
032773

หัวข้อปริญญานิพนธ์ กราฟฟิคอิควอไลเซอร์แบบดิจิตอล

โดย นายวีรวิญญ์ ชั้นประเสริฐ
นายกิตติพงษ์ ลีดอนงิ้ว

สาขา เทคโนโลยีโทรคมนาคม

ภาควิชา เทคนิคอุตสาหกรรม

อาจารย์ที่ปรึกษา อาจารย์วิชัย สุรพัฒน์

ปีการศึกษา 2535

คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้า เจ้าคุณทหารลาดกระบัง อนุมัติให้ปริญญานิพนธ์ ฉบับนี้เป็นส่วนหนึ่งของการศึกษา ตามหลักสูตรปริญญาอุตสาหกรรมศาสตร์บัณฑิต

_____ ประธานกรรมการ
(วิชัย สุรพัฒน์)

_____ กรรมการ
( )

_____ กรรมการ
( )

_____ กรรมการ
( )

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการ 032773

เรื่อง กราฟฟิคอิควอไลเซอร์ควบคุมด้วยระบบดิจิตอล

(Digital Control Graphic Equalizer)

นาย วีรวิญญ์ ชั้นประเสริฐ 34132164

นาย กิตติพงษ์ ลีดอนงิ้ว 34132141

ผศ. วิชัย สุรพัฒน์ อาจารย์ที่ปรึกษา

ปีการศึกษา 2535

บทคัดย่อ

งานโครงการนี้เป็นการศึกษา วงจรกราฟฟิคอิควอไลเซอร์ โดยมีลักษณะการนำเอาระบบดิจิตอลมาควบคุมให้มีการเปลี่ยนค่าความต้านทานภายในของไอซี LCM 835ให้มีการเปลี่ยนแปลงระดับ gain ต่าง ๆ ได้ และสามารถนำไปใช้ประโยชน์ โดยการทำให้เป็นระบบสเตอริโอ 7 ช่อง (CHA), (CHB) สำหรับการเลือกแบนด์ จะถูกออกแบบให้มีการควบคุมเลขไบนารี 8 บิท ตามสเป็คของไอซี และแต่ละช่วงนั้นก็จะมีการต่อ เป็นแบบแบนด์พาสฟิลเตอร์ ซึ่งค่าการคำนวณต่า ๆ จะต้องให้ได้ตามตารางที่กำหนดความถี่ค่ากลางไว้ ให้แก่ ไอซี LM 835 ผลที่ได้รับจะผิดเพี้ยนไปจากสิ่งที่ต้องการอยู่บ้างเนื่องจากค่าขนาดขององค์ประกอบของวงจรนั้น จะต้องใช้ค่ามาตรฐานที่สามารถหาได้ในท้องตลาด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Digital Control Graphic Equalizer

Mr. Weerawin Chunprasert 34132164
Mr. Kittipong Leedonngiw 34132141
Mr. Wichai Suraput ADVISER

ACADEMIC YEAR : 1992

ABSTRACT

This project presents a design of graphic equalizer circuit utilizing the digital system control to change resistance value of IC LMC 835 for change various gain level and operate to stereo 7-band equalizer syatem (CHA), (CHB) which be designed to control 8 bit Binary number as specific of IC for band selection, each band operate to bandpass filters and calculationvalue must be correct with center frequency of IC LM. 835. The results obtained from this project deviates from the required specification by the cause deviation is due to the problem at obtaining the required circuit component sizes.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ

		หน้า
บทคัดย่อ		
บทที่ 1	บทนำ	1
บทที่ 2	ทฤษฎีเบื้องต้นของฟิลเตอร์	3
	2.1 คำจำกัดความต่าง ๆ ของฟิลเตอร์	3
	2.2 การออกแบบแอคทีฟฟิลเตอร์	6
	2.3 การเลือกค่าอัตราขยายของออปแอมป์เพื่อกำหนดค่า Q	11
	2.4 คุณสมบัติของฟิลเตอร์แบบต่าง ๆ	15
	2.5 Second Order Bandpass Filter	17
บทที่ 3	ชนิดของ Equalizer	22
	3.1 กราฟฟิคอิควอไลเซอร์	23
	3.2 พาราเมตริกอิควอไลเซอร์	24
	3.3 รายละเอียดของกราฟฟิคอิควอไลเซอร์ทั่วไป	26
บทที่ 4	หลักการออกแบบโดยใช้ LMC835 (Digital Graphic Equalizer) และหลักการของดิจิตอลมาใช้ในการเลือกความถี่ และวงจรการนำ LMC835ไปใช้งาน	30
	4.1 Equalizer พื้นฐาน	30
	4.2 การเลือกช่องความถี่	33
	4.3 การนำหลักดิจิตอลมาใช้ในการเลือกความถี่	36
	4.4 8 Bit Shift Register, Latch, decorder, selector	39
	4.5 การโปรแกรมและการควบคุม	43
บทที่ 5	การทำงานของส่วนควบคุมดิจิตอล	51

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หน้า

5.1 ภาคสวิทช์ควบคุม 51

5.2 ส่วนควบคุมในการอ้างแอดเดรสของ Eprom 54

บทที่ 6 การทำงานของส่วนแสดงผล 58

บทที่ 7 การสร้างและผลการทดลอง 64

7.1 แสดงวงจรและลายทองแดงของแต่ละส่วน 64

7.2 การปรับปรุงวงจร 71

7.3 ผลการทดลอง 75

บทที่ 8 บทวิจารณ์และบทสรุป 80

ภาคผนวก

หนังสืออ้างอิง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 1

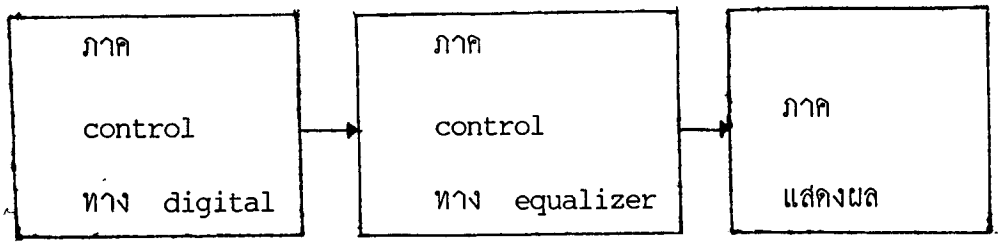
บทนำ

เครื่องเล่นแผ่นเสียงหรือเครื่องเล่นเทป แอมป์หรือลำโพง เป็นเพียงอุปกรณ์ที่ช่วยให้ได้เสียงที่สมบูรณ์ มีคุณภาพตามที่เทปหรือแผ่นเสียงถูกบันทึกสัญญาณไว้ แม้ว่าแอมป์จะมีปุ่มปรับเสียง ทุ้ม-แหลม แต่ก็เป็นเพียงการเพิ่มปรับเสียง ในขอบเขตที่จำกัดตามที่ถูกออกแบบวงจรมา "อิควอไลเซอร์" จึงเป็นอุปกรณ์ที่มีบทบาทโดยตรงในการตอบสนองต่อความต้องการนี้

ในอดีต อิควอไลเซอร์เป็นเพียงส่วนประกอบในการปรุงแต่งเสียงสำหรับมืออาชีพในวงการดนตรีเท่านั้น สาเหตุสำคัญ ได้แก่ ราคาที่แพงเกินกว่าผู้เล่นแผ่นเสียงทั่วไปจะซื้อได้ และขาดความรู้พื้นฐานในขีดความสามารถของอิควอไลเซอร์ และคุณสมบัติของเสียง และการที่จะใช้อิควอไลเซอร์อย่างมีประสิทธิภาพยังต้องอาศัยประสบการณ์และความชำนาญเป็นอย่างมาก ปัจจุบันอิควอไลเซอร์ได้รับการพัฒนาจนกลายเป็นส่วนประกอบสำคัญชิ้นหนึ่งในชุดเครื่องเสียงราคาถูกลงมาก โดยสามารถเลือกซื้อได้ในราคาที่ถูกกว่าแอมป์หรือเครื่องเล่นเทปมีวางจำหน่ายมากแบบหลายชนิด ทั้งในรูปของเครื่องมืออิควอไลเซอร์ที่ถูกออกแบบมาอย่างสวยงาม ทำให้บางครั้งถูกมองเหมือนกับเป็นเครื่องประดับ อิควอไลเซอร์จะกลายเป็นเครื่องประดับจริง ๆ ถ้าเจ้าของใช้ไม่เป็นและขาดความรู้ความเข้าใจในพื้นฐานเกี่ยวกับเสียงและตัวอิควอไลเซอร์

ดิจิตอลกราฟฟิคอิควอไลเซอร์ ที่คิดและสร้างนี้ เป็นการทำให้ใช้ได้ผลตามแบบห้องตลาดมากที่สุด แต่อาจจะผิดพลาดไปบ้างเพราะการออกแบบวงจรยังไม่สมบูรณ์เท่าที่ควร ในการทำโครงการนี้ สามารถปรับได้ทั้งค่าและความจำจะให้บูสท์หรือคัทเท่าไรก็ได้ โดยไม่ต้องใช้มือสัมผัสโดยตรงแต่จะเป็นการใช้ปุ่มกดเพื่อที่จะเพิ่มบูสท์หรือคัทได้อย่างมีประสิทธิภาพ และเครื่องนี้สามารถปรับเสียงตามย่านความถี่ต่าง ๆ กัน ครอบคลุมในทุก ๆ ย่านความถี่เสียง ตั้งแต่ 63 KHZ จนถึง 16 KHZ ส่วนสำหรับการทำงานในโครงการนี้สามารถแสดงได้ตาม book diagram ดังนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



จากการที่ได้ออกแบบ ชุด อิควอไลเซอร์นี้ สามารถแบ่งส่วนการทำงานออกได้-เป็น 3 ส่วน คือ ส่วนควบคุมทางดิจิตอล, ส่วนควบคุมทางอิควอไลเซอร์ และส่วนที่ใช้ในการแสดงผล

สำหรับส่วนควบคุมทางดิจิตอลนั้น จะทำงานในลักษณะ logic switching เพื่อป้อน เลขไบนารี 8 บิท ให้แก่ชุดควบคุมทางอิควอไลเซอร์ ซึ่งเปรียบเสมือนชุดหลักของโครงการนี้ เพราะชุดนี้จะเป็นการทำงานในลักษณะ ฟิลเตอร์ ที่ตั้งเป็นวงจรอิควอไลเซอ และชุดแสดงผล ที่สามารถแสดงให้ทราบถึงการทำงานในส่วนควบคุมทางดิจิตอล เพื่อบอกว่าขณะนี้กำลังควบคุมอยู่ ณ. ช่องใด และกำลัง บูสท์ หรือ คัท เป็นต้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 2

ทฤษฎีเบื้องต้นของฟิลเตอร์

ในวงจรพารากราฟฟิคอิควอไลเซอร์นั้น ฟิลเตอร์เป็นภาคที่มีบทบาทสำคัญอย่างยิ่งในเรื่องความถี่ การทำความเข้าใจกับวงจรฟิลเตอร์เป็นสิ่งสำคัญอย่างยิ่ง ในปัจจุบันได้มีการนำเอาไอซีออปแอมป์มาใช้ในวงจรฟิลเตอร์กันอย่างแพร่หลาย ทำให้สามารถออกแบบภาคฟิลเตอร์ได้ง่าย

2.1 คำจำกัดความต่าง ๆ ของ ฟิลเตอร์

วงจรฟิลเตอร์ก็คือวงจรที่ไม่ยอมให้สัญญาณที่ไม่ต้องการผ่านออกไปได้ วงจรฟิลเตอร์ทั่วไปนั้นแบ่งออกเป็น 4 แบบ คือ

1. วงจรกรองความถี่สูง (High Pass Filters : HPF)
2. วงจรกรองความถี่ต่ำ (Low Pass Filter : LPF)
3. วงจรกรองความถี่เฉพาะ (Band Pass Filter : BPF)
4. วงจรกรองทิ้งความถี่เฉพาะ (Band-Eliminated Filter : BEF)

2.1.1 HPF

HPF คือวงจรกรองสัญญาณความถี่ต่ำเอาไว้ โดยไม่ยอมให้มีสัญญาณที่มีความถี่สูงผ่าน ไปได้ บางทีก็เรียกว่า "Low Cut Filter"

2.1.2 LPF

มีคุณสมบัติตรงข้ามกับ HPF คือ ยอมให้เฉพาะสัญญาณความถี่ต่ำผ่านไปได้ - เท่านั้น จะกรองเอาสัญญาณความถี่สูงไว้ บางทีเรียกว่า "High-Cut Filters"

2.1.3 BPF

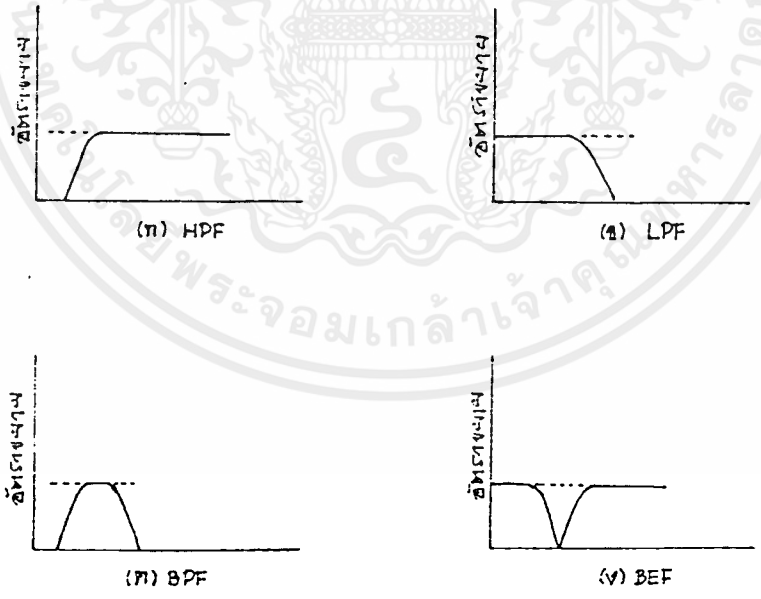
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ยอมให้สัญญาณความถี่เฉพาะบางความถี่ (คือ สัญญาณที่เราต้องการเท่านั้น) ผ่านไปได้ ส่วนสัญญาณความถี่อื่น ๆ จะไม่ยอมให้ผ่าน

2.1.4 BEF

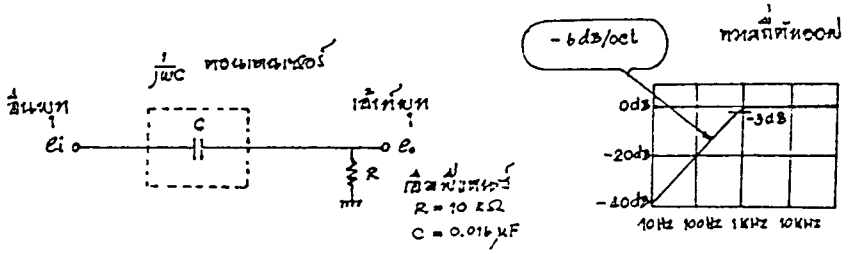
ทำหน้าที่กลับกันกับ BPF คือ จะกรองสัญญาณความถี่ในบางช่วงเท่านั้น ส่วนช่วงอื่น ๆ จะยอมให้ผ่านไปได้หมด

คุณสมบัติของฟิลเตอร์แต่ละแบบทั้ง 4 แบบนี้ สามารถเขียนกราฟทั่ว ๆ ไปเพื่ออธิบายการทำงานได้ ดังรูปที่ 2.1



รูปที่ 2.1 คุณสมบัติของฟิลเตอร์แบบต่าง ๆ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

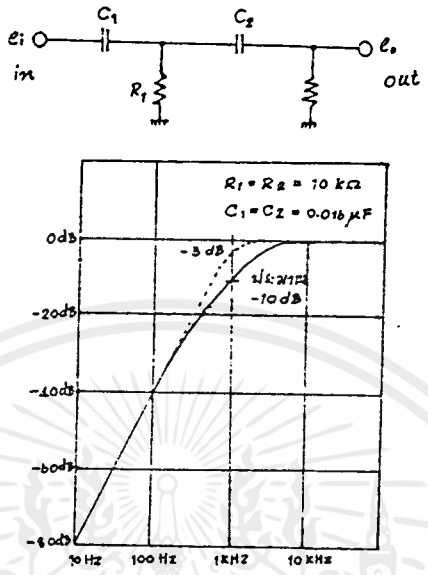


รูปที่ 2.2 HPF

วงจรฟิลเตอร์พื้นฐานรูปที่ 2.2 เป็นแบบอย่างง่าย โดยใช้ C และ R ในการกรองความถี่

จากสมการความสัมพันธ์ของสัญญาณอินพุทและสัญญาณเอาท์พุทจะได้ค่าเท่ากับ -3dB ซึ่งเป็นค่าของความถี่คัทออฟ (COF) โดยในวงจรฟิลเตอร์ทั่วไป ๆ ถือค่า -3dB เป็นเกณฑ์ (ขอให้พิจารณาความสัมพันธ์ของ C_0 และ C_1 ในรูปที่ 2.2 อีกครั้งจะเข้าใจดีขึ้น) ในกรณีที่ต้องการตัดสัญญาณให้ได้มากกว่า -3dB ดังตัวอย่างในรูปที่ 2.3 นั้น จะทำโดยเพิ่ม CR เป็น 3 ต่อเข้าไปอีก 1 ชุด จะได้ค่าCOF-12dB/octและในทำนองเดียวกันถ้าเพิ่ม CR เป็น 3 ชุด จะได้ค่า COF ประมาณ -18dB/oct สรุปได้ว่า CR 1 ชุด จะให้ค่าเพิ่มขึ้น 6cB แต่ปัญหามีอยู่ก็คือ ในรูปที่ 2.3 นี้ ถ้าใช้ CR ที่มีค่าเท่ากัน 2 ชุด ต่อกันดังรูปดังกล่าวแล้ว ค่าของ COF จะมีค่าประมาณ -10dB/oct สาเหตุที่เป็นเช่นนี้เนื่องจากค่าของ CR ที่ใช้ไม่สามารถหาค่าที่เท่ากันได้จริง ๆ ทุกประการ เราอาจจะแก้ไขได้โดยการใช้ LCR มาประกอบคบีนวงจรพาสซีฟฟิลเตอร์ การออกแบบวงจรที่จะให้คุณสมบัติ COF ที่สามารถเปลี่ยนแปลงได้หรือที่เราเรียกว่า "แอคทีฟ ฟิลเตอร์" นั้นใช้ทรานซิสเตอร์หรือออปแอมป์มาช่วยในวงจรฟิลเตอร์ ข้อได้เปรียบในวงจรแอคทีฟฟิลเตอร์นั้นมีอยู่หลายประการที่เห็นชัด ๆ ก็คือไม่ต้องใช้ L ในวงจรทำให้การกรองสัญญาณความถี่ต่ำได้ผลดี และสามารถลดขนาดของวงจรลงไปได้มาก การสร้างผ่านของการกรองสัญญาณกระทำได้ง่ายและให้ผลที่ดีกว่า

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.3 วงจร CR 2 ชุด ต่อกัน

2.2 การออกแบบแอคทีฟฟิลเตอร์

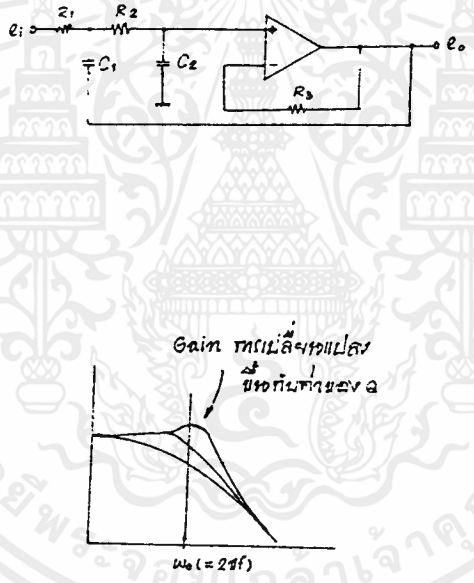
ในรูปที่ 2.4 คือ วงจร LPF แบบ Secound order ความสัมพันธ์ - ของ e_o และ e_1 ในวงจรนี้ก็คือ

$$\frac{e_o}{e_1} = \frac{w^2}{s^2 + (w_o(Q)s + w^2)}$$

ซึ่งในที่นี้ $s = jw$ (w คือ Angular frequency = 2 f) ในสมการค่า s จะเป็นค่ายกกำลังสอง ในวงจร CR 2 ชุด ต่อกันอยู่ Transfer function จึงเป็น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Secound order เราจึงเรียกว่า 2^{nd} order filter Q คือค่า Quality factor (ไม่มีหน่วย) หรืออีกนัยหนึ่ง Q ก็คือค่าแสดง damping ของ COF นั่นเอง ซึ่งคุณสมบัติของ COF เมื่อพิจารณาดูจะพบว่าขึ้นอยู่กับค่า Q และ w_o เป็นสำคัญ w_o คือ COF ในที่นี้เราคิดค่าของ w และ w_o ให้เท่ากันก่อน ในรูปที่ 2.4 ค่าของ j ที่เขียนอยู่ด้วย แสดงถึงเฟสนำหน้าไป 90^o ไม่ว่าจะเป็นการออกแบบฟิลเตอร์แบบใดก็ตาม LPF แบบ 2^{nd} order จะแสดงสมการนี้เสมอ ซึ่งซึ่งถ้ากำหนดค่าของ w_o (COF) และค่าของ Q แล้วก็มาคำนวณค่าของ CR ได้ทันที



รูปที่ 2.4 Secound order LPF

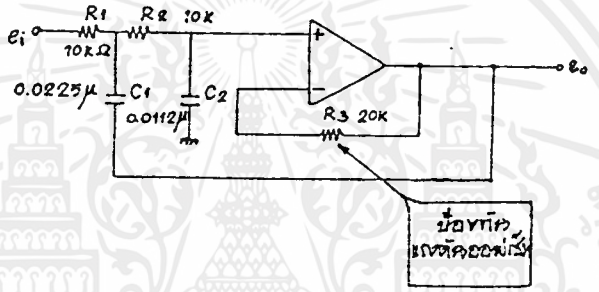
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในรูปที่ 2.5 เป็นการแสดงตัวอย่างของวงจร LPF ของความถี่ 1 KHz โดยมี ค่า COF -3dB ให้ค่าของ Q = 0.707 ค่า 2f และ w_o เท่ากันที่ -3dBเพื่อ เมื่อแทนค่าของ Q = 0.707 ลงในสมการ, w_o จะมีค่าเท่ากับ 2π x 1 KHzสมมุติ เลือก $R_1 = R_2 = 10\ K\Omega$ จะได้

$$C = 0.0519uF$$

$$C_1 = 0!0225uF$$

$$C_2 = 0.0112uF$$

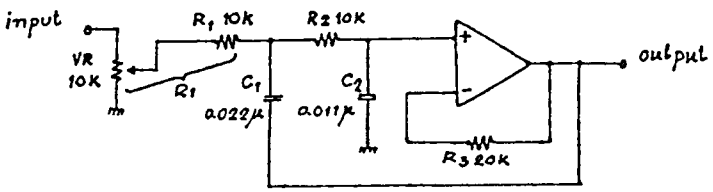


รูปที่ 2.5 การกำหนดค่าต่าง ๆ ในฟิลเตอร์

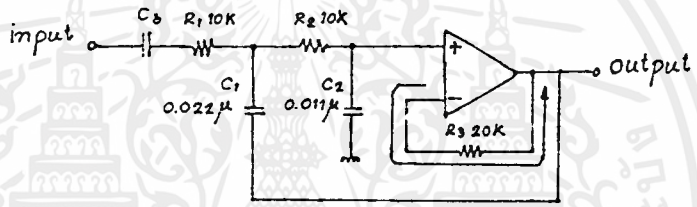
(ส่วนในกรณีอื่น ๆ ก็คำนวณได้ตามสมการ (3),(4),(5) ค่าของ R_3 นี้จะเห็นว่าไม่มี ความเกี่ยวข้องกับวงจรฟิลเตอร์เลย เป็นเพียงทำหน้าที่ไบอัสกระแสไม่ให้เกิดออฟเซ็ทออก มา ในที่นี้กำหนดให้ $R_3 = R_1 + R_2 = 20K\Omega$ เราก็จะได้ LPF ขนาด KHz ข้อควรระวัง สำหรับวงจรนี้คือ เอาท์พุทอินพีแดซ์ของช่วงแรกจะต้องต่ำ (ที่ R_1) ในรูปที่ 2.6

การเพิ่ม VR 10 KΩ เข้าไปทางด้านอินพุทจะทำให้ค่า R_1 สูงกว่า 10 KΩที่ กำหนดโดยทันทีและถ้าใช้ C ต่อ ก็เช่นเดียวกัน จะทำให้กระแสไบอัสไม่สามารถไหล ไปตลอดได้และทำให้กระแสไบอัสอินพุทรวมกับไฟที่มาเลี้ยงออปแอมป์ หรือกระแสไบอัส - ไหลไปยังเพาเวอร์ซัพพลายเลย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



(ก) ค่าของ R_1 จะมากกว่าที่คำนวณไว้



(ข) กระแสไบอัสเข้าจะไม่ไหลออก

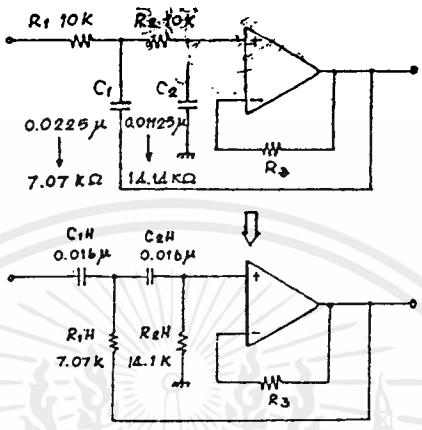
รูปที่ 2.6 ข้อควรระวังสำหรับฟิลเตอร์

สำหรับวงจร HPF แบบนี้ ข้อควรคำนึงถึงก็คือ R และ C ให้คิดขณะที่ f_o มีค่าอิมพีแด้นซ์เท่ากัน สามารถเปลี่ยนตำแหน่งกันได้กล่าวคือ C_{1H} และ C_{2H} (ในรูปที่ 2.7) สำหรับLPF ที่ใช้ R 10 KΩถ้าใช้ C ต่อแทน R โดยสลับตำแหน่งกันจะได้ค่า 0.016_u และ 0.016_u ส่วนค่า R_{1H}, R_{2H} ซึ่งแทน C_1 และ C_2 ในวงจรเดิมก็จะได้ 7.07 KΩ และ 14.14 KΩ ตามลำดับ การต่อR และ C แทนที่กันนี้จะเรียกว่า "การเปลี่ยนความถี่" จาก LPF เป็น HPF โดย

$$R_H = \frac{1}{w_o \, CL}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้
032773

$$C_L = \frac{1}{w_o \ R_L}$$



รูปที่ 2.7 การเปลี่ยนจาก LPF – HPF

1. เปลี่ยนตำแหน่ง C กับ R
2. ที่ w_o มีอิมพีแดนซ์เท่ากัน

$$R_H = \frac{1}{W_o \ C_L}$$

$$C_H = \frac{1}{w_o \ R_L}$$

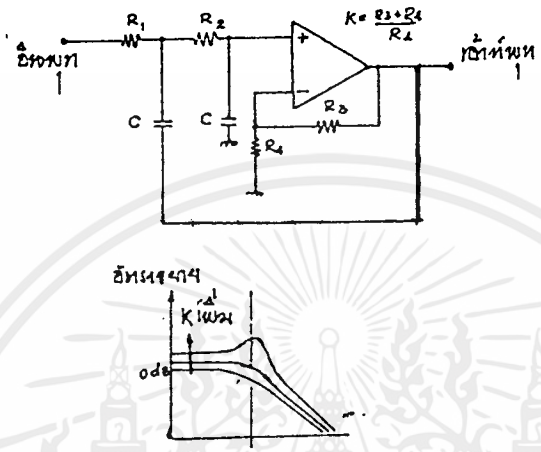
R_H, C_H = HPF Constant

R_L, C_L = LPF Constant

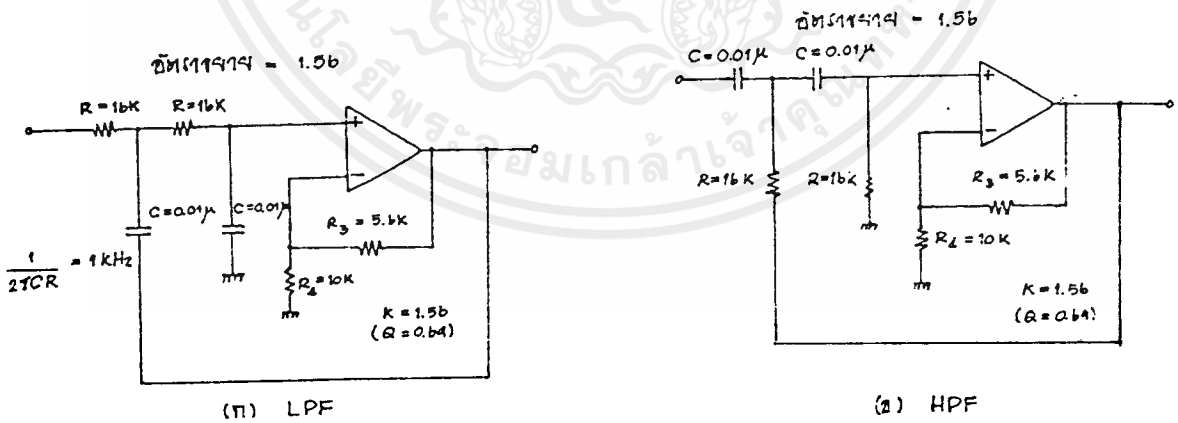
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.3 การเลือกค่าอัตราขยายของออปแอมป์เพื่อกำหนดค่า Q

ในวงจรฟิลเตอร์ที่กล่าวมานั้น กำหนดให้ออปแอมป์มีอัตราขยายเป็น 0dB (หรือขยาย 1 เท่า) ทำให้การเปลี่ยนแปลงของวงจรขึ้นอยู่กับ C มากกว่าค่า Q ซึ่งไม่ถูกต้องตามความเป็นจริง



รูปที่ 2.8 การใช้ค่า CR เดียวกัน



รูปที่ 2.9 แอคทีฟฟิลเตอร์ (COF) = 1 KHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในรูปที่ 2.8 ออปแอมป์มีค่าอัตราขยายเท่ากับ K ค่า C และ R มีค่าเหมือนกับวงจรเดิม ตอนนี้ค่าของ Q จะเปลี่ยนไปจากเดิมซึ่งความสัมพันธ์ของ Q และอัตรา - ขยายของออปแอมป์ (K) จะได้ดังนี้

$$Q = \frac{1}{3 - K}$$

AND

$$K = 3 - \frac{1}{Q}$$

ค่าของ K จะมีค่าอยู่ระหว่าง 1 - 3 ส่วนค่าของ Q จะอยู่ในช่วง 0.5 ถึงอนันต์ (infinity) ทีเดียว เปรียบเทียบช่วงเปลี่ยนแปลงของ K กับ Q แล้ว Q จะมีช่วงเปลี่ยนกว้างมาก ซึ่งเป็นจุดเสียของวงจรนี้ ทำให้ต้องใช้ R ที่มีค่าผิดพลาดน้อยมาก ๆ ในวงจรถ้า Q = 0.707, K = 1.58 C จะมีค่าเท่ากัน คือ 0.01_u ซึ่งง่ายต่อการออกแบบและสร้าง แต่ถ้า K = 1, Q = 0.5 f_o จะมีค่า -6dB สมมุติว่าลองออกแบบLPF ขนาด 1 KHz ใหม่ดูอีกที ในรูปที่ 2.9 โดยใช้ R ที่มีค่า 16 K

$$C = \frac{1}{2\pi f_o R}$$

$$= 0.01_u F$$

$$K = 3 - \frac{1}{0.707}$$

$$= 1.58$$

USE $R_4 = 10\ K$

$(10\ K + R_4)/10\ K = 1.58$

ค่า $R_3 = 5.8\ K$ แต่ค่า 5.8 K + 5% ไม่มี จึงต้องใช้ค่า 5.6 K แทน ทำให้ค่า Q = 0.69 สูงขึ้นกว่าเดิม แต่ก็ไม่มีผลมากนักในทางไปปฏิบัติ ทีนี้ถ้าลองเปลี่ยนจากLPF เป็น HPF ดูโดยเปลี่ยนตำแหน่งของ C และ R กัน จะให้ผลที่แตกต่างกันหลาย ๆ แบบ ซึ่งขึ้นอยู่กับค่าของ Q นั่นเอง ดังตัวอย่างต่อไปนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2 ชั้น : $Q_1 = 0.707$

3 ชั้น : $Q_1 = 1.000$

4 ชั้น : $Q_1 = 0.541$, $Q_2 = 1.306$

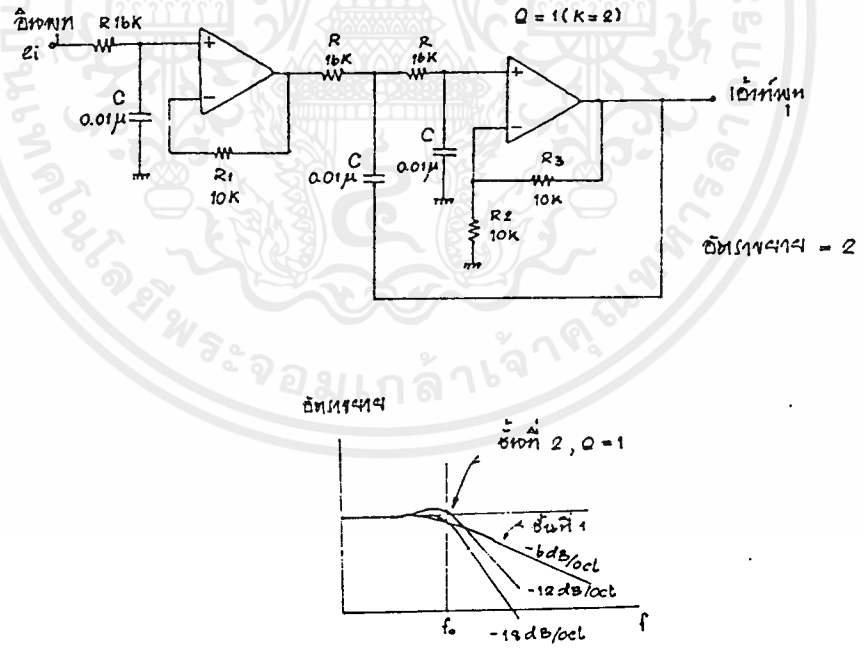
5 ชั้น : $Q_1 = 0.618$, $Q_2 = 1.618$

6 ชั้น : $Q_1 = 0.517$, $Q_2 = 0.707$, $Q_3 = 1.932$

7 ชั้น : $Q_1 = 0.556$, $Q_2 = 0.802$, $Q_3 = 2.247$

8 ชั้น : $Q_1 = 0.510$, $Q_2 = 0.601$, $Q_3 = 0.900$, $Q_4 = 2.563$

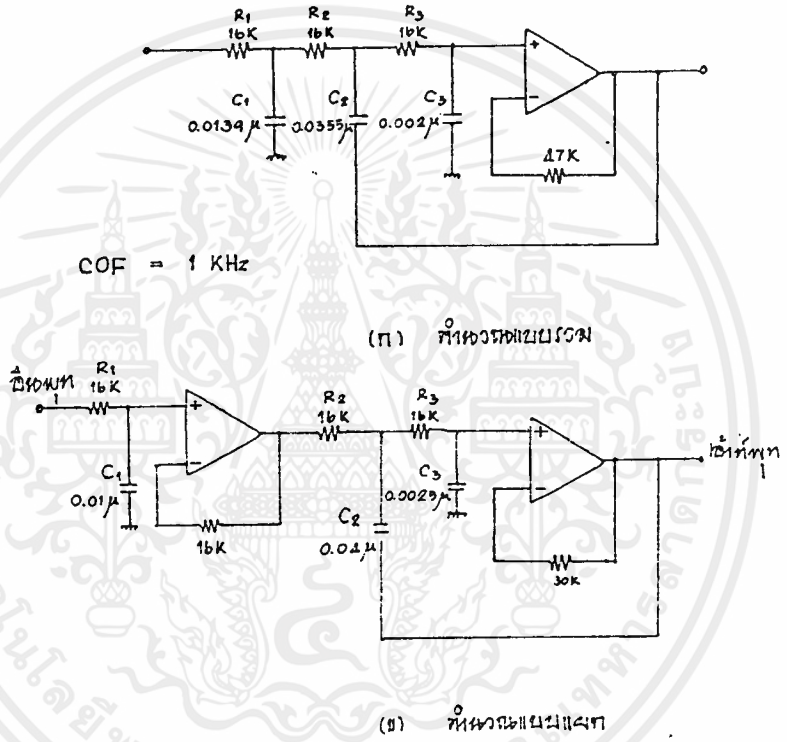
จะเห็นได้ว่า บางชั้น Q จะมีได้หลายค่า ถ้าเราออกแบบวงจรให้มีค่า Q เท่ากับที่แสดงแล้ว ก็จะได้ฟิลเตอร์ที่มีคุณสมบัติตามที่ต้องการ



รูปที่ 2.10 ฟิลเตอร์แบบ 3nd order

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 2.10 (-18dB/oct) เป็นวงจร 3 ชั้น ชั้นที่ 1 เป็น CR passive filter ไม่คิดค่าของ Q Active filter เกิดจากชั้นที่ 2 ขึ้นไป ในชั้นที่ 1 COF จะได้ที่ -3dB ชั้นที่ 2 ถ้าค่าของ Q ไม่เท่ากับ 1 f_o จะไม่เป็น -3dB จึงต้องให้ $Q = 1(K + 2)$



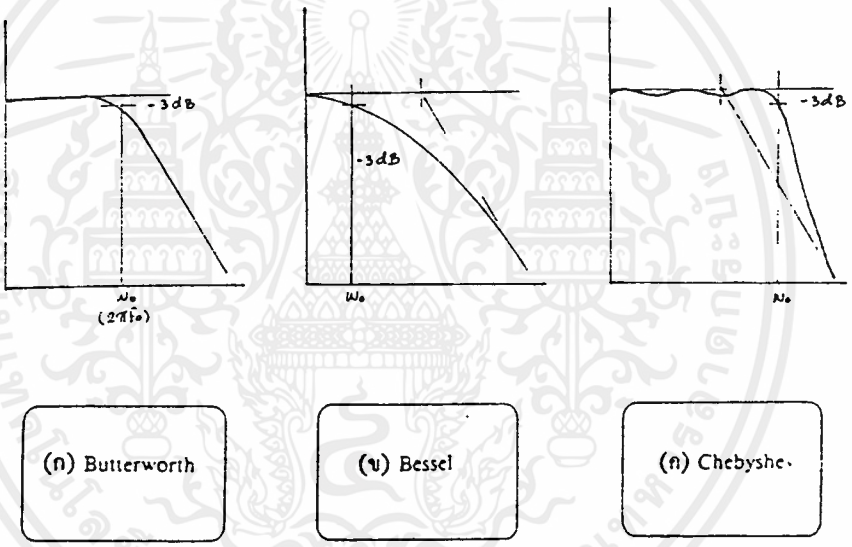
รูปที่ 2.11 แสดง 3nd LPF

รูปที่ 2.11 แสดงถึง 3nd order ของ LPF แบบชนิดใช้ออปแอมป์ตัวเดียว (ในรูป ก.) และใช้ออปแอมป์ 2 ตัว (ในรูป ข.) ซึ่งในรูป ก. การใช้ออปแอมป์ตัวเดียวจะเห็นได้ว่า ค่าของ C ที่ใช้ต้องละเอียดมาก เนื่องจาก C มีผลต่อวงจรกันและกัน ส่วนในรูป ข. นั้น แบ่งออกเป็น 2 ตอน ตอนแรก (f_o= 1KHz), LPF และตอนที่ 2 (f_o = 1 KHz), Q = 1 LPF ซึ่งออกแบบง่ายกว่าแบบแรกมาก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.4 คุณสมบัติของฟิลเตอร์แบบต่าง ๆ

ค่าที่จำเป็นในการออกแบบฟิลเตอร์ คือ w_o และ Q ถ้ากำหนด w_o และ Q มาให้ก็สามารถออกแบบวงจรได้ตามต้องการ สำหรับตัวอย่างที่กล่าวมาแล้ว กำหนดค่า w_o ให้เท่ากันหมด ซึ่งคุณสมบัติข้อนี้คือ บัตเตอร์เวอร์ธฟิลเตอร์(Butter worth filter) แต่ละขั้นจะให้ค่า-3dB ซึ่งคุณสมบัติโดยทั่วไปในกรณีอื่น ๆ เช่น เบสเสล ฟิลเตอร์ หรือเชฟบีเชฟฟิลเตอร์ ดังในรูปที่ 2.12 ในกรณีนี้ ค่าของ w_o ในแต่ละขั้นจะไม่เท่ากัน



รูปที่ 2.12 คุณสมบัติของฟิลเตอร์แบบต่าง ๆ

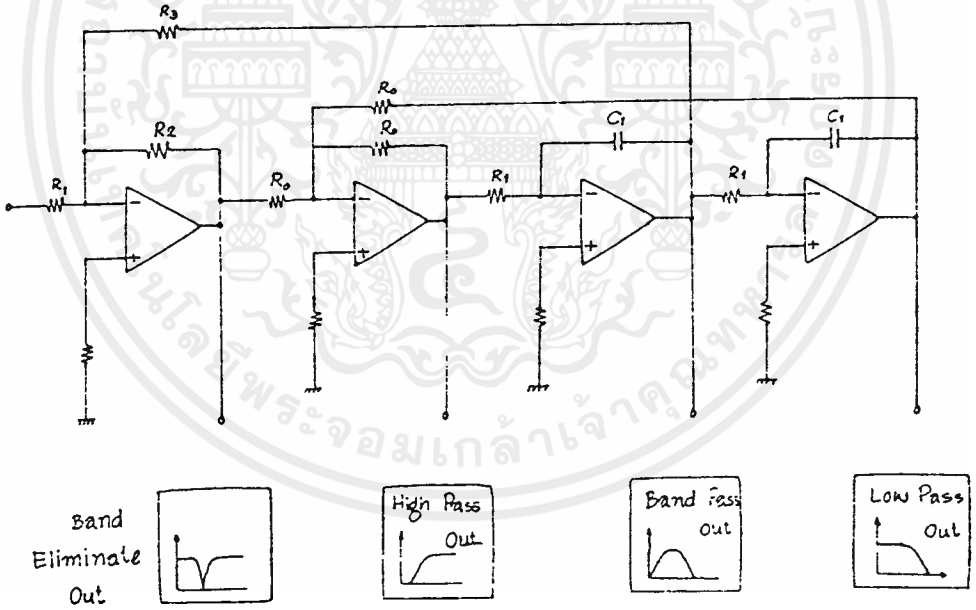
โดยทั่วไปทั้งหมดจะให้ค่า -3dB เช่นเดียวกัน ส่วนประกอบของวงจรจะเหมือนกัน แต่ค่า C และ R จะซับซ้อนขึ้นในเครื่องคอมแพคดิสค์ ในช่วงความถี่ 0-20 KHz จะเกิดความถี่แซมปลิ้ง 44.1 KHz เพื่อไม่ให้ความถี่แซมปลิ้งนี้ออกมา ต้องใช้อัตราขยาย ถึง -100dB ซึ่งถ้าใช้บัตเตอร์เวอร์ธ ฟิลเตอร์ 1 ชั้น จะได้ -6dB ต้องใช้CR ถึง 16 หรือ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

17 ชั้น แต่ถ้าใช้เซฟบีเซฟ ฟิลเตอร์ เพียงประมาณ 10 ชั้น ก็จะได้ -100dB/oct โดยมีค่าความคลาดเคลื่อนประมาณ 0.5dB

Bi- Quadratic Filter (BQF)

วงจรแบบนี้มีคุณสมบัติพิเศษ คือ สามารถให้คุณสมบัติของฟิลเตอร์ได้ทั้ง 4 แบบ ในวงจรเดียวกัน ดังในรูปที่ 2.13 อีกทั้งค่าของ w_o และ Q ของแต่ละส่วนจะไม่ขึ้นแก่กันและกัน ทำให้การคำนวณง่าย ในรูปที่ 2.13 นี้



รูปที่ 2.13 Bi- Quadratic Filter

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กำหนดค่า $Q = R_3 / R_2$ และอัตราขยาย $= R_2 / R_1$ แต่ข้อจำกัดของ BQF นี้ก็คือ ไม่สามารถใช้ HPF และ LPF พร้อมกับ BPF และ BEF ในเวลาเดียวกัน เนื่องจาก BPF นั้นค่า gain ขึ้นอยู่กับ Q

2.5 Secound order bandpass Filter

ตัววงจรพารากราฟฟิค อิควอไลเซอร์ ฟิลเตอร์ นั้นประกอบขึ้นจากวงจรกรองความถี่เลื่อนได้แบบแอคทีฟ(Tunable active bandpass filter)ที่สามารถปรับพารา-มิเตอร์ต่าง ๆ ได้ คือความถี่กลาง ความกว้างของความถี่และการขยายหรือการลดทอนซึ่งวงจรดังกล่าวได้มาจาก Secound order bandpass filter นั่นเอง

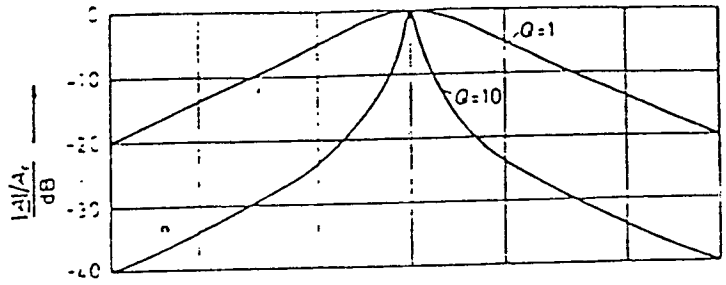
$$\text{transfer function is : } A(P) = \frac{A_o}{1 + 1(P + 1/P)}$$

$$= \frac{A_o P}{1 + P + P^2}$$

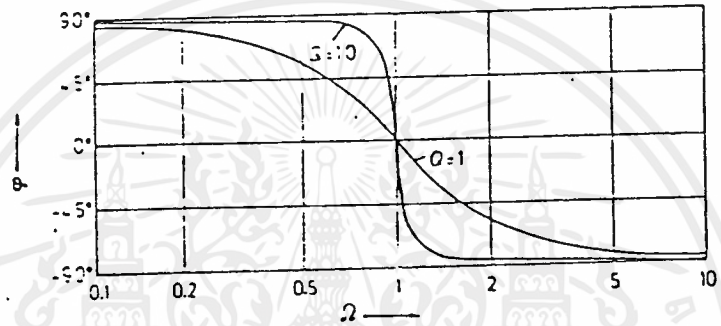
$$Q = \frac{f_r}{B} = \frac{f_r}{f_{max} - f_{min}} = \frac{1}{max - min} = 1$$

$$A(P) = \frac{(A_r / Q) P}{1 + \frac{1}{Q} P + P^2}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

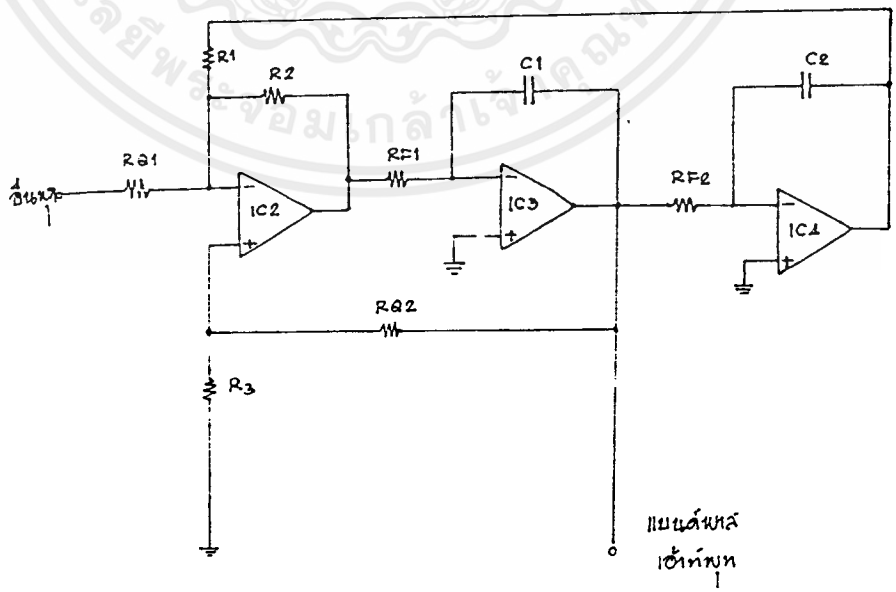


$$|\underline{A}| = \frac{(A_r/Q)\,\Omega}{\sqrt{1+\Omega^2\left(\frac{1}{Q^2}-2\right)+\Omega^4}}$$



$$\varphi = \tan^{-1}\frac{Q(1-\Omega^2)}{\Omega}.$$

รูปที่ 2.14 Frequency response of amplitude and phase of secound order bandpass filters having the quality factors Q = 1 and Q = 10



รูปที่ 2.15 แสดงส่วนของวงจรฟิลเตอร์ที่ใช้ในการควบคุมความถี่และ Q

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กำหนดให้ $RQ_1 = RQ_1 = RQ$

$R_1 = R_1 = 2R_3 = R$

$RF_1 = RF_1 = RF$

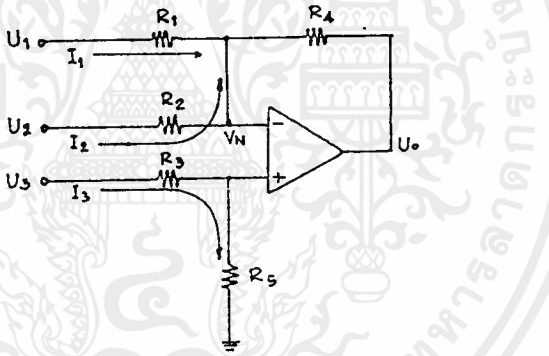
$C_1 = C_2 = C$

จากรูปที่ 2.15

$$U_1 = \frac{-U_o XC_2}{RF_2} \quad (2.1)$$

$$U_o = \frac{-U_2 XC_1}{RF_1} \quad (2.2)$$

$$U_2 = \frac{-U_o RF_1}{XC_1} \quad (2.3)$$



รูปที่ 2.16 แสดงวงจรฟิลเตอร์จากรูป 2.15 ที่จัดในรูปใหม่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากรูป 2.16

$$V_n = \frac{U_3 R_5}{R_3 + R_5} \qquad (2.4)$$

$$I_n = \left(U_1 - U_3 \frac{R_5}{R_3 + R_5}\right) / R_1 \qquad (2.5)$$

$$I_2 = \left(U_2 - U_3 \frac{R_5}{R_3 + R_5}\right) / R_2 \qquad (2.6)$$

$$U_o = -(I_1 + I_2) R_4 + V_n \qquad (2.7)$$

แทนค่าสมการ (2.4), (2.5), (2.6) ลงใน (2.7)

$$U_o = -\left(\left(U_1 - U_3 \frac{R_5}{R_3 + R_5}\right) / R_1 + \left(U_2 - U_3 \frac{R_5}{R_3 + R_5}\right) / R_2\right) R_4 + U_3 \frac{R_5}{R_3 + R_5}$$

$$= -U_1 \frac{R_4}{R_1} U_2 \frac{R_4}{R_2} + U_3 \frac{R_4 R_5}{R_1 (R_3 + R_5)} + U_3 \frac{R_4 R_5}{R_2 (R_3 + R_5)} + U_3 \frac{R_5}{R_3 + R_5}$$

$$= -\frac{U_1}{R_1} + \frac{U_2}{R_2} R_4 + U_3 \frac{R_5}{R_3 + R_5} \frac{R_4}{R_1} + \frac{R_4}{R_2} 1$$

จากรูป 2.15 แทนค่า ลงใน (2.8)

$$U_2 = -U_1 \frac{R_2 - U_i}{R_1} \frac{R_2}{RQ_2} + U_o \frac{R_3}{R_3 + RQ_2} \frac{R_2}{R_1} + \frac{R_2}{RQ_1} + 1 \qquad (2.9)$$

แทนค่า (2.1), (2.3), ลงใน (2.9)

$$-\frac{U_o RF_1}{XC_1} = U_o \frac{XC_2 R_2}{RF_2 R_1} - U_1 \frac{R_2}{RQ_1} + U_o \frac{R_3}{R_3 + RQ_2} \frac{R_2}{R_1} + \frac{R_2}{RQ_1} + 1$$

$$U_1 R_2 = U_o RF_1 W_c C_1 P + \frac{R_2}{R_1 RF_2 W_c C_1 P} + \frac{R_2}{(R_3 + RQ_2)}$$

$$= \frac{(RQ_1 + R_1 + RQ_1 \cdot R_1 / R_2)}{RQ_1 R_1} \qquad (2.10)$$

แทนค่าตามที่กำหนดให้ ลงใน(2.10)

$$\frac{U_1 R}{RQ} = U_o RFW_c CP + \frac{R}{RRFEWCP} + \frac{(R/2)R}{R/2 + RQ} \frac{(RQ + R + RQR/R)}{RQR}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$= U_o\, RFW_c CP + \frac{R}{RRFWCP} + \frac{(R/2)R}{R/2 + RQ}\ \frac{(R+2RQ)}{RQ}$$

$$= \frac{U_o\, RF_2 \cdot RW_c^2\, C^2P^2 + R + 2(R/2)\, RF \cdot RW_c\, CP/\, RQ}{R \cdot RFW_c CP}$$

$$\therefore U_o = \frac{(RF \cdot RW_c CP)/\, RQ}{1 + (RF \cdot FW_c CP)/\, RQ + RF^2 W^2 C^2 P^2}$$

FROM $A(P) = \dfrac{(A_r/\, Q)P}{1 + (1/Q)\, P + P^2}$

$$W_o^2 = \frac{1}{RF^2\, C^2}$$

$$f_o = \frac{1}{2\P\, RFC}$$

$$\therefore Q = \frac{1}{RF \cdot RW_c C}$$

$$= \frac{RQRFC}{RF \cdot RC} \quad ; \quad W_c = \frac{1}{RFC}$$

$$= \frac{RQ}{R}$$

จะได้ความถี่กลาง $f_c = \dfrac{1}{2\P\, RFC}$

$$Q = \frac{RQ}{R}$$

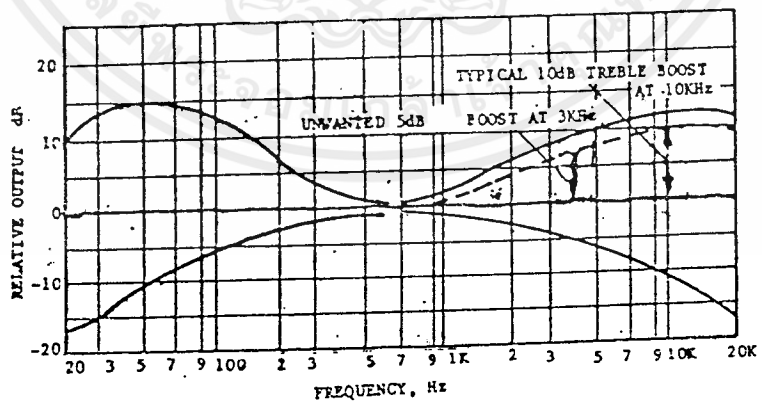
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 3

ชนิดของ Equalizer

ในระบบเครื่องเสียงอุปกรณ์ทุกชิ้นไม่ว่าจะเป็น turn table, tape deck, Tunney, Proamp, Main amp, ลำโพง หรือแม้กระทั่งห้องที่ใช้สำหรับฟังเพลง ถ้าทุกอย่างมีความสมบูรณ์จริง ๆ แล้ว เราไม่ต้องอาศัย Tone control (ปุ่มปรับทุ้ม-แหลม) เลย แต่ยากมากที่ระบบเสียงจะสมบูรณ์ได้เพราะแม้ว่าจะมีระบบที่ว่านี้จริง แต่โอกาสที่จะได้พบกับการบันทึกแผ่นเสียงที่ไม่มาตรฐานก็ยังมีอยู่ ดังนั้น ถึงอย่างไรก็ต้องใช้ Tone control อยู่ดี

ชนิดของ Tone control แบบง่าย ๆ ที่พบเห็นกันทั่วไป จะมีปุ่มทุ้ม-แหลม หรือ ถ้าดีหน่อยก็อาจจะมีเสียงกลางมาด้วย นั่น คือการ Boost (ยกความดัง) และการ คัท (ลดความดัง) มีผลกระทบกับความดังใกล้เคียงมากเกินไป ตัวอย่างเช่น ถ้ารู้สึกว่าลำโพงให้เสียงแหลมไม่ดี ท่านก็จะ บูสท์ ให้เสียงแหลมขึ้นมาแต่ผลพลอยได้ที่อาจจะนึกไม่ถึง คือ ท่านได้บูสท์เสียงกลางขึ้นมาด้วยอีกมากทีเดียว ดังตัวอย่างกราฟในรูป



รูปที่ 3.1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 3.1 ผลการ Boost, Cut ความถี่ของ Tone control ทั่วไป จะเห็นว่า เสียงแหลม (ความถี่ประมาณ 10 KHz) จะถูกยกขึ้นมาได้ 10 dB แต่เสียงกลาง (ความถี่ประมาณ -3 KHz) จะถูกยกขึ้นมาถึง 5 dB อันนี้เองเป็นสิ่งที่ท่านคงไม่ต้องการเท่าไรนัก แต่ถ้าใช้ Equalizer มาแทน Tone control (Equalizer สามารถซอยความถี่ได้ละเอียด) ดังนั้นจึงสามารถ Boost หรือ Cut ความถี่ได้ในช่วงแคบ ๆ ทำให้สามารถปรับความสมดุลย์ของเสียงได้ใกล้เคียงความต้องการมากขึ้น

Equalizer ในปัจจุบัน มี 3 แบบ คือ

1. แบบกราฟฟิคอิควอไลเซอร์ (Graphic Equalizer)
2. แบบพาราเมตริกอิควอไลเซอร์ (Parametic Equalizer)
3. แบบพารากราฟฟิคอิควอไลเซอร์ (Paragraphic Equalizer)

3.1 แบบกราฟฟิคอิควอไลเซอร์ (Graphic Equalizer) จะมีความถี่ศูนย์กลาง(Center frequencyและแถบความถี่ (Bandwidth) เป็นแบบตายตัว

กราฟฟิคอิควอไลเซอร์ จะแบ่ง Spectrum ของความถี่เป็นเสียงออก - ตามจำนวน band ซึ่งในแต่ละ band ก็จะมีการ boost และ cut เฉพาะความถี่เป็นอิสระแก่กัน ในวงจรแบบ 5 band หรือ 2 Octave จะมีค่า Q ต่ำ (Q สำหรับ bandpass filter, $Q = \frac{WD}{BW}$

WD = ความถี่เชิงมุมตรงกลาง หรือ Enter Angular Frequency

BW = Bandwidth

โดยจะนับจากตำแหน่งที่อัตราการขยายลดลง 3 dB ทั้งสองข้างของ WD จะเป็น bandpass WD = 2 f_o เมื่อค่า Q ต่ำความกว้างของ band จะกว้าง กราฟฟิคอิควอไลเซอร์โดยทั่วไปมักจะมีความถี่ตรงกลางที่ถูกกำหนดไว้คงที่แล้ว การตอบสนองต่อความถี่ กราฟฟิคอิควอไลเซอร์ จะสูงขึ้นเป็นลูก ๆ ตลอดเวลา อ่านความถี่จึงได้ชื่อว่า Pedkind type Equalizer

ความถี่ศูนย์กลางในเครื่อง อิควอไลเซอร์ หมายถึง ความถี่ของสัญญาณเสียงที่เราสามารถจะเร่งหรือลดระดับความดังได้ แถบความถี่ หมายถึง ช่วงห่างของความถี่ศูนย์กลางแต่ละตัว Spect Equalizer จำกำหนดความกว้างของแถบความถี่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ส่วนความถี่ศูนย์กลางนั้น ควรจะครอบคลุมช่วงความถี่เสียงที่มนุษย์สามารถได้ยิน คือ 20 Hz ถึง 20 KHz หรือมากกว่านี้อีกเล็กน้อย

Equalizer แบบนี้เท่าที่มีจำหน่ายก็มีตั้งแต่แบบ 2 octave bsnd; Octave band หมายถึงความกว้างของแถบความถี่ ซึ่งทำให้ความถี่ศูนย์กลางเป็น 2 เท่า (2^1) ของความถี่ศูนย์กลางที่ต่ำกว่าถัดไป ดังนั้น 2 Octave band ก็หมายถึงความถี่ศูนย์กลางที่ต่ำกว่าตัวถัดไป นั่นคือตัวเลขหน้าคำว่า Octave band ยิ่งมาก ก็ยิ่งทำให้ความถี่ศูนย์กลางห่างกันมากขึ้น การปรับแต่งจะไม่ละเอียดพอ สำหรับ Graphic Equalizer ควรมีแถบความถี่ที่แคบสักหน่อย ตั้งแต่ 1/3 octave band จนถึง 1/6 octave band จะเหมาะสมที่สุด แต่จะมีราคาแพง

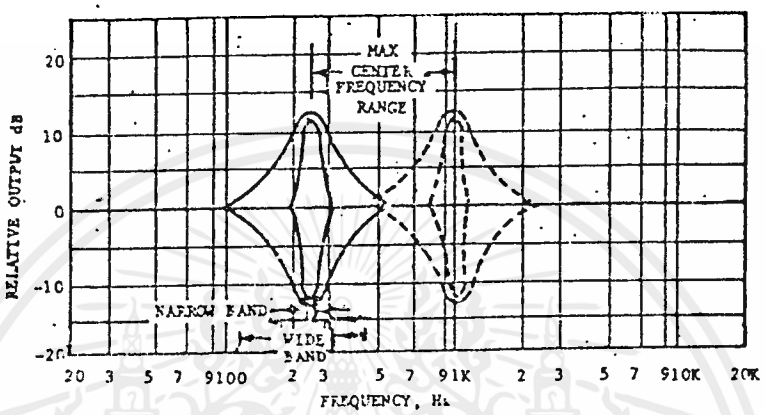
3.2 พาราเมตติค อิควอไลเซอร์ (Parametic Equalizer)

เป็นแบบที่ เลือกความถี่ศูนย์กลางได้มาก และจะเปลี่ยนแปลงความถี่ให้ละเอียดขึ้นหรือน้อยเพียงใดก็ได้ เท่าที่มีจำหน่ายมีตั้งแต่ 2 bandถึง 4 band ตัวเลขหน้าคำว่า band คือ จำนวนแถบความถี่ศูนย์กลางที่เราจะเลือกปรับได้อย่างอิสระ ทั้งนี้เราอาศัยปุ่มปรับเสียงทุ้มแหลมของชุดเครื่องขยายมาปรับช่วงความถี่อื่น ๆ ได้ด้วย ทำให้การแก้ไขปัญหาความก้องกังวาน หรือลักษณะทับทางด้านเสียงของห้องฟังเพลงได้เป็นอย่างดี

สำหรับ Parametic Equaliter จะผิดแปลกไปจาก Graphic Equalizer บ้าง แต่ในส่วนที่เหมือนกัน ก็คือ ในแต่ละ band จะสามารถปรับ boost และ cut ได้เฉพาะ band แต่ความถี่ตรงกลางและความกว้างของ band หรือค่า Q สามารถปรับหรือเปลี่ยนได้ ดังนั้นการที่เราจะ boost หรือ cut ที่ความถี่เท่าไร จะเป็นตัวแปรอิสระแก่กัน ดังนั้น พาราเมตริกอิควอไลเซอร์ จะช่วยได้มากในเรื่อง การปรับแต่งเสียง การแสดงหรือการอัดเสียงทำ มาสเตอร์เทปอีกด้วย

พาราเมตริกอิควอไลเซอร์ มักจะใช้ในระบบเสียงอาชีพมากกว่า ถึงแม้ว่าส่วนใหญ่การแบ่งช่วงความถี่จะน้อยกว่าแบบกราฟฟิคก็ตาม (มีแค่ 3-4 ช่วง) แต่ในแต่ละช่วงความถี่สามารถตั้งความถี่ในการ Boost หรือ cut ตามความพอใจได้ดังรูป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.2 แสดงการตั้งความถี่และการเปลี่ยน band width parametic equalizer

ในความเป็นจริงแล้ว ระบบเสียงต้องการชดเชยจุดบกพร่องของความถี่เสียงไม่กี่จุด ดังนั้น พาราเมตริกอิควอไลเซอร์ จะให้ความสะดวกสะบายและตอบสนองความ - ต้องการได้ตรงจุดมากกว่าเพราะการที่สามารถตั้งความถี่ที่ต้องการจะ boost หรือ cutได้นั้น สามารถแก้ไขความถี่ที่มีปัญหาได้ตรงจุดมากกว่าแบบกราฟฟิค

นอกจากตั้งความถี่ได้แล้ว ยังสามารถกำหนดความกว้างของความถี่ที่กำลังจะ boost หรือ cut ได้เช่น ถ้ากำหนด bandwidth แคบ ก็จะได้การ boost, cut ณ ความถี่นั้น ๆ ส่วนความถี่อันที่สูงที่สุดหรือต่ำกว่านั้นจะไม่ถูก boost หรือ cut ด้วย แต่ถ้ากำหนด bandwidth กว้าง ความถี่ใกล้เคียงก็จะถูก boost หรือ cut ตามไปด้วย ซึ่งอันนี้ก็ขึ้นอยู่กับว่าผู้ใช้มีความต้องการอย่างไร อย่างเช่น ในกรณีที่เกิดมีเสียงก้องขึ้นในระบบเสียงอันเนื่องจากการเกิด resonance ของความถี่หนึ่ง เนื่องจากสภาพของห้องเสียงก้องมักจะมี bandwidth แคบ การใช้อิควอไลเซอร์ เพื่อกำจัดความถี่ เรโซแนนท์ก็ไม่ควรปรับ bandwidth ให้มากเกินไป มิฉะนั้นความถี่ที่ใกล้ -

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เคียงอื่น ๆ จะถูกตัดหายไปด้วย

เป็นการผสมระหว่าง กับ เรา สามารถเลือกความถี่ศูนย์กลางและแถบความถี่ได้อย่างอิสระเช่นกัน แต่จะเป็นช่วงแคบ ๆ ไม่ครอบคลุมมากอย่างในแบบ แบบนี้นับว่าเหมาะสมกับการใช้งานเป็นที่สุด

Opthimized Equalizer

การได้ยินเสียงของมนุษย์จะไม่รู้สึกถึงความแตกต่างของความถี่ที่คลาด - เคลื่อนไปน้อยกว่า 1/3 octave (เรียกว่า efiticial bandwidth) จึงเป็นเหตุผลว่าทำไม professional Equalizer จึงมี 24 ถึง 31 band ที่ประมาณ 1/3 ช่วง octave (octave spacing) โดยปกติแล้ว critical bandwidth จะแคบในย่าน midrange มากกว่าในย่านความถี่ต่ำ (bass) หรือความถี่สูง (high table) เพียงจากเสียงต่าง ๆ รวมทั้ง เสียงดนตรีจะเกิดขึ้นเป็นพวกความถี่กลาง (midrange) มากกว่าในย่านอื่น นั่นคือ ในย่าน midrange จะเป็นช่วงที่มีความสำคัญมากในผลของเสียงที่ได้ออกมา (close band spacing) ปกติ equalizer จะออกแบบมาเพื่อใช้ในอาคารบ้านเรือน จะใช้ในแบบ 1 ช่วง octave ต่อ band ทั้งหมดในย่าน treble และอีก 2 อันในย่านความถี่ต่ำ (bass)

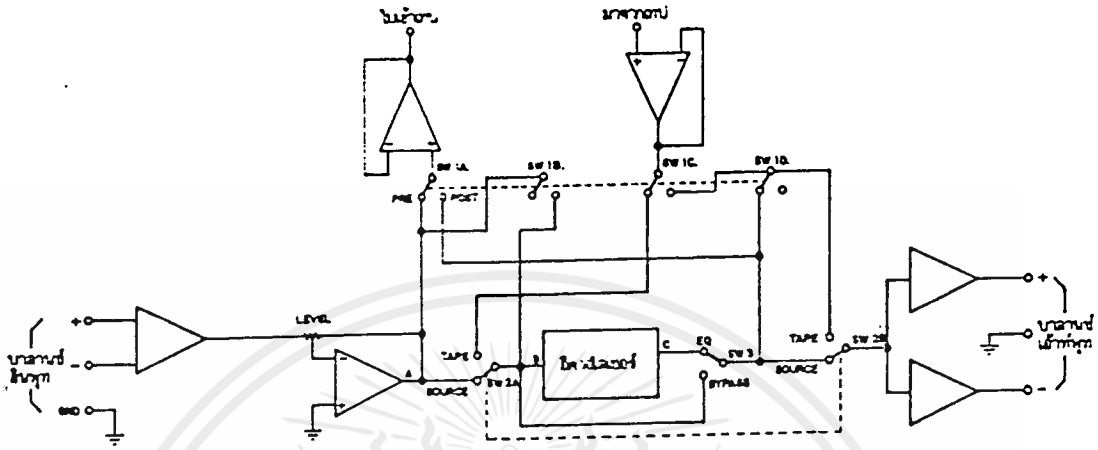
3.3 รายละเอียดของกราฟฟิคอิควอไลเซอร์

พารากราฟฟิค อิควอไลเซอร์ใช้ปรับความถี่และปรับค่า Q จะให้บูสท์หรือคัทเท่าไรก็ได้

เสียงประกอบด้วยสัญญาณที่มีความถี่แตกต่างกันมาผสมผสานกันอยู่ เสียงทุ้มหรือเรียกว่าเสียงเบส ประกอบด้วยคลื่นเสียงที่มีความถี่ต่ำ เสียงสูงหรือเสียงแหลมประกอบด้วยคลื่นเสียงความถี่สูง ทั้งนี้เสียงที่คนสามารถรับฟังได้ (Audiw Frequency) อยู่ในความถี่ตั้งแต่ 20 Hz ถึง 20,000 Hz อิควอไลเซอร์ เป็นอุปกรณ์เครื่อง - เสียงซึ่งช่วยเลือกปรับเพิ่มหรือลดเสียงตามย่านความถี่ที่ต้องการ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หลักการทำงาน



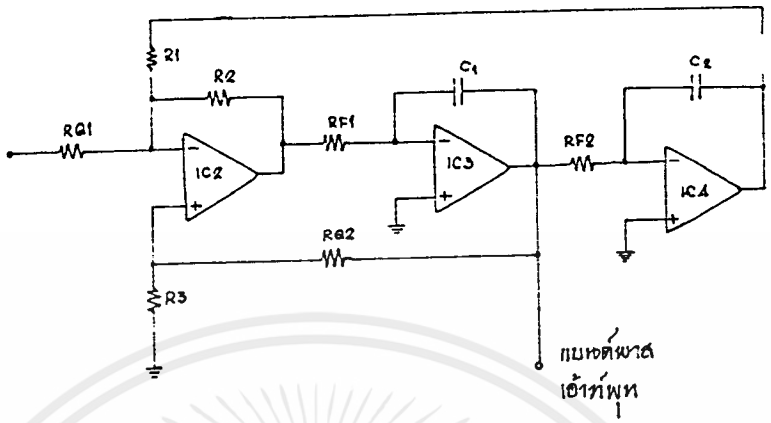
รูปที่ 3.3 บลอคไดอะแกรมการทำงานของพารากราฟฟิค อิควอไลเซอร์

จากรูปที่ 3.3 เป็นบลอคไดอะแกรมการทำงานของพารากราฟฟิค อิควอไลเซอร์ ส่วนที่สำคัญที่สุด คือ ส่วนของอิควอไลเซอร์ เพราะในส่วนนี้จะเป็นส่วนที่ใช้ในการควบคุม-และปรับแต่งความถี่ ค่า Q และอัตราการขยายของสัญญาณให้ได้ตามที่ต้องการ ในส่วนของอิควอไลเซอร์นี้ แบ่งออกเป็น 2 ส่วน คือ

1. ส่วนของฟิลเตอร์
2. ส่วนของการควบคุมอัตราการขยายของสัญญาณ

ส่วนของฟิลเตอร์ ที่แสดงไว้ในรูปที่ 3.4 จะเป็นส่วนที่ใช้ในการควบคุมความถี่ และค่า Q ของความถี่นั้น ๆ IC_3 และ IC_4 เป็นแบนด์พาสฟิลเตอร์มีหน้าที่ในการกรองสัญญาณให้ผ่านเพียงเฉพาะความถี่ที่เราต้องการเท่านั้น เมื่อได้รับสัญญาณความถี่ที่ต้องการแล้วจึงส่งไปให้กับ IC_2 อีกทีหนึ่งเพื่อทำการขยายสัญญาณจากเอ้าท์พุท ของ IC_3 และ IC_4 รวมทั้งสัญญาณที่รับเข้ามาทางอินพุทด้วย สำหรับค่าของความถี่ที่เราต้องการและค่า Q ของความถี่ที่เราต้องการนั้นจะสามารถหาได้จากการคำนวณตามสูตรที่ได้นำแสดงเอาไว้ในรูปที่ 3.4

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.4 ส่วนของวงจรฟิลเตอร์ที่ใช้ในการควบคุมความถี่และค่า Q

$$RQ_1 = RQ_2 = RQ$$

$$R_1 = R_2 = 2R_3 = R$$

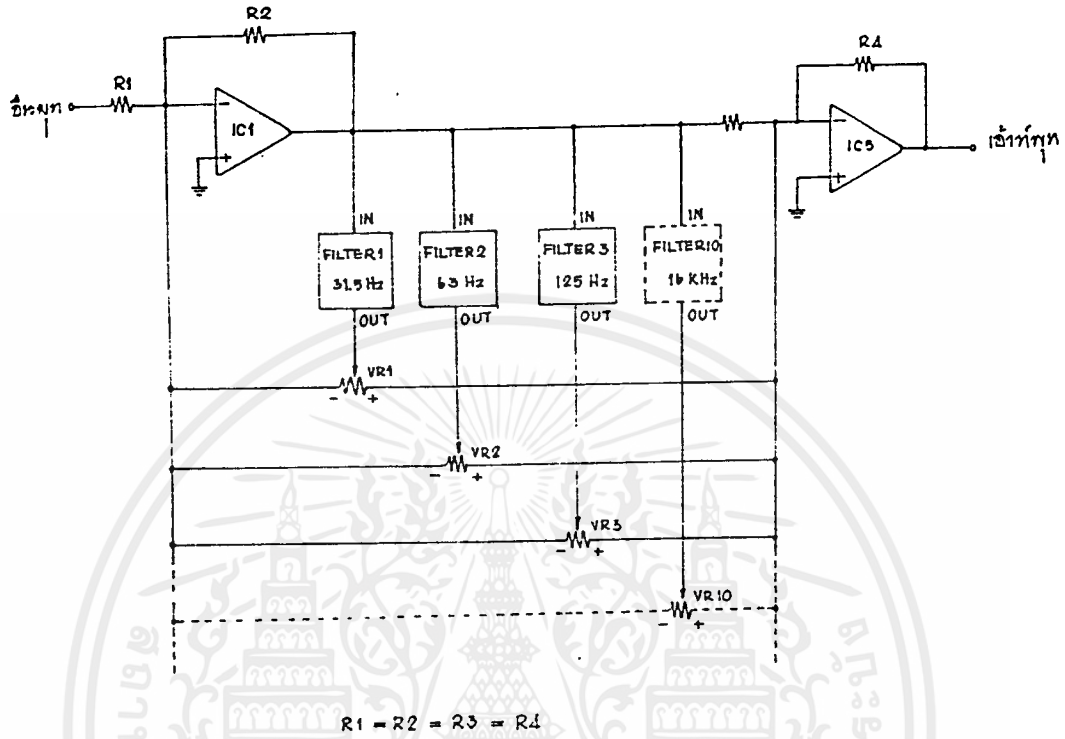
$$Q = \frac{RQ}{R}$$

$$RF_1 = RF_2 = RF$$

$$C_1 = C_2 = C$$

$$f_o = \frac{1}{2\pi RFC}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.5 ส่วนของวงจรที่ใช้ในการควบคุมระดับสัญญาณแต่ละความถี่

ส่วนที่ใช้ในการควบคุมอัตราการขยายของสัญญาณ หรือส่วนที่ใช้ในการควบคุม

ระดับสัญญาณของแต่ละความถี่นี้จะประกอบไปด้วย IC_1 และ IC_2 เป็นหลัก สำคัญดังรูปที่ 3.5 ส่วนของฟิลเตอร์จะนำเอามาใช้ร่วมกันกับในส่วนนี้ สัญญาณอินพุท ที่ IC_1 ทำการรับเข้ามาขยายแล้วจะส่งออกทางเอ้าท์พุทของ IC_1 เองโดยที่ส่วนหนึ่งนั้น จะส่งไปให้กับ IC_5และอีกส่วนหนึ่งจะส่งไปเข้าฟิลเตอร์IC_1 ที่มีค่าของความถี่เรโซแนนซ์ ที่ต่าง ๆ กัน สัญญาณที่ผ่านเข้าเครื่องกรองความถี่ของแต่ละฟิลเตอร์ จะถูกนำเอามาทำ – การควบคุมนั้นก็คือสัญญาณโดยการเปลี่ยนแปลงอัตราการขยาย ของ IC_1 ซึ่งจะเห็นว่า ส่วนที่ใช้ในการควบคุมนั้นก็คือ การปรับ VR เพื่อเปลี่ยนอัตราส่วนของการป้อนกลับในแต่ละค่าความถี่นั่นเอง ส่วน IC_5 ก็จะทำหน้าที่เป็นบัฟเฟอร์ให้กับส่วนของอิควอไลเซอร์ทั้งหมด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 4

หลักการออกแบบโดยใช้ LMC835 (Digital Control Graphic Equalizer) และหลักการของ Digital มาใช้ในการเลือกความถี่ และวงจรการนำ LMC835 ไปใช้งาน

Graphic Equalizer เป็นการควบคุมผลของความถี่ของระบบเสียงในอิควอ-ไลเซอร์ ซึ่งจะมีจำนวนย่านความถี่นั้นคงที่ และมี notch filter ในการควบคุม gain การเกิดรีโซแนนซ์และนัลในผลของความถี่ จากระบบเสียงนั้นจะง่ายต่อการชดเชยปรุงแต่งของ อิควอไลเซอร์

ภายในชิฟของ LMC835 นั้น จะมีการปรับ step ของความต้านทาน ของ Equalizer Stereo 7 band โดย 1dB จะปรับครอบคลุมมาได้จนถึงย่าน ± 12dB ขึ้นถึง 14 ช่วง และจัดให้อยู่โดยขนาดเป็นครึ่ง ๆ ในชิฟเดียวกัน และความต้านทาน Step Variable จะถูกฝังติดกับ Sichrome resistor อย่างดี

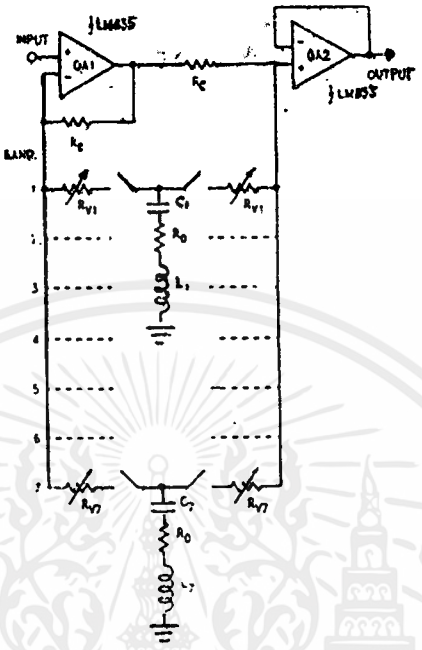
ในส่วนของdigital สุดท้ายในการจัดระดับให้เท่ากัน จะรวมไปถึง micro - processor Push Button Control, Multisegment Display และส่วนอื่น ๆ ที่รวมไปถึงการขับ dilplay ส่วนของ analog ธรรมดา โดยเปลี่ยนมาเป็นแบบdigital

4.1 Equalizer พื้นฐาน

พื้นฐานอิควอไลเซอร์ได้แสดงไว้ในรูปที่ 4.1 ที่มีออปแอมป์ อยู่ 1 ส่วนในทางเดินสัญญาณ วงจรจะแสดงเพียงส่วนหนึ่งของ LMC 835 RB, Ru, R_{V7} และสวิทช์ที่ คอยเลือกได้รวมอยู่ใน LMC 835

ออปแอมป์ ตัวแรกจะเป็นการ boost และ op-AMP ตัวที่ 2 จะเป็น BUTTER ไว้ CUT สำหรับความถี่เพียง 1 ช่องจะมีทั้ง boost และ cut แต่จะไม่เลือกในเวลาเดียวกัน ดังนั้นจะแยกโดย Switch exclusively ที่จุนวงจรว่า Boost หรือ cut

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.1 พื้นฐานของ Equalizer

$$\text{Gain } (A_{vt}) = \frac{R_{vt} + R_D + R_s}{R_{vl} + R_o} \quad \text{(boost)}$$

$$\text{Gain } (A_{vt}) = \frac{-R_{vt} + R_o}{R_{vl} + R_o + R_c} \quad \text{(cut)}$$

$$F_t = \frac{1}{2/L_t C_z}$$

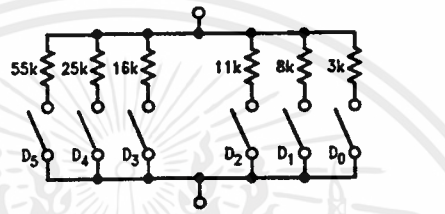
ในส่วน boost op-AMP 1 จะ set gain ด้วยอัตราส่วนของ Rb และ $R_o + R_v$

การ boost และ cut จะควบคุมได้โดยความต้านทานปรับค่าได้ R_{vt}-R_{v7} ซึ่งได้ออกแบบอัตราส่วนของ R_5 และ R_c ให้ได้ 1 dB

ความต้านทานที่ปรับได้นี้ แสดงในรูปที่ 4.1 ซึ่งได้อยู่ 6 ส่วน ที่เป็น Sichrome Resistor ถูกต่ออยู่ แบบขนานไปยัง C mos Fet Switch

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รายละเอียดใน รูปที่ 4.1 โดยจะเลือกค่าความต้านทาน 6 ค่าที่เหมาะสมมา รวมกันให้ได้เลือกถึง 12 step ส่วน Code การเรียงลำดับได้อธิบายไว้ในส่วน ของโปรแกรม



LEVEL	D_5	D_4	D_3	D_2	D_1	D_0
FLAT	0	0	0	0	0	0
1 dB	1	0	0	0	0	0
2	0	1	0	0	0	0
3	0	0	1	0	0	0
4	0	0	0	1	0	0
5	0	0	0	0	1	0
6	0	1	0	0	1	0
7	1	0	1	0	1	0
8	0	1	0	1	1	0
9	0	0	0	0	0	1
10	1	0	1	0	0	1
11	1	0	1	1	0	1
12	1	0	1	1	1	1

รูปที่ 4.2 Digital Controled ความต้านทานปรับค่าได้

คุณสมบัติทางความถี่และ Badnwidth ของแต่ละช่องนั้น จะถูก setโดย ส่วน Network ในรูปที่ 4.2 และค่าความสัมพันธ์กันของความต้านทานปรับค่าได้

ในช่วง รีโซแนนซ์ ส่วนของ L/C จะมีค่าอิมพิแดนซ์ลดลง จนถึง 0

ในช่วง boost op-AMP 1 จะ set gain ด้วยอัตราส่วนของ R_b และ $R_o + R_v$

ในทางตรงกันข้ามกัน ในส่วนของ cut ที่ op-AMP 1 เป็นวงจรbuffer ที่ประกอบด้วย R_c R_D และ R_v วงจรจูน L/C Network เมื่อปรากฏออกมาในรูป-

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ของอิมพีแดนซ์ สูง ๆ และ gain ลดลงเป็น 1

เนื่องจากคุณสมบัติของอิควอไลเซอร์ หาได้โดย L/C Network ภายนอกโดยนักออกแบบจะคอยปรับปรุงวงจรอิควอไลเซอร์ให้เหมาะสมตามความต้องการอยู่เสมอ

4.2 การเลือกช่องความถี่

ทางพื้นฐานของอิควอไลเซอร์ แบ่งเป็น 2 ชนิด

ชนิดที่ 1 คือ การเลือกช่องความถี่ไว้คงที่ตลอด

ชนิดที่ 2 เป็นการปรับช่องความถี่ ซึ่งสามารถปรับให้ครอบคลุมไปยังช่อง ต่าง ๆ

ในการเลือกความถี่ก็ได้แบ่งไว้ 2 วิธี คือ

1. ขยายแบนด์ออกให้สม่ำเสมอกับย่านความถี่ที่ต้องการ

2. เว้นแบนด์ให้ติดกับย่านที่ต้องการควบคุม และเว้นให้กับความกว้างที่อื่น ตัวอย่างของแบบที่ 2 นี้ คือ Modified ซึ่งจะเว้น แบนด์ไว้เยอะมากสำหรับความถี่ต่ำ ซึ่งมีใช้งานกันมาก ส่วนช่องที่เหลือจะเว้นไว้มากกว่าความกว้างที่ความถี่สูง (> 500Hz) ในเวลาเดียวกัน ช่องความถี่จะมีการถูกเลือก, วงจร Q , และ ค่าการคำนวณของวงจร Serie tune รวมถึงสูตรการใช้ design Equalizer

การเว้นช่องความถี่ให้คงที่ (band spacing) คือ การจัดโดยทั่วไปในในส่วนของ octave ซึ่ง octave จะครอบคลุมความถี่ ในอัตราส่วน 2:1 , e.g.ในความถี่ระหว่าง 1000-2000 Hz

จำนวนของ octave ที่อยู่ภายในระหว่าง 2 ความถี่ จะหาได้จากสมการ

$$\text{octave} = \text{Log}\ (F_z / F_L / \text{Log}\ (2) \quad \text{.....*}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$F_z > F_L$$

อีกอย่างหนึ่งสูตรที่ใช้ในการออกแบบ อิควอไลเซอร์ ซึ่งหาจากเสียงกลาง ระหว่าง 2 ความถี่ คือ

ความถี่กลาง = $\sqrt{_{z}FF_{L}}$ .....*

โดยเราจะพิจารณา 2 ความถี่ 200 Hz และ 440 Hz จะอยู่ห่าง 1 octave ถ้าดูดี ๆ จะปรากฏเป็น 300 Hz อยู่ระหว่างความถี่ทั้งสอง แต่จะไกลกว่าที่หูเราจะรับได้ 311 Hz จะมีระยะห่างเท่ากัน จาก 220 และ 440 Hz เพราะหูของเราปรับได้ตลอดเวลา

Band Selection

ในตัวอย่าง 7 Band equalizer ซึ่งมี 1 KHz เป็นความถี่กลางมี factor เท่ากับ 2.5 ถ้าใน 1 KHz มีซ้ำกัน หลาย ๆ ช่องก็จะแบ่งโดย 2.5 ถ้าความถี่อื่น ๆ จะกำหนดมา

สรุปว่า ถ้าเราต้องการจะควบคุมย่านให้ชัดเจน จะต้องหาความถี่จากสูตร

Center band = $\sqrt{\text{Fmax Fmin}}$.....*

และหา factor จาก

factor = $(F_{max}\sqrt{F_{min}})(1/2)$.....*

- F_{min} คือ ค่าความถี่ต่ำ -3 dB ที่แบนด์ต่ำสุด เมื่อ boost เต็มที่แล้วแบนด์อื่น ๆ จะอยู่สภาวะ flat
- F_{max} มีค่าสูง -3 dB ของช่องสูงสุด

และจากสูตรความถี่รวมกันได้

$$F_n = (F_{max}\frac{2n-1}{2d})(F_{min}\frac{2(d-n)+1}{2d})$$

เมื่อ n คือจำนวนแบนด์ (จาก 1 ถึง d)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

อาจจะเป็นเรื่องเข้าใจผิดที่ช่องความถี่ของ อิควอไลเซอร์ เกี่ยวข้องกับผลของความถี่ของการจัด ซึ่งไม่ใช่เรื่องที่ถูกต้อง ช่วงflat ของความถี่จะสมบูรณ์ จะขึ้นอยู่กับ band ของความถี่

อิควอไลเซอร์ส่วนมาก จะออกแบบให้มีการขยายย่านให้กว้างออกไป เพื่อการพิจารณาที่จะควบคุมได้ที่ความถี่ต่ำ

การเลือกค่า Q ให้สูงสุด

ถ้าต้องการหาค่า Q สูงสุดของแต่ละแบนด์ เมื่อเกิด full boost หรือว่า full cut และเช็คค่าของ $R_o + R_V L_o$ และ C_o ค่า Q MAX จะเป็นฟังก์ชั่น ของช่องความถี่ที่ติดกัน

$$Q_{max} = \frac{\sqrt{F_2}}{\sqrt{F_3} - \sqrt{F_1}}$$

เมื่อ Q_{max} คือ ค่า Q สูงสุด ของ F_2 ระหว่าง full cut และ boost และ F_3 และ F_1 เป็น band ความถี่ที่อยู่ใกล้กันช่องที่สูงสุดและต่ำสุดบน eq จะมีเพียง 1 แบนด์ที่เป็นแบนด์ประชิด

$$Q_{max} = ABS \left(\frac{\sqrt{F_1 F_2}}{F_3 - F_1} \right)$$

เมื่อ F_1 คือ แบนด์ประชิด และใจเทอมของ factor

$$Q_{max} = \frac{\sqrt{factor}}{factor - 1}$$

ในเทอมของ F_{min} และ F_{max}

$$Q_{max} = \frac{2d\sqrt{F_{max}}\sqrt{F_{min}}}{d\sqrt{F_{max}}\sqrt{F_{min}} - 1}$$

การหาค่า Q_{max} อีกอย่างหนึ่ง คือ จากค่า L และ C (ในรูปที่ 3.1) ที่คำนวณจาก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$L_n = 227\ Q_{max}\sqrt{W_n}$$

$$C_n = 1\sqrt{w_n^2\ L_n}$$

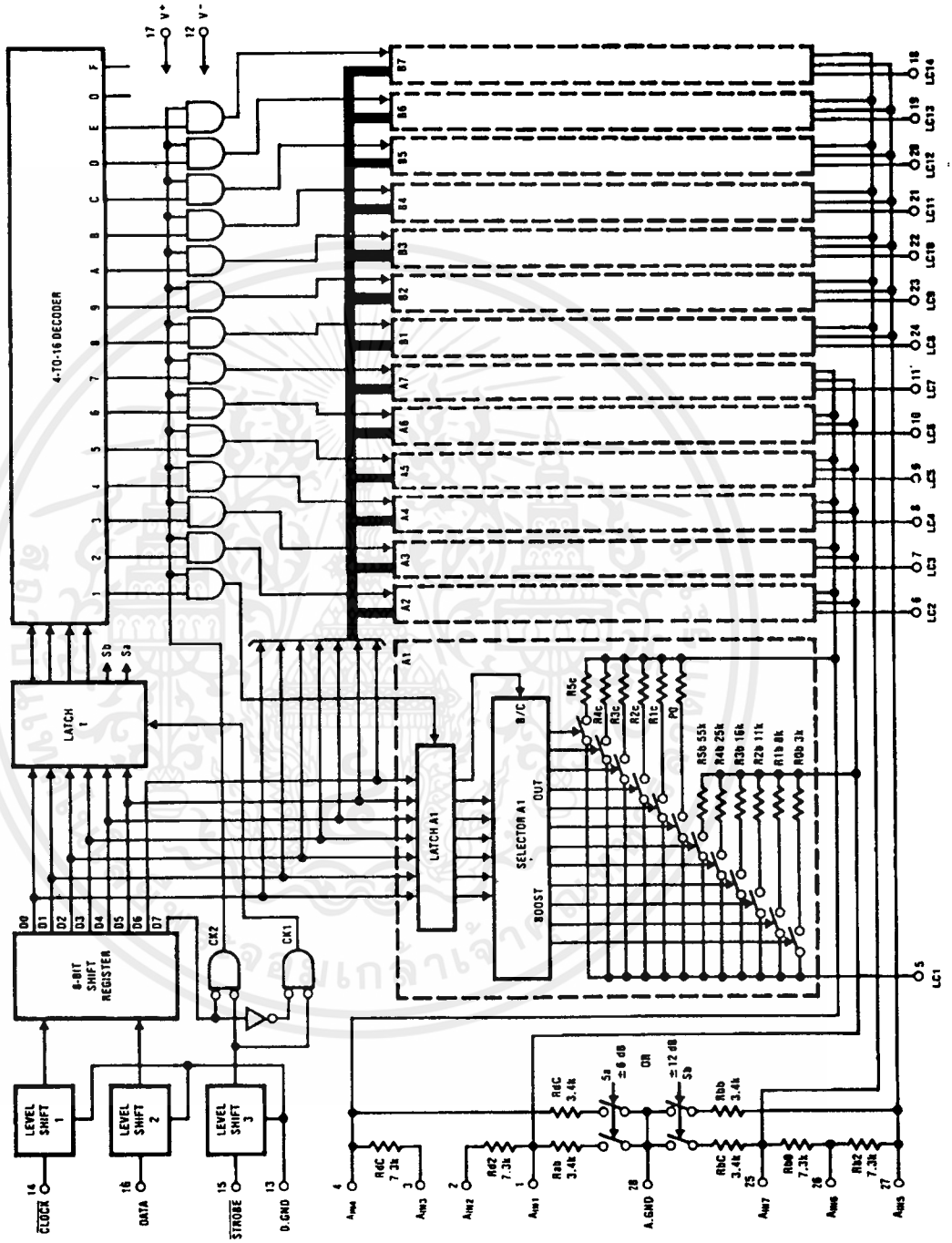
โดยค่า 2270 คือค่าความต้านทานต่ำสุดที่รวมเอา ความต้านทาน 680 (R_o) สวิทช์ความต้านทานและความต้านทาน Sichrome (R_v) ในรูปที่ 3.1

จาก Equalizer ชนิด 7 band (ที่ความถี่กลาง มีค่า factor = 2.5 และ Q_{max} 1.05) จากสมการที่กล่าวมา เป็นค่าที่ได้จากการคำนวณ

4.3 การนำเอาหลักการ Digital มาใช้ในการเลือกความถี่

จากวงจรโดยทั่วไปแล้ว จะเห็นได้ว่าเป็น อิควอไลเซอร์ทั่วไป โดย เป็นการควบคุมแบบอนาลอก ดังที่กล่าวไว้แล้วข้างต้น ดังนั้นเมื่อนำเอาดิจิตอลมาใช้จะพิจารณาลักษณะของอิควอไลเซอร์ และทั่วไปอ้างอิงอยู่ จากการทำงานและความแม่นยำจะดีกว่าแบบอนาลอก ซึ่งลักษณะเหล่านี้ได้รวมไว้ใน ชิพ เพียงตัวเดียวเท่านั้น คือ LC LMC 835, โดยมีค่า Tune Circuit ต่ออยู่ภายนอกเป็นลักษณะการต่อที่คงตัวตลอด เพราะได้การคำนวณ ค่าความถี่ (F_o) และค่า Q แล้วจากสูตรที่ได้กล่าวมาแล้วข้างต้น นั้น (Z_t --> Z_7) แต่จุดสำคัญจะอยู่ที่การควบคุมข้อมูลที่จะมาเลือกให้ Switch ทำงานที่ความถี่ใด ๆ โดยข้อมูลที่ส่งเข้ามาจะเป็นลักษณะการส่งแบบอนุกรม เป็นการส่งข้อมูลมาแบบ Symchronous จากตัวควบคุมที่เรียกว่า Word Generator ซึ่งรายละเอียดต่าง ๆ พร้อมทั้ง Timing Diagramd จะอธิบายไว้ในหัวข้อต่อไป แต่ส่วนสำคัญที่จะมาควบคุมตัว LMC 835 นี้จะเป็น input ที่เข้ามาเพียง 3 เส้นเท่านั้น คือ date, strobe และ clock ที่จะเป็นตัวกำหนดสมการสภาวะการทำงาน ให้เป็นไปตามtiming diagram ของ Word Generator ที่กำหนดไว้

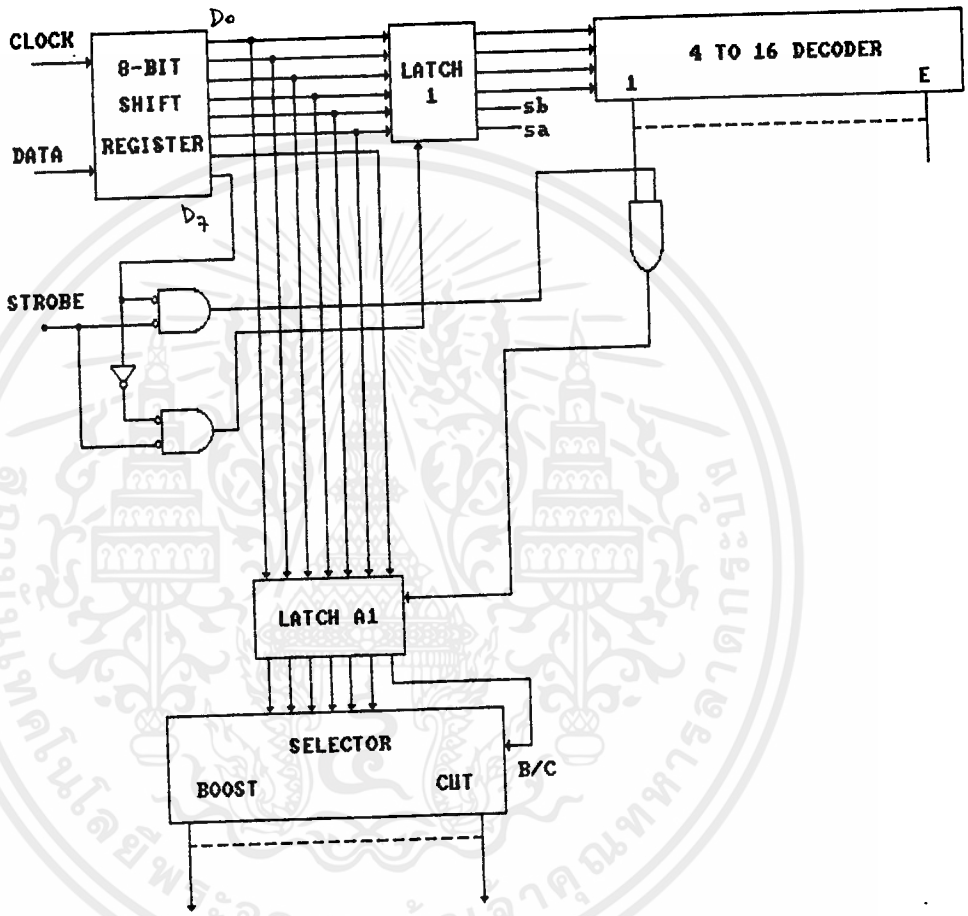
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.3 แสดงวงจรภายใน LMC835

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จาก block diagram สามารถนำเอาส่วนสำคัญเพียงส่วนหนึ่งมาแสดงให้รู้ถึงการทำงานได้จาก diagram ดังรูปที่ 4.3 จะเห็นว่ามีส่วนสำคัญ ๆ อยู่ 4 ส่วน คือ bit shift Register, Latch, Decoder 4 to 16, and Selector ซึ่ง จะแสดงส่วนต่าง ๆ ดังนี้



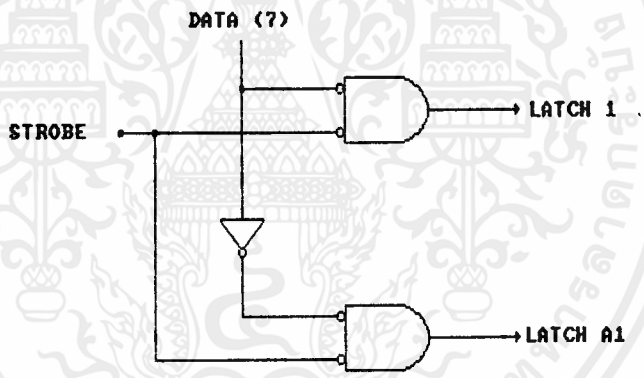
รูปที่ 4.4 แสดงส่วนสำคัญภายใน LM6835

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.4 Bit shift Register

Shift Register ตัวนี้เป็น Register ชนิด Serial in/ Parallel out คือ มีอินพุทเข้ามาแบบอนุกรม และให้เอ้าท์พุทเป็นแบบขนาน ซึ่งการทำงานภายในไอซี เป็นลักษณะป้อนข้อมูลแบบขนาน แต่เนื่องจากอินพุทที่เข้ามาเป็นแบบจากภายนอกเป็นแบบอนุกรม จึงต้องมีการเปลี่ยนแปลงลักษณะของข้อมูลใหม่ โดยใช้ Shift Register

เราจะสังเกตุเห็นว่า จะมีตัวที่จะสามารถเลือกสภาวะการทำงาน Data I (Band Selection) และ Data II (Gain Selection) เพื่อที่จะไปเปิดให้ข้อมูลไปยังส่วนต่าง ๆ แต่จะผ่านไปยังส่วนไหน จะขึ้นอยู่กับ D_7 ดังรูป

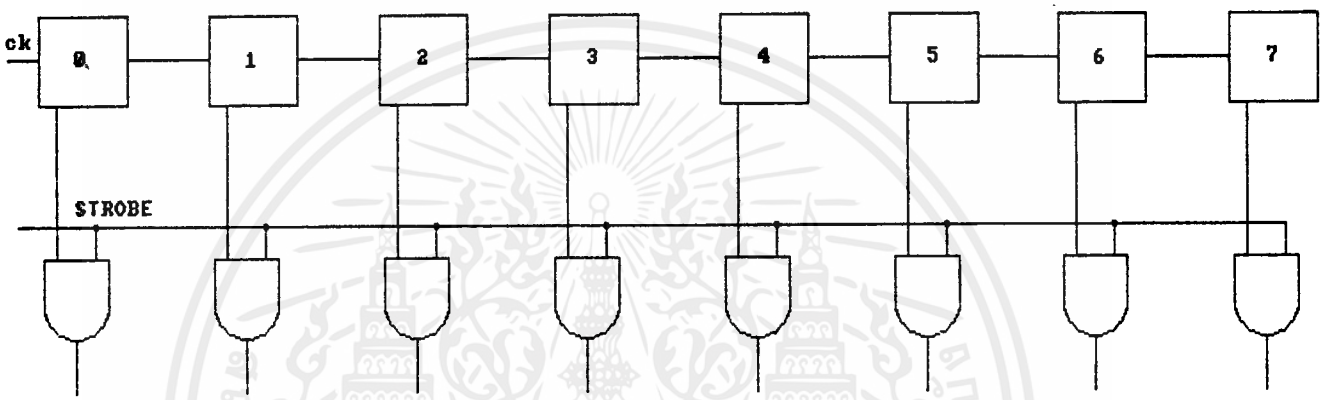


รูปที่ 4.5 แสดงการเลือก DATA

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ส่วนพักข้อมูล (Latch)

เมื่อข้อมูลถูกส่งเข้ามาจาก shift register จะเข้ามาพักไว้ที่ Latch นี้ เพื่อรอสัญญาณที่จะมาเปิด Gate ให้ข้อมูลผ่านจาก Latch ไปยังส่วนควบคุมอื่น ๆ ต่อไป ดังแสดงหลักการพื้นฐาน Latch ไว้ดังนี้



รูปที่ 4.6 หลักการของ LATCH

Decoder

Decoder หรือตัวถอดรหัส จะเป็นแบบ 4 ถึง 16 ดังตาราง Decoder ต่อไปนี้

154, L154

INPUTS					OUTPUTS															
G1	G2	D	C	B	A	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
L	L	L	L	L	L	L	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H
L	L	L	L	L	H	H	L	H	H	H	H	H	H	H	H	H	H	H	H	H	H
L	L	L	L	H	L	H	H	L	H	H	H	H	H	H	H	H	H	H	H	H	H
L	L	L	L	H	H	H	H	H	L	H	H	H	H	H	H	H	H	H	H	H	H
L	L	L	H	L	L	H	H	H	H	L	H	H	H	H	H	H	H	H	H	H	H
L	L	L	H	L	H	H	H	H	H	H	L	H	H	H	H	H	H	H	H	H	H
L	L	L	H	H	L	H	H	H	H	H	H	L	H	H	H	H	H	H	H	H	H
L	L	L	H	H	H	H	H	H	H	H	H	H	L	H	H	H	H	H	H	H	H
L	L	H	L	L	L	H	H	H	H	H	H	H	H	L	H	H	H	H	H	H	H
L	L	H	L	L	H	H	H	H	H	H	H	H	H	H	L	H	H	H	H	H	H
L	L	H	L	H	L	H	H	H	H	H	H	H	H	H	H	L	H	H	H	H	H
L	L	H	L	H	H	H	H	H	H	H	H	H	H	H	H	H	L	H	H	H	H
L	L	H	H	L	L	H	H	H	H	H	H	H	H	H	H	H	H	L	H	H	H
L	L	H	H	L	H	H	H	H	H	H	H	H	H	H	H	H	H	H	L	H	H
L	L	H	H	H	L	H	H	H	H	H	H	H	H	H	H	H	H	H	H	L	H
L	L	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	L
L	H	X	X	X	X	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H
H	L	X	X	X	X	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H
H	H	X	X	X	X	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H

H = high level, L = low level, X = irrelevant

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

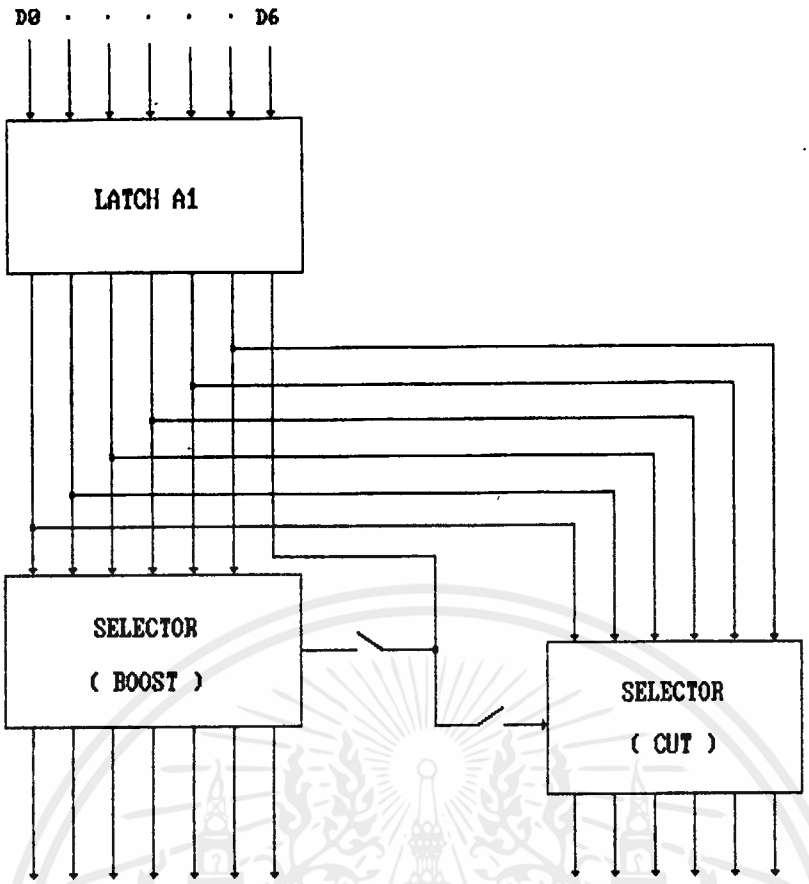
แต่ตามลักษณะการใช้งาน จะใช้เพียง 14 เส้นเท่านั้น เพื่อให้ตรงกับช่องความถี่ที่ต้องการอินพุท ของ Decoder นี้ จะมาจากข้อมูที่ออกมาจาก Latch ซึ่งจะมีอยู่ 4 เส้น ส่วนอีกสองเส้นนั้น จะเป็นสัญญาณควบคุม Switch (sa, sb) เพื่อที่จะกำหนด gain สูงหรือ gain ต่ำที่มี 6 dB และ 12 dB แต่สำหรับการที่จะเลือกอันใดอันหนึ่งนั้น จะขึ้นอยู่กับ Program ที่สั่ง ซึ่งจะอธิบายไว้ในหัวข้อต่อไป

Selector

สำหรับส่วนนี้เป็นส่วนที่นับว่ามีความสำคัญมากส่วนหนึ่ง ที่จะกำหนดว่าจะปรับระดับเสียงขึ้นลงอย่างไร ตามความต้องการของเรา จะ boost หรือ cut ซึ่งจะได้ดัดแปลงจากการใช้สไลด์เลื่อนขึ้นลง แต่ถ้าเป็นแบบดิจิตอล จะมีโปรแกรมควบคุมซีเล็ค - เตอร์ ไปปิดเปิดสวิทช์ให้เป็นไปตามระดับของความต้านทาน จะเปรียบเสมือนมีความต้าน-ทานปรับค่าได้อยู่ภายใน ภายใต้ขีดสภาวะจำกัดของความถี่ f_o ซึ่งรายละเอียดจะระบุไว้ในหัวข้อต่อไป

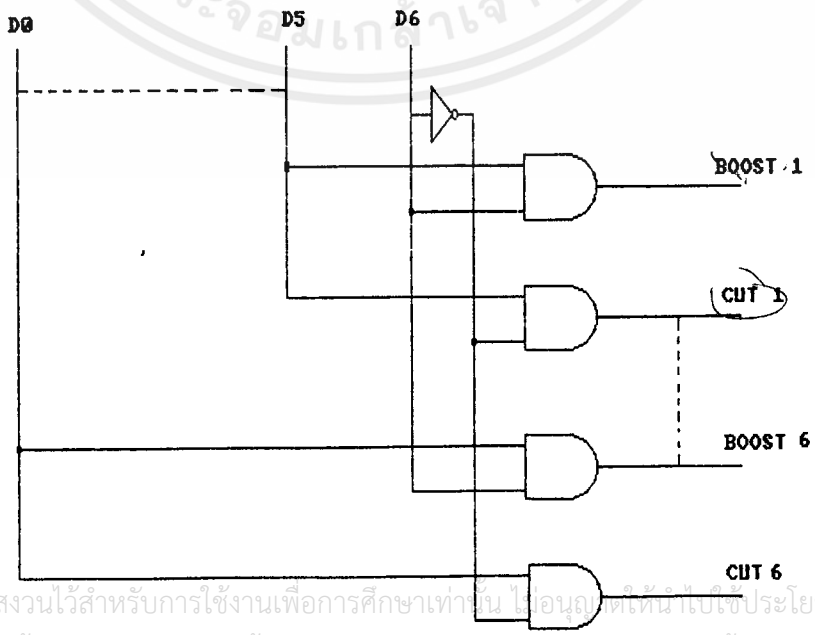
ส่วนลักษณะทางเดินของสัญญาณ จะเห็นว่ามีเส้นข้อมูลมาปิดไว้ที่ Latch Al ซึ่งพร้อมที่จะส่งไปยัง selector เมื่อมีสัญญาณ Stobe มาเปิดเกทของ Latch Al Selector จึงทำงานในลักษณะขนานกัน 2 สภาวะ โดยมีสัญญาณจากข้อมูลที่ส่งมา คอยเลือกว่าทำงานสภาวะใดโดยเส้นสัญญาณที่กำหนดนี้ คือเส้น Data 6ดังรูป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.7 หลักการภายใน SELECTOR

จากรูปจะเห็นว่า เส้นสัญญาณที่ผ่านเข้ามายัง Latch A1 และ Selector นี้จะมีเส้นสัญญาณทั้งหมด 6 เส้น ซึ่งสามารถ boost หรือ 1--->12 dB ตามตารางที่ออกแบบได้ (ระบุไว้ในหัวข้อต่อไป) ในรูปที่จะแสดงให้เห็นถึงการทำงานภายในซีเล็คเตอร์คร่าว ๆ ได้

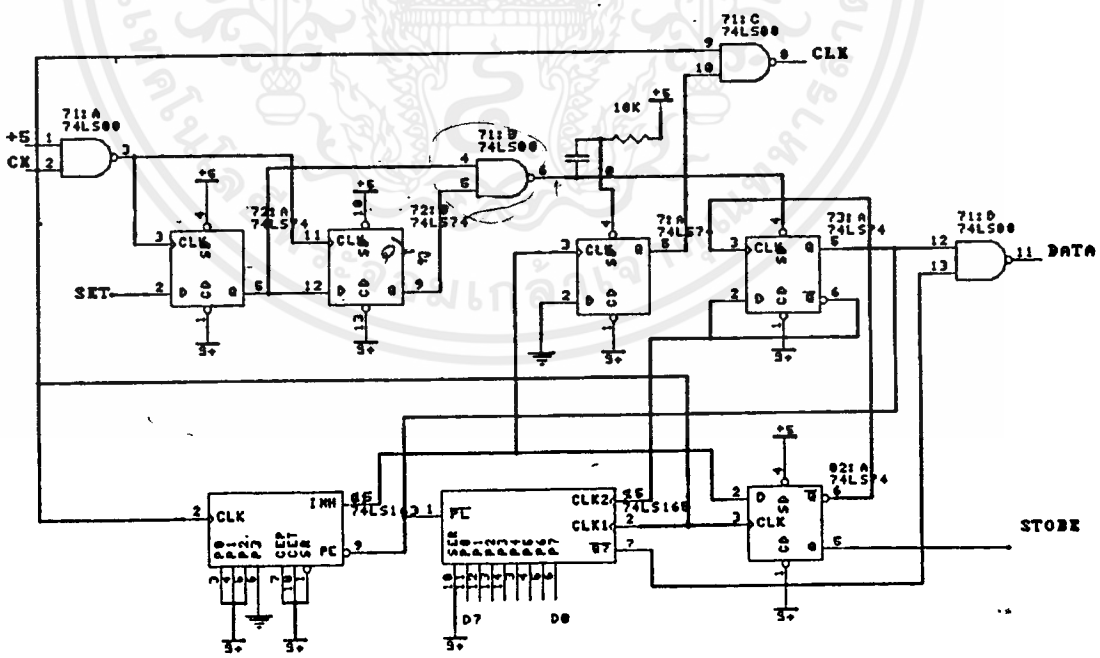


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากรูป D_0----->D_5 จะมีทั้งหมด 6 เส้น แต่จะมี Gate อยู่ภายใต้ทั้งหมด 12 ตัว ทำให้output ออกมาทั้งหมด 12 เส้น โดยจะมีสภาวะการเลือกทำงานจาก D_0 คอยเปิดเกท ทีละ 6 เส้น ถ้า D_6 อยู่ในสภาวะ High จะไปเปิด Gateให้บูสก์ 6 เส้น แต่ถ้า D_0 อยู่ในสภาวะ LOW ก็จะไปเปิด Gateให้ cut 6 เส้น ส่วนจะเรียงลำดับค่าความต้านทานยังไงนั้น ขึ้นอยู่กับโปรแกรมข้อมูลในตาราง

4.5 การโปรแกรมและควบคุม

จากการอธิบายหัวข้อต่าง ๆ ที่ผ่านมา เป็นลักษณะการทำงานภายในไอซีLM 835 เพียงตัวเลือกเดียว แต่หัวใจสำคัญที่จะควบคุมการทำงานทั้งหมด เช่น ในวงจร Stereo 7-Band Equalizer ส่วนสำคัญที่จะควบคุมการทำงานของวงจรที่ เรียกว่า Word Generator โดย Word Generator นี้จะเป็นวงจรที่สร้างขึ้นใหม่ โดยอาศัยโปรแกรมในการควบคุม ซึ่งวงจรในการต่อเวิร์คเจเนอเรชั่น นี้ ได้แสดงไว้ในรูปข้างล่างนี้



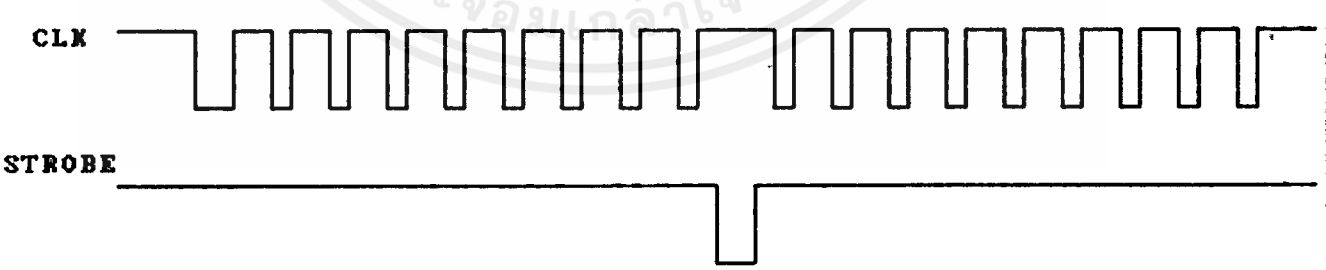
รูปที่ 4.8 แสดงวงจร WORD GENERATOR

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากรูปจะเห็นว่า มีอินพุทป้อนเข้ามาเป็น Data 8 เส้น และต้องการ output ออก 3 เส้น clock, date, strobe ถ้าสังเกตุ จะพบว่า มีไอซีที่สำคัญอยู่ 2 ตัว คือ ไอซี MA74HC163 และ ไอซี MA74HC165 ทั้งสองตัวนี้ถูกกำหนดให้ทำงานเฉพาะแบบ โดยที่ ไอซี MM74HCI163 เป็นไอซีคอยควบคุมการทำงานสัญญาณstrobe ส่วน ไอซี MM74HC165 จะคอยควบคุมการทำงานของสัญญาณ DATA ที่จะส่งเป็นแบบ - อนุกรม ไปยัง Data Input ของ LM835 เพราะฉะนั้นจึงขอแยกส่วนสำคัญ ๆ ออกเป็น 2 ส่วน เพื่อแสดงให้เห็นถึงการทำงานของ WORD GENERATOR ได้ชัดเจน ดังนี้

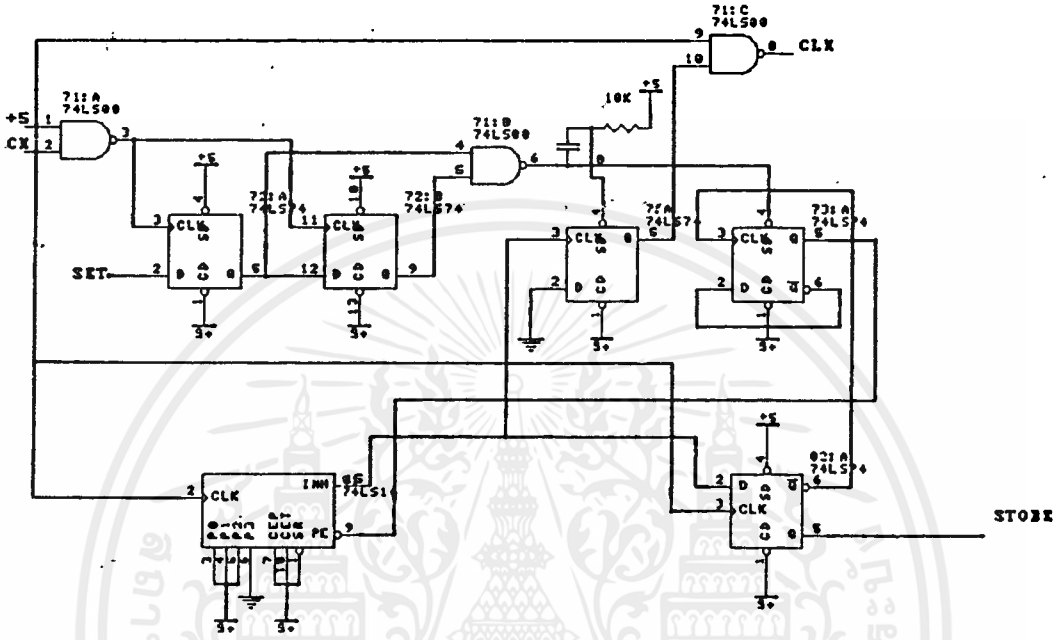
ส่วนควบคุม Strobe

เมื่อแยกวงจร Word Generator ออกมาจะได้รูปที่ 4.9 (b) ซึ่งจะเห็นว่าอินพุทของ MM74HC163 คือ A, B, C จะต่อไฟบวกหมดเพื่อที่เป็นการนับ clock เมื่อ clock ผ่านไป $2^3 = 8$ ลูก ขา RC ของ MM74HC163 จะให้output ออก 1 ลูก ที่จะเป็นสัญญาณ strobe ดังรูปที่ 4.9 (a) แต่สัญญาณนี้จะไม่คงสภาวะไว้ เพราะมีการต่อไอซีฟลิปฟลอบ 7474 ไว้คอยเช็ค output ที่เวลาสัญญาณ strobe ทำงานจะมีสัญญาณจากฟลิปพลอบไปควบคุมขา load ของไอซี 74HC163 ให้เริ่มนับอีกครั้ง strobe นี้ จะต้องสัมพันธ์กับ clock โดยมี 7474 กำหนดสภาวะการสร้าง strobe ตลอดเวลา ดังรูป



รูปที่ 4.9 (a) timing diagram Of Strobe

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

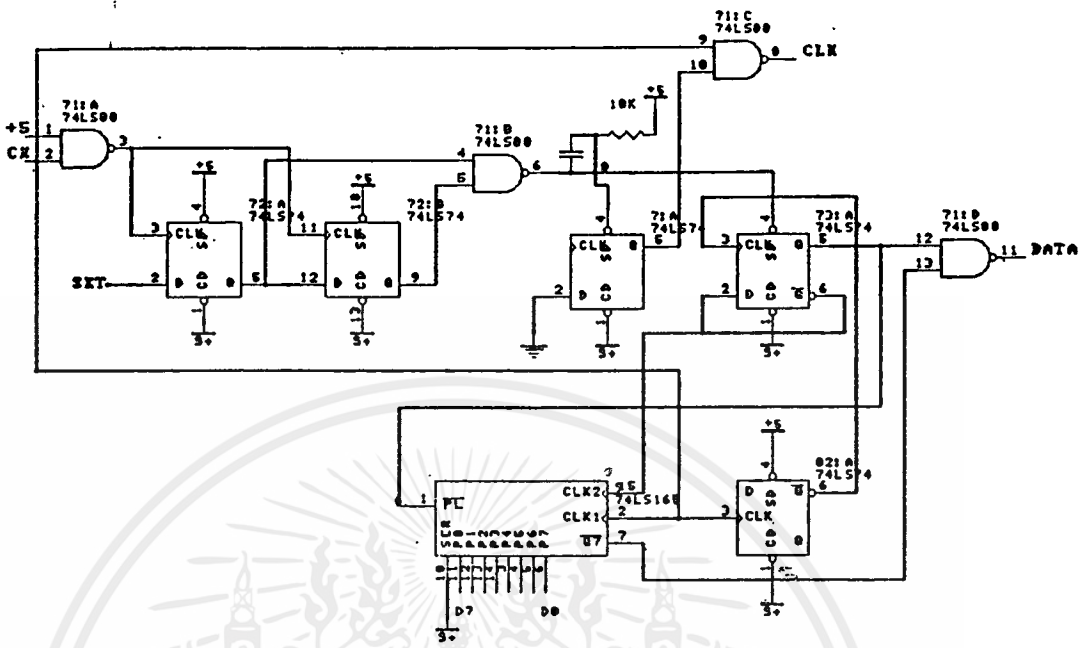


รูปที่ 4.9 (b) แสดงส่วนควบคุม Strobe

ส่วนของการส่งข้อมูล

ลักษณะของการส่งข้อมูล ได้แสดงไว้ในรูปที่ 4.10 จะเห็นว่าไอซี74165 จะมีอินพุทเป็นข้อมูลที่ถูกส่งมาเป็นแบบขนาน D_0-->D_7และมีเอาท์พุทออกเป็นข้อมูลแบบอนุ - กรมและเพื่อความสัมพันธ์กับสัญญาณของ strobe จึงต้องมีการต่อร่วมเข้ากับ ไอซีฟลิบพลอม เพื่อทำสัญญาณเอาท์พุทจากฟลิบพลอมมาโหลดให้กับ 74165 ให้เริ่มทำงานในสภาวะเดียวกับ strobe ดังรูป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.10 แสดงส่วนของการส่งข้อมูล

ตารางการโปรแกรมและ timing Diagram ทั้งหมด

DATA I (BAND SELECTION)

D7	D6	D5	D4	D3	D2	D1	D0	(CH A: BAND 1~7, CH B: BAND 8~14)
H	X	L	L	L	L	L	L	CH A ±12 dB RANGE, CH B ±12 dB RANGE, NO BAND SELECTION
H	X	L	L	L	L	L	H	CH A ±12 dB RANGE, CH B ±12 dB RANGE, BAND 1
H	X	L	L	L	L	H	L	CH A ±12 dB RANGE, CH B ±12 dB RANGE, BAND 2
H	X	L	L	L	L	H	H	CH A ±12 dB RANGE, CH B ±12 dB RANGE, BAND 3
H	X	L	L	L	H	L	L	CH A ±12 dB RANGE, CH B ±12 dB RANGE, BAND 4
H	X	L	L	L	H	L	H	CH A ±12 dB RANGE, CH B ±12 dB RANGE, BAND 5
H	X	L	L	L	H	H	L	CH A ±12 dB RANGE, CH B ±12 dB RANGE, BAND 6
H	X	L	L	L	H	H	H	CH A ±12 dB RANGE, CH B ±12 dB RANGE, BAND 7
H	X	L	L	H	L	L	L	CH A ±12 dB RANGE, CH B ±12 dB RANGE, BAND 8
H	X	L	L	H	L	L	H	CH A ±12 dB RANGE, CH B ±12 dB RANGE, BAND 9
H	X	L	L	H	L	H	L	CH A ±12 dB RANGE, CH B ±12 dB RANGE, BAND 10
H	X	L	L	H	L	H	H	CH A ±12 dB RANGE, CH B ±12 dB RANGE, BAND 11
H	X	L	L	H	H	L	L	CH A ±12 dB RANGE, CH B ±12 dB RANGE, BAND 12
H	X	L	L	H	H	L	H	CH A ±12 dB RANGE, CH B ±12 dB RANGE, BAND 13
H	X	L	L	H	H	H	L	CH A ±12 dB RANGE, CH B ±12 dB RANGE, BAND 14
H	X	L	L	H	H	H	H	CH A ±12 dB RANGE, CH B ±12 dB RANGE, NO BAND SELECTION
H	X	L	H	VALID BINARY INPUT				CH A ±12 dB RANGE, CH B ± 6 dB RANGE, BAND 1~14
H	X	H	L	VALID BINARY INPUT				CH A ± 6 dB RANGE, CH B ±12 dB RANGE, BAND 1~14
H	X	H	H	VALID BINARY INPUT				CH A ± 6 dB RANGE, CH B ± 6 dB RANGE, BAND 1~14

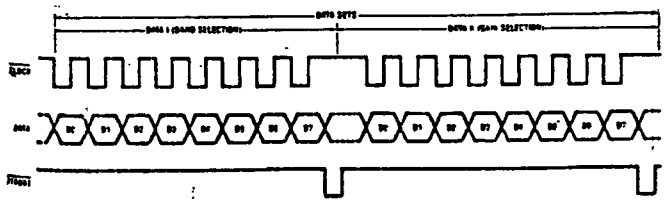
BAND CODE
CH B ±6 dB/12 dB RANGE
CH A ±6 dB/12 dB RANGE
DON'T CARE
DATA I

DATA II (BAND SELECTION)

	D7	D6	D5	D4	D3	D2	D1	D0
FLAT	L	X	L	L	L	L	L	L
1 dB BOOST	L	H	H	L	L	L	L	L
2 dB BOOST	L	H	L	H	L	L	L	L
3 dB BOOST	L	H	L	L	H	L	L	L
4 dB BOOST	L	H	L	L	L	H	L	L
5 dB BOOST	L	H	L	L	L	L	H	L
6 dB BOOST	L	H	L	H	L	L	H	L
7 dB BOOST	L	H	H	L	H	L	H	L
8 dB BOOST	L	H	L	H	L	H	H	L
9 dB BOOST	L	H	L	L	L	L	L	H
10 dB BOOST	L	H	H	L	H	L	L	H
11 dB BOOST	L	H	H	L	H	H	L	H
12 dB BOOST	L	H	H	L	H	H	H	H
1 dB~12 dB CUT	L	L	VALID ABOVE INPUT					

GAIN CODE
BOOST/CUT
DATA II

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



จากตาราง Table จะเห็นว่ามี Data I และ Data II โดยที่ Data I คือ Band Selection และ Data II คือ Gain Selection จะเห็นว่าการเลือก Data นั้นขึ้นอยู่กับ D_7 ซึ่งถ้าเป็น High จะถูกเลือกให้เป็น Data I คือ เลือกแบนด์ Selection ถ้ากลับไปดูวงจรภายใน ICLM835 จะเข้าใจขึ้น ในสภาวะ Data I นี้ Latch I นี้จะถูกเปิดเกทข้อมูลที่ผ่าน Latch ไปจะมี D_0------>D_6 ซึ่งจะใช้ในการ Decoder เพียง 4 บิท เท่านั้น คือ D_0--->D_3 ซึ่งนับได้ 2^4 = 16 แต่จะตัดสภาวะที่เป็น "0" หมด และ "1" หมด จะเหลือทั้งหมด 14 ช่อง ตามตาราง DataI ส่วน D_4-D_6 จะเป็นข้อมูลที่กำหนด Gain ว่า จะเหลือ ± 6 dB หรือ ± 12 dB ตามตารางจะแสดงให้เห็นอย่างชัดเจน

ส่วนเมื่อ D_7 อยู่ในสภาวะ LOW จะถูกเลือกให้ตรงตามตารางData IIคือ Gain Selection ถ้าดูจากวงจรภายใน ICLM835 ที่ผ่านมา ในลักษณะ นี้ Gate ของ Latch A_t จะถูกเปิด มีเส้นสัญญาณผ่านเข้ามา 7 เส้น คือ D_0---. D_6 ในสภาวะนี้ D_6 จะเป็นตัวกำหนด B/C ของ Selector ตามวงจรภายใน LM835 ส่วน D_0------> D_6 ได้ถูกออกแบบให้ Boost หรือ cut ได้จาก 1 dB → 12 dB ตามค่าความต้านทานที่ต่ออยู่ภายใน LM835 ดังนั้น สภาวะของ D_0---> D_6 จึงถูกเรียกว่า "Gain Code"

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

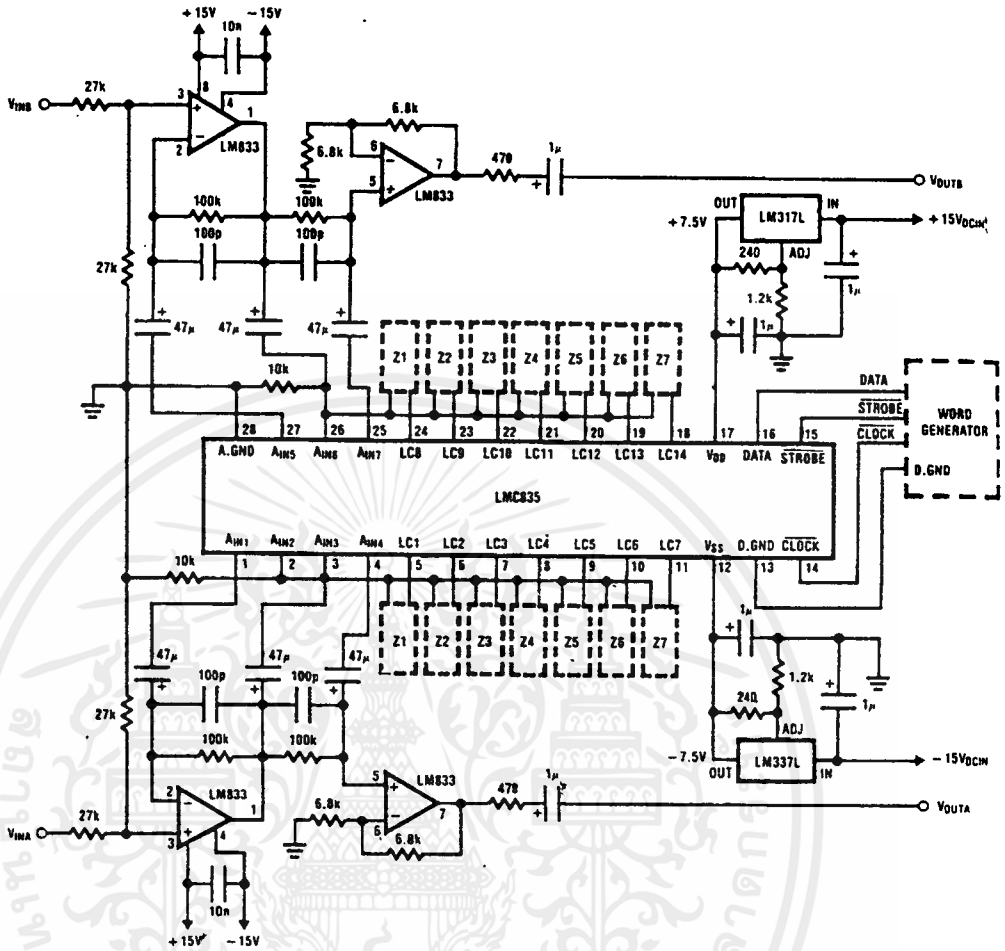
จากหลักการและหัวข้อได้อธิบายไว้ในส่วนต่าง ๆ ไม่ว่าจะเป็นการทำงาน - ภายใน ไอซี LMC835 และการทำงานของส่วนที่เรียกว่า WORD GENERATOR จะเป็นเพียงแค่ส่วนย่อย ๆ เท่านั้น แต่ตามหลักการนำไปใช้งานจริงแล้ว จะนำวงจรในส่วนนี้มาต่อร่วมกันเป็นวงจร อิควอไลเซอร์ 7 ช่อง สเตอริโอ ดังในรูปที่ 4.11 โดยส่วนของ WORD GENERATOR จะเป็นส่วนควบคุมการทำงานของ LMC835 ดังที่ได้กล่าวมาแล้ว และการทำงานของวงจรนี้จะทำงานตาม Z_1---> Z_7 ซึ่งมีตามช่องความถี่ จะแสดงไว้ในตาราง Table 1 ซึ่งเป็นตาราง TUNED CIRCUIT ELEMENTS โดยค่า Z_1---> Z_7 นี้จะกำหนด ค่า C และ R ให้ได้ตามค่าความถี่ C_o, C_L, R_L, R โดยจะแสดงในวงจรภายใน Z_1→ Z_7จะต่อ op-Amp แบบแบนด์ พาสฟิลเตอร์ ในรูปที่ 4.11 สำหรับการคำนวณ ค่า f_o, G_o ให้ได้ตามตาราง จะคำนวณได้จากสูตร

$$L_o = C_L R_L R_o \quad \text{.....*}$$

$$f_o = \frac{1}{2\pi \sqrt{L_o C_o}} \quad \text{.....*}$$

$$Q_o = \sqrt{\frac{L_o}{C_o R_o}} \quad \text{.....*}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.11 วงจร Stereo 7 - Band Equalizer

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$Q_0 = 3.5, Q_{12dB} = 1.05$					
Z1	f_o (Hz)	C_O (F)	C_L (F)	R_L (Ω)	R_O (Ω)
Z1	63	1μ	0.1μ	100k	680
Z2	160	0.47μ	0.033μ	100k	680
Z3	400	0.15μ	0.015μ	100k	680
Z4	1k	0.068μ	0.0068μ	82k	680
Z5	2.5k	0.022μ	0.0033μ	82k	680
Z6	6.3k	0.01μ	0.0015μ	62k	680
Z7	16k	0.0047μ	680p	47k	680

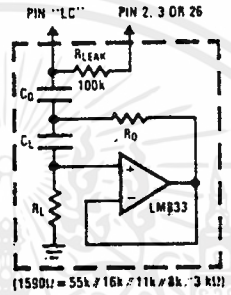


Table 1 Tuned Circuit Elements และวงจรการต่อ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 5

การทำงานของส่วนควบคุมทางดิจิตอล

5.1 ภาคสวิทช์ควบคุม

จากวงจรในส่วนของ I_C1, I_C2, 3, 4 และ 19 ดังรูปที่ 5.1 เป็นวงจร Mono stable เพื่อแก้เบาว์ที่เกิดจาก S_1 และ S_5 ที่จะทำงานร่วมกับไอซี 5 ที่เป็นฟลิบพลอบ ต่อแบบที่ฟลิบพลอบ เพื่อทำให้การกด S_3 และ S_4 เป็นแบบกดครั้งแรกติด และกดครั้งที่สองดับสลับ กัน ส่วน S_3 จะใช้เพื่อการเลือกช่องซ้ายหรือช่องขวา (CHA หรือ CHB)

5.1.1 การดีเบาว์แก้ปัญหา สวิทช์ S_1S_5

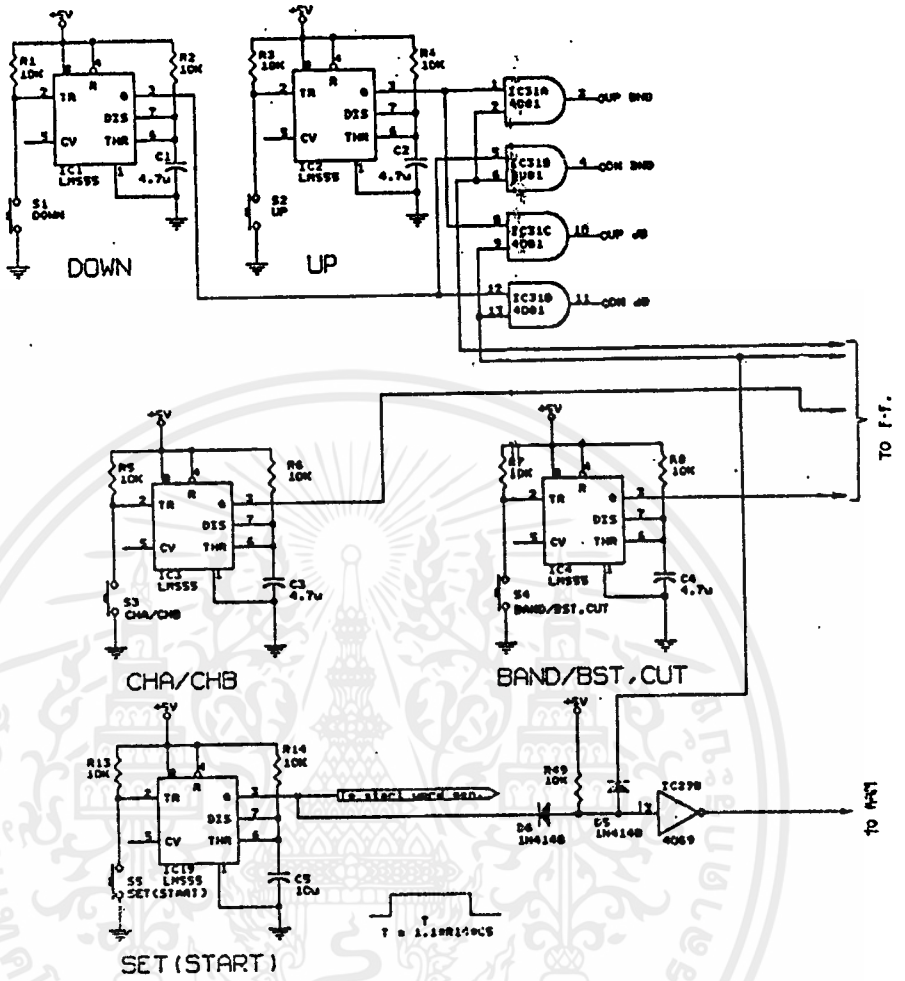
- จากวงจรจะเห็นว่า มีการต่อไอซี 555 เป็นแบบ Mono stable ทุกสวิทช์ จะเป็นการต่อแบบดีเบาว์ เพื่อแก้ที่เกิดจาก ระบบ Machanic เมื่อนำมาใช้กับระบบดิจิตอล

- ลักษณะการเกิดเบาว์

ไม่ว่าจะเป็นสวิทช์โยกหรือสวิทช์กด เมื่อนำอุปกรณ์เหล่านี้มารวมเข้ากับวงจรโลจิก จะต้องคำนึงถึง คุณสมบัติ 2 ประการ คือ นอยส์ ตอนเปลี่ยนแปลงตำแหน่งของสวิทช์ และเวลาในการเปลี่ยนตำแหน่งของสวิทช์

แมคคานิกส์ สวิทช์ ไม่ว่าเป็นแบบไหนก็ตาม ปกติจะทำให้เกิดนอยส์ได้เสมอ เมื่อหน้าสัมผัสของมันเปลี่ยนจากตำแหน่งหนึ่งไปยังอีกตำแหน่งหนึ่ง เพราะก่อนที่จะหยุดนิ่งที่ตำแหน่งใหม่ มันจะดิดและดัดเป็นช่วง ๆ หลายมิลลิวินาที ช่วงนี้ เรียกว่า การเดินเบาว์ นั่นเอง

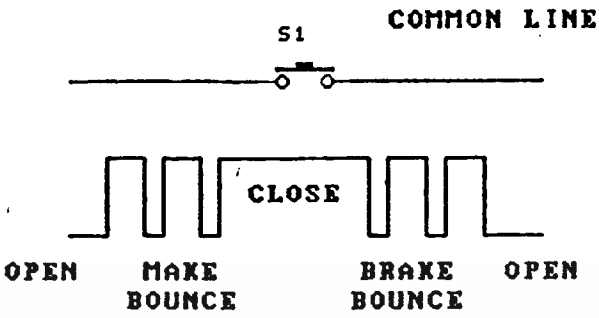
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 5.1 วงจรสวิทช์ต่าง ๆ ในการควบคุมระบบ

ช่วงเวลาในการเกิดเบาว์ จะเรียกว่า Setting time อุปกรณ์ พวก Digital จะมีการทำงานที่ไว กว่า Machanic Switch มาก ดังนั้น เมื่อนำอุปกรณ์ทั้งสองอย่างนี้มาต่อกันโดยตรง ช่วงเบาว์ของสวิทช์จะส่งผลไปยังวงจรดิจิตอลโดยตรง ทำให้วงจรทำงานผิดพลาดไม่สมกับที่ตั้งใจไว้ ด้วยเหตุนี้เราจึงต้อง ดีเบาว์แมคคานิกส์ เพื่อใช้งานกับวงจรดิจิตอล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 5.2 การเกิดเบาว์กับสวิทช์ เอส พี เอส ที (SPST)

การทำงานของสวิทช์แบบทางเดียว และไดอะแกรมเวลา ได้แสดงไว้ในรูป เมื่อสวิทช์แบบ SPST ทำงาน Make bounce จะเกิดขึ้น แต่การเกิดbounce นี้ Make Bounce จะเกิดนานกว่าเบรคเบาว์ และสิ่งที่สำคัญมากที่เดียวในกรณีนี้ก็คือ ช่วงเวลาในการเกิดเบาว์ทั้งสองครั้งนั่นเอง

ส่วนชุดวงจรที่ประกอบด้วย D_5, D_6, R_{49} และไอซี 29B จะเป็น ชุดสร้างสัญญาณการเขียน ให้กับ RAM โดยจะให้มีการเขียนเกิดขึ้นเมื่ออยู่ในช่วงเวลาการเลือก dB เท่านั้น เพราะในการเลือก Band หรือ dB ได้แล้วนั้น จะต้องกด Set ซึ่งขณะนี้ไม่รู้ว่า การนับไอซี ที่ใช้ชี้ข้อมูล ของ dB อยู่ตรงตำแหน่งใด ก็จะทำให้ RAM เก็บค่าผิดไปได้ ซึ่ง D_5, D_6. และ R_{49} จะเป็นวงจรแทน และGate , IC 29B จะทำให้ระดับแรงดันในการเขียน เป็น "0" มีระดับ ttL นั่นคือ สัญญาเขียนจะ Active เฉพาะที่ในการเลือก dB เท่านั้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5.2 ส่วนควบคุมการอ้างแอดเดรสของ EPROM

- หลักการของวงจร คือ จะใช้ EPROM เบอร์ 2716 โปรแกรมข้อมูลที่เป็นข้อมูลที่ใช้กำหนดให้วงจร E_Q ซึ่งข้อมูลนี้จะออกจาก EPROM เป็นขนาด 8 บิท ส่งให้กับวงจร WORD GENERATOR เพื่อแปลงเป็นอนุกรม ให้กับ IC LMC 835 ดังนั้นการที่จะให้ข้อมูลแบบใดแก่ LMC 835 ก็จะทำให้ได้โดยการเลือก Address ของ EPROM ข้อมูลที่ต้องการก็จะส่งไปยัง WORD GENERATOR ดังตารางที่ 5.1 และ5.2

- การกำหนดค่าแอดเดรสของ EPROM จะใช้ไอซี CP/ DOWN Counter เบอร์ 40193 มาเป็นตัวชี้แอดเดรส โดยการกดสวิทช์ S_1 และ S_2 ให้เป็นclock ให้กับ 40193 ในการเลือกแอดเดรสของข้อมูล จะแบ่งเป็น 2 ส่วน คือ ส่วนที่เป็นข้อมูลในการเลือกช่อง ซึ่งในส่วนนี้ก็จะแบ่งเป็นอีก 2 ช่วงด้วยกันคือ ข้อมูลเลือกช่วงในซีกซ้าย (080-086) หรือซีกขวา (000-006) ส่วนอีกส่วนหนึ่งจะเป็นข้อมูลใน การเลือกการบูสท์หรือการคัท (010-028) ไอซี 4019 เป็นไอซีมัลติเพลก เพื่อเลือกแอดเดรส ในส่วนของแบนด์หรือ บูสท์/คัท ออกไปให้ EPROM โดยการเลือกด้วย S_4

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ADDRESS	DATA HEX	DATA D7	D6	D5	D4	D3	D2	D1	D0	CH
000	C1	1	1	0	0	0	0	0	1	A1
001	C2	1	1	0	0	0	0	1	0	A2
002	C3	1	1	0	0	0	0	1	1	A3
003	C4	1	1	0	0	0	1	0	0	A4
004	C5	1	1	0	0	0	1	0	1	A5
005	C6	1	1	0	0	0	1	1	0	A6
006	C7	1	1	0	0	0	1	1	1	A7
080	C8	1	1	0	0	1	0	0	0	B1
081	C9	1	1	0	0	1	0	0	1	B2
082	CA	1	1	0	0	1	0	1	0	B3
083	CB	1	1	0	0	1	0	1	1	B4
084	CC	1	1	0	0	1	1	0	0	B5
085	CD	1	1	0	0	1	1	0	1	B6
086	CE	1	1	0	0	1	1	1	0	B7
"1" ทุกแอดเดรส										

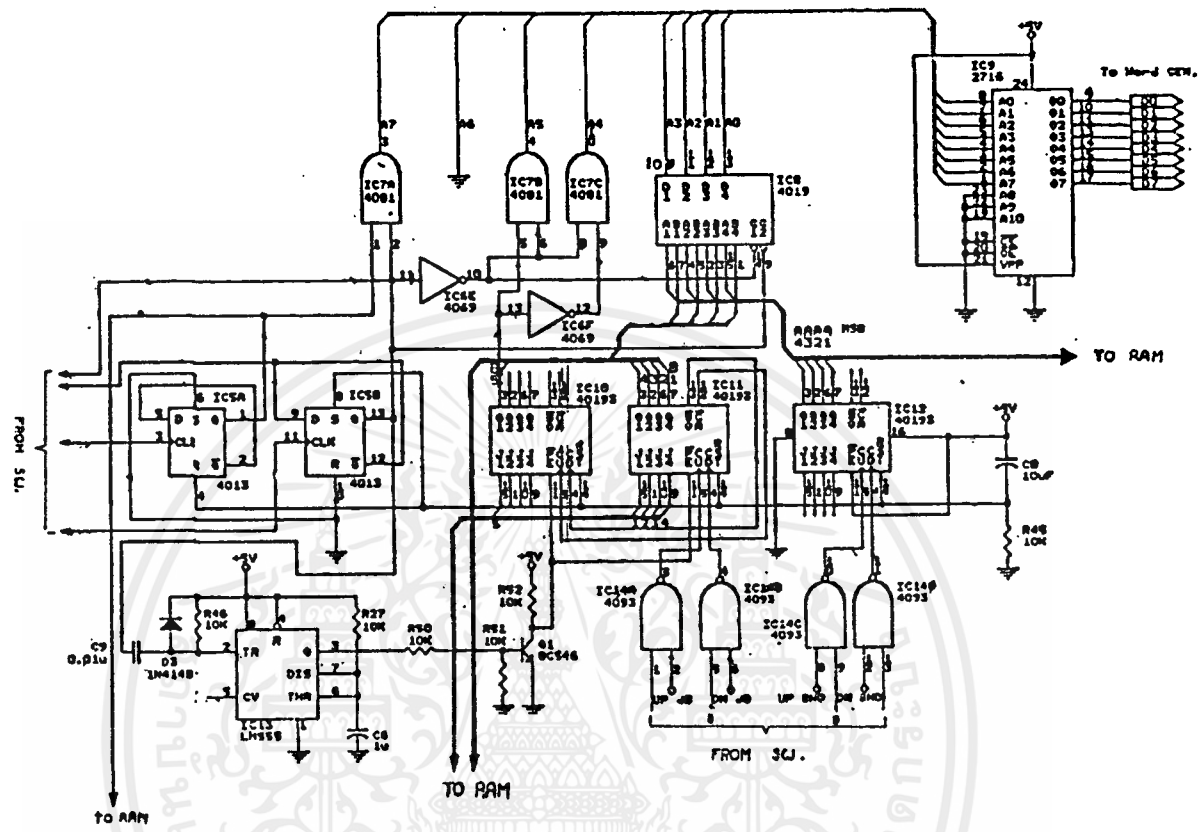
ตารางที่ 5.1 แสดงตำแหน่งแอดเดรสของชีกซ้ายและชีกขวา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ADDRESS	DATA HEX	DATA D7	D6	D5	D4	D3	D2	D1	D0	dB	
010	2F	0	0	1	0	1	1	1	1	-12	
011	2D	0	0	1	0	1	1	0	1	-11	
012	29	0	0	1	0	1	0	0	1	-10	
013	01	0	0	0	0	0	0	0	1	-9	
014	16	0	0	0	1	0	1	1	0	-8	
015	2A	0	0	1	0	1	0	1	0	-7	
016	12	0	0	0	1	0	0	1	0	-6	
017	02	0	0	0	0	0	0	1	0	-5	
018	04	0	0	0	0	0	1	0	0	-4	
019	08	0	0	0	0	1	0	0	0	-3	
01A	10	0	0	0	1	0	0	0	0	-2	
01B	20	0	0	1	0	0	0	0	0	-1	
01C	40	0	1	0	0	0	0	0	0	0	FLAT
01D	60	0	1	1	0	0	0	0	0	1	
01E	50	0	1	0	1	0	0	0	0	2	
01F	48	0	1	0	0	1	0	0	0	3	
020	44	0	1	0	0	0	1	0	0	4	
021	42	0	1	0	0	0	0	1	0	5	
022	52	0	1	0	1	0	0	1	0	6	
023	6A	0	1	1	0	1	0	1	0	7	
024	56	0	1	0	1	0	1	1	0	8	
025	41	0	1	0	0	0	0	0	1	9	
026	69	0	1	1	0	1	0	0	1	10	
027	6D	0	1	1	0	1	1	0	1	11	
028	6F	0	1	1	0	1	1	1	1	12	

ตารางที่ 5.2 แสดงแอดเดรสของการ Boost/Cut

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 5.3 แสดงวงจรส่วนควบคุมการอ้างแอดเดรสของ EPROM

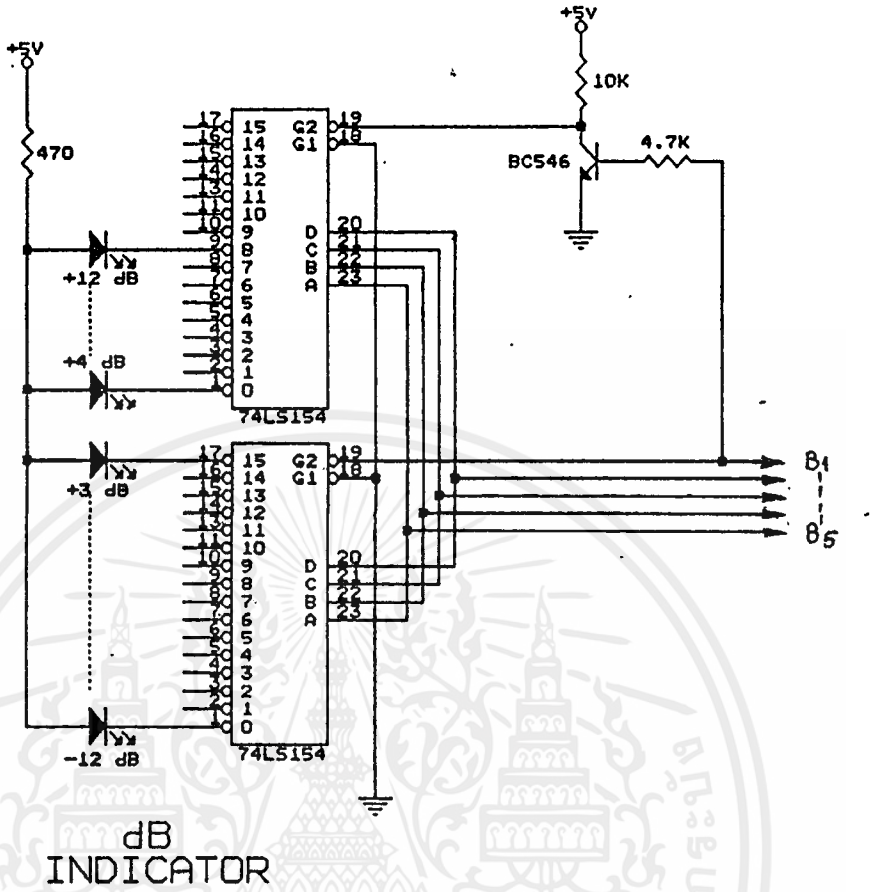
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 6

การทำงานของส่วนแสดงผล

จากรูปที่ 7.1 เป็นการแสดงระดับขนาดของ dB โดยจะใช้การนำระดับโลจิกของการอ้างแอดเดรสมาเพื่อรับ LED ในลักษณะของการ decoder จากรูปวงจร คือการนำเอา ไอซี 74LS154 ซึ่งเป็นไอซีที่ทำงานเป็น decorder 4-line-to-16-line สำหรับการต่อวงจรนั้น จะใช้ไอซี 74LS154 ถึง 2 ตัว ทำงานสลับกัน โดยจะถูกควบคุมจากขา G_1 และ G_2 สัญญาณจาก output จะเป็นลอจิกต่ำดังแสดงการต่อ LED ได้ดังรูป การเปลี่ยนค่าระดับลอจิกให้ G_1 และ G_2 นั้น จะนำเอาสัญญาณจากแอดเดรสเส้นที่ 5 เป็นตัวเลือกการทำงานของไอซี เนื่องจากว่า ระดับสัญญาณ G_1 นี้ จะเป็น 0 ตลอด ขณะที่สัญญาณยังคงนับเพียงแค่ 4 บิท จนกว่า เมื่อมีลอจิกจากเส้นที่ 5 เป็น 1 เข้ามา จะทำให้ไอซีตัวแรกหยุดทำงานและจะไปสั่งให้ไอซีตัวที่ 2 ทำงาน โดยนำสัญญาณจากเส้นที่ 5 นี้ ไปผ่าน transister ที่ต่อเป็นแบบ Inverter ให้กลับเป็น 0 ดังเดิม ทำให้ไอซีตัวที่ 2 เริ่มนับ สำหรับ LED ที่ใช้อยู่ จะใช้ทั้งหมด 13 ดวง โดยจะบูสท์ ได้ ± 12 dB และ Flat อีก 1 ดวง ดังรูป

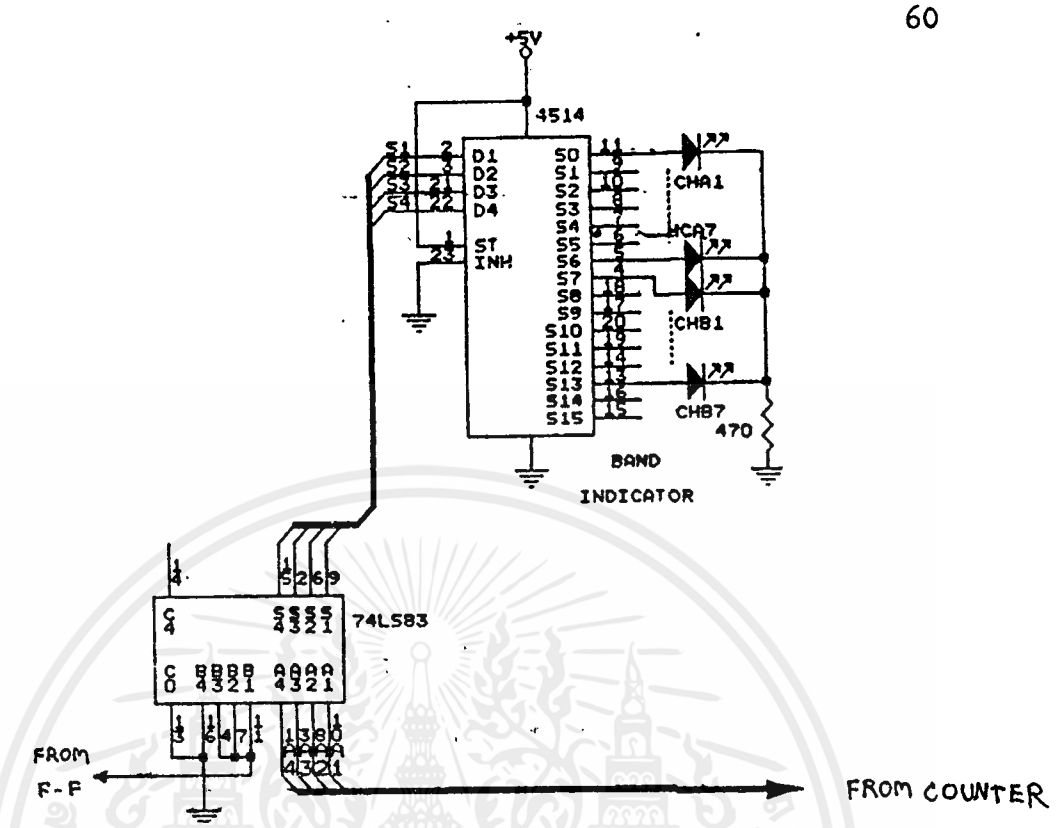
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



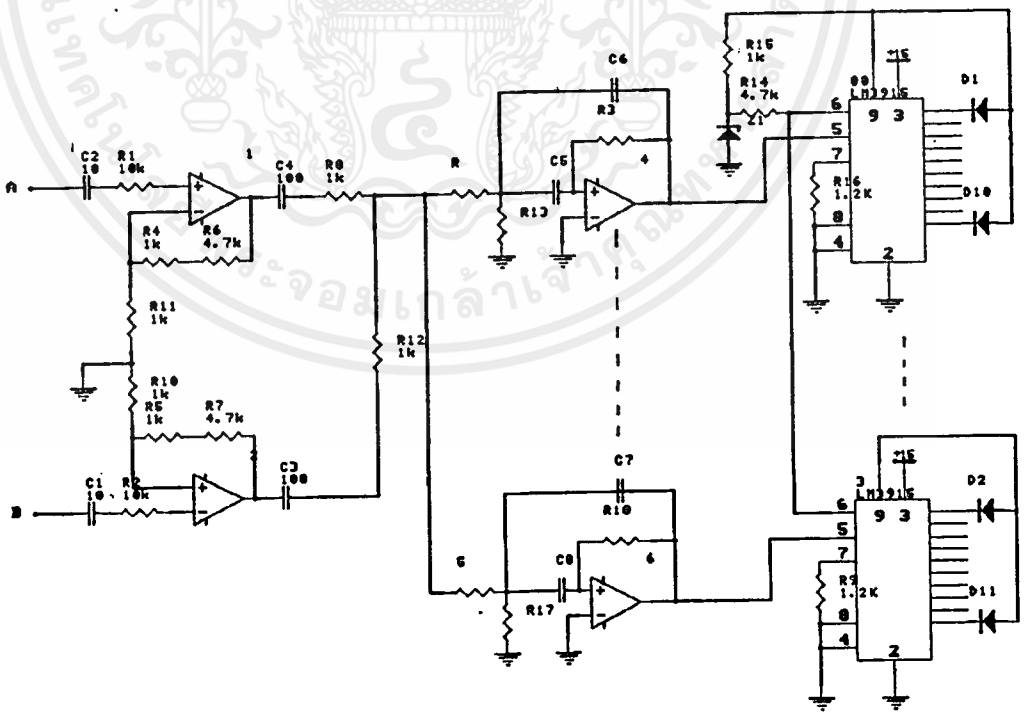
รูปที่ 6.1 แสดงวงจรขับ LED เมื่อต้องการปรับ Boost/cut

-ส่วนไอซีเบอร์ 4514 จะเป็นตัวแสดงตำแหน่งของแบนด์ในแต่ละช่อง โดยได้อินพุทจากแอดเดรส พร้อมกันกับเอ้าท์พุทของไอซี 40193 และสามารถแบ่งเป็น CHA และ CHB ได้ จากไอซีเบอร์นี้ โดย S_0--> S_6 เป็น CHA และ S_7--> S_{13}เป็น CHB แต่การเลือกมา CHB นั้น ได้ถูกจำกัดตรงแอดเดรสที่เริ่มที่ 080 ดังนั้นเมื่อ นับ CHA ครบ 7 ช่อง เมื่อต้องการเลือกมาที่ CHB จะต้องมีการบวกเพิ่มขึ้นอีก 7 บิท โดยผ่าน ไอซี Adder เบอร์ 74LS83 ที่มี Input A และ B คือโดยปกติที่ เลือก CHA จะผ่านไอซีตัวนี้ไปได้เลย แต่เมื่อต้องเลือก CHB จะต้องมีการ SUM กับInput Bโดย Input B จะได้รับสัญญาณมากระตุ้นจาก ไอซี 4013 เพื่อบวกเข้าไปอีก 7 ดังรูป ดังนั้นเมื่อ SUM ออกมาแล้วจะได้แอดเดรสตรงตามตารางที่กำหนด ทำให้สัญญาณกระ - โดดมาเลือก CHB ได้ตามความต้องการ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 6.2 แสดงวงจรการปรับเปลี่ยนแบนด์ต่าง ๆ



รูปที่ 6.3 แสดงวงจรชับ LED Graphic Analizer

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- จากวงจรรูปที่ 6.3 เป็นวงจร Spectrum Analizer ที่นำสัญญาณoutput จาก Equalizer มาเป็นอินพุท A, B และมาเข้าวงจรขยายสองข้าง ในลักษณะแบบเดียวกันกับปรีแอมป์ เมื่อออกจากวงจรการขยายแล้ว นำ output ของทั้งสองข้างมารวมกัน เพื่อไปเข้า Input ของ วงจร Filter ของแต่ละความถี่ ซึ่งวงจรที่ต่อเป็น Filter นี้ เป็นแบบ band pass filter ซึ่งการคำนวณหาค่า Parameter ที่เหมาะสม ในแต่ละความถี่นี้ คำนวณได้จาก สูตรดังนี้

$$R_1 = \frac{Q}{2n\, f_o Av C} \quad , \quad R_2 = \frac{Av}{2n\, f_o\, QC}$$

$$C = C_1 = C_2$$

AND $$Av = \frac{-R_2}{2R_1} \quad , \quad R_3 = \frac{Q}{2n\, f_o\, C\,(2Q^2 - Av)}$$

$$Q = \frac{f_o}{B_w}$$

และค่า Parameter ที่คำนวณได้ในแต่ละความถี่ มีดังนี้

at 63 Hz

$$Q = \frac{63}{20} = 3.15 \quad , \quad Av = 1$$

$C = 0.74$ F , $R_1 = 18$ K

$R_2 = 33$ K

$R_3 = 820$ K

at 160 Hz

$$Q = \frac{160}{40} = 4$$

$C = 0.22$ F , $R_1 = 18$ K

$R_2 = 36$ K

$R_3 = 560$

at 400 Hz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Q = 4 , C = 0.1 F

R_1 = 15 K

R_2 = 30 K

R_3 = 470

at 1 KHz

Q = 5 , C = 0.047 F

R_1 = 18 K

R_2 = 33 K

R_3 = 330

at 2.5 KHz

Q = 3 , C = 0.022 F

R_1 = 8.2 K

R_2 = 18 K

R_3 = 470

at 6.3 KHz

Q = 3 , C = 0.01 F

R_1 = 7.5 K

R_2 = 15 K

R_3 = 390

at 16 KHz

Q = 3 , C = 0.0047 F

R_1 = 5.6 K

R_2 = 12 K

R_3 = 390

หลังจากผ่าน Filter ที่คำนวณ Parameter ต่าง ๆ ของแต่ละความถี่เรียบร้อยแล้ว ก็จะนำสัญญาณมาเข้า ไอซี 3915 ของแต่ละความถี่ เพื่อเป็น ตัวขับให้กับ LED โดยไอซีเบอร์นี้จะทำงานในลักษณะแบ่งความดัน โดยมีจุดสำคัญอยู่ที่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Zener diode ที่ควบคุมแรงดันให้อยู่ในช่วง 3.3 Volt ตลอด เพื่อเป็นแรงดันอ้างอิงให้กับ ไอซี 3915 โดยลักษณะการทำงานมีอยู่ว่า เมื่อมีแรงดัน ทั้งหมด 3.3 Volt สามารถทำให้ LED ทั้งหมด 10 ดวง แต่ในลักษณะแบ่งความดันจึงจึงเปรียบเสมือน 3.3 หาร 10 จะได้ 0.3 สำหรับดวงแรก เพราะฉะนั้น เมื่อสัญญาณเข้ามา ประมาณ 0.3 Volt ก็จะทำให้ LED ดวงแรกติด และเมื่อสัญญาณ Input แรงขึ้น อาจจะประมาณ 0.6 Volt ก็จะทำให้ดวงที่สองติด จนกว่าสัญญาณได้ 3.3 Volt จะทำให้ LED ติดหมด 10 ดวง เพราะฉะนั้น จึงจะต้องให้Gain ของ op-Amp ที่ต่อ แบบ band pass filter มีค่าเป็น 1 ทุก ๆ ความถี่เพื่อที่จะให้สัญญาณเสียงที่เข้ามามีมาตรฐานความแรงของสัญญาณเท่ากันทุก ๆ ความถี่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 7

การสร้างและผลการทดลองและการพัฒนาวงจร

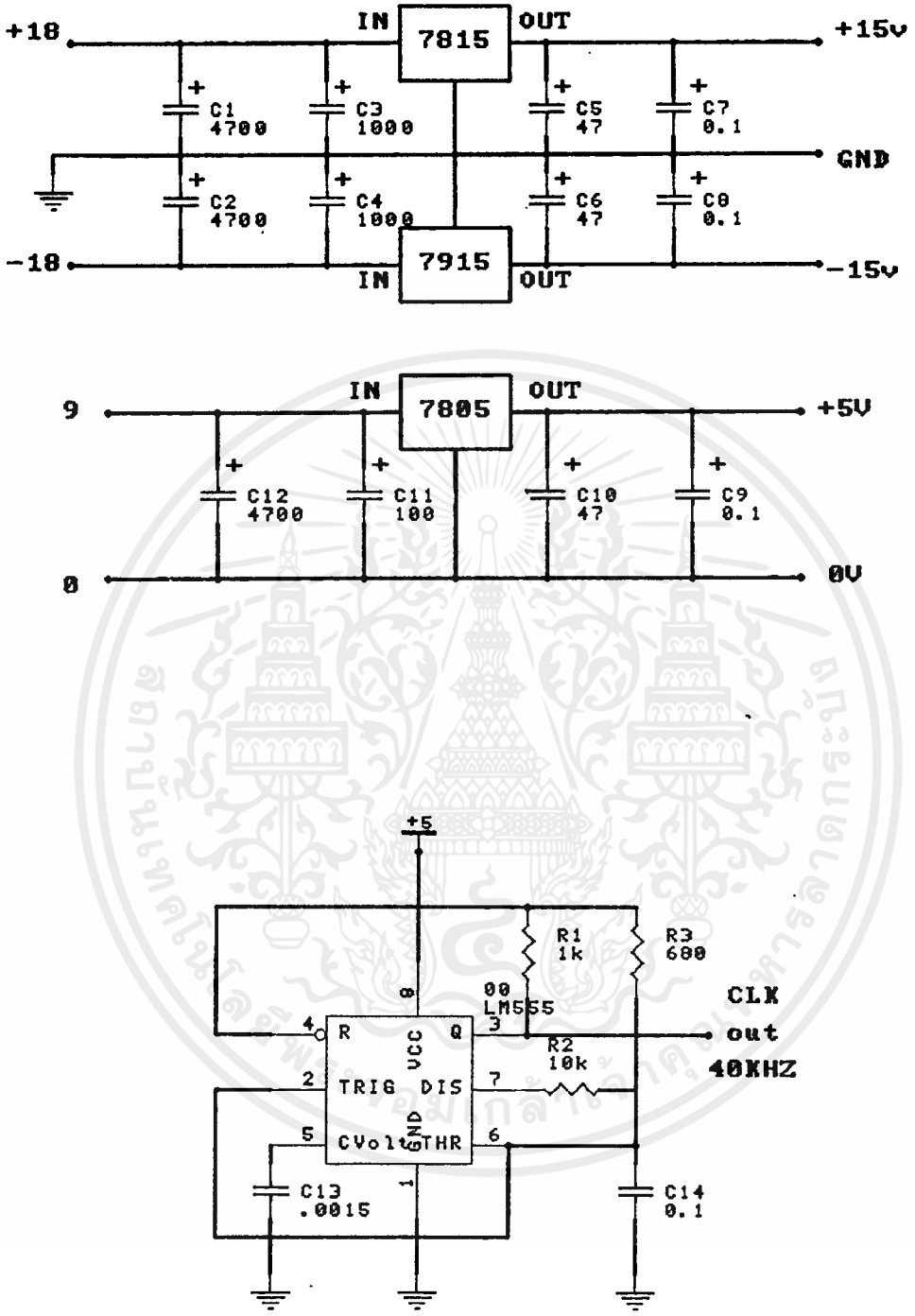
7.1 แสดงวงจรและลายทองแดงของแต่ละส่วน

- จากการทดลองและการคำนวณ สามารถที่จะออกแบบวงจร digital Graphic Equalizer ซึ่งเป็นวงจรที่สามารถใช้งานได้จริง โดยจะประกอบด้วยวงจรและลายทองแดงแต่ละส่วน ดังต่อไปนี้

1. วงจร Regulator ซึ่งประกอบด้วย วงจรจ่ายไฟ 5 Volt และจ่ายไฟ บวกลบ 15 Volt
2. วงจรสร้างพัลท์ โดยจะใช้ไอซี 555 มาต่อเป็นการทำงานผลิต Clock ที่ความถี่ 40 KHz
3. ลายทองแดงของวงจร Word generator
4. ลายทองแดงของส่วนที่ควบคุม Word generator
5. ลายทองแดงของวงจร Switch trigger
6. ลายทองแดงของวงจรส่วน Memory
7. วงจรของส่วน ไอซี 835 ที่ต่อเป็น Equalizer

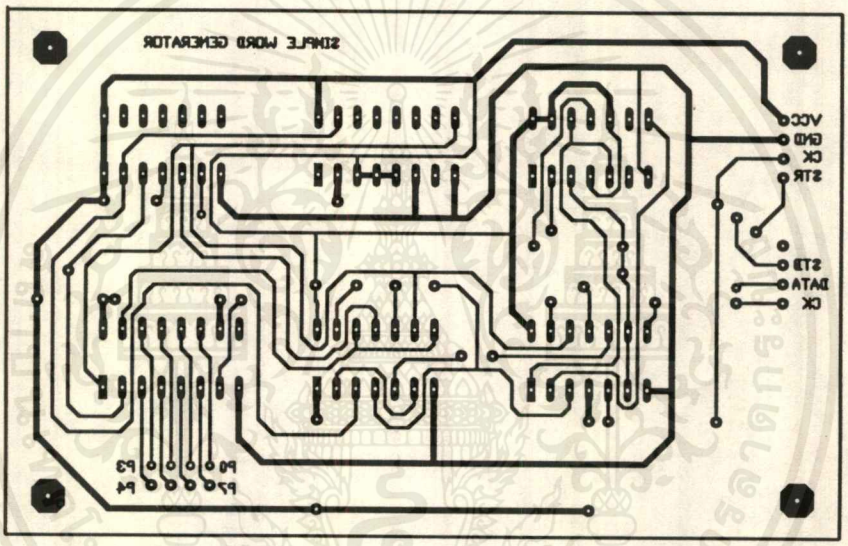
หลังจากที่เราออกแบบ ลาย print แต่ละส่วนได้เรียบร้อยแล้วก็สามารถนำวงจรที่ออกแบบนี้ไปกัดน้ำยากัดปริ๊น ให้ได้ตามรูปแบบที่เรากำหนด และบัดกรีอุปกรณ์ต่าง ๆ ลงได้ทันที เพื่อพร้อมที่จะประกอบและทดสอบผลการสร้างในขั้นตอนต่อไปอีกครั้งนึง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



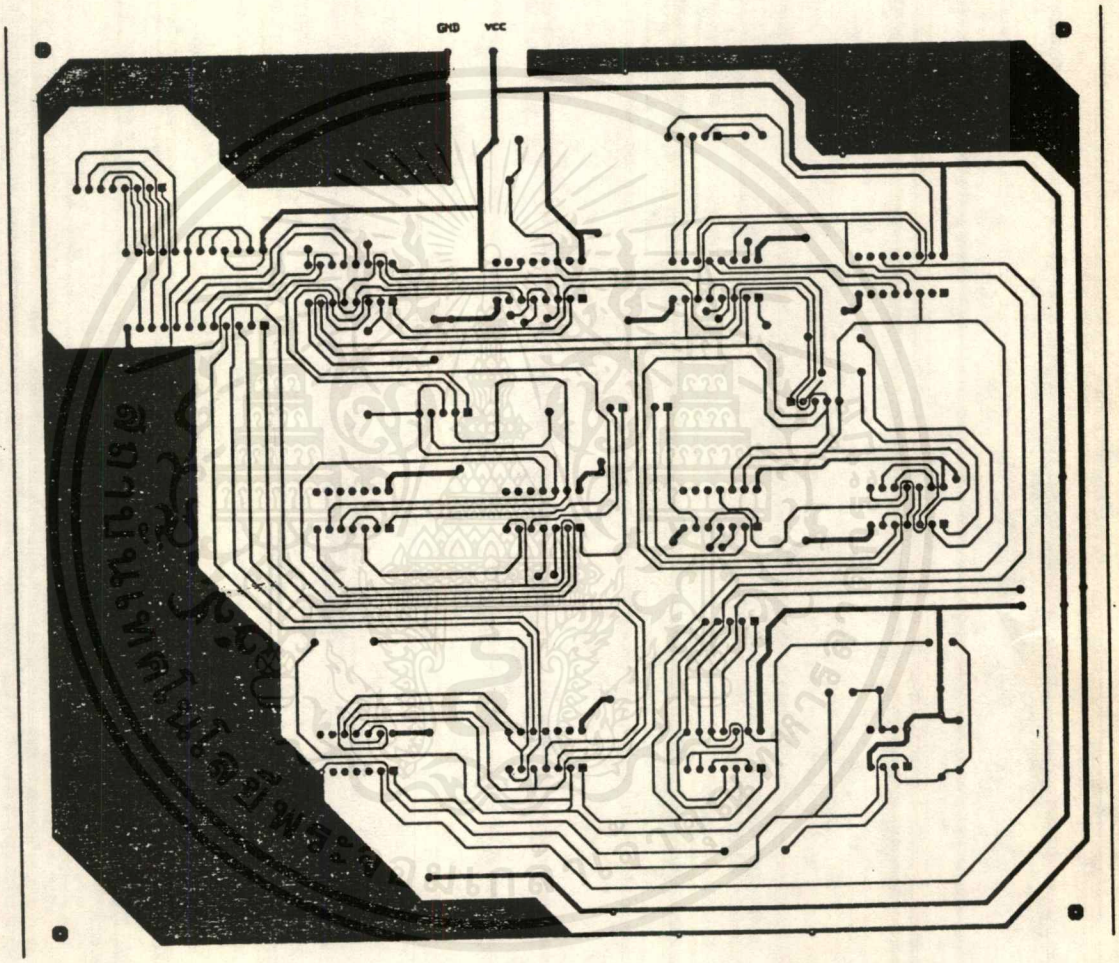
รูปที่ 7.1 แสดงวงจรส่วน regulator และส่วนสร้าง Clock

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 7.2 แสดงลายทองแดงของวงจร WORD GENERATOR

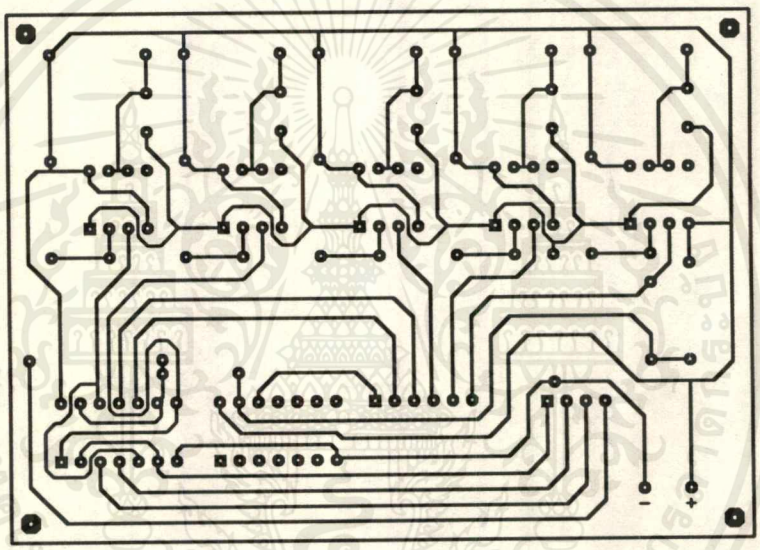
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 7.3 แสดงลายทองแดงของวงจรส่วนที่ควบคุม Word Generator

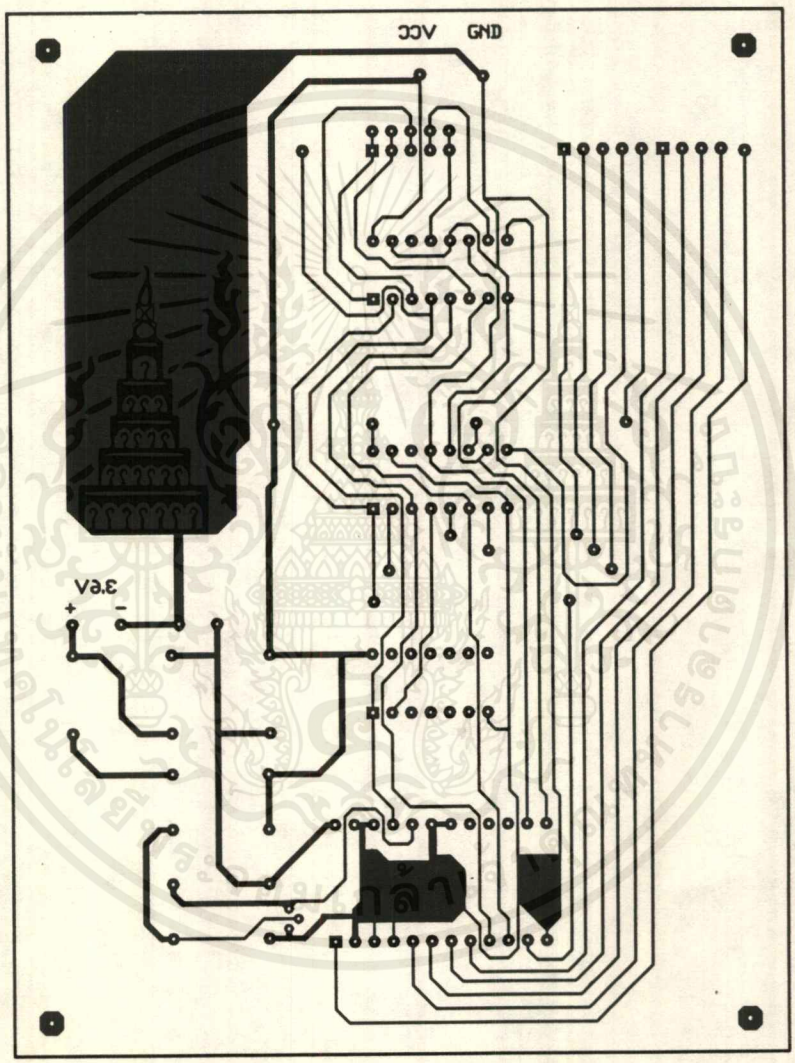
(ย่อขนาด 50% จากวงจรจริง)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



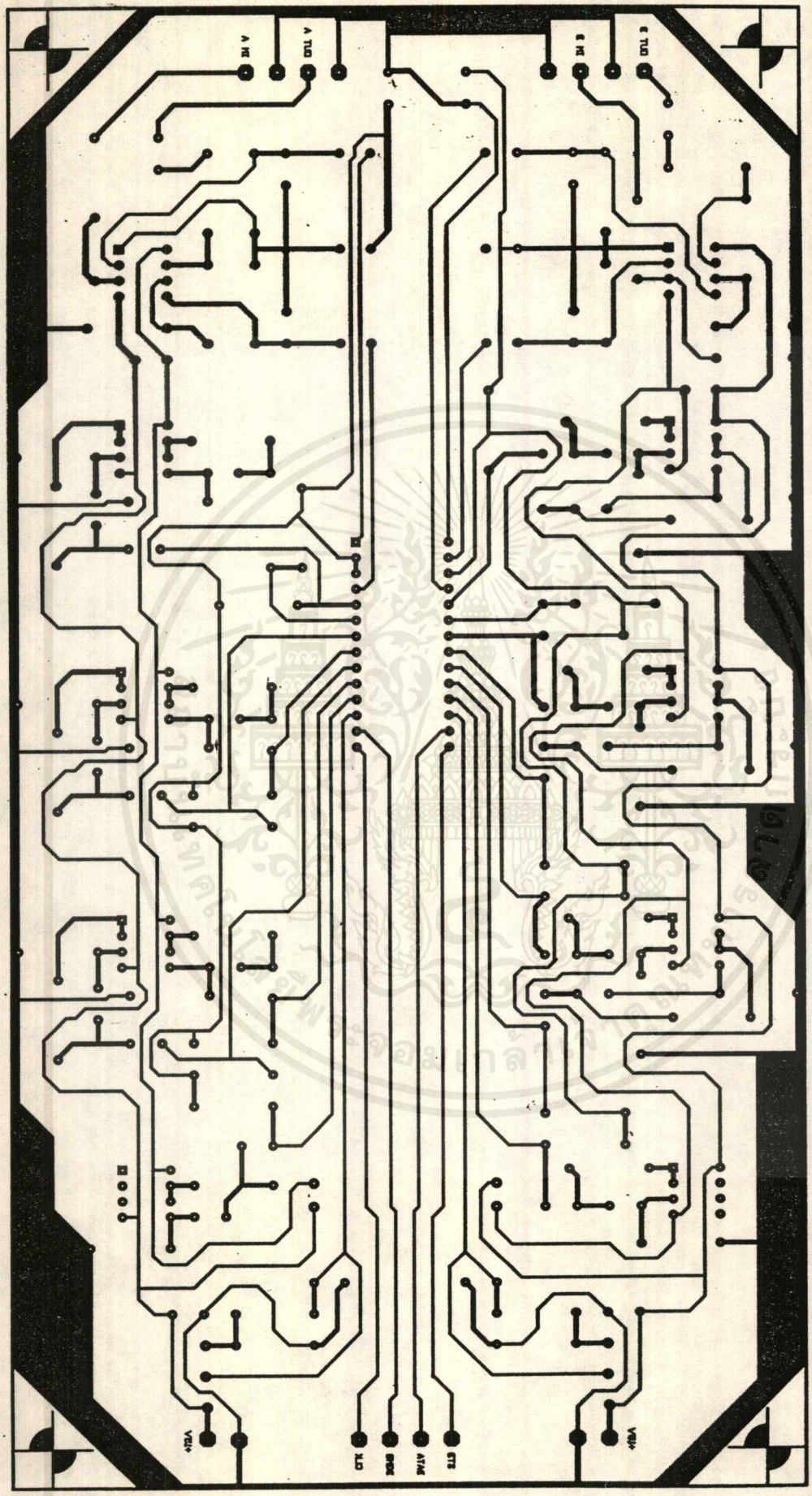
รูปที่ 7.4 แสดงลายทองแดงของวงจร Switch trigger

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 7.5 แสดงลายทองแดงของวงจรส่วน Memory

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 7.6 แสดงลายทองแดงของวงจรส่วน ไอซี 835 ที่ต่อเป็นอีควอไลเซอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารนี้ทุกครั้งที่มีการนำไปใช้

7.2 การปรับปรุงวงจร

จากวงจรที่ได้ออกแบบมาแล้ว จะเห็นว่า การที่เราจะสามารถควบคุม ให้ไอซี เบอร์ LMC 835 สามารถที่จะ Boost หรือ Cut สัญญาณความถี่ในแต่ละ band ได้นั้น เราจะต้องป้อน Data ซึ่งเป็นสัญญาณ Digital แบบ Serial 8 บิท ให้ และการที่เราจะป้อน Data ให้ได้ เราจะต้องกระทำโดยใช้ Switchกดติด -ปล่อยดับ 5 ตัว ซึ่งจะต่อร่วมกับวงจรควบคุมการทำงานของ ไอซี เบอร์ LMC 835 จึงทำให้สวิทช์ 5 ตัวนี้ ซึ่งแต่ละตัวจะมีชื่อและหน้าที่ต่าง ๆ กัน ดังนี้

7.2.1 Band - Boost/cut Switch จะเป็นตัวกำหนดหน้าที่ของUP Switch และ Down Switch โดยที่ UP-Down Switch จะมีหน้าที่ในการเลือกแบนด์ และทำหน้าที่ในการ บูสท์/คัท สัญญาณ โดยการกดสวิทช์ Band-Boost/cut จะมี LED แสดงให้เห็น 2 สถานะ คือ (ก)Band หมายความว่าถ้าเรากดสวิทช์ Up- Down ในตอนนี้ จะเป็นการเลือกแบนด์

(ข) Boost/Cut หมายความว่า ถ้าเรากดสวิทช์ Up-Down ในตอนนี้ จะเป็น การ Boost/cut

7.2.2 Up Switch จะทำหน้าที่ ตามที่ Band - Boost/ Cut Switch เป็นตัวกำหนด โดยอาจจะทำหน้าที่ในการเลือกแบนด์ โดยจะเลื่อนขึ้นไปทีละแบนด์ จากแบนด์ 1 ขึ้นไปจนถึงแบนด์ 7 (จาก 63 KHz ขึ้นไปถึง 16 KHz) หรืออาจจะทำหน้าที่ Boost สัญญาณในแบนด์ที่ได้เลือกไว้แล้ว ซึ่งจะบูสท์ได้ในช่วง - 12 dB ไปจนถึง + 12 dB

7.2.3 Down Switch จะมีหน้าที่ตรงกันกับสวิทช์ อัพ โดยสามารถที่จะเลือกแบนด์ได้ แต่การเลือกแบนด์นี้จะเป็นการเลื่อนลงจาก แบนด์ 7 ลงมายังแบนด์ 1 (16 KHz ลงมายัง 63 Hz) หรืออาจจะใช้เป็นตัว คัท สัญญาณ ในแบนด์ที่ได้เลือกไว้ แล้วโดยจะทำการ cut สัญญาณ ในช่วง + 12 dB ลงมาถึง - 12 dB

7.2.4 Channel Switch จะเป็นตัวเลือกช่องที่เราจะทำการบูสท์/คัท ว่าจะเป็นช่องซ้ายหรือช่องขวา เมื่อทำการเลือกช่องได้แล้วจึงใช้สวิทช์ Band-Boost/cut และ Up-Down Switch เป็นตัว Boost/cut สัญญาณในแต่ละแบนด์ต่อไป

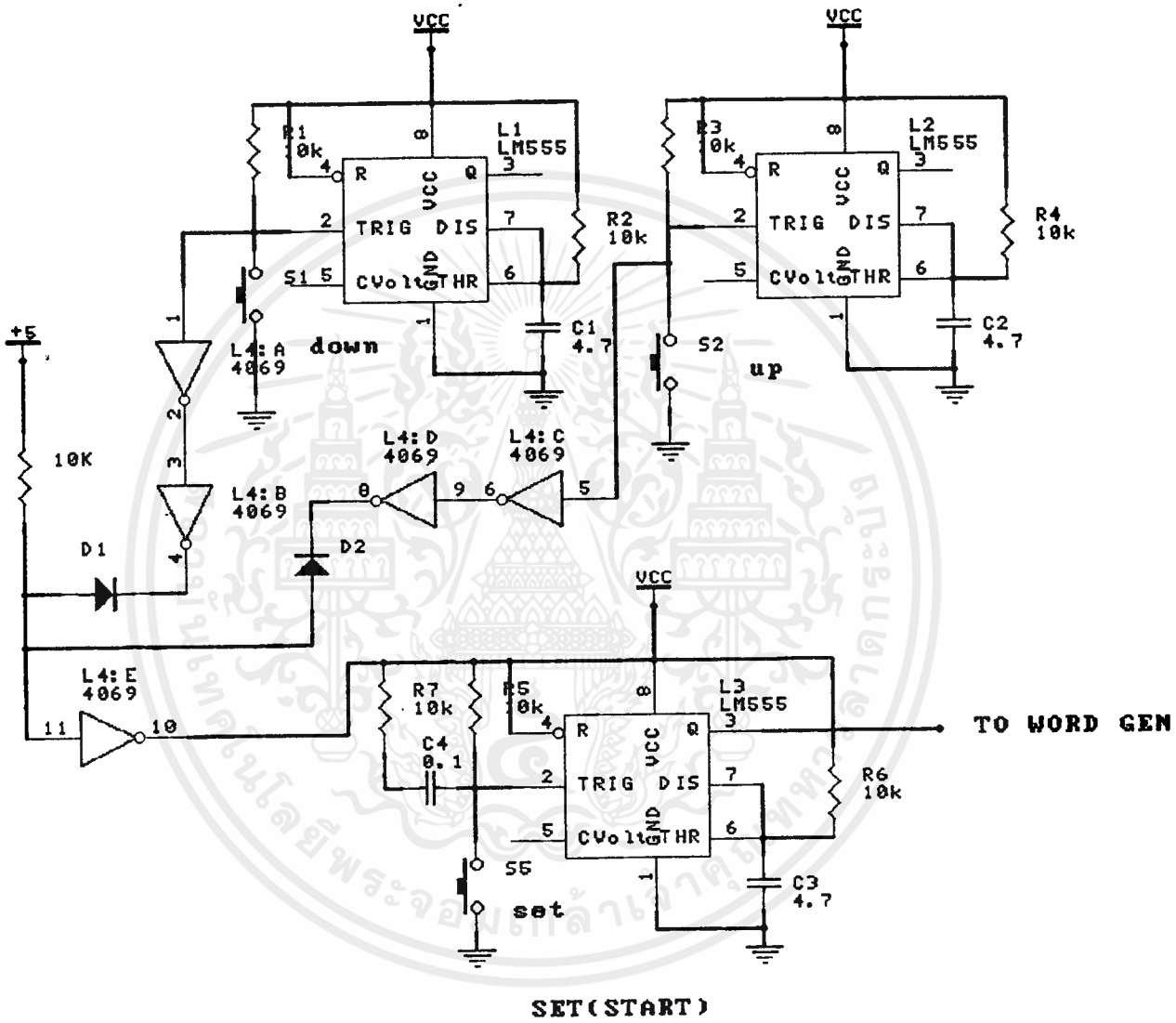
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

7.2.5 Set Switch จะเป็นตัว Set ให้ชุดควบคุม ไอซี 835 หรือเรียกว่า ชุด Word Generator ส่ง Data 8 บิท เข้าไปใน ไอซี 835 เพื่อให้ LMC 835 เกิดการ Boost/cut ความถี่ของแต่ละ Band ตาม Data ที่ป้อนเข้าไปโดย Set Switch จะถูกใช้หลังจากเราได้เลือกแบนด์ที่ต้องการจะ Boost/cut (โดยการใช้ Band - Boost/Cut และ Up - Down Switch) ได้แล้ว การกด Set Switchก็เพื่อส่ง Data 8 บิท จากชุด Word Generator เข้าไปใน LMC 835 เพื่อให้ IC LMC 835 ได้รับรู้ว่า เราต้องการจะ Boost/cut ความถี่ที่ Band นี้ซึ่งถ้าเรากด Set Switch Data 8 บิท จะค้างอยู่ที่ชุด Word Generator เท่านั้น แต่จะไม่มีการถูกป้อน เข้าไปในIC LMC 835 และเมื่อเราเลือกแบนด์ได้แล้ว และทำการบูสท์หรือคัท ความถี่ ในแบนด์นี้ในระดับใดระดับหนึ่งเรียบร้อยแล้ว เราจะต้องกด เซ็ทสวิทช์อีกครั้งเพื่อส่ง ดาต้า เข้าไปใน ไอซี LMC 835 ได้รับรู้ว่าเราได้เลือก บูสท์ หรือ คัท ความถี่ที่ระดับใด (ซึ่งจะอยู่ในช่วง ± 12 dB)

จากหน้าที่ของสวิทช์ต่าง ๆที่กล่าวมาแล้วข้างต้น จะเห็นว่า การที่เรา จะบูสท์/คัท ความถี่ที่แบนด์ใดแบนด์หนึ่งจะยุ่งยากมาก เพราะเราจะต้องคอยกด เซ็ทสวิทช์ตลอดเวลา ซึ่งอาจจะทำให้เกิดการสับสนในการใช้สวิทช์ได้ ดังนั้น เราจึงได้มีการออกแบบวงจรเพิ่มเติม

ในส่วนของวงจร Set Switch และ Up - Down Switchเพื่อให้มีการ Set การทำงานของวงจร Word Generator โดยจะทำให้ มี Data 8 บิท เข้าไปใน ไอซี LMC 835 โดยอัตโนมัติทุกครั้งที่เลือกแบนด์และบูสท์/คัท สัญญาณ โดยการใช้ Up - Down Switch ทำให้ไม่ต้องคอยกด Set Switch ตลอดเวลา ซึ่งวงจรสวิทช์ที่เราได้ออกแบบเพิ่มเติมจะเป็น ดังรูป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 7.7 แสดงส่วนที่เพิ่มเติมในส่วนของวงจร Set Switch และ Up - Down Switch

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากรูปที่ 7.7 จะเห็นว่า วงจรที่ต่อเพิ่มเติมขึ้นมาประกอบด้วย

1. ไอซี เบอร์ 4069 ซึ่งภายในตัวมันจะมี Not Gate 6 ตัว ซึ่งเราได้เลือก 5 ตัว ตามขาต่าง ๆ ที่ได้กำหนดไว้ในรูป

2. ไดโอด เบอร์ IN4148 2 ตัว

3. ความต้านทาน 10 K โดยวงจรจะมีการทำงานดังนี้ คือ เมื่อเรากดสวิทช์ อัพ หรือ ดาวน์ ไม่ว่าจะเป็นการเลือกแบนด์ หรือ บูสท์/คัท สัญญาณ จะมีผลให้ขา 5 ของไอซี 1 E มีศักย์ไฟฟ้าเป็น "0" เป็นผลให้ที่ขา 6 ของ ไอซี 1 Eมีศักย์เป็น Logic "1" (+5v) ซึ่งจะไม่มีผลต่อ ไอซี 19 ซึ่งใช้ต่อเป็นวงจรโมโนสเตเบิ้ลซึ่งจะทำให้ O/P เป็น Pulse ออกมา เมื่อ Input ที่ขา 2 เป็น "0" เท่านั้น แต่เมื่อเราปล่อย Switch Up หรือ Down ที่เรากดในตอนต้น จะเป็นผลให้ที่ขา 6 ของไอซี 1 E มีศักย์เป็น Logic "0" ชั่วขณะ ทำให้มี Pulse ออกทาง O/P (ขา3) ของ IC 19 ซึ่งจะเป็นตัวไป Set ให้ Word Generator ส่ง Data ให้กับไอซี LMC 835 ทำให้ไอซีเกิดการทำงานตาม คาต้าที่ป้อนเข้าไป

จากการทำงานของวงจรดังกล่าว จะสังเกตได้ว่า มีสัญญาณ เซ็ท ทุกครั้งที่ กด และปล่อย Up หรือ Down Switch เป็นผลให้เราไม่ต้องกด Set ทุกครั้งที่เราเลือก - band และ Boost/cut สัญญาณ แต่ในวงจร เราก็ยังคง ต่อ Set Switch ไว้ เพื่อใช้ในกรณีดังต่อไปนี้

1. เมื่อเราเปิดเครื่อง Digital Controlled Graphic Equalizer ขึ้นมาในตอนแรก ซึ่ง LED บอกแบนด์ จะแสดงอยู่ที่แบนด์ 1 (63 Hz) ของช่องซ้าย นั่นก็หมายความว่า แบนด์ 1 นี้ พร้อมที่จะให้เรา บูสท์หรือ คัท สัญญาณได้ แต่ ไอซี LMC 835 จะยังไม่รับรู้ว่าเราต้องการจะ บูสท์ หรือ คัท ความถี่ในแบนด์นี้ เนื่องจาก วงจร Word generator ยังไม่ได้ส่งคาต้าของแบนด์นี้เข้าไปใน ไอซี LMC 835 ซึ่งถ้าเราต้องการ จะBoost/cut ในแบนด์อื่นที่อยู่ในช่องซ้ายเหมือนกันเราสามารถกด อัพสวิทช์ เพื่อไปที่แบนด์นั้นได้เลยโดยไม่ต้องกดเซ็ท เนื่องจากตอนที่เรากดสวิทช์ อัพ หรือ ดาวน์ จะมีสัญญาณ เซ็ท โดยอัตโนมัติออกมาอยู่แล้ว

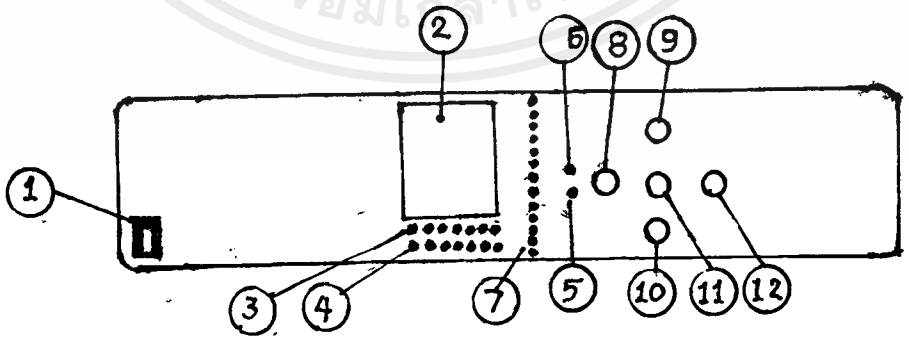
2. กรณีที่เราเปลี่ยนช่องสัญญาณ (Chennel) จากซ้ายไปขวา หรือจากขวาไปซ้าย โดยการทำงานของวงจร เมื่อเรากด Channel Switch เพื่อเปลี่ยนช่อง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สัญญาณ จะสังเกตุได้จาก LED บอกช่องสัญญาณ ตัวอย่างเช่น เมื่อ LED บอกแบนด์อยู่ในแบนด์ 2 (160 Hz) ของ Channel ซ้าย เมื่อเรากด channel Switch LED บอก band จะไปอยู่ใน band 2 ของ channel ขวา นั่นก้หมายความว่า ที่แบนด์ 2 ของChannel ขวานี้ พร้อมที่จะให้เรา บูสท์ หรือ คัท สัญญาณได้ แต่ยังไม่มีสัญญาณ set ส่งไปที่ Word Generator ดังนั้น IC LMC 835 จึงยังไม่รับรู้ว่า เราจะ บูสท์ หรือ คัท ความถี่ ในแบนด์นี้ ดังนั้น ถ้าเราต้องการจะ บูสท์ หรือ คัท ความถี่ในแบนด์ที่ 2 นี้ เราจะต้องกด เซ็ทสวิทช์ 1 ครั้ง แต่ถ้าเราต้องการที่จะ บูสท์ หรือ คัท ที่แบนด์อื่นใน channel ขวานี้ (ที่ไม่ใช่แบนด์ 2) เราสามารถกดอัพ-ดาวน์ สวิทช์ ไปที่ แบนด์นั้น และทำการ บูสท์/คัท ได้เลย โดยไม่ต้องกด เซ็ทสวิทช์

7.3 วิธีการใช้งานเครื่อง Digital Controlled Graphic Equalizer

จากรูป 7.8 จะเป็นส่วนหน้าปัทม์ของเครื่อง Digital controlled Graphic Equalizer ซึ่งจะประกอบด้วย สวิทช์ควบคุมต่าง ๆ และ Display แสดงผลต่าง ๆ โดยได้อธิบายหน้าที่ของแต่ละส่วนตามหมายเลข ดังรูป



รูปที่ 7.8 แสดงหน้าปัทม์ของเครื่อง Digital Controlled Graphic Equalizer

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

1. สวิทช์ POWER เป็นตัว ปิด - เปิด ไฟเข้าเครื่อง

2. ชุด SPECTRUM ANALIZER ประกอบ ด้วย LED โดยจะเป็นไฟวิ่งบอกระดับความแรงของสัญญาณในแต่ละแบนด์

3. LED บอกแบนด์ใน Channel ซ้าย

4. LED บอกแบนด์ใน Channel ขวา

* หมายเหตุ ถ้า LED ติดที่แบนด์ใด หมายถึง แบนด์เหล่านั้นพร้อมที่จะให้เรา บูสท์/คัท ได้

5. LED แสดง การทำงานของ Band - Boost/Cut Switch โดยจะบอกว่าตอนนี้ Band - Boost/Cut Switch กำหนด ให้ Up - Down Switchทำงานเป็นตัวเลือกแบนด์

6. LED แสดงการทำงานของ Band - Boost/CUt Switch โดย จะบอกว่าตอนนี้ Band - boost/Cut Switch กำหนดให้ Up - Down Switch ทำงานเป็นตัว บูสท์/คัท ระดับ สัญญาณตามแบนด์ที่เลือกไว้

7. LED บอกระดับการ Boost/Cut ของแต่ละแบนด์ โดยการที่เราต้องการจะดูว่า แบนด์ใดมีระดับการ บูสท์ หรือ คัท อยู่ที่ระดับใด ให้เรากด Band - Boost/cut Switch ให้ LED แสดงที่แบนด์ แล้วใช้ UP - Down Switch เลื่อนมาที่แบนด์ที่เราต้องการ จากนั้นให้กด Band - Boost/Cut Switch อีกครั้งให้ LED ติดที่ บูสท์/คัท จากนั้นเราก็สามารถที่จะ บูสท์ หรือคัท ความถี่ในแบนด์นี้ได้เลย โดยใช้ Up - Down Switch โดย LED บอกระดับการ บูสท์/คัท มีช่วงห่างของแต่ละหลอดอยู่ในช่วง±2 dB

8. Band - Boost/Cut Switch เป็นตัวกำหนดหน้าที่ของ Up - Down Switch โดยสังเกตุได้จาก LED บอก Band และ Boost/cut

9. Up - Switch จะทำหน้าที่ตามที่ Band - Boost/Cut Switchกำหนด โดยจะมีหน้าที่ 2 อย่าง คือ เลื่อนแบนด์ไปในทิศทางขึ้น จากซ้ายไปขวา โดยจะเรียงจากความถี่ 63 Hz--> 160 Hz--> 400 Hz--> 1 KHz--> 2.3 KHz--> 6.3 KHz --> 16 KHz ตามลำดับ และมีหน้าที่เลื่อนระดับสัญญาณของแต่ละแบนด์ในทิศทางขึ้น (บูสท์) จะทำงานในช่วง - 12 dB ไปยัง + 12 dB

10. Down - Switch จะทำหน้าที่ตามที่ Band - Boost/cut Switch กำหนดเช่นกัน โดยจะทำหน้าที่เลื่อนแบนด์ ในทิศทางลงจาก 16 KHz ลงมายัง 63 KHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

และเลื่อนระดับสัญญาณของแต่ละแบนด์ในทิศทางลง (คัท) ในช่วง + 12 dBไปยัง - 12 dB

11. Channel Switch ใช้เป็นตัวเลือก Channel ที่จะ Boost/cutว่าจะเป็นข้างซ้ายหรือข้างขวา

12. Set Switch จะใช้ต่อเมื่อ เราต้องการจะ Boost/cut แบนด์ แรกที่ LED บอกแบนด์ชี้อยู่ ในกรณีที่เปิดเครื่องใหม่ ๆ และในกรณีที่เปลี่ยน Channel โดยเราจะต้อง กด Band - Boost/cut Switch ให้ LED แสดงที่ Band จากนั้น ให้กด Set Switch 1 ครั้ง

7.4 ผลการทดลอง

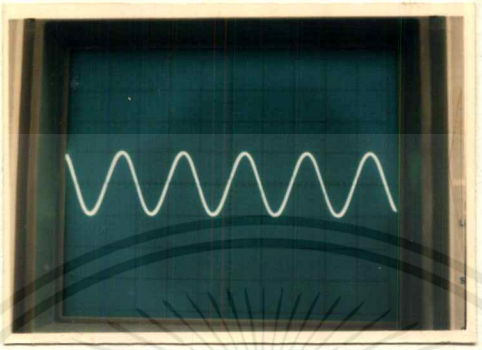
เมื่อทำการประกอบวงจรตามที่ได้ออกแบบเอาไว้แล้ว ทดลองป้อนสัญญาณ Sine Wave ที่ความถี่ต่าง ๆ กัน ตามความถี่ที่กำหนดในแต่ละแบนด์ คือ 63 Hz, 160 Hz, 400 Hz, 1 KHz, 2.5 KHz, 6.3 KHz, และ 16 KHz เข้าที่input โดยเมื่อป้อน Sine Wave ที่มีความถี่ตรงกับแบนด์ใด ให้ทดสอบแบนด์นั้น Boost/cut สัญญาณที่ป้อนเข้ามา และใช้ Scope จับสัญญาณ output ซึ่งจะเห็นว่า สามารถ boost สัญญาณได้เต็มที่ + 12 dB และ cut สัญญาณได้ต่ำสุด - 12 dB โดยคำนวณได้จากสูตร

$$dB = 20 \log \frac{V_{out}}{V_{in}}$$; โดยที่ V_{out} คือ ขนาดสัญญาณ O/P ที่ออกจาก Equalizer ส่วน V_{in} คือ ขนาดสัญญาณ Input Sinewave ที่ป้อนเข้ามา

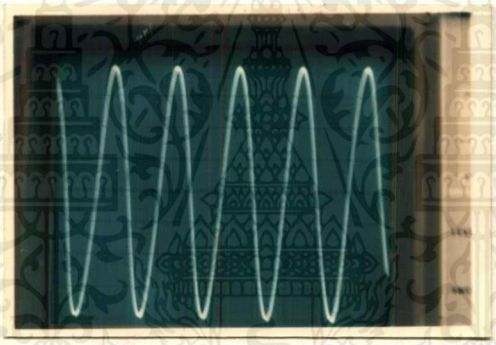
โดยสามารถที่จะ Boost/cut สัญญาณได้ในช่วง ± 12 dB เท่ากันทุก ๆ แบนด์ และจะมีรายละเอียดในการ Boost/cut ช่องละ 1 dB คือ สามารถที่จะ boost ได้ ตั้งแต่+ 1 dB, + 2 dB ไปจนถึง + 12 dBและ cut ได้ ตั้งแต่ - 1 dB ไปจนถึง - 12 dB ซึ่งจากรูปของสัญญาณที่จับได้บนจอสโคป จะ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

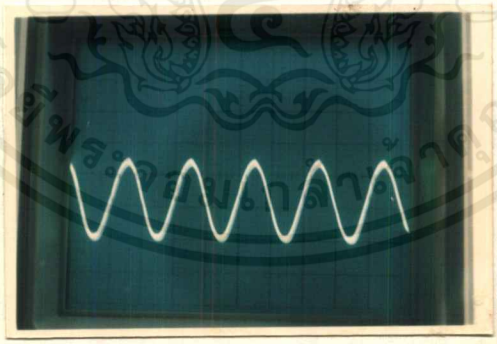
ได้สัญญาณเอ้าท์พุท ที่มีลักษณะเหมือน อินพุท ทุกประการ แต่ละระดับความสูงของสัญญาณเปลี่ยนไปตามระดับการ บูสท์/คัท ของสัญญาณที่อิควอไลเซอร์



สัญญาณ อินพุท
ความถี่ 1 KH_z
(ขนาด 1 V_{p-p})
TIME/DIV = 0.5 ms
VOLT /DIV = 0.5 V



สัญญาณ เอ้าท์พุท
ความถี่ 1 KH_z ที่ระดับ
การบูสท์ +12 dB
(ขนาด 4 V_{p-p})
TIME/DIV = 0.5 ms
VOLT /DIV= 0.5 V



สัญญาณ เอ้าท์พุท
ความถี่ 1 KH_z ที่ระดับ
การคัท -12 dB
(ขนาด 0.25 V_{p-p})
TIME/DIV = 0.5 ms
VOLT/DIV = 0.1 V

รูปที่ 7.9 แสดงผลการทดลองของวงจร

ซึ่งจะแสดงให้เห็นว่า ไม่มีการเพี้ยนของสัญญาณเกิดขึ้นที่ เอ้าท์พุท ของอิควอไลเซอร์เลย ดังจะแสดงให้เห็น ตัวอย่างการ บูสท์/คัท สัญญาณที่ความถี่ 1 KH_z ดังรูป 7.9

จากนั้น ได้ทำการทดสอบเครื่องโดย การป้อนสัญญาณเสียงจากเทป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เข้าที่อินพุทของอิควอไลเซอร์ และต่อเอาท์พุทของอิควอไลเซอร์ ไปเข้าที่อินพุทของแอมปลิฟายเออร์ และต่อออกลำโพงตามลำดับ จากนั้นทำการทดลองบูสท์/คัทสัญญาณเสียงจริง ๆ โดยทดลองบูสท์/คัทที่ย่านความถี่เสียงในแต่ละแบนด์ จะสังเกตเห็นได้ชัดว่าระดับความดังของสัญญาณเสียงเปลี่ยนไปตามระดับการบูสท์/คัทของแต่ละแบนด์ ซึ่งนั่นก็หมายความว่า เครื่องดิจิตอล อิควอไลเซอร์ สามารถทำงานได้ตามวัตถุประสงค์ทุกประการ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 8

บทวิจารณ์และบทสรุป

- สรุป Digital Controlled Graphic Equalizer ที่ได้ออกแบบมานี้ เป็น Graphic Equalizer ที่ใช้ปุ่มกดในการที่จะเลือก Boost/cut ความถี่ในแต่ละแบนด์ ซึ่งเป็นรูปแบบของการใช้สัญญาณดิจิตอล เข้าไปควบคุมสัญญาณอนาลอก โดยสามารถที่จะ บูสท์/คัท ความถี่ในแต่และแบนด์ได้เหมือน Graphic Equalizer ทั่วไปที่ เป็นแบบ Analog ทุกประการ

ดังนั้น จึงสามารถนำ Digital Controlled Graphic Equalizer ไปใช้ในงานเครื่องเสียงได้ เช่นเดียวกับ อิควอไลเซอร์ ในท้องตลาด ซึ่งจากการทดลอง Digital Controlled Graphic Equalizer นับเป็นวงจรปรับแต่งเสียงที่มีคุณภาพอีกวงจรหนึ่ง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

DOWN

UP

CHA/CHB

BAND/BST,CUT

LIMIT dB

LIMIT BAND

"0" BREAK

To Word GEN.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งไม่อนุญาตให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

National Semiconductor

LMC835 Digital Controlled Graphic Equalizer

General Description

The LMC835 is a monolithic, digitally-controlled graphic equalizer CMOS LSI for Hi-Fi audio. The LMC835 consists of a Logic section and a Signal Path section made of analog switches and thin-film silicon-chromium resistor networks. The LMC835 is used with external resonator circuits to make a stereo equalizer with seven bands, ±12 dB or ±6 dB gain range and 25 steps each. Only three digital inputs are needed to control the equalization. The LMC835 makes it easy to build a μP-controlled equalizer.

The signal path is designed for very low noise and distortion, resulting in very high performance, compatible with PCM audio.

Features

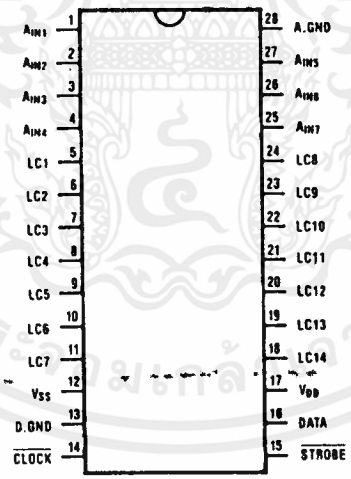
- No volume controls required
- Three-wire interface
- 14 bands, 25 steps each
- ±12 dB or ±6 dB gain ranges
- Low noise and distortion
- TTL, CMOS logic compatible

Applications

- Hi-Fi equalizer
- Receiver
- Car stereo
- Musical instrument
- Tape equalization
- Mixer
- Volume controller

Connection Diagram

Dual-In-Line Package



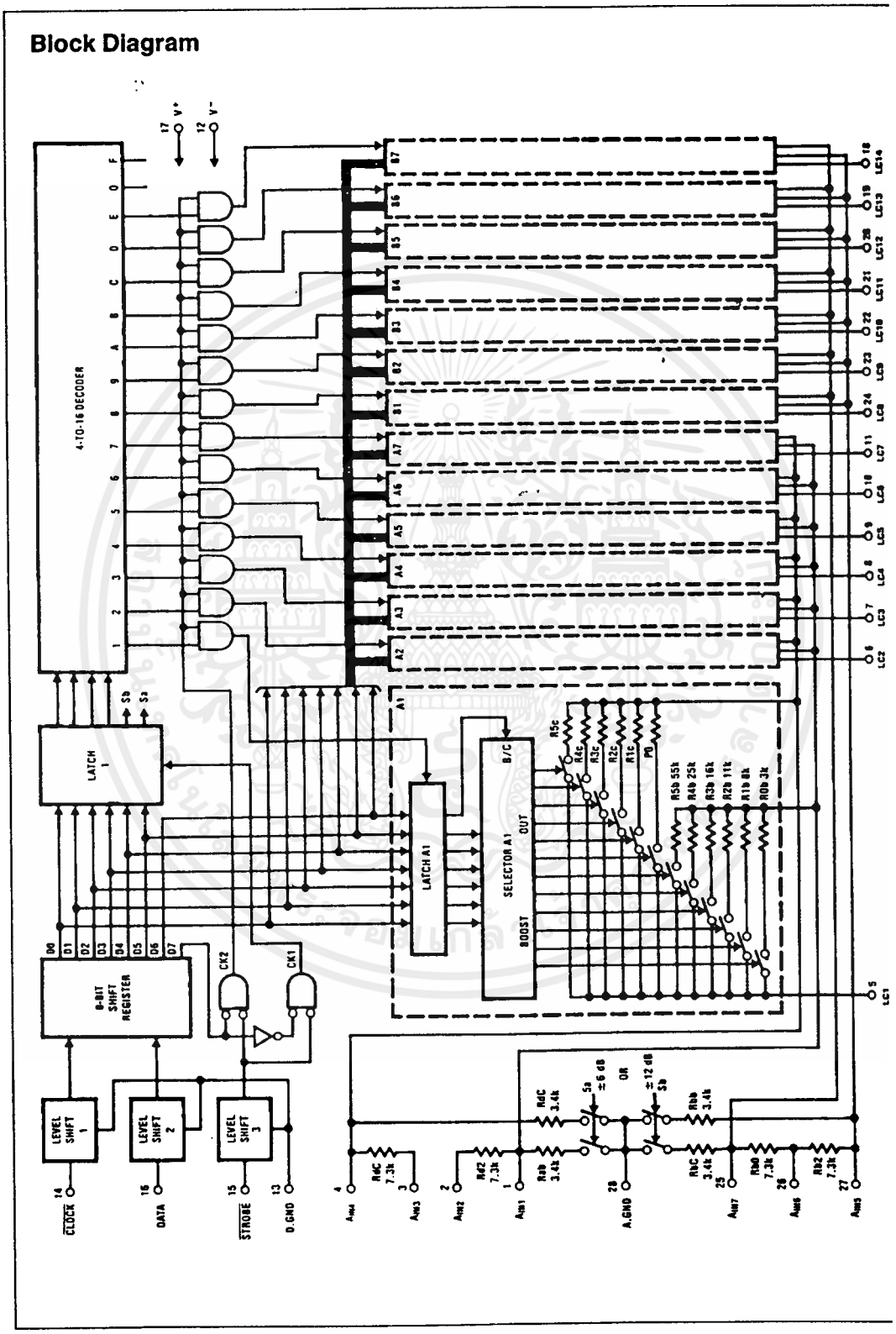
TL/H/6753-1

Top View

Order Number LMC835N
See NS Package N28B

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Block Diagram



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Absolute Maximum Ratings

If Military/Aerospace specified devices are required, please contact the National Semiconductor Sales Office/Distributors for availability and specifications.

Supply Voltage, $V_{DD}-V_{SS}$	18V
Allowable Input Voltage (Note 1)	$V_{SS}-0.3V$ to $V_{DD}+0.3V$
Storage Temperature, T_{stg}	−60°C to +150°C
Lead Temperature (Soldering, 10 sec), T_L	+260°C

Operating Ratings

Supply Voltage, $V_{DD}-V_{SS}$	5V to 16V
Digital Ground (Pin 13)	V_{SS} to V_{DD}
Digital Input (Pins 14, 15, 16)	V_{SS} to V_{DD}
Analog Input (Pins 1, 2, 3, 4, 25, 26, 27) (Note 1)	V_{SS} to V_{DD}
Operating Temperature, T_{opr}	−40°C to +85°C

Electrical Characteristics (Note 2) $V_{DD}=7.5V$, $V_{SS}=-7.5V$, A.GND = 0V

LOGIC SECTION

Symbol	Parameter	Test Conditions	Typ	Tested Limit (Note 3)	Design Limit (Note 4)	Unit (Limit)
I_{DDL}	Supply Current	Pins 14, 15, 16 are 0V	0.01	0.5	0.5	mA (Max)
I_{SSL}		Pins 14, 15, 16 are 0V	0.01	0.5	0.5	mA (Max)
I_{DDH}		Pins 14, 15, 16 are 5V	1.3	5	5	mA (Max)
I_{SSH}		Pins 14, 15, 16 are 5V	0.9	5	5	mA (Max)
V_{IH}	High-Level Input Voltage	@Pins 14, 15, 16	1.8	2.3	2.5	V (Min)
V_{IL}	Low-Level Input Voltage	@Pins 14, 15, 16	0.9	0.6	0.4	V (Max)
f_0	Clock Frequency	@Pin 14	2000	500	500	kHz (Max)
$t_{w(\overline{STB})}$	Width of $\overline{STB}$ Input	See *Figure 1*	0.25	1	1	μs (Min)
t_{setup}	Data Setup Time	See *Figure 1*	0.25	1	1	μs (Min)
t_{hold}	Data Hold Time	See *Figure 1*	0.25	1	1	μs (Min)
t_{cs}	Delay from Rising Edge of $\overline{CLOCK}$ to $\overline{STB}$	See *Figure 1*	0.25	1	1	μs (Min)
I_{IN}	Input Current	@Pins 14, 15, 16 $0V<V_{IN}<5V$	±0.01	±1		μA (Max)
C_{IN}	Input Capacitance	@Pins 14, 15, 16 f = 1 MHz	5			pF

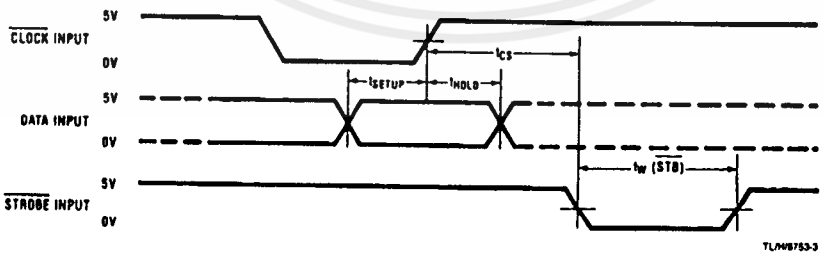
Note 1: Pins 2, 3 and 26 have a maximum input voltage range of ±22V for the typical application shown in *Figure 7*.

Note 2: Bold numbers apply at temperature extremes. All other numbers apply at $T_A=25°C$, $V_{DD}=7.5V$, $V_{SS}=-7.5V$, D.GND = A.GND = 0V as shown in the test circuit, *Figures 3* and *4*.

Note 3: Guaranteed and 100% production tested.

Note 4: Guaranteed (but not 100% production tested) over the operating temperature range. These limits are not used to calculate outgoing quality levels.

Timing Diagram



TL/H/6753-3

Note: To change the gain of the presently selected band, it is not necessary to send DATA 1 (Band Selection) each time.

FIGURE 1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Electrical Characteristics (Note 2) $V_{DD} = 7.5V$, $V_{SS} = -7.5V$, D.GND = A.GND = 0V

SIGNAL PATH SECTION

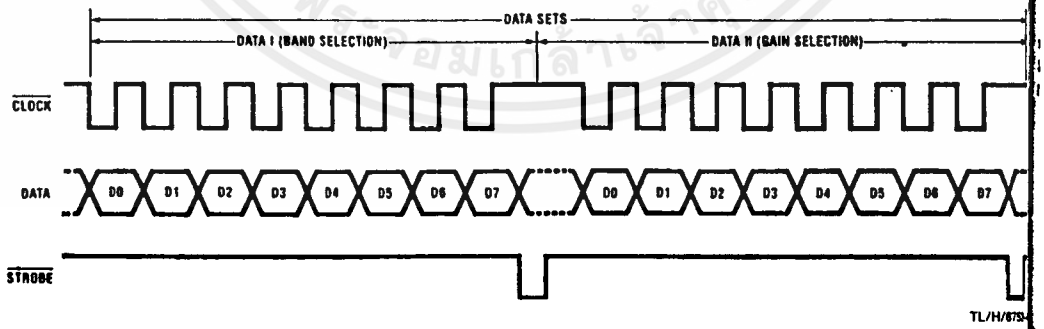
Symbol	Parameter	Test Conditions	Typ	Tested Limit (Note 3)	Design Limit (Note 4)	Unit (Limit)
E_A	Gain Error	$A_V = 0$ dB @ ± 12 dB Range	0.1	0.5	0.5	dB (Max)
		$A_V = 0$ dB @ ± 6 dB Range	0.1	1	1	dB (Max)
		$A_V = \pm 1$ dB @ ± dB Range (R_{5b} or R_{5c} is ON)	0.1	0.5	0.6	dB (Max)
		$A_V = \pm 2$ dB @ ± 12 dB Range (R_{4b} or R_{4c} is ON)	0.1	0.5	0.6	dB (Max)
		$A_V = \pm 3$ dB @ ± 12 dB Range (R_{3b} or R_{3c} is ON)	0.1	0.5	0.6	dB (Max)
		$A_V = \pm 4$ dB @ ± 12 dB Range (R_{2b} or R_{2c} is ON)	0.1	0.5	0.7	dB (Max)
		$A_V = \pm 5$ dB @ ± 12 dB Range (R_{1b} or R_{1c} is ON)	0.1	0.5	0.7	dB (Max)
		$A_V = \pm 9$ dB @ ± 12 dB Range (R_{0b} or R_{0c} is ON)	0.2	1	1.3	dB (Max)
THD	Total Harmonic Distortion	$A_V = 0$ dB @ ± 12 dB Range $V_{IN} = 4V_{rms}$, f = 1 kHz	0.0015			%
		$A_V = 12$ dB @ ± 12 dB Range				
		$V_{IN} = 1V_{rms}$, f = 1 kHz	0.01	0.1		% (Max)
		$V_{IN} = 1V_{rms}$, f = 20 kHz	0.1	0.5		% (Max)
		$A_V = -12$ dB @ ± 12 dB Range				
		$V_{IN} = 4V_{rms}$, f = 1 kHz	0.01	0.1		% (Max)
		$V_{IN} = 4V_{rms}$, f = 20 kHz	0.1	0.5		% (Max)
$V_{O\ Max}$	Maximum Output Voltage	$A_V = 0$ dB @ ± 12 dB Range THD < 1%, f = 1 kHz	5.5	5.1	5	V_{rms} (Min)
S/N	Signal to Noise Ratio	$A_V = 0$ dB @ ± 12 dB Range $V_{ref} = 1\ V_{rms}$	114			dB
		$A_V = 12$ dB @ ± 12 dB Range $V_{ref} = 1V_{rms}$	106			dB
		$A_V = -12$ dB @ ± 12 dB Range $V_{ref} = 1V_{rms}$	116			dB
I_{LEAK}	Leakage Current	$A_V = 0$ dB @ ± 12 dB Range (All internal switches are OFF)				
		Pin 2 + 3, Pin 26		500		nA (Max)
		Pin 5 ~ Pin 11, Pin 18 ~ Pin 24		50		nA (Max)

Note 2: Boldface numbers apply at temperature extremes. All other numbers apply at $T_A = 25°C$, $V_{DD} = 7.5V$, $V_{SS} = -7.5V$, D.GND = A.GND = 0V as shown in the test circuit, *Figures 3* and *4*.

Note 3: Guaranteed and 100% production tested.

Note 4: Guaranteed (but not 100% production tested) over the operating temperature range. These limits are not used to calculate outgoing quality levels.

Timing Diagrams



Note: To change the gain of the presently selected band, it is not necessary to send DATA 1 (Band Selection) each time.

FIGURE 2

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MOTOROLA
SEMICONDUCTOR
TECHNICAL DATA

LM833

DUAL OPERATIONAL AMPLIFIER

SILICON MONOLITHIC
INTEGRATED CIRCUIT

DUAL, LOW NOISE, AUDIO OPERATIONAL AMPLIFIER

The LM833 is a standard low-cost monolithic dual general-purpose operational amplifier employing Bipolar technology with innovative high-performance concepts for audio systems applications. With high frequency PNP transistors, the LM833 offers low voltage noise (4.5 nV/$\sqrt{Hz}$), 15 MHz gain bandwidth product, 7.0 V/μs slew rate, 0.3 mV input offset voltage with 2.0 μV/°C temperature coefficient of input offset voltage. The LM833 output stage exhibits no deadband crossover distortion, large output voltage swing, excellent phase and gain margins, low open-loop high frequency output impedance and symmetrical source/sink ac frequency response.

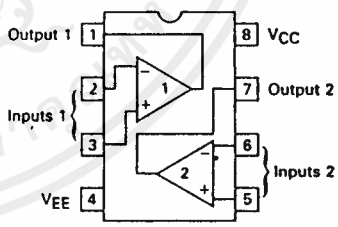
The LM833 is specified over the vehicular temperature range and is available in the plastic DIP and SO-8 packages (P and D suffixes). For an improved performance dual/quad version, see the MC33079 family.

- Low Voltage Noise: 4.5 nV/$\sqrt{Hz}$
- High Gain Bandwidth Product: 15 MHz
- High Slew Rate: 7.0 V/μs
- Low Input Offset Voltage: 0.3 mV
- Low T.C. of Input Offset Voltage: 2.0 μV/°C
- Low Distortion: 0.002%
- Excellent Frequency Stability
- Dual Supply Operation

N SUFFIX
PLASTIC PACKAGE
CASE 626

D SUFFIX
PLASTIC PACKAGE
CASE 751
(SO-8)

PIN ASSIGNMENTS



Dual, Top View

MAXIMUM RATINGS

Rating	Symbol	Value	Unit
Supply Voltage (V_{CC} to V_{EE})	V_S	+36	Volts
Input Differential Voltage Range	V_{IDR}	30(1)	Volts
Input Voltage Range	V_{IR}	±15(1)	Volts
Output Short-Circuit Duration(2)	t_S	Indefinite	Seconds
Operating Ambient Temperature Range	T_A	−40 to +85	°C
Operating Junction Temperature	T_J	+150	°C
Storage Temperature	T_{stg}	−60 to +150	°C
Maximum Power Dissipation(2)	P_D	500(3)	mW

NOTES:
1. Either or both input voltages must not exceed the magnitude of V_{CC} or V_{EE}
2. Power dissipation must be considered to ensure maximum junction temperature (T_J) is not exceeded (See power dissipation performance characteristic).
3. Maximum value at T_A ≤ 85°C.

ORDERING INFORMATION

Device	Temperature Range	Package
LM833N	−40 to +85°C	Plastic DIP
LM833D		SO-8

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

DC ELECTRICAL CHARACTERISTICS (V_{CC} = +15 V, V_{EE} = −15 V, T_A = 25°C unless otherwise noted).

Characteristics	Symbol	Min	Typ	Max	Unit
Input Offset Voltage (R_S = 10 Ω, V_O = 0 V)	V_{IO}	—	0.3	5.0	mV
Average Temperature Coefficient of Input Offset Voltage R_S = 10 Ω, V_O = 0 V, T_A = T_{low} to T_{high}	$\Delta V_{IO}/\Delta T$	—	2.0	—	μV/°C
Input Offset Current (V_{CM} = 0 V, V_O = 0 V)	I_{IO}	—	10	200	nA
Input Bias Current (V_{CM} = 0 V, V_O = 0 V)	I_{IB}	—	300	1000	nA
Common Mode Input Voltage Range	V_{ICR}	— −12	+14 −14	+12 —	V
Large Signal Voltage Gain (R_L = 2.0 kΩ, V_O = ±10 V)	A_{VOL}	90	110	—	dB
Output Voltage Swing: R_L = 2.0 kΩ, V_{ID} = 1.0 V R_L = 2.0 kΩ, V_{ID} = 1.0 V R_L = 10 kΩ, V_{ID} = 1.0 V R_L = 10 kΩ, V_{ID} = 1.0 V	V_{O+} V_{O-} V_{O+} V_{O-}	10 — 12 —	13.7 −14.1 13.9 −14.7	— −10 — −12	V V V V
Common Mode Rejection (V_{IN} = ±12 V)	CMR	80	100	—	dB
Power Supply Rejection (V_S = 15 to 5.0 V, −15 to −5.0 V)	PSR	80	115	—	dB
Power Supply Current (V_O = 0 V, Both Amplifiers)	I_D	—	4.0	8.0	mA

AC ELECTRICAL CHARACTERISTICS (V_{CC} = +15 V, V_{EE} = −15 V, T_A = 25°C unless otherwise noted).

Characteristics	Symbol	Min	Typ	Max	Unit
Slew Rate (V_{IN} 10 V to +10 V, R_L 2.0 kΩ, A_V +1.0)	SR	5.0	7.0	—	V/μs
Gain Bandwidth Product (f 100 kHz)	GBW	10	15	—	MHz
Unity Gain Frequency (Open Loop)	f_U	—	9.0	—	MHz
Unity Gain Phase Margin (Open Loop)	ϕ_m	—	60	—	Deg
Equivalent Input Noise Voltage (R_S = 100 Ω, f = 1.0 kHz)	e_n	—	4.5	—	nV/√Hz
Equivalent Input Noise Current (f = 1.0 kHz)	i_n	—	0.5	—	pA/√Hz
Power Bandwidth (V_O = 27 V_{p-p}, R_L = 2.0 kΩ, THD ≤ 1.0%)	BWP	—	120	—	kHz
Distortion (R_L = 2.0 kΩ, f = 20 Hz to 20 kHz, V_O = 3.0 V_{rms}, A_V = +1.0)	THD	—	0.002	—	%
Channel Separation (f = 20 Hz to 20 kHz)	—	—	−120	—	dB

FIGURE 1 — MAXIMUM POWER DISSIPATION versus TEMPERATURE

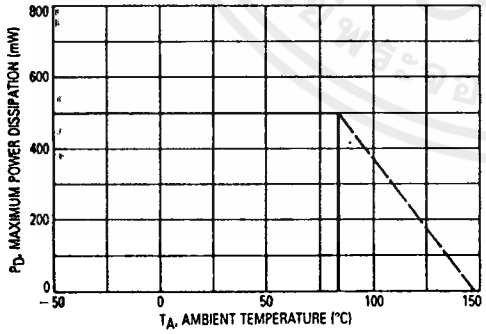
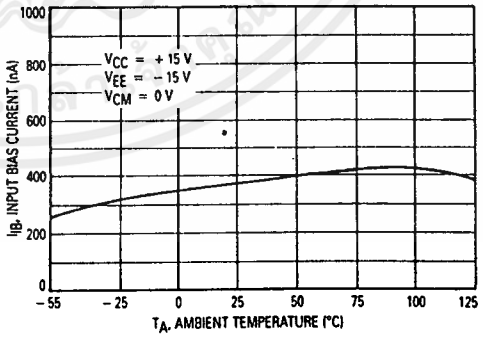


FIGURE 2 — INPUT BIAS CURRENT versus TEMPERATURE



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

FIGURE 3 — INPUT BIAS CURRENT versus SUPPLY VOLTAGE

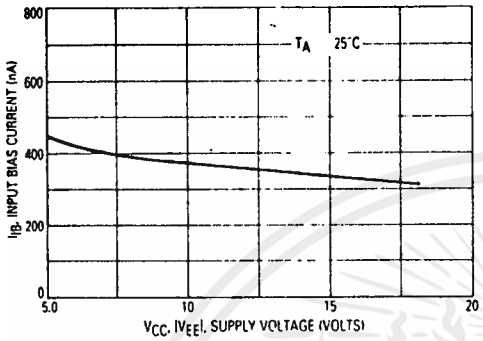


FIGURE 4 — SUPPLY CURRENT versus SUPPLY VOLTAGE

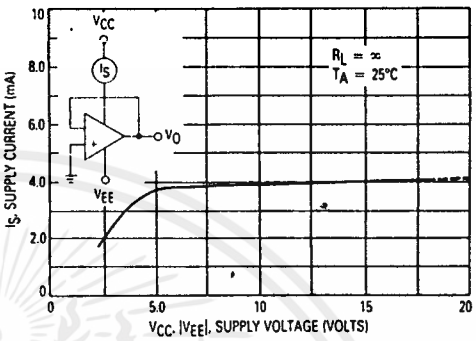


FIGURE 5 — DC VOLTAGE GAIN versus TEMPERATURE

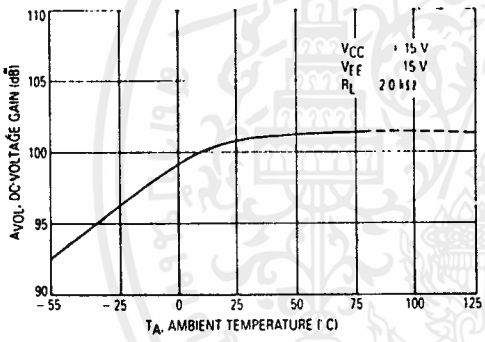


FIGURE 6 — DC VOLTAGE GAIN versus SUPPLY VOLTAGE

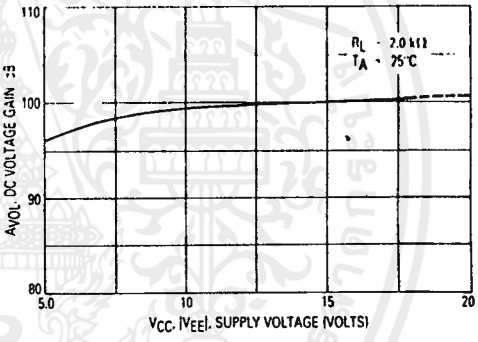


FIGURE 7 — OPEN-LOOP VOLTAGE GAIN AND PHASE versus FREQUENCY

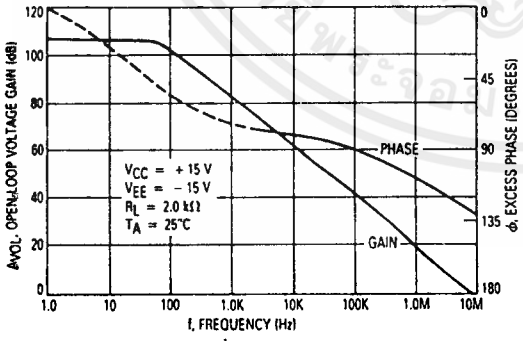
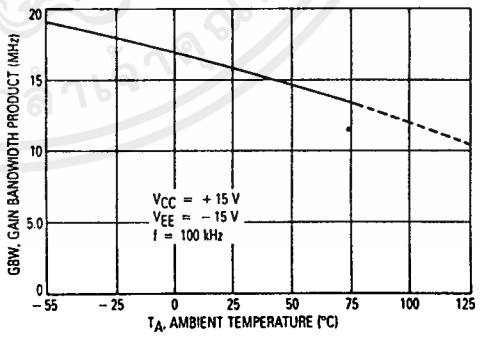


FIGURE 8 — GAIN BANDWIDTH PRODUCT versus TEMPERATURE



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

FIGURE 9 — GAIN BANDWIDTH PRODUCT versus SUPPLY VOLTAGE

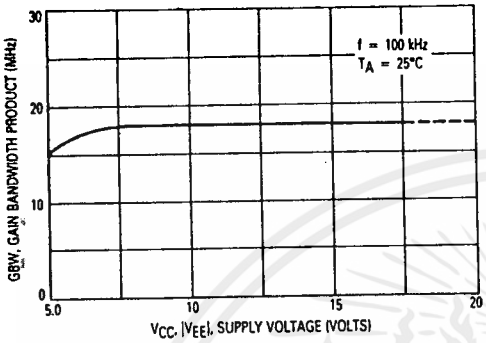


FIGURE 10 — SLEW RATE versus TEMPERATURE

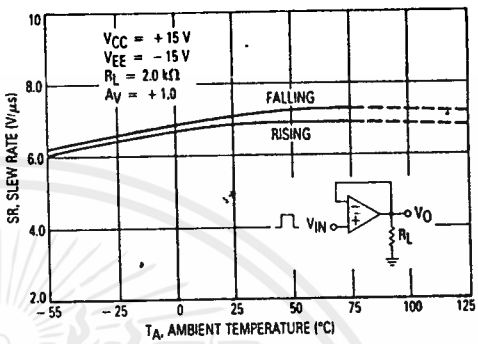


FIGURE 11 — SLEW RATE versus SUPPLY VOLTAGE

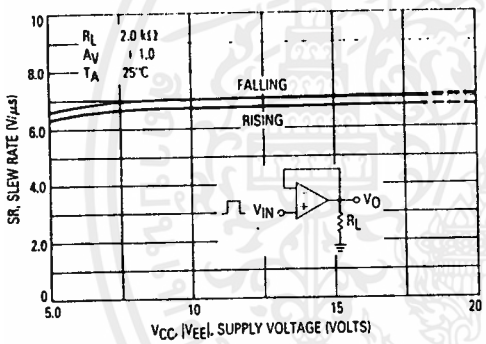


FIGURE 12 — OUTPUT VOLTAGE versus FREQUENCY

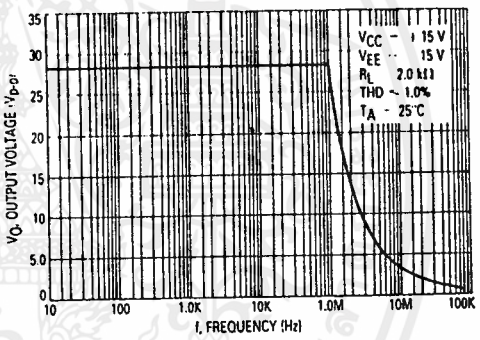


FIGURE 13 — MAXIMUM OUTPUT VOLTAGE versus SUPPLY VOLTAGE

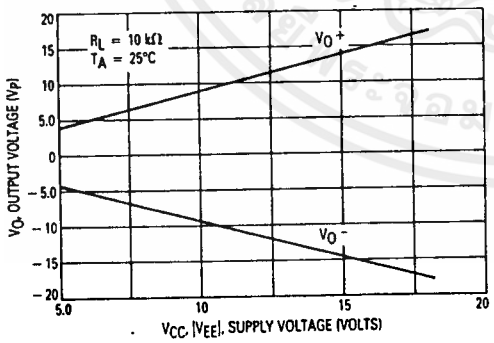
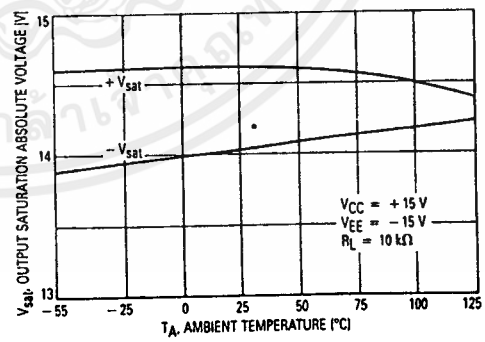


FIGURE 14 — OUTPUT SATURATION VOLTAGE versus TEMPERATURE



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

FIGURE 15 — POWER SUPPLY REJECTION versus FREQUENCY

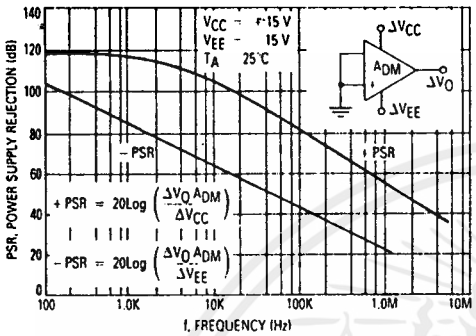


FIGURE 16 — COMMON MODE REJECTION versus FREQUENCY

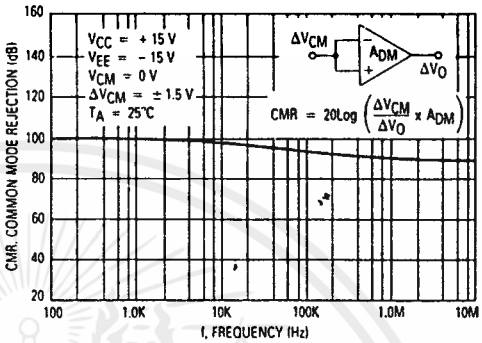


FIGURE 17 — TOTAL HARMONIC DISTORTION versus FREQUENCY

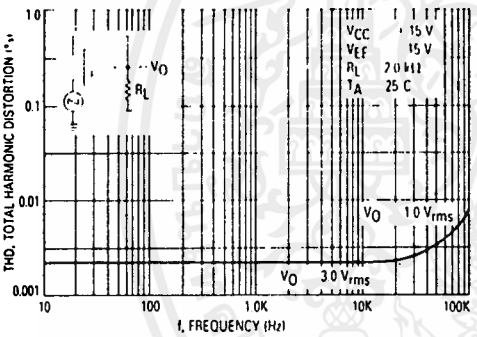


FIGURE 18 — INPUT REFERRED NOISE VOLTAGE versus FREQUENCY

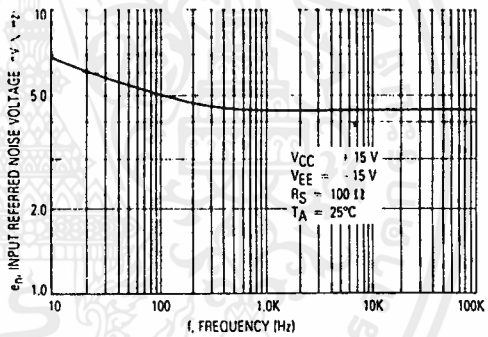


FIGURE 19 — INPUT REFERRED NOISE CURRENT versus FREQUENCY

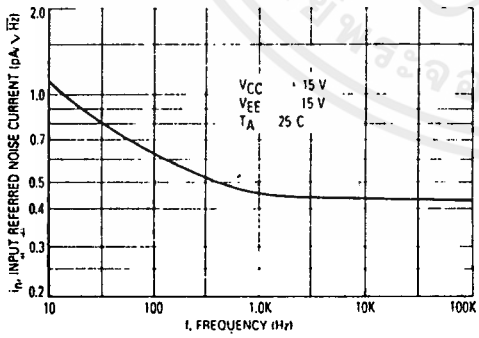
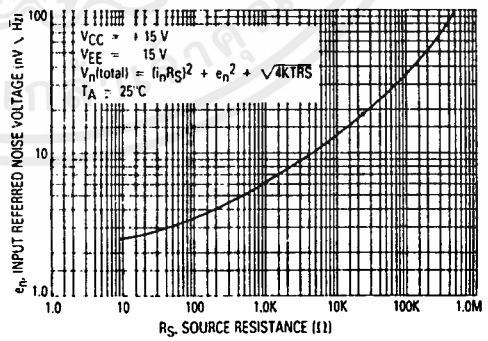


FIGURE 20 — INPUT REFERRED NOISE VOLTAGE versus SOURCE RESISTANCE



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

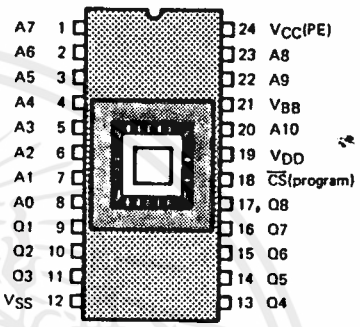
MOS
LSI

TMS 2716 JL
2048-WORD BY 8-BIT ERASABLE PROGRAMMABLE READ-ONLY MEMORY

DECEMBER 1979

- 2048 X 8 Organization
- All Inputs and Outputs Fully TTL Compatible
- Static Operation (No Clocks, No Refresh)
- Maximum Access Time . . . 450 ns
- Minimum Cycle Time . . . 450 ns
- 3-State Outputs for OR-Ties
- N-Channel Silicon-Gate Technology
- 8-Bit Output for Use in Microprocessor-Based Systems
- Low Power . . . 315 mW (Typical)

24-PIN CERPAK
DUAL-IN-LINE PACKAGE
(TOP VIEW)



description

The TMS 2716JL is an ultra-violet light-erasable, electrically programmable read only memory. It has 16,384 bits organized as 2048 words of 8-bit length. The device is fabricated using N-channel silicon-gate technology for high speed and simple interface with MOS and bipolar circuits. All inputs (including program data inputs) can be driven by Series 74 circuits without the use of external pull-up resistors and each output can drive one Series 74 or 74LS TTL circuit without external resistors. The TMS 2716 guarantees 250 mV dc noise immunity in the low state. Data outputs are three-state for OR-tying multiple devices on a common bus. The TMS 2716 is plug-in compatible with the TMS 2708 and the TMS 27L08. Pin compatible mask programmed ROMs are available for large volume requirements.

This EPROM is designed for high-density fixed-memory applications where fast turn arounds and/or program changes are required. It is supplied in a 24-pin dual-in-line cerpak (JL suffix) package designed for insertion in mounting-hole rows on 600-mil (15.2 mm) centers. It is designed for operation from 0°C to 70°C.

operation (read mode)

address (A0-A10)

The address-valid interval determines the device cycle time. The 11-bit positive-logic address is decoded on-chip to select one of 2048 words of 8-bit length in the memory array. A0 is the least-significant bit and A10 most-significant bit of the word address.

chip select, program [CS (Program)]

When the chip select is low, all eight outputs are enabled and the eight-bit addressed word can be read. When the chip select is high, all eight outputs are in a high-impedance state.

program

In the program mode, the chip select feature does not function as pin 18 inputs only the program pulse. The program mode is selected by the V_{CC}(PE) pin. Either 0 V or +12 V on this pin will cause the TMS 2716 to assume program cycle.

data out (Q1-Q8)

The chip must be selected before the eight-bit output word can be read. Data will remain valid until the address is changed or the chip is deselected. When deselected, the three-state outputs are in a high-impedance state. The outputs will drive TTL circuits without external components.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

operation (program mode)

erase

Before programming, the TMS 2716 is erased by exposing the chip through the transparent lid to high intensity ultraviolet light (wavelength 2537 angstroms). The recommended minimum exposure dose (= UV intensity × exposure time) is fifteen watt-seconds per square centimeter. Thus, a typical 12 milliwatt per square centimeter, filterless UV lamp will erase the device in a minimum of 21 minutes. The lamp should be located about 2.5 centimeters above the chip during erasure. After erasure, all bits are in the "1" state.

programming

Programming consists of successively depositing a small amount of charge to a selected memory cell that is to be changed from the erased high state to the low state. A low can be changed to a high only by erasure. Programming is normally accomplished on a PROM or EPROM Programmer, an example of which is TI's Universal PROM Programming Module in conjunction with the 990 prototyping system. Programming must be done at room temperature (25°C) only.

to start programming (see program cycle timing diagram)

First bring the $V_{CC}(PE)$ pin to + 12 V or 0 V to disable the outputs and convert them to inputs. This pin is held high for the duration of the programming sequence. The first word to be programmed is addressed (it is customary to begin with the "0" address) and the data to be stored is placed on the Q1-Q8 program inputs. Then a +26V program pulse is applied to the program pin. After 0.1 to 1.0 milliseconds the program pin is brought back to 0 V. After at least one microsecond the word address is sequentially changed to the next location, the new data is set up and the program pulse is applied.

Programming continues in this manner until all words have been programmed. This constitutes one of N program loops. The entire sequence is then repeated N times with $N \times t_{W(PR)} \geq 100$ ms. Thus, if $t_{W(PR)} =$ 1 ms; then N = 100, the minimum number of program loops required to program the EPROM.

to stop programming

After cycling through the N program loops, the last program pulse is brought to 0 V, then Program Enable $V_{CC}(PE)$ is brought back to ±5 volts which takes the device out of the program mode. The data supplied by the programmer must be removed before the address is changed since the program inputs are now data outputs and a change of address could cause a voltage conflict on the output buffer. Q1-Q8 outputs are invalid up to 10 microseconds after the program enable pin is brought from $V_{IH(PE)}$ to $V_{IL(PE)}$.

absolute maximum ratings over operating free-air temperature range (unless otherwise noted)*

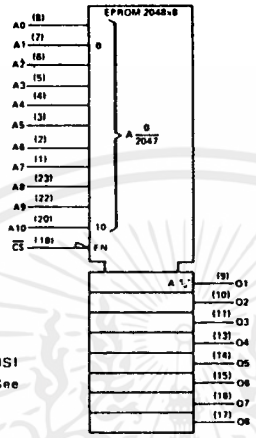
Supply voltage, V_{CC} (see Note 1)	−0.3 to 15 V
Supply voltage, V_{DD} (see Note 1)	−0.3 to 20 V
Supply voltage, V_{SS} (see Note 1)	−0.3 to 15 V
All input voltage (except program) (see Note 1)	−0.3 to 20 V
Program Input (see Note 1)	−0.3 to 35 V
Output voltage (operating, with respect to V_{SS})	−2 to 7 V
Operating free-air temperature range	0°C to 70°C
Storage temperature range	−55°C to 125°C

NOTE 1: Under absolute maximum ratings, voltage values are with respect to the most-negative supply voltage, V_{BB} (substrate), unless otherwise noted. Throughout the remainder of this data sheet, voltage values are with respect to V_{SS}.

*Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. This is a stress rating only and functional operation of the device at these or any other conditions beyond those indicated in the "Recommended Operating Conditions" section of this specification is not implied. Exposure to absolute-maximum-rated conditions for extended periods may affect device reliability.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

functional block diagram*



* This symbol is in accordance with IEEE Std 91/ANSI Y32.14 and current discussions in IEEE and IEC. See explanation on page 183.

recommended operating conditions

PARAMETER	MIN	NOM	MAX	UNIT
Supply voltage, V_{BB}	−4.75	−5	−5.25	V
Supply voltage, V_{CC}	4.75	5	5.25	V
Supply voltage, V_{DD}	11.4	12	12.6	V
Supply voltage, V_{SS}		0		V
High-level input voltage, V_{IH} (except program and program enable)	2.4		V_{CC}+1	V
High-level program enable input voltage, $V_{IH(PE)}$	11.4	12	12.6	V
High-level program input voltage, $V_{IH(PR)}$	25	26	27	V
Low-level input voltage, V_{IL} (except program)	V_{SS}		0.65	V
Low-level porgram input voltage, $V_{IL(PR)}$ Note: $V_{IL(PR)}$ max ≤ $V_{IH(PR)}$ −25 V	V_{SS}		1	V
High-level program pulse input current (sink), $I_{IH(PR)}$			40	mA
Low-level program pulse input current (source), $I_{IL(PR)}$			3	mA
Operating free-air temperature, T_A	0		70	°C

electrical characteristics over full ranges of recommended operating conditions (unless otherwise noted)

PARAMETER		TEST CONDITIONS	MIN	TYP†	MAX	UNITS
V_{OH}	High-level output voltage	I_{OH} = −100 μA	3.7			V
		I_{OH} = −1 mA	2.4			
V_{OL}	Low-level output voltage	I_{OL} = 1.6 mA			0.45	V
I_I	Input current (leakage)	V_I = 0 V to 5.25 V		1	10	μA
I_O	Output current (leakage)	$\overline{CS}$ (Program) = 5 V		1	10	μA
I_{BB}	Supply current from V_{BB}	All inputs high		10	20	mA
I_{CC}	Supply current from V_{CC}	$\overline{CS}$ (Program) = 5 V		1	8	mA
I_{DD}	Supply current from V_{DD}	For I_{DD} MAX, T_A = 0°C (worst case)		26	45	mA
I_{PE}	Supply current from PE on V_{CC} Pin	V_{PE} = V_{DD}		2	4	mA
$P_{D(AV)}$	Power Dissipation	T_A = 70°C			540	mW
		T_A = 0°C $\overline{CS}$ = 0 V		315	595	
		T_A = 0°C $\overline{CS}$ = +5 V		375	720	

†All typical values are at T_A = 25°C and nominal voltages.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

National Semiconductor

LM3915 Dot/Bar Display Driver

General Description

The LM3915 is a monolithic integrated circuit that senses analog voltage levels and drives ten LEDs, LCDs or vacuum fluorescent displays, providing a logarithmic 3 dB/step analog display. One pin changes the display from a bar graph to a moving dot display. LED current drive is regulated and programmable, eliminating the need for current limiting resistors. The whole display system can operate from a single supply as low as 3V or as high as 25V.

The IC contains an adjustable voltage reference and an accurate ten-step voltage divider. The high-impedance input buffer accepts signals down to ground and up to within 1.5V of the positive supply. Further, it needs no protection against inputs of ±35V. The input buffer drives 10 individual comparators referenced to the precision divider. Accuracy is typically better than 1 dB.

The LM3915's 3 dB/step display is suited for signals with wide dynamic range, such as audio level, power, light intensity or vibration. Audio applications include average or peak level indicators, power meters and RF signal strength meters. Replacing conventional meters with an LED bar graph results in a faster responding, more rugged display with high visibility that retains the ease of interpretation of an analog display.

The LM3915 is extremely easy to apply. A 1.2V full-scale meter requires only one resistor in addition to the ten LEDs. One more resistor programs the full-scale anywhere from 1.2V to 12V independent of supply voltage. LED brightness is easily controlled with a single pot.

The LM3915 is very versatile. The outputs can drive LCDs, vacuum fluorescents and incandescent bulbs as well as LEDs of any color. Multiple devices can be cascaded for a dot or bar mode display with a range of 60 or 90 dB. LM3915s can also be cascaded with LM3914s for a linear/log display or with LM3916s for an extended-range VU meter.

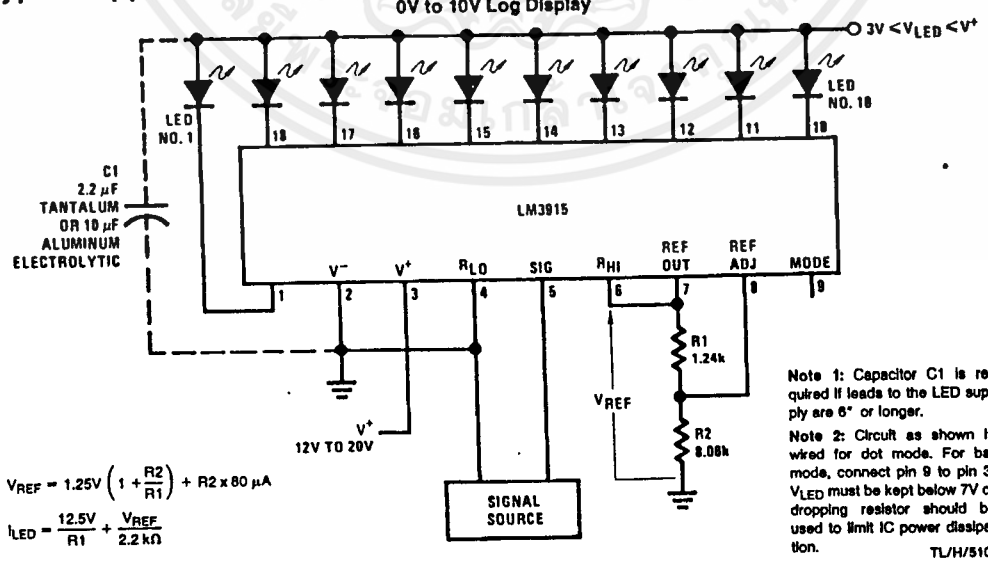
Features

- 3 dB/step, 30 dB range
- Drives LEDs, LCDs, or vacuum fluorescents
- Bar or dot display mode externally selectable by user
- Expandable to displays of 90 dB
- Internal voltage reference from 1.2V to 12V
- Operates with single supply of 3V to 25V
- Inputs operate down to ground
- Output current programmable from 1 mA to 30 mA
- Input withstands ±35V without damage or false outputs
- Outputs are current regulated, open collectors
- Directly drives TTL or CMOS
- The internal 10-step divider is floating and can be referenced to a wide range of voltages

The LM3915 is rated for operation from 0°C to +70°C. The LM3915N is available in an 18-lead molded DIP package.

Typical Applications

0V to 10V Log Display



$$V_{REF} = 1.25V\left(1 + \frac{R2}{R1}\right) + R2 \times 80\,\mu A$$

$$I_{LED} = \frac{12.5V}{R1} + \frac{V_{REF}}{2.2\,k\Omega}$$

Note 1: Capacitor C1 is required if leads to the LED supply are 6" or longer.

Note 2: Circuit as shown is wired for dot mode. For bar mode, connect pin 9 to pin 3. V_{LED} must be kept below 7V or dropping resistor should be used to limit IC power dissipation.

TL/H/5104–1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Absolute Maximum Ratings

If Military/Aerospace specified devices are required, please contact the National Semiconductor Sales Office/Distributors for availability and specifications.

Power Dissipation (Note 5)	
Molded DIP(N)	1365 mW
Supply Voltage	25V
Voltage on Output Drivers	25V
Input Signal Overvoltage (Note 3)	±35V
Divider Voltage	−100 mV to V+
Reference Load Current	10 mA
Storage Temperature Range	−55°C to +150°C
Lead Temperature (Soldering, 10 sec.)	260°C

Electrical Characteristics (Notes 1 and 3)

Parameter	Conditions (Note 1)	Min	Typ	Max	Units
Comparators					
Offset Voltage, Buffer and First Comparator	$0V \le V_{RLO} = V_{RHI} \le 12V$, $I_{LED} = 1$ mA		3	10	mV
Offset Voltage, Buffer and Any Other Comparator	$0V \le V_{RLO} = V_{RHI} \le 12V$, $I_{LED} = 1$ mA		3	15	mV
Gain ($\Delta I_{LED}/\Delta V_{IN}$)	$I_{L(REF)} = 2$ mA, $I_{LED} = 10$ mA	3	8		mA/mV
Input Bias Current (at Pin 5)	$0V \le V_{IN} \le (V^+ - 1.5V)$		25	100	nA
Input Signal Overvoltage	No Change in Display	−35		35	V
Voltage-Divider					
Divider Resistance	Total, Pin 6 to 4	16	28	36	kΩ
Relative Accuracy (Input Change Between Any Two Threshold Points)	(Note 2)	2.0	3.0	4.0	dB
Absolute Accuracy at Each Threshold Point	(Note 2)				
	$V_{IN} = -3, -6$ dB	−0.5		+0.5	dB
	$V_{IN} = -9$ dB	−0.5		+0.65	dB
	$V_{IN} = -12, -15, -18$ dB	−0.5		+1.0	dB
	$V_{IH} = -21, -24, -27$ dB	−0.5		+1.5	dB
Voltage Reference					
Output Voltage	$0.1\text{ mA} \le I_{L(REF)} \le 4$ mA, $V^+ = V_{LED} = 5V$	1.2	1.28	1.34	V
Line Regulation	$3V \le V^+ \le 18V$		0.01	0.03	%/V
Load Regulation	$0.1\text{ mA} \le I_{L(REF)} \le 4$ mA, $V^+ = V_{LED} = 5V$		0.4	2	%
Output Voltage Change with Temperature	$0°C \le T_A \le +70°C$, $I_{L(REF)} = 1$ mA, $V^+ = V_{LED}$ 5V		1		%
Adjust Pin Current			75	120	µA

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Electrical Characteristics (Note 1) (Continued)

Parameter	Conditions (Note 1)	Min	Typ	Max	Units
Output Drivers					
LED Current	$V^+ = V_{LED} = 5V$, $I_{L(REF)} = 1$ mA	7	10	13	mA
LED Current Difference (Between Largest and Smallest LED Currents)	$V_{LED} = 5V$, $I_{LED} = 2$ mA		0.12	0.4	mA
	$V_{LED} = 5V$, I_{LED} 20 mA		1.2	3	mA
LED Current Regulation	$2V \le V_{LED} \le 17V$, $I_{LED} = 2$ mA		0.1	0.25	mA
	$I_{LED} = 20$ mA		1	3	mA
Dropout Voltage	$I_{LED(ON)} = 20$ mA @ $V_{LED} = 5V$, $\Delta I_{LED} = 2$ mA			1.5	V
Saturation Voltage	$I_{LED} = 2.0$ mA, $I_{L(REF)} = 0.4$ mA		0.15	0.4	V
Output Leakage, Each Collector	Bar Mode (Note 4)		0.1	10	μA
Output Leakage	Dot Mode (Note 4)				
Pins 10-18			0.1	10	μA
Pin 1		60	150	450	μA
Supply Current					
Standby Supply Current (All Outputs Off)	$V^+ = +5V$, $I_{L(REF)} = 0.2$ mA		2.4	4.2	mA
	$V^+ = +20V$, $I_{L(REF)} = 1.0$ mA		6.1	9.2	mA

Note 1: Unless otherwise stated, all specifications apply with the following conditions:

$3\ V_{DC} \le V^+ \le 20\ V_{DC}$ $\quad -0.015V \le V_{RLO} \le 12\ V_{DC}$ $\quad T_A = 25°C$, $I_{L(REF)} = 0.2$ mA, pin 9 connected to pin 3 (bar mode).

$3\ V_{DC} \le V_{LED} \le V^+$ $\quad V_{REF}, V_{RHI}, V_{RLO} \le (V^+ - 1.5V)$ For higher power dissipations, pulse testing is used.

$-0.015V \le V_{RHI} \le 12\ V_{DC}$ $\quad 0V \le V_{IN} \le V^+ - 1.5V$

Note 2: Accuracy is measured referred to 0 dB = +10.000 V_{DC} at pin 5, with +10.000 V_{DC} at pin 6, and 0.000 V_{DC} at pin 4. At lower full scale voltages, buffer and comparator offset voltage may add significant error. See table for threshold voltages.

Note 3: Pin 5 input current must be limited to ±3 mA. The addition of a 39k resistor in series with pin 5 allows ±100V signals without damage.

Note 4: Bar mode results when pin 9 is within 20 mV of V^+. Dot mode results when pin 9 is pulled at least 200 mV below V^+. LED #10 (pin 10 output current) is disabled if pin 9 is pulled 0.9V or more below V_{LED}.

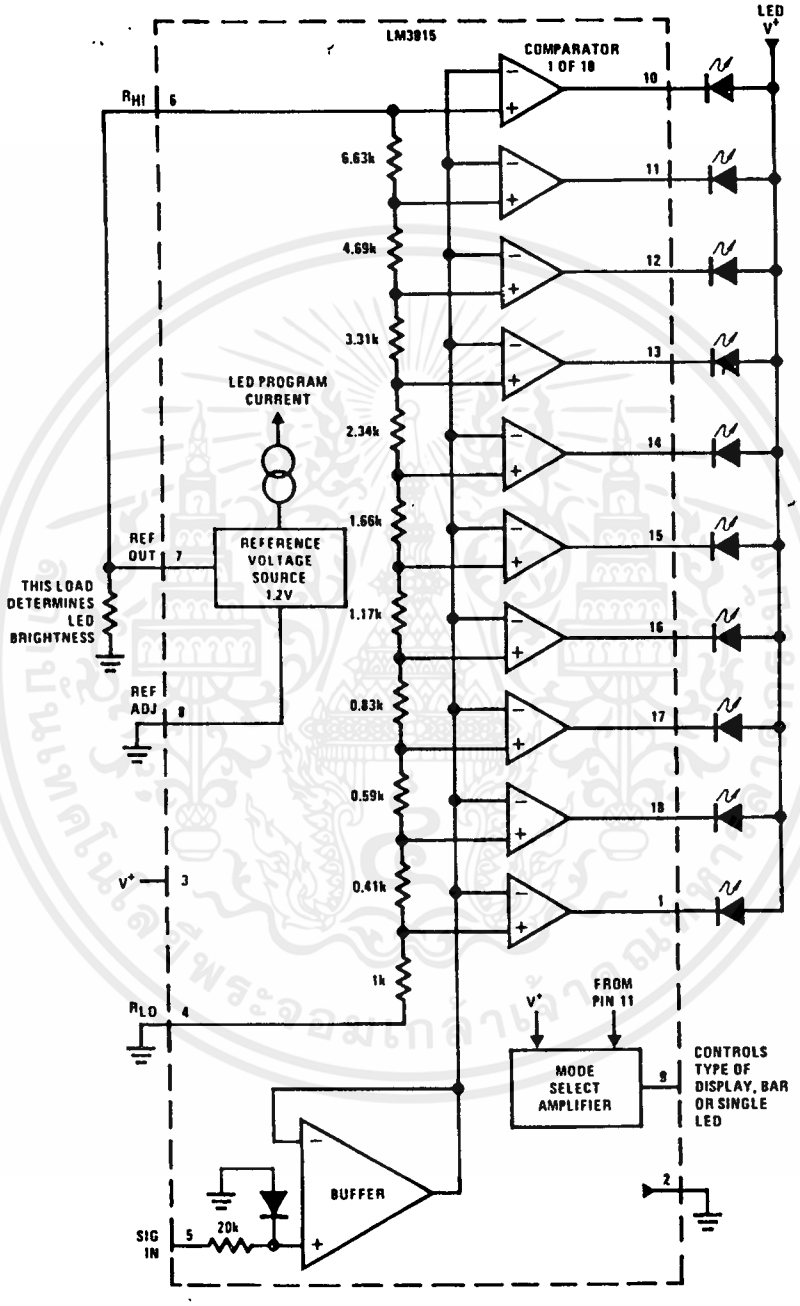
Note 5: The maximum junction temperature of the LM3915 is 100°C. Devices must be derated for operation at elevated temperatures. Junction to ambient thermal resistance is 55°C/W for the molded DIP (N package).

THRESHOLD VOLTAGE (Note 2)

Output	dB	Min	Typ	Max	Output	dB	Min	Typ	Max
1	−27	0.422	0.447	0.531	6	−12	2.372	2.512	2.819
2	−24	0.596	0.631	0.750	7	−9	3.350	3.548	3.825
3	−21	0.841	0.891	1.059	8	−6	4.732	5.012	5.309
4	−18	1.189	1.259	1.413	9	−3	6.683	7.079	7.498
5	−15	1.679	1.778	1.995	10	0	9.985	10	10.015

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Block Diagram (Showing Simplest Application)



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

National Semiconductor

54F/74F161A • 54F/74F163A
Synchronous Presettable Binary Counter

General Description

The 'F161A and 'F163A are high-speed synchronous modulo-16 binary counters. They are synchronously presettable for application in programmable dividers and have two types of Count Enable inputs plus a Terminal Count output for versatility in forming synchronous multi-stage counters. The 'F161A has an asynchronous Master-Reset input that overrides all other inputs and forces the outputs LOW. The 'F163A has a Synchronous Reset input that overrides counting and parallel loading and allows the outputs to be simultaneously reset on the rising edge of the clock. The 'F161A and 'F163A are high-speed versions of the 'F161 and 'F163.

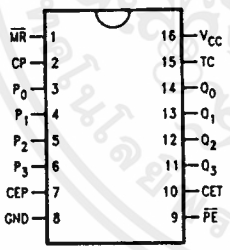
Features

- Synchronous counting and loading
- High-speed synchronous expansion
- Typical count frequency of 120 MHz

Ordering Code: See Section 5

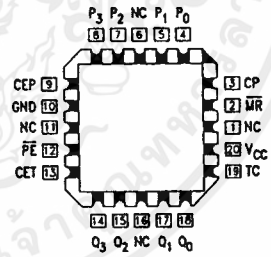
Connection Diagrams

Pin Assignment for DIP, SOIC and Flatpak 'F161A



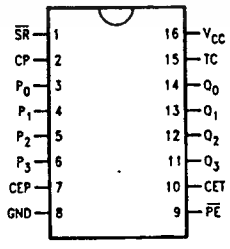
TL/F/9486–1

Pin Assignment for LCC and PCC 'F161A



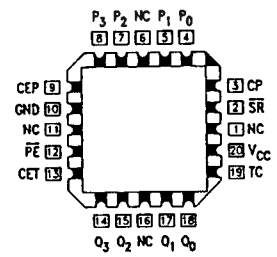
TL/F/9486–2

Pin Assignment for DIP, SOIC and Flatpak 'F163A



TL/F/9486–7

Pin Assignment for LCC and PCC 'F163A

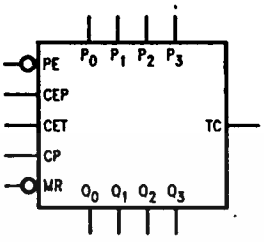


TL/F/9486–8

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

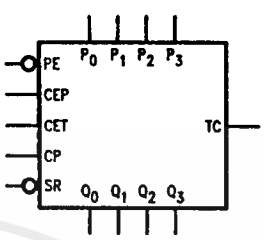
Logic Symbols

'F161A



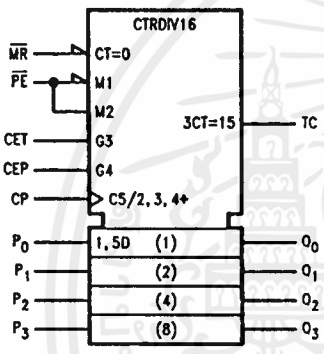
TL/F/9486–3

'F163A



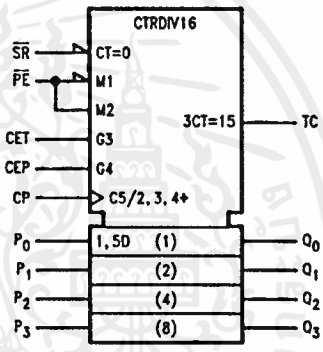
TL/F/9486–9

IEEE/IEC
'F161A



TL/F/9486–6

IEEE/IEC
'F163A



TL/F/9486–10

Unit Loading/Fan Out: See Section 2 for U.L. definitions

Pin Names	Description	54F/74F	
		U.L. HIGH/LOW	Input I_{IH}/I_{IL} Output I_{OH}/I_{OL}
CEP	Count Enable Parallel Input	1.0/1.0	20 μA/−0.6 mA
CET	Count Enable Trickle Input	1.0/2.0	20 μA/−1.2 mA
CP	Clock Pulse Input (Active Rising Edge)	1.0/1.0	20 μA/−0.6 mA
$\overline{MR}$ ('F161A)	Asynchronous Master Reset Input (Active LOW)	1.0/1.0	20 μA/−0.6 mA
$\overline{SR}$ ('F163A)	Synchronous Reset Input (Active LOW)	1.0/2.0	20 μA/−1.2 mA
P_0–P_3	Parallel Data Inputs	1.0/1.0	20 μA/−0.6 mA
$\overline{PE}$	Parallel Enable Input (Active LOW)	1.0/2.0	20 μA/−1.2 mA
Q_0–Q_3	Flip-Flop Outputs	50/33.3	−1 mA/20 mA
TC	Terminal Count Output	50/33.3	−1 mA/20 mA

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

National Semiconductor

54F/74F74
Dual D-Type Positive Edge-Triggered Flip-Flop

General Description

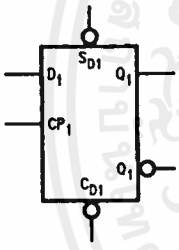
The 'F74 is a dual D-type flip-flop with Direct Clear and Set inputs and complementary (Q, $\overline{Q}$) outputs. Information at the input is transferred to the outputs on the positive edge of the clock pulse. Clock triggering occurs at a voltage level of the clock pulse and is not directly related to the transition time of the positive-going pulse. After the Clock Pulse input threshold voltage has been passed, the Data input is locked out and information present will not be transferred to the outputs until the next rising edge of the Clock Pulse input.

Asynchronous Inputs:

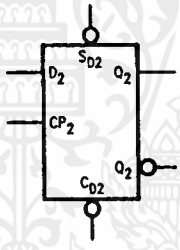
LOW input to $\overline{S}_D$ sets Q to HIGH level
LOW input to $\overline{C}_D$ sets Q to LOW level
Clear and Set are independent of clock
Simultaneous LOW on $\overline{C}_D$ and $\overline{S}_D$ makes both Q and $\overline{Q}$ HIGH

Ordering Code: See Section 5

Logic Symbols

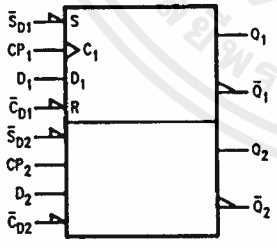


TL/F/9469-3



TL/F/9469-4

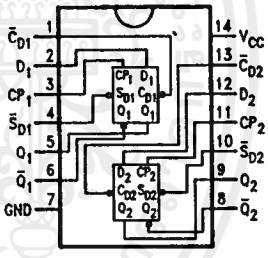
IEEE/IEC



TL/F/9469-6

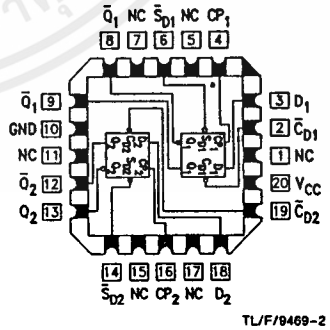
Connection Diagrams

Pin Assignment for DIP, SOIC, and Flatpak



TL/F/9469-1

Pin Assignment for LCC and PCC



TL/F/9469-2

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Unit Loading/Fan Out: See Section 2 for U.L. definitions

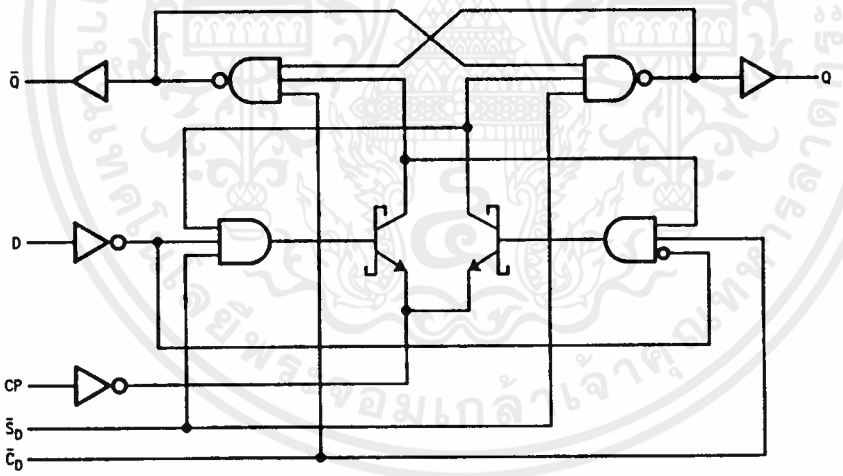
Pin Names	Description	54F/74F	
		U.L. HIGH/LOW	Input I_{IH}/I_{IL} Output I_{OH}/I_{OL}
D_1, D_2	Data Inputs	1.0/1.0	20 μA/−0.6 mA
CP_1, CP_2	Clock Pulse Inputs (Active Rising Edge)	1.0/1.0	20 μA/−0.6 mA
$\overline{C}_{D1}, \overline{C}_{D2}$	Direct Clear Inputs (Active LOW)	1.0/3.0	20 μA/−1.8 mA
$\overline{S}_{D1}, \overline{S}_{D2}$	Direct Set Inputs (Active LOW)	1.0/3.0	20 μA/−1.8 mA
$Q_1, \overline{Q}_1, Q_2, \overline{Q}_2$	Outputs	50/33.3	−1 mA/20 mA

Truth Table

Inputs				Outputs	
$\overline{S}_D$	$\overline{C}_D$	CP	D	Q	$\overline{Q}$
L	H	X	X	H	L
H	L	X	X	L	H
L	L	X	X	H	H
H	H	⌐	h	H	L
H	H	⌐	l	L	H
H	H	L	X	Q_0	$\overline{Q}_0$

H (h) = HIGH Voltage Level
L (l) = LOW Voltage Level
X = Immaterial
Q_0 = Previous Q ($\overline{Q}$) before LOW-to-HIGH Clock Transition
Lower case letters indicate the state of the referenced input or output one setup time prior to the LOW-to-HIGH clock transition.

Logic Diagram



TL/F/9469–5

Please note that this diagram is provided only for the understanding of logic operations and should not be used to estimate propagation delays.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

National Semiconductor

DM54LS154/DM74LS154 4-Line to 16-Line Decoders/Demultiplexers

General Description

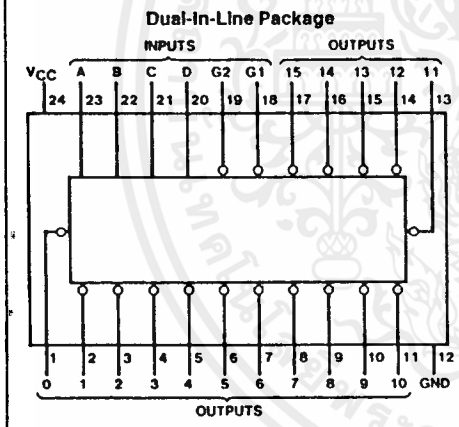
Each of these 4-line-to-16-line decoders utilizes TTL circuitry to decode four binary-coded inputs into one of sixteen mutually exclusive outputs when both the strobe inputs, G1 and G2, are low. The demultiplexing function is performed by using the 4 input lines to address the output line, passing data from one of the strobe inputs with the other strobe input low. When either strobe input is high, all outputs are high. These demultiplexers are ideally suited for implementing high-performance memory decoders. All inputs are buffered and input clamping diodes are provided to minimize transmission-line effects and thereby simplify system design.

Features

- Decodes 4 binary-coded inputs into one of 16 mutually exclusive outputs
- Performs the demultiplexing function by distributing data from one input line to any one of 16 outputs
- Input clamping diodes simplify system design
- High fan-out, low-impedance, totem-pole outputs
- Typical propagation delay
  3 levels of logic 23 ns
  Strobe 19 ns
- Typical power dissipation 45 mW

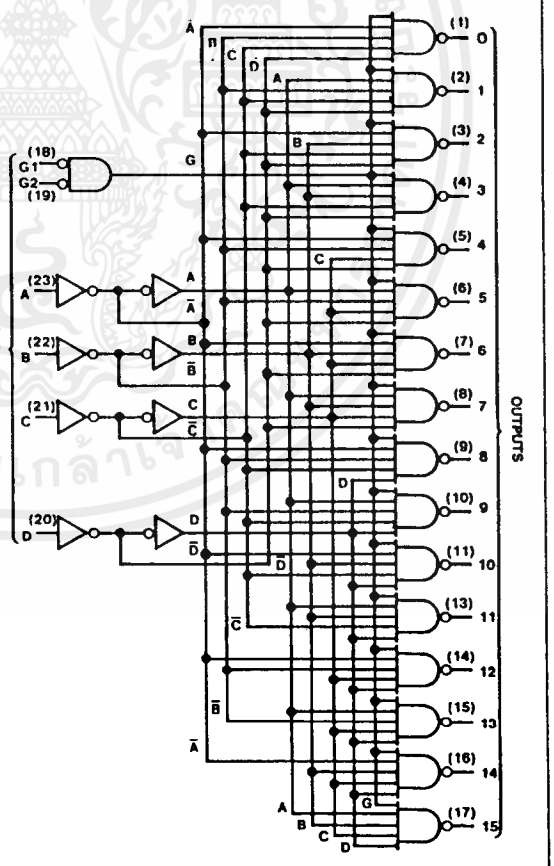
Connection and Logic Diagrams

Dual-In-Line Package



TL/F/6394–1

Order Number DM54LS154J, DM74LS154WM or DM74LS154N
See NS Package Number J24A, M24B or N24A



TL/F/6394–2

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Absolute Maximum Ratings (Note)

If Military/Aerospace specified devices are required, please contact the National Semiconductor Sales Office/Distributors for availability and specifications.

Supply Voltage	7V
Input Voltage	7V
Operating Free Air Temperature Range	
DM54LS	−55°C to +125°C
DM74LS	0°C to +70°C
Storage Temperature Range	−65°C to +150°C

Note: *The "Absolute Maximum Ratings" are those values beyond which the safety of the device cannot be guaranteed. The device should not be operated at these limits. The parametric values defined in the "Electrical Characteristics" table are not guaranteed at the absolute maximum ratings. The "Recommended Operating Conditions" table will define the conditions for actual device operation.*

Recommended Operating Conditions

Symbol	Parameter	DM54LS154			DM74LS154			Units
		Min	Nom	Max	Min	Nom	Max	
V_{CC}	Supply Voltage	4.5	5	5.5	4.75	5	5.25	V
V_{IH}	High Level Input Voltage	2			2			V
V_{IL}	Low Level Input Voltage			0.7			0.8	V
I_{OH}	High Level Output Current			−0.4			−0.4	mA
I_{OL}	Low Level Output Current			4			8	mA
T_A	Free Air Operating Temperature	−55		125	0		70	°C

Electrical Characteristics over recommended operating free air temperature range (unless otherwise noted)

Symbol	Parameter	Conditions		Min	Typ (Note 1)	Max	Units
V_I	Input Clamp Voltage	V_{CC} = Min, I_I = −18 mA				−1.5	V
V_{OH}	High Level Output Voltage	V_{CC} = Min, I_{OH} = Max, V_{IL} = Max, V_{IH} = Min	DM54	2.5	3.4		V
			DM74	2.7	3.4		
V_{OL}	Low Level Output Voltage	V_{CC} = Min, I_{OL} = Max, V_{IL} = Max, V_{IH} = Min	DM54		0.25	0.4	V
			DM74		0.35	0.5	
		I_{OL} = 4 mA, V_{CC} = Min	DM74		0.25	0.4	
I_I	Input Current @ Max Input Voltage	V_{CC} = Max, V_I = 7V				0.1	mA
I_{IH}	High Level Input Current	V_{CC} = Max, V_I = 2.7V				20	μA
I_{IL}	Low Level Input Current	V_{CC} = Max, V_I = 0.4V				−0.4	mA
I_{OS}	Short Circuit Output Current	V_{CC} = Max (Note 2)	DM54	−20		−100	mA
			DM74	−20		−100	
I_{CC}	Supply Current	V_{CC} = Max (Note 3)			9	14	mA

Note 1: All typicals are at V_{CC} = 5V, T_A = 25°C.

Note 2: Not more than one output should be shorted at a time, and the duration should not exceed one second.

Note 3: I_{CC} is measured with all outputs open and all inputs grounded.

Switching Characteristics at V_{CC} = 5V and T_A = 25°C (See Section 1 for Test Waveforms and Output Load)

Symbol	Parameter	From (Input) To (Output)	R_L = 2 kΩ				Units
			C_L = 15 pF		C_L = 50 pF		
			Min	Max	Min	Max	
t_{PLH}	Propagation Delay Time Low to High Level Output	Data to Output		30		35	ns
t_{PHL}	Propagation Delay Time High to Low Level Output	Data to Output		30		35	ns
t_{PLH}	Propagation Delay Time Low to High Level Output	Strobe to Output		20		25	ns
t_{PHL}	Propagation Delay Time High to Low Level Output	Strobe to Output		25		35	ns

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Function Table

Inputs						Outputs														
G1	G2	D	C	B	A	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
L	L	L	L	L	L	L	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H
L	L	L	L	L	H	H	L	H	H	H	H	H	H	H	H	H	H	H	H	H	H
L	L	L	L	H	L	H	H	L	H	H	H	H	H	H	H	H	H	H	H	H	H
L	L	L	L	H	H	H	H	H	L	H	H	H	H	H	H	H	H	H	H	H	H
L	L	L	H	L	L	H	H	H	H	L	H	H	H	H	H	H	H	H	H	H	H
L	L	L	H	L	H	H	H	H	H	H	L	H	H	H	H	H	H	H	H	H	H
L	L	L	H	H	L	H	H	H	H	H	H	L	H	H	H	H	H	H	H	H	H
L	L	L	H	H	H	H	H	H	H	H	H	H	L	H	H	H	H	H	H	H	H
L	L	H	L	L	L	H	H	H	H	H	H	H	H	L	H	H	H	H	H	H	H
L	L	H	L	L	H	H	H	H	H	H	H	H	H	H	L	H	H	H	H	H	H
L	L	H	L	H	L	H	H	H	H	H	H	H	H	H	H	L	H	H	H	H	H
L	L	H	L	H	H	H	H	H	H	H	H	H	H	H	H	H	L	H	H	H	H
L	L	H	H	L	L	H	H	H	H	H	H	H	H	H	H	H	H	L	H	H	H
L	L	H	H	L	H	H	H	H	H	H	H	H	H	H	H	H	H	H	L	H	H
L	L	H	H	H	L	H	H	H	H	H	H	H	H	H	H	H	H	H	H	L	H
L	L	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	L
L	H	X	X	X	X	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H
H	L	X	X	X	X	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H
H	H	X	X	X	X	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H

H = High Level, L = Low Level, X = Don't Care

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

National Semiconductor

54LS83A/DM54LS83A/DM74LS83A
4-Bit Binary Adders with Fast Carry

General Description

These full adders perform the addition of two 4-bit binary numbers. The sum (Σ) outputs are provided for each bit and the resultant carry (C4) is obtained from the fourth bit. These adders feature full internal look ahead across all four bits. This provides the system designer with partial look-ahead performance at the economy and reduced package count of a ripple-carry implementation.

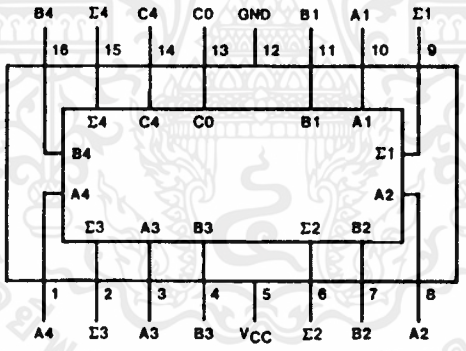
The adder logic, including the carry, is implemented in its true form meaning that the end-around carry can be accomplished without the need for logic or level inversion.

Features

- Full-carry look-ahead across the four bits
- Systems achieve partial look-ahead performance with the economy of ripple carry
- Typical add times
  - Two 8-bit words 25 ns
  - Two 16-bit words 45 ns
- Typical power dissipation per 4-bit adder 95 mW
- Alternate Military/Aerospace device (54LS83A) is available. Contact a National Semiconductor Sales Office/ Distributor for specifications.

Connection Diagram

Dual-In-Line Package



TL/F/6378–1

Order Number 54LS83ADMQB, 54LS83AFMQB, DM54LS83AJ, DM54LS83AW, DM74LS83AWM or DM74LS83AN
See NS Package Number J16A, M16B, N16E or W16A

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Absolute Maximum Ratings (Note)

If Military/Aerospace specified devices are required, please contact the National Semiconductor Sales Office/Distributors for availability and specifications.

Supply Voltage	7V
Input Voltage	7V
Operating Free Air Temperature Range	
DM54LS and 54LS	−55°C to +125°C
DM74LS	0°C to +70°C
Storage Temperature Range	−65°C to +150°C

Note: *The "Absolute Maximum Ratings" are those values beyond which the safety of the device cannot be guaranteed. The device should not be operated at these limits. The parametric values defined in the "Electrical Characteristics" table are not guaranteed at the absolute maximum ratings. The "Recommended Operating Conditions" table will define the conditions for actual device operation.*

Recommended Operating Conditions

Symbol	Parameter	DM54LS83A			DM74LS83A			Units
		Min	Nom	Max	Min	Nom	Max	
V_{CC}	Supply Voltage	4.5	5	5.5	4.75	5	5.25	V
V_{IH}	High Level Input Voltage	2			2			V
V_{IL}	Low Level Input Voltage			0.7			0.8	V
I_{OH}	High Level Output Current			−0.4			−0.4	mA
I_{OL}	Low Level Output Current			4			8	mA
T_A	Free Air Operating Temperature	−55		125	0		70	°C

Electrical Characteristics over recommended operating free air temperature range (unless otherwise noted)

Symbol	Parameter	Conditions		Min	Typ (Note 1)	Max	Units
V_I	Input Clamp Voltage	V_{CC} = Min, I_I = −18 mA				−1.5	V
V_{OH}	High Level Output Voltage	V_{CC} = Min, I_{OH} = Max, V_{IL} = Max, V_{IH} = Min	DM54	2.5	3.4		V
			DM74	2.7	3.4		
V_{OL}	Low Level Output Voltage	V_{CC} = Min, I_{OL} = Max, V_{IL} = Max, V_{IH} = Min	DM54		0.25	0.4	V
			DM74		0.35	0.5	
		I_{OL} = 4 mA, V_{CC} = Min	DM74		0.25	0.4	
I_I	Input Current @ Max Input Voltage	V_{CC} = Max, V_I = 7V	A or B			0.2	mA
			C0			0.1	
I_{IH}	High Level Input Current	V_{CC} = Max, V_I = 2.7V	A or B			40	µA
			C0			20	
I_{IL}	Low Level Input Current	V_{CC} = Max, V_I = 0.4V	A or B			−0.8	mA
			C0			−0.4	
I_{OS}	Short Circuit Output Current	V_{CC} = Max (Note 2)	DM54	−20		−100	mA
			DM74	−20		−100	
I_{CC1}	Supply Current	V_{CC} = Max (Note 3)			19	34	mA
I_{CC2}	Supply Current	V_{CC} = Max (Note 4)			22	39	mA

Note 1: All typicals are at V_{CC} = 5V, T_A = 25°C.

Note 2: Not more than one output should be shorted at a time, and the duration should not exceed one second.

Note 3: I_{CC1} is measured with all outputs open, all B inputs low and all other inputs at 4.5V, or all inputs at 4.5V.

Note 4: I_{CC2} is measured with all outputs open and all inputs grounded.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Switching Characteristics at V_{CC} = 5V and T_A = 25°C (See Section 1 for Test Waveforms and Output Load)

Symbol	Parameter	From (Input) To (Output)	R_L = 2 kΩ				Units
			C_L = 15 pF		C_L = 50 pF		
			Min	Max	Min	Max	
t_{PLH}	Propagation Delay Time Low to High Level Output	C0 to Σ1 or Σ2		24		28	ns
t_{PHL}	Propagation Delay Time High to Low Level Output	C0 to Σ1 or Σ2		24		30	ns
t_{PLH}	Propagation Delay Time Low to High Level Output	C0 to Σ3		24		28	ns
t_{PHL}	Propagation Delay Time High to Low Level Output	C0 to Σ3		24		30	ns
t_{PLH}	Propagation Delay Time Low to High Level Output	C0 to Σ4		24		28	ns
t_{PHL}	Propagation Delay Time High to Low Level Output	C0 to Σ4		24		30	ns
t_{PLH}	Propagation Delay Time Low to High Level Output	A_i, B_i to Σ_i		24		28	ns
t_{PHL}	Propagation Delay Time High to Low Level Output	A_i, B_i to Σ_i		24		30	ns
t_{PLH}	Propagation Delay Time Low to High Level Output	C0 to C4		17		24	ns
t_{PHL}	Propagation Delay Time High to Low Level Output	C0 to C4		17		25	ns
t_{PLH}	Propagation Delay Time Low to High Level Output	A_i, B_i to C4		17		24	ns
t_{PHL}	Propagation Delay Time High to Low Level Output	A_i, B_i to C4		17		26	ns

Truth Table

Inputs				Outputs					
				When C0 = L			When C0 = H		
				When C2 = L			When C2 = H		
A1 / A3	B1 / B3	A2 / A4	B2 / B4	Σ1 / Σ3	Σ2 / Σ4	C2 / C4	Σ1 / Σ3	Σ2 / Σ4	C2 / C
L	L	L	L	L	L	L	H	L	L
H	L	L	L	H	L	L	L	H	L
L	H	L	L	H	L	L	L	H	L
H	H	L	L	L	H	L	H	H	L
L	L	H	L	L	H	L	H	H	L
H	L	H	L	H	H	L	L	L	H
L	H	H	L	H	H	L	L	L	H
H	H	H	L	L	L	H	H	L	H
L	L	L	H	L	H	L	H	H	L
H	L	L	H	H	H	L	L	L	H
L	H	L	H	H	H	L	L	L	H
H	H	L	H	L	L	H	H	L	H
L	L	H	H	L	L	H	H	L	H
H	L	H	H	H	L	H	L	H	H
L	H	H	H	H	L	H	L	H	H
H	H	H	H	L	H	H	H	H	H

H = High Level, L = Low Level

TL/F/6378-3

Note: Input conditions at A1, B1, A2, B2, and C0 are used to determine outputs Σ1 and Σ2 and the value of the internal carry C2. The values at C2, A3, B3, A4, and B4 are then used to determine outputs Σ3, Σ4, and C4.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

National Semiconductor

54LS165/DM74LS165 8-Bit Parallel In/Serial Output Shift Registers

General Description

This device is an 8-bit serial shift register which shifts data in the direction of Q_A toward Q_H when clocked. Parallel-in access is made available by eight individual direct data inputs, which are enabled by a low level at the shift/load input. These registers also feature gated clock inputs and complementary outputs from the eighth bit.

Clocking is accomplished through a 2-input NOR gate, permitting one input to be used as a clock-inhibit function. Holding either of the clock inputs high inhibits clocking, and holding either clock input low with the load input high enables the other clock input. The clock-inhibit input should be changed to the high level only while the clock input is high. Parallel loading is inhibited as long as the load input is high.

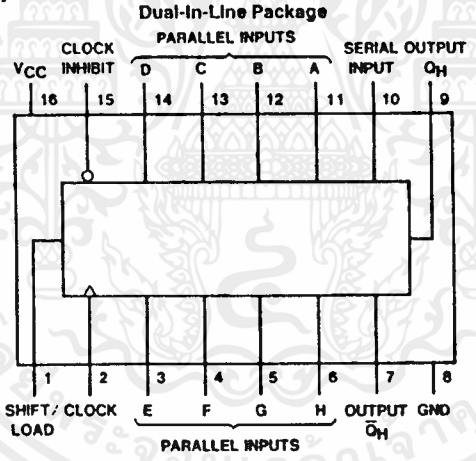
Data at the parallel inputs are loaded directly into the register on a high-to-low transition of the shift/load input, regardless of the logic levels on the clock, clock inhibit, or serial inputs.

Features

- Complementary outputs
- Direct overriding (data) inputs
- Gated clock inputs
- Parallel-to-serial data conversion
- Typical frequency 35 MHz
- Typical power dissipation 105 mW

Connection Diagram

Dual-In-Line Package



TL/F/6399–1

Order Number 54LS165DMQB, 54LS165FMQB, DM74LS165WM or DM74LS165N
See NS Package Number J16A, M16B, N16E or W16A

Function Table

Inputs					Internal Outputs		Output Q_H
Shift/ Load	Clock Inhibit	Clock	Serial	Parallel A...H	Q_A	Q_B	
L	X	X	X	a...h	a	b	h
H	L	L	X	X	Q_{A0}	Q_{B0}	Q_{H0}
H	L	↑	H	X	H	Q_{An}	Q_{Gn}
H	L	↑	L	X	L	Q_{An}	Q_{Gn}
H	H	X	X	X	Q_{A0}	Q_{B0}	Q_{H0}

H = High Level (steady state), L = Low Level (steady state)

X = Don't Care (any input, including transitions)

↑ = Transition from low-to-high level

a...h = The level of steady-state input at inputs A through H, respectively.

Q_{A0}, Q_{B0}, Q_{H0} = The level of Q_A, Q_B, or Q_H, respectively, before the indicated steady-state input conditions were established.

Q_{An}, Q_{Gn} = The level of Q_A or Q_G, respectively, before the most recent ↑ transition of the clock.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Absolute Maximum Ratings (Note)

If Military/Aerospace specified devices are required, please contact the National Semiconductor Sales Office/Distributors for availability and specifications.

Supply Voltage	7V
Input Voltage	7V
Operating Free Air Temperature Range	
54LS	−55°C to +125°C
DM74LS	0°C to +70°C
Storage Temperature Range	−65°C to +150°C

Note: *The "Absolute Maximum Ratings" are those values beyond which the safety of the device cannot be guaranteed. The device should not be operated at these limits. The parametric values defined in the "Electrical Characteristics" table are not guaranteed at the absolute maximum ratings. The "Recommended Operating Conditions" table will define the conditions for actual device operation.*

Recommended Operating Conditions

Symbol	Parameter		54LS165			DM74LS165			Units
			Min	Nom	Max	Min	Nom	Max	
V_{CC}	Supply Voltage		4.5	5	5.5	4.75	5	5.25	V
V_{IH}	High Level Input Voltage		2			2			V
V_{IL}	Low Level Input Voltage				0.7			0.8	V
I_{OH}	High Level Output Current				−0.4			−0.4	mA
I_{OL}	Low Level Output Current				4			8	mA
f_{CLK}	Clock Frequency (Note 1)				30	0		25	MHz
f_{CLK}	Clock Frequency (Note 2)					0		20	MHz
t_W	Pulse Width (Note 2)	Clock	18			25			ns
		Load	15			15			
t_{SU}	Setup Time (Note 6)	Parallel	10			10			ns
		Serial	10			20			
		Enable	10			30			
		Shift	10			45			
t_H	Hold Time (Note 6)		5			0			ns
T_A	Free Air Operating Temperature		−55		125	0		70	°C

Electrical Characteristics over recommended operating free air temperature range (unless otherwise noted)

Symbol	Parameter	Conditions		Min	Typ (Note 3)	Max	Units
V_I	Input Clamp Voltage	V_{CC} = Min, I_I = −18 mA				−1.5	V
V_{OH}	High Level Output Voltage	V_{CC} = Min, I_{OH} = Max, V_{IL} = Max, V_{IH} = Min	54LS	2.5			V
			DM74	2.7	3.4		
V_{OL}	Low Level Output Voltage	V_{CC} = Min, I_{OL} = Max, V_{IL} = Max, V_{IH} = Min	54LS			0.4	V
			DM74		0.35	0.5	
		I_{OL} = 4 mA, V_{CC} = Min			0.25	0.4	
I_I	Input Current @ Max Input Voltage	V_{CC} = Max, V_I = 7V (DM74) / V_I = 10V (54LS)	Shift/Load			0.3	mA
			Others			0.1	
I_{IH}	High Level Input Current	V_{CC} = Max, V_I = 2.7V	Shift/Load			60	μA
			Others			20	
I_{IL}	Low Level Input Current	V_{CC} = Max, V_I = 0.4V	Shift/Load			−1.2	mA
			Others			−0.4	
I_{OS}	Short Circuit Output Current	V_{CC} = Max (Note 4)	54LS	−20		−100	mA
			DM74	−20		−100	
I_{CC}	Supply Current	V_{CC} = Max (Note 5)			21	36	mA

Note 1: C_L = 15 pF, R_L = 2 kΩ, T_A = 25°C and V_{CC} = 5V

Note 2: C_L = 50 pF, R_L = 2 kΩ, T_A = 25°C and V_{CC} = 5V

Note 3: All typicals are at V_{CC} = 5V, T_A = 25° C.

Note 4: Not more than one output should be shorted at a time, and the duration should not exceed one second.

Note 5: With all outputs open, clock inhibit and shift/load at 4.5V, and a clock pulse applied to the CLOCK input, I_{CC} is measured first with the parallel inputs 4.5V, then again grounded.

Note 6: T_A = 25°C and V_{CC} = 5V.

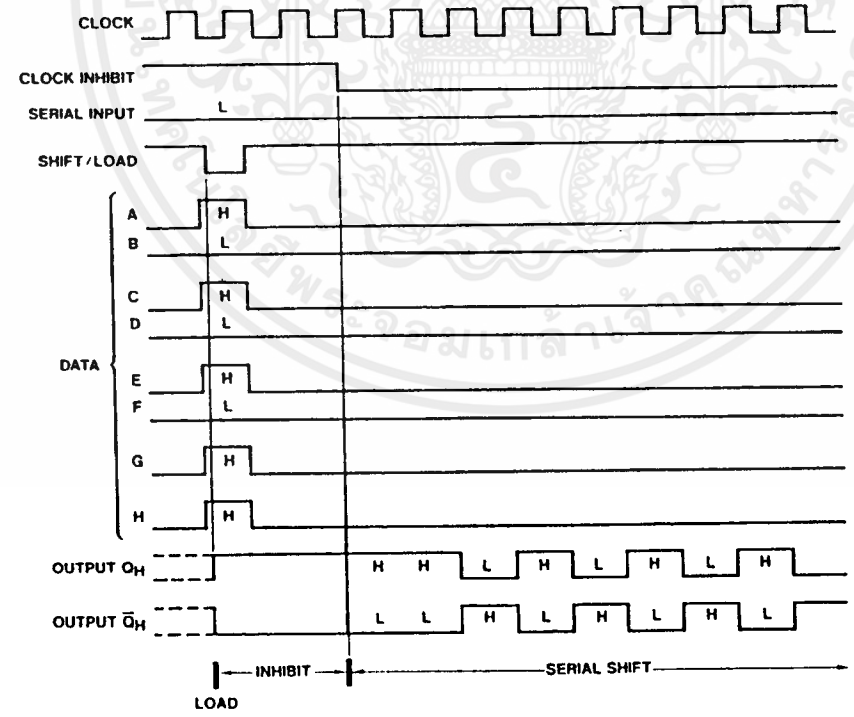
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Switching Characteristics at V_{CC} = 5V and T_A = 25°C (See Section 1 for Test Waveforms and Output Load)

Symbol	Parameter	From (Input) To (Output)	54LS C_L = 15 pF		DM74LS R_L = 2 kΩ C_L = 50 pF		Units
			Min	Max	Min	Max	
f_{MAX}	Maximum Clock Frequency		25		20		MHz
t_{PLH}	Propagation Delay Time Low to High Level Output	Load to Any Q		30		37	ns
t_{PHL}	Propagation Delay Time High to Low Level Output	Load to Any Q		30		42	ns
t_{PLH}	Propagation Delay Time Low to High Level Output	Clock to Any Q		30		42	ns
t_{PHL}	Propagation Delay Time High to Low Level Output	Clock to Any Q		30		47	ns
t_{PLH}	Propagation Delay Time Low to High Level Output	H to Q_H		20		27	ns
t_{PHL}	Propagation Delay Time High to Low Level Output	H to Q_H		30		37	ns
t_{PLH}	Propagation Delay Time Low to High Level Output	H to $\overline{Q}_H$		30		32	ns
t_{PHL}	Propagation Delay Time High to Low Level Output	H to $\overline{Q}_H$		25		32	ns

Timing Diagram

Typical Shift, Load, and Inhibit Sequences



TL/F/6399–3

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

SCL4514B
SCL4515B

CMOS 4-TO-16 LINE DECODERS WITH LATCH

FEATURES

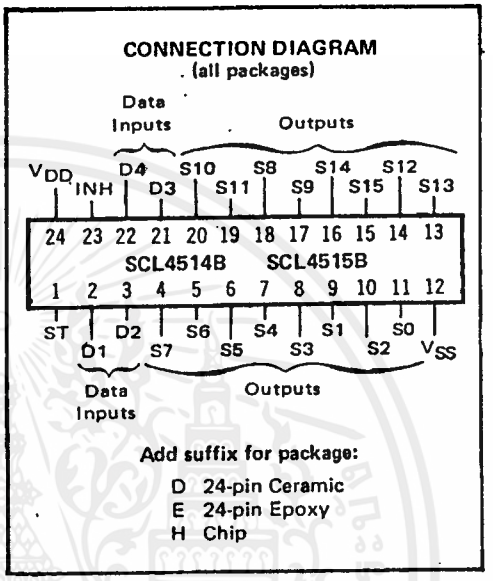
- Strobed Input Latch
- Inhibit Control
- Selected Output Active High (SCL4514B) or Active Low (SCL4515B)

DESCRIPTION

The SCL4514B and SCL4515B are two output options of a 4-to-16 Line Decoder with Latched Inputs. The SCL4514B presents a logic "1" at the selected output, and the SCL4515B presents a logic "0" at the selected output. The latches hold the last input data presented prior to the Strobe transition from "1" to "0". Inhibit allows all outputs to be placed at "0" (SCL4514B), or "1" (SCL4515B), regardless of the state of the Data or Strobe inputs.

Applications include code conversion, address decoding, memory selection control, demultiplexing, and readout decoding.

CONNECTION DIAGRAM
(all packages)



Add suffix for package:

D 24-pin Ceramic
E 24-pin Epoxy
H Chip

TRUTH TABLE (Strobe = 1)

Inhibit	Data Inputs D	C	B	A	Selected Output SCL4514B = Logic "1" SCL4515B = Logic "0"
0	0	0	0	0	S0
0	0	0	0	1	S1
0	0	0	1	0	S2
0	0	0	1	1	S3
0	0	1	0	0	S4
0	0	1	0	1	S5
0	0	1	1	0	S6
0	0	1	1	1	S7
0	1	0	0	0	S8
0	1	0	0	1	S9
0	1	0	1	0	S10
0	1	0	1	1	S11
0	1	1	0	0	S12
0	1	1	0	1	S13
0	1	1	1	0	S14
0	1	1	1	1	S15
1	X	X	X	X	All Outputs = "0", SCL4514B All Outputs = "1", SCL4515B

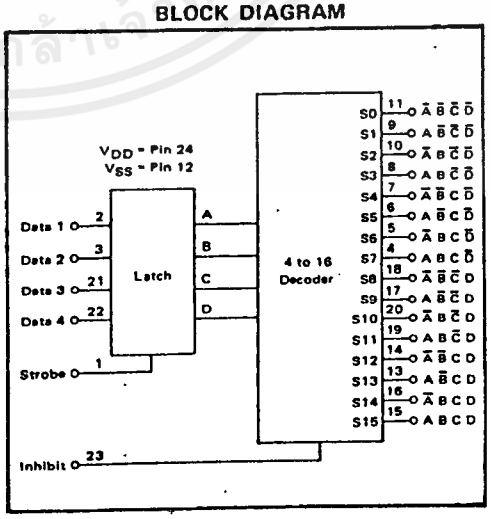
X = Don't Care

RECOMMENDED OPERATING CONDITIONS

For maximum reliability:

DC Supply Voltage	$V_{DD} - V_{SS}$	3 to 15	Vdc
Operating Temperature	T_A		
D, H Device		-55 to +125	°C
E Device		-40 to +85	°C

BLOCK DIAGRAM



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ELECTRICAL CHARACTERISTICS

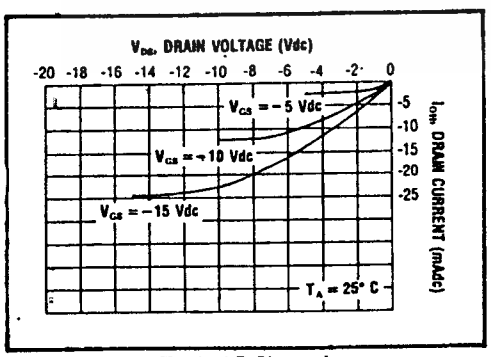
STATIC CHARACTERISTICS[1]

PARAMETER		V_{DD} (Vdc)	CONDITIONS	T_{LOW}[2]		+25°C			T_{HIGH}[2]		Units
				Min.	Max.	Min.	Typ.	Max.	Min.	Max.	
QUIESCENT DEVICE CURRENT	I_{DD}	5	$V_{IN} = V_{SS}$ or V_{DD}	–	5	–	0.05	5	–	150	μAdc
		10	All valid input	–	10	–	0.1	10	–	300	
		15	combinations	–	20	–	0.2	20	–	600	

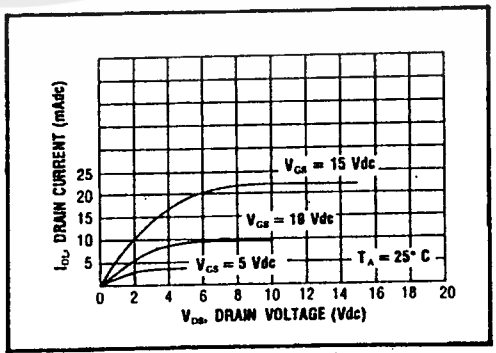
NOTES: [1] Remaining Static Electrical Characteristics are listed under "SCL4000B Series Family Specifications".
[2] T_{LOW} = -55°C for C, D, F, H device.
= -40°C for E device.
T_{HIGH} = +125°C for C, D, F, H device.
= + 85°C for E device.

DYNAMIC CHARACTERISTICS (C_L = 50pF, T_A = 25°C)

PARAMETER		V_{DD} (Vdc)	Min.	Typ.	Max.	Units
PROPAGATION DELAY TIME From Data Inputs	t_{PLH}, t_{PHL}	5	–	550	1100	ns
		10	–	225	450	
		15	–	150	300	
From Inhibit Input		5	–	400	800	ns
		10	–	150	300	
		15	–	100	200	
OUTPUT TRANSITION TIME	t_{TLH}, t_{THL}	5	–	130	260	ns
		10	–	65	130	
		15	–	50	100	
MINIMUM DATA INPUT SETUP TIME	t_{setup}	5	–	125	250	ns
		10	–	50	100	
		15	–	40	80	
MINIMUM STROBE PULSE WIDTH	PW_{ST}	5	–	175	350	ns
		10	–	50	100	
		15	–	40	80	



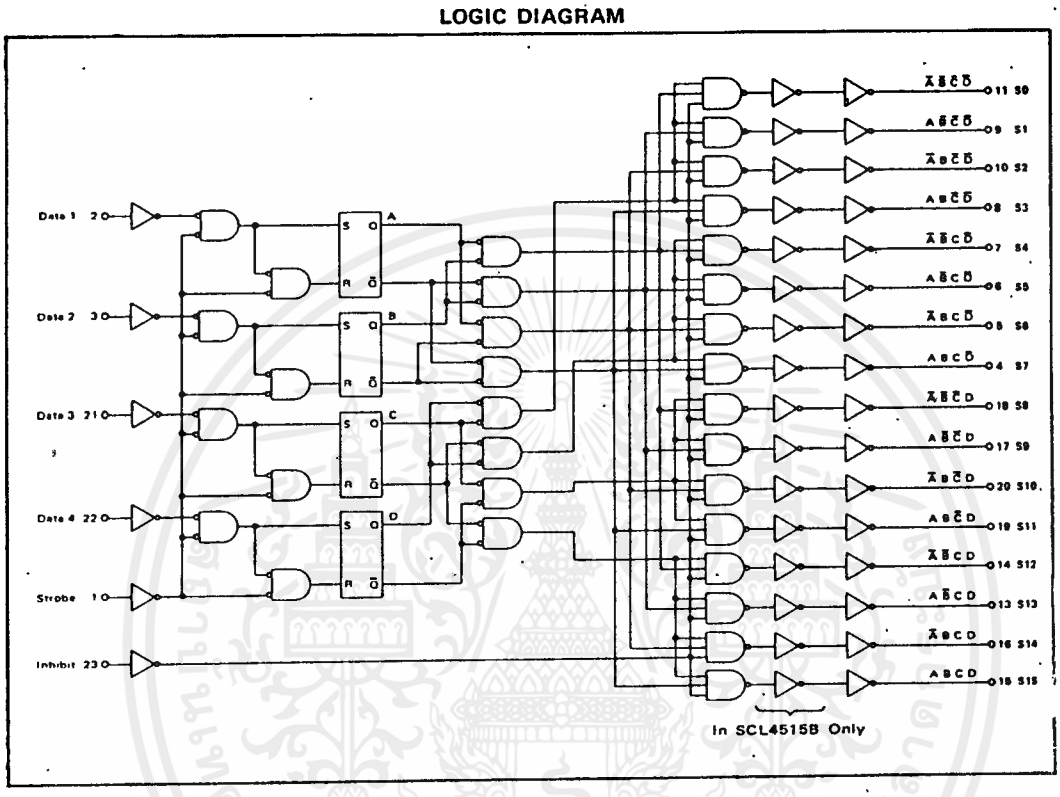
Typical P-Channel
Source Current Characteristics



Typical N-Channel
Sink Current Characteristics

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

LOGIC DIAGRAM



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

SCL4502B

CMOS STROBED HEX INVERTER/BUFFER

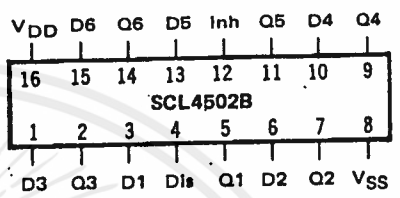
FEATURES

- 3-State Outputs with Separate Disable Control
- Common Input Inhibit Line
- TTL Output Drive Guaranteed Over Temperature Range
- Output Impedance < 200 Ω @ 5Vdc Guaranteed Over Temperature Range

DESCRIPTION

The SCL4502B is a Strobed Hex Inverter/Buffer with a common Data Input Inhibit Control and a common Output Disable Control. The 3-state output allows common bus configurations.

CONNECTION DIAGRAM
(all packages)



Add suffix for package:

C	16-pin Cerdip	F	16-pin Flat
D	16-pin Ceramic	H	Chip
E	16-pin Epoxy		

TRUTH TABLE

D_n	Inhibit	Disable	Q_n
0	0	0	1
1	0	0	0
X	1	0	0
X	X	1	High Impedance

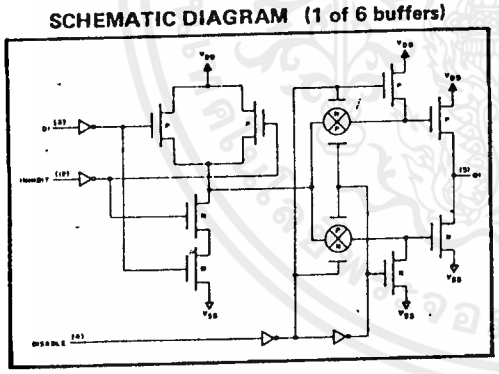
X = Don't Care

RECOMMENDED OPERATING CONDITIONS

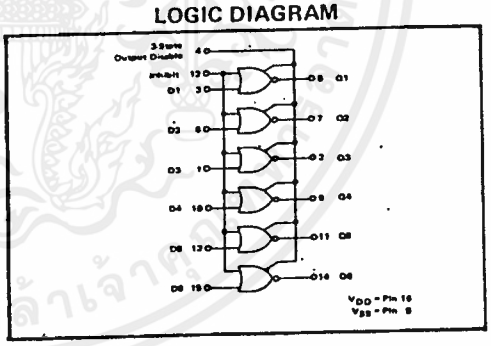
For maximum reliability:

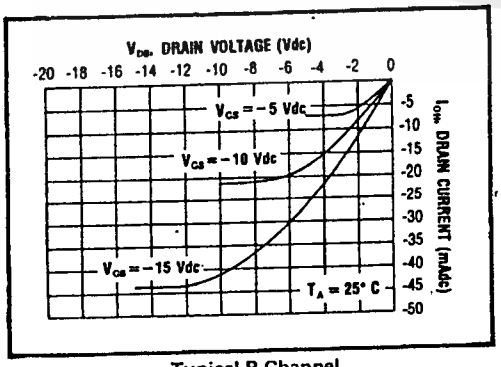
DC Supply Voltage	$V_{DD} - V_{SS}$	3 to 15	Vdc
Operating Temperature	T_A		
C, D, F, H Device		-55 to +125	°C
E Device		-40 to +85	°C

SCHEMATIC DIAGRAM (1 of 6 buffers)

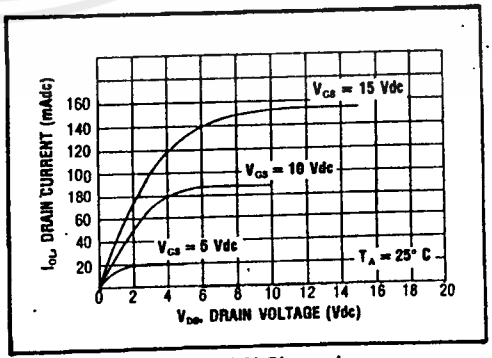


LOGIC DIAGRAM





Typical P-Channel
Source Current Characteristics



Typical N-Channel
Sink Current Characteristics

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ELECTRICAL CHARACTERISTICS

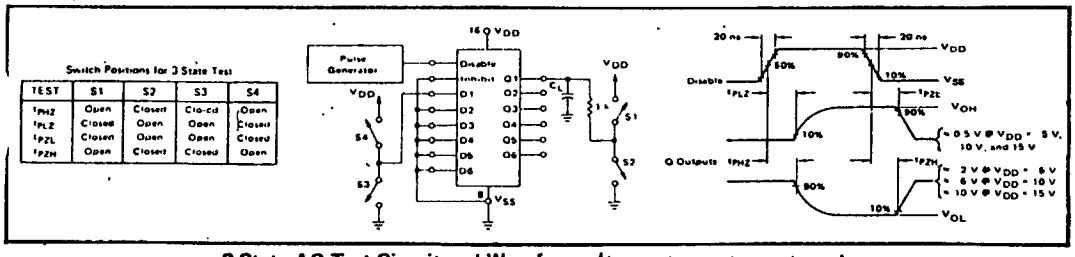
STATIC CHARACTERISTICS [1,3]

PARAMETER		V_{DD} (Vdc)	CONDITIONS	T_{LOW} [2] Min.	T_{LOW} [2] Max.	+25°C Min.	+25°C Typ.	+25°C Max.	T_{HIGH} [2] Min.	T_{HIGH} [2] Max.	Units
QUIESCENT DEVICE CURRENT	I_{DD}	5	$V_{IN} = V_{SS}$ or V_{DD}	–	1.0	–	0.005	1.0	–	30	μAdc
		10	All valid input	–	2.0	–	0.01	2.0	–	60	
		15	combinations	–	4.0	–	0.02	4.0	–	120	
OUTPUT LOW (SINK) CURRENT C, D, F, H device	I_{OL}	5	$V_{OL} = 0.4V$	3.5	–	2.8	5.7	–	2.0	–	mAdc
		10	$V_{OL} = 0.5V$	7.8	–	6.3	12.5	–	4.4	–	
		15	$V_{OL} = 1.5V$	29	–	24.0	49	–	16	–	
			$V_{IN} = V_{SS}$ or V_{DD}								
E device		5	$V_{OL} = 0.4V$	3.3	–	2.8	5.7	–	2.3	–	mAdc
		10	$V_{OL} = 0.5V$	7.4	–	6.3	12.5	–	5.2	–	
		15	$V_{OL} = 1.5V$	28	–	24.0	49	–	19	–	
			$V_{IN} = V_{SS}$ or V_{DD}								
3-STATE OUTPUT LEAKAGE CURRENT	I_{ZL}	15		–	±0.1	–	$\pm 10^{-4}$	±0.1	–	±1.0	μAdc

NOTES: [1] Remaining Static Electrical Characteristics are listed under "SCL4000B Series Family Specifications".
[2] T_{LOW} = –55°C for C, D, F, H device.
= –40°C for E device.
T_{HIGH} = +125°C for C, D, F, H device.
= + 85°C for E device.
[3] This device has been designed to meet the balanced output drive current specification for Output High (Source) Current. Consult Family Specifications.

DYNAMIC CHARACTERISTICS (C_L = 50pF, T_A = 25°C)

PARAMETER		V_{DD} (Vdc)	Min.	Typ.	Max.	Units
PROPAGATION DELAY TIME From Data Inputs	t_{PLH}	5	–	125	250	ns
		10	–	60	120	
		15	–	45	90	
	t_{PHL}	5	–	100	200	ns
		10	–	50	100	
		15	–	40	80	
From Disable	t_{PHZ}, t_{PLZ} t_{PZH}, t_{PZL}	5	–	65	130	ns
		10	–	30	60	
		15	–	25	50	
OUTPUT TRANSITION TIME	t_{TLH}	5	–	100	200	ns
		10	–	50	100	
		15	–	40	80	
	t_{THL}	5	–	60	120	ns
		10	–	30	60	
		15	–	20	40	



3-State AC Test Circuit and Waveforms (t_{PHZ}, t_{PZH}, t_{PLZ}, t_{PZL})

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

National Semiconductor

CD40192BM/CD40192BC Synchronous 4-Bit Up/Down Decade Counter
CD40193BM/CD40193BC Synchronous 4-Bit Up/Down Binary Counter

general description

These up/down counters are monolithic complementary MOS (CMOS) integrated circuits. The CD40192BM and CD40192BC are BCD counters. While the CD40193BM and CD40193BC are binary counters.

Counting up and counting down is performed by two count inputs, one being held high while the other is clocked. The outputs change on the positive-going transition of this clock.

These counters feature preset inputs that are enabled when load is a logical "0" and a clear which forces all outputs to "0" when it is at logical "1". The counters also have carry and borrow outputs so that they can be cascaded using no external circuitry.

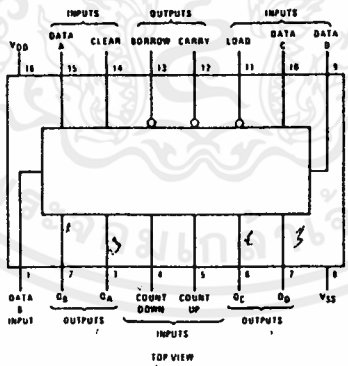
All inputs are protected against damage due to static discharge by clamps to V_{DD} and V_{SS}.

features

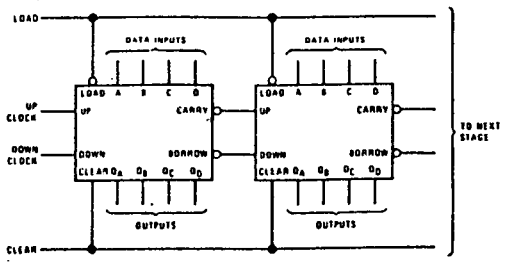
- Wide supply voltage range — 3V to 15V
- High noise immunity — 0.45 V_{DD} typ
- Low power TTL compatibility — fan out of 2 driving 74L or 1 driving 74LS
- Carry and borrow outputs for easy expansion to N-bit by cascading
- Asynchronous clear
- Equivalent to — MM54C192/MM74C192 and MM54C193/MM74C193

connection diagram

Dual-In-Line Package

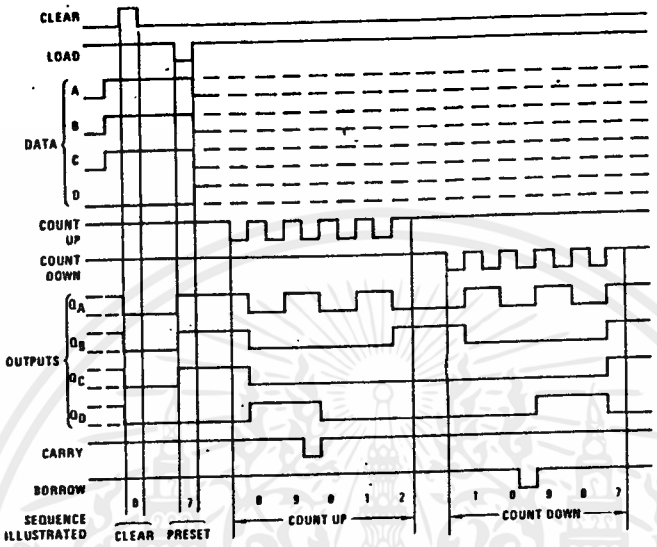


cascading packages



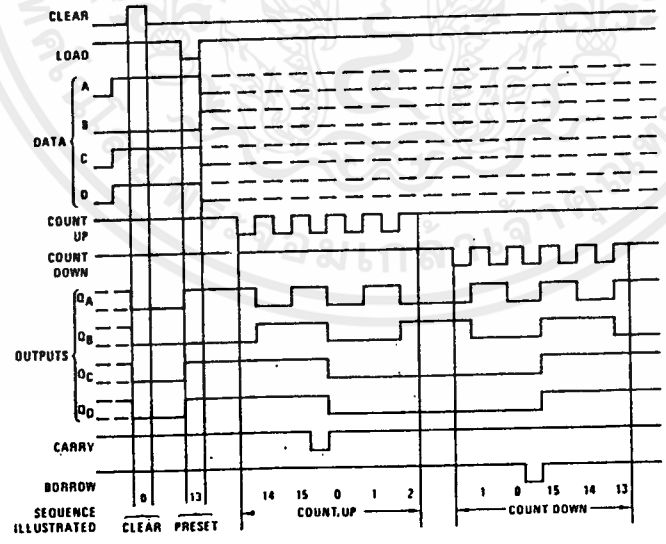
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

timing diagrams



Sequence:
1. Clear outputs to zero.
2. Load (preset) to BCD seven.
3. Count up to eight, nine, carry, zero, one and two.
4. Count down to one, zero, borrow, nine, eight and seven.

CD40192BM/CD40192BC



Sequence:
1. Clear outputs to zero.
2. Load (preset) to binary thirteen.
3. Count up to fourteen, fifteen, carry, zero, one and two.
4. Count down to one, zero, borrow, fifteen, fourteen and thirteen.

CD40193BM/CD40193BC

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เอกสารอ้างอิง

1. Johnson, David E and Hilburn, John L", "Marual of active filter design", MC Graw - Hill .
2. Titetze, U. : Schaltung, ch, "Aduanced Electronic Circuit", Halbleitet - schaltung technic, New york.
3. Frederick J. Hill Gerald R. Peterson. "Introduction to Switching theory and Logical design", WILEY.
4. อนุวัตร์ เล็กสวัสดิ์ม .ใช้อิควอไลเซอร์ให้คุ้มค่า.ม ฉบับที่ 102
5. เซมิคอนดัคเตอร์ ฉบับที่ 95

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้