ระบบการจัดเก็บข้อมูลและควบคุมด้วยการสื่อสารแบบอนุกรม

Data Acquisition & Control with Serial Communication

โดย

นายชนัทพงศ์ จันทรา รหัสประจำตัว 34162114

นายสมนึก บุญล้นเหลือ รหัสประจำตัว 34162129

นายอานัติ มุสิกฤกษ์ รหัสประจำตัว 34162139

อาจารย์ที่ปรึกษา ดร. ฟูศักดิ์ ชีวสุวิทย์

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของ

ภาควิชาเทคโนโลยีการวัดคุมทางอุตสาหกรรม

สาขาวิชาเทคโนโลยีคอมพิวเตอร์

คณะวิศวกรรมศาสตร์

สถาบันเทคโนโลยีพระจอมเกล้า เจ้าคุณทหารลาดกระบัง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

032769

โครงงานเรื่อง

ระบบการจัดเก็บข้อมูลและควบคุมด้วยการสื่อสารแบบอนุกรม

โดย

นายชนัทพงศ์	จันทรา	รหัสประจำตัว	34162114
นายสมนึก	บุญล้นเหลือ	รหัสประจำตัว	34162129
นายอานัติ	มุสิกฤกษ์	รหัสประจำตัว	34162139

อาจารย์ที่ปรึกษา _____

ดร. ฟูสิกดิ์ รีวสุวิทย์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

032769

บทคัดย่อ

ในสายการผลิตของโรงงานอุตสาหกรรมทั่วไปในปัจจุบัน มักมีความต้องการการทำงานเชิงอัตโนมัติทั้งสิ้นนั่นทำให้ระบบการเก็บข้อมูลและควบคุมการผลิต (Data Acquisition and Control system) มีความนิยมแพร่หลายอย่างกว้างขวาง และนับวันจะมีบทบาทมากขึ้นต่อระบบงานอุตสาหกรรม

ระบบการจัดเก็บข้อมูลและควบคุมด้วยการสื่อสารแบบอนุกรม (Data Acquisition and Control with Serial communication system) เป็นอีกลักษณะหนึ่งที่กระทำการเก็บข้อมูลและควบคุมระบบงานด้วยกรรมวิธีทางการสื่อสารของคอมพิวเตอร์ อาทิเช่น มาตรฐาน RS (RS-232,RS-422,RS-485),โมเด็ม เป็นต้น ซึ่งได้มีการพัฒนาและประยุกต์ใช้งานให้เหมาะสมกับงานทางอุตสาหกรรมในระดับหนึ่งแล้วผนวกเข้ากับความสามารถของส่วนคอมพิวเตอร์ที่มีความสามารถในการประยุกต์ใช้งาน (Application) ให้เข้ากับระบบควบคุมที่ผู้ใช้ต้องการได้เป็นอย่างดี อีกทั้งการตอบสนองในด้านการจัดการเกี่ยวกับฐานข้อมูล (Data Base Managment)ที่มีความเหมาะสมกับระบบสายการผลิตทางอุตสาหกรรมยุคใหม่เป็นอย่างยิ่ง ทำให้ระบบสามารถใช้งานได้คล่องตัวมากกว่าเมื่อเทียบกับระบบเดียวกันในลักษณะอื่น จึงสามารถกระทำวางระบบได้ตั้งแต่ขนากเล็กและขยายขนาดของระบบออกไปได้มากตามความต้องการของผู้ใช้เลยทีเดียว

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ABSTRACTS

In line process of industrial factory wanted to automatic working. Because of many complex in process. That make sure popular methode of Data Acquisition and Control system (DA&CS) and cetianry very grow-up in industrial line next future.

Data Acquisition and Control with Serial Communications System (DA&C with SCS) is like supported for data communication method. Recomment standard (RS-232,RS-422,RS-485),MODEAM etc. are develop and application to industrial able absolute level now. Summation many part of computer ability too. That can make a good application to processing customer/user need, and response many data base managment of new process industrial methode Then system base are flexibled itself more than other methode as the same line. Other ability to configurate a small and expansion to larg system in customer/user needed.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ

หน้า

บทคัดย่อ

Abstract

บทนำ

บทที่ 1 DA&C กับการประยุกต์ใช้งานทางคอมพิวเตอร์เบื้องต้น

- DA&C คืออะไร 2
- ขอบเขตการทำงานของ DA&C 4

บทที่ 2 รูปแบบการสื่อสารข้อมูลของ DA&C

- รายละเอียดรูปแบบของการสื่อสารข้อมูลอนุกรม 15

บทที่ 3 ฮาร์ดแวร์ของรีโมทคอนโทรล

- ส่วนรีโมทอินพุทเอาท์พุท 19

บทที่ 4 ฮาร์ดแวร์ของวงจรแปลง RS-232 เป็น RS-422

- ระบบอินเตอร์เฟส RS-232 38
- ระบบอินเตอร์เฟส RS-422 38
- หลักการทำงานของวงจร 40

บทที่ 5 ความสามารถและการพัฒนาซอร์ฟแวร์ในระบบ

- ความสามารถทางซอร์ฟแวร์ของพีซีในระบบ 42
- โปรแกรมที่ใช้ในระบบ 44
- ความสามารถทางซอร์ฟแวร์ของรีโมทในระบบ 47

กิตติกรรมประกาศ

บรรณานุกรม

ภาคผนวก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทนำ

การนำคอมพิวเตอร์มาประยุกต์ใช้งาน เพื่องานอุตสาหกรรมมีมากว่าครึ่งศตวรรษ โดยมีการใช้งานและการประยุกต์ใช้งานอย่างต่อเนื่องตลอดมา ทำให้งานผลิตในทางอุตสาหกรรมในปัจจุบันสามารถทำงานในเชิงอัตโนมัติได้อย่างครบวงจร นับตั้งแต่งานออกแบบ การจัดการด้านบัญชีการตลาดและควบคุมการผลิต ตลอดจนงานควบคุมคุณภาพของผลิตภัณฑ์ ในลักษณะที่เรียกว่า CIM(Computer Integrated Manufacturing)นั่นเอง ความต้องการในการจัดเก็บข้อมูลและควบคุมงานในสายผลิต จึงมีความจำเป็นอย่างยิ่งในสายการผลิตอย่างยิ่งต่อระบบงานอุตสาหกรรมสมัยใหม่ในปัจจุบัน

ในการเก็บข้อมูลและควบคุมสายการผลิต(Data Acquisition & Control)นั้น สามารถกระทำได้หลายลักษณะ ซึ่งจำเป็นต้องพิจารณาตามสภาวะและระบบที่ใช้งาน และโดยปกติในสายงานผลิตของโรงงานส่วนใหญ่จะประกอบด้วยส่วนงานผลิตย่อย จึงมีปัญหาในการวางระบบติดตั้งและติดตามผลเนื่องจากระยะการควบคุมที่ไกลออกไปจากห้องควบคุมนั่นเอง ระบบการเก็บข้อมูลและระบบควบคุมงานผลิตบนฐานการสื่อสาร(Data Acquisition & Control with Communication Base System) จัดเป็นระบบหนึ่งที่นำรูปแบบมาตรฐานในการสื่อสารข้อมูล เพื่อการควบคุมและเก็บข้อมูลระยะไกล และนำเอาความสามารถในการจัดการบริหารฐานข้อมูล และความสามารถด้านการคำนวณที่แม่นยำของคอมพิวเตอร์ผนวกเข้าไว้กับระบบ โดยกระทำการวางระบบและติดตั้งในลักษณะของโครงข่ายด้วยสายสัญญาณ 2-4 เส้นเท่านั้น ทำให้ระบบสามารถกระทำได้ตั้งแต่งานขนาดเล็กและขยายออกไปสำหรับงานขนาดใหญ่ได้อย่างง่ายดาย

จากแนวโน้มในผลิตภัณฑ์สินค้าเกี่ยวกับระบบเก็บข้อมูลและควบคุมสายการผลิตนี้ที่เริ่มมีจำนวนผู้ผลิตมากรายขึ้นในต่างประเทศ สามารถคาดเดาได้ว่าระบบดังกล่าวนี้น่าจะได้รับความนิยมในการเลือกใช้อย่างแน่นอนในไม่ช้านี้ กลุ่มผู้ปฏิบัติโครงงานเล็งเห็นถึงการวิจัยครั้งนี้ว่าน่าจะเป็นก้าวใหม่เพื่องานควบคุมทางด้านอุตสาหกรรมอย่างแน่นอน ในอนาคตอันใกล้นี้ จากคุณสมบัติที่โดดเด่นในการประยุกต์ใช้คอมพิวเตอร์รวมถึงความสามารถในการเชื่อมต่อระบบข้อมูลเชิงโครงข่ายและความสะดวกในการต่อใช้งานติดตั้ง จึงน่าเป็นประเด็นสำคัญสำหรับที่มาของโครงการวิจัยในครั้งนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

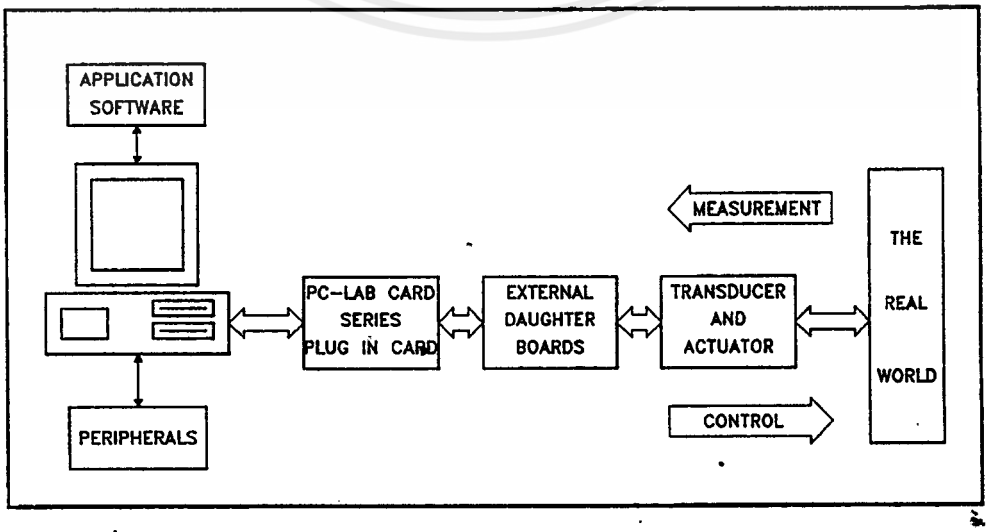
บทที่ 1

DA&C กับการประยุกต์ใช้งานทางคอมพิวเตอร์เบื้องต้น

ในชีวิตของผู้ใช้งานคอมพิวเตอร์โดยปกติทั่วไปสามัญ คงจะเห็นแต่ประโยชน์ในการนำเอาคอมพิวเตอร์มาใช้สอยกันไม่มากประเด็น อาทิเช่นงานด้านWords Processing, งานด้านฐานข้อมูล (Database),งานด้านสเปรดชีต (Spreat Sheet) หรืองานช่วยออกแบบอย่าง CAD และอีกไม่มากงานนัก หากแต่เทคโนโลยีที่ก้าวไปอย่างติดปีก ซึ่งนับวันการนำคอมพิเตอร์ พีซี มาประยุกต์ใช้งานในลักษณะเชิงระบบมีมากขึ้นทุกขณะ ไม่ว่าจะเป็นการนำคอมพิวเตอร์มาประยุกต์ใช้งาน เพื่อเป็นระบบเก็บข้อมูลและควบคุมงานของเครื่องจักรในโรงงานอุตสาหกรรม,ห้องแล็ปทางวิทยาศาสตร์และงานแพทย์, การประยุกต์ เพื่อใช้เป็นระบบทดสอบคุณภาพเชิงอัตโนมัติ และอีกหลาย ๆระบบงาน ซึ่งในประเทศที่เป็นผู้นำแห่งเทคโนโลยีนั้นได้มีการพัฒนาใช้งานกันอย่างแพร่หลายทีเดียว โดยที่ระบบงานดังกล่าวเหล่านี้นั้นมีหัวใจหลักอยู่ 2 ประเด็น คือ

1) การเก็บข้อมูลจากสัญญาณภายนอกอันจะมาจากแห่งหนใดก็ตามทีของระบบงานมาไว้ในส่วนเก็บข้อมูลสำรอง (คือ ดิส์ก นั่นเอง)

2) ส่งสัญญาณออกไปควบคุมอุปกรณ์ภายนอกต่าง ๆ ในระบบงานตามโปรแกรมและข้อมูลที่ได้ประมวลไว้และในลักษณะนี้นี่เอง ที่เรียกว่า "DA&C" (Data Acquisition & Control)

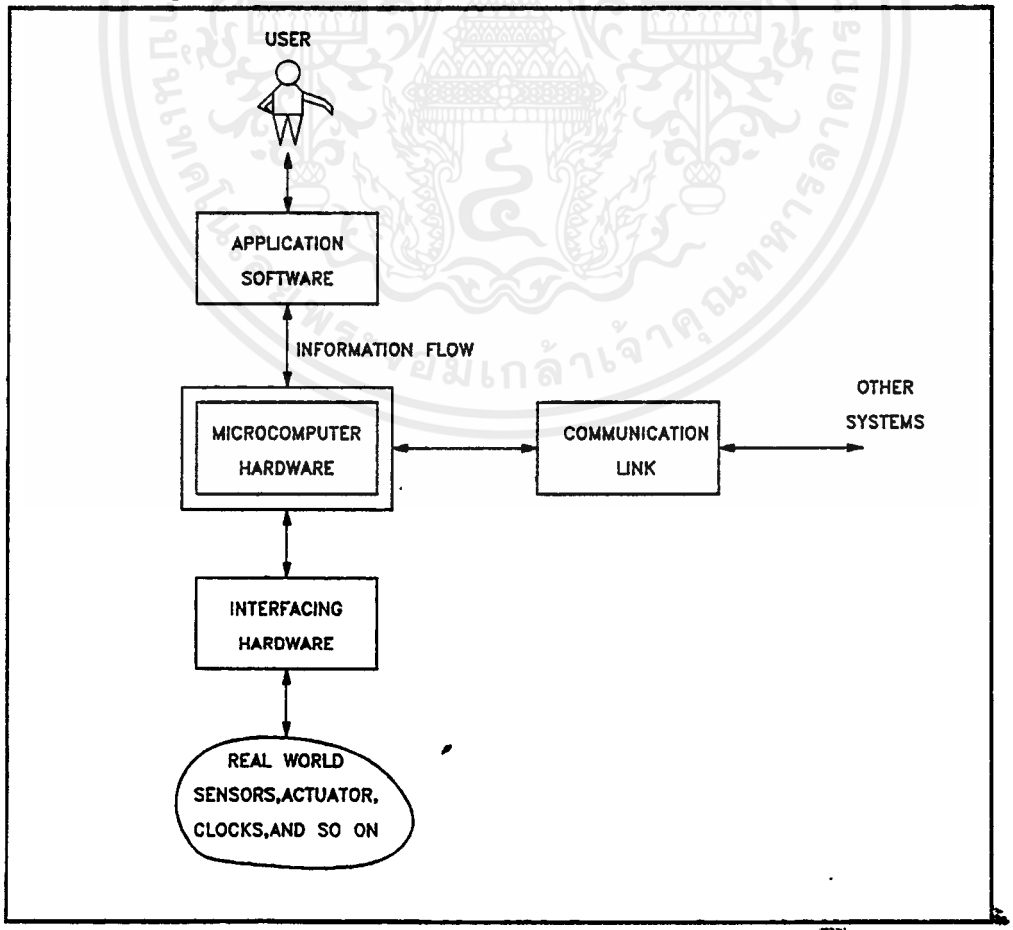


รูปที่ 1.1 การเชื่อมต่อที่ทำให้พีซีธรรมดาสามารถติดต่อระบบภายนอก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ความหมายของ DA&C

DA&C หรือชื่อเต็มๆว่า "Data Acquisition & Control" เป็นกระบวนการที่เน้นในการเก็บข้อมูลและควบคุมการทำงานของระบบ (Process) ด้วยเทคโนโลยีของคอมพิวเตอร์ นั่นเองโดยมีโครงสร้างดังในรูปที่ 1.2 กล่าวคือในองค์ประกอบหลักของ DA&C จะประกอบไปด้วยซอฟต์แวร์ประยุกต์ใช้งานที่เขียนขึ้นเพื่องานทางด้าน DA&C โดยเฉพาะซึ่งจะเชื่อมโยงกับระบบฮาร์ดแวร์ของคอมพิวเตอร์ด้วยทิศทางการไหลของข้อมูลที่เกิดขึ้น และจะมีส่วนฮาร์ดแวร์อีกส่วนเพื่อเชื่อมต่อ (Interface) กับโลกภายนอก อันไม่ว่าจะเป็นตัวเซนเซอร์ (Sensor),ตัวสั่งการกระทำ (Actuator), สัญญาณนาฬิกา (Clock) เพื่อนำสัญญาณที่เกิดขึ้นเข้า-ออกสู่ระบบด้วยสล็อตของบัสข้อมูลและในส่วนสื่อสารข้อมูล(Communication Link) ที่ต้องมีไว้เพื่อสามารถที่จะติดต่อสื่อสารกับระบบ DA&C อื่นได้ ซึ่งโดยทั่วไปมักจะใช้ระบบการสื่อสารข้อมูลในมาตราฐาน RS-232c,RS-422/485 หรือ IEEE-488 อันเป็นมาตราฐานการสื่อสารที่มีผู้ใช้กันอย่างแพร่หลายทั่วไป



รูปที่ 1.2 องค์ประกอบของระบบ DAC ในคอมพิวเตอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในประเภทของ DA&C บนระบบคอมพิวเตอร์นั้น หากแบ่งกันไปแล้วคงแบ่งได้ใน 3 ลักษณะ คือ

1) ระบบเอกเทศ (Stand-Alone Systems) ในระบบนี้จะเน้นในลักษณะเป็นเฟรมคอมพิวเตอร์ และมีส่วนเชื่อมต่อ I/O สำหรับสัญญาณ โดยปกติจะเป็นบัสมาตราฐานตามแต่ผู้ผลิต อาทิเช่น VME,VXI,STD,Multi-Bus,Q-Bus เป็นต้น

2) ระบบเชื่อมต่อจากภายนอก (External Boxes) สำหรับในลักษณะนี้จะเป็นระบบ DA&C ที่มีส่วนเชื่อมต่อI/Oในตัวเอง ซึ่งมีชื่อเรียกที่คุ้นหูทางการตลาด คือ ฟรอนต์เอนด์คอมพิวเตอร์ (Front-end Computer) ที่จะมีการส่งข้อมูลที่เก็บได้ผ่านระบบสื่อสารข้อมูลที่มีการใช้งานอย่างแพร่หลาย จำพวกมาตราฐาน RS-422, RS-232C,IEEE-488 และอย่างสุดท้าย

3) แบบเสียบใช้งานบนเครื่องพีซี (PC Plug-in Boards) ซึ่งจะเป็นลักษณะที่เราจะกล่าวในรายละเอียดต่อไป แต่จุดสำคัญ คือ การนำเอาพีซีมาใช้งาน DAC นั่นเองและถ้าหากจะเปรียบเทียบคุณสมบัติสามารถสรุปได้ดังตารางที่ 1.1

	ระบบเอกเทศ	ระบบเชื่อมต่อจากภายนอก	แบบเสียบใช้งานบนเครื่องพีซี
ราคา	สูง	สูง	ต่ำ
ซอฟต์แวร์สนับสนุน	มีจำกัด	มีผู้จำหน่ายรายเดียว	มีหลากหลาย
ความสะดวกในการใช้	แล้วแต่กรณีที่ใช้	ดี	ดี
ความเร็วการโยกย้ายข้อมูล	สูง	ต่ำ	สูง
สภาพสัญญาณ	ขึ้นอยู่กับการรบกวน	ดี	ขึ้นอยู่กับการรบกวน
การขยายจำนวน I/O	ดี	ดีมาก	มีข้อจำกัด

ตารางที่ 1.1 เปรียบเทียบข้อเด่นข้อด้อยของ DAC แต่ละระบบ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ซึ่งจะเห็นว่าในแบบที่เสียบใช้งานบน พีซี ค่อนข้างจะมีจุดเด่นในหลายด้าน อาทิ เช่น เรื่องราคาที่เมื่อเทียบกับระบบอื่นจะมีราคาของระบบที่ถูกกว่ามาก ในเรื่องซอฟต์แวร์ที่มีให้ใช้งานก็จะมีมากกว่าเพื่อน นั่นเพราะความแพร่หลายของ พีซี นั่นเอง ความง่ายสะดวกต่อการใช้งานที่นับว่าอยู่ในเกณฑ์ดี เพราะซอฟต์แวร์ทั่วไปในงาน DA&Cจะมีการติดต่อผู้ใช้ในแบบกราฟฟิค (GUI) ในข้อด้อยของระบบ เช่นว่า สภาพสัญญาณ (Signal Conditioning) ซึ่งขึ้นอยู่กับสภาพสัญญาณรบกวนว่ามีมากน้อยเพียงไร, การขยายจำนวนอินพุต เอาต์พุตซึ่งจะขึ้นอยู่กับจำนวนสล็อตที่มีอยู่เป็นต้น แต่ถ้าโดยรวม ๆ แล้วระบบ DA&C ในแบบเสียบใช้งานบนพีซี เมื่อเปรียบเทียบมาแล้ว นับว่าน่าสนใจอยู่ทีเดียว

ขอบเขตในงานของ DAC

บางทีท่านผู้อ่านที่พยามยามอ่านมาถึงตรงนี้ อาจจะยังไม่เข้าใจการนำ DA&Cมาใช้งานนัก ซึ่งอันที่จริงจะลองนึก ๆ กันดูแล้วในงานของ DA&C ถ้าจะยกตัวอย่างคงจะอยู่ในข่าย 5-6 ลักษณะ ต่อไปนี้

-เป็นเครื่องข้อมูล (Data Logging) เช่นว่าในสถานีวัดสภาพอากาศจำเป็นที่จะต้องให้ค่าอุณหภูมิ,ความชื้น,ความเร็วลมและทิศทางลมมาแสดงบนหน้าจอแสดงผลและมีการบันทึกไว้โดยที่ว่าทุก ๆ 24 ชั่วโมง คอมพิวเตอร์จะต้องกระทำสรุปข้อมูลเป็นผลรวม, ค่าสูงสุด ต่ำสุด และค่าเฉลี่ยในข้อมูลแต่ละตัว และแสดงการพล็อตออกมาทางเครื่องพิมพ์ ซึ่งในลักษณะนี้ DA&C จะเก็บข้อมูลอย่างเดียว แล้วนำข้อมูลเหล่านั้นไปสรุปและรายงานออกมา

-กระทำจัดการข้อมูล (Data Management) ยกตัวอย่างว่าในห้องแล็ปแห่งหนึ่งซึ่งในแต่ละวันจะต้องเปลี่ยนแปลงระบบการทดสอบตามข้อกำหนดชนิดของการวิเคราะห์ด้วยอัตราส่วนที่แตกต่างกัน ซึ่งในลักษณะนี้เราอาจให้ DA&C ทำหน้าที่พิจารณาในเรื่องของการแซมเปิลสัญญาณ,ตารางการวิเคราะห์ในด้านการวัดและเทคนิค,รายงานและแสดงผลลัพธ์ที่ได้ นั่นคือให้ DA&C ดำเนินการในเรื่องข้อมูลทั้งหมดที่จะต้องใช้ในแต่ละวัน นั่นเอง

-การสื่อสารทางข้อมูล (Data Communication) เช่นว่าในบริษัทขุดเจาะน้ำมันแห่งหนึ่ง ซึ่งมีระบบขุดเจาะที่อยู่กระจายตามส่วนต่าง ๆของพื้นที่ ในทุกวันจำเป็นที่ต้องนำข้อมูลเหล่านี้มาพิจารณาและแสดงค่าให้ทราบ แต่จำเป็นต้องกระทำการเปลี่ยนแปลงค่าให้จากหน่วยขุดเจาะกลางอย่างทันทีทันใด จึงกระทำการเชื่อมระบบขุดเจาะทั้งหมดผ่านโมเด็มดังนั้นข้อ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

มูลของระบบทั้งหมดสามารถเชื่อมโยงกันได้ด้วยการผ่านระบบสื่อสาร

-การผลิตเชิงอัตโนมัติ (Manufacturing Automation) เครื่องมือเครื่องจักรในการผลิตต่าง ๆมักจำเป็นต้องการการทำงานในเชิงอัตโนมัติกันทั้งสิ้น อย่างในงานเจาะเหล็กแผ่นประกอบชิ้นส่วน ซึ่งจะมีการทำงานที่ต้องใช้ความแม่นยำสูง จึงใช้ประสิทธิภาพในการควบคุมงานของคอมพิวเตอร์มาใช้งาน เพราะคอมพิวเตอร์สามารถกระทำรูเจาะได้ตามแบบที่กำหนดไว้ได้อย่างรวดเร็วและแม่นยำสำหรับชิ้นงานจำนวนเป็นพัน ๆชิ้นทีเดียว

-การทดลองและปฏิบัติงานเชิงอัตโนมัติ (Laboratory Automation) ในการทดลองวิเคราะห์ปฏิกริยาของสารเคมี เพื่อวิเคราะห์ค่าทางเคมีที่เกิดขึ้นโดยการวัดค่าความเป็นกรด-ด่างด้วยตัวตรวจจับค่า pH แล้วนำค่าสัญญาณไฟฟ้าที่ได้เข้าสู่คอมพิวเตอร์ เพื่อนำค่าดังกล่าวให้แสดงออกมาในรูปเชิงเวลา และสุดท้ายจะนำข้อมูลเหล่านั้นมาสรุปพิจารณาวิเคราะห์ในสิ่งที่เกิดขึ้น

-ระบบแสดงค่าและแจ้งเตือนในสายงานผลิต (Process Monitoing and Alarm) ยกตัวอย่างเช่นในโรงงานผลิตยา ซึ่งจำเป็นที่จะต้องกระทำตลอด 24 ชั่วโมง และจุดสำคัญที่สุดคือ การควบคุมอุณหภูมิและความเป็นกรดที่เกิดขึ้นในถังผสมตัวยานั้น จะต้องให้อยู่ในระดับที่ไม่เป็นเสียหายต่อการผลิต ดังนั้นจึงนำค่าอุณหภูมิและค่าความเป็นกรดที่วัดด้วยตัวตรวจจับจากส่วนต่าง ๆของถังผลิตมายังส่วนคอมพิวเตอร์ เพื่อนำค่าต่าง ๆที่ได้แสดงผลต่อผู้ควบคุม ซึ่งเสริมระบบแจ้งเตือนเมื่อสภาวะในถังผลิตมีความผิดปกติอย่างฉับพลัน

เราพอสรุปได้เป็นประเด็นคร่าว ๆ สำหรับหน้าที่ของ DA&C ที่จำต้องมีในระบบทำงาน ดังนี้

1) อ่านข้อมูลจากตัวตรวจจับและตัวส่งสัญญาณ (Sensors and Transmitters)
2) เก็บข้อมูลในรูปแบบที่สามารถเรียกกลับมาใช้งานได้อีก
3) แสดงข้อมูลที่เก็บเข้ามา
4) วิเคราะห์และจัดการข้อมูล
5) สื่อสารข้อมูลกับระบบ DAC อื่น
6) พิมพ์แสดงรายงานและแจ้งเตือน
7) ดำเนินการจัดการข้อมูลในลักษณะฐานข้อมูล (database)

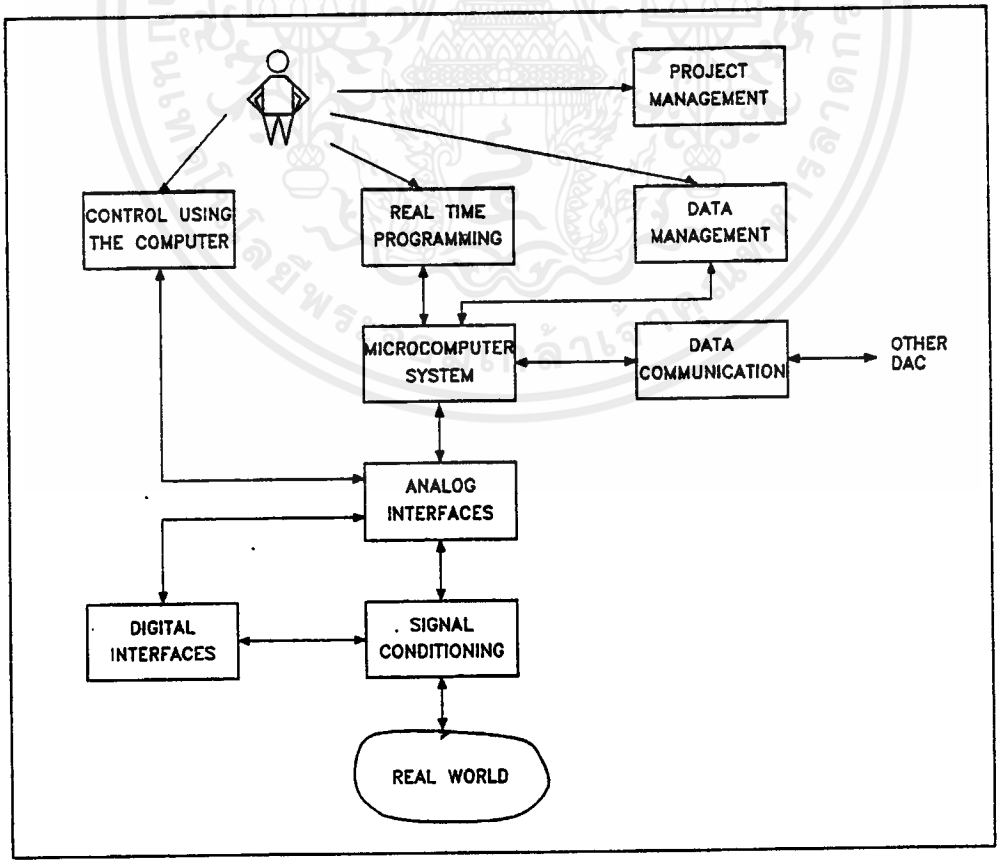
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

8) ส่งค่าสัญญาณเอาต์พุตไปยังตัวกระทำการ (actuators) และ ตัวควบคุม (controllers)

ที่กล่าวมาเป็นเพียงลักษณะหน้าที่เบื้องต้นและทั่วไปที่นำคอมพิวเตอร์ พีซีมาประยุกต์ใช้งานสำหรับ DA&C ซึ่งในประเด็นสำคัญสำหรับความต้องการในระบบ DA&C สักระบบนั้นจำเป็นต้องวิเคราะห์ถึงความต้องการอย่างละเอียด โดยสิ่งเหล่านี้จะนำไปสู่ระบบ DA&C ที่ถูกออกแบบและสร้างขึ้นมาได้อย่างเหมาะสมกับความต้องการของผู้ใช้ นั่นเอง

ลึกซึ้งไปกว่านั้น

พอที่จะทราบกันบ้างแล้ว คราวนี้มามองกันให้ลึกซึ้งไปกว่านั้นอีก จากรูปที่ 1.2 นั้น เราสามารถแยกย่อยออกมาได้ดังในรูปที่3 ซึ่งจะเห็นว่าในส่วนของซอฟต์แวร์ที่ใช้งานใน DA&C มีส่วนประกอบที่สำคัญ 3 ส่วน คือ ส่วนควบคุม DA&C,ส่วนการโปรแกรมทำงานในเวลาจริง และส่วนวิเคราะห์-จัดการข้อมูล



รูปที่ 1.3 ส่วนประกอบปลีกย่อยใน DAC ในคอมพิวเตอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในส่วนควบคุม DAC นั้นจะเป็นไปไปในลักษณะที่พิจารณาถึงกระบวนการทางด้านสายผลิตที่เกี่ยวข้องกับงานควบคุมในอุตสาหกรรม (Process Control) โดยตรง เช่น การควบคุมแบบปิด-เปิด (On/Off control), การควบคุมแบบ PID(PID Control), การควบคุมแบบหลายลูป (Cascade Control) เป็นต้น

ในส่วนการทำงานเชิงเวลาจริง (Real-time Programming) มีลักษณะที่สำคัญอยู่ 2 ประการ คือ โปรแกรมต้องให้คอมพิวเตอร์สามารถตอบสนองเหตุการณ์จากภายนอกในขณะนั้นอย่างทันทีทันใด และการคำนวณหรือการควบคุมการกระทำต่าง ๆต้องมีความสัมพันธ์กับเหตุการณ์ ในส่วนการทำงานเชิงเวลาจริงนี้นับเป็นจุดสำคัญหลักของซอฟต์แวร์ประเภท DA&C เลยทีเดียว

และในส่วนวิเคราะห์ และเก็บข้อมูลจะมีลักษณะเก็บข้อมูลที่จัดการในลักษณะฐานข้อมูล(DBMS) และสเปรดชีต (Spreat Sheet) อันแล้วแต่กรณีซึ่งโดยปกติข้อมูลที่เก็บนี้ยังต้องสามารถนำไปใช้งานในโปรแกรมที่มีลักษณะจัดการที่คล้ายกันได้อีกด้วย เช่น dBASE, Lotus1-2-3 เป็นต้น และอาจยังมีส่วนประกอบในการวิเคราะห์สัญญาณหรือข้อมูลในรูปเชิงกราฟ,เชิงการคำนวณ,เชิงฟังก์ชั่นทางคณิตศาสตร์ และเชิงสถิติ เพื่อให้ผู้ใช้มีความสะดวกต่อการใช้งานที่ค่อนข้างมาก นั่นเอง

ถัดมาจากนั้นสำหรับระบบคอมพิวเตอร์ พีซี ส่วนใหญ่ DA&C จะพยายามนำความสามารถของพีซีที่มีอยู่มาใช้ให้ได้มากที่สุด ไม่ว่าจะเป็นการใช้กรรมวิธีทางอินเตอร์รัพต์และดีเอ็มเอ (DMA) ที่ทำให้เกิดระบบงานเชิงเวลาจริง (Real-time),หน่วยความจำที่มีมากพอที่จะเก็บข้อมูลที่หลากหลาย,ความเร็วที่เหลือเฟือในการกระทำโปรแกรมเชิงมัลติทาส์กกิ้ง (Multitasking), ระบบการคำนวณที่แม่นยำสำหรับฟังก์ชั่นทางคณิตศาสตร์และวิทยาศาสตร์

และในส่วนท้ายเป็นส่วนประกอบต่าง ๆที่เชื่อมต่อกับสัญญาณภายนอก โดยได้แบ่งออกเป็น 2 ส่วนใหญ่ ๆ คือส่วนรับสัญญาณ (Analog & Digital Interface) และส่วนปรับ สภาพสัญญาณ(Signal Conditioning)ในสองส่วนนี้จะขอกล่าวรายละเอียดในหัวข้อต่อไป

โดยสรุปแล้วในระบบ DAC บนพีซีนี้ นับได้ว่ามีส่วนประกอบอยู่หลายจุดที่น่าสนใจอยู่มากทีเดียวเพราะผู้ใช้งานและผู้ที่ต้องการพัฒนางานทางระบบ DA&C เอง จะต้องมีความจำเป็นต้องยุ่งเกี่ยวกับสิ่งที่เป็นจริงในโลกภายนอกโดยตรง นั่นเอง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สัญญาณจากโลกภายนอก

ในระบบ DAC นั้นจะมีส่วนที่ต้องสัมผัสกับโลกภายนอกที่ค่อนข้างใกล้ชิดที่สุด ซึ่งคงไม่พ้นสิ่งที่เรียกว่า "ตัวตรวจจับ" (Sensor) ตัวตรวจจับจะให้ค่าสัญญาณไฟฟ้าในลักษณะต่าง ๆ ตามแต่ชนิด,ลักษณะและตามมาตราฐานของผู้ผลิตในแต่ละราย อาทิเช่น หากต้องการวัดอุณหภูมิก็จำเป็นต้องใช้ตัวเทอร์โมคัปเปิล,เทอร์มิเตอร์ หรือ RTD ซึ่งอุปกรณ์เหล่านี้จะทำให้ค่าสัญญาณทางไฟฟ้าที่เปลี่ยนแปลงตามอุณหภูมิที่วัดได้ นั่นเองดังในตารางที่ 1.2 ได้แสดงตัวตรวจจับบางชนิดให้ทราบกันเล็กน้อย

ชนิดตัวตรวจจับ	ใช้ในการวัด	คุณสมบัติ
เทอร์โมคัปเปิล (Thermocouple)	อุณหภูมิ	ใช้หลักการของค่าแรงดันแตกต่างที่เกิดขึ้นจากรอยต่อของโลหะสองชนิด เป็นอุปกรณ์พาสซีพ(passive) สัญญาณที่ได้จะไม่เป็นเชิงเส้น
เทอร์มิเตอร์ และ RTD	อุณหภูมิ	ใช้หลักการเปลี่ยนแปลงค่าความต้านทานกับอุณหภูมิมักใช้กรรมวิธีการต่อแบบบริดจ์ (Wheat-stone bridge) ซึ่งใน RTD นั้นให้ค่าสัญญาณเอาต์พุตที่เชิงเส้นและมีย่านการวัดที่กว้าง
ตัววัดความเค้น (Strain gauge)	ความดัน,น้ำหนัก ระดับของเหลว	ใช้หลักการการเปลี่ยนแปลงค่าความต้านทานบนแรงกดในต่อหน่วยพื้นที่
สารกึ่งตัวนำ (Semiconductor)	อุณหภูมิ	ใช้หลักการการเปลี่ยนแปลงคุณสมบัติของสารกึ่งตัวนำตามค่าของอุณหภูมิ จำเป็นต้องมีการกระตุ้นทางแรงดันหรือกระแส ส่วนใหญ่มีย่านการวัดจำกัด

ตารางที่ 1.2 แสดงตัวอย่างตัวตรวจจับบางชนิดและคุณสมบัติบางประการ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ซึ่งสัญญาณที่ได้จากตัวตรวจจับแล้วนั้น อาจจะยังมีความไม่เหมาะสมต่อการใช้งานร่วมสู่ระบบเนื่องจากลักษณะของสัญญาณอาจจะยังมีสัญญาณรบกวนปนเปอยู่ด้วย, ขนาดสัญญาณที่มีขนาดเล็กไป หรือค่าสัญญาณที่ได้เป็นกระแส แต่ระบบสามารถรับสัญญาณแบบแรงดันเป็นต้น ดังนั้นจึงต้องนำมาเข้าสู่กระบวนการที่เรียกว่า "ปรับสภาพสัญญาณ" (Signal Conditioning) เสียก่อน

ในการปรับสภาพสัญญาณมีหลักใหญ่หรือจุดประสงค์อยู่ 5 ประการ นั่นคือ

1)ปรับขนาดสัญญาณให้เหมาะสมกับระบบ โดยส่วนใหญ่จะจำเป็นต้องขยาย (Amplification) ขนาดสัญญาณออกไป เนื่องจากค่าสัญญาณที่ได้มักมีขนาดเล็ก

2)กรองสัญญาณ (Filtering) เพื่อกำจัดสัญญาณรบกวนใด ๆ ที่ไม่ต้องการออกไป

3)ยกระดับสัญญาณ (Level shifting) บางครั้งจำเป็นต้องเพิ่มระดับของสัญญาณเพื่อความเหมาะสม

4)เพิ่มความเป็นเชิงเส้น สัญญาณของตัวตรวจจับบางชนิดมีค่าเอาต์พุตที่ไม่เป็นเชิงเส้นนักจึงจำเป็นต้องแก้ไข

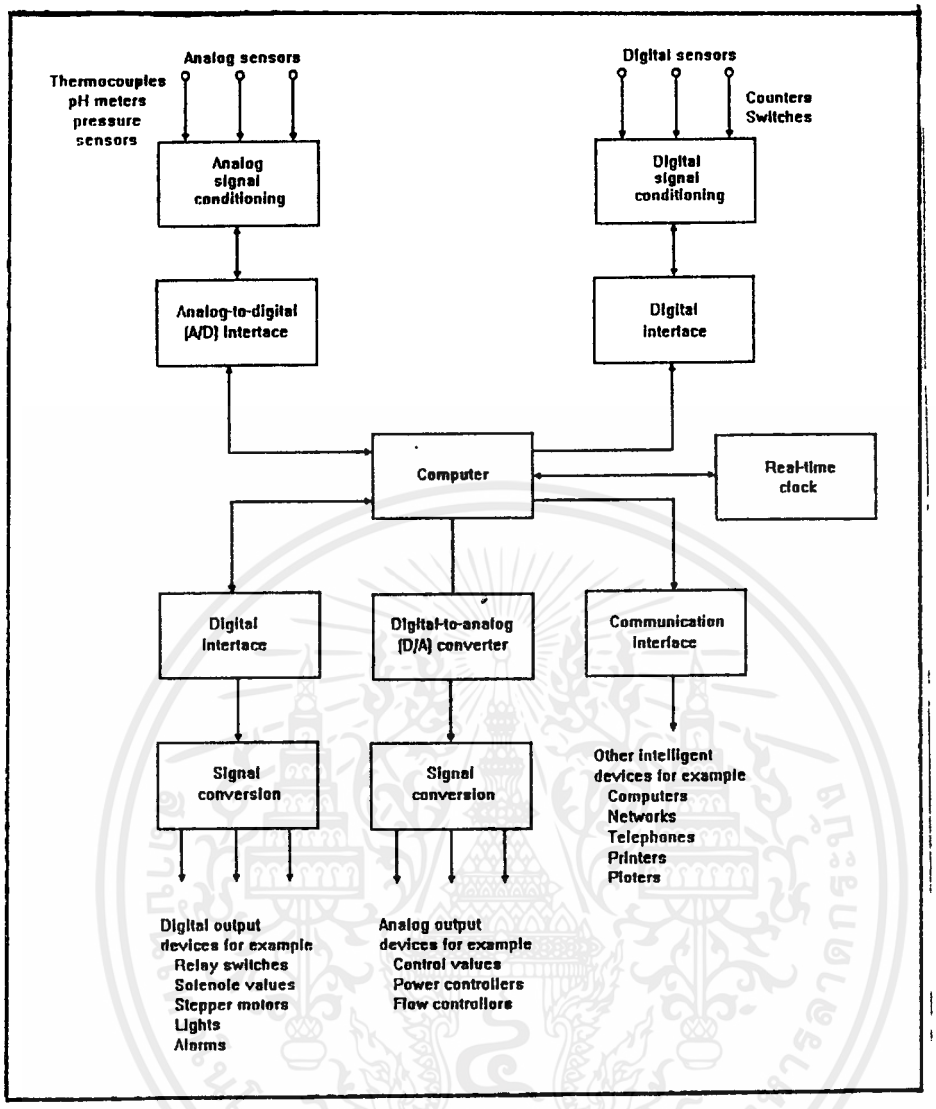
5)เปลี่ยนแปลงสัญญาณ (Signal Conversion) ในบางครั้งอาจจะจำเป็นต้องมีการเปลี่ยนแปลงสัญญาณจากแรงดันให้เป็นกระแส, กระแสเป็นแรงดัน, ความถี่เป็นแรงดัน ไฟ่อให้ระบบสามารถรับค่าสัญญาณได้

นอกเหนือไปกว่านั้นในส่วนนี้ยังเสริมลูกเล่นบางประการในการใช้งานไว้อีกด้วยเพื่อความสะดวกและความปลอดภัยของระบบ เช่น เพิ่มส่วนเชื่อมต่อสัญญาณแบบแยกส่วน(Isolate), ส่วนมัลติเพล็กซ์ (Multiplexor) หรือจะเป็นการกำหนดอัตราการขยายสัญญาณโดยผ่านโปรแกรม (Programmable Gain Amplifiers) เป็นต้น

ฮาร์ดแวร์ของ DAC

เมื่อผ่านกระบวนการจากที่กล่าวมาจนได้รูปร่างของสัญญาณที่ ระบบสามารถรับได้แล้วจะมาเข้าสู่ส่วนที่เป็นฮาร์ดแวร์เชื่อมต่อสัญญาณ หรือที่ชอบเรียกกันติดปากว่า การ์ดอินเตอร์เฟส (Interface Cards)เพราะทั่วไปจะเป็นลักษณะการ์ดเสียบลงบนเครื่องซึ่งสามารถแบ่งประเภทการ์ดที่จะรับสัญญาณได้ 4 ลักษณะ คือ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 1.4 ส่วนประกอบในส่วนฮาร์ดแวร์ของ DAC

การ์ดเชื่อมต่อสัญญาณทางอนาล็อก ซึ่งในรูปแบบของสัญญาณของระบบ DA&C ส่วนใหญ่แล้วจะเป็นสัญญาณอนาล็อกเป็นสัญญาณที่เกิดขึ้นอย่างต่อเนื่องตลอดเวลา การนำสัญญาณเหล่านี้เข้าส่ระบบจะใช้กรรมวิธี A/D นั่นคือ การเปลี่ยนสัญญาณอนาล็อกให้เป็นดิจิตอลและในทางกลับกันสำหรับด้านเอาต์พุตทางอนาล็อก จะใช้กรรมวิธี D/A คือ เปลี่ยนสัญญาณดิจิตอลให้เป็นอนาล็อก นั่นเอง ซึ่งโดยปกติจะมีค่าความละเอียด 12 บิต ส่วนในการเลือกใช้งานจะต้องพิจารณาจากส่วนสัญญาณที่มีและต้องการเป็นหลัก ซึ่งจำเป็นต้องพิจารณาจากความละเอียดในการแปลง, ช่วงค่าสัญญาณทางอินพุต, อัตราการขยาย, ความเที่ยงตรงและค่าผิดพลาดในการวัด, ค่าเวลาในการแปลงค่า, อัตราการแซมเปิล และ ความสามารถในการกระทำทาง DMA และอินเตอร์รัพต์ เป็นต้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การ์ดเชื่อมต่อสัญญาณทางดิจิตอล อุปกรณ์ที่ให้ค่าในลักษณะดิจิตอล อันได้แก่ สวิทช์ปิด-เปิด, ตัวนับ/จับเวลา, สัญญาณการแสดงผลของเครื่องมือวัด เป็นต้น เหล่านี้จะมีรูปร่างสัญญาณเป็นดิจิตอลเรียบร้อยแล้ว อยู่แต่เพียงจะต้องลดหรือเพิ่มขนาดของสัญญาณประการใดปกติการเลือกใช้ จะพิจารณาจากส่วนบัฟเฟอร์ว่าสามารถที่จะรับหรือขับจ่ายสัญญาณได้หรือไม่แค่ไหนอย่างไร

การ์ดสื่อสารทางข้อมูล ในบางกรณีจำเป็นที่จะต้องมีการเชื่อมต่อกับส่วนอื่น เพื่อสื่อสารในด้านข้อมูลต่างๆอาทิเช่นว่า ส่วนแลกเปลี่ยนข้อมูลกับระบบอื่น, การติดต่อที่เป็นลักษณะเครือข่าย, การสื่อสารทางโมเด็ม, การสื่อสารด้วยระบบมาตราฐาน RS-422, IEEE-488 ซึ่งจะขึ้นอยู่กับรูปแบบในการสื่อสาร นั่นเอง

การ์ดเชื่อมต่อเพื่อให้ค่าเวลาจริง (Real-time Clock) แม้ว่าในฮาร์ดแวร์ของคอมพิวเตอร์เองได้มีส่วนนาฬิกาอยู่บ้างแล้ว แต่บางครั้งสำหรับการใช้งานจำเป็นต้องการสัญญาณค่าเวลาที่มีความละเอียดและเที่ยงตรงสูง หรือต้องการใช้กระตุ้นเพื่อรับค่าข้อมูลในส่วนการ์ดเชื่อมต่อนี้นั้นปกติจะพิจารณาจากจำนวนและรูแบบของสัญญาณข้อมูลที่จะมี และต้องการในระบบเป็นหลัก จึงไม่จำเป็นว่าทุกระบบจะต้องมีส่วนประกอบเชื่อมต่อของ ฮาร์ดแวร์ต่าง ๆที่กล่าวมาทั้งหมด ซึ่งสามารถเขียนผังภาพได้ดังรูปที่ 1.4

ซอฟต์แวร์ของ DAC

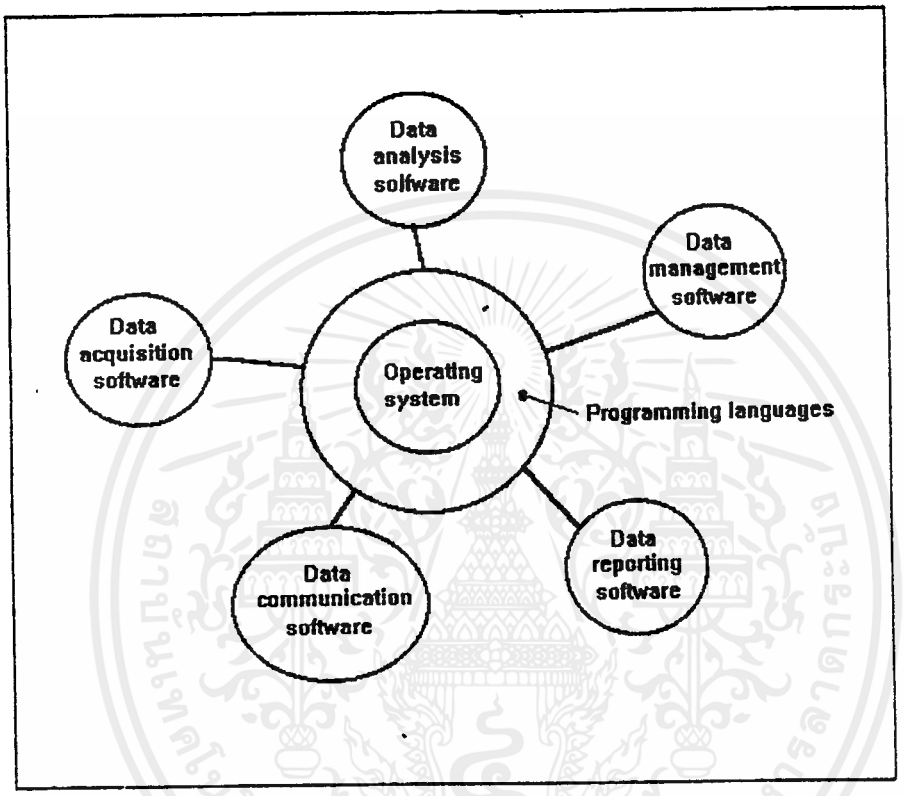
ในส่วนประกอบทางซอฟต์แวร์ของ DA&C นั้นได้กล่าวไปบ้างแล้วโดยคร่าว ๆและเมื่อพิจารณาตามส่วนประกอบของซอฟต์แวร์ในระบบ DA&C แล้ว สามารถเขียนเป็นผังภาพได้ดังรูปที่ 1.5 จะเห็นว่าในระบบจัดการจะเป็นส่วนควบคุมการทำงานพื้นฐานของระบบทั้งหมดในลักษณะที่ตอบสนองเวลาจริง (Real Time Operating System : RTOS)โปรแกรมซอฟต์แวร์จะสามารถพัฒนาด้วยโปรแกรมภาษาทั่วไป อย่างเบสิค, ปาสคาล, ซี หรือแอสแซมบลี้ โดยมีฟังก์ชั่นในการทำงานของโปรแกรมที่แบ่งออกได้เป็นใน 5 ลักษณะ คือ

ส่วนเก็บข้อมูล ในส่วนนี้โปรแกรมจะเกี่ยวข้องกับระบบฮาร์ดแวร์การ์ดเชื่อมต่อโดยตรง ซึ่งจะมีรูปแบบการพัฒนาตั้งแต่การเขียนโดยผ่านภาษาเครื่อง, การเรียกใช้งานจากภาษาสูง และเรียกผ่านทางไดร์เวอร์ซอฟต์แวร์ที่ทางผู้ผลิตการ์ดมีไว้ให้ ในส่วนนี้มุ่งเน้นการเก็บข้อมูลและส่งสัญญาณควบคุมเป็นหลัก จึงจำเป็นต้องให้โปรแกรมในส่วนนี้มีระดับความสำคัญใน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การเรียกใช้สูง

ส่วนวิเคราะห์ข้อมูล ข้อมูลต่าง ๆที่ถูกเก็บเข้าไว้ในระบบแล้ว ผู้ใช้จะสามารถกระทำการวิเคราะห์ในค่าของข้อมูล ซึ่งมักจะเน้นการวิเคราะห์เชิงคณิตศาสตร์, วิทยาศาสตร์และ



รูปที่ 1.5 ส่วนประกอบของซอฟร์แวร์ในระบบ DAC

สถิติ ในส่วนนี้จะมีฟังก์ชั่นในการวิเคราะห์ที่มากน้อยแตกต่างกันไปตามจุดประสงค์และหน้าที่ของแต่ละแพ็คเกจซอฟต์แวร์

ส่วนจัดการและนำเสนอข้อมูล ข้อมูลจำนวนมากที่เก็บเข้ามานั้นจำเป็นอย่างยิ่งที่ต้องมีส่วนจัดการข้อมูลที่มีประสิทธิภาพ และสามารถทำให้ข้อมูลมีการเรียกใช้ได้อย่างเหมาะสมกับทุก ๆส่วนโดยเฉพาะการเรียกข้อมูลมาใช้งานอีกครั้ง ซึ่งอาจจำเป็นที่จะต้องให้สามารถเรียกใช้งานได้จากโปรแกรมอื่น ๆได้ด้วย เช่นโปรแกรม dBASE,Lotus 1-2-3 เป็นต้น

ส่วนรายงานข้อมูล เป็นส่วนโปรแกรมที่ดำเนินการรายงานและนำเสนอข้อมูลที่กระทำได้ไปสู่ผู้ใช้งาน ทั้งในรูปแบบที่เป็นกราฟ,ตาราง,รูปภาพ โดยสามารถกระทำการรายงานผ่านหน้าจอ, เครื่องพิมพ์, ระบบแจ้งเตือน และอื่น ๆ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ส่วนสื่อสารข้อมูล เป็นส่วนโปรแกรมที่ต้องมีไว้เพื่อกระทำการแลกเปลี่ยนข้อมูลกับระบบอื่น ซึ่งทำให้การใช้งานของระบบเป็นไปในวงกว้างมากขึ้น ในส่วนโปรแกรมส่วนนี้จะขึ้นอยู่กับระบบสื่อสารที่ต้องการว่าเป็นอย่าไร, มีลักษณะอย่างไร และขนาดของระบบเพียงไร

ในซอฟต์แวร์สำหรับ DA&C ที่เป็นแพ็คเกจที่มีใช้งานอยู่ทั่วโลก ซึ่งแต่ละตัวจะมีความแตกต่างกันไปตามขนาดและจุดประสงค์ใช้งาน ซึ่งไม่ว่าจะเป็นซอฟต์แวร์ที่เป็นแพ็คเกจหรือเป็นโปรแกรมที่เขียนขึ้นเองก็ตามที จะมีลักษณะการทำงานและส่วนประกอบดังที่ได้กล่าวมาแล้ว

20 ข้อในการเลือก DAC

และทั้งหมดที่ได้หยิบยกกล่าวถึงส่วนประกอบต่าง ๆของ DA&C นั้น พอจะสรุปได้สำหรับข้อพิจารณาในการเลือกระบบ DA&C ที่ให้เหมาะสมและเข้ากับระบบตามที่ต้องการได้ดังนี้

1)**จำนวนแร่งสัญญาณ** ในระบบมีจำนวนอินพุตเอาต์พุตทางอนาล็อกและดิจิตอลอย่างละเท่าไหร่,มีลักษณะอย่าไร

2)**ตัวตรวจจับ/ตัวกระทำการ** เป็นแบบใด?ชนิดอะไร?จะต้องเชื่อมกับระบบอย่างไร?

3)**ระยะห่างระหว่างตัวตรวจจับกับคอมพิวเตอร์** ใกล้ไกลเพียงไร?

4)**การปรับสภาพสัญญาณ** ต้องกระทำการในลักษณะใด? ต้องกระทำการจำกัดสัญญาณรบกวนอย่างไร?

5)**ความเร็วในการแรมเปิล** ต้องการความเร็วและความถี่ในการเก็บค่าสัญญาณที่ทำให้ไม่ผิดพลาด

6)**ความเที่ยงตรงและความละเอียด** ในส่วนการแปลง A/D มีความละเอียดและเที่ยงตรงที่ยอมรับให้ใช้งานในระบบได้หรือไม่?

7)**สภาพแวดล้อมของระบบ** เป็นอย่างไร? มีสภาพความชื้น, อุณหภูมิ, ความเป็นกรด,ฝุ่นละอองและสัญญาณรบกวนมากน้อยเพียงไร?

8)**ระบบจัดการซอฟต์แวร์** เป็นไปในลักษณะใด?

9)**ความต้องการในการแสดงผล** จำเป็นต้องให้แสดงผลในขณะเดินเครื่อง (On Line) หรือไม่?

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

10)**ความต้องการในการวิเคราะห์ข้อมูล** จำต้องกระทำทันทีหรือกระทำในภายหลัง

11)**ความเร็วและความสามารถในการเก็บข้อมูล** จำนวนข้อมูลมีมากน้อยเพียงไร? ต้องใช้ความเร็วเท่าไหร่?

12)**ความต้องการทำงานแบบเวลาจริง** มีความจำเป็นเพียงไร?และต้องการส่วนฮาร์ดแวร์เพื่อเสริมการทำงานหรือไม่?

13)**การทำงานของซีพียู** มีมากเพียงใด?จำเป็นต้องแบ่งระบบให้มีลักษณะการทำงานแบบกระจาย (Distributed) หรือไม่?

14)**ส่วนประกอบของซอฟต์แวร์** มีมากพอสำหรับความต้องการหรือไม่?

15)**สภาพเวลาเสียหายของระบบ** จำเป็นต้องมีระบบสำรองการทำงานหรือไม่?เมื่อเกิดความผิดปกติของระบบ

16)**ลักษณะการใช้งานฮาร์ดแวร์** ต้องการความคงทนของระบบมากน้อยเพียงใด?

17)**ส่วนสายต่อของระบบ** กระทำได้ง่ายและมีความคล่องตัวมากน้อยแค่ไหน?

18)**การควบคุมของระบบ** ผ่านการควบคุมจากผู้ควบคุม หรือเครื่องจักร?

19)**ความอ่อนตัวของระบบ** ในด้านการบำรุงรักษา, การขยายระบบ และปรับเปลี่ยนในอนาคตมีความยากง่ายเพียงไร?

20)**ราคา** เป็นอย่างไร? ถูกแพงแค่ไหนเมื่อเทียบกับคุณภาพและบริการส่วนสนับสนุน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 2

รูปแบบการสื่อสารข้อมูลของ DA&C

การสื่อสารข้อมูลของ DA&C โครงงานนี้ยึดหลักการสื่อสารข้อมูลอนุกรมเนื่องจาก

1. ส่งได้ระยะทางไกล
2. ประหยัดจำนวนสายในการส่ง
3. ใช้รูปแบบการส่งที่มาตรฐาน และเหมาะสมกับงาน DA&C

รูปแบบการสื่อสารข้อมูลแบบอนุกรมนิยมเรียกว่า โปโตคอล เนื่องจากโปโตคอลเป็นสื่อหรือวิธีการส่งข้อมูลที่มีระเบียบ เป็นกลุ่ม เป็นหมวด ทำให้เกิดความคล่องตัวในการสื่อสารข้อมูลแบบอนุกรม

การแปลงข้อมูลในการสื่อสารจะมีอยู่ 2 ประเภทคือ

- แบบไบนารี่ เป็นการแปลงที่เอาข้อมูลที่มีขนาดเท่าของจริงไปใช้ในการสื่อสาร
- แบบแอสกี เป็นการแปลงข้อมูลดิบให้อยู่ในรูปของระหัสแอสกี

สำหรับในโครงงานนี้จะใช้การแปลงแบบแอสกีเป็นมาตรฐาน เนื่องจากการแปลงแบบนี้เวลานำไปใช้ในการสื่อสารนั้น สามารถตรวจสอบข้อผิดพลาดข้อมูลได้และคล่องตัว แต่ก็มีข้อเสียก็คือเสียข้อมูลมีขนาดใหญ่กว่าข้อมูลจริงถึง 2 เท่าตัว แต่นั่นไม่ใช่ปัญหา เราสามารถชดเชยโดยให้เพิ่มความเร็วการสื่อสารให้สูงขึ้นตาม

การแปลงข้อมูลแบบแอสกี จะได้ข้อมูลอยู่ในรูปของระหัสแอสกี ซึ่งสามารถไปเข้าโปโตคอลหรือวิธีการสื่อสาร

ลักษณะของโปโตคอลมี 2 ชนิด

- แบบร้องขอ (REQUEST MESSAGE PROTOCAL) เป็นการส่งข้อมูลหรือระหัสจากผู้ร้องขอไปยังผู้รับ มีระหัสบอกหน้าที่ คือ 40H ถึง 4BH (ตัวอักษร 'A' ถึง 'K')
- แบบตอบรับ (REPLY MESSAGE PROTOCAL) เป็นการตอบรับข้อมูลหรือระหัสจากผู้รับไปยังผู้ร้องขอ มีระหัสบอกหน้าที่ คือ 61H ถึง 6BH (ตัวอักษร 'a' ถึง 'k')

รายละเอียดโปโตคอลแสดงในตาราง

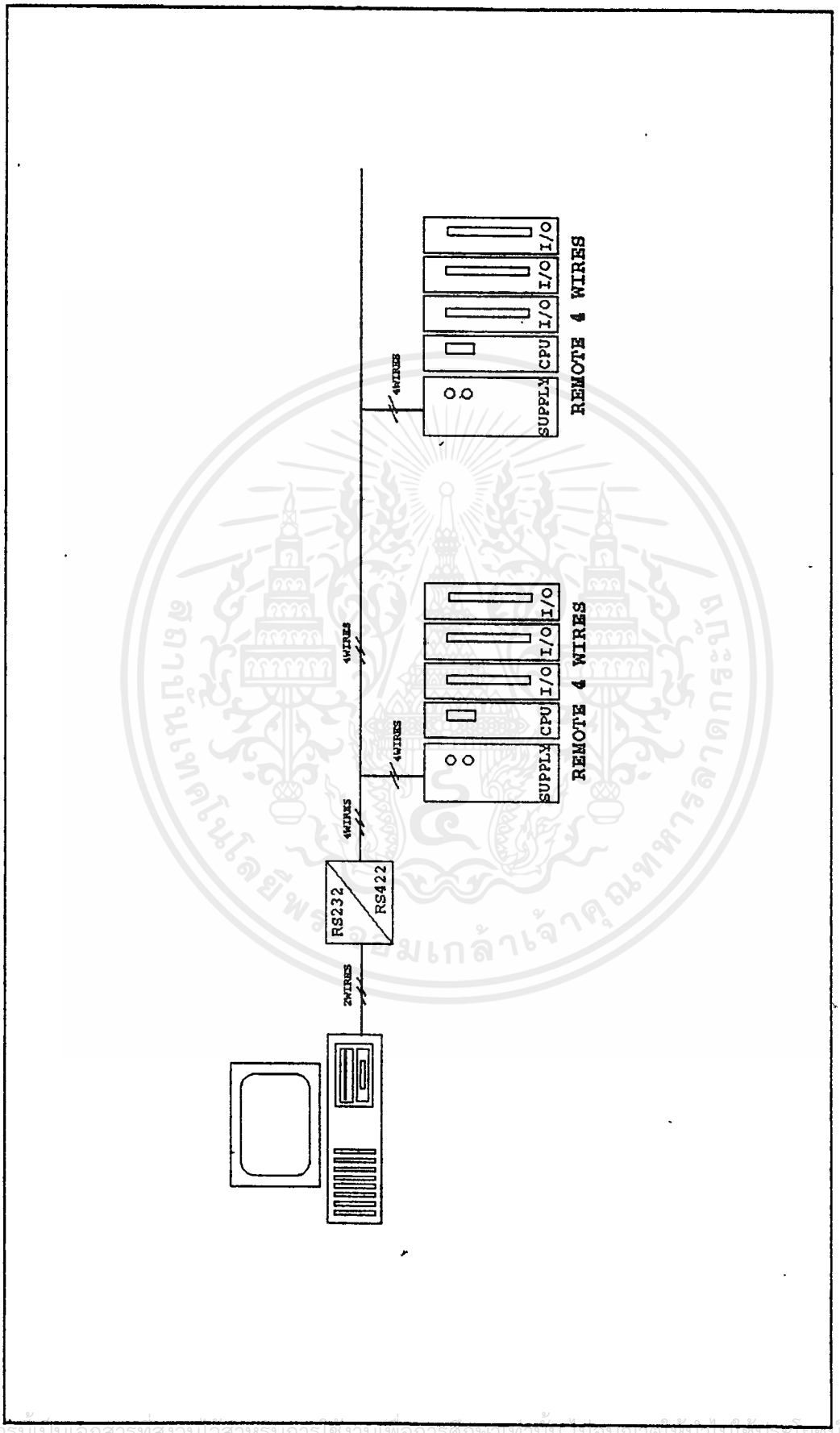
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Command Character	Function	Communication Command									Reply message
A	RM status readout	41 H	(End) 0D H								a
B	Error status data readout	42 H	(End) 0D H								b
C	Error staus data cancellation	43 H	(End) 0D H								c , d
D	Communication cacellation	44 H	(End) 0D H								c , d
E	System version data readout	45 H	(End) 0D H								e
F	Monitor	46 H	(Type) 3[ ] H	(Number) 3[ ] H	(Number) 3[ ] H	(End) 0D H	Type 31 H . . DO 34 H . . AI 37 H . . CNT code 32 H . . DI 35 H . . DR 38 H . . IR 33 H . . AO 36 H . . TIM				f, g, h, i, j, k
G	Digital preset value	47 H	(Type) 3[ ] H	(Number) 3[ ] H	(Number) 3[ ] H	(End) 0D H	Type 31 H . . Reset DO 33 H . . Reset IR code 32 H . . Set do 34 H . . Set IR				c , d
H	AO preset value	48 H	(Number) 3[ ] H	(Number) 3[ ] H	(Data) 3[ ] H	(Data) 3[ ] H	(Data) 3[ ] H	(Data) 3[ ] H	(Data) 3[ ] H	(End) 0D H	c , d
I	Program writing	49 H	(Data) 3[ ] H	(Data) 3[ ] H	(Data) 3[ ] H	(Data) 3[ ] H	(End) 0D H	data = program capacity			(1) c, d (2) send data (3) c, d
J	Program reading	4A H	(Data) 3[ ] H	(Data) 3[ ] H	(Data) 3[ ] H	(Data) 3[ ] H	(End) 0D H	data = program capacity			(1) c, d (2) recieve data (3) c, d
K	RM number	4B H	(Number) 3[ ] H	(Number) 3[ ] H	(End) 0D H						c, d

ตารางที่ 2.1 แสดงลักษณะข่าวสารร้องขอ

Command Character	Function	Communication Command						
a	RM status data	61 H	(Data) 3[ ] H	(Data) 3[ ] H	(End) 0D H			
b	Error status data	62 H	(Data) 3[ ] H	(Data) 3[ ] H	(End) 0D H			
c	OK	63 H	(End) 0D H					
d	NG	64 H	(End) 0D H					
e	System version data	65 H	(Data) 3[ ] H	(Data) 3[ ] H	(End) 0D H			
f	DO data monitor	66 H	(Data) 3[ ] H	(Data) 3[ ] H	(End) 0D H			
g	DI data monitor	67 H	(Data) 3[ ] H	(Data) 3[ ] H	(End) 0D H			
h	AO data monitor	68 H	(Data) 3[ ] H	(Data) 3[ ] H	(Data) 3[ ] H	(Data) 3[ ] H	(End) 0D H	
i	AI data monitor	69 H	(Data) 3[ ] H	(Data) 3[ ] H	(Data) 3[ ] H	(Data) 3[ ] H	(End) 0D H	
j	DR data monitor	6A H	(Data) 3[ ] H	(Data) 3[ ] H	(Data) 3[ ] H	(Data) 3[ ] H	(End) 0D H	
k	IR data montor	6B H	(Data) 3[ ] H	(End) 0D H	status 31 H . . reset 32 H . . set			

ตารางที่ 2.2 แสดงลักษณะข่าวสารตอบรับ



รูปที่ 2.1 แสดงลักษณะการสื่อสารข้อมูลระหว่างคอมพิวเตอร์กับรีโมท

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 3

ฮาร์ดแวร์ของรีโมทอินพุทเอาท์พุท

3.1 ส่วนประกอบรีโมทอินพุทเอาท์พุท

1. โมดูลซีพียู
2. โมดูลรับสัญญาณดิจิตอล
3. โมดูลส่งสัญญาณดิจิตอล
4. โมดูลแปลงสัญญาณอะนาล็อกเป็นสัญญาณดิจิตอล
5. โมดูลแปลงสัญญาณดิจิตอลเป็นสัญญาณอะนาล็อก
6. วงจรจ่ายแรงดัน

โมดูลซีพียู

คุณสมบัติของโมดูลซีพียู

1. ใช้ ซีพียู ตระกูลซิงเกิลชิพเบอร์ 8031,8051,8032 ทำงานที่ความถี่สัญญาณนาฬิกา 11.0592 เมกกะเฮิร์ท
2. หน่วยความจำแรมภายในซีพียูมีขนาด 128 ไบท์
3. หน่วยความจำโปรแกรมขนาด 32 กิโลไบท์ (ใช้ EPROM เบอร์ 27256)
4. หน่วยความจำข้อมูล แบ่งเป็น 2 ส่วน
   - หน่วยความจำแรมขนาด 32 กิโลไบท์ (ใช้ RAM เบอร์ 62256)
   - หน่วยความจำแรมขนาด 8 กิโลไบท์ (ใช้ RAM เบอร์ 6264)
5. มีพอร์อนุกรม มาตรฐานการส่งแบบ RS 422/RS 485
6. มีข้อมูลสำหรับการติดต่อกับอุปกรณ์ภายนอกแบบขนาน มีรายละเอียดดังนี้
   - บัสข้อมูล D0-D7
   - บัสแอดเดรส A0-A8 (อ้างพอร์ทได้ 512 พอร์ท)
   - สัญญาณควบคุมต่างคือสัญญาณอ่าน (RD),สัญญาณเขียน (WR),สัญญาณรีเซ็ท (RES), และ สัญญาณขัดจังหวะ (INT)
7. มีระบบป้องกันความปลอดภัยของซีพียู ใช้ไอซีเบอร์ MAX691 โดยมีรายละเอียดคือ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

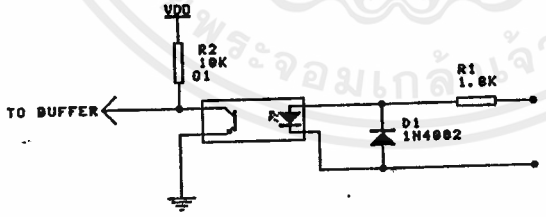
- ป้องกันความผิดพลาดของซีพียู หรือที่เรียกกันว่าวอทด็อก (WATCHDOG)
- เตือนไฟตกต่ำกว่าระดับที่ซีพียูจะทำงานได้
- สำรองการจ่ายไฟให้กับหน่วยความจำ โดยใช้แบตเตอรี่
- รีเซ็ทเริ่มต้นการทำงานของซีพียู

8.อัตราความเร็วของการส่งข้อมูลแบบอนุกรม ใช้หลายค่าเช่น 2400,4800,9600, 11200 บิทต่อวินาที

โมดูลรับสัญญาณดิจิตอล

คุณสมบัติของโมดูลรับสัญญาณดิจิตอล

1. รับช่องสัญญาณดิจิตอลได้ 8 ช่อง
2. ใช้ออฟโต้ทรานซิสเตอร์เบอร์ 4N25 เป็นตัวรับสัญญาณดิจิตอล
3. สามารถรับสัญญาณดิจิตอลในรูปของแรงดันช่วง 0-24 โวลท์ หรือ กระแส 4-20 mA
4. มีแอลอีดีบอกสภาวะของสัญญาณดิจิตอลที่เข้ามา
5. มีดิพสวิชท์เพื่อตั้งหมายเลขตำแหน่งพอร์ทของโมดูล
6. มีวงจรตรวจสอบว่าเสียบโมดูลจริงหรือเปล่า



รูปที่ 3.1 วงจร DC อินพุท

หลักการทำงาน

จากรูปที่ 3.1 สัญญาณดิจิตอลจากภายนอกในสภาวะ "0" และ "1" ในช่วงแรงดัน 0-24 โวลท์ จะผ่านเข้าที่ออฟโต้โดยมีความต้านทานสำหรับจำกัดกระแสให้พอเหมาะกับออฟโต้ และมีไดโอดต่อไว้เพื่อป้องกันการกลับขั้วของสัญญาณที่ป้อน จากนั้นสัญญาณที่ได้จากออฟโต้จะมีสถานะตรงกันข้ามกับสถานะของสัญญาณดิจิตอลที่ป้อนเข้ามา เวลาจะอ่านเข้าโมดูลซีพียูจึงต้องใช้บัฟเฟอร์

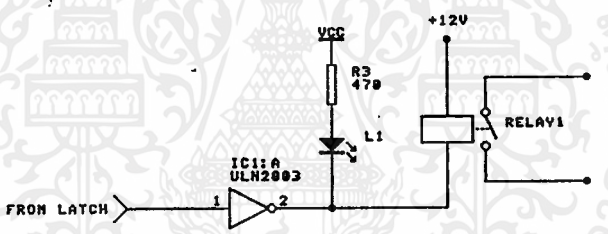
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ที่เป็นแบบบนอทเกทขนาด 8 บิท โดยโมดูลซีพียูจะส่งสัญญาณแอดเดรสและสัญญาณอ่าน (RD ถ้าสัญญาณแอดเดรสตรงกับที่ตั้งไว้สัญญาณข้อมูลก็จะเข้าไปที่โมดูลซีพียู

โมดูลส่งสัญญาณดิจิตอล

คุณสมบัติของโมดูลส่งสัญญาณดิจิตอล

1. ส่งช่องสัญญาณดิจิตอลได้ 8 ช่อง
2. สัญญาณดิจิตอลที่ส่งออกมาจะควบคุมรีเลย์ขนาดแรงดัน 12 โวลท์ กระแส 5 แอมป์
3. มีแอลอีดีบอกสภาวะการปิดเปิดของรีเลย์
4. มีดิพสวิชท์เพื่อตั้งหมายเลขตำแหน่งพอร์ทของโมดูล
5. มีวงจรตรวจสอบว่าเสียบโมดูลจริงหรือเปล่า



รูปที่ 3.2 วงจรเอาท์พุทแบบ RELAY

หลักการทำงาน

จากรูปที่ 3.2 โมดูลซีพียูเมื่อจะส่งสัญญาณดิจิตอลออกมาก็ต้องส่งสัญญาณแอดเดรสพร้อมกับสัญญาณเขียน (WR) ออกมามาที่บัสขนาน ถ้าสัญญาณแอดเดรสตรงกับหมายตำแหน่งพอร์ทที่ตั้งไว้ก็จะเกิดสัญญาณพัลส์ไปกระตุ้นให้แลทช์ ทำให้แลทช์ค้างข้อมูลที่ส่งมา จากนั้นเอาท์พุทของไอซีแลทช์จะไปเข้าไอซีขับกระแสเพื่อไปขับรีเลย์ให้ทำงาน

วงจรแปลงสัญญาณดิจิตอลเป็นอนาลอก

ในส่วนนี้เลือกไอซี DAC1210 ซึ่งเป็น DAC ชนิด Double-Buffered ที่มีคุณสมบัติที่เหมาะสำหรับการ compatible กับ microprocessor

คุณสมบัติบางอย่างของ DAC1210

1. แปลงสัญญาณดิจิตอล 12 bit เป็นสัญญาณอนาลอก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วงจรแปลงสัญญาณอนาลอกเป็นดิจิตอล

ในส่วนนี้ใช้ไอซี L7109 ซึ่งเป็น ADC ขนาด 12 bit ชนิด Dual Slop ที่มีข้อดีคือ ราคาถูก,ความถูกต้องสูง,มีเสถียรภาพทางอุณหภูมิดี แต่ข้อเสียคือ ความเร็วต่ำ

คุณสมบัติบางอย่างของ L7109

1. สัญญาณดิจิตอล 12 bit ทาง O/P เป็น Tristate
2. สัญญาณอนาลอกทางด้าน I/P อยู่ในช่วง 0-5 V และไฟเลี้ยง +5V,-5V
3. สัญญาณนาฬิกาจากภายนอก 3.58 MHz
4. ช่วงเวลาในการแปลงสัญญาณประมาณ 30 mS

หลักการทำงานของ ADC

เราแบ่งการทำงานเป็นสองส่วน คือส่วนอนาลอก และส่วนดิจิตอลดังนี้

ส่วนอนาลอก

ในส่วนนี้เราแบ่งช่วงเวลาทำงานเป็น 3 ช่วงได้แก่ (1)Auto-Zero(AZ),(2)Signal Integrate(INT) และ (3)Deintegrate(DE)

โดยเริ่มแรกที่มีแรงดันไม่ทราบค่าๆหนึ่งเข้ามาทางI/P ซึ่งเป็นช่วงที่ AZ ทำหน้าที่รับค่าที่เข้ามาทาง I/P พร้อมทั้ง charge ค่า voltage จาก Caz เข้าที่ส่วน Integrate พร้อมกันนั้น Caz ก็จะชดเชยค่า offset แรงดันในส่วน Buffer,Integrate และ Comparator

ต่อมาในช่วงเวลา INT ในส่วน Integrate นั้นรับค่าเข้ามาและทำงานในช่วงเวลาที่คงที่ คือ 2048 clock period จนกระทั่งถึงจุด slop สูงสุด

จากนั้นในช่วงเวลา DE จะถูกสวิตช์ไปวัดค่าแรงดันอ้างอิง ซึ่งค่านี้เป็นสัดส่วนโดยตรงกับ I/P โดยทำให้ค่าที่ส่วน Integrate ทำงานจากจุด slop สูงสุดลดลงจนถึงจุด 0 แต่อย่างไรช่วงเวลาของ DE ใช้เวลา 4096 clock period โดยที่จุดที่ detec 0 นั้น ในส่วนของ Comparator จะส่งค่าไปยังส่วนดิจิตอลต่อไป ซึ่งข้อความที่กล่าวมาข้างต้นดูรูปประกอบดังนี้

ส่วนดิจิตอล

ในส่วนนี้แสดงดังใน Block diagram โดยเมื่อสัญญาณ comp out จากส่วนของอนาลอกยังไม่ set ในส่วนของ 12-BIT COUNTER ยังคงนับไปเรื่อยๆ จนกระทั่ง comp out จากส่วนของอนาลอก set ในส่วนของ CONTROL LOGIC ก็จะส่งสัญญาณให้ ส่วนของ HANDSHECK

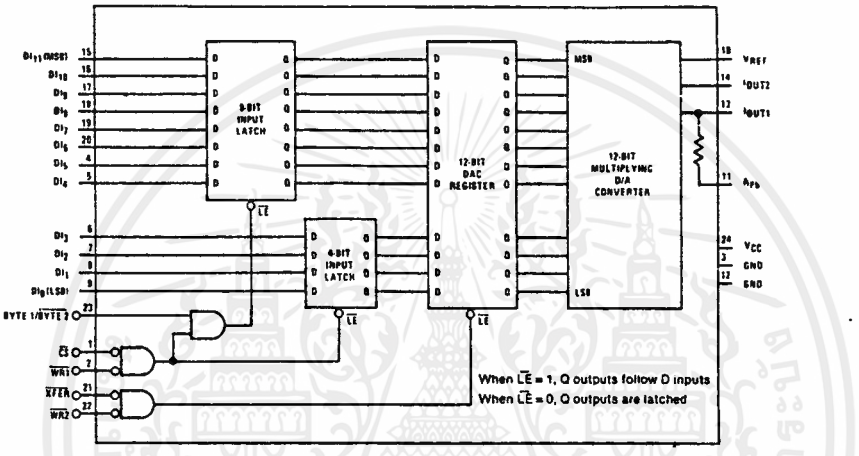
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2. ทำงานที่แรงดัน +12 v และแรงดันอ้างอิงที่เลือกช่วงได้ใน +10 v ถึง -10 v

3. เวลาที่ใช้ในการแปลงสัญญาณของ DAC เพียง 1μs (micro sec)

4. ความเป็น linearlity ถึง 0.01%

5. อุณหภูมิในช่วงใช้งาน -40 ถึง +85 องศาเซลเซียส



รูปที่ 3.3 แสดง block diagram ของ DAC1210

จากรูปที่3.3 แสดงการทำงานเริ่มจากข้อมูล D0 ถึง D11 เข้ามาที่ภาค latch ที่มีทั้ง 8 bit และ 4 bit โดยมีขา Byte1/Byte2 ,/cs,/wr1 เป็นตัวเลือก latch ชนิดใดเข้าก่อนหลัง ส่วนภาค 12-Bit DAC Register ทำหน้าที่พักข้อมูลที่มาจากภาค latch ทั้ง 12 bit ที่ถูกควบคุมโดยขา /xfer,/wr2 จากนั้นข้อมูลก็ถูกส่งต่อไปยัง ภาค 12-Bit Multiplying D/A converter ซึ่งทำให้ส่วนของ current switch ของภาคนี้เกิดการ ON-OFF ตามข้อมูลที่เข้ามา ดังนั้นกระแส Iout1 จึงไหลเป็นสัดส่วนโดยตรงกับการ ON-OFF ของสวิตช์ ซึ่งจะแปรตามวงจร R-2R Ladder ดังนั้นจึงได้สมการความสัมพันธ์ของข้อมูล D0-D11 กับ Io ได้ดังนี้

$$Io = -P(D0/4096+D1/2048+D2/1024+D3/512+D4/256+D5/128+D6/64+D7/32 +D8/16+D9/8+D10/4+D11/2)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เมื่อ P = Vref/R

Vo = Vref*Rfb/R*(D0/4096+D1/2048+D2/1024+D3/512+D4/256+D5/128

+D6/64+D7/32+D8/16+D9/8+D10/4+D11/2)

แต่สัญญาณที่ได้จะอยู่ในรูปของกระแส Iout1 ดังนั้นจึงต้องใช้ OP-AMP เพื่อแปลงให้เป็นแรงดัน

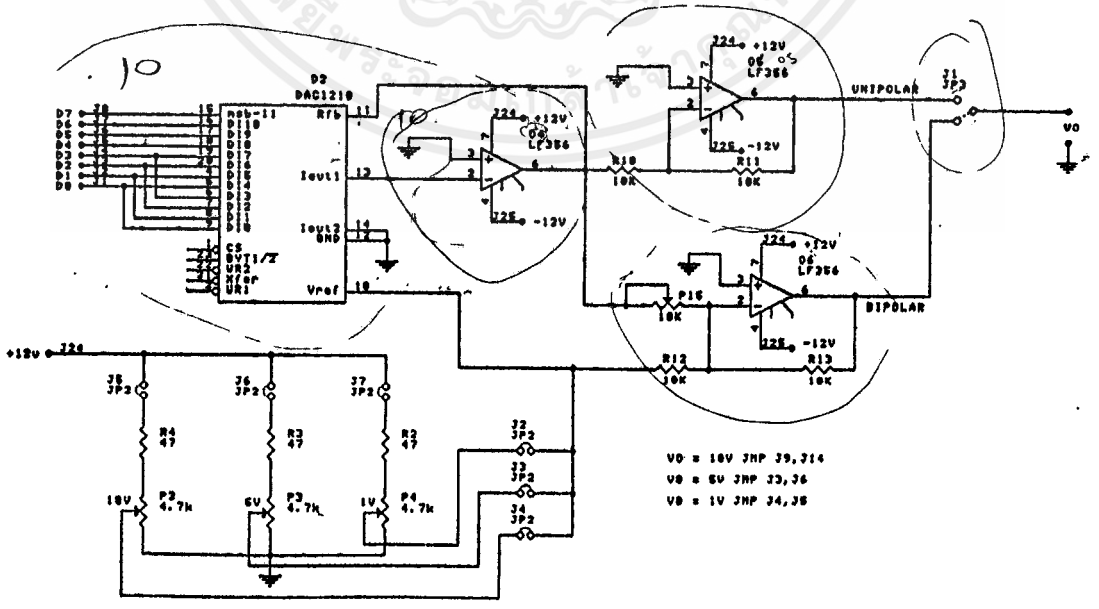
ในการใช้งานทางอุตสาหกรรมบางครั้งจำเป็นต้องการช่วงแรงดัน หรือกระแสตามที่ต้องการ ดังนั้นในส่วนของวงจรแปลงสัญญาณดิจิตอลเป็นอนาลอก จึงได้เพิ่มย่านแรงดัน และกระแสดังนี้

1 แบบ Unipolar output voltage ที่เลือกได้ 3 ย่านคือ 0->1V,0->5V,0->10V

2 แบบ Bipolar output voltage ที่เลือกได้ 3 ย่านคือ -1V->+1V

,-5V->+5V,-10V->+10V

3 ส่วนของ output current ใช้วงจรแปลง voltage to current โดยเลือกปรับที่ย่าน 4mA -> 20mA แต่ Load ต้องมีค่าความต้านทานไม่เกินกว่า 500 โอห์ม

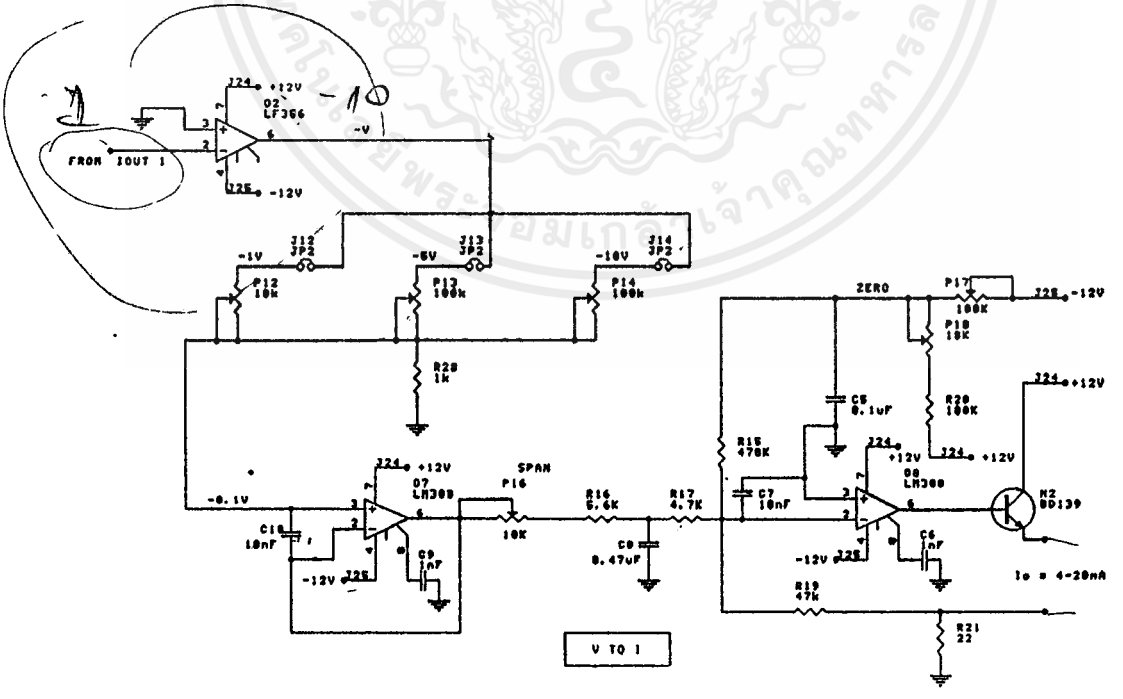


รูปที่ 3.4 ของ output voltage

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในการเลือก output voltage ของข้อ1และ2 ในการใช้งานต้องเลือกเพียงแบบใดแบบหนึ่งเท่านั้น โดยมี OP-AMP O5 และ O6 ทำหน้าที่แปลงแรงดันดังกล่าว โดยมีการเลือก Vref ที่สัมพันธ์กับย่านแรงดันที่ออกไป และแบบที่ต้องการ เช่นต้องการแบบ Unipolar ให้เลือก output voltage ที่ O5 ส่วนถ้าต้องการแบบ Bipolar ให้เลือก output voltage ที่ O6 ดังรูปวงจรที่ 3.4 ดังนี้

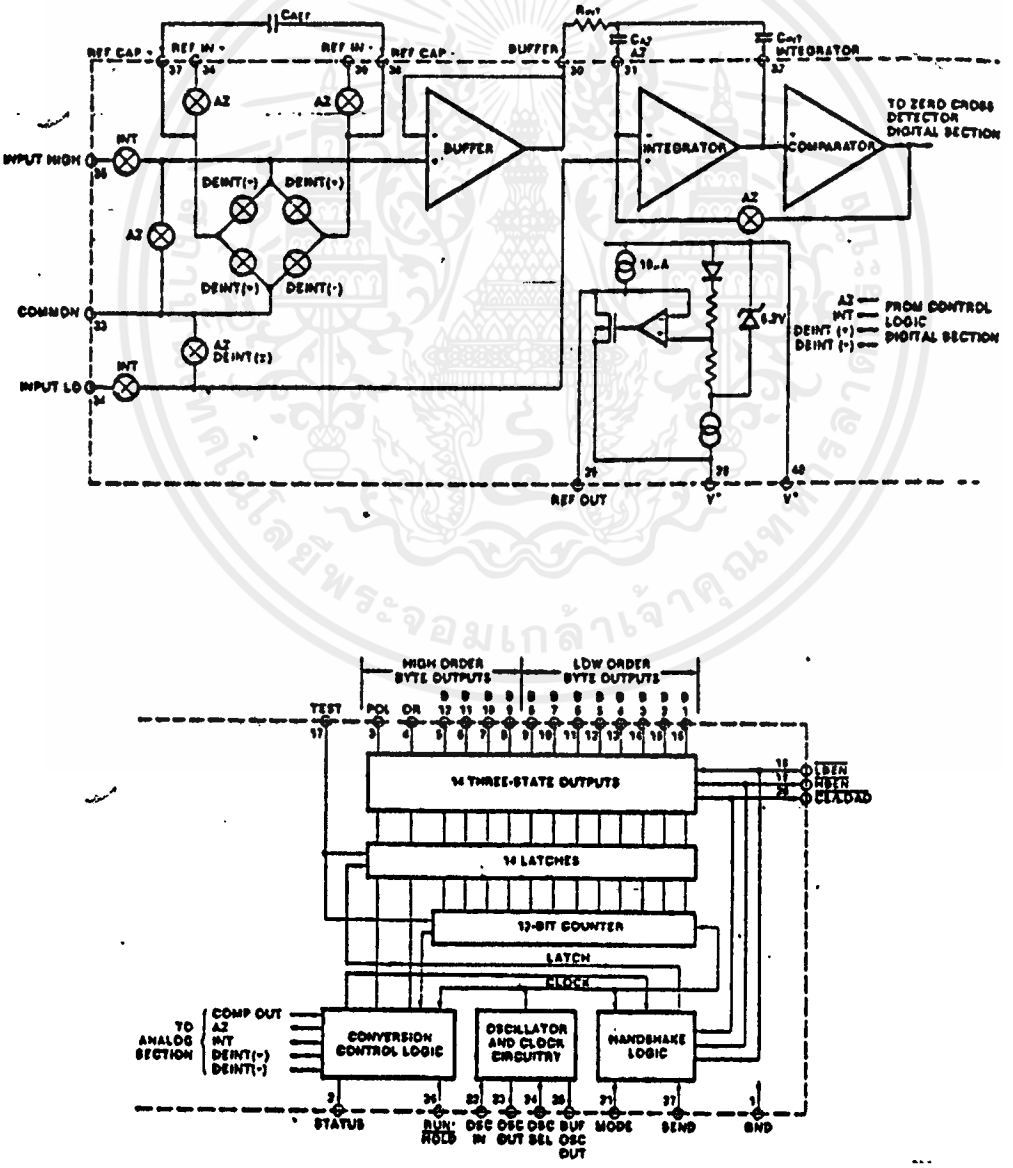
ในส่วนของวงจรแปลง voltage to current จะนำค่า output voltage จาก O4 ที่ต่อจากตัว DAC ซึ่งค่า voltage ที่ได้เป็นลบ โดยค่าที่ได้นี้จะสัมพันธ์กับการเลือกย่าน output voltage ดังเช่นถ้าเลือก Vref ที่ 5V จะได้ค่า output voltage ที่ O4 สูงสุดที่ -5V เช่นเดียวกัน ถ้าเลือก Vref ที่ 1V หรือ 10 V จะได้ค่า output voltage ที่ O4 สูงสุดที่ -1V หรือ -10V ต่อจากนั้นนำค่าที่เลือกไว้ค่าใดค่าหนึ่ง นำมา drop voltage ให้เหลือเพียง -0.1V เข้าที่ O7 ที่ทำหน้าที่เป็นตัว buffer ส่วน O8 ทำหน้าที่เป็น voltage to current ที่การปรับค่า zero ที่ 4 mA และspan ที่ 20 mA โดยมี transister BD139 ทำหน้าที่ขยายกระแส ดังรูปวงจรที่ 3.5 ดังนี้



รูปที่ 3.5 ของ voltage to current

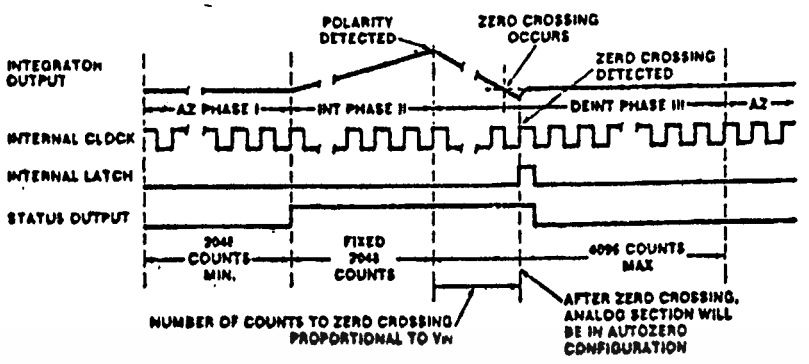
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

LOGIC ส่งสัญญาณ LATCH ไปยังส่วนของ 14 LATCHS เพื่อ LATCH ข้อมูลจาก 12-BIT COUNTER ไปยัง 14 THREE-STATE OUTPUTS โดยมีเส้นสัญญาณ /(LBEN),/(HBEN) ,/(CE/LOAD) ทำหน้าที่ STROB ข้อมูลไปแสดงยัง O/P จนกระทั่งสัญญาณ comp out จากส่วนของอนาลอกยังไม่ set อีกครั้ง ส่วนของ CONTROL LOGIC จะส่งสัญญาณไปยังส่วนของ 12-BIT COUNTER ให้ reset และเริ่มนับใหม่ โดยการทำงานของ Block diagram จะวงเวียนแบบนี้ไปเรื่อยๆ ซึ่งข้อความที่กล่าวมาข้างต้นดูรูปที่ 3.6 ประกอบดังนี้



รูปที่ 3.6 แสดงของส่วน อนาลอก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.7 แสดง timing

ในการใช้งานทางอุตสาหกรรมบางครั้งจำเป็นต้องการช่วงแรงดันตามที่ต้องการทางด้านส่วนของ input voltage ดังนั้นในส่วนของวงจรแปลงสัญญาณอนาลอกเป็นดิจิตอล จึงได้เพิ่มย่านแรงดันไว้ดังนี้

1 แบบ Unipolar input voltage ที่เลือกได้ 3 ย่านคือ 0->1V,0->5V,0->10V

2 แบบ Bipolar input voltage ที่เลือกได้ 3 ย่านคือ -1V->+1V

,-5V->+5V,-10V->+10V

ในการเลือก input voltage ของข้อ 1และ 2 ในการใช้งานต้องเลือกเพียงแบบใดแบบ หนึ่งเท่านั้น โดยมีวงจรขยายผลต่างทำหน้าที่แปลงแบบ และย่านแรงดันที่ต้องการให้อยู่ในย่าน 0->5V ซึ่งเป็นแรงดันย่านที่ไอซี L7109 ต้องการ ดังรูปวงจรที่ 3.8 ดังนี้

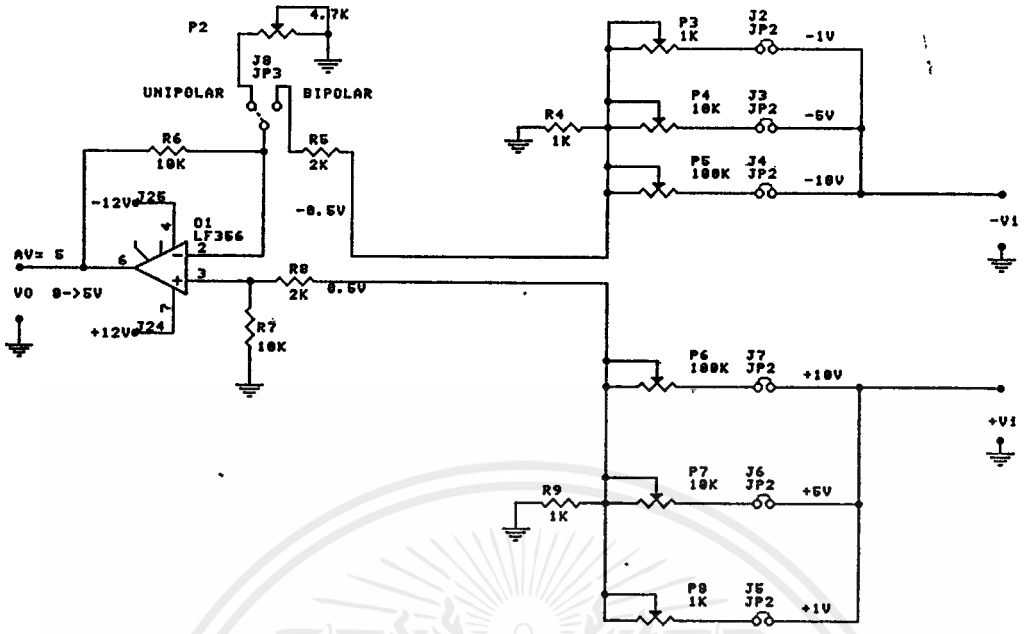
วงจรจ่ายแรงดัน

เนื่องจากในรีโมทอินพุทเอาท์พุทมีโมดูลหลายประเภท เช่น โมดูลรีเลย์ต้องการแรงดัน 12 โวลท์ เพื่อไปเลี้ยงรีเลย์ , โมดูลอะนาล็อกจำเป็นต้องใช้แรงดันทั้งบวกและลบเพื่อไปป้อนให้ไอซีแปลงอะนาล็อกเป็นดิจิตอล

วงจรจ่ายแรงดันที่ออกแบบมีคุณสมบัติดังนี้

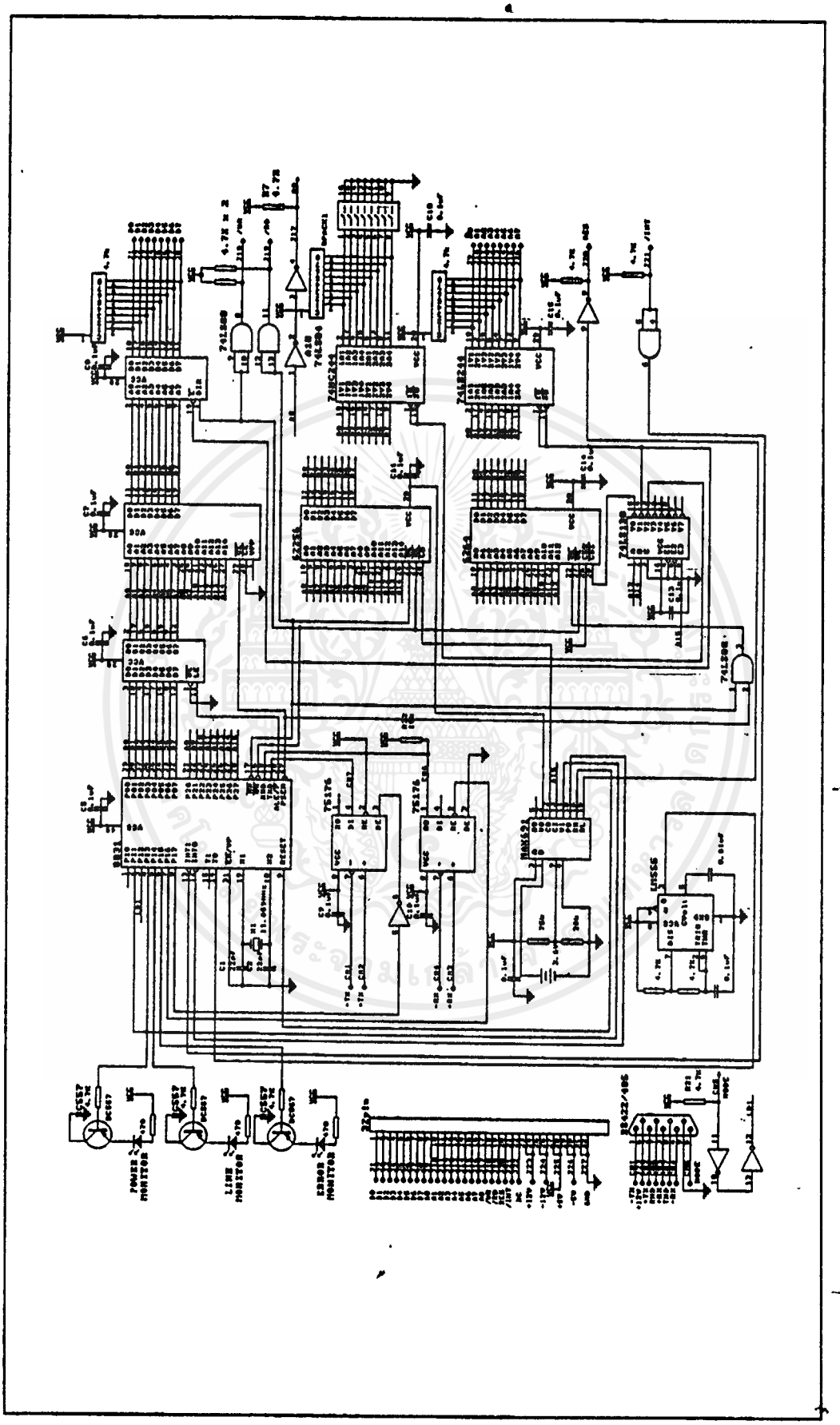
- แรงดันออก +/- 5 โวลท์ กระแส 1 แอมป์
- แรงดันออก +/- 12 โวลท์ กระแส 1 แอมป์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



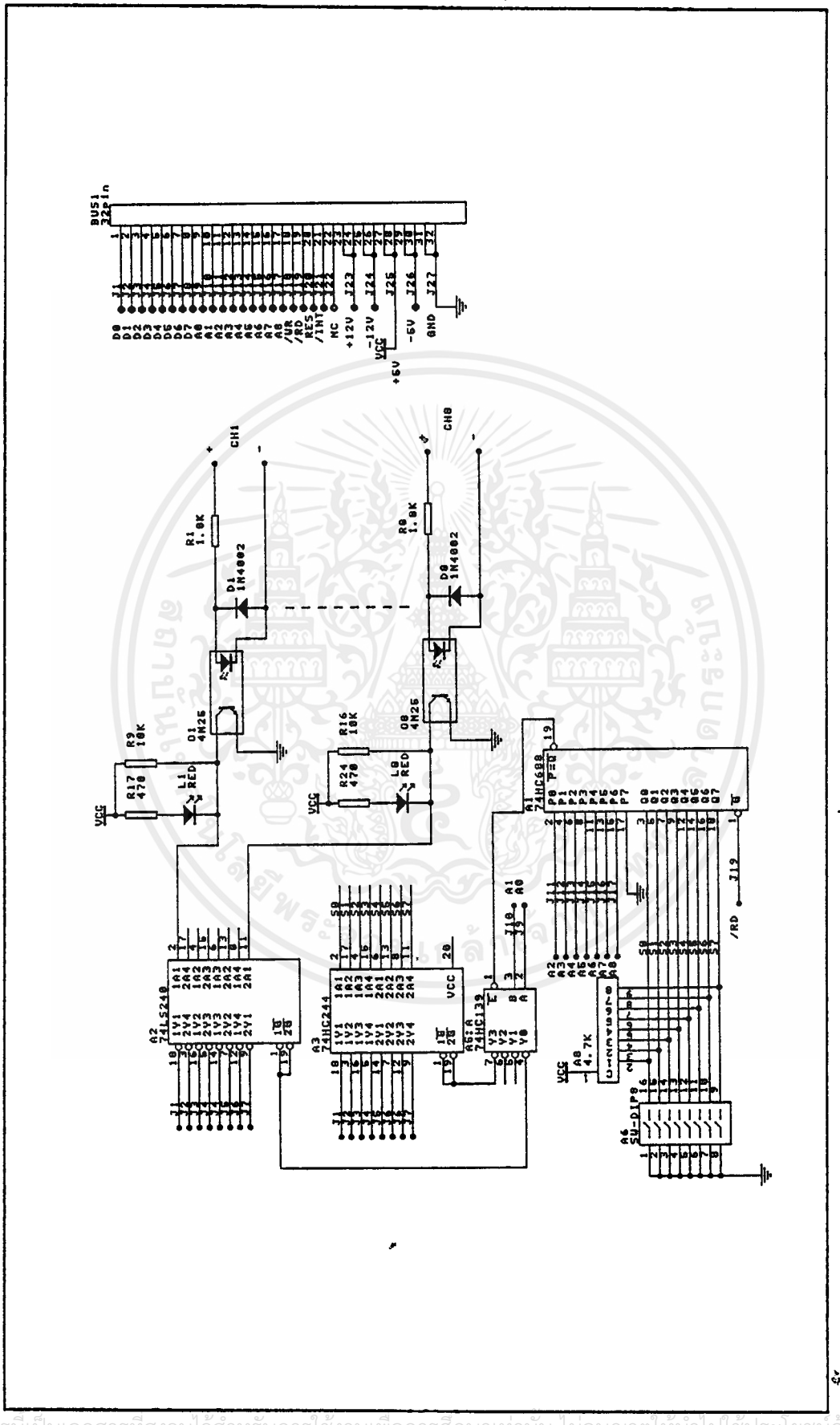
รูปที่ 3.8 แสดง input voltage

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



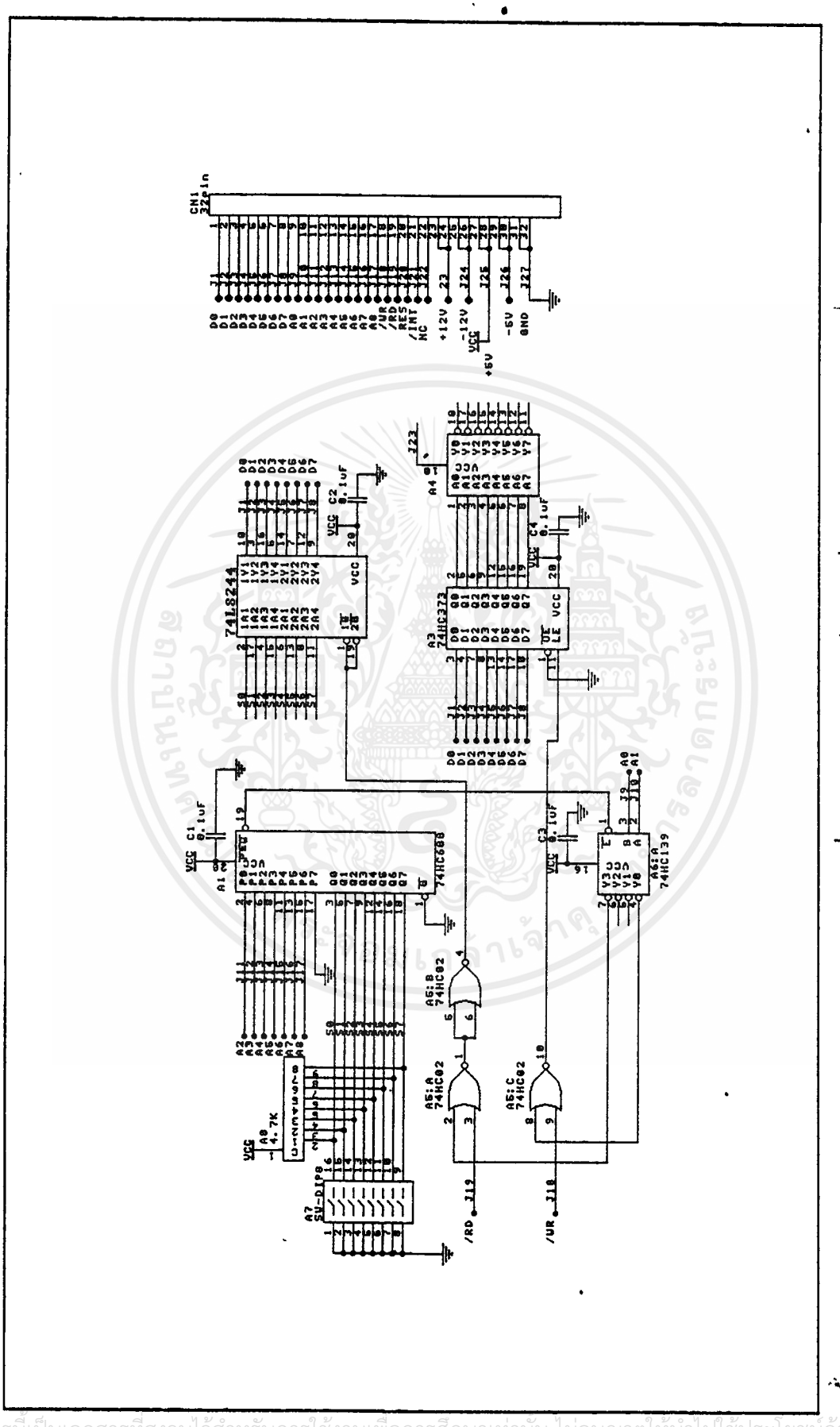
รูปที่ 3.9 แสดงวงจรโมดูลรีพีทู

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



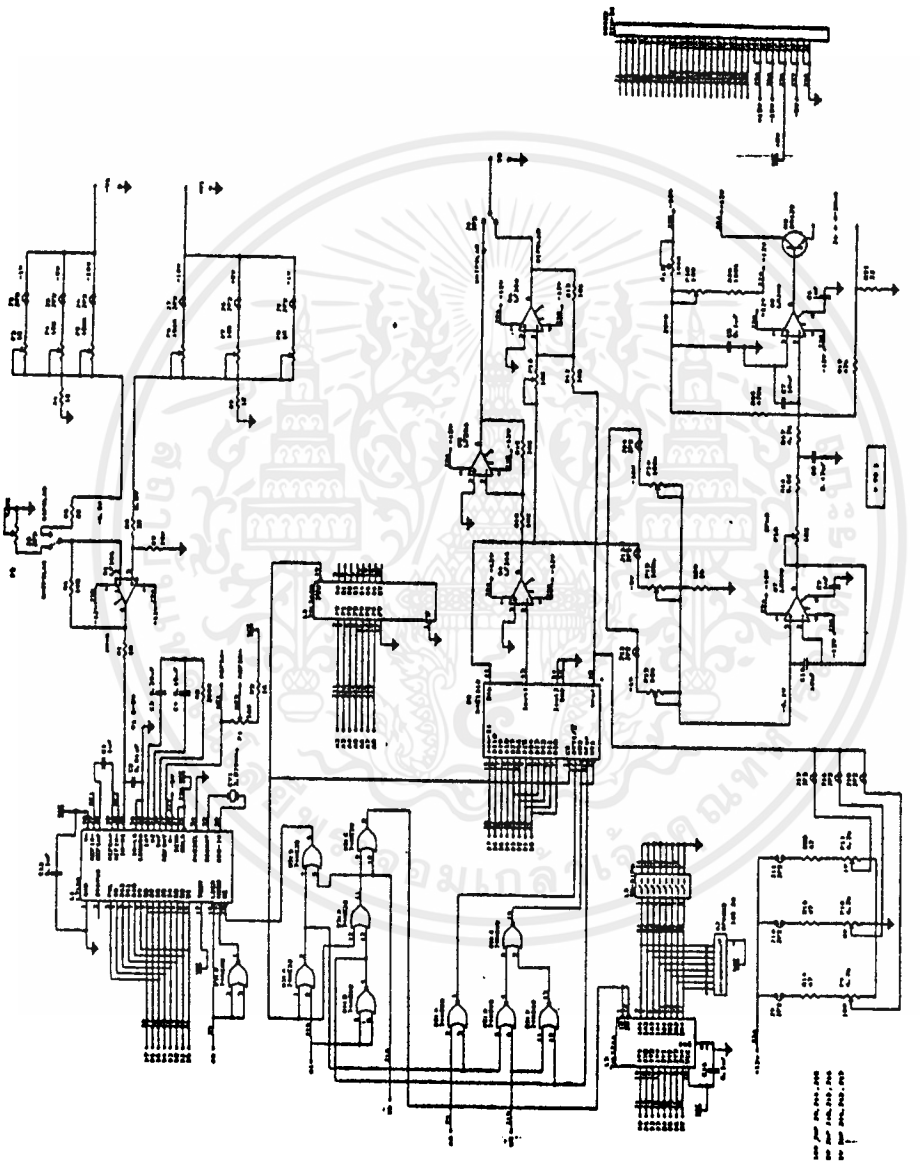
รูปที่ 3.10 แสดงวงจรโมดูลอินเทอร์เฟซ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



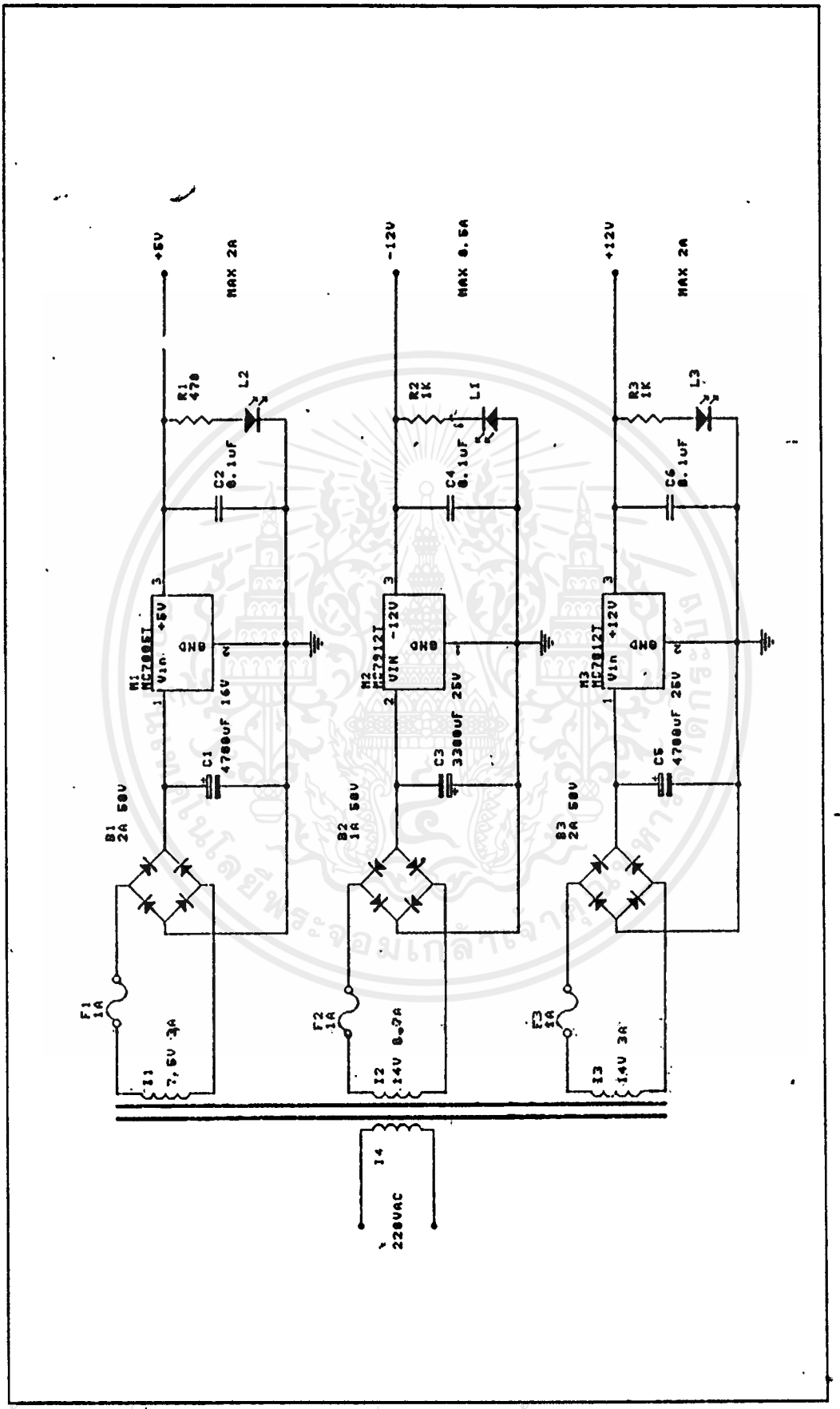
รูปที่ 3.11 แสดงวงจรโมดูลเอาต์พุตแบบรีเลย์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



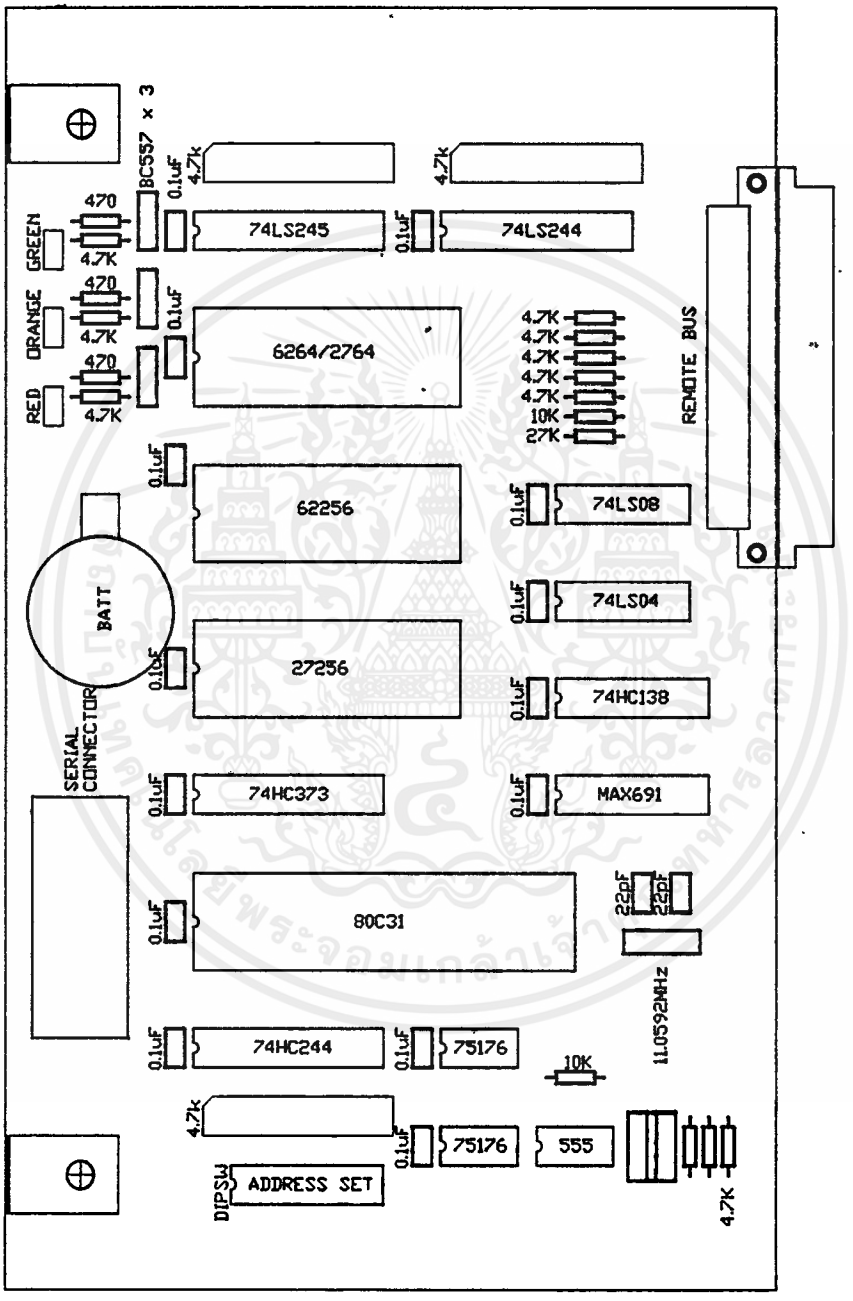
รูปที่ 3.12 แสดงวงจรโมดูลอะนาล็อก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



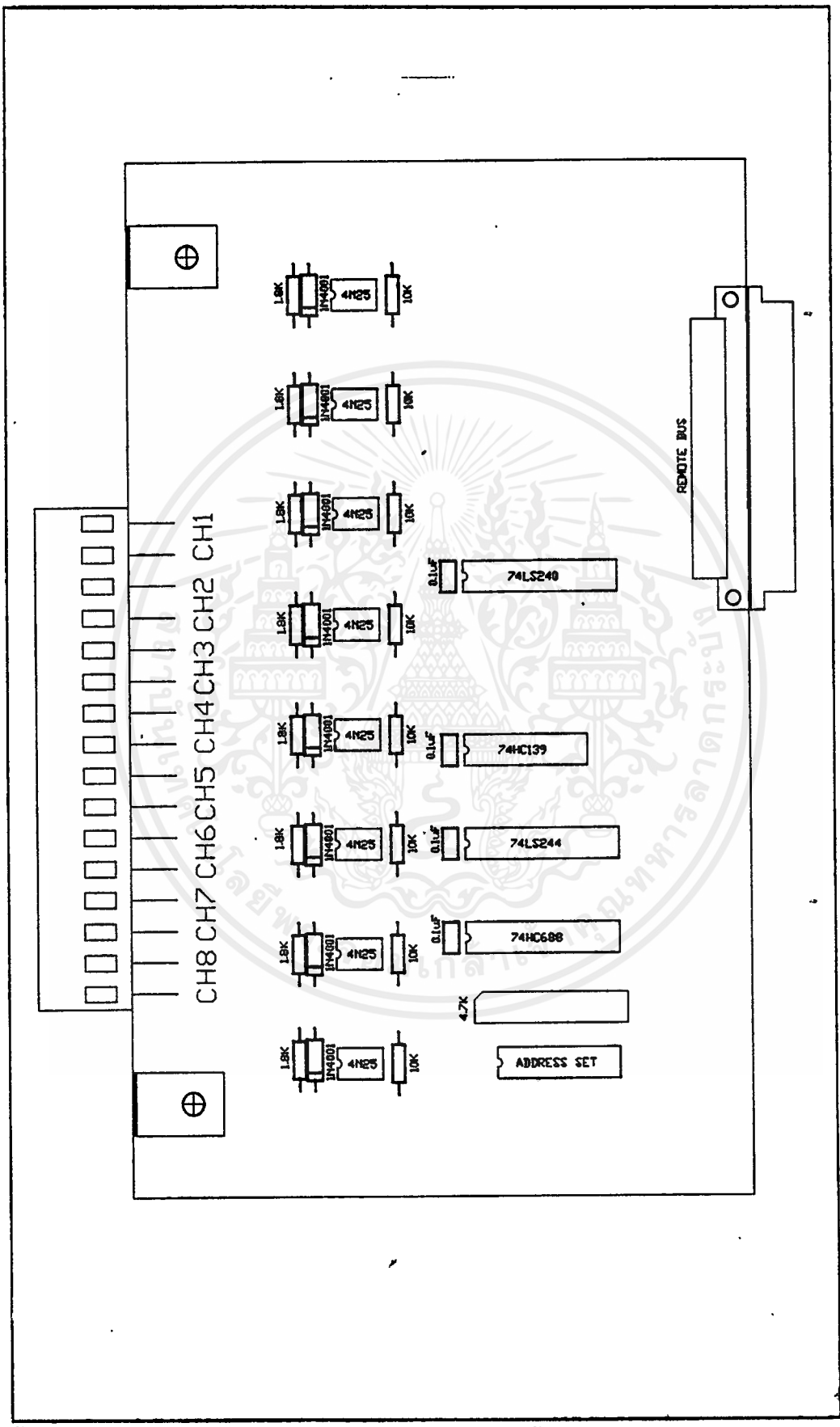
รูปที่ 3.13 แสดงวงจรจ่ายแรงดัน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



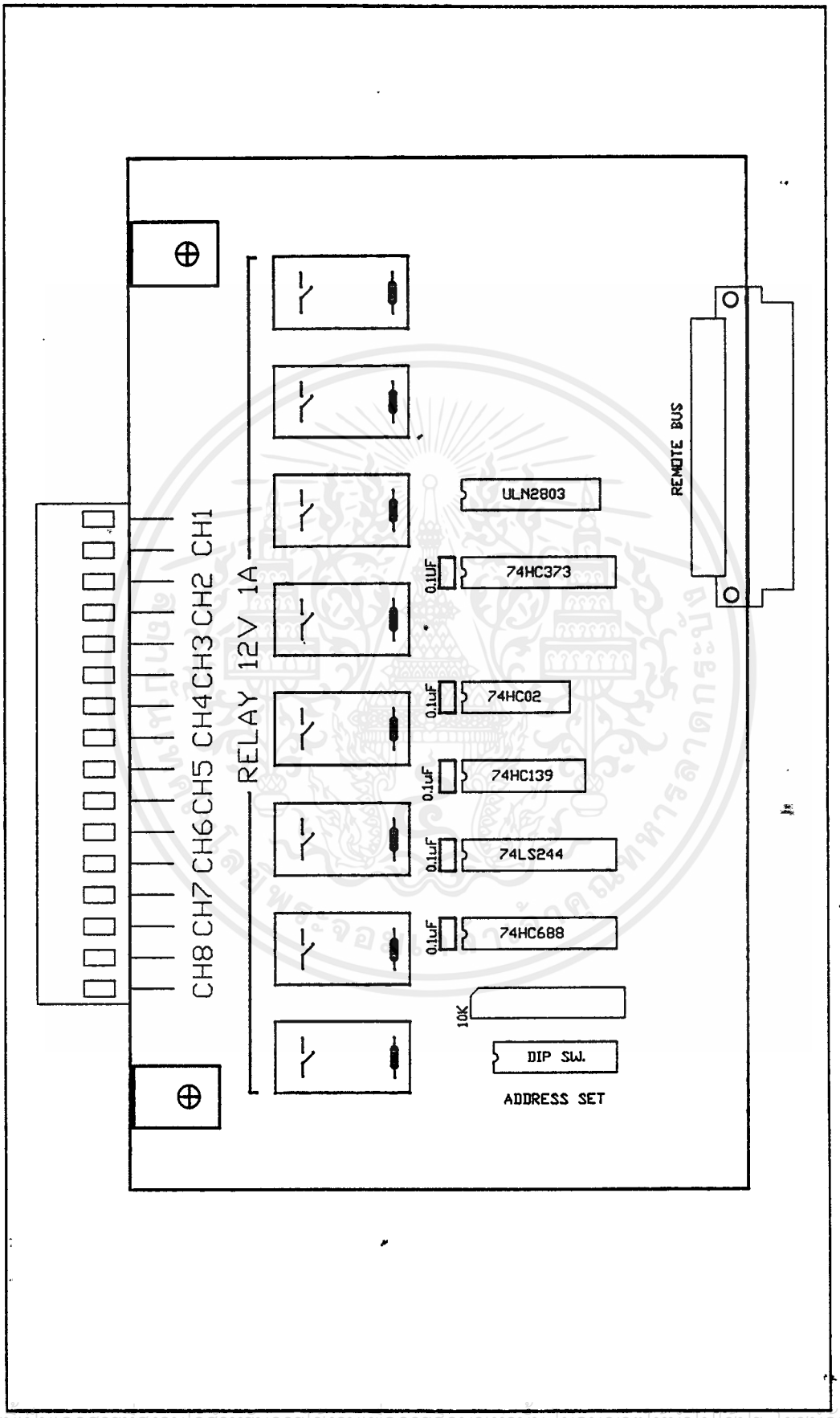
รูปที่ 3.14 แสดงการวางอุปกรณ์โมดูลรีพีทู

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



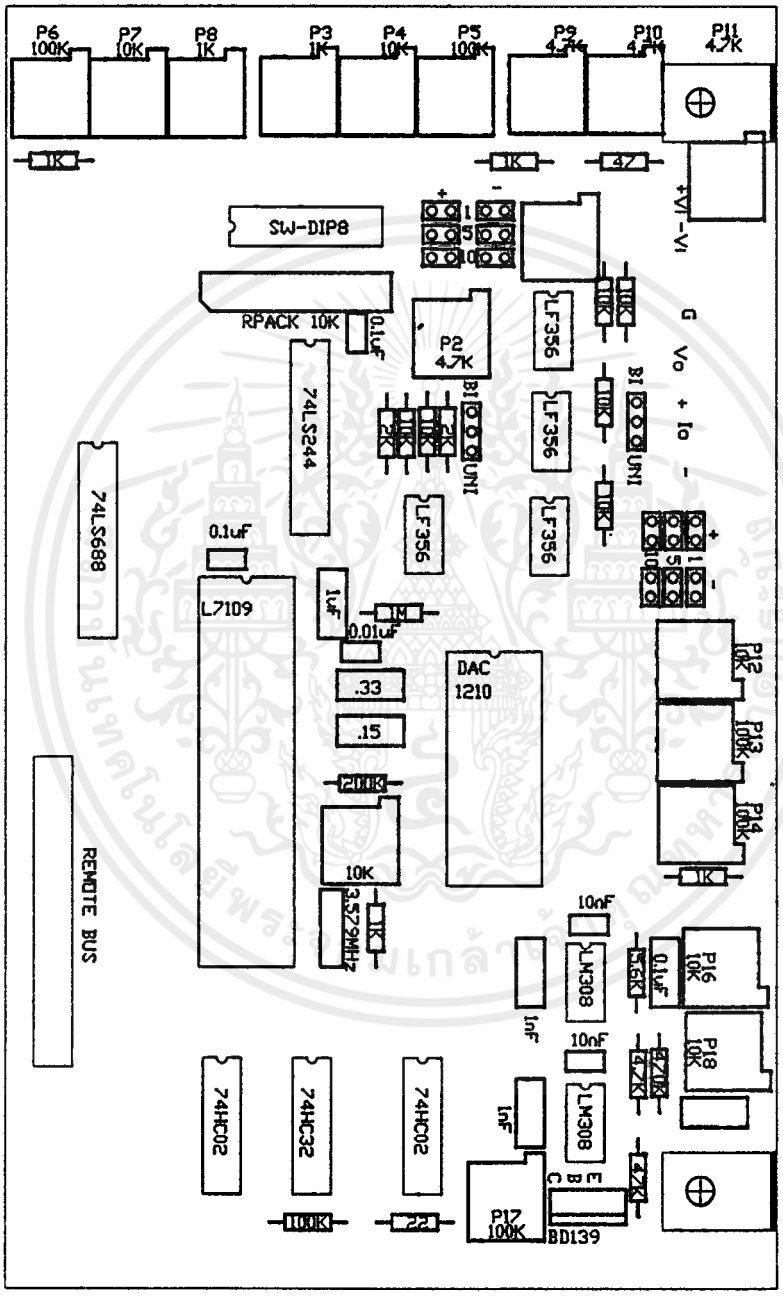
รูปที่ 3.15 แสดงการวางอุปกรณ์ในคลูอินพุทแบบดิจิ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.16 แสดงการวางอุปกรณ์ในคูเอาท์พุทแบบรีเลย์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.17 แสดงการวางอุปกรณ์ในคุลอะนาล็อก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 4

ฮาร์ดแวร์ของวงจรแปลง RS-232 เป็น RS-422

4.1 ระบบอินเตอร์เฟส RS-232

ผู้ที่กำหนดมาตรฐาน RS-232 ขึ้นเมื่อ 20ปีมาแล้วก็คือสถาบันแห่งหนึ่งในสหรัฐอเมริกาที่ชื่อว่า Electronics Industrials Association (EIA) โดยได้กำหนดมาตรฐานสำหรับการเชื่อมต่อคอมพิวเตอร์ (การอินเตอร์เฟส)ซึ่งมาตรฐานนี้เป็นที่ยอมรับและนิยมใช้อย่างแพร่หลายในปัจจุบัน

ระบบ RS-232 ได้มีการปรับปรุงแก้ไขในปี 2529 เป็น EIA 232-D1986 (RS-232D)มาตรฐานนี้จะใช้ขั้วต่อขนาด25ขาแบบ D(D-subminiature connector)สำหรับการส่งข้อมูลระหว่างระบบ (RS-232C ไม่ได้เจาะจงชนิดของคอนเน็กเตอร์ที่ใช้)

ในระบบนี้สัญญาณจะตรงกันข้ามกับความเป็นจริงคือ logic "สูง" มีระดับแรงดันเป็น -3 ถึง -25 volt แต่ส่วนใหญ่ใช้ -12 volt และ logic "ต่ำ" มีระดับแรงดันตั้วแต่ +3 ถึง +25 volt แต่ส่วนใหญ่ใช้ +12 volt

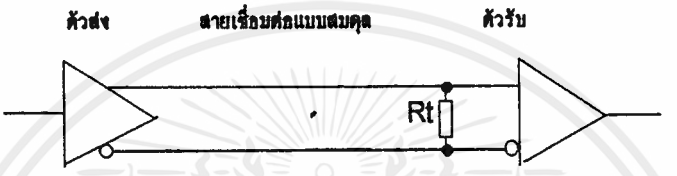
ระบบ RS-232 นี้มีความเร็วในการส่งข้อมูล 20,000 บิตต่อวินาที (20 kps)และระยะส่งไม่เกิน 50 ฟุต ตามคุณสมบัติ แต่สามารถส่งไกลกว่านี้ได้ โดยต้องคำนึงถึงค่าอิมพีแดนซ์ในสาย (Xc) ให้มีค่าน้อยที่สุดและข้อจำกัดดังกล่าวถ้าส่งไกลกว่า 50 ฟุต ทำให้ความเร็วในการส่งจะลดลงและมีสัญญาณรบกวนมากขึ้น เนื่องจากสายส่งสัญญาณเป็นแบบอ้างอิงกับกราวด์ไม่ใช่ระบบสมดุล(unbalance)

4.2 ระบบอินเตอร์เฟส RS-422

ทาง EIA ได้ออกแบบให้ RS-422 มีความสามารถในการส่งข้อมูลได้ไกล ๆคือส่งได้ไกลถึง 4,000 ฟุตและความเร็วในการส่งข้อมูลสูงสุดถึง 10 ล้านบิตต่อวินาที(10 Mbps)เหตุที่ความสามารถสูงเช่นนี้. เพราะใช้การแยกสายสัญญาณเป็น 2 เส้น ต่อ 1 สัญญาณ โดยไม่ใช้กราวด์ร่วม เรียกว่า เป็นระบบสมดุล (balance) อีกทั้งยังใช้ระดับสัญญาณที่ +5 volt จึงไม่จำเป็นต้องใช้แหล่งจ่ายไฟเพิ่มเติมเหมือน RS-232 ที่ความเร็ว 90kps ส่งได้ไกลเต็มที่ 4,000 ฟุต ความเร็ว 2Mbps ที่ระยะทาง 200 ฟุต และ ความเร็ว 10Mbps ที่ 35 ฟุต

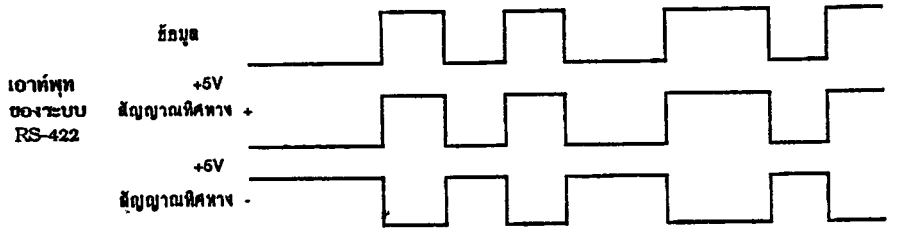
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ใน 1 เส้นสัญญาณ สายทั้ง 2 เส้น จะตีเกลียวไปด้วยกัน ทำให้อิมพีแดนซ์เท่ากันและกระแสในสายจะเท่ากัน แต่ทิศทางเป็นตรงข้าม สัญญาณรบกวนต่างๆ จะหักล้างกันหมด ส่วนสายกราวด์นั้นจะใช้เพียงการอ้างอิงระดับแรงดันเท่านั้นโดยไม่ได้ เป็นทางผ่านของสัญญาณแต่อย่างใด ลักษณะการเชื่อมต่อแบบนี้แสดงในรูปที่ 4.1



รูปที่ 4.1 แสดงการต่อแบบ RS-422

ในการส่งสัญญาณแบบนี้นั้น ขณะที่เส้นหนึ่งมีแรงดัน +5 volt อีกเส้นที่คู่กันจะเป็น 0 volt และในทางตรงข้าม เมื่อสายหนึ่งเป็น 0 volt อีกสายจะเป็น +5 volt ดังนั้นการสวิงแรงดันที่ปนรกฎระหว่าง 2 สาย จะมีค่าเป็น 10 volt ดังแสดงในรูปที่ 4.2 สัญญาณ RS-422 จะแบ่งเป็น 1 คู่สาย ต่อ 1 สัญญาณ เพื่อลดค่าอิมพีแดนซ์ในสาย ทำให้ผลของความไวต่อสัญญาณรบกวนมีน้อยมาก

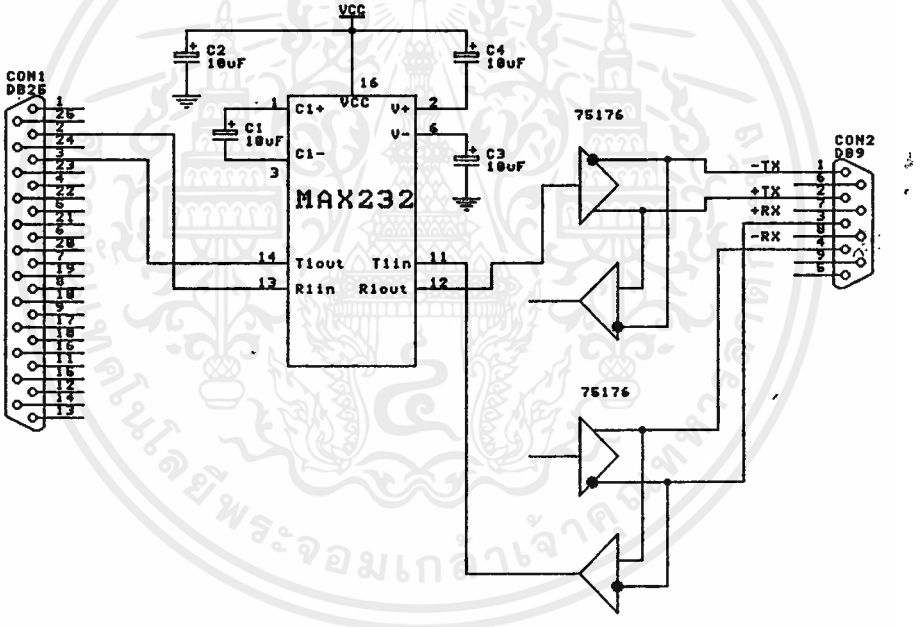


รูปที่ 4.2 แสดงสัญญาณแบบบาลานซ์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.3 หลักการทำงานของวงจรแปลงสัญญาณ RS-232 เป็น RS-422 ของโครงงานนี้

จากวงจรในรูปที่ 4.3 ประกอบไปด้วยส่วนแปลงสัญญาณ RS-232 โดยใช้ ไอซีเบอร์ MAX 232 ทำหน้าที่ลดระดับแรงดันของสัญญาณ RS-232 ให้อยู่ในช่วงระดับ ทีทีแอล (แรงดัน 0-5 โวลท์) จากนั้นสัญญาณระดับ ทีทีแอล จะเข้าไปยังส่วนของการแปลงเป็นสัญญาณแบบบาลานซ์ ซึ่งในส่วนนี้ใช้ไอซีเบอร์ 75176 โดยเป็นไอซีสำหรับใช้เฉพาะกับมาตรฐาน RS-422 ดังนั้นสัญญาณที่ออกมาจะมีจำนวน 4 เส้น คือ สัญญาณ -TX,+TX, -RX,และ+RX จะเห็นว่าสัญญาณ RXD ของ RS-232 กลายเป็นสัญญาณ -RX กับ +RX และสัญญาณ TXD กลายเป็นสัญญาณ -TX กับ +TX



รูปที่ 4.3 วงจรแปลงสัญญาณ RS-232 เป็น RS-422

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Asynchronous Adapter Connector:
Male 25-Pin D-Sub, cable requires female.

Pin	I/O	Description
1		NC (Shield Gnd. Other End)
2	>	TX (Transmit Data)
3	<	RX (Receive Data)
4	>	RTS (Request to Send)
5	<	CTS (Clear to Send)
6	<	DSR (Data Set Ready)
7		GND (Signal Ground)
8	<	DCD (Data Carrier Detect)
9	>	+Transmit Current Loop Data
10		NC
11	>	-Transmit Current Loop Data
12		NC
13		NC
14		NC
15		NC
16		NC
17		NC
18	<	+Receive Current Loop Data
19		NC
20	>	DTR (Data Terminal Ready)
21		NC
22	<	RI (Ring Indicator)
23		NC
24		NC
25	<	-Receive Current Loop Data

To wire a 25-pin connector to a 9-pin connector, use the following table:

DB9 Pin	DB25 Pin	Description
1	8	DCD (Data Carrier Detect)
2	3	RX (Receive Data)
3	2	TX (Transmit Data)
4	20	DTR (Data Terminal Ready)
5	7	GND (Signal Ground)
6	6	DSR (Data Set Ready)
7	4	RTS (Request To Send)
8	5	CTS (Clear To Send)
9	22	RI (Ring Indicator)

รูปที่ 4.4 แสดงขามาตรฐานของ RS-232

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 5

ความสามารถและการพัฒนาซอร์ฟแวร์ในระบบ

5.1 ความสามารถทางซอฟต์แวร์ของพีซีในระบบ

ความสามารถทางซอร์ฟแวร์ของพีซี คือ

1. สามารถแสดงผลข้อมูลภายในระบบได้อย่างมีประสิทธิภาพ มีความแน่นอนสูง
2. สามารถควบคุมสายการผลิตได้อย่างมีประสิทธิภาพ
3. มีการแยกจากกันกับระบบเมื่อเกิดความผิดพลาดที่ซอร์ฟแวร์ซึ่งจะไม่มีผลต่อระบบภายนอก เช่น รีโมทคอนโทรล

การทำงานของโปรแกรมนี้มีส่วนทำงานอยู่ 5 ส่วนใหญ่ๆ ด้วยกัน ได้แก่

- ส่วนรับค่าจากเมาส์ (Mouse)
- ส่วนรับค่าจากแป้นกด (Keyboard)
- ส่วนของระบบการนับ (Timer Counter)
- ส่วนการรับค่าจากพอร์ทอนุกรม (COM. Port)
- ส่วนการควบคุมและแสดงผล (Control & Monitoring) (*)

ซึ่งในแต่ละส่วนที่ได้กล่าวมาจะทำงานอิสระ กล่าวคือต่างส่วนต่างๆ ทำงานกันไปไม่ขึ้นต่อกัน

ส่วนรับจากเมาส์ (Mouse)

เนื่องจากต้องการความสะดวก, ความง่าย, และความรวดเร็วในการเลือกเมนูในการควบคุม ดังนั้นจึงได้ออกแบบให้โปรแกรมนี้สามารถใช้กับเมาส์ได้ และในการที่จะนำเมาส์มาร่วมกับโปรแกรม จำเป็นต้องมีการโหลดโปรแกรมไดรเวอร์เมาส์ซึ่งไดรเวอร์เมาส์ (Programdriver mouse) นี้ต้องเป็นไดรเวอร์ที่สามารถใช้กับจอแสดงผลของคอมพิวเตอร์ชนิดวีจีเอ(VGA)ได้ (โดยทั่วไปในปัจจุบันโปรแกรมไดรเวอร์เมาส์จะสามารถใช้กับจอชนิดนี้ได้) หลังจากที่ได้ทำการโหลดโปรแกรมไดรเวอร์เมาส์แล้ว จะทำให้การหาตรวจการกด และการการหาตำแหน่งของเมาส์ สามารถทำได้โดยการใช้การขัดจังหวะหมายเลข33 ฐาน16 (Interrupt 33H) ซึ่งการใช้การขัดจังหวะนี้จะทำทราบถึงการเปลี่ยนแปลงค่าต่างๆ ที่เกิดจากเมาส์ได้ทุกเวลาที่ต้องการทราบ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ส่วนรับค่าจากแป้นกด (Keyboard)

วิธีการรับค่าของแป้นกดนี้ จะมีการทำงานจะทำงานโดยการอาศัยการขัดจังหวะหมายเลข 16 ฐาน 16 (Interrupt 16H) กล่าวคือ การขัดจังหวะจะเกิดขึ้นก็ต่อ มื่อมีการกดแป้นกดเท่านั้น จึงให้การทำงานของโปรแกรมไม่เกิดการหยุดรอรับค่าแป้นกด เมื่อต้องการที่จะทราบค่าของแป้นกด

ส่วนของระบบการนับ (Timer Counter)

เนื่องจาก การทำงานของส่วนนี้จะอาศัยการขัดจังหวะหมายเลข 8 ฐาน 16 (Interrupt 16H) ซึ่งการขัดจังหวะหมายเลขนี้ จะทำงานโดยการอาศัยการกระตุ้น การทำงานจากภายในพีซี(Computer) เองซึ่งการกระตุ้นจะเกิดขึ้น 55 ครั้งต่อวินาที (55 mS) จึงทำให้สามารถนำไปใช้ในตรวจสอบการทำงานประเภทที่ต้องกำหนดเวลาใน การทำงาน เช่น เวลาที่ใช้การรอสัญญาณตอบรับต่างๆ เป็นต้น โดยที่การรอดังกล่าวไม่ ต้องหยุดรอ แต่เป็นการรอที่สามารถไปทำงานอย่างอื่นก่อนได้จนกว่าจะครบกำหนดเวลา

ส่วนการรับค่าจากพอร์ทอนุกรม (COM. Port)

เนื่องจากการโปรแกรมนี้มีการติดต่อกับพอร์ทอนุกรมตลอดเวลา และเวลาที่สัญญานตอบรับสัญญาณการติดต่อจากอุปกรณ์ภายนอกใช้เวลาพอสมควร ดังนั้นการติดต่อการรับ ค่าจากอุปกรณ์ภายนอก จึงจำเป็นต้องมีการใช้การทำงานลักษณะการขัดจังหวะใน การตอบรับสัญญาณ ซึ่งการขัดจังหวะที่ใช้จะเป็นการขัดจังหวะหมายเลข 12 ฐาน10 (Interrupt 0CH)ในกรณีที่ใช้พอร์ทอนุกรมหมานเลข 1 (COM 1) หรือ การขัดจังหวะ หมายเลข11ฐาน10 (Interrupt 0BH) ในกรณีที่ใช้พอร์ทอนุกรมหมานเลข 2(COM 2)

ส่วนการควบคุมและแสดงผล (Control & Monitoring)

ส่วนนี้เป็นส่วนหลักในการทำงานทั้งหมดของโปรแกรมนี้ กล่าวคือ ในส่วนนี้จะทำการอ่านข้อมูลจากอุปกรณ์ภายนอก(Remote unit) และภายใน(เลือกจากเมนูของโปร แกรม) แล้วนำมาประมวลผลไปในการควบคุม,แสดงผลและจัดเก็บข้อมูล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5.2 <u>โปรแกรมที่ใช้ในระบบ</u>

โปรแกรมนี้เป็นโปรแกรมควบคุมที่สร้างเพื่อให้ใช้งานกับชุดฮาร์ดแวร์ (REMOTE 4 WILE) ของโครงงานนี้โดยสามารถนำไปใช้งาน และเปลี่ยนรูปแบบในการควบคุมได้ตามต้องการตามความเหมาะสม

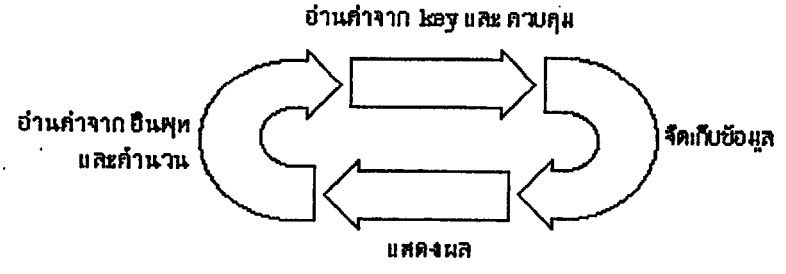
<u>สิ่งที่โปรแกรมต้องการในระบบ</u>

1	เครื่องคอมพิวเตอร์	IBM AT 286/386/486 หรือ COMPATIBLES
2	จอภาพ	VGA
3	เมาส์	PC หรือ MS mouse
4	การสื่อสารข้อมูล	ใช้การสื่อสารข้อมูลแบบอนุกรม
5	สามารถใช้พอร์ตอนุกรมที่	COM1,COM2,COM3,COM4
6	อัตราการส่งข้อมูลที่	4800 บิตต่อวินาที

<u>คุณสมบัติของโปรแกรม</u>

1 **ทางด้านการจัดเก็บข้อมูล** โปรแกรมทำการจัดเก็บข้อมูล เมื่อสัญญาณอินพุทและเอาท์พุทถูกเรียกใช้ โดยที่โปรแกรมจะค้นหาข้อมูลเอง จากการทำงานที่สร้างให้กับระบบควบคุม

2 **ทางด้านการประมวลผล** การแสดงผลจะแสดงส่วนที่ถูกสั่งให้เปลี่ยนแปลงการผล เมื่อทุกรอบของการควบคุม และค่าที่ไม่ตรงกับค่าที่แสดงผลบนหน้าจอเท่านั้น ถ้าลดเวลาในการแสดงผลให้ลดลง



รูปที่ 5.1 แสดงการควบคุมของโปรแกรม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3 ทางด้านการติดต่ออินพุทและเอาท์พุท เมื่อมีการสั่งให้โปรแกรมติดต่อกับอุปกรณ์อินพุทและเอาท์พุท หากเกิดการขัดข้องในการติดต่อ(ขัดข้องทางด้านการสื่อสารหรือกรณีที่ไม่สามารถติดต่อกับรีโมตได้) โปรแกรมจะทำการติดต่อใหม่จนครบ 3 ครั้ง โดยแต่ละครั้งที่ติดต่อใช้เวลาไม่เกิน 110 มิลลิวินาที

4 ทางด้านตารางการทำงาน ตารางการทำงานผู้ใช้สามารถเขียนขึ้นมาเองได้ เนื่องจากการทำรูปแบบของข้อมูลนี้เป็นแบบอักขระ โดยตารางการทำงานแบ่งได้ 2 ส่วนดังนี้

1 ส่วนกำหนดตำแหน่งแอดเดรสของตัวแปร

2 ส่วนกำหนดหน้าที่ของตัวแปร

จะเห็นได้ว่าตารางการทำงานจะประกอบด้วย ตัวแปร, ตำแหน่ง และเครื่องหมายที่ใช้ในการคำนวณ

<u>ตัวแปร</u> จะประกอบด้วยตัวแปรแบบอนาลอก 16 ตัว คือ A0 ถึง A15 และตัวแปรแบบดิจิตอล 16 ตัว คือ D0 ถึง D15

<u>ตำแหน่ง</u> จะประกอบไปด้วยตัวเลข 7 หลักโดย 3 หลักแรก(นับทางด้านซ้าย) เป็นตัวบอกหมายเลขรีโมต ซึ่งมีค่าตั้งแต่ 000 ถึง 255 และ 4 หลักถัดไปจะบอกประเภทของข้อมูล ซึ่งมีค่าตั้งแต่ 0000-1023 โดยที่

0000-0255 เป็นประเภทอนาลอกอินพุท

0256-0511 เป็นประเภทดิจิตอลอินพุท

0512-0767 เป็นประเภทอนาลอกเอาท์พุท

0768-1023 เป็นประเภทดิจิตอลเอาท์พุท

<u>เครื่องหมายที่ใช้ในการคำนวณ</u> มีอยู่ 3 ลักษณะได้แก่

1 กระทำทางอนาลอก ได้แก่ +,-,*,/

2 กระทำทางลอจิก ได้แก่ >,<,>=,<=,=

3 กระทำการผ่านค่า ได้แก่ : เช่น A1:A0 เป็นการผ่านค่าจาก A0 ไปให้ A1

ตัวอย่างการเขียนตารางการทำงาน

[A1,0000120]

[A0,0000769]

A0:A1*2

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ใช้งานโปรแกรมนี้ได้อย่างไร

ก่อนอื่นเราต้องทราบก่อนว่าโปรแกรมนี้จะเรียกใช้อย่างไร การเรียกใช้โปรแกรมก็ทำได้โดย เรียกโปรแกรมชื่อ "PROJECT.EXE"

เนื่องจากโปรแกรมนี้ ต้องใช้เมาส์ ดังนั้นก่อนเรียกโปรแกรมนี้ ต้องเรียกไดรเวอร์เมาส์เสียก่อน ซึ่งไดรเวอร์ของเมาส์นี้ โดยปกติจะมีมาให้กับเมาส์แต่ละตัวอยู่แล้วเมื่อซื้อเมาส์มา และเนื่องจากเมาส์ติดต่อกับเครื่องคอมพิวเตอร์ทางพอร์ทอนุกรมด้วย ดังนั้นเมื่อมีการเรียกใช้โปรแกรมต้องหลีกเลี่ยงการใช้พอร์ทอนุกรมไม่ให้ตรงกับที่เมาส์ใช้

ตัวอย่างการเรียกใช้โปรแกรม

```
...>PROJECT 1 FILENAME.DAT
           |  |
           |  |___ ชื่อไฟล์ตารางการทำงาน
           |
           |______ หมายเลขพอร์ทอนุกรมที่ใช้ในการสื่อสารข้อมูล
                  ปกติจะตั้งไว้ที่ "1" ถ้าหากไม่มีการใส่ค่านี้เอาไว้
```

เมื่อเข้าไปในโปรแกรมแล้ว หากยังไม่ได้ทำการโหลดตารางการทำงานก็สามารถโหลดได้จากภายในโปรแกรมนี้

ในขณะที่โปรแกรมกำลังทำงานและมีความจำเป็นต้องใช้หน่วยความจำมากเกินกว่าหน่วยวามจำที่ว่าง ในขณะนั้น โปรแกรมก็จะหันไปใช้พื้นที่บนดิสต์แทน

ในการโหลดตารางการทำงาน และการใช้พื้นที่บนดิสต์แทนหน่วยความจำ เราสามารถที่จะกำหนดไดเร็คตอรี่ที่อยู่ของข้อมูลเหล่านี้ได้โดย

SET PRODATA=*PART_NAME*

สำหรับเซ็ตไดเร็คตอรี่ของแฟ้มข้อมูลตารางการทำงาน

SET PROTEMP=*PART_NAME*

สำหรับเซ็ตไดเร็คตอรี่ของพื้นที่ดิสต์ที่แทนหน่วยความจำ

* ถ้าหากไม่มีการเซ็ตดังกล่าวถือว่า จะใช้ไดเร็คตอรี่ปัจจุบัน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5.3 ความสามารถทางซอร์ฟแวร์ของรีโมทในระบบ

ความสามารถทางซอร์ฟแวร์ของรีโมท ประกอบด้วยดังนี้

1. มีความรวดเร็วในการทำงานสูงพอเหมาะกับงานควบคุมสายการผลิต
2. มีความฉลาดในการทำงานแบบเครื่องเดียว (Stand alone)
3. เมื่อเกิดความผิดจะไม่มีผลต่อระบบทั้งหมด

การทำงานของโปรแกรมควบคุมรีโมท (Monitor program) แบ่งออกเป็น 3 ส่วนคือ

- ส่วนติดต่อกับการสื่อสารอนุกรม (Communication function)
- ส่วนทำงานตามโปรแกรมที่ผู้ใช้เขียนขึ้น (Run programmimg function)
- ส่วนรักษาความปลอดภัยให้รีโมท (Security function)

ส่วนติดต่อกับการสื่อสารอนุกรม

ทำหน้าที่รับหรือส่งข้อมูลจากงานสายการผลิต มาแปลงเป็นรูปแบบเพื่อให้ส่งออกไปภายนอกโดยผ่านการสื่อสารอนุกรม ซึ่งตรงส่วนนี้เป็นหัวใจหลักของโครงงานนี้เพราะเนื่องจากเหมือนเป็นตัวนำพาเอาข่าวสารจากที่หนึ่งไปยังอีกที่หนึ่งซึ่งมีระยะห่างไกลกัน

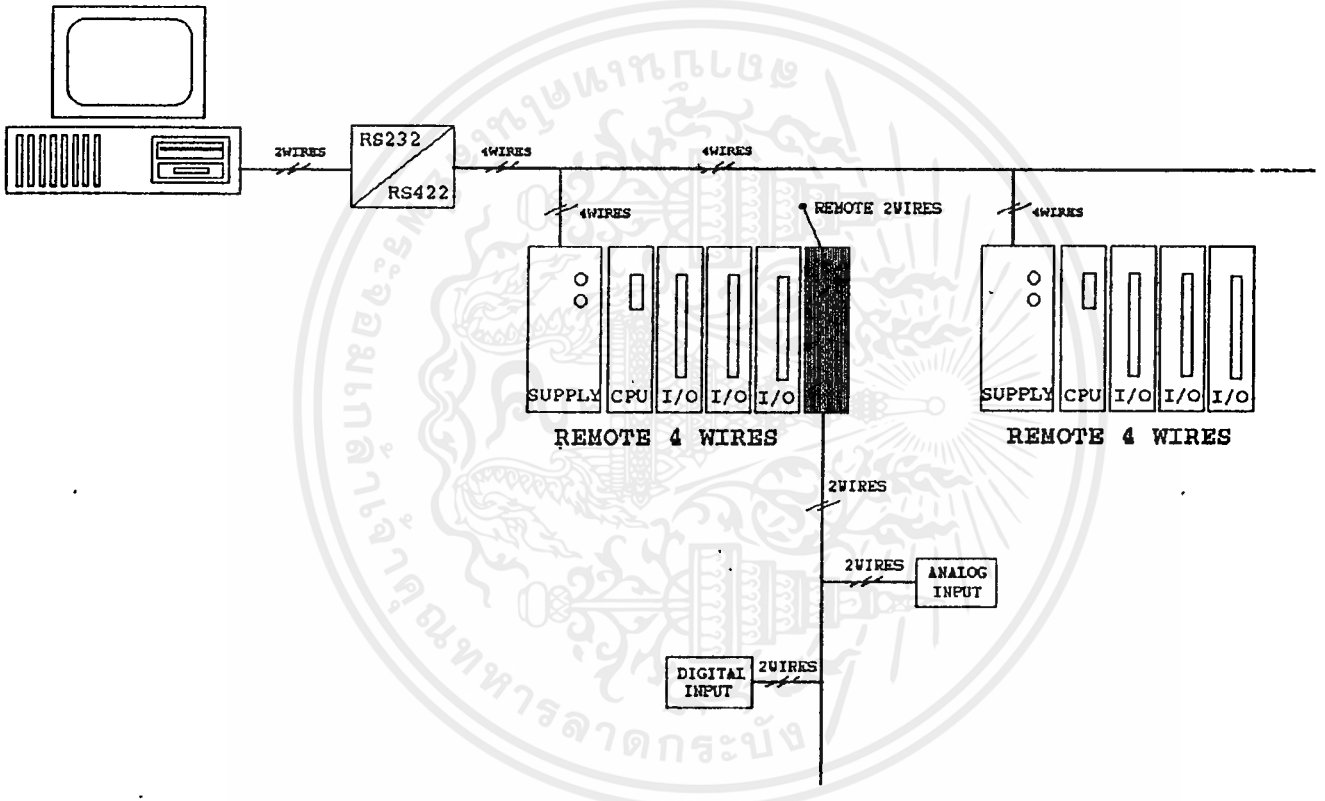
ส่วนทำงานตามโปรแกรมที่ผู้ใช้เขียนขึ้น

ทำหน้าที่นำโปรแกรมที่ผู้ใช้เขียนขึ้นมาถอดรหัสและทำตามแต่ละคำสั่งซึ่งโปรแกรมจะอยู่ในรูปคำสั่งที่ใช้ควบคุมเครื่องพีแอลซี (PLC) และมีความสามารถมากกว่าของพีแอลซี (PLC) ในเชิงของการประยุกต์การควบคุมสายการผลิต เพราะเนื่องจากมีความยืดหยุ่น ของตัวโปรแกรมเองอันเนื่องจากสร้างขึ้นและพัฒนาด้วยภาษาซีนั่นเอง

ส่วนรักษาความปลอดภัยให้รีโมท

ทำหน้าที่เตือนให้ซีพียูในรีโมทให้รู้ในกรณีเกิดเหตุการณ์ที่มีผลเสียต่อซีพียูได้ เช่น เกิดแรงดันมีระดับต่ำกว่าที่รีโมททำงานได้ ส่วนนี้ทำหน้าที่ให้ซีพียูรีบไปสำรองข้อมูลลงหน่วยความจำแรม และเข้าสู่สภาวะหยุดทำงานก่อนแรงดันตกถึงจุดอันตราย นอกจากนี้ส่วนรักษาความปลอดภัยยังมีระบบป้องกัน ความผิดพลาดเมื่อมีสัญญาณรบกวนเข้ามา อาจจะทำให้เกิดโปรแกรมควบคุมทำงาน ผิดพลาดได้ ส่วนรักษาความปลอดภัยจะแก้ข้อผิดพลาดนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 5.1 แสดงโครงสร้างลักษณะที่จะพัฒนาในอนาค

กิตติกรรมประกาศ

ในการทำโปรเจคต์ "ระบบการจัดเก็บข้อมูลและควบคุมด้วยการสื่อสารแบบอนุกรม" (Data Acquisition and Control with Serial Communications) นี้ได้รับคำปรึกษาและคำแนะนำจากบุคคลต่าง ๆ ดังนี้

ดร.ฟูศักดิ์ ชีวสุวิทย์ อาจารย์ภาควัดคุมฯ
สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

คุณ ปริญญา พัฒนชีวกุลบุตร ผู้จัดการฝ่ายโปรเจคต์ บ.โกลด์เด้นเอเชียติค จำกัด

คุณ วรนันท์ อินทรมงคล วิศวกรโครงงาน บ.โกลด์เด้นเอเชียติค จำกัด

คุณ ชีรบูลย์ หล่อวิเชียรรุ่ง วิศวกรประยุกต์ บ. คอมเพล็กซ์ เทคโนโลยี จำกัด

ทางคณะผู้จัดทำรู้สึกทราบซึ้งในความกรุณาที่ทำให้โปรเจคต์ชิ้นนี้สำเร็จลงด้วยดี จึงขอขอบคุณมา ณ โอกาสนี้

ขอขอบคุณ บ.โกลด์เด้นเอเชียติค จำกัด ที่เอื้อเฟื้อสถานที่ และเครื่องคอมพิวเตอร์ ที่ใช้ในการทดลอง

คณะผู้จัดทำ

17 มี.ค. 2536

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MAXIM

Microprocessor Supervisory Circuits

General Description

The MAX690 Family of supervisory circuits reduce the complexity and number of components required for power supply monitoring and battery control functions in microprocessor systems. These include μP reset and backup-battery switchover, watchdog timer, CMOS RAM write protection, and power-failure warning. The MAX690 Family significantly improves system reliability and accuracy compared to that obtainable with separate ICs or discrete components.

The MAX690, MAX692 and MAX694 are supplied in 8-pin packages and provide four functions:

1) A Reset output during power-up, power-down and brownout conditions.
2) Battery backup switching for CMOS RAM, CMOS microprocessor or other low power logic.
3) A Reset pulse if the optional watchdog timer has not been toggled within a specified time.
4) A 1.3V threshold detector for power fail warning, low battery detection, or to monitor a power supply other than +5V.

The MAX691, MAX693 and MAX695 are supplied in 16-pin packages and perform all MAX690/692/694 functions, plus:

1) Write protection of CMOS RAM or EEPROM.
2) Adjustable reset and watchdog timeout periods.
3) Separate outputs for indicating a watchdog timeout, backup-battery switchover, and low Vcc.

Applications

Computers
Controllers
Intelligent Instruments
Automotive Systems
Critical μP Power Monitoring

Features

- ◆ Precision Voltage Monitor
  4.65V in MAX690, MAX691, MAX694 and MAX695
  4.40V in MAX692 and MAX693
- ◆ Power OK/Reset Time Delay – 50, 200ms, or adjustable
- ◆ Watchdog Timer – 100ms, 1.6 sec, or adjustable
- ◆ Minimum Component Count
- ◆ 1μA Standby Current
- ◆ Battery Backup Power Switching
- ◆ Onboard Gating of Chip Enable Signals
- ◆ Voltage Monitor for Power Fail or Low Battery Warning

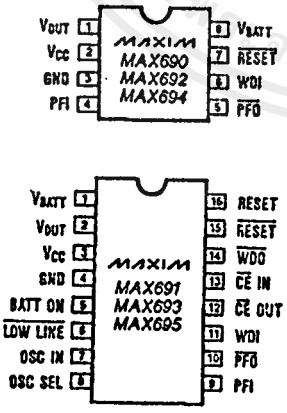
Ordering Information

PART	TEMP. RANGE	PACKAGE
MAX690CPA	0°C to +70°C	8 Lead Plastic DIP
MAX690EPA	–40°C to +85°C	8 Lead Plastic DIP
MAX690EJA	–40°C to +85°C	8 Lead CERDIP
MAX690MJA	–55°C to +125°C	8 Lead CERDIP
MAX691C/D	0°C to +70°C	Dice
MAX691CPE	0°C to +70°C	16 Lead Plastic DIP
MAX691CWE	0°C to +70°C	16 Lead Wide SO
MAX691EPE	–40°C to +85°C	16 Lead Plastic DIP
MAX691EJE	–40°C to +85°C	16 Lead CERDIP
MAX691EWE	–40°C to +85°C	16 Lead Wide SO
MAX691MJE	–55°C to +125°C	16 Lead CERDIP

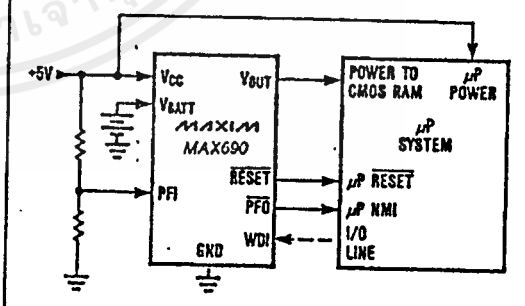
(Ordering Information is continued on last page.)

Pin Configuration

Top View



Typical Operating Circuit



MAX690 Typical Application

MAXIM is a registered trademark of Maxim Integrated Products.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Microprocessor Supervisory Circuits

ABSOLUTE MAXIMUM RATINGS

Terminal Voltage (with respect to GND)
- V_{CC} ..... −0.3V to 6.0V
- V_{BATT} ..... −0.3V to 6.0V
- All Other Inputs (Note 1) .. −0.3V to (V_{OUT} +0.5V)

Input Current
- V_{CC} 200mA
- V_{BATT} 50mA
- GND 20mA

Output Current
- V_{OUT} ..... short circuit protected
- All Other Outputs 20mA

Rate-of-Rise, V_{BATT}, V_{CC} 100V/μs

Operating Temperature Range
- C suffix ..... 0°C to +70°C
- E suffix ..... −40°C to +85°C
- M suffix ..... −55°C to +125°C

Power Dissipation
- 8 Pin Plastic DIP (Derate 5mW/°C above +70°C) 400mW
- 8 Pin CERDIP (Derate 8mW/°C above +85°C) 500mW
- 16 Pin Plastic DIP (Derate 7mW/°C above +70°C) 600mW
- 16 Pin Small Outline (Derate 7mW/°C above +70°C) 600mW
- 16 Pin CERDIP (Derate 10mW/°C above +85°C) 600mW

Storage Temperature Range ..... −65°C to +160°C

Lead Temperature (Soldering, 10 seconds) .... 300°C

Stresses above those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions above those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum ratings conditions for extended periods may affect device reliability.

ELECTRICAL CHARACTERISTICS

(V_{CC} = full operating range, V_{BATT} = 2.8V, T_A = 25°C, unless otherwise noted.)

PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
BATTERY BACKUP SWITCHING					
Operating Voltage Range MAX690, MAX691, MAX694, MAX695 V_{CC} MAX690, MAX691, MAX694, MAX695 V_{BATT} MAX692, MAX693 V_{CC} MAX692, MAX693 V_{BATT}		 4.75 2.0 4.5 2.0		 5.5 4.25 5.5 4.0	V
V_{OUT} Output Voltage	I_{OUT} = 1mA I_{OUT} = 50mA	V_{CC}−0.3 V_{CC}−0.5	V_{CC}−0.1 V_{CC}−0.25		V
V_{OUT} in Battery Backup Mode	I_{OUT} = 250μA, V_{CC} < V_{BATT}−0.2V	V_{BATT}−0.1	V_{BATT}−0.02		V
Supply Current (excludes I_{OUT})	I_{OUT} = 1mA I_{OUT} = 50mA		2 3.5	5 10	mA
Supply Current in Battery Backup Mode	V_{CC} = 0V, V_{BATT} = 2.8V		0.6	1	μA
Battery Standby Current (+ = Discharge, − = Charge)	5.5V > V_{CC} > V_{BATT}+0.2V T_A = 25°C T_A = Full Operating Range	 −0.1 −1.0		 +0.02 +0.02	μA
Battery Switchover Threshold V_{CC} − V_{BATT}	Power Up Power Down		70 50		mV
Battery Switchover Hysteresis			20		mV
BATT ON Output Voltage	I_{SINK} = 3.2mA			0.4	V
BATT ON Output Short Circuit Current	BATT ON = V_{OUT} = 4.5V Sink Current BATT ON = 0V Source Current	 0.5	25 1	 25	mA μA
RESET AND WATCHDOG TIMER					
Reset Voltage Threshold	T_A = Full Operating Range MAX690, MAX691, MAX694, MAX695 MAX692, MAX693	 4.5 4.25	 4.65 4.4	 4.75 4.5	 V V

Note 1: The input voltage limits on PFI and WDI may be exceeded provided the input current is limited to less than 10mA.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ELECTRICAL CHARACTERISTICS (continued)

(V_{CC} = full operating range, V_{BATT} = 2.8V, T_A = 25°C, unless otherwise noted.)

PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
Reset Threshold Hysteresis			40		mV
Reset Timeout Delay (MAX690/91/92/93)	Figure 6. OSC SEL HIGH, V_{CC} = 5V	35	50	70	ms
Reset Timeout Delay (MAX694/95)	Figure 6. OSC SEL HIGH, V_{CC} = 5V	140	200	280	ms
Watchdog Timeout Period, Internal Oscillator	Long Period, V_{CC} = 5V Short Period, V_{CC} = 5V	1.0 70	1.6 100	2.25 140	sec ms
Watchdog Timeout Period, External Clock	Long Period Short Period	3840 768		4097 1025	Clock Cycles
Minimum WDI Input Pulse Width	V_{IL} = 0.4, V_{IH} = 3.5V	200			ns
$\overline{RESET}$ and $\overline{LOW\ LINE}$ Output Voltage	I_{SINK} = 1.6mA, V_{CC} = 4.25V I_{SOURCE} = 1µA, V_{CC} = 5V	3.5		0.4	V
RESET and $\overline{WDO}$ Output Voltage	I_{SINK} = 1.6mA I_{SOURCE} = 1µA, V_{CC} = 5V	3.5		0.4	V
Output Short Circuit Current	$\overline{RESET}$, RESET, $\overline{WDO}$, $\overline{LOW\ LINE}$	1	3	25	µA
WDI Input Threshold Logic Low Logic High	V_{CC} = 5V (Note 2)	 3.5		0.8	V
WDI Input current	WDI = V_{OUT} WDI = 0V	 −50	20 −15	50	µA
POWER FAIL DETECTOR					
PFI Input Threshold	V_{CC} = 5V, T_A = Full	1.2	1.3	1.4	V
PFI Input Current			±0.01	±25	nA
$\overline{PFO}$ Output Voltage	I_{SINK} = 3.2mA I_{SOURCE} = 1µA	 3.5		0.4	V V
$\overline{PFO}$ Short Circuit Source Current	PFI = 0V, $\overline{PFO}$ = 0V	1	3	25	µA
CHIP ENABLE GATING					
$\overline{CE}$ IN Thresholds	V_{IL} V_{IH}	 3.0		0.8	V
$\overline{CE}$ IN Pullup Current			3		µA
$\overline{CE}$ OUT Output Voltage	I_{SINK} = 3.2mA I_{SOURCE} = 3.0mA I_{SOURCE} = 1µA, V_{CC} = 0V	 V_{OUT}−1.5 V_{OUT}−0.05		0.4	V
$\overline{CE}$ Propagation Delay	V_{CC} = 5V		50	200	ns
OSCILLATOR					
OSC IN Input Current			±2		µA
OSC SEL Input Pullup Current			5		µA
OSC IN Frequency Range	OSC SEL = 0V	0		250	kHz
OSC IN Frequency with External Capacitor	OSC SEL = 0V C_{OSC} = 47pF		4		kHz

Note 1: The input voltage limits on PFI and WDI may be exceeded provided the input current is limited to less than 10mA.

Note 2: WDI is guaranteed to be in the mid-level (inactive) state if WDI is floating and V_{CC} is in the operating voltage range. WDI is internally bi to 38% of V_{CC} with an impedance of approximately 125 kilohms.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Microprocessor Supervisory Circuits

Pin Description

NAME	PIN		FUNCTION
	MAX690/ 692/694	MAX691/ 693/695	
V_{CC}	2	3	The +5V input.
V_{BATT}	8	1	Backup battery input. Connect to Ground if a backup battery is not used.
V_{OUT}	1	2	The higher of V_{CC} or V_{BATT} is internally switched to V_{OUT}. Connect V_{OUT} to V_{CC} if V_{OUT} and V_{BATT} are not used.
GND	3	4	0V Ground reference for all signals.
$\overline{RESET}$	7	15	$\overline{RESET}$ goes low whenever V_{CC} falls below either the reset voltage threshold or the V_{BATT} input voltage. The reset threshold is typically 4.65V for the MAX690/ 691/694/695, and 4.4V for the MAX692 and MAX693. $\overline{RESET}$ remains low for 50ms after V_{CC} returns to 5V, (except 200ms in MAX694/695). $\overline{RESET}$ also goes low for 50ms if the Watchdog Timer is enabled but not serviced within its timeout period. The $\overline{RESET}$ pulse width can be adjusted as shown in Table 1.
WDI	6	11	The watchdog input, WDI, is a three level input. If WDI remains either high or low for longer than the watchdog timeout period, $\overline{RESET}$ pulses low and $\overline{WDO}$ goes low. The Watchdog Timer is disabled when WDI is left floating or is driven to mid-supply. The timer resets with each transition at the Watchdog Timer Input.
PFI	4	9	PFI is the non-inverting input to the Power Fail Comparator. When PFI is less than 1.3V, $\overline{PFO}$ goes low. Connect PFI to GND or V_{OUT} when not used. See Figure 1.
$\overline{PFO}$	5	10	$\overline{PFO}$ is the output of the Power Fail Comparator. It goes low when PFI is less than 1.3V. The comparator is turned off and $\overline{PFO}$ goes low when V_{CC} is below V_{BATT}.
$\overline{CE}$ IN	—	13	The input to the $\overline{CE}$ gating circuit. Connect to GND or V_{OUT} if not used.
$\overline{CE}$ OUT	—	12	$\overline{CE}$ OUT goes low only when $\overline{CE}$ IN is low and V_{CC} is above the reset threshold (4.65V for MAX691 and MAX695, 4.4V for MAX693). See Figure 6.
BATT ON	—	5	BATT ON goes high when V_{OUT} is internally switched to the V_{BATT} input. It goes low when V_{OUT} is internally switched to V_{CC}. The output typically sinks 25mA and can directly drive the base of an external PNP transistor to increase the output current above the 50mA rating of V_{OUT}.
$\overline{LOW\ LINE}$	—	6	$\overline{LOW\ LINE}$ goes low when V_{CC} falls below the reset threshold. It returns high as soon as V_{CC} rises above the reset threshold. See Figure 6, Reset Timing.
RESET	—	16	RESET is an active high output. It is the inverse of $\overline{RESET}$.
OSC SEL	—	8	When OSC SEL is unconnected or driven high, the internal oscillator sets the reset time delay and watchdog timeout period. When OSC SEL is low, the external oscillator input, OSC IN, is enabled. OSC SEL has a 3μA internal pullup. See Table 1.
OSC IN	—	7	When OSC SEL is low, OSC IN can be driven by an external clock to adjust both the reset delay and the watchdog timeout period. The timing can also be adjusted by connecting an external capacitor to this pin. See Figure 8. When OSC SEL is high or floating, OSC IN selects between fast and slow Watchdog timeout periods.
$\overline{WDO}$	—	14	The Watchdog Output, $\overline{WDO}$, goes low if WDI remains either high or low for longer than the Watchdog timeout period. $\overline{WDO}$ is set high by the next transition at WDI. If WDI is unconnected or at mid-supply, $\overline{WDO}$ remains high. $\overline{WDO}$ also goes high when $\overline{LOW\ LINE}$ goes low.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Applications

MAX691, MAX693 and MAX695

A typical connection for the MAX691/693/695 is shown in Figure 1. CMOS RAM is powered from V_{OUT}. V_{OUT} is internally connected to V_{CC} when 5V power is present, or to V_{BATT} when V_{CC} is less than the battery voltage. V_{OUT} can supply 50mA from V_{CC}, but if more current is required, an external PNP transistor can be added. When V_{CC} is higher than V_{BATT}, the BATT ON output goes low, providing 25mA of base drive for the external transistor. When V_{CC} is lower than V_{BATT}, an internal 200Ω MOSFET connects the backup battery to V_{OUT}. The quiescent current in the battery backup mode is 1μA maximum when V_{CC} is between 0V and V_{BATT}-700mV.

Reset Output

A voltage detector monitors V_{CC} and generates a RESET output to hold the microprocessor's Reset line low when V_{CC} is below 4.65V (4.4V for MAX693). An internal monostable holds RESET low for 50ms* after V_{CC} rises above 4.65V (4.4V for MAX693). This prevents repeated toggling of RESET even if the 5V power drops out and recovers with each power line cycle.

The crystal oscillator normally used to generate the clock for microprocessors takes several milliseconds to start. Since most microprocessors need several clock cycles to reset, RESET must be held low until the microprocessor clock oscillator has started. The MAX690 Family power-up RESET pulse lasts 50ms* to allow for this oscillator start-up time. The manual reset switch and the 0.1μF capacitor connected to the reset bus can be omitted if manual reset is not needed. An inverted, active high, RESET output is also supplied.

Power Fail Detector

The MAX691/93/95 issues a non-maskable interrupt (NMI) to the microprocessor when a power failure occurs. The +5V power line is monitored via two external resistors connected to the Power Fail Input (PFI). When the voltage at PFI falls below 1.3V, the Power Fail Output (PFO) drives the processor's NMI input low. If a Power Fail threshold of 4.8V is chosen, the microprocessor will have the time when V_{CC} falls from 4.8V to 4.65V to save data into RAM. An earlier power fail warning can be generated if the unregulated DC input of the 5V regulator is available for monitoring.

RAM Write Protection

The MAX691/93/95 $\overline{CE}$ OUT line drives the Chip Select inputs of the CMOS RAM. CE OUT follows CE IN as long as V_{CC} is above the 4.65V (4.4V for MAX693) reset threshold. If V_{CC} falls below the reset threshold, CE OUT goes high, independent of the logic level at CE IN. This prevents the microprocessor from writing erroneous data into RAM during power-up, power-down brownouts, and momentary power interruptions. The LOW LINE output goes low when V_{CC} falls below 4.65V (4.4V for MAX693).

*200ms for MAX695

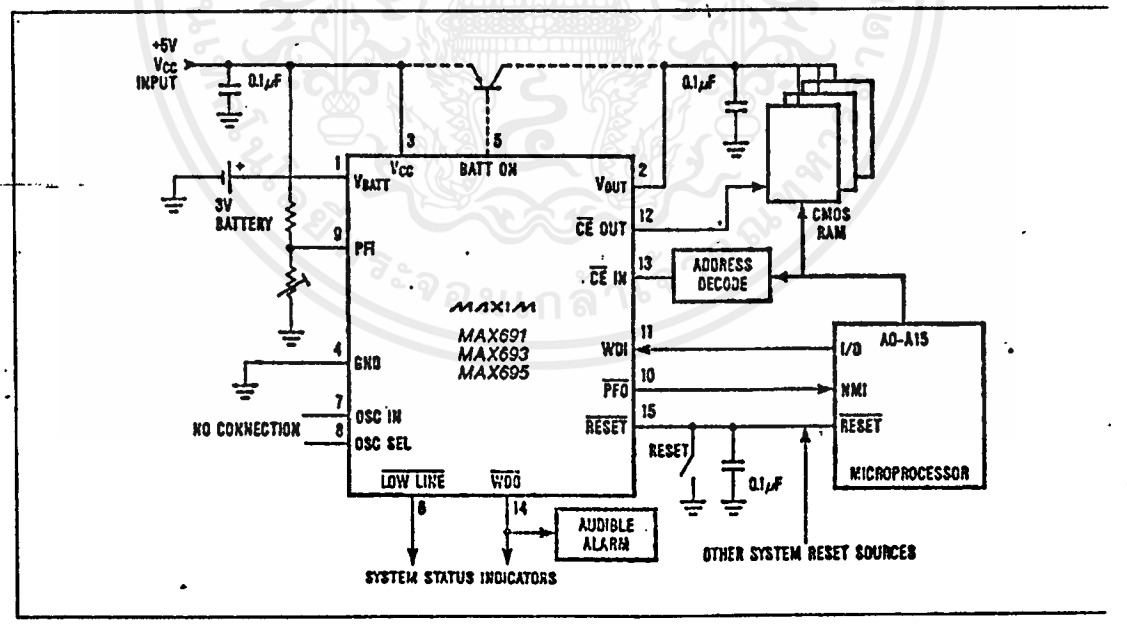


Figure 1. MAX691/693/695 Typical Application

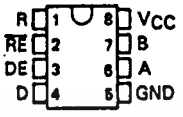
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

SN75176A
DIFFERENTIAL BUS TRANSCEIVER

D2619, JUNE 1984—REVISED AUGUST 1989

- Bidirectional Transceiver
- Meets EIA Standards RS-422A and CCITT Recommendations V.11 and X.27
- Designed for Multipoint Transmission on Long Bus Lines in Noisy Environments
- 3-State Driver and Receiver Outputs
- Individual Driver and Receiver Enables
- Wide Positive and Negative Input/Output Bus Voltage Ranges
- Driver Output Capability. . . ±60 mA Max
- Thermal Shutdown Protection
- Driver Positive and Negative Current Limiting
- Receiver Input Impedance . . . 12 kΩ Min
- Receiver Input Sensitivity . . . ±200 mV
- Receiver Input Hysteresis . . . 50 mV Typ
- Operates from Single 5-V Supply
- Low Power Requirements

D OR P
DUAL-IN-LINE PACKAGE
(TOP VIEW)



FUNCTION TABLE (DRIVER)

INPUT	ENABLE	OUTPUTS	
D	DE	A	B
H	H	H	L
L	H	L	H
X	L	Z	Z

FUNCTION TABLE (RECEIVER)

DIFFERENTIAL INPUTS	ENABLE	OUTPUT
A − B	$\overline{RE}$	R
$V_{ID} > 0.2$ V	L	H
-0.2 V $< V_{ID} < 0.2$ V	L	?
$V_{ID} < -0.2$ V	L	L
X	H	Z

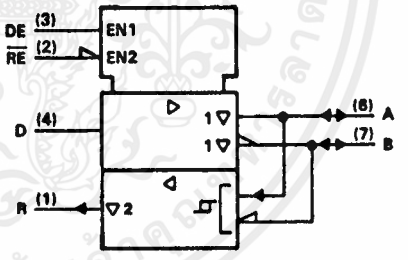
H = high level, L = low level, ? = indeterminate,
X = irrelevant, Z = high impedance (off)

description

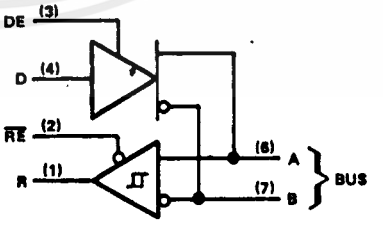
The SN75176A differential bus transceiver is a monolithic integrated circuit designed for bidirectional data communication on multipoint bus transmission lines. It is designed for balanced transmission lines and meets EIA Standard RS-422A and CCITT Recommendations V.11 and X.27.

The SN75176A combines a 3-state differential line driver and a differential-input line receiver both of which operate from a single 5-V power supply. The driver and receiver have active-high and active-low enables, respectively, that can be externally connected together to function as direction control. The driver differential outputs and the receiver differential inputs are connected internally to form differential input/output (I/O) bus ports that are designed to offer minimum loading to the bus whenever the driver is disabled or V_{CC} = 0. These ports feature wide positive and negative common-mode voltage ranges making the device suitable for party-line applications.

logic symbol



logic diagram (positive logic)



PRODUCTION DATA documents contain information current as of publication date. Products conform to specifications per the terms of Texas Instruments standard warranty. Production processing does not necessarily include testing of all parameters.

Copyright © 1989, Texas Instruments Incorporated

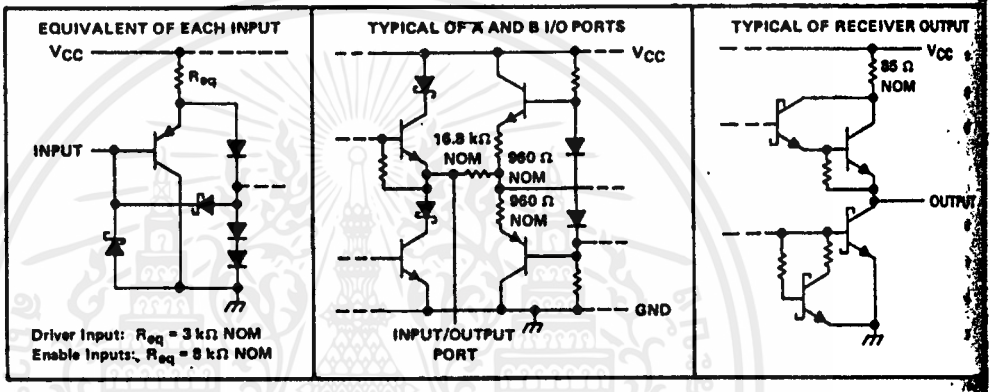
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

description (continued)

The driver is designed to handle loads up to 60 mA of sink or source current. The driver features positive- and negative-current limiting and thermal shutdown for protection from line fault conditions. Thermal shutdown is designed to occur at a junction temperature of approximately 150°C. The receiver features a minimum input impedance of 12 kΩ, input sensitivity of ±200 mV, and a typical input hysteresis of 50 mV.

The SN75176A can be used in transmission line applications employing the SN75172 and SN75174 quadruple differential line drivers and the SN75173 and SN75175 quadruple differential line receivers.

schematics of inputs and outputs



TEXAS INSTRUMENTS
POST OFFICE BOX 655303 • DALLAS, TEXAS 75265

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Absolute maximum ratings over operating free-air temperature range (unless otherwise noted)

Supply voltage, V_{CC} (see Note 1) . . . . . 7 V
Voltage at any bus terminal . . . . . −10 V to 15 V
Enable input voltage . . . . . 5.5 V
Continuous total dissipation at (or below) 25°C free-air temperature (see Note 2):
  D package . . . . . 725 mW
  P package . . . . . 1000 mW
Operating free-air temperature range . . . . . 0°C to 70°C
Storage temperature range . . . . . −65°C to 150°C
Lead temperature 1,6 mm (1/16 inch) from case for 10 seconds . . . . . 260°C

NOTES: 1. All voltage values, except differential input/output bus voltage, are with respect to network ground terminal.
2. For operation above 25°C free-air temperature, derate the D package to 464 mW at 70°C at the rate of 5.8 mW/°C and derate the P package to 640 mW at 70°C at the rate of 8.0 mW/°C.

Recommended operating conditions

		MIN	NOM	MAX	UNIT
Supply voltage, V_{CC}		4.75	5	5.25	V
Voltage at any bus terminal (separately or common-mode), V_I or V_{IC}		−7		12	V
High-level input voltage, V_{IH}	D, DE, and $\overline{RE}$	2			V
Low-level input voltage, V_{IL}	D, DE, and $\overline{RE}$			0.8	V
Differential input voltage, V_{ID} (see Note 3)				±12	V
High-level output current, I_{OH}	Driver			−60	mA
	Receiver			−400	μA
Low-level output current, I_{OL}	Driver			60	mA
	Receiver			8	
Operating free-air temperature, T_A		0		70	°C

NOTE 3: Differential-input/output bus voltage is measured at the noninverting terminal A with respect to the inverting terminal B.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

DRIVER SECTION

driver electrical characteristics over recommended ranges of supply voltage and operating free-air temperature (unless otherwise noted).

PARAMETER		TEST CONDITIONS		MIN	TYP†	MAX	UNIT
V_{IK}	Input clamp voltage	I_I = −18 mA				−1.5	V
V_{OH}	High-level output voltage	V_{IH} = 2 V, I_{OH} = −33 mA	V_{IL} = 0.8 V,		3.7		V
V_{OL}	Low-level output voltage	V_{IH} = 2 V, I_{OL} = 33 mA	V_{IL} = 0.8 V,		1.1		V
$\|V_{OD1}\|$	Differential output voltage	I_O = 0				2 V_{OD2}	V
$\|V_{OD2}\|$	Differential output voltage	R_L = 100 Ω,	See Figure 1	2	2.7		V
		R_L = 54 Ω,	See Figure 1	1.5	2.4		
$\Delta\|V_{OD}\|$	Change in magnitude of differential output voltage‡					±0.2	V
V_{OC}	Common-mode output voltage§	R_L = 54 Ω or 100 Ω,	See Figure 1			3	V
$\Delta\|V_{OC}\|$	Change in magnitude of common-mode output voltage‡					±0.2	V
I_O	Output current	Output disabled, See Note 4	V_O = 12 V			1	mA
			V_O = −7 V			−0.8	
I_{IH}	High-level input current	V_I = 2.4 V				20	μA
I_{IL}	Low-level input current	V_I = 0.4 V				−400	μA
I_{OS}	Short-circuit output current	V_O = −7 V				−250	mA
		V_O = V_{CC}				250	
		V_O = 12 V				500	
I_{CC}	Supply current (total package)	No load	Outputs enabled		35	60	mA
			Outputs disabled		28	40	

†All typical values are at V_{CC} = 5 V and T_A = 25°C.
‡$\Delta|V_{OD}|$ and $\Delta|V_{OC}|$ are the changes in magnitude of V_{OD} and V_{OC} respectively, that occur when the input is changed from a high level to a low level.
§In EIA Standard RS-422A, V_{OC}, which is the average of the two output voltages with respect to ground, is called output offset voltage, V_{OS}.
NOTE 4: This applies for both power on and power off. Refer to EIA Standard RS-422A for exact conditions.

driver switching characteristics, V_{CC} = 5 V, T_A = 25°C

PARAMETER		TEST CONDITIONS		MIN	TYP	MAX	UNIT
t_{DD}	Differential-output delay time	R_L = 60 Ω,	See Figure 3		40	60	ns
t_{TD}	Differential-output transition time				55	95	ns
t_{PZH}	Output enable time to high level	R_L = 110 Ω,	See Figure 4		55	90	ns
t_{PZL}	Output enable time to low level	R_L = 110 Ω,	See Figure 5		30	50	ns
t_{PHZ}	Output disable time from high level	R_L = 110 Ω,	See Figure 4		85	130	ns
t_{PLZ}	Output disable time from low level	R_L = 110 Ω,	See Figure 5		20	40	ns

TEXAS INSTRUMENTS
POST OFFICE BOX 655303 • DALLAS, TEXAS 75265

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

RECEIVER SECTION

Receiver electrical characteristics over recommended ranges of common-mode input voltage, supply voltage, and operating free-air temperature (unless otherwise noted)

PARAMETER		TEST CONDITIONS		MIN	TYP†	MAX	UNIT
V_{IT+}	Differential-input high-threshold voltage	V_O = 2.7 V,	I_O = −0.4 mA			0.2	V
V_{IT-}	Differential-input low-threshold voltage	V_O = 0.5 V,	I_O = 8 mA	−0.2‡			V
$V_{T+} - V_{T-}$	Hysteresis§				50		mV
V_{IK}	Enable-input clamp voltage	I_I = −18 mA				−1.5	V
V_{OH}	High-level output voltage	V_{ID} = −200 mV, See Figure 2	I_{OH} = −400 μA,	2.7			V
V_{OL}	Low-level output voltage	V_{ID} = −200 mV, See Figure 2	I_{OL} = 8 mA,			0.45	V
I_{OZ}	High-impedance-state output current	V_O = 0.4 V to 2.4 V				±20	μA
I_I	Line input current	Other input = 0 V, See Note 4	V_I = 12 V			1	mA
			V_I = −7 V			−0.8	
I_{IH}	High-level enable-input current	V_{IH} = 2.7 V				20	μA
I_{IL}	Low-level enable-input current	V_{IL} = 0.4 V				−100	μA
r_I	Input resistance			12			kΩ
I_{OS}	Short-circuit output current			−15		−85	mA
I_{CC}	Supply current (total package)	No load	Outputs enabled		35	50	mA
			Outputs disabled		26	40	

†All typical values are at V_{CC} = 5 V, T_A = 25°C.
‡The algebraic convention, where the less-positive (more-negative) limit is designated minimum, is used in this data sheet for common-mode input voltage and threshold voltage levels only.
§Hysteresis is the difference between the positive-going input threshold voltage, V_{T+}, and the negative-going input threshold voltage, V_{T-}. See Figure 4.
NOTE 4: This applies for both power on and power off. Refer to EIA Standard RS-422A for exact conditions.

Receiver switching characteristics, V_{CC} = 5 V, T_A = 25°C

PARAMETER		TEST CONDITIONS		MIN	TYP	MAX	UNIT
t_{PLH}	Propagation delay time, low-to-high-level output	V_{ID} = −1.5 V to 1.5 V,			21	35	ns
t_{PHL}	Propagation delay time, high-to-low-level output	C_L = 15 pF,	See Figure 6		23	35	ns
t_{PZH}	Output enable time to high level	C_L = 15 pF,	See Figure 7		10	30	ns
t_{PZL}	Output enable time to low level				12	30	ns
t_{PHZ}	Output disable time from high level	C_L = 15 pF,	See Figure 7		20	35	ns
t_{PLZ}	Output disable time from low level				17	35	ns

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

PARAMETER MEASUREMENT INFORMATION

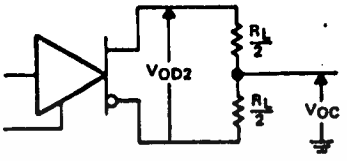


FIGURE 1. DRIVER V_{OD} AND V_{OC}

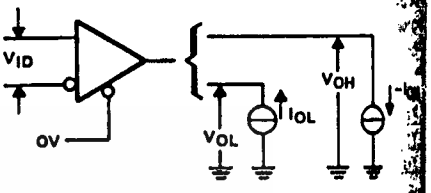
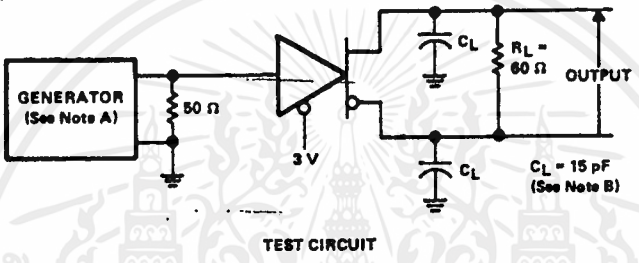
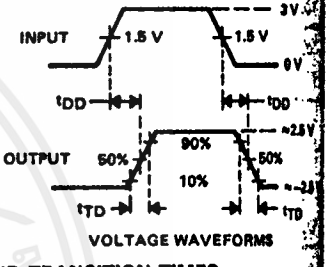


FIGURE 2. RECEIVER V_{OH} AND V_{OL}

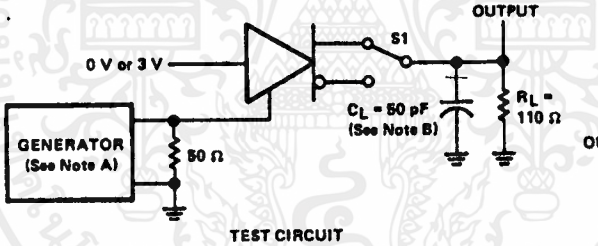


TEST CIRCUIT

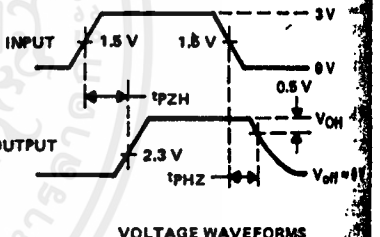


VOLTAGE WAVEFORMS

FIGURE 3. DRIVER DIFFERENTIAL-OUTPUT DELAY AND TRANSITION TIMES

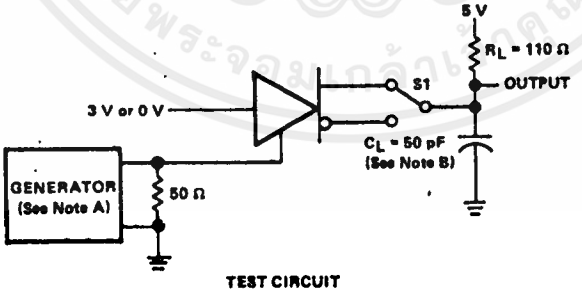


TEST CIRCUIT

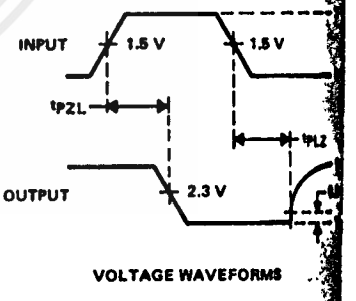


VOLTAGE WAVEFORMS

FIGURE 4. DRIVER ENABLE AND DISABLE TIMES



TEST CIRCUIT



VOLTAGE WAVEFORMS

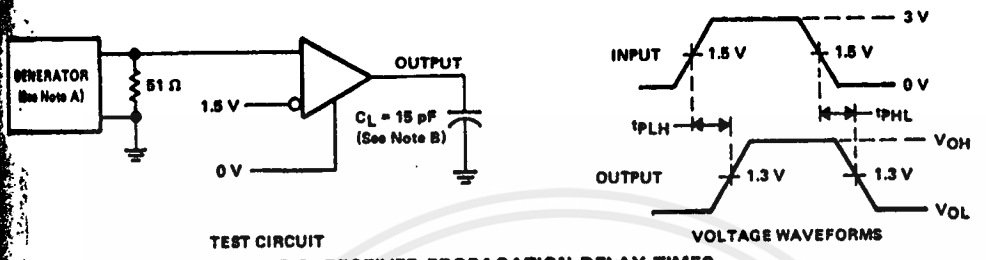
FIGURE 5. DRIVER ENABLE AND DISABLE TIMES

NOTES: A. The input pulse is supplied by a generator having the following characteristics: PRR = 1 MHz, 50% duty cycle, t_r ≤ 6 ns, t_f ≤ 6 ns, Z_{out} = 50 Ω.
B. C_L includes probe and jig capacitance.

TEXAS INSTRUMENTS
POST OFFICE BOX 655303 • DALLAS, TEXAS 75265

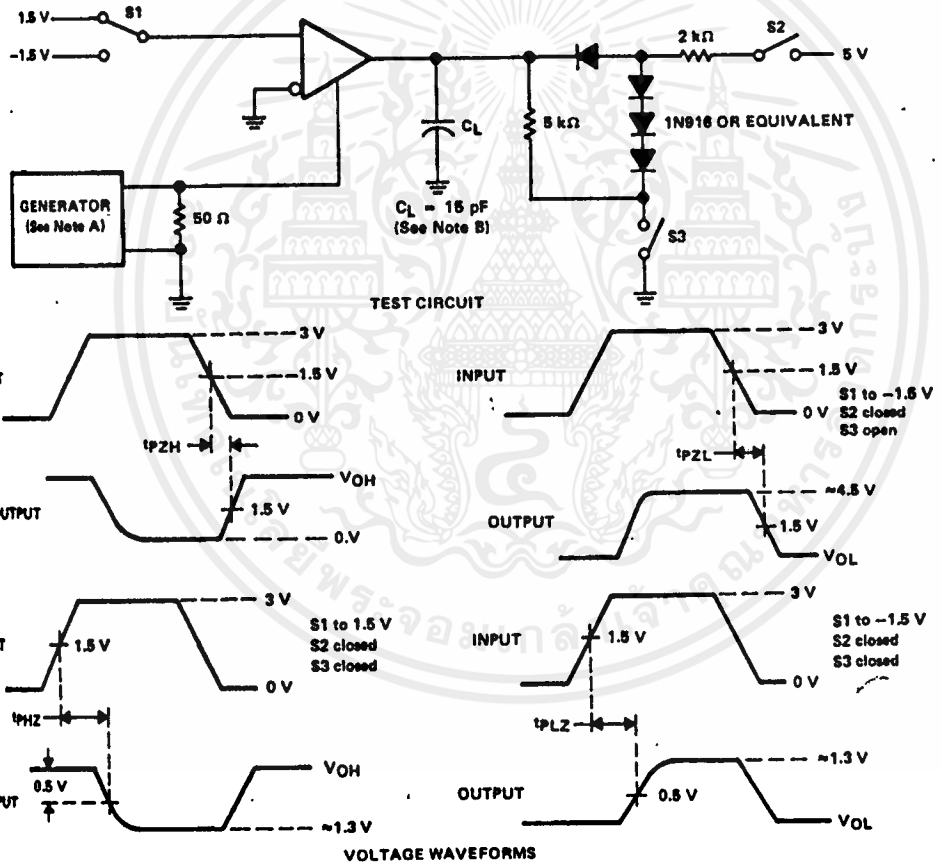
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

PARAMETER MEASUREMENT INFORMATION



TEST CIRCUIT VOLTAGE WAVEFORMS

FIGURE 6. RECEIVER PROPAGATION DELAY TIMES



VOLTAGE WAVEFORMS

FIGURE 7. RECEIVER OUTPUT ENABLE AND DISABLE TIMES

NOTES: A. The input pulse is supplied by a generator having the following characteristics: PRR = 1 MHz, 50% duty cycle, t_r ≤6 ns, t_f ≤6 ns, Z_{out} = 50 Ω.
B. C_L includes probe and jig capacitance.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TYPICAL CHARACTERISTICS

DRIVER HIGH-LEVEL OUTPUT VOLTAGE
vs
DRIVER HIGH-LEVEL OUTPUT CURRENT

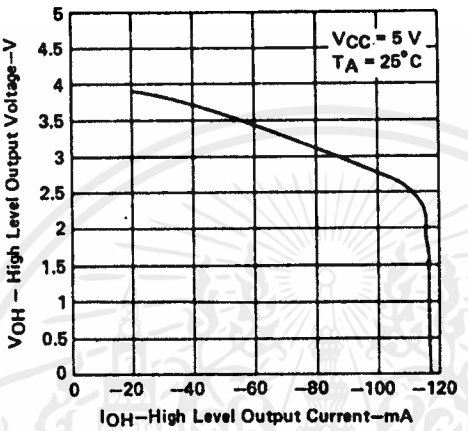


FIGURE 8

DRIVER LOW-LEVEL OUTPUT VOLTAGE
vs
DRIVER LOW-LEVEL OUTPUT CURRENT

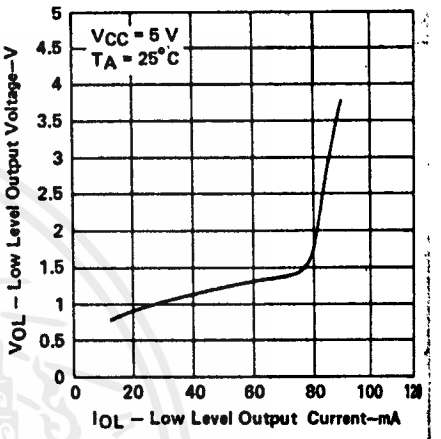


FIGURE 9

DRIVER DIFFERENTIAL OUTPUT VOLTAGE
vs
DRIVER OUTPUT CURRENT

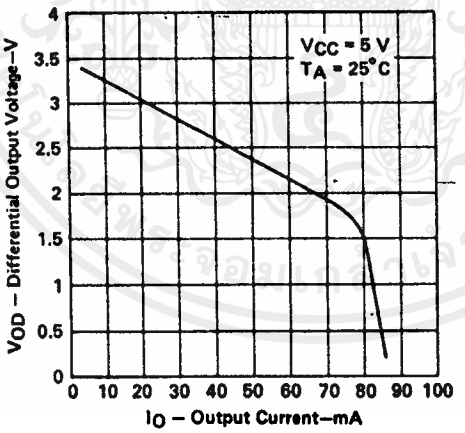


FIGURE 10

RECEIVER LOW-LEVEL OUTPUT VOLTAGE
vs
RECEIVER LOW-LEVEL OUTPUT CURRENT

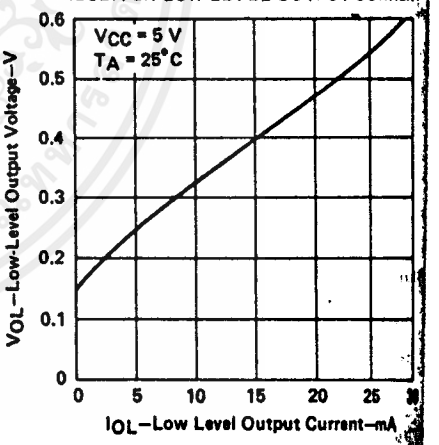


FIGURE 11

TEXAS INSTRUMENTS
POST OFFICE BOX 655303 • DALLAS, TEXAS 75265

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TYPICAL CHARACTERISTICS

RECEIVER LOW-LEVEL OUTPUT VOLTAGE
vs
FREE-AIR TEMPERATURE

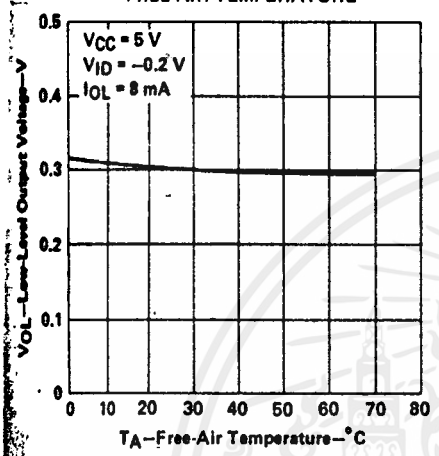


FIGURE 12

RECEIVER OUTPUT VOLTAGE
vs
ENABLE VOLTAGE

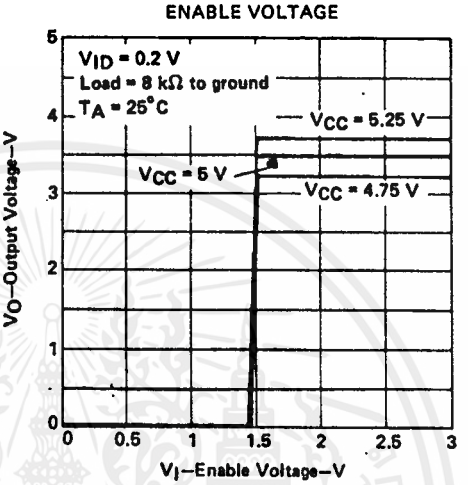


FIGURE 13

RECEIVER OUTPUT VOLTAGE
vs
ENABLE VOLTAGE

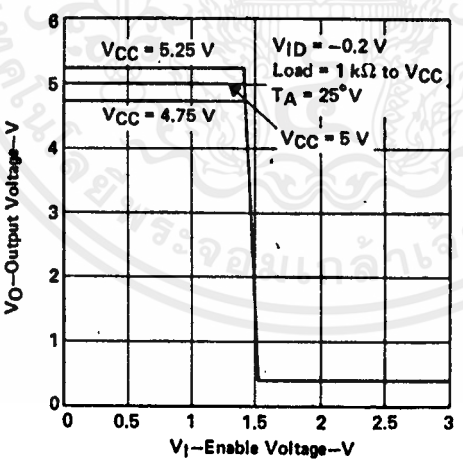
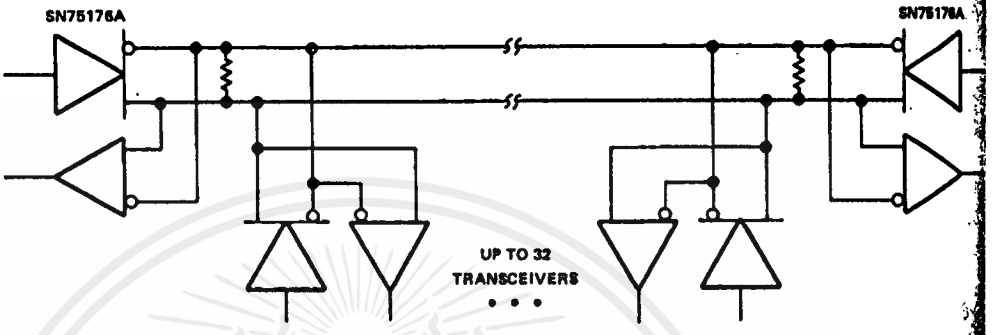


FIGURE 14

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TYPICAL APPLICATION



NOTE: The line should be terminated at both ends in its characteristic impedance. Stub lengths off the main line should be kept as short as possible.

TEXAS INSTRUMENTS
POST OFFICE BOX 655303 • DALLAS, TEXAS 75265

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ICL7109
12-Bit μP-Compatible A/D Converter

INTERSIL

GENERAL DESCRIPTION

The ICL7109 is a high performance, CMOS, low power integrating A/D converter designed to easily interface with microprocessors.

The output data (12 bits, polarity and overrange) may be directly accessed under control of two byte enable inputs and a chip select input for a simple parallel bus interface. A UART handshake mode is provided to allow the ICL7109 to work with industry-standard UARTs in providing serial data transmission, ideal for remote data logging applications. The RUN/HOLD input and STATUS output allow monitoring and control of conversion timing.

The ICL7109 provides the user with the high accuracy, low noise, low drift, versatility and economy of the dual-slope integrating A/D converter. Features like true differential input and reference, drift of less than 1μV/°C. maximum input bias current of 10pA, and typical power consumption of 20mW make the ICL7109 an attractive per-channel alternative to analog multiplexing for many data acquisition applications.

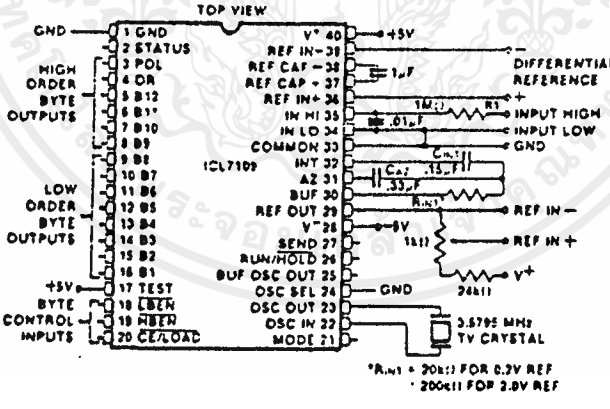
FEATURES

- 12 Bit Binary (Plus Polarity and Overrange) Dual Slope Integrating Analog-to-Digital Converter
- Byte-Organized TTL-Compatible Three-State Outputs and UART Handshake Mode for Simple Parallel or Serial Interfacing to Microprocessor Systems
- RUN/HOLD Input and STATUS Output Can Be Used to Monitor and Control Conversion Timing
- True Differential Input and Differential Reference
- Low Noise — Typically 15μV p-p
- 1pA Typical Input Current
- Operates At Up to 30 Conversions Per Second
- On-Chip Oscillator Operates With Inexpensive 3.58MHz TV Crystal Giving 7.5 Conversions Per Second for 60Hz Rejection May Also Be Used With An RC Network Oscillator for Other Clock Frequencies

3

ORDERING INFORMATION

Part Number	Temp. Range	Package
ICL7109MDL	−55°C to +125°C	40-Pin Ceramic DIP
ICL7109IDL	−25°C to +85°C	40-Pin Ceramic DIP
ICL7109IJL	−25°C to +85°C	40-Pin CERDIP
ICL7109CPL	0°C to 70°C	40-Pin Plastic DIP



(See Figure 2 for typical connection to a UART or Microcomputer)

Figure 1: Pin Configuration and Test Circuit

INTERSIL'S SOLE AND EXCLUSIVE WARRANTY OBLIGATION WITH RESPECT TO THIS PRODUCT SHALL BE THAT STATED IN THE WARRANTY ARTICLE OF THE CONDITION OF SALE. THE WARRANTY SHALL BE EXCLUSIVE AND SHALL BE IN LIEU OF ALL OTHER WARRANTIES, EXPRESS, IMPLIED OR STATUTORY, INCLUDING THE IMPLIED WARRANTIES OF MERCHANTABILITY AND FITNESS FOR A PARTICULAR USE

NOTE: All typical values have been characterized but are not tested.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ICL7109

ABSOLUTE MAXIMUM RATINGS

Positive Supply Voltage (GND to V^+) ..... +6.2V
Negative Supply Voltage (GND to V^-) ..... −9V
Analog Input Voltage (Lo or Hi) (Note 1) ..... V^+ to V^-
Reference Input Voltage (Lo or Hi) (Note 1) ..... V^+ to V^-
Digital Input Voltage (V^+ + 0.3V
(Pins 2-27) (Note 2) ..... GND − 0.3V

Power Dissipation (Note 3)
Ceramic Package ..... 1W @ +85°C
Plastic Package ..... 500mW @ +70°C
Operating Temperature
Ceramic Package (MDL) ..... −55°C to +125°C
Ceramic Package (IDL) ..... −25°C to +85°C
Plastic Package (CPL) ..... 0°C to +70°C
Storage Temperature ..... −65°C to +150°C
Lead Temperature (Soldering, 10sec) ..... +300°C

NOTE: *Stresses above those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only and functional operation of the device at these or any other conditions above those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.*

ELECTRICAL CHARACTERISTICS ($V^+ = +5V$, $V^- = -5V$, GND = 0V, $T_A = 25°C$, $f_{CLK} = 3.58$ MHz, unless otherwise indicated.) Test circuit as shown on first page of this data sheet.

ANALOG SECTION

Symbol	Parameter	Test Conditions	Min	Typ	Max	Unit
	Zero Input Reading	V_{IN} = 0.0V Full Scale = 409.6mV	-0000_8	$\pm 0000_8$	$+0000_8$	Octal Reading
	Ratiometric Reading	$V_{IN} = V_{REF}$ V_{REF} = 204.8mV	3777_8	3777_8 4000_8	4000_8	Octal Reading
	Non-Linearity (Max deviation from best straight line fit)	Full Scale = 409.6mV to 2.048V Over full operating temperature range. (Note 4), (Note 6)	−1	±.2	+1	Counts
	Roll-over Error (difference in reading for equal pos. and neg. inputs near full scale)	Full Scale = 409.6mV to 2.048V (Note 5), (Note 6)	−1	±.2	+1	Counts
CMRR	Common Mode Rejection Ratio	V_{CM} ± 1V V_{IN} = 0V Full Scale = 409.6mV		50		μV/V
VCMR	Input Common Mode Range	Input Hi, Input Lo, Common (Note 4)	V^- + 1.5		$V^+ - 1.0$	V
e_n	Noise (p-p value not exceeded 95% of time)	V_{IN} = 0V Full Scale = 409.6mV		15		μV
I_{ILK}	Leakage current at Input	V_{IN} = 0 All devices at 25°C ICL7109CPL 0°C ≤ T_A ≤ +70°C (Note 4) ICL7109IDL −25°C ≤ T_A ≤ +85°C (Note 4) ICL7109MDL −55°C ≤ T_A ≤ +125°C		1 20 100 2	10 100 250 5	pA pA pA nA
	Zero Reading Drift	V_{IN} = 0V R_1 = 0Ω (Note 4)		0.2	1	μV/°C
	Scale Factor Temperature Coefficient	V_{IN} = 408.9mV = $>7770_8$ reading Ext. Ref. 0 ppm/°C (Note 4)		1	5	ppm/°C
I^+	Supply Current V^+ to GND	V_{IN} = 0, Crystal Osc 3.58MHz test circuit		700	1500	μA
I_{SUPP}	Supply Current V^+ to V^-	Pins 2-21, 25, 26, 27, 29; open		700	1500	μA
V_{REF}	Ref Out Voltage	Referred to V^+, 25kΩ between V^+ and REF OUT	−2.4	−2.8	−3.2	V
	Ref Out Temp. Coefficient	25kΩ between V^+ and REF OUT		80		ppm/°C

INTERSIL'S SOLE AND EXCLUSIVE WARRANTY OBLIGATION WITH RESPECT TO THIS PRODUCT SHALL BE THAT STATED IN THE WARRANTY ARTICLE OF THE CONDITION OF SALE. THE WARRANTY SHALL BE EXCLUSIVE AND SHALL BE IN LIEU OF ALL OTHER WARRANTIES, EXPRESS, IMPLIED OR STATUTORY, INCLUDING THE IMPLIED WARRANTIES OF MERCHANTABILITY AND FITNESS FOR A PARTICULAR USE.

NOTE. All typical values have been characterized but are not tested.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ELECTRICAL CHARACTERISTICS ($V^+ = +5V$, $V^- = -5V$, GND = 0V, $T_A = 25°C$, unless otherwise indicated.) Test circuit as shown on first page of this data sheet. (Continued)

DIGITAL SECTION

Symbol	Parameter		Test Conditions	Min	Typ	Max	Unit
V_{OH}	Output High Voltage		$I_{OUT} = 100\mu A$ Pins 2-16, 18, 19, 20	3.5	4.3		V
V_{OL}	Output Low Voltage		$I_{OUT} = 1.6mA$		0.2	0.4	V
	Output Leakage Current		Pins 3-16 high impedance		±.01	±1	µA
	Control I/O Pullup Current		Pins 18, 19, 20 $V_{OUT} = V^+ - 3V$ MODE input at GND		5		µA
	Control I/O Loading		$\overline{HBEN}$ Pin 19 $\overline{LBEN}$ Pin 18 (Note 4)			50	pF
V_{IH}	Input High Voltage		Pins 18-21, 26, 27 referred to GND	2.5			V
V_{IL}	Input Low Voltage		Pins 18-21, 26, 27 referred to GND			1	V
	Input Pull-up Current		Pins 26, 27 $V_{OUT} = V^+ - 3V$		5		µA
	Input Pull-up Current		Pins 17, 24 $V_{OUT} = V^+ - 3V$		25		µA
	Input Pull-down Current		Pin 21 $V_{OUT} = GND + 3V$		5		µA
O_{OH}	-Oscillator Output	High	$V_{OUT} = 2.5V$		1		mA
O_{OL}	Current	Low	$V_{OUT} = 2.5V$		1.5		mA
BO_{OH}	Buffered Oscillator	High	$V_{OUT} = 2.5V$		2		mA
BO_{OL}	Output Current	Low	$V_{OUT} = 2.5V$		5		mA
t_W	MODE Input Pulse Width		(Note 4)	50			ns

NOTES: 1. Input voltages may exceed the supply voltages provided the input current is limited to ±100µA.
2. Due to the SCR structure inherent in the process used to fabricate these devices, connecting any digital inputs or outputs to voltages greater than V^+ or less than GND may cause destructive device latchup. For this reason it is recommended that no inputs from sources other than the same power supply be applied to the ICL7109 before its power supply is established, and that in multiple supply systems the supply to the ICL7109 be activated first.
3. This limit refers to that of the package and will not be obtained during normal operation.
4. This parameter is not production tested, but is guaranteed by design.
5. Roll-over error for $T_A = -55°C$ to $+125°C$ is ±3 counts maximum.
6. A full scale voltage of 2.048V is used because a full scale voltage of 4.096V exceeds the devices Common Mode Voltage Range.

INTERSIL'S SOLE AND EXCLUSIVE WARRANTY OBLIGATION WITH RESPECT TO THIS PRODUCT SHALL BE THAT STATED IN THE WARRANTY ARTICLE OF THE CONDITION OF SALE. THE WARRANTY SHALL BE EXCLUSIVE AND SHALL BE IN LIEU OF ALL OTHER WARRANTIES, EXPRESS, IMPLIED OR STATUTORY, INCLUDING THE IMPLIED WARRANTIES OF MERCHANTABILITY AND FITNESS FOR A PARTICULAR USE.

NOTE: All typical values have been characterized but are not tested.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ICL7109

TABLE 1: Pin Assignment and Function Description

Pin	Symbol	Description		
1	GND	Digital Ground, 0V. Ground return for all digital logic.		
2	STATUS	Output High during integrate and deintegrate until data is latched. Output Low when analog section is in Auto-Zero configuration.		
3	POL	Polarity — HI for Positive input.		All three state output data bits
4	OR	Overrange — HI if Overranged.		
5	B12	Bit 12	(Most Significant Bit)	
6	B11	Bit 11	HI = true	
7	B10	Bit 10		
8	B9	Bit 9		
9	B8	Bit 8		
10	B7	Bit 7		
11	B6	Bit 6		
12	B5	Bit 5		
13	B4	Bit 4		
14	B3	Bit 3		
15	B2	Bit 2		
16	B1	Bit 1	(Least Significant Bit)	
17	TEST	Input High — Normal Operation. Input Low — Forces all bit outputs high. Note: This input is used for test purposes only. Tie high if not used.		
18	$\overline{LBEN}$	Low Byte Enable — With Mode (Pin 21) low, and $\overline{CE/LOAD}$ (Pin 20) low, taking this pin low activates low order byte outputs B1 — B8. — With Mode (Pin 21) high, this pin serves as a low byte flag output used in handshake mode. See Figures 8, 9, 10.		
19	$\overline{HBEN}$	High Byte Enable — With Mode (Pin 21) low, and $\overline{CE/LOAD}$ (Pin 20) low, taking this pin low activates high order byte outputs B9 — B12, POL, OR. — With Mode (Pin 21) high, this pin serves as a high byte flag output used in handshake mode. See Figures 8, 9, 10.		
20	$\overline{CE/LOAD}$	Chip Enable Load — With Mode (Pin 21) low, $\overline{CE/LOAD}$ serves as a master output enable. When high, B1 — B12, POL, OR outputs are disabled. — With Mode (Pin 21) high, this pin serves as a load strobe used in handshake mode. See Figures 8, 9, 10.		

Pin	Symbol	Description
21	MODE	Input Low — Direct output mode where $\overline{CE/LOAD}$ (Pin 20), $\overline{HBEN}$ (Pin 19) and $\overline{LBEN}$ (Pin 18) act as inputs directly controlling byte outputs. Input Pulsed High — Causes immediate entry into handshake mode and output of data as in Figure 10. Input High — Enables $\overline{CE/LOAD}$ (Pin 20), $\overline{HBEN}$ (Pin 19), and $\overline{LBEN}$ (Pin 18) as outputs, handshake mode will be entered and data output as in Figures 8 and 9 at conversion completion.
22	OSC IN	Oscillator Input
23	OSC OUT	Oscillator Output
24	OSC SEL	Oscillator Select — Input high configures OSC IN, OSC OUT, BUF OSC OUT as RC oscillator — clock will be same phase and duty cycle as BUF OSC OUT. — Input low configures OSC IN, OSC OUT for crystal oscillator — clock frequency will be 1/58 of frequency at BUF OSC OUT.
25	BUF OSC OUT	Buffered Oscillator Output
26	RUN/$\overline{HOLD}$	Input High — Conversions continuously performed every 8192 clock pulses. Input Low — Conversion in progress completed, converter will stop in Auto-Zero 7 counts before integrate.
27	SEND	Input — Used in handshake mode to indicate ability of an external device to accept data. Connect to +5V if not used.
28	V−	Analog Negative Supply — Nominally −5V with respect to GND (Pin 1).
29	REF OUT	Reference Voltage Output — Nominally 2.8V down from V+ (Pin 40).
30	BUFFER	Buffer Amplifier Output
31	AUTO-ZERO	Auto-Zero Node — Inside foil of C_{AZ}
32	INTEGRATOR	Integrator Output — Outside foil of C_{INT}
33	COMMON	Analog Common — System is Auto-Zeroed to COMMON
34	INPUT LO	Differential Input Low Side
35	INPUT HI	Differential Input High Side
36	REF IN +	Differential Reference Input Positive
37	REF CAP +	Reference Capacitor Positive
38	REF CAP −	Reference Capacitor Negative
39	REF IN −	Differential Reference Input Negative
40	V+	Positive Supply Voltage — Nominally +5V with respect to GND (Pin 1).

Note: All digital levels are positive true

INTERSIL'S SOLE AND EXCLUSIVE WARRANTY OBLIGATION WITH RESPECT TO THIS PRODUCT SHALL BE THAT STATED IN THE WARRANTY ARTICLE OF THE CONDITION OF SALE. THE WARRANTY SHALL BE EXCLUSIVE AND SHALL BE IN LIEU OF ALL OTHER WARRANTIES, EXPRESS, IMPLIED OR STATUTORY, INCLUDING THE IMPLIED WARRANTIES OF MERCHANTABILITY AND FITNESS FOR A PARTICULAR USE.

NOTE. All typical values have been characterized but are not tested

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

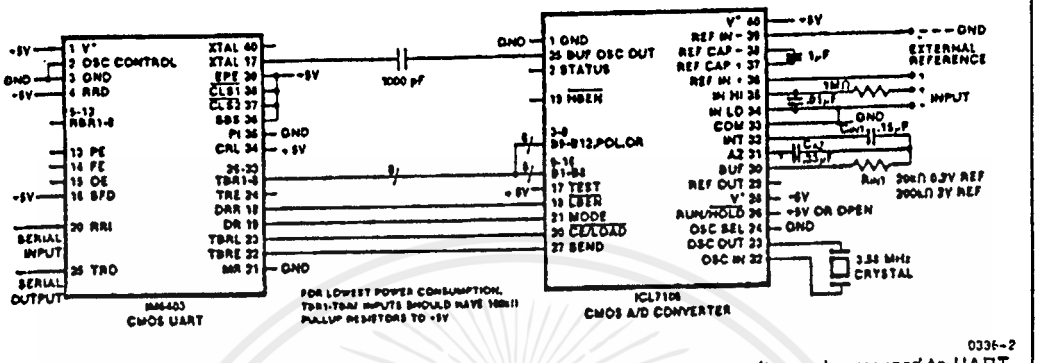


Figure 2A: Typical Connection Diagram UART Interface – To transmit latest result, send any word to UART

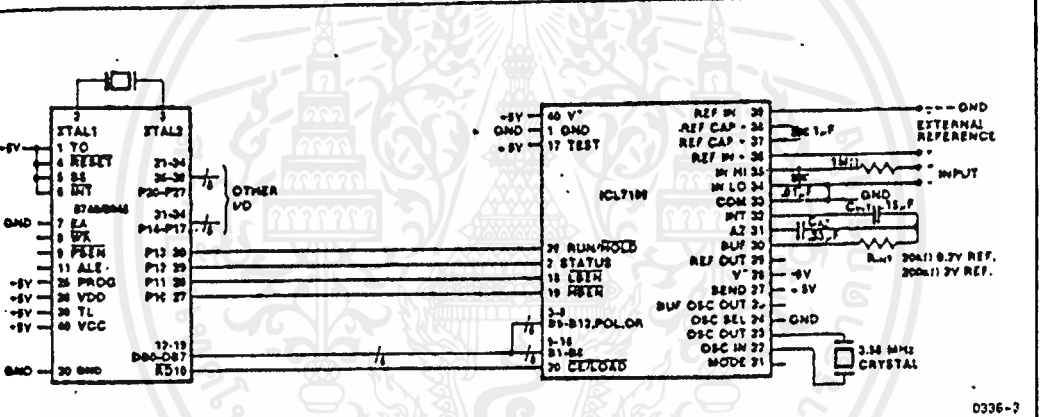


Figure 2B: Typical Connection Diagram Parallel Interface With 8048 Microcomputer

DETAILED DESCRIPTION

Analog Section

Figure 3 shows the equivalent circuit of the Analog Section of the ICL7109. When the RUN/$\overline{HOLD}$ input is left open or connected to V^+, the circuit will perform conversions at a rate determined by the clock frequency (8192 clock periods per cycle). Each measurement cycle is divided into three phases as shown in Figure 4. They are (1) Auto-Zero (AZ), (2) Signal Integrate (INT) and (3) Deintegrate (DE).

Auto-Zero Phase

During auto-zero three things happen. First, input high and low are disconnected from their pins and internally shorted to analog COMMON. Second, the reference capacitor is charged to the reference voltage. Third, a feedback loop is closed around the system to charge the auto-zero capacitor C_{AZ} to compensate for offset voltages in the buffer amplifier, integrator, and comparator. Since the comparator is included in the loop, the AZ accuracy is limited only by the noise of the system. In any case, the offset referred to the input is less than 10μV.

INTERSIL'S SOLE AND EXCLUSIVE WARRANTY OBLIGATION WITH RESPECT TO THIS PRODUCT SHALL BE THAT STATED IN THE WARRANTY ARTICLE OF THE CONDITION OF SALE. THE WARRANTY SHALL BE EXCLUSIVE AND SHALL BE IN LIEU OF ALL OTHER WARRANTIES, EXPRESS, IMPLIED OR STATUTORY, INCLUDING THE IMPLIED WARRANTIES OF MERCHANTABILITY AND FITNESS FOR A PARTICULAR USE.

NOTE: All typical values have been characterized but are not tested

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

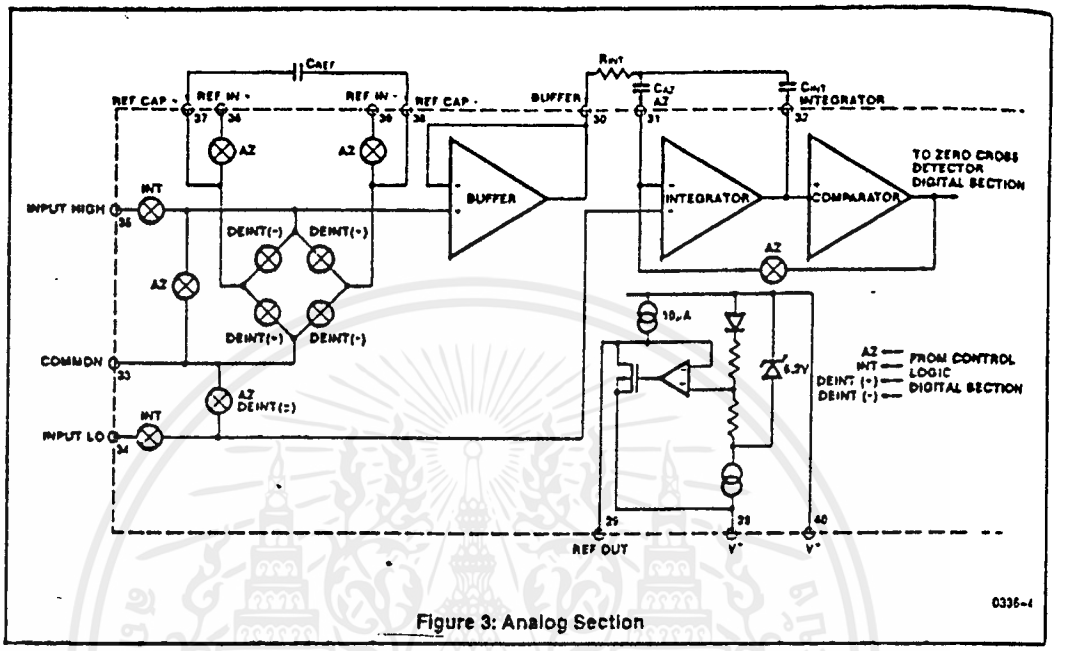


Figure 3: Analog Section

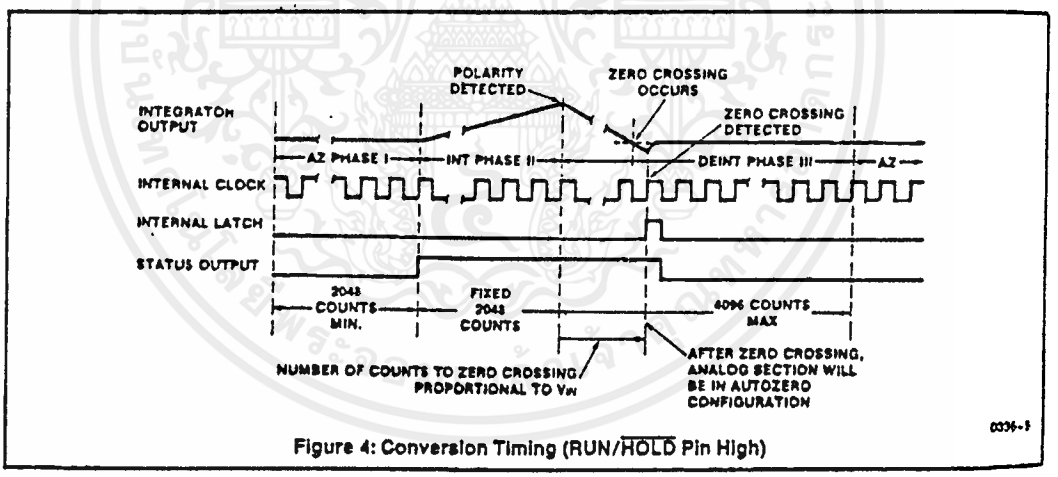


Figure 4: Conversion Timing (RUN/$\overline{\text{HOLD}}$ Pin High)

Signal Integrate Phase

During signal integrate the auto-zero loop is opened, the internal short is removed and the internal high and low inputs are connected to the external pins. The converter then integrates the differential voltage between IN HI and IN LO for a fixed time of 2048 clock periods. Note that this differential voltage must be within the common mode range of the inputs. At the end of this phase, the polarity of the integrated signal is determined.

De-Integrate Phase

The final phase is de-integrate, or reference integrate. Input low is internally connected to analog COMMON and input high is connected across the previously charged (during auto-zero) reference capacitor. Circuitry within the chip ensures that the capacitor will be connected with the correct polarity to cause the integrator output to return to zero crossing (established in Auto Zero) with a fixed slope. Thus the time for the output to return to zero (represented by the number of clock periods counted) is proportional to the input signal.

INTERSIL'S SOLE AND EXCLUSIVE WARRANTY OBLIGATION WITH RESPECT TO THIS PRODUCT SHALL BE THAT STATED IN THE WARRANTY ARTICLE OF THE CONDITION OF SALE. THE WARRANTY SHALL BE EXCLUSIVE AND SHALL BE IN LIEU OF ALL OTHER WARRANTIES, EXPRESS, IMPLIED OR STATUTORY, INCLUDING THE IMPLIED WARRANTIES OF MERCHANTABILITY AND FITNESS FOR A PARTICULAR USE.

NOTE: All typical values have been characterized but are not tested.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Differential Input

The input can accept differential voltages anywhere within the common mode range of the input amplifier; or specifically from 1.0 volts below the positive supply to 1.5 volts above the negative supply. In this range the system has a CMRR of 86dB typical. However, since the integrator also swings with the common mode voltage, care must be exercised to assure the integrator output does not saturate. A worst case condition would be a large positive common mode voltage with a near full-scale negative differential input voltage. The negative input signal drives the integrator positive when most of its swing has been used up by the positive common mode voltage. For these critical applications the integrator swing can be reduced to less than the recommended 4V full scale with some loss of accuracy. The integrator output can swing within 0.3 volts of either supply without loss of linearity.

The ICL7109 has, however, been optimized for operation with analog common near digital ground. With power supplies of +5V and −5V, this allows a 4V full scale integrator swing positive or negative thus maximizing the performance of the analog section.

Differential Reference

The reference voltage can be generated anywhere within the power supply voltage of the converter. The main source of common mode error is a roll-over voltage caused by the reference capacitor losing or gaining charge to stray capacity on its nodes. If there is a large common mode voltage, the reference capacitor can gain charge (increase voltage) when called up to deintegrate a positive signal but lose charge (decrease voltage) when called up to deintegrate a negative input signal. This difference in reference for (+) or (−) input voltage will give a roll-over error. However, by selecting the reference capacitor large enough in comparison to the stray capacitance, this error can be held to less than 0.5 count for the worst case condition (see Component Values Selection below).

The roll-over error from these sources is minimized by having the reference common mode voltage near or at analog COMMON.

Component Value Selection

For optimum performance of the analog section, care must be taken in the selection of values for the integrator capacitor and resistor, auto-zero capacitor, reference voltage, and conversion rate. These values must be chosen to suit the particular application.

The most important consideration is that the integrator output swing (for full-scale input) be as large as possible. For example, with ±5V supplies and COMMON connected to GND, the nominal integrator output swing at full scale is ±4V. Since the integrator output can go to 0.3V from either supply without significantly affecting linearity, a 4V integrator output swing allows 0.7V for variations in output swing due to component value and oscillator tolerances. With ±5V supplies and a common mode range of ±1V required, the component values should be selected to provide ±3V integrator output swing. Noise and rollover errors will be slightly worse than in the ±4V case. For larger common mode voltage ranges, the integrator output swing must be reduced further. This will increase both noise and rollover errors. To improve the performance, supplies of ±6V may be used.

Integrating Resistor

Both the buffer amplifier and the integrator have a class A output stage with 100μA of quiescent current. They supply 20μA of drive current with negligible non-linearity. The integrating resistor should be large enough to remain in this very linear region over the input voltage range, but small enough that undue leakage requirements are not placed on the PC board. For 4.096 volt full scale, 200kΩ is near optimum and similarly a 20kΩ for a 409.6mV scale. For other values of full scale voltage, R_{INT} should be chosen by the relation

$$R_{INT} = \frac{\text{full scale voltage}}{20\mu A}.$$

Integrating Capacitor

The integrating capacitor C_{INT} should be selected to give the maximum integrator output voltage swing without saturating the integrator (approximately 0.3 volt from either supply). For the ICL7109 with ±5 volt supplies and analog common connected to GND, a ±3.5 to ±4 volt integrator output swing is nominal. For 7-½ conversions per second (61.72kHz clock frequency) as provided by the crystal oscillator, nominal values for C_{INT} and C_{AZ} are 0.15μF and 0.33μF, respectively. If different clock frequencies are used, these values should be changed to maintain the integrator output voltage swing. In general, the value of C_{INT} is given by

$$C_{INT} = \frac{(2048 \times \text{clock period})(20\mu A)}{\text{integrator output voltage swing}}$$

An additional requirement of the integrating capacitor is that it have low dielectric absorption to prevent roll-over errors. While other types of capacitors are adequate for this application, polypropylene capacitors give undetectable errors at reasonable cost up to 85°C. For the military temperature range, Teflon® capacitors are recommended. While their dielectric absorption characteristics vary somewhat from unit to unit, selected devices should give less than 0.5 count of error due to dielectric absorption.

Auto-Zero Capacitor

The size of the auto-zero capacitor has some influence on the noise of the system; the smaller the capacitor the lower the overall system noise. However, C_{AZ} cannot be increased without limits since it, in parallel with the integrating capacitor forms an R-C time constant that determines the speed of recovery from overloads and more important the error that exists at the end of an auto-zero cycle. For 409.6mV full scale where noise is very important and the integrating resistor small, a value of C_{AZ} twice C_{INT} is optimum. Similarly for 4.096V full scale where recovery is more important than noise, a value of C_{AZ} equal to half of C_{INT} is recommended.

For optimal rejection of stray pickup, the outer foil of C_{AZ} should be connected to the R-C summing junction and the inner foil to pin 31. Similarly the outer foil of C_{INT} should be connected to pin 32 and the inner foil to the R-C summing junction. Teflon®, or equivalent, capacitors are recommended above 85°C for their low leakage characteristics.

INTERSIL'S SOLE AND EXCLUSIVE WARRANTY OBLIGATION WITH RESPECT TO THIS PRODUCT SHALL BE THAT STATED IN THE WARRANTY ARTICLE OF THE CONDITION OF SALE. THE WARRANTY SHALL BE EXCLUSIVE AND SHALL BE IN LIEU OF ALL OTHER WARRANTIES, EXPRESS, IMPLIED OR STATUTORY, INCLUDING THE IMPLIED WARRANTIES OF MERCHANTABILITY AND FITNESS FOR A PARTICULAR USE.

NOTE: All typical values have been characterized but are not tested

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Reference Capacitor

A 1μF capacitor gives good results in most applications. However, where a large reference common mode voltage exists (i.e. the reference low is not at analog common) and a 409.6mV scale is used, a larger value is required to prevent roll-over error. Generally 10μF will hold the roll-over error to 0.5 count in this instance. Again, Teflon®, or equivalent capacitors should be used for temperatures above 85°C for their low leakage characteristics.

Reference Voltage

The analog input required to generate a full scale output of 4096 counts is $V_{IN} = 2V_{REF}$. Thus for a normalized scale, a reference of 2.048V should be used for a 4.096V full scale, and 204.8mV should be used for a 0.4096V full scale. However, in many applications where the A/D is sensing the output of a transducer, there will exist a scale factor other than unity between the absolute output voltage to be measured and a desired digital output. For instance, in a weighing system, the designer might like to have a full scale reading when the voltage from the transducer is 0.682V. Instead of dividing the input down to 409.6mV, the input voltage should be measured directly and a reference voltage of 0.341V should be used. Suitable values for integrating resistor and capacitor are 33kΩ and 0.15μF. This avoids a divider on the input. Another advantage of this system occurs when a zero reading is desired for non-zero input. Temperature and weight measurements with an offset or tare are examples. The offset may be introduced by connecting the voltage output of the transducer between common and analog high, and the offset voltage between common and analog low, observing polarities carefully. However, in processor-based systems using the ICL7109, it may be more efficient to perform this type of scaling or tare subtraction digitally using software.

Reference Sources

The stability of the reference voltage is a major factor in the overall absolute accuracy of the converter. The resolution of the ICL7109 at 12 bits is one part in 4096, or 244ppm. Thus if the reference has a temperature coefficient of 80ppm/°C (onboard reference) a temperature difference of 3°C will introduce a one-bit absolute error.

For this reason, it is recommended that an external high-quality reference be used where the ambient temperature is not controlled or where high-accuracy absolute measurements are being made.

The ICL7109 provides a REFerence OUTput (pin 29) which may be used with a resistive divider to generate a suitable reference voltage. This output will sink up to about 20mA without significant variation in output voltage, and is provided with a pullup bias device which sources about 10μA. The output voltage is nominally 2.8V below V+, and has a temperature coefficient of ±80ppm/°C typ. When using the onboard reference, REF OUT (Pin 29) should be connected to REF− (pin 39), and REF+ should be connected to the wiper of a precision potentiometer between REF OUT and V+. The circuit for a 204.8mV reference is shown in the test circuit. For a 2.048mV reference, the fixed resistor should be removed, and a 25kΩ precision potentiometer between REF OUT and V+ should be used.

Note that if pins 29 and 39 are tied together and pins 39 and 40 accidentally shorted (e.g., during testing), the reference supply will sink enough current to destroy the device. This can be avoided by placing a 1kΩ resistor in series with pin 39.

DETAILED DESCRIPTION

Digital Selection

The digital section includes the clock oscillator and scaling circuit, a 12-bit binary counter with output latches and TTL-compatible three-state output drivers, polarity, overrange and control logic, and UART handshake logic, as shown in Figure 5.

Throughout this description, logic levels will be referred to as "low" or "high". The actual logic levels are defined in the Electrical Characteristics Table. For minimum power consumption, all inputs should swing from GND (low) to V+ (high). Inputs driven from TTL gates should have 3-5kΩ pullup resistors added for maximum noise immunity.

MODE Input

The MODE input is used to control the output mode of the converter. When the MODE pin is low or left open (this input is provided with a pulldown resistor to ensure a low level when the pin is left open), the converter is in its "Direct" output mode, where the output data is directly accessible under the control of the chip and byte enable inputs. When the MODE input is pulsed high, the converter enters the UART handshake mode and outputs the data in two bytes, then returns to "direct" mode. When the MODE input is left high, the converter will output data in the handshake mode at the end of every conversion cycle. (See section entitled "Handshake Mode" for further details).

STATUS Output

During a conversion cycle, the STATUS output goes high at the beginning of Signal Integrate (Phase II), and goes low one-half clock period after new data from the conversion has been stored in the output latches. See Figure 4 for details of this timing. This signal may be used as a "data valid" flag (data never changes while STATUS is low) to drive interrupts, or for monitoring the status of the converter.

RUN/$\overline{\text{HOLD}}$ Input

When the RUN/$\overline{\text{HOLD}}$ input is high, or left open, the circuit will continuously perform conversion cycles, updating the output latches after zero crossing during the Deintegrate (Phase III) portion of the conversion cycle (See Figure 4). In this mode of operation, the conversion cycle will be performed in 8192 clock periods, regardless of the resulting value.

If RUN/$\overline{\text{HOLD}}$ goes low at any time during Deintegrate (Phase III) after the zero crossing has occurred, the circuit will immediately terminate Deintegrate and jump to Auto-Zero. This feature can be used to eliminate the time spent in Deintegrate after the zero-crossing. If RUN/$\overline{\text{HOLD}}$ stays or goes low, the converter will ensure minimum Auto-Zero time, and then wait in Auto-Zero until the RUN/$\overline{\text{HOLD}}$ input goes high. The converter will begin the Integrate (Phase II) portion of the next conversion (and the STATUS output will go high) seven clock periods after the high level is detected at RUN/$\overline{\text{HOLD}}$. See Figure 6 for details.

INTERSIL'S SOLE AND EXCLUSIVE WARRANTY OBLIGATION WITH RESPECT TO THIS PRODUCT SHALL BE THAT STATED IN THE WARRANTY ARTICLE OF THE CONDITION OF SALE. THE WARRANTY SHALL BE EXCLUSIVE AND SHALL BE IN LIEU OF ALL OTHER WARRANTIES, EXPRESS, IMPLIED OR STATUTORY, INCLUDING THE IMPLIED WARRANTIES OF MERCHANTABILITY AND FITNESS FOR A PARTICULAR USE.

NOTE: All typical values have been characterized but are not tested

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

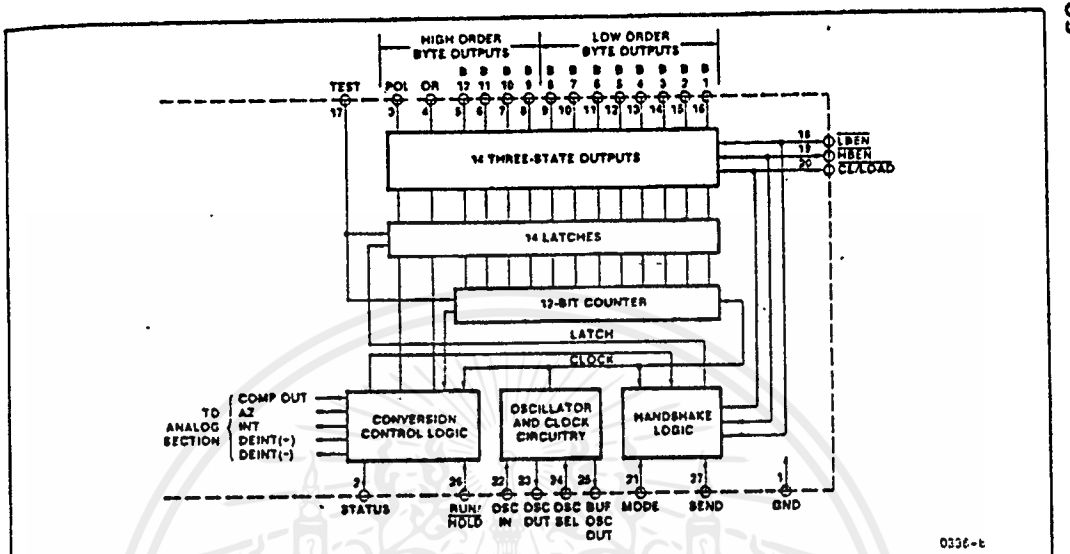


Figure 5: Digital Section

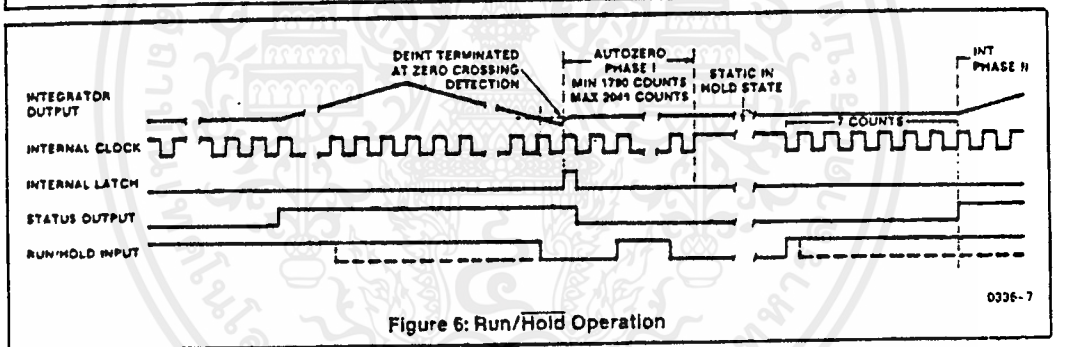


Figure 6: Run/Hold Operation

Using the RUN/$\overline{\text{HOLD}}$ input in this manner allows an easy "convert on demand" interface to be used. The converter may be held at idle in auto-zero with RUN/$\overline{\text{HOLD}}$ low. When RUN/$\overline{\text{HOLD}}$ goes high the conversion is started, and when the STATUS output goes low the new data is valid (or transferred to the UART — see Handshake Mode). RUN/$\overline{\text{HOLD}}$ may now be taken low which terminates deintegrate and ensures a minimum Auto-Zero time before the next conversion.

Alternately, RUN/$\overline{\text{HOLD}}$ can be used to minimize conversion time by ensuring that it goes low during Deintegrate, after zero crossing, and goes high after the hold point is reached. The required activity on the RUN/$\overline{\text{HOLD}}$ input can be provided by connecting it to the Buffered Oscillator Output. In this mode the conversion time is dependent on the input value measured. Also refer to Intersil Application Bulletin A032 for a discussion of the effects this will have on Auto-Zero performance.

If the RUN/$\overline{\text{HOLD}}$ input goes low and stays low during Auto-Zero (Phase I), the converter will simply stop at the end of Auto-Zero and wait for RUN/$\overline{\text{HOLD}}$ to go high. As above, Integrate (Phase II) begins seven clock periods after the high level is detected.

Direct Mode

When the MODE pin is left at a low level, the data outputs (bits 1 through 8 low order byte, bits 9 through 12, polarity and over-range high order byte) are accessible under control of the byte and chip enable terminals as inputs. These three inputs are all active low, and are provided with pullup resistors to ensure an inactive high level when left open. When the chip enable input is low, taking a byte enable input low will allow the outputs of that byte to become active (three-stated on). This allows a variety of parallel data accessing techniques to be used, as shown in the section entitled "Interfacing." The timing requirements for these outputs are shown in Figure 7 and Table 2.

INTERSIL'S SOLE AND EXCLUSIVE WARRANTY OBLIGATION WITH RESPECT TO THIS PRODUCT SHALL BE THAT STATED IN THE WARRANTY ARTICLE OF THE CONDITION OF SALE. THE WARRANTY SHALL BE EXCLUSIVE AND SHALL BE IN LIEU OF ALL OTHER WARRANTIES, EXPRESS, IMPLIED OR STATUTORY, INCLUDING THE IMPLIED WARRANTIES OF MERCHANTABILITY AND FITNESS FOR A PARTICULAR USE

NOTE: All typical values have been characterized but are not tested

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

National Semiconductor Corporation

MICRO-DAC™ DAC1208, DAC1209, DAC1210, DAC1230, DAC1231, DAC1232 12-Bit, μP Compatible, Double-Buffered D to A Converters

General Description

The DAC1208 and the DAC1230 series are 12-bit multiplying D to A converters designed to interface directly with a wide variety of microprocessors (8080, 8048, 8085, Z-80, etc.). Double buffering input registers and associated control lines allow these DACs to appear as a two-byte "stack" in the system's memory or I/O space with no additional interfacing logic required.

The DAC1208 series provides all 12 input lines to allow single buffering for maximum throughput when used with 16-bit processors. These input lines can also be externally configured to permit an 8-bit data interface. The DAC1230 series can be used with an 8-bit data bus directly as it internally formulates the 12-bit DAC data from its 8 input lines. All of these DACs accept left-justified data from the processor.

The analog section is a precision silicon-chromium (Si-Cr) R-2R ladder network and twelve CMOS current switches. An inverted R-2R ladder structure is used with the binary weighted currents switched between the I_{OUT1} and I_{OUT2} maintaining a constant current in each ladder leg independent of the switch state. Special circuitry provides TTL logic input voltage level compatibility.

The DAC1208 series and DAC1230 series are the 12-bit members of a family of microprocessor compatible DACs (MICRO-DACs™). For applications requiring other resolutions, the DAC1000 series for 10-bit and DAC0830 series for 8-bit are available alternatives.

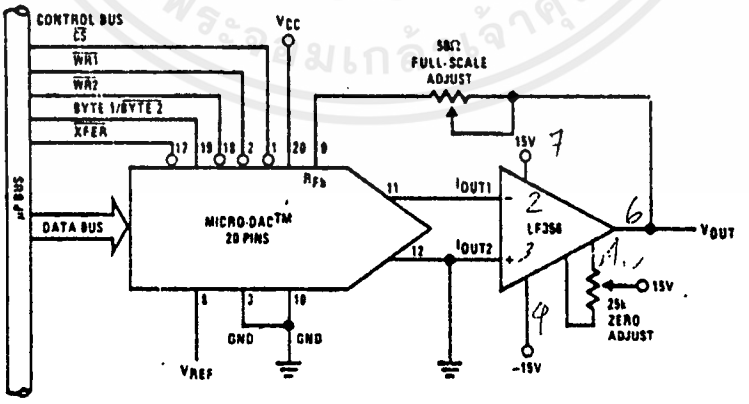
Features

- Linearity specified with zero and full-scale adjust only
- Direct interface to all popular microprocessors
- Double-buffered, single-buffered or flow through digital data inputs
- Logic inputs which meet TTL voltage level specs (1.4V logic threshold)
- Works with ±10V reference—full 4-quadrant multiplication
- Operates stand-alone (without μP) if desired
- All parts guaranteed 12-bit monotonic
- DAC1230 series is pin compatible with the DAC0830 series 8-bit MICRO-DACs

Key Specifications

■ Current Settling Time	1 μs
■ Resolution	12 Bits
■ Linearity (Guaranteed over temperature)	10, 11, or 12 Bits of FS
■ Gain Tempco	1.3 ppm/°C
■ Low Power Dissipation	20 mW
■ Single Power Supply	5 V_{DC} to 15 V_{DC}

Typical Application



TL/H/5690–1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Absolute Maximum Ratings

If Military/Aerospace specified devices are required, contact the National Semiconductor Sales Office/ Distributors for availability and specifications.

(Notes 1 and 2)

Supply Voltage (V_{CC})	17 V_{DC}
Voltage at Any Digital Input	V_{CC} to GND
Voltage at V_{REF} Input	±25V
Storage Temperature Range	−65°C to +150°C
Package Dissipation at T_A = 25°C (Note 3)	500 mW
DC Voltage Applied to I_{OUT1} or I_{OUT2} (Note 4)	−100 mV to V_{CC}
ESD Susceptability	800V

Operating Conditions

Lead Temperature (Soldering, 10 seconds)	300°C
Temperature Range	$T_{MIN} \leq T_A \leq T_{MAX}$
DAC1208LCJ, DAC1209LCJ, DAC1210LCJ, DAC1230LCJ, DAC1231LCJ, DAC1232LCJ	−40°C ≤ T_A ≤ +85°C
DAC1208LCJ-1, DAC1209LCJ-1, DAC1210LCJ-1, DAC1230LCJ-1, DAC1231LCJ-1, DAC1232LCJ-1	0°C ≤ T_A ≤ +70°C
Range of V_{CC}	4.75 V_{DC} to 16 V_{DC}
Voltage at Any Digital Input	V_{CC} to GND

Electrical Characteristics

V_{REF} = 10.000 V_{DC}, V_{CC} = 11.4 V_{DC} to 15.75 V_{DC} unless otherwise noted. **Boldface limits apply from T_{MIN} to T_{MAX} (see Note 13)**; all other limits $T_A = T_J$ = 25°C.

Parameter	Conditions	Notes	Typ (Note 10)	Tested Limit (Note 5)	Design Limit (Note 6)	Units
Resolution			12	**12**	**12**	Bits
Linearity Error (End Point Linearity)	Zero and Full-Scale Adjusted	4, 7, 13				
	DAC1208, DAC1230			**0.012**	**0.012**	% of FSR
	DAC1209, DAC1231			**0.024**	**0.024**	% of FSR
	DAC1210, DAC1232			**0.050**	**0.05**	% of FSR
Differential Non-Linearity	Zero and Full-Scale Adjusted	4, 7, 13				
	DAC1208, DAC1230			**0.018**	**0.018**	% of FSR
	DAC1209, DAC1231			**0.024**	**0.024**	% of FSR
	DAC1210, DAC1232			**0.050**	**0.05**	% of FSR
Monotonicity		4	12	**12**	**12**	Bits
Gain Error (Min)	Using Internal R_{Fb} V_{ref} = ±10V, ±1V	7	−0.1	0.0		% of FSR
Gain Error (Max)		7	−0.1	−0.2		% of FSR
Gain Error Tempco		7	±1.3		**±6.0**	ppm of FS/°C
Power Supply Rejection	All Digital Inputs Latched High	7	±3.0	±30		ppm of FSR/V
Reference Input Resistance (Min)		13	15	**10**	**10**	kΩ
Reference Input Resistance (Max)			15	**20**	**20**	
Output Feedthrough Error	V_{REF} = 20 Vp-p, f = 100 kHz All Data Inputs Latched Low	9	3.0			mVp-p
Output Capacitance	All Data Inputs Latched High I_{OUT1}				200	pF
	All Data Inputs Latched High I_{OUT2}				70	pF
	All Data Inputs Latched Low I_{OUT1}				70	pF
	All Data Inputs Latched Low I_{OUT2}				200	pF
Supply Current Drain		13		2.0	**2.5**	mA
Output Leakage Current I_{OUT1}	All Data Inputs Latched Low	11, 13	0.1	**15**	**15**	nA
I_{OUT2}	All Data Inputs Latched High	11, 13	0.1	**15**	**15**	nA
Digital Input Threshold	Low Threshold	13		**0.8**	**0.8**	V_{DC}
	High Threshold	13		**2.2**	**2.2**	V_{DC}
Digital Input Currents	Digital Inputs ≤ 0.8V	13		**−200**	**−200**	μA_{DC}
	Digital Inputs ≥ 2.2V	13		**10**	**10**	μA_{DC}

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Electrical Characteristics (Continued)

V_{REF} = 10.000 V_{DC}, V_{CC} = 11.4 V_{DC} to 15.75 V_{DC} unless otherwise noted. **Boldface limits apply from T_{MIN} to T_{MAX} (see Note 13)**; all other limits $T_A = T_J$ = 25°C.

Symbol	Parameter	Conditions	See Note	Typ (Note 10)	Tested Limit (Note 5)	Design Limit (Note 6)	Units
AC CHARACTERISTICS							
t_S	Current Setting Time	V_{IL} = 0V, V_{IH} = 5V		1.0			µs
t_W	Write and XFER Pulse Width Min.	V_{IL} = 0V, V_{IH} = 5V	8	50		320 **320**	ns
t_{DS}	Data Setup Time Min.	V_{IL} = 0V, V_{IH} = 5V		70		320 **320**	ns
t_{DH}	Data Hold Time Min.	V_{IL} = 0V, V_{IH} = 5V		30		90 **90**	ns
t_{CS}	Control Setup Time Min.	V_{IL} = 0V, V_{IH} = 5V		60		320 **320**	ns
t_{CH}	Control Hold Time Min.	V_{IL} = 0V, V_{IH} = 5V		0		10	ns

Note 1: Absolute Maximum Ratings indicate limits beyond which damage to the device may occur. DC and AC electrical specifications do not apply when operating the device beyond its specified operating conditions.

Note 2: All voltages are measured with respect to GND, unless otherwise specified.

Note 3: The 500 mW specification applies for all packages. The low intrinsic power dissipation of this part (and the fact that there is no way to significantly modify the power dissipation) removes concern for heat sinking.

Note 4: Both I_{OUT1} and I_{OUT2} must go to ground or the virtual ground of an operational amplifier. The linearity error is degraded by approximately $V_{OS} \div V_{REF}$. For example, if V_{REF} = 10V then a 1 mV offset, V_{OS}, on I_{OUT1} or I_{OUT2} will introduce an additional 0.01% linearity error.

Note 5: Tested and guaranteed to National's AOQL (Average Outgoing Quality Level).

Note 6: Design limits are guaranteed but not 100% tested. These limits are not used to calculate outgoing quality levels. Guaranteed for V_{CC} = 11.4V to 15.75V and V_{REF} = −10V to +10V.

Note 7: The unit FSR stands for full-scale range. Linearity Error and Power Supply Rejection specs are based on this unit to eliminate dependence on a particular V_{REF} value to indicate the true performance of the part. The Linearity Error specification of the DAC1208 is 0.012% of FSR(max). This guarantees that after performing a zero and full-scale adjustment, the plot of the 4096 analog voltage outputs will each be within 0.012% × V_{REF} of a straight line which passes through zero and full-scale. The unit ppm of FSR(parts per million of full-scale range) and ppm of FS(parts per million of full-scale) are used for convenience to define specs of very small percentage values, typical of higher accuracy converters. In this instance, 1 ppm of FSR = $V_{REF}/10^6$ is the conversion factor to provide an actual output voltage quantity. For example, the gain error tempco spec of ±6 ppm of FS/°C represents a worst-case full-scale gain error change with temperature from −40°C to +85°C of ±(6)($V_{REF}/10^6$)(125°C) or ±0.75 (10^{-3}) V_{REF} which is ±0.075% of V_{REF}.

Note 8: This spec implies that all parts are guaranteed to operate with a write pulse or transfer pulse width (t_W) of 320 ns. A typical part will operate with t_W of only 100 ns. The entire write pulse must occur within the valid data interval for the specified t_W, t_{DS}, t_{DH} and t_S to apply.

Note 9: To achieve this low feedthrough in the D package, the user must ground the metal lid. If the lid is left floating the feedthrough is typically 6 mV.

Note 10: Typicals are at 25°C and represent the most likely parametric norm.

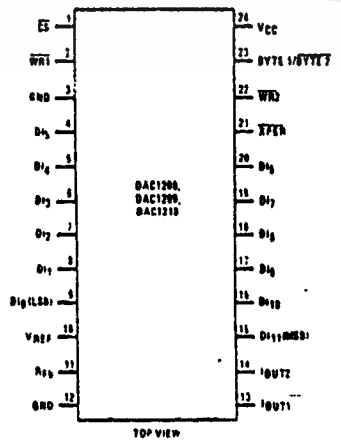
Note 11: A 10 nA leakage current with R_{FB} = 20k and V_{REF} = 10V corresponds to a zero error of (10 × 10^{-9} × 20 × 10^3) × 100% 10V or 0.002% of FS.

Note 12: Human body model, 100 pF discharged through a 1.5 kΩ resistor.

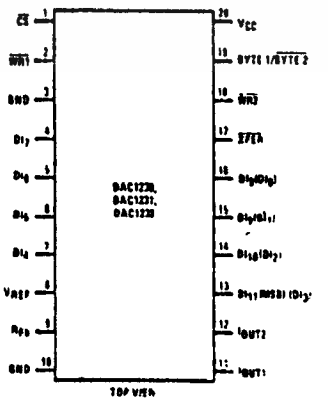
Note 13: Tested limit for −1 suffix parts applies only at 25°C.

Connection Diagrams

Dual-In-Line Package



Dual-In-Line Package

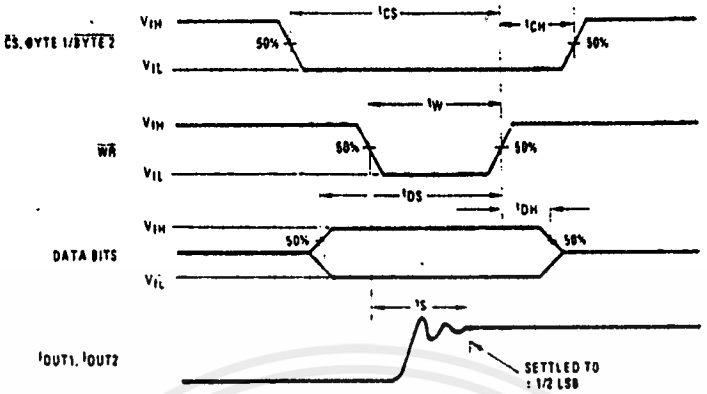


TL/H/5690-2

See Ordering Information

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

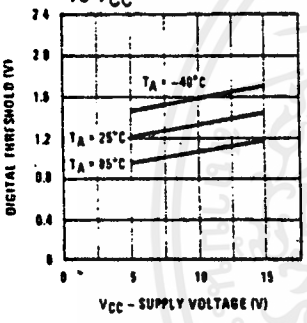
Switching Waveforms



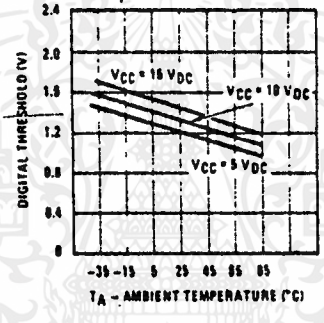
TL/H/5690–3

Typical Performance Characteristics

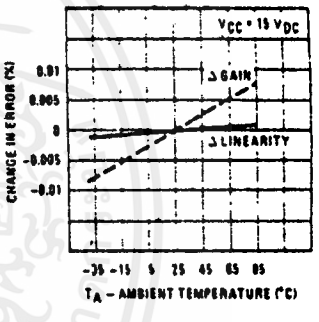
Digital Input Threshold vs VCC



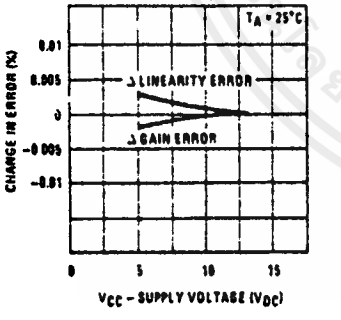
Digital Input Threshold vs Temperature



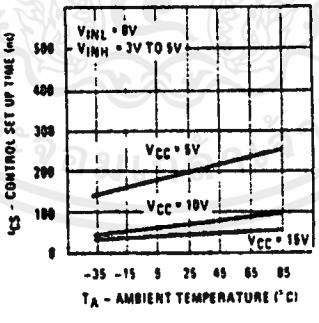
Gain and Linearity Error Variation vs Temperature



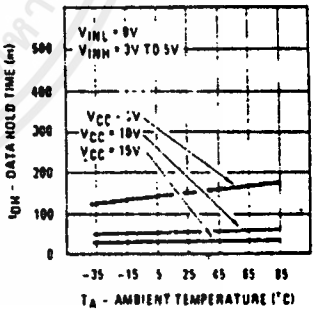
Gain and Linearity Error Variation vs Supply Voltage



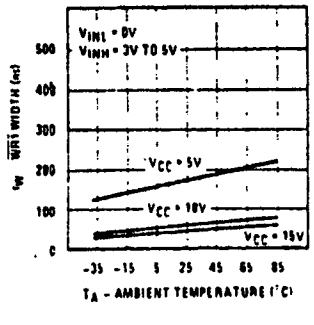
Control Set-Up Time, tCS



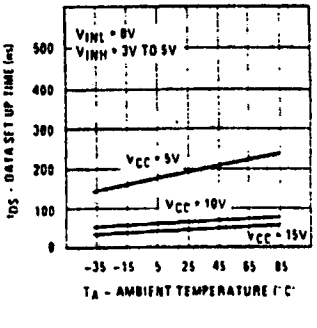
Data Hold Time, tDH



Write Pulse Width, tW



Data Set-Up Time, tDS



TL/H/5690–4

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Definition of Package Pinouts

CONTROL SIGNALS (all control signals are level actuated)

$\overline{CS}$: Chip Select (active low). The $\overline{CS}$ will enable $\overline{WR1}$

$\overline{WR1}$: Write 1. The active low $\overline{WR1}$ is used to load the digital data bits (DI) into the input latch. The data in the input latch is latched when $\overline{WR1}$ is high. The 12-bit input latch is split into two latches. One holds the first 8 bits, while the other holds 4 bits. The Byte 1/$\overline{\text{Byte 2}}$ control pin is used to select both latches when Byte 1/$\overline{\text{Byte 2}}$ is high or to overwrite the 4-bit input latch when in the low state.

Byte 1/$\overline{\text{Byte 2}}$: Byte Sequence Control. When this control is high, all 12 locations of the input latch are enabled. When low, only the four least significant locations of the input latch are enabled

$\overline{WR2}$: Write 2 (active low). The $\overline{WR2}$ will enable $\overline{XFER}$

$\overline{XFER}$: Transfer Control Signal (active low). This signal, in combination with $\overline{WR2}$, causes the 12-bit data which is available in the input latches to transfer to the DAC register.

DI_0 to DI_{11}: Digital Inputs. DI_0 is the least significant digital input (LSB) and DI_{11} is the most significant digital input (MSB).

I_{OUT1}: DAC Current Output 1. I_{OUT1} is a maximum for a digital code of all 1s in the DAC register, and is zero for all 0s in the DAC register.

I_{OUT2}: DAC Current Output 2. I_{OUT2} is a constant minus I_{OUT1}, or $I_{OUT1} + I_{OUT2} = \text{constant}$ (for a fixed reference voltage). This constant current is

$$V_{REF} \cdot \left(1 - \frac{1}{4096}\right)$$

divided by the reference input resistance.

R_{Fb}: Feedback Resistor. The feedback resistor is provided on the IC chip for use as the shunt feedback resistor for the external op amp which is used to provide an output voltage for the DAC. This on-chip resistor should always be used (not an external resistor) since it matches the resistors in the on-chip R-2R ladder and tracks these resistors over temperature.

V_{REF}: Reference Voltage Input. This input connects an external precision voltage source to the internal R-2R ladder. V_{REF} can be selected over the range of 10V to −10V. This is also the analog voltage input for a 4-quadrant multiplying DAC application.

V_{CC}: Digital Supply Voltage. This is the power supply pin for the part. V_{CC} can be from 5 V_{DC} to 15 V_{DC}. Operation is optimum for 15 V_{DC}.

GND: Pins 3 and 12 of the DAC1208, DAC1209, and DAC1210 must be connected to ground. Pins 3 and 10 of the DAC1230, DAC1231, and DAC1232 must be connected to ground. It is important that I_{OUT_1} and I_{OUT_2} are at ground potential for current switching applications. Any difference of potential (V_{OS} on these pins) will result in a linearity change of

$$\frac{V_{OS}}{3\,V_{REF}}$$

For example, if V_{REF} = 10V and these ground pins are 9 mV offset from I_{OUT_1} and I_{OUT_2}, the linearity change will be 0.03%.

Definition of Terms

Resolution: Resolution is defined as the reciprocal of the number of discrete steps in the DAC output. It is directly related to the number of switches or bits within the DAC. For example, the DAC1208 has 2^{12} or 4096 steps and therefore has 12-bit resolution.

Linearity Error: Linearity error is the maximum deviation from a *straight line passing through the endpoints of the DAC transfer characteristic.* It is measured after adjusting for zero and full-scale. Linearity error is a parameter intrinsic to the device and cannot be externally adjusted.

National's linearity test (a) and the best straight line test (b) used by other suppliers are illustrated below. The best straight line (b) requires a special zero and FS adjustment for each part, which is almost impossible for the user to determine. The end point test uses a standard zero FS adjustment procedure and is a much more stringent test for DAC linearity.

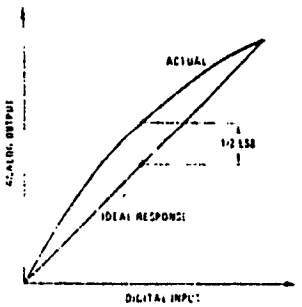
Power Supply Sensitivity: Power supply sensitivity is a measure of the effect of power supply changes on the DAC full-scale output.

Settling Time: Full-scale current settling time requires zero to full-scale or full-scale to zero output change. Settling time is the time required from a code transition until the DAC output reaches within ± ½ LSB of the final output value.

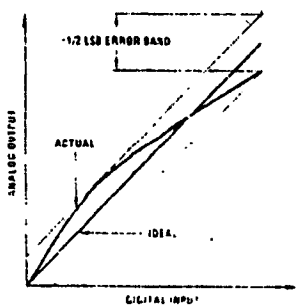
Full-Scale Error: Full-scale error is a measure of the output error between an ideal DAC and the actual device output. Ideally, for the DAC1208 or DAC1230 series, full-scale is V_{REF} − 1 LSB. For V_{REF} = 10V and unipolar operation, $V_{FULL\text{-}SCALE}$ = 10.0000V − 2.44 mV = 9.9976V. Full-scale error is adjustable to zero.

Differential Non-Linearity: The difference between any two consecutive codes in the transfer curve from the theoretical 1 LSB is differential non-linearity.

Monotonic: If the output of a DAC increases for increasing digital input code, then the DAC is monotonic. A 12-bit DAC which is monotonic to 12 bits simply means that input increasing digital input codes will produce an increasing analog output.



a) End Point Test After Zero and FS Adjust



b) Shifting FS Adjust to Pass Best Straight Line Test

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Application Hints

1.0 DIGITAL INTERFACE

These DACs are designed to provide all of the necessary digital input circuitry to permit a direct interface to a wide variety of microprocessor systems. The timing and logic level convention of the input control signals allow the DACs to be treated as a typical memory device or I/O peripheral with no external logic required in most systems. Essentially these DACs can be mapped as a two-byte stack in memory (or I/O space) to receive their 12 bits of input data in two successive 8-bit data writing sequences. The DAC1230 series is intended for use in systems with an 8-bit data bus. The DAC1208 series provides all 12 digital input lines which can be externally configured to be controlled from an 8-bit bus or can be driven directly from a 16-bit data bus.

All of the digital inputs to these DACs contain a unique threshold regulator circuit to maintain TTL voltage level compatibility independent of the applied V_{CC} to the DAC. Any input can also be driven from higher voltage CMOS logic levels in non-microprocessor based systems. To prevent damage to the chip from static discharge, all unused digital inputs should be tied to V_{CC} or ground. As a trouble-shooting aid, if any digital input is inadvertently left floating, the DAC will interpret the pin as a logic "1".

Double buffered digital inputs allow the DAC to internally format the 12-bit word used to set the current switching R-2R ladder network (see section 2.0) from two 8-bit data write cycles. *Figures 1* and *2* show the internal data registers and their controlling logic circuitry. The timing diagrams for updating the DAC output are shown in sections 1.1, 1.2 and 1.3 for three possible control modes. The method used depends strictly upon the particular application.

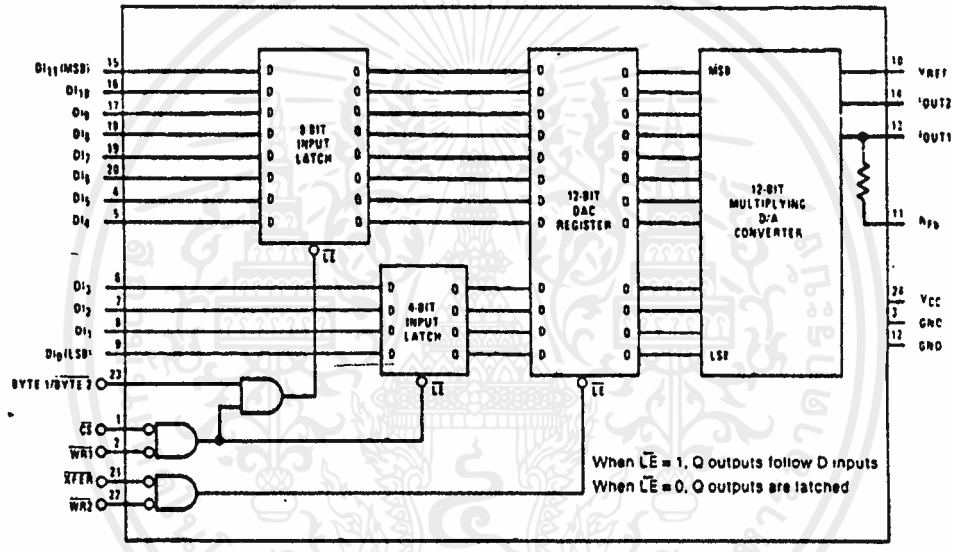


FIGURE 1. DAC1208, DAC1209, DAC1210 Functional Diagram

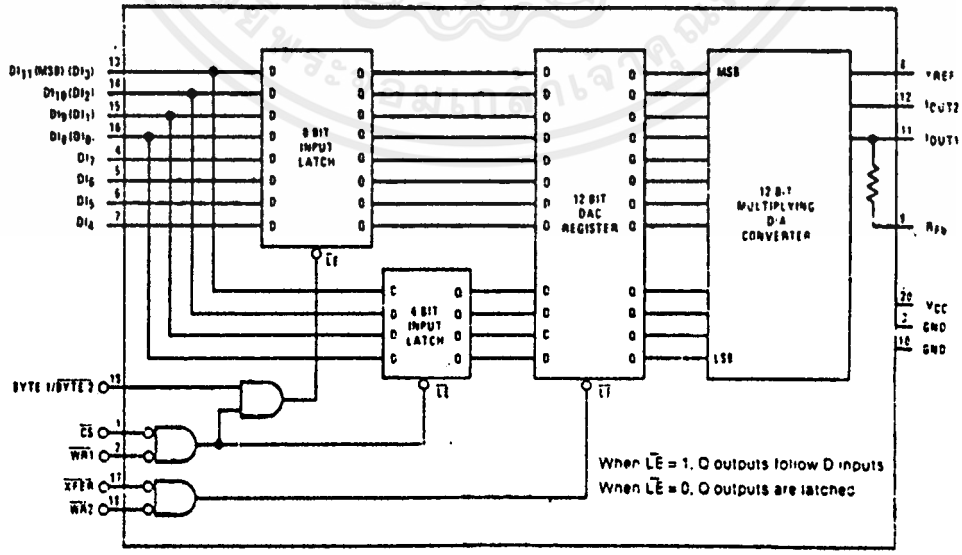


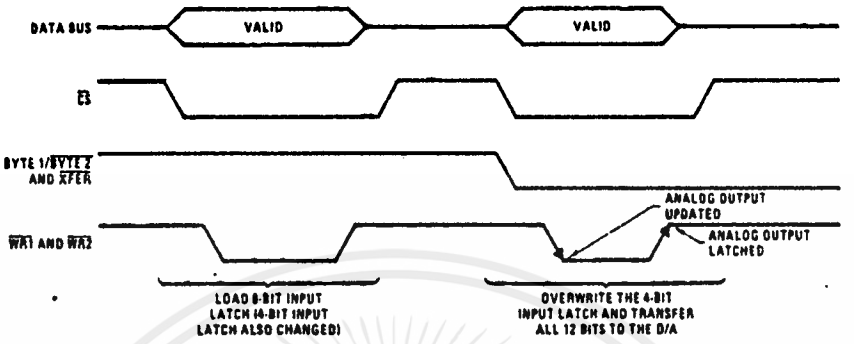
FIGURE 2. DAC1230, DAC1231, DAC1232 Functional Diagram

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Application Hints (Continued)

1.1 Automatic Transfer

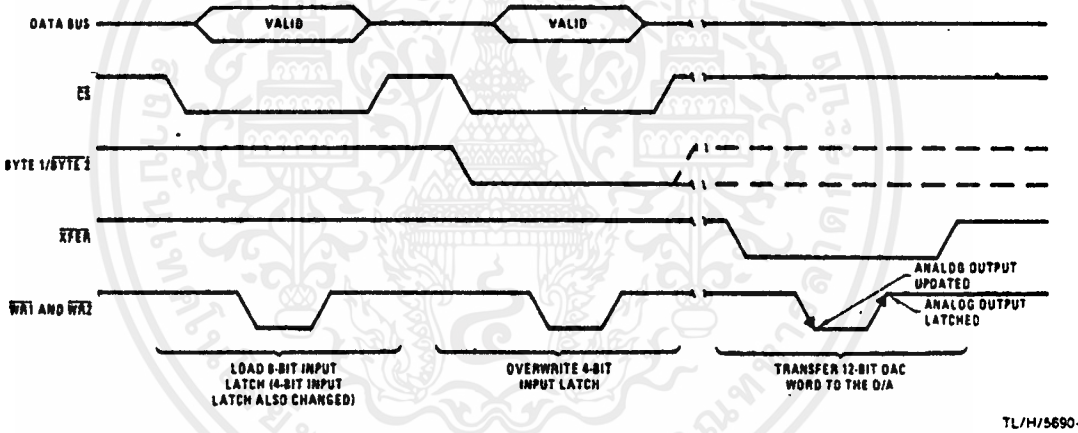
The 12-bit DAC word is automatically transferred to the DAC register and the R-2R ladder when the second write (the 4 LSBs of the data) occurs.



TL/H/5690-7

1.2 Independent Processor Transfer Control

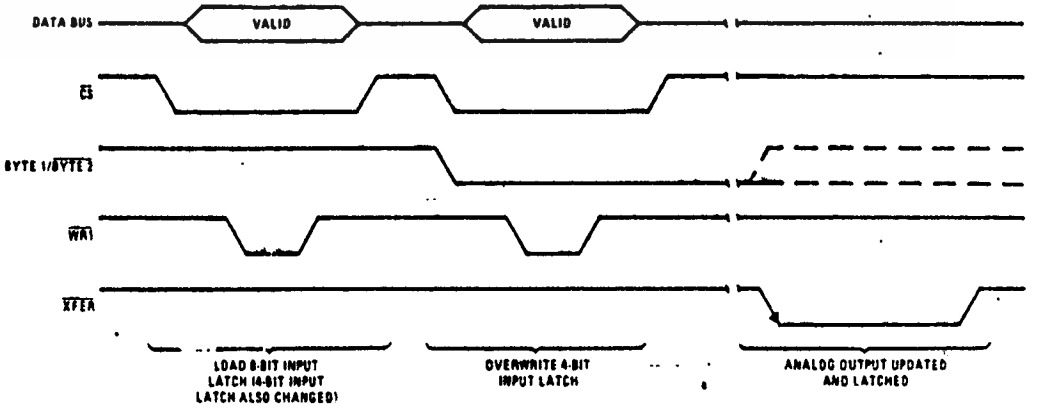
In this case a separate address is decoded to provide the $\overline{XFER}$ signal. This allows the processor to load the next required DAC word but not change the analog output until some time later, most useful for the simultaneous updating of several DACs in a system where their $\overline{XFER}$ lines would be tied together.



TL/H/5690-8

1.3 Transfer via an External Strobe

This method is basically the same as the previous operation except the $\overline{XFER}$ signal is provided by a device other than the processor. This allows the DAC to hold the code for a conditional analog output signal which will be required on demand from an external monitoring device (an analog voltage comparator for instance).



$\overline{WR2}$ tied to a logic low (0V)

TL/H/5690-9

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้