

การเข้ารหัสสัญญาณวีดีโอ



ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาอุตสาหกรรมศาสตรบัณฑิต

สาขา เทคโนโลยีอิเล็กทรอนิกส์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2535

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

03276๖



Video Scrambling

By

Mr. Kridtamedh Tangpattanapradit

Mr. Supasit Khaweerat

Mr. Suparp Jantanapongphun

Project report submitted in partial fulfillment of

the requirement for the Bachelor's degree

Department of Industrial Technology

Faculty of Engineering

King Mongkut's Institute of Technology Ladkrabang

1992

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

032763

หัวข้อปริญญานิพนธ์

โดย

ภาควิชา

อาจารย์ที่ปรึกษา

การเข้ารหัสสัญญาณวีดีโอ

นาย กฤตเมธ ตั้งพัฒนาประดิษฐ์

นาย สุภสิทธิ์ คะวีรัตน์

นาย สุภาพ จันทนพงศ์พันธ์

เทคนิคอุตสาหกรรม

ผศ.ดร. กนก เจริญพงศ์เวช

คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง
อนุมัติให้นับปริญญานิพนธ์ฉบับนี้ เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาอุตสาหกรรมศาสตรบัณฑิต

คณะกรรมการสอบปริญญานิพนธ์

..... อาจารย์ที่ปรึกษา

(ผศ.ดร. กนก เจริญพงศ์เวช)

..... กรรมการ

(.....)

..... กรรมการ

(.....)

..... กรรมการ

(.....)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Project Report

Video Scrambling

By

Mr. Kridtamedh Tangpattanapradit

Mr. Supasit Khaweerat

Mr. Suparp Jantanapongphun

Department of

Industrial Technology

Project Report Advisor

Dr. Kanok Jainjirapongvej

Accepted by the Faculty of Engineering, King Mongkut's
Institute of Technology, Ladkrabang in partial fulfillment
of the requirements for the Bachelor's degree

Project Report Committee

.....
(Dr. Kanok Jainjirapongvej)

Advisor

.....
(.....)

Member

.....
(.....)

Member

.....
(.....)

Member

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

นาย กฤตเมธ ตั้งพัฒนาประดิษฐ์

นาย สุกสิทธิ์ คะวีรัตน์

นาย สุภาพ จันทนพงศ์พันธ์

อ.ที่ปรึกษา

ผศ.ดร. กนก เจนจิระพงศ์เวช

บทคัดย่อ

Video Scrambling เป็นวิธีการที่พัฒนาขึ้นมาเพื่อใช้ในการเข้ารหัสสัญญาณ Video เพื่อป้องกันข้อมูลที่เป็นความลับจากบุคคลภายนอกที่ไม่เกี่ยวข้อง โดยจะยังคงใช้ระบบสื่อสารทั่วไป ทำให้มีค่าใช้จ่ายที่ต่ำ และเนื่องจากสามารถเข้ารหัสข้อมูลวิดีโอได้หลายแบบ ทำให้กำหนดความสามารถในการรักษาความปลอดภัยของข้อมูลได้หลายระดับ ตั้งแต่ความปลอดภัยต่ำ จนถึงความปลอดภัยสูง

Mr. Kridtamedh Tangpattanapradit

Mr. Supasit Khaweerat

Mr. Suparp Jantanapongphun

Advisor

Dr. Kanok Jainjirapongvej

Abstract

Video Scrambling is the methode that developed for use in Video encodeing. It protects your information form person who has not concerning with this information and It can use in common communication system which have lower cost. Video encodeing methode have many form therefore we can assign security levels in many level from low security to high security.

กิตติกรรมประกาศ

ปริญญานิพนธ์ฉบับนี้ สำเร็จลงได้ด้วยความกรุณาอย่างยิ่งจาก ผู้ช่วยศาสตราจารย์ ดร. กนก เจนจิระพงศ์เวช ที่ให้ข้อมูลทางด้านวิชาการ และติดต่อขอข้อมูลจากต่างประเทศ ตลอดจนให้คำปรึกษาต่างๆเกี่ยวกับโครงการ จึงทำให้โครงการนี้สำเร็จลุล่วงไปด้วยดี

อนึ่งในการทำโครงการนี้จนสำเร็จ ยังได้รับความสนับสนุนจากอาจารย์ในภาค และเพื่อนๆทางด้านอุปกรณ์ในการทดสอบต่างๆ จึงขอขอบพระคุณเป็นอย่างสูงมา ณ โอกาสนี้



สารบัญ

บทที่	หัวข้อเรื่อง	หน้า
	กิตติกรรมประกาศ	
1	บทนำ	1
2	สัญญาณภาพรวม	2
3	วงจรกรองความถี่	7
4	Phase Lock Loop	17
5	เทคนิคการ Scrambling	29
6	ตัวอย่างการนำไปใช้งาน	38
7	Video Scrambling	42
8	SAVE Descrambling	45
	หนังสืออ้างอิง	54
	ภาคผนวก ก รายละเอียดของวงจร (ขนาดขยาย)	
	ภาคผนวก ข Data Sheet	

บทที่ 1

บทนำ

เนื่องจากในปัจจุบันนี้ได้เริ่มเข้าสู่ยุคของสารสนเทศ ซึ่งมีการติดต่อสื่อสารและส่งข่าวสารข้อมูลต่าง ๆ อย่างมากมาย ทั้งที่อยู่ในรูปแบบของสัญญาณภาพ เสียง และที่อยู่ในรูปแบบของข้อมูล โดยในทางธุรกิจอาจจะเป็นการติดต่อกันระหว่างบริษัทในเครือ หรือติดต่อกับบริษัทคู่ค้า หรือแม้แต่จะเป็นการให้บริการข่าวสาร ความบันเทิงต่าง ๆ ต่อบุคคล หรือกลุ่มบุคคลที่ต้องการเท่านั้น เพราะข่าวสารที่จะส่งนั้นเป็นความลับ จึงต้องมีการป้องกันข้อมูลข่าวสารนั้นจากบุคคลภายนอกที่ไม่เกี่ยวข้อง แต่การป้องกันนี้ จะใช้ระบบการสื่อสารที่มีลักษณะพิเศษเฉพาะตัวที่แตกต่างจากระบบทั่ว ๆ ไปนั้น จะทำให้เสียค่าใช้จ่ายที่สูงมาก เพราะต้องมีการออกแบบมาเฉพาะ และอุปกรณ์ก็หาได้ลำบาก ดังนั้นจึงได้มีการพัฒนาวิธีการในการป้องกันข้อมูลข่าวสาร เพื่อให้สามารถใช้กับระบบสื่อสารทั่ว ๆ ไปได้ โดยจะเน้นไปที่การเปลี่ยนแปลงข้อมูล หรือสัญญาณที่เกี่ยวข้องแทน นั่นก็คือ การเปลี่ยนแปลงข้อมูลให้อยู่ในอีกรูปแบบหนึ่งซึ่งไม่สามารถจะรับรู้ข้อมูลได้ด้วยระบบปกติ หรือกล่าวได้ว่าข้อมูลได้มีการเข้ารหัส (Encode) แล้ว การที่จะรับรู้ข้อมูลนั้นเราจะต้องมีการถอดรหัสข้อมูล (Decoded) ก่อน ซึ่งวิธีการนี้จะเสียค่าใช้จ่ายน้อยกว่ามาก เพราะเราเพียงเพิ่มส่วนเข้ารหัสที่ภาคส่ง และเพิ่มส่วนถอดรหัสที่ภาครับเท่านั้น

การเปลี่ยนแปลงข้อมูลให้อยู่ในอีกรูปแบบหนึ่ง ซึ่งไม่สามารถรับรู้ข้อมูลได้ และสามารถเปลี่ยนกลับมาให้อยู่ในรูปแบบที่รับรู้ได้นี้ เราเรียกการเปลี่ยนแปลงข้อมูลไป (เข้ารหัส) ว่าการ "Scrambling" และเรียกการเปลี่ยนแปลงข้อมูลกลับ (ถอดรหัส) ว่าการ "Descrambling"

บทที่ 2

สัญญาณภาพรวม

โดยปกติแล้ว เครื่องส่งจะทำการส่งสัญญาณมาในรูปแบบของสัญญาณภาพรวม (Composite Video Signal) ซึ่งสัญญาณที่เครื่องรับโทรทัศน์ต้องการใช้ มีดังนี้

1. สัญญาณภาพ (Audio)
2. สัญญาณเสียง (Video)
3. สัญญาณแบล็กกิ้ง (Blanking)
4. สัญญาณซิงโครไนซ์ (Synchronize)
5. สัญญาณอีควอลไลซิง (Equalizing)

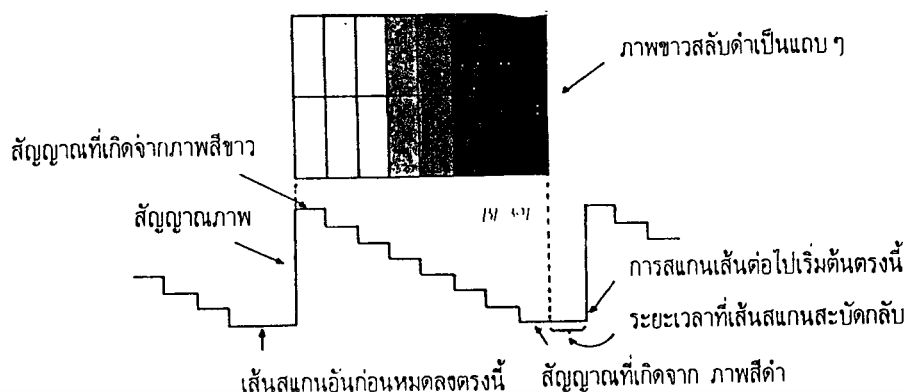
ในส่วนของสัญญาณเสียงจะมีการใช้คลื่นพาห์ (Carrier) เฉพาะ และทำการส่งแยกต่างหาก เพราะว่าระบบเสียงในโทรทัศน์เป็นระบบ FM ในขณะที่สัญญาณภาพและสัญญาณอื่น ๆ นั้น เราจะรวมเข้าเป็นสัญญาณเดียวในรูปแบบของสัญญาณภาพรวม (Composite video Signal) แล้วใช้คลื่นพาห์ภาพส่งออกไป การที่เราจะต้องส่งสัญญาณทั้ง 5 ตัวนี้ออกอากาศ เพื่อวัตถุประสงค์ดังนี้

1. สัญญาณภาพและเสียง เพื่อให้เกิดภาพและเสียงขึ้นในเครื่องรับโทรทัศน์
2. สัญญาณ Blanking เพื่อให้มีการลบเส้นสับกลับที่เกิดขึ้นทั้งในแนวตั้ง (Vertical) และแนวนอน (Horizontal)
3. สัญญาณ Synchronize เพื่อให้วงจรหักเหทางแนวตั้ง และแนวนอนของเครื่องรับโทรทัศน์ ทำงานสอดคล้องกับเครื่องส่ง
4. สัญญาณ Equalizing เพื่อช่วยให้สัญญาณ Synchronize ทั้งทางแนวตั้ง และแนวนอนยังคงรูปร่างเดิมอยู่ได้ แม้ว่าจะเป็นการ Scan แบบสลับเส้นก็ตาม

สัญญาณภาพขาว-ดำ

สมมติว่าเราจะดูระดับสัญญาณขาว-ดำ เราจะกล่าวได้ว่าภาพที่เป็นสีขาว คือภาพที่มีความสว่างมากที่สุด และภาพที่เป็นสีดำ คือภาพที่ไม่มีมีความสว่างเลย ภาพจำลองที่ใช้อธิบายลักษณะของภาพได้ดีที่สุด คือแถบภาพที่มีความแตกต่างของระดับเทา (Gray Scale) ซึ่งเราเรียกว่าระดับ Gray Scale ดังรูปที่ 2.1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.1 แสดงระดับสัญญาณขาว-ดำ Gray Scale

รูปที่ 2.1 จะแสดงให้เห็นถึงระดับของ Gray Scale ในกรณีที่ระดับสัญญาณภาพเป็นสัญญาณสีขาวเข้ามา ซึ่งเป็นระดับที่มีความแรงของสัญญาณภาพมากที่สุด จึงให้ความสว่างมากที่สุด และระดับสัญญาณค่อย ๆ ลดลงจากสีขาว เป็นสีม่วง เทา และดำ นั้น

อันที่จริงแล้ว สัญญาณภาพเป็นสัญญาณความถี่ทางไฟฟ้า ซึ่งมีความถี่สูงต่ำไม่เท่ากัน โดยจะมีความถี่สูงสุดไม่เกิน 4 MHz ในระบบ FCC และไม่เกิน 5 MHz ในระบบ CCIR ภาพที่เกิดจากความถี่สูง ย่อมมีความละเอียดมากกว่าภาพที่เกิดจากความถี่ต่ำ

สัญญาณ Blanking

เมื่อมีการ Scan ของลำอิเล็กตรอนที่หน้าจอ จะทำให้เกิดเส้น Retrace หรือเส้นสะบัดกลับ ซึ่งเป็นเส้นที่เราไม่ต้องการ ดังนั้นเครื่องส่งจึงต้องส่งสัญญาณ Blanking มา เพื่อให้เครื่องรับสามารถลบเส้นสะบัดกลับได้อย่างถูกต้อง โดยมีอยู่ 2 แบบด้วยกันคือ

1. Horizontal Blanking
2. Vertical Blanking

สัญญาณ Synchronize

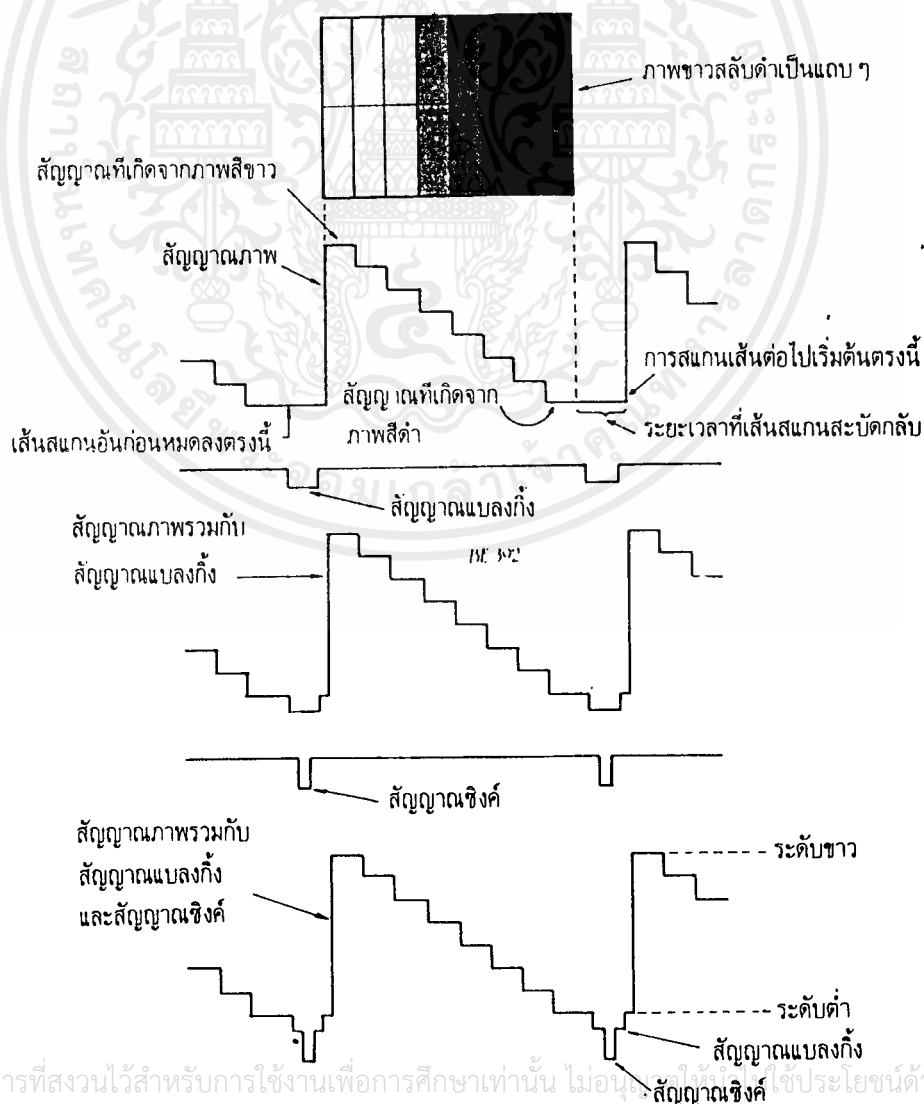
เป็นสัญญาณที่ทำให้การ Scan เป็นไปอย่างถูกต้อง ทั้งการ Scan ในแนวตั้งและแนวนอน มีอยู่ 2 แบบด้วยกัน คือ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

1. Horizontal Synchronize เป็น Synchronize ทางแนวนอนมีความถี่ 15,625 Hz (ในระบบ CCIR) หรือ 15,750 Hz (ในระบบ Fcc) ถ้าไม่มีสัญญาณนี้ส่งมากด้วย ภาพจะเกิดการล้ม

2. Vertical Synchronize เป็น Synchronize ทางแนวตั้งมีความถี่ 50 Hz (ในระบบ CCIR) หรือ 60 Hz (ในระบบ FCC) ถ้าไม่มีสัญญาณนี้จะทำให้เกิดภาพเลื่อน

เนื่องจากความถี่ของสัญญาณ Synchronize กับสัญญาณ Blanking ทั้งทางแนวนอน และแนวตั้งมีความถี่เท่ากัน ดังนั้นเวลาส่งเราจึงต้องกำหนดตำแหน่งของการส่งให้ถูกต้อง เพื่อไม่ให้เกิดการกวนกันได้ ในทางปฏิบัติจึงให้สัญญาณ Synch Pulse มีขนาดความกว้างน้อยกว่า Blanking Pulse และใช้วิธีการส่งแบบผสม กล่าวคือส่ง Synch Pulse กับ Blanking Pulse ไปด้วยกัน โดยให้ Blank



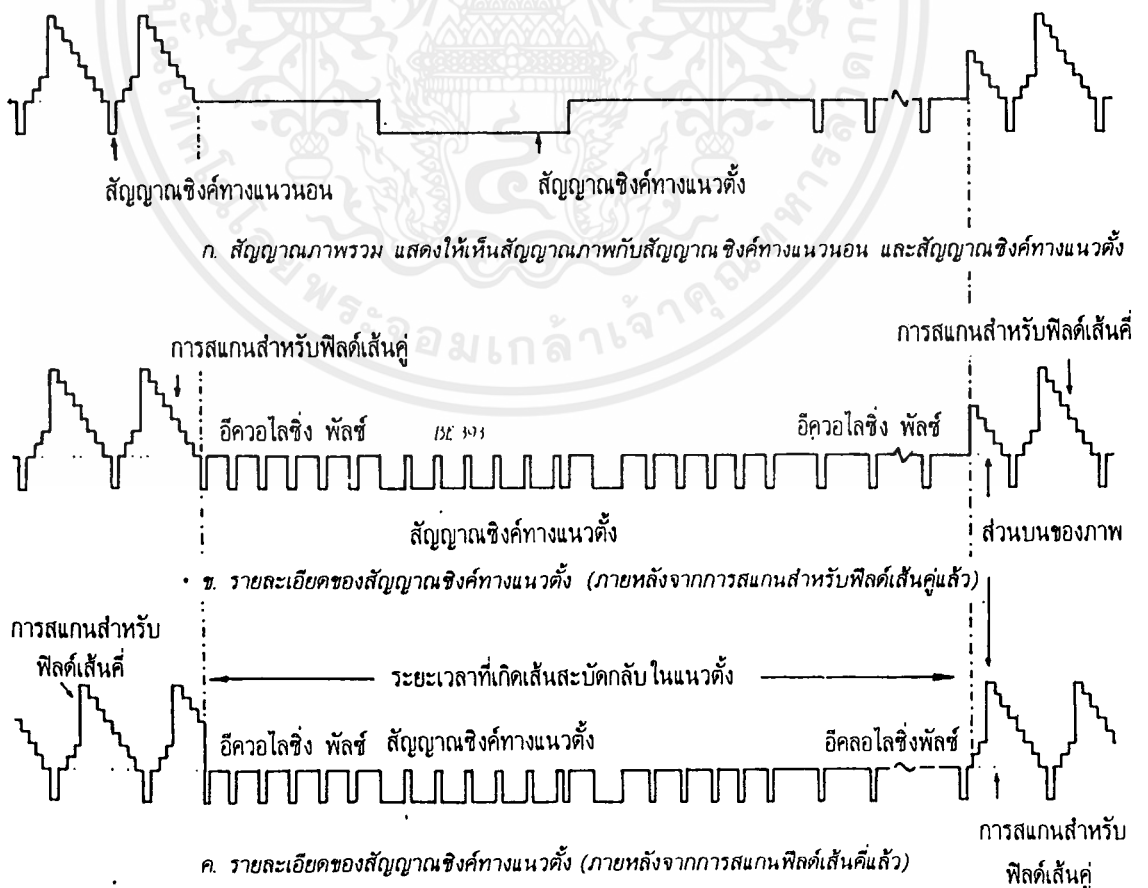
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาติให้เผยแพร่ไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 2.2 แสดงลักษณะของสัญญาณรวมเบื้องต้น

ing Pulse เป็นฐานของ Synch Pulse และเมื่อมีการจัดระดับของสัญญาณส่วนนี้เทียบกับ Gray Scale ระดับของ Blanking จะอยู่ต่ำกว่าระดับของสีดำ ส่วน Synch จะเป็นระดับที่ต่ำกว่าสีดำ และต่ำกว่า Blanking ลงไปอีก สัญญาณเหล่านี้จึงไม่มีส่วนต่อการมองเห็น หรือไม่ไปกวนสัญญาณภาพ รูปที่ 2.2 ประกอบ

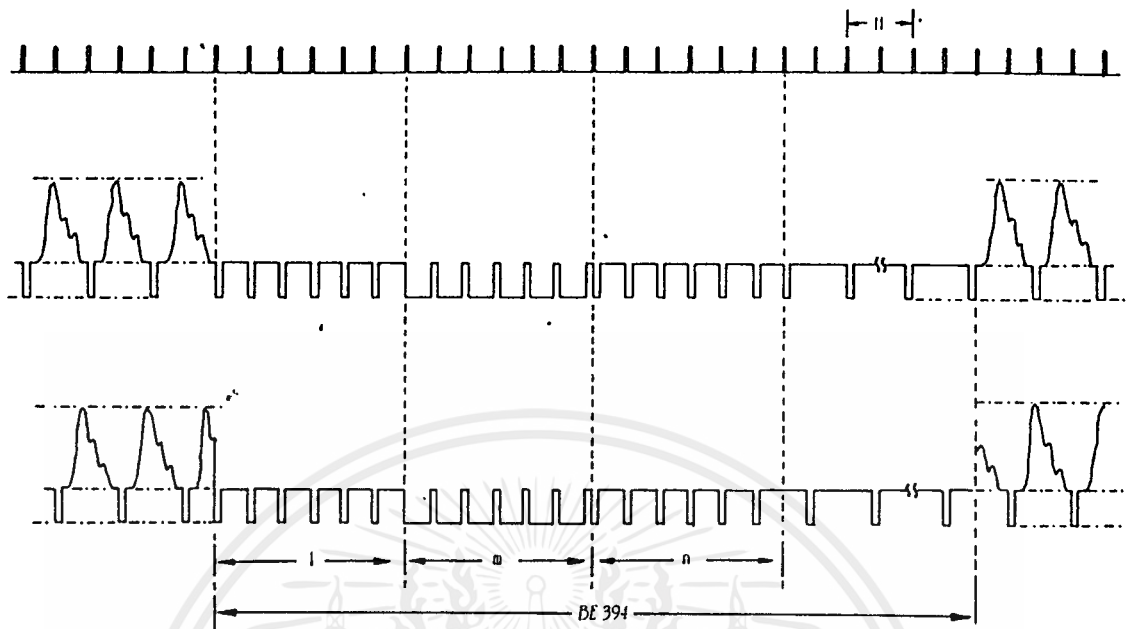
สัญญาณ Equalizing

เป็นสัญญาณที่ใช้บังคับรูปร่างของสัญญาณ Synchronize ทางแนวตั้ง ให้คงรูปอยู่ได้อย่างถูกต้อง และยังช่วยให้การ Scan แบบสลับเส้นเป็นไปได้อย่างถูกต้องด้วย สามารถขึ้นเส้นคู่เส้นคี่ในตำแหน่งที่ถูกต้องได้ และยังส่งผลทางอ้อมให้สัญญาณ Synchronize ทางแนวนอนไม่ขาดช่วงหายไป ในขณะที่ส่งสัญญาณทางแนวตั้งด้วย สัญญาณนี้จะมีขนาดของ Pulse รวมเท่ากับ Vertical Synchronize Pulse สัญญาณส่วนนี้จะถูกแบ่งออกเป็น 6 ลูกเล็ก ๆ ในระบบ 525 เส้น และเป็น 5 ลูกในระบบ 625 เส้น ดังแสดงในรูปที่ 2.3



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งหากมีข้อผิดพลาดประการใด ขอสงวนสิทธิ์ไว้

รูปที่ 2.3 แสดงสัญญาณภาพรวมที่มีรายละเอียดทุกอย่าง



**รูปที่ 2.4 แสดงระบบ Pulse ในฟิลด์ของ
การ Synchronize ของระบบโทรทัศน์**

บทที่ 3

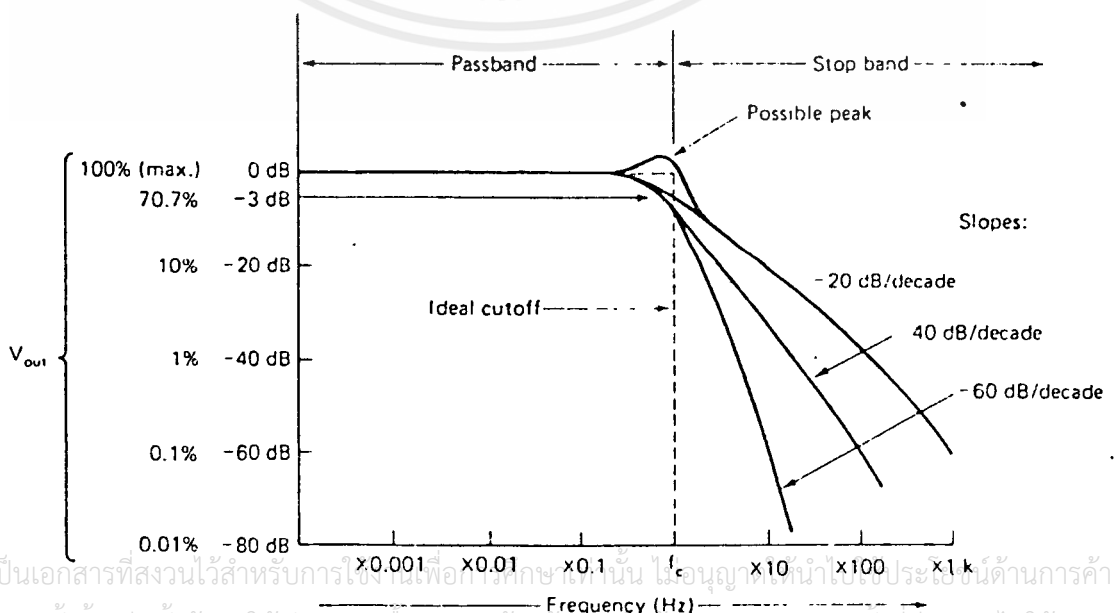
วงจรกรองความถี่

ในการใช้งานวงจรอิเล็กทรอนิกส์ บางครั้งเราอาจต้องการให้สัญญาณบางความถี่ผ่านเข้ามาเท่านั้น โดยที่สัญญาณที่มีความถี่อื่นนอกเหนือจากนั้นจะถูกกำจัดออกไป ซึ่งนี่คือประโยชน์ของวงจรกรองความถี่ชนิดต่าง ๆ ซึ่งมีด้วยกันหลายแบบดังนี้

1. วงจรกรองความถี่ต่ำ (Low Pass Filter)
2. วงจรกรองความถี่เป็นช่วง (Band Pass Filter)
3. วงจรกรองความถี่สูง (High Pass Filter)
4. วงจรนอ้ชฟิลเตอร์ (Notch Filter)

3.1 วงจรกรองความถี่ต่ำ (Low Pass Filter, LPF)

ในทางอุดมคติ วงจรกรองความถี่ต่ำจะกันไม่ให้สัญญาณที่มีความถี่สูงกว่าความถี่ f_c (Cut Off Frequency) ผ่านเข้าไปในวงจรเลย แม้จะมีความถี่สูงกว่า f_c เพียงเล็กน้อยก็ตาม แต่ในความเป็นจริงแล้วลักษณะของความถี่สูงที่ถูกกันออกไปจะไม่เป็นเช่นนั้น แต่จะค่อย ๆ ถูกลดอัตราขยายลงเรื่อย ๆ โดยจุดที่มีความถี่เท่ากับ f_c นี้อาจเรียกได้หลายอย่าง เช่น ความถี่ 0.707 (ขนาด V_{out} จะลดลงเหลือเพียง 70.7% เมื่อเทียบกับ V_{in} สูงสุด) ความถี่ -3 dB (อัตราขยายของ V_{out}

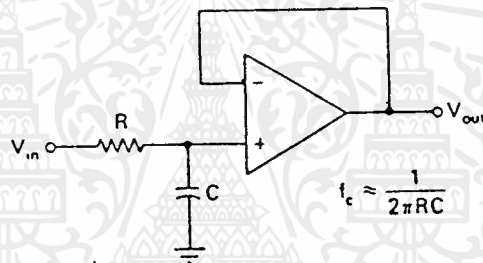


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้ภายในเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 3.1 กราฟแสดงการตอบสนองต่อความถี่ของ LPF

ลดลง 3 dB) หรือความถี่หักมุม เป็นต้น กล่าวโดยสรุปแล้ววงจรนี้จะลดทอนขนาดของสัญญาณที่มีความสูงกว่า f_c ซึ่งเรียกช่วงของสัญญาณที่มีความถี่ต่ำกว่า f_c ว่า "ช่วงให้ผ่านได้" (Pass Band) และที่มีความถี่สูงกว่าว่า "ช่วงที่ถูกกั้น" (Stop Band)

จากกราฟรูปที่ 3.1 จะพบว่าเมื่อสัญญาณมีความถี่สูงกว่าความถี่ f_c แล้วจะมีสัญญาณบางเส้น ที่ถูกลดทอนด้วยอัตราที่น้อยกว่าสัญญาณเส้นอื่น ๆ เช่น สัญญาณที่มีความชัน -20 dB/decade (อัตราขยายจะลดลง 20 dB ต่อความถี่ที่เพิ่มขึ้น 10 เท่า) จะมีความชันน้อยกว่าสัญญาณที่มีค่า -60 dB/decade คุณสมบัตินี้เกิดขึ้นจากการออกแบบวงจรกรองความถี่ และเป็นที่น่าสนใจว่า ยิ่งค่าความชันมีค่าเป็นลบมากขึ้นเท่าใด วงจรก็จะมีคุณสมบัติใกล้เคียงกับวงจรในอุดมคติมากขึ้นเท่านั้น



รูปที่ 3.2 วงจร Low Pass Filter ขั้นพื้นฐาน

รูปที่ 3.2 แสดงตัวอย่างของวงจร Low Pass Filter แบบพื้นฐาน ซึ่งใช้อุปกรณ์ที่ถูกต้องในลักษณะของวงจรตามแรงดัน และใช้หลักการแบ่งแรงดันธรรมดา ณ ขั้ว Input บวก โดยใช้คุณสมบัติที่ว่าความถี่ของสัญญาณ Input จะมีผลต่อค่า Impedance ของตัวเก็บประจุ ดังสมการ

$$\begin{aligned} X_c &= 1/W_c & (W &= 2\pi f) \\ &= 1/2\pi f_c \end{aligned}$$

โดยที่ f คือความถี่ของสัญญาณ Input ดังนั้นเมื่อสัญญาณมีความถี่ต่ำ X_c จะมีค่าสูง ทำให้แรงดันเกือบทั้งหมดจากตกคร่อมตัวเก็บประจุ C และเป็นผลให้แรงดัน Output V_o มีค่าประมาณเท่ากับ V_{in} ด้วย ในขณะที่สัญญาณมีความถี่สูง จะทำให้ X_c มีค่าต่ำ เป็นผลให้ตัวเก็บประจุเสมือนถูกลัดวงจร ดังนั้น V_{out} จะมีค่าต่ำด้วย จะสรุปได้ว่า ช่วงของสัญญาณที่มีความถี่ต่ำจะผ่านไปยังปรากฏที่ Output ได้ โดยที่สัญญาณซึ่งมีความถี่สูงจะถูกกั้นเอาไว้ และเราสามารถหาความถี่ f_c ที่แบ่งช่วงสัญญาณออกเป็นสองส่วนได้ดังสมการ

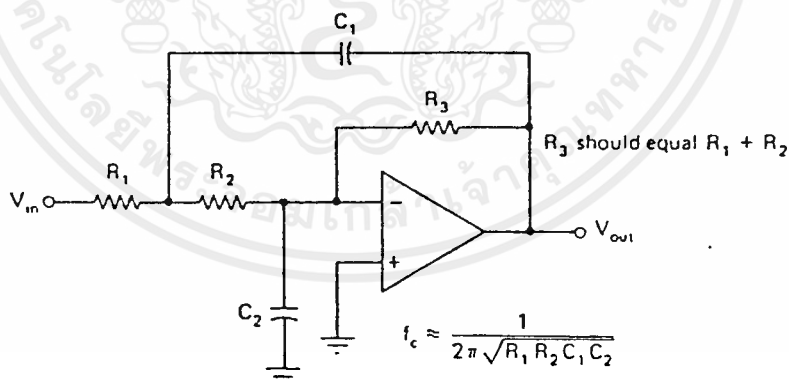


$$f_c = 1/2\pi RC$$

วงจร Low Pass Filter ในรูปที่ 3.2 จะมีความชันประมาณ -20 dB/decade และจากการใช้อุปกรณ์ เช่น ตัวเก็บประจุในวงจร สัญญาณที่วัดได้จาก Output จะมีเฟสไม่ตรงกับ Input เลยทีเดียว แต่จะมีการเลื่อนเฟสออกไปเท่ากับ -45° (ถึงแม้จะป้อน ณ บั้ว Input บวกเลยก็ตาม) ซึ่งหากความชันมีค่าเป็นลบสูงเท่าใด เฟสก็จะถูกเลื่อนไปเรื่อย ๆ โดยทั่วไปแล้ว เฟสของสัญญาณ Output จะเลื่อนไป -45° ทุก ๆ ความชันที่ลดลง -20 dB/decade ตัวอย่างเช่น สำหรับสัญญาณที่มีความชัน -40 dB/decade เฟสของ Output จะถูกเลื่อนออกไป -90° เมื่อเทียบกับสัญญาณ Input

รูปที่ 3.3 แสดงวงจรที่ถูกปรับปรุงให้มีความชันถึง -40 dB/decade โดยมีตัวเก็บประจุทำหน้าที่เช่นเดิม แต่เพิ่มตัวเก็บประจุ C_1 เข้ามา ในการป้อนสัญญาณกลับมาหักล้างกับสัญญาณ Input ที่ความถี่สูง (เนื่องจาก X_{C_1} จะมีค่าลดลง) และเราสามารถหาความถี่ f_c จากสมการได้ดังนี้

$$f_c = \frac{1}{2\pi\sqrt{R_1 R_2 C_1 C_2}}$$



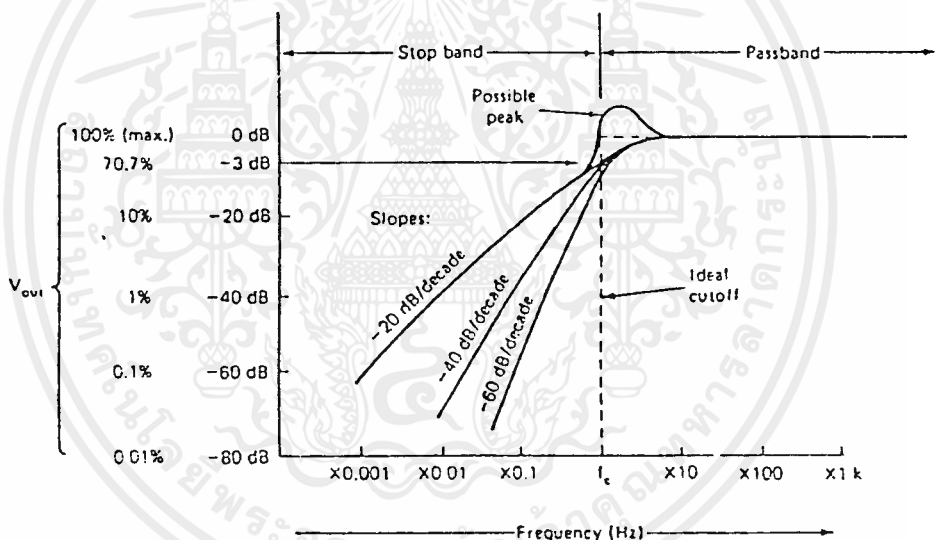
รูปที่ 3.3 แสดงวงจร Low Pass Filter
ที่มีความชันถึง -40 dB/decade

สมการนี้จะให้ผลแม่นยำมาก ถ้าความต้านทาน R_1 และ R_2 ที่ใช้มีขนาดเท่ากัน และตัวเก็บประจุ C_1 มีค่า Capacitance สูงกว่า C_2 R_3 ควรมีค่าเท่ากับ $R_1 + R_2$ เพื่อให้สัญญาณ Output มีลักษณะใกล้เคียงกับสัญญาณ Input มากที่สุด เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า และยังช่วยในการปรับ Offset ให้เกิดสมดุลอีกด้วย

3.2 วงจรกรองความถี่สูง (High Pass Filter, HPF)

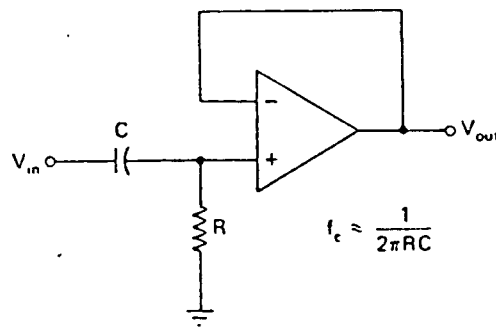
หลังจากที่ได้ศึกษาวงจร Low Pass Filter มาแล้ว เราจะสามารถเข้าใจหลักการทำงานของวงจร High Pass Filter ได้ง่ายขึ้น นอกจากนี้ยังพบว่าสามารถนำสมการต่าง ๆ ของวงจร Low Pass Filter มาใช้ในการคำนวณวงจร High Pass Filter ได้อีกด้วย

จากชื่อของวงจรชนิดนี้ เราสามารถบอกได้ทันทีว่า วงจรนี้จะยอมให้สัญญาณความถี่สูงผ่านไปสู่อุปกรณ์ Output ได้เท่านั้น แต่จะกันไม่ให้สัญญาณความถี่ต่ำผ่านไป แต่ในความเป็นจริง วงจรนี้ก็จะมีลักษณะเช่นเดียวกับวงจร Low Pass Filter คือจะเกิดความถี่ f_c ขึ้น และอัตราขยายจะค่อย ๆ ลดลง คือจะไม่ตกลงในแนวตั้งเลยทันทีทันใด ดังรูปที่ 3.4



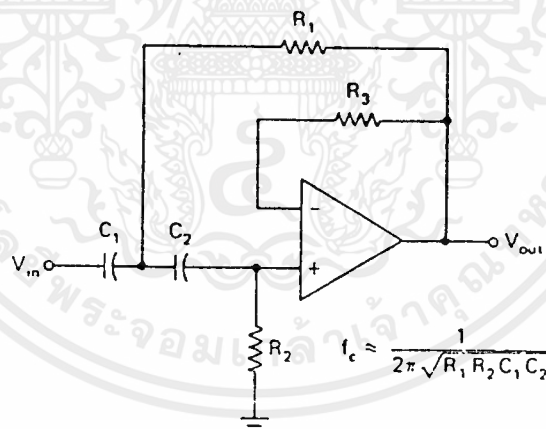
รูปที่ 3.4 แสดงคุณสมบัติการตอบสนองความถี่ของวงจร High Pass Filter

เราสามารถสร้างวงจรนี้ได้ โดยการสลับตำแหน่งของ R กับ C ของวงจร Low Pass Filter ได้ดังรูปที่ 3.5 และสามารถอธิบายหลักการทำงานได้ โดยอาศัยคุณสมบัติที่ว่า ที่ความถี่สูง ค่า Impedance ของ C จะมีค่าต่ำ ดังนั้นสัญญาณ Input เกือบทั้งหมดจึงตกคร่อม R และมีศักดาเท่ากับ V_{out} แต่ที่ความถี่ต่ำกว่า f_c ของ Impedance จะมีค่าสูง ทำให้แรงดันเกือบทั้งหมดตกคร่อม C และเป็นผลให้แรงดันที่ตกคร่อม R และแรงดันที่ Output มีค่าต่ำมาก โดยที่วงจรในรูปที่ 3.5 นี้มีความชันประมาณ -20 dB/decade และมีความถี่ f_c ที่หาได้จากสมการเดียวกับวงจร Low Pass Filter



รูปที่ 3.5 แสดงวงจร High Pass Filter
ที่มีความชัน -20 dB/decade

จากวงจรในรูปที่ 3.5 เราสามารถปรับปรุงให้มีความชันถึง -40 dB/decade ได้โดยเพิ่ม R และ C เข้าไปดังรูปที่ 3.6 โดยวงจรนี้จะมีการทำงานที่มีประสิทธิภาพมากที่สุด ก็ต่อเมื่อเรากำหนดให้ C_1 มีค่าเท่ากับ C_2 และ R_3 มีค่าเท่ากับ R_2 โดยมี R_2 เป็นตัวป้อนสัญญาณกลับเพื่อการกรองสัญญาณอีกครั้งหนึ่ง



รูปที่ 3.6 แสดงวงจร High Pass Filter
ที่มีความชัน -40 dB/decade

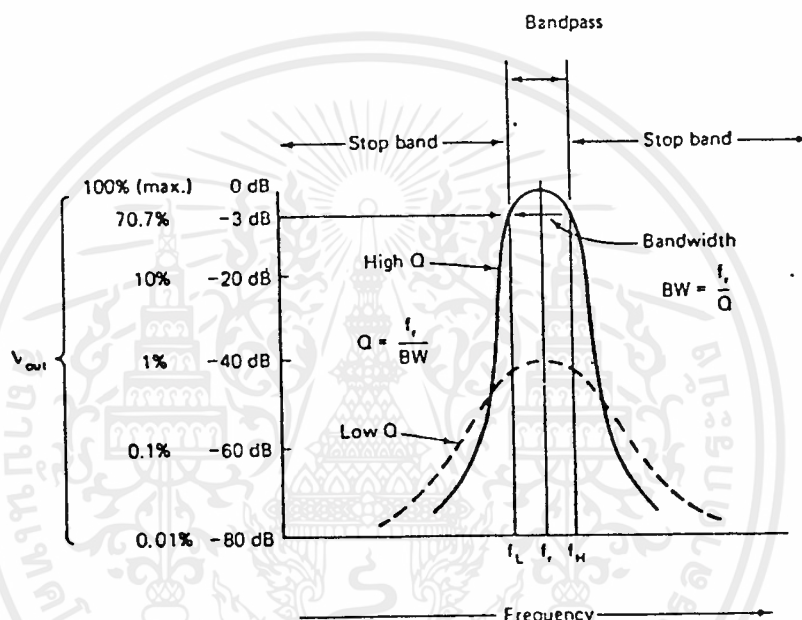
3.3 วงจรกรองความถี่เป็นช่วง. (Band Pass Filter, BPF)

วงจร Band Pass Filter คือวงจรที่ยอมให้สัญญาณบางความถี่ผ่านไปได้เท่านั้น คุณสมบัติการตอบสนองของความถี่ของวงจรได้ในรูปที่ 3.7

จากรูปที่ 3.7 จะพบว่า ณ ความถี่ที่ Output มีขนาดสูงสุด เราเรียกว่า เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ความถี่เรโซแนนท์ (Resonant Frequency, f_r) และที่ความถี่ซึ่งแรงดัน Output ลดลงเหลือเท่ากับ 70.7% ทั้งด้านที่ความถี่สูงขึ้น และความถี่ลดลง เรียกว่าความ

ที่ f_H และ f_L ตามลำดับ โดยที่ผลต่างของความถี่ทั้งสองนี้ ($f_H - f_L$) จะแสดงค่า Bandwidth (BW) ของวงจร ถ้า BW มีขนาดต่ำกว่า 10% ของความถี่ f_c จะเรียกววงจรนี้ว่า วงจร Filter ช่วงแคบ แต่จะเรียกว่าเป็นวงจร Filter ช่วงกว้าง ถ้า BW มีค่าสูงกว่า 10% ของ f_c นอกจากนี้แล้วยังให้นิยามสำหรับค่า Q (Quality Factor) ว่าเป็นอัตราส่วนระหว่างความถี่ f_c กับ BW ดังสมการ

$$Q = f_c / BW$$



รูปที่ 3.7 แสดงคุณสมบัติการตอบสนองต่อความถี่ของ
Band Pass Filter

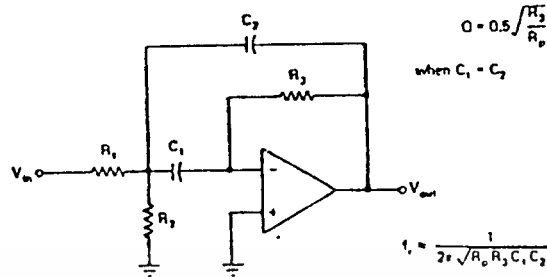
วงจรที่มีค่า Q สูงมากเท่าใด BW ก็จะมีแคบเท่านั้น (เข้าใกล้วงจรในอุดมคติ ซึ่งต้องการเลือกความถี่ที่ผ่านวงจรได้เพียงค่าเดียว) และ Output ที่ได้จะมีขนาดสูงขึ้นด้วย เส้นประในรูปที่ 3.7 แสดงวงจร Band Pass Filter ที่มีค่า Q ต่ำกว่า

วงจรในรูปที่ 3.8 แสดงวงจร Band Pass Filter ซึ่งได้จากการรวมวงจร Low Pass Filter และ High Pass Filter เข้าด้วยกัน (โดยที่วงจรใดจะมาก่อนกันก็ได้) R_1 และ C_2 คืออุปกรณ์ที่ใช้ในการกรองความถี่ต่ำ ส่วน R_2 และ C_1 จะใช้กรองความถี่สูง โดยสามารถหาค่าความถี่ f_c ได้จากสมการ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและข้อมูลอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$f_c = \frac{1}{2\pi / R_1 R_2 C_1 C_2}$$

โดยที่ $R_p = R_1 // R_2 = \frac{R_1 R_2}{R_1 + R_2}$

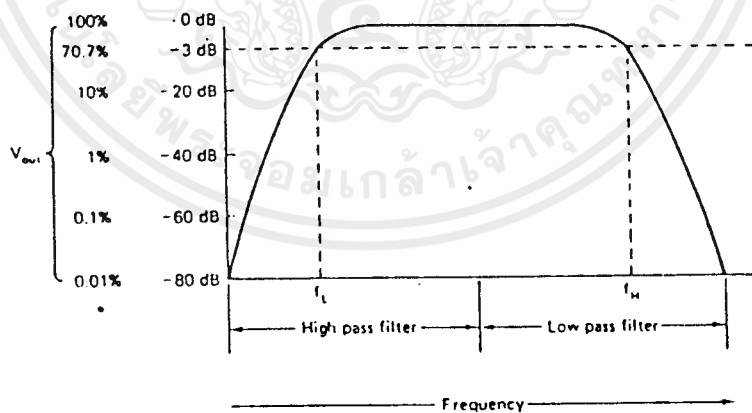


รูปที่ 3.8 แสดงวงจร Band Pass Filter แบบรวม HPF กับ LPF

และหาค่า Q จากสมการ

$$Q = 0.5 \sqrt{R_3/R_p} \quad \text{เมื่อ } C_1 = C_2$$

ในการที่ต้องการวงจร Band Pass Filter ซึ่งมีช่วงกว้างมาก ๆ เราสามารถนำวงจร Low Pass Filter และ High Pass Filter มาต่อร่วมกันได้เลย โดยใช้ f_c ของวงจร Low Pass Filter เป็น f_H และใช้ f_c ของวงจร High Pass Filter เป็น f_L ซึ่งจะได้กราฟแสดงการตอบสนองต่อความถี่ดังรูปที่ 3.9

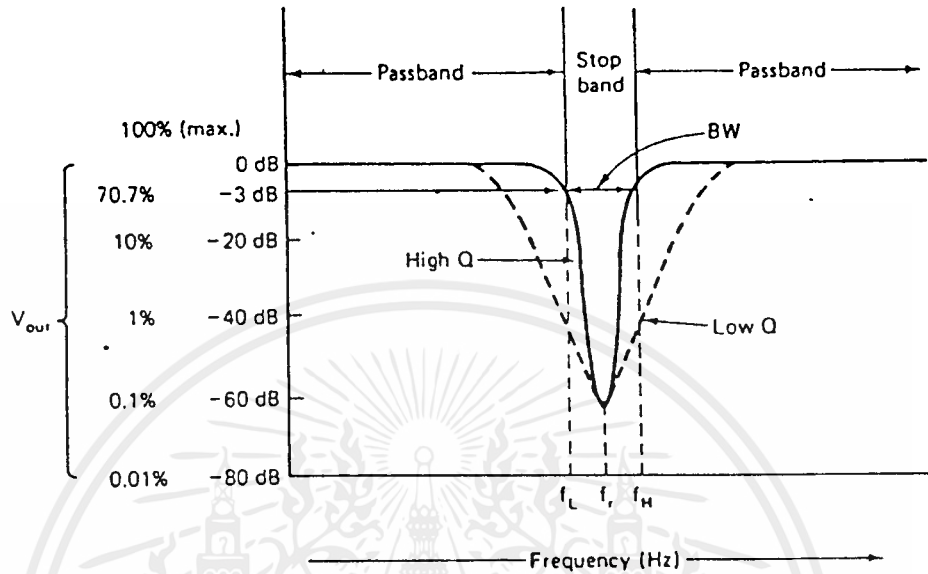


รูปที่ 3.9 แสดงกราฟคุณสมบัติตอบสนองความถี่ ของ BPF
ที่ใช้ LPF กับ HPF ต่อร่วมกัน

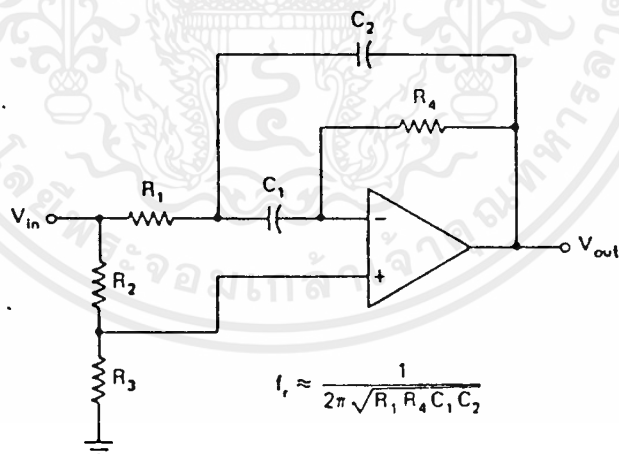
วงจรนอตช์ฟิลเตอร์ (Notch Filter)

วงจรชนิดนี้จะทำงานตรงกันข้ามกับวงจรกรองความถี่เป็นช่วง โดยวงจรนี้จะยอมให้ความถี่ทุก ๆ ค่าผ่านไปได้ ยกเว้นความถี่ช่วงหนึ่งที่ได้กำหนดไว้ โดยทั่วไป วงจรชนิดนี้ มักถูกใช้เพื่อกำจัดสัญญาณรบกวน ที่เราทราบค่าความถี่แล้ว รูปที่ 3.10

แสดงการตอบสนองต่อความถี่ของวงจร Notch Filter



รูปที่ 3.10 แสดงการตอบสนองความถี่ของวงจร Notch Filter



รูปที่ 3.11 แสดงวงจร Notch Filter แบบพื้นฐาน

จากรูปที่ 3.11 เราสามารถคำนวณหาค่า f_r ได้จากสมการ

$$f_r = \frac{1}{2\pi\sqrt{R_1 R_4 C_1 C_2}}$$

และหาค่า Q ของวงจรเมื่อ $C_1 = C_2$ ได้จากสมการ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

นอกจากนี้ ยังสามารถหาค่า Q นี้มาคำนวณหาความชันได้อีกด้วย โดยที่

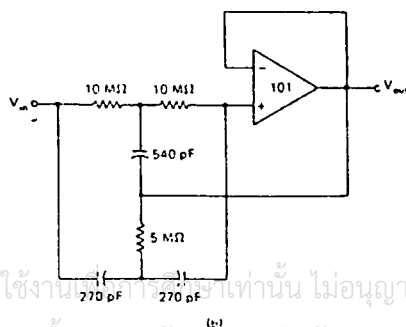
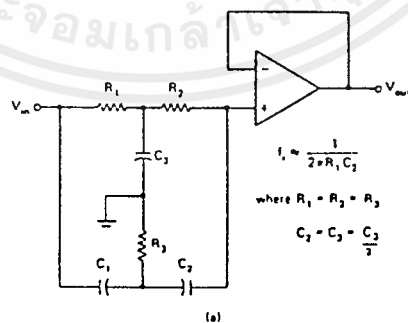
$$(ความชื้น) \quad N = \frac{1/Q - 2Q(1-R_p)/R_p}{1/Q} \quad ; R_p = \frac{R_3}{R_2+R_3}$$

ซึ่งโดยปกติแล้ว R_3 ที่ใช้งานจะมีค่าสูงกว่า R_2 ประมาณ 50 เท่า

การทำงานของวงจรในรูปที่ 3.11 สามารถอธิบายได้ดังนี้ แรงดัน Input จะถูกแบ่งตามอัตราส่วนระหว่าง R_2 และ R ซึ่งแรงดันนี้จะถูกป้อนให้แก่ขั้ว Input ทั้งสองของออปแอมป์ ที่ความถี่ต่ำกว่า f_r ค่า Impedance X_c ของตัวเก็บประจุ จะสูงมาก ดังนั้นจึงไม่มีการป้อนสัญญาณกลับ เป็นผลให้

$$\begin{aligned} V_{out} &= \frac{R_3}{R_2+R_3} V_{in} \\ &= V_{in} \text{ เมื่อ } R_3 = 50R_{in} \end{aligned}$$

แต่เมื่อความถี่ของ Input เข้าใกล้ f_r Reactance ของตัวเก็บประจุจะทำงานร่วมกับตัวต้านทานในการป้อนสัญญาณ Output กลับสู่ Input เป็นผลให้แรงดัน Output ลดลง และเกิดการเลื่อนเฟสด้วย เมื่อความถี่ของ Input มีค่าสูงกว่า f_r Impedance ของตัวเก็บประจุจะลดลง และเป็นผลให้ขั้วของ Output เสมือนถูกลัดวงจรกับขั้ว Input ลบ นั่นคือ อัตราขยายมีค่าเป็น 1 กลายเป็นวงจรตามแรงดัน (Voltage Follower) ในการพิจารณาวงจรนี้ เมื่อกล่าวถึงกรณี ที่ Impedance ของ C มีค่าสูง ๆ ให้คิดว่า C ถูกเปิดวงจร และเมื่อ Impedance ของ C มีค่าลดลงให้คิดเสมือน C ถูกลัดวงจร)



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 3.12 แสดงวงจร Notch Filter ชนิด 'T' คู่

จากรูปที่ 3.12 แสดงวงจร Notch Filter ชนิด 'T' คู่ ที่มีการนำเอา อุปกรณ์ Passive มาต่อในลักษณะของตัวอักษร T 2 ตัวกลับหัวกัน โดยมีออปแอมป์ ทำหน้าที่เป็นบัฟเฟอร์ วงจรนี้มักให้ค่า Q ค่อนข้างต่ำ (ต่ำกว่า 1) ส่วนวงจรใน รูปที่ 3.12 b แสดงการนำวงจร 3.12 a มาดัดแปลงเล็กน้อย โดยนำจุดต่อระหว่าง $R3$ และ $C3$ ไปป้อนที่ Output ของออปแอมป์ เป็นผลให้ค่า Q มีค่าสูงถึง 50 ซึ่งทำให้เกิดความชันมีค่าสูงมาก (ดังนั้น Output ที่ได้จึงมีลักษณะแหลมมาก) โดยสมการในการคำนวณ f_r ยังคงเหมือนกับในวงจรรูป 3.12 a



บทที่ 4

Phase Lock Loop

วงจร PLL พื้นฐาน

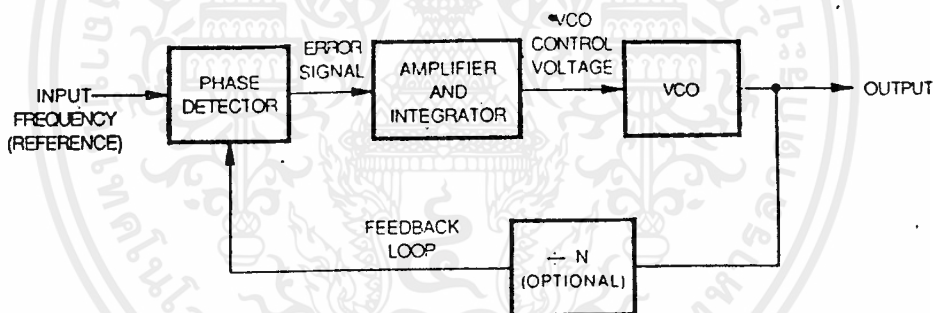
เนื่องจากการใช้ระบบ FM Stereo กันอย่างแพร่หลาย ทำให้มีการรวมวงจรส่วนประกอบของระบบ FM Stereo ทั้งหลายเข้าด้วยกัน ทำเป็น IC สำเร็จรูปเพียงตัวเดียว ทำให้สามารถประกอบวงจรเกี่ยวกับ FM Stereo ง่ายขึ้น และประหยัดเวลา ซึ่งโดยทั่ว ๆ ไปแล้ว IC สำเร็จรูปนี้ จะประกอบไปด้วยส่วนของ Input Amplifier ,Phase Detector ,VCO (Voltage Controlled Oscillator) ,Decoder Matrix ,Phase Lock Detector บางระบบที่ใช้สำหรับ Audio Muting หรือ Stereo Lamp Switching และ Power Supply Regulator ที่สร้างอยู่ภายใน การเลือกวัสดุที่ใช้ทำ IC ชนิดนี้ จะเลือกชิปที่สามารถทำงานในช่วงของแรงดัน Supply ที่เปลี่ยนแปลงในช่วงกว้าง ปกติแล้ว IC จำพวกนี้ จะมีตัวถังเป็นแบบ DIP ขนาด 14 หรือ 16 ขา และเมื่อมีการผลิตเป็นจำนวนมาก จะทำให้มีราคาถูกลง และพร้อมที่จะนำไปใช้งานได้เลย โดยหาได้ตามร้านค้าที่จำหน่ายอุปกรณ์อิเล็กทรอนิกส์ หรือขายเป็นส่วน ๆ โดยผู้จำหน่ายชิ้นส่วนของ Radio หรือ TV วงจรส่วนใหญ่ที่ใช้งาน จะไม่มีส่วนประกอบจำพวก Coil และอุปกรณ์อื่น ๆ ที่หาซื้อได้ยาก อุปกรณ์เหล่านี้ จะเป็นส่วนจำเป็นที่จะต้องใช้เป็นอุปกรณ์ในการ Descrambler เพราะมีการกำเนิดความถี่ Subcarrier 15,31,40 หรือ 62 KHz เพื่อใช้ในระบบ Gated Synch, Sine Wave และ SSAVI ในการนำไปใช้งานที่มีการ Demodulate สัญญาณ Subcarrier ของ Hidden Audio ดังนั้นจึงเป็นการทำงานทั้ง 2 อย่างพร้อมกัน

ทฤษฎีของวงจร Phase Lock Loop (PLL)

หลักการของวงจร PLL จะทำงานโดยการเปรียบเทียบสัญญาณความถี่ที่ต้องการ ซึ่งปกติแล้วจะได้จาก VCO ที่มีย่านการปรับแต่ง (Tune)ตามที่กำหนด กับสัญญาณ Reference โดยปกติแล้วสัญญาณ Reference ก็คือสัญญาณ Input นั้นเอง เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ทั้งสัญญาณ Input และ VCO จะถูกป้อนให้กับวงจร Phase Detector ดูรูปที่ 4.1 ซึ่ง Phase Detector จะให้ Output ที่เป็นผลต่างของ Phase ระหว่าง

สัญญาณ Input ทั้งสอง จากนั้น Output ที่ได้จาก Phase Detector นี้จะถูกขยาย และจ่ายให้กับวงจร VCO VCO จะทำหน้าที่เลื่อนความถี่ไปในทิศทางที่จะทำให้ความแตกต่างระหว่าง Input (Reference) กับที่เกิดจากตัวมันเองลดลง บางครั้งอาจจะต้องทำงานกับความถี่ Input ที่มีค่าเป็นหลาย ๆ เท่า ในแบบนี้ จะมีการใส่วงจรหารความถี่ (Frequency Divider) ด้วย N เข้าไปในส่วนที่เป็น Feedback Loop

Phase Detector จะผลิตสัญญาณ Output AC ถ้าสัญญาณ Input ที่ป้อนเข้ามาทั้งสองสัญญาณมีความถี่ที่แตกต่างกัน แต่ถ้า Input ที่ป้อนเข้ามามีความถี่เท่ากัน ก็จะทำให้แรงดัน Output DC ที่แสดงถึงความต่างเฟสของสัญญาณแทน ดังนั้น Loop จะถูก Lock Phase Error ที่เกิดขึ้น จะมีค่าอยู่ระหว่าง Input ทั้งสอง ซึ่งในที่นี้มีค่าคงที่ ดังนั้น Frequency Error เท่ากับ 0 ในทางกลับกัน ระบบ Automatic Frequency Control (AFC) จะเกิด Frequency Error เสมอ



รูปที่ 4.1 แสดง Block Diagram ของ PLL

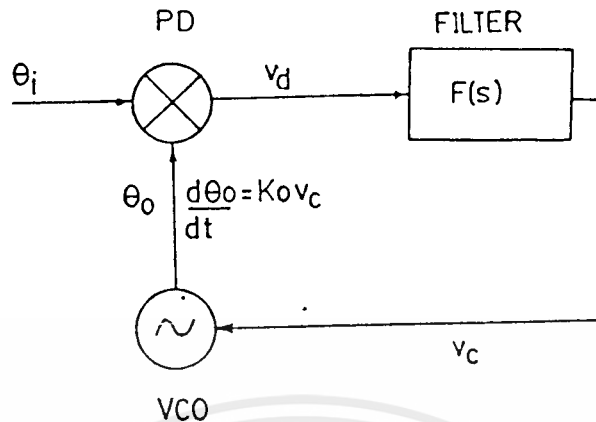
ดังนั้น Output ของ Discriminator จะเป็นแรงดัน DC นั่นคือ การขึ้นอยู่กับความถี่ (Frequency Dependent) ซึ่งคุณจะพบว่าในรูปที่ 4.1 นั้นวงจร Amplifier จะมีวงจร Integrator อยู่ภายในตัวมันด้วย ซึ่งมีความจำเป็น เมื่อมีการเปลี่ยนแปลงเหตุผลในการนำไปใช้งาน เช่น Noise Rejection, รักษาเสถียรภาพของระบบ และคุณสมบัติในการ Lock และ Capture ซึ่งเป็นข้อจำกัดทางธรรมชาติ และเป็นเหตุผลที่ว่าทำไมเมื่อมีการใช้งาน IC PLL จึงต้องมีคู่มือของ IC (Data Sheet) ประกอบมาด้วย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

4.1 Transfer function ไม่ว่าการวิเคราะห์ใด ๆ ก็ตาม จะต้องอ้างอิงถึงเนื้อหาของเอกสารทุกครั้งที่มีการนำไปใช้

จากรูปที่ 4.1 เราสามารถเขียนใหม่ให้อยู่ในรูปที่ 4.2 ได้ เพื่อใช้ในการ

คำนวณหา Transfer function



รูป 4.2 โครงสร้างของระบบ PLL

จากรูปที่ 4.2 สัญญาณ Input มีเฟส $\theta_i(t)$ และ output ของ VCO มีเฟส $\theta_o(t)$ สมมติว่าระบบกำลังทำงานอยู่ในสภาวะ Lock Phase Detect จะมีการทำงานเป็นแบบเชิงเส้น (Linear) และ Phase Detector จะให้ Output ที่เป็นค่าแสดงความต่างเฟสของ Input ทั้งสอง ดังนั้น

$$V_d = K_d (\theta_i - \theta_o) \quad \dots\dots (1)$$

เมื่อ K_d คือ Gain Factor หรือ Conversion Gain มีหน่วยเป็น V/rad

แรงดัน V_d จะถูก Filter โดย Filter Loop เพื่อกำจัดสัญญาณรบกวน และส่วนประกอบของสัญญาณที่เป็นความถี่สูงออกไป โดย Filter จะเป็นตัวกำหนด Dynamic Performance Transfer function ของ Loop ซึ่งกำหนดโดย $F(s)$

ความถี่ของ VCO จะกำหนดจากแรงดันควบคุมที่ Input (V_c) ซึ่งทำให้ความถี่เบี่ยงเบน (Deviate) ไปจากความถี่กลาง (f_o) ด้วยขนาด $\Delta W = K_o V_c$

เมื่อ K_o คือ Gain Factor ของ VCO มีหน่วยเป็น rad/sec/v เนื่องจากความถี่เป็นอนุพันธ์ (Derivative) ของเฟส ดังนั้นการทำงานของ VCO อาจพิจารณาจาก

$$d\theta_o/dt = K_o V_c$$

โดยการใช้ Laplace Transform จะได้

$$L \left[\frac{d\theta_o(t)}{dt} \right] = s\theta_o(s) = K_o V_c(s) \quad \dots\dots (2)$$

เอกสารนี้เป็นเอกสารที่สงวนลิขสิทธิ์ไว้เพื่อใช้ในการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ดังนั้น

$$\theta_o(s) = \frac{K_o V_c(s)}{s}$$

ในทำนองเดียวกันเฟสของสัญญาณ Output ของ VCO จะมีความสัมพันธ์แบบเชิงเส้นกับการอินทิเกรตของแรงดันควบคุม (V_c) จึงใช้วิธี Laplace Transform เช่นกัน จะได้

$$V_d(s) = K_d [\theta_1(s) - \theta_o(s)] \quad \dots\dots (3)$$

$$V_c(s) = F(s) V_d(s) \quad \dots\dots (4)$$

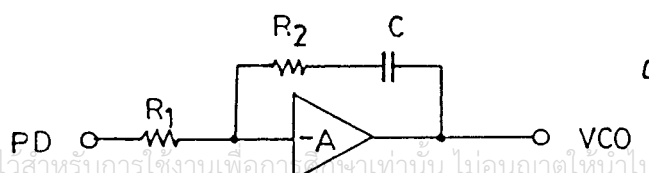
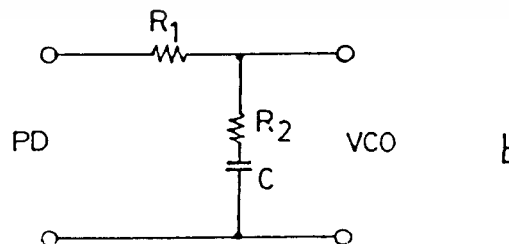
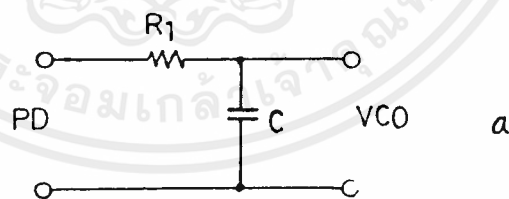
$$\theta_o(s) = \frac{K_o V_c(s)}{s} \quad \dots\dots (5)$$

จากสมการที่ 1 ถึง 5 จะได้สมการพื้นฐานของ Loop คือ

$$\frac{\theta_o(s)}{\theta_1(s)} = B(s) = \frac{K_o K_d F(s)}{s + K_o K_d F(s)} \quad \dots\dots (6)$$

ซึ่ง $B(s)$ คือ Transfer Function ของ Closed Loop

$$\frac{\theta_1(s) - \theta_o(s)}{\theta_1(s)} = \frac{\theta_o(s)}{\theta_1(s)} = \frac{s}{s + K_o K_d F(s)} = 1 - B(s) \quad \dots\dots (7)$$



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 4.3 แสดง Filter Loop

$$V_c(s) = \frac{sK_d F(s) \theta_1(s)}{s + K_o K_d F(s)} = \frac{s \theta_1(s) B(s)}{K_o} \quad \dots\dots (8)$$

เราจะกล่าวถึง Filter Loop ซึ่งจะเป็นตัวกำหนดคุณสมบัติทาง Dynamic ของระบบ ก่อนที่จะพิจารณาการทำงานของ Loop ต่อไป Filter ที่ใช้จะอยู่ในรูปแบบพื้นฐาน 3 รูปดังรูปที่ 4.3

$$\begin{aligned} F(s) &= \frac{1}{sCR_1 + 1} \\ &= \frac{sCR_1 + 1}{sC(R_1 + R_2) + 1} = \frac{sT_2 + 1}{sT_1 + 1} \\ T_1 &= (R_1 + R_2)C, \quad T_2 = R_2C \\ F(s) &= \frac{-A(sCR_2 + 1)}{sCR_2 + 1 + (1+A)(sCR_1)} \end{aligned}$$

ถ้าให้ A มีขนาดใหญ่มาก ๆ เราจะได้สมการดังนี้

$$\begin{aligned} F(s) &= \frac{-sCR_2 + 1}{sCR_1} = \frac{-sT_2 + 1}{sT_1} \\ T_1 &= R_1C, \quad T_2 = R_2C \end{aligned}$$

สำหรับ Passive Filter ชนิดที่ 2 จะให้ Transfer Function ของ Closed Loop ดังนี้

$$B1(s) = \frac{K_o K_d (sT_2 + 1)/T_1}{s^2 + s(1 + K_o K_d T_2)/T_1 + K_o K_d/T_1} \quad \dots\dots (9)$$

เมื่อแก้ไขการกลับเฟสแล้ว จะได้ Transfer Function ของ Closed Loop ดังนี้

$$B2(s) = \frac{K_o K_d (sT_1 + 1)/T_1}{s^2 + s(K_o K_d T_2/T_1) + K_o K_d/T_1} \quad \dots\dots (10)$$

Transfer Function ทั้งสองชุด สามารถเขียนอีกแบบได้ดังนี้

$$B1(s) = \frac{s(25W_n - W_n^2/K_o K_d) + W_n^2}{s^2 + 25W_n s + W_n^2} \quad \dots\dots (11)$$

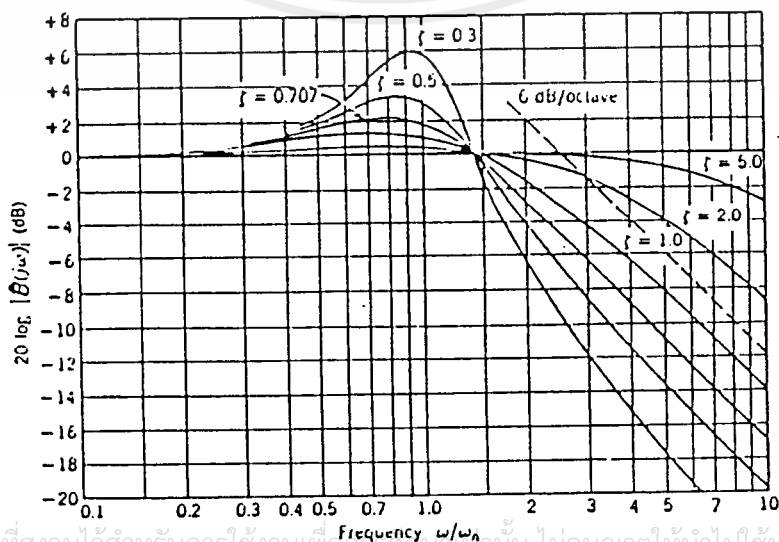
$$B2(s) = \frac{25W_n s + W_n^2}{s^2 + 25W_n s + W_n^2} \quad \dots\dots (12)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับใช้ภายในเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สมการที่ 11 และ 12 ซึ่งเขียนอยู่ในรูปของ Feedback Control โดยให้ ω_n แทนความถี่ธรรมชาติ (Natural Frequency) ของ Loop และให้ ζ แทน Damping Factor ของ Loop

Passive	Active
$\omega_n = \left[\frac{K_o K_d}{T_1} \right]^{1/2}$ $\zeta = \frac{1}{2} \left[\frac{K_o K_d}{T_1} \right]^{1/2} \left[\frac{T_2 + 1}{K_o K_d} \right]$ $T_1 = (R_1 + R_2)C$ $T_2 = R_2 C$	$\omega_n = \left[\frac{K_o K_d}{T_1} \right]^{1/2}$ $\zeta = \frac{T_2}{2} \left[\frac{K_o K_d}{T_2} \right]^{1/2} = \frac{T_2 \omega_n}{2} \dots (13)$ $T_1 = R_1 C$ $T_2 = R_2 C$

จะเห็นว่า Transfer Function ของทั้งสองแบบคล้ายกันมาก ถ้าเป็นในกรณีของ Passive แล้ว $1/K_o K_d \ll T_2$ และจากสมการกำลังสูงสุดคือ 2 Loop จึงเรียกว่า Loop อันดับ 2 (Second Order) จากทฤษฎีของระบบควบคุมแบบ Type จำนวน Loop จะเท่ากับจำนวนของ Perfect Integrator ที่อยู่ภายใน Loop ดังนั้นระบบ PLL ใด ๆก็ตามอย่างน้อยที่จะเป็น Loop แบบที่ 1 เนื่องจากว่า VCO นั้นเป็น Perfect Integrator และถ้า Filter Loop ประกอบด้วย

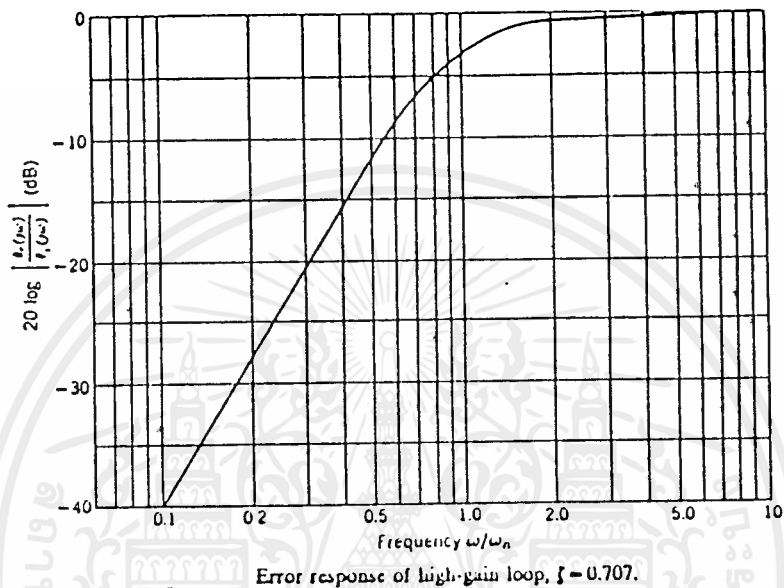


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
Frequency response of a high-gain second-order loop.

ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 4.4 แสดงผลการตอบสนองความถี่ของ Loop (อันดับ 2 High Gain)

Perfect Integrator อีก 1 ตัว Loop ก็จะเป็นอันดับที่ 2 ดังนั้น PLL อันดับ 2 ที่มี Active Filter ก็ถือได้ว่าเป็น Loop แบบที่ 2 เพราะ Filter ที่เพิ่มเข้ามาจะเป็น Integrator ในขณะที่ PLL ที่มี Passive Filter เป็น Loop แบบที่ 1



รูปที่ 4.5 แสดงผลตอบสนองความผิดพลาดเชิงเฟสของ High Gain Loop

$$\zeta = 0.707$$

การตอบสนองความถี่ของ Loop Gain สูง (High Gain Loop หมายถึง Loop ที่ $K_o K_d T_2 \gg 1$ สำหรับ Passive Filter และ $|A| T_1 \gg T_2$ สำหรับ Active Filter) เมื่อค่า Damping Factor เปลี่ยนแปลงไป ดังแสดงในรูปที่ 4.4 จะเห็นว่ามีลักษณะเป็น Low Passive Filter ซึ่งทำงานโดยอาศัยเฟส Input ของ Loop ผลตอบสนองต่อความผิดพลาด (Error Response) ของ Loop อันดับ 2 High Gain คือ

$$\frac{e_c(s)}{e_i(s)} = \frac{S^2}{S^2 + 2\zeta\omega_n S + \omega_n^2} \quad \text{.....(14)}$$

ขณะที่ของ Loop Low Gain คือ

$$\frac{e_c(s)}{e_i(s)} = \frac{S(S + \omega_n^2/K_o K_d)}{S^2 + 2\zeta\omega_n S + \omega_n^2} = \frac{S(S + 1/T_1)}{S^2 + 2\zeta\omega_n S + \omega_n^2} \quad \text{.....(15)}$$

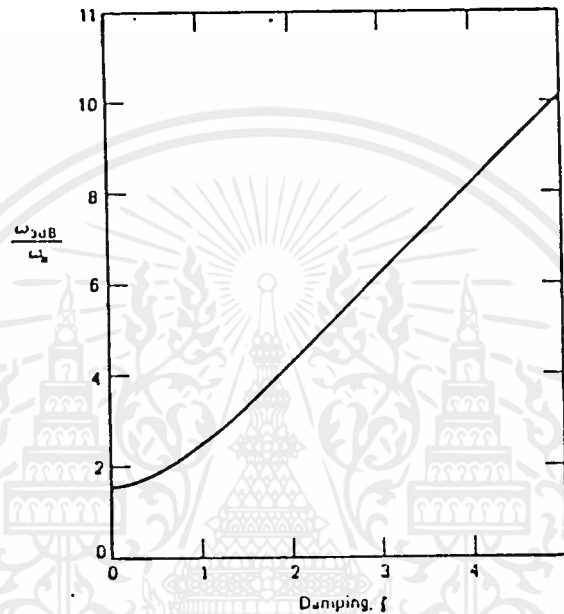
เอกสารนี้เป็นเอกสารที่สงวนลิขสิทธิ์ไว้สำหรับใช้ในการเรียนการสอนเท่านั้น เมื่ออนุญาตให้ไปใช้บนเว็บไซต์ด้านการค้าไม่ว่ากรณีใดๆ ผลตอบสนองต่อความผิดพลาดเชิงเฟสจะยิ่งแสดงในรูปที่ 4.5 ที่สำหรับใช้ Loop Gain สูงที่ $\zeta = 0.707$ จะเห็นว่ามีคุณสมบัติเป็น High Passing คือ Loop

สามารถติดตามการเปลี่ยนแปลงของความถี่ต่ำ แต่ไม่สามารถที่จะติดตามการเปลี่ยนแปลงของความถี่สูงได้ BW ของ Loop กำหนดได้โดยให้

$$|B(j\omega)|^2 = 0.5$$

และหาค่า ω ออกมาจะได้ว่า

$$\omega_{3dB} = \omega_n [2\zeta^2 + 1 + \sqrt{(2\zeta^2 + 1)^2 + 1}]^{1/2}$$



Three-decibel bandwidth of a second-order loop.

รูปที่ 4.6 แสดง Bandwidth ของ Loop อันดับ 2

4.2 Loop Gain

Transfer Function ของ Closed Loop ของ PLL กำหนดจาก

$$G(s) = \frac{K_o K_d F(s)}{s} \quad \dots\dots(16)$$

Transfer Function ของ Closed Loop กำหนดจาก

$$B(s) = \frac{G(s)}{1 + G(s)} \quad \dots\dots(17)$$

และ DC Loop Gain กำหนดจาก

$$K_v = K_o k_d F(0)$$

มีขนาดเป็นความถี่ rad/s คุณสมบัติของ Loop ที่ดีจะต้องมีค่า K_v สูง และเอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า $F(s)$ ของ Filter เป็น Rational Function ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$F(s) = \frac{g(s - Z_1)(s - Z_2) \dots (s - Z_m)}{(s - P_1)(s - P_2)(s - P_3) \dots (s - P_n)}$$

สำหรับ PLL อันดับที่ n Filter จะมีจำนวน m ได้ไม่เกินจำนวน $n-1$ ถ้า $m = n-1$ แล้ว

$$g = F(\alpha)$$

เมื่อกระจาย $F(s)$ ให้เป็นเศษส่วนย่อย Gain ของ Loop จะเขียนได้ดังนี้

$$G(s) = \frac{K}{S} \left[\sum_{i=1}^{n-1} \frac{a_i + 1}{s - P_i} \right] \quad \dots (18)$$

สมมติว่า Pole ทุกๆ Pole เป็น Simple Pole และมีค่าเรซิดิว (residue) a_i+1 กำหนดให้ K เป็น Loop Gain แล้ว a_i จะเป็นศูนย์ ถ้า m น้อยกว่า $n-1$ และ a_1 เป็น 1 ถ้า $m = n-1$ ในการออกแบบระบบ PLL มักจะกำหนดให้ $a_1=1$ นั่นคือจำนวน Pole จะเท่ากับ Zero ใน Filter

ใน PLL ระบบอันดับ 2 ที่ใช้ Passive lag-lead Filter รูปที่ 4.3 b จะได้

$$\begin{aligned} F(s) &= \frac{sT_2 + 1}{sT_1 + 1} \\ G(s) &= \frac{K_o K_d T_2}{T_1 s} \left[1 + \frac{1/T_2 - 1/T_1}{s + 1/T_1} \right] \\ &= \frac{K}{s} \left[1 + \frac{a_2}{s + 1/T_1} \right] \\ K &= \frac{K_o K_d T_2}{T_1} \quad ; \quad a_1 = 1, \quad a_2 = 1/T_2 - 1/T_1 \end{aligned}$$

สำหรับ Active Filter

$$\begin{aligned} F(s) &= \frac{sT_2 + 1}{sT_1} \\ G(s) &= \frac{K_o K_d T_2}{sT_1} (1 + 1/sT_2) = \frac{K}{s} - \frac{(a_1 + a_2)}{s} \\ K &= \frac{K_o K_d T_2}{T_1} \quad ; \quad a_1 = 1, \quad a_2 = \frac{1}{T_2} \end{aligned}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้คัดลอกเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$W_n = \sqrt{K a^2}$$

Loop Gain จะมีผลต่อตำแหน่งของ Pole บน Complex Plan โดยที่ Pole จะเปลี่ยนตำแหน่งไป เมื่อ Loop Gain เปลี่ยนไป และสามารถวิเคราะห์ได้ด้วยวิธี Root-Locus plot และยังสามารถวิเคราะห์ด้วยวิธี Bode plot ได้อีกด้วย

คุณสมบัติเรื่องสัญญาณรบกวน

PLL สามารถจัดการกับสัญญาณรบกวนจำนวนมากได้อย่างดี ทั้งสัญญาณรบกวนจากภายนอก Loop และภายใน Loop

$$B_L = \int_0^\infty |H(j_2 \pi f)|^2 dt \quad (Hz) \quad \dots\dots (19)$$

Loop Description	Noise Bandwidth , BL(Hz)
First Order	1/4 K
Seconde Order:	
Simple Lag Filter	1/4 K
Passive Lag-Lead Filter	$\frac{1/4 K + a^2 + 1/T1}{K + 1/T1}$ $= 1/4 K (1 + a^2/K)$ เมื่อ $K \gg 1/T1$, $a^2 \gg 1/T1$
Active Lag-Lead Filter	$\frac{1}{4} \frac{K(1 + a^2)}{K} \text{ หรือ } \frac{1}{2} \frac{W_n(1 + 1)}{4}$
Third Order:	
Two Zeros ; All Opern-Loop Pole at Origin	$\frac{1}{4} \frac{a^2 K + a^2 - a^3}{a^2 K - a^3}$

ตารางที่ 4.1 แสดง Noise Bandwidth ของ Loop ชนิดต่าง ๆ

ถ้า Input ของสัญญาณรบกวนเป็น White Noise เฟสของ VCO จะถูกรบกวนเอกสารนี้แกว่งด้วยขนาดสำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$e_{no}^2 = \frac{2 N_o B_L}{V_{in}^2} \frac{W_1 B_L}{P_{in}} \text{ rad}^2 \quad \dots\dots(20)$$

โดยที่ N_o คือ ความหนาแน่น Spectrum ข้างเดียวของ White Noise หน่วย (V^2/Hz)

V_{in} คือ ค่าสูงสุดของสัญญาณ Input e_1 หน่วย (V)

P_{in} คือ กำลังของสัญญาณ หน่วย (W)

W_1 คือ ความหนาแน่น Spectrum ของกำลัง Noise หน่วย (W/Hz)

4.3 Lock Range

คือย่านความถี่ที่ Loop สามารถติดตามการเปลี่ยนแปลงความถี่ของ Input บางครั้งอาจเรียกว่า Tracking Range หรือ Hold-in Range กรณีนี้สภาวะเริ่มต้นของ Loop จะอยู่ในสภาวะ Lock กำหนดได้จาก DC Loop Gain โดย

$$W_L = K_v = K_o K_d F(0) \quad (\text{rad/s}) \quad \dots\dots(21)$$

จะเห็นว่าไม่ขึ้นอยู่กับพารามิเตอร์ของ Filter อย่างไรก็ตาม $F(0)$ ของ Passive Filter คือ 1 และของ Active Filter คือ A โดยที่ Filter (Integrator) แบบ Active จะให้ W_L ที่กว้างกว่า และค่าความผิดพลาดเชิงเฟส (Phase Error) ในสภาวะ Steady State น้อยกว่า ถ้าความผิดพลาดเชิงเฟสคือ

$$e_o(s) = \frac{S e_1(s)}{S + K_o K_d F(s)} \quad \dots\dots(22)$$

จากทฤษฎีค่าสุดท้าย (Final Value Theorem of Laplace Transforms)

$$\lim_{t \rightarrow \infty} Y(t) = \lim_{S \rightarrow 0} S Y(s) \quad \dots\dots(23)$$

$$\lim_{t \rightarrow \infty} e_o(t) = \lim_{S \rightarrow 0} \frac{S^2 e_1(s)}{S + K_o K_d F(s)} \quad \dots\dots(24)$$

ถ้าพิจารณาในสภาวะ Steady State ของระบบ เมื่อมีการเปลี่ยนแปลง Input เป็นชนิดขั้น (Step) ทำให้ e_1 เปลี่ยนแปลงไปด้วยขนาด Δe และของ Input จะเป็น $e_1(s) = \Delta e/S$ แทนค่าใน (24) จะได้ว่า

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$\lim_{t \rightarrow \infty} e_o(t) = \lim_{S \rightarrow 0} \frac{S \Delta e}{S + K_o K_d F(s)} = 0$$

(กำหนดให้ $F(0) > 0$) กรณีนี้จะพบว่าในทางทฤษฎีแล้วระบบอันดับ 2 แบบ 2 จะไม่มีความผิดพลาดในสภาวะ Steady State (Steady State Error) เนื่องจากเฟสเปลี่ยนไปในลักษณะเป็นขั้น

ถ้าพิจารณาความผิดพลาดในสภาวะ Steady State เนื่องจากการเปลี่ยนแปลงความถี่ Input ด้วยขนาด $\Delta\omega$ เฟสของสัญญาณ Input จะเปลี่ยนแปลงไปแบบเชิงลาด (Ramp)

$$\theta_1(t) = \Delta\omega t$$

$$\theta_1(s) = \Delta\omega / s^2$$

แทนค่า θ_1 ใน (24) จะได้ว่า

$$\begin{aligned} \theta_v &= \lim_{t \rightarrow \infty} \theta_v(t) = \lim_{s \rightarrow 0} \frac{\Delta\omega}{s + K_o K_d F(s)} \\ &= \frac{\Delta\omega}{K_o K_d F(0)} \end{aligned} \quad \dots (25)$$

โดย $K_o K_d F(0)$ เรียกว่าเป็นค่าคงที่ความเร็ว (Velocity Constant)

และ K_v คือ DC Loop Gain

$$\theta_v = \Delta\omega / K_v \quad \dots (26)$$

จาก (26) จะพบว่าที่ $\Delta\omega$ ขนาดเดียวกัน Active Filter จะให้ขนาดความผิดพลาดเชิงเฟสในสภาวะ Steady State น้อยกว่าแบบ Passive ด้วยค่าของ A เท่า ดังนั้นตัว Phase Detector จะมีการสั่นเปลี่ยงกำลังน้อยกว่าถ้า $F(s)$ เป็นแบบ Active

4.4 Capture Range (ซึ่งอาจจะเรียกว่า Lock inrange)

เป็นสถานะของระบบเมื่ออยู่ในสภาวะ Lock หมายถึงความถี่ Input มีค่าใกล้เคียงความถี่ VCO มากเท่าใด Loop จึงจะ Lock ได้ Capture Range W_c จะเกี่ยวข้องกับพารามิเตอร์ของ Filter ด้วย โดยสำหรับ จะประมาณ

$$W_c = W_L (R_z / R_1 + R_z) \quad (\text{rad/s}) \quad \dots (27)$$

และ Active Filter

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
 $W_c = W_L (R_z / R_z)$ (28)
 ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 5

เทคนิคการ Scrambling

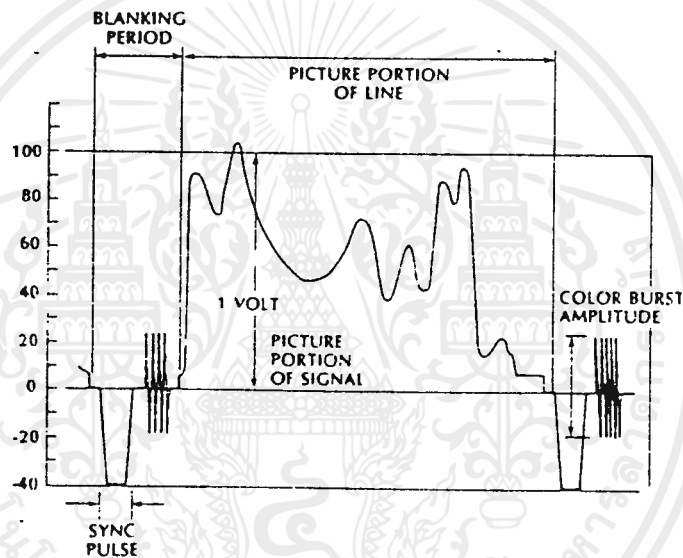
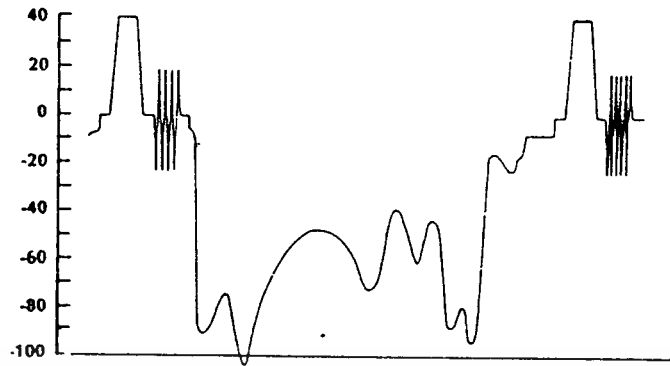
การ Scrambling มีคำจำกัดความที่กว้างมาก โดยหมายถึง "การเปลี่ยนแปลงข้อมูลจากแบบปกติให้อยู่ในรูปแบบพิเศษ ซึ่งไม่สามารถรับรู้ได้ด้วยระบบปกติ และสามารถเปลี่ยนแปลงข้อมูลจากรูปแบบพิเศษนั้น ให้กลับมาอยู่ในรูปแบบปกติได้" ซึ่งจะเห็นได้ว่าแม้แต่การเกิด Noise ในการส่งก็อาจจะจัดว่าเป็นการ Scrambling ได้ถ้า Noise นั้นจะทำให้เราไม่สามารถรับรู้ภาพจากสัญญาณ Video นั้นได้ และเราก็สามารถที่จะกำจัดสัญญาณ Noise นั้นออกไปได้หมด จนสามารถดูภาพได้ชัดเจนเหมือนปกติ ในการ Scrambling สัญญาณ Video นั้นทำได้หลายแบบ ดังนี้

5.1 การกลับสัญญาณ Video (Video Inversion)

หลักการ วิธีการนี้จะทำการกลับสัญญาณ Video, Synch Pulse, Burst รวมทั้ง Blinking หรือกล่าวได้ว่ากลับสัญญาณทุกสัญญาณ โดยจะกลับจากบวกเป็นลบ และจากลบเป็นบวก

เทคนิคการ Scrambling แบบนี้ ได้เริ่มต้นใช้ในระบบ Cable TV และจัดได้ว่าเป็นการ Scrambling แบบที่เป็นธรรมชาติมากที่สุด เพราะไม่มีการเปลี่ยนแปลงรูปแบบของสัญญาณที่มีอยู่ในสัญญาณ Composite Video เลย เพียงแต่กลับขั้วของสัญญาณเท่านั้น ดังนั้นเราจึงสามารถ Descrambling สัญญาณกลับมาสู่รูปแบบเดิมได้ง่าย เพียงใส่วงจรสลับขั้วของสัญญาณที่เครื่องรับเท่านั้น แต่การที่สามารถ Descrambling ได้ง่ายนี้ ทำให้เทคนิคนี้ มีการรักษาความปลอดภัยของข้อมูลในระดับที่ต่ำมาก เพราะถ้าผู้ที่ต้องการดูข้อมูลจากสัญญาณ Video นี้ รู้ว่าใช้เทคนิค Scrambling แบบนี้ ก็สามารถ Descrambling ได้ง่ายเช่นกัน ซึ่งผลของการใช้เทคนิคนี้ จะมีผลดังรูปที่ 5.1

จากรูปที่ 5.1 จะเห็นว่า Complete Video line จะถูกกลับจากบวกเป็นลบ และลบเป็นบวก ทำให้ที่เครื่องรับไม่สามารถเช็ค Synch ได้ และข้อมูลของภาพ จะอยู่ในรูป Negative นอกจากนี้ Color burst จะถูกเลื่อนเฟสไป 180 องศาด้วย



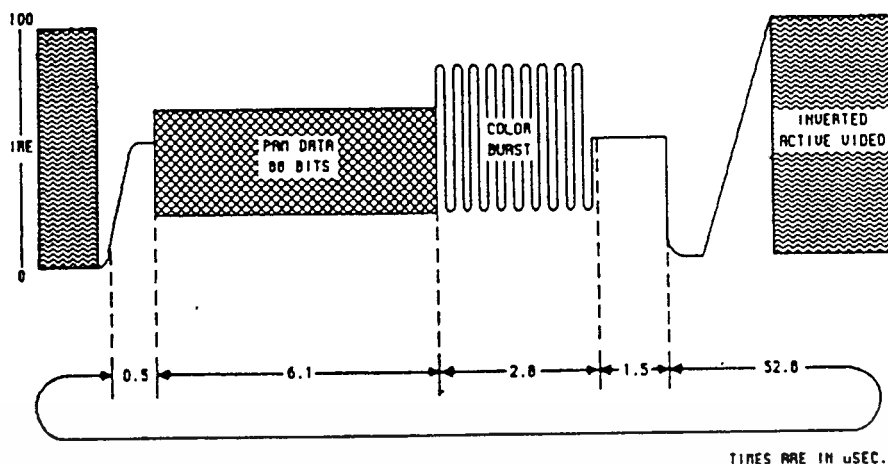
รูปที่ 5.1 แสดงผลของ Video Inversion

สำหรับระบบโทรทัศน์ผ่านดาวเทียม จะไม่สามารถใช้เทคนิคการ Scrambling แบบนี้ได้ เพราะแรงดันไฟของระบบ จะถูกแปลงลงทั้งข้าง High และ Low ซึ่งหมายความว่า ในเครื่องรับโทรทัศน์ผ่านดาวเทียมนั้น จะมีอุปกรณ์สลับขั้วของสัญญาณอยู่แล้ว จะทำให้สัญญาณที่ถูก Scrambling แบบนี้ไม่มีผล เพราะจะสามารถรับได้อย่างปกติ

5.2 การแทน Synch (Synch Replacement)

หลักการ จะมีการแทนสัญญาณ Synch Pulse ทางแนวนอน (Horizontal Synch) และทางแนวตั้ง (Vertical Synch) ด้วยสัญญาณรูปแบบอื่น ไม่ว่าจะเป็นใด ๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เทคนิคการ Scrambling แบบนี้ มีการใช้ในอเมริกาเหนือ และยุโรป และ



รูปที่ 5.2 แสดงผลของ Synch Replacement

เป็นส่วนหนึ่งในหลาย ๆ เทคนิคที่มีการใช้ในระบบ OAK Orion และ Video Cipher II ทั้งสองระบบ ในระบบ Orion ช่วงของ Horizontal Synch จะรวมถึงสัญญาณ Synch Burst ความถี่ 25 MHz ซึ่งตามด้วยสัญญาณ Data Burst ส่วนระบบ Video Cipher II นั้น จะมีการนำสัญญาณ Data Burst มาแทนสัญญาณ Synch และนำข้อมูลของสัญญาณ Synch นั้นเข้าไปรวมอยู่ในส่วนของสัญญาณ Data Burst

เทคนิคนี้ จะไม่มีการรักษาความปลอดภัยของข้อมูลเลย เช่นเดียวกับเทคนิคการ Scrambling แบบ Video Inversion (แบบที่ 1) ทำให้สามารถทำการ Descrambling ได้ง่าย ซึ่งทำได้ 2 แบบคือ

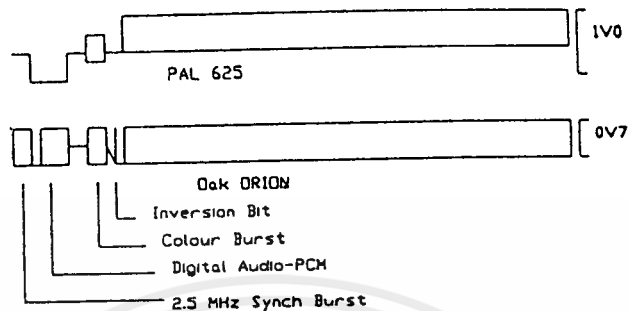
1. แบบที่เสียค่าใช้จ่ายต่ำ จะใช้วิธีการ Detect สัญญาณเพื่อให้ได้สัญญาณ Synch โดยใช้วงจร Monostable
2. แบบที่เสียค่าใช้จ่ายสูง จะใช้วงจร Synch Regeneration โดยใช้สัญญาณ Color Burst หรือสัญญาณส่วนอื่น ๆ ในการ Lock เพื่อสร้างสัญญาณ Synch ขึ้นมาใหม่

5.3 Active Inversion

หลักการ จะทำการกลับขั้วของสัญญาณ Video แบบ Active

การ Scrambling แบบ Active Inversion นี้ เป็นการกลับขั้วของข้อมูลภาพของ Video ทีละ Line ต่อ Line ซึ่งให้ผลในด้านการรักษาความปลอดภัยไม่ต่างกันเท่าไรนัก อีกทั้งยังมีให้คัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้ ภัยที่ดีกว่าระบบที่ผ่านมา แต่อย่างไรก็ตาม ในสภาพทั่ว ๆ ไปแล้ว สัญญาณ Video

จะกลับหัวโดยใช้พื้นฐานของ Alternat Line ซึ่งมีการรักษาความปลอดภัยที่ต่ำอยู่
ดี และในบางระบบจะใช้ในลักษณะ Field ต่อ Field



รูปที่ 5.3 แสดงผลของ Active Inversion
ในระบบ OAK Orion

จากรูปที่ 5.3 จะพบว่า การเปลี่ยนแปลงของ Key ของ Descrambler แบบ Active Video inversion คือวิธีการที่ง่ายที่สุดที่จะทำให้เหมือนกับว่ามี Key ที่แสดงหัวของสัญญาณ Video สำหรับแต่ละ Line

นอกจากนี้ เทคนิคนี้ ยังแบ่งได้เป็น 2 แบบคือ

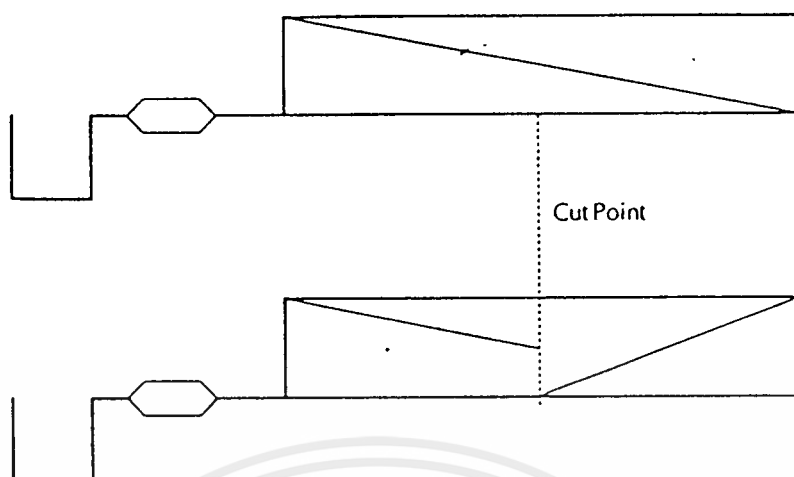
1. แบบที่มี Key
2. แบบที่ไม่มี Key (No Key)

แบบมี Key จะมีการรักษาความปลอดภัยในระดับที่ต่ำกว่า (Key คือ Pulse ในช่วงของสัญญาณ ซึ่งใช้แสดงหัวของสัญญาณ Video) Key Pulse นี้ จะสามารถ Detect ได้อย่างง่าย

แบบไม่มี Key จะมีลักษณะที่แตกต่างออกไป เพราะไม่มีสิ่งที่ใช้แสดงหัวของสัญญาณ Video ในส่วนประกอบของ Line เลย

5.4 ตัด และกลับหัว (Cut and Invert)

หลักการ สัญญาณ Line Video จะถูกแบ่งออกเป็นส่วนย่อย ๆ ที่เรียกว่า "Segment" จำนวนหลาย ๆ Segment ตามที่ต้องการ และทำการสลับหัวของสัญญาณ Line Video ในส่วนของ Segment ใด Segment หนึ่ง หรือจะทำพร้อมกันทีเดียวทีละหลาย ๆ Segment ก็ได้ จากจำนวนของ Segment ที่ได้แบ่งเอาไว้ในตอนแรก รูป 5.4 ประกอบ



รูปที่ 5.4 แสดงผลของ Cut and Invert

จากรูปที่ 5.4 จะพบว่าการแบ่งสัญญาณ Line Video ออกเป็น 2 Segment และทำการกลับหัวของสัญญาณ Line Video ในช่วง Segment หลัง

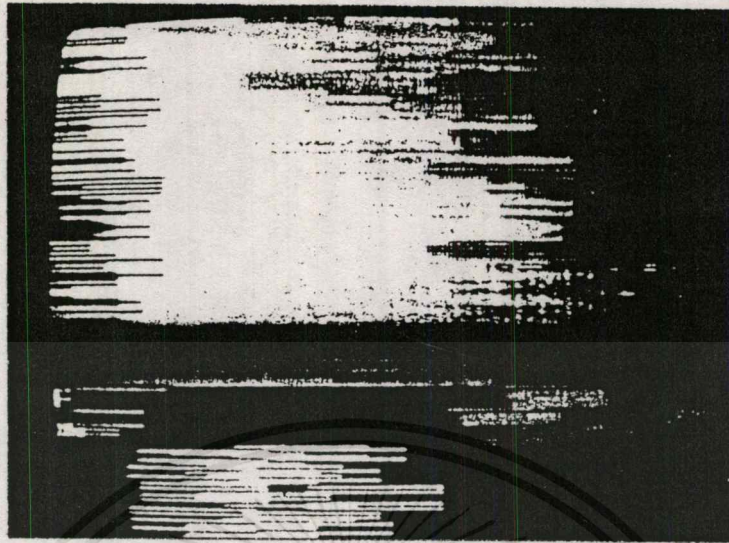
เทคนิคการ Scrambling แบบนี้ จะไม่เหมาะกับวงจรทางด้าน Analog เพราะจะออกแบบได้ยากมาก แต่มันจะเหมาะกับการออกแบบทาง Digital ซึ่งจะทำให้ได้ง่าย และมีประสิทธิภาพที่ดีกว่า ซึ่งมีระบบที่ใช้ในยุโรปหลายระบบ ที่ใช้หลักการนี้ไปประยุกต์ใช้งาน ซึ่งผลของระดับความสำเร็จในการรักษาความปลอดภัย ที่ได้ของแต่ละระบบนั้น จะขึ้นอยู่กับจำนวนของ Segment ต่อ Line Video และจำนวนของ Segment ที่ถูกกลับหัวที่ระบบนั้นใช้

5.5 ตัด และ หมุน (Cut and Rotate)

หลักการ จะคล้ายกันกับการ Scrambling แบบ Cut and Invert ในส่วนที่มีการแบ่งสัญญาณ ออกเป็น Segment หลาย ๆ Segment แต่เทคนิคนี้จะทำการเลื่อน Segment มาไว้ที่ Segment และเลื่อน Segment แรกไปที่ Segment ที่สอง ไปเรื่อย ๆ ตามลำดับจนครบทั้งหมด ซึ่งจะมีลักษณะเป็นการหมุน Segment เป็นวงกลมโดย Segment สุดท้ายจะต่ออยู่กับ Segment แรก ในขณะที่แบบ Cut and Invert จะกลับหัว Segment ของ Line Video

จากรูปที่ 5.5 จะเป็นการ Scrambling แบบ Cut and Rotate โดยเอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้ส่วนตัวเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า จะแบ่งออกเป็น 5 Segment ด้วยกัน แล้วทำการหมุน Segment 1 ครั้ง ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การ Scrambling แบบนี้ ที่มีใช้ในยุโรป จะมีประสิทธิภาพดีมาก จำนวน

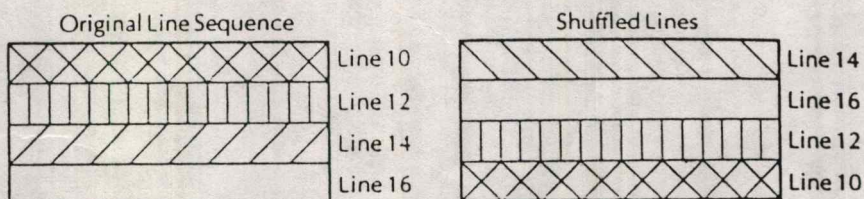


รูปที่ 5.5 แสดงผลของ Cut and Rotate

ของจุดตัวอย่าง หรือ Segment ต่อ Line ที่เลือกใช้คือ 256 ซึ่งจำนวนจุดตัดที่ค่านี้ เราสามารถที่จะกำหนดให้อยู่ในรูปของข้อมูลขนาด 8 บิตได้ โดยจะอยู่ในรูปแบบของ Word หรือ Byte ก็ได้

5.6 Line Shuffle

หลักการ จะทำการสับเปลี่ยนอันดับของ Line ใน Field หรือ Frame เพื่อให้ส่ง Line ในคำสั่งที่ผิดจากปกติ เช่น Line ที่ 10 อาจจะถูกส่งไปในอันดับของ Line ที่ 99 และ Line ที่ 99 ก็จะถูกส่งไปในอันดับที่ 10 แทน เป็นต้น ทำให้การแสดงผลภาพบนหน้าจอเครื่องรับแสดงภาพที่ผิดเพี้ยน เพราะ Line Video ที่รับเข้ามา สลับอันดับกันอยู่



รูปที่ 5.6 แสดงผลของ Line Shuffle

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากรูปที่ 5.6 จะพบว่ามีการจัดลำดับของ Line ใหม่จากลำดับที่ต่อเนื่องคือ

Line 10, Line 12, Line 14 และ Line 16 ตามลำดับ มาเป็น Line 14 ขึ้นก่อน และตามด้วย Line 16, Line 12 และ Line 10 แทน

การ Scrambling วิธีนี้จะต้องใช้ Field หรือ Frame เพื่อใช้เก็บข้อมูล ในการสลับ Line และวงจร Digital เป็นจำนวนมาก

5.7 การเลื่อน Sinewave Synch (Sinewave Synch shifting)

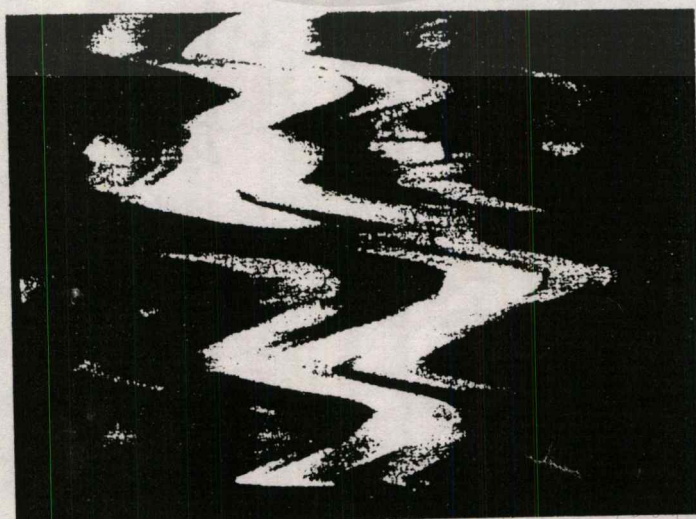
หลักการ เพิ่ม Sinewave เข้าไปในสัญญาณ Line Video โดยมีความถี่ เท่ากับความถี่ Line หรือเป็นจำนวนเท่าของความถี่ Line

การ Scrambling เทคนิคนี้มี 2 รูปแบบคือ

1. ใช้ความถี่ Sinewave เท่ากับความถี่ Line
2. ใช้ความถี่ Sinewave เป็นจำนวนเท่าของความถี่ Line

ซึ่งทั้งสองแบบ จะมีการทำงานที่เรียบง่าย กล่าวคือแรงดัน Sinewave จะ ไปดันให้ส่วนของ Synch Pulse เลื่อนเข้าไปอยู่ในย่านของสัญญาณ Video ผลก็คือ จะทำให้เครื่องรับโทรทัศน์ไม่สามารถ Lock หรือ Synchronize ได้ ทำให้ ภาพที่ได้จะม้วน หรือขาด ดังรูป 5.7

การเพิ่ม Sinewave เข้าไป จะมีผลทำให้ไปเพิ่ม Amplitude ของสัญญาณ Video ถ้าสัญญาณ Video ไม่ถูกลดทอนก่อนที่จะทำการ Scrambling โดยยังคงเหลืออยู่ในระดับมาตรฐานแล้ว การเพิ่ม Sinewave เข้าไป จะทำให้เกิดการ Overdeviation ดังนั้นจะทำให้ภาพเพี้ยนไป



เอกสารนี้เป็นเอกสารที่สงวนลิขสิทธิ์ไว้เพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

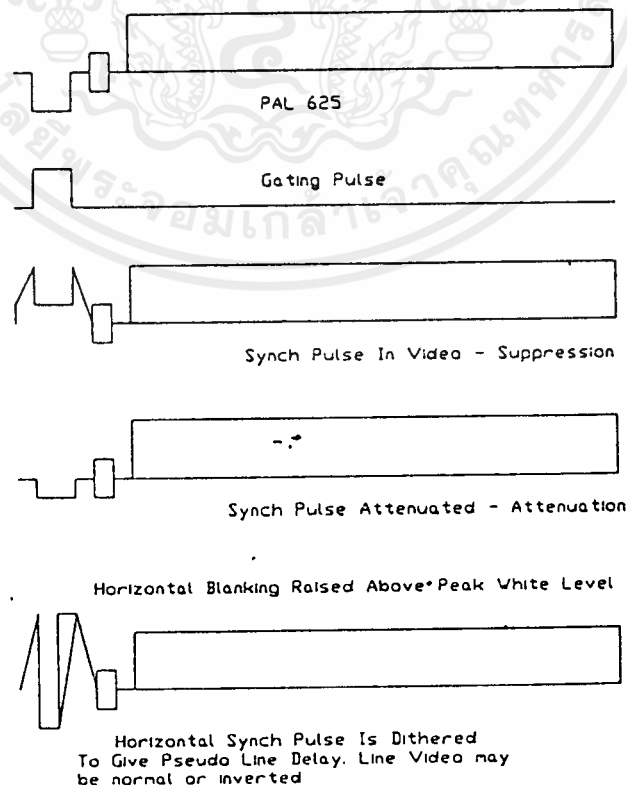
รูปที่ 5.7 แสดงผลของ Sinewave Synch Shifting

การเลื่อน Sinewave Synch นี้ จะทำให้ Horizontal และ Vertical Synch Pulse ถูกเลื่อนเข้าไปในย่านของ Active Video ซึ่ง Sinewave จะ Modulate กับ Active Video ด้วย หมายความว่า Amplitude ของ Video จะต้องถูกลดทอนก่อนที่จะทำการ Scrambling เพื่อให้สัญญาณที่ Scramble ตกลงมาอยู่ภายในการจำกัดแรงดันในการส่ง Synch Separator ของเครื่องรับโทรทัศน์ จะไม่สามารถที่จะแยก Active Video ออกจากข้อมูลของ Synch ได้

5.8 การเลื่อน Pulse Synch (Pulse Synch Shifting)

หลักการ ใส่ Pulse Synch เข้าไปในย่านของสัญญาณ Video ซึ่งใช้ได้ทั้งทาง Horizontal และ Vertical Synch

การเลื่อน Pulse Synch สามารถป้องกันเครื่องรับโทรทัศน์จากการ Lock ภาพได้อย่างมีประสิทธิภาพ วิธีนี้จะมีการทำงานที่ไม่เหมือนกับ Sinewave synch Shifting เพราะวิธีนี้จะมีผลต่อช่วงของสัญญาณ Synch เท่านั้น Waveform ของ Scrambling และ Descrambling ที่ถูกเพิ่มเข้าไปในสัญญาณ Video คือ ขบวนของ Pulse (Pulse Train)



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษา Payview III Waveform นำไปใช้ประโยชน์ด้านการค้า

ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 5.8 แสดงผลของ Pulse Synch Shifting

เมื่อ Pulse Train ซึ่งจำเป็นสำหรับการ Descrambling สัญญาณที่ถูกส่งไปตามคู่สายที่แยกจากกัน จะใช้การเลื่อน Gate Pulse



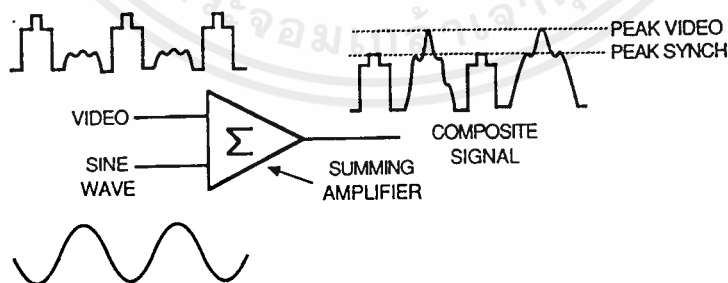
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 6

ตัวอย่างการนำไปใช้งาน

Sine Wave Scrambling

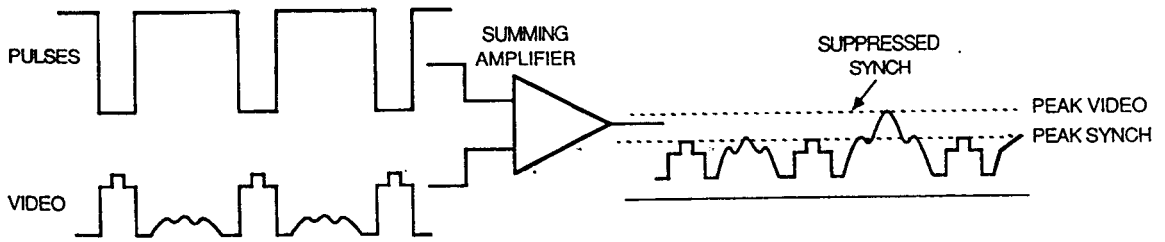
Sine Wave Scrambling ใช้เทคนิคการเลื่อน Sine Wave ซึ่งเป็นที่นิยมใช้กันมาก เพราะสามารถทำได้ง่าย เพียงแต่นำสัญญาณ Sine Wave ความถี่ต่าง ๆ นำมาทำการรวม (Summing) กับสัญญาณ Line Video ถ้าเป็นระบบ PAL จะใช้ความถี่ 15.625 KHz ส่วนระบบ NTSC จะใช้ความถี่ 15.75 KHz ทั้งนี้เพื่อให้เข้าใจได้ง่าย เพราะที่ความถี่นี้ จะเท่ากับความถี่ของ Line Video ของระบบนั้น ๆ ในการรวมสัญญาณ Sine Wave เข้าไปนั้น เราจะต้องยกระดับสัญญาณ Sine Wave ก่อนโดยให้ค่าสูงสุดทางลบมีค่าเท่ากับ 0 จากนั้นก็จะจัดเฟสให้ส่วนที่มีค่าเท่ากับ 0 นั้นไปตรงกับส่วนที่เป็นสัญญาณ Synch Pulse และส่วนที่มีค่าบวกจะอยู่ตรงส่วนของ Line Video ซึ่งจะทำให้ระดับสัญญาณของ Line Video เปลี่ยนแปลงเพิ่มขึ้น จนมีบางส่วนที่มีค่าเกินค่าของ Synch Pulse ทำให้เครื่องรับทั่ว ๆ ไปไม่สามารถเช็คสัญญาณ Synch Pulse ได้อย่างถูกต้อง ทำให้ภาพที่รับได้ผิดเพี้ยนไป หลักการทำงานสามารถดูได้จาก รูปที่ 6.1



รูปที่ 6.1 แสดงหลักการทำงานของ Sine Wave Scrambling

Gated Pulse Scrambling

Gated Pulse Scrambling ใช้วิธีการเลื่อน Gated Pulse ซึ่งจะคล้ายกับ Sine Wave Scrambling จะต่างกันก็ตรงที่สัญญาณที่นำมารวมนั้น เป็นสัญญาณ

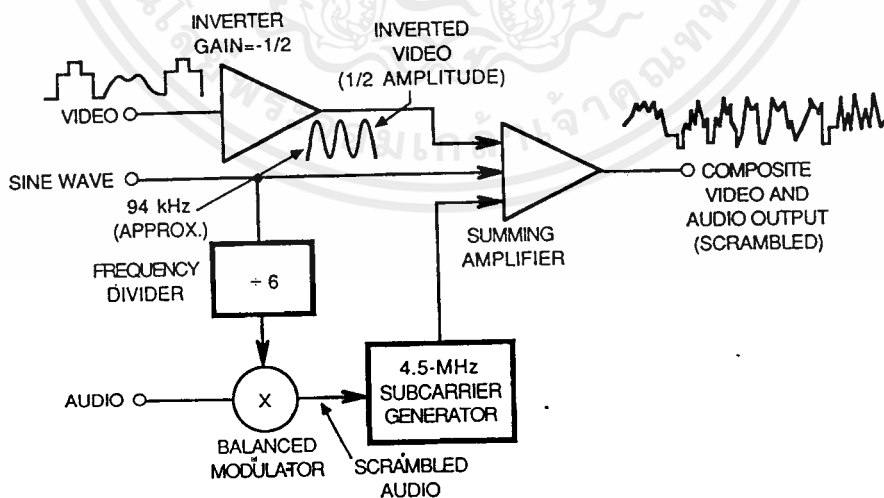


รูปที่ 6.2 แสดงหลักการทำงานของ Gated Pulse Scrambling

Gated Pulse แทนที่จะเป็น Sine Wave ผลที่ได้จะคล้ายกัน คือสัญญาณ Line Video จะมีค่าเกินค่าของ Sync Pulse ทำให้เครื่องรับรับภาพไม่ได้ แต่ลักษณะของภาพที่เห็นไปจะต่างจากแบบ Sine Wave หลักการทำงานดูได้จากรูปที่ 6.2

Telease Scrambling

Telease Scrambling ใช้เทคนิคการเลื่อน Sine Wave โดยระบบนี้จะทำการ Scrambling ทั้งสัญญาณ Audio และ Video ลักษณะการทำงานแสดงในรูปที่ 6.3

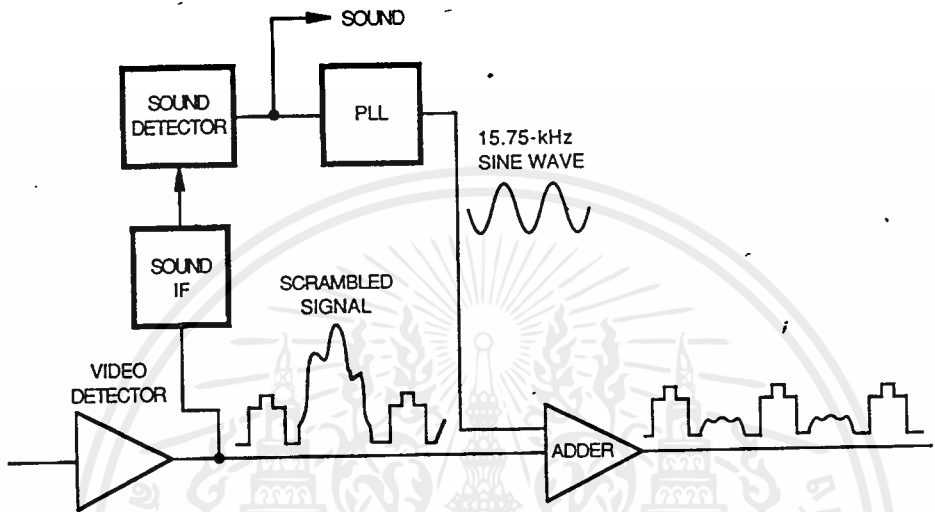


รูปที่ 6.3 แสดง Block Diagram ของ Telease Scrambling

เอกสารนี้เป็นจากหลักการทำงานของ การ Scrambling ทั้ง 3 แบบที่กล่าวมาแล้ว ในที่นี้
ไม่ว่าเราจะกล่าวถึงหลักการทำงานของ Descrambling ของทั้ง 3 แบบดังนี้ นำไปใช้

Sine Wave Descrambling

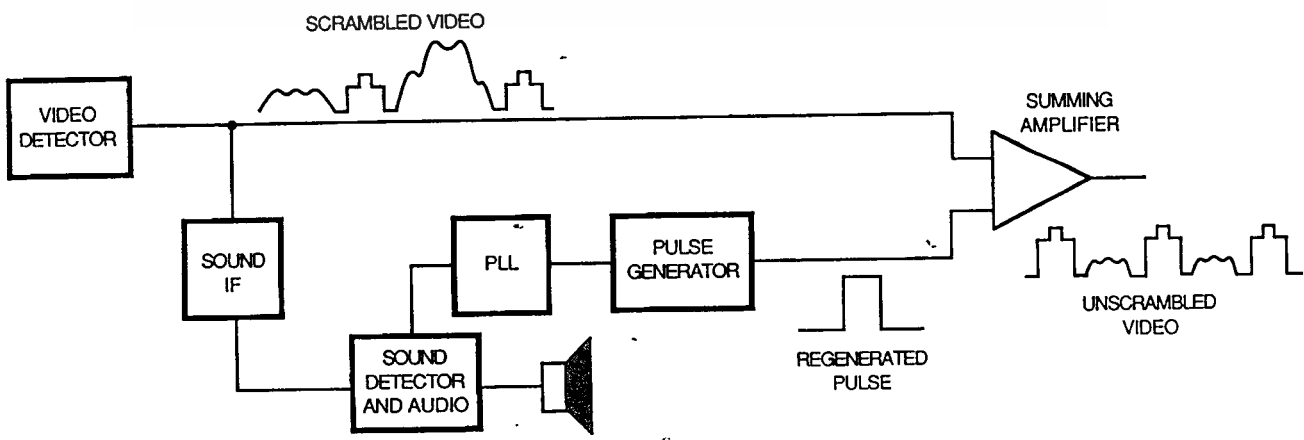
Sine Wave Descrambling เป็นการหักล้าง Sine Wave ที่เพิ่มเข้ามาตอน Scrambling เพื่อให้ได้สัญญาณ Video ดั้งเดิม หลักการทำงานดังรูปที่ 6.4



รูปที่ 6.4 แสดง Block Diagram ของ Sine Wave Descrambling

Gated Pulse Descrambling

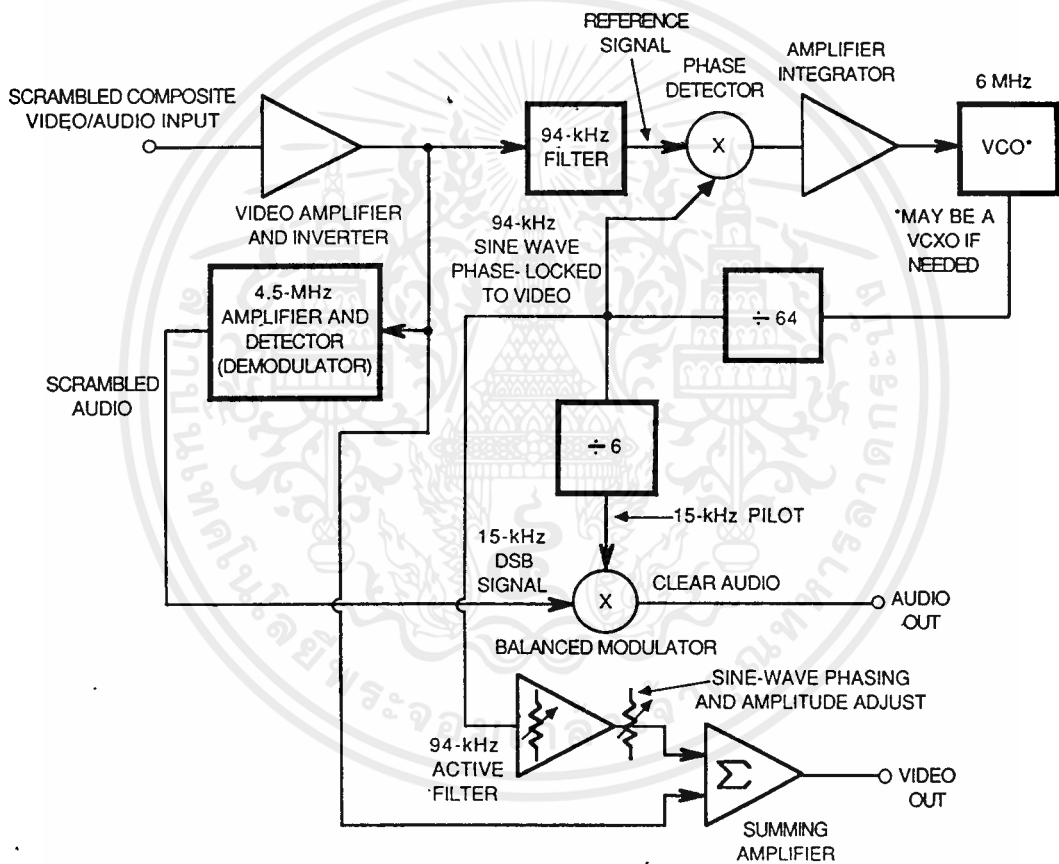
Gated Pulse Descrambling จะคล้ายกับ Sine Wave Descrambling แต่จะหักล้าง Gated Pulse ออกไปแทน Sine Wave หลักการทำงานดังรูปที่ 6.5



รูปที่ 6.5 แสดง Block Diagram ของ Gate Pulse Descrambling

Telease Descrambling

Telease Descrambling เป็นการหักล้างสัญญาณ Sine Wave จากส่วน Video และ Audio โดยในส่วนของ Audio จะต้องมีการ Demodulate ก่อน เพราะตอน Scrambling จะมีการ Modulate กับ Sound Carrier หลักการทำงานดังรูปที่ 6.6



รูปที่ 6.6 แสดง Block Diagram ของ Telease Descrambling

บทที่ 7

Video Scrambling

จากบทที่ผ่านมา งามา เราจะกล่าวถึงเนื้อหาส่วนที่เป็นพื้นฐานของการ Scrambling เพื่อให้สามารถเข้าใจการทำงานได้ง่ายขึ้น ในบทนี้เราจะกล่าวถึงตัวชิ้นงาน ในแง่ของส่วนประกอบ และการทำงานของแต่ละส่วน

ในส่วนของชิ้นงานนี้ จะประกอบไปด้วยส่วนที่สำคัญ 2 ส่วนคือ

1. ส่วน Scrambling
2. ส่วน Descrambling

ซึ่งทั้งสองส่วนนี้จะเป็นแบบ Sinewave คือ Sinewave Scrambling และ Sinewave Descrambling

โดยส่วนของ Sinewave Scrambling จะประกอบไปด้วย

1. วงจรกำเนิดสัญญาณ Sinewave ความถี่ 94 KHz
2. วงจร Add หรือ Modulate สัญญาณ Sinewave เข้ากับสัญญาณ Video (เป็น Composite Video Signal)

และส่วน Sinewave Descrambling จะประกอบด้วย

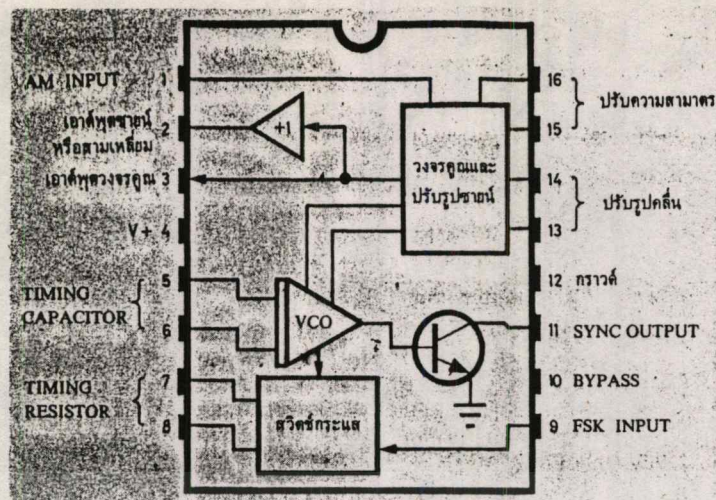
1. SAVE Descrambling ซึ่งเป็นวงจรที่ Descrambling แบบ Sinewave ระบบหนึ่ง ซึ่งจะอธิบายในบทที่ 8

วงจรกำเนิดสัญญาณ Sinewave

วงจรกำเนิดสัญญาณ Sinewave ทำหน้าที่กำเนิดสัญญาณ Sinewave ความถี่ 94 KHz เพื่อนำไป Add หรือ Modulate เข้ากับสัญญาณ Composite Video Signal โดยวงจรกำเนิด Sinewave นี้จะใช้ IC เบอร์ XR-2206 ซึ่งเป็น IC สำเร็จรูป ในการกำเนิดสัญญาณ Sinewave มีโครงสร้างภายในตัว IC ดังรูปที่ 7.1 และปรับแต่ง Sinewave ตามต้องการได้โดยกำหนดพารามิเตอร์ต่าง ๆ ดังนี้

ตัวต้านทานปรับค่าได้ (VR3) ระหว่างขา 13 กับ 14 จะใช้ปรับแต่งรูปคลื่นของสัญญาณ Sinewave ให้มีความเพี้ยนน้อยที่สุด

เอกสารนี้เป็นเอกสารต้นฉบับที่จัดทำขึ้นโดย (VR4) ระหว่างขา 15 กับ 16 ใช้ปรับความถี่ของสัญญาณ Sinewave ให้มีความถี่ที่ถูกต้องตามที่กำหนดไว้

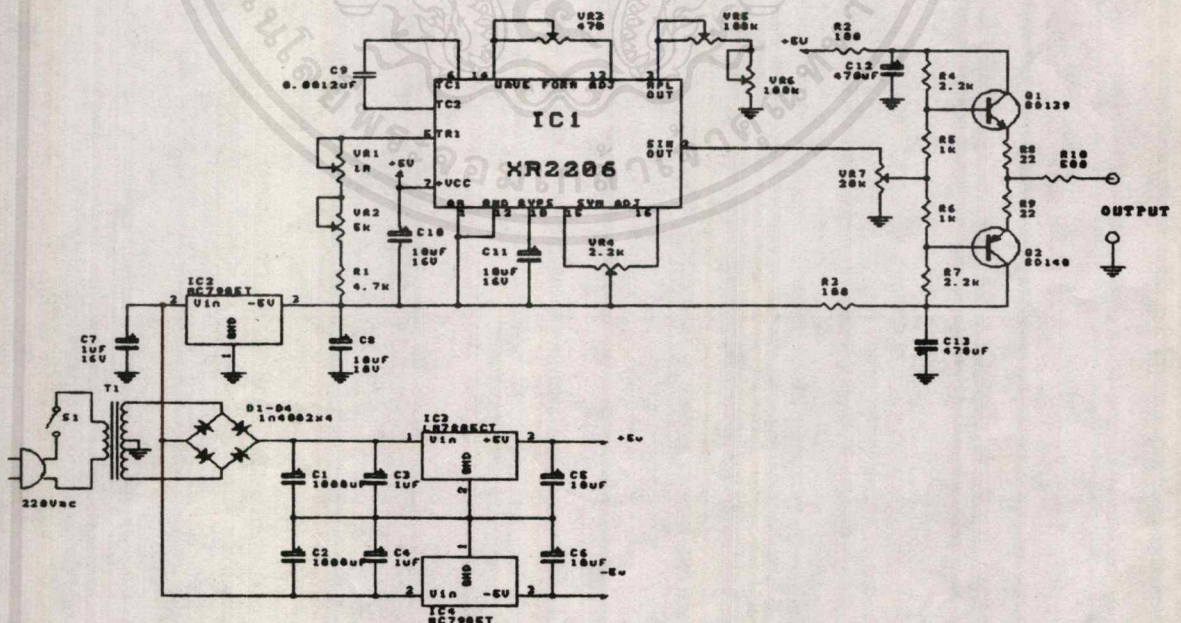


รูปที่ 7.1 แสดงโครงภายในของ IC เบอร์ XR-2206

ตัวเก็บประจุ (C1) ที่อยู่ระหว่างขา 5 กับ 6 และตัวต้านทานที่ขา 7 (R1, VR1 และ VR2) ใช้กำหนดค่าของความถี่ที่ต้องการ โดยหาได้จากสมการ

$$F = \frac{1}{RC}$$

ตัวต้านทานปรับค่าได้ (VR5 และ VR6) ระหว่างขา 3 กับกราวด์ และแรงดันที่ขา 1 ใช้กำหนดความแรงของสัญญาณ Sinewave



รูปที่ 7.2 แสดงวงจรกำเนิดสัญญาณ Sinewave

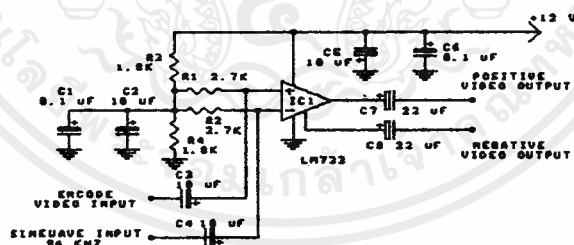
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากรูปที่ 7.2 เมื่อเรากำหนดค่าพารามิเตอร์ต่าง ๆ ของ IC XR-2206 จะได้สัญญาณ Sinewave ที่ต้องการที่ขา 2 ผ่าน VR7 เพื่อปรับระดับของแรงดันแล้วป้อนให้กับส่วน Output ในส่วนของ Output จะประกอบด้วยทรานซิสเตอร์ 2 ตัว (Q1 BD139 และ Q2 BD140) ต่อเป็นวงจร Complementary โดย Q1 จะทำงานเมื่อสัญญาณอินพุตเป็นบวก และ Q2 จะทำงานเมื่อสัญญาณอินพุตเป็นลบ และเพื่อป้องกันไม่ให้เกิดความเพี้ยนของสัญญาณทาง Output หรือที่เรียกกันว่า Cross Over Distortion จึงกำหนดไบแอสให้กับทรานซิสเตอร์ทั้งสองด้วยค่า R9-R12 ซึ่งจะจำกัดกระแสไบแอสที่ค่าประมาณ 40 mA

นอกจากนี้ ที่แหล่งจ่ายไฟของทรานซิสเตอร์ทั้งสองจะใส่ R6 กับ C14 ซึ่งทำหน้าที่เป็น Decoupling เพื่อปรับแรงดันไฟตรงให้เรียบ โดยมี Ripple น้อยที่สุด ทำให้ปราศจากสัญญาณรบกวน แม้จะมีขนาดต่ำ

วงจร Add หรือ Modulate

ทำหน้าที่ Add หรือ Modulate สัญญาณ Sinewave เข้ากับ Composite Video Signal หรือกล่าวว่า "เป็นการเข้ารหัส (Scrambling)" ดังแสดงในรูปที่ 7.3



รูปที่ 7.3 แสดงวงจร Add หรือ Modulate

จากที่กล่าวมา จะพบว่าในส่วนของการ Scrambling นี้จะไม่ยุ่งยากซับซ้อนเท่าใดนัก เพราะเป็นเพียงการนำสัญญาณ Sinewave มาผสมกับสัญญาณ Video เท่านั้น แต่ในส่วนของการ Descrambling นั้นจะต้องมีการดึงสัญญาณ Sinewave ออกมา แล้วทำการกลับเฟส และต้องปรับขนาดของสัญญาณ Sinewave เพื่อให้มีค่าเท่ากับส่วนที่ผสมมากับ Video ดังนั้นวงจรจึงมีความซับซ้อนมากกว่า ดังจะได้กล่าว

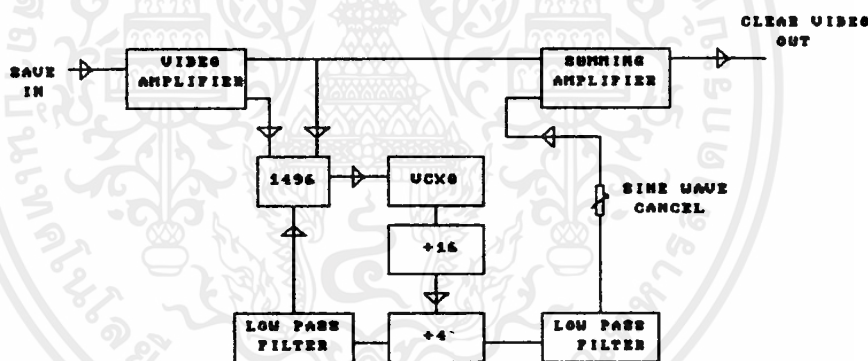
เอกสารต่อไป เอกสารที่ส่งมอบไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 8

SAVE Descrambler

การทำงานของวงจร SAVE Descrambler เมื่อดูจาก Block Diagram ดังรูปที่ 8.1 แล้วจะประกอบด้วย

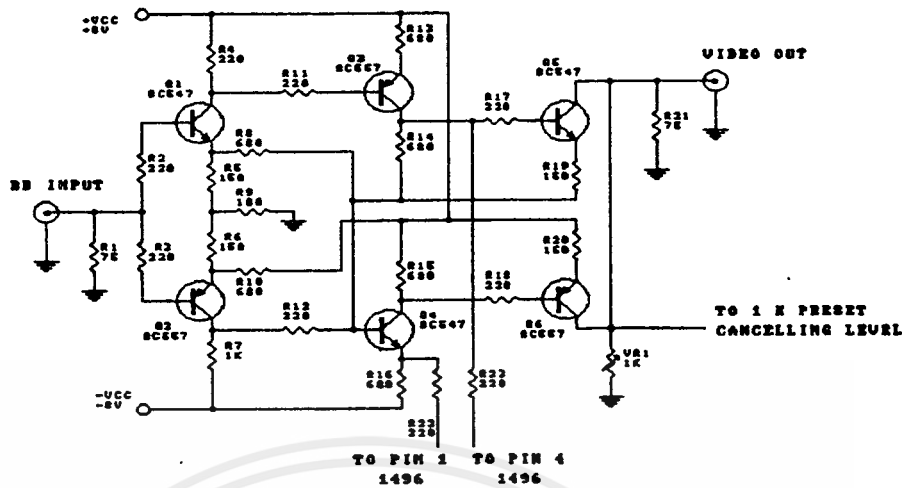
1. Video Amplifier
2. Voltage Controlled Crystal Oscillator (VCXO)
3. วงจรหารความถี่
4. ภาควงจร Phase Shift
5. ภาควงจร Low-Pass Filter
6. ภาควงจร Phase Detector



รูปที่ 8.1 แสดง Block Diagram SAVE Descrambling

ภาควงจร Video Amplifier

ภาค Video Amplifier เป็นวงจรขยาย Class B โดยใช้ทรานซิสเตอร์เบอร์ BC 547 และเบอร์ BC 557 อย่างละ 2 ตัว (Q1-Q4) ประกอบเป็นวงจร Complementary ซึ่งจะเป็นสัญญาณส่วนหนึ่งส่งไปยังภาค Phase Detector เพื่อทำการเช็ค Phase กับสัญญาณจาก Oscillator และสัญญาณอีกส่วนหนึ่งจะส่งไปยัง Summing Amplifier โดยภาคนี้จะทำการหักล้างสัญญาณ Sine Wave ที่สมอยู่กับ Video ด้วย Sine Wave ความถี่ 94 KHz ที่ส่งมาจากภาค Filter โดยปรับระดับของสัญญาณ Sine wave ได้โดยปรับที่ VR Preset 1 KHz โดยวงจรไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งยังมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้ ส่วนนี้แสดงดังรูปที่ 8.2

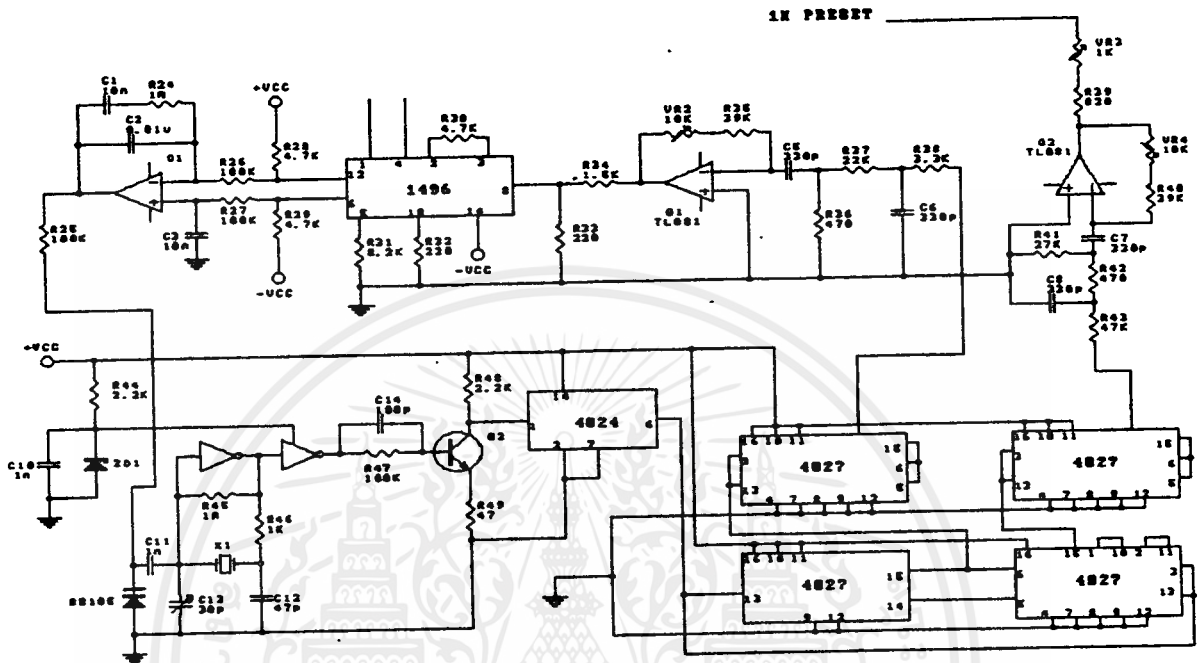


รูปที่ 8.2 แสดงวงจร Video และ Summing Amplifier

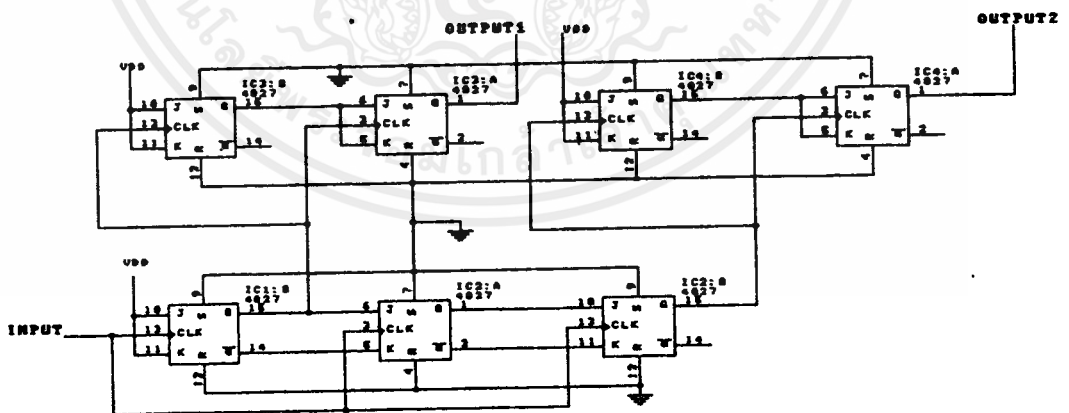
ภาควงจร Phase lock loop

เป็นการรวม Phase detector , วงจรหารความถี่ , วงจร Low Pass Filter และส่วนของ Voltage Controller Crystal Oscillator ภาคนี้อจะกำเนิดความถี่ 6 MH_z และส่งผ่านแก่วงจรหารความถี่โดยใช้ IC เบอร์ 4024 ซึ่งถูกต้องเป็นวงจรรหาร 16 สัญญาณที่ปรากฏทางเอาต์พุตขา 6 จะเป็นสัญญาณ Square Wave ความถี่ประมาณ 376 KH_z และส่งผ่านให้กับวงจรรหาร 4 ซึ่งใช้ IC เบอร์ 4027 ซึ่งมีโครงสร้างภายในเป็น JK Flip Flop 4 ตัว และอีกส่วนจะถูกเลื่อน Phase 360 องศา โดยการนำ JK Flip flop มาประกอบเป็นวงจรร Shift register 2 ครั้ง และนำไปผ่านวงจรรหาร 4 ซึ่งเอาต์พุตส่วนแรกและส่วนที่สองมี Phase ต่างกัน 90 องศา แต่มีความถี่ 94 KH_z เท่ากัน สัญญาณความถี่ 94 KH_z ทั้งสองจะถูกส่งไปยังวงจรร elliptical Filter ที่ใช้ IC เบอร์ TL 081 ทำหน้าที่เปลี่ยนสัญญาณ Square Wave ให้เป็นสัญญาณ Sine Wave ซึ่งสัญญาณ Sine Wave ส่วนแรก และส่วนหลังจะมี Phase ต่างกันอยู่ 90 องศาอยู่เช่นเดิมสัญญาณ Sine Wave ส่วนแรกจะถูกส่งไปยังภาค Phase Detector (IC เบอร์ 1496) ซึ่งจะทำการเทียบเฟสกับสัญญาณส่วนที่มาจากภาค Video Amplifier ถ้าสัญญาณมีเฟสตรงกัน สัญญาณทางด้านเอาต์พุตที่ขา 12 และขา 6 จะมีขนาดเท่ากัน แล้วส่งผ่านวงจรร Low Pass Filter ซึ่งจะแปลงสัญญาณเป็นแรงดันไฟตรงส่งไปควบคุมภาค Oscillator เพื่อกำเนิดสัญญาณที่มีเฟสตรงกัน ถ้ามีเฟสตรงกันแล้ว ก็จะไม่ว่ากันว่ามีแรงดันไฟส่งไป สัญญาณ Sine Wave อีกส่วนหนึ่งจะส่งให้แก่ภาค Summing

Amplifier เพื่อทำการหักล้างกับสัญญาณ Sine Wave ที่ถูก Add มา กับสัญญาณ Video ด้วยภาค Scrambling สำหรับวงจร PLL จะแสดงดังรูปที่ 8.3 และ วงจรหาความถี่ด้วย 4 จะแสดงดังรูปที่ 8.4



รูปที่ 8.3 แสดงรายละเอียดวงจร PLL ของภาค Descrambling

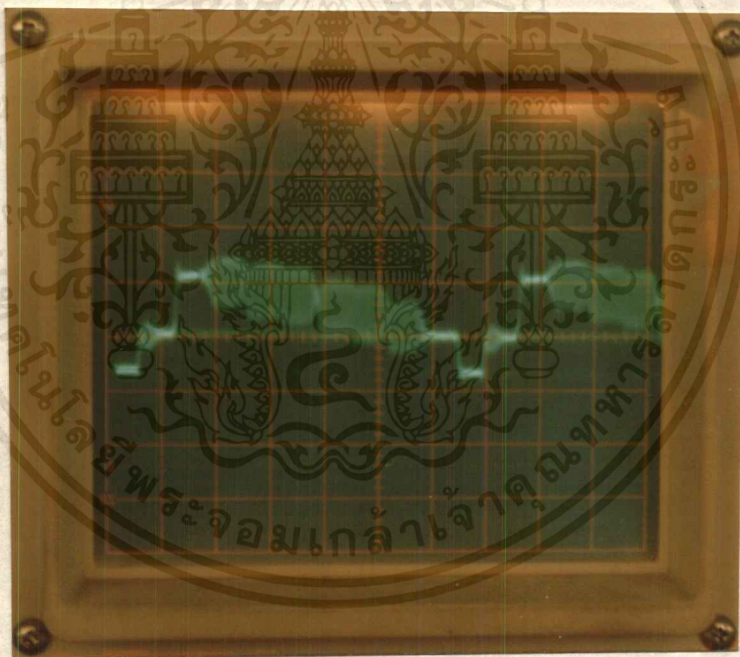


รูปที่ 8.4 แสดงรายละเอียดวงจรหาร 4

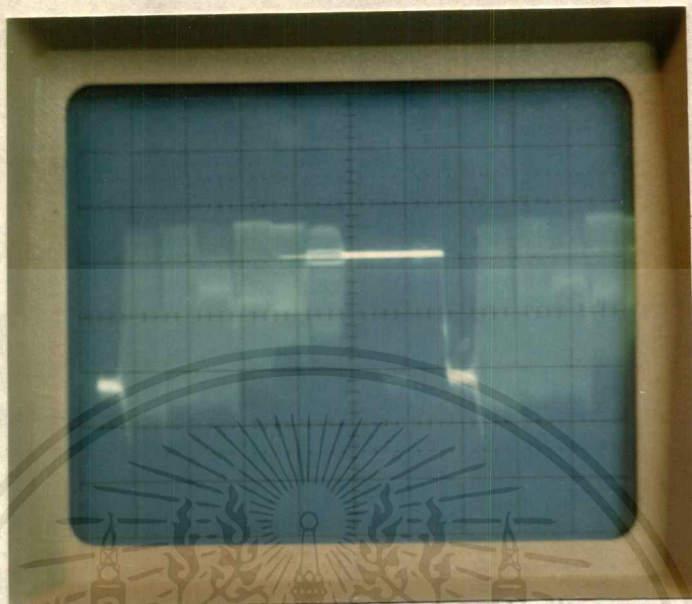
รูปแบบของสัญญาณ

รูปแบบของสัญญาณ Composite Video Signal ที่ Input ของ Scrambler (แสดงดังรูปที่ 8.5) ,Scrambling Video ที่ output ของ Scrambler (รูปที่ 8.6) ,Square Wave ที่ output ของวงจรหารความถี่ด้วย 4 ในตัว Descrambler (รูปที่ 8.7) และ Descrambling Video ที่ output ของตัว Descrambler (รูปที่ 8.8) โดยที่ Composite Video Signal ที่ใช้จะเป็น แถบสี

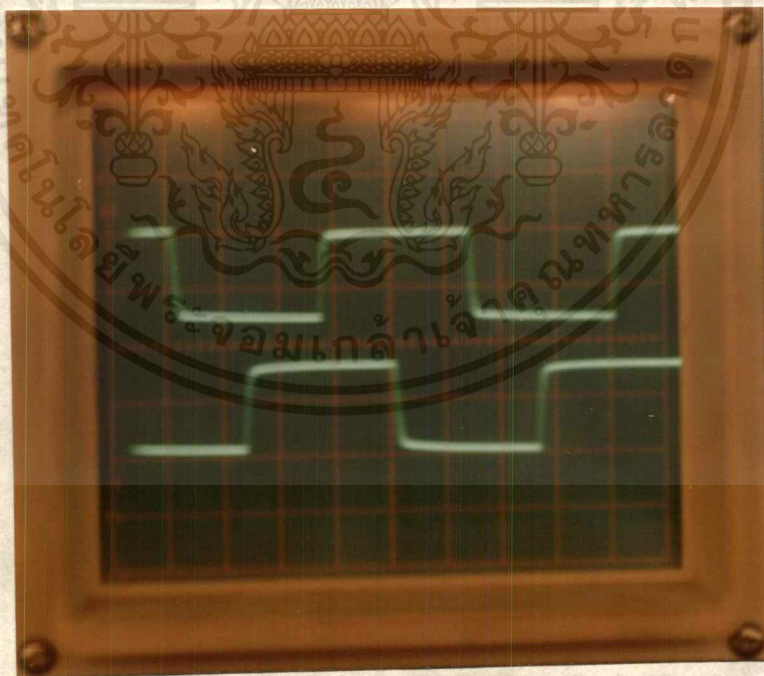
นอกจากนี้รูปแบบของสัญญาณเปรียบเทียบระหว่าง Composite Video Signal ที่ยังไม่ผ่านการ Scrambling กับ Composite Video Signal ที่ผ่านการ Descrambling แล้ว จะแสดงดังรูปที่ 8.9 ถึง 8.13



รูปที่ 8.5 แสดงสัญญาณ Composite Video Signal

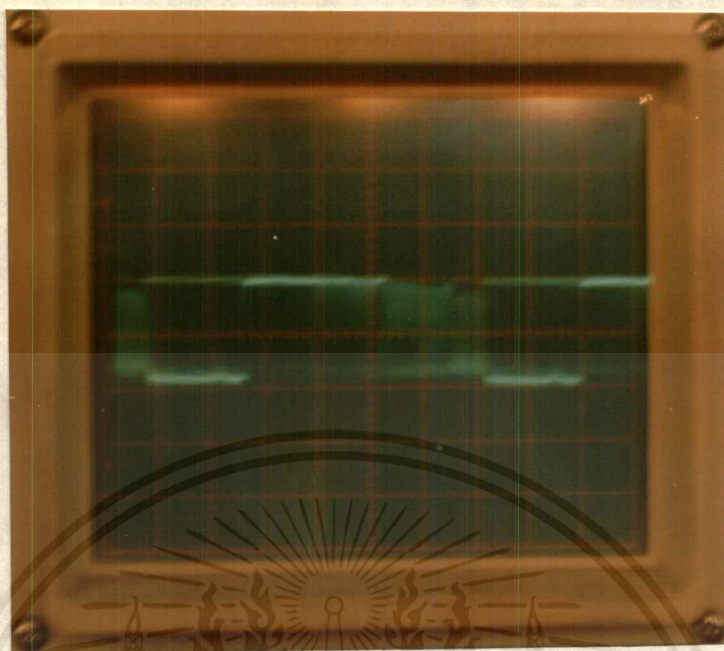


รูปที่ 8.6 แสดงสัญญาณ Video ที่ผ่านการ Scrambling

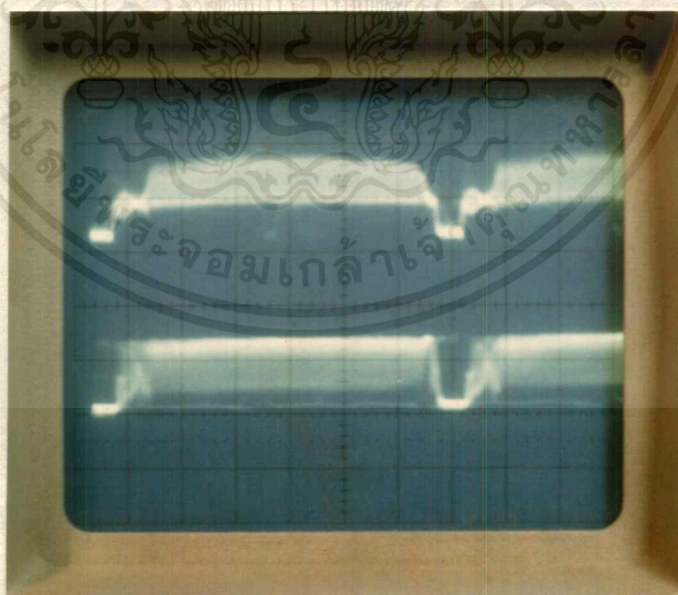


รูปที่ 8.7 แสดง Square Wave ที่ output ของวงจรทาร. 4

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

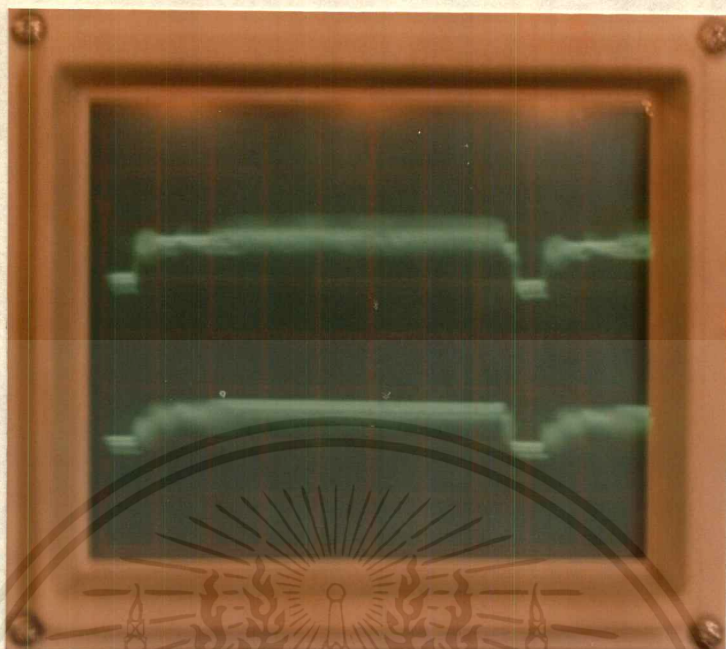


รูปที่ 8.8 แสดงสัญญาณ Video ที่ผ่านการ Descrambling

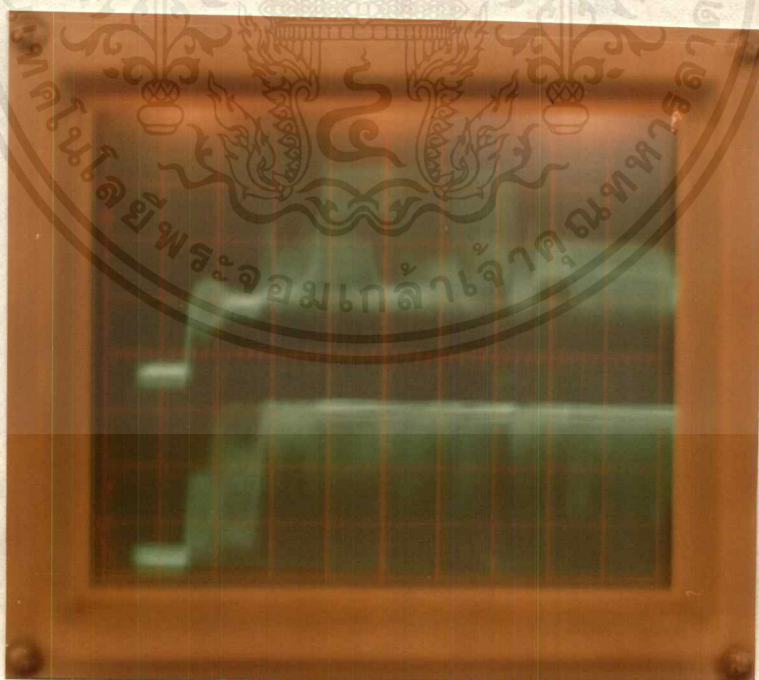


รูปที่ 8.9 แสดงการเปรียบเทียบระหว่าง Video Input.
กับ Descrambling Video (1)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

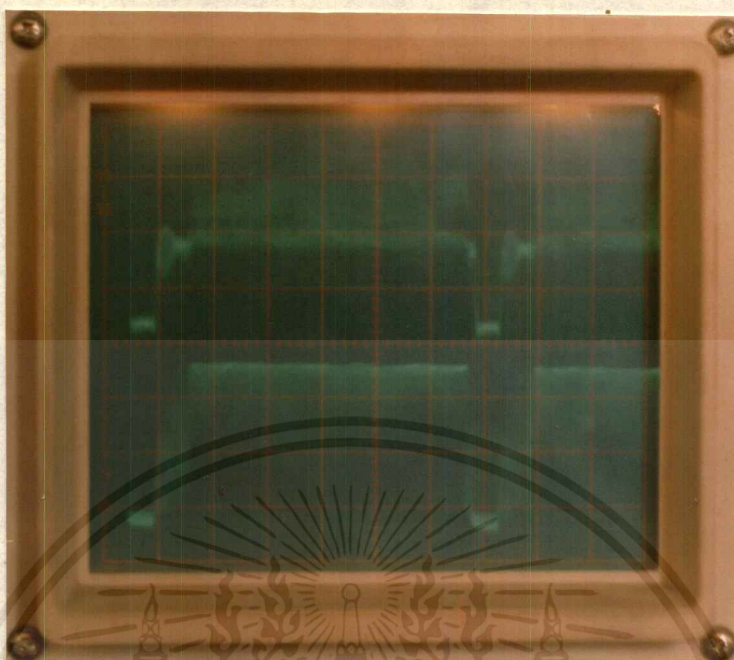


รูปที่ 8.10 แสดงการเปรียบเทียบระหว่าง Video Input
กับ Descrambling Video (2)



รูปที่ 8.11 แสดงการเปรียบเทียบระหว่าง Video Input
กับ Descrambling Video (3)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 8.12 แสดงการเปรียบเทียบระหว่าง Video Input
กับ Descrambling Video (4)



รูปที่ 8.13 แสดงการเปรียบเทียบระหว่าง Video Input
กับ Descrambling Video (5)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากรูปที่ 8.9 ถึง 8.13 จะแสดงให้เห็นว่าวงจรยังมีปัญหาอยู่ เพราะเราพบว่าสัญญาณที่ผ่านการ Scrambling แล้วมา Descrambling กับสัญญาณ Input นั้น จะแตกต่างกัน โดยส่วนที่เป็นสัญญาณภาพ Video จะกลับเฟส 180 องศา หรือ มีการกลับขั้วของสัญญาณภาพนั่นเอง

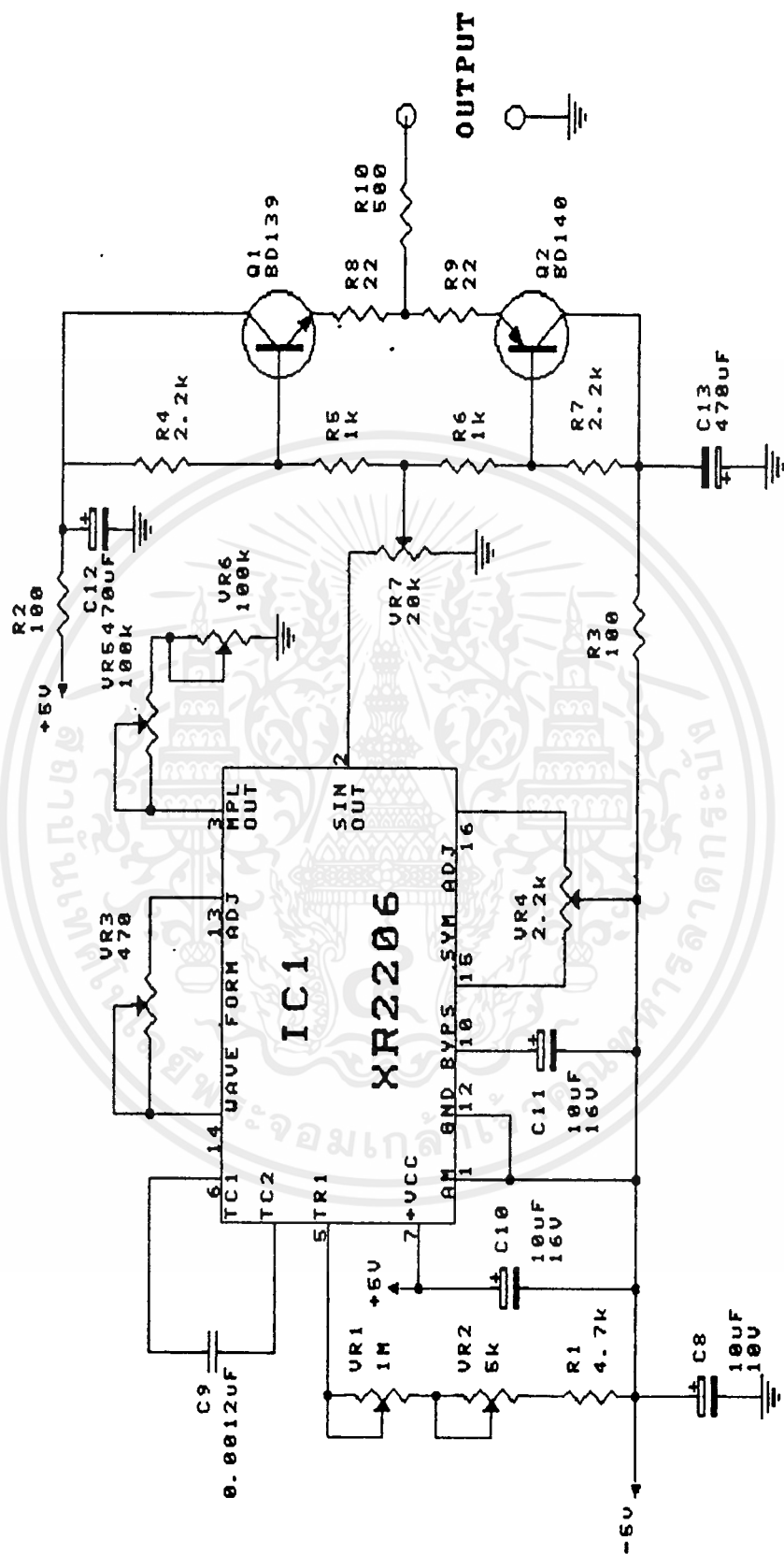


หนังสืออ้างอิง

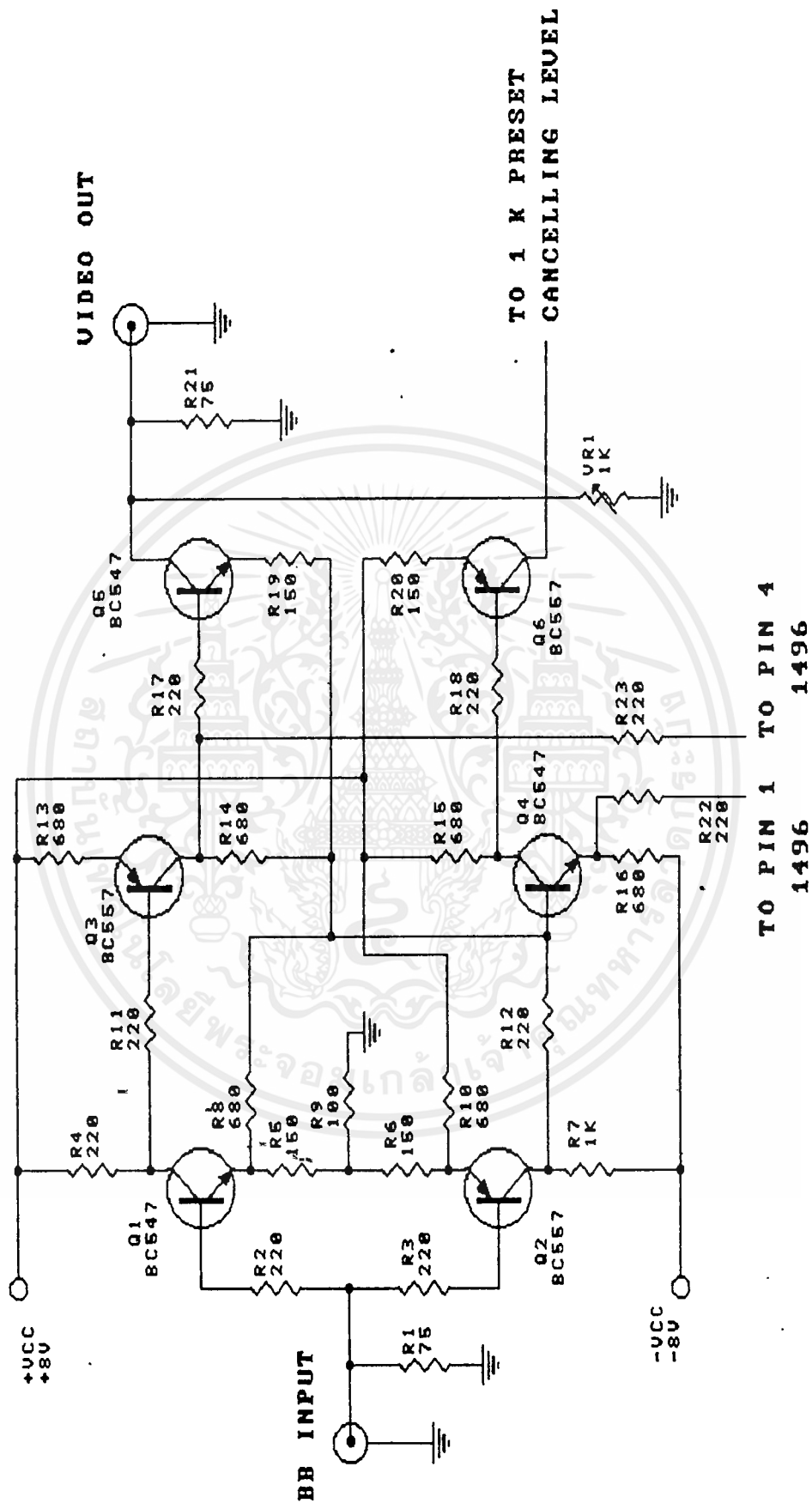
1. Video Scrambling and Descrambling for Satellite and cable TV ของ Rudolf F. Graf and Willian Sheets
2. World Satellite TV and Scrambling Methods The Technicians Handbook 2nd Edition ของ Frank Baylin, Richard Maddos และ John McCormac
3. ออปแอมป์ของกลุ่ม CNS พิมพ์ที่ หจก.สำนักพิมพ์ ฟิสิกส์เซ็นเตอร์
4. เทคโนโลยีโทรทัศน์ ของ เจน สดสมพันธ์ และนิคม อนันต์ทิพย์ พิมพ์ที่ บริษัท เอติสัน เพรส โปรดักส์ จำกัด
5. วารสารเคมีคอนดักเตอร์อิเล็กทรอนิกส์ ฉบับที่ 91 เดือนมีนาคม-เมษายน 2532 หน้า 188-195



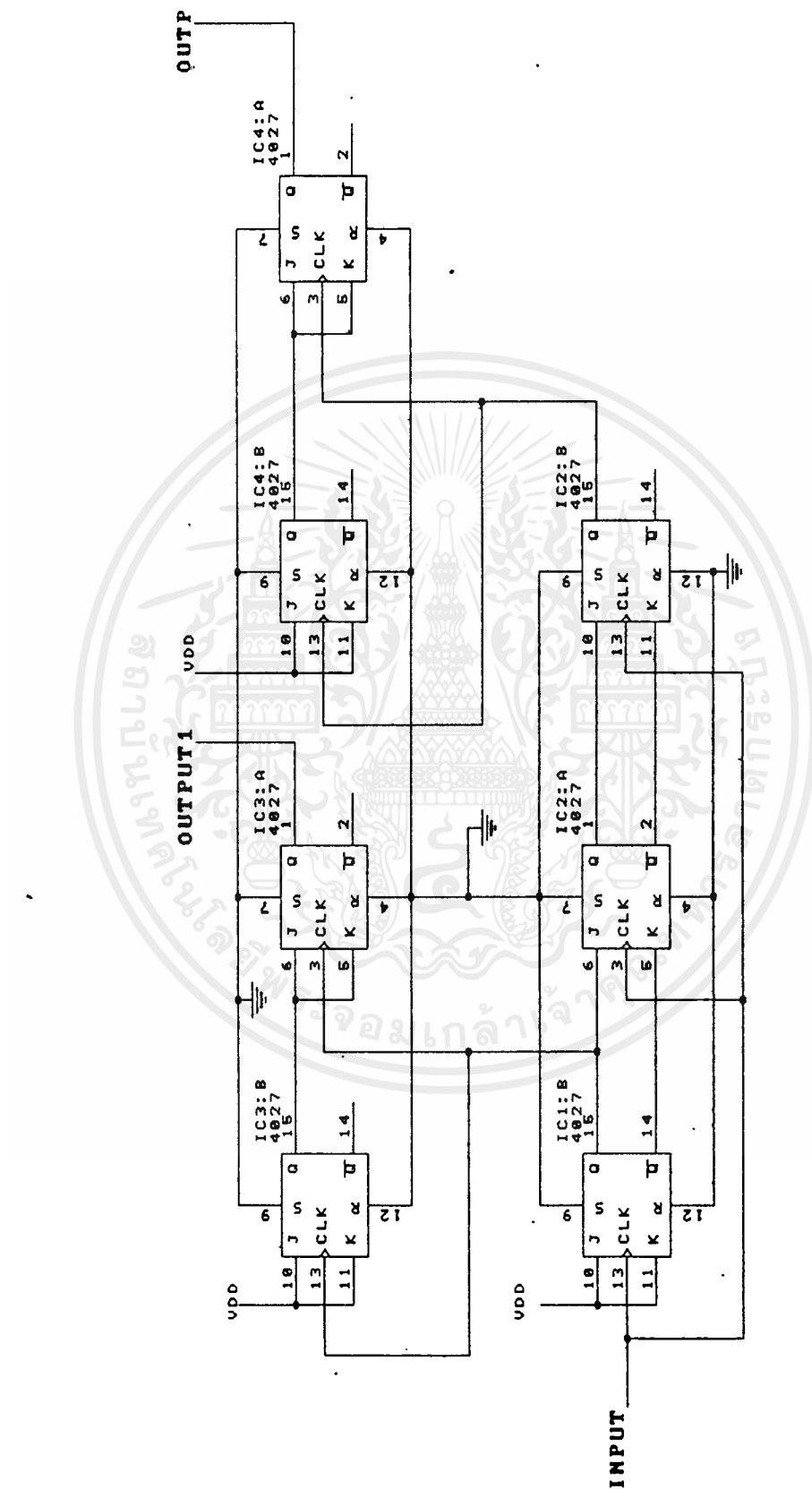
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



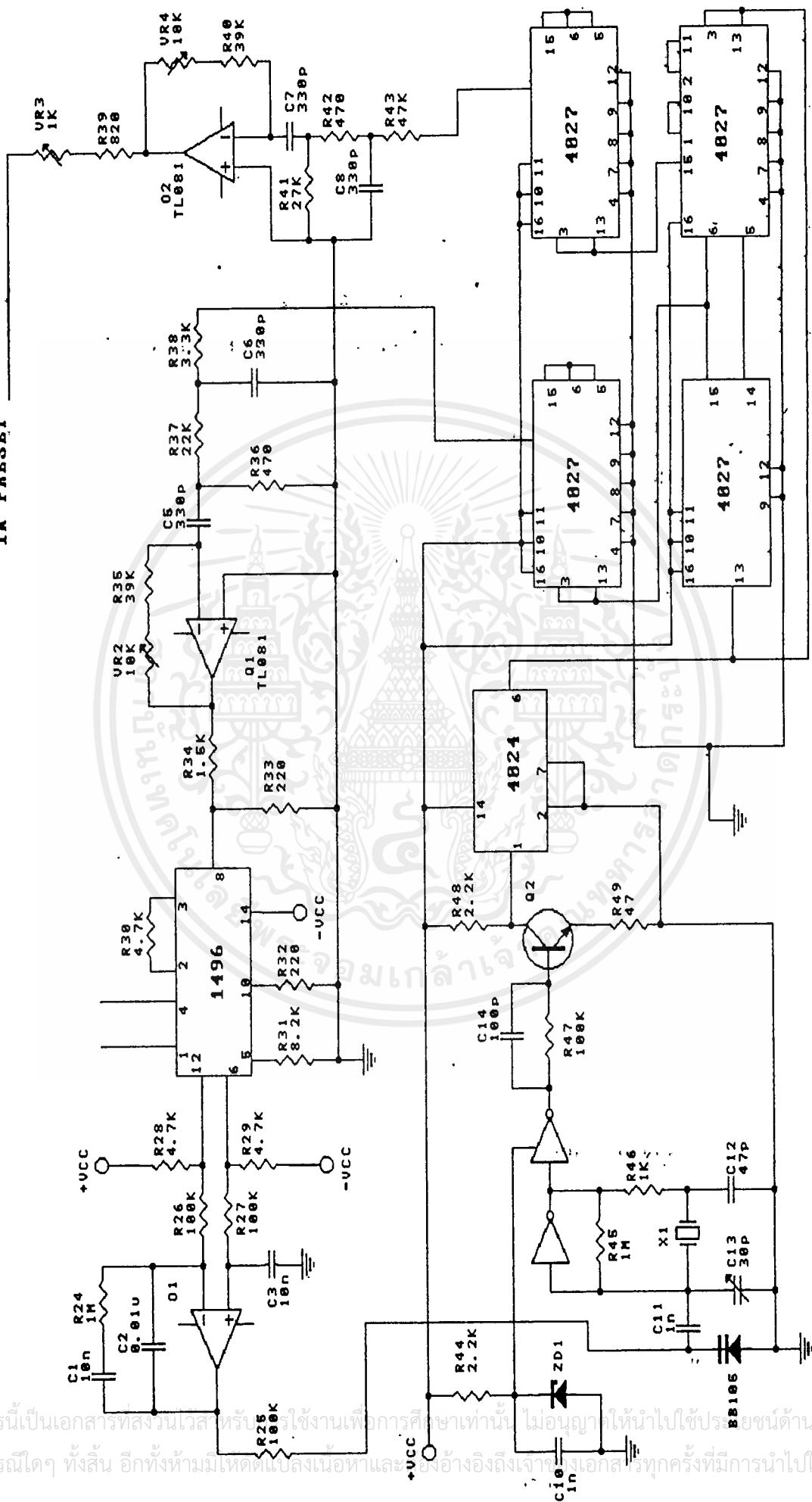
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



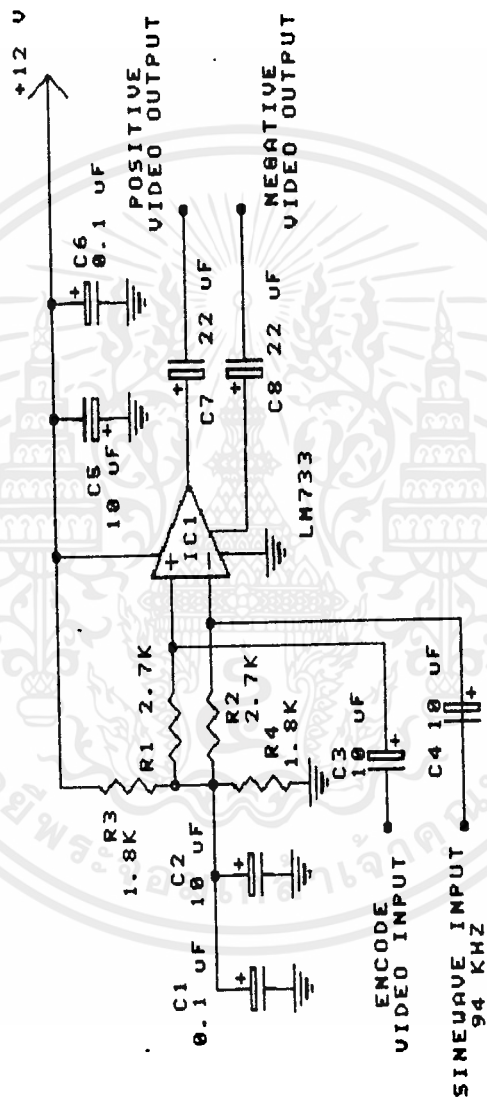
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมีเหตุดัดแปลงเนื้อหาและยังอ้างอิงถึงเจ้าของลิขสิทธิ์ทุกครั้งที่มีการนำไปใช้



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TL081
TL082
TL084

JFET INPUT
OPERATIONAL AMPLIFIERS

SILICON MONOLITHIC
INTEGRATED CIRCUITS

JFET INPUT OPERATIONAL AMPLIFIERS

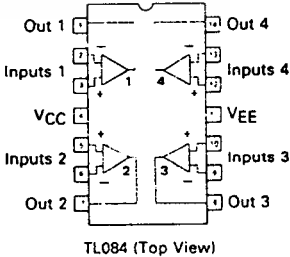
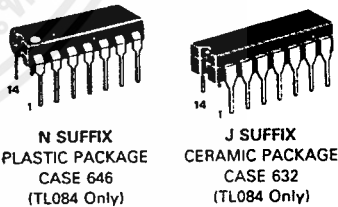
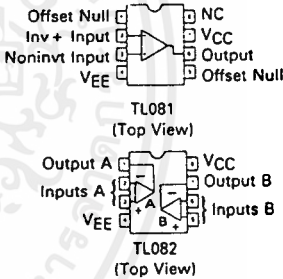
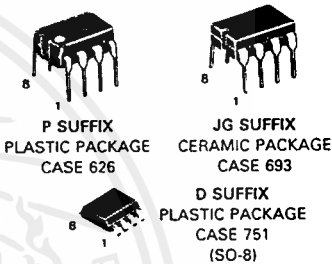
These low-cost JFET input operational amplifiers combine two state-of-the-art linear technologies on a single monolithic integrated circuit. Each internally compensated operational amplifier has well matched high voltage JFET input devices for low input offset voltage. The BIFET technology provides wide bandwidths and fast slew rates with low input bias currents, input offset currents, and supply currents.

These devices are available in single, dual and quad operational amplifiers which are pin-compatible with the industry standard MC1741, MC1458, and the MC3403/LM324 bipolar products. Devices with an "M" suffix are specified over the military operating temperature range of -55°C to +125°C and those with a "C" suffix are specified from 0°C to +70°C.

- Input Offset Voltage Options of 6.0, and 15 mV Max
- Low Input Bias Current — 30 pA
- Low Input Offset Current — 5.0 pA
- Wide Gain Bandwidth — 4.0 MHz
- High Slew Rate — 13 V/μs
- Low Supply Current — 1.4 mA per Amplifier
- High Input Impedance — 10¹² Ω
- Industry Standard Pinouts

ORDERING INFORMATION

Op Amp Function	Device	Temperature Range	Package
Single	TL081ACD, CD	0 to +70°C	SO-8
	TL081ACJG, CJG		Ceramic DIP
	TL081ACP, CP		Plastic DIP
	TL081MJG	-55 to +125°C	Ceramic DIP
Dual	TL082ACD, CD	0 to +70°C	SO-8
	TL082ACJG, CJG		Ceramic DIP
	TL082ACP, CP		Plastic DIP
	TL082MJG	-55 to +125°C	Ceramic DIP
Quad	TL084ACJ, CJ	0 to +70°C	Ceramic DIP
	TL084ACN, CN		Plastic DIP
	TL084MJ	-55 to +125°C	Ceramic DIP



TL081, TL082, TL084

MAXIMUM RATINGS

Rating	Symbol	TL08_M	TL08_C TL08_AC	Unit
Supply Voltage	V _{CC} V _{EE}	+18 -18	+18 -18	V
Differential Input Voltage	V _{ID}	±30	±30	V
Input Voltage Range (Note 1)	V _{IDR}	±15	±15	V
Output Short-Circuit Duration (Note 2)	t _S	Continuous		
Power Dissipation				
Plastic Package (N, P)	P _D	—	680	mW
Derate above T _A = +47°C	1/θ _{JA}	—	10	mW/°C
Ceramic Package (J, JG)	P _D	680	680	mW
Derate above T _A = +82°C	1/θ _{JA}	10	10	mW/°C
Operating Ambient Temperature Range	T _A	-55 to +125	0 to +70	°C
Storage Temperature Range	T _{stg}	-65 to +150	-65 to +150	°C

NOTES: 1. The magnitude of the input voltage must not exceed the magnitude of the supply voltage or 15 volts, whichever is less.
2. The output may be shorted to ground or either supply. Temperature and/or supply voltages must be limited to ensure that power dissipation ratings are not exceeded

ELECTRICAL CHARACTERISTICS (V_{CC} = +15 V, V_{EE} = -15 V, T_A = +25°C unless otherwise noted)

Characteristic	Symbol	TL08_M			TL08_C TL08_AC			Unit
		Min	Typ	Max	Min	Typ	Max	
Input Offset Voltage (R _S ≤ 10 k, V _{CM} = 0) TL081, TL082 TL084 TL08_A	V _{IO}	— — —	3.0 3.0 —	6.0 9.0 —	— — —	5.0 5.0 3.0	15 15 6.0	mV
Average Temperature Coefficient of Input Offset Voltage R _S = 50 Ω, T _A = T _{low} to T _{high} (Note 3)	ΔV _{IO} /ΔT	—	10	—	—	10	—	μV/°C
Input Offset Current (V _{CM} = 0) (Note 4) TL08_— TL08_A	I _{IO}	— —	5.0 —	100 —	— —	5.0 5.0	200 100	pA
Input Bias Current (V _{CM} = 0) (Note 4) TL08_— TL08_A	I _{IB}	— —	30 —	200 —	— —	30 30	400 200	pA
Input Resistance	r _i	—	10 ¹²	—	—	10 ¹²	—	Ω
Common Mode Input Voltage Range TL08_— TL08_A	V _{ICR}	±11 —	+15, -12 —	— —	±10 ±11	+15, -12 +15, -12	— —	V
Large-Signal Voltage Gain (V _O = ±10 V, R _L ≥ 2.0 k) TL08_— TL08_A	A _{VOL}	25 —	150 —	— —	25 50	150 150	— —	V/mV
Output Voltage Swing (Peak-to-Peak) (R _L = 10 k)	V _O	24	28	—	24	28	—	V
Common Mode Rejection Ratio (R _S ≤ 10 k) TL08_— TL08_A	CMRR	80 —	100 —	— —	70 80	100 100	— —	dB
Supply Voltage Rejection Ratio (R _S ≤ 10 k) TL08_— TL08_A	PSRR	80 —	100 —	— —	70 80	100 100	— —	dB
Supply Current (Each Amplifier)	I _D	—	1.4	2.8	—	1.4	2.8	mA
Unity Gain Bandwidth	BW	—	4.0	—	—	4.0	—	MHz

TL081, TL082, TL084

ELECTRICAL CHARACTERISTICS (V_{CC} = +15 V, V_{EE} = -15 V, T_A = +25°C unless otherwise noted)

Characteristic	Symbol	TL08_M			TL08_C TL08_AC			Unit
		Min	Typ	Max	Min	Typ	Max	
Slew Rate (See Figure 1) V _{in} = 10 V, R _L = 2.0 k, C _L = 100 pF	SR	8.0	13	—	—	13	—	V/μs
Rise Time (See Figure 1)	t _r	—	0.1	—	—	0.1	—	μs
Overshoot Factor V _{in} = 20 mV, R _L = 2.0 k, C _L = 100 pF	—	—	10	—	—	10	—	%
Equivalent Input Noise Voltage R _S = 100 Ω, f = 1000 Hz	e _p	—	25	—	—	25	—	nV/√Hz
Channel Separation A _V = 100	—	—	120	—	—	120	—	dB

ELECTRICAL CHARACTERISTICS (V_{CC} = +15 V, V_{EE} = -15 V, T_A = T_{low} to T_{high} [Note 3])

Characteristic	Symbol	TL08_M			TL08_C TL08_AC			Unit
		Min	Typ	Max	Min	Typ	Max	
Input Offset Voltage (R _S ≤ 10 k, V _{CM} = 0) TL081, TL082 TL084 TL08_A	V _{IO}	—	—	9.0 15	—	—	20 20 7.5	mV
Input Offset Current (V _{CM} = 0) (Note 4) TL08_— TL08_A	I _{IO}	—	—	20	—	—	5.0 3.0	nA
Input Bias Current (V _{CM} = 0) (Note 4) TL08_— TL08_A	I _{IB}	—	—	50	—	—	10 7.0	nA
Large-Signal Voltage Gain (V _O = ±10 V, R _L ≥ 2.0 k) TL08_— TL08_A	A _{VOL}	15	—	—	15 25	—	—	V/mV
Output Voltage Swing (Peak-to-Peak) (R _L ≥ 10 k) (R _L ≥ 2.0 k)	V _O	24 20	—	—	24 20	—	—	V

NOTES (continued):

3. T_{low} = -55°C for TL081M, TL082M, TL084M T_{high} = +125°C for TL081M, TL082M, TL084M
= 0°C for TL081C, TL081AC
TL082C, TL082AC
TL084C, TL084AC

4. Input Bias currents of JFET input op amps approximately double for every 10°C rise in Junction Temperature as shown in Figure 3. To maintain Junction Temperature as close to ambient temperatures as possible, pulse techniques must be used during test.

TEST CIRCUITS

FIGURE 1 — UNITY GAIN VOLTAGE FOLLOWER

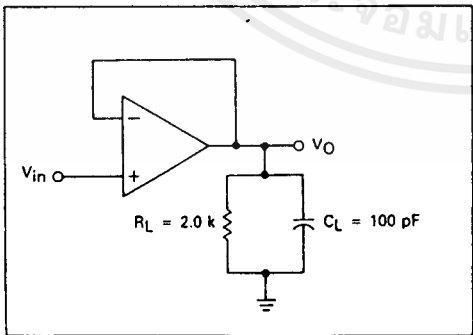
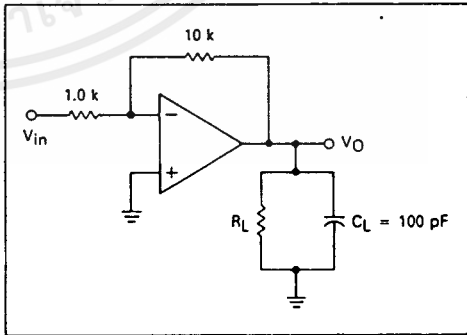


FIGURE 2 — INVERTING GAIN OF 10 AMPLIFIER



TL081, TL082, TL084

FIGURE 3 — INPUT BIAS CURRENT
versus TEMPERATURE

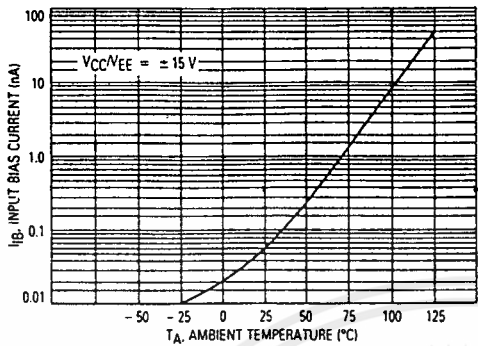


FIGURE 4 — OUTPUT VOLTAGE SWING
versus FREQUENCY

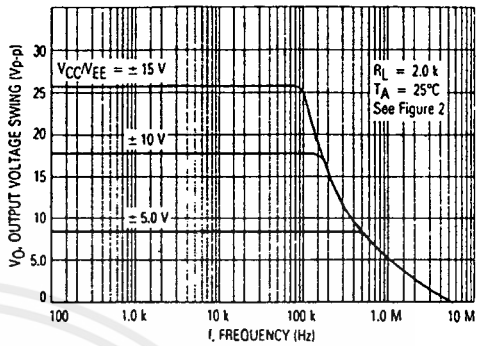


FIGURE 5 — OUTPUT VOLTAGE SWING
versus LOAD RESISTANCE

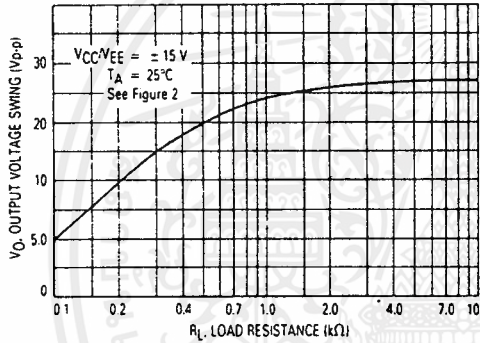


FIGURE 6 — OUTPUT VOLTAGE SWING
versus SUPPLY VOLTAGE

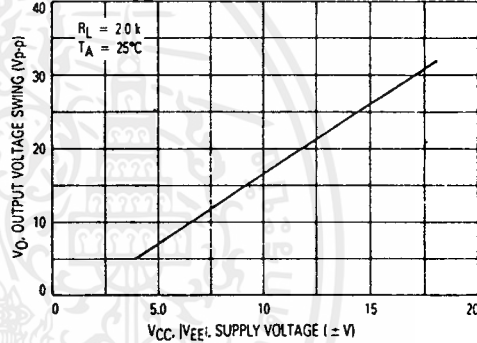


FIGURE 7 — OUTPUT VOLTAGE SWING
versus TEMPERATURE

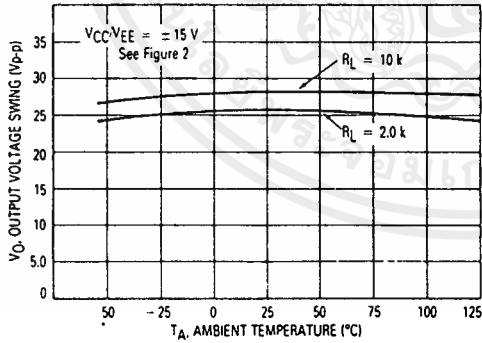
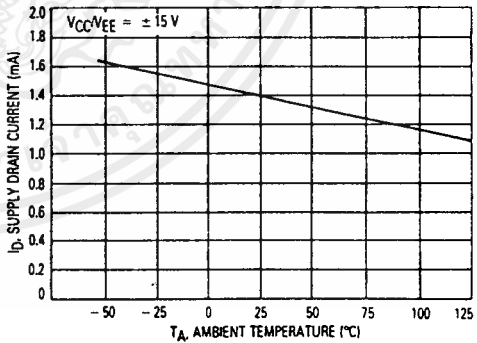


FIGURE 8 — SUPPLY CURRENT PER AMPLIFIER
versus TEMPERATURE



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TL081, TL082, TL084

FIGURE 9 — LARGE-SIGNAL VOLTAGE GAIN AND PHASE SHIFT versus FREQUENCY

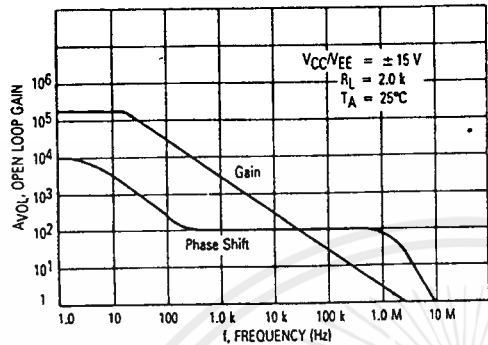


FIGURE 10 — LARGE-SIGNAL VOLTAGE GAIN versus TEMPERATURE

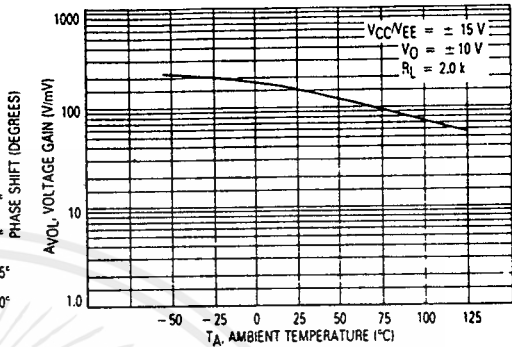


FIGURE 11 — NORMALIZED SLEW RATE versus TEMPERATURE

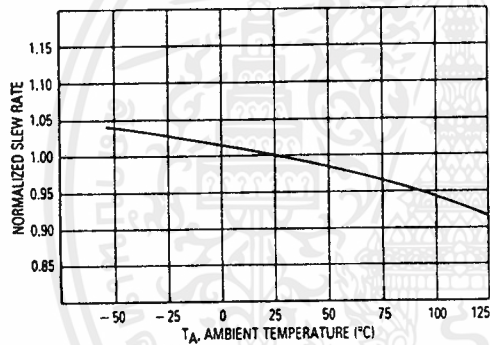


FIGURE 12 — EQUIVALENT INPUT NOISE VOLTAGE versus FREQUENCY

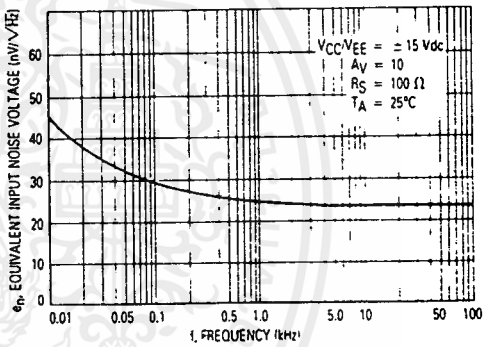
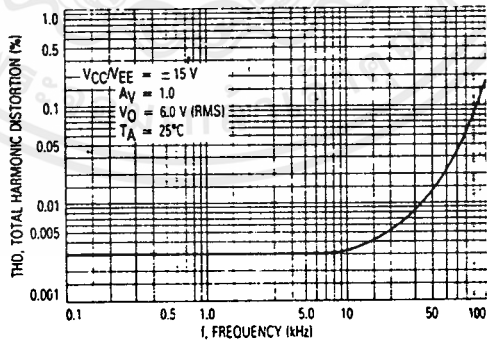


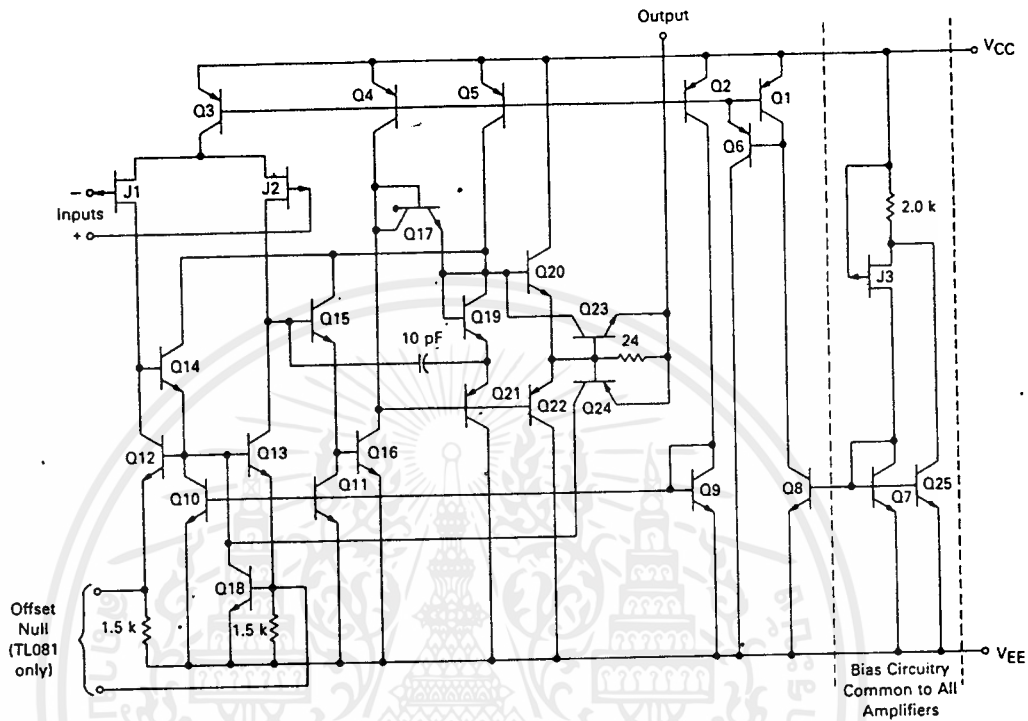
FIGURE 13 — TOTAL HARMONIC DISTORTION versus FREQUENCY



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

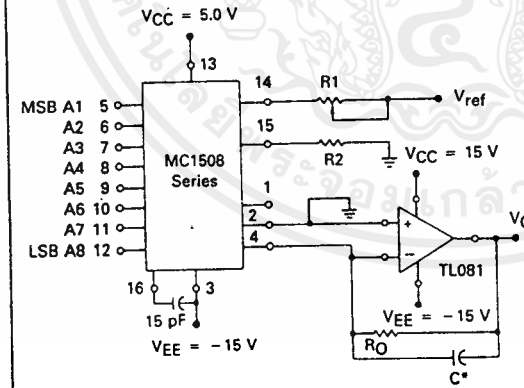
TL081, TL082, TL084

REPRESENTATIVE CIRCUIT SCHEMATIC
(Each Amplifier)



TYPICAL APPLICATIONS

FIGURE 14 — OUTPUT CURRENT TO VOLTAGE TRANSFORMATION
FOR A D-TO-A CONVERTER



Settling time to within 1/2 LSB (± 19.5 mV) is approximately $4.0 \mu\text{s}$ from the time all bits are switched.

*The value of C may be selected to minimize overshoot and ringing ($C \approx 68$ pF).

Theoretical V_O

$$V_O = \frac{V_{\text{ref}}}{R_1} (R_O) \left[\frac{A_1}{2} + \frac{A_2}{4} + \frac{A_3}{8} + \frac{A_4}{16} + \frac{A_5}{32} + \frac{A_6}{64} + \frac{A_7}{128} + \frac{A_8}{256} \right]$$

Adjust V_{ref} , R_1 or R_O so that V_O with all digital inputs at high level is equal to 9.961 volts.

$$V_{\text{ref}} = 2.0 \text{ Vdc}$$
$$R_1 = R_2 = 1.0 \text{ k}\Omega$$
$$R_O = 5.0 \text{ k}\Omega$$
$$V_O = \frac{2.0 \text{ V}}{1.0 \text{ k}} (5.0 \text{ k}) \left[\frac{1}{2} + \frac{1}{4} + \frac{1}{8} + \frac{1}{16} + \frac{1}{32} + \frac{1}{64} + \frac{1}{128} + \frac{1}{256} \right]$$
$$= 10 \text{ V} \left[\frac{255}{256} \right] = 9.961 \text{ V}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TL081, TL082, TL084

FIGURE 15 — POSITIVE PEAK DETECTOR

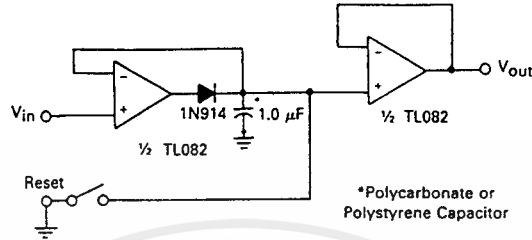
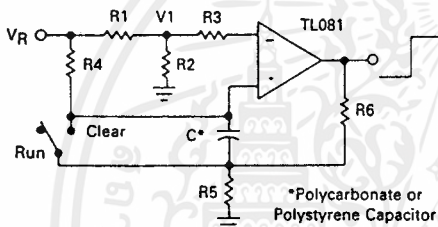
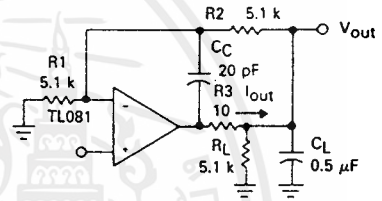


FIGURE 16 — LONG INTERVAL RC TIMER



Time (t) = $R_4 C \ln(V_R/V_R - V_1)$. $R_3 = R_4$, $R_5 = 0.1 R_6$
 If $R_1 = R_2$: $t = 0.693 R_4 C$
 Design Example: 100 Second Timer
 $V_R = 10 \text{ V}$ $C = 1.0 \mu\text{F}$ $R_3 = R_4 = 144 \text{ M}$
 $R_6 = 20 \text{ k}$ $R_5 = 2.0 \text{ k}$ $R_1 = R_2 = 1.0 \text{ k}$

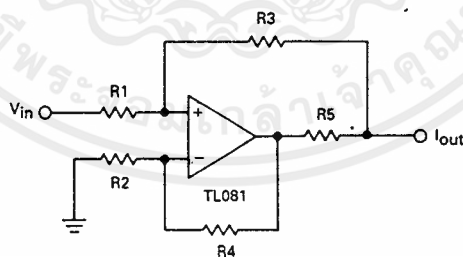
FIGURE 17 — ISOLATING LARGE CAPACITIVE LOADS



- Overshoot < 10%
- $t_s = 10 \mu\text{s}$
- When driving large C_L , the V_{out} slew rate is determined by C_L and $I_{out(max)}$:

$$\frac{\Delta V_{out}}{\Delta t} = \frac{I_{out}}{C_L} \approx \frac{0.02}{0.5} \text{ V}/\mu\text{s} = 0.04 \text{ V}/\mu\text{s} \text{ (with } C_L \text{ shown)}$$

FIGURE 18 — VOLTAGE CONTROLLED CURRENT SOURCE



$$\text{If } R_1 \text{ through } R_4 \gg R_5 \text{ then } I_{out} = \frac{V_{in}}{R_5}$$

LM733/LM733C Differential Amp

General Description

The LM733/LM733C is a two-stage, differential input, differential output, wide-band video amplifier. The use of internal series-shunt feedback gives wide bandwidth with low phase distortion and high gain stability. Emitter-follower outputs provide a high current drive, low impedance capability. Its 120 MHz bandwidth and selectable gains of 10, 100 and 400, without need for frequency compensation, make it a very useful circuit for memory element drivers, pulse amplifiers, and wide band linear gain stages.

The LM733 is specified for operation over the -55°C to $+125^{\circ}\text{C}$ military temperature range. The LM733C is specified for operation over the 0°C to $+70^{\circ}\text{C}$ temperature range.

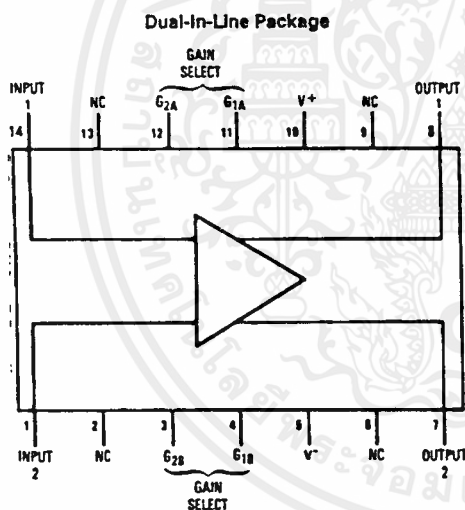
Features

- 120 MHz bandwidth
- 250 k Ω input resistance
- Selectable gains of 10, 100, 400
- No frequency compensation
- High common mode rejection ratio at high frequencies

Applications

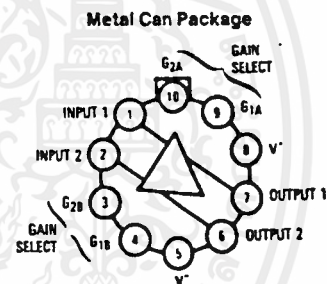
- Magnetic tape systems
- Disk file memories
- Thin and thick film memories
- Woven and plated wire memories
- Wide band video amplifiers

Connection Diagrams



Top View
Order Number LM733CN
See NS Package Number N14A

TL/H/7866-1



Note: Pin 5 connected to case.

Top View
Order Number LM733H or LM733CH
See NS Package Number H10D

TL/H/7866-2

Absolute Maximum Ratings

If Military/Aerospace specified devices are required, contact the National Semiconductor Sales Office/Distributors for availability and specifications.

Differential Input Voltage	±5V
Common Mode Input Voltage	±6V
V _{CC}	±8V
Output Current	10 mA

Power Dissipation (Note 1)	500 mW
Junction Temperature	+150°C
Storage Temperature Range	-65°C to +150°C
Operating Temperature Range	
LM733	-55°C to +125°C
LM733C	0°C to +70°C
Lead Temperature (Soldering, 10 sec.)	260°C

Electrical Characteristics (T_A = 25°C, unless otherwise specified, see test circuits, V_S = ±6.0V)

Characteristics	Test Circuit	Test Conditions	LM733			LM733C			Units
			Min	Typ	Max	Min	Typ	Max	
Differential Voltage Gain									
Gain 1 (Note 2)	1	R _L = 2 kΩ V _{OUT} = 3 Vp-p	300	400	500	250	400	600	
Gain 2 (Note 3)			90	100	110	80	100	120	
Gain 3 (Note 4)			9.0	10	11	8.0	10	12	
Bandwidth									
Gain 1	2			40			40		MHz
Gain 2				90			90		MHz
Gain 3				120			120		MHz
Rise Time									
Gain 1	2	V _{OUT} = 1 Vp-p		10.5			10.5		ns
Gain 2				4.5	10		4.5	12	ns
Gain 3				2.5			2.5		ns
Propagation Delay									
Gain 1	2	V _{OUT} = 1 Vp-p		7.5			7.5		ns
Gain 2				6.0	10		6.0	10	ns
Gain 3				3.6			3.6		ns
Input Resistance									
Gain 1				4.0			4.0		kΩ
Gain 2			20	30		10	30		kΩ
Gain 3				250			250		kΩ
Input Capacitance		Gain 2		2.0			2.0		pF
Input Offset Current				0.4	3.0		0.4	5.0	μA
Input Bias Current				9.0	20		9.0	30	μA
Input Noise Voltage		BW = 1 kHz to 10 MHz		12			12		μVrms
Input Voltage Range	1		±1.0			±1.0			V
Common Mode Rejection Ratio									
Gain 2	1	V _{CM} = ±1V f ≤ 100 kHz	60	86		60	86		dB
Gain 2		V _{CM} = ±1V f = 5 MHz		60			60		dB
Supply Voltage Rejection Ratio									
Gain 2	1	ΔV _S = ±0.5V	50	70		50	70		dB
Output Offset Voltage									
Gain 1	1	R _L = ∞		0.6	1.5		0.6	1.5	V
Gain 2 and 3				0.35	1.0		0.35	1.5	V
Output Common Mode Voltage	1	R _L = ∞	2.4	2.9	3.4	2.4	2.9	3.4	V
Output Voltage Swing	1	R _L = 2k	3.0	4.0		3.0	4.0		
Output Sink Current			2.5	3.6		2.5	3.6		mA
Output Resistance				20			20		Ω
Power Supply Current	1	R _L = ∞		18	24		18	24	mA

Electrical Characteristics (Continued)

(The following specifications apply for $-55^{\circ}\text{C} < T_A < 125^{\circ}\text{C}$ for the LM733 and $0^{\circ}\text{C} < T_A < 70^{\circ}\text{C}$ for the LM733C, $V_S = \pm 6.0\text{V}$)

Characteristics	Test Circuit	Test Conditions	LM733			LM733C			Units
			Min	Typ	Max	Min	Typ	Max	
Differential Voltage Gain									
Gain 1	1	$R_L = 2\text{ k}\Omega$, $V_{OUT} = 3\text{ V}_{p-p}$	200		600	250		600	
Gain 2			80		120	80		120	
Gain 3			8.0		12.0	8.0		12.0	
Input Resistance Gain 2			8			8			k Ω
Input Offset Current					5			6	μA
Input Bias Current					40			40	μA
Input Voltage Range	1		± 1			± 1			V
Common Mode Rejection Ratio									
Gain 2	1	$V_{CM} = \pm 1\text{ V}$ f $\leq 100\text{ kHz}$	50			50			dB
Supply Voltage Rejection Ratio									
Gain 2	1	$\Delta V_S = \pm 0.5\text{ V}$	50			50			dB
Output Offset Voltage					1.5			1.5	V
Gain 1	1	$R_L = \infty$			1.2			1.5	V
Gain 2 and 3									
Output Voltage Swing	1	$R_L = 2\text{ k}\Omega$	2.5			2.8			V _{pp}
Output Sink Current			2.2			2.5			mA
Power Supply Current	1	$R_L = \infty$			27			27	mA

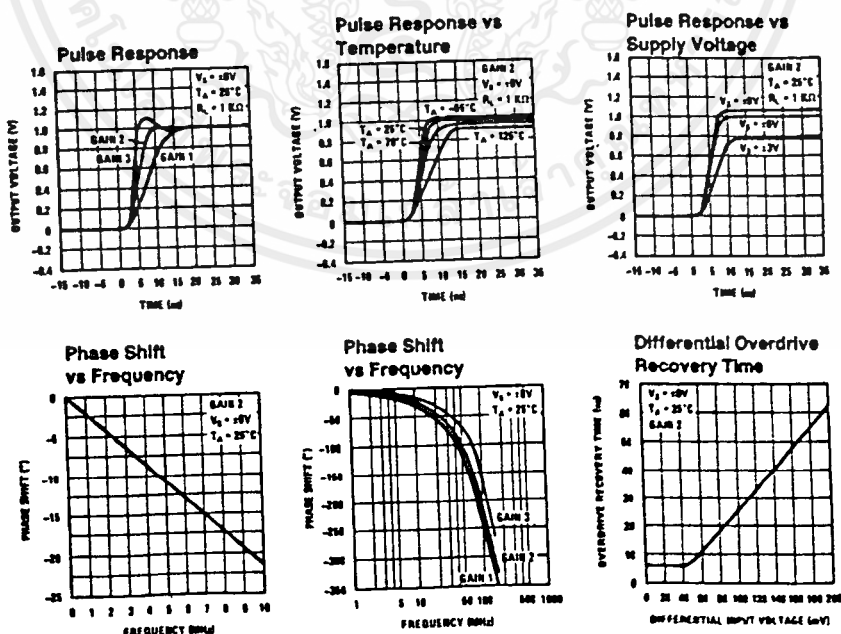
Note 1: The maximum junction temperature of the LM733 is 150°C , while that of the LM733C is 100°C . For operation at elevated temperatures devices in the TO-100 package must be derated based on a thermal resistance of $150^{\circ}\text{C}/\text{W}$ junction to ambient or $45^{\circ}\text{C}/\text{W}$ junction to case. Thermal resistance of the dual-in-line package is $90^{\circ}\text{C}/\text{W}$.

Note 2: Pins G1A and G1B connected together.

Note 3: Pins G2A and G2B connected together.

Note 4: Gain select pins open.

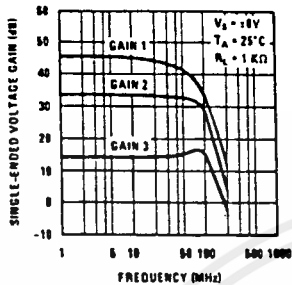
Note 5: Refer to RETS733X drawing for specifications of LM733H version.

Typical Performance Characteristics

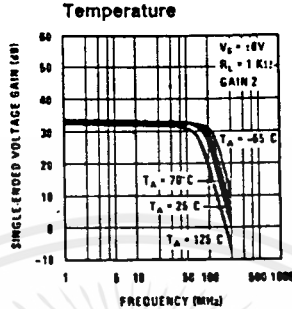
TL/H/7856-6

Typical Performance Characteristics (Continued)

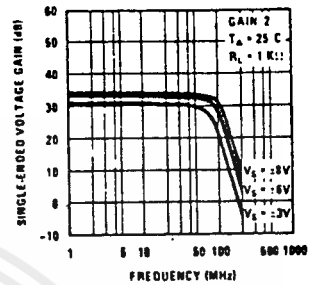
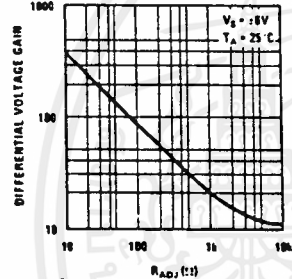
Voltage Gain vs Frequency



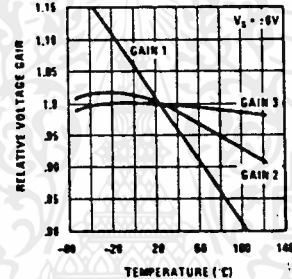
Gain vs Frequency



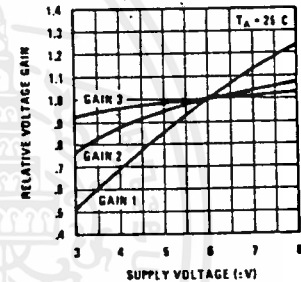
Gain vs Frequency vs Supply Voltage

Voltage Gain vs R_{ADJ} 

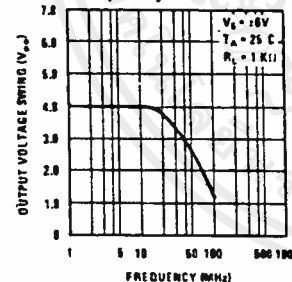
Voltage Gain vs Temperature



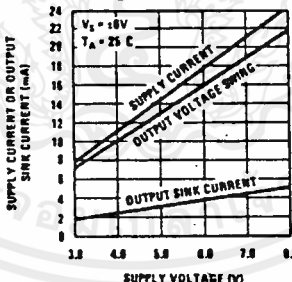
Voltage Gain vs Supply Voltage



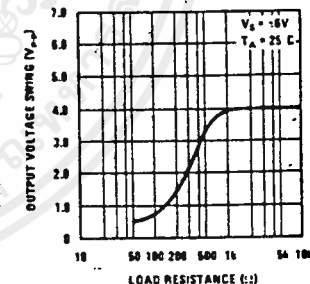
Output Voltage Swing vs Frequency



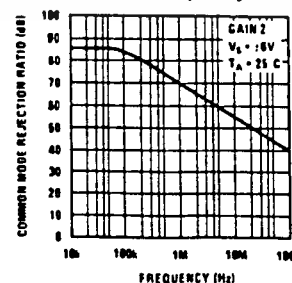
Supply Current, Output Voltage and Current Swing vs Supply Voltage



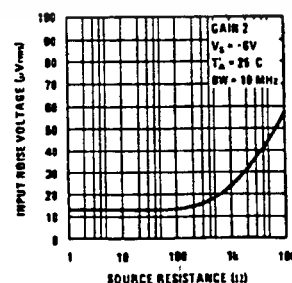
Output Voltage Swing vs Load Resistance



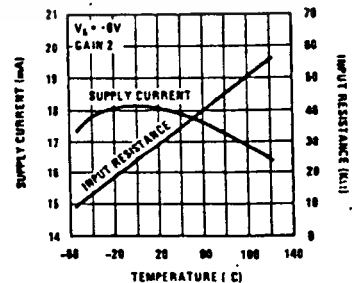
Common Mode Rejection Ratio vs Frequency



Input Noise Voltage vs Source Resistance

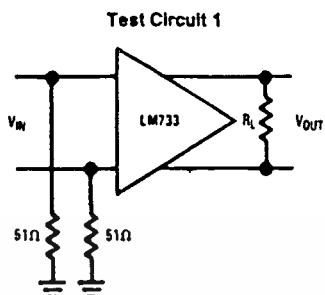


Supply Current and Input Resistance vs Temperature

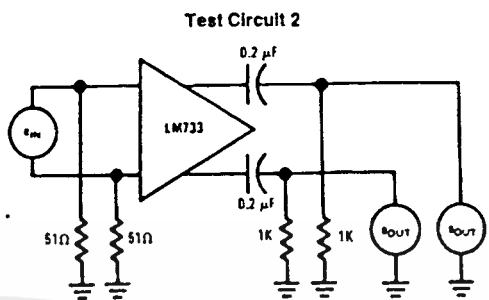


TL/H/7866-7

Test Circuits

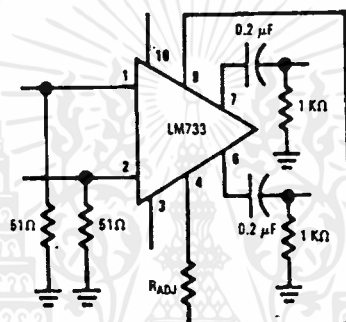


TL/H/7866-3



TL/H/7866-4

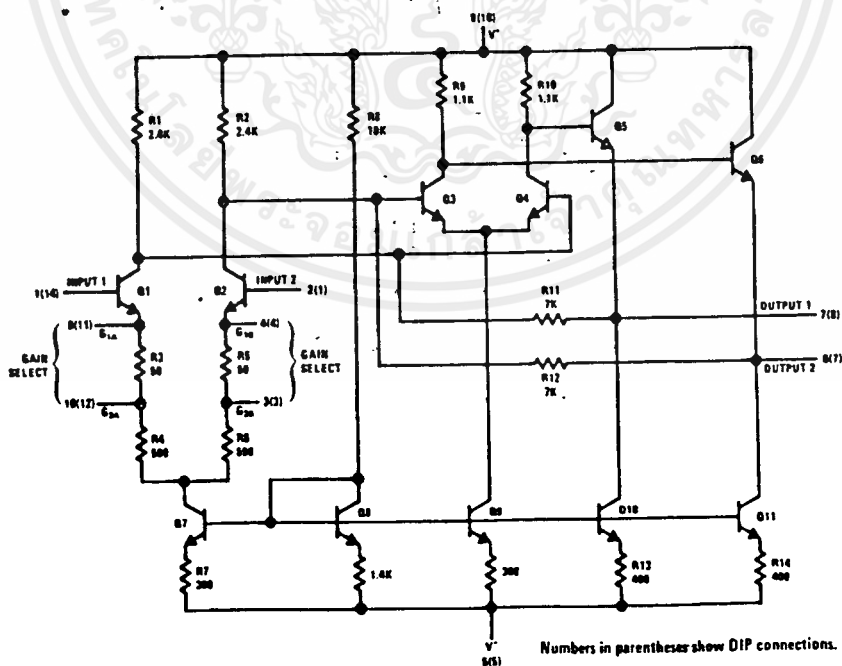
Voltage Gain Adjust Circuit



TL/H/7866-5

$V_S = 6V$, $T_A = 25^\circ C$
(Pin numbers apply to TO-5 package)

Schematic Diagram



TL/H/7866-8

BALANCED MODULATOR/ DEMODULATOR

... designed for use where the output voltage is a product of an input voltage (signal) and a switching function (carrier). Typical applications include suppressed carrier and amplitude modulation, synchronous detection, FM detection, phase detection, and chopper applications. See Motorola Application Note AN-531 for additional design information.

- Excellent Carrier Suppression – 65 dB typ @ 0.5 MHz
– 50 dB typ @ 10 MHz
- Adjustable Gain and Signal Handling
- Balanced Inputs and Outputs
- High Common Mode Rejection – 85 dB typ

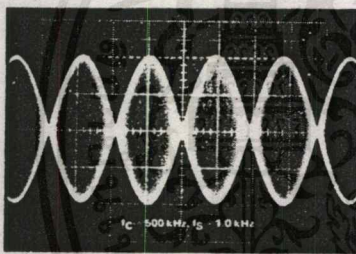


**FIGURE 1 –
SUPPRESSED CARRIER
OUTPUT WAVEFORM**

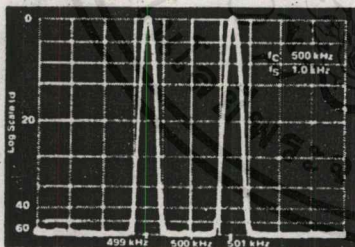


**FIGURE 2 –
SUPPRESSED CARRIER
SPECTRUM**

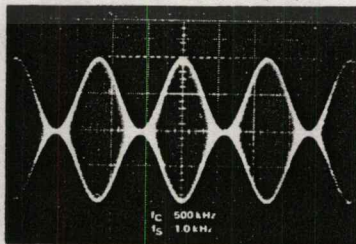
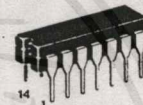
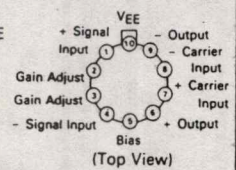


**FIGURE 3 –
AMPLITUDE MODULATION
OUTPUT WAVEFORM**

**MC1496
MC1596**

**BALANCED
MODULATOR/DEMODULATOR**

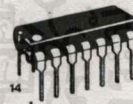
**G SUFFIX
METAL PACKAGE
CASE 603**



**L SUFFIX
CERAMIC PACKAGE
CASE 632**

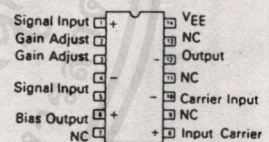


**D SUFFIX
PLASTIC PACKAGE
CASE 751A
(SO-14)**



**P SUFFIX
PLASTIC PACKAGE
CASE 646**

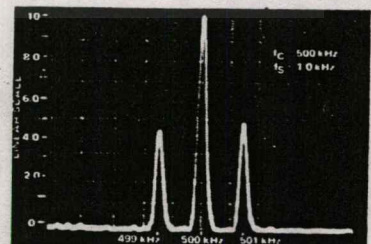
PIN ASSIGNMENTS



ORDERING INFORMATION

Device	Temperature Range	Package
MC1496D	0°C to +70°C	SO-14
MC1496G		Metal Can
MC1496L		Ceramic DIP
MC1496P		Plastic DIP
MC1596G	-55°C to +125°C	Metal Can
MC1596L		Ceramic DIP

FIGURE 4 – AMPLITUDE-MODULATION SPECTRUM



MC1496, MC1596

MAXIMUM RATINGS* (T_A = +25°C unless otherwise noted)

Rating	Symbol	Value	Unit
Applied Voltage (V ₆ - V ₇ , V ₈ - V ₁ , V ₉ - V ₇ , V ₉ - V ₈ , V ₇ - V ₄ , V ₇ - V ₁ , V ₈ - V ₄ , V ₆ - V ₈ , V ₂ - V ₅ , V ₃ - V ₅)	ΔV	30	Vdc
Differential Input Signal	V ₇ - V ₈ V ₄ - V ₁	+5.0 ±(5 + I ₅ R _e)	Vdc
Maximum Bias Current	I ₅	10	mA
Thermal Resistance, Junction to Air Ceramic Dual In-Line Package Plastic Dual In-Line Package Metal Package	R _{θJA}	100 100 160	°C/W
Operating Temperature Range MC1496 MC1596	T _A	0 to +70 -55 to +125	°C
Storage Temperature Range	T _{stg}	-65 to +150	°C

ELECTRICAL CHARACTERISTICS* (V_{CC} = -12 Vdc, V_{EE} = -8.0 Vdc, I₅ = 1.0 mAdc, R_L = 3.9 kΩ, R_e = 1.0 kΩ, T_A = +25°C,
all input and output characteristics are single-ended, unless otherwise noted.)

Characteristic	Fig.	Note	Symbol	MC1596			MC1496			Unit
				Min	Typ	Max	Min	Typ	Max	
Carrier Feedthrough V _C = 60 mV(rms) sine wave and offset adjusted to zero f _C = 1.0 kHz V _C = 300 mVp-p square wave: offset adjusted to zero offset not adjusted f _C = 1.0 kHz f _C = 1.0 kHz	5	1	V _{CFT}	—	40 140	—	—	40 140	—	μV(rms) mV(rms)
Carrier Suppression f _S = 10 kHz, 300 mV(rms) f _C = 500 kHz, 60 mV(rms) sine wave f _C = 10 MHz, 60 mV(rms) sine wave	5	2	V _{CS}	50 —	65 50	—	40 —	65 50	—	dB k
Transadmittance Bandwidth (Magnitude) (R _L = 50 ohms) Carrier Input Port, V _C = 60 mV(rms) sine wave f _S = 1.0 kHz, 300 mV(rms) sine wave Signal Input Port, V _S = 300 mV(rms) sine wave V _C = 0.5 Vdc	8	8	BW _{3dB}	—	300 80	—	—	300 80	—	MHz
Signal Gain V _S = 100 mV(rms), f = 1.0 kHz; V _C = 0.5 Vdc	10	3	A _{VS}	2.5	3.5	—	2.5	3.5	—	V/V
Single-Ended Input Impedance, Signal Port, f = 5.0 MHz Parallel Input Resistance Parallel Input Capacitance	6	—	r _{ip} c _{ip}	—	200 2.0	—	—	200 2.0	—	kΩ pF
Single-Ended Output Impedance, f = 10 MHz Parallel Output Resistance Parallel Output Capacitance	6	—	r _{op} c _{oo}	—	40 5.0	—	—	40 5.0	—	kΩ pF
Input Bias Current I _{bS} = $\frac{I_1 + I_4}{2}$; I _{bC} = $\frac{I_7 + I_8}{2}$	7	—	I _{bS} I _{bC}	—	12 12	25 25	—	12 12	30 30	μA
Input Offset Current I _{oS} = I ₁ - I ₄ ; I _{oC} = I ₇ - I ₈	7	—	I _{oS} I _{oC}	—	0.7 0.7	5.0 5.0	—	0.7 0.7	7.0 7.0	μA
Average Temperature Coefficient of Input Offset Current (T _A = -55°C to +125°C)	7	—	TC _{Ioi}	—	2.0	—	—	2.0	—	nA/°C
Output Offset Current (I ₆ - I ₉)	7	—	I _{ool}	—	14	50	—	14	80	μA
Average Temperature Coefficient of Output Offset Current (T _A = -55°C to +125°C)	7	—	TC _{Iool}	—	90	—	—	90	—	nA/°C
Common-Mode Input Swing, Signal Port, f _S = 1.0 kHz	9	4	CMV	—	5.0	—	—	5.0	—	Vp-p
Common-Mode Gain, Signal Port, f _S = 1.0 kHz, V _C = 0.5 Vdc	9	—	ACM	—	-85	—	—	-85	—	dB
Common-Mode Quiescent Output Voltage (Pin 6 or Pin 9)	10	—	V _{out}	—	8.0	—	—	8.0	—	Vp-p
Differential Output Voltage Swing Capability	10	—	V _{out}	—	8.0	—	—	8.0	—	Vp-p
Power Supply Current I ₆ + I ₉ I ₁₀	7	6	I _{CC} I _{EE}	—	2.0 3.0	3.0 4.0	—	2.0 3.0	4.0 5.0	mAdc
DC Power Dissipation	7	5	P _D	—	33	—	—	33	—	mW

* Pin number references pertain to this device when packaged in a metal can.
To ascertain the corresponding pin numbers for plastic or ceramic packaged
devices refer to the first page of this specification sheet.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้คัดลอกเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MC1496, MC1596

GENERAL OPERATING INFORMATION *

Carrier Feedthrough

Carrier feedthrough is defined as the output voltage at carrier frequency with only the carrier applied (signal voltage = 0).

Carrier null is achieved by balancing the currents in the differential amplifier by means of a bias trim potentiometer (R₁ of Figure 5).

Carrier Suppression

Carrier suppression is defined as the ratio of each sideband output to carrier output for the carrier and signal voltage levels specified.

Carrier suppression is very dependent on carrier input level, as shown in Figure 22. A low value of the carrier does not fully switch the upper switching devices, and results in lower signal gain, hence lower carrier suppression. A higher than optimum carrier level results in unnecessary device and circuit carrier feedthrough, which again degenerates the suppression figure. The MC1596 has been characterized with a 60 mV(rms) sinewave carrier input signal. This level provides optimum carrier suppression at carrier frequencies in the vicinity of 500 kHz, and is generally recommended for balanced modulator applications.

Carrier feedthrough is independent of signal level, V_S. Thus carrier suppression can be maximized by operating with large signal levels. However, a linear operating mode must be maintained in the signal-input transistor pair — or harmonics of the modulating signal will be generated and appear in the device output as spurious sidebands of the suppressed carrier. This requirement places an upper limit on input-signal amplitude (see Figure 20). Note also that an optimum carrier level is recommended in Figure 22 for good carrier suppression and minimum spurious sideband generation.

At higher frequencies circuit layout is very important in order to minimize carrier feedthrough. Shielding may be necessary in order to prevent capacitive coupling between the carrier input leads and the output leads.

Signal Gain and Maximum Input Level

Signal gain (single-ended) at low frequencies is defined as the voltage gain,

$$A_{VS} = \frac{V_O}{V_S} = \frac{R_L}{R_E + 2r_e} \text{ where } r_e = \frac{26 \text{ mV}}{I_5 \text{ (mA)}}$$

A constant dc potential is applied to the carrier input terminals to fully switch two of the upper transistors "on" and two transistors "off" (V_C = 0.5 Vdc). This in effect forms a cascode differential amplifier.

Linear operation requires that the signal input be below a critical value determined by R_E and the bias current I₅.

$$V_S \leq I_5 R_E \text{ (Volts peak)}$$

Note that in the test circuit of Figure 10, V_S corresponds to a maximum value of 1 volt peak.

Common Mode Swing

The common-mode swing is the voltage which may be applied to both bases of the signal differential amplifier, without saturating the current sources or without saturating the differential amplifier itself by swinging it into the upper switching devices. This swing is variable depending on the particular circuit and biasing conditions chosen.

Power Dissipation

Power dissipation, P_D, within the integrated circuit package should be calculated as the summation of the voltage-current products at each port, i.e. assuming V₉ = V₆, I₅ = I₆ = I₉ and ignoring base current, P_D = 2 I₅ (V₆ - V₁₀) + I₅ (V₅ - V₁₀) where subscripts refer to pin numbers.

Design Equations

The following is a partial list of design equations needed to operate the circuit with other supply voltages and input conditions.

A. Operating Current

The internal bias currents are set by the conditions at pin 5. Assume:

$$I_5 = I_6 = I_9$$

$$I_8 < I_C \text{ for all transistors}$$

then:

$$R_5 = \frac{V - \phi - 500 \Omega}{I_5} \text{ where: } R_5 \text{ is the resistor between pin 5 and ground}$$

$$\phi = 0.75 \text{ V at } T_A = +25^\circ\text{C}$$

The MC1596 has been characterized for the condition I₅ = 1.0 mA and is the generally recommended value.

B. Common-Mode Quiescent Output Voltage

$$V_6 = V_9 = V^+ - I_5 R_L$$

Biasing

The MC1596 requires three dc bias voltage levels which must be set externally. Guidelines for setting up these three levels include maintaining at least 2 volts collector-base bias on all transistors while not exceeding the voltages given in the absolute maximum rating table;

$$30 \text{ Vdc} \geq [(V_6, V_9) - (V_7, V_8)] \geq 2 \text{ Vdc}$$

$$30 \text{ Vdc} \geq [(V_7, V_8) - (V_1, V_4)] \geq 2.7 \text{ Vdc}$$

$$30 \text{ Vdc} \geq [(V_1, V_4) - (V_5)] \geq 2.7 \text{ Vdc}$$

The foregoing conditions are based on the following approximations:

$$V_6 = V_9, V_7 = V_8, V_1 = V_4$$

Bias currents flowing into pins 1, 4, 7, and 8 are transistor base currents and can normally be neglected if external bias dividers are designed to carry 1.0 mA or more.

Transadmittance Bandwidth

Carrier transadmittance bandwidth is the 3 dB bandwidth of the device forward transadmittance as defined by:

$$\gamma_{21C} = \frac{i_o \text{ (each sideband)}}{v_s \text{ (signal)}} \bigg|_{V_O = 0}$$

Signal transadmittance bandwidth is the 3 dB bandwidth of the device forward transadmittance as defined by:

$$\gamma_{21S} = \frac{i_o \text{ (signal)}}{v_s \text{ (signal)}} \bigg|_{V_C = 0.5 \text{ Vdc}, V_O = 0}$$

*Pin number references pertain to this device when packaged in a metal can. To ascertain the corresponding pin numbers for plastic or ceramic packaged devices refer to the first page of this specification sheet.

MC1496, MC1596

Coupling and Bypass Capacitors C_1 and C_2

Capacitors C_1 and C_2 (Figure 5) should be selected for a reactance of less than 5.0 ohms at the carrier frequency.

Output Signal, V_o

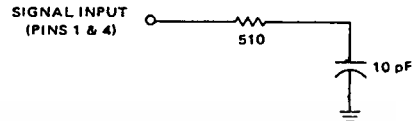
The output signal is taken from pins 6 and 9, either balanced or single-ended. Figure 12 shows the output levels of each of the two output sidebands resulting from variations in both the carrier and modulating signal inputs with a single-ended output connection.

Negative Supply, V_{EE}

V_{EE} should be dc only. The insertion of an RF choke in series with V_{EE} can enhance the stability of the internal current sources.

Signal Port Stability

Under certain values of driving source impedance, oscillation may occur. In this event, an RC suppression network should be connected directly to each input using short leads. This will reduce the Q of the source-tuned circuits that cause the oscillation.



An alternate method for low-frequency applications is to insert a 1 kOhm resistor in series with the inputs, pins 1 and 4. In this case input current drift may cause serious degradation of carrier suppression.

TEST CIRCUITS*

*Pin number references pertain to this device when packaged in a metal can. To ascertain the corresponding pin numbers for plastic or ceramic packaged devices refer to the first page of this specification sheet.

FIGURE 5 - CARRIER REJECTION AND SUPPRESSION

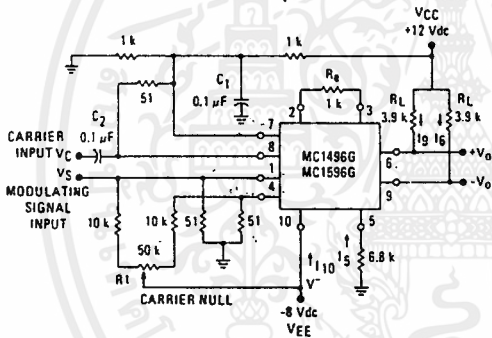
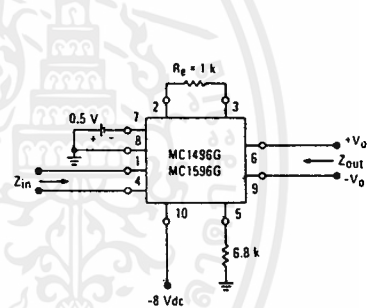


FIGURE 6 - INPUT-OUTPUT IMPEDANCE



NOTE: Shielding of input and output leads may be needed to properly perform these tests.

FIGURE 7 - BIAS AND OFFSET CURRENTS

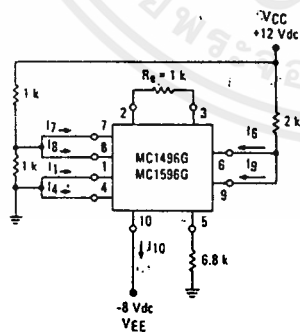
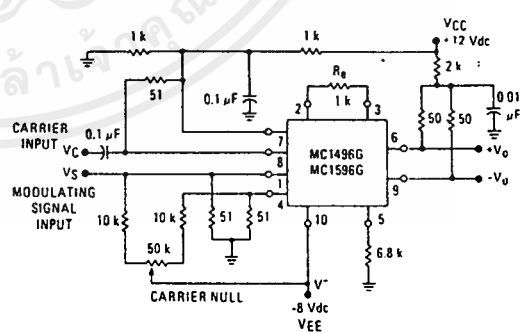


FIGURE 8 - TRANSCONDUCTANCE BANDWIDTH



MC1496, MC1596

TEST CIRCUITS (continued)

FIGURE 9 - COMMON MODE GAIN

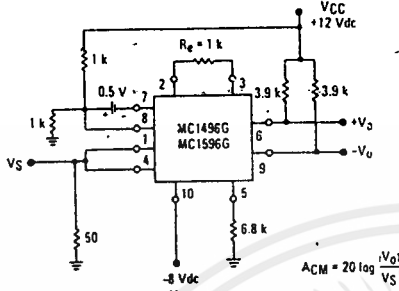
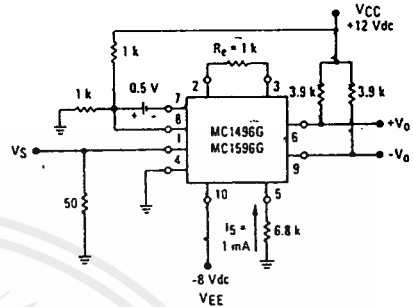


FIGURE 10 - SIGNAL GAIN AND OUTPUT SWING



TYPICAL CHARACTERISTICS

Typical characteristics were obtained with circuit shown in Figure 5, $f_C = 500$ kHz (sine wave), $V_C = 60$ mV(rms), $f_S = 1$ kHz, $V_S = 300$ mV(rms), $T_A = +25^\circ\text{C}$ unless otherwise noted.

FIGURE 11 - SIDEBAND OUTPUT versus CARRIER LEVELS

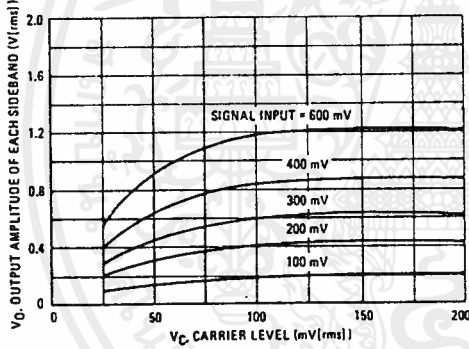


FIGURE 12 - SIGNAL PORT PARALLEL-EQUIVALENT INPUT RESISTANCE versus FREQUENCY

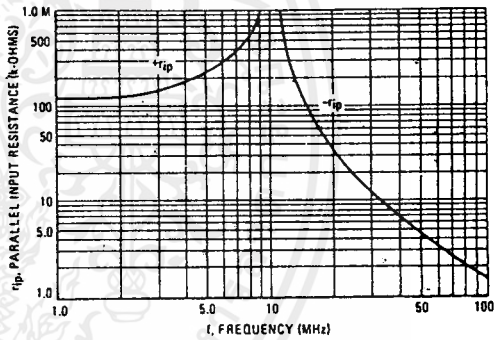


FIGURE 13 - SIGNAL PORT PARALLEL-EQUIVALENT INPUT CAPACITANCE versus FREQUENCY

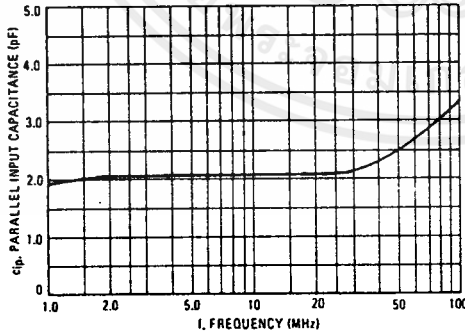
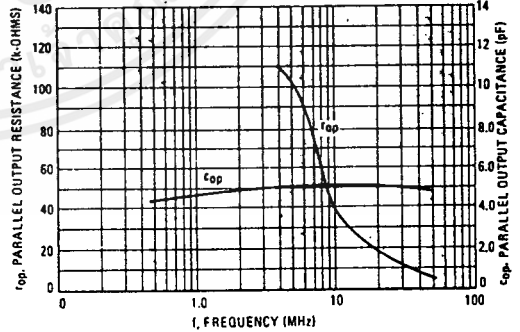


FIGURE 14 - SINGLE-ENDED OUTPUT IMPEDANCE versus FREQUENCY



MC1496, MC1596

TYPICAL CHARACTERISTICS (continued)

Typical characteristics were obtained with circuit shown in Figure 5. $f_C = 500$ kHz (sine wave).
 $V_C = 60$ mV(rms), $f_S = 1$ kHz, $V_S = 300$ mV(rms), $T_A = +25^\circ\text{C}$ unless otherwise noted.

FIGURE 15 – SIDEBAND AND SIGNAL PORT TRANSADMITTANCES versus FREQUENCY

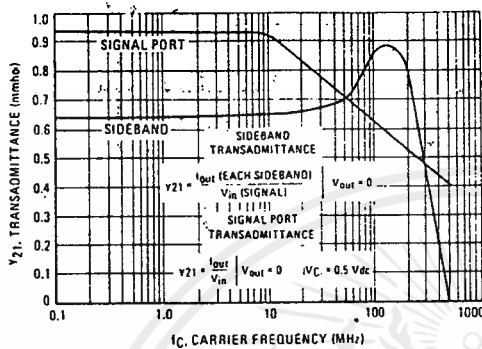


FIGURE 16 – CARRIER SUPPRESSION versus TEMPERATURE

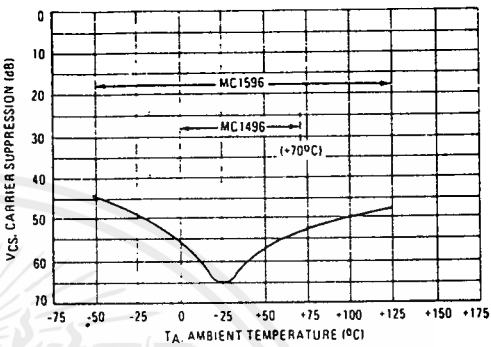


FIGURE 17 – SIGNAL PORT FREQUENCY RESPONSE

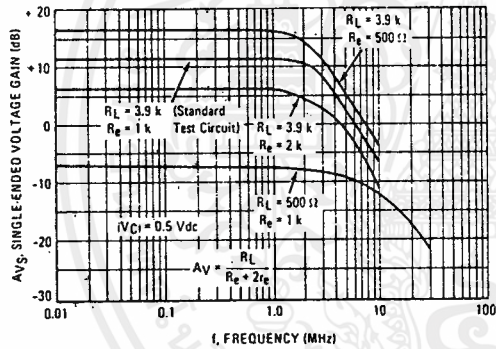


FIGURE 18 – CARRIER SUPPRESSION versus FREQUENCY

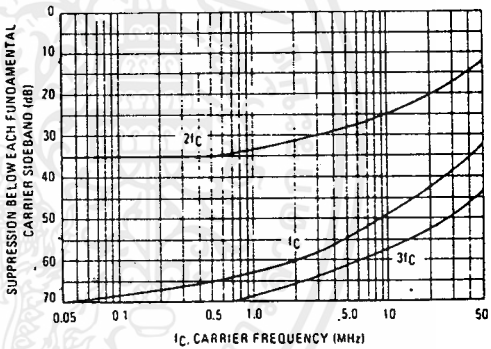


FIGURE 19 – CARRIER FEEDTHROUGH versus FREQUENCY

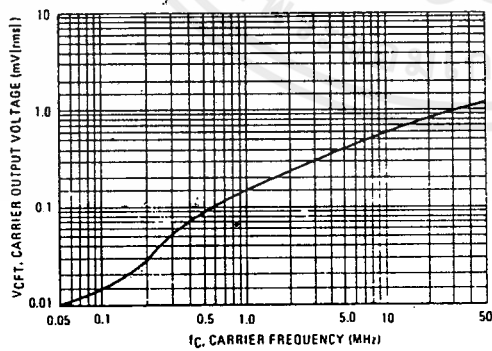
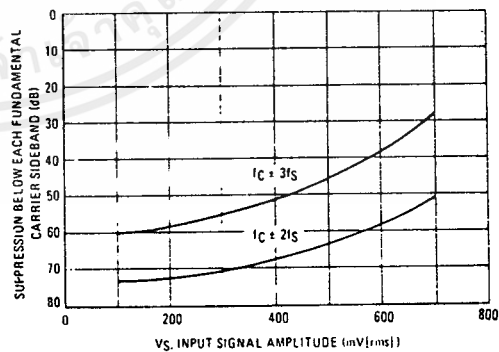


FIGURE 20 – SIDEBAND HARMONIC SUPPRESSION versus INPUT SIGNAL LEVEL



MC1496, MC1596

TYPICAL CHARACTERISTICS (continued)

FIGURE 21 - SUPPRESSION OF CARRIER HARMONIC
SIDE BANDS versus CARRIER FREQUENCY.

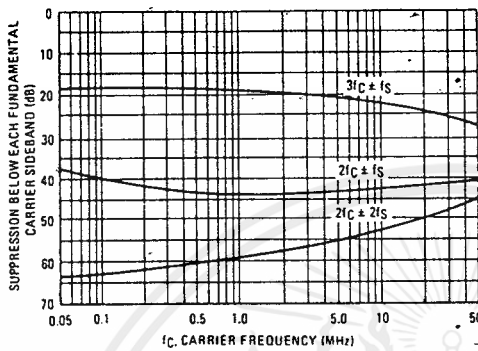
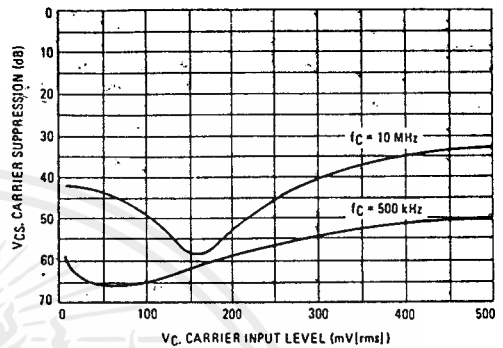


**FIGURE 22 – CARRIER SUPPRESSION
versus CARRIER INPUT LEVEL**



OPERATIONS INFORMATION

The MC1596/MC1496, a monolithic balanced modulator circuit, is shown in Figure 23.

This circuit consists of an upper quad differential amplifier driven by a standard differential amplifier with dual current sources. The output collectors are cross-coupled so that full-wave balanced multiplication of the two input voltages occurs. That is, the output signal is a constant times the product of the two input signals.

Mathematical analysis of linear ac signal multiplication indicates that the output spectrum will consist of only the sum and difference of the two input frequencies. Thus, the device may be used as a balanced modulator, doubly balanced mixer, product detector, frequency doubler, and other applications requiring these particular output signal characteristics.

The lower differential amplifier has its emitters connected to the package pins so that an external emitter resistance may be used. Also, external load resistors are employed at the device output.

Signal Levels

The upper quad differential amplifier may be operated either in a linear or a saturated mode. The lower differential amplifier is operated in a linear mode for most applications.

For low-level operation at both input ports, the output signal will contain sum and difference frequency components and have an amplitude which is a function of the product of the input signal amplitudes.

For high-level operation at the carrier input port and linear operation at the modulating signal port, the output signal will contain sum and difference frequency components of the modulating signal frequency and the fundamental and odd harmonics of the carrier frequency. The output amplitude will be a constant times the modulating signal amplitude. Any amplitude variations in the carrier signal will not appear in the output.

FIGURE 23 – CIRCUIT SCHEMATIC*

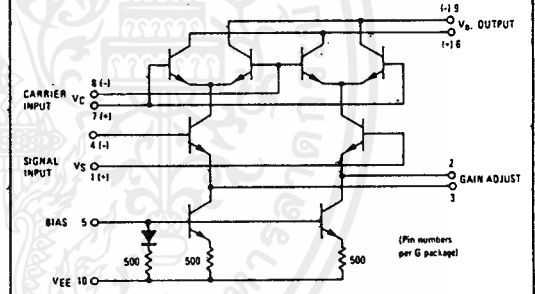
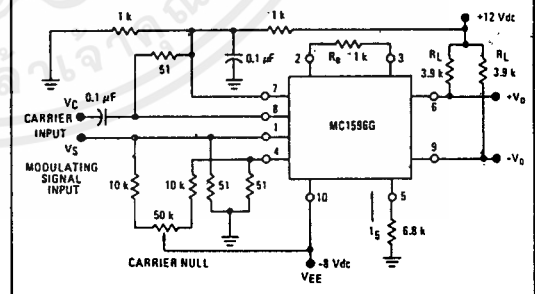


FIGURE 24 - TYPICAL MODULATOR CIRCUIT*



*Pin number references pertain to this device when packaged in a metal can. To ascertain the corresponding pin numbers for plastic or ceramic packaged devices refer to the first page of this specification sheet.

MC1496, MC1596

OPERATIONS INFORMATION (continued)

The linear signal handling capabilities of a differential amplifier are well defined. With no emitter degeneration, the maximum input voltage for linear operation is approximately 25 mV peak. Since the upper differential amplifier has its emitters internally connected, this voltage applies to the carrier input port for all conditions.

Since the lower differential amplifier has provisions for an external emitter resistance, its linear signal handling range may be adjusted by the user. The maximum input voltage for linear operation may be approximated from the following expression:

$$V = (I_5)(R_E) \text{ volts peak.}$$

This expression may be used to compute the minimum value of R_E for a given input voltage amplitude.

The gain from the modulating signal input port to the output is the MC1596/MC1496 gain parameter which is most often of interest to the designer. This gain has significance only when the lower differential amplifier is operated in a linear mode, but this includes most applications of the device.

As previously mentioned, the upper quad differential amplifier may be operated either in a linear or a saturated mode. Approximate gain expressions have been developed for the MC1596/MC1496 for a low-level modulating signal input and the following carrier input conditions:

- 1) Low-level dc
- 2) High-level dc
- 3) Low-level ac
- 4) High-level ac

These gains are summarized in Table 1, along with the frequency components contained in the output signal.

FIGURE 25 – TABLE 1
VOLTAGE GAIN AND OUTPUT FREQUENCIES

Carrier Input Signal (V_C)	Approximate Voltage Gain	Output Signal Frequency(s)
Low-level dc	$\frac{R_L V_C}{2(R_E + 2r_e) \left(\frac{KT}{q}\right)}$	f_M
High-level dc	$\frac{R_L}{R_E + 2r_e}$	f_M
Low-level ac	$\frac{R_L V_C(\text{rms})}{2\sqrt{2} \left(\frac{KT}{q}\right) (R_E + 2r_e)}$	$f_C \pm f_M$
High-level ac	$\frac{0.637 R_L}{R_E + 2r_e}$	$f_C \pm f_M, 3f_C \pm f_M, 5f_C \pm f_M$

NOTES:

1. Low-level Modulating Signal, V_M , assumed in all cases. V_C is Carrier Input Voltage.
2. When the output signal contains multiple frequencies, the gain expression given is for the output amplitude of each of the two desired outputs, $f_C + f_M$ and $f_C - f_M$.
3. All gain expressions are for a single-ended output. For a differential output connection, multiply each expression by two.
4. R_L = Load resistance.
5. R_E = Emitter resistance between pins 2 and 3.
6. r_e = Transistor dynamic emitter resistance, at +25°C;

$$r_e \approx \frac{26 \text{ mV}}{I_5 \text{ (mA)}}$$

7. K = Boltzmann's Constant, T = temperature in degrees Kelvin, q = the charge on an electron.

$$\frac{KT}{q} \approx 26 \text{ mV at room temperature}$$

APPLICATIONS INFORMATION

Double sideband suppressed carrier modulation is the basic application of the MC1596/MC1496. The suggested circuit for this application is shown on the front page of this data sheet.

In some applications, it may be necessary to operate the MC1596/MC1496 with a single dc supply voltage instead of dual supplies. Figure 26 shows a balanced modulator designed for operation with a single +12 Vdc supply. Performance of this circuit is similar to that of the dual supply modulator.

AM Modulator

The circuit shown in Figure 27 may be used as an amplitude modulator with a minor modification.

All that is required to shift from suppressed carrier to AM operation is to adjust the carrier null potentiometer for the proper amount of carrier insertion in the output signal.

However, the suppressed carrier null circuitry as shown in Figure 27 does not have sufficient adjustment range. Therefore, the modulator may be modified for AM operation by changing two resistor values in the null circuit as shown in Figure 28.

Product Detector

The MC1596/MC1496 makes an excellent SSB product detector (see Figure 29).

This product detector has a sensitivity of 3.0 microvolts and a dynamic range of 90 dB when operating at an intermediate frequency of 9 MHz.

The detector is broadband for the entire high frequency range. For operation at very low intermediate frequencies down to 50 kHz the 0.1 μF capacitors on pins 7 and 8 should be increased to 1.0 μF . Also, the output filter at pin 9 can be tailored to a specific intermediate frequency and audio amplifier input impedance.

As in all applications of the MC1596/MC1496, the emitter resistance between pins 2 and 3 may be increased or decreased to adjust circuit gain, sensitivity, and dynamic range.

This circuit may also be used as an AM detector by introducing carrier signal at the carrier input and an AM signal at the SSB input.

The carrier signal may be derived from the intermediate frequency signal or generated locally. The carrier signal may be introduced with or without modulation, provided its level is sufficiently high to saturate the upper quad differential amplifier. If the carrier signal is modulated, a 300 mV(rms) input level is recommended.

MC1496, MC1596

APPLICATIONS INFORMATION (continued)

Doubly Balanced Mixer

The MC1596/MC1496 may be used as a doubly balanced mixer with either broadband or tuned narrow band input and output networks.

The local oscillator signal is introduced at the carrier input port with a recommended amplitude of 100 mV(rms).

Figure 30 shows a mixer with a broadband input and a tuned output.

Frequency Doubler

The MC1596/MC1496 will operate as a frequency doubler by introducing the same frequency at both input ports.

Figures 31 and 32 show a broadband frequency doubler and a tuned output very high frequency (VHF) doubler, respectively.

Phase Detection and FM Detection

The MC1596/MC1496 will function as a phase detector. High-level input signals are introduced at both inputs. When both inputs are at the same frequency the MC1596/MC1496 will deliver an output which is a function of the phase difference between the two input signals.

An FM detector may be constructed by using the phase detector principle. A tuned circuit is added at one of the inputs to cause the two input signals to vary in phase as a function of frequency. The MC1596/MC1496 will then provide an output which is a function of the input signal frequency.

TYPICAL APPLICATIONS

Pin number references pertain to this device when packaged in a metal can. To ascertain the corresponding pin numbers for plastic or ceramic packaged devices refer to the first page of this specification sheet.

FIGURE 26 - BALANCED MODULATOR
(+12 Vdc SINGLE SUPPLY)

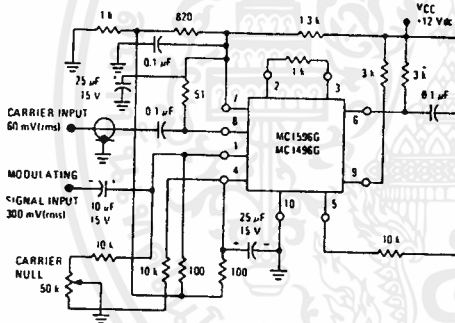


FIGURE 27 - BALANCED MODULATOR-DEMODULATOR

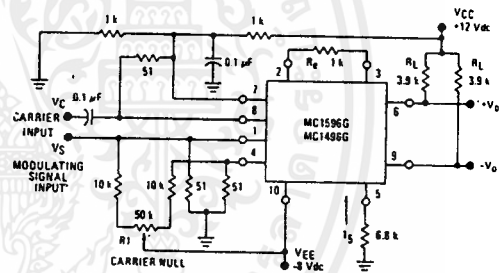


FIGURE 28 - AM MODULATOR CIRCUIT

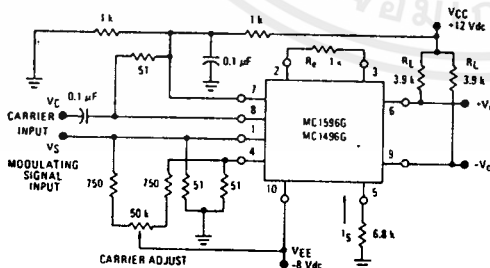
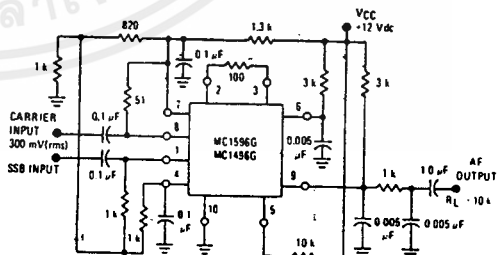


FIGURE 29 - PRODUCT DETECTOR
(+12 Vdc SINGLE SUPPLY)



MC1496, MC1596

TYPICAL APPLICATIONS (continued)

Pin number references pertain to this device when packaged in a metal can. To ascertain the corresponding pin numbers for plastic or ceramic packaged devices refer to the first page of this specification sheet.

FIGURE 30 - DOUBLY BALANCED MIXER
(BROADBAND INPUTS, 9.0 MHz TUNED OUTPUT)

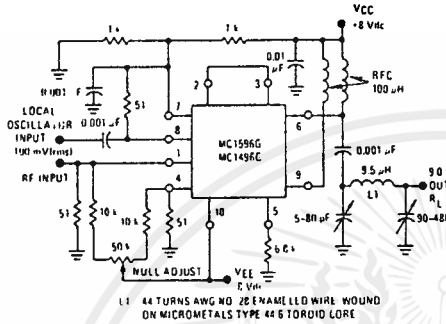


FIGURE 31 – LOW-FREQUENCY DOUBLER

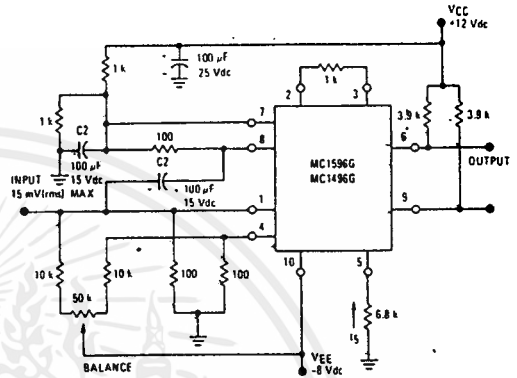
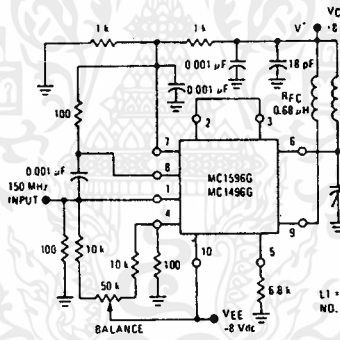
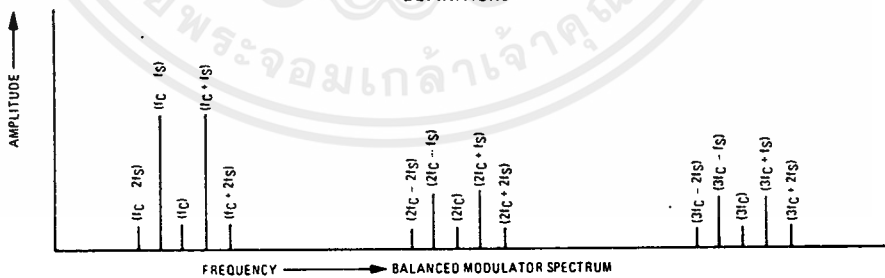


FIGURE 32 - 150 to 300 MHz DOUBLER



DEFINITIONS



f_c CARRIER FUNDAMENTAL
 f_s MODULATING SIGNAL
 $f_c \pm f_s$ FUNDAMENTAL CARRIER SIDEBANDS

$f_c \pm n f_s$ FUNDAMENTAL CARRIER SIDEBAND HARMONICS
 $n f_c$ CARRIER HARMONICS
 $n f_c \pm n f_s$ CARRIER HARMONIC SIDEBANDS

Monolithic Function Generator

GENERAL DESCRIPTION

The XR-2206 is a monolithic function generator integrated circuit capable of producing high quality sine, square, triangle, ramp, and pulse waveforms of high-stability and accuracy. The output waveforms can be both amplitude and frequency modulated by an external voltage. Frequency of operation can be selected externally over a range of 0.01 Hz to more than 1 MHz.

The circuit is ideally suited for communications, instrumentation, and function generator applications requiring sinusoidal tone, AM, FM, or FSK generation. It has a typical drift specification of 20 ppm/°C. The oscillator frequency can be linearly swept over a 2000:1 frequency range, with an external control voltage, having a very small affect on distortion.

FEATURES

Low-Sine Wave Distortion	.5%, Typical
Excellent Temperature Stability	20 ppm/°C, Typical
Wide Sweep Range	2000:1, Typical
Low-Supply Sensitivity	0.01%V, Typical
Linear Amplitude Modulation	
TTL Compatible FSK Controls	
Wide Supply Range	10V to 26V
Adjustable Duty Cycle	1% to 99%

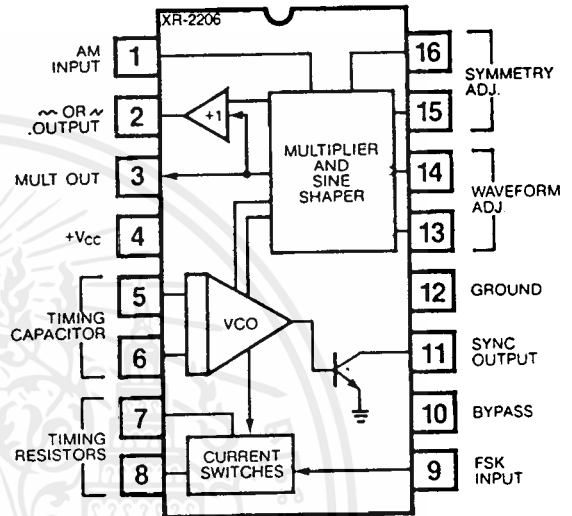
APPLICATIONS

Waveform Generation
Sweep Generation
AM/FM Generation
V/F Conversion
FSK Generation
Phase-Locked Loops (VCO)

ABSOLUTE MAXIMUM RATINGS

Power Supply	26V
Power Dissipation	750 mW
Derate Above 25°C	5 mW/°C
Total Timing Current	6 mA
Storage Temperature	-65°C to +150°C

FUNCTIONAL BLOCK DIAGRAM



ORDERING INFORMATION

Part Number	Package	Operating Temperature
XR-2206M	Ceramic	-55°C to +125°C
XR-2206N	Ceramic	0°C to +70°C
XR-2206P	Plastic	0°C to +70°C
XR-2206CN	Ceramic	0°C to +70°C
XR-2206CP	Plastic	0°C to +70°C

SYSTEM DESCRIPTION

The XR-2206 is comprised of four functional blocks; a voltage-controlled oscillator (VCO), an analog multiplier and sine-shaper; a unity gain buffer amplifier; and a set of current switches.

The VCO actually produces an output frequency proportional to an input current, which is produced by a resistor from the timing terminals to ground. The current switches route one of the timing pins current to the VCO controlled by an FSK input pin, to produce an output frequency. With two timing pins, two discrete output frequencies can be independently produced for FSK Generation Applications.

XR-2206

ELECTRICAL CHARACTERISTICS

Test Conditions: Test Circuit of Figure 1, $V^+ = 12V$, $T_A = 25^\circ$, $C = 0.01 \mu F$, $R_1 = 100 k\Omega$, $R_2 = 10 k\Omega$, $R_3 = 25 k\Omega$ unless otherwise specified. S_1 open for triangle, closed for sine wave.

PARAMETER	XR-2206M			XR-2206C			UNIT	CONDITIONS
	MIN.	TYP.	MAX.	MIN.	TYP.	MAX.		
GENERAL CHARACTERISTICS								
Single Supply Voltage	10		26	10		26	V	$R_1 \geq 10\text{ k}\Omega$
Split-Supply Voltage	± 5		± 13	± 5		± 13	V	
Supply Current		12	17		14	20	mA	
OSCILLATOR SECTION								
Max. Operating Frequency	0.5	1		0.5	1		MHz	$C = 1000\text{ pF}$, $R_1 = 1\text{ k}\Omega$
Lowest Practical Frequency		0.01			0.01		Hz	$C = 50\text{ }\mu\text{F}$, $R_1 = 2\text{ M}\Omega$
Frequency Accuracy		± 1	± 4		± 2		% of f_o	$f_o = 1/R_1C$
Temperature Stability		± 10	± 50		± 20		ppm/ $^\circ\text{C}$	$0^\circ\text{C} < T_A < 75^\circ\text{C}$, $R_1 = R_2 = 20\text{ k}\Omega$
Supply Sensitivity		0.01	0.1		0.01		%/V	$V_{\text{LOW}} = 10\text{V}$, $V_{\text{HIGH}} = 20\text{V}$, $R_1 = R_2 = 20\text{ k}\Omega$
Sweep Range	1000:1	2000:1			2000:1		$f_H = f_L$	$f_H @ R_1 = 1\text{ k}\Omega$ $f_L @ R_1 = 2\text{ M}\Omega$
Sweep Linearity								
10:1 Sweep		2			2		%	$f_L = 1\text{ kHz}$, $f_H = 10\text{ kHz}$
1000:1 Sweep		8			8		%	$f_L = 100\text{ Hz}$, $f_H = 100\text{ kHz}$
FM Distortion		0.1			0.1		%	$\pm 10\%$ Deviation
Recommended Timing Components								
Timing Capacitor: C	0.001		100	0.001		100	μF	See Figure 4.
Timing Resistors: R_1 & R_2	1		2000	1		2000	$\text{k}\Omega$	
Triangle Sine Wave Output								See Note 1, Figure 2.
Triangle Amplitude		160			160		mV/ $\text{k}\Omega$	Figure 1, S_1 Open
Sine Wave Amplitude	40	60	80		60		mV/ $\text{k}\Omega$	Figure 1, S_1 Closed
Max. Output Swing		6			6		Vp-p	
Output Impedance		600			600		Ω	
Triangle Linearity		1			1		%	
Amplitude Stability		0.5			0.5		dB	For 1000:1 Sweep
Sine Wave Amplitude Stability		4800			4800		ppm/ $^\circ\text{C}$	See Note 2.
Sine Wave Distortion								
Without Adjustment		2.5			2.5		%	$R_1 = 30\text{ k}\Omega$
With Adjustment		0.4	1.0		0.5	1.5	%	See Figures 6 and 7.
Amplitude Modulation								
Input Impedance	50	100		50	100		$\text{k}\Omega$	
Modulation Range		100			100		%	
Carrier Suppression		55			55		dB	
Linearity		2			2		%	For 95% modulation
Square-Wave Output								
Amplitude		12			12		Vp-p	Measured at Pin 11.
Rise Time		250			250		nsec	$C_L = 10\text{ pF}$
Fall Time		50			50		nsec	$C_L = 10\text{ pF}$
Saturation Voltage		0.2	0.4		0.2	0.6	V	$I_L = 2\text{ mA}$
Leakage Current		0.1	20		0.1	100	μA	$V_{11} = 26\text{V}$
FSK Keying Level (Pin 9)	0.8	1.4	2.4	0.8	1.4	2.4	V	See section on circuit controls
Reference Bypass Voltage	2.9	3.1	3.3	2.5	3	3.5	V	Measured at Pin 10.

Note 1: Output amplitude is directly proportional to the resistance, R_3 , on Pin 3. See Figure 2

Note 2: For maximum amplitude stability, R_3 should be a positive temperature coefficient resistor.

XR-2206

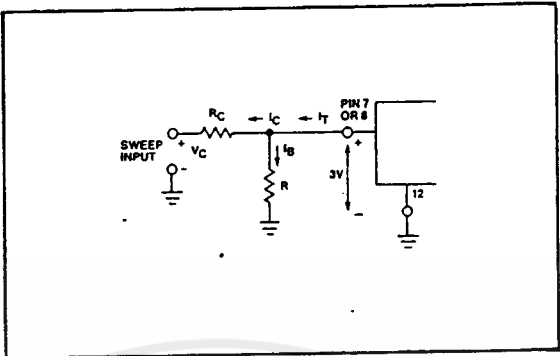


Figure 9: Circuit Connection for Frequency Sweep.

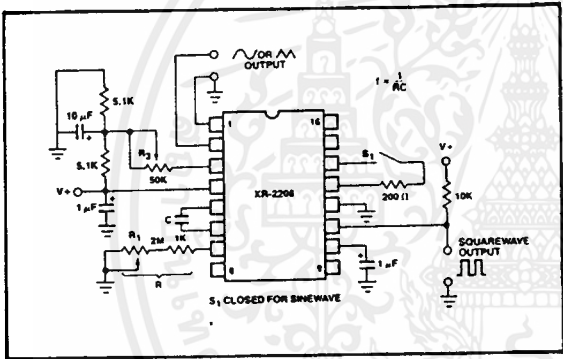


Figure 10: Circuit for Sine Wave Generation without External Adjustment. (See Figure 2 for Choice of R_3 .)

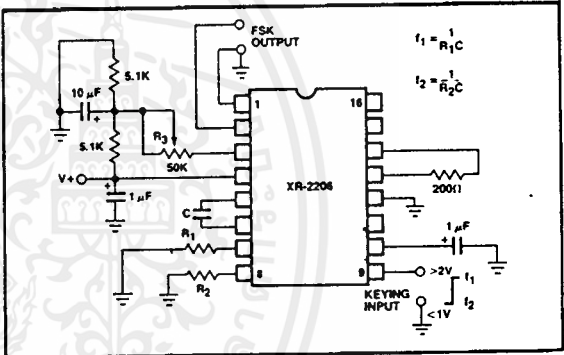


Figure 12: Sinusoidal FSK Generator.

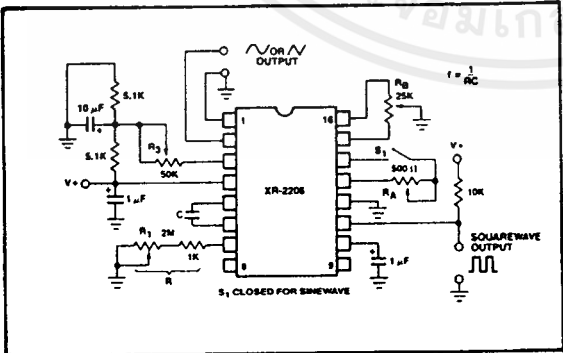


Figure 11: Circuit for Sine Wave Generation with Minimum Harmonic Distortion. (R_3 Determines Output Swing — See Figure 2.)

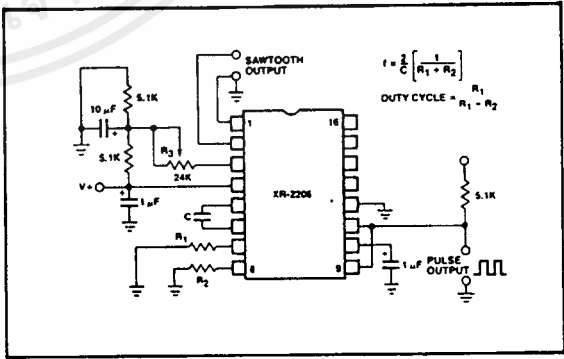


Figure 13: Circuit for Pulse and Ramp Generation.

Frequency-Shift Keying:

The XR-2206 can be operated with two separate timing resistors, R_1 and R_2 , connected to the timing Pin 7 and 8, respectively, as shown in Figure 12. Depending on the polarity of the logic signal at Pin 9, either one or the other of these timing resistors is activated. If Pin 9 is open-circuited or connected to a bias voltage $\geq 2V$, only R_1 is activated. Similarly, if the voltage level at Pin 9 is $\leq 1V$, only R_2 is activated. Thus, the output frequency can be keyed between two levels, f_1 and f_2 , as:

$$f_1 = 1/R_1C \text{ and } f_2 = 1/R_2C$$

For split-supply operation, the keying voltage at Pin 9 is referenced to V^- .

Output DC Level Control:

The dc level at the output (Pin 2) is approximately the same as the dc bias at Pin 3. In Figures 10, 11 and 12, Pin 3 is biased midway between V^+ and ground, to give an output dc level of $\approx V^+/2$.

APPLICATIONS INFORMATION

Sine Wave Generation

Without External Adjustment:

Figure 10 shows the circuit connection for generating a sinusoidal output from the XR-2206. The potentiometer, R_1 at Pin 7, provides the desired frequency tuning. The maximum output swing is greater than $V^+/2$, and the typical distortion (THD) is $< 2.5\%$. If lower sine wave distortion is desired, additional adjustments can be provided as described in the following section.

The circuit of Figure 10 can be converted to split-supply operation, simply by replacing all ground connections with V^- . For split-supply operation, R_3 can be directly connected to ground.

With External Adjustment:

The harmonic content of sinusoidal output can be reduced to $\approx 0.5\%$ by additional adjustments as shown in Figure 11. The potentiometer, R_A , adjusts the sine-shaping resistor, and R_B provides the fine adjustment for the waveform symmetry. The adjustment procedure is as follows:

1. Set R_B at midpoint, and adjust R_A for minimum distortion.
2. With R_A set as above, adjust R_B to further reduce distortion.

Triangle Wave Generation

The circuits of Figures 10 and 11 can be converted to triangle wave generation, by simply open-circuiting Pin 13 and 14 (i.e., S_1 open). Amplitude of the triangle is approximately twice the sine wave output.

FSK Generation

Figure 12 shows the circuit connection for sinusoidal FSK signal operation. Mark and space frequencies can be independently adjusted, by the choice of timing resistors, R_1 and R_2 ; the output is phase-continuous during transitions. The keying signal is applied to Pin 9. The circuit can be converted to split-supply operation by simply replacing ground with V^- .

Pulse and Ramp Generation

Figure 13 shows the circuit for pulse and ramp waveform generation. In this mode of operation, the FSK keying terminal (Pin 9) is shorted to the square-wave output (Pin 11), and the circuit automatically frequency-shift keys itself between two separate frequencies during the positive-going and negative-going output waveforms. The pulse width and duty cycle can be adjusted from 1% to 99%, by the choice of R_1 and R_2 . The values of R_1 and R_2 should be in the range of $1\text{ k}\Omega$ to $2\text{ M}\Omega$.

XR-2206

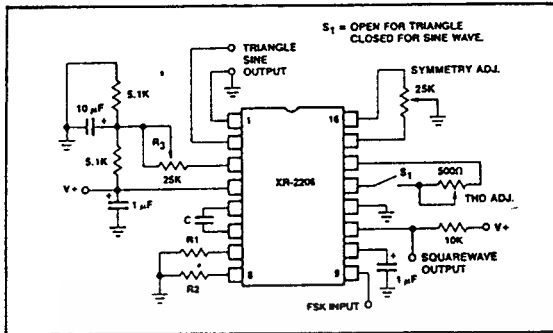


Figure 1: Basic Test Circuit.

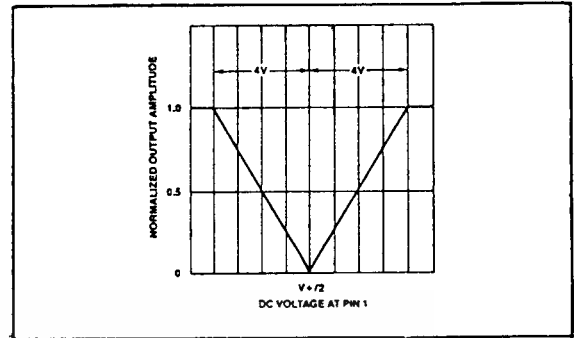


Figure 5: Normalized Output Amplitude versus DC Bias at AM Input (Pin 1).

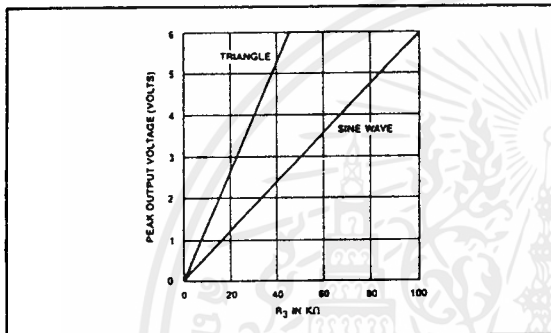


Figure 2: Output Amplitude as a Function of the Resistor, R_3 , at Pin 3.

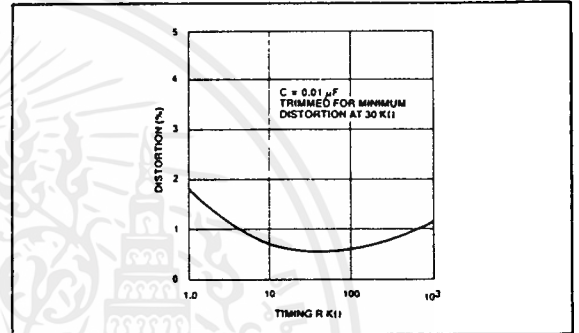


Figure 6: Trimmed Distortion versus Timing Resistor.

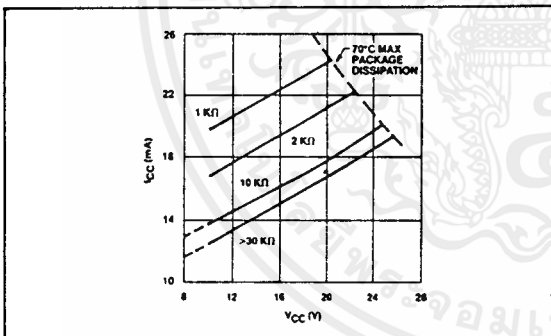


Figure 3: Supply Current versus Supply Voltage, Timing, R.

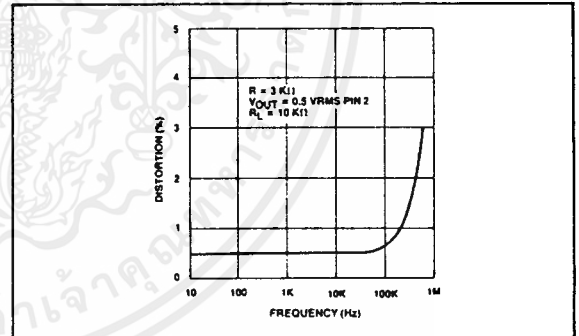


Figure 7: Sine Wave Distortion versus Operating Frequency with Timing Capacitors Varied.

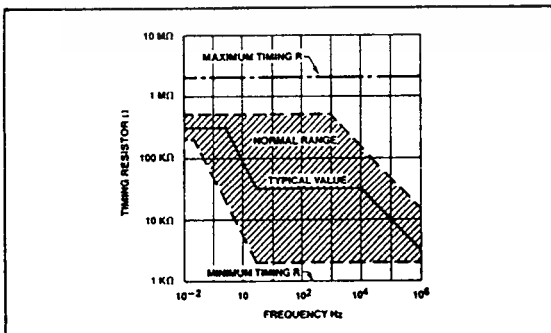


Figure 4: R versus Oscillation Frequency.

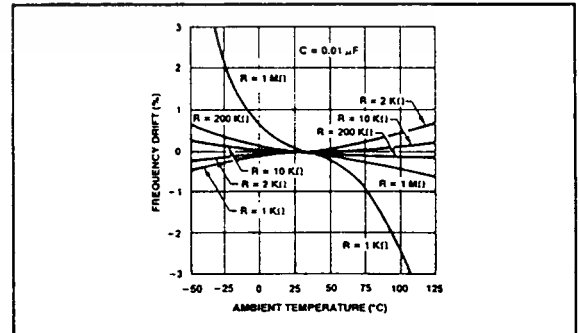


Figure 8: Frequency Drift versus Temperature.

XR-2206

PRINCIPLES OF OPERATION

Description of Controls

Frequency of Operation:

The frequency of oscillation, f_o , is determined by the external timing capacitor, C , across Pin 5 and 6, and by the timing resistor, R , connected to either Pin 7 or 8. The frequency is given as:

$$f_o = \frac{1}{RC} \text{ Hz}$$

and can be adjusted by varying either R or C . The recommended values of R , for a given frequency range, are shown in Figure 4. Temperature stability is optimum for $4 \text{ k}\Omega < R < 200 \text{ k}\Omega$. Recommended values of C are from 1000 pF to $100 \mu\text{F}$.

Frequency Sweep and Modulation:

Frequency of oscillation is proportional to the total timing current, I_T , drawn from Pin 7 or 8:

$$f = \frac{320 I_T (\text{mA})}{C (\mu\text{F})} \text{ Hz}$$

Timing terminals (Pin 7 or 8) are low-impedance points, and are internally biased at $+3\text{V}$, with respect to Pin 12. Frequency varies linearly with I_T , over a wide range of current values, from $1 \mu\text{A}$ to 3 mA . The frequency can be controlled by applying a control voltage, V_C , to the activated timing pin as shown in Figure 9. The frequency of oscillation is related to V_C as:

$$f = \frac{1}{RC} \left(1 + \frac{R}{R_C} \left(1 - \frac{V_C}{3} \right) \right) \text{ Hz}$$

where V_C is in volts. The voltage-to-frequency conversion gain, K , is given as:

$$K = \partial f / \partial V_C = - \frac{0.32}{R_C C} \text{ Hz/V}$$

CAUTION: For safe operation of the circuit, I_T should be limited to $\leq 3 \text{ mA}$.

Output Amplitude:

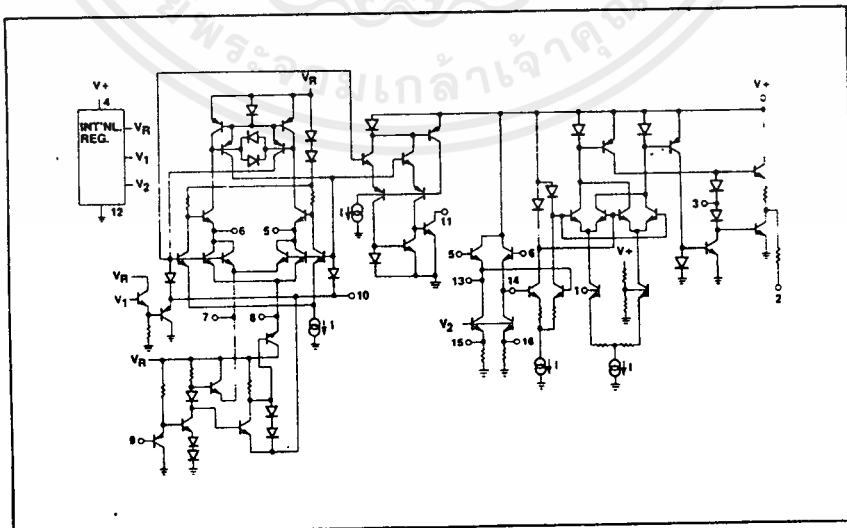
Maximum output amplitude is inversely proportional to the external resistor, R_3 , connected to Pin 3 (see Figure 2). For sine wave output, amplitude is approximately 60 mV peak per $\text{k}\Omega$ of R_3 ; for triangle, the peak amplitude is approximately 160 mV peak per $\text{k}\Omega$ of R_3 . Thus, for example, $R_3 = 50 \text{ k}\Omega$ would produce approximately $\pm 3\text{V}$ sinusoidal output amplitude.

Amplitude Modulation:

Output amplitude can be modulated by applying a dc bias and a modulating signal to Pin 1. The internal impedance at Pin 1 is approximately $100 \text{ k}\Omega$. Output amplitude varies linearly with the applied voltage at Pin 1, for values of dc bias at this pin, within $\pm 4 \text{ volts}$ of $V^+/2$ as shown in Figure 5. As this bias level approaches $V^+/2$, the phase of the output signal is reversed, and the amplitude goes through zero. This property is suitable for phase-shift keying and suppressed-carrier AM generation. Total dynamic range of amplitude modulation is approximately 55 dB .

CAUTION: AM control must be used in conjunction with a well-regulated supply, since the output amplitude now becomes a function of V^+ .

EQUIVALENT SCHEMATIC DIAGRAM



HIGH QUALITY FUNCTION GENERATOR SYSTEM WITH THE XR-2206

INTRODUCTION

January

Waveform or function generators capable of producing am/fm modulated sine wave outputs find a wide range of applications in electrical measurement and laboratory instrumentation. This application note describes the design, construction and the performance of such a complete function generator system suitable for laboratory usage or hobbyist applications. The entire function generator is comprised of a single XR-2206 monolithic IC and a limited number of passive circuit components. It provides the engineer, student, or hobbyist with a highly versatile laboratory instrument for waveform generation at a very small fraction of the cost of conventional function generators available today.

GENERAL DESCRIPTION

The basic circuit configuration and the external components necessary for the high-quality function generator system is shown in Figure 1. The circuit shown in the figure is designed to operate with either a 12 V single power supply, or with ± 6 V split supplies. For most applications, split-supply operation is preferred since it results in an output dc level which is nearly at ground potential.

The circuit configuration of Figure 1 provides three basic waveforms: sine, triangle and square wave. There are four overlapping frequency ranges which give an overall frequency range of 1 Hz to 100 kHz. In each range, the frequency may be varied over a 100:1 tuning range.

The sine or triangle output can be varied from 0 to over 6 V (peak to peak) from a 600 ohm source at the output terminal.

A squarewave output is available at the sync output terminal for oscilloscope synchronizing or driving logic circuits.

TYPICAL PERFORMANCE CHARACTERISTICS

The performance characteristics listed below are not guaranteed or warranted by Exar. However, they represent the typical performance characteristics measured by Exar's application engineers during the laboratory evaluation of the function generator system shown in Figure 1. The typical performance specifications listed below apply only when all of the recommended assembly instructions and adjustment procedures are followed:

- (a) **Frequency Ranges:** The function generator system is designed to operate over four overlapping frequency ranges:

1 Hz to 100 Hz
10 Hz to 1 kHz
100 Hz to 10 kHz
1 kHz to 100 kHz

The range selection is made by switching in different timing capacitors.

- (b) **Frequency Setting:** At any range setting, frequency can be varied over a 100:1 tuning range with a potentiometer (see R₁₃ of Figure 1).

- (c) **Frequency Accuracy:** Frequency accuracy of the 2206 is set by the timing resistor R and the capacitor C, and is given as:

$$f = 1/RC$$

The above expression is accurate to within $\pm 5\%$ for any range setting. The timing resistor R is the series combination of resistors R₄ and R₁₃ of Figure 1. The capacitor C is any one of the capacitors C₃ through C₆ shown in the figure.

- (d) **Sine and Triangle Output:** The sine and triangle amplitudes are variable from 0 V to 6 V_{pp}. The amplitude is set by an external potentiometer, R₁₂ of Figure 1. At any given amplitude setting, the triangle output amplitude is approximately twice as high as the sine wave output. The internal impedance of the output is 600 Ω .

- (e) **Sinewave Distortion:** The total harmonic distortion of the sinewave is less than 1 % from 10 Hz to 10 kHz and less than 3 % over the entire frequency range. The selection of a waveform is made by the triangle/sine select switch, S₂.

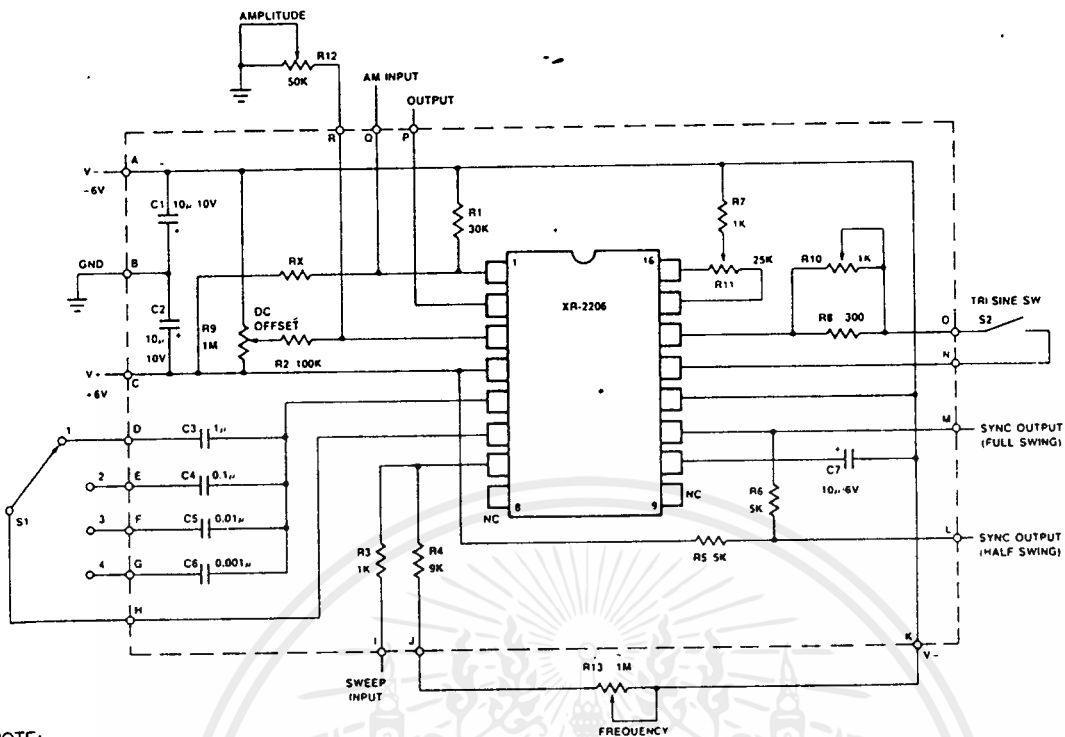
- (f) **Sync Output:** The sync output provides a 50 % duty cycle pulse output with either full swing or upper half swing of the supply voltage depending on the choice of sync output terminals on the printed circuit board (see Figure 1).



EXAR INTEGRATED SYSTEMS, INC.

750 Palomar Avenue, Sunnyvale, CA 94088

(408) 732-7970 TWX 910-339-9233



NOTE:

1. For Single Supply Operation Lift GND Connection Keeping R12 Across Terminals R and B Intact, and Connect Terminal A to GND.
2. For Maximum Output, R_X may be open. $R_X = 68 \text{ K}\Omega$ is Recommended for External Amplitude Modulation.

Figure 1. Circuit Connection Diagram for Function Generator. (See Note 1 for Single Supply Operation.)

g) **Frequency Modulation (External Sweep):** Frequency can be modulated or swept by applying an external control voltage to sweep terminal (Terminal I of Figure 1). When not used, this terminal should be left open-circuited. The open circuit voltage at this terminal is approximately 3 V above the negative supply voltage and its impedance is approximately 1000 ohms.

h) **Amplitude Modulation:** The output amplitude varies linearly with modulation voltage applied to am input (terminal Q of Figure 1). The output amplitude reaches its minimum as the am control voltage approaches the half of the total power supply voltage. The phase of the output signal reverses as the amplitude goes through its minimum value. The total dynamic range is approximately 55 dB, with am control voltage range of 4 V referenced to the half of the total supply voltage. When not used, am terminal should be left open-circuited.

i) **Power Source:** Split supplies: $\pm 6 \text{ V}$, or single supply: +12 V. Supply Current 15 mA (see Figure 3).

inversely proportional to the timing capacitor connected across Pins 5 and 6 of the XR-2206 circuit. Nominal capacitance values and frequency ranges corresponding to switch positions of S1 are as follows:

Position	Nominal Range	Timing Capacitance
1	1 Hz to 100 Hz	1 μF
2	10 Hz to 1 kHz	0.1 μF
3	100 Hz to 10 kHz	0.01 μF
4	1 Hz to 100 kHz	0.001 μF

If additional frequency ranges are needed, they can be added by introducing additional switch positions.

Triangle/Sine Waveform Switch, S2: Selects the triangle or sine output waveform.

Trimners and Potentiometers

Dc Offset Adjustment, R9: The potentiometer used for adjusting the dc offset level of the triangle or sine output waveform.

Sinewave Distortion Adjustment, R10: Adjusted to minimize the harmonic content of sinewave output.

Sinewave Symmetry Adjustment, R11: Adjusted to optimize the symmetry of the sinewave output.

EXPLANATION OF CIRCUIT CONTROLS:

Switches

Range Select Switch, S1: Selects the frequency range of operation for the function generator. The frequency is

Amplitude Control, R12: Sets the amplitude of the triangle or sinewave output.

Frequency Adjust, R13: Sets the oscillator frequency for any range setting of S1. Thus, R13 serves as a frequency dial on a conventional waveform generator and varies the frequency of the oscillator over an approximate 100 to 1 range.

Terminals

- A. Negative Supply -6 V
- B. Ground
- C. Positive Supply +6 V
- D. Range 1, timing capacitor terminal
- E. Range 2, timing capacitor terminal
- F. Range 3, timing capacitor terminal
- G. Range 4, timing capacitor terminal
- H. Timing capacitor common terminal
- I. Sweep Input
- J. Frequency adjust potentiometer terminal
- K. Frequency adjust potentiometer negative supply terminal
- L. Sync output (1/2 swing)
- M. Sync output (full swing)
- N. Triangle/sine waveform switch terminals
- O. Triangle/sine, waveform switch terminals
- P. Triangle or sinewave output
- Q. AM input
- R. Amplitude control terminal

PARTS LIST

The following is a list of external circuit components necessary to provide the circuit interconnections shown in Figure 1.

Capacitors:

- C1, C2, C7 Electrolytic, 10 μ F, 10 V
- C3 Mylar, 1 μ F, nonpolar, 10 %
- C4 Mylar, 0.1 μ F, 10 %
- C5 Mylar, 0.01 μ F, 10 %
- C6 Mylar, 1000 pF, 10 %

Resistors:

- R1 30 K Ω , 1/4 W, 10 %
- R2 100 K Ω , 1/4 W, 10 %
- R3, R7 1 K Ω , 1/4 W, 10 %
- R4 9 K Ω , 1/4 W, 10 %
- R5, R6 5 K Ω , 1/4 W, 10 %
- R8 300 Ω , 1/4 W, 10 %
- RX 62 K Ω , 1/4 W, 10 % (RX can be eliminated for maximum output)

Potentiometers:

- R9 Trim, 1 M Ω , 1/4 W
- R10 Trim, 1 K Ω , 1/4 W
- R11 Trim, 25 K Ω , 1/4 W

The following additional items are recommended to convert the circuit of Figure 1 to a complete laboratory instrument.

Potentiometers:

- R12 Amplitude control, linear, 50 K Ω
- R13 Frequency control, audio taper, 1 M Ω

Switches:

- S1 Rotary switch, 1-pole, 4 positions
- S2 Toggle or slide, SPST

Case:

7" x 4" x 4" (approx.) Metal or Plastic
(See Figures 4(a) and 4(b).)

Power Supply:

Dual supplies ± 6 V or single +12 V
Batteries or power supply unit
(See Figures 3(a) and 3(b).)

Miscellaneous:

Knobs, solder, wires, terminals, etc.

BOARD LAYOUT

Figures 2(a) and 2(b) show the recommended printed-circuit board layout for the function generator circuit of Figure 1.

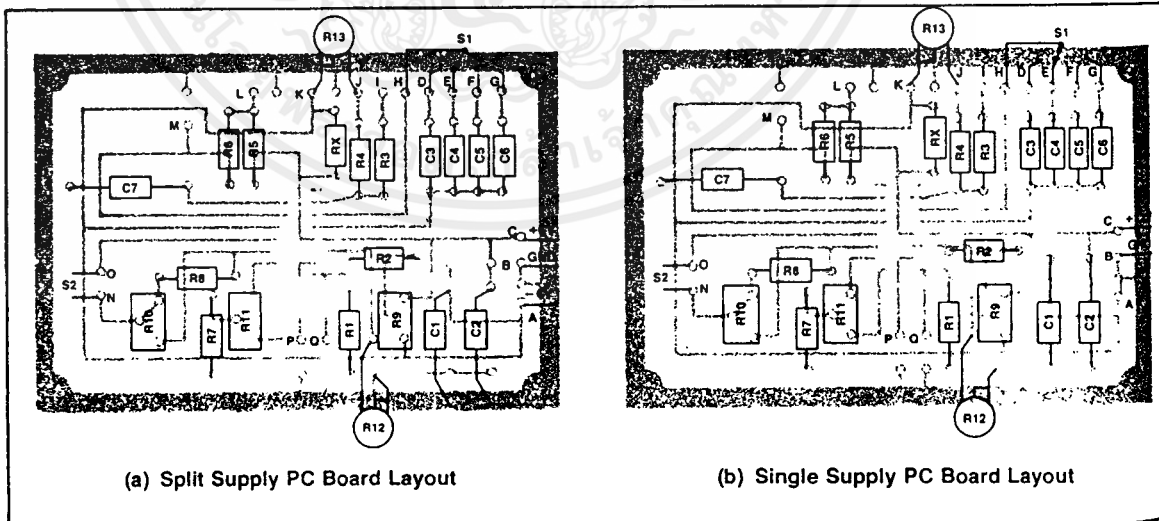


Figure 2. Recommended PC Board Layout for Function Generator Circuit of Figure 1.

RECOMMENDED ASSEMBLY PROCEDURE

Following instructions and recommendations for the assembly of the function generator assume that the basic PC board layout of Figure 2(a) or 2(b) is used in the circuit assembly.

The parts of the generator, with the exception of frequency adjust potentiometer, amplitude control potentiometer, triangle/sine switch and frequency range select switch, are mounted on the circuit board.

Install and solder all resistors, capacitors and trimmer resistors on the PC board first. Be sure to observe the polarity of capacitors C1, C2, C7. The timing capacitors C3, C4, C5 and C6 must be non-polar type. Now install IC1 on the board. We recommend the use of an IC socket to prevent possible damage to the IC during soldering and to provide for easy replacement in case of a malfunction.

The entire generator board along with power supply or batteries and several switches and potentiometers will fit into a case of the type readily available at electronic hobby shops. It will be necessary to obtain either output jacks or terminals for the outputs and am and frequency sweep inputs.

Install the frequency adjust pot, the frequency range select switch, the output amplitude control pot, the power switch, and the triangle/sine switch on the case. Next, install the PC board in the case, along with a power supply.

Any simple power supply having reasonable regulation may be used. Figure 3 gives some recommended power supply configurations.

Precaution: Keep the lead lengths small for the range selector switch.

ADJUSTMENT PROCEDURE

When assembly is completed and you are ready to put the function generator into operation, make sure that the polarity of power supply and the orientation of the IC unit are correct. Then apply the dc power to the unit.

To adjust for minimum distortion, connect the scope probe to the triangle/sine output. Close S2 and adjust the amplitude control to give non-clipping maximum swing. Then adjust R10 and R11 alternately for minimum distortion by observing the sinusoidal waveform. If a distortion meter is available, you may use it as a final check on the setting of sine-shaping trimmers. The minimum distortion obtained in this manner is typically less than 1 % from 1 Hz to 10 kHz and less than 3 % over the entire frequency range.

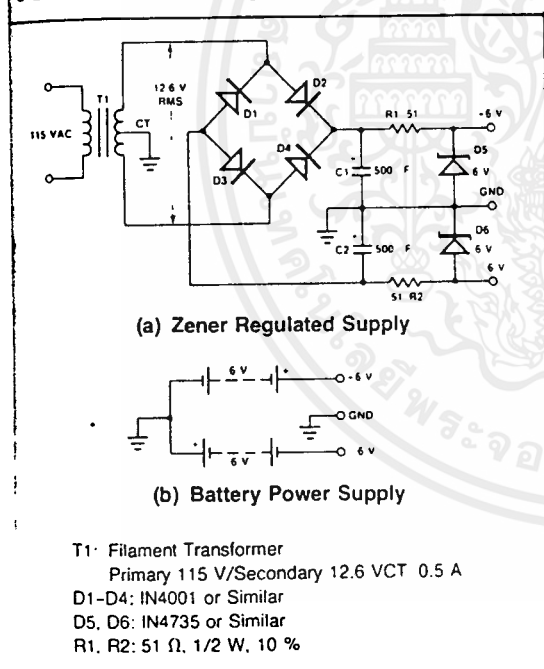
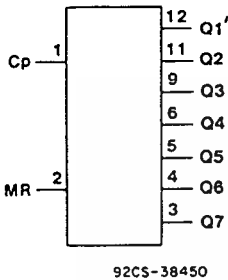


Figure 3. Recommended Power Supply Configurations.

CMOS High-Speed CMOS Logic



CD54/74HC4024, HCT4024
FUNCTIONAL DIAGRAM

7-Stage Binary Ripple Counter

Type Features:

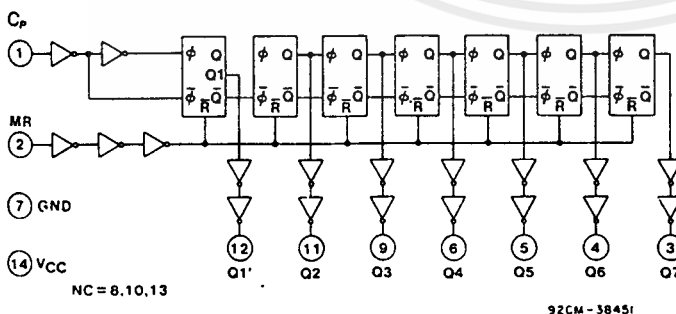
- Full static operation
- Buffered inputs
- Common reset
- Negative edge clocking
- Typical $F_{MAX}=50$ MHz @ $V_{CC}=5$ V, $C_L=15$ pF

The RCA-CD54/74HC4024 and CD54/74HCT4024 are 7-stage ripple-carry binary counters. All counter stages are master-slave flip-flops. The state of the stage advances one count on the negative transition of each clock pulse; a high voltage level on the MR line resets all counters to their zero state. All inputs and outputs are buffered.

The CD54HC4024 and CD54HCT4024 are supplied in 16-lead hermetic dual-in-line ceramic packages (F suffix). The CD74HC4024 and CD74HCT4024 are supplied in 16-lead dual-in-line plastic packages (E suffix). Both types are also available in chip form (H suffix).

Family Features:

- Fanout (over temperature range):
Standard outputs - 10 LSTTL loads
Bus driver outputs - 15 LSTTL loads
- Wide operating temperature range:
CD74HC/HCT/HCU: -40 to $+85^{\circ}\text{C}$
- Balanced propagation delay and transition times
- Significant power reduction compared to LSTTL logic ICs
- Alternate source is Philips/Signetics
- CD54HC/CD74HC types:
2 to 6 V operation
High noise immunity: $N_{IL}=20\%$, $N_{IH}=30\%$ of V_{CC}
@ $V_{CC}=5$ V
- CD54HCT/CD74HCT types:
4.5 to 5.5 V operation
Direct LSTTL input logic compatibility
 $V_{IL}=0.8$ V max., $V_{IH}=2$ V min.
CMOS input compatibility
 $I_i \leq 1 \mu\text{A}$ @ V_{OL} , V_{OH}



TRUTH TABLE

CP	MR	OUTPUT STATE
	L	No Change
	L	Advance to Next State
X	H	All Outputs are Low

H = high level (steady state)
L = low level (steady state)
X = don't care

Fig. 1 - Logic diagram for the CD54/74HC/HCT4024.

Trademark(s) Registered
Marca(s) Registrada(s)
Printed in USA/1-85

Information furnished by RCA is believed to be accurate and reliable. However, no responsibility is assumed by RCA for its use; nor for any infringements of patents or other rights of third parties which may result from its use. No license is granted by implication or otherwise under any patent or patent rights of RCA.

This document contains information on a new product. Specifications and information contained herein are subject to change without notice.

File Number 1638

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MAXIMUM RATINGS, Absolute-Maximum Values:

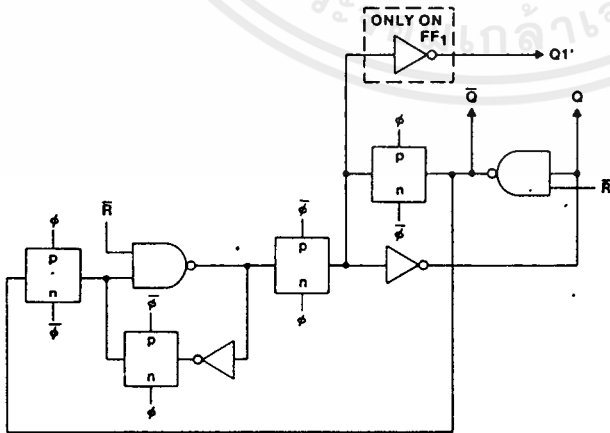
DC SUPPLY-VOLTAGE, (V _{cc}):	
(Voltages referenced to ground)	-0.5 to +7
DC INPUT DIODE CURRENT, I _{IK} (FOR V _i < -0.5 V OR V _i > V _{cc} + 0.5 V)	±20 mA
DC OUTPUT DIODE CURRENT, I _{OK} (FOR V _o < -0.5 V OR V _o > V _{cc} + 0.5 V)	±20 mA
DC DRAIN CURRENT, PER OUTPUT (I _o) (FOR -0.5 V < V _o < V _{cc} + 0.5 V)	±25 mA
DC V _{cc} OR GROUND CURRENT, (I _{cc})	±50 mA
POWER DISSIPATION PER PACKAGE (P _D):	
For T _A = -40 to +60°C (PACKAGE TYPE E)	500 mW
For T _A = +60 to +85°C (PACKAGE TYPE E)	Derate Linearly at 8 mW/°C to 300 mW
For T _A = -55 to +100°C (PACKAGE TYPE F, H)	500 mW
For T _A = +100 to +125°C (PACKAGE TYPE F, H)	Derate Linearly at 8 mW/°C to 300 mW
OPERATING-TEMPERATURE RANGE (T _A):	
PACKAGE TYPE F, H	-55 to +125°C
PACKAGE TYPE E	-40 to +85°C
STORAGE TEMPERATURE (T _{stg})	-65 to +150°C
LEAD TEMPERATURE (DURING SOLDERING):	
At distance 1/16 ± 1/32 in. (1.59 ± 0.79 mm) from case for 10 s max.	+265°C
Unit inserted into a PC Board (min. thickness 1/16 in., 1.59 mm) with solder contacting lead tips only	+300°C

RECOMMENDED OPERATING CONDITIONS

For maximum reliability, nominal operating conditions should be selected so that operation is always within the following ranges:

CHARACTERISTIC	LIMITS		UNITS
	MIN.	MAX.	
Supply-Voltage Range (For T _A =Full Package Temperature Range) V _{cc} .*			
CD54/74HC Types	2	6	V
CD54/74HCT Types	4.5	5.5	
DC Input or Output Voltage, V _i , V _o	0	V _{cc}	V
Operating Temperature, T _A :			
CD74 Types	-40	+85	°C
CD54 Types	-55	+125	
Input Rise and Fall Times, t _r , t _f :			
at 2 V	0	1000	ns
at 4.5 V	0	500	
at 6 V	0	400	

*Unless otherwise specified, all voltages are referenced to Ground.



92CM-38452

Fig. 2 - Flip-flop detail.

HCT Input Loading Table

Input	Unit Loads*
CP, MR	0.5

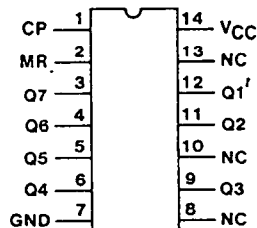
*Unit Load is ΔI_{cc} limit specified in Static Characteristics Chart, e.g., 360 μA max. @25°C.

CD54/74HC4024, CD54/74HCT4024

STATIC ELECTRICAL CHARACTERISTICS

CHARACTERISTICS		CD74HC4024/CD54HC4024										CD74HCT4024/CD54HCT4024										UNITS
		TEST CONDITIONS			74HC/54HC TYPE			74HC TYPE		54HC TYPE		TEST CONDITIONS		74HCT/54HCT TYPE			74HCT TYPE		54HCT TYPE			
		V _I V	I _O mA	V _{CC} V	+25°C			-40/ +85°C		-55/ +125°C		V _I V	V _{CC} V	+25°C			-40/ +85°C		-55/ +125°C			
					Min	Typ	Max	Min	Max	Min	Max			Min	Typ	Max	Min	Max	Min	Max		
High-Level Input Voltage V _{IH}			2	1.5	—	—	1.5	—	1.5	—	—	4.5 to 5.5	2	—	—	2	—	2	—	V		
			4.5	3.15	—	—	3.15	—	3.15	—												
			6	4.2	—	—	4.2	—	4.2	—												
Low-Level Input Voltage V _{IL}			2	—	—	0.3	—	0.3	—	0.3	—	4.5 to 5.5	—	—	0.8	—	0.8	—	0.8	V		
			4.5	—	—	0.9	—	0.9	—	0.9			—									
			6	—	—	1.2	—	1.2	—	1.2			—									
High-Level Output Voltage V _{OH}	V _{IL} or V _{IH}	-0.02	2	1.9	—	—	1.9	—	1.9	—	V _{IL} or V _{IH}	4.5	4.4	—	—	4.4	—	4.4	—	V		
			4.5	4.4	—	—	4.4	—	4.4	—												
			6	5.9	—	—	5.9	—	5.9	—												
TTL Loads Standard Output	V _{IL} or V _{IH}	-4 -5.2	4.5	3.98	—	—	3.84	—	3.7	—	V _{IL} or V _{IH}	4.5	3.98	—	—	3.84	—	3.7	—	V		
			6	5.48	—	—	5.34	—	5.2	—												
Low-Level Output Voltage V _{OL}	V _{IL} or V _{IH}	0.02	2	—	—	0.1	—	0.1	—	0.1	V _{IL} or V _{IH}	4.5	—	—	0.1	—	0.1	—	0.1	V		
			4.5	—	—	0.1	—	0.1	—	0.1			—									
			6	—	—	0.1	—	0.1	—	0.1			—									
TTL Loads Standard Output	V _{IL} or V _{IH}	4 5.2	4.5	—	—	0.26	—	0.33	—	0.4	V _{IL} or V _{IH}	4.5	—	—	0.26	—	0.33	—	0.4	V		
			6	—	—	0.26	—	0.33	—	0.4			—									
Input Leakage Current I _I	V _{CC} or Gnd	6	—	—	±0.1	—	±1	—	±1	Any Voltage Between V _{CC} and Gnd	5.5	—	—	±0.1	—	±1	—	±1	μA			
Quiescent Device Current I _{CC}	V _{CC} or Gnd	0	6	—	—	8	—	80	—	160	V _{CC} or Gnd	5.5	—	—	8	—	80	—	160	μA		
Additional Quiescent Device Current per Input Pin: 1 Unit Load ΔI _{CC}											V _{CC} -2.1	4.5 to 5.5	—	100	360	—	450	—	490	μA		

*For dual-supply systems theoretical worst case ($V_i = 2.4$ V, $V_{cc} = 5.5$ V) specification is 1.4 mA.



TOP VIEW

92CS-38453

TERMINAL ASSIGNMENT

SWITCHING CHARACTERISTICS (V_{CC}=5 V, T_A=25°C, Input t_r,t_f=6 ns)

CHARACTERISTIC	SYMBOL	C _L (pF)	TYPICAL VALUES		UNITS
			HC	HCT	
Propagation Delay CP to Q1'	t _{PHL} t _{PLH}	15	14	17	ns
Qn to Qn+1	t _{PHL} t _{PLH}	15	6	8	
MR to Q1'	t _{PHL} t _{PLH}	15	17	19	
Power Dissipation Capacitance*	* C _{PD}	—	28	28	pF

*C_{PD} is used to determine the dynamic power consumption, per
 $P_D = C_{PD} V_{CC}^2 f_i + \sum (C_L V_{CC}^2 f_i/M)$ where:
 $M=2^1,2^2,2^3,2^4,2^5,2^6,2^7$
C_L=output load capacitance
f_i=input frequency

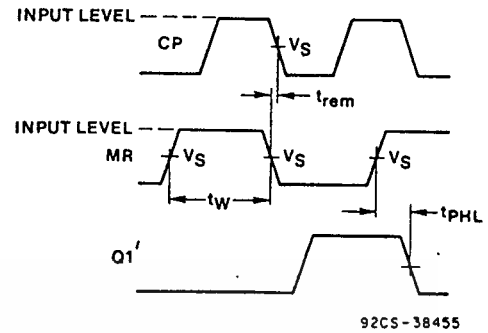
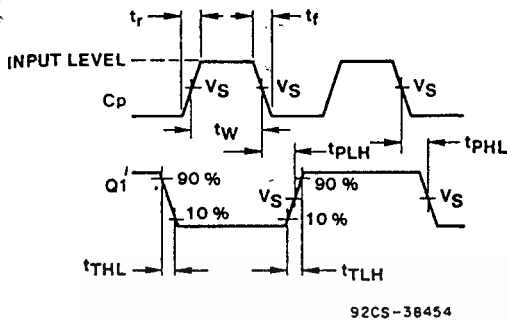
Prerequisite for Switching Function

CHARACTERISTIC	SYMBOL	V _{CC}	25°C				-40°C to +85°C				-55°C to +125°C				UNITS
			HC		HCT		74HC		74HCT		54HC		54HCT		
			Min.	Max.	Min.	Max.	Min.	Max.	Min.	Max.	Min.	Max.	Min.	Max.	
Maximum Clock Frequency	f _{MAX}	2	6	—	—	—	5	—	—	—	4	—	—	—	MHz
		4.5	30	—	25	—	24	—	20	—	20	—	16	—	
		6	35	—	—	—	28	—	—	—	24	—	—	—	
Clock Pulse Width	t _w	2	80	—	—	—	100	—	—	—	120	—	—	—	ns
		4.5	16	—	20	—	20	—	25	—	24	—	30	—	
		6	14	—	—	—	17	—	—	—	20	—	—	—	
Reset Removal Time	t _{REM}	2	50	—	—	—	65	—	—	—	75	—	—	—	
		4.5	10	—	10	—	13	—	13	—	15	—	15	—	
		6	9	—	—	—	11	—	—	—	13	—	—	—	
Reset Pulse Width	t _w	2	80	—	—	—	100	—	—	—	120	—	—	—	
		4.5	16	—	20	—	20	—	25	—	24	—	30	—	
		6	14	—	—	—	17	—	—	—	20	—	—	—	

SWITCHING CHARACTERISTICS (C_L=50 pF, Input t_r,t_f=6 ns)

CHARACTERISTIC	SYMBOL	V _{CC}	25°C				-40°C to +85°C				-55°C to +125°C				UNITS
			HC		HCT		74HC		74HCT		54HC		54HCT		
			Min.	Max.	Min.	Max.	Min.	Max.	Min.	Max.	Min.	Max.	Min.	Max.	
Propagation Delay, CP to Q1' Output	t _{PLH}	2	—	175	—	—	—	220	—	—	—	265	—	—	ns
	t _{PHL}	4.5	—	35	—	40	—	44	—	50	—	53	—	60	
		6	—	30	—	—	—	37	—	—	—	45	—	—	
Propagation Delay Qn to Qn+1	t _{PLH}	2	—	75	—	—	—	95	—	—	—	110	—	—	ns
	t _{PHL}	4.5	—	15	—	20	—	19	—	25	—	22	—	30	
		6	—	13	—	—	—	16	—	—	—	19	—	—	
Propagation Delay MR to Q1' Output*	t _{PHL}	2	—	200	—	—	—	250	—	—	—	300	—	—	ns
		4.5	—	40	—	45	—	50	—	58	—	60	—	68	
		6	—	34	—	—	—	43	—	—	—	51	—	—	
Output Transition Time	t _{TLH}	2	—	75	—	—	—	95	—	—	—	110	—	—	ns
	t _{THL}	4.5	—	15	—	15	—	19	—	19	—	22	—	22	
		6	—	13	—	—	—	16	—	—	—	19	—	—	

*For MR to any other output add 3 ns for each succeeding stage.



	54/74HC	54/74HCT
Input Level	V_{CC}	3 V
Switching Voltage, V_S	50% V_{CC}	1.3 V

Fig. 3 - Clock prerequisite times, propagation delays and output transition times.

Fig. 4 - Master Reset prerequisite and propagation delays.

OPERATING AND HANDLING CONSIDERATIONS

Handling

All inputs and outputs of RCA CMOS/QMOS devices have a network for electrostatic protection during handling. Recommended handling practices for CMOS/QMOS devices are similar to those described in ICAN-6525, "Guide to Better Handling and Operation of CMOS Integrated Circuits."

Operating

Operating Voltage

During operation near the maximum supply voltage limit, care should be taken to avoid or suppress power supply turn-on and turn-off transients, power supply ripple, or ground noise; any of these conditions must

not cause V_{CC} —Gnd to exceed the absolute maximum rating.

Input Signals

To prevent damage to the input protection circuit, input signals should never be greater than V_{CC} nor less than Gnd. Input currents must not exceed 20 mA even when the power supply is off.

Unused Inputs

A connection must be provided at every input terminal. All unused input terminals must be connected to either V_{CC} or Gnd, whichever is appropriate.

Output Short Circuits

Shorting of outputs to V_{CC} or Gnd may damage CMOS/QMOS devices by exceeding the maximum device dissipation.

ORDERING INFORMATION

RCA CMOS device packages are identified by letters indicated in the following chart. When ordering a QMOS device, it is important that the appropriate suffix letter be affixed to the type number of the device.

Package

Dual-In-Line Frit-Seal Ceramic (CERDIP)
Dual-In-Line Plastic
Chip

Suffix Letter

F
E
H

The CD54HC/HCT series is supplied only in dual-in-line frit-seal hermetic ceramic packages (F-suffix), and in chip form (H suffix). The CD74HC/HCT series is supplied in dual-in-line plastic packages (E-suffix), and in chip form (H suffix).

For example, a CD54HC4024 will be identified as the CD54HC4024F. The CD74HC/HCT will be identified as the CD74HG4024E.



National Semiconductor

Shift Registers

MM4025/MM5025 Dual 1024-Bit Dynamic Shift Register MM4026/MM5026 Dual 1024-Bit Dynamic Shift Register MM4027/MM5027 2048-Bit Dynamic Shift Register

general description

These 2048-bit dynamic shift registers are MOS monolithic integrated circuits using P-channel silicon gate technology. They employ a push-pull output for bipolar compatibility and on-chip multiplexing to achieve a 6 MHz data rate. The clock rate is one-half the data rate, i.e., one data bit is entered for each ϕ_1 and ϕ_2 clock pulse.

The MM4025/MM5025 and MM4027/MM5027 have on-chip logic to load and recirculate data.

The MM4026/MM5026 has an individual logic select line to load one of the two inputs on each of the 1024-bit registers.

features

- Bipolar compatibility
- High frequency of operation

Standard +5V, -12V power supplies
6 MHz guaranteed

- Low power dissipation 120 μ W/bit at 1-MHz ϕ rate 0°C, guaranteed
- Low clock capacitance 190 pF max
- Wide operating temperature range
MM4025, MM4026, MM4027 -55°C to +125°C
MM5025, MM5026, MM5027 0°C to 70°C

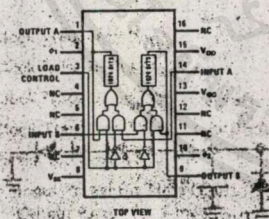
applications

- "Silicon store" replacement for drum and disc memories
- CRT displays
- Buffer memories

logic and connection diagrams

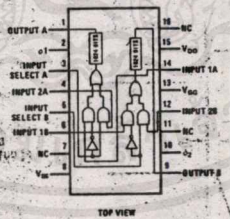
Military Temperature Range

Dual-In-Line Package



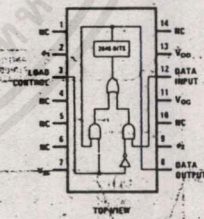
Order Number MM4025D or MM5025D
See NS Package D16C

Dual-In-Line Package



Order Number MM4026D or MM5026D
See NS Package D16C

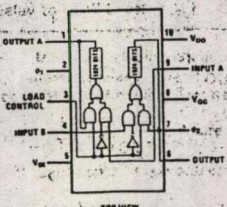
Flat Package



Order Number MM4027F or MM5027F
See NS Package F14B

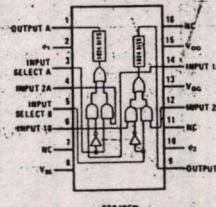
Commercial Temperature Range

Dual-In-Line Package



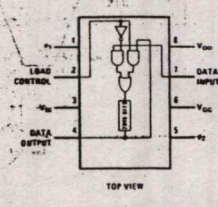
Order Number MM5025N
See NS Package N10B

Dual-In-Line Package



Order Number MM5026N
See NS Package N16A

Dual-In-Line Package



Order Number MM5027N
See NS Package N08B

absolute maximum ratings

Voltage at Any Pin With Respect to V_{SS}	+0.3 to -20.0V
Operating/Ambient Temperature Range	-55°C to +125°C MM4025, MM4026, MM4027 MM5025, MM5026, MM5027
Storage Temperature Range	-65°C to +150°C
Lead Temperature (Soldering, 10 sec)	300°C

electrical characteristics $V_{SS} = +5.0V \pm 5\%$, $V_{DD} = GND$, $V_{GG} = -12.0V \pm 10\%$
 T_A within operating temperature range unless otherwise stated.

PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
Data Input Levels					
Logical High Level (V_{IH})		$V_{SS} - 1.5$		$V_{SS} + 0.3$	V
Logical Low Level (V_{IL})		$V_{SS} - 10$		$V_{SS} - 4.2$	V
Data Input Leakage	$V_{IN} = -10V$, $T_A = 25^\circ C$, All other pins GND		0.01	1.0	μA
Data Input Capacitance	$V_{IN} = 0V$, $f = 1$ MHz, All other pins GND (Note 1)		2.5	5.0	pF
Load/Select Input Levels					
Logical High Level (V_{IH})		$V_{SS} - 1.5$		$V_{SS} + 0.3$	V
Logical Low Level (V_{IL})		$V_{SS} - 10$		$V_{SS} - 4.2$	V
Load/Select Input Leakage	$V_{IN} = -10V$, $T_A = 25^\circ C$, All other pins GND		0.01	1.0	μA
Load/Select Input Capacitance	$V_{IN} = 0V$, $f = 1$ MHz, All other pins GND (Note 1)		4.0	7.0	pF
Clock Input Levels					
Logical High Level (V_{IH})		$V_{SS} - 1.0$		$V_{SS} + 0.3$	V
Logical Low Level (V_{IL})		$V_{SS} - 18.5$		$V_{SS} - 14.5$	V
Clock Input Leakage	$V_{\phi} = -15V$, $T_A = 25^\circ C$, All other pins GND		.05	1.0	μA
Clock Input Capacitance	$V_{\phi} = 0V$, $f = 1$ MHz, All other pins GND (Note 1)		165	190	pF
Data Output Levels					
Logical High Level (V_{OH})	$I_{SOURCE} = -0.5$ mA	2.4		V_{SS}	V
Logical Low Level (V_{OL})	$I_{SINK} = 1.6$ mA	0.0		0.4	V
Power Supply Current	$T_A = 25^\circ C$, $V_{GG} = -12.0V$, $\phi_{PW} = 160$ ns $V_{SS} = 5.0V$, $V_{\phi} = -12.0V$, DATA = Note 4 $V_{DD} = 0.0V$				
I_{CC}	0.01 MHz $\phi_1 \leq 0.1$ MHz $\phi_1 = 1.0$ MHz $\phi_1 = 3.0$ MHz		2 2 2	3.5 3.5 3.5	mA mA mA
I_{DD}	0.01 MHz $\phi_1 \leq 0.1$ MHz $\phi_1 = 1.0$ MHz $\phi_1 = 3.0$ MHz		8 22 48	15 32 70	mA mA mA
Clock Frequency (ϕ_1)					
MM4025, MM4026, MM4027	$\phi_1 = \phi_2 = 20$ ns (Note 2, Note 3 & Note 5)	0.03	2.0	1.0	MHz
MM5025, MM5026, MM5027		0.003	4.0	1.25	MHz
Clock Pulsewidth (ϕ_{PW})					
MM4025, MM4026, MM4027	$\phi_1 = \phi_2 = 20$ ns, Data Rate = $2\phi_1$	0.240		8.0	μs
MM5025, MM5026, MM5027		0.240		10	μs
Clock Phase Delay Times ($\phi_{\phi_2\phi_1}$)	See Curves	10			ns
Clock Transition Times (ϕ_{T_1}, ϕ_{T_2})				0.5	μs
Partial Bit Times (T)	(Note 2, Note 3)				
T_1 Partial-Bit Time					
MM4025, MM4026, MM4027		0.5		16.5	μs
MM5025, MM5026, MM5027		0.4		165	μs
T_2 Partial Bit Time					
MM4025, MM4026, MM4027		0.5		16.5	μs
MM5025, MM5026, MM5027		0.4		165	μs
Data & Load/Select Input Setup Time (t_{ds})		35			ns
Data & Load/Select Input Hold Time (t_{dh})		20			ns
Data Output Propagation Delay from ϕ					
Delay to High Level (t_{pdH})	15 pF Output Capacitance			160	ns
Delay to Low Level (t_{pdL})				160	ns

Note 1: Capacitance is guaranteed by periodic testing.

Note 2: Minimum clock frequency is a function of temperature and partial bit times (T_1 and T_2) as shown by ϕ_1 versus temperature and T_1 , T_2 versus temperature curves. The lowest guaranteed clock frequency for any temperature can be attained by making T_1 equal to T_2 . The minimum guaranteed clock frequency: ϕ_1 (min) = $1/(T_1 + T_2)$ where T_1 and T_2 do not exceed the guaranteed maximum.

Note 3: Minimum clock frequency and partial bit time curves are guaranteed by testing at a high temperature point.

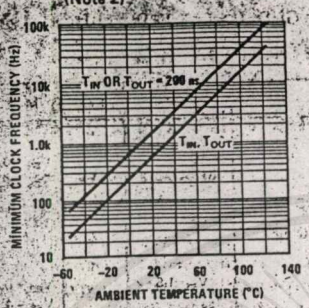
Note 4: For data pattern of 1111000011110000 etc.

Note 5: Maximum frequency limited by maximum package power dissipation for MM4025, MM4026 and MM4027.

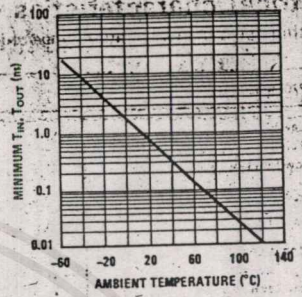
MM4025/MM5025, MM4026/MM5026, MM4027/MM5027

typical performance characteristics

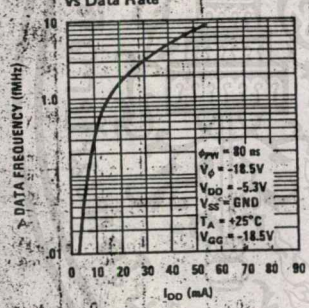
Typical Minimum Clock Frequency vs Temperature (Note 2)



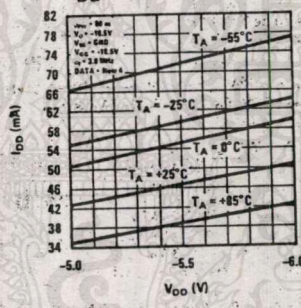
Typical Maximum T_1 and T_2 vs Temperature (Note 2)



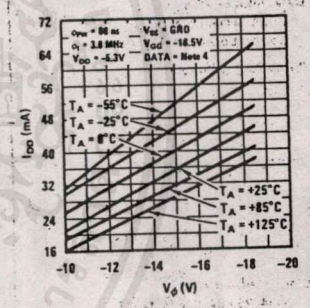
Power Supply Current vs Data Rate



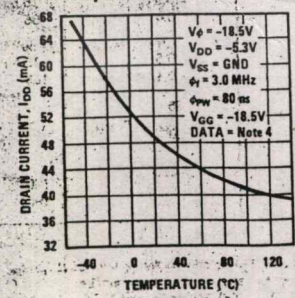
Power Supply Current vs V_{DD}



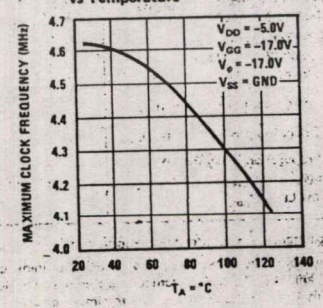
Power Supply Current vs Clock Voltage V_O



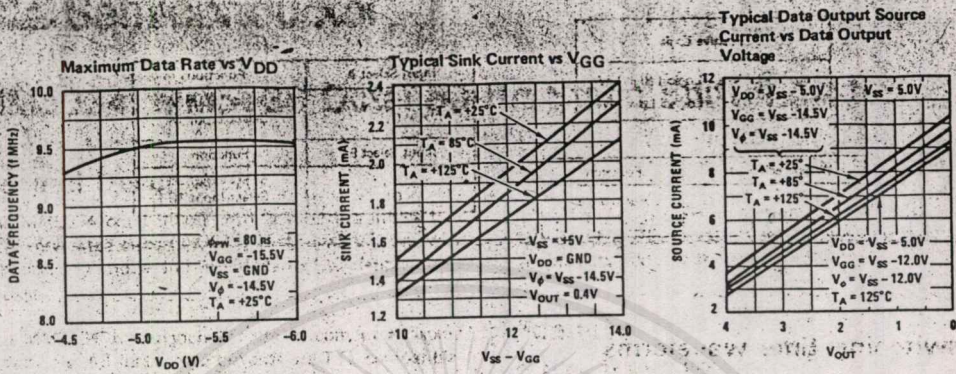
Power Supply Current vs Temperature



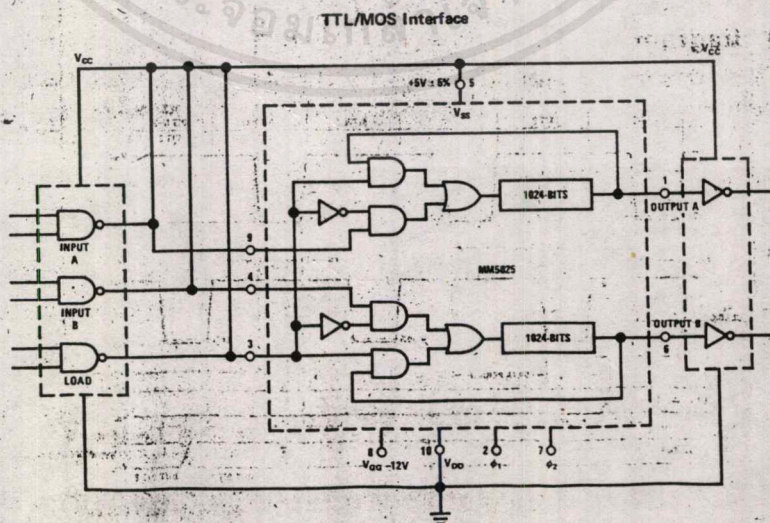
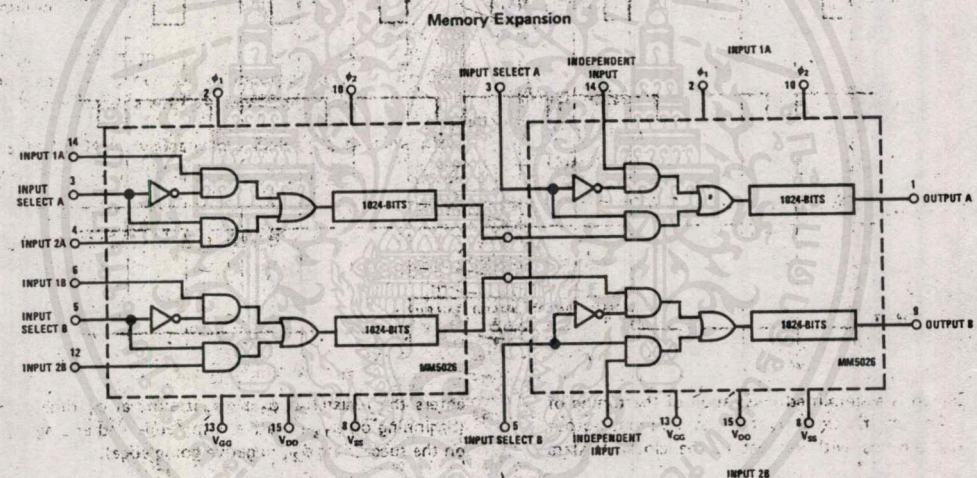
Maximum Clock Frequency vs Temperature



typical performance characteristics (con't)



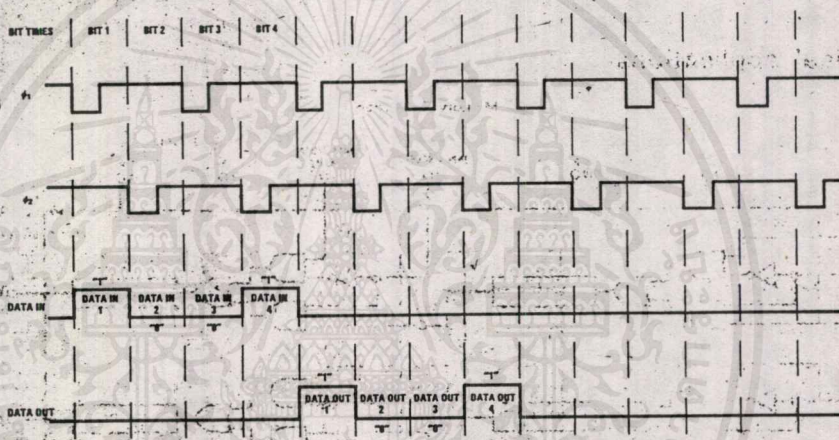
typical applications



truth tables

Positive Logic		Input Select A		Input Select B	
Logic "1" = V_{IH}	Logical High Level	1	Select Input 2A	1	Select Input 2B
Logic "0" = V_{IL}	Logical Low Level	0	Select Input 1A	0	Select Input 1B
Write/Recirculate		Function		Function	
1	Write/Recirculate	1	Recirculate	1	Recirculate
0	Load Data	0	Load Data	0	Load Data

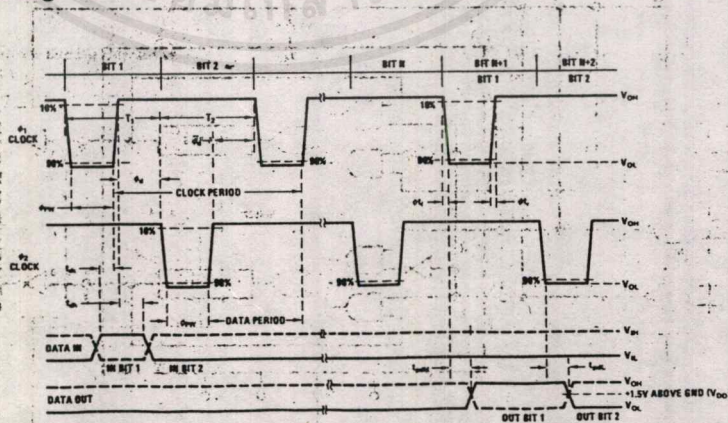
switching time waveforms



Shown is a simplified illustration of the timing of a 4-bit multiplexed register showing input output relationships with respect to the clock. If data

enters the register at ϕ_1 time, it exits at ϕ_1 time, (beginning on ϕ_1 , negative going edge and ending on the succeeding ϕ_2 , negative going edge).

timing diagram





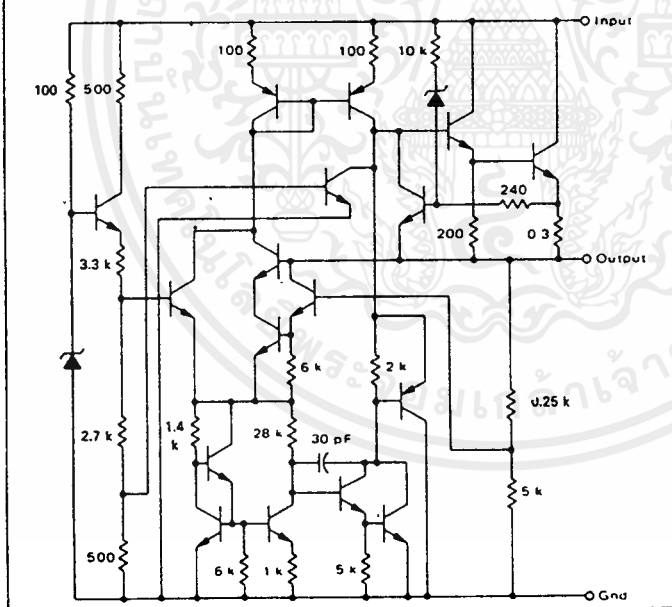
MC7800 Series

THREE-TERMINAL POSITIVE VOLTAGE REGULATORS

These voltage regulators are monolithic integrated circuits designed as fixed-voltage regulators for a wide variety of applications including local, on-card regulation. These regulators employ internal current limiting, thermal shutdown, and safe-area compensation. With adequate heatsinking they can deliver output currents in excess of 1.0 ampere. Although designed primarily as a fixed voltage regulator, these devices can be used with external components to obtain adjustable voltages and currents.

- Output Current in Excess of 1.0 Ampere
- No External Components Required
- Internal Thermal Overload Protection
- Internal Short-Circuit Current Limiting
- Output Transistor Safe-Area Compensation
- Output Voltage Offered in 2% and 4% Tolerance

REPRESENTATIVE SCHEMATIC DIAGRAM



ORDERING INFORMATION

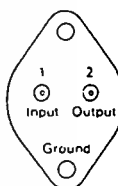
Device	Output Voltage Tolerance	Tested Operating Junction Temp. Range	Package
MC78XXK	4%	-55 to +150°C	Metal Power
MC78XXAK*	2%		
MC78XXCK	4%	0 to +125°C	Plastic Power
MC78XXACK*	2%		
MC78XXCT	4%		
MC78XXACT	2%		
MC78XXBT	4%	-40 to +125°C	

*2% regulators in Metal Power packages are available in 5, 12 and 15 volt devices.

THREE-TERMINAL POSITIVE FIXED VOLTAGE REGULATORS

SILICON MONOLITHIC
INTEGRATED CIRCUITS

K SUFFIX
METAL PACKAGE
CASE 1-03

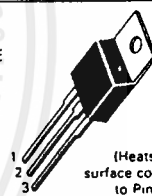


(Bottom View)

Pins 1 and 2 electrically isolated from case. Case is third electrical connection.

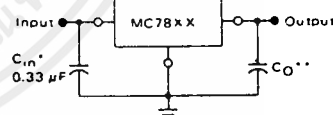
T SUFFIX
PLASTIC PACKAGE
CASE 221A-04

PIN 1. INPUT
2. GROUND
3. OUTPUT



(Heatsink surface connected to Pin 2.)

STANDARD APPLICATION



A common ground is required between the input and the output voltages. The input voltage must remain typically 2.0 V above the output voltage even during the low point on the input ripple voltage.

XX = these two digits of the type number indicate voltage.

* = C_{in} is required if regulator is located an appreciable distance from power supply filter.

** = C_O is not needed for stability, however, it does improve transient response.

XX indicates nominal voltage.

TYPE NO./VOLTAGE

MC7805	5.0 Volts	MC7812	12 Volts
MC7806	6.0 Volts	MC7815	15 Volts
MC7808	8.0 Volts	MC7818	18 Volts
MC7809	9.0 Volts	MC7824	24 Volts

MC7800 Series

MAXIMUM RATINGS (T_A = +25°C unless otherwise noted.)

Rating	Symbol	Value	Unit
Input Voltage (5.0 V – 18 V) (24 V)	V _{in}	35 40	V _{dc}
Power Dissipation and Thermal Characteristics			
Plastic Package			
T _A = +25°C	P _D	Internally Limited	Watts
Derate above T _A = +25°C	1/θ _{JA}	15.4	mW/°C
Thermal Resistance, Junction to Air	θ _{JA}	65	°C/W
T _C = +25°C	P _D	Internally Limited	Watts
Derate above T _C = +75°C (See Figure 1)	1/θ _{JC}	200	mW/°C
Thermal Resistance, Junction to Case	θ _{JC}	5.0	°C/W
Metal Package			
T _A = +25°C	P _D	Internally Limited	Watts
Derate above T _A = +25°C	1/θ _{JA}	22.5	mW/°C
Thermal Resistance, Junction to Air	θ _{JA}	45	°C/W
T _C = +25°C	P _D	Internally Limited	Watts
Derate above T _C = +65°C (See Figure 2)	1/θ _{JC}	182	mW/°C
Thermal Resistance, Junction to Case	θ _{JC}	5.5	°C/W
Storage Junction Temperature Range	T _{stg}	–65 to +150	°C
Operating Junction Temperature Range	T _J		°C
	MC7800,A	–55 to +150	
	MC7800C,AC	0 to +150	
	MC7800B	–40 to +150	

DEFINITIONS

Line Regulation — The change in output voltage for a change in the input voltage. The measurement is made under conditions of low dissipation or by using pulse techniques such that the average chip temperature is not significantly affected.

Load Regulation — The change in output voltage for a change in load current at constant chip temperature.

Maximum Power Dissipation — The maximum total device dissipation for which the regulator will operate within specifications.

Quiescent Current — That part of the input current that is not delivered to the load.

Output Noise Voltage — The rms ac voltage at the output with constant load and no input ripple, measured over a specified frequency range.

Long Term Stability — Output voltage stability under accelerated life test conditions with the maximum rated voltage listed in the devices' electrical characteristics and maximum power dissipation.

MC7800 Series

MC7805, B, C

ELECTRICAL CHARACTERISTICS (V_{in} = 10 V, I_O = 500 mA, T_J = T_{low} to T_{high} [Note 1] unless otherwise noted).

Characteristic	Symbol	MC7805			MC7805B			MC7805C			Unit
		Min	Typ	Max	Min	Typ	Max	Min	Typ	Max	
Output Voltage (T _J = +25°C)	V _O	4.8	5.0	5.2	4.8	5.0	5.2	4.8	5.0	5.2	Vdc
Output Voltage (5.0 mA ≤ I _O ≤ 1.0 A, P _O ≤ 15 W) 7.0 Vdc ≤ V _{in} ≤ 20 Vdc 8.0 Vdc ≤ V _{in} ≤ 20 Vdc	V _O	— 4.65	— 5.0	— 5.35	— 4.75	— 5.0	— 5.25	4.75 —	5.0 —	5.25 —	Vdc
Line Regulation (T _J = +25°C, Note 2) 7.0 Vdc ≤ V _{in} ≤ 25 Vdc 8.0 Vdc ≤ V _{in} ≤ 12 Vdc	Reg _{line}	— —	2.0 1.0	50 25	— —	7.0 2.0	100 50	— —	7.0 2.0	100 50	mV
Load Regulation (T _J = +25°C, Note 2) 5.0 mA ≤ I _O ≤ 1.5 A 250 mA ≤ I _O ≤ 750 mA	Reg _{load}	— —	25 8.0	100 25	— —	40 15	100 50	— —	40 15	100 50	mV
Quiescent Current (T _J = +25°C)	I _B	—	3.2	6.0	—	4.3	8.0	—	4.3	8.0	mA
Quiescent Current Change 7.0 Vdc ≤ V _{in} ≤ 25 Vdc 8.0 Vdc ≤ V _{in} ≤ 25 Vdc 5.0 mA ≤ I _O ≤ 1.0 A	ΔI _B	— — —	— 0.3 0.04	— 0.8 0.5	— — —	— — —	— 1.3 0.5	— — —	— — —	1.3 — 0.5	mA
Ripple Rejection 8.0 Vdc ≤ V _{in} ≤ 18 Vdc, f = 120 Hz	RR	68	75	—	—	68	—	—	68	—	dB
Dropout Voltage (I _O = 1.0 A, T _J = +25°C)	V _{in} - V _O	—	2.0	2.5	—	2.0	—	—	2.0	—	Vdc
Output Noise Voltage (T _A = +25°C) 10 Hz ≤ f ≤ 100 kHz	V _n	—	10	40	—	10	—	—	10	—	μV/V _O
Output Resistance f = 1.0 kHz	r _O	—	17	—	—	17	—	—	17	—	mΩ
Short-Circuit Current Limit (T _A = +25°C) V _{in} = 35 Vdc	I _{sc}	—	0.2	1.2	—	0.2	—	—	0.2	—	A
Peak Output Current (T _J = +25°C)	I _{max}	1.3	2.5	3.3	—	2.2	—	—	2.2	—	A
Average Temperature Coefficient of Output Voltage	TCV _O	—	±0.6	—	—	-1.1	—	—	-1.1	—	mV/°C

MC7805A, AC

ELECTRICAL CHARACTERISTICS (V_{in} = 10 V, I_O = 1.0 A, T_J = T_{low} to T_{high} [Note 1] unless otherwise noted)

Characteristics	Symbol	MC7805A			MC7805AC			Unit
		Min	Typ	Max	Min	Typ	Max	
Output Voltage (T _J = +25°C)	V _O	4.9	5.0	5.1	4.9	5.0	5.1	Vdc
Output Voltage (5.0 mA ≤ I _O ≤ 1.0 A, P _O ≤ 15 W) 7.5 Vdc ≤ V _{in} ≤ 20 Vdc	V _O	4.8	5.0	5.2	4.8	5.0	5.2	Vdc
Line Regulation (Note 2) 7.5 Vdc ≤ V _{in} ≤ 25 Vdc, I _O = 500 mA 8.0 Vdc ≤ V _{in} ≤ 12 Vdc 8.0 Vdc ≤ V _{in} ≤ 12 Vdc, T _J = +25°C 7.3 Vdc ≤ V _{in} ≤ 20 Vdc, T _J = +25°C	Reg _{line}	— — — —	2.0 3.0 1.0 2.0	10 10 4.0 10	— — — —	7.0 10 2.0 7.0	50 50 25 50	mV
Load Regulation (Note 2) 5.0 mA ≤ I _O ≤ 1.5 A, T _J = +25°C 5.0 mA ≤ I _O ≤ 1.0 A 250 mA ≤ I _O ≤ 750 mA, T _J = +25°C 250 mA ≤ I _O ≤ 750 mA	Reg _{load}	— — — —	2.0 2.0 1.0 1.0	25 25 15 25	— — — —	25 25 — 8.0	100 100 — 50	mV
Quiescent Current T _J = +25°C	I _B	— —	— 3.2	5.0 4.0	— —	— 4.3	6.0 6.0	mA
Quiescent Current Change 8.0 Vdc ≤ V _{in} ≤ 25 Vdc, I _O = 500 mA 7.5 Vdc ≤ V _{in} ≤ 20 Vdc, T _J = +25°C 5.0 mA ≤ I _O ≤ 1.0 A	ΔI _B	— — —	0.3 0.2 0.04	0.5 0.5 0.2	— — —	— — —	0.8 0.8 0.5	mA
Ripple Rejection 8.0 Vdc ≤ V _{in} ≤ 18 Vdc, f = 120 Hz, T _J = +25°C 8.0 Vdc ≤ V _{in} ≤ 18 Vdc, f = 120 Hz, I _O = 500 mA	RR	68 68	75 75	— —	— —	— 68	— —	dB
Dropout Voltage (I _O = 1.0 A, T _J = +25°C)	V _{in} - V _O	—	2.0	2.5	—	2.0	—	Vdc
Output Noise Voltage (T _A = +25°C) 10 Hz ≤ f ≤ 100 kHz	V _n	—	10	40	—	10	—	μV/V _O
Output Resistance (f = 1.0 kHz)	r _O	—	2.0	—	—	17	—	mΩ
Short-Circuit Current Limit (T _A = +25°C) V _{in} = 35 Vdc	I _{sc}	—	0.2	1.2	—	0.2	—	A
Peak Output Current (T _J = +25°C)	I _{max}	1.3	2.5	3.3	—	2.2	—	A
Average Temperature Coefficient of Output Voltage	TCV _O	—	±0.6	—	—	-1.1	—	mV/°C

NOTES: 1 T_{low} = -55°C for MC78XX, A
= 0° for MC78XXC, AC
= -40°C for MC78XXB
T_{high} = +150°C for MC78XX, A
= +125°C for MC78XXC, AC, B

2 Load and line regulation are specified at constant junction temperature. Changes in V_O due to heating effects must be taken into account separately. Pulse testing with low duty cycle is used

MC7800 Series

MC7806, B, C

ELECTRICAL CHARACTERISTICS ($V_{in} = 11\text{ V}$, $I_O = 500\text{ mA}$, $T_J = T_{low}$ to T_{high} [Note 1] unless otherwise noted).

Characteristic	Symbol	MC7806			MC7806B			MC7806C			Unit
		Min	Typ	Max	Min	Typ	Max	Min	Typ	Max	
Output Voltage ($T_J = +25^\circ\text{C}$)	V_O	5.75	6.0	6.25	5.75	6.0	6.25	5.75	6.0	6.25	Vdc
Output Voltage ($5.0\text{ mA} \leq I_O \leq 1.0\text{ A}$, $P_O \leq 15\text{ W}$) $8.0\text{ Vdc} \leq V_{in} \leq 21\text{ Vdc}$ $9.0\text{ Vdc} \leq V_{in} \leq 21\text{ Vdc}$	V_O	—	—	—	—	—	—	5.7	6.0	6.3	Vdc
Line Regulation ($T_J = +25^\circ\text{C}$, Note 2) $8.0\text{ Vdc} \leq V_{in} \leq 25\text{ Vdc}$ $9.0\text{ Vdc} \leq V_{in} \leq 13\text{ Vdc}$	R_{gl}	—	3.0	60	—	9.0	120	—	9.0	120	mV
Load Regulation ($T_J = +25^\circ\text{C}$, Note 2) $5.0\text{ mA} \leq I_O \leq 1.5\text{ A}$ $250\text{ mA} \leq I_O \leq 750\text{ mA}$	R_{gl}	—	27	100	—	43	120	—	43	120	mV
Quiescent Current ($T_J = +25^\circ\text{C}$)	I_B	—	3.2	6.0	—	4.3	8.0	—	4.3	8.0	mA
Quiescent Current Change $8.0\text{ Vdc} \leq V_{in} \leq 25\text{ Vdc}$ $9.0\text{ Vdc} \leq V_{in} \leq 25\text{ Vdc}$ $5.0\text{ mA} \leq I_O \leq 1.0\text{ A}$	ΔI_B	—	—	—	—	—	—	—	—	1.3	mA
Ripple Rejection $9.0\text{ Vdc} \leq V_{in} \leq 19\text{ Vdc}$, $f = 120\text{ Hz}$	RR	65	73	—	—	65	—	—	65	—	dB
Dropout Voltage ($I_O = 1.0\text{ A}$, $T_J = +25^\circ\text{C}$)	$V_{in}-V_O$	—	2.0	2.5	—	2.0	—	—	2.0	—	Vdc
Output Noise Voltage ($T_A = +25^\circ\text{C}$) $10\text{ Hz} \leq f \leq 100\text{ kHz}$	V_n	—	10	40	—	10	—	—	10	—	$\mu\text{V}/V_O$
Output Resistance ($f = 1.0\text{ kHz}$)	r_O	—	17	—	—	17	—	—	17	—	$\text{m}\Omega$
Short-Circuit Current Limit ($T_A = +25^\circ\text{C}$) $V_{in} = 35\text{ Vdc}$	I_{sc}	—	0.2	1.2	—	0.2	—	—	0.2	—	A
Peak Output Current ($T_J = +25^\circ\text{C}$)	I_{max}	1.3	2.5	3.3	—	2.2	—	—	2.2	—	A
Average Temperature Coefficient of Output Voltage	TCV_O	—	± 0.7	—	—	-0.8	—	—	-0.8	—	$\text{mV}/^\circ\text{C}$

MC7806AC

ELECTRICAL CHARACTERISTICS ($V_{in} = 11\text{ V}$, $I_O = 1.0\text{ A}$, $T_J = T_{low}$ to T_{high} [Note 1] unless otherwise noted).

Characteristics	Symbol	MC7806AC			Unit
		Min	Typ	Max	
Output Voltage ($T_J = +25^\circ\text{C}$)	V_O	5.88	6.0	6.12	Vdc
Output Voltage ($5.0\text{ mA} \leq I_O \leq 1.0\text{ A}$, $P_O \leq 15\text{ W}$) $8.6\text{ Vdc} \leq V_{in} \leq 21\text{ Vdc}$	V_O	5.76	6.0	6.24	Vdc
Line Regulation (Note 2) $8.6\text{ Vdc} \leq V_{in} \leq 25\text{ Vdc}$, $I_O = 500\text{ mA}$ $9.0\text{ Vdc} \leq V_{in} \leq 13\text{ Vdc}$ $9.0\text{ Vdc} \leq V_{in} \leq 13\text{ Vdc}$, $T_J = +25^\circ\text{C}$ $8.3\text{ Vdc} \leq V_{in} \leq 21\text{ Vdc}$, $T_J = +25^\circ\text{C}$	R_{gl}	—	9.0	60	mV
Load Regulation (Note 2) $5.0\text{ mA} \leq I_O \leq 1.5\text{ A}$, $T_J = +25^\circ\text{C}$ $5.0\text{ mA} \leq I_O \leq 1.0\text{ A}$ $250\text{ mA} \leq I_O \leq 750\text{ mA}$, $T_J = +25^\circ\text{C}$ $250\text{ mA} \leq I_O \leq 750\text{ mA}$	R_{gl}	—	43	100	mV
Quiescent Current $T_J = +25^\circ\text{C}$	I_B	—	—	6.0	mA
Quiescent Current Change $9.0\text{ Vdc} \leq V_{in} \leq 25\text{ Vdc}$, $I_O = 500\text{ mA}$ $8.6\text{ Vdc} \leq V_{in} \leq 21\text{ Vdc}$, $T_J = +25^\circ\text{C}$ $5.0\text{ mA} \leq I_O \leq 1.0\text{ A}$	ΔI_B	—	—	0.8	mA
Ripple Rejection $9.0\text{ Vdc} \leq V_{in} \leq 19\text{ Vdc}$, $f = 120\text{ Hz}$, $T_J = -25^\circ\text{C}$ $9.0\text{ Vdc} \leq V_{in} \leq 19\text{ Vdc}$, $f = 120\text{ Hz}$, $I_O = 500\text{ mA}$	RR	—	65	—	dB
Dropout Voltage ($I_O = 1.0\text{ A}$, $T_J = +25^\circ\text{C}$)	$V_{in}-V_O$	—	2.0	—	Vdc
Output Noise Voltage ($T_A = +25^\circ\text{C}$) $10\text{ Hz} \leq f \leq 100\text{ kHz}$	V_n	—	10	—	$\mu\text{V}/V_O$
Output Resistance ($f = 1.0\text{ kHz}$)	r_O	—	17	—	$\text{m}\Omega$
Short-Circuit Current Limit ($T_A = +25^\circ\text{C}$) $V_{in} = 35\text{ Vdc}$	I_{sc}	—	0.2	—	A
Peak Output Current ($T_J = +25^\circ\text{C}$)	I_{max}	—	2.2	—	A
Average Temperature Coefficient of Output Voltage	TCV_O	—	-0.8	—	$\text{mV}/^\circ\text{C}$

NOTES: 1. $T_{low} = -55^\circ\text{C}$ for MC78XX
 $= 0^\circ$ for MC78XXC, AC
 $= -40^\circ\text{C}$ for MC78XXB
 $T_{high} = +150^\circ\text{C}$ for MC78XX
 $= +125^\circ\text{C}$ for MC78XXC, AC, B

2. Load and line regulation are specified at constant junction temperature. Changes in V_O due to heating effects must be taken into account separately. Pulse testing with low duty cycle is used.

MC7800 Series

MC7808, B, C

ELECTRICAL CHARACTERISTICS ($V_{in} = 14\text{ V}$, $I_O = 500\text{ mA}$, $T_J = T_{low}$ to T_{high} [Note 1] unless otherwise noted).

Characteristic	Symbol	MC7808			MC7808B			MC7808C			Unit
		Min	Typ	Max	Min	Typ	Max	Min	Typ	Max	
Output Voltage ($T_J = +25^\circ\text{C}$)	V_O	7.7	8.0	8.3	7.7	8.0	8.3	7.7	8.0	8.3	Vdc
Output Voltage ($5.0\text{ mA} \leq I_O \leq 1.0\text{ A}$, $P_O \leq 15\text{ W}$) $10.5\text{ Vdc} \leq V_{in} \leq 23\text{ Vdc}$ $11.5\text{ Vdc} \leq V_{in} \leq 23\text{ Vdc}$	V_O	—	—	—	—	—	—	7.6	8.0	8.4	Vdc
Line Regulation ($T_J = +25^\circ\text{C}$, Note 2) $10.5\text{ Vdc} \leq V_{in} \leq 25\text{ Vdc}$ $11\text{ Vdc} \leq V_{in} \leq 17\text{ Vdc}$	Reg_{line}	—	3.0	80	—	12	160	—	12	160	mV
Load Regulation ($T_J = +25^\circ\text{C}$, Note 2) $5.0\text{ mA} \leq I_O \leq 1.5\text{ A}$ $250\text{ mA} \leq I_O \leq 750\text{ mA}$	Reg_{load}	—	28	100	—	45	160	—	45	160	mV
Quiescent Current ($T_J = +25^\circ\text{C}$)	I_B	—	3.2	6.0	—	4.3	8.0	—	4.3	8.0	mA
Quiescent Current Change $10.5\text{ Vdc} \leq V_{in} \leq 25\text{ Vdc}$ $11.5\text{ Vdc} \leq V_{in} \leq 25\text{ Vdc}$ $5.0\text{ mA} \leq I_O \leq 1.0\text{ A}$	ΔI_B	—	—	—	—	—	—	—	—	1.0	mA
Ripple Rejection $11.5\text{ Vdc} \leq V_{in} \leq 21.5\text{ Vdc}$, $f = 120\text{ Hz}$	RR	62	70	—	—	62	—	—	62	—	dB
Dropout Voltage ($I_O = 1.0\text{ A}$, $T_J = +25^\circ\text{C}$)	$V_{in}-V_O$	—	2.0	2.5	—	2.0	—	—	2.0	—	Vdc
Output Noise Voltage ($T_A = +25^\circ\text{C}$) $10\text{ Hz} \leq f \leq 100\text{ kHz}$	V_n	—	10	40	—	10	—	—	10	—	$\mu\text{V}/V_O$
Output Resistance $f = 1.0\text{ kHz}$	r_O	—	18	—	—	18	—	—	18	—	m Ω
Short-Circuit Current Limit ($T_A = +25^\circ\text{C}$) $V_{in} = 35\text{ Vdc}$	I_{sc}	—	0.2	1.2	—	0.2	—	—	0.2	—	A
Peak Output Current ($T_J = +25^\circ\text{C}$)	I_{max}	1.3	2.5	3.3	—	2.2	—	—	2.2	—	A
Average Temperature Coefficient of Output Voltage	TCV_O	—	± 1.0	—	—	-0.8	—	—	-0.8	—	mV/ $^\circ\text{C}$

MC7808AC

ELECTRICAL CHARACTERISTICS ($V_{in} = 14\text{ V}$, $I_O = 1.0\text{ A}$, $T_J = T_{low}$ to T_{high} [Note 1] unless otherwise noted).

Characteristics	Symbol	MC7808AC			Unit
		Min	Typ	Max	
Output Voltage ($T_J = +25^\circ\text{C}$)	V_O	7.84	8.0	8.16	Vdc
Output Voltage ($5.0\text{ mA} \leq I_O \leq 1.0\text{ A}$, $P_O \leq 15\text{ W}$) $10.6\text{ Vdc} \leq V_{in} \leq 23\text{ Vdc}$	V_O	7.7	8.0	8.3	Vdc
Line Regulation (Note 2) $10.6\text{ Vdc} \leq V_{in} \leq 25\text{ Vdc}$, $I_O = 500\text{ mA}$ $11\text{ Vdc} \leq V_{in} \leq 17\text{ Vdc}$ $11\text{ Vdc} \leq V_{in} \leq 17\text{ Vdc}$, $T_J = +25^\circ\text{C}$ $10.4\text{ Vdc} \leq V_{in} \leq 23\text{ Vdc}$, $T_J = +25^\circ\text{C}$	Reg_{line}	—	—	80	mV
Load Regulation (Note 2) $5.0\text{ mA} \leq I_O \leq 1.5\text{ A}$, $T_J = +25^\circ\text{C}$ $5.0\text{ mA} \leq I_O \leq 1.0\text{ A}$ $250\text{ mA} \leq I_O \leq 750\text{ mA}$, $T_J = +25^\circ\text{C}$ $250\text{ mA} \leq I_O \leq 750\text{ mA}$	Reg_{load}	—	—	100	mV
Quiescent Current $T_J = +25^\circ\text{C}$	I_B	—	—	6.0	mA
Quiescent Current Change $11\text{ Vdc} \leq V_{in} \leq 25\text{ Vdc}$, $I_O = 500\text{ mA}$ $10.6\text{ Vdc} \leq V_{in} \leq 23\text{ Vdc}$, $T_J = +25^\circ\text{C}$ $5.0\text{ mA} \leq I_O \leq 1.0\text{ A}$	ΔI_B	—	—	0.8	mA
Ripple Rejection $11.5\text{ Vdc} \leq V_{in} \leq 21.5\text{ Vdc}$, $f = 120\text{ Hz}$, $T_J = +25^\circ\text{C}$ $11.5\text{ Vdc} \leq V_{in} \leq 21.5\text{ Vdc}$, $f = 120\text{ Hz}$, $I_O = 500\text{ mA}$	RR	—	—	—	dB
Dropout Voltage ($I_O = 1.0\text{ A}$, $T_J = +25^\circ\text{C}$)	$V_{in}-V_O$	—	2.0	—	Vdc
Output Noise Voltage ($T_A = +25^\circ\text{C}$) $10\text{ Hz} \leq f \leq 100\text{ kHz}$	V_n	—	10	—	$\mu\text{V}/V_O$
Output Resistance ($f = 1.0\text{ kHz}$)	r_O	—	18	—	m Ω
Short-Circuit Current Limit ($T_A = +25^\circ\text{C}$) $V_{in} = 35\text{ Vdc}$	I_{sc}	—	0.2	—	A
Peak Output Current ($T_J = +25^\circ\text{C}$)	I_{max}	—	2.2	—	A
Average Temperature Coefficient of Output Voltage	TCV_O	—	-0.8	—	mV/ $^\circ\text{C}$

NOTES: 1. $T_{low} = -55^\circ\text{C}$ for MC78XX
 $= 0^\circ$ for MC78XXC, AC
 $= -40^\circ\text{C}$ for MC78XXB
 $T_{high} = +150^\circ\text{C}$ for MC78XX
 $= +125^\circ\text{C}$ for MC78XXC, AC, B

2. Load and line regulation are specified at constant junction temperature. Changes in V_O due to heating effects must be taken into account separately. Pulse testing with low duty cycle is used.

MC7800 Series

MC7809CT
ELECTRICAL CHARACTERISTICS ($V_{in} = 15\text{ V}$, $I_O = 500\text{ mA}$, $T_J = 0^\circ\text{C}$ to $+125^\circ\text{C}$ unless otherwise noted).

Characteristic	Symbol	MC7809CT			Unit
		Min	Typ	Max	
Output Voltage ($T_J = +25^\circ\text{C}$)	V_O	8.65	9.0	9.35	Vdc
Output Voltage ($5.0\text{ mA} \leq I_O \leq 1.0\text{ A}$, $P_O \leq 15\text{ W}$) $11.5\text{ Vdc} \leq V_{in} \leq 24\text{ Vdc}$	V_O	8.55	9.0	9.45	Vdc
Line Regulation ($T_J = +25^\circ\text{C}$, Note 1) $11.5\text{ Vdc} \leq V_{in} \leq 26\text{ Vdc}$ $11.5\text{ Vdc} \leq V_{in} \leq 17\text{ Vdc}$	Regline	— —	12 5.0	50 25	mV
Load Regulation ($T_J = +25^\circ\text{C}$, Note 1) $5.0\text{ mA} \leq I_O \leq 1.5\text{ A}$ $250\text{ mA} \leq I_O \leq 750\text{ mA}$	Regload	— —	35 12	50 25	mV
Quiescent Current ($T_J = +25^\circ\text{C}$)	I_B	—	4.3	8.0	mA
Quiescent Current Change $11.5\text{ Vdc} \leq V_{in} \leq 26\text{ Vdc}$ $5.0\text{ mA} \leq I_O \leq 1.0\text{ A}$	ΔI_B	— —	— —	1.0 0.5	mA
Ripple Rejection $11.5\text{ Vdc} \leq V_{in} \leq 21.5\text{ Vdc}$, $f = 120\text{ Hz}$	RR	—	61	—	dB
Dropout Voltage ($I_O = 1.0\text{ A}$, $T_J = +25^\circ\text{C}$)	$V_{in} - V_O$	—	2.0	—	Vdc
Output Noise Voltage ($T_A = +25^\circ\text{C}$) $10\text{ Hz} \leq f \leq 100\text{ kHz}$	V_n	—	10	—	$\mu\text{V}/V_O$
Output Resistance $f = 1.0\text{ kHz}$	r_O	—	18	—	m Ω
Short-Circuit Current Limit ($T_A = +25^\circ\text{C}$) $V_{in} = 35\text{ Vdc}$	I_{sc}	—	0.2	—	A
Peak Output Current ($T_J = +25^\circ\text{C}$)	I_{max}	—	2.2	—	A
Average Temperature Coefficient of Output Voltage	TCV_O	—	-1.0	—	mV/ $^\circ\text{C}$

NOTE 1: Load and line regulation are specified at constant junction temperature. Changes in V_O due to heating effects must be taken into account separately. Pulse testing with low duty cycle is used.

MC7800 Series

MC7812, B, C

ELECTRICAL CHARACTERISTICS ($V_{in} = 19\text{ V}$, $I_O = 500\text{ mA}$, $T_J = T_{low}$ to T_{high} [Note 1] unless otherwise noted)

Characteristic	Symbol	MC7812			MC7812B			MC7812C			Unit
		Min	Typ	Max	Min	Typ	Max	Min	Typ	Max	
Output Voltage ($T_J = +25^\circ\text{C}$)	V_O	11.5	12	12.5	11.5	12	12.5	11.5	12	12.5	Vdc
Output Voltage ($5.0\text{ mA} \leq I_O \leq 1.0\text{ A}$, $P_O \leq 15\text{ W}$) $14.5\text{ Vdc} \leq V_{in} \leq 27\text{ Vdc}$ $15.5\text{ Vdc} \leq V_{in} \leq 27\text{ Vdc}$	V_O	—	—	—	—	—	—	11.4	12	12.6	Vdc
Line Regulation ($T_J = +25^\circ\text{C}$, Note 2) $14.5\text{ Vdc} \leq V_{in} \leq 30\text{ Vdc}$ $16\text{ Vdc} \leq V_{in} \leq 22\text{ Vdc}$	Reg _{line}	—	5.0	120	—	13	240	—	13	240	mV
Load Regulation ($T_J = +25^\circ\text{C}$, Note 2) $5.0\text{ mA} \leq I_O \leq 1.5\text{ A}$ $250\text{ mA} \leq I_O \leq 750\text{ mA}$	Reg _{load}	—	30	120	—	46	240	—	46	240	mV
Quiescent Current ($T_J = +25^\circ\text{C}$)	I_B	—	3.4	6.0	—	4.4	8.0	—	4.4	8.0	mA
Quiescent Current Change $14.5\text{ Vdc} \leq V_{in} \leq 30\text{ Vdc}$ $15\text{ Vdc} \leq V_{in} \leq 30\text{ Vdc}$ $5.0\text{ mA} \leq I_O \leq 1.0\text{ A}$	ΔI_B	—	—	—	—	—	—	—	—	1.0	mA
Ripple Rejection $15\text{ Vdc} \leq V_{in} \leq 25\text{ Vdc}$, $f = 120\text{ Hz}$	RR	61	68	—	—	60	—	—	60	—	dB
Dropout Voltage ($I_O = 1.0\text{ A}$, $T_J = +25^\circ\text{C}$)	$V_{in} - V_O$	—	2.0	2.5	—	2.0	—	—	2.0	—	Vdc
Output Noise Voltage ($T_A = +25^\circ\text{C}$) $10\text{ Hz} \leq f \leq 100\text{ kHz}$	V_n	—	10	40	—	10	—	—	10	—	$\mu\text{V}/V_O$
Output Resistance ($f = 1.0\text{ kHz}$)	r_O	—	18	—	—	18	—	—	18	—	m Ω
Short-Circuit Current Limit ($T_A = +25^\circ\text{C}$) $V_{in} = 35\text{ Vdc}$	I_{sc}	—	0.2	1.2	—	0.2	—	—	0.2	—	A
Peak Output Current ($T_J = +25^\circ\text{C}$)	I_{max}	1.3	2.5	3.3	—	2.2	—	—	2.2	—	A
Average Temperature Coefficient of Output Voltage	TCV_O	—	± 1.5	—	—	-1.0	—	—	-1.0	—	mV/ $^\circ\text{C}$

MC7812A, AC

ELECTRICAL CHARACTERISTICS ($V_{in} = 19\text{ V}$, $I_O = 1.0\text{ A}$, $T_J = T_{low}$ to T_{high} [Note 1] unless otherwise noted)

Characteristics	Symbol	MC7812A			MC7812AC			Unit
		Min	Typ	Max	Min	Typ	Max	
Output Voltage ($T_J = +25^\circ\text{C}$)	V_O	11.75	12	12.25	11.75	12	12.25	Vdc
Output Voltage ($5.0\text{ mA} \leq I_O \leq 1.0\text{ A}$, $P_O \leq 15\text{ W}$) $14.8\text{ Vdc} \leq V_{in} \leq 27\text{ Vdc}$	V_O	11.5	12	12.5	11.5	12	12.5	Vdc
Line Regulation (Note 2) $14.8\text{ Vdc} \leq V_{in} \leq 30\text{ Vdc}$, $I_O = 500\text{ mA}$ $16\text{ Vdc} \leq V_{in} \leq 22\text{ Vdc}$ $16\text{ Vdc} \leq V_{in} \leq 22\text{ Vdc}$, $T_J = +25^\circ\text{C}$ $14.5\text{ Vdc} \leq V_{in} \leq 27\text{ Vdc}$, $T_J = +25^\circ\text{C}$	Reg _{line}	—	5.0	18	—	13	120	mV
Load Regulation (Note 2) $5.0\text{ mA} \leq I_O \leq 1.5\text{ A}$, $T_J = +25^\circ\text{C}$ $5.0\text{ mA} \leq I_O \leq 1.0\text{ A}$ $250\text{ mA} \leq I_O \leq 750\text{ mA}$, $T_J = +25^\circ\text{C}$ $250\text{ mA} \leq I_O \leq 750\text{ mA}$	Reg _{load}	—	2.0	25	—	46	100	mV
Quiescent Current $T_J = +25^\circ\text{C}$	I_B	—	3.4	5.0	—	—	6.0	mA
Quiescent Current Change $15\text{ Vdc} \leq V_{in} \leq 30\text{ Vdc}$, $I_O = 500\text{ mA}$ $14.8\text{ Vdc} \leq V_{in} \leq 27\text{ Vdc}$, $T_J = +25^\circ\text{C}$ $5.0\text{ mA} \leq I_O \leq 1.0\text{ A}$	ΔI_B	—	0.3	0.5	—	—	0.8	mA
Ripple Rejection $15\text{ Vdc} \leq V_{in} \leq 25\text{ Vdc}$, $f = 120\text{ Hz}$, $T_J = +25^\circ\text{C}$ $15\text{ Vdc} \leq V_{in} \leq 25\text{ Vdc}$, $f = 120\text{ Hz}$, $I_O = 500\text{ mA}$	RR	61	68	—	—	—	—	dB
Dropout Voltage ($I_O = 1.0\text{ A}$, $T_J = +25^\circ\text{C}$)	$V_{in} - V_O$	—	2.0	2.5	—	2.0	—	Vdc
Output Noise Voltage ($T_A = +25^\circ\text{C}$) $10\text{ Hz} \leq f \leq 100\text{ kHz}$	V_n	—	10	40	—	10	—	$\mu\text{V}/V_O$
Output Resistance ($f = 1.0\text{ kHz}$)	r_O	—	2.0	—	—	18	—	m Ω
Short-Circuit Current Limit ($T_A = +25^\circ\text{C}$) $V_{in} = 35\text{ Vdc}$	I_{sc}	—	0.2	1.2	—	0.2	—	A
Peak Output Current ($T_J = +25^\circ\text{C}$)	I_{max}	1.3	2.5	3.3	—	2.2	—	A
Average Temperature Coefficient of Output Voltage	TCV_O	—	± 1.5	—	—	-1.0	—	mV/ $^\circ\text{C}$

NOTES 1 $T_{low} = -55^\circ\text{C}$ for MC78XX, A
= 0° for MC78XXC, AC
= -40°C for MC78XXB

$T_{high} = +150^\circ\text{C}$ for MC78XX, A
= $+125^\circ\text{C}$ for MC78XXC, AC, B

2 Load and line regulation are specified at constant junction temperature. Changes in V_O due to heating effects must be taken into account separately. Pulse testing with low duty cycle is used.

MC7800 Series

MC7815, B, C
ELECTRICAL CHARACTERISTICS (V_{in} = 23 V, I_O = 500 mA, T_J = T_{low} to T_{high} [Note 1] unless otherwise noted)

Characteristic	Symbol	MC7815			MC7815B			MC7815C			Unit
		Min	Typ	Max	Min	Typ	Max	Min	Typ	Max	
Output Voltage (T _J = +25°C)	V _O	14.4	15	15.6	14.4	15	15.6	14.4	15	15.6	Vdc
Output Voltage (5.0 mA ≤ I _O ≤ 1.0 A, P _O ≤ 15 W) 17.5 Vdc ≤ V _{in} ≤ 30 Vdc 18.5 Vdc ≤ V _{in} ≤ 30 Vdc	V _O	—	—	—	—	—	—	14.25	15	15.75	Vdc
Line Regulation (T _J = +25°C, Note 2) 17.5 Vdc ≤ V _{in} ≤ 30 Vdc 20 Vdc ≤ V _{in} ≤ 26 Vdc	Reg _{line}	—	6.0	150	—	13	300	—	13	300	mV
Load Regulation (T _J = +25°C, Note 2) 5.0 mA ≤ I _O ≤ 1.5 A 250 mA ≤ I _O ≤ 750 mA	Reg _{load}	—	32	150	—	52	300	—	52	300	mV
Quiescent Current (T _J = +25°C)	I _B	—	3.4	6.0	—	4.4	8.0	—	4.4	8.0	mA
Quiescent Current Change 17.5 Vdc ≤ V _{in} ≤ 30 Vdc 18.5 Vdc ≤ V _{in} ≤ 30 Vdc 5.0 mA ≤ I _O ≤ 1.0 A	ΔI _B	—	—	—	—	—	—	—	—	1.0	mA
Ripple Rejection 18.5 Vdc ≤ V _{in} ≤ 28.5 Vdc, f = 120 Hz	RR	60	66	—	—	58	—	—	58	—	dB
Dropout Voltage (I _O = 1.0 A, T _J = +25°C)	V _{in} - V _O	—	2.0	2.5	—	2.0	—	—	2.0	—	Vdc
Output Noise Voltage (T _A = +25°C) 10 Hz ≤ f ≤ 100 kHz	V _n	—	10	40	—	10	—	—	10	—	μV/V _O
Output Resistance f = 1.0 kHz	r _O	—	19	—	—	19	—	—	19	—	mΩ
Short-Circuit Current Limit (T _A = +25°C) V _{in} = 35 Vdc	I _{sc}	—	0.2	1.2	—	0.2	—	—	0.2	—	A
Peak Output Current (T _J = +25°C)	I _{max}	1.3	2.5	3.3	—	2.2	—	—	2.2	—	A
Average Temperature Coefficient of Output Voltage	TCV _O	—	±1.8	—	—	-1.0	—	—	-1.0	—	mV/°C

MC7815A, AC
ELECTRICAL CHARACTERISTICS (V_{in} = 23 V, I_O = 1.0 A, T_J = T_{low} to T_{high} [Note 1] unless otherwise noted)

Characteristics	Symbol	MC7815A			MG7815AC			Unit
		Min	Typ	Max	Min	Typ	Max	
Output Voltage (T _J = +25°C)	V _O	14.7	15	15.3	14.7	15	15.3	Vdc
Output Voltage (5.0 mA ≤ I _O ≤ 1.0 A, P _O ≤ 15 W) 17.9 Vdc ≤ V _{in} ≤ 30 Vdc	V _O	14.4	15	15.6	14.4	15	15.6	Vdc
Line Regulation (Note 2) 17.9 Vdc ≤ V _{in} ≤ 30 Vdc, I _O = 500 mA 20 Vdc ≤ V _{in} ≤ 26 Vdc 20 Vdc ≤ V _{in} ≤ 26 Vdc, T _J = +25°C 17.5 Vdc ≤ V _{in} ≤ 30 Vdc, T _J = +25°C	Reg _{line}	—	6.0	22	—	13	150	mV
Load Regulation (Note 2) 5.0 mA ≤ I _O ≤ 1.5 A, T _J = +25°C 5.0 mA ≤ I _O ≤ 1.0 A 250 mA ≤ I _O ≤ 750 mA, T _J = +25°C 250 mA ≤ I _O ≤ 750 mA	Reg _{load}	—	2.0	25	—	52	100	mV
Quiescent Current T _J = +25°C	I _B	—	—	5.5	—	—	6.0	mA
Quiescent Current Change 17.5 Vdc ≤ V _{in} ≤ 30 Vdc, I _O = 500 mA 17.5 Vdc ≤ V _{in} ≤ 30 Vdc, T _J = +25°C 5.0 mA ≤ I _O ≤ 1.0 A	ΔI _B	—	0.3	0.5	—	—	0.8	mA
Ripple Rejection 18.5 Vdc ≤ V _{in} ≤ 28.5 Vdc, f = 120 Hz, T _J = +25°C 18.5 Vdc ≤ V _{in} ≤ 28.5 Vdc, f = 120 Hz, I _O = 500 mA	RR	60	66	—	—	58	—	dB
Dropout Voltage (I _O = 1.0 A, T _J = +25°C)	V _{in} - V _O	—	2.0	2.5	—	2.0	—	Vdc
Output Noise Voltage (T _A = +25°C) 10 Hz ≤ f ≤ 100 kHz	V _n	—	10	40	—	10	—	μV/V _O
Output Resistance (f = 1.0 kHz)	r _O	—	2.0	—	—	19	—	mΩ
Short-Circuit Current Limit (T _A = +25°C) V _{in} = 35 Vdc	I _{sc}	—	0.2	1.2	—	0.2	—	A
Peak Output Current (T _J = +25°C)	I _{max}	1.3	2.5	3.3	—	2.2	—	A
Average Temperature Coefficient of Output Voltage	TCV _O	—	±1.8	—	—	-1.0	—	mV/°C

NOTES 1 T_{low} = -55°C for MC78XX, A
 = 0° for MC78XXC, AC
 = -40°C for MC78XXB
 T_{high} = +150°C for MC78XX, A
 = +125°C for MC78XXC, AC, B
2. Load and line regulation are specified at constant junction temperature. Changes in V_O due to heating effects must be taken into account separately. Pulse testing with low duty cycle is used.

MC7800 Series

MC7818, B, C
ELECTRICAL CHARACTERISTICS ($V_{in} = 27\text{ V}$, $I_O = 500\text{ mA}$, $T_J = T_{low}$ to T_{high} [Note 1] unless otherwise noted).

Characteristic	Symbol	MC7818			MC7818B			MC7818C			Unit
		Min	Typ	Max	Min	Typ	Max	Min	Typ	Max	
Output Voltage ($T_J = -25^\circ\text{C}$)	V_O	17.3	18	18.7	17.3	18	18.7	17.3	18	18.7	Vdc
Output Voltage ($5.0\text{ mA} \leq I_O \leq 1.0\text{ A}$, $P_O \leq 15\text{ W}$) $21\text{ Vdc} \leq V_{in} \leq 33\text{ Vdc}$ $22\text{ Vdc} \leq V_{in} \leq 33\text{ Vdc}$	V_O	—	—	—	—	—	—	17.1	18	18.9	Vdc
Line Regulation ($T_J = -25^\circ\text{C}$, Note 2) $21\text{ Vdc} \leq V_{in} \leq 33\text{ Vdc}$ $24\text{ Vdc} \leq V_{in} \leq 30\text{ Vdc}$	Regline	—	7.0 4.0	180 90	—	25 10	360 180	—	25 10	360 180	mV
Load Regulation ($T_J = -25^\circ\text{C}$, Note 2) $5.0\text{ mA} \leq I_O \leq 1.5\text{ A}$ $250\text{ mA} \leq I_O \leq 750\text{ mA}$	Regload	—	35 12	180 90	—	55 22	360 180	—	55 22	360 180	mV
Quiescent Current ($T_J = -25^\circ\text{C}$)	I_B	—	3.5	6.0	—	4.5	8.0	—	4.5	8.0	mA
Quiescent Current Change $21\text{ Vdc} \leq V_{in} \leq 33\text{ Vdc}$ $22\text{ Vdc} \leq V_{in} \leq 33\text{ Vdc}$ $5.0\text{ mA} \leq I_O \leq 1.0\text{ A}$	ΔI_B	—	— 0.3 0.04	— 0.8 0.5	—	— 1.0 0.5	—	—	—	1.0 — 0.5	mA
Ripple Rejection $22\text{ Vdc} \leq V_{in} \leq 33\text{ Vdc}$, $f = 120\text{ Hz}$	RR	59	65	—	57	—	—	57	—	—	dB
Dropout Voltage ($I_O = 1.0\text{ A}$, $T_J = -25^\circ\text{C}$)	$V_{in}-V_O$	—	2.0	2.5	—	2.0	—	—	2.0	—	Vdc
Output Noise Voltage ($T_A = +25^\circ\text{C}$) $10\text{ Hz} \leq f \leq 100\text{ kHz}$	V_n	—	10	40	—	10	—	—	10	—	$\mu\text{V}/V_O$
Output Resistance ($f = 1.0\text{ kHz}$)	r_O	—	19	—	—	19	—	—	19	—	m Ω
Short-Circuit Current Limit ($T_A = +25^\circ\text{C}$) $V_{in} = 35\text{ Vdc}$	I_{sc}	—	0.2	1.2	—	0.2	—	—	0.2	—	A
Peak Output Current ($T_J = -25^\circ\text{C}$)	I_{max}	1.3	2.5	3.3	—	2.2	—	—	2.2	—	A
Average Temperature Coefficient of Output Voltage	TCV_O	—	± 2.3	—	—	-1.0	—	—	-1.0	—	mV/ $^\circ\text{C}$

MC7818AC
ELECTRICAL CHARACTERISTICS ($V_{in} = 27\text{ V}$, $I_O = 1.0\text{ A}$, $T_J = T_{low}$ to T_{high} [Note 1] unless otherwise noted).

Characteristics	Symbol	MC7818AC			Unit
		Min	Typ	Max	
Output Voltage ($T_J = -25^\circ\text{C}$)	V_O	17.64	18	18.36	Vdc
Output Voltage ($5.0\text{ mA} \leq I_O \leq 1.0\text{ A}$, $P_O \leq 15\text{ W}$) $21\text{ Vdc} \leq V_{in} \leq 33\text{ Vdc}$	V_O	17.3	18	18.7	Vdc
Line Regulation (Note 2) $21\text{ Vdc} \leq V_{in} \leq 33\text{ Vdc}$, $I_O = 500\text{ mA}$ $24\text{ Vdc} \leq V_{in} \leq 30\text{ Vdc}$ $24\text{ Vdc} \leq V_{in} \leq 30\text{ Vdc}$, $T_J = +25^\circ\text{C}$ $20.6\text{ Vdc} \leq V_{in} \leq 33\text{ Vdc}$, $T_J = +25^\circ\text{C}$	Regline	—	25 28 10 25	180 180 90 180	mV
Load Regulation (Note 2) $5.0\text{ mA} \leq I_O \leq 1.5\text{ A}$, $T_J = +25^\circ\text{C}$ $5.0\text{ mA} \leq I_O \leq 1.0\text{ A}$ $250\text{ mA} \leq I_O \leq 750\text{ mA}$, $T_J = +25^\circ\text{C}$ $250\text{ mA} \leq I_O \leq 750\text{ mA}$	Regload	—	55 55 22	100 100 50	mV
Quiescent Current $T_J = +25^\circ\text{C}$	I_B	—	— 4.5	6.0 6.0	mA
Quiescent Current Change $21\text{ Vdc} \leq V_{in} \leq 33\text{ Vdc}$, $I_O = 500\text{ mA}$ $21\text{ Vdc} \leq V_{in} \leq 33\text{ Vdc}$, $T_J = +25^\circ\text{C}$ $5.0\text{ mA} \leq I_O \leq 1.0\text{ A}$	ΔI_B	—	— — —	0.8 0.8 0.5	mA
Ripple Rejection $22\text{ Vdc} \leq V_{in} \leq 32\text{ Vdc}$, $f = 120\text{ Hz}$, $T_J = +25^\circ\text{C}$ $22\text{ Vdc} \leq V_{in} \leq 32\text{ Vdc}$, $f = 120\text{ Hz}$, $I_O = 500\text{ mA}$	RR	—	— 57	— —	dB
Dropout Voltage ($I_O = 1.0\text{ A}$, $T_J = +25^\circ\text{C}$)	$V_{in}-V_O$	—	2.0	—	Vdc
Output Noise Voltage ($T_A = +25^\circ\text{C}$) $10\text{ Hz} \leq f \leq 100\text{ kHz}$	V_n	—	10	—	$\mu\text{V}/V_O$
Output Resistance ($f = 1.0\text{ kHz}$)	r_O	—	19	—	m Ω
Short-Circuit Current Limit ($T_A = +25^\circ\text{C}$) $V_{in} = 35\text{ Vdc}$	I_{sc}	—	0.2	—	A
Peak Output Current ($T_J = -25^\circ\text{C}$)	I_{max}	—	2.2	—	A
Average Temperature Coefficient of Output Voltage	TCV_O	—	-1.0	—	mV/ $^\circ\text{C}$

NOTES: 1. $T_{low} = -55^\circ\text{C}$ for MC78XX
 = 0° for MC78XXC, AC
 = -40°C for MC78XXB
 $T_{high} = +150^\circ\text{C}$ for MC78XX
 = $+125^\circ\text{C}$ for MC78XXC, AC, B
2. Load and line regulation are specified at constant junction temperature. Changes in V_O due to heating effects must be taken into account separately. Pulse testing with low duty cycle is used.

MC7800 Series

MC7824, B, C
ELECTRICAL CHARACTERISTICS ($V_{in} = 33\text{ V}$, $I_O = 500\text{ mA}$, $T_J = T_{low}$ to T_{high} [Note 1] unless otherwise noted).

Characteristic	Symbol	MC7824			MC7824B			MC7824C			Unit
		Min	Typ	Max	Min	Typ	Max	Min	Typ	Max	
Output Voltage ($T_J = +25^\circ\text{C}$)	V_O	23	24	25	23	24	25	23	24	25	Vdc
Output Voltage ($5.0\text{ mA} \leq I_O \leq 1.0\text{ A}$, $P_O \leq 15\text{ W}$) $27\text{ Vdc} \leq V_{in} \leq 38\text{ Vdc}$ $28\text{ Vdc} \leq V_{in} \leq 38\text{ Vdc}$	V_O	—	—	—	—	—	—	22.8	24	25.2	Vdc
Line Regulation ($T_J = +25^\circ\text{C}$, Note 2) $27\text{ Vdc} \leq V_{in} \leq 38\text{ Vdc}$ $30\text{ Vdc} \leq V_{in} \leq 36\text{ Vdc}$	Regline	—	10	240	—	31	480	—	31	480	mV
Load Regulation ($T_J = +25^\circ\text{C}$, Note 2) $5.0\text{ mA} \leq I_O \leq 1.5\text{ A}$ $250\text{ mA} \leq I_O \leq 750\text{ mA}$	Regload	—	40	240	—	60	480	—	60	480	mV
Quiescent Current ($T_J = +25^\circ\text{C}$)	I_B	—	3.6	6.0	—	4.6	8.0	—	4.6	8.0	mA
Quiescent Current Change $27\text{ Vdc} \leq V_{in} \leq 38\text{ Vdc}$ $28\text{ Vdc} \leq V_{in} \leq 38\text{ Vdc}$ $5.0\text{ mA} \leq I_O \leq 1.0\text{ A}$	ΔI_B	—	—	—	—	—	—	—	—	1.0	mA
Ripple Rejection $28\text{ Vdc} \leq V_{in} \leq 38\text{ Vdc}$, $f = 120\text{ Hz}$	RR	56	62	—	54	—	—	54	—	—	dB
Dropout Voltage ($I_O = 1.0\text{ A}$, $T_J = +25^\circ\text{C}$)	$V_{in}-V_O$	—	2.0	2.5	—	2.0	—	—	2.0	—	Vdc
Output Noise Voltage ($T_A = +25^\circ\text{C}$) $10\text{ Hz} \leq f \leq 100\text{ kHz}$	V_n	—	10	40	—	10	—	—	10	—	$\mu\text{V}/V_O$
Output Resistance $f = 1.0\text{ kHz}$	r_O	—	20	—	—	20	—	—	20	—	m Ω
Short-Circuit Current Limit ($T_A = +25^\circ\text{C}$) $V_{in} = 35\text{ Vdc}$	I_{sc}	—	0.2	1.2	—	0.2	—	—	0.2	—	A
Peak Output Current ($T_J = +25^\circ\text{C}$)	I_{max}	1.3	2.5	3.3	—	2.2	—	—	2.2	—	A
Average Temperature Coefficient of Output Voltage	TCV_O	—	± 3.0	—	—	-1.5	—	—	-1.5	—	mV/ $^\circ\text{C}$

MC7824AC
ELECTRICAL CHARACTERISTICS ($V_{in} = 33\text{ V}$, $I_O = 1.0\text{ A}$, $T_J = T_{low}$ to T_{high} [Note 1] unless otherwise noted).

Characteristics	Symbol	MC7824AC			Unit
		Min	Typ	Max	
Output Voltage ($T_J = +25^\circ\text{C}$)	V_O	23.5	24	24.5	Vdc
Output Voltage ($5.0\text{ mA} \leq I_O \leq 1.0\text{ A}$, $P_O \leq 15\text{ W}$) $27.3\text{ Vdc} \leq V_{in} \leq 38\text{ Vdc}$	V_O	23	24	25	Vdc
Line Regulation (Note 2) $27\text{ Vdc} \leq V_{in} \leq 38\text{ Vdc}$, $I_O = 500\text{ mA}$ $30\text{ Vdc} \leq V_{in} \leq 36\text{ Vdc}$ $30\text{ Vdc} \leq V_{in} \leq 36\text{ Vdc}$, $T_J = +25^\circ\text{C}$ $26.7\text{ Vdc} \leq V_{in} \leq 38\text{ Vdc}$, $T_J = +25^\circ\text{C}$	Regline	—	31	240	mV
Load Regulation (Note 2) $5.0\text{ mA} \leq I_O \leq 1.5\text{ A}$, $T_J = +25^\circ\text{C}$ $5.0\text{ mA} \leq I_O \leq 1.0\text{ A}$ $250\text{ mA} \leq I_O \leq 750\text{ mA}$, $T_J = +25^\circ\text{C}$ $250\text{ mA} \leq I_O \leq 750\text{ mA}$	Regload	—	60	100	mV
Quiescent Current $T_J = +25^\circ\text{C}$	I_B	—	4.6	6.0	mA
Quiescent Current Change $27.3\text{ Vdc} \leq V_{in} \leq 38\text{ Vdc}$, $I_O = 500\text{ mA}$ $27.3\text{ Vdc} \leq V_{in} \leq 38\text{ Vdc}$, $T_J = +25^\circ\text{C}$ $5.0\text{ mA} \leq I_O \leq 1.0\text{ A}$	ΔI_B	—	—	0.8	mA
Ripple Rejection $28\text{ Vdc} \leq V_{in} \leq 38\text{ Vdc}$, $f = 120\text{ Hz}$, $T_J = +25^\circ\text{C}$ $28\text{ Vdc} \leq V_{in} \leq 38\text{ Vdc}$, $f = 120\text{ Hz}$, $I_O = 500\text{ mA}$	RR	—	54	—	dB
Dropout Voltage ($I_O = 1.0\text{ A}$, $T_J = +25^\circ\text{C}$)	$V_{in}-V_O$	—	2.0	—	Vdc
Output Noise Voltage ($T_A = +25^\circ\text{C}$) $10\text{ Hz} \leq f \leq 100\text{ kHz}$	V_n	—	10	—	$\mu\text{V}/V_O$
Output Resistance ($f = 1.0\text{ kHz}$)	r_O	—	20	—	m Ω
Short-Circuit Current Limit ($T_A = +25^\circ\text{C}$) $V_{in} = 35\text{ Vdc}$	I_{sc}	—	0.2	—	A
Peak Output Current ($T_J = +25^\circ\text{C}$)	I_{max}	—	2.2	—	A
Average Temperature Coefficient of Output Voltage	TCV_O	—	-1.5	—	mV/ $^\circ\text{C}$

NOTES: 1. $T_{low} = -55^\circ\text{C}$ for MC78XX, $T_{high} = +150^\circ\text{C}$ for MC78XX
 = 0° for MC78XXC, AC
 = -40°C for MC78XXB
2. Load and line regulation are specified at constant junction temperature. Changes in V_O due to heating effects must be taken into account separately. Pulse testing with low duty cycle is used.

MC7800 Series

TYPICAL CHARACTERISTICS
($T_A = +25^\circ\text{C}$ unless otherwise noted.)

FIGURE 1 — WORST CASE POWER DISSIPATION
versus AMBIENT TEMPERATURE (Case 221A)

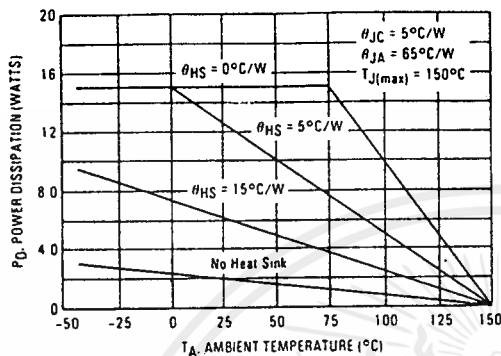


FIGURE 2 — WORST CASE POWER DISSIPATION
versus AMBIENT TEMPERATURE (Case 1)

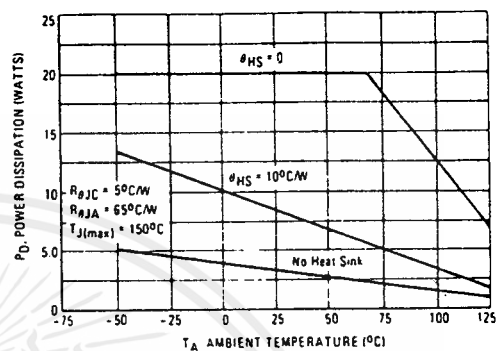


FIGURE 3 — INPUT OUTPUT DIFFERENTIAL AS A
FUNCTION OF JUNCTION TEMPERATURE
(MC78XXC, AC, B)

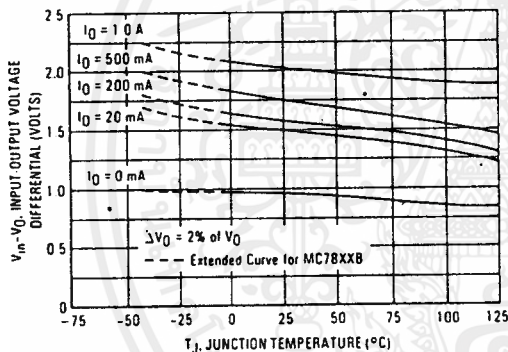


FIGURE 4 — INPUT OUTPUT DIFFERENTIAL AS A
FUNCTION OF JUNCTION TEMPERATURE
(MC78XX, A)

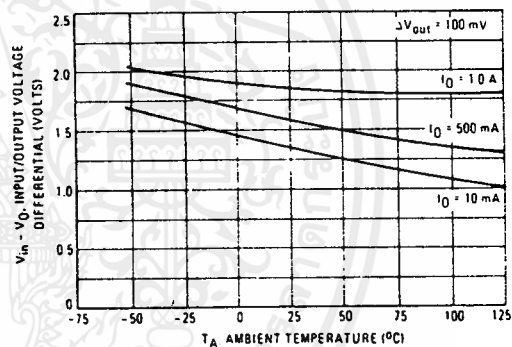


FIGURE 5 — PEAK OUTPUT CURRENT AS A FUNCTION
OF INPUT-OUTPUT DIFFERENTIAL VOLTAGE
(MC78XXC, AC, B)

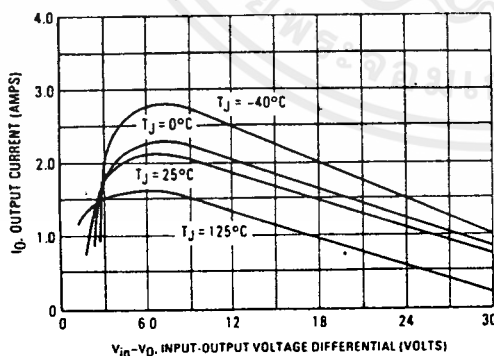
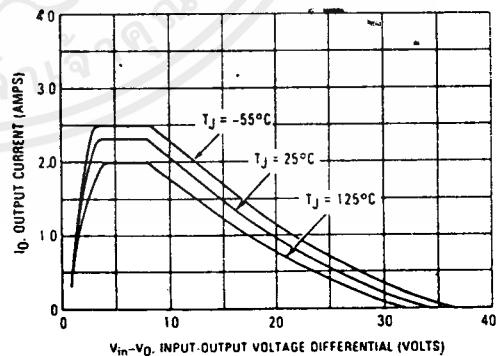


FIGURE 6 — PEAK OUTPUT CURRENT AS A
FUNCTION OF INPUT-OUTPUT DIFFERENTIAL
VOLTAGE (MC78XX, A)



MC7800 Series

TYPICAL CHARACTERISTICS (continued)
($T_A = 25^\circ\text{C}$ unless otherwise noted.)

FIGURE 7 — RIPPLE REJECTION AS A FUNCTION OF OUTPUT VOLTAGES (MC78XXC, AC)

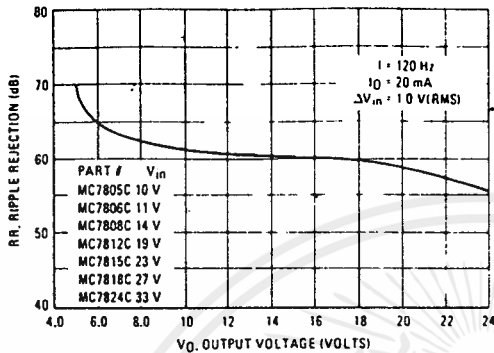


FIGURE 8 — RIPPLE REJECTION AS A FUNCTION OF FREQUENCY (MC78XXC, AC, A)

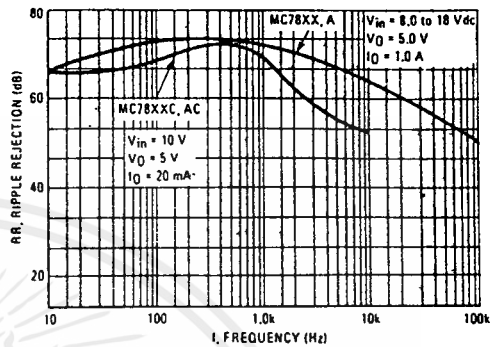


FIGURE 9 — OUTPUT VOLTAGE AS A FUNCTION OF JUNCTION TEMPERATURE (MC78XXC, AC, B)

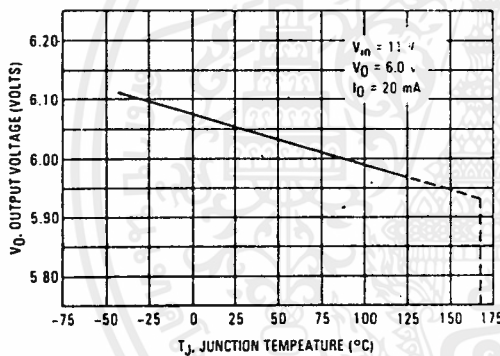


FIGURE 10 — OUTPUT IMPEDANCE AS A FUNCTION OF OUTPUT VOLTAGE (MC78XXC, AC)

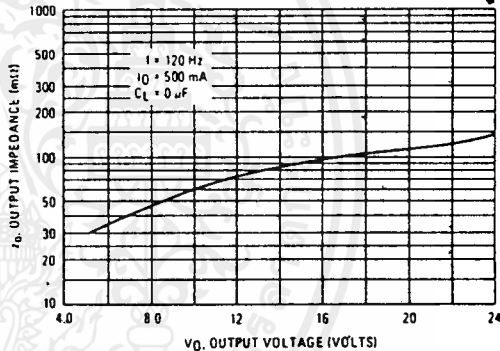


FIGURE 11 — QUIESCENT CURRENT AS A FUNCTION OF TEMPERATURE (MC78XXC, AC, B)

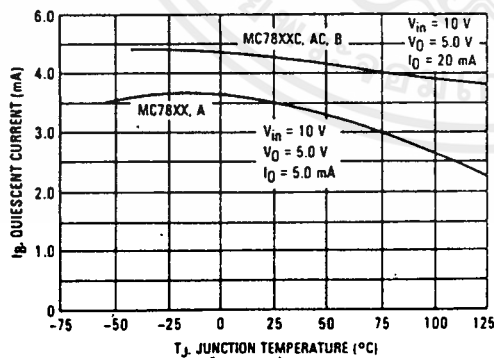
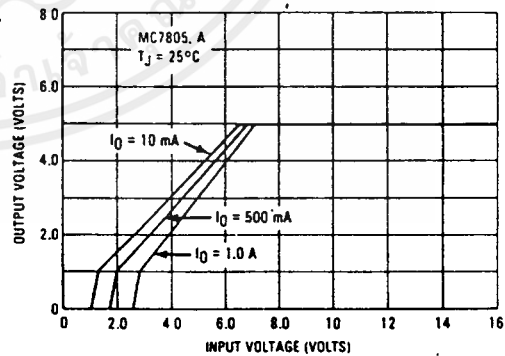


FIGURE 12 — DR. LOAD CHARACTERISTICS (MC78XX, A)



MC7800 Series

APPLICATIONS INFORMATION

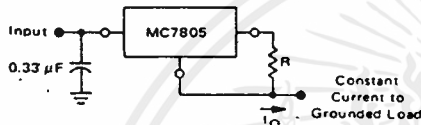
Design Considerations

The MC7800 Series of fixed voltage regulators are designed with Thermal Overload Protection that shuts down the circuit when subjected to an excessive power overload condition, Internal Short-Circuit Protection that limits the maximum current the circuit will pass, and Output Transistor Safe-Area Compensation that reduces the output short-circuit current as the voltage across the pass transistor is increased.

In many low current applications, compensation capacitors are not required. However, it is recommended that the regulator input be bypassed with a capacitor if the regulator is connected

to the power supply filter with long wire lengths, or if the output load capacitance is large. An input bypass capacitor should be selected to provide good high-frequency characteristics to insure stable operation under all load conditions. A 0.33 μF or larger tantalum, mylar, or other capacitor having low internal impedance at high frequencies should be chosen. The bypass capacitor should be mounted with the shortest possible leads directly across the regulators' input terminals. Normally good construction techniques should be used to minimize ground loops and lead resistance drops since the regulator has no external sense lead.

FIGURE 13 – CURRENT REGULATOR



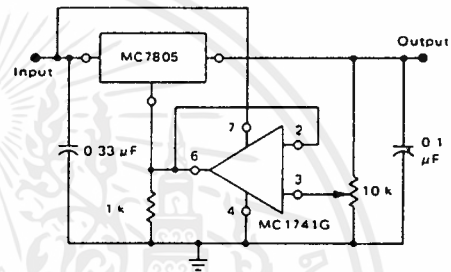
The MC7800 regulators can also be used as a current source when connected as above. In order to minimize dissipation the MC7805C is chosen in this application. Resistor R determines the current as follows:

$$I_O = \frac{5V}{R} + I_Q$$

$I_Q \approx 1.5 \text{ mA}$ over line and load changes

For example, a 1-ampere current source would require R to be a 5-ohm, 10-W resistor and the output voltage compliance would be the input voltage less 7 volts.

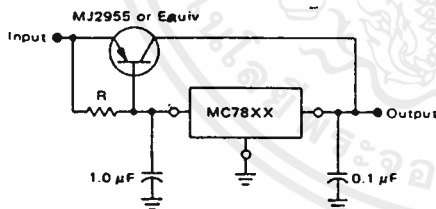
FIGURE 14 – ADJUSTABLE OUTPUT REGULATOR



V_O , 7.0 V to 20 V
 V_{IN} $V_O \geq 2.0 \text{ V}$

The addition of an operational amplifier allows adjustment to higher or intermediate values while retaining regulation characteristics. The minimum voltage obtainable with this arrangement is 2.0 volts greater than the regulator voltage.

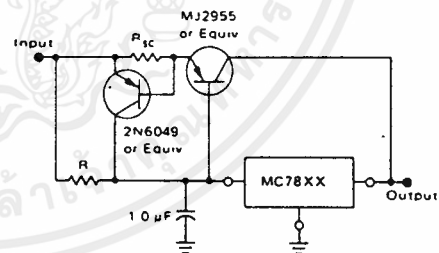
FIGURE 15 – CURRENT BOOST REGULATOR



XX = 2 digits of type number indicating voltage.

The MC7800 series can be current boosted with a PNP transistor. The MJ2955 provides current to 5.0 amperes. Resistor R in conjunction with the V_{BE} of the PNP determines when the pass transistor begins conducting; this circuit is not short-circuit proof. Input-output differential voltage minimum is increased by V_{BE} of the pass transistor.

FIGURE 16 – SHORT-CIRCUIT PROTECTION



XX = 2 digits of type number indicating voltage.

The circuit of Figure 15 can be modified to provide supply protection against short circuits by adding a short-circuit sense resistor R_{SC} and an additional PNP transistor. The current sensing PNP must be able to handle the short-circuit current of the three terminal regulator. Therefore, a four-ampere plastic power transistor is specified.