



# เครื่องส่งข้อมูลข่าวสารอัตโนมัติ

## AUTOMATIC TERMINAL INFORMATION SERVICE



ปริญญานิพนธ์เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรบัณฑิต  
สาขาเทคโนโลยีคอมพิวเตอร์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2535

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

032750

ปีการศึกษา 2533

AUTOMATIC TERMINAL INFORMATION SERVICE

โดย

นาย เกียรติชัย เอี่ยมคุณากร 34162202

นาย ประจักษ์ โพธิ์ศรีประเสริฐ 34162211

นาย ศักดิ์ชาย พัฒนสิน 34162246

อาจารย์ที่ปรึกษา

ผศ. พิพัฒน์ เลาสงคราม

ปริญญานิพนธ์ปีการศึกษา 2535

ภาควิชา เทคโนโลยีการวัดคุมอุตสาหกรรม

คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เรื่อง เครื่องส่งข่าวสารข้อมูลอัตโนมัติ

ผู้จัดทำ

1. นาย เกียรติชัย เอี่ยมคุณากร 34162202
2. นาย ประจักษ์ โพธิ์ศรีประเสริฐ 34162211
3. นาย ศักดิ์ชาย พัฒนสิน 34162246

..... อาจารย์ที่ปรึกษา  
( ผศ. พิพัฒน์ เลาสงคราม )

## เครื่องส่งข่าวสารข้อมูลอัตโนมัติ

นาย เกียรติชัย เอี่ยมคุณากร

นาย ประจักษ์ โพธิ์ศรีประเสริฐ

นาย ศักดิ์ชาย พัฒนสิน

ผศ. พิพัฒน์ เลาสงคราม อาจารย์ที่ปรึกษา

ปีการศึกษา 2535

### บทคัดย่อ

ATIS ( AUTOMATIC TERMINAL INFORMATION SERVICE ) เป็นอุปกรณ์ที่ใช้ส่งข้อมูลข่าวสารให้แก่นักบินโดยอัตโนมัติ ซึ่งการทำงานจะทำการส่งข่าวสารที่มีการบันทึกไว้ให้กับเครื่องบินได้รับทราบอย่างต่อเนื่องของข้อมูลที่ส่งไปจะได้แก่รายงานเกี่ยวกับสภาพของอากาศ สภาพของสนามบินซึ่งในการสร้างโครงการนี้จะใช้ต้นทุน ในการผลิตที่ต่ำกว่าการซื้อจากต่างประเทศ โดยที่ตัวระบบจะเป็นการทำงานของเครื่องบันทึกเสียงระบบ DIGITAL ที่ใช้การเปลี่ยนสัญญาณที่เป็น ANALOG เป็นข้อมูล DIGITAL แล้วนำไปเก็บไว้ใน MEMORY การนำข้อมูลที่ถูกเก็บไว้มาใช้งาน จะเป็นการดึงข้อมูลออกจาก MEMORY ซึ่งได้สัญญาณที่เป็น DIGITAL แล้วทำการแปลงให้เป็น ANALOG เพื่อที่จะนำไปใช้งาน โดยจะมีการแบ่งแยกออกเป็น 2 CHANNEL การแสดงผลจะเป็นการใช้ระบบแสดงผลเป็น LCD DOT MATRIX และใช้ MATRIX KEY BOARD ขนาด 4x4 เป็นตัวรับข้อมูลจากผู้ใช้งาน และจะให้สัญญาณเสียงที่จะเป็น OUTPUT แก่เครื่องส่งวิทยุและส่งข้อมูลให้ทางสายโทรศัพท์และจะมีส่วน REAL TIME CLOCK และ MONITOR FUNCTION ของระบบเข้าด้วยกัน และมีการควบคุมระบบด้วย MICROPROCESSOR Z-180

AUTOMATIC TERMINAL INFORMATION SERVICE

KIATICHAJ EIAMKUNAGORN 34162202

PRACHUK POSRIPRASERT 34162211

SAKCHAI PATANASIN 34162246

ASSIST.PROF. PHIPHAT LAOHASONGKRAM ADVISOR

ABSTRACT

ATIS (AUTOMATIC TERMINAL INFORMATION SERVICE) IS THE AUTOMATIC EQUIPMENT, IT USE FOR TRANSFERING THE INFORMATION PILOT SUCH AS THE REPORT ABOUT THE CONDITION OF THE AIRPORT, WEATHER CONDITION, WIND VELOCITY. THESE ARE ABOUT METEOROLOGY. ATIS IS THE DIGITAL SYSTEM SOUND RECORDER THAT US TO CHANGE ANALOG SIGNAL TO DIGITAL DATA ALTER THAT IT RECORDS THE DATA IN THE MEMORY. HOW TO ADOPT THE RECORD SIGNAL IN THE MEMORY BY ATIS THAT IT USES THE DATA IN THE MEMORY AND CHANGE DIGITAL DATA TO ANALOG SIGNAL. ATIS IS INCLUDING OF 2 UNIT THE DATA RECORD BOARD. THERE ARE CHANNEL A AND CHANNEL B IT USE LCD. DOT MATRIX TO PRESENT THE DATA AND MATRIX KEY BOARD SIZE 4x4 TO RECEIVE THE DATA FROM USER. ATIS US MICROPROCESSOR Z-180 TO CONNECT MANY PARTS TO THE SYSTEM, AUDIO OUTPUT SIGNAL, PRESS TO TALK FOR RADIO TRANSMITTER, AUTOMATIC TELEPHONE ANSWER CIRCUIT, REAL TIME CLOCK AND MONITOR FUNCTION.

## สารบัญ

	เรื่อง	หน้า
บทที่ 1	บทนำ	1-1
บทที่ 2	ส่วนประกอบหลัก และ BLOCK DIAGRAM DIAGRAM ของระบบ	2-1 2-2
บทที่ 3	ทฤษฎีการทำงานของส่วนประกอบต่างๆ (HARDWARE) การจัด MEMORY Z-180 DOT MATRIX LCD MODULE REAL TIME CLOCK IC T#6668 (IC บันทึกเสียง)	3-1 3-3 3-9 3-39 3-50 3-54
บทที่ 4	HARDWARE SPECIFICATION	4-1
บทที่ 5	ผลการทดลองและการปฏิบัติทาง HARDWARE PROGRAM TEST LCD	5-1 5-4
บทที่ 6	การออกแบบทาง SOFTWARE FLOW CHART การทำงานของ โปรแกรม PROGRAM	6-1 6-2 6-8
บทที่ 7	ลำดับการใช้งานเครื่อง	7-1
บทที่ 8	- สรุปและวิจารณ์ (HARDWARE/SOFTWARE)	8-1

ภาคผนวก	กิตติกรรมประกาศ วงจร CONTROLLER CP-ATZ80180 BOARD วงจร และ ลายปริ้นท์ POWER SUPPLY&AMPLIFIER วงจร และ ลายปริ้นท์ ชุด RECORD BOARD DATA SEET อุปกรณ์ IC ที่มีใช้ในเครื่อง
---------	--

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 1บทนำ

ในปัจจุบันประเทศไทยได้มีการพัฒนามากขึ้นและเป็นศูนย์กลาง ของ การควบคุมจราจรทางอากาศ ในแถบภูมิภาคเอเชีย โดยมีหน้าที่ให้บริการ ข่าวสารและส่งผ่านข่าวสารต่างๆ ที่ใช้ในกิจการบินให้แก่สนามบินต่างๆทั้งใน ประเทศและประเทศเพื่อนบ้าน โดยส่งข้อมูลข่าวสารให้แก่เครื่องบินให้รับ ทราบถึงข้อมูลต่างๆที่มีการเปลี่ยนแปลงเข้ามาตลอด และอุปกรณ์ที่ใช้ในการ ส่งข้อมูลข่าวสารต่างๆเหล่านี้มีราคาที่สูง โดยเราได้ออกแบบเครื่อง ATIS (AUTOMATIC TERMINAL INFORMATION SERVICE) เป็นอุปกรณ์ที่ ใช้สำหรับควบคุมจังหวะการส่งข้อมูลต่างๆได้โดยอัตโนมัติ ซึ่งการทำงานจะ ทำการส่งข่าวสาร ที่มีการบันทึกไว้ล่วงหน้าแจ้งให้กับนักบินได้รับทราบอย่าง ต่อเนื่อง ข้อมูลที่ส่งไปจะได้แก่รายงานเกี่ยวกับสภาพของสนามบิน รายงาน สภาพอากาศ ความเร็วลม ข่าวอุตุนิยมวิทยาต่างๆ ซึ่งจะมีลักษณะของการส่ง ข้อมูลที่ซ้ำๆกัน เราจึงได้แนวคิดที่จะมีการทดแทนแรงงานของคนที่จะมาควบคุม เครื่องนี้ให้เป็นระบบการทำงาน ด้วยตัวของมันเอง ทำให้เราสามารถที่จะ แจ้งข่าวต่างๆ ให้กับเครื่องบิน หรือผู้ที่รับข้อมูลนี้ได้ตลอดเวลา และใน การควบคุมการจราจรทางอากาศ ซึ่งจากในปัจจุบันนี้มีความหนาแน่นสูง คั้งนั้นแล้ว เครื่อง ส่งข้อมูลข่าวสารอัตโนมัติจะเป็นตัวที่ช่วยลดเวลาให้ กับ เจ้าหน้าที่ควบคุมการจราจรทางอากาศ โดยไม่ต้องเสียเวลาในการรายงาน ข่าวสารที่มีมาก ให้กับนักบินทุกๆครั้ง เมื่อมีการสอบถาม แต่จากการทำงาน ของเครื่องก็จะแจ้งให้ผู้รับข้อมูลเป็นระยะ ไป

## บทที่ 2

### ส่วนประกอบหลัก และ BLOCK DIAGRAM

การทำงานของเครื่อง AUTOMATIC TERMINAL INFORMATION SERVICE หรือ เครื่องส่งข้อมูลข่าวสารอัตโนมัติ จะมีการทำงานที่เป็นหลักใหญ่อยู่ 7 ส่วน

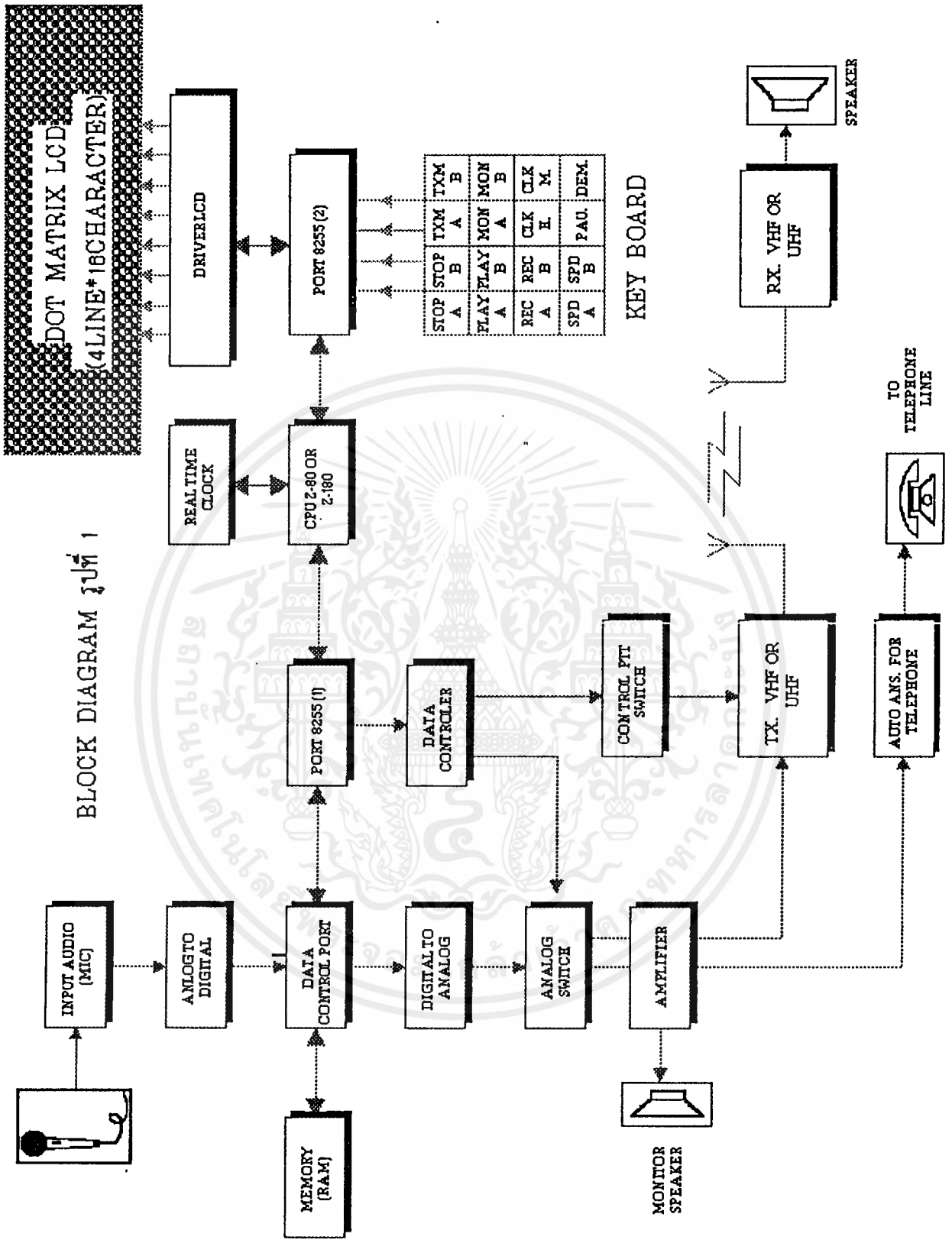
- CPU CONTROL BOARD
- PORT 8255 I/O
- RECORDING BOARD
- KEY BOARD
- POWER AND AMPLIFIER
- REAL TIME CLOCK

แต่จากการทำงานเราได้ทำการรวม บางอย่างเข้าด้วยกัน จึงได้เป็น SYSTEM BOARD และได้ใช้ CPU CONTROL เป็น Z80180 ที่ทำงานได้เร็วกว่า Z-80 และมี input/output รวมอยู่ใน BOARD เดียว จากใน DIAGRAM รูปที่ 1 ในรายละเอียดในแต่ละส่วน ซึ่งจะอธิบายส่วนใหญ่และย่อยๆดังนี้

- CPU CONTROL BOARD จะมีองค์ประกอบในรายละเอียดมากซึ่งจัดนำเสนอในหัวข้อต่อไปโดยที่จะมีการนำเอา ส่วนต่างหลายๆส่วนมาทำการรวบรวมไว้ใน BOARD เดียวทำให้เกิดความประหยัดการที่จะนำมาใช้งานอีกทั้งก็ยังสะดวกขึ้น

- RECORDING BOARD จะมีส่วนย่อยๆที่มีการทำงานตาม BLOCK ที่มีแนบมาในหน้าต่อไปจะอธิบายได้ดังนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

INPUT (MIC) เป็นส่วนที่จะรับสัญญาณที่เป็น เสียงพูดเข้ามาจะมีระบบที่เป็น PRE. MIC ร่วมอยู่ในระบบนี้ด้วย

ANALOG TO DIGITAL จะมีการทำงานอยู่ภายในตัว ของ IC

DATA CONTROL AND MEMORY (RAM) โดยการทำงานใน 2 BLOCK จะเป็นการกำหนดค่าให้ DATA มีการส่งผ่านไปยัง MEMORY และมีการจัดส่ง DATA ที่ต้องการออกไปยัง OUTPUT มีการควบคุมมาจาก PORT 8255

DIGITAL TO ANALOG เมื่อมี DATA ส่งออกมาจาก DATA CONTROL จะเป็นสัญญาณที่อยู่ในรูปของ DIGITAL จะมีการปรับให้เป็น ANALOG อีกครั้ง

- POWER AND AMPLIFIER จะมีส่วนประกอบที่ข้อย่อยออกไปเป็นดังนี้

ANALOG SWITCH จะทำหน้าที่ควบคุมสัญญาณเสียงให้ออกสู่ ภาคขยายเสียง (AMPLIFIER)

AMPLIFIER ทำหน้าที่ขยายสัญญาณเสียงที่ได้มาจากการแปลง D/A แล้วส่งออกไปตามจุดที่ต้องการ เช่น สัญญาณที่ส่งออกไปที่ โทรทัศน์ หรือ สัญญาณที่ส่งออกอากาศ

### บทที่ 3

#### ทฤษฎีการทำงานของส่วนประกอบต่างๆทาง HARDWARE

จะกล่าวโดยทั่วไปว่า เครื่องนี้เป็นเครื่องที่ทำการ บันทึกเสียงที่เป็นระบบ DIGITAL ที่ใช้การเปลี่ยนสัญญาณที่เป็น ANALOG ไปเป็นระบบสัญญาณที่ทำการบันทึกที่เป็น DIGITAL และนำข้อมูลที่ได้มาทำเก็บไว้ใน RAM ซึ่งมันจะสามารถ CONTROL ให้ทำงานในขณะใดก็ได้ซึ่งเราใช้การควบคุมเป็นระบบ MICROPROCESSOR ที่จะมี MENU ทำการควบคุมได้โดยง่ายและการทำงานของเครื่องจะแสดงใน BLOCKDIAGRAM รูปที่ 1 ในตอนที่เริ่มโครงการนี้ในช่วงแรกมีความคิดที่จะใช้ Z-80 เป็น PROCESSOR ที่ทำงานเป็นหลัก แต่มีการทดลองนำเอา Z-180 มาทำเป็น PROCESSOR แทน Z-80 โดยมีการคิดว่าจะนำเทคโนโลยีที่มีการทำงานของ PROCESSOR ที่ดีขึ้นมาพัฒนา โดยทางผู้จัดทำได้นำระบบของ BOARD มาจากของ ETT. โดยที่ใน BOARD มีการรวมความสามารถหลายๆอย่างเข้าด้วยกันทำให้เกิดเพื่อให้เกิดประสิทธิภาพสูงที่สุดในการที่จะนำมาใช้งานและทำให้เกิดความประหยัดมากกว่าที่จะมีการทำส่วนประกอบขึ้นมาทีละชิ้น

#### ระบบ BOARD ที่ใช้ในการ CONTROL

ในการนี้เราได้ใช้ PROCESSOR ที่เป็น Z-180 ทำงานที่ความถี่ 9.216 MHZ. จัดเป็น PROCESSOR ที่มีการทำงานเต็มรูปแบบตัวหนึ่ง โดยจะมีการทำงานของคำสั่ง Z-80 ได้ ในระบบของตัว PROCESSOR จะมีการจัดการที่ต้องทำงานด้วยความเร็วสูงโดยมี Chip DMA และมีระบบภายในตัวที่เป็น SERIAL PORT 2 PORT และมีระบบ TIMER ในตัวที่เป็นฐานเวลาของอุปกรณ์และกำหนดการทำงานในหลายงานที่ทำหน้าที่พร้อมกันแบบ MULTI TASKING ที่สมบูรณ์แบบ

ระบบต่างๆที่มีอยู่ใน BOARD PROCESSOR

- นำเอา SERIAL PORT 2 PORT ประกอบกับมี I/O PORT อีก 1 PORT
- DMA ที่มีการทำกับ MEMORY ของ I/O INTERNAL AND EXTERNAL 2 CHANNEL
- TIMER COUNTER 2 CHANNEL
- TIMER COUNTER Z80 CTC 4 CHANNEL
- A/D 8 BIT 8 CHANNEL
- RTC PORT AND BACKUP BATTERY
- PRINTER PORT
- WATCH DOG SYSTEM
- POWER ON RESET CHECK POWERSUPPLY LOW ON RESET CPU.
- USE LCD MODULE
- MEMORY ON BOARD 128K BYTE (BACKUP RAM 64K BYTE)
- USE EEPROM 1K BIT
- USE KEYBOARD 4X4
- PORT 8255 ,4 UNIT =12 PORT 96 BIT

#### CPU

Z-180 เป็นของบริษัท ZILOG โดยจะเป็น SUPPER SET ของ Z-80 ได้ทั้งหมดและมีคำสั่งเพิ่ม 12 ชุดคำสั่ง CPU สามารถทำงานที่ความถี่ 9.216 MHz. ที่จะให้การทำงานที่ 1 คำสั่งใช้เวลาเพียง 0.3 MICROSEC. และในตัว CPU สามารถ SET WAIT STATE ใช้สามารถที่ทำงานให้มีความสอดคล้องกับ RAM หรือ EPROM ที่มีการทำงานช้ากว่าตัว CPU โดยตัวของ PROCESSOR ที่ใช้จะเป็นแบบ 68 ข่า PLCC

การจัดเกี่ยวกับ MEMORY

โดยที่ BOARD นี้สามารถที่มีการขยาย MEMORY ON BOARD ได้ 128 K BYTE โดยจะมีการแบ่ง MEMORY เป็นดังนี้

SOCKET ที่ 0000 H USE EPROM 64K BYTE มีการจัดหน่วยความจำเริ่มจาก 0000-FFFF H

SOCKET ที่ 10000 H USE RAM 8 K BYTE มีการจัดหน่วยความจำเริ่มจาก 1000-17FFF H

SOCKET ที่ 18000 H USE RAM OR EPROM 8 K BYTE หรือ 16 K BYTE มีการจัดหน่วยความจำเริ่มจาก 18000-1FFFF H

หน่วยความจำในส่วนของทั้ง 2 SOCKET จะมีการออกแบบให้มี BATTERY 3.6 VOLT สำหรับการใช้เป็น BATTERY BACKUP RAM ข้อมูลของ MEMORY จะมีการใช้ BACKUP RAM ได้เต็มที่มากที่สุด 64 K BYTE

โดยจะมีการ ระบุ การจัดการของ MEMORY ได้จากการเปลี่ยนแปลงค่าที่ DIP SWITCH และ SET JUMPER โดยจะมีการแสดงไว้ที่ รูปของการ SET DIP SWITCH และ JUMPER

การจัด MEMORY ใน BOARD

ใน BOARD CONTROL มีการจัด MEMORY เป็นดังนี้

64 K	ROM (27512) 0000 - FFFF
32 K	RAM (6264,62256) 10000 - 17FFF
32 K	RAM (6264,62256) ROM (2764,27128,27256) 18000 - 1FFFF

PORT 8255

ใน BOARD ที่มีการใช้งานนี้สามารถที่จะมี PORT 8255 อยู่ 5 UNIT โดยแบ่งเป็น SYSTEM PORT 1 UNIT และ USE PORT 4 UNIT ซึ่งจะทําให้มี PORT ใช้งานได้ถึง 12 PORT หรือเทียบได้ถึง 96 BIT

การทำงานของ SYSTEM PORT ใช้ 8255 1 UNIT มาทำงานโดยเฉพาะจะแบ่งดังนี้

- EEPROM โดยต่อใช้งานกับ EEPROM 93C46 เป็น EPROM ขนาด 16x64 (1024 BIT) โดยข้อมูลในการเขียนการอ่านจะเป็นการอ่านแบบเรียงกันไปลักษณะ SERIAL DATA
- WATCH DOG โดยจะนำ OUTPUT 1 BIT ที่ PORT PA3 ต่อวงจรเพื่อจะมีการไปทริกวงจร WATCH DOG ไม่ให้มีการ RESET CPU
- LED OUTPUT โดยให้เป็น OUTPUT DRIVE LED จะใช้ PA4, PA5 ต่อ LED 2 ตัว
- INPUT JUMPER เป็นส่วน INPUT ของ BIT มีการกำหนดใช้ที่ PB1
- มีส่วนต่อรับข้อมูลจากวงจรในส่วน ADC 0808 สำหรับ CONVERT ข้อมูล A/D
- INPUT DIP SWITCH เป็นส่วน INPUT BIT PB4, PB5, PB6, PB7 (4 Bit)
- KEYBOARD ได้มีการออกแบบมาให้ต่อกับ KEYBOARD ได้ขนาด 4x4 ได้โดยต่อออกจาก PORT C ได้ KEY 16 ตัว
- OUTPUT TR เป็นส่วนต่อเป็น OUTPUT (PA6) ออกไปยัง TRANSISTOR เพื่อเป็น OUTPUT ที่ต้องการกระแสที่มากขึ้นและมีขั้วต่อออก
- I/O PRINTER PORT ใช้เป็นขารับสัญญาณ BUSY ของ PRINTER เราใช้ PB3 และเป็น OUTPUT ของ PRINTER คือขา STB เราใช้ PA7

ในส่วนของ SYSTEM PORT จะมีการกำหนด ADDRESS อยู่ที่ (F0H - F3H)

USER PORT

เป็นการกำหนด ADDRESS ในช่วงที่ EOH-EFH จาก BOARD จะเป็นการกำหนดให้มีการใช้ IC 8255 4 ตัว สำหรับเป็น PORT ที่มีการใช้ได้ของ USER ในวงจรจะมีการต่อ R PULL-UP 10K ของ PORT OUTPUT ทั้งหมดขึ้นที่ VCC

PRINTER PORT

ในระบบของวงจรจะมีการใช้ IC TTL มาร่วมใช้งานด้วย คือ 74LS 374 ที่จะมีการต่อตามวงจรในรูปโดยจะออกจาก PORT ของระบบ

CTC ( CONTER -TIMER CHIP )

เป็นวงจรมันที่เราสามารถที่จะให้มีการควบคุมได้โดยการทำงานของ PROGRAM ที่ทำการป้อนให้จะมีการตอบสนองต่อความต้องการของตัว CPU. PROCESSOR ในการกำหนดของ ระบบนี้จะมีการกำหนดให้อยู่ที่ ADDRESS AOH-BFH จาก BOARD จะใช้ IC ของ ZILOG Z84C30-8 ต่อทำงานอยู่ในวงจรด้วยจะมีการต่อ INT ของตัว CTC เข้ากับ INT1 ของ Z-180 และสามารถเลือกที่จะใช้งาน CTC หรือไม่ใช้ก็ได้

ANALOG/DIGITAN ที่ BOARD Z-180

เป็นวงจรที่ทำงานแปลงจาก ANALOG เป็น DIGITAL ขนาด 8 BIT โดยจะใช้ ADC 0808 ต่อสำหรับการทำงานที่อยู่บน BOARD Z-180 ซึ่งในงานนี้เราไม่ได้ใช้การทำงานของตัวนี้ เรามีชุดที่จะทำงานเฉพาะออกไปโดยจะกล่าวต่อในอีกหัวข้อหนึ่ง

RTC ( REAL TIME CLOCK )

จะเป็นส่วนที่มีความสำคัญต่อระบบมากเป็นส่วนหนึ่งเพราะมีการเรียกใช้งานของ PROCESSOR ตลอดโดยจากวัตถุประสงค์ของ PROJECT จะให้มีการทำงานสัมพันธ์กับเวลาตลอด REAL TIME CLOCK จะเป็นส่วนที่จะจัด

การนับเวลาจะมีการจัดการเฉพาะ โดยที่มีการแบ่งเป็น DIGIT ละ 4 BIT ซึ่งการเข้าถึง REAL TIME CLOCK จะมีการทำครั้งละ 2 หลัก ในขณะที่ทำการ READ หรือ WRITE แต่ละหลักจะทำให้เกิดการเปลี่ยน

ในระบบของ REAL TIME CLOCK จะมี MEMORY ที่ใช้ในการเก็บข้อมูลเมื่อเกิดไฟดับหรือเป็นการใช้เก็บข้อมูลที่จะมีการทำงาน เปรียบเทียบกับ REAL TIME COUNTER ในข้อมูลของ RAM โดยที่มันจะถูกกำหนดให้มีข้อมูลที่เหมือนกับ REAL TIME COUNTER

การกำหนดค่า INTERRUPT ที่มีอยู่ในระบบ REAL TIME CLOCK จะสามารถมีการตั้ง PROGRAM ใช้ OUTPUT ได้ถึง 8 อย่าง 10 Hz., 1Hz., 1Min./1, 1Hour/1, 1DAY/1, 1WEEK/1, 1Mont/1 เมื่อมีการตั้งค่าที่ต้องการของ PROGRAM ก็จะถูกนำมาเก็บไว้ในระบบ RAM ที่ REAL TIME CLOCK เพื่อนำมาใช้ในการเปรียบเทียบ

ในตัว REAL TIME CLOCK นี้เราสามารถที่จะ SET ครั้งละ 1 BIT หรือมากกว่านี้ก็สามารถทำได้เช่นมีการกำหนดให้มีการ INT ทุกๆวินาที ทุกๆ ชั่วโมง ก็ทำการ SET D2, D3 ก็คือ OC H โดยจะมีการเขียนไปที่ ADDRESS ของ INTERRUPT CONTROL REGISTOR จากตารางในหน้าที่แล้ว ระบบ BACKUP TIME (POWER DOWN MODE) จะมีขาที่ทำหน้าที่รับสัญญาณ มันจะทำการ ตัดทุกอย่างออกทั้งจะไม่มีการตอบสนองต่อการสั่งงานทุกอย่างที่มีมา แต่จะมีการทำงานของ CLOCK ภายในอย่างปรกติ และจะมีการให้สัญญาณ STANBY INTERRUPT ถ้ามีการทำ PROGRAM ไว้แล้ว ตัวของการนับเวลาสามารถที่ RESET ได้โดยเขียน FFH ลงที่ ADDRESS 12H, 13H ตามลำดับ ในระบบ REAL TIME CLOCK จะใช้ X-TAL ความถี่ประมาณ 32768 Hz.

#### WATCH DOG TIMER

ใน BOARD จะมีวงจร WATCH DOG สำหรับการตรวจสอบของการทำงานของ PROGRAM โดยมีการออกแบบให้ใช้ IC LM556 เป็นวงจร ASTABLE และเป็นวงจร MONOSTABLE รับการทริกจาก INPUT ซึ่งมาจาก SYSTEM PORT 8255 (PA3) โดยตัวยังมี PLUS จาก PA3 เข้ามาทริกให้

TRANSISTOR อยู่ตลอดเวลาแล้วก็จะไม่เกิด PULSE RESET CPU วงจรนี้สามารถที่จะตั้งระยะเวลาการทำงานได้ 2 ค่าและสามารถที่จะกำหนดให้มีการใช้หรือไม่ใช้ WATCH DOG โดยจะถูกกำหนดให้มีการทำงานอยู่ที่ ADDRESS FOH

### LCD PORT

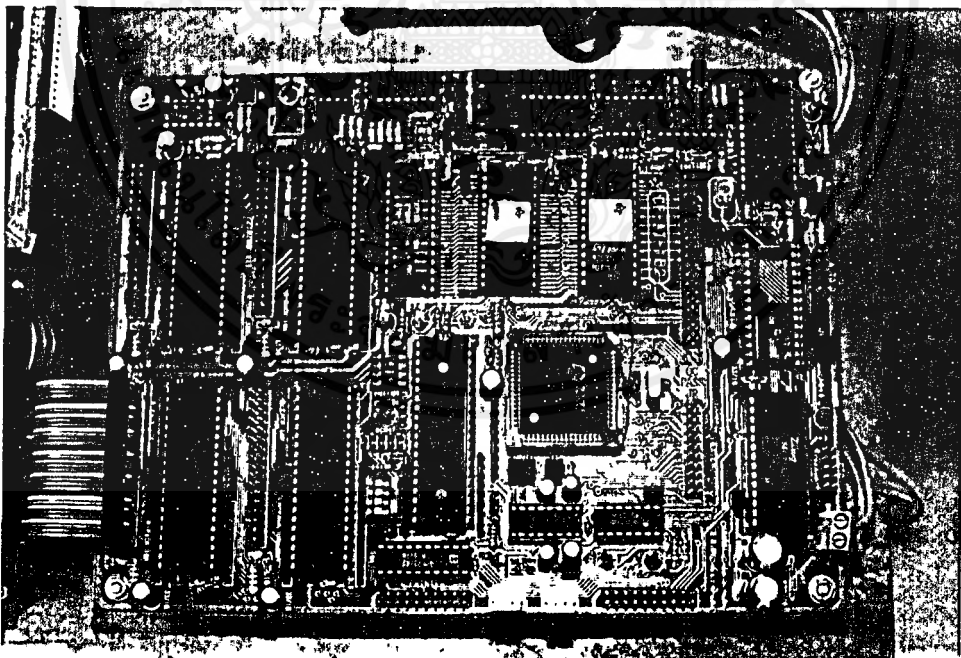
จะเป็น CONNETTOR ขนาด 20 PIN โดยสามารถที่จะต่อ LCD ได้ 2 แบบ คือแบบ DOT TYPE และแบบ GRAPHIC TYPE โดยที่เราสามารถที่จะเลือกใช้ J5A ที่จะเป็นการระบุว่าต้องการให้ทำงานในลักษณะใดถ้าเป็น DOT TYPE ก็จะต่อใช้งานเพียง 14 ขาหรือเป็นแบบ GRAPHIC TYPE ก็จะมีการต่อใช้งานครบทั้ง 20 ขา ในการทำงานของ PROJECT เราเลือกใช้การแสดงผลนั้นเป็นแบบ LCD ก็เพราะมีความชัดเจนของการแสดงผลสูงและยังมีความสวยงาม

### INPUT / OUTPUT MAP ADDRESS

60 - 7F	A/D PORT CHANNEL
80 - 9F	CTC
A0 - BF	REAL TIME CLOCK
C0 - DF	LCD
E0 - E3	8255 (U1) USER PORT
E4 - E7	8255 (U2) USER PORT

INPUT / OUTPUT MAP ADDRESS (ต่อ)

E8 - EB	8255 (U3) USER PORT
EC - EF	8255 (U4) USER PORT
F0 - F3	8255 (U10) SYSTEM PORT
F4 - F7	PRINTER PORT
F8 - FB	A/D PORT OUTPUT ENABLE

ภาพแสดงลักษณะของ SYSTEM BOARD

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



Z80180/HD64180

ไอซี ไมโครโพรเซสเซอร์ (MICROPROCESSOR) ที่ใช้ในโครงการนี้ใช้ชิพซีพียูเบอร์ Z80180 ซึ่งพัฒนามาจากซีพียู เบอร์ Z80 ซึ่ง Z80 เป็นซีพียูขนาด 8 บิต อ้างแอดเดรสได้เพียง 64 กิโลไบต์ เมื่อใช้งานให้เต็มประสิทธิภาพเชิงระบบจะต้องใช้ชิพสนับสนุนอีกหลายตัวเช่น CTC, DMA, ตัวควบคุมอินเตอร์รัพต์, ตัวควบคุมหน่วยความจำ ฯลฯ และเมื่อเทคโนโลยีทาง VLSI ขึ้น บริษัท ไชล็อก ก็พัฒนา Z80 มาเป็นซีพียูเบอร์ Z80180 ซึ่งก็มีบริษัทชิคาชิร่วมอยู่ด้วย โดยบริษัทชิคาชิพัฒนาและใช้เบอร์ HD64180 โดยสามารถติดต่อกับหน่วยความจำได้คือ 1 เมกกะไบต์ และได้รวมหน่วยควบคุม DMA ไว้สองช่วง, หน่วยสร้างสถานะรอ (Wait State) การรีเฟรชไดนามิกแรก, วงจรเชื่อมต่อ แบบอะซิงโครนัสแบบอนุกรม 2 พอร์ต, พอร์ตสัญญาณนาฬิกา, วงจรไทม์เมอร์, วงจรควบคุมการอินเตอร์รัพต์ และยังสร้างสัญญาณเชื่อมต่อสำหรับอุปกรณ์สนับสนุนในกลุ่ม 80xx และ 68xx อีกด้วย CPU Z80180/HD64180 เป็นซีพียูที่สร้างขึ้นโดยใช้เทคโนโลยีซีมอส จึงใช้กำลังงานไฟฟ้าต่ำมากและมีโครงสร้างการทำงานคอมพิวเตอร์ที่เบิลกับซอฟต์แวร์ของ Z-80 ทุกประการ และเพิ่มเติมคำสั่งใหม่ ๆ เข้ามาอีกหลายคำสั่งเพื่อให้ซีพียูทำงานได้อย่างมีประสิทธิภาพ ปัจจุบันภาษา C ของหลายบริษัทสามารถคอมไพล์ให้ฮอป-เจ็คท์ เป็นภาษาเครื่องของ Z80180/HD64180 ได้โดยตรง

จุดเด่นของ Z80180 ประกอบด้วย

- ทำงานด้วยสัญญาณนาฬิกา ความเร็ว 8MHz และ 10MHz
- มีการจัดการหน่วยความจำที่เรียกว่า MMU ทำให้มีความสามารถอ้าง ADDRESS ได้ถึง 1 เมกกะไบต์ หรือ 512 กิโลไบต์และยังใช้ในขอบเขตเดิมคือ 64 กิโลไบต์
- มีหน่วยควบคุม DMA ในชิพที่ทำให้ควบคุม DMA ได้ 2 ช่องเพื่อให้เกิดกลไกการถ่ายเทข้อมูลระหว่างอินพุตเอาต์พุตกับหน่วยความจำ หน่วยความจำกับหน่วยความจำ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

032753

- สร้าง Wait State สำหรับเชื่อมโยงกับหน่วยความจำหรืออุปกรณ์อินพุต เอาท์พุทที่ช้า
- โปรแกรมการทำงานสำหรับการรีเฟรช ไคนามิคแรมได้
- มีพอร์ทอนุกรมแบบอะซิงโครนัส แบบเติมรูปแบบสองพอร์ท พร้อมวงจรสร้างอัตร่า BOARD สำหรับการรับส่งและสัญญาณการควบคุมโมเต็ม
- มีพอร์ทสร้างสัญญาณทรมิ่งที่ทำให้เกิดสัญญาณได้สูงคือ 400 กิโลบิทต่อวินาที ที่ความเร็ว 8MH<sub>Z</sub>
- มีวงจรไทมเมอร์ขนาด 16 บิท ที่โปรแกรมค่าได้สองช่องและโปรแกรม ให้เกิดสัญญาณเอาท์พุทตามที่ต้องการได้
- มีวงจรควบคุมอินเตอร์รัพท์ที่จัดอินเตอร์รัพท์ภายนอกได้ 4 สัญญาณและอินเตอร์รัพท์ภายใน 8 สัญญาณ
- มีสัญญาณการเชื่อมต่อกับชิพสนับสนุนทั้งกลุ่มอินเทลและโมโตโรล่า
- วงจรสร้างสัญญาณนาฬิกาจากคริสตอล
- ซอฟต์แวร์คอมแพททิเบิลกับ CP/M80 และซอฟต์แวร์ประยุกต์ทั้งหมด
- มีคำสั่งพิเศษที่เพิ่มเติมขึ้นมา รวมทั้งคำสั่งคุณด้วย
- ใช้พลังงานเพียง 25 MW ขณะอยู่ในโหมด STOP และ 100 MW ขณะทำงานเต็มที่ 8MH<sub>Z</sub>

#### โครงสร้างของ Z80180 สามารถแบ่งออกตามฟังก์ชันการทำงานได้ดังนี้

- วงจรกำเนิดสัญญาณนาฬิกา เป็นวงจรสร้างสัญญาณนาฬิกา (0) จากคริสตอลภายนอกหรือสัญญาณนาฬิกาจากภายนอก
- วงจรควบคุมสถานะของบัส (Bus State Controller) เป็นวงจรควบคุมและสร้างสัญญาณที่เป็นกิจกรรมต่างๆ ของบัส โดยกำหนดไซเกิลของบัสที่เชื่อมต่อกับภายนอกรวมทั้งการสร้างสถานะรอ (Wait State), RESET, การรีเฟรชไคนามิคแรม และการจัดการเรื่องสัญญาณควบคุมบัสขณะทำการ DMA
- วงจรควบคุมอินเตอร์รัพท์ คอยตรวจสอบสัญญาณอินเตอร์รัพท์และจัดลำดับความสำคัญของอินเตอร์รัพท์ ซึ่งมีอินเตอร์รัพท์ภายนอก 4 และอินเตอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

### รีพท์ภายในชิพอีก 8 สัญญาณ

- หน่วยจัดการหน่วยความจำ (MMU) ทำหน้าที่สร้างช่องหน้าต่างเพื่อ MAP หน่วยความจำ 64 กิโลไบต์ไปอยู่ใน 1 เมกกะไบต์หรือ 512 กิโลไบต์
- หน่วยประมวลผลกลาง เป็นส่วนของการทำงานเหมือนซีพียูเดิม คือ ทำให้ซอฟต์แวร์ใช้ร่วมกับ Z80 ได้ และเพิ่มคำสั่งใหม่ ๆ เข้ามา

### ส่วนการจัดการอินพุทเอาต์พุท

ฮาร์ดแวร์ภายในของชิพ Z80180 ส่วนนี้เป็นส่วนที่เพิ่มจากซีพียู Z80 โดยนำส่วนควบคุมการทำงานอินพุท - เอาต์พุทหลายส่วนร่วมเข้ามาในชิพเช่น

- วงจรควบคุมดีเอ็มเอ เป็นวงจรควบคุมการทำงานดีเอ็มเอสองช่วง เพื่อควบคุมการถ่ายเทข้อมูลระหว่างหน่วยความจำกับหน่วยความจำ หรือจากหน่วยความจำกับอุปกรณ์อินพุทเอาต์พุท
- วงจรควบคุมการสื่อสารแบบอนุกรม เป็นวงจรที่มีพอร์ทอนุกรมแบบ FULL DUPLEX สองพอร์ทแบบ UART รวมทั้งส่วนของการโปรแกรมวงจร สร้างอัตราความถี่ที่กำหนดอัตรา BROWN RATE
- วงจรสร้างสัญญาณนาฬิกา พอร์ทอินพุท/เอาต์พุท หรือที่เรียกว่า CSI/O เป็นวงจรแบบฮาล์ฟดูเพล็กซ์เพื่อใช้สร้างสัญญาณนาฬิกาในรูปแบบและความถี่ที่แตกต่างกันตามโปรแกรมที่ควบคุม
- วงจรไทมเมอร์ที่โปรแกรมได้ จะมีสองช่องที่แยกกัน เป็นวงจรรีจิสเตอร์ที่สามารถกำหนดค่าตัวเลขการนับ โดยมีรีจิสเตอร์รับค่าโปรแกรมแบบ 16 บิตฐานที่ใช้นับไว้จากสัญญาณนาฬิกาที่ใช้ในระบบหารด้วย 20

### การรีเซ็ต (Z80180)

การรีเซ็ตซีพียู Z80180 จะต้องให้สัญญาณที่ขารีเซ็ตเป็น "0" และมีความยาวมากกว่า 6 ลูกของสัญญาณนาฬิกา หลังจากนั้นเมื่อสัญญาณรีเซ็ตกลับมาที่ "1" จะทำให้ซีพียู Z80180 เริ่มทำงาน โดยการเริ่มที่แอดเดรส 00000 H

### โหมดการทำงาน HALT และการประหยัดพลังงานไฟฟ้า

ชิพ Z80180 มีโหมดการประหยัดพลังงานไฟฟ้า 4 แบบ คือ

- โหมด HALT โหมดนี้เกิดจากการที่ชิพทำงานคำสั่ง HALT หรือรหัส ออปโค้ด 76H โหมด HALT นี้เป็นการหยุดการเอ็กซีคิวต์คำสั่งชิพ การกลับจากสถานะ HALT มีสองทางคือ

1. การรีเซ็ต จะทำให้ชิพเริ่มกลับไปทำงานที่แอดเดรส 00000H ให้
2. การอินเทอร์รัพท์ ซึ่งรับได้ทั้งอินเทอร์รัพท์ภายนอกและอินเทอร์รัพท์ภายใน

- โหมด SLEEP Z80180 มีคำสั่ง SLP เพิ่มเข้ามา เมื่อชิพทำตามคำสั่งนี้จะมีผลในเรื่องของการหยุดการทำงานของชิพ โดยสัญญาณนาฬิกา ของชิพจะหยุดเพื่อลดค่าพลังงานที่ใช้ในชิพ การหยุดครั้งนี้จะหยุดเฉพาะชิพ โดยที่อุปกรณ์อินพุทเอาต์พุทในชิพจะไม่หยุดการกลับเข้ามาทำงานใหม่ทำได้สองวิธีคือ

1. การรีเซ็ต จะทำให้ชิพกลับมาเริ่มทำงานใหม่ที่แอดเดรส 00000 H
2. การอินเทอร์รัพท์ ซึ่งส่งการอินเทอร์รัพท์ทั้งจากภายในและภายนอก

- โหมด IOSTOP เป็นโหมดที่หยุดการทำงานเฉพาะส่วนอุปกรณ์อินพุทเอาต์พุท ที่อยู่ภายในชิพโดยที่ชิพยังคงทำงานอยู่ การหยุดการทำงานส่วนนี้ทำได้ด้วยการควบคุมด้วยโปรแกรมโดยสั่งเข้ามาควบคุมบิต IOSTP ที่อยู่ภายในรีจิสเตอร์ควบคุมอินพุทเอาต์พุท (ICR) ด้วยค่า "1" ส่วนนี้จะทำให้วงจระะชิงโครนีสวงจร CSI/O และ PRT หยุดวางกลับเข้ามาทำงานใหม่ด้วยการโปรแกรมบิต ICR เป็น "0"

- โหมด SYSTEM STOP เป็นโหมดที่หยุดการทำงานทั้งหมดโดยรวม โหมด IOSTOP เข้าด้วยกัน ในกรณีนี้จะเป็นการประหยัดพลังงานอย่างเต็มที่

การเข้าสู่ SYSTEM STOP ทำได้ด้วยการกำหนดบิต ICR เป็น "1" แล้ว  
ทำการคำสั่ง SLP

### วงจรถามเมอร์

Z80 เดิมมีการต่อร่วมกับชิพภายนอก คือ CTC แต่สำหรับชิพ Z80180  
จะมีวงจรถามเมอร์อยู่ภายในชิพ เป็นวงจรถามเมอร์แบบ 16 บิตที่โปรแกรม  
ได้เรียกว่า PRT (Programmable Reload Timer) เมื่อโปรแกรม  
ค่าลงไปในรีจิสเตอร์แล้ว และสั่งให้เริ่มทำงานวงจรถามเมอร์จะนับถอยหลังจนกระทั่ง  
ถึงการโอเวอร์โฟลว์ก็จะส่ง TOUT ออกไปหรือส่งสัญญาณอินเตอร์รัพท์ ค่า  
รีจิสเตอร์นี้มีขนาด 16บิต การอินเตอร์รัพท์ก็สามารถโปรแกรมให้อินาเบิ้ล  
หรือดิสเอเบิ้ล PRT ช่อง 1 มีสัญญาณ TOUT เป็นเอาต์พุตซึ่งสามารถกำหนด  
ให้ TOUT เป็น "0" หรือ "1" หรือสลับกัน ดังนั้น TOUT จึงกลายเป็นขาที่  
ให้สัญญาณเอาต์พุตที่โปรแกรมได้

การทำงานของ PRT ทั้งสองช่องทำงานแยกกันอย่างอิสระ การโปร-  
แกรมค่าในรีจิสเตอร์ต่างๆ ของแต่ละช่องจะแยกกัน โดยมีรีจิสเตอร์ควบคุม  
TCRเป็นส่วนร่วม การนับ CLOCK จะนับจาก CLOCK ของระบบหารด้วย 20

ไอซีไมโครโปรเซสเซอร์ยอคนิยม รุ่นแรกตัวหนึ่งคือ Z80Z80 เป็น  
ชิพยูที่ใช้งานได้ง่าย มีสัญญาณการทำงานชัดเจน มีความสามารถโดยรวมดี  
มีผู้นำเอาไปประยุกต์ ใช้งานกันอย่างกว้างขวางและเป็นที่ยอมรับโดยทั่วไป  
Z80 เป็นชิพยูรุ่น 8 บิต อ้างแอดเดรสได้เพียง 64 KB เมื่อใช้งานให้เต็ม  
ประสิทธิภาพเชิงระบบ จะต้องใช้ชิพสนับสนุนอีกหลายตัว เช่น CTC, DMA,  
ตัวควบคุมอินเตอร์รัพท์ หน่วยควบคุมหน่วยความจำ อุปกรณ์ชาร์ดแวร์และใช้  
งานเหมือนกัน

ชิพยู Z80180/HD64180 เป็นชิพยูที่สร้างขึ้นให้ใช้กำลังงานไฟฟ้าต่ำ  
มาก จึงใช้เทคโนโลยีซีมอส โดยมีโครงสร้างการทำงานคอมแพคทีเบิลกับ  
ซอฟต์แวร์ของ Z80 ทุกประการ ซึ่งก็ทำให้สามารถใช้ซอฟต์แวร์ที่ได้พัฒนา  
มาแล้วได้ทันที ชิพยูที่พัฒนามาใหม่นี้ทำงานได้ที่ความถี่ สัญญาณนาฬิกาสูงสุดถึง

8 MHz และเชื่อมต่อกับหน่วยความจำได้ โดยมีหน่วยจัดการหน่วยความจำภายในทำให้เชื่อมต่อแบบขนานและอนุกรม ชิพสนับสนุน เหล่านั้นมีให้เลือกใช้ ได้มาก แต่ก็มีปัญหาที่ต้องใช้ชิพประกอบหลายชิพ ทำให้วงจรมหาและต้องใช้พลังงานไฟฟ้ามากไม่สามารถใช้กับแบตเตอรี่รุ่นเล็ก ๆ แบบ AA ได้

เมื่อเทคโนโลยีทาง VLSI จีน บริษัท ZILOG ก็พัฒนาต่อมาเป็น CPU เบอร์ Z80180 ซึ่งก็มีบริษัทชิตาร่วมอยู่ด้วย โดยบริษัทชิตานิพัฒนาและใช้เบอร์ HD64180 โดยมีโครงสร้างทางต่อกับหน่วยความจำได้ถึง 1 M หรือ 512 K

เพื่อเป็นการลดต้นทุนของระบบโดยรวม จึงได้รวมหน่วยควบคุม DMA ไว้สองช่องหน่วยสร้างสถานะรอ (wait state) การรีเฟรชไดนามิกแรม วงจรเชื่อมต่อแบบ อะซิงโครนัสแบบอนุกรม 2 พอร์ต พอร์ตสัญญาณนาฬิกา วงจรไทมเมอร์ วงจรควบคุมการอินเทอร์รัพต์ และยังสร้างสัญญาณเชื่อมต่อสำหรับอุปกรณ์สนับสนุนในกลุ่ม 80XX และ 68XX

### กลุ่มตระกูลชิพ

ความจริงแล้ว HD64180Z มีหลายรุ่นแตกต่างกันไป เช่น HD64180Z จะเป็นรุ่นที่เหมือนกับ Z80180 ทุกประการ ส่วนรุ่น HD64180R จะมีรายละเอียดปลีกย่อยในเรื่องการเขียนบ้ายินพุตเอาต์พุตเล็กน้อย ซึ่งเมื่อเชื่อมต่อกับชิพสนับสนุนของ Z80 เช่น Z80CTC จะต้องระมัดระวัง นอกจากนี้ชิตานิยังสร้างชิพ 647180 ซึ่งเป็นเวอร์ชันที่มีอีพ롬ในชิพและแรมในชิพเพื่อใช้เป็นไมโครคอนโทรลเลอร์ จุดเด่นของ HD ประกอบด้วย

- \* ทำงานด้วยสัญญาณนาฬิกาเร็ว ถึง 8 MHz และปัจจุบันมีรุ่น 10 MHz
- \* มีหน่วยจัดการหน่วยความจำ ที่เรียกว่า MMU ทำให้มีขีดความสามารถอ้างแอดเดรส ได้ถึง 1 MB หรือ 512 KB และยังใช้ในขอบเขต เดิมคือ 64 KB ได้
- \* มีหน่วยควบคุม DMA ในชิพที่ทำให้ควบคุม DMA ได้ 2 ช่อง เพื่อให้เกิดกลไกการถ่ายเทข้อมูลระหว่าง อินพุตเอาต์พุตกับหน่วยความจำ หน่วย ความจำกับหน่วยความจำ

\* สร้าง WAIT สำหรับเชื่อมโยงกับหน่วยความจำหรืออุปกรณ์อินพุตเอาต์พุตที่ช้า

\* โปรแกรมการทำงานสำหรับการรีเฟรชแรมได้

\* มีพอร์ตอนุกรมแบบอะซิงโครนัสแบบเต็มรูปแบบ 2 พอร์ต พร้อมวงจรการสร้างอัตราบิตสำหรับการรับส่งและสัญญาณการควบคุมโมเด็ม

\* มีพอร์ตสร้างสัญญาณไทม์มิ่ง ที่ทำให้เกิดสัญญาณได้สูงถึง 400 K บิตต่อวินาทีที่ความเร็ว 8 MHz

\* มีวงจรไทมเมอร์ขนาด 16 บิต ที่โปรแกรมค่าได้สองช่อง และโปรแกรมให้เกิด สัญญาณเอาต์พุตตามที่ต้องการได้

\* มีวงจรควบคุมอินเทอร์รัพท์ ที่จัดอินเทอร์รัพท์ ภายนอกได้ 4 สัญญาณ และอินเทอร์รัพท์ภายใน 8 สัญญาณ

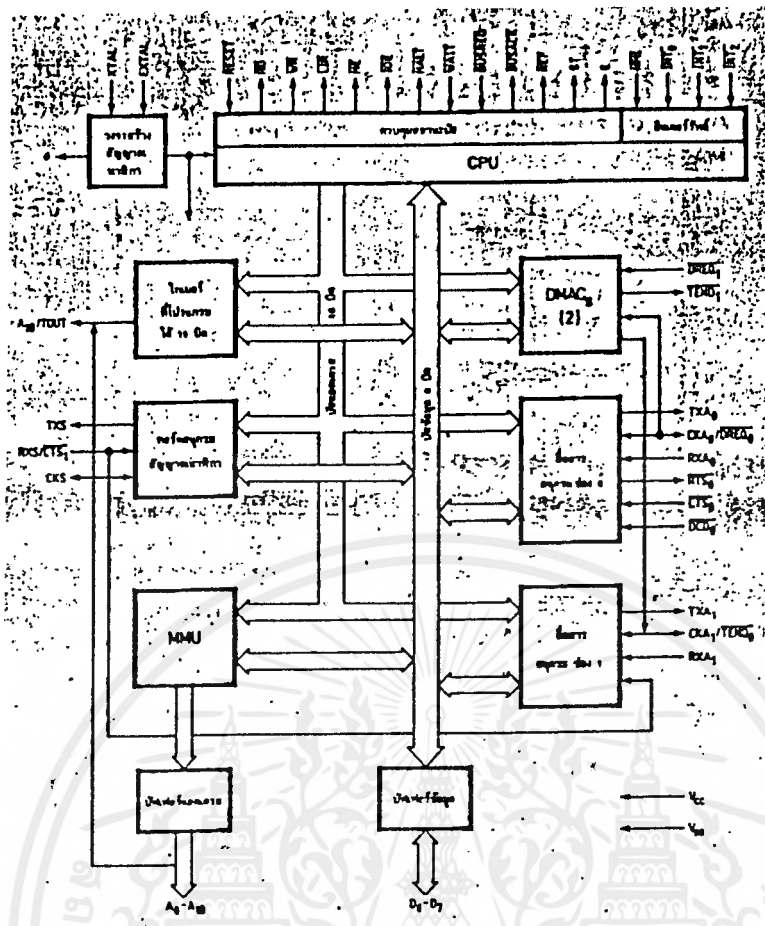
\* มีสัญญาณการเชื่อมต่อกับชิพสนับสนุนทั้งกลุ่ม INTEL และ MOTOROLA

\* วงจรสร้างสัญญาณนาฬิกาจากคริสตอล

\* ซอฟต์แวร์คอมแพคทีบิลกับ CP/M80 และซอฟต์แวร์ประยุกต์

\* มีคำสั่งพิเศษที่เพิ่มเติมขึ้นมารวมทั้งคำสั่งคูณด้วย

\* ใช้พลังงานเพียง 25 mW ขณะอยู่ในโหมด STOP และ 100 mW ขณะทำงานเต็มที่ 8 MHz



บล็อกไดอะแกรมโครงสร้างของ 64180 แสดงดังรูปข้างต้นนี้

โครงสร้างบล็อกไดอะแกรมของ HD64180 แบ่งออกเป็น BLOCK ตามฟังก์ชัน การทำงานได้ดังนี้

วงจรถ่ายโอนสัญญาณนาฬิกา เป็นวงจรถ่ายโอนสัญญาณนาฬิกา (0) จากคริสตัลภายนอกหรือสัญญาณนาฬิกาจากภายนอก สัญญาณนาฬิกาได้รับการโปรแกรมการหารและจัดรูปช่วงเวลาให้เหมาะสมสำหรับใช้ในระบบ และเชื่อมต่อกับอุปกรณ์ภายนอก

วงจรรักษาสถานะของบัส (Bus state controller) ใช้เป็นวงจรรักษาและสร้างสัญญาณที่เป็นกิจกรรมต่างๆ ของบัสโดยกำหนดไซเคิลของบัสที่เชื่อมต่อกับภายนอก รวมทั้งการสร้างสถานะรอ (wait) RESET การรีเฟรช DRAM และจัดการเรื่องสัญญาณควบคุมบัสขณะทำการ DMA สร้างสัญญาณในบัสเพื่อให้เชื่อมต่อกับอุปกรณ์ภายนอกทั้งตระกูล 80XX และ 68XX

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วงจรมินิคอมพิวเตอร์ คอยตรวจสอบสัญญาณอินิเตอร์รพีท และจัดลำดับความสำคัญของอินิเตอร์รพีท ซึ่งมีอินิเตอร์รพีทภายนอก 4 และอินิเตอร์รพีทภายในชิพอีก 8 สัญญาณ

หน่วยจัดการหน่วยความจำ (MMU) ทำหน้าที่สร้างช่องหน้าต่างเพื่อMAP หน่วยความจำ 64 KB ไปอยู่ใน 1 M หรือ 512 K ของหน่วยความจำฟิสิคัล การจัดการหน่วยความจำนี้ใช้วิธีการสร้างหน่วยความจำเป็นส่วนๆ โดยมีโหมดการจัดการหน่วยความจำหลายโหมด ใช้ซอฟต์แวร์จัดการโดยมีคำสั่งที่สั่งการทำงาน ของ MMU ที่สร้างขึ้นเป็นพิเศษ นอกเหนือจากคำสั่งของ Z80

หน่วยประมวลผลกลาง เป็นส่วนของการทำงานเหมือนชิพยูเคม คือ ทำให้ซอฟต์แวร์ใช้ร่วมกับ Z80 ได้ อย่งไรก็ตาม จำนวนสัญญาณนาฬิกาต่อไซเกิลลดลงจากเดิมและเพิ่มคำสั่งใหม่ ๆ เข้ามา

ส่วนจัดการอินพุตเอาต์พุต ซาร์ดแวร์ภายใน 64180 ส่วนนี้เป็นส่วนที่ใส่เพิ่มจากชิพยู Z80 เดิม โดยนำส่วนควบคุมการทำงานอินพุต-เอาต์พุตหลายส่วนใส่ร่วมเข้ามาในชิพ

วงจรมินิคอมพิวเตอร์ ดีเอ็มเอ เป็นวงจรมินิคอมพิวเตอร์การทำงาน ดีเอ็มเอ สองแชนแนล เพื่อควบคุมการถ่ายเทข้อมูลระหว่างหน่วยความจำกับหน่วยความจำ หรือจากหน่วยความจำกับอุปกรณ์อินพุตเอาต์พุต ส่วนของการถ่ายเทข้อมูลกับหน่วยความจำนี้ทำได้เต็มขนาดของหน่วย ความจำ 1 M หรือ 512 K ตามค่าแอดเดรสที่กำหนด โดย MMU การถ่ายเทข้อมูลด้วยขนาดของข้อมูลสูงสุดไม่เกิน 64K และกำหนดแอดเดรสเพื่อส่งถ่ายข้อมูลक्रमขอบเขตของ 64KB

วงจรมินิคอมพิวเตอร์สื่อสารแบบอนุกรม เป็นวงจรที่มีพอร์ตอนุกรมแบบ FULL-DUPLEX 2พอร์ตแบบ UART รวมทั้งส่วนของการโปรแกรมวงจรสร้างอัตราความถี่ที่กำหนด BAUND RATEบิตเรต สัญญาณควบคุมในการสื่อสารประกอบด้วยสัญญาณควบคุม MODEM สัญญาณควบคุมเพื่อใช้ส่งถ่ายข้อมูลแบบอัตราความเร็วสูงเพื่อใช้ทำงานแบบหลายชิพยู โดยมี การส่งย้ายข้อมูลร่วมกัน นอกจากนี้ยังทำงานร่วมกับ DMA เพื่อส่งถ่ายข้อมูลความเร็วสูงอีกด้วย

วงจรมินิคอมพิวเตอร์สัญญาณนาฬิกา พอร์ตอินพุต/เอาต์พุต หรือที่เรียกย่อๆว่า I/O เป็นวงจรแบบฮาล์ฟดูเพล็กซ์ เพื่อใช้สร้างสัญญาณนาฬิกาแบบและความถี่ที่



โครงสร้างของ HD64180 มีสองกลุ่ม กลุ่มแรกคือ กลุ่ม Z ส่วนอีกกลุ่มคือ กลุ่ม R โดยมีโครงสร้างการจัดขา ดังรูปที่ 2 การจัดขาและสัญญาณที่ขาต่าง ๆ

จากรูปที่ 2 ที่แสดงการจัดขาและชื่อสัญญาณของ HD64180 ซึ่งมีรายละเอียดดังตารางที่ 1 กลไกการทำงานบางอย่างที่แตกต่างจาก Z80

หากพิจารณาในไซเกิลการทำงานเทียบกับของ Z80 จะพบว่า HD64180 ได้ปรับปรุงให้มีจังหวะของการเพตซ์

ตารางที่ 1 รายละเอียดขาและสัญญาณของ HD64180

ชื่อสัญญาณ	ความหมาย
XTAL (IN)	ขาที่ใช้ต่อกับคริสตอล แต่ถ้าใช้สัญญาณนาฬิกาป้อนเข้ามาทางขา EXTAL (IN) ก็จะทำให้ขานี้ลอยได้
EXTAL (IN)	ขาที่ต่อรับสัญญาณที่ที่แอลที่เป็นสัญญาณนาฬิกาเข้ามาแทน คริสตอล
O (OUT)	สัญญาณนาฬิกาของระบบเป็นสัญญาณที่มีความถี่เป็นครึ่งหนึ่งของคริสตอล
RESET	สัญญาณรีเซต มีค่าแอกทีฟที่ลอจิก "0"
A <sub>0</sub> -A <sub>9</sub>	แอดเดรสบัสเป็นสัญญาณลอจิกสามสถานะ
A <sub>18</sub> /OUT	ขณะรีเซตจะมีค่าเป็นอิมพีแดนซ์สูง ขณะที่ BUSREQ และ BUSACK เป็น "0" A <sub>18</sub> จะเป็นสัญญาณมัลติเพล็กซ์กับ TOUT จาก PRT แชนแนลที่ 1 TOUT เป็นสัญญาณที่กำหนดได้ด้วยซอฟต์แวร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ชื่อสัญญาณ	ความหมาย
D <sub>0</sub> -D <sub>7</sub>	สายสัญญาณข้อมูล
RD	สัญญาณอ่านข้อมูลจากหน่วยความจำหรืออินพุตเอาต์พุต
WR	สัญญาณเขียนข้อมูลจากซีพียูไปยังหน่วยความจำหรืออินพุต เอาต์พุต
ME	<p>อีนาเบิลหน่วยความจำ ใช้สำหรับกำหนดจังหวะการเขียน หรืออ่านหน่วยความจำ HD64180 จะให้ลอจิก "0" เมื่อ</p> <ol style="list-style-type: none"> <li>1. เฟตซ์คำสั่งและโอเปอร์แรนด์</li> <li>2. เมื่ออ่านเขียนข้อมูลกับหน่วยความจำ</li> <li>3. เมื่ออยู่ในไซเกิลการติดต่อหน่วยความจำระหว่าง DMA</li> <li>4. ระหว่างการรีเฟรชหน่วยความจำ DRAM ในไซเกิลการรีเฟรช</li> </ol>
IOE	<p>อีนาเบิลอินพุตเอาต์พุต HD64180 แทรก IOE เป็น "0" เมื่อ</p> <ol style="list-style-type: none"> <li>1. ต้องการเขียนอ่านข้อมูลอินพุตเอาต์พุต</li> <li>2. ระหว่างการทำงานอินพุตเอาต์พุตของ DMA</li> <li>3. ระหว่าง INTO ขณะในไซเกิลการตอบรับ</li> </ol>
WAIT	เป็นสัญญาณอินพุต เพื่อกำหนดสถานะการ WAIT ในไซเกิลการติดต่อกับหน่วยความจำและอินพุตเอาต์พุต
E	อีนาเบิล เป็นสัญญาณเอาต์พุตที่ใช้ซิลิโคนส์กับอุปกรณ์เพอริ เฟอรัลในตระกูล 6800/6500

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ชื่อสัญญาณ		ความหมาย	
BUSREQ		เป็นสัญญาณการขอใช้บัส ซีพียูจะตอบสนองด้วย BUSACK	
BUSACK		เป็นสัญญาณบอกอุปกรณ์ภายนอกให้รับรู้ว่า ซีพียูให้ใช้บัสโดยจะทำให้บัสสแตนด์บายเป็นอิมพีแดนซ์สูง ทั้งแอดเดรส ข้อมูล RD WR ME และ IOE	
HALT		สัญญาณเอาต์พุตที่บอกว่าซีพียูได้ทำการสั่ง HALT หรือ SLP	
LIR		เป็นสัญญาณเอาต์พุต จะมีสัญญาณเป็น "0" เมื่อไซเคิลขณะทำงานเป็นไซเคิลการเพชท์ ออปโค้ด ใช้ร่วมกับ HALT และ ST เพื่อถอดรหัสสถานะของซีพียู	
ST		สัญญาณเอาต์พุตเพื่อแสดงสถานะ ใช้ร่วมกับ HALT และ LIR เพื่อถอดรหัสเป็นสถานะของ ซีพียู โดยมีสถานะดังนี้	
ST	HALT	LIR	สถานะการทำงานของซีพียู
0	1	0	ซีพียูทำการเพชท์ออปโค้ดตัวที่ 1
1	1	0	ซีพียูทำการเพชท์ออปโค้ดตัวที่ 2
1	1	1	ซีพียูทำงานที่ไม่ใช่การเพชท์
0	x	1	การทำงานตีเอ็มเอ
0	0	0	HALT
1	0	1	อยู่ในโหมด SLEEP

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ชื่อสัญญาณ	ความหมาย
REF	สัญญาณรีเฟรช แยกที่พที่สัญญาณ "0" เมื่อแยกที่พจะบอก จังหวะการรีเฟรชในไซเกิลการรีเฟรช ขณะนั้น A <sub>0</sub> -A <sub>7</sub> จะมีค่าแอดเดรสสำหรับการรีเฟรช
NMI	นอนมาสเคเบิลอินเตอร์รัพต์ สัญญาณนี้ใช้สำหรับการอินเตอร์รัพต์ซีพียูโดยมีเวกเตอร์กำหนดการทำงานที่แอดเดรส 0066H และจะกลับมาเมื่อทำคำสั่ง RETN
INT <sub>0</sub>	มาสเคเบิลอินเตอร์รัพต์ ระดับ 0 เป็นสัญญาณอินพุตเข้ามา อินเตอร์รัพต์ซีพียู สัญญาณอินเตอร์รัพต์นี้มีโหมคการทำงานที่กำหนดให้มีการทำงานได้สามโหมคคือ โหมค 0 ทำการตอบ สนองด้วยการเฟตซ์คำสั่งจากบัสข้อมูล โหมค 1 ทำการเฟตซ์จากแอดเดรส 0038H โหมค 2 ใช้เวกเตอร์เป็นมาสก์สำหรับการเฟตซ์ โดย 8 บิต ทุกโหมคจะกลับคืนด้วย
INT <sub>1</sub> , INT <sub>2</sub>	มาสเคเบิลอินเตอร์รัพต์ระดับ 1,2,6 เป็นสัญญาณอินพุตเพื่อ อินเตอร์รัพต์ซีพียู มีการกำหนดมาสก์เหมือน INT <sub>0</sub> ในโหมค2
DREQ <sub>0</sub>	สัญญาณอินพุตเพื่อขอดีเอ็มเอแชนเนล 0 แชนเนลนี้เป็นการทำ ดีเอ็มเอระหว่างหน่วยความจำ กับอุปกรณ์อินพุตเอาต์พุต หรือ หน่วยความจำที่แม่พิมพ์ตามอินพุตเอาต์พุต ขานี้มีสัญญาณที่มัลติเพล็กซ์กับ CKA <sub>0</sub>

ชื่อสัญญาณ	ความหมาย
TEND <sub>0</sub>	สัญญาณบอกจบการทำดีเอ็มเอ สัญญาณนี้มัลติเพล็กซ์กับ CKA <sub>1</sub>
DREQ <sub>1</sub>	สัญญาณขอดีเอ็มเอแชนเนล 1
TEND <sub>1</sub>	สัญญาณจบการทำดีเอ็มเอแชนเนล 1
TXA <sub>0</sub>	ขาที่ใช้ส่งข้อมูลเป็นแชนเนล 0 ของการสื่อสารแบบอะซิงโครนัส
RXA <sub>0</sub>	ขารับข้อมูลแชนเนล 0 ของการสื่อสารแบบอะซิงโครนัส
CKA <sub>0</sub>	สัญญาณนาฬิกาสำหรับการสื่อสารแบบ ASYN.
RTS <sub>0</sub>	สัญญาณควบคุมโมเด็มของแชนเนล 0 (RTS)
CTS <sub>0</sub>	สัญญาณอินพุตจากโมเด็ม (CTS)
DCD <sub>0</sub>	สัญญาณรับการตรวจสอบสัญญาณพาหะ (Data Carrier Det)
TXA <sub>1</sub>	ขาส่งข้อมูลอะซิงโครนัสแชนเนล 1
RXA <sub>1</sub>	ขารับข้อมูลอะซิงโครนัสแชนเนล 1
CKA <sub>1</sub>	สัญญาณนาฬิกาที่ใช้ในพอร์ตสื่อสารอนุกรม CH1
CTS	สัญญาณรับจากโมเด็ม CTS
TXS	สัญญาณนาฬิกา ส่งออกจากพอร์ตอนุกรม สำหรับส่งสัญญาณ นาฬิกาความเร็วสูง
RXS	รับสัญญาณนาฬิกาแบบอนุกรม ขานี้มัลติเพล็กซ์กับ CTS <sub>1</sub>
CKS	สัญญาณนาฬิกาอินพุตหรือเอาต์พุต สำหรับ CSI/O
TOUT	เอาต์พุตจากไทเมอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ชื่อสัญญาณ	ความหมาย
V <sub>CC</sub>	แหล่งจ่ายไฟเลี้ยง กราวด์
V <sub>SS</sub>	

## 2. จากการอินเทอร์รัพต์ ซึ่งรับได้ทั้งอินเทอร์รัพต์ภายในและภายนอก

โหมด SLEEP 64180 มีคำสั่ง SLP เพิ่มเข้ามา คำสั่งนี้มีขนาด 2 ไบต์ เมื่อซีพียูทำตามคำสั่งนี้จะมีผลในเรื่องของการหยุดการทำงานของซีพียู โดยสัญญาณนาฬิกาของซีพียูจะหยุด เพื่อลดค่าพลังงานที่ใช้ในซีพียู ส่วนวงจรที่ใช้ในการสร้างสัญญาณนาฬิกาแบบคริสตอลยังคงทำงานอยู่ ซีพียูยังคงรับสัญญาณอินเทอร์รัพต์ทั้งจากภายในและภายนอกได้ ไซเคิลการรีเฟรชหน่วยความจำก็หยุดหมด แม้กระทั่ง DMAC ก็ไม่ทำงาน ส่วนสัญญาณ BUSRQ นั้นซีพียูยังรับได้ แอคเตสของซีพียูจะมีระดับลอจิกเป็น "1" ส่วนบัสข้อมูลจะมีสถานะเป็น อิมพีแดนซ์สูง การหยุดครั้งนี้จะหยุดเฉพาะซีพียูโดยที่อุปกรณ์อินพุตเอาต์พุตในชิพไม่หยุด การเรียกเข้ามาทำงานใหม่มีทั้งวิธีการได้สองวิธีคือ

1. การรีเซต จะทำให้ซีพียูกลับมาเริ่มทำงานใหม่ที่แอกเตส 00000H
2. การอินเทอร์รัพต์ ซึ่งรับอินเทอร์รัพต์ทั้งจากภายในและภายนอก

โหมด IOSTOP เป็นโหมดที่หยุดการทำงานเฉพาะส่วนอุปกรณ์อินพุตเอาต์พุตที่อยู่ภายในชิพ โดยที่ซีพียูยังคงทำงานอยู่ การหยุดทำงานส่วนนี้ทำได้ด้วยการควบคุมด้วยโปรแกรมโดยสั่งเข้ามาควบคุมบิต IOSTP ที่อยู่ในรีจิสเตอร์ ควบคุมอินพุตเอาต์พุต (ICR) ด้วยค่า "1" ส่วนนี้จะทำให้วงจรอะซิงโครนัส วงจร CSI/O และ PRT หยุดวางกลับเข้ามาทำงานใหม่ด้วยการโปรแกรมบิต ICR เป็น "0"

โหมด SYSTEM STOP เป็นโหมดที่หยุดการทำงานทั้งหมดโดยรวมโหมด SLEEP และโหมด IOSTOP เข้าด้วยกันในกรณีนี้จะเป็นการประหยัดพลังงานอย่างเต็มที่ การเข้าสู่ SYSTEM ทำได้ด้วยการกำหนดบิต ICR เป็น "1" แล้วทำการคำสั่ง SLP

รีจิสเตอร์ I/O ภายใน

ภายในชิพ 64180 มีรีจิสเตอร์ ภายในที่ซีพียูจะทำการติดต่อด้วยอยู่ทั้งหมด 64 แอดเดส(รวมแอดเดรสที่สงวนไว้ด้วย) รีจิสเตอร์เหล่านี้เกี่ยวข้องกับอินพุตเอาต์พุตภายใน (ASCII, CSI/O, PRT) และการควบคุมฟังก์ชันการทำงาน เช่น การควบคุมเคีเอ็มเอ การ รีเฟรชดีแรม การอินเตอร์รัพต์ การสร้างสถานะWAITและการกำหนดตำแหน่งแอดเดรสของ MMU และ I/O

ICR-รีจิสเตอร์ควบคุมอินพุต เอาต์พุต ICR เป็นรีจิสเตอร์อยู่ภายในอยู่ที่แอดเดรสอินพุตเอาต์พุต 3FH ส่วนประกอบของ ICR แสดงดังรูป

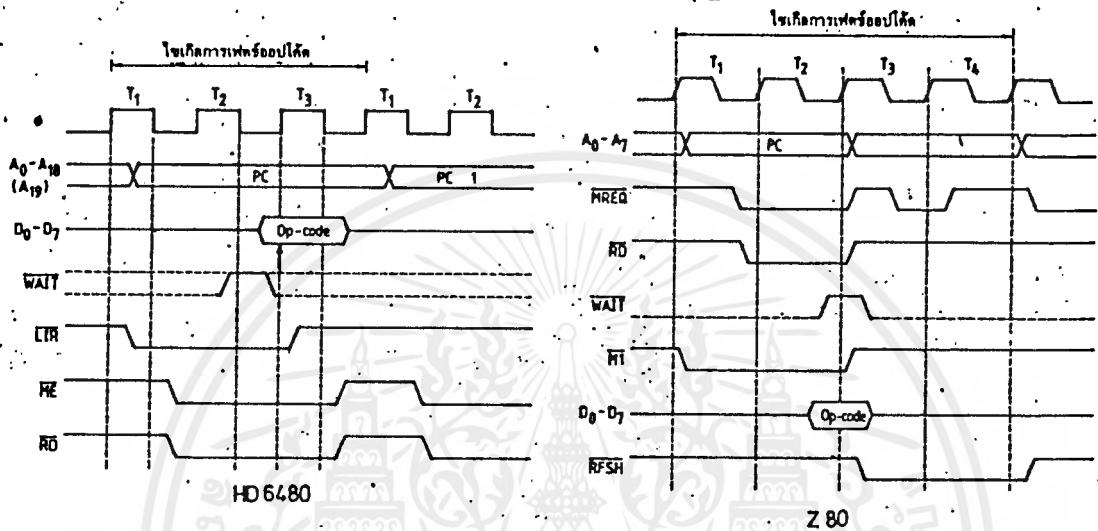
บิต            7                            6                            5                            4-----0

IOA7	IOA6	IOSTP	-	-
------	------	-------	---	---

บิตที่ 7 และ 6 คือ IOA7 และ IOA6 ใช้สำหรับกำหนดแอดเดรสให้กับอุปกรณ์ อินพุตเอาต์พุตโดยตำแหน่งของแอดเดรสจะอยู่ที่ใดขึ้นอยู่กับค่าของ IOA7, IOA6 การรีเซตทำให้ค่า IOA7 และ IOA6 มีค่าเป็น "0"

เพื่อให้แอดเดรสของ I/O ภายในไม่มีปัญหาเกี่ยวกับแอดเดรสภายนอกของวงจรที่จะเชื่อมต่อ แอดเดรสของ I/O ภายในจึงได้รับการโปรแกรมให้มีค่า 64 ไบต์ ในส่วนของ256 ไบต์ล่างของ 64 K ไบต์ในส่วนแอดเดรสของI/O

IOSTP เป็นบิตที่ใช้ในการโปรแกรมการทำงานให้หยุดอินพุตเอาต์พุตภายในชิพทั้งหมดหรืออื่นาเบิการทำงาน โดยปกติเมื่อรีเซตค่า IOSTP จะมีค่าเป็น "0" เหลือเพียง 3 สเตตเท่านั้น ส่วนไซเกิลอื่นคือไซเกิลของการเขียนอ่านจากหน่วยความจำหรืออุปกรณ์อินพุต



ไดอะแกรมเวลาการเฟตซ์ออปปโค้ดเมื่อเทียบกับ Z80

เอาต์พุตยังคงเหมือนเดิมคือ ใช้ 3 สเตต การลดลงของการเฟตซ์ที่เหลือ 3 สเตต แสดงดังข้างบนนี้ แสดงไดอะแกรมการเฟตซ์ออปปโค้ดโดยไม่มีทรกสถานะ WAIT ใน Z80 ใช้ M1 เป็นสัญญาณบอกการเฟตซ์แต่ใน HD64180 ใช้สัญญาณ LTR เป็นสัญญาณแสดง การเฟตซ์ การเริ่มการเฟตซ์จะเกิดขึ้นจาก T<sub>1</sub> โดยครั้งแรกของ T<sub>1</sub> ซีพียูจะส่งค่าแอดเดรสจาก PC ซึ่งเป็นค่าส่งมาจาก A<sub>0</sub>-A<sub>18</sub> (A<sub>19</sub>) ค่าแอดเดรสนี้ได้รับการแปลงค่าจาก 16 บิต มาเป็น 20 บิต โดย MMU สัญญาณที่ตามออกมาคือ LTR ที่ให้ลอจิก "0" ในครั้งหลังของ T<sub>1</sub> จะมีการส่ง ME และ RD เพื่อบอกการติดต่อหน่วยความจำแบบอ่าน การอ่านจะรับข้อมูลจากบัสข้อมูลขณะขอบขาขึ้นของ T<sub>3</sub>

สำหรับไซเกิลอื่นคือไซเกิลการเขียนอ่าน เมื่อไม่มีสถานะ WAIT ก็ใช้ 3 สเตตไดอะแกรมเวลามีลักษณะคล้ายของ Z80 มาก

การรีเซต 64180

การรีเซตซีพียู 64180 มีกลไกที่ต้องดำเนินการเฉพาะตัวอยู่บ้าง การรีเซตจะต้องให้สัญญาณที่ขารีเซตเป็น "0" และมีความยาวมากกว่า 6 ลูกของสัญญาณนาฬิกา หลังจากนั้นเมื่อสัญญาณรีเซตกลับมาที่ "1" จะทำให้ซีพียู 64180 เริ่มทำงาน โดยการเริ่มที่แอดเดรส 00000H

โหมดการทำงาน HALT และการประหยัดพลังงานไฟฟ้า

หากพิจารณาฮาร์ดแวร์ของชิพ 64180 แล้วจะเห็นว่า มีสิ่งที่เพิ่มเติมจาก Z80 เดิมอีกมาก ภายในชิพ 64180 พอยท์ได้เป็นสองกลุ่มใหญ่คือ กลุ่มซีพียูกับกลุ่มอินพุตเอาต์พุต เมื่อการออกแบบชิพเน้นในเรื่องของการใช้กับแหล่งจ่ายไฟเลี้ยงกำลังต่ำจากแบตเตอรี่ผู้ออกแบบจึงต้องสร้างโหมดการทำงานที่มีการประหยัดพลังงาน โดยเฉพาะขณะที่ยังไม่ใช้งาน จะมีวิธีการหยุดการทำงานเพื่อลดการใช้พลังงาน และสามารถเรียกกลับเข้ามาทำงานได้ใหม่ 64180 จึงมีโหมดการทำงานในเรื่องนี้ 4 แบบด้วยกันคือ

โหมด HALT โหมดนี้เกิดจากการที่ซีพียูทำงานคำสั่ง HALT หรือรหัส ออปโค้ด 76H ผลที่เกิดขึ้นคือ การทำงานภายในซีพียูในเรื่องสัญญาณนาฬิกา ยังคงทำงานตามเดิม พลังงานที่ใช้ยังคงที่เหมือนทำงานภายใต้โปรแกรม ซีพียูยังคงรับสัญญาณอินเทอร์รัพต์จากทั้ง ภายในและภายนอกได้ การรับรู้ในเรื่องของสัญญาณ BUSRQ และการตอบสนองการใช้บัส ด้วย BUSAK ก็ยังคงเกิดขึ้นได้เพราะกลไกการทาคีเอ็มเอเป็นกลไกของ ฮาร์ดแวร์ที่อยู่นอก ซีพียู การรีเฟรชหน่วยความจำยังคงดำเนินการต่อไป การทำงานของอุปกรณ์อินพุตเอาต์พุตภายในชิพยังคงดำเนินการต่อไปอย่างปกติ ทั้งวงจรอะซิงโครนัส วงจรไทเมอร์ หรือวงจรถ่ายโอนสัญญาณนาฬิกา

โหมด HALT นี้จึงเท่ากับเป็นการหยุดการเอ็กซีคิวต์คำสั่งซีพียู หากดูสัญญาณที่ขาแอดเดรสของ A<sub>0</sub>-A<sub>19</sub> จะพบค่าแอดเดรสที่มีค่าต่อจากค่า

แอดเดรสที่เก็บคำสั่ง HALT การกลับจากสถานะ HALT มีสองทางคือ

1. การรีเซต จะทำให้ซีพียูเริ่มกลับไปหาที่แอดเดรส 0000H ใหม่

### การแม็พแอดเดรสภายใน

#### I/O ของ 64180

ตารางที่ 2 เป็นตารางแสดงค่าแอดเดรส สำหรับอุปกรณ์อินพุต เอาต์พุตภายในแอดเดรสของรีจิสเตอร์เหล่านี้มี 64 แอดเดรส ขอบเขตของแอดเดรสกำหนดด้วย ICR ที่กล่าวถึงมาแล้ว

ตารางที่ 2 แสดงการแม็พแอดเดรสภายใน

	รีจิสเตอร์	นิโอมิก	แอดเดรส
ASCII	รีจิสเตอร์ควบคุม ASCII-A แชนเนล 0	CNTLA 0	00H
	รีจิสเตอร์ควบคุม ASCII-A แชนเนล 1	CNTLA 1	01H
	รีจิสเตอร์ควบคุม ASCII-B แชนเนล 0	CNTLB 0	02H
	รีจิสเตอร์ควบคุม ASCII-B แชนเนล 1	CNTLB 1	03H
	รีจิสเตอร์แสดงสถานะ ASCII แชนเนล 0	STAT 0	04H
	รีจิสเตอร์แสดงสถานะ ASCII แชนเนล 1	TDR 0	05H
	รีจิสเตอร์ข้อมูลสำหรับส่งออก แชนเนล 1	TDR 1	07H
DSI/O	รีจิสเตอร์รับข้อมูล แชนเนล 0		
	รีจิสเตอร์รับข้อมูล แชนเนล 1	RDR 1	09H
	รีจิสเตอร์ควบคุม CSI/O	CNTR	0AH
	รีจิสเตอร์รับส่งข้อมูล CSI/O	TRDR	0BH
	รีจิสเตอร์ข้อมูลไทมเมอร์ ch OL	TMDROL	0CH
	รีจิสเตอร์ข้อมูลไทมเมอร์ ch OH	TMDROH	0DH
	รีจิสเตอร์ reload ch OL	RLDROL	0EH
รีจิสเตอร์ reload ch OH	RLDROH	0FH	

รีจิสเตอร์		นิมิก	แอดเดรส
TIMER	รีจิสเตอร์ควบคุมไทมเมอร์	TCR	10H
			11H
	สงวนไว้		13H
	รีจิสเตอร์ข้อมูลไทมเมอร์ ch IL	TMDR1L	14H
	รีจิสเตอร์ข้อมูลไทมเมอร์ ch IH	TIDR1L	15H
	รีจิสเตอร์ reload ch IL	RLDR1L	16H
	รีจิสเตอร์ reload ch IH	RLDR1L	17H
อื่น ๆ	ตัวนับ free running	FR	18H
			19H
	สงวนไว้		:
			:
			1FH
DMA	รีจิสเตอร์แอดเดรสต้นทาง DMA ch OL	SAROL	20H
	รีจิสเตอร์แอดเดรสต้นทาง DMA ch OH	SABOH	21H
	รีจิสเตอร์แอดเดรสต้นทาง DMA ch OB	SAROB	22H
	รีจิสเตอร์แอดเดรสปลายทางDMA ch OL	DAROL	23H
	รีจิสเตอร์แอดเดรสปลายทางDMA ch OH	DAROH	24H
	รีจิสเตอร์แอดเดรสปลายทางDMA ch OB	DAROB	25H
	รีจิสเตอร์นับจำนวนไบต์ ch OL	BCROL	26H
	รีจิสเตอร์นับจำนวนไบต์ ch OH	BCROH	27H
	รีจิสเตอร์แอดเดรสหน่วยความจำ ch 1L	MAR1L	28H
	รีจิสเตอร์แอดเดรสหน่วยความจำ ch 1H	MAR1L	29H
	รีจิสเตอร์แอดเดรสหน่วยความจำ ch 1B	MAR1B	2AH

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รีจิสเตอร์		นิโมนิค	แอดเดรส
DMA	รีจิสเตอร์แอดเดรส I/O ch 1L	IAR1L	2BH
	รีจิสเตอร์แอดเดรส I/O ch 1H	IAR1H	2CH
	สงวนไว้		2DH
	รีจิสเตอร์นับจำนวนไบต์ ch 1L	BCR1L	2EH
	รีจิสเตอร์นับจำนวนไบต์ ch 1H	BCR1H	2FH
	รีจิสเตอร์สถานะ	DSTAT	30H
	รีจิสเตอร์โหมด	DMODE	31H
	รีจิสเตอร์ควบคุม DMA/WAIT	DCNTL	32H
INT	รีจิสเตอร์เวกเตอร์สำหรับอินเตอร์รัพต์IL	IL	33H
	รีจิสเตอร์ควบคุม INT/TRAP	ITC	34H
	สงวนไว้		35H
รีเฟรช	รีจิสเตอร์ common base MMU	RCR	36H
	สงวนไว้		37H
MMU	รีจิสเตอร์ common base MMU	CBR	38H
	รีจิสเตอร์ Bank base MMU	BBR	39H
	รีจิสเตอร์ Common/Bank Area	CBAR	3AH
I/O	สงวนไว้		
	รีจิสเตอร์ควบคุมโหมดการทำงาน	OMCR	3EH
	รีจิสเตอร์ควบคุม I/O	ICR	3FH

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากตารางที่แสดงนี้เป็นค่าแอดเดรส 64 แอดเดรส ซึ่งผู้เขียนโปรแกรมสามารถขอคำสั่งอินพุตเอาต์พุตเพื่อโปรแกรมการทำงานกับอุปกรณ์เพอร์IPHERALในชิปนี้ได้อย่างไรก็ตามค่าพอร์ตแอดเดรสเหล่านี้จะต้องตรงกับค่าที่โปรแกรมในบิต IOA7 และบิตIOA6 ในส่วนของรีจิสเตอร์ ICR

### โครงสร้างการจัดการหน่วยความจำด้วย MMU

ภายใน HD64180 มีหน่วยควบคุมหน่วยความจำ (MMU) ที่จะทำการแปลงแอดเดรสจาก 64 Kไปเป็น 512 K หรือ 1 M โดยมีฟิลิคัลแอดเดรส 00000H-FFFFFFH อย่างใดก็ตามการดำเนินการของซีพียูก็มองเห็นแอดเดรสทางด้านลอจิกคัลมีขนาด 64K และมีพเข้าหาฟิลิคัลแอดเดรสขนาด 1 M

ขอบเขตของลอจิกคัลแอดเดรส สืบเนื่องจากการขยายขีดความสามารถได้ทำเพิ่มเติมจาก Z80 เดิม ซึ่งมีการอ้างอิงแอดเดรสเพียง 64 KB ดังนั้น 64180 จึงขยายด้วยการกำหนดลอจิกคัลแอดเดรส 64KB ให้ใช้งานคอมพิวเตอร์ที่เบิลกับซอฟต์แวร์ของ Z80 เดิม ส่วนของลอจิกคัลแอดเดรส 64K นี้แบ่งออกเป็นพื้นที่หลายส่วน โดยแบ่งเป็นพื้นที่รวม 0 (common area 0) พื้นที่แบงก์ (bank area) และพื้นที่รวม 1 (common area 1) การจัดแบ่งกลุ่มพื้นที่ดังกล่าว แบ่งได้หลายแบบตามโปรแกรมที่กำหนดทางซอฟต์แวร์ ลักษณะการแบ่งพื้นที่เป็นไปได้ตามรูปที่ 6

การจัดแบ่งพื้นที่เหล่านี้ เพื่อจุดมุ่งหมายของการใช้งานให้ได้ผลและง่ายต่อการใช้งาน เพราะจะต้องนำพื้นที่เหล่านี้แม็พลงในส่วนของฟิลิคัลแอดเดรส 1 MB

### การแปลงแอดเดรสจากลอจิกคัลไปเป็นฟิลิคัล

การแปลงแอดเดรสนี้ จะแบ่งแยกส่วนของพื้นที่ทั้งสามส่วนออกมาแม็พใส่แอดเดรสในส่วนของฟิลิคัลแอดเดรส ใน 1 MB จุดที่สำคัญอย่างหนึ่งคือพื้นที่ส่วนพื้นที่ร่วมกับพื้นที่แบงก์ทับซ้อนกันได้ ส่วนของพื้นที่รวม 1 กับพื้นที่แบงก์ก็เลื่อนไปแม็พในตำแหน่งใดบน พื้นที่ 1 MB ได้ ส่วนพื้นที่รวม 0 ถ้ามีอยู่ใน

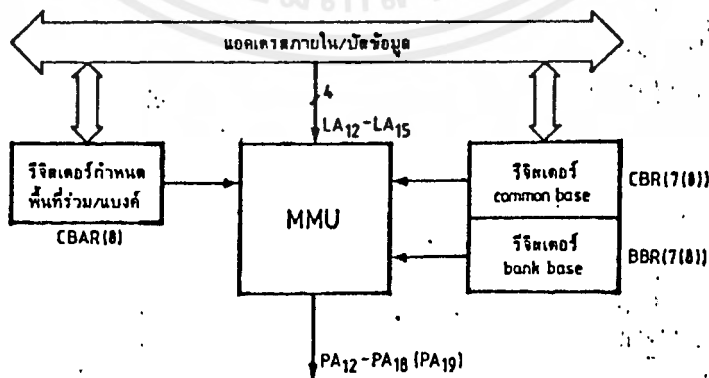
ระบบจะต้องเริ่มที่แอดเดรส 00000H เสมอ

โครงสร้างการแม็พแอดเดรส แสดงดังรูป



การจัดแบ่งพื้นที่ส่วนลอจิคัล

จะเห็นชัดว่าพื้นที่ร่วม 0 จะแม็พอยู่ที่แอดเดรส 00000H การอ้างอิงแอดเดรสจะเทียบกับแอดเดรส 00000H ส่วนพื้นที่แบงค์จะอ้างอิงโดยการใช้อีจิสเตอร์เบสที่เป็นตัวกำหนด ส่วนพื้นที่ร่วม 1 จะมี common base เป็นอีจิสเตอร์กำหนด โดยแอดเดรสที่อ้างอิงจะใช้ค่าอ้างอิง Z



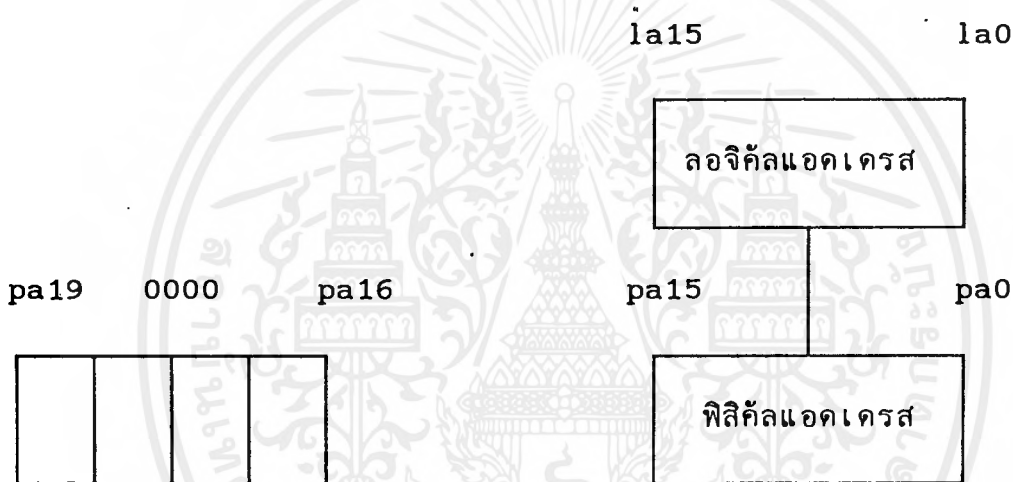
บล็อกไดอะแกรมของ MMU

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

### บล็อกไคอะแกรมการทำงานของ MMU

บล็อกไคอะแกรมของ MMU แสดงดังรูปที่ 8 เป็นตัวกำหนดการแปลงแอดเดรสภายในจาก 16 บิต ไปเป็น 20 บิต เพื่อส่งออกทางขาแอดเดรสให้ต่อกับฟิลิคัลแอดเดรส การทำงานของ MMU ใช้รีจิสเตอร์ประกอบคือ รีจิสเตอร์ CBAR ที่ใช้กำหนดรูปแบบของลอจิกัลแอดเดรสว่าเป็นอย่างไรและใช้รีจิสเตอร์ CBR และ BBR เป็นแอดเดรสสำหรับพื้นที่ที่รวมและพื้นที่แบ่ง

เมื่อไรก็ตามที่ซีพียูจะทำการติดต่อกับหน่วยความจำซีพียูจะส่งแอดเดรสจากลอจิกัลมาแปลงให้เป็นฟิลิคัล โดย MMU จะทำหน้าที่แปลงแอดเดรสให้ โดยปกติซีพียูจะมีการติดต่อผ่าน MMU ในไซเกิลต่อไปนี้



### การสร้างฟิลิคัลแอดเดรสของ MMU ขณะทำไซเกิลอินพุตเอาต์พุต

1. ไซเกิลหน่วยความจำ ไซเกิลนี้เกี่ยวกับการเขียนอ่านการเพตซ์ ข้อมูลจากหน่วยความจำ รวมถึงการเพตซ์เวกเตอร์อินเตอร์รัพต์ และการรีสตาร์ทอินเตอร์รัพต์ทางซอฟต์แวร์

2. ไซเกิลอินพุตเอาต์พุต ขณะทำงานในไซเกิลอินพุตเอาต์พุตข้อมูลจากซีพียูจะส่งแอดเดรสทางลอจิกัล 16 บิต ผ่านมาทาง MMU โดยที่จะทำให้บิตของฟิลิคัลบิต PA<sub>19</sub>-PA<sub>16</sub> มีค่าเป็น 0 ดังรูป

3. ไซเกิลดีเอ็มเอ เมื่อ HD64180 ทำการดีเอ็มเอด้วยวงจร DMAC ซึ่งเป็นการใช้บั๊สภายนอก MMU จะบายพาสบั๊สทางฟิลิคัลให้ โดยรีจิสเตอร์

ขนาด 20 บิต ที่เป็นรีจิสเตอร์ต้นทาง และรีจิสเตอร์ปลายทางใน DMAC จะต่อโดยตรงเข้ากับบัสฟิลิคล็อคแอดเดรส ( $A_0-A_{19}$ )

### การทำงานด้วยการโปรแกรม ค่ารีจิสเตอร์ของ MMU

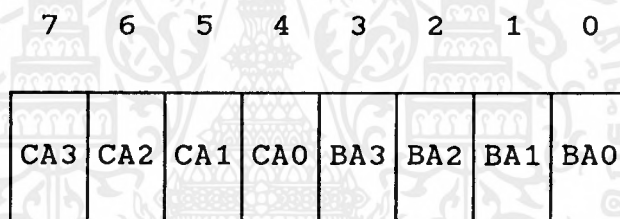
รีจิสเตอร์แบบ MMU ที่สำคัญ มีสามตัวคือ

CBAR - Common/Bank Area Register

CBR - Common Base Register และ

BBR - Bank Base Register

CBAR เป็นรีจิสเตอร์ที่ใช้สำหรับกำหนดพื้นที่ของหน่วยความจำ โดยมีแอดเดรสทาง I/O ของ CBAR อยู่ที่ 3AH ค่าที่แบ่งใน CBAR แสดงได้ดังรูป



รีจิสเตอร์ CBAR

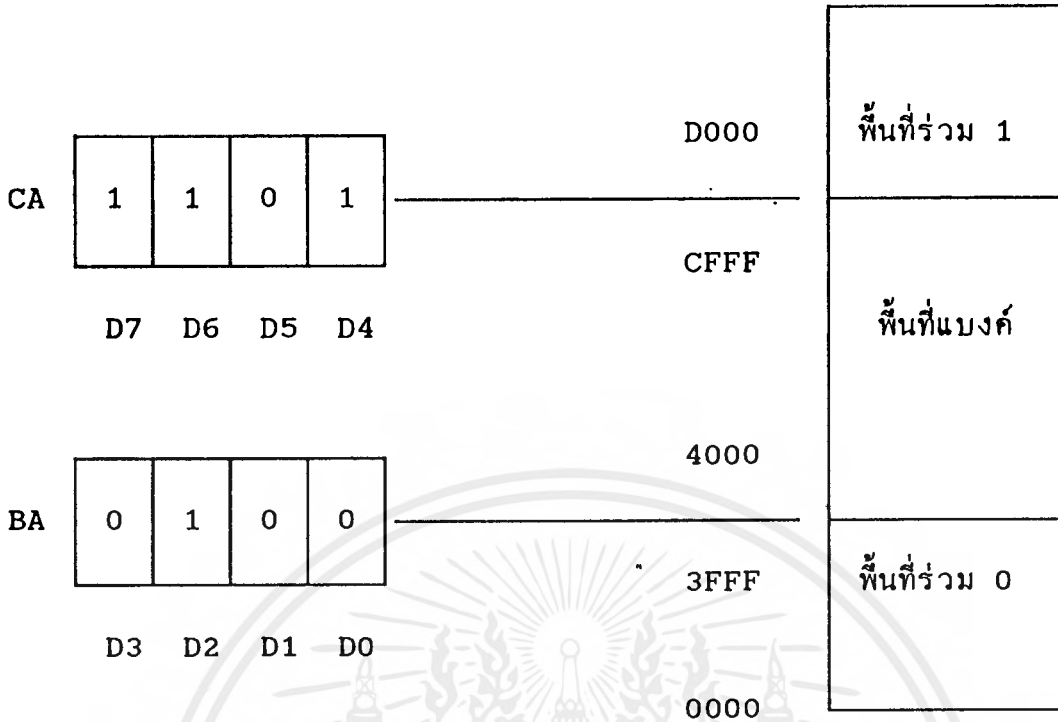
โดยทั่วไป CBAR จะเป็นตัวกำหนดขอบเขต โดยใช้ค่าที่อยู่ในรีจิสเตอร์โดยแบ่งแยกบิตต่าง ๆ ออกได้ดังนี้

$CA_3-CA_0$  : CA เป็นตัวกำหนดจุดเริ่มต้นแอดเดรส (LOW) ของพื้นที่รวม 1 โดยมีขนาด 4 K ส่วนนี้จะเป็นส่วนกำหนดแอดเดรสสุดท้ายของพื้นที่แบ่งด้วย เมื่อรีเซตค่าของ CA ทุกบิตจะเป็น "1"

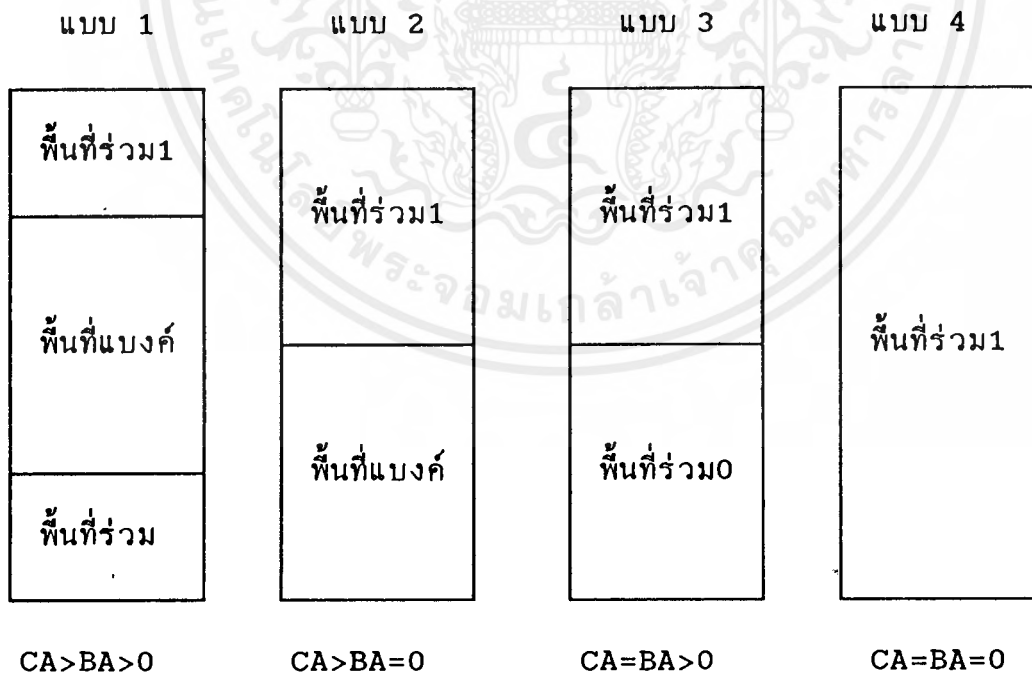
$BA_3-BA_0$  : BA เป็นตัวกำหนดจุดเริ่มต้นแอดเดรส (LOW) ของพื้นที่แบ่งและเป็นตัวกำหนดแอดเดรสสุดท้ายของพื้นที่รวม 0 เมื่อรีเซตทุกบิตใน BA จะเป็น "0"

ลักษณะการกำหนดค่าใน CA และ BA จะเป็นตัวกำหนดขอบเขตของพื้นที่ทั้งสามจะแสดงในรูปหน้าต่อไป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



ตัวอย่างเมื่อ CA มีค่า D และ BA มีค่า 4 จะแบ่งพื้นที่เป็นสามส่วน



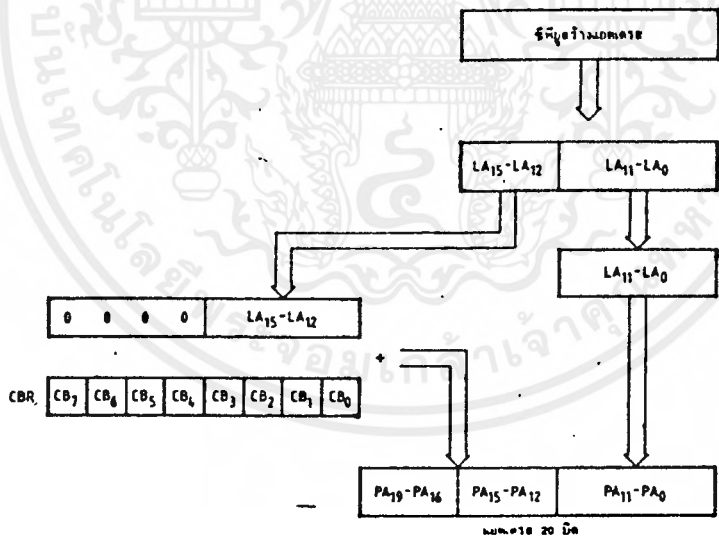
การจัดแบ่งหน่วยความจำลอจิกัล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ค่าของ CA และ BA จะเป็นตัวกำหนดพื้นที่ของหน่วยความจำ ลอจิกัลว่ามีการแบ่งอย่างไรการแบ่งพื้นที่นี้แบ่งได้หลายแบบ ดังรูปที่ผ่านมา

เมื่อจัดแบ่งหน่วยความจำลอจิกัล ออกเป็นส่วน ๆ ได้แล้วก็ถึงคราวใช้งานที่จะทำให้หน่วยความจำแบบลอจิกัลนี้ไปมีพบนหน่วยความจำแบบฟิสิคัล การดำเนินการนี้จะต้องใช้รีจิสเตอร์เบส MMU ใช้ CBR เป็นรีจิสเตอร์เบสสำหรับพื้นที่รวม 1 ในการสร้างแอดเดรสให้ครบถึง A<sub>19</sub> ขณะรีเซตค่าของ CBR จะมีค่าเป็น "0"

รีจิสเตอร์ CBR อยู่ที่พอร์ตแอดเดรส 38H ซึ่งสามารถโปรแกรมค่าให้เป็นเท่าไรก็ได้หรือจะอ่านค่าออกมาดูก็ได้ การสร้างฟิสิคัลแอดเดรสอ้างอิงของ MMU ใช้วิธีการสร้างโดยการนำเอาแอดเดรสทางลอจิกัลบิต LA<sub>15</sub>-LA<sub>12</sub> มารวมกับรีจิสเตอร์เบส โดยเติม 0000 ใส่หน้า LA<sub>15</sub>-LA<sub>12</sub> เมื่อบวกกันได้ค่าเท่าไร ก็จะเป็นผล PA<sub>19</sub>-PA<sub>12</sub> กลไกการสร้างแอดเดรสฟิสิคัลเขียนได้ดังรูปข้างล่าง



ทำนองเดียวกันถ้าต้องการอ้างอิงแอดเดรสหน่วยพื้นที่แบ่งก็ใช้วิธีเดียวกัน คือ กำหนดค่าผ่านทาง BBR และใช้กรรมวิธีการสร้างแอดเดรสแบบ 20 บิต เช่นเดียวกับโครงสร้างการใช้งานหน่วยความจำฟิสิคัล 1 MB จึงทำได้ดังรูปที่บอกการใช้งานตัวอย่างหน่วยความจำ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

อินเตอร์รัพต์ของ 64180

อินเตอร์รัพต์ของ 64180 มีอินเตอร์รัพต์จากแหล่งต่าง ๆ ได้ถึง 12 สัญญาณ โดยมาจากภายนอก 4 สัญญาณ และจากภายในอีก 8 สัญญาณมีการจัดลำดับความสำคัญดังนี้

ระดับความสำคัญสูงสุด	1. TRAP_____	จากภายใน
	2. /NMI_____	จากภายนอก
	3. /NMTO	
	4. /NMT1	
	5. /NMT2_____	
จากภายใน	6. /TIMER0_____	จากภายใน
	7. /TIMER1	
	8. DMA CHO	
	9. DMA CH1	
	10. PORT I/O CLOCK	
	11. ASYNC CHO	
	12. ASYNC CH1_____	

การควบคุมการรีเฟรชไดนามิกแรม

การรีเฟรชของ 64180 มีการสร้างสัญญาณพิเศษออกทางขา REF วิธีการรีเฟรชของ 64180 เป็นวิธีการพิเศษที่ออกแบบมาโดยเฉพาะ ทั้งนี้เพราะการรีเฟรชจะอยู่ภายใต้การควบคุมของวงจรรีเฟรช ซึ่งมีตัวสร้างแอดเดรสสำหรับการรีเฟรช และช่วงเวลาสามารถโปรแกรมได้

ลักษณะการรีเฟรช คือ การแทรกไซเคิลการรีเฟรชเข้ามาในไซเคิลที่กำลังทำงานเพื่อทำรีเฟรช การแทรกการรีเฟรชนี้จะโปรแกรมให้แทรกแบบ 2 ลูกสัญญาณนาฬิกา หรือ 3 ลูก ช่วงจังหวะการรีเฟรชก็โปรแกรมได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วิธีการโปรแกรมจะโปรแกรมผ่านค่ารีจิสเตอร์ RCR ซึ่งเป็นพอร์ตอยู่ที่แอดเดรส 36H ในส่วนบิตที่ 7 ของ RCR มีไว้สำหรับอีน่าเบิ้ลหรือดิสเอเบิ้ลวงจรีเฟรชซึ่งบิตนี้เรียกว่า REFE ถ้าเป็น "1" จะเป็นการรีเฟรชอีน่าเบิ้ล ถ้าเป็น "0" จะดิสเอเบิ้ล ขณะรีเซตจะเป็น "1" บิตที่ 6 ของ RCR เรียกว่า REFW เป็นการโปรแกรมจังหวะการ WAIT เพื่อทำรีเฟรช ถ้า REFW = "0" จะแทรกสัญญาณนาฬิกา 2 ลูก ถ้าเป็น "1" จะแทรก 3 ลูก บิตที่ 1 ของ RCR และบิตที่ 0 เรียกว่า CYC1 และ CYCO เป็นบิตที่ใช้โปรแกรมช่วงระหว่างการรีเฟรชแต่ละครั้งเช่น ถ้าใช้สัญญาณนาฬิกา 8 MHz และโปรแกรม ค่า CYC1 CYCO เป็น 00 จะทำการแทรก WAIT สำหรับรีเฟรชทุก ๆ 80 สแตต หรือมีช่วงห่างประมาณ 10 ไมโครวินาที การรีเฟรชด้วยวงจรของ 64180 จึงเท่ากับแทรก WAIT ในไซเกิลการทำงานเป็นช่วงๆ ตามค่าที่โปรแกรมไว้

#### การควบคุมระบบ DMA

64180 มีวงจรควบคุมการทำงาน DMA อยู่ 2 ช่วงเพื่อทำให้เกิดการถ่ายเทข้อมูลอย่างรวดเร็วทั้ง 2 มีการทำงานได้ดังนี้

มีการกำหนดตำแหน่งหน่วยความจำต้นทางหรือปลายทาง ได้ตลอดช่วงตามขอบเขตของหน่วยความจำ 1 Mbyte ดังนั้นจึงมีการใช้ REGISTOR เพื่อกำหนด ADDRESS ทางต้นทางและปลายทางทำการควบคุม ADDRESS ขนาด 20 BIT การกำหนดขอบเขตการส่งถ่ายข้อมูลนี้ไม่มีข้อจำกัดในเรื่อง BLOCK ของข้อมูลจะครอบคลุมขอบเขต 64 K ส่วนการกำหนด ADDRESS ของ INPUT/OUTPUT กำหนดต้นทางและปลายทางที่ใดใน 64 K

## DOT MATRIX LCD MODULE

อุปกรณ์ในปัจจุบันนี้ในส่วนแสดงผลนั้นจะใช้ LCD เสียเป็นส่วนใหญ่ ไม่ว่าจะเป็นเครื่องเล่น VEDIO, เครื่องถ่ายเอกสาร, เครื่องมือวัดคุมต่างๆ เราพอจะแบ่ง DOT MATRIX LCD MODULE นี้ออกได้เป็นพวก ๆ ดังนี้

1. CHARACTER LCD MODULE
2. GRAPHIC LCD MODULE
3. SEGMENT DISPLAY TYPE LCD MODULE

โดยในแต่ละแบบนี้ก็จะมีส่วนประกอบใหญ่ ๆ แบ่งได้เป็น

1. DOT MATRIX LCD เป็นตัวแสดงผลให้เรามองเห็นในลักษณะการปิดและเปิดตัวเองกับแสงก็คือ ส่วนของที่เป็นตัวกระจกบรรจุผลึก
  2. DRIVER เป็นตัวรับสัญญาณจากตัวควบคุมมาขับผลึก LCD อีกทีหนึ่งโดยมีเบอร์ที่นิยมใช้ใน LCD MODULE เช่น HD44100H, MSM5259
  3. CONTROLLER เป็นตัวรับข้อมูลจากอุปกรณ์ภายนอกมาและจัดการควบคุม LCD MODULE ให้ทำงานแสดงผลต่าง ๆ เช่น การลบจอภาพ การเกิดตัวอักษร, เป็นต้น
- โดยมีเบอร์ IC ที่นิยมใช้กันคือ HD44780 ซึ่งจะใช้ในแบบ CHARACTER LCD MODULE เป็นส่วนใหญ่ เบอร์ IC HD61830 จะใช้ในแบบ GRAPHIC LCD MODULE

ในการศึกษาการทำงานและใช้งาน LCD MODULE นั้นไม่ใช่เรื่องยากเลย ถ้าเราสามารถทำความเข้าใจในส่วนของ CONTROLLER ได้ก็เพียงพอแล้ว และโดยมาก LCD MODULE ในแต่ละบริษัทแล้วจะใช้ตัว CONTROLLER มีหลักการทำงานเหมือน ๆ กัน เป็นส่วนใหญ่ และใน LCD MODULE แต่ละขนาดจำนวนตัวอักษรหรือจำนวนบรรทัดก็มี หลักการทำงานแบบเดียวกันทั้งหมด IC ที่นิยมมากที่สุดตัวหนึ่ง ที่เป็น CONTROLLER LCD ก็คือ เบอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

HD44780 โดยรูปแบบการทำงานของมันได้เป็นมาตรฐานให้กับ CONTROLLER ตัวอื่น ๆ ด้วย

HD44780 เป็นไอซี LSI ตัวหนึ่งใช้ควบคุม LCD โดยแสดงผลในรูปตัวอักษรหรือสัญลักษณ์ต่างๆ ตัวมันเองสามารถใช้งานแบบ 4 BIT หรือ 8 BIT ก็ได้โดยถ้าเราต่อแบบ 4 BIT จะต่อใช้งาน DB7-DB4 เท่านั้นโดยข้อมูลครั้งแรกที่ส่งนั้น HD44780 จะถือเป็นข้อมูล 4 BIT บน และข้อมูลที่ส่งต่อมานั้นเป็นข้อมูล 4 BIT ล่าง

เราสามารถต่อ LCD MODULE (HD44780 เป็น CONTROLLER) เข้ากับระบบไมโครได้หลายรูปแบบ ให้เข้าใช้กับ LCD โดยเราจะจำลองสัญญาณต่าง ๆ ขึ้นมา โดยการใช้ PORT A และ PORT B โดย PORT A นั้นเราให้เป็น DATA PORT และ PORT B นั้น เราให้เป็นสัญญาณควบคุม

เมื่อเราเริ่มเปิดไฟป้อนให้ HD44780 นั้นก็จะทำการ RESET ตัวมันเองโดยจะใช้เวลาประมาณ 10ms หลังจากไฟ VDD ถึง 4.5 VOLT แล้ว โดยจะ SET ตัวเองดังนี้

1. DISPLAY CLEAR จะทำการลบข้อมูลจอภาพ LCD
2. FUNCTION SET โดยจะ SET ค่าภายใน
  - DL = 1 : เป็นการ SET ให้การติดต่อแบบ 8 BIT
  - N = 0 : SET เป็น 1 บรรทัดการแสดงผล
  - F = 0 : 5X7 DOT ต่อหนึ่งตัวอักษร
3. DISPLAY ON/OFF
  - D = 0 : DISPLAY OFF
  - C = 0 : CURSOR OFF
  - B = 0 : BLINK OFF
4. ENTRY MODE SET I/D = 1 : +1 (เพิ่มค่า COUNTER ขึ้น 1)
  - S = 0 : NO SHIFT

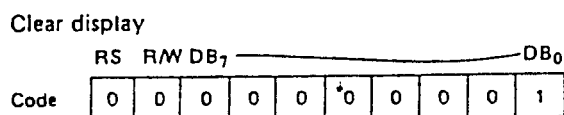
เมื่อเราเริ่มเปิดเครื่องทำงานแล้วก็จะต้องส่งคำสั่งควบคุมให้มันเริ่มทำงาน ดังตาราง

Instruction	Code										Description
	RS	R/W	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0	
Clear display	0	0	0	0	0	0	0	0	0	1	Clears all display and returns the cursor to the home position (Address 0).
Return home	0	0	0	0	0	0	0	0	1	*	Returns the cursor to the home position (Address 0). Also returns the display being shifted to the original position. DD RAM contents remain unchanged.
Entry mode set	0	0	0	0	0	0	0	1	I/D	S	Sets the cursor move direction and specifies or not to shift the display. These operations are performed during data write and read.
Display ON/OFF control	0	0	0	0	0	0	1	D	C	B	Sets ON/OFF of all display (D), cursor ON/OFF (C), and blink of cursor position character (B).
Cursor and display shift	0	0	0	0	0	1	S/C	R/L	*	*	Moves the cursor and shifts the display without changing DD RAM contents
Function set	0	0	0	0	1	DL	N	F	*	*	Set's interface data length (DL) number of display lines (L) and character font (F).
Set CG RAM address.	0	0	0	1	ACG						Set's the CG RAM address. CG RAM data is sent and received after this setting.
Set DD RAM address	0	0	1	ADD						Set's the DD RAM address. DD RAM data is sent and received after this setting.	
Read busy flag & address	0	1	BF	AC						Reads Busy flag (BF) indicating internal operation is being performed and reads address counter contents.	
Write data to CG or DD RAM	1	0	Write Data								Writes data into DD RAM or CG RAM.
Read data to CG or DD RAM	1	1	Read Data								Reads data from DD RAM or CG RAM.
I/D = 1: Increment (+1) I/D = 0: Decrement (-1) S = 1: Accompanies display shift. S/C = 1: Display shift S/C = 0: Cursor move R/L = 1: Shift to the right. R/L = 0: Shift to the left. DL = 1: 8 bits DL = 0: 4 bits N = 1: 2 lines N = 0: 1 line F = 1: 5 x 10 dots F = 0: 5 x 7 dots BF = 1: Internally operating BF = 0: Can accept instruction											DD RAM: Display data RAM CG RAM: Character generator RAM ACG: CG RAM address ADD: DD RAM address Corresponds to cursor address. AC: Address counter used for both of DD and CG RAM address.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

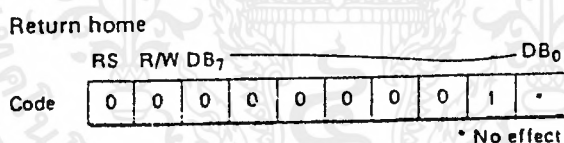
## รายละเอียดของคำสั่ง HD44780

### 1. CLEAR DISPLAY



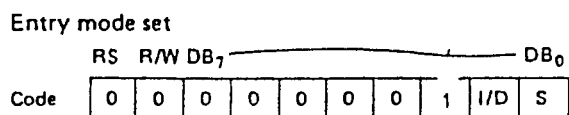
คำสั่งนี้จะเป็นการเขียนช่องว่าง หรือ SPACE (ASCII 20 H) เข้าไปใน DD RAM ทั้งหมดและทำการ SET DD RAM ADDRESSER เป็นศูนย์ตัว CURSOR จะกลับไปอยู่ตำแหน่งบนสุดซ้ายมือของจอภาพ SET I/D = 1, S ไม่มีการเปลี่ยน

### 2. RETURN HOME



คำสั่งนี้จะทำการ SET DD RAM ADDRESSER เป็นศูนย์ ตัว CURSOR จะกลับไปอยู่ตำแหน่งบนสุด ซ้ายมือของจอภาพ ข้อมูลในจอภาพไม่เปลี่ยน

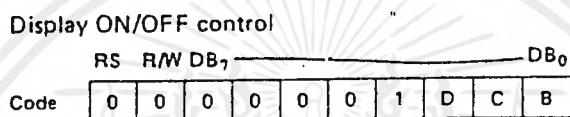
### 3. ENTRY MODE SET



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

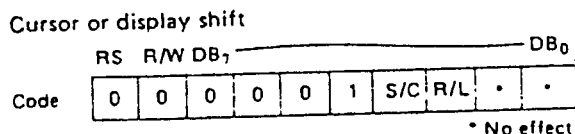
- BIT I/D : โดยจะเป็นตัวกำหนดให้ว่าเมื่อเขียนหรืออ่านข้อมูลแล้ว จะทำให้ DD RAM ADDRESS เพิ่มขึ้นหนึ่งหรือลดลงหนึ่ง โดย 1=เพิ่ม 0=ลดลงหนึ่ง
- BIT S : เป็นตัวกำหนดแสดงผลโดยถ้า S=1 จะเป็นการใส่ข้อมูล แล้วตัว CURSOR อยู่กับที่ข้อมูลจะถูกดันไปทางซ้าย ถ้า S=0 ข้อมูลจะอยู่กับที่ ตัวCURSORจะถูกดันไปทางขวามือ

#### 4. DISPLAY ON/OFF CONTROL



- BIT D : เป็น BIT ให้เปิดปิดหน้าจอภาพโดยถ้า D = 1 จะ ON และ D=0 จะ OFF
- BIT C : จะให้แสดง CURSOR ให้ BIT C = 1 และถ้าไม่ต้องการแสดง CURSOR BIT C = 0 โดยตัว CURSOR จะอยู่ที่ LINE ที่ 8 ในแบบ 5X7 DOT และจะอยู่ LINE ที่ 11 ในแบบ 5X10 DOT
- BIT B : จะให้มีการแสดง CURSOR BIT B = 1 จะมีการแสดงผล มีการกระพริบ B=0 ไม่มีการกระพริบ โดยมีระยะเวลาการกระพริบประมาณ 379.2 ms

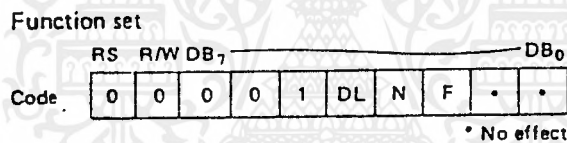
#### 5. CURSOR OR DISPLAY SHIFT



เป็นคำสั่งกำหนดให้ตำแหน่ง CURSOR หรือข้อมูลไปเกิดทางซ้าย หรือ ขวาโดยไม่ต้องใช้คำสั่งเขียนหรืออ่าน โดย

S/C	R/L	
0	0	ทำการย้าย CURSOR ไปจากตำแหน่งเดิมไปซ้ายมือ 1 ตำแหน่ง
0	1	ทำการย้าย CURSOR ไปจากตำแหน่งเดิมไปขวามือ 1 ตำแหน่ง
1	0	เป็นการค้นตัวอักษรที่เกิดไปทางซ้าย
1	1	เป็นการค้นตัวอักษรที่เกิดไปทางขวามือ

## 6. FUNCTION SET



**BIT DL :** เป็นการ SET การติดต่อกว่าจะให้เป็นแบบ 8 BIT หรือ 4 BIT โดยถ้าต้องการติดต่อ 4 BIT DL=0 และ 8 BIT DL=1

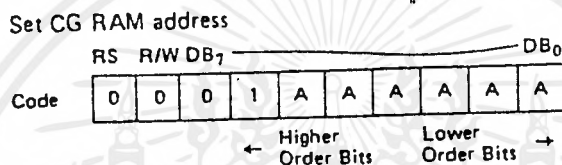
**N :** เป็นการ SET บรรทัดการแสดงผล N=0 แสดง 1 บรรทัด N=1 แสดง 2 บรรทัด ในกรณีมากกว่า 2 บรรทัดก็ให้ SET N=1

**F :** เป็นการ SET ขนาด DOT การแสดงผล 5X7 หรือ 5X8 โดย F=0 เป็นแบบ 5X7 และ F=1 เป็นแบบ 5X10

N F	No. of display lines	Character font	Duty factor	Remarks
0 0	1	5 x 7 dots	1/8	
0 1	1	5 x 10 dots	1/11	
1 *	2	5 x 7 dots	1/16	Cannot display 2 lines with 5 x 10 dot character font.

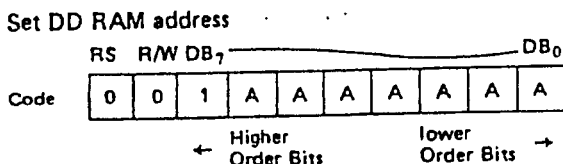
\* No effect

7. SET CG RAM ADDRESS



ใน HD44780 นั้นจะมีหน่วยความจำอยู่ 2 ชุด คือ DISPLAY DATA RAM (DD RAM) จำนวน 80X8 BIT และ CHARACTER GENERATOR ROM CG RAM จำนวน 512 BIT และ 7200 BIT คำสั่งนี้จะเป็นการ SET ADDRESS ใน CG RAM โดยต้องทำการ SET ADDRESS ก่อนเขียนหรืออ่านข้อมูลจาก CG RAM ด้วย

8. SET DD RAM ADDRESS



เป็นคำสั่ง SET ค่า ADDRESS ใน DD RAM ในการเขียนหรืออ่านค่าจาก DD RAM (DD RAM คือส่วนที่จะแสดงผลหน้าจอ LCD) โดยจำนวน ADDRESS ที่จะเกิดขึ้นบนจอ LCD จะอยู่กับ SET ค่า N ด้วย

ถ้า N=0 (1 บรรทัด) ADDRESS จะอยู่ 00H-4FH

ถ้า N=1 (2 บรรทัด) ADDRESS จะอยู่ 00H-27H สำหรับบรรทัดที่ 1 และ 40H-67H สำหรับบรรทัดที่ 2

ตัวอย่างการจัด ADDRESS ของ DD RAM หน้าจอ LCD แบบ 16 ตัวอักษร 4 บรรทัด และ 20 ตัวอักษร 2 บรรทัด HDM-16416H, HDM-20216H

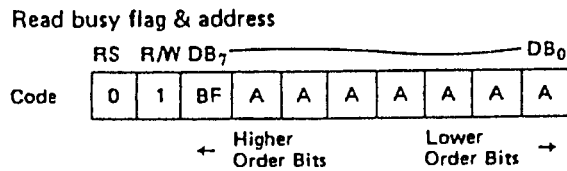
	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	← display position
1-line	00	01	02	03	04	05	06	07	08	09	0A	0B	0C	0D	0E	0F	← DD RAM address
2-line	40	41	42	43	44	45	46	47	48	49	4A	4B	4C	4D	4E	4F	
3-line	10	11	12	13	14	15	16	17	18	19	1A	1B	1C	1D	1E	1F	
4-line	50	51	52	53	54	55	56	57	58	59	5A	5B	5C	5D	5E	5F	

	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	← display position
1-line	00	01	02	03	04	05	06	07	08	09	0A	0B	0C	0D	0E	0F	10	11	12	13	← DD RAM address
2-line	40	41	42	43	44	45	46	47	48	49	4A	4B	4C	4D	4E	4F	50	51	52	53	
3-line	14	15	16	17	18	19	1A	1B	1C	1D	1E	1F	20	21	22	23	24	25	26	27	
4-line	54	55	56	57	58	59	5A	5B	5C	5D	5E	5F	60	61	62	63	64	65	66	67	

(Note) Shift display is as same as 2-line type.

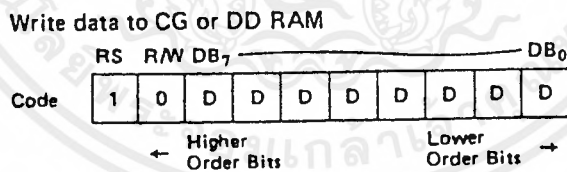
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## 9. READ BUSY FLAG AND ADDRESS



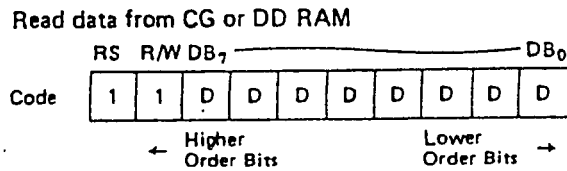
เป็นคำสั่งอ่านค่า BUSY FLAG ซึ่งจะเป็นตัวบอกว่าตัว HD44780  
 นี้อยู่ในขบวนการทำงานภายในอยู่หรืออยู่ในสภาวะพร้อมจะรับข้อมูลโดย  
 BF = 1 อยู่ในขบวนการทำงานภายในไม่พร้อมจะรับข้อมูลหรือคำสั่ง  
 BF = 0 พร้อมจะรับข้อมูลหรือคำสั่งได้  
 และนอกจากนี้ยังเป็นคำสั่งอ่านค่าข้อมูล ADDRESS ของ CG RAM  
 หรือ DD RAM ด้วย

## 10. WRITE DATA TO CG หรือ DD RAM



เป็นคำสั่งเขียนข้อมูลเข้าไปใน CG หรือ DD RAM โดยเมื่อเขียนข้อมูลและ ADDRESS จะเพิ่มหรือลดโดยอัตโนมัติตามคำสั่งที่ SET ใน ENTRY MODE ข้อกำหนดที่จะรู้ว่าเป็นการเขียนข้อมูลของ CG RAM หรือ DD RAM ทำได้โดยการ SET ADDRESS ของ CG RAM หรือ DD RAM ขึ้นมาก่อนจะเขียนข้อมูล

## 11. READ DATA FROM CG OR DD RAM



เป็นคำสั่งอ่านค่าข้อมูลจาก CG RAM หรือ DD RAM โดยก่อนอ่านค่าจาก DD RAM หรือ CG RAM นี้ ควรจะใช้คำสั่ง SET ADDRESS ก่อน เพื่อให้รู้ว่าข้อมูลที่อ่านได้นั้นเป็น DD หรือ CG RAM

จากตารางการทำงานจะเห็นว่าการใช้งาน LCD MODULE นั้นง่าย เพียงแต่เราส่งคำสั่งเริ่มแรกและ SET ความต้องการในขนาดตัวอักษร, CURSOR หลังจากนั้นเราก็สามารถเขียนตัวอักษรเข้าไปใน DD RAM ตามตารางตัวอักษรที่ให้มานั้นก็จะเกิดอักษรในจอภาพ LCD เรายังสามารถกำหนดตำแหน่งตัวอักษรที่จะให้เกิดบนจอได้โดยการ SET DD RAM ADDRESS ตามตารางที่ให้มาในหัวข้อ SET DD RAM ADDRESS ขอให้ทดสอบทำความเข้าใจกับตัวโปรแกรมที่ใช้กับ ET-BOARD V3.0 นี้ที่ให้มาจะเห็นว่ามีส่วนเริ่มต้นก็คือ ส่วนการ INITIAL LCD เพื่อกำหนดหน้าที่การทำงาน

### ส่วนประกอบของโปรแกรม

EPLUSE จะเป็นส่วนกำเนิดสัญญาณ ENABLE SIGNAL โดยการใช้ PORT B BIT ที่ 2 กำเนิด PLUSE สัญญาณ ENABLE ขึ้น

GOTO จะเป็นส่วนกำหนดตำแหน่งของส่วน DD RAM ADDRESS ที่จะเขียนข้อมูลโดยจากโปรแกรม INITIAL ที่เรา SET ไว้ เมื่อเขียนข้อมูลเข้าไปใน DD RAM แล้ว ADDRESS ของ DD RAM จะเพิ่มขึ้น 1 โดยทันที

WRBYTE เป็นส่วนเขียนข้อมูล 1 BYTE เข้าไปในตำแหน่ง ADDRESS ของ DD RAM ขณะนั้น ๆ

WRLINE เป็นส่วนในการเขียนข้อมูลที่ละ 1 LINE เพราะตำแหน่ง DD RAM ที่เกิดบนจอภาพ LCD นั้นแต่ละตำแหน่งจะไม่ต่อกันไปในแต่ละบรรทัด

จากเราสามารถเขียนข้อมูลในการเกิดตัวอักษรขึ้นได้เอง จากตารางตัวอักษร 5X7 DOT นั้นจะเห็นว่า คือตำแหน่งในตาราง 00H ถึง 07H ส่วนตำแหน่ง 08H-0FH จะเป็นตำแหน่งเดียวกับ 00H-07H จะเห็นว่าจะมี CHARACTER GENERATOR 8 ตัว ที่เราสามารถเขียนข้อมูลกำหนดเองได้ และถ้าเป็นแบบ 5X10 DOT จะเขียนได้ 4 ตัวอักษร ซึ่งจากข้อพิเศษนี้ทำให้เราสามารถเขียนตัวอักษรสัญลักษณ์หรืออักษรภาษาไทยได้

#### การเขียนข้อมูล CHARACTER GENERATOR

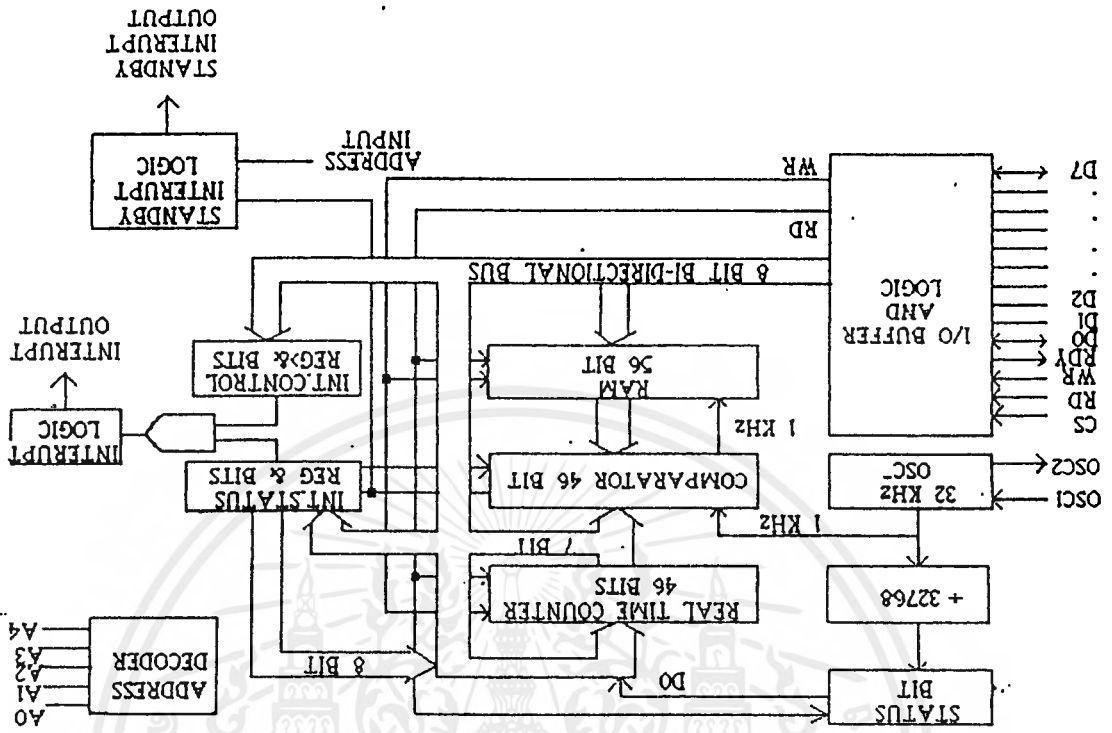
เราสามารถเขียนข้อมูลได้โดยกำหนด ADDRESS ของ CG RAM ก่อนโดย เขียนได้ 64 ตำแหน่ง BIT 5-BIT 0 และเมื่อกำหนด ADDRESS แล้วก็จะทำการเขียนข้อมูลลงใน CG RAM โดยเป็นลักษณะ BIT ต่อ BIT บนจอ 1 ตัวอักษร คือ 5X7 DOT นั้นจะใช้ข้อมูล BIT 4 ถึง BIT 0 ต่อ 1 BYTE เท่านั้น 1 ตัวอักษรจะใช้ข้อมูล 8 BYTE ด้วยกันให้ดูจากตารางประกอบไปด้วยและเมื่อเขียนข้อมูลลงใน CG RAM แล้ว เวลาเราจะใช้งานก็ให้เขียนข้อมูลใน DD RAM คือ ข้อมูลตำแหน่งในตาราง CHARACTER ที่ตำแหน่ง 00H-07H

### REAL TIME CLOCK

ระบบฐานเวลาจำเป็นมากสำหรับโครงการ ท้าหน้าที่ควบคุมการทำงานของระบบตามเวลาที่ได้โปรแกรมไว้ล่วงหน้าแล้ว ระบบฐานเวลาจึงจะต้องเที่ยงตรงและมีประสิทธิภาพสูงมากในปัจจุบันได้มีการผลิตชิพไอซี ที่ทำงานเป็นระบบฐาน เวลามากมายหลายเบอร์ เช่น MC146818 ของโม-โตโรล่า MM58167 ของเนชั่นแนลเซมิคอนดักเตอร์, MSM6242B ของโอกิ , DS1202 ของดัลลัส, DS1243 ของดัลลัส เป็นต้น จากการศึกษาการทำงาน และคุณสมบัติต่างๆของชิพไอซีระบบฐานเวลาแล้วได้เลือกใช้ชิพเบอร์ 82C8167 ของ UMC ซึ่งมีคุณสมบัติเหมือนกับชิพเบอร์ MM58167 ของ NS ทุกประการแต่ชิพเบอร์ 82C8167 นี้เป็นสารกึ่งตัวนำชนิด CMOS ซึ่งชิพไอซีที่เป็นสารกึ่งตัวนำชนิด CMOS จะกินกระแสในการทำงานน้อยมาก(เป็นไมโครแอมป์) เทียบกับชนิด TTL(เป็นมิลลิแอมป์) เมื่อชิพไอซีกินกระแสในการทำงานน้อยก็จะทำให้เกิดพลังงานความร้อนที่สูญเสียในตัวไอซีน้อย จะทำให้ชิพไอซีทำงานผิดพลาดได้น้อยมากหรือไม่มีการผิดพลาดเลย

จะเป็นส่วนที่มีความสำคัญต่อระบบมากเป็นส่วนหนึ่งเพราะมีการเรียกใช้งานของ PROCESSOR ตลอดโดยจากวัตถุประสงค์ของ PROJECT จะให้มีการทำงานสัมพันธ์กับเวลาตลอด REAL TIME CLOCK จะเป็นส่วนที่จะจัดการนับเวลาจะมีการจัดการเฉพาะโดยที่มีการแบ่งเป็น DIGIT ละ 4 BIT ซึ่งการเข้าถึง REAL TIME CLOCK จะมีการทำครั้งละ 2 หลัก ในขณะที่ทำการ READ หรือ WRITE แต่ละหลักจะทำให้เกิดการเปลี่ยนแปลงดังที่แสดงในตารางในหน้าต่อไป

DIAGRAM ของโครงสร้าง IC REAL TIME CLOCK



ในระบบของ REAL TIME CLOCK จะมี MEMORY ที่ใช้ในการเก็บข้อมูลเพื่อเก็บค่าที่หน่วยการใช้นับของหน่วยที่ จะมีการทำงานระบบแบบเทียบ กับ REAL TIME COUNTER ในหน่วยของ RAM โดยที่มันจะถูกระบุกำหนดไว้ที่หน่วยที่หน่วยก่อนกับ REAL TIME COUNTER ลักษณะโครงสร้างของ ระบบ IC REAL TIME CLOCK ดังภาพ

COUNTER ADDRESS	UNIT	MAX	BCD	D4 D5 D6 D7	TENS	MAX	BCD
1/10,000 OF SEC. (00h)	- - - -	9	D4 D5 D6 D7	D4 D5 D6 D7	9	D4 D5 D6 D7	9
HUNDRETHS & TENS SEC (01h)	D0 D1 D2 D3	9	D4 D5 D6 D7	D4 D5 D6 D7	9	D4 D5 D6 D7	9
SECOND (02h)	D0 D1 D2 D3	9	D4 D5 D6	D4 D5 D6	5	D4 D5 D6	5
MINUTE (03h)	D0 D1 D2 D3	9	D4 D5 D6	D4 D5 D6	5	D4 D5 D6	5
HOURS (04h)	D0 D1 D2 D3	9	D4 D5 D6	D4 D5 D6	2	D4 D5 D6	2
DAY OF THE WEEK (05h)	D0 D1 D2	7	- - - -	- - - -	0	- - - -	0
DAY OF THE MONTH (06h)	D0 D1 D2 D3	9	D4 D5 D6	D4 D5 D6	3	D4 D5 D6	3
MONTH (07h)	D0 D1 D2 D3	9	D4 D5 D6	D4 D5 D6	1	D4 D5 D6	1

การกำหนดค่า INTERRUPT ที่อยู่ในระบบ REAL TIME CLOCK จะสามารถโปรแกรมให้ OUTPUT ได้ถึง 8 ช่อง 10 HZ., 1HZ. 1Min./1, 1Hour/1, 1DAY/1, 1WEEK/1, 1Mont/1 เมื่อมีการตั้งค่าของ การของ PROGRAM ก็จะกำหนดจำนวนให้ในระบบ RAM ที่ REAL TIME CLOCK เพื่อนำมาใช้ในการเปลี่ยนรูปแบบการเขียนค่ากำหนด INT. จาก ตาราง ในตัว REAL TIME CLOCK นี้เราสามารถที่จะ SET ครึ่งละ 1 BIT หรือมากกว่าที่ผู้สร้างกำหนดค่าให้ในการกำหนดให้ INT นี้ๆ วนที่ ที่ๆว่างก็ทำการ SET D2, D3 ก็คือ 0C H โดยจะมีการเขียนไป ที่ ADDRESS ของ INTERRUPT CONTROL REGISTER จากตารางในหน้าที่ แล้ว ระบบ BACKUP TIME (POWER DOWN MODE) จะมีการกำหนดที่ระบบ

ตาราง ค่า INT. ของ REAL TIME CLOCK

FUNCTION	A0	A1	A2	A3	A4
COUNTER THOUSANDTHS OF SECONDS	0	0	0	0	0
COUNTER HUNDRETHS AND TENTHS OF SECONDS	1	0	0	0	0
COUNTER SECONDS	0	1	0	1	0
COUNTER MINUTES	1	1	0	1	0
COUNTER HOURS	0	0	1	1	0
COUNTER DAY OF WEEK	1	0	1	1	0
COUNTER DAY OF MONTH	0	1	1	0	0
COUNTER MONTH	1	1	1	0	0
RAM THOUSANDTHS OF SECONDS	0	0	0	1	0
RAM HUNDRETHS AND TENTHS OF SECONDS	1	0	0	1	0
RAM SECONDS	0	1	0	1	0
RAM MINUTES	1	1	0	1	0
RAM HOURS	0	0	1	1	0
RAM DAY OF WEEK	1	0	1	1	0
RAM DAY OF MONTH	0	1	1	1	0
RAM MONTH	1	1	1	1	0
INTERRUPT STATUS REGISTER	0	0	0	0	1
INTERRUPT CONTROL REGISTER	1	0	0	0	1



32768 Hz.

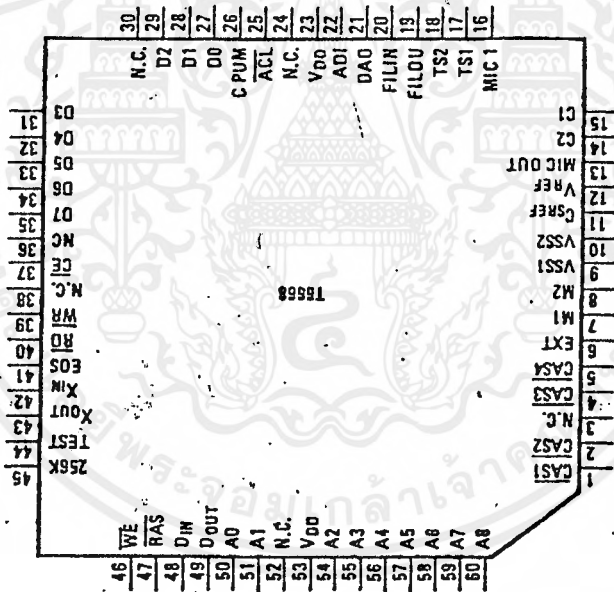
ตามลำดับ ในระบบ REAL TIME CLOCK จะใช้ X-TAL ความถี่ประมาณ  
นับว่าสามารถที่จะ RESET ได้โดยเขียน FWH ลงที่ ADDRESS 12H,13H  
ให้สัญญาณ STANBY INPUT ถ้ามีการทำ PROGRAM ไว้แล้ว ค่าของการ  
อย่างสูงสามารถทำงานของ CLOCK ภายในอย่างปกติ และจะมีการ  
โดยให้สัญญาณสูงจะนำการตอบกลับของสัญญาณงานนั้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและข้อมูลอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในช่องว่าง

เวลาที่พอให้กับวงจรงานรับในรายละเอียดของเอกสารประกอบจะกล่าวถึง  
จะใช้ค่าของ X-TAL 800 KHZ. ซึ่งจะใช้ค่าความถี่ของตัวเก็บประจุและตัว  
ใช้ค่าความถี่ของ X-TAL ในชุดที่ใช้งานนี้ ทั้งนี้จะขึ้นอยู่กับค่าของ X-TAL ในชุดที่ใช้งานนี้  
1 MBIT (0000-FFFF H) ถ้ามีการใช้หน่วยการ บันทึกด้วย SPEED ที่สูง  
DATA ที่ใช้ไปเก็บไว้ที่ MEMORY (D-RAM) จะมีการอ้าง ADDRESS ที่สูง  
การขยายและเปลี่ยนจากสัญญาณ ANALOG ไปเป็น DIGITAL แล้วทำการนำ  
การทำงาน IC จะทำการรับสัญญาณเสียงเข้าจากภายนอกและทำ

รูปแสดงตำแหน่งขาของ IC T6668



รูปแสดงตำแหน่งขาของ IC T6668

IC เบอร์ T6668 จัดว่าเป็น IC ที่มีการออกแบบให้ทำงาน  
ทางด้านการเก็บเสียงลักษณะ DIGITAL ที่มีการใช้ D/A ขนาด 10 BIT  
เป็นผลผลิตของบริษัทชิปเซมิคอนดักเตอร์แห่งประเทศ JAPAN เป็น IC ชนิด CMOS LSI

T#6668

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและตัดอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

A/D PORT : ADC0808 (8 CHANNEL/A/D 8 BIT)  
 CTC PORT : Z 84C30-8 ( 4 CHANNEL  
 KEY BOARD : 1 PORT (8 BIT) 4x4  
 GRAPHIC TYPE )  
 LCD PORT : 1 LCD MODULE ( DOT TYPE OR  
 PRINTER PORT : 1 PORT  
 SERIAL PORT : 2 CHANNEL RS232  
 PORT : 8255 X 4 (USER 96 BIT)  
 EEPROM : 8255 X 1 (SYSTEM)  
 : 93C64 (1K BIT)  
 : 6264,62256,2764,27128,27256  
 : 6264 , 62256 (32K BYTE)  
 MEMORY : 27512 (64K BYTE) ROM  
 CPU : ZILOG Z80180-8 CMOS TYPE

1.CONTROLLER BOARD (CP-AT80180)

- EXPANDTION BOARD
- RECORDIND AND MEMORY BOARD
- LCD AND INDICATER
- KEYBOARD AND BUTTOM
- AMPLIFIER
- POWER SUPPLY
- CONTROLLER BOARD

สามารถแยกเป็นส่วนต่างๆดังนี้

HARDWARE SPECIFICATION

บทที่ 4

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
 ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและตัวอักษรอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

SIZE 10x11.5 CM.

MATRIX 4x4

4. KEY BOARD

SPEAKER : 4" : 3 WATT : 4 OHM  
SHORT CIRCUIT CURRENT 1.3 A.  
TOTAL HARMONIC DISTORTION (THD) 0.2%  
BANDWIDTH 100KHZ.

OUTPOWER 2.5 WATT

SUPPLY VOLTAGE 8-22 VOLT

3. AMPLIFIER

DC 12 VOLT 1 A.  
DC 5 VOLT 5 A.  
0-12\1A VAC.  
0-7\5A VAC.  
0-220 VAC.

TOROIDAL TRANSFORMER

2. POWER SUPPLY

RTC PORT : 82C58167 (RTC)  
WATCH DOG : LM556  
POWER ON RESET : TL 7705  
CLOCK RATE : 18.432 MHZ.(CPU 9.126 MHZ.)  
POWER SUPPLY : COMSUMPTION 5 VOLT DC &  
TERMINAL 5 VOLT DC :  
: SUPPLY CURRENT 500mA.

**5. DISPLAY**

DOT MATRIX LCD MODULE (16416H) 4 ROW 16 COLUMN

POWER SUPPLY +5 VOLT

CMOS TECHNOLOGY

INTERFACE 4x8 BIT

USE CONTROLLER HD44780

**6. RECORDING BOARD**

IC MODULE T6668

CMOS LSI TECHNOLOGY

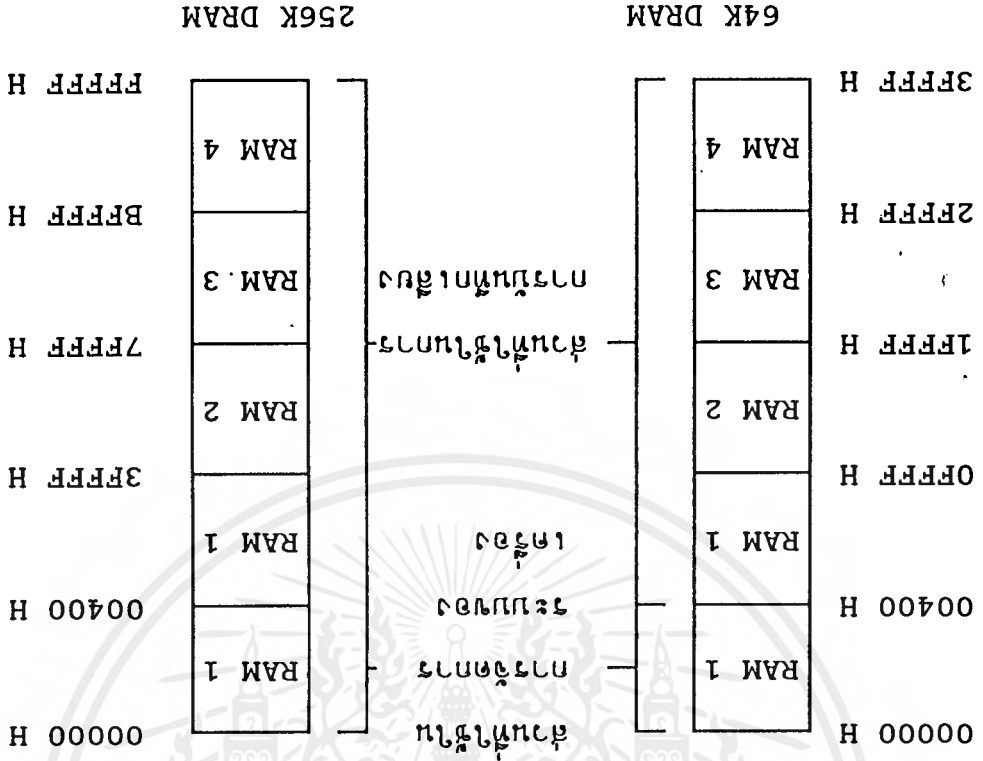
SAMPLING RATIO 8,11,16,32 Kbps (KILO BIT PER

SEC.)

16 CHENNAL REC. (0-15)

MEMORY STORE 64K-1024K BIT

MEMORY MAP





LINE TELEPHONE 1 CHANNEL (AUTO ANS.)  
PRESS TO TALK (PTT.) FOR RADIO TRANSMITTER

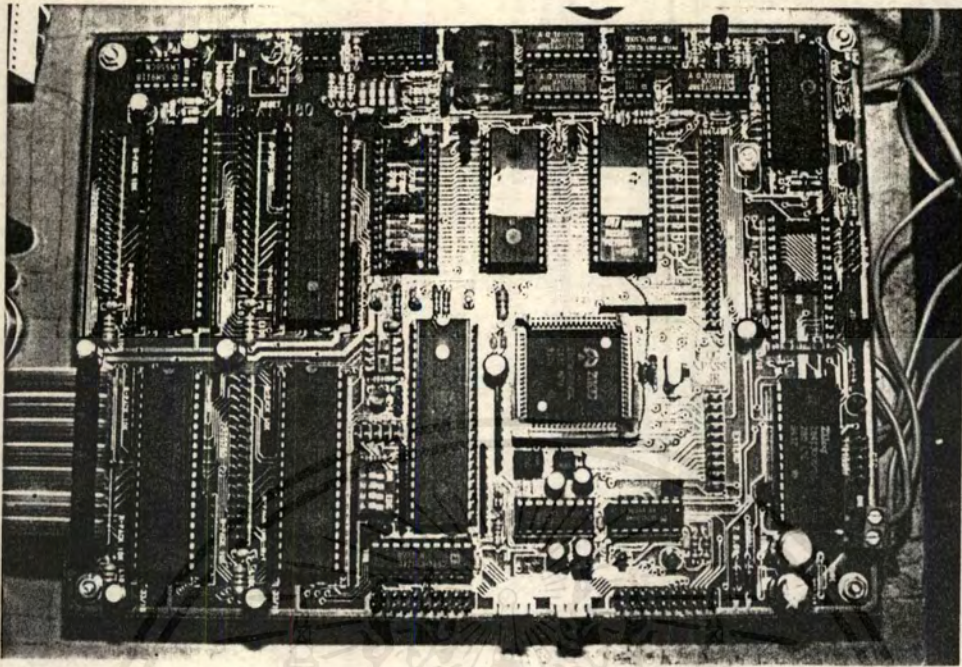
5. EXTERNAL INTERFACE

(D0-D7)

OUTPUT AUDIO FREQUENCY AND DIGITAL DATA OUTPUT  
INPUT AUDIO FREQUENCY  
SPEED SELECT 32,64,93,128 SEC. AT 650 KHZ. (XTAL) AND 1 MBIT

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและตัวอย่างอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



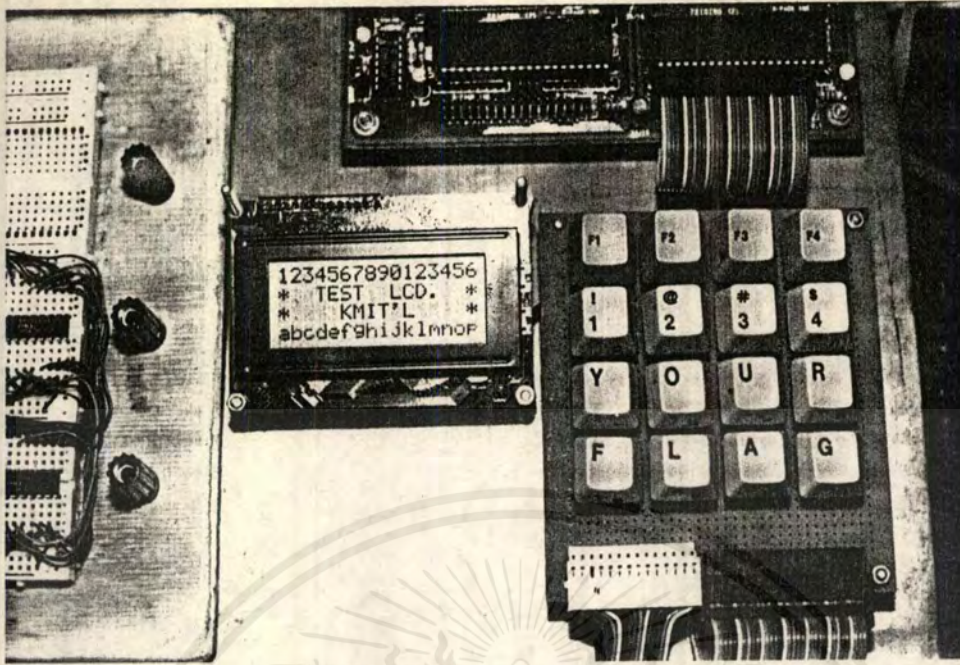


รูปแสดง CONTROLLER CP-ATZ80180

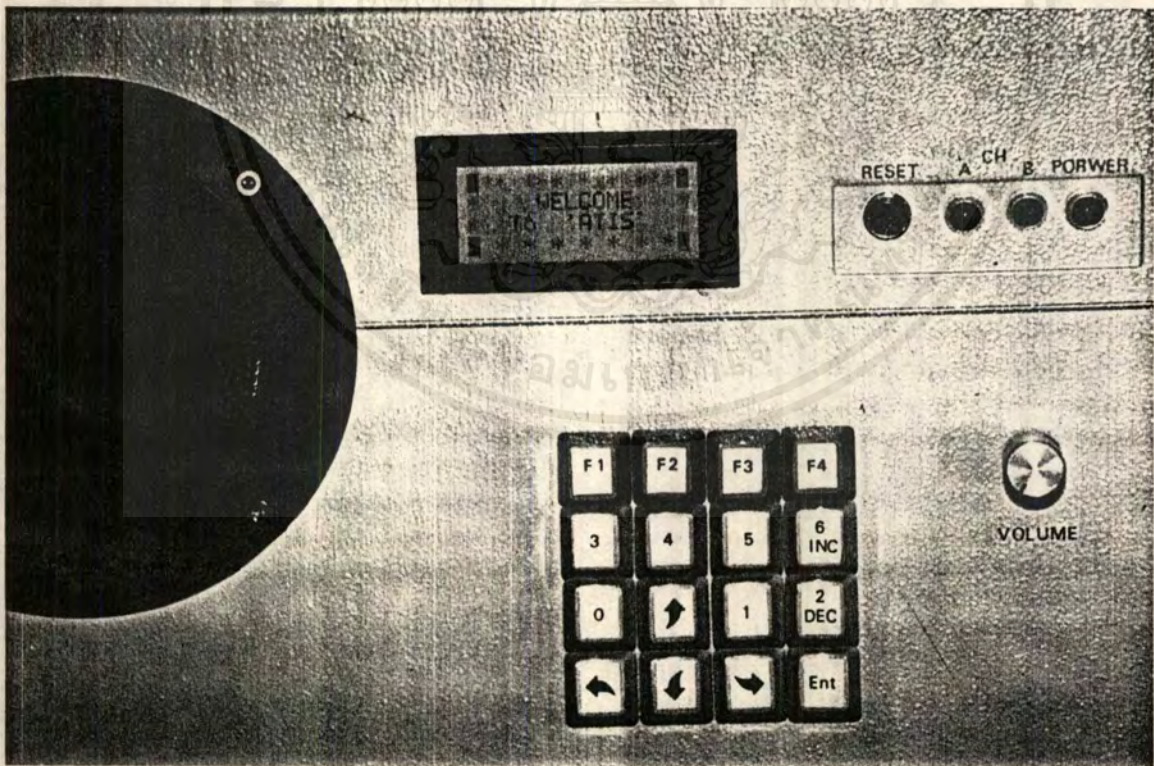
## 2. KEY BOARD 4x4 MATRIX

ในการทดลองทางด้าน HARDWARE และ SOFTWARE จะใช้ KEYBOARD ชนิดเดียวกับ KEYBOARD ที่ใช้ใน เครื่องCOMPUTER ซึ่งใช้เป็น KEYBOARD ชนิด MATRIX 4x4 ซึ่งจะเท่ากับ 16 KEY โดยดูได้จากรูปที่มีแสดงไว้ข้างล่าง และส่วนของปริ้นท์ KEYBOARD จะมีส่วนที่เป็น CONNECTOR ต่อไปยังชุด LCD มีขนาด 14 ขา โดยค่าต่างๆในแต่ละ KEY ของชุดที่ทดลอง ยังไม่ตรงกับค่าที่แสดงไว้ในรูปของชุดจริง เพราะต้องมีการแก้ไขให้มีความเหมาะสมกับกับทาง SOFTWARE ก่อน

และเมื่อชิ้นงานเสร็จสมบูรณ์แล้ว จึงได้ทำการกำหนดค่าต่างๆของ KEY ดังแสดงไว้ในรูป ในหน้าต่อไป



รูปแสดงส่วน KEYBOARD ที่ใช้ในการทดลอง



รูปแสดง KEYBOARD ที่สมบูรณ์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## 3. DOT MATRIX LCD DISPLAY

การทดสอบ DOT MATRIX LCD DISPLAY จะใช้ CP-ATZ80180 โดยต่อ OUTPUT 8255 โดยใช้ PROGRAM ทดสอบดังนี้

```

000001 8000                .ORG H'8000
000002 00ED                .EQU  PDATA,0EDH
000003 00EC                .EQU  PSIGN,0ECH
000004 00EF                .EQU  PCONT,0EFH
000005 8000

000006 8000                ;***** initial 8255 *****
000007 8000 3E80           LD      A,080H
000008 8002 D3EF           OUT    (PCONT),A
000009 8004 CD5F60        TEST:CALL  INITLCD
000010 8007 211F60        LD      HL,TAB2
000011 800A 3E01           LD      A,1
000012 800C CD8660        CALL    WRLINE
000013 800F 3E02           LD      A,2
000014 8011 CD8660        CALL    WRLINE
000015 8014 3E03           LD      A,3
000016 8016 CD8660        CALL    WRLINE
000017 8019 3E04           LD      A,4
000018 801B CD8660        CALL    WRLINE
000019 801E DF            RST    18H
000020 801F                ;
000021 801F 3132333435363738 TAB2:.DB"1234567890123456"
8027 3930313233343536

```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```

000022 802F 2A20205445535420      .DB"* TEST LCD.  *"
      8037 204C43442E20202A
000023 803F 2A202020204B4D49      .DB"* KMIT'L  *"
      8047 54274C202020202A
000024 804F 6162636465666768      .DB"abcdefghijklmnop"
      8057 696A6B6C6D6E6F70

000025 805F      ;
000026 805F      ;
000027 805F ; ***** INITIAL LCD DISPLAY *****
000028 805F ; PB0 - PB7: PIN D0-D7 (DATA READ/WRITE LCD)
000029 805F ; PA2      : PIN E      (ENABLE SIGNAL PULSE)
000030 805F ; PA1      : PIN R/W    (READ/WRITE)
000031 805F ; PA0      : PIN RS    (REGISTER SELECTION)
000032 805F      ;
000033 805F 3E00      INITLCD:      LD      A,00H
000034 8061 D3EC      OUT      (PSIGN),A
000035 8063 3E38      LD      A,00111000B
000036 8065 D3ED      OUT      (PDATA),A
000037 8067 CDBD60     CALL     EPULSE
000038 806A CDE460     CALL     DELAY
000039 806D 3EOF      LD      A,00001111B
000040 806F D3ED      OUT      (PDATA),A
000041 8071 CDBD60     CALL     EPULSE
000042 8074 3E06      LD      A,00000110B
000043 8076 D3ED      OUT      (PDATA),A
000044 8078 CDBD60     CALL     EPULSE
000045 807B 3E01      LD      A,00000001B

```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```

000046 807D D3ED          OUT      (PDATA),A
000047 807F CDBD60       CALL     EPULSE
000048 8082 CDE460       CALL     DELAY
000049 8085 C9           RET
000050 8086                ;
000051 8086                ;
000052 8086                ;***** WRITE LINE 16 CHAR *****
000053 8086                ; INPUT  (HL) = DATA
000054 8086                ; INPUT  A = LINE
000055 8086                ;
000056 8086 FE01          WRLINE:    CP      1
000057 8088 280D          JR      Z,WRL1
000058 808A FE02          CP      2
000059 808C 2810          JR      Z,WRL2

000060 808E FE03          CP      3
000061 8090 2813          JR      Z,WRL3
000062 8092 FE04          CP      4
000063 8094 2816          JR      Z,WRL4

000064 8096                ;
000065 8096 C9           RET
000066 8097 3E00          WRL1:    LD      A,00H
000067 8099 CDCC60       CALL     GOTO
000068 809C 1813          JR      WRLM
000069 809E 3E40          WRL2:    LD      A,40H
000070 80A0 CDCC60       CALL     GOTO
000071 80A3 180C          JR      WRLM

```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```

000072 80A5 3E10      WRL3:      LD      A,10H
000073 80A7 CDCC60          CALL    GOTO
000074 80AA 1805          JR      WRLM
000075 80AC 3E50      WRL4:      LD      A,50H
000076 80AE CDCC60          CALL    GOTO
000077 80B1 0610      WRLM:      LD      B,16
000078 80B3 56        WRL:      LD      D,(HL)
000079 80B4 C5          PUSH    BC
000080 80B5 CDD960          CALL    WRBYTE
000081 80B8 C1          POP     BC
000082 80B9 23          INC     HL
000083 80BA 10F7          DJNZ   WRL
000084 80BC C9          RET
000085 80BD          ;
000086 80BD          ;***** ENABLE PULSE SUB *****
000087 80BD DBEC      EPULSE:   IN      A,(PSIGN)
000088 80BF CBD7          SET    2,A
000089 80C1 D3EC          OUT    (PSIGN),A
000090 80C3 0600          LD     B,00H
000091 80C5 10FE      EP1:     DJNZ   EP1
000092 80C7 CB97          RES    2,A
000093 80C9 D3EC          OUT    (PSIGN),A
000094 80CB C9          RET
000095 80CC          ;***** GOTO POSITION *****
000096 80CC          ; INPUT REG A = DATA
000097 80CC C5      GOTO:   PUSH    BC
000098 80CD CBFF          SET    7,A

```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```

000099 80CF D3ED          OUT      (PDATA),A
000100 80D1 AF           XOR      A
000101 80D2 D3EC          OUT      (PSIGN),A
000102 80D4 CDBD60        CALL     EPULSE
000103 80D7 C1           POP      BC
000104 80D8 C9           RET
000105 80D9              ;***** WRITE DATA SUB *****
000106 80D9              ; INPUT REG D = DATA
000107 80D9 3E01          WRBYTE:  LD      A,00000001B
000108 80DB D3EC          OUT      (PSIGN),A
000109 80DD 7A           LD      A,D
000110 80DE D3ED          OUT      (PDATA),A
000111 80E0 CDBD60        CALL     EPULSE
000112 80E3 C9           RET
000113 80E4              ;***** DELAY SUB *****
000114 80E4              ;
000115 80E4 0600          DELAY:  LD      B,00
000116 80E6 00          DE1:   NOP
000117 80E7 00          NOP
000118 80E8 10FC          DJNZ    DE1

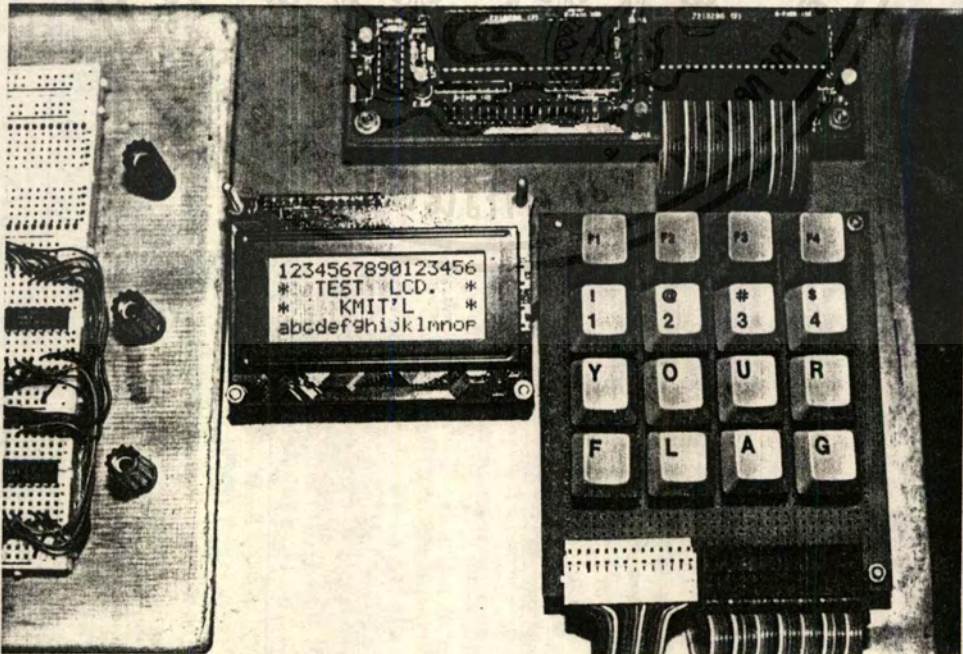
000119 80EA C9           RET
000120 80EB              .END

DE1      =80E6
DELAY    =80E4
EP1      =80C5

```

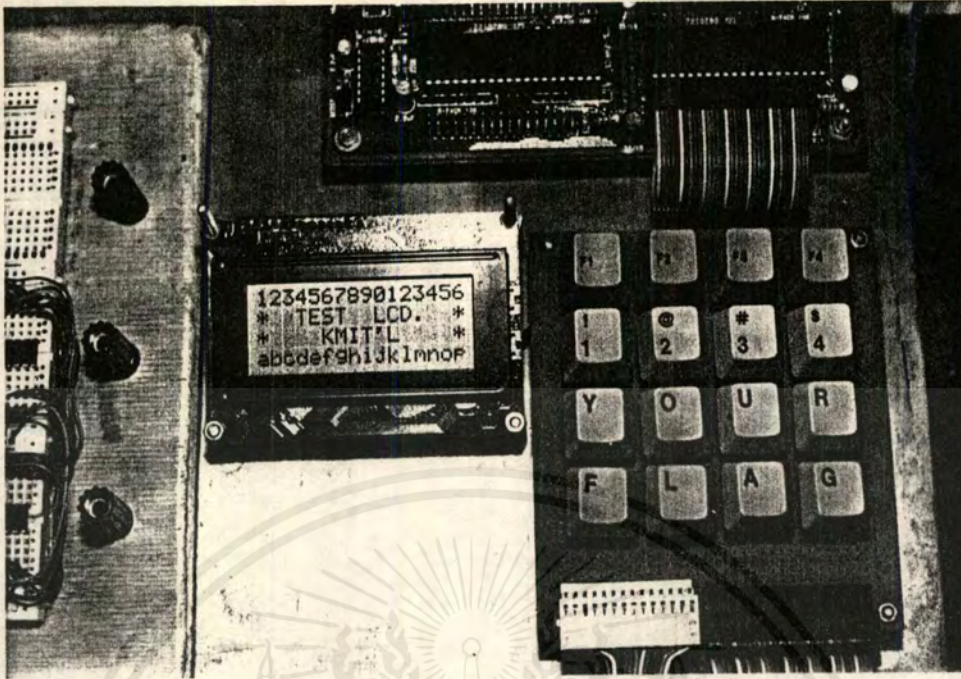
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

EPULSE =80BD  
 GOTO =80CC  
 INITLCD =805F  
 PCONT =00EF  
 PDATA =00ED  
 PSIGN =00EC  
 TAB2 =801F  
 TEST =8004  
 WRBYTE =80D9  
 WRL =80B3  
 WRL1 =8097  
 WRL2 =809E  
 WRL3 =80A5  
 WRL4 =80AC  
 WRLINE =8086  
 WRLM =80B1

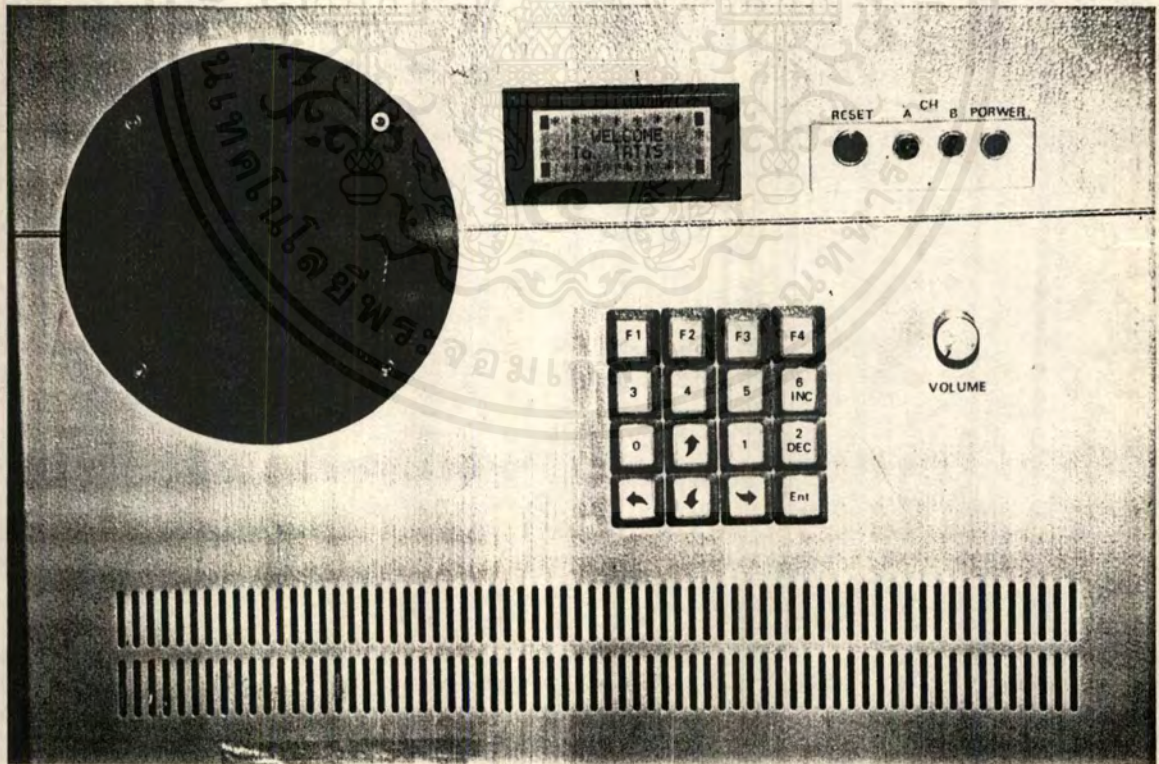


ผลการทดสอบปรากฏดังรูป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปแสดงชุด LCD และ KEY BOARD ที่ใช้ในการทดลอง



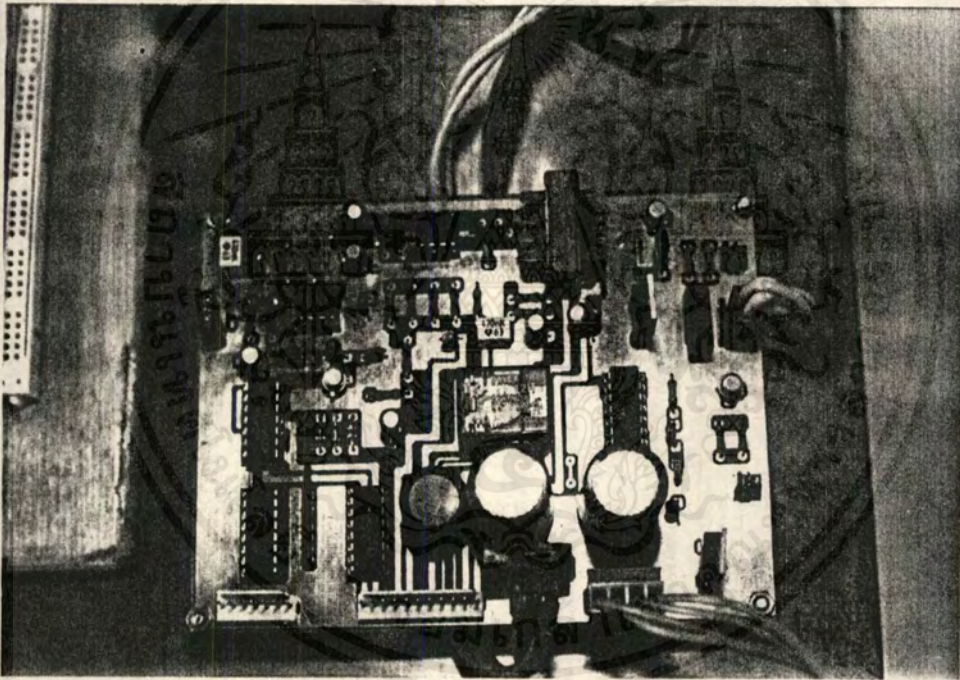
รูปแสดง LCD ที่ลงกล่องเรียบร้อยแล้ว

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากการทดสอบชุด DOT MATRIX LCD DISPLAY สามารถทำงานได้เป็นปกติ

#### 4. POWER SUPPLY

จากส่วน INPUT ที่ใช้ TOROIDAL TRANSFORMER ทำให้การสูญเสียน้อยกว่าแบบธรรมดา (CORE LOSS) โดยมี OUTPUT 0-12 /1A RMS และ 0-7 /5A RMS. เมื่อผ่านการ RECTIFIER และ REGULATE จาก IC#7805 และ #7812 ซึ่งสามารถจ่ายกระแสได้ประมาณ 1A. ทำให้ต้องทำการต่อวงจรขยายกระแสเพิ่ม จากการทดลองสามารถจ่ายกระแสได้ประมาณ 3A. รายละเอียดดังรูป



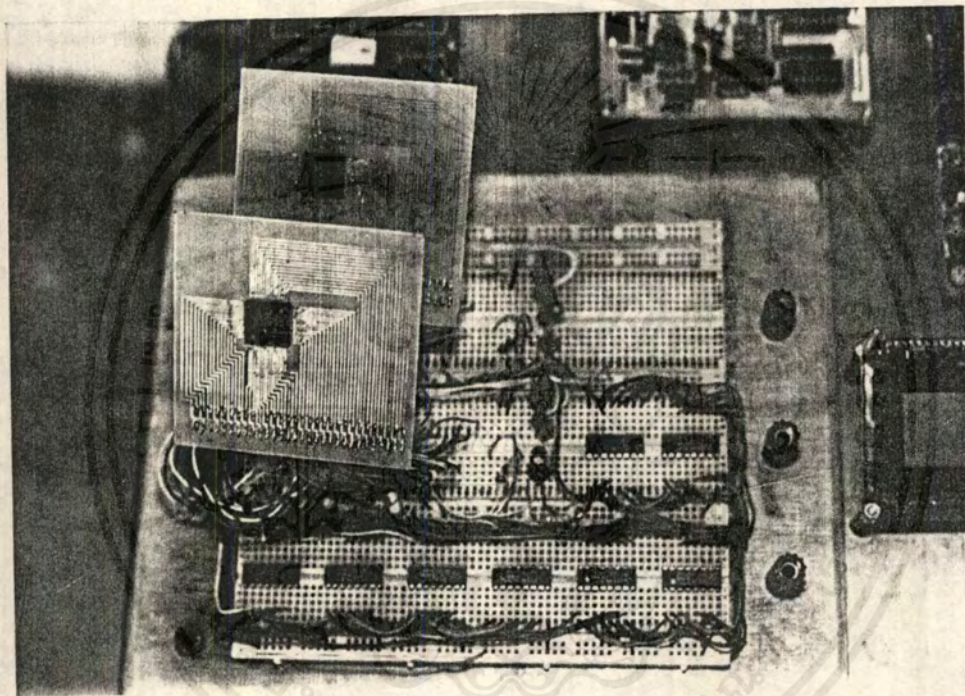
#### 5. AMPLIFIER

จากวงจรเราใช้ IC ที่เป็น AMPLIFIER สำเร็จในตัวเองจะ มีการต่อใช้งานที่ง่ายโดยการออกแบบเราใช้ IC#LM380 ซึ่งจะให้กำลังงานที่ OUTPUT ประมาณ 2 WATT ในการทดลองมีการเกิดรบกวนบ้างและมีความร้อนเกิดขึ้น การแก้ไขการรบกวนโดยทำการต่อ GND PLAN โดยจะมีการวางจรรวมอยู่แผ่นเดียวกันกับ POWER SUPPLY

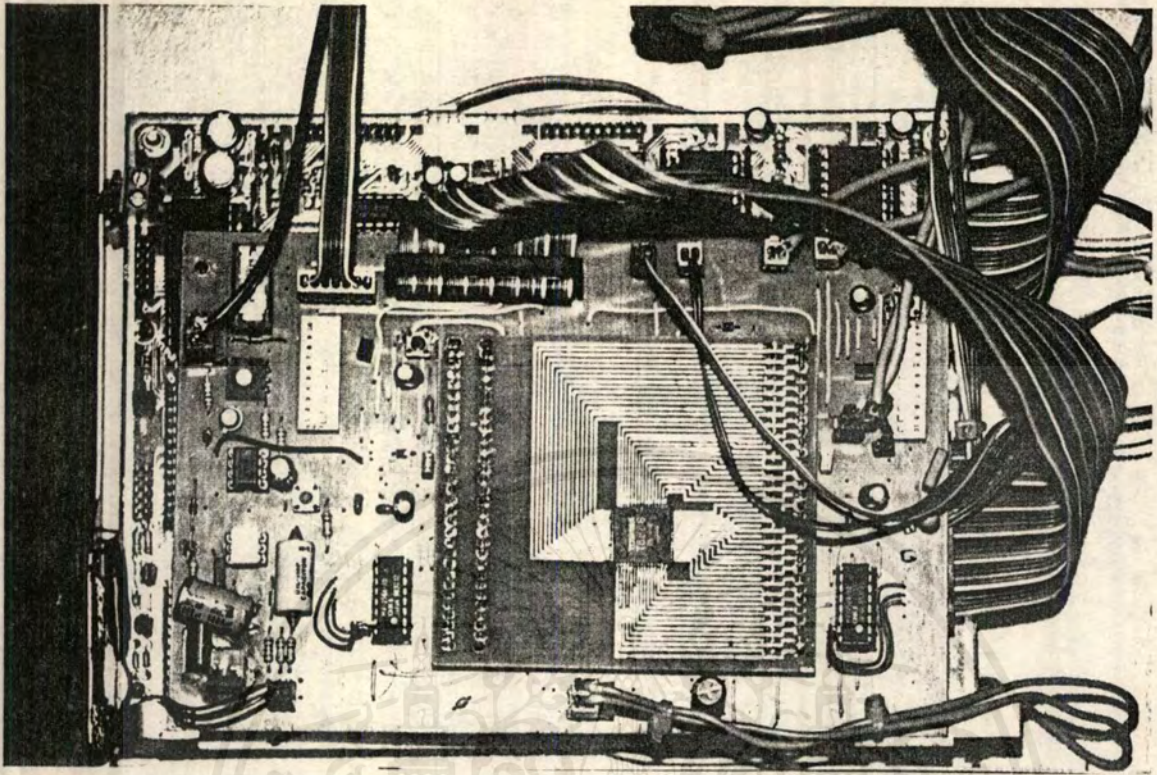
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## 6. RECORD BOARD

เนื่องจากตัว PROCESSOR T6668 มีจำนวนขา 60 ขาและเป็นแบบ PLCC (SMT) ทำให้ยากต่อการประกอบวงจรเพื่อที่ทำการทดลองจึงแก้ไขโดยการทำแผ่นวงจรพิมพ์ขึ้นมาซึ่งมีลบบวงจรถัดๆ ละเอียดจึงเสียเวลาในการทำแผ่นวงจรพิมพ์ดังตัวอย่างในรูป

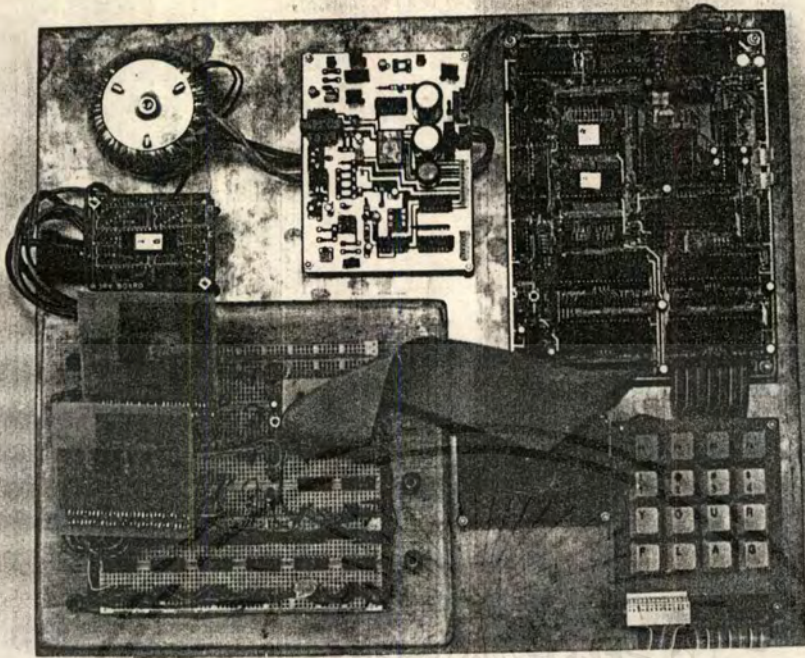


รูปแสดงส่วน RECORD ที่ใช้ในการทดลอง

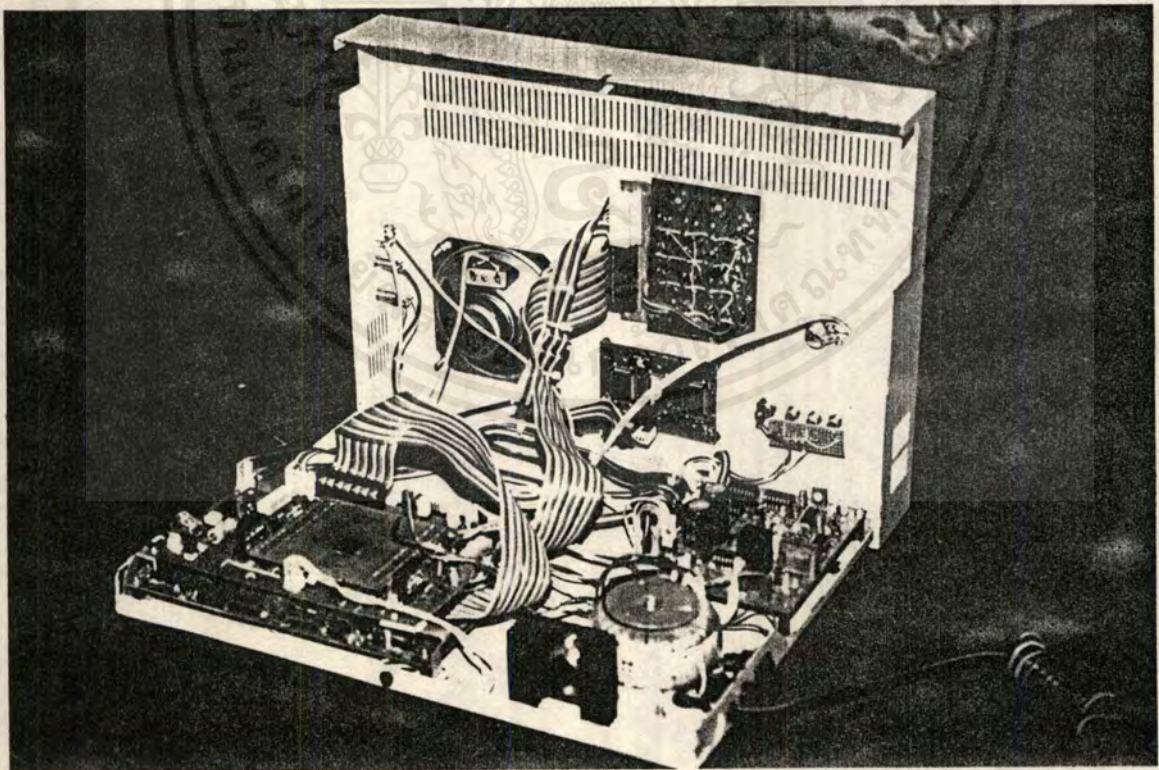


รูปแสดงส่วน RECORD ที่ลงปริ้นซ์เรียบร้อยแล้ว

ในการทำ ปริ้นซ์ชุด RECORD ค่อนข้างยากเพราะการต่อระหว่างค่า IC#T668 กับอุปกรณ์อื่นๆ จะไม่เหมือนขณะการทดลองต้องทำปริ้นซ์ใหม่โดยอาศัยขาของ SOCKET IC. แบบกลมมาใช้แทน ซึ่งใช้การออกแบบ ปริ้นซ์ 2 หน้า โดยในหน้าแรกจะเป็นชุด A และหน้าที่ 2 เป็นชุด B เพื่อให้เกิดความประหยัดเนื้อที่ในการออกแบบวงจรพิมพ์ และง่ายต่อการซ่อม



รูปแสดง ส่วนประกอบทาง HARD WARE ที่ใช้ทำการทดลอง



รูปแสดง ส่วนประกอบทาง HARDWARE ที่สมบูรณ์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เมื่อทำการวงจร การบันทึกเสียงขึ้นอยู่กับอัตราการสุ่มของสัญญาณ ซึ่งใน DATA SHEET ต้นฉบับเป็นภาษาญี่ปุ่น ทำให้ยากต่อการเข้าใจต่อการที่จะศึกษาในวงจร จากค่าของอุปกรณ์ ที่มีกำหนดใน DATA SHEET ซึ่งให้ใช้ X-TAL 650 KHz. ค่าที่หาได้จะมี 455,480,491,800kHz และ 1 MHz ในการทดสอบเมื่อใช้ X-TAL 455 KHz ที่ SPEED 32Kbps ที่ RAM 1 MBIT ได้คุณภาพเสียงพอฟังได้เท่านั้น และมีเวลาในการบันทึกเสียงเพิ่มมากขึ้น ประมาณ 20% และเมื่อเปลี่ยนเป็น X-TAL 1MHz. ที่สภาวะเดียวกันคุณภาพของเสียงจะดีขึ้นมากแต่เวลาจะลดลงประมาณ 50% ดังนั้นชุด RECORD BOARD จึงอยู่ในขั้นทดลองโดยทำการประกอบวงจรลงที่ PHOTO BOARD และการควบคุมต่างๆ จะใช้ SWITCH เป็นตัวควบคุม

ผลการทดลองการเปลี่ยน X-TAL เป็นค่าต่างๆ

อัตราการสุ่ม	D7	D6	D7	D6	D7	D6	D7	D6
ข้อมูล	0	0	0	1	1	0	1	1
480 KHz.	2:53		2:09		1:26		0:42	
491 KHz.	2:56		2:14		1:29		0:45	
800 KHz.	1:45		1:18		0:53		0:25	
1 MHz.	1:23		1:03		0:42		0:21	

#### หมายเหตุ

ปกติ X-TAL 650 KHz. เมื่อกำหนด D6,D7 จะได้ค่าเวลาดังตารางต่อไปนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ระยะเวลา	D7	D6	อัตราการสุ่ม
128 SEC.	0	0	8 KHz
93 SEC.	0	1	11 KHz
84 SEC.	1	0	16 KHz
32 SEC.	1	1	32 KHz

จากการทดลองเราจะใช้ค่า X-TAL 800K เพราะจะมีช่วงเวลาอยู่ใน  
ย่านที่เหมาะสม สำหรับการใช้งาน

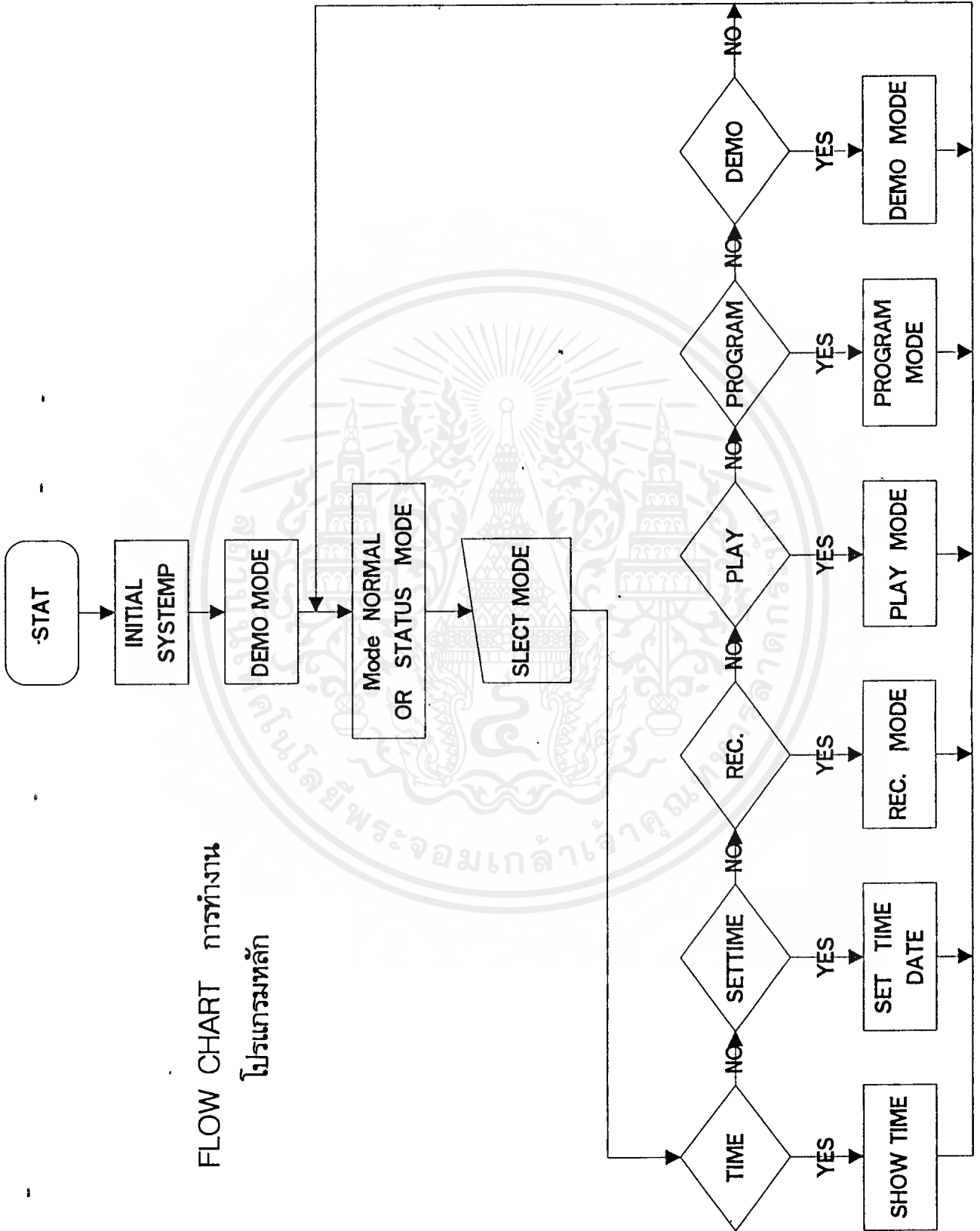
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 6การออกแบบทาง SOFTWARE

มีรายละเอียดการออกแบบเป็นขั้นตอนตามลักษณะของ FLOW ที่มีต่อ  
จากนี้ โดยจะมีการออกแบบเป็นส่วนๆ

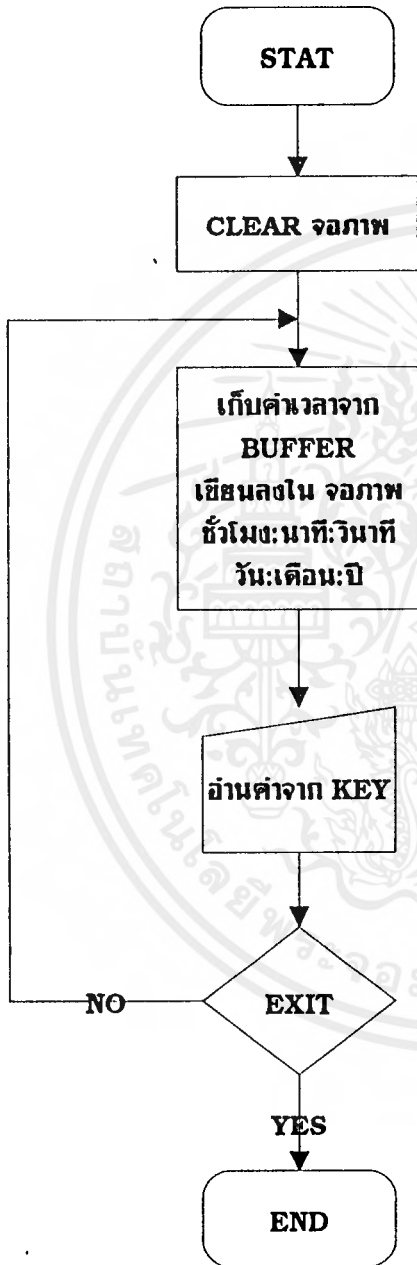
- โปรแกรมหลัก
- โปรแกรม INTERRUPT
- โปรแกรม MODE TIME
- โปรแกรม SET TIME & DATE
- โปรแกรม DEMO
- โปรแกรม MODE PLAY & RECORD

และ แสดงโปรแกรม ที่ใช้งาน ในลำดับต่อไป



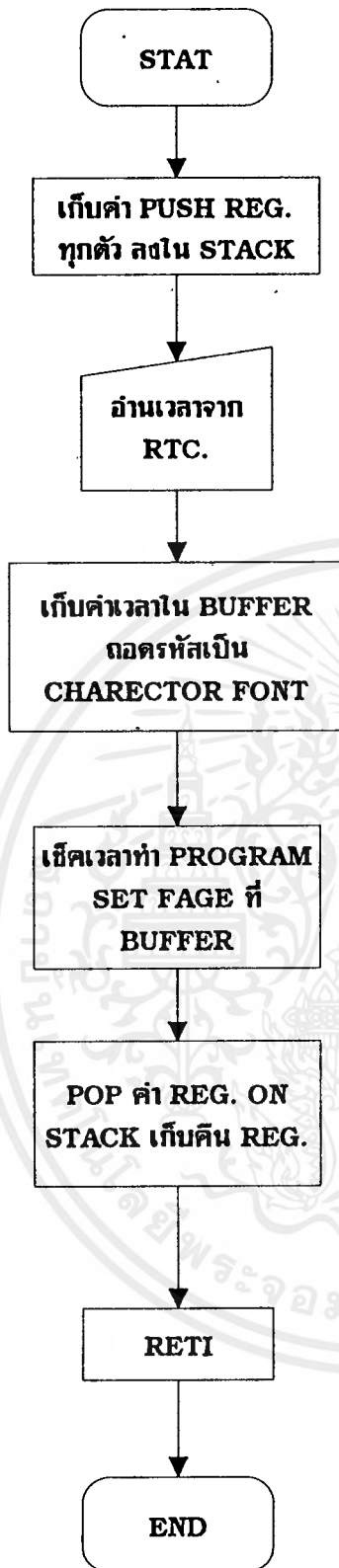
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## FLOWCHART MODE TIME

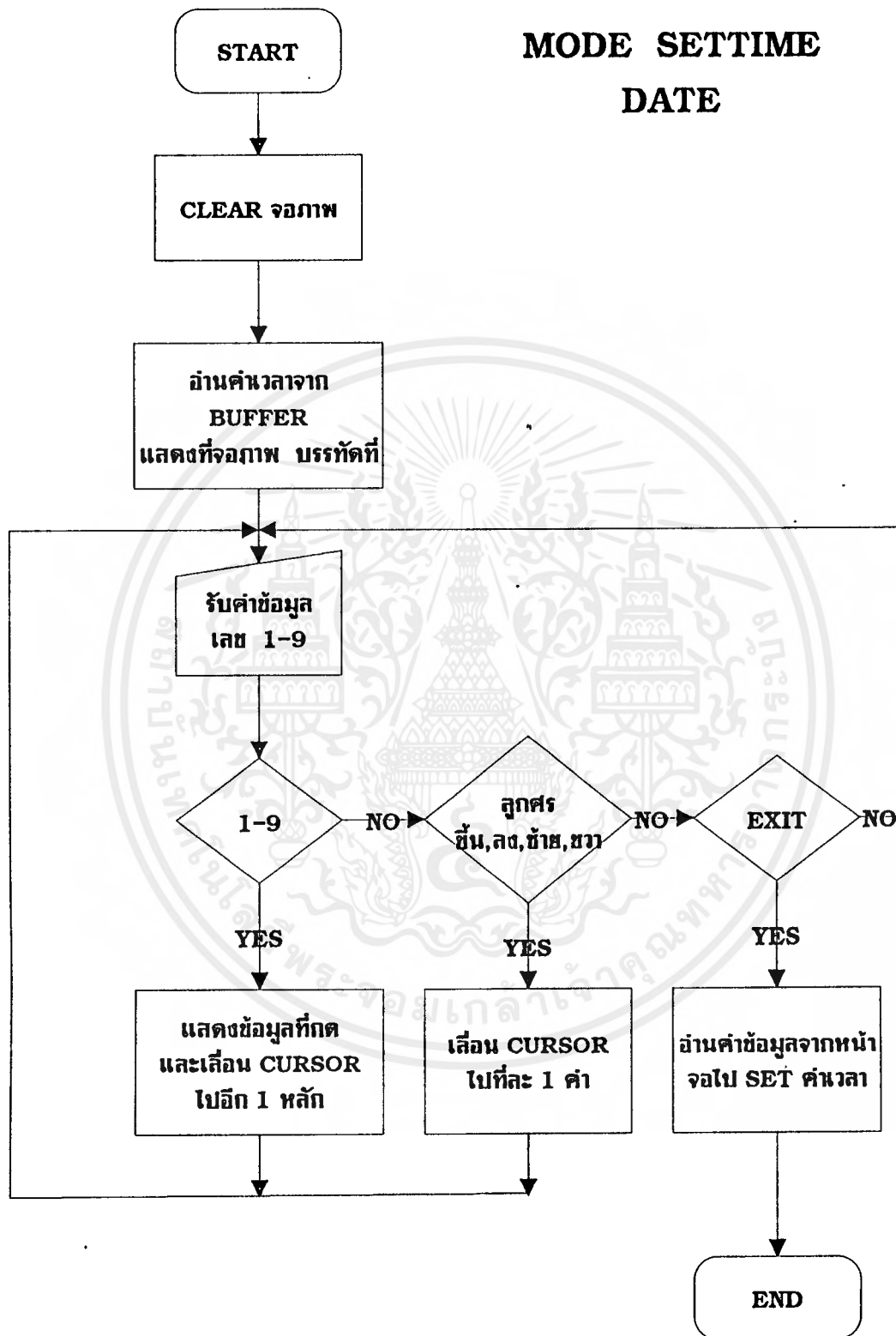


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

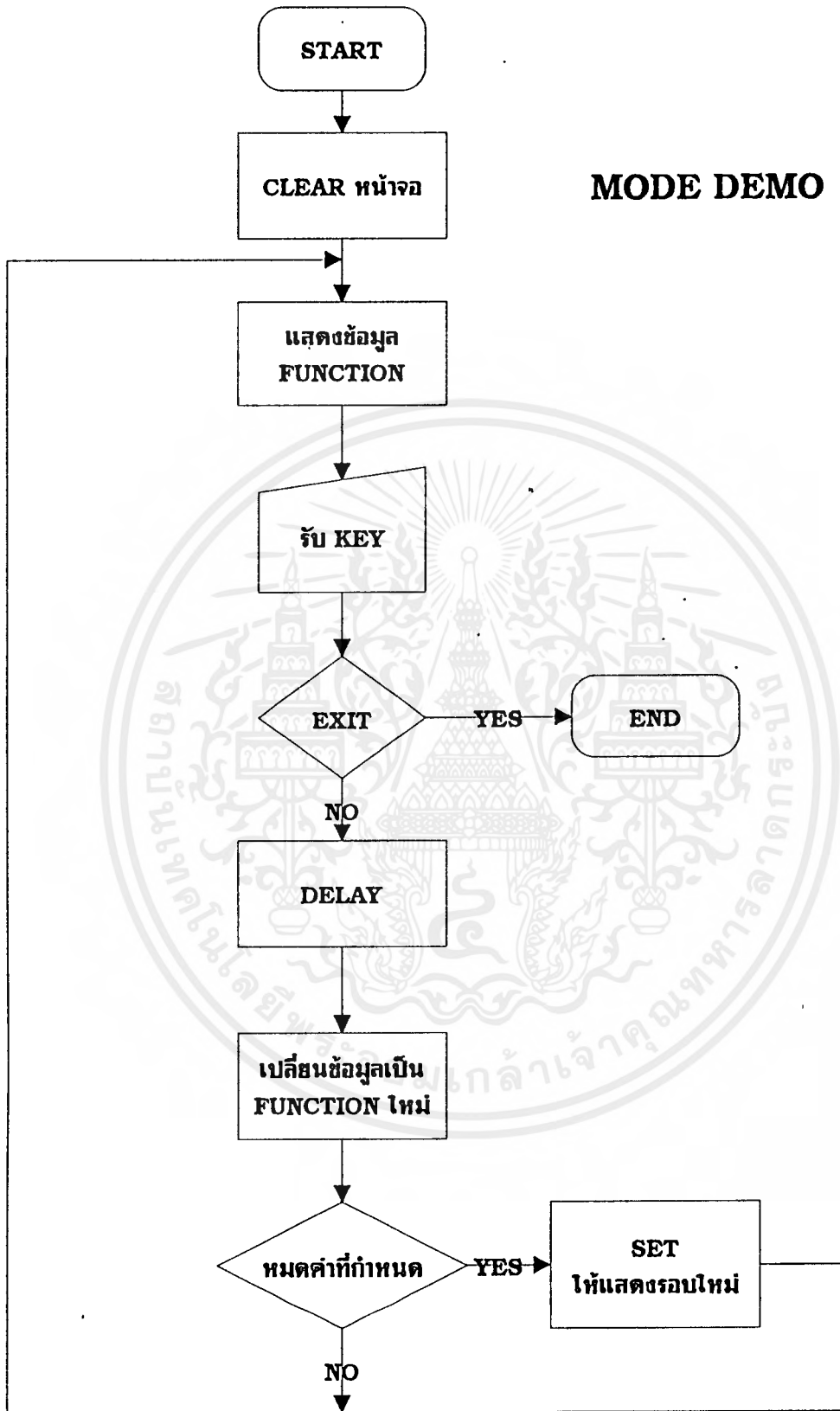
## FLOW CHART โปรแกรม INTERRUPT



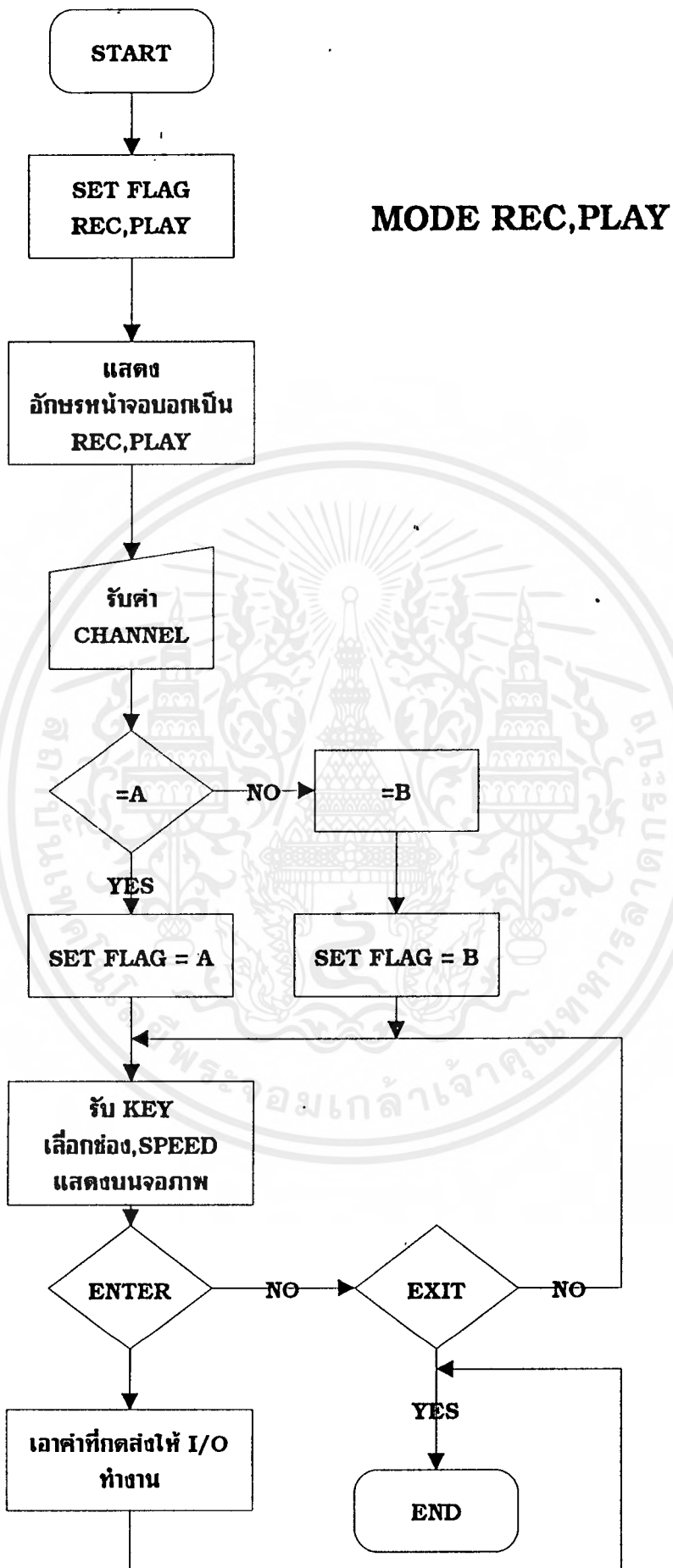
## MODE SETTIME DATE



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```

000001 0000      .EQU BEGIN,    0000H
000002 00EC      .EQU PORTA,   0ECH ; CTRL LCD
000003 00ED      .EQU PORTB,   0EDH ; DATA LCD
000004 00EE      .EQU PORTC,   0EEH ;KEYBOARD 4 X 4
000005 00EF      .EQU CTRL,    0EFH
000006 00E8      .EQU IOA,     0E8H ; CTRL LCD
000007 00E9      .EQU IOB,     0E9H ; DATA LCD
000008 00EA      .EQU IOC,     0EAH ;KEYBOARD 4 X 4
000009 00EB-     .EQU IOCTRL,  0EBH ;
000010 0000      ;-----
000011 00A0      .EQU RTC,     0A0H ;
000012 00A2      .EQU SEC,     RTC+02H
000013 00A3      .EQU MIN,     RTC+03H
000014 00A4      .EQU HOUR,    RTC+04H
000015 00A6      .EQU DATE,    RTC+06H
000016 00A7      .EQU MONTH,   RTC+07H
000017 00B1      .EQU CTRL_REG, RTC+011H
000018 00B0      .EQU STATUS_REG, RTC+010H
000019 00B6      .EQU STANBY,  RTC+016H
000020 0000      ;---
000021 0010      .EQU MON_ON,  010H ;OR HIGH
000022 0000      .EQU MON_OFF, 000H ;OR HIGH
000023 0080      .EQU CHAN_A,  080H ;STOPB USES CH,BIT 7 OR HIGH
000024 0000      .EQU CHAN_B,  000H ;STOPA USES CH,BIT 7 OR HIGH
000025 0001      .EQU STOP,    001H ;OR LOW
000026 0002      .EQU START,   002H ;OR LOW
000027 000F      .EQU REC,     00FH ;AND LOW
000028 00F0      .EQU PLAY,    0F0H ;AND LOW
000029 0011      .EQU RESET,   011H ;AND LD
000030 00F0      .EQU CHH1,    0F0H ;AND HI
000031 0070      .EQU CHH2,    070H ;AND HI
000032 0090      .EQU SPDD1,   090H ;AND HI
000033 00B0      .EQU SPDD2,   0B0H ;AND HI
000034 00D0      .EQU SPDD3,   0D0H ;AND HI
000035 00F0      .EQU SPDD4,   0F0H ;AND HI
000036 0010      .EQU PTA,     010H ;OR
000037 0040      .EQU PTB,     040H ;OR
000038 0020      .EQU TXA,     020H ;OR
000039 0080      .EQU TXB,     080H ;OR
000040 3FFF      .EQU LASTRAM, 3FFFH
000041 0000      ;-----
000042 3000      .EQU STBUFF,  03000H
000043 0000      ;---
000044 3060      .EQU B HOUR,  STBUFF+060H ;1 BYTE
000045 3061      .EQU B MIN,   STBUFF+061H ;1 BYTE
000046 3062      .EQU B SEC,   STBUFF+062H ;1 BYTE
000047 3063      .EQU B DATE,  STBUFF+063H ;1 BYTE
000048 3064      .EQU B MONTH, STBUFF+064H ;1 BYTE
000049 3065      .EQU B YEAR,  STBUFF+065H ;1 BYTE
000050 0000      ;---
000051 3066      .EQU F HOUR,  STBUFF+066H ;2 BYTE
000052 3068      .EQU F MIN,   STBUFF+068H ;2 BYTE
000053 306A      .EQU F SEC,   STBUFF+06AH ;2 BYTE
000054 306C      .EQU F DATE,  STBUFF+06CH ;2 BYTE
000055 306E      .EQU F MONTH, STBUFF+06EH ;2 BYTE
000056 3070      .EQU F YEAR,  STBUFF+070H ;2 BYTE
000057 0000      ;---
000058 3072      .EQU COLONE,  STBUFF+072H ;1 BYTE
000059 3073      .EQU DOT,     STBUFF+073H ;1 BYTE
000060 3074      .EQU SLATE,   STBUFF+074H ;1 BYTE
000061 3075      .EQU SIGNB,   STBUFF+075H ;1 BYTE
000062 0000      ;---
000063 3076      .EQU FDOCO,   STBUFF+076H ;1 BYTE
000064 3077      .EQU TITELL,  STBUFF+077H ;1 BYTE
000065 1800      .EQU INT1,    01800H
000066 0000      ;---
000067 3078      .EQU SHOUR,   STBUFF+078H ;2 BYTE
000068 307A      .EQU S MIN,   STBUFF+07AH ;2 BYTE
000069 307C      .EQU S SEC,   STBUFF+07CH ;2 BYTE
000070 307E      .EQU S DATE,  STBUFF+07EH ;2 BYTE
000071 3080      .EQU S MONTH, STBUFF+080H ;2 BYTE
000072 3082      .EQU S YEAR,  STBUFF+082H ;2 BYTE
000073 3084      .EQU S TOHH,  STBUFF+084H ;2 BYTE
000074 3086      .EQU S TOMM,  STBUFF+086H ;2 BYTE
000075 3088      .EQU S TOSS,  STBUFF+088H ;2 BYTE
000076 0000      ;---
000077 308A      .EQU THOUR,   STBUFF+08AH ;1 BYTE

```

```

000078 308B      .EQU TMIN,      STBUFF+08BH ;1 BYTE
000079 308C      .EQU TSEC,      STBUFF+08CH ;1 BYTE
000080 308D      .EQU TDATE,     STBUFF+08DH ;1 BYTE
000081 308E      .EQU TMONTH,    STBUFF+08EH ;1 BYTE
000082 308F      .EQU TYEAR,     STBUFF+08FH ;1 BYTE
000083 3090      .EQU TOPHH,     STBUFF+090H ;1 BYTE
000084 3091      .EQU TOPMM,     STBUFF+091H ;1 BYTE
000085 3092      .EQU TOPSS,     STBUFF+092H ;1 BYTE
000086 3093      .EQU TBUF,      STBUFF+093H ;1 BYTE
000087 0000      ;-----
000088 3094      .EQU IOBUF,     STBUFF+094H ;1 BYTE
000089 3095      .EQU POSTOP,    STBUFF+095H ;1 BYTE
000090 3096      .EQU PORUN,     STBUFF+096H ;1 BYTE
000091 3097      .EQU IOPTXAB,   STBUFF+097H ;1 BYTE
000092 0000      ;-----
000093 3098      .EQU DATACAR,   STBUFF+098H; 18 BYTE
000094 30AA      .EQU DATABCD,   STBUFF+0AAH; 9 BYTE
000095 30B3      .EQU PROTIME,   STBUFF+0B3H; 3 BYTE
000096 30B6      .EQU BASETIME,  STBUFF+0B6H; 3 BYTE
000097 30B9      .EQU SETBASE,   STBUFF+0B9H; 3 BYTE
000098 0000      ;-----
000099 2400      .EQU BUFF_KEY,  02400H ;1 BYTE SCANKEY
000100 2401      .EQU BUFFSWAP,  02401H ;USES IN SUB SWAP
000101 2402      .EQU MEDIT,     02402H ;USES IN MODE SETTIME
000102 1420      .EQU TABLE_KEY, 01420H ;START ADDRESS TABLE KEYBOARD
000103 0000      ;-----
000104 0000
000105 0000      ;USES
000106 0000      ;USES REC,PLAYMODE
000107 2903      .EQU OLDADD,    02903H
000108 2904      .EQU OLDDATA,   02904H
000109 2905      .EQU FLAGSEL,   02905H
000110 2906      .EQU FLAGPTT,   02906H
000111 2907      .EQU FLAGTX,    02907H
000112 2908      .EQU FLAGMON,   02908H
000113 2909      .EQU MODEFLAG, 02909H
000114 290A      .EQU RECFLAG,   0290AH
000115 290B      .EQU PAYFLAG,   0290BH
000116 0000      ;USES PROG. MODE
000117 290C      .EQU FLPROG,    0290CH
000118 290D      .EQU FLPR,      0290DH
000119 290E      .EQU PRON1,     0290EH
000120 290F      .EQU PRON2,     0290FH
000121 2910      .EQU YERM,       02910H
000122 2911      .EQU PROBUF1,   02911H ;6BYTE 11-16
000123 2917      .EQU PROBUF2,   02917H ;6BYTE 17-1C
000124 291D      .EQU TEMPORA,   0291DH ;16 BYTE
000125 0132      .EQU CBUF,      0291D+0FH
000126 0142      .EQU TMP,        0291D+1FH
000127 0000
000128 0000      ;-----
000129 0000      .ORG      BEGIN
000130 0000 C30001      JP      PROJECT
000131 0003
000132 0038      .ORG      038H
000133 0038 C30018      JP      INTRTC
000134 003B
000135 0100      .ORG      BEGIN+100H
000136 0100 CDED0E      PROJECT: CALL INISYS
000137 0103
000138 0103 3E32      DEMO: LD      A,50
000139 0105 217730      LD      HL,TITELL
000140 0108 77          LD      (HL),A
000141 0109 210017      SHONNEW: LD    HL,TITELI
000142 010C CD0C0E      CALL    SHOW
000143 010F 0601      LD      B,1H
000144 0111 CDE70D      CALL    DELAY16
000145 0114 CD5F0D      CALL    SCANK
000146 0117 FEF0        CP      0F0H
000147 0119 201A      JR      NZ,SNEWW
000148 011B 21C016      LD      HL,TITEL2
000149 011E CD0C0E      CALL    SHOW
000150 0121 0601      LD      B,1H
000151 0123 CDE70D      CALL    DELAY16
000152 0126 CD5F0D      CALL    SCANK
000153 0129 FEF0        CP      0F0H
000154 012B 2008      JR      NZ,SNEWW

```

```

000155 012D 217730      LD   HL,TITELL
000156 0130 7E          LD   A,(HL)
000157 0131 3D          DEC  A
000158 0132 77          LD   (HL),A
000159 0133 20D4       JR   NZ,SHONEW
000160 0135
000161 0135          ; 0000000000000000000000000000000000000000000000000000000000000000
000162 0135          ; 00 ** MODE select function ** 00
000163 0135          ; 0000000000000000000000000000000000000000000000000000000000000000
000164 0135
000165 0135 210016-    SNEWW: LD   HL,TEST
000166 0138 CD0C0E      CALL  SHOW
000167 013B CD970D      CALL  SCAN
000168 013E FE0C        CP   0CH ;F1
000169 0140 CA8001      JP   Z,MODR
000170 0143 FE09        CP   09H ; 2
000171 0145 CA0301      JP   Z,DEMO;
000172 0148 FE0D        CP   0DH ;F2
000173 014A CA8901      JP   Z,MODP
000174 014D FE0E        CP   0EH ;F4
000175 014F CAD505      JP   Z,TIMERS
000176 0152 FE0A        CP   0AH
000177 0154 CA6301      JP   Z,ACLEAR
000178 0157 FE04        CP   04H
000179 0159 CA9201      JP   Z,PROGRAM
000180 015C FE08        CP   08H ;1
000181 015E CADF0A      JP   Z,SETTIME
000182 0161 18D2       JR   SNEWW
000183 0163
000184 0163          ;-----
000185 0163 214018      ACLEAR: LD   HL,TCLEAR
000186 0166 CD0C0E      CALL  SHOW
000187 0169 0605        LD   B,5
000188 016B CDE70D      CALL  DELAY16
000189 016E 3E00        LD   A,00
000190 0170 D3E8        OUT  (IOA),A
000191 0172 D3E9        OUT  (IOB),A
000192 0174 D3EA        OUT  (IOC),A
000193 0176 CD5F0D      RENNEW: CALL  SCANK
000194 0179 FE1A        CP   1AH
000195 017B 28F9       JR   Z,RENNEW
000196 017D C33501      JP   SNEWW
000197 0180
000198 0180 210929      MODR: LD   HL,MODEFLAG
000199 0183 3E0F        LD   A,REC ;FLAG MODE RECORD
000200 0185 77          LD   (HL),A
000201 0186 C35406      JP   NEWSTART
000202 0189
000203 0189 210929      MODP: LD   HL,MODEFLAG
000204 018C 3EF0        LD   A,PLAY ;FLAG MODE PLAY
000205 018E 77          LD   (HL),A
000206 018F C35406      JP   NEWSTART
000207 0192
000208 0192          ;*****
000209 0192          ; 0000000000000000000000000000000000000000000000000000000000000000
000210 0192          ; 00 ** MODE PROGRAM ** 00
000211 0192          ; 0000000000000000000000000000000000000000000000000000000000000000
000212 0192          ;*****
000213 0192 218018      PROGRAM: LD  HL,TPROG
000214 0195 CD0C0E      CALL  SHOW
000215 0198
000216 0198 1E48        LD   E,48H ;SET START CURSER
000217 019A 210224      LD   HL,MEDIT
000218 019D 73          LD   (HL),E
000219 019E
000220 019E 210224      PTIME: LD  HL,MEDIT ;MEDIT = ADDRESS SWAP
000221 01A1 5E          LD   E,(HL)
000222 01A2 CD550E      CALL  SWAP
000223 01A5
000224 01A5 FE1F        CP   01FH ;F4 TO MENU
000225 01A7 CA3501      JP   Z,SNEWW
000226 01AA FE10        CP   010H
000227 01AC CA5B02      JP   Z,PDEDI ;ARROW LEFT
000228 01AF FE11        CP   011H
000229 01B1 CADE01      JP   Z,PBEDI ;ARROW DOWN
000230 01B4 FE12        CP   012H
000231 01B6 CA2E02      JP   Z,PIEDI ;ARROW RIGHT

```

```

000232 01B9 FE15      CP    015H
000233 01BB CA0702    JP    Z,PTEDI ;ARROW UP
000234 01BE FE14      CP    14H
000235 01C0 CADA01    JP    Z,PSERO  ;KEY 0
000236 01C3 FE13      CP    13H
000237 01C5 CA8802    JP    Z,PSSET  ;KEY ENTER
000238 01C8 D615      SUB   15H
000239 01CA F630      OR    30H
000240 01CC          ;-----
000241 01CC 57        LD    D,A      ;WRITE NUMBER TO DISPLAY
000242 01CD 210224    WRADD: LD    HL,MEDIT
000243 01D0 7E        LD    A,(HL)
000244 01D1 CD2B0D    CALL  GOTO
000245 01D4 CD480D    CALL  WRBYTE
000246 01D7 C32E02    JP    PIEDI
000247 01DA          ;-----
000248 01DA 1630      PSERO: LD    D,30H ;KEY 0
000249 01DC 18EF      JR    WRADD
000250 01DE          ;-----
000251 01DE 210224    PBEDI: LD    HL,MEDIT ;KEY ARROW DOWN
000252 01E1 7E        LD    A,(HL)
000253 01E2 E6F0      AND   0FH
000254 01E4          ;-----
000255 01E4 FE40      CP    40H
000256 01E6 2007      JR    NZ,CHE10
000257 01E8 7E        LD    A,(HL)
000258 01E9 E60F      AND   0FH
000259 01EB F610      OR    10H
000260 01ED 1814      JR    COMPLE
000261 01EF          ;-----
000262 01EF FE10      CHE10: CP   10H
000263 01F1 2007      JR    NZ,CHE50
000264 01F3 7E        LD    A,(HL)
000265 01F4 E60F      AND   0FH
000266 01F6 F650      OR    50H
000267 01F8 1809      JR    COMPLE
000268 01FA          ;-----
000269 01FA FE50      CHE50: CP   50H
000270 01FC 2005      JR    NZ,COMPLE
000271 01FE 7E        LD    A,(HL)
000272 01FF E60F      AND   0FH
000273 0201 F640      OR    40H
000274 0203          ;-----
000275 0203 77        COMPLE: LD   (HL),A
000276 0204 C39E01    JP    PTIME
000277 0207          ;-----
000278 0207 210224    PTEDI: LD   HL,MEDIT ;KEY ARROW UP
000279 020A 7E        LD    A,(HL)
000280 020B E6F0      AND   0FH
000281 020D FE40      CP    40H
000282 020F 2007      JR    NZ,CH10
000283 0211 7E        LD    A,(HL)
000284 0212 E60F      AND   0FH
000285 0214 F650      OR    50H
000286 0216 18EB      JR    COMPLE
000287 0218          ;-----
000288 0218 FE10      CH10: CP   10H
000289 021A 2007      JR    NZ,CH50
000290 021C 7E        LD    A,(HL)
000291 021D E60F      AND   0FH
000292 021F F640      OR    40H
000293 0221 18E0      JR    COMPLE
000294 0223          ;-----
000295 0223 FE50      CH50: CP   50H
000296 0225 20DC      JR    NZ,COMPLE
000297 0227 7E        LD    A,(HL)
000298 0228 E60F      AND   0FH
000299 022A F610      OR    10H
000300 022C 18D5      JR    COMPLE
000301 022E          ;-----
000302 022E 210224    PIEDI: LD   HL,MEDIT ;ARROW RIGHT
000303 0231 7E        LD    A,(HL)
000304 0232 3C        INC   A
000305 0233 47        LD    B,A
000306 0234          ;-----
000307 0234 FE50      PGOON: CP   50H
000308 0236 2004      JR    NZ,PS20

```

```

000309 0238 0618      LD   B,18H
000310 023A 181B      JR   PIEOU
000311 023C           ;-----
000312 023C FE20      PS20: CP   20H
000313 023E 2004      JR   NZ,PS60
000314 0240 0658      LD   B,58H
000315 0242 1813      JR   PIEOU
000316 0244           ;-----
000317 0244 FE60      PS60: CP   60H
000318 0246 2004      JR   NZ,PSCO
000319 0248 0648      LD   B,48H
000320 024A 180B      JR   PIEOU
000321 024C           ;-----
000322 024C E60F      PSCO: AND  0FH
000323 024E FE0A      CP   0AH
000324 0250 2804      JR   Z,DECOF
000325 0252           ;-----
000326 0252 FE0D      PNCO: CP   0DH
000327 0254 2001      JR   NZ,PIEOU
000328 0256 04       DECOF: INC  B
000329 0257           ;-----
000330 0257 70       PIEOU: LD   (HL),B
000331 0258 C39E01    JP   PTIME
000332 025B           ;-----
000333 025B 210224    PDEDI: LD   HL,MEDIT
000334 025E 7E       LD   A,(HL)
000335 025F 3D       DEC  A
000336 0260 47       LD   B,A
000337 0261           ;-----
000338 0261 FE47      PIGON: CP   47H
000339 0263 2004      JR   NZ,PSI4F
000340 0265 065F      LD   B,5FH
000341 0267 18EE      JR   PIEOU
000342 0269           ;-----
000343 0269 FE17      PSI4F: CP   17H
000344 026B 2004      JR   NZ,PS10F
000345 026D 064F      LD   B,4FH
000346 026F 18E6      JR   PIEOU
000347 0271           ;-----
000348 0271 FE57      PS10F: CP   57H
000349 0273 2004      JR   NZ,PSICO
000350 0275 061F      LD   B,1FH
000351 0277 18DE      JR   PIEOU
000352 0279           ;-----
000353 0279 E60F      PSICO: AND  0FH
000354 027B FE0A      CP   0AH
000355 027D 2805      JR   Z,DECOZ
000356 027F           ;-----
000357 027F FE0D      CP   0DH
000358 0281 C25702    JP   NZ,PIEOU
000359 0284 05       DECOZ: DEC  B
000360 0285 C35702    JP   PIEOU
000361 0288           ;-----
000362 0288           PSSET:
000363 0288 DD217830  LD   IX,SHOUR ;POINTER BUFFER
000364 028C 210224    LD   HL,MEDIT ;STOR ADDRESS
000365 028F 3E48      LD   A,48H
000366 0291 77       LD   (HL),A
000367 0292           ;-----
000368 0292 CD750F    PREAD: CALL READSTOR
000369 0295 DD23      INC  IX
000370 0297 34       INC  (HL)
000371 0298 CD750F    CALL READSTOR
000372 029B           ;-----
000373 029B 34       INC  (HL)
000374 029C 34       INC  (HL)
000375 029D DD23      INC  IX
000376 029F           ;-----
000377 029F CD750F    CALL READSTOR
000378 02A2 DD23      INC  IX
000379 02A4 34       INC  (HL)
000380 02A5 CD750F    CALL READSTOR
000381 02A8           ;-----
000382 02A8 34       INC  (HL)
000383 02A9 34       INC  (HL)
000384 02AA DD23      INC  IX
000385 02AC           ;-----

```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```

000386 02AC CD750F      CALL READSTOR
000387 02AF DD23        INC IX
000388 02B1 34          INC (HL)
000389 02B2 CD750F      CALL READSTOR
000390 02B5              ;-----
000391 02B5 DD23        INC IX
000392 02B7 34          INC (HL)
000393 02B8              ;-----
000394 02B8 210224      LD HL,MEDIT
000395 02BB 7E          LD A,(HL)
000396 02BC              ;-----
000397 02BC FE50        CP 50H
000398 02BE 2005       JR NZ,NEXT
000399 02C0 3E18       LD A,18H
000400 02C2 77          LD (HL),A
000401 02C3 18CD       JR PREAD
000402 02C5              ;-----
000403 02C5 FE20       NEXT: CP 20H
000404 02C7 2005       JR NZ,NET2
000405 02C9 3E58       LD A,58H
000406 02CB 77          LD (HL),A
000407 02CC 18C4       JR PREAD
000408 02CE              ;-----
000409 02CE 0609       NET2: LD B,9
000410 02D0 117830      LD DE,SHOUR
000411 02D3 218A30      LD HL,THOUR
000412 02D6 1A          PECODE: LD A,(DE)
000413 02D7 E60F        AND 0FH
000414 02D9 CB27        SLA A
000415 02DB CB27        SLA A
000416 02DD CB27        SLA A
000417 02DF CB27        SLA A
000418 02E1 4F          LD C,A
000419 02E2 13          INC DE
000420 02E3 1A          LD A,(DE)
000421 02E4 E60F        AND 0FH
000422 02E6 B1          OR C
000423 02E7 77          LD (HL),A
000424 02E8 13          INC DE
000425 02E9 23          INC HL
000426 02EA 10EA       DJNZ PECODE
000427 02EC              ;-----
000428 02EC 0603       LD B,3
000429 02EE 218A30      LD HL,THOUR ;check more 23:59:59
000430 02F1 7E          LOVE: LD A,(HL)
000431 02F2 FE24        CP 24H
000432 02F4 D20A03     JP NC,PEROR
000433 02F7 23          INC HL
000434 02F8 7E          LD A,(HL)
000435 02F9 FE60        CP 60H
000436 02FB D20A03     JP NC,PEROR
000437 02FE 23          INC HL
000438 02FF 7E          LD A,(HL)
000439 0300 FE60        CP 60H
000440 0302 D20A03     JP NC,PEROR
000441 0305 23          INC HL
000442 0306 10E9       DJNZ LOVE
000443 0308 1827       JR CORECT
000444 030A              ;-----
000445 030A 3E05       PEROR: LD A,5
000446 030C 217730     LD HL,TITELL
000447 030F 77          LD (HL),A
000448 0310 214017     PSEW: LD HL,TERORI
000449 0313 CD0C0E     CALL SHOW
000450 0316 0604       LD B,4
000451 0318 CDE70D     CALL DELAY16
000452 031B 218017     LD HL,TEROR2
000453 031E CD0C0E     CALL SHOW
000454 0321 0604       LD B,4
000455 0323 CDE70D     CALL DELAY16
000456 0326 217730     LD HL,TITELL
000457 0329 7E          LD A,(HL)
000458 032A 3D          DEC A
000459 032B 77          LD (HL),A
000460 032C 20E2       JR NZ,PSEW
000461 032E C39201     JP PROGRAM
000462 0331           ;when correct -----

```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```

000463 0331 217830      CORECT: LD   HL,SHOUR ;SAVE DATA TO BUFF DATACAR
000464 0334 119830      LD   DE,DATACAR
000465 0337 011700      LD   BC,0027
000466 033A EDB0        LDIR
000467 033C
;-----
000468 033C 21C018      LD   HL,TPAB ;SETVALUE INITIAL
000469 033F CD0C0E      CALL SHOW
000470 0342 210C29      LD   HL,FLPROG
000471 0345 AF          XOR   A
000472 0346 77          LD   (HL),A
000473 0347 210E29      LD   HL,PRON1 ;sct initial
000474 034A 3E80        LD   A,CHAN_A ; Select = A:B
000475 034C 77          LD   (HL),A ;
000476 034D 210F29      LD   HL,PRON2
000477 0350 3E00        LD   A,CHAN_B
000478 0352 77          LD   (HL),A
000479 0353 210D29      LD   HL,FLPRL
000480 0356 3E05        LD   A,05H
000481 0358 77          LD   (HL),A
000482 0359
000483 0359
;-----
000484 0359
;*****
000485 0359      PROG:
;*****
000486 0359
000487 0359 210C29      LD   HL,FLPROG
000488 035C 1E4B        LD   E,4BH
000489 035E CDF710      CALL BLANK
000490 0361
;-----
000491 0361      ;-----pro1
000492 0361 0650      LD   B,80 ;SHOW
000493 0363 CD5F0D      PROEE: CALL SCANK
000494 0366 4F          LD   C,A
000495 0367
;-----
000496 0367 79          LD   A,C
000497 0368 FE11        CP   11H ; PRESS DOWN
000498 036A 200B        JR   NZ,PONE
000499 036C 210C29      LD   HL,FLPROG
000500 036F 1E4B        LD   E,4BH
000501 0371 CDF710      CALL BLANK
000502 0374 C3E103      JP   PDOW
000503 0377
;-----
000504 0377 79          PONE: LD   A,C
000505 0378 FE1A        CP   1AH ; ON 5
000506 037A 2006        JR   NZ,PTWO
000507 037C 110C29      LD   DE,FLPROG
000508 037F 3E10        LD   A,10H
000509 0381 12          LD   (DE),A
000510 0382
;-----
000511 0382 79          PTWO: LD   A,C
000512 0383 FE16        CP   16H ;OFF 1
000513 0385 2006        JR   NZ,PTREE
000514 0387 110C29      LD   DE,FLPROG
000515 038A 3E00        LD   A,0
000516 038C 12          LD   (DE),A
000517 038D
;-----
000518 038D 79          PTREE: LD  A,C
000519 038E FE1F        CP   01FH ;F4
000520 0390 CA3501      JP   Z,SNEWW
000521 0393
;-----
000522 0393 FE13        CP   13H ;KEY ENTER
000523 0395 CA5E04      JP   Z,PROYERM ;PROENT
000524 0398 10C9        DJNZ PROEE
000525 039A
;-----
000526 039A      ;-----pro2
;-----
000527 039A 0603      LD   B,3 ;write space
000528 039C 21D614      LD   HL,TSPC
000529 039F 1E4B        LD   E,4BH
000530 03A1 CDEA10      CALL WRNBYTE
000531 03A4
;-----
000532 03A4
000533 03A4 063C      LD   B,60 ;SHOW
000534 03A6 00          PROREI: NOP
000535 03A7 CD5F0D      CALL SCANK
000536 03AA 4F          LD   C,A
000537 03AB
;-----
000538 03AB 79          LD   A,C
000539 03AC FE11        CP   11H ; PRESS DOWN

```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```

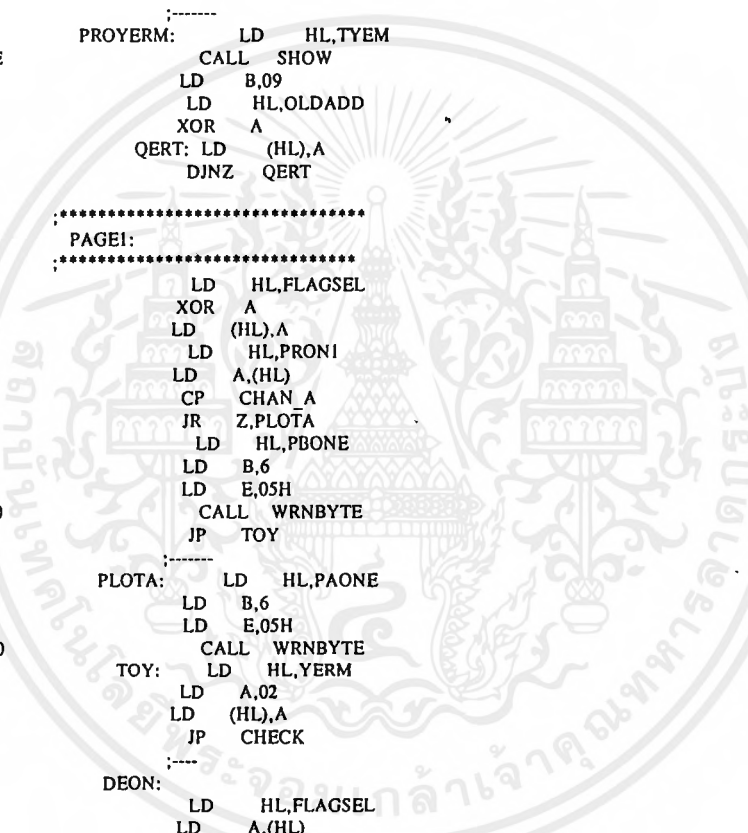
000540 03AE 200B      JR   NZ,PWO2
000541 03B0 210C29    LD   HL,FLPROG
000542 03B3 1E4B      LD   E,4BH
000543 03B5 CDF710    CALL BLANK
000544 03B8 C3E103    JP   PDOW
000545 03BB          ;-----
000546 03BB 79      PWO2: LD   A,C
000547 03BC FE1A      CP   1AH      ; ON 5
000548 03BE 2006      JR   NZ,PTE3
000549 03C0 110C29    LD   DE,FLPROG
000550 03C3 3E10      LD   A,10H
000551 03C5 12        LD   (DE),A
000552 03C6          ;-----
000553 03C6 79      PTE3:  LD   A,C
000554 03C7 FE16      CP   16H      ;OFF 1
000555 03C9 2006      JR   NZ,PFOR
000556 03CB 110C29    LD   DE,FLPROG
000557 03CE 3E00      LD   A,0
000558 03D0 12        LD   (DE),A
000559 03D1          ;-----
000560 03D1 79      PFOR:  LD   A,C      ;F4 = EXIT
000561 03D2 FE1F      CP   01FH
000562 03D4 CA3501    JP   Z,SNEWW
000563 03D7          ;-----
000564 03D7 FE13      CP   13H      ;KEY ENTER
000565 03D9 CA5E04    JP   Z,PROYERM ;PROENT
000566 03DC 10C8      DJNZ PROREI
000567 03DE C35903    JP   PROG
000568 03E1          ;-----
000569 03E1 1E1B      PDOW:  LD   E,1BH   ;SET START CURSER
000570 03E3 210224    LD   HL,MEDIT
000571 03E6 73        LD   (HL),E
000572 03E7          ;-----
000573 03E7 210224    PROLIN: LD  HL,MEDIT ;MEDIT = ADDRESS SWAP
000574 03EA 5E        LD   E,(HL)
000575 03EB CD550E    CALL SWAP
000576 03EE          ;-----
000577 03EE FE1F      CP   01FH      ;F4 TO MENU
000578 03F0 CA3501    JP   Z,SNEWW
000579 03F3 FE10      CP   010H
000580 03F5 CA1404    JP   Z,PLEFT   ;ARROW LEFT
000581 03F8 FE17      CP   017H      ;INC TO CHANG A,B
000582 03FA CA3004    JP   Z,PINC
000583 03FD FE1B      CP   01BH
000584 03FF CA3004    JP   Z,PINC    ;DEC TO CHANG A,B
000585 0402 FE12      CP   012H
000586 0404 CA2204    JP   Z,PRIGHT ;ARROW RIGHT
000587 0407 FE15      CP   015H
000588 0409 CA5903    JP   Z,PROG    ;ARROW UP
000589 040C FE13      CP   013H
000590 040E CA5E04    JP   Z,PROYERM ;KEY ENTER
000591 0411 C3E703    JP   PROLIN
000592 0414          ;-----
000593 0414          PLEFT:
000594 0414 210D29    LD   HL,FLPRL
000595 0417 3E05      LD   A,05H    ;SET FLAG = LEFT = 05H
000596 0419 77        LD   (HL),A
000597 041A 210224    LD   HL,MEDIT
000598 041D 1E1B      LD   E,1BH
000599 041F 73        LD   (HL),E
000600 0420 18C5      JR   PROLIN
000601 0422          ;-----
000602 0422          PRIGHT:
000603 0422 210D29    LD   HL,FLPRL
000604 0425 3E50      LD   A,50H    ;SET FLAG = RIGHT = 50H
000605 0427 77        LD   (HL),A
000606 0428 210224    LD   HL,MEDIT
000607 042B 1E1E      LD   E,1EH
000608 042D 73        LD   (HL),E
000609 042E 18B7      JR   PROLIN
000610 0430          ;-----
000611 0430          PINC:  LD   HL,FLPRL
000612 0430 210D29    LD   A,(HL)
000613 0433 7E        CP   50H
000614 0434 FE50      JP   Z,WRIGHT
000615 0436 2807          ;-----
000616 0438

```

```

000617 0438 210E29      WLEFT: LD HL,PRON1
000618 043B 0E1B        LD C,IBH
000619 043D 1805        JR FXT
000620 043F
000621 043F 210F29      WRIGHT: LD HL,PRON2
000622 0442 0E1E        LD C,IEH
000623 0444
000624 0444 7E          FXT: LD A,(HL)
000625 0445 FE80        CP CHAN_A
000626 0447 2807        JR Z,WIRB
000627 0449
000628 0449 3E80        WIRA: LD A,CHAN_A
000629 044B 77          LD (HL),A
000630 044C 1641        LD D,'A'
000631 044E 1805        JR FXZ
000632 0450
000633 0450 3E00        WIRB: LD A,CHAN_B
000634 0452 77          LD (HL),A
000635 0453 1642        LD D,'B'
000636 0455 79          FXZ: LD A,C
000637 0456 CD2B0D      CALL GOTO
000638 0459 CD480D      CALL WRBYTE
000639 045C 1889        JR PROLIN
000640 045E
000641 045E 210019      PROYERM: LD HL,TYEM
000642 0461 CD0C0E      CALL SHOW
000643 0464 0600        LD B,09
000644 0466 210329      LD HL,OLDADD
000645 0469 AF          XOR A
000646 046A 77          QERT: LD (HL),A
000647 046B 10FD        DJNZ QERT
000648 046D
000649 046D
000650 046D
000651 046D
000652 046D 210529      LD HL,FLAGSEL
000653 0470 AF          XOR A
000654 0471 77          LD (HL),A
000655 0472 210E29      LD HL,PRON1
000656 0475 7E          LD A,(HL)
000657 0476 FE80        CP CHAN A
000658 0478 280D        JR Z,PLOTA
000659 047A 21DF14      LD HL,PBONE
000660 047D 0606        LD B,6
000661 047F 1E05        LD E,05H
000662 0481 CDEA10      CALL WRNBYTE
000663 0484 C39104      JP TOY
000664 0487
000665 0487 21D914      PLOTA: LD HL,PAONE
000666 048A 0606        LD B,6
000667 048C 1E05        LD E,05H
000668 048E CDEA10      CALL WRNBYTE
000669 0491 211029      TOY: LD HL,YERM
000670 0494 3E02        LD A,02
000671 0496 77          LD (HL),A
000672 0497 C33007      JP CHECK
000673 049A
000674 049A
000675 049A 210529      DEON: LD HL,FLAGSEL
000676 049D 7E          LD A,(HL)
000677 049E E637        AND 37H
000678 04A0 D601        SUB 1
000679 04A2 4F          LD C,A
000680 04A3 E630        AND 30H
000681 04A5 D601        SUB 1
000682 04A7 E630        AND 30H
000683 04A9 07          RLCA
000684 04AA 07          RLCA
000685 04AB 07          RLCA
000686 04AC 47          LD B,A
000687 04AD 79          LD A,C
000688 04AE E60F        AND 0FH
000689 04B0 0F          RRCA
000690 04B1 0F          RRCA
000691 04B2 0F          RRCA
000692 04B3 B0         OR B
000693 04B4 57         LD D,A ;CH,SPD

```



```

000694 04B5 210E29      LD      HL,PRON1
000695 04B8 7E          LD      A,(HL)
000696 04B9 FE00        CP      CHAN_B
000697 04BB 280B        JR      Z,POBB
000698 04BD
000699 04BD 0E80        POAA:   LD      C,CHAN_A
000700 04BF 210729      LD      HL,FLAGTX
000701 04C2 7E          LD      A,(HL)
000702 04C3 E610        AND    10H
000703 04C5 07          RLCA
000704 04C6 1809        JR      PROPTT
000705 04C8
000706 04C8 0E00        POBB:   LD      C,CHAN_B
000707 04CA 210729      LD      HL,FLAGTX
000708 04CD 7E          LD      A,(HL)
000709 04CE 07          RLCA
000710 04CF 07          RLCA
000711 04D0 07          RLCA
000712 04D1
000713 04D1 47          PROPTT: LD     B,A
000714 04D2 210629      LD      HL,FLAGPTT
000715 04D5 7E          LD      A,(HL)
000716 04D6 E610        AND    10H
000717 04D8 B0          OR      B
000718 04D9 5F          LD      E,A      ;PTT,TX
000719 04DA 210829      LD      HL,FLAGMON
000720 04DD 46          LD      B,(HL) ;MON
000721 04DE 2EF0        LD      L,PLAY
000722 04E0 2602        LD      H,START
000723 04E2 DD211129    LD      IX,PROBUFI
000724 04E6 DD7000      LD      (IX+00),B
000725 04E9 DD7402      LD      (IX+02),H
000726 04EC DD7503      LD      (IX+03),L
000727 04EF DD7101      LD      (IX+01),C
000728 04F2 DD7204      LD      (IX+04),D
000729 04F5 DD7305      LD      (IX+05),E
000730 04F8 211029      LD      HL,YERM
000731 04FB AF          XOR     A
000732 04FC 77          LD      (HL),A
000733 04FD
000734 04FD
000735 04FD
000736 04FD
000737 04FD 0600        PAGE2: LD     B,09
000738 04FF 210329      LD      HL,OLDADD
000739 0502 AF          XOR     A
000740 0503 77          DERT: LD     (HL),A
000741 0504 10FD        DJNZ   DERT
000742 0506 210019      LD      HL,TYEM
000743 0509 CD0C0E      CALL   SHOW
000744 050C 210F29      LD      HL,PRON2
000745 050F 7E          LD      A,(HL)
000746 0510 FE80        CP      CHAN_A
000747 0512 280D        JR      Z,PLOOT
000748 0514 21EB14      LD      HL,PBTWO
000749 0517 0606        LD      B,6
000750 0519 1E05        LD      E,05H
000751 051B CDEA10      CALL   WRNBYTE
000752 051E C32B05      JP      TOOY
000753 0521
000754 0521 21E514      PLOOT: LD     HL,PATWO
000755 0524 0606        LD      B,6
000756 0526 1E05        LD      E,05H
000757 0528 CDEA10      CALL   WRNBYTE
000758 052B 211029      TOOY:  LD      HL,YERM
000759 052E 3E40        LD      A,40H
000760 0530 77          LD      (HL),A
000761 0531 210529      LD      HL,FLAGSEL
000762 0534 AF          XOR     A
000763 0535 77          LD      (HL),A
000764 0536 C33007      JP      CHECK
000765 0539
000766 0539 00          ;----
NOP
000767 053A 210529      KOON:  LD      HL,FLAGSEL
000768 053D 7E          LD      A,(HL)
000769 053E E637        AND    37H
000770 0540 D601        SUB    I

```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```

000771 0542 4F      LD      C,A
000772 0543 E630    AND     30H
000773 0545 D601    SUB     1
000774 0547 E630    AND     30H
000775 0549 07      RLCA
000776 054A 07      RLCA
000777 054B 07      RLCA
000778 054C 47      LD      B,A
000779 054D 79      LD      A,C
000780 054E E60F    AND     0FH
000781 0550 0F      RRCA
000782 0551 0F      RRCA
000783 0552 0F      RRCA
000784 0553 B0      OR      B
000785 0554 57      LD      D,A      ;CH,SPD
000786 0555 210F29  LD      HL,PRON2
000787 0558 7E      LD      A,(HL)
000788 0559 FE00    CP      CHAN_B
000789 055B 280B    JR      Z,PEOBB
000790 055D          PEOA:
000791 055D 0E80    LD      C,CHAN_A
000792 055F 210729  LD      HL,FLAGTX
000793 0562 7E      LD      A,(HL)
000794 0563 E610    AND     10H
000795 0565 07      RLCA
000796 0566 1809    JR      PROPT
000797 0568          PEOBB:
000798 0568 0E00    LD      C,CHAN_B
000799 056A 210729  LD      HL,FLAGTX
000800 056D 7E      LD      A,(HL)
000801 056E 07      RLCA
000802 056F 07      RLCA
000803 0570 07      RLCA
000804 0571 47      PROPT: LD      B,A
000805 0572 210629  LD      HL,FLAGPTT
000806 0575 7E      LD      A,(HL)
000807 0576 E610    AND     10H
000808 0578 B0      OR      B
000809 0579 5F      LD      E,A      ;PTT,TX
000810 057A 210829  LD      HL,FLAGMON
000811 057D 46      LD      B,(HL) ;MON
000812 057E 2EF0    LD      L,PLAY
000813 0580 2602    LD      H,START
000814 0582 DD211729 LD      IX,PROBUF2
000815 0586 DD7000  LD      (IX+00),B
000816 0589 DD7101  LD      (IX+01),C
000817 058C DD7402  LD      (IX+02),H
000818 058F DD7503  LD      (IX+03),L
000819 0592 DD7204  LD      (IX+04),D
000820 0595 DD7305  LD      (IX+05),E
000821 0598
000822 0598 0602    LD      B,02
000823 059A CDE70D    CALL   DELAY16
000824 059D C33501  JP      SNEWW
000825 05A0          ;-----
000826 05A0 CD560F    CALL   GET_CLK ;SAVE TIME WHEN PROGRAMED
000827 05A3 216030  LD      HL,BHOUR ;TOPROTIME
000828 05A6 11B330  LD      DE,PROTIME
000829 05A9 010300  LD      BC,0003
000830 05AC EDB0    LDIR
000831 05AE          ;-----
000832 05AE C33501  JP      SNEWW
000833 05B1 21AA30  LD      HL,DATA CAR+18
000834 05B4 DD214201 LD      IX,TMP
000835 05B8 0603    LD      B,3
000836 05BA 7E      KONG: LD      A,(HL)
000837 05BB DD7702  LD      (IX+02),A
000838 05BE 23      INC     HL
000839 05BF DD2B    DEC     IX
000840 05C1 10F7    DJNZ   KONG
000841 05C3          ;-----
000842 05C3 21B030  LD      HL,DATA CAR+24
000843 05C6 DD214201 LD      IX,TMP
000844 05CA 0603    LD      B,3
000845 05CC 7E      JUB:  LD      A,(HL)
000846 05CD DD7705  LD      (IX+05),A
000847 05D0 23      INC     HL

```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้





```

001002 06C5
001003 06C5 3E1E
001004 06C7 CD2B0D
001005 06CA 16FF
001006 06CC CD480D
001007 06CF 3E15
001008 06D1 CD2B0D
001009 06D4 1620
001010 06D6 CD480D
001011 06D9 210529
001012 06DC 7E
001013 06DD CBB7
001014 06DF 77
001015 06E0 1E1E
001016 06E2 189C
001017 06E4
001018 06E4
001019 06E4
001020 06E4 00
001021 06E5 210929
001022 06E8 7E
001023 06E9 FE0F
001024 06EB 2807
001025 06ED FEF0
001026 06EF 2821
001027 06F1 C33501
001028 06F4
001029 06F4
001030 06F4 210529
001031 06F7 7E
001032 06F8 CB77
001033 06FA 280B
001034 06FC
001035 06FC
001036 06FC CD010E
001037 06FF 210015
001038 0702 CD0C0E
001039 0705 1829
001040 0707
001041 0707 CD010E
001042 070A 214015
001043 070D CD0C0E
001044 0710 181E
001045 0712
001046 0712
001047 0712 210529
001048 0715 7E
001049 0716 CB77
001050 0718 280B
001051 071A
001052 071A
001053 071A CD010E
001054 071D 218015
001055 0720 CD0C0E
001056 0723 180B
001057 0725
001058 0725 CD010E
001059 0728 21C015
001060 072B CD0C0E
001061 072E 1800
001062 0730
001063 0730 210529
001064 0733 7E
001065 0734 CBE7
001066 0736 CBAF
001067 0738 CBC7
001068 073A CB8F
001069 073C CB97
001070 073E 77
001071 073F 210629
001072 0742 3E00
001073 0744 77
001074 0745 210729
001075 0748 3E00
001076 074A 77
001077 074B 210829
001078 074E 3E00
;-----
; SHIFT_B: LD A,1EH
;          CALL GOTO
;          LD D,OFFH
;          CALL WRBYTE
;          LD A,15H
;          CALL GOTO
;          LD D,20H
;          CALL WRBYTE
;          LD HL,FLAGSEL
;          LD A,(HL)
;          RES 6,A
;          LD (HL),A
;          LD E,1EH
;          JR NEW_INKEY
;-----
INKEY_ENT: NOP
SLECT: LD HL,MODEFLAG
;       LD A,(HL)
;       CP 0FH
;       JR Z,VREC
;       CP 0F0H
;       JR Z,VPAY
;       JP SNEWW
;-----
VREC:
;       LD HL,FLAGSEL
;       LD A,(HL)
;       BIT 6,A
;       JR Z,REC_B
;-----
; REC_A:
;       CALL CLEAR_LCD
;       LD HL,A_REC
;       CALL SHOW
;       JR CHECK
;-----
REC_B: CALL CLEAR_LCD
;       LD HL,B_REC
;       CALL SHOW
;       JR CHECK
;-----
VPAY:
;       LD HL,FLAGSEL
;       LD A,(HL)
;       BIT 6,A
;       JR Z,PAY_B
;-----
; PAY_A:
;       CALL CLEAR_LCD
;       LD HL,A_PAY
;       CALL SHOW
;       JR CHECK
;-----
PAY_B: CALL CLEAR_LCD
;       LD HL,B_PAY
;       CALL SHOW
;       JR CHECK
;-----
CHECK: LD HL,FLAGSEL
;       LD A,(HL)
;       SET 4,A
;       RES 5,A
;       SET 0,A
;       RES 1,A
;       RES 2,A ;SET CH=1,SPEED=1 TO BUFF
;       LD (HL),A
;       LD HL,FLAGPTT
;       LD A,00H
;       LD (HL),A
;       LD HL,FLAGTX
;       LD A,00H
;       LD (HL),A
;       LD HL,FLAGMON
;       LD A,00H

```

```

001079 0750 77          LD  (HL),A
001080 0751          ;-----
001081 0751 1E45        LD  E,45H
001082 0753 CD550E      INKEY_NEW: CALL SWAP ; TEST DEC, INC
001083 0756 E60F        AND  0FH
001084 0758 FE00        CP  00H ;ARROW LEFT
001085 075A CA8B07      JP  Z,LEFT1
001086 075D FE02        CP  2 ;ARROW RIGHT
001087 075F CA9607      JP  Z,RIGHT2
001088 0762 FE07        CP  07H ; 07 = DEC
001089 0764 CAAD09      JP  Z,KEYDEC
001090 0767 FE0B        CP  0BH ;0BH = INC
001091 0769 CAB609      JP  Z,KEYINC
001092 076C FE0F        CP  0FH ;KEY ESC= F4
001093 076E CA3501      JP  Z,SNEWW
001094 0771 FE03        CP  3 ;KEY ENTER
001095 0773 CA200A      JP  Z,KEY_ENTER
001096 0776 FE01        CP  1 ;ARROW DOWWN
001097 0778 CAA107      JP  Z,DONKEY
001098 077B          ;-----
001099 077B 210529      LD  HL,FLAGSEL
001100 077E 7E          LD  A,(HL)
001101 077F CB5F        BIT  3,A
001102 0781 2804      JR  Z,LWL
001103 0783 1E4E      RWR: LD  E,4EH
001104 0785 18CC      JR  INKEY_NEW
001105 0787 1E45      LWL: LD  E,45H
001106 0789 18C8      JR  INKEY_NEW
001107 078B          ;-----
001108 078B          LEFT1:
001109 078B 210529      LD  HL,FLAGSEL
001110 078E 7E          LD  A,(HL)
001111 078F CB9F        RES  3,A ;SET FLAG = SPEED = 0
001112 0791 77          LD  (HL),A
001113 0792 1E45      LD  E,45H
001114 0794 18BD      JR  INKEY_NEW
001115 0796          ;-----
001116 0796          RIGHT2:
001117 0796 210529      LD  HL,FLAGSEL
001118 0799 7E          LD  A,(HL)
001119 079A CBDF        SET  3,A ;SET FLAG = CH = 1
001120 079C 77          LD  (HL),A
001121 079D 1E4E      LD  E,4EH
001122 079F 18B2      JR  INKEY_NEW
001123 07A1          ;-----
001124 07A1 210529      DONKEY: LD  HL,FLAGSEL
001125 07A4 7E          LD  A,(HL)
001126 07A5 CB5F        BIT  3,A
001127 07A7 CA6808      JP  Z,LEPTT
001128 07AA          ;-----
001129 07AA          ;*****
001130 07AA          RTX:
001131 07AA          ;*****
001132 07AA 210729      LD  HL,FLAGTX
001133 07AD 1E1C      LD  E,1CH
001134 07AF CDF710      CALL BLANK
001135 07B2          ;-----
001136 07B2          ;*****
001137 07B2 0650      WEN: LD  B,80 ;SHOW
001138 07B4 00          REEW: NOP
001139 07B5 CD5F0D      DEEN: CALL SCANK
001140 07B8 4F          LD  C,A
001141 07B9          ;-----
001142 07B9 FE15        CP  15H ;ARROW UP
001143 07BB C2C907      JP  NZ,ONEO
001144 07BE 210729      LD  HL,FLAGTX
001145 07C1 1E1C      LD  E,1CH
001146 07C3 CDF710      CALL BLANK
001147 07C6 C39607      JP  RIGHT2
001148 07C9          ;-----
001149 07C9 79          ONEO: LD  A,C
001150 07CA FE11        CP  11H ;PRESS DOWN
001151 07CC 200B      JR  NZ,TWOT
001152 07CE 210729      LD  HL,FLAGTX
001153 07D1 1E1C      LD  E,1CH
001154 07D3 CDF710      CALL BLANK
001155 07D6 C32609      JP  MONZ

```

```

001156 07D9          ;-----
001157 07D9 79      TWOT: LD  A,C
001158 07DA FE10    CP  10H      ;ARROW LEFT
001159 07DC CA6808  JP  Z,LEPTT
001160 07DF          ;-----
001161 07DF FE1A    CP  1AH      ; ON 5
001162 07E1 2006    JR  NZ,TREEET
001163 07E3 110729  LD  DE,FLAGTX
001164 07E6 3E10    LD  A,10H
001165 07E8 12      LD  (DE),A
001166 07E9          ;-----
001167 07E9 79      TREEET: LD  A,C
001168 07EA FE16    CP  16H      ;OFF 1
001169 07EC 2006    JR  NZ,EWR
001170 07EE 110729  LD  DE,FLAGTX
001171 07F1 3E00    LD  A,0
001172 07F3 12      LD  (DE),A
001173 07F4          ;-----
001174 07F4 79      EWR: LD  A,C
001175 07F5 FE1F    CP  01FH
001176 07F7 CA3501  JP  Z,SNEWW
001177 07FA FE13    CP  13H      ;KEY ENTER
001178 07FC CA200A  JP  Z,KEY_ENTER
001179 07FF 10B3    DJNZ REEW
001180 0801          ;-----RTX2
001181 0801          ;-----
001182 0801 0603    LD  B,3      ;write space
001183 0803 21D614  LD  HL,TSPC
001184 0806 1E1C    LD  E,1CH
001185 0808 CDEA10  CALL WRNBYT
001186 080B          ;-----
001187 080B          ;-----
001188 080B 063C    LD  B,60     ;SHOW
001189 080D 00      REE1: NOP
001190 080E CD5F0D  CALL SCANK
001191 0811 4F      LD  C,A
001192 0812          ;-----
001193 0812 FE15    CP  15H      ;ARROW UP
001194 0814 C22208  JP  NZ,ONE1
001195 0817 210729  LD  HL,FLAGTX
001196 081A 1E1C    LD  E,1CH
001197 081C CDF710  CALL BLANK
001198 081F C39607  JP  RIGHT2
001199 0822          ;-----
001200 0822 79      ONE1: LD  A,C
001201 0823 FE11    CP  11H      ;PRESS DOWN
001202 0825 200B    JR  NZ,TWO2
001203 0827 210729  LD  HL,FLAGTX
001204 082A 1E1C    LD  E,1CH
001205 082C CDF710  CALL BLANK
001206 082F C32609  JP  MONZ
001207 0832          ;-----
001208 0832 79      TWO2: LD  A,C
001209 0833 FE10    CP  10H      ;ARROW LEFT
001210 0835 200B    JR  NZ,WWQE
001211 0837 210729  LD  HL,FLAGTX
001212 083A 1E1C    LD  E,1CH
001213 083C CDF710  CALL BLANK
001214 083F C36808  JP  LEPTT
001215 0842          ;-----
001216 0842 79      WWQE: LD  A,C
001217 0843 FE1A    CP  1AH      ; ON 5
001218 0845 2006    JR  NZ,TREE3
001219 0847 110729  LD  DE,FLAGTX
001220 084A 3E10    LD  A,10H
001221 084C 12      LD  (DE),A
001222 084D          ;-----
001223 084D 79      TREE3: LD  A,C
001224 084E FE16    CP  16H      ;OFF 1
001225 0850 2006    JR  NZ,SREMO
001226 0852 110729  LD  DE,FLAGTX
001227 0855 3E00    LD  A,0
001228 0857 12      LD  (DE),A
001229 0858          ;-----
001230 0858 79      SREMO: LD  A,C
001231 0859 FE1F    CP  01FH
001232 085B CA3501  JP  Z,SNEWW

```

```

001233 085E          ;----
001234 085E FE13      CP 13H      ;KEY ENTER
001235 0860 CA200A    JP Z,KEY_ENTER
001236 0863 10A8      DJNZ REE1
001237 0865 C3AA07    JP RTX
001238 0868          ;*****
001239 0868          LEPTT:
001240 0868          ;*****
001241 0868 210629    LD HL,FLAGPTT
001242 086B 1E14      LD E,14H
001243 086D CDF710    CALL BLANK
001244 0870          ;-----LPTT1
001245 0870 0650      LD B,80      ;SHOW
001246 0872 00        DEET: NOP
001247 0873 CD5F0D    CALL SCANK
001248 0876 4F        LD C,A
001249 0877          ;--
001250 0877 FE15      CP 15H      ;ARROW UP
001251 0879 C28708    JP NZ,DRE
001252 087C 210629    LD HL,FLAGPTT
001253 087F 1E14      LD E,14H
001254 0881 CDF710    CALL BLANK
001255 0884 C38B07    JP LEFTI
001256 0887          ;---
001257 0887 79        DRE: LD A,C
001258 0888 FE11      CP 11H      ; PRESS DOWN
001259 088A 200B      JR NZ,QEDD
001260 088C 210629    LD HL,FLAGPTT
001261 088F 1E14      LD E,14H
001262 0891 CDF710    CALL BLANK
001263 0894 C32609    JP MONZ
001264 0897          ;-----
001265 0897 79        QEDD: LD A,C
001266 0898 FE12      CP 12H      ; ARROW RIGHT
001267 089A CAAA07    JP Z,RTX
001268 089D          ;-----
001269 089D FE16      CP 16H      ;Off 1
001270 089F 2006      JR NZ,DEDW
001271 08A1 110629    LD DE,FLAGPTT
001272 08A4 3E00      LD A,0
001273 08A6 12        LD (DE),A
001274 08A7          ;---
001275 08A7 79        DEDW: LD A,C
001276 08A8 FE1A      CP 1AH      ;On 1
001277 08AA 2006      JR NZ,SEDW
001278 08AC 110629    LD DE,FLAGPTT
001279 08AF 3E10      LD A,10H
001280 08B1 12        LD (DE),A
001281 08B2          ;---
001282 08B2 79        SEDW: LD A,C
001283 08B3 FE1F      CP 01FH
001284 08B5 CA3501    JP Z,SNEWW
001285 08B8          ;-----
001286 08B8 FE13      CP 13H      ;KEY ENTER
001287 08BA CA200A    JP Z,KEY_ENTER
001288 08BD 10B3      DJNZ DEET
001289 08BF          ;-----LPTT2
001290 08BF 0603      LD B,3      ;write space
001291 08C1 21D614    LD HL,TSPC
001292 08C4 1E14      LD E,14H
001293 08C6 CDEA10    CALL WRNBYTE
001294 08C9          ;-----
001295 08C9 063C      LD B,60      ;SPACE
001296 08CB 00        DQES: NOP
001297 08CC CD5F0D    CALL SCANK
001298 08CF 4F        LD C,A
001299 08D0          ;-----
001300 08D0 FE15      CP 15H      ;ARROW UP
001301 08D2 C2E008    JP NZ,DREM
001302 08D5 210629    LD HL,FLAGPTT
001303 08D8 1E14      LD E,14H
001304 08DA CDF710    CALL BLANK
001305 08DD C38B07    JP LEFTI
001306 08E0          ;---
001307 08E0 79        DREM: LD A,C
001308 08E1 FE11      CP 11H      ; PRESS DOWN
001309 08E3 200B      JR NZ,TEDT

```

```

001310 08E5 210629      LD  HL,FLAGPTT
001311 08E8 1E14        LD  E,14H
001312 08EA CDF710      CALL BLANK
001313 08ED C32609      JP  MONZ
001314 08F0              ;-----
001315 08F0 79          TEDT: LD  A,C
001316 08F1 FE12        CP  12H          ; ARROW RIGHT
001317 08F3 C20109      JP  NZ,SWERT
001318 08F6 210629      LD  HL,FLAGPTT
001319 08E9 1E14        LD  E,14H
001320 08FB CDF710      CALL BLANK
001321 08FE C3AA07      JP  RTX
001322 0901              ;-----
001323 0901 FE16        SWERT: CP  16H          ;Off 1
001324 0903 2006        JR  NZ,DEDO
001325 0905 110629      LD  DE,FLAGPTT
001326 0908 3E00        LD  A,0
001327 090A 12          LD  (DE),A
001328 090B              ;---
001329 090B 79          DEDO: LD  A,C
001330 090C FE1A        CP  1AH          ;On 1
001331 090E 2006        JR  NZ,DEEF
001332 0910 110629      LD  DE,FLAGPTT
001333 0913 3E10        LD  A,10H
001334 0915 12          LD  (DE),A
001335 0916              ;----
001336 0916 79          DEEF: LD  A,C
001337 0917 FE1F        CP  01FH
001338 0919 CA3501      JP  Z,SNEWW
001339 091C              ;----
001340 091C 10AD        DJNZ DQES
001341 091E              ;----
001342 091E FE13        CP  13H          ;KEY ENTER
001343 0920 CA200A      JP  Z,KEY_ENTER
001344 0923 C36808      JP  LEPTT
001345 0926              ;*****
001346 0926              MONZ:
001347 0926              ;*****
001348 0926 210829      LD  HL,FLAGMON
001349 0929 1E58        LD  E,58H
001350 092B CDF710      CALL BLANK
001351 092E              ;-----MON1
001352 092E 0650        LD  B,80          ;SHOW
001353 0930 00          MEET: NOP
001354 0931 CD5F0D      CALL SCANK
001355 0934 4F          LD  C,A
001356 0935              ;---
001357 0935 FE15        CP  15H          ;ARROW UP
001358 0937 C24509      JP  NZ,DRQ
001359 093A 210829      LD  HL,FLAGMON
001360 093D 1E58        LD  E,58H
001361 093F CDF710      CALL BLANK
001362 0942 C3AA07      JP  RTX
001363 0945              ;----
001364 0945 FE16        DRQ: CP  16H          ;Off 1
001365 0947 2006        JR  NZ,AEDW
001366 0949 110829      LD  DE,FLAGMON
001367 094C 3E00        LD  A,0
001368 094E 12          LD  (DE),A
001369 094F              ;---
001370 094F 79          AEDW: LD  A,C
001371 0950 FE1A        CP  1AH          ;On 1
001372 0952 2006        JR  NZ,ZEDW
001373 0954 110829      LD  DE,FLAGMON
001374 0957 3E10        LD  A,10H
001375 0959 12          LD  (DE),A
001376 095A              ;----
001377 095A 79          ZEDW: LD  A,C
001378 095B FE1F        CP  01FH
001379 095D CA3501      JP  Z,SNEWW
001380 0960 FE13        CP  13H          ;KEY ENTER
001381 0962 CA200A      JP  Z,KEY_ENTER
001382 0965 10C9        DJNZ MEET
001383 0967              ;-----MON2
001384 0967 0603        LD  B,3          ;write space
001385 0969 21D614      LD  HL,TSPC
001386 096C 1E58        LD  E,58H

```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```

001387 096E CDEA10          CALL WRNBYTE
001388 0971
001389 0971 063C          ;-----
001390 0973 00          LD B,60          ;SPACE
HEET:  NOP
      CALL SCANK
      LD C,A
001393 0978          ;-----
001394 0978 FE15          CP 15H          ;ARROW UP
001395 097A C28809          JP NZ,PREM
001396 097D 210829          LD HL,FLAGMON
001397 0980 1E58          LD E,58H
001398 0982 CDF710          CALL BLANK
001399 0985 C36808          JP LEPTT
001400 0988          ;---
001401 0988 FE16          PREM: CP 16H          ;Off 1
001402 098A 2006          JR NZ,KEDO
001403 098C 110829          LD DE,FLAGMON
001404 098F 3E00          LD A,0
001405 0991 12          LD (DE),A
001406 0992          ;---
001407 0992 79          KEDO: LD A,C
001408 0993 FE1A          CP 1AH          ;On 1
001409 0995 2006          JR NZ,LEEF
001410 0997 110829          LD DE,FLAGMON
001411 099A 3E10          LD A,10H
001412 099C 12          LD (DE),A
001413 099D          ;-----
001414 099D 79          LEEF: LD A,C
001415 099E FE1F          CP 01FH
001416 09A0 CA3501          JP Z,SNEWW
001417 09A3          ;-----
001418 09A3 FE13          CP 13H          ;KEY ENTER
001419 09A5 CA200A          JP Z,KEY_ENTER
001420 09A8          ;-----
001421 09A8 10C9          DJNZ HEET
001422 09AA C32609          JP MONZ
001423 09AD          ;-----
001424 09AD          ;((((((((((((((((((((((((((((((((((((((((((((((((((((((((
001425 09AD
001426 09AD
001427 09AD 210529          KEYDEC: LD HL,FLAGSEL
001428 09B0 7E          LD A,(HL)
001429 09B1 CBBF          RES 7,A
001430 09B3 77          LD (HL),A
001431 09B4 1809          JR SOLN
001432 09B6          ;-----
001433 09B6 210529          KEYINC: LD HL,FLAGSEL
001434 09B9 7E          LD A,(HL)
001435 09BA CBBF          SET 7,A
001436 09BC 77          LD (HL),A
001437 09BD 1800          JR SOLN
001438 09BF          ;-----
001439 09BF          SOLN:
001440 09BF 210529          LD HL,FLAGSEL
001441 09C2 7E          LD A,(HL)
001442 09C3 4F          LD C,A
001443 09C4 CB5F          BIT 3,A ; TEST POINT AT SPEED OR CH
001444 09C6 2814          JR Z,SPD
001445 09C8 E630          CHH: AND 30H
001446 09CA FE10          CP 10H
001447 09CC 2807          JR Z,SET2
001448 09CE 79          SET1: LD A,C
001449 09CF CBE7          SET 4,A
001450 09D1 CBAF          RES 5,A
001451 09D3 1832          JR OUTSET
001452 09D5 79          SET2: LD A,C
001453 09D6 CBA7          RES 4,A
001454 09D8 CBEF          SET 5,A
001455 09DA 182B          JR OUTSET
001456 09DC          ;-----
001457 09DC 79          SPD: LD A,C
001458 09DD CB7F          BIT 7,A ;TEST INC OR DEC FROM BIT 7 FLAGSEL
001459 09DF 2012          JR NZ,INCSOL
001460 09E1 3D          DEC A
001461 09E2 47          LD B,A
001462 09E3 E607          AND 07H
001463 09E5 FE00          CP 0

```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```

001464 09E7 78          LD  A,B
001465 09E8 201D       JR  NZ,OUTSET
001466 09EA 78          LD  A,B
001467 09EB CBD7       SET  2,A
001468 09ED CB87       RES  0,A
001469 09EF CB8F       RES  1,A
001470 09F1 1814       JR  OUTSET
001471 09F3
;-----
001472 09F3 3C         INCSOL: INC  A
001473 09F4 47         LD  B,A
001474 09F5 E607       AND  07H
001475 09F7 FE05       CP   5
001476 09F9 78         LD  A,B
001477 09FA 2802       JR  Z,CONNN
001478 09FC 1809       JR  OUTSET
001479 09FE 78         CONNN: LD  A,B
001480 09FF CB97       RES  2,A
001481 0A01 CB8F       RES  1,A
001482 0A03 CBC7       SET  0,A
001483 0A05 1800       JR  OUTSET
001484 0A07
;-----
001485 0A07 210529     OUTSET: LD  HL,FLAGSEL
001486 0A0A 77         LD  (HL),A
001487 0A0B CDC20E     CALL  CHANG
001488 0A0E 210529     LD  HL,FLAGSEL
001489 0A11 7E         LD  A,(HL)
001490 0A12 CB5F       BIT  3,A
001491 0A14 2805       JR  Z,LLL
001492 0A16 1E4E       RRR: LD  E,4EH
001493 0A18 C35307     JP  INKEY_NEW
001494 0A1B 1E45       LLL: LD  E,45H
001495 0A1D C35307     JP  INKEY_NEW
001496 0A20
;-----
001497 0A20 211029     KEY_ENTER: LD  HL,YERM
001498 0A23 7E         LD  A,(HL)
001499 0A24 FE02       CP   02H
001500 0A26 CA9A04     JP  Z,DEON
001501 0A29 FE40       CP   40H
001502 0A2B CA3A05     JP  Z,KOON
001503 0A2E
;-----
001504 0A2E 210929     LD  HL,MODEFLAG ;SAVE FLAG REC OR FLAG PLAY
001505 0A31 7E         LD  A,(HL)
001506 0A32 FE0F       CP   0FH
001507 0A34 2807       JR  Z,KREC
001508 0A36 FEF0       CP   0FH
001509 0A38 2854       JR  Z,KPAY
001510 0A3A C33501     JP  SNEWW
001511 0A3D
;-----
001512 0A3D           KREC:
001513 0A3D
001514 0A3D 21C017     LD  HL,TIOREC
001515 0A40 CD0C0E     CALL  SHOW
001516 0A43 210529     LD  HL,FLAGSEL
001517 0A46 7E         LD  A,(HL)
001518 0A47 E637       AND  37H
001519 0A49 D601       SUB  1
001520 0A4B 4F         LD  C,A
001521 0A4C E630       AND  30H
001522 0A4E D601       SUB  1
001523 0A50 E630       AND  30H
001524 0A52 07         RLCA
001525 0A53 07         RLCA
001526 0A54 07         RLCA
001527 0A55 47         LD  B,A
001528 0A56 79         LD  A,C
001529 0A57 E60F       AND  0FH
001530 0A59 0F         RRCA
001531 0A5A 0F         RRCA
001532 0A5B 0F         RRCA
001533 0A5C B0         OR   B
001534 0A5D 57         LD  D,A ;CH,SPD
001535 0A5E 7E         LD  A,(HL)
001536 0A5F CB77       BIT  6,A
001537 0A61 280B       JR  Z,BBB
001538 0A63
CAAA:
001539 0A63 0E80       LD  C,CHAN_A
001540 0A65 210729     LD  HL,FLAGTX

```

```

001541 0A68 7E          LD      A,(HL)
001542 0A69 E610        AND     10H
001543 0A6B 07          RLCA
001544 0A6C 1809        JR      PUTPTT
001545 0A6E          BBB:
001546 0A6E 0E00        LD      C,CHAN_B
001547 0A70 210729      LD      HL,FLAGTX
001548 0A73 7E          LD      A,(HL)
001549 0A74 07          RLCA
001550 0A75 07          RLCA
001551 0A76 07          RLCA
001552 0A77 47          PUTPTT: LD     B,A
001553 0A78 210629      LD      HL,FLAGPTT
001554 0A7B 7E          LD      A,(HL)
001555 0A7C E610        AND     10H
001556 0A7E B0          OR      B
001557 0A7F 5F          LD      E,A      ;PTT,TX
001558 0A80 210829      LD      HL,FLAGMON
001559 0A83 46          LD      B,(HL) ;MON
001560 0A84 2602        LD      H,START
001561 0A86 2E0F        LD      L,REC    ;REC,PLAY
001562 0A88 CD7E0F      CALL   IOPAYREC
001563 0A8B C33501      JP      SNEWW
001564 0A8E          ;-----
001565 0A8E          KPAY:
001566 0A8E          LD      HL,TIOPAY
001567 0A8E 210018      CALL   SHOW
001568 0A91 CD0C0E      LD      HL,FLAGSEL
001569 0A94 210529      LD      A,(HL)
001570 0A97 7E          AND     37H
001571 0A98 E637        SUB     1
001572 0A9A D601        LD      C,A
001573 0A9C 4F          AND     30H
001574 0A9D E630        SUB     1
001575 0A9F D601        AND     30H
001576 0AA1 E630        RLCA
001577 0AA3 07          RLCA
001578 0AA4 07          RLCA
001579 0AA5 07          LD      B,A
001580 0AA6 47          LD      A,C
001581 0AA7 79          AND     0FH
001582 0AA8 E60F        RRCA
001583 0AAA 0F          RRCA
001584 0AAB 0F          RRCA
001585 0AAC 0F          OR      B
001586 0AAD B0          LD      D,A      ;CH,SPD
001587 0AAE 57          LD      A,(HL)
001588 0AAF 7E          BIT     6,A
001589 0AB0 CB77        JR      Z,CCBB
001591 0AB4          CCAA:
001592 0AB4 0E80        LD      C,CHAN_A
001593 0AB6 210729      LD      HL,FLAGTX
001594 0AB9 7E          LD      A,(HL)
001595 0ABA E610        AND     10H
001596 0ABC 07          RLCA
001597 0ABD 1809        JR      PPTT
001598 0ABF          CCBB:
001599 0ABF 0E00        LD      C,CHAN_B
001600 0AC1 210729      LD      HL,FLAGTX
001601 0AC4 7E          LD      A,(HL)
001602 0AC5 07          RLCA
001603 0AC6 07          RLCA
001604 0AC7 07          RLCA
001605 0AC8 47          PPTT: LD     B,A
001606 0AC9 210629      LD      HL,FLAGPTT
001607 0ACC 7E          LD      A,(HL)
001608 0ACD E610        AND     10H
001609 0ACF B0          OR      B
001610 0AD0 5F          LD      E,A      ;PTT,TX
001611 0AD1 210829      LD      HL,FLAGMON
001612 0AD4 46          LD      B,(HL) ;MON
001613 0AD5 2602        LD      H,START
001614 0AD7 2EFO        LD      L,PLAY   ;REC,PLAY
001615 0AD9 CD7E0F      CALL   IOPAYREC
001616 0ADC C33501      JP      SNEWW
001617 0ADF

```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



```

001695 0B6A FE11      CP      011H
001696 0B6C CA980B    JP      Z,BEDIT ;ARROW DOWN
001697 0B6F FE12      CP      012H
001698 0B71 CAAE0B    JP      Z,IEDIT  ;ARROW RIGHT
001699 0B74 FE15      CP      015H
001700 0B76 CAA30B    JP      Z,TEDIT  ;ARROW UP
001701 0B79 FE14      CP      14H
001702 0B7B CA940B    JP      Z,SERO   ;KEY 0
001703 0B7E FE13      CP      13H
001704 0B80 CAF90B    JP      Z,SETCLOCK ;KEY ENTER
001705 0B83 D615      SUB     15H
001706 0B85 F630      OR      30H
001707 0B87          ;-----
001708 0B87 57        LD      D,A
001709 0B88 210224    WRCON: LD      HL,MEDIT
001710 0B8B 7E        LD      A,(HL)
001711 0B8C CD2B0D    CALL   GOTO
001712 0B8F CD480D    CALL   WRBYTE
001713 0B92 181A      JR      IEDIT
001714 0B94          ;-----
001715 0B94 1630      SERO:  LD      D,30H
001716 0B96 18F0      JR      WRCON
001717 0B98          ;-----
001718 0B98 210224    BEDIT: LD      HL,MEDIT
001719 0B9B 7E        LD      A,(HL)
001720 0B9C E60F      AND     0FH
001721 0B9E F650      OR      50H
001722 0BA0 77        LD     (HL),A
001723 0BA1 18B6      JR      TTIME
001724 0BA3          ;-----
001725 0BA3 210224    TEDIT: LD      HL,MEDIT
001726 0BA6 7E        LD      A,(HL)
001727 0BA7 E60F      AND     0FH
001728 0BA9 F610      OR      10H
001729 0BAB 77        LD     (HL),A
001730 0BAC 18AB      JR      TTIME
001731 0BAE          ;-----
001732 0BAE 210224    IEDIT: LD      HL,MEDIT
001733 0BB1 7E        LD      A,(HL)
001734 0BB2 3C        INC     A
001735 0BB3 47        LD      B,A
001736 0BB4 FE20      GOON:  CP      20H
001737 0BB6 2811      JR      Z,SETFO
001738 0BB8 FE60      CP      60H
001739 0BBA 2811      JR      Z,SETRE
001740 0BBC E60F      AND     0FH
001741 0BBE FE0A      CP      0AH
001742 0BC0 280F      JR      Z,EINC
001743 0BC2 FE0D      CP      0DH
001744 0BC4 280B      JR      Z,EINC
001745 0BC6          ;-----
001746 0BC6 70        IEOUT: LD     (HL),B
001747 0BC7 1890      JR      TTIME
001748 0BC9          ;-----
001749 0BC9 0658      SETFO: LD     B,58H
001750 0BCB 18F9      JR      IEOUT
001751 0BCD          ;-----
001752 0BCD 0618      SETRE: LD     B,18H
001753 0BCF 18F5      JR      IEOUT
001754 0BD1 04        EINC:  INC     B
001755 0BD2 18F2      JR      IEOUT
001756 0BD4          ;-----
001757 0BD4 210224    DEDIT: LD      HL,MEDIT
001758 0BD7 7E        LD      A,(HL)
001759 0BD8 3D        DEC     A
001760 0BD9 47        LD      B,A
001761 0BDA FE17      CP      17H
001762 0BDC 2810      JR      Z,SETDFO
001763 0BDE FE57      CP      57H
001764 0BE0 2810      JR      Z,SETDRE
001765 0BE2 E60F      AND     0FH
001766 0BE4 FE0A      CP      0AH
001767 0BE6 280E      JR      Z,EDEC
001768 0BE8 FE0D      CP      0DH
001769 0BEA 280A      JR      Z,EDEC
001770 0BEC 18D8      JR      IEOUT
001771 0BEE          ;-----

```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```

001772 0BEE 065F      SETDFO: LD   B,5FH
001773 0BF0 18D4      JR   IEOUT
001774 0BF2           ;-----
001775 0BF2 061F      SETDRE: LD   B,1FH
001776 0BF4 18D0      JR   IEOUT
001777 0BF6 05        EDEC:  DEC   B
001778 0BF7 18CD      JR   IEOUT
001779 0BF9           ;-----
001780 0BF9 119330     SETCLOCK: LD  DE,TBUFF
001781 0BFC 3E02      LD   A,2
001782 0BFE 12        LD  (DE),A ;E=ADD D=DATA
001783 0BFF DD217830  LD  IX,SHOUR ;POINTER BUFFER
001784 0C03 210224     LD  HL,MEDIT ;STOR ADDRESS
001785 0C06 3E18      LD   A,18H
001786 0C08 77        LD  (HL),A
001787 0C09           ;-----
001788 0C09 CD750F     REREAD: CALL READSTOR
001789 0C0C DD23      INC  IX
001790 0C0E 34        INC  (HL)
001791 0C0F CD750F     CALL  READSTOR
001792 0C12           ;-----
001793 0C12 34        INC  (HL)
001794 0C13 34        INC  (HL)
001795 0C14 DD23      INC  IX
001796 0C16 CD750F     CALL  READSTOR
001797 0C19 DD23      INC  IX
001798 0C1B 34        INC  (HL)
001799 0C1C CD750F     CALL  READSTOR
001800 0C1F           ;-----
001801 0C1F 34        INC  (HL)
001802 0C20 34        INC  (HL)
001803 0C21 DD23      INC  IX
001804 0C23 CD750F     CALL  READSTOR
001805 0C26 DD23      INC  IX
001806 0C28 34        INC  (HL)
001807 0C29 CD750F     CALL  READSTOR
001808 0C2C DD23      INC  IX
001809 0C2E           ;-----
001810 0C2E 3E58      LD   A,58H
001811 0C30 77        LD  (HL),A
001812 0C31 119330     LD  DE,TBUFF
001813 0C34 1A        LD  A,(DE)
001814 0C35 3D        DEC  A
001815 0C36 12        LD  (DE),A
001816 0C37 FE00      CP   0
001817 0C39 20CE      JR   NZ,REREAD
001818 0C3B           ;-----
001819 0C3B 0606      LD   B,6
001820 0C3D 117830     LD  DE,SHOUR
001821 0C40 218A30     LD  HL,THOUR
001822 0C43 1A        DECODE: LD  A,(DE)
001823 0C44 E60F      AND  0FH
001824 0C46 CB27      SLA  A
001825 0C48 CB27      SLA  A
001826 0C4A CB27      SLA  A
001827 0C4C CB27      SLA  A
001828 0C4E 4F        LD  C,A
001829 0C4F 13        INC  DE
001830 0C50 1A        LD  A,(DE)
001831 0C51 E60F      AND  0FH
001832 0C53 B1        OR   C
001833 0C54 77        LD  (HL),A
001834 0C55 13        INC  DE
001835 0C56 23        INC  HL
001836 0C57 10EA     DJNZ DECODE
001837 0C59           ;-----
001838 0C59 218A30     LD  HL,THOUR
001839 0C5C 7E        LD  A,(HL)
001840 0C5D FE24      CP   24H
001841 0C5F 3034      JR   NC,EEROR
001842 0C61 23        INC  HL
001843 0C62 7E        LD  A,(HL)
001844 0C63 FE60      CP   60H
001845 0C65 302E     JR   NC,EEROR
001846 0C67 23        INC  HL
001847 0C68 7E        LD  A,(HL)
001848 0C69 FE60      CP   60H

```



```

001926 0CE3
001927 0CE3 FE01
001928 0CE5 280D
001929 0CE7 FE02
001930 0CE9 2810
001931 0CEB FE03
001932 0CED 2813
001933 0CEF FE04
001934 0CF1 2816
001935 0CF3 C9
001936 0CF4 3E00
001937 0CF6 CD2B0D
001938 0CF9 1813
001939 0CFB 3E40
001940 0CFD CD2B0D
001941 0D00 180C
001942 0D02 3E10
001943 0D04 CD2B0D
001944 0D07 1805
001945 0D09 3E50
001946 0D0B CD2B0D
001947 0D0E 0610
001948 0D10 56
001949 0D11 C5
001950 0D12 CD480D
001951 0D15 C1
001952 0D16 23
001953 0D17 10F7
001954 0D19 C9
001955 0D1A
001956 0D1A
001957 0D1A C5
001958 0D1B DBEC
001959 0D1D CBD7
001960 0D1F D3EC
001961 0D21 0600
001962 0D23 10FE
001963 0D25 CB97
001964 0D27 D3EC
001965 0D29 C1
001966 0D2A C9
001967 0D2B
001968 0D2B
001969 0D2B
001970 0D2B
001971 0D2B
001972 0D2B C5
001973 0D2C D5
001974 0D2D E5
001975 0D2E 4F
001976 0D2F CBFF
001977 0D31 D3ED
001978 0D33 AF
001979 0D34 D3EC
001980 0D36 CD1A0D
001981 0D39 79
001982 0D3A CBFF
001983 0D3C D3ED
001984 0D3E AF
001985 0D3F D3EC
001986 0D41 CD1A0D
001987 0D44 E1
001988 0D45 D1
001989 0D46 C1
001990 0D47 C9
001991 0D48
001992 0D48
001993 0D48 D5
001994 0D49 3E01
001995 0D4B D3EC
001996 0D4D 7A
001997 0D4E D3ED
001998 0D50 CD1A0D
001999 0D53 AF
002000 0D54 D3EC
002001 0D56 D1
002002 0D57 C9

;
WRLINE: CP 1
JR Z,WRL1
CP 2
JR Z,WRL2
CP 3
JR Z,WRL3
CP 4
JR Z,WRL4
RET
WRL1: LD A,00H
CALL GOTO
JR WRLM
WRL2: LD A,40H
CALL GOTO
JR WRLM
WRL3: LD A,10H
CALL GOTO
JR WRLM
WRL4: LD A,50H
CALL GOTO
WRLM: LD B,16
WRL: LD D,(HL)
PUSH BC
CALL WRBYTE ;A,D
POP BC
INC HL
TOO: DJNZ WRL
RET
;
;***** ENABLE PULSE FOR WRITE *****
EPULSE: PUSH BC
IN A,(PORTA)
SET 2,A ;0,0,0,0 0,E,R/W,RS
OUT (PORTA),A
LD B,00H
EPI: DJNZ EPI
RES 2,A
OUT (PORTA),A
POP BC
RET
;***** GOTO POSITION *****
; INPUT ADDRESS REG A = ADDDATA =00,40,10,50
; USES A,C
GOTO: PUSH BC
PUSH DE
PUSH HL
LD C,A
SET 7,A ;00=10 ,40=C0,10=90,50=D0
OUT (PORTB),A
XOR A
OUT (PORTA),A
CALL EPULSE
LD A,C
SET 7,A ;00=10 ,40=C0,10=90,50=D0
OUT (PORTB),A
XOR A
OUT (PORTA),A
CALL EPULSE
POP HL
POP DE
POP BC
RET
;***** WRITE DATA SUB *****
; INPUT REG D = DATA ,USES A,D
WRBYTE: PUSH DE
LD A,0000001B
OUT (PORTA),A ;PORT A =CTR
LD A,D
OUT (PORTB),A ;PORT B=DATA
CALL EPULSE
XOR A
OUT (PORTA),A
POP DE
RET

```

```

002003 0D58      ;***** DELAY SUB *****
002004 0D58
002005 0D58 0600
002006 0D5A 00
002007 0D5B 00
002008 0D5C 10FC
002009 0D5E C9
002010 0D5F
002011 0D5F
002012 0D5F      ;*****
002013 0D5F      ;SCAN KEY 1 ROUND
002014 0D5F      ;OUTPUT TO REG. A (10-1F)
002015 0D5F      ;USE REG ABCDEHL
002016 0D5F C5      ;*****
002017 0D60 D5      SCANK:  PUSH BC
002018 0D61 E5      PUSH DE
002019 0D62 0604    PUSH HL
002020 0D64 48      LD B,04H
002021 0D65 1EFE    LD C,B
002022 0D67 CDD40D  LD E,0FEH
002023 0D6A 210024  NEW:  CALL OUT_C_DELAY
002024 0D6D DBEE    LD HL,BUFF_KEY
002025 0D6F E6F0    IN A,(PORTC)
002026 0D71 FEF0    AND 0F0H
002027 0D73 200B    CP 0F0H
002028 0D75 0D      JR NZ,PRESS
002029 0D76 2002    DEC C
002030 0D78 CB86    JR NZ,COUNT
002031 0D7A CB03    RES 0,(HL)
002032 0D7C 10E9    COUNT: RLC E
002033 0D7E 1813    DJNZ NEW
002034 0D80 B0      JR RETURN
002035 0D81 E5      PRESS: OR B
002036 0D82 C5      PUSH HL
002037 0D83 212014  PUSH BC
002038 0D86 061F    LD HL,TABLE1
002039 0D88 CDDF0D  LD B,01FH ;CODE = 10-1F
002040 0D8B C1      CALL COMP_ANS
002041 0D8C E1      POP BC
002042 0D8D 57      POP HL
002043 0D8E 0602    LD D,A
002044 0D90 CDE70D  LD B,2
002045 0D93      CALL DELAY16
002046 0D93 E1      RETURN: POP HL
002047 0D94 D1      POP DE
002048 0D95 C1      POP BC
002049 0D96 C9      RET
002050 0D97
002051 0D97      ;*****
002052 0D97      ;SCAN KEY RETURN WITH PRESSKEY
002053 0D97      ;OUTPUT TO REG. A (0-F)
002054 0D97      ;USE REG ABCDEHL
002055 0D97      ;*****
002056 0D97 C5      SCAN:  PUSH BC
002057 0D98 D5      PUSH DE
002058 0D9A 0604    PUSH HL
002059 0D9C 48      SCANNEW: LD B,04H ; 4
002060 0D9D 1EFE    LD C,B ;C=B STORE
002061 0D9F      LD E,0FEH
002062 0D9F CDD40D  ;***** SCAN 4 COLUME IN PORT C LOW (C0-C3)
002063 0DA2 210024  LD HL,BUFF_KEY
002064 0DA5 DBEE    IN A,(PORTC) ;GET A = C H=IN GET ROW
002065 0DA7 E6F0    AND 0F0H ;DETECT C_HI,DATA IN A
002066 0DA9 FEF0    CP 0F0H ;CHECK KEYPRESS NORMAL=0F
002067 0DAB 200C    JR NZ,PRESS_KEY ;IF <> 0 THEN PRESSKEY
002068 0DAD 0D      DEC C ;
002069 0DAE 2002    JR NZ,TWO
002070 0DB0 CB86    RES 0,(HL) ;BIT 0 RESET WITH C=0
002071 0DB2 CB03    TWO:  RLC E ;ROTAGE LEFT E. WITCH SCAN COLUME
002072 0DB4 10E9    DJNZ THREE
002073 0DB6 C39A0D  JP SCANNEW
002074 0DB9 CB46    PRESS_KEY: BIT 0,(HL) ;TEST BIT 0 SCAN = 4 COLUM ?
002075 0DBB 20F5    JR NZ,TWO ; SCAN CONTINUE
002076 0DBD B0      OR B ;DATA IN A OR B ( COUNT ROW)
002077 0DBE E5      PUSH HL
002078 0DBF C5      PUSH BC

```

```

002079 0DC0 212014          LD HL, TABLE1
002080 0DC3 060F          LD B, 0FH ;SET CODE LAST KEY = 0FH (0-F)
002081 0DC5 CDDF0D        CALL COMP_ANS
002082 0DC8 C1           POP BC
002083 0DC9 E1           POP HL
002084 0DCA 57           LD D, A
002085 0DCB CBC6        SET 0, (HL) ;SET BIT 1 OF BUFF = "1"
002086 0DCD 0602        LD B, 2
002087 0DCF CDE70D      CALL DELAY16
002088 0DD2 18BF        JR RETURN ;RETURN WITCH PRESS KEY ,GO OUT LOOP SCAN
;*****
002089 0DD4
002090 0DD4
002091 0DD4 7B          OUT_C_DELAY: LD A,E
002092 0DD5 D3EE        OUT (PORTC),A
002093 0DD7 AF          XOR A
002094 0DD8 00          T2: NOP
002095 0DD9 00          NOP
002096 0DDA 00          NOP
002097 0ddb 3D          DEC A
002098 0DDC 20FA        JR NZ, T2
002099 0DDE C9          RET
;*****
002100 0DDF
002101 0DDF
002102 0DDF BE          COMP_ANS: CP (HL)
002103 0DE0 2803        JR Z, TEM
002104 0DE2 23          INC HL
002105 0DE3 10FA        DJNZ COMP_ANS
002106 0DE5 78          TEM: LD A, B ;GET B. IN TABLE TO A.
002107 0DE6 C9          RET
;*****
002108 0DE7
002109 0DE7
002110 0DE7
002111 0DE7
002112 0DE7          ;SUB DELAY 16 BIT
;INPUT B
002113 0DE7 C5          DELAY16: PUSH BC
002114 0DE8 E5          PUSH HL
002115 0DE9 210000      N: LD HL, 0000H
002116 0DEC 2D          LI: DEC L
002117 0DED 20FD        JR NZ, LI
002118 0DEF 25          DEC H
002119 0DF0 20FA        JR NZ, LI
002120 0DF2 10F5        DJNZ N
002121 0DF4 E1          POP HL
002122 0DF5 C1          POP BC
002123 0DF6 C9          RET
;*****
002124 0DF7
002125 0DF7
002126 0DF7 FE0A        COMP_ASCII: CP 0AH
002127 0DF9 3003        JR NC, ROR
002128 0DFB C630        ADD A, 30H
002129 0DFD C9          RET
002130 0DFE 3E45        ROR: LD A, 45H ; A='E', =ERROR
002131 0E00 C9          RET
;*****
002132 0E01
002133 0E01
002134 0E01          CLEAR_LCD:
002135 0E01 3E01        LD A, 0000001B
002136 0E03 D3ED        OUT (PORTB), A
002137 0E05 CD1A0D      CALL EPULSE
002138 0E08 CD580D      CALL DELAY
002139 0E0B C9          RET
;*****
002140 0E0C
002141 0E0C          SHOW:
002142 0E0C 3E01        LD A, 1
002143 0E0E CDE30C      CALL WRLINE
002144 0E11 3E02        LD A, 2
002145 0E13 CDE30C      CALL WRLINE
002146 0E16 3E03        LD A, 3
002147 0E18 CDE30C      CALL WRLINE
002148 0E1B 3E04        LD A, 4
002149 0E1D CDE30C      CALL WRLINE
002150 0E20 C9          RET
002151 0E21
002152 0E21          ;***** READ DATA FROM DD RAM *****
002153 0E21          ; INPUT ADD = E
002154 0E21          ; OUTPUT DATA = D
002155 0E21          ; USES A, D, E

```

```

002156 0E21
002157 0E21
002158 0E21 7B
002159 0E22
002160 0E22 CD2B0D
002161 0E25 3E02
002162 0E27 D3EC
002163 0E29 7A
002164 0E2A F640
002165 0E2C D3ED
002166 0E2E CD1A0D
002167 0E31 CD1A0D
002168 0E34 3E8A
002169 0E36 D3EF
002170 0E38
002171 0E38 3E03
002172 0E3A D3EC
002173 0E3C
002174 0E3C DBEC
002175 0E3E CBD7
002176 0E40 D3EC
002177 0E42 0600
002178 0E44 10FE
002179 0E46 DBED
002180 0E48 57
002181 0E49 CB97
002182 0E4B D3EC
002183 0E4D
002184 0E4D 3E88
002185 0E4F D3EF
002186 0E51 AF
002187 0E52 D3EC
002188 0E54 C9
002189 0E55
002190 0E55
002191 0E55
002192 0E55
002193 0E55
002194 0E55
002195 0E55
002196 0E55
002197 0E55 210329
002198 0E58 7B
002199 0E59 77
002200 0E5A CD210E
002201 0E5D 210429
002202 0E60 7A
002203 0E61 77
002204 0E62
002205 0E62 210329
002206 0E65 7E
002207 0E66 CD2B0D
002208 0E69 165F
002209 0E6B CD480D
002210 0E6E
002211 0E6E 0E01
002212 0E70 0650
002213 0E72 CD5F0D
002214 0E75 E5
002215 0E76 210124
002216 0E79 77
002217 0E7A E1
002218 0E7B FEF0
002219 0E7D 202F
002220 0E7F 210030
002221 0E82 10EE
002222 0E84 0D
002223 0E85 20E9
002224 0E87
002225 0E87 210329
002226 0E8A 7E
002227 0E8B CD2B0D
002228 0E8E 210429
002229 0E91 7E
002230 0E92 57
002231 0E93 CD480D
002232 0E96

RDBYTE:
;
LD A,E
;-----
CALL GOTO ;SET ADDRESS
LD A,0000010B ;SET RS,R/W
OUT (PORTA),A ;PORT A =CTR
LD A,D
OR 40H
OUT (PORTB),A ;SEND ADD
CALL EPULSE
CALL EPULSE
LD A,08AH ; SET PORTB=INPUT
OUT (CTRL),A
;-----
LD A,0000011B ;SET RS,R/W
OUT (PORTA),A ;PORT A =CTR
;-----
IN A,(PORTA)
SET 2,A ;0,0,0,0 0,E,R/W,RS
OUT (PORTA),A ; ENABLE START
LD B,00H ;DELAY
EP2: DJNZ EP2
IN A,(PORTB)
LD D,A ;GET DATA FROM PORT B
RES 2,A ;
OUT (PORTA),A ; ENABLE STOP
;-----
LD A,088H ; SET PORTB=OUTPUT
OUT (CTRL),A
XOR A
OUT (PORTA),A
RET
;*****
;*** SCAN SWAP SUB
;*****
;INPUT ADD = REG E
;OUTPUT KEYPRESS = REG A
;
SWAP:
;
LD HL,OLDADD
LD A,E ;
LD (HL),A
CALL RDBYTE
LD HL,OLDDATA
LD A,D
LD (HL),A
;-----
WAP2: LD HL,OLDADD
LD A,(HL)
CALL GOTO
LD D,5FH
CALL WRBYTE
;-----
LD C,01;***** TIME SPACE *****
CON1: LD B,80
CON2: CALL SCANK
PUSH HL
LD HL,BUFFSWAP
LD (HL),A
POP HL
CP 0F0H
JR NZ,OUTPRO ;NZ=PRESS GOTO OUTPRO
LD HL,STBUFF
DJNZ CON2
DEC C
JR NZ,CON1
;-----
LD HL,OLDADD
LD A,(HL)
CALL GOTO
LD HL,OLDDATA
LD A,(HL)
LD D,A
CALL WRBYTE
;-----

```

```

002233 0E96 0E02          LD   C,02 ;***** TIME SHOW *****
002234 0E98 0650          CON3: LD   B,80
002235 0E9A CD5F0D        CON4: CALL SCANK
002236 0E9D E5           PUSH  HL
002237 0E9E 210124        LD   HL,BUFFSWAP
002238 0EA1 77           LD   (HL),A
002239 0EA2 E1           POP   HL
002240 0EA3 FEF0          CP    0F0H
002241 0EA5 2007          JR   NZ,OUTPRO ;NZ=PRESS GOTO OUTPRO
002242 0EA7 10F1          DJNZ CON4
002243 0EA9 0D           DEC   C
002244 0EAA 20EC          JR   NZ,CON3
002245 0EAC                ;-----
002246 0EAC 18B4          JR   WAP2
002247 0EAE                ;-----
002248 0EAE 210329        OUTPRO: LD  HL,OLDADD
002249 0EB1 7E           LD   A,(HL)
002250 0EB2 CD2B0D        CALL  GOTO
002251 0EB5 210429        LD   HL,OLDDATA
002252 0EB8 7E           LD   A,(HL)
002253 0EB9 57           LD   D,A
002254 0EBA CD480D        CALL  WRBYTE
002255 0EBD 210124        LD   HL,BUFFSWAP
002256 0EC0 7E           LD   A,(HL)
002257 0EC1 C9           RET
;*****
; CHANG MOV, DATA IN MODE REC
;*****
;----- MOV DATA SPEED -----
CHANG: LD   HL,FLAGSEL
        LD   A,(HL)
        AND  07H
        OR   30H
        LD   D,A
        LD   A,45H
        CALL GOTO
        CALL WRBYTE
;----- MOV DATA CH -----
        LD   HL,FLAGSEL
        LD   A,(HL)
        AND  30H
        RRC  A
        RRC  A
        RRC  A
        RRC  A
        OR   30H
        LD   D,A
        LD   A,4EH
        CALL GOTO
        CALL WRBYTE
        RET
;***** initial 8255,RTC,LCD *****
INISYS:
DI
IM      1
LD      A,088H
OUT     (CTRL),A ;*****8255
LD      A,081H ;A,B=OUT,CL=IN,CH=OUT
OUT     (IOCTRL),A ;*****8255
- LD    SP,LASTRAM
LD      A,04H ;1 SEC
OUT     (CTRL_REG),A ;*****RTC
OUT     (01FH),A
CALL   INITLCD
;-----
LD      DE,0FFC6H ;SET INT ADDRESS
LD      A,0COH
LD      (DE),A
DEC     DE
LD      A,00
LD      (DE),A
;-----
LD      B,077H ;CLEAR BUFF
LD      A,20H
LD      HL,STBUFF

```

## 6-39

```

002310 0F15 77      CLEB: LD  (HL),A
002311 0F16 23      INC  HL
002312 0F17 10FC    DJNZ  CLEB
002313 0F19      ;-----
002314 0F19 0603    LD   B,03H ;CLEAR BUFF IO PPT REC PLAY
002315 0F1B AF      XOR  A
002316 0F1C 218B30  LD   HL,STBUFF+8BH
002317 0F1F 77      CLEIO: LD (HL),A
002318 0F20 23      INC  HL
002319 0F21 10FC    DJNZ  CLEIO
002320 0F23      ;-----
002321 0F23 3E20    LD   A,20H ;CLEAR BUFF
002322 0F25 326030  LD   (BHOURL),A
002323 0F28 326130  LD   (BMIN),A
002324 0F2B 326230  LD   (BSEC),A
002325 0F2E      ;
002326 0F2E      ;*****
002327 0F2E      ;INPUT USE DE=DATE/MONT BC=YEAR/HOUR: HL=MIN:SEC
002328 0F2E      ;*****
002329 0F2E      ; LD   DE,3112H ;31/12/35
002330 0F2E      ; LD   BC,3523H ;23:59:40
002331 0F2E      ; LD   HL,5940H
002332 0F2E      ; CALL SET_CLK
002333 0F2E      ;-----
002334 0F2E      ; CALL INITLCD
002335 0F2E      ; NOP
002336 0F2E C9      RET
002337 0F2F      ;*****
002338 0F2F      ;Set clock
002339 0F2F      ;INPUT USE HL=MIN:SEC BC=DATE:HOURL,D=MONTH
002340 0F2F      SET_CLK: ;----
002341 0F2F DD216030 LD  IX,BHOURL ;SET TO BUFFER
002342 0F33 DD7100  LD  (IX+00),C
002343 0F36 DD7401  LD  (IX+01),H
002344 0F39 DD7502  LD  (IX+02),L
002345 0F3C DD7203  LD  (IX+03),D
002346 0F3F DD7304  LD  (IX+04),E
002347 0F42 DD7005  LD  (IX+05),B
002348 0F45      ;----
002349 0F45 7D      LD  A,L
002350 0F46 D3A2    OUT (SEC),A ;A2=COUNT SEC
002351 0F48 7C      LD  A,H
002352 0F49 D3A3    OUT (MIN),A ;A3=COUNT MIN
002353 0F4B 79      LD  A,C
002354 0F4C D3A4    OUT (HOURL),A ;A4=COUNT HOURS
002355 0F4E 7A      LD  A,D
002356 0F4F D3A6    OUT (DATE),A ;A6=COUNT DAY OF MOUNT,A5=WEEK
002357 0F51 7B      LD  A,E
002358 0F52 D3A7    OUT (MONTH),A ;A7=COUNT MOUNT
002359 0F54 78      LD  A,B
002360 0F55      ;
002361 0F55      RET
002362 0F55 C9      RET
002363 0F56      ;-----
002364 0F56      ;Get clock
002365 0F56      ;OUTPUT BC,HL,D
002366 0F56      GET_CLK: IN  A,(SEC) ;A2=COUNT SEC
002367 0F56 DBA2    LD  HL,BSEC
002368 0F58 216230  LD  (HL),A
002369 0F5B 77      ;-----
002370 0F5C      IN  A,(MIN) ;A3=COUNT MIN
002371 0F5C DBA3    LD  HL,BMIN
002372 0F5E 216130  LD  (HL),A
002373 0F61 77      ;-----
002374 0F62      IN  A,(HOURL) ;A4=COUNT HOURS
002375 0F62 DBA4    LD  HL,BHOURL
002376 0F64 216030  LD  (HL),A
002377 0F67 77      ;-----
002378 0F68      IN  A,(DATE) ;A6=COUNT DAY OF MOUNT,A5=WEEK
002379 0F68 DBA6    LD  HL,BDATE
002380 0F6A 216330  LD  (HL),A
002381 0F6D 77      ;-----
002382 0F6E      IN  A,(MONTH) ;A7=COUNT MOUNT
002383 0F6E DBA7    LD  HL,BMONTH
002384 0F70 216430  LD  (HL),A
002385 0F73 77      ;
002386 0F74 C9      RET

```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```

002387 0F75
002388 0F75
002389 0F75 7E
002390 0F76 5F
002391 0F77 CD210E
002392 0F7A DD7200
002393 0F7D C9
002394 0F7E
002395 0F7E
002396 0F7E
002397 0F7E
002398 0F7E
002399 0F7E
002400 0F7E
002401 0F7E
002402 0F7E
002403 0F7E
002404 0F7E
002405 0F7E
002406 0F7E
002407 0F7E
002408 0F7E 7A
002409 0F7F DD219430
002410 0F83 DD7700
002411 0F86
002412 0F86 7C
002413 0F87 FE02
002414 0F89 200E
002415 0F8B DD219430
002416 0F8F DD7E00
002417 0F92 CBCF
002418 0F94 DD7700
002419 0F97 1823
002420 0F99
002421 0F99 7C
002422 0F9A FE01
002423 0F9C 200D
002424 0F9E DD219430
002425 0FA2 DD7E00
002426 0FA5 CB87
002427 0FA7 DD7700
002428 0FAA
002429 0FAA 7C
002430 0FAB FE11
002431 0FAD 200D
002432 0FAF DD219430
002433 0FB3 DD7E00
002434 0FB6 CB97
002435 0FB8 DD7700
002436 0FBB 7C
002437 0FBC
002438 0FBC 78
002439 0FBD FE10
002440 0FBF 200E
002441 0FC1 DD219430
002442 0FC5 DD7E00
002443 0FC8 CBE7
002444 0FCA DD7700
002445 0FCD 1810
002446 0FCF
002447 0FCF FE00
002448 0FD1 200C
002449 0FD3 DD219430
002450 0FD7 DD7E00
002451 0FDA CBA7
002452 0FDC DD7700
002453 0FDF
002454 0FDF 7B
002455 0FE0 DD219730
002456 0FE4 DD7700
002457 0FE7
002458 0FE7 7D
002459 0FE8 FE0F
002460 0FEA 2010
002461 0FEC DD219430
002462 0FF0 DD7E00
002463 0FF3 CBDF

```

```

-----
READSTOR:
LD A,(HL)
LD E,A
CALL RDBYTE
LD (IX+00),D
RET
-----
; 0000000000000000000000000000000000000000000000000000000000000000
; 00 ** MODE CONTRON RECCORD PLAYBACK ** 00
; 0000000000000000000000000000000000000000000000000000000000000000
;
; INPUT: REC B = MON_ON=10 MON_OFF=F1
; REG C = CH(A,B),CHA=30H,B=40H
; REG H = STOP=01,RESET=11H,START=02H
; REG L = REC,PLAY REC=0FH,PLAY=F0H
; REG D = DH=CH,DL=SPEED
; REG E = EH=PPT
; TO UESD C,E,D,L : C,H
;
IOPAYREC:
LD A,D ;LOAD SPEED,CH
LD IX,IOBUF
LD (IX+00),A ;STOR SPD AND CH,REC,RESET,START
-----
CCON0: LD A,H
CP START ;START
JR NZ,COOJ
LD IX,IOBUF
LD A,(IX+00)
SET I,A
LD (IX+00),A
JR COO1
-----
COOJ: LD A,H
CP STOP ;STOP
JR NZ,COO
LD IX,IOBUF
LD A,(IX+00)
RES 0,A
LD (IX+00),A
-----
COO: LD A,H
CP RESET ;RESET
JR NZ,COO1
LD IX,IOBUF
LD A,(IX+00)
RES 2,A
LD (IX+00),A
LD A,H
-----
COO1: LD A,B ; MON ON
CP MON_ON
JR NZ,CON0
LD IX,IOBUF
LD A,(IX+00)
SET 4,A
LD (IX+00),A
JR CCON1
-----
CON0: CP MON_OFF ; MON OFF
JR NZ,CCON1
LD IX,IOBUF
LD A,(IX+00)
RES 4,A
LD (IX+00),A
-----
CCON1: LD A,E
LD IX,IOPTXAB
LD (IX+00),A
-----
CCON5: LD A,L ;CHECK REC
CP REC
JR NZ,CCON6
LD IX,IOBUF
LD A,(IX+00)
SET 3,A

```

```

002464 0FF5 CBD7          SET 2,A
002465 0FF7 DD7700        LD (IX+00),A
002466 0FFA 1816          JR CCON7
002467 0FFC
;-----
002468 0FFC 7D           CCON6: LD A,L ;CHECK PLAY
002469 0FFD FEFO         CP PLAY
002470 0FFF 2010         JR NZ,CN7
002471 1001 DD219430      LD IX,IOBUF
002472 1005 DD7E00        LD A,(IX+00)
002473 1008 CB9F         RES 3,A
002474 100A CBD7         SET 2,A
002475 100C DD7700        LD (IX+00),A
002476 100F 1801         JR CCON7
002477 1011
;-----
002478 1011 C9           CN7: RET
002479 1012 79           CCON7: LD A,C ;CHEAK CHANNEL
002480 1013 FE80         CP CHAN_A
002481 1015 CA1E10       JP Z,CHANA
002482 1018 FE00         CP CHAN_B
002483 101A CA2C10       JP Z,CHANB
002484 101D C9           RET
002485 101E
;-----
002486 101E 219630       CHANA: LD HL,PORUN
002487 1021 3EE8         LD A,IOA
002488 1023 77           LD (HL),A ;A = RUN
002489 1024
;-----
002490 1024 219530       LD HL,POSTOP
002491 1027 3EE9         LD A,IOB
002492 1029 77           LD (HL),A ;B = STOP
002493 102A 180C         JR IOCON
002494 102C
;-----
002495 102C             CHANB:
002496 102C 219630       LD HL,PORUN
002497 102F 3EE9         LD A,IOB
002498 1031 77           LD (HL),A ;B = RUN
002499 1032
;-----
002500 1032 219530       LD HL,POSTOP
002501 1035 3EE8         LD A,IOA
002502 1037 77           LD (HL),A ;A = STOP
002503 1038
;-----
002504 1038             IOCON:
002505 1038 219430       LD HL,IOBUF
002506 103B 7E           LD A,(HL)
002507 103C E605         AND 05
002508 103E
;-----
002509 103E 219530       LD HL,POSTOP ;STOP FOR OTHER CH
002510 1041 4E           LD C,(HL)
002511 1042 ED79         OUT (C),A
002512 1044
;-----
002513 1044 219630       LD HL,PORUN ;STOP PORUN BEFOR RUN
002514 1047 4E           LD C,(HL)
002515 1048 ED79         OUT (C),A
002516 104A
;-----
002517 104A 219430       LD HL,IOBUF
002518 104D 7E           LD A,(HL)
002519 104E 219630       LD HL,PORUN
002520 1051 4E           LD C,(HL)
002521 1052 ED79         OUT (C),A
002522 1054 219730       LD HL,IOPTXAB
002523 1057 7E           LD A,(HL)
002524 1058 D3EA         OUT (IOC),A
002525 105A
;-----
002526 105A 210829       WAIT: LD HL,FLAGMON
002527 105D 1E1B         LD E,1BH
002528 105F CDF710       CALL BLANK
002529 1062 0602         LD B,2
002530 1064 CDE70D       CALL DELAY16
002531 1067
;-----
002532 1067 CD5F0D       CALL SCANK
002533 106A FE1F         CP 1FH ;F4 TO STOP
002534 106C 285C         JR Z,OFFMON
002535 106E
;-----
002536 106E FE1C         CP 1CH
002537 1070 2040         JR NZ,WSDC
002538 1072
;-----
002539 1072 210829       LD HL,FLAGMON
002540 1075 7E           LD A,(HL)

```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```

002541 1076 FE10          CP    10H
002542 1078 281D          JR    Z,REEESET
002543 107A                WTSET:
002544 107A 219430        LD    HL,IOBUF
002545 107D 7E            LD    A,(HL)
002546 107E CBE7          SET   4,A
002547 1080 77            LD    (HL),A
002548 1081 219630        LD    HL,PORUN
002549 1084 4E            LD    C,(HL)
002550 1085 ED79          OUT   (C),A
002551 1087                ;---
002552 1087 3E05          LD    A,05H
002553 1089 219530        LD    HL,POSTOP
002554 108C 4E            LD    C,(HL)
002555 108D ED79          OUT   (C),A
002556 108F                ;---
002557 108F 210829        LD    HL,FLAGMON
002558 1092 3E10          LD    A,10H
002559 1094 77            LD    (HL),A
002560 1095                ;-
002561 1095 181B          JR    WSDC
002562 1097                ;---
002563 1097                REEESSET:
002564 1097 219430        LD    HL,IOBUF
002565 109A 7E            LD    A,(HL)
002566 109B CBA7          RES   4,A
002567 109D 77            LD    (HL),A
002568 109E 219630        LD    HL,PORUN
002569 10A1 4E            LD    C,(HL)
002570 10A2 ED79          OUT   (C),A
002571 10A4                ;---
002572 10A4 3E05          LD    A,05H
002573 10A6 219530        LD    HL,POSTOP
002574 10A9 4E            LD    C,(HL)
002575 10AA ED79          OUT   (C),A
002576 10AC                ;---
002577 10AC 210829        LD    HL,FLAGMON
002578 10AF 3E00          LD    A,00H
002579 10B1 77            LD    (HL),A
002580 10B2                ;-----
002581 10B2 219630        WSDC: LD    HL,PORUN
002582 10B5 7E            LD    A,(HL)
002583 10B6 FEE9          CP    10B
002584 10B8 2809          JR    Z,PTESTB
002585 10BA DBEA          PTESTA: IN  A,(IOC)
002586 10BC CB4F          BIT   1,A
002587 10BE CA5A10        JP    Z,WAIT
002588 10C1 1807          JR    OFFMON
002589 10C3                ;---
002590 10C3 DBEA          PTESTB: IN  A,(IOC)
002591 10C5 CB47          BIT   0,A
002592 10C7 CA5A10        JP    Z,WAIT
002593 10CA                ;---
002594 10CA 219430        OFFMON: LD   HL,IOBUF
002595 10CD 7E            LD    A,(HL)
002596 10CE CBA7          RES   4,A
002597 10D0 CB8F          RES   1,A
002598 10D2 CB9F          RES   3,A
002599 10D4 CBC7          SET   0,A
002600 10D6 77            LD    (HL),A
002601 10D7 219630        LD    HL,PORUN
002602 10DA 4E            LD    C,(HL)
002603 10DB ED79          OUT   (C),A
002604 10DD 3E05          LD    A,05H
002605 10DF 219530        LD    HL,POSTOP
002606 10E2 4E            LD    C,(HL)
002607 10E3 ED79          OUT   (C),A
002608 10E5 3E00          LD    A,00
002609 10E7 D3EA          OUT   (IOC),A
002610 10E9 C9            RET
002611 10EA                ;-----
002612 10EA 56            WRNBYTE: LD  D,(HL)
002613 10EB 7B            LD    A,E
002614 10EC CD2B0D        CALL  GOTO
002615 10EF CD480D        CALL  WRBYTE
002616 10F2 1C            INC   E
002617 10F3 23            INC   HL

```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```

002618 10F4 10F4          DJNZ  WRNBYTE
002619 10F6 C9           RET
002620 10F7
;-----
002621 10F7 7E          BLANK: LD  A,(HL)
002622 10F8 FE10        CP  10H
002623 10FA 2009        JR  NZ,OFFT
002624 10FC
;-----
002625 10FC 0603        TTON: LD  B,3
002626 10FE 21D014      LD  HL,TON
002627 1101 CDEA10     CALL WRNBYTE
002628 1104 C9           RET
002629 1105
;-----
002630 1105 0603        OFFT: LD  B,3
002631 1107 21D314      LD  HL,TOFF
002632 110A CDEA10     CALL WRNBYTE
002633 110D C9           RET
002634 110E
;*****
; SUB CHANG TO SEC HEX
;*****
002635 110E
;*****
; INPUT H,L,D 3 BYTE
; OUTPUT H,L,D 3 BYTE
;
002641 110E C5          PUSH  BC
002642 110F D5          PUSH  DE
002643 1110 DDE5        PUSH  IX
002644 1112 FDE5        PUSH  IY
002645 1114 AF          XOR   A
002646 1115 FD213201    LD    IY,CBUF
002647 1119 FD7402      LD    (IY+02),H
002648 111C FD7703      LD    (IY+03),A
002649 111F FD7704      LD    (IY+04),A
002650 1122 CD3612      CALL  DTOH
002651 1125 FD6600      LD    H,(IY+00);
002652 1128
;-----
002653 1128 FD7502      LD    (IY+02),L
002654 112B FD7703      LD    (IY+03),A
002655 112E FD7704      LD    (IY+04),A
002656 1131 CD3612      CALL  DTOH
002657 1134 FD6E00      LD    L,(IY+00);
002658 1137
;-----
002659 1137 FD7202      LD    (IY+02),D
002660 113A FD7703      LD    (IY+03),A
002661 113D FD7704      LD    (IY+04),A
002662 1140 CD3612      CALL  DTOH
002663 1143 FD5600      LD    D,(IY+00);
002664 1146
;-----
002665 1146 DD211D29    LD    IX,TEMPORA
002666 114A DD7400      LD    (IX+00),H ;HOUR
002667 114D DD7501      LD    (IX+01),L ;MIM
002668 1150 DD7202      LD    (IX+02),D ;SEC
002669 1153 063C        LD    B,60
002670 1155 4D          LD    C,L
002671 1156 ED4C        MLT   BC
002672 1158 DD7106      LD    (IX+6),C ;STOR MIN
002673 115B DD7007      LD    (IX+7),B
002674 115E DD360800    LD    (IX+8),0
002675 1162
;-----
002676 1162 DD7203      LD    (IX+3),D ;STOR SEC
002677 1165 DD360400    LD    (IX+4),0
002678 1169 DD360500    LD    (IX+5),0
002679 116D
;-----
002680 116D 44          LD    B,H
002681 116E 0E3C        LD    C,60
002682 1170 ED4C        MLT   BC
002683 1172 C5          PUSH  BC
002684 1173 D1          POP   DE ;DE=SOURCE 2
002685 1174
;-----
002686 1174 79          LD    A,C
002687 1175 CB27        SLA   A
002688 1177 4F          LD    C,A
002689 1178 78          LD    A,B
002690 1179 17          RLA
002691 117A 47          LD    B,A
002692 117B
;-----
002693 117B 79          LD    A,C
002694 117C CB27        SLA   A

```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```

002695 117E 4F      LD      C,A
002696 117F 78      LD      A,B
002697 1180 17      RLA
002698 1181 47      LD      B,A ;BC=23x60x4, +23x60x15
002699 1182      ;-----
002700 1182 C5      PUSH   BC
002701 1183 E1      POP    HL ;HL=SOURCE 1
002702 1184      ;----
002703 1184 060F    LD      B,15 ;HL+DE=15 ONEC
002704 1186
002705 1186 DD214201  LD      IX,TMP
002706 118A DD7300    LD      (IX+00),E
002707 118D DD7201    LD      (IX+01),D
002708 1190 DD360200  LD      (IX+02),0
002709 1194 DD7503    LD      (IX+03),L
002710 1197 DD7404    LD      (IX+04),H
002711 119A DD360500  LD      (IX+05),0
002712 119E      ;--
002713 119E CD1012    KIAT: CALL  BYTEADD
002714 11A1 C5      PUSH   BC
002715 11A2 DD214201  LD      IX,TMP
002716 11A6 214801    LD      HL,TMP+6
002717 11A9 114201    LD      DE,TMP
002718 11AC 010300    LD      BC,03H
002719 11AF EDB0      LDIR
002720 11B1 C1      POP    BC
002721 11B2 10EA     DJNZ   KIAT
002722 11B4      ;--
002723 11B4 DD214201  LD      IX,TMP
002724 11B8 DD6E06    LD      L,(IX+06)
002725 11BB DD6607    LD      H,(IX+07)
002726 11BE DD5600    LD      D,(IX+08)
002727 11C1 DD211D29  LD      IX,TEMPORA
002728 11C5 DD7500    LD      (IX+0C),L
002729 11C8 DD7400    LD      (IX+0D),H
002730 11CB DD7200    LD      (IX+0E),D
002731 11CE      ;--
002732 11CE DD212029  LD      IX,TEMPORA+3
002733 11D2 CD1012    CALL   BYTEADD
002734 11D5 DD6E00    LD      L,(IX+09)
002735 11D8 DD6600    LD      H,(IX+0A)
002736 11DB DD5600    LD      D,(IX+0B)
002737 11DE      ;-----
002738 11DE DD7503    LD      (IX+03),L
002739 11E1 DD7404    LD      (IX+04),H
002740 11E4 DD7205    LD      (IX+05),D
002741 11E7      ;--
002742 11E7 DD6E00    LD      L,(IX+0C)
002743 11EA DD6600    LD      H,(IX+0D)
002744 11ED DD5600    LD      D,(IX+0E)
002745 11F0      ;--
002746 11F0 DD7506    LD      (IX+06),L
002747 11F3 DD7407    LD      (IX+07),H
002748 11F6 DD7200    LD      (IX+08),D
002749 11F9      ;--
002750 11F9 DD212029  LD      IX,TEMPORA+3
002751 11FD CD1012    CALL   BYTEADD
002752 1200      ;--
002753 1200 DD6E00    LD      L,(IX+09)
002754 1203 DD6600    LD      H,(IX+0A)
002755 1206 DD5600    LD      D,(IX+0B)
002756 1209 FDE1     POP    IY
002757 120B DDE1     POP    IX
002758 120D D1      POP    DE
002759 120E C1      POP    BC
002760 120F C9      RET
002761 1210
002762 1210      ;*****
002763 1210      ; ADDC 3 BYTE
002764 1210      ;*****
002765 1210      ; INPUT IX+00,IX+02 = POINTER SOURCE 1
002766 1210      ; IX+03,IX+05 = POINTER SOURCE 2
002767 1210      ; IX+06,IX+08 = POINTER RESULT
002768 1210      ;
002769 1210 C5      BYTEADD: PUSH  BC
002770 1211 3F      CCF
002771 1212 0603    LD      B,3

```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```

002772 1214 DD7E00      NEWADD: LD  A,(IX+00)
002773 1217 DD8E03      ADC  A,(IX+03)
002774 121A DD7706      LD  (IX+06),A
002775 121D DD23        INC  IX
002776 121F 10F3        DJNZ NEWADD
002777 1221 C1          POP  BC
002778 1222 C9          RET
002779 1223      ;*****
002780 1223      ; SUBC 3 BYTE
002781 1223      ;*****
002782 1223      ; INPUT IX+00,IX+02 = POINTER SOURCE 1
002783 1223      ; IX+03,IX+05 = POINTER SOURCE 2
002784 1223      ; IX+06,IX+08 = POINTER RESULT
002785 1223      ;
002786 1223 C5      BYTESUB: PUSH BC
002787 1224 3F          CCF
002788 1225 0603        LD  B,3
002789 1227 DD7E00      NEWSUB: LD  A,(IX+00)
002790 122A DD8E03      ADC  A,(IX+03)
002791 122D DD7706      LD  (IX+06),A
002792 1230 DD23        INC  IX
002793 1232 10F3        DJNZ NEWSUB
002794 1234 C1          POP  BC
002795 1235 C9          RET
002796 1236      ;*****
002797 1236      ; SUB BCD TO HEX
002798 1236      ;*****
002799 1236      ; INPUT (CBUF+2)
002800 1236      ; OUTPUT (CBUF)
002801 1236      ; USES REG ABCHL
002802 1236
002803 1236
002804 1236 0E10        DTOH: LD  C,16
002805 1238 0603        DTOH1: LD  B,3
002806 123A AF          XOR  A
002807 123B 213601      LD  HL,CBUF+4
002808 123E 7E          DTOH2: LD  A,(HL)
002809 123F 1F          RRA
002810 1240 F5          PUSH AF
002811 1241 CB7F        BIT  7,A
002812 1243 2802        JR   Z,DTOH3
002813 1245 D630        SUB  30H
002814 1247 CB5F        DTOH3: BIT  3,A
002815 1249 2802        JR   Z,DTOH4
002816 124B D603        SUB  3
002817 124D 77          DTOH4: LD  (HL),A
002818 124E 2B          DEC  HL
002819 124F F1          POP  AF
002820 1250 10EC        DJNZ DTOH2
002821 1252 CB1E        RR   (HL)
002822 1254 2B          DEC  HL
002823 1255 CB1E        RR   (HL)
002824 1257 0D          DEC  C
002825 1258 20DE        JR   NZ,DTOH1
002826 125A C9          RET
002827 125B
002828 1800      .ORG INT1
002829 1800
002830 1800
002831 1800 C5      INTRTC:
002832 1801 D5          PUSH BC
002833 1802 F5          PUSH DE
002834 1803 E5          PUSH AF
002835 1804          PUSH HL
002836 1804 DBB0        IN  A,(STATUS_REG)
002837 1806 FE04        CP  04H; 1 SEC BIT INTR
002838 1808 C2B418      JP  NZ,OUTO
002839 180B CD560F      CALL GET_CLK;READ DATE/TIME STOR IN BUFF
002840 180E
002841 180E
002842 180E      ;*****
002843 180E 216430      ; CHECK YEAR AND INCREMENT
002844 1811 7E          ;*****
002845 1812 FE01        LD  HL,BMONTH
002846 1814 202E        LD  A,(HL)
002847 1816          CP  1
002848 1816 216330      JR  NZ,NOINC
002848 1816 216330      ;*****
002848 1816 216330      LD  HL,BDATE

```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```

002849 1819 7E      LD  A,(HL)
002850 181A FE01    CP  1
002851 181C 2026    JR  NZ,NOINC
002852 181E      ;-----
002853 181E 216030  LD  HL,BHOUR
002854 1821 7E      LD  A,(HL)
002855 1822 FE00    CP  0
002856 1824 201E    JR  NZ,NOINC
002857 1826      ;-----
002858 1826 216130  LD  HL,BMIN
002859 1829 7E      LD  A,(HL)
002860 182A FE00    CP  0
002861 182C 2016    JR  NZ,NOINC
002862 182E      ;-----
002863 182E 216230  LD  HL,BSEC
002864 1831 7E      LD  A,(HL)
002865 1832 FE00    CP  0
002866 1834 200E    JR  NZ,NOINC
002867 1836      ;-----
002868 1836 216530  LD  HL,BYEAR
002869 1839 3E63    LD  A,99
002870 183B BE      CP  (HL)
002871 183C 3005    JR  NC,INCYEAR
002872 183E 3E00    LD  A,00
002873 1840 77      LD  (HL),A
002874 1841 1801    JR  INCYEAR+1
002875 1843 34      INCYEAR: INC  (HL)
002876 1844      ;*****
002877 1844 0606    NOINC: LD  B,6 ;DECODE DATA TO UNPACK TO BHOUR+7 = 12 BYTE
002878 1846 216030  LD  HL,BHOUR ;SEPARATE HB,LB AND CONVERT TO CHAR FONT
002879 1849 DD216630 LD  IX,FHOUR
002880 184D 7E      NN: LD  A,(HL)
002881 184E 57      LD  D,A
002882 184F E6F0    AND  0FH
002883 1851 CB07    RLC  A
002884 1853 CB07    RLC  A
002885 1855 CB07    RLC  A
002886 1857 CB07    RLC  A
002887 1859 CDF70D  CALL COMP_ASCII ;CONVERT TO CHARECTER FONT
002888 185C DD7700  LD  (IX+00),A
002889 185F 7A      LD  A,D
002890 1860 E60F    AND  0FH
002891 1862 CDF70D  CALL COMP_ASCII
002892 1865 DD7701  LD  (IX+01),A
002893 1868 DD23    INC  IX
002894 186A DD23    INC  IX
002895 186C 23      INC  HL
002896 186D 10DE    DJNZ NN
002897 186F      ;-----
002898 186F      ; SHOW ', ' SWAP
002899 186F      ;-----
002900 186F 217630  LD  HL,FDOCO ;FLAG CHECK OLD DATA
002901 1872 7E      LD  A,(HL)
002902 1873 FE01    CP  1
002903 1875 2820    JR  Z,CLEAR ;Z=0 WHEN SATUS=1 GOTO CLEAR :
002904 1877      ;-----
002905 1877 3E01    CHOW: LD  A,1
002906 1879 217630  LD  HL,FDOCO ;SET FLAG
002907 187C 77      LD  (HL),A
002908 187D      ;-----
002909 187D 217330  LD  HL,DOT
002910 1880 3EA5    LD  A,0A5H ;DOT
002911 1882 77      LD  (HL),A
002912 1883 217230  LD  HL,COLONE
002913 1886 3E3A    LD  A,3AH ;COLONE
002914 1888 77      LD  (HL),A
002915 1889      ;-----
002916 1889 217430  LD  HL,SLATE
002917 188C 3E2F    LD  A,02FH ; / SLATE
002918 188E 77      LD  (HL),A
002919 188F 217530  LD  HL,SIGNB
002920 1892 3E2F    LD  A,02FH ; / SLATE
002921 1894 77      LD  (HL),A
002922 1895 181D    JR  OUTO
002923 1897      ;-----
002924 1897 AF      CLEAR: XOR  A ;CLEAR FLAG
002925 1898 217630  LD  HL,FDOCO

```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
 ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```

002926 189B 77          LD      (HL),A
002927 189C          ;-----
002928 189C 217330     LD      HL,DOT
002929 189F 3E3A       LD      A,3AH  ; : COLONE
002930 18A1 77         LD      (HL),A
002931 18A2 217230     LD      HL,COLONE
002932 18A5 3EA5       LD      A,0A5H ; . DOT
002933 18A7 77         LD      (HL),A
002934 18A8          ;-----
002935 18A8 217430     LD      HL,SLATE
002936 18AB 3EB0       LD      A,0B0H ; - SINGB
002937 18AD 77         LD      (HL),A
002938 18AE 217530     LD      HL,SIGNB
002939 18B1 3EB0       LD      A,0B0H ; - SINGB
002940 18B3 77         LD      (HL),A
002941 18B4          ;-----
002942 18B4          OUTO:
002943 18B4 E1         POP     HL
002944 18B5 F1         POP     AF
002945 18B6 D1         POP     DE
002946 18B7 C1         POP     BC
002947 18B8 ED4D       RETI
002948 18BA
002949 1420          .ORG TABLE_KEY
002950 1420
002951 1420 E4       TABLE: .DB 0E4H ;CODE 0
002952 1421 E3       .DB 0E3H ;CODE 1
002953 1422 E2       .DB 0E2H ;CODE 2
002954 1423 E1       .DB 0E1H ;CODE 3
002955 1424 D4       .DB 0D4H ;CODE 4
002956 1425 D3       .DB 0D3H ;CODE 5
002957 1426 D2       .DB 0D2H ;CODE 6
002958 1427 D1       .DB 0D1H ;CODE 7
002959 1428 B4       .DB 0B4H ;CODE 8
002960 1429 B3       .DB 0B3H ;CODE 9
002961 142A B2       .DB 0B2H ;CODE A
002962 142B B1       .DB 0B1H ;CODE B
002963 142C 74       .DB 074H ;CODE C
002964 142D 73       .DB 073H ;CODE D
002965 142E 72       .DB 072H ;CODE E
002966 142F 71       TABLE: .DB 071H ;CODE F
002967 1430          ;*****
002968 1430
002969 1430 7E205245434F5244  DISP_REC: .DB " RECORD MODE ❄ "
          1438 204D4F4445207F20
002970 1440 20506C6561736520  .DB " Please select.."
          1448 73656C6563742E2E
002971 1450 43485F415BFF5D20  .DB "CH_A[y] CH_B[ ]"
          1458 2043485F425B205D
002972 1460 2027463427202074  .DB " 'F4' to Exit "
          1468 6F20457869742020
002973 1470          ;*****
002974 1470 7F20504C41592020  DISP_PAY: .DB ❄ PLAY MODE " "
          1478 204D4F4445207E20
002975 1480 20506C6561736520  .DB " Please select.."
          1488 73656C6563742E2E
002976 1490 43485F415BFF5D20  .DB "CH_A[y] CH_B[ ]"
          1498 2043485F425B205D
002977 14A0 2027463427202074  .DB " 'F4' to Exit "
          14A8 6F20457869742020
002978 14B0          ;*****
002979 14B0
002980 14B0 43485F415BFF5D20  TAB_SHIF_A: .DB "CH_A[y] CH_B[ ]"
          14B8 2043485F425B205D
002981 14C0 43485F415B205D20  AB_SHIF_B: .DB "CH_A[ ] CH_B[y]"
          14C8 2043485F425BFF5D
002982 14D0 204F6E       TON:      .DB " On"
002983 14D3 4F6666       TOFF:     .DB " Off"
002984 14D6 5F5F5F       TSPC:     .DB " "
002985 14D9 2A203141202A  PAONE:    .DB "* 1A *"
002986 14DF 2A203142202A  PBONE:    .DB "* 1B *"
002987 14E5 2A203241202A  PATWO:    .DB "* 2A *"
002988 14EB 2A203242202A  PBTWO:    .DB "* 2B *"
002989 14F1
002990 14F1
002991 14F1          ;*****
002992 14F1 2020A202820454E  TAB_END:  .DB " * ( END ) * "

```

```

14F9 442029202A2020
002993 1500 ;*****
002994 1500 2020202320524543 A_REC: .DB " # REC_A # "
1508 5F41202320202020
002995 1510 537064205B315D20 .DB "Spd [1] : Ch [1]"
1518 3A204368205B315D
002996 1520 507474284F666629 .DB "Ptt(Off):Tx(Off)"
1528 3A5478284F666629
002997 1530 202020204D6F6E28 .DB " Mon(Off) "
1538 4F66662920202020
002998 1540 ;*****
002999 1540 2020202320524543 B_REC: .DB " # REC_B # "
1548 5F42202320202020
003000 1550 537064205B315D20 .DB "Spd [1] : Ch [1]"
1558 3A204368205B315D
003001 1560 507474284F666629 .DB "Ptt(Off):Tx(Off)"
1568 3A5478284F666629
003002 1570 202020204D6F6E28 .DB " Mon(Off) "
1578 4F66662920202020
003003 1580 ;*****
003004 1580 2020202A20504C41 A_PAY: .DB " * PLAY_A * "
1588 595F41202A202020
003005 1590 537064205B315D20 .DB "Spd [1] : Ch [1]"
1598 3A204368205B315D
003006 15A0 507474284F666629 .DB "Ptt(Off):Tx(Off)"
15A8 3A5478284F666629
003007 15B0 202020204D6F6E28 .DB " Mon(Off) "
15B8 4F66662920202020
003008 15C0 ;*****
003009 15C0 2020202A20504C41 B_PAY: .DB " * PLAY_B * "
15C8 595F42202A202020
003010 15D0 537064205B315D20 .DB "Spd [1] : Ch [1]"
15D8 3A204368205B315D
003011 15E0 507474284F666629 .DB "Ptt(Off):Tx(Off)"
15E8 3A5478284F666629
003012 15F0 202020204D6F6E28 .DB " Mon(Off) "
15F8 4F66662920202020
003013 1600 ;*****
003014 1600 2A2046756E63202A TEST: .DB " * Func * 0=Prog "
1608 20303D50726F6720
003015 1610 46313D5265632033 .DB "F1=Rec 3=SetTime"
1618 3D53657454696D65
003016 1620 46323D506C617920 .DB "F2=Play 4=Demo "
1628 20343D44656D6F20
003017 1630 46333D54696D6520 .DB "F3=Time 5=Cls "
1638 20353D436C732020
003018 1640 ;*****
003019 1640 2020202020205449 TAT1: .DB " TIME "
1648 4D45202020202020
003020 1650 54696D6520202020 TAT2: .DB "Time "
1658 2020202020202020
003021 1660 4461746520202020 .DB "Date "
1668 2020202020202020
003022 1670 2027463427202074 .DB " 'F4' to Exit "
1678 6F20457869742020
003023 1680 ;*****
003024 1680 ;*****
003025 1680 4F6C6454696D6520 STIMER: .DB "OldTime "
1688 2020202020202020
003026 1690 4F6C644461746120 .DB "OldData "
1698 2020202020202020
003027 16A0 4E657754696D6520 .DB "NewTime ho:mi:se"
16A8 686F3A6D693A7365
003028 16B0 4E65774461746120 .DB "NewData da/mo/ye"
16B8 64612F6D6F2F7965
003029 16C0 ;*****
003030 16C0 FF2A202A202A202A TITEL2: .DB "y * * * * * y"
16C8 202A202A202A20FF
003031 16D0 202020202057454C .DB " WELCOME *"
16D8 434F4D452020202A
003032 16E0 2A2020546F202027 .DB " * To 'ATIS' "
16E8 4154495327202020
003033 16F0 FF202A202A202A20 .DB "y * * * * * y"
16F8 2A202A202A202AFF
003034 1700 ;*****
003035 1700 FF202A202A202A20 TITEL1: .DB "y * * * * * y"
1708 2A202A202A202AFF

```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```

003036 1710 2A2020202057454C .DB "*" WELCOME "
1718 434F4D4520202020
003037 1720 202020546F202027 .DB " To 'ATIS' "*"
1728 415449532720202A
003038 1730 FF2A202A202A202A .DB "y* * * * * y"
1738 202A202A202A20FF
003039 1740 ;*****
003040 1740 2A2A2A2A2A2A2A2A TERORI: .DB "*****"
1748 2A2A2A2A2A2A2A2A
003041 1750 2A20496E76616C69 .DB "*" Invalid Time "*"
1758 642054696D65202A
003042 1760 2A20202020202020 .DB "*" "*"
1768 202020202020202A
003043 1770 2A2A2A2A2A2A2A2A .DB "*****"
1778 2A2A2A2A2A2A2A2A
003044 1780 ;*****
003045 1780 2A2A2A2A2A2A2A2A TEROR2: .DB "*****"
1788 2A2A2A2A2A2A2A2A
003046 1790 2A20202020202020 .DB "*" "*"
1798 202020202020202A
003047 17A0 2A20202054727920 .DB "*" Try Again "*"
17A8 416761696E20202A
003048 17B0 2A2A2A2A2A2A2A2A .DB "*****"
17B8 2A2A2A2A2A2A2A2A
003049 17C0 ;*****
003050 17C0 2020202023205245 TIOREC: .DB " # REC # "
17C8 4320202320202020
003051 17D0 2020202929293EFF .DB " )))>y y <((( "
17D8 FF3C282828202020
003052 17E0 20274631273D4D6F .DB " 'F1'=Mon ( ) "
17E8 6E2028202020202920
003053 17F0 202020274634273D .DB " 'F4'=Stop "
17F8 53746F7020202020
003054 1800 ;*****
003055 1800 202020202320504C TIOPAY: .DB " # PLAY # "
1808 4159202320202020
003056 1810 20202028282828FF .DB " (((y y))) "
1818 FF29292929202020
003057 1820 20274631273D4D6F .DB " 'F1'=Mon ( ) "
1828 6E2028202020202920
003058 1830 202020274634273D .DB " 'F4'=Stop "
1838 53746F7020202020
003059 1840 ;*****
003060 1840 202D2D2D2D2D2D2D TCLEAR: .DB "-----"
1848 2D2D2D2D2D2D2D2D
003061 1850 2020524553455420 .DB " RESET CH_A&B "
1858 43485F4126422020
003062 1860 20202041424C4520 .DB " ABLE REREC "
1868 5245524543202020
003063 1870 202D2D2D2D2D2D2D .DB "-----"
1878 2D2D2D2D2D2D2D2D
003064 1880 ;*****
003065 1880 2020202050524F47 TPROG: .DB " PROGRAM "
1888 52414D2020202020
003066 1890 53746F7274202D20 .DB "Start - xx:xx:xx"
1898 78783A78783A7878
003067 18A0 4576657279202D20 .DB "Every - yy:yy:yy"
18A8 79793A79793A7979
003068 18B0 53746F7020202D20 .DB "Stop - zz:zz:zz"
18B8 7A7A3A7A7A3A7A7A
003069 18C0 ;*****
003070 18C0 202D2D2D20537461 TPAB: .DB " --- Status --- "
18C8 747573202D2D2D20
003071 18D0 2050726F672E3F20 .DB " Prog.? - (Of) "
18D8 2D20284F66662920
003072 18E0 20436F6E742E3F20 .DB " Cont.? - 1A:2B "
18E8 2D2031413A324220
003073 18F0 2020274634272054 .DB " 'F4' To Exit "
18F8 6F20457869742020
003074 1900 ;*****
003075 1900 2020202020202020 TYEM: .DB " "
1908 2020202020202020
003076 1910 537064205B315D20 .DB "Spd [1] : Ch [1]"
1918 3A204368205B315D
003077 1920 507474284F666629 .DB "Pu(Off):Tx(Off)"
1928 3A5478284F666629
003078 1930 202020204D6F6E28 .DB " Mon(Off) "

```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

1938 4F66662920202020

003079 1940 ; \*\*\*\*\*  
003080 1940  
003081 1940 .END

A\_PAY =1580 CTRL =00EF INCSOL =09F3 OUTPRO =0EAE PSSET =0288 SPDD2 =00B0 TWOT =07D9  
A\_REC =1500 CTRL\_REG=00B1 INCYEAR=1843 OUTSET=0A07 PTA =0010 SPDD3 =00D0 TXA =0020  
AB\_SHIF =14C0 DATABCD =30AA INISYS =0EED OUT\_C\_DE=0DD4 PTB =0040 SPDD4 =00F0 TXB =0080  
ACLEAR =0163 DATA CAR =3098 INITLCD =0CBC PAGE1 =046D PTE3 =03C6 SREMO =0858 TYEAR =308F  
AEDW =094F DATE =00A6 INKEY\_EN=06E4 PAGE2 =04FD PTE1 =0207 SSEC =307C TYEM =1900  
B\_PAY =15C0 DEI =0D5A INKEY\_NE=0753 PAONE =14D9 PTESTA =10BA STANBY =00B6 UFF =05F0  
B\_REC =1540 DECODE =0C43 INTI =1800 PATWO =14E5 PTESTB =10C3 START =0002 UFF2 =060B  
BASETIME=30B6 DECOF =0256 INTRTC =1800 PAYFLAG =290B PTIME =019E STATUS\_R=00B0 VPAY =0712  
BBB =0A6E DECOZ =0284 IOA =00E8 PAY\_B =0725 PTREE =038D STBUFF =3000 VREC =06F4  
BDATE =3063 DEDIT =0BD4 IOB =00E9 PBEDI =01DE PTWO =0382 STIMER =1680 WAIT =105A  
BEDIT =0B98 DEDO =090B IOBUF =3094 PBONE =14DF PUTPTT =0A77 STOHH =3084 WAP2 =0E62  
BEGIN =0000 DEDW =08A7 IOC =00EA PBTWO =14EB PWO2 =03BB STOMM =3086 WEN =07B2  
BHOOR =3060 DEEF =0916 IOCON =1038 PDEDI =025B QEDD =0897 STOP =0001 WIRA =0449  
BLANK =10F7 DEEN =07B5 IOCTRL =00EB PDOW =03E1 QERT =046A STOSS =3088 WIRB =0450  
BMIN =3061 DEET =0872 IOPAYREC=0F7E PECODE =02D6 RDBYTE =0E21 SWAP =0E55 WLEFT =0438  
BMONTH =3064 DELAY =0D58 IOPTXAB =3097 PEOA =055D READSTOR=0F75 SWERT =0901 WLL =06A2  
BSEC =3062 DELAY16 =0DE7 JLLK =0626 PEOBB =0568 REC =000F SYEAR =3082 WRADD =01CD  
BUFFSWAP=2401 DEMO =0103 JUB =05CC PEROR =030A RECFLAG =290A T2 =0DD8 WRBYTE =0D48  
BUFF\_KEY=2400 DEON =049A KEDO =0992 PFOR =03D1 REC\_B =0707 TABLE =142F WRCON =0B88  
BYEAR =3065 DERT =0503 KEYDEC =09AD PGOON =0234 REEI =080D TABLE1 =1420 WRIGHT =043F  
BYTEADD =1210 DISP\_PAY=1470 KEYINC =09B6 PIEDI =022E REESET =1097 TABLE KE=1420 WRL =0D10  
BYTESUB =1223 DISP\_REC=1430 KEY\_ENTE=0A20 PIEOU =0257 REEW =07B4 TAB\_END =14F1 WRL1 =0CF4  
CAAA =0A63.DONKEY =07A1 KIAT =119E PIGON =0261 RENNEW =0176 TAB\_SHIF=14B0 WRL2 =0CFB  
CBUF =0132 DOT =3073 KONG =05BA PINC =0430 REREAD =0C09 TATI =1640 WRL3 =0D02  
CCAA =0AB4 DQES =08CB KOON =053A PLAY =00F0 RESET =0011 TAT2 =1650 WRL4 =0D09  
CCBB =0ABF DRE =0887 KPAY =0A8E PLEFT =0414 RETURN =0D93 TBUFF =3093 WRLINE =0CE3  
CCON0 =0F86 DREM =08E0 KREC =0A3D PLOOT =0521 RIGHT2 =0796 TCLEAR =1840 WRLM =0D0E  
CCON1 =0FDF DRQ =0945 KUF =0B15 PLOTA =0487 ROR =0DFE TDATE =308D WRNBYTE =10EA  
CCON5 =0FE7 DTOH =1236 LI =0DEC PNCO =0252 RRR =0A16 TEDIT =0BA3 WRR =069E  
CCON6 =0FFC DTOH1 =1238 LASTRAM =3FFF POAA =04BD RTC =00A0 TEDT =08F0 WSDC =10B2  
CCON7 =1012 DTOH2 =123E LEEF =099D POBB =04C8 RTX =07AA TEM =0DE5 WTSET =107A  
CH10 =0218 DTOH3 =1247 LEFT1 =078B PONE =0377 RUFF =0AFA TEMPORA =291D WWQE =0842  
CH50 =0223 DTOH4 =124D LEPTT =0868 PORTA =00EC RWR =0783 TEROR1 =1740 YERM =2910  
CHANA =101E EDEC =0BF6 LINK =0B30 PORTB =00ED SCAN =0D97 TEROR2 =1780 ZEDW =095A  
CHANB =102C EEROR =0C95 LLL =0A1B PORTC =00EE SCANX =0D5F TEST =1600  
CHANG =0EC2 EINC =0BD1 LOVE =02F1 PORUN =3096 SCANNEW =0D9A THOUR =308A  
CHAN\_A =0080 EPI =0D23 LWL =0787 POSTOP =3095 SDATE =307E THREE =0D9F  
CHAN\_B =0000 EP2 =0E44 MEDIT =2402 PPTT =0AC8 SEC =00A2 TIMERS =05D5  
CHE10 =01EF EPULSE =0D1A MEET =0930 PREAD =0292 SEDW =08B2 TIOPAY =1800  
CHE50 =01FA EWR =07F4 MIN =00A3 PREM =0988 SERO =0B94 TIOREC =17C0  
CHECK =0730 FCON =0678 MODEFLAG=2909 PRESS =0D80 SET1 =09CE TITEL1 =1700  
CHH =09C8 FDATE =306C MODE\_REC=0654 PRESS\_KE=0DB9 SET2 =09D5 TITEL2 =16C0  
CHH1 =00F0 FDOCO =3076 MDDP =0189 PRIGHT =0422 SETBASE=30B9 TITEL =3077  
CHH2 =0070 FHOUR =3066 MODR =0180 PROBUF1 =2911 SETCLOCK=0BF9 TMIN =308B  
CHOW =1877 FLAGMON =2908 MONTH =00A7 PROBUF2 =2917 SETDFO =0BEE TMONTH =308E  
CLEAR =1897 FLAGPTT =2906 MONZ =0926 PROEE =0363 SETDRE =0BF2 TMP =0142  
CLEAR\_IC=0E01 FLAGSEL =2905 MON\_OFF =0000 PROG =0359 SETFO =0BC9 TOFF =14D3  
CLEB =0F15 FLAGTX =2907 MON\_ON =0010 PROGRAM =0192 SETRE =0BCD TON =14D0  
CLEIO =0F1F FLPRL =290D N =0DE9 PROJECT =0100 SETTIME =0ADF TOO =0D17  
CN7 =1011 FLPROG =290C NET2 =02CE PROLIN =03E7 SET\_CLK =0F2F TOOY =052B  
COLONE =3072 FMIN =3068 NEW =0D67 PRONI =290E SEW =0C9B TOPHH =3090  
COMPLE =0203 FMONTH =306E NEWADD =1214 PRON2 =290F SHIFT\_A =06A6 TOPMM =3091  
COMP\_ANS=0DDF FPAY =0670 NEWSTART=0654 PROPT =0571 SHIFT\_B =06C5 TOPSS =3092  
COMP\_ASC=0DF7 FREC =0668 NEWSUB =1227 PROPTT =04D1 SHONEW =0109 TOY =0491  
CON0 =0FCF FSEC =306A NEW\_INKE=0680 PROREI =03A6 SHOUR =3078 TPAB =18C0  
CON1 =0E70 FXT =0444 NEXT =02C5 PROTIME =30B3 SHOW =0E0C TPROG =1880  
CON2 =0E72 FXZ =0455 NN =184D PROYERM =045E SIGNB =3075 TREE3 =084D  
CON3 =0E98 FYEAR =3070 NOINC =1844 PS20 =023C SLATE =3074 TREEET =07E9  
CON4 =0E9A GET\_CLK =0F56 OFFMON =10CA PS60 =0244 SLECT =06E5 TRM =05E7  
CONNN =09FE GOON =0BB4 OFFT =1105 PSCO =024C SMIN =307A TSEC =308C  
COO =0FAB GOTO =0D2B OLDADD =2903 PSERO =01DA SMONTH =3080 TSPC =14D6  
COO1 =0FBC HEET =0973 OLDDATA =2904 PSEW =0310 SNEWW =0135 TTIME =0B59  
COOJ =0F99 HOUR =00A4 ONEI =0822 PSIOF =0271 SOLN =09BF TTON =10FC  
CORECT =0331 IEDIT =0BAE ONEO =07C9 PS14F =0269 SPD =09DC TWO =0DB2  
COUNT =0D7A IEOUT =0BC6 OUTO =18B4 PSICO =0279 SPDD1 =0090 TWO2 =0832

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 7ลำดับการใช้งานเครื่อง ATIS

เมื่อเปิดเครื่องจะมีลักษณะของ DISPLAY ขึ้นเป็นรูปดังนี้

```
" ↓ * * * * * ↓ "
```

```
"           WELCOME          * "
```

```
" *   To 'ATIS'           "
```

```
" ↓ * * * * * ↓ "
```

โดยที่จะเป็นลักษณะของ DEMO ที่เครื่องมีอยู่เมื่อถึงเวลาตามกำหนดหรือกด KEY (F4) ก็จะออกมาเข้า MENU หลักซึ่งจะมีลักษณะดังนี้

```
" * Func * 0=Prog "
```

```
" F1=Rec 3=SetTime "
```

```
" F2=Play 4=Demo  "
```

```
" F3=Time 5=Cls  "
```

จะเป็นตัว MENU หลักสำหรับการทำ งานของเครื่องในการกำหนดให้ทำงานก็ให้กด KEY ให้ตรงกับหน้า MENU ที่แสดงขึ้น เมื่อกด ( 0 ) ก็จะเข้า MODE PROGRAM มีลักษณะเป็นดังนี้

```
"           PROGRAM           "
```

```
" Start - xx:xx:xx "
```

```
" Every - yy:yy:yy "
```

```
" Stop  - zz:zz:zz "
```

ซึ่งจะเป็นการกำหนดให้ในช่วงเวลาไหนจะส่งข้อความและกำหนดให้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หยุดทำงานเมื่อใดและให้ส่งข้อความทวนซ้ำเท่าไรในเวลาที่ย่างกันเท่าใด และจะแสดงผลและกำหนดได้ว่าจะให้ ข้อความไหนส่งข้อความจะมีการแสดงผลเป็นดังนี้

```
" --- Status --- "
```

```
" Prog. ? - (Off) "
```

```
" Cont. ? - 1A:2B "
```

```
" 'F4' to exit "
```

เมื่อจะให้ใช้งานก็กดให้ Prog. ( ON ) และเครื่องก็จะเริ่มทำ ส่วนของ PROGRAM ที่มีการกำหนดไว้ในส่วนของเครื่องเมื่อกด ENT เครื่องก็จะทำงานและกลับมาแสดงข้อความที่ MENU หลักอีกครั้ง

```
" * Func * 0=Prog "
```

```
" F1=Rec 3=SetTime "
```

```
" F2=Play 4=Demo "
```

```
" F3=Time 5=Cls "
```

การทำงานเมื่อจะทำการบันทึกเสียง ในระบบของการบันทึกจะสามารถเลือกแหล่งป้อนของสัญญาณได้ 2 แบบ คือจาก MIC ภายในที่มีอยู่กับตัวเครื่อง และ อีกอย่างคือจาก JACK ที่จะสามารถป้อนข้อมูลจากวิทยุเทป หรือ อุปกรณ์ แหล่งจ่ายสัญญาณอื่นๆ เมื่อกดปุ่ม ( F1 ) ก็จะมีการแสดงผลดังนี้

```
" ~ RECORD MODE "
```

```
" Please select.. "
```

```
" CH_A[↓] CH_B[ ] "
```

```
" 'F4' to Exit "
```

ซึ่งจะใช้การเลือกแถบลูกศรให้ตรงกับ CH\_A หรือ CH\_B แล้วทำการกด ENT เครื่องก็จะเข้าอีก MENU

```
"      # REC_A #      "
"Spd [1] : Ch [1]"
"Ptt(Off) : Tx(Off)"
"      Mon(Off)      "
```

ซึ่งจะมีการบอกว่าจะมีการบันทึกช่องไหน และสามารถกำหนด SPEED ได้ 4 ระดับ และได้ 2 ช่องและจะสามารถควบคุม PTT ให้ ON หรือ OFF ได้จากการกดให้ตรงกับ KEY ที่มีอยู่ เมื่อกด ENT จะแสดงผลเป็น

```
"      # REC      #      "
"      ) ) ) > ↓ ↓ < ( ( ( "
"      'F1' = Mon (      ) "
"      'F4' = Stop      "
```

จะบอกว่าการบันทึกอยู่ โดยจะสามารถกด KEY ( F1 ) ให้ MONITOR ON หรือ OFF และกด KEY ( F4 ) ก็เป็นการกำหนดให้หยุดบันทึก เมื่อทำงานหมดก็จะกลับเข้า MENU หลัก

```
" * Func * 0=Prog "
"F1=Rec 3=SetTime"
"F2=Play 4=Demo "
"F3=Time 5=Cls  "
```

ต่อไปจะเป็นการทำงานใน MODE PLAY เมื่อกด KEY ก็เข้า MENU ของชุด PLAY

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
" PLAY MODE ~ "
```

```
" Please select.. "
```

```
"CH_A[↓] CH_B[ ]"
```

```
" 'F4' to Exit "
```

จะมีการทำงานเหมือนกับการบันทึกคือเป็นการเลือก ช่องที่จะทำการ PLAY และกด F4 ออกจาก MENU นี้ เมื่อกด ENT ก็จะเข้าอีก MENU

```
" * PLAY_A * "
```

```
"Spd [1] : Ch [1]"
```

```
"Ptt(Off):Tx(Off)"
```

```
" Mon(Off) "
```

ก็เป็นการกำหนด SPEED ให้ตรงกับค่าที่ทำการบันทึกและเลือกว่าทำงานที่ A ในช่องใด ซึ่งจะมีอยู่ 2 ช่อง

```
" # PLAY # "
```

```
" ((( (↓↓) ))) "
```

```
" 'F1' =Mon ( ) "
```

```
" 'F4' =Stop "
```

ใน MENU นี้ก็เป็นการแสดงให้ทราบว่ากำลังทำงาน PLAY อยู่โดยเมื่อกด F1 ก็จะเป็นการทำให้ MONITOR ONหรือOFF เมื่อจบก็จะกลับเข้า MENU

```
" * Func * 0=Prog "
```

```
"F1=Rec 3=SetTime"
```

```
"F2=Play 4=Demo "
```

```
"F3=Time 5=Cls "
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในการทำงานต้องมีอาการการทำงานของ CLOCK ซึ่งจะสามารถดู  
ได้จาการกด F3

```
"          TIME          "
"Time    12:00:00      "
"Date    16/01/93      "
" 'F4'   to Exit      "
```

และเมื่อกด F4 ก็จะเป็นการ ออกจาก MENU เข้า MENU หลัก

```
" * Func * 0=Prog  "
"F1=Rec  3=SetTime "
"F2=Play  4=Demo   "
"F3=Time  5=Cls    "
```

การทำงานเมื่อกดเลข 3 จะเป็นการเข้าไปตั้งเวลา

```
"OldTime          "
"OldData          "
"NewTime ho:mi:se "
"NewData da/mo/ye "
```

และถ้ามีการใส่ เวลาผิดก็จะมีกรบอกและกลับมาที่ MENU เดิม

```
" ***** "
" * Invalid Time * "
" *   Try Again   * "
" ***** "
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในการทำงานทั้งหมดเมื่อทำการกด F4 ก็จะเป็นออกจาก MENU เดิม มาสู่ MENU หลัก

```
" * Func * 0=Prog "
```

```
" F1=Rec 3=SetTime "
```

```
" F2=Play 4=Demo "
```

```
" F3=Time 5=Cls "
```

เมื่อกด KEY 4 ก็จะเป็นการแสดง DEMO ของเครื่องซึ่งจะมี DISPLAY เหมือนกับตอนที่เปิดเครื่อง

```
" ↓ * * * * * ↓ "
```

```
" WELCOME * "
```

```
" * TO 'ATIS' * "
```

```
" ↓ * * * * * ↓ "
```

การทำงานของ KEY 5 จะเป็นการ CLEAR ค่าที่บันทึกขอความไว้จะแสดงผลเป็นดังนี้

```
" ----- "
```

```
" RESET CH_A&B "
```

```
" ABLE REREC "
```

```
" ----- "
```

เมื่อทำงานเสร็จก็จะกลับมาที่ MENU เดิม

จากการใช้งานในข้างต้นผู้ใช้สามารถที่จะศึกษาและใช้งานได้ง่าย เพราะเครื่องจะแสดงค่าต่างๆให้ทราบตลอด

## สรุปและวิจารณ์

### สรุป SOFTWARE

เนื่องจากการพัฒนา PROGRAM ใช้ภาษา ASSEMBLY Z-180 ซึ่งมีการใช้งานของ REGISTOR จำกัด ต้องอาศัย BUFFER มาช่วยแก้ไข และในการพัฒนา PROGRAM ต้องอาศัย HARDWARE เข้ามาทดลองพร้อมกับ SOFTWARE ดังนั้นการที่จะทำ SOFTWARE จะต้องมีการพัฒนาที่สมบูรณ์ก่อน การพัฒนา PROGRAM จะเป็นการพัฒนาที่อาศัย OS. ของ DEBUGGER Z-180 ที่ทำหน้าที่ติดต่อกับ COMPUTER ทำให้การพัฒนาสะดวกขึ้นในการเขียน SOFTWARE นี้ได้มีการทำเป็น SUBROUTINE เพื่อที่จะทำการเรียกใช้เป็นส่วนๆทำให้มีการพัฒนาได้เร็วขึ้น การเขียนและพัฒนาทาง SOFTWARE นี้ได้บรรลุตามวัตถุประสงค์ ที่มีการกำหนดไว้ การทำงานจะเน้นเป็น 2 ส่วนคือการให้ผู้ใช้งานได้ง่ายและการควบคุม INPUT/OUTPUT ในการติดต่อผู้ใช้จะออกแบบให้ใช้ KEYBOARD 4x4 ใหม่การทำงานคล้ายกับ KEYBOARDR ของ เครื่อง COMPUTER โดยตรง เช่นใน MODE SETTIME หรือ MODE PROGRAM จะสามารถเขียนขอมูลใดเหมือน EDITER ที่มีอยู่บน COMPUTER และการกระพริบของCURSOR ก็จำลองการทำงานให้เหมือนกับ DOT MATRIX ของ เครื่องคิดเลขรุ่นใหม่ซึ่งจะทำให้ง่ายต่อการใช้ และในส่วนติดต่อกับ I/O มีการทำให้ PROGRAM ทำงานได้รัดกุม ทำให้สามารถควบคุมการทำงานส่วนต่างๆให้เข้ากันได้ ดังนั้นในการพัฒนาทางด้าน SOFTWARE สำเร็จตามจุดมุ่งหมายที่ตั้งไว้ทุกประการ

### สรุปผลทาง HARDWARE

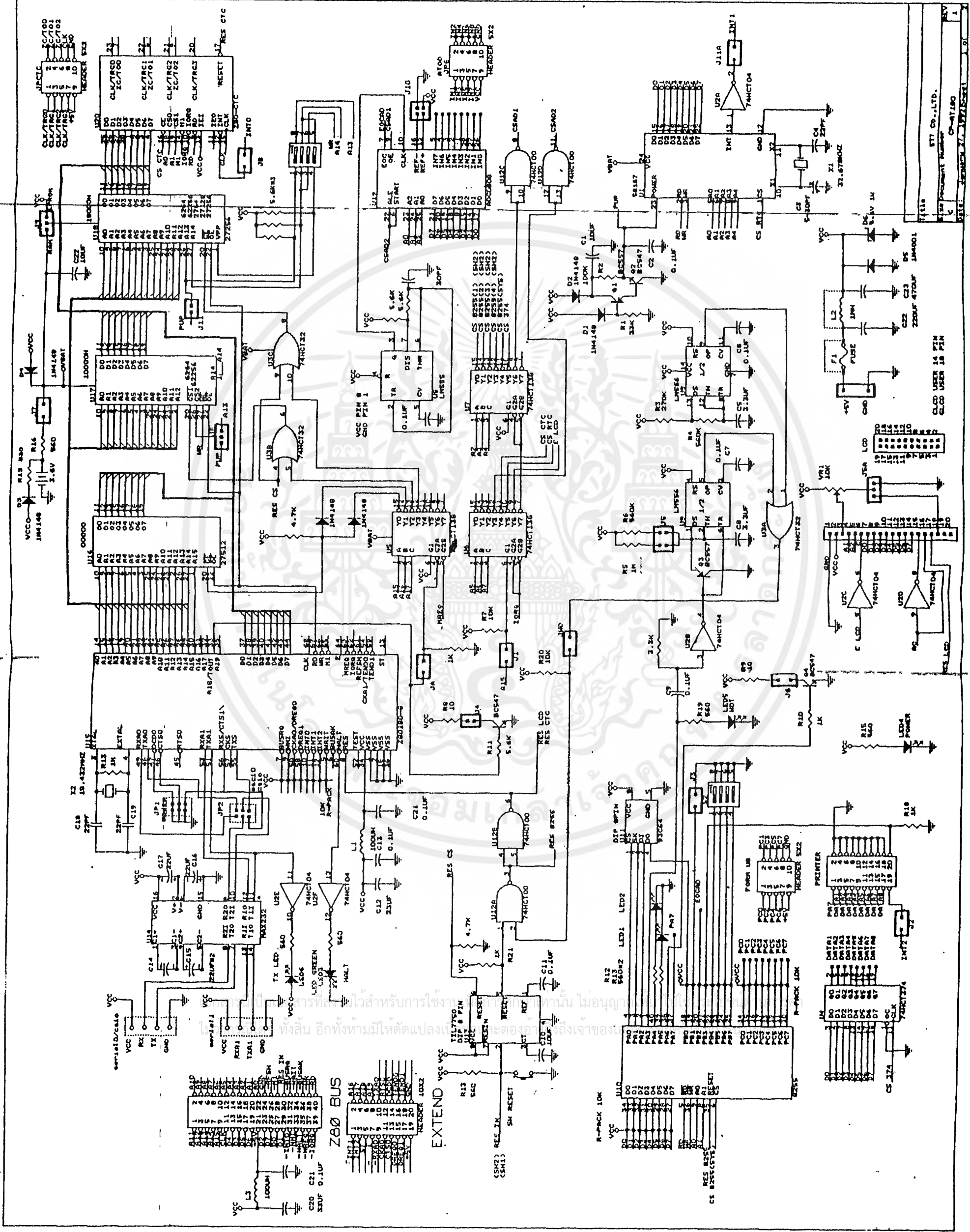
ในการทดลองและสร้างชุด HARDWARE แบ่งเป็น 2 ช่วง คือ ในการทดลองและช่วงเวลาในการประกอบลงกล่องลงปริ้นท์ ซึ่งมีปัญหาที่แตกต่างกัน กล่าวคือในช่วงทดลองจะประกอบวงจรลงบนโปรโตบอร์ด และ เชื่อมต่อกับ PC โดยอาศัย OS ของ Z180 DEBUGGER ซึ่งทำงานได้ทั้งส่วน LCD, RECORD BOARD, POWER SUPPLY & AMPLIFILER ซึ่งเมื่อถึงช่วงการประกอบลงกล่องซึ่งมีปัญหาและทำให้การพัฒนาด้าน PROGRAM หยุดลงเพราะต้องทำให้ชุด HARDWARE นั้นเสร็จก่อนจึงจะสามารถที่จะทำงานส่วนของ SOFTWARE ได้ เมื่อทำการประกอบเสร็จเกิดมีปัญหการรบกวนของชุด RECORD BOARD ซึ่งจะมีชุดที่ทำการบันทึกอยู่ 2 ชุด โดยมีการใช้งานของ X-TAL ที่เป็นค่าเดียวกัน ทำให้เกิดการกวนซึ่งใดทำการแก้ไขโดยการต่อ C TRIMER 12-80 pF และปรับค่าของทั้ง 2 ชุดให้ค่าความถี่ อยู่ใน PHASE เดียวกันทำให้การรบกวนดังกล่าวหมดไป สรุปการสร้าง HARDWARE สามารถผ่านวัตถุประสงค์ไปได้การแก้ปัญหาต่างๆ ก็สามารถทำได้ด้วยดีเป็นไปตามแผนที่วางไว้ในตอนต้น

## กิตติกรรมประกาศ

โครงการนี้สามารถเสร็จไปด้วยดีด้วยความร่วมมือร่วมใจ กันทำงาน  
ของสมาชิกภายในกลุ่มและขอขอบคุณ อาจารย์ พิพัฒน์ เลหาสงคราม ที่ให้คำ  
ปรึกษารวมทั้งสนับสนุน การทำโครงการนี้และเพื่อนๆ ทุกคนที่ให้คำแนะนำ  
ในด้านต่างๆ ที่จะแก้ปัญหาขึ้น ทำให้โครงการนี้สำเร็จไปด้วยดี



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



FILE: I:\PROJECTS\74\_19775-231  
 C:\PROGRAM FILES\CP-RT-1.00  
 RTI CO., LTD.

GND USER 14 PIN  
 GND USER 16 PIN

VCC  
 GND  
 +5V  
 F1 FUSE  
 L2 INDUCTOR  
 C22 220UF 470UF  
 C23  
 C24  
 DS 1M4001  
 DS

VCC  
 GND  
 +5V  
 R15 680  
 LEDA POWER

VCC  
 GND  
 +5V  
 R18 1K

VCC  
 GND  
 +5V  
 R19 1K

VCC  
 GND  
 +5V  
 R20 10K

VCC  
 GND  
 +5V  
 R21 1K

VCC  
 GND  
 +5V  
 R22 10K

VCC  
 GND  
 +5V  
 R23 10K

VCC  
 GND  
 +5V  
 R24 10K

VCC  
 GND  
 +5V  
 R25 10K

VCC  
 GND  
 +5V  
 R26 10K

VCC  
 GND  
 +5V  
 R27 10K

VCC  
 GND  
 +5V  
 R28 10K

VCC  
 GND  
 +5V  
 R29 10K

VCC  
 GND  
 +5V  
 R30 10K

VCC  
 GND  
 +5V  
 R31 10K

VCC  
 GND  
 +5V  
 R32 10K

VCC  
 GND  
 +5V  
 R33 10K

VCC  
 GND  
 +5V  
 R34 10K

VCC  
 GND  
 +5V  
 R35 10K

VCC  
 GND  
 +5V  
 R36 10K

VCC  
 GND  
 +5V  
 R37 10K

VCC  
 GND  
 +5V  
 R38 10K

VCC  
 GND  
 +5V  
 R39 10K

VCC  
 GND  
 +5V  
 R40 10K

VCC  
 GND  
 +5V  
 R41 10K

VCC  
 GND  
 +5V  
 R42 10K

VCC  
 GND  
 +5V  
 R43 10K

VCC  
 GND  
 +5V  
 R44 10K

VCC  
 GND  
 +5V  
 R45 10K

VCC  
 GND  
 +5V  
 R46 10K

VCC  
 GND  
 +5V  
 R47 10K

VCC  
 GND  
 +5V  
 R48 10K

VCC  
 GND  
 +5V  
 R49 10K

VCC  
 GND  
 +5V  
 R50 10K

VCC  
 GND  
 +5V  
 R51 10K

VCC  
 GND  
 +5V  
 R52 10K

VCC  
 GND  
 +5V  
 R53 10K

VCC  
 GND  
 +5V  
 R54 10K

VCC  
 GND  
 +5V  
 R55 10K

VCC  
 GND  
 +5V  
 R56 10K

VCC  
 GND  
 +5V  
 R57 10K

VCC  
 GND  
 +5V  
 R58 10K

VCC  
 GND  
 +5V  
 R59 10K

VCC  
 GND  
 +5V  
 R60 10K

VCC  
 GND  
 +5V  
 R61 10K

VCC  
 GND  
 +5V  
 R62 10K

VCC  
 GND  
 +5V  
 R63 10K

VCC  
 GND  
 +5V  
 R64 10K

VCC  
 GND  
 +5V  
 R65 10K

VCC  
 GND  
 +5V  
 R66 10K

VCC  
 GND  
 +5V  
 R67 10K

VCC  
 GND  
 +5V  
 R68 10K

VCC  
 GND  
 +5V  
 R69 10K

VCC  
 GND  
 +5V  
 R70 10K

VCC  
 GND  
 +5V  
 R71 10K

VCC  
 GND  
 +5V  
 R72 10K

VCC  
 GND  
 +5V  
 R73 10K

VCC  
 GND  
 +5V  
 R74 10K

VCC  
 GND  
 +5V  
 R75 10K

VCC  
 GND  
 +5V  
 R76 10K

VCC  
 GND  
 +5V  
 R77 10K

VCC  
 GND  
 +5V  
 R78 10K

VCC  
 GND  
 +5V  
 R79 10K

VCC  
 GND  
 +5V  
 R80 10K

VCC  
 GND  
 +5V  
 R81 10K

VCC  
 GND  
 +5V  
 R82 10K

VCC  
 GND  
 +5V  
 R83 10K

VCC  
 GND  
 +5V  
 R84 10K

VCC  
 GND  
 +5V  
 R85 10K

VCC  
 GND  
 +5V  
 R86 10K

VCC  
 GND  
 +5V  
 R87 10K

VCC  
 GND  
 +5V  
 R88 10K

VCC  
 GND  
 +5V  
 R89 10K

VCC  
 GND  
 +5V  
 R90 10K

VCC  
 GND  
 +5V  
 R91 10K

VCC  
 GND  
 +5V  
 R92 10K

VCC  
 GND  
 +5V  
 R93 10K

VCC  
 GND  
 +5V  
 R94 10K

VCC  
 GND  
 +5V  
 R95 10K

VCC  
 GND  
 +5V  
 R96 10K

VCC  
 GND  
 +5V  
 R97 10K

VCC  
 GND  
 +5V  
 R98 10K

VCC  
 GND  
 +5V  
 R99 10K

VCC  
 GND  
 +5V  
 R100 10K

VCC  
 GND  
 +5V  
 R101 10K

VCC  
 GND  
 +5V  
 R102 10K

VCC  
 GND  
 +5V  
 R103 10K

VCC  
 GND  
 +5V  
 R104 10K

VCC  
 GND  
 +5V  
 R105 10K

VCC  
 GND  
 +5V  
 R106 10K

VCC  
 GND  
 +5V  
 R107 10K

VCC  
 GND  
 +5V  
 R108 10K

VCC  
 GND  
 +5V  
 R109 10K

VCC  
 GND  
 +5V  
 R110 10K

VCC  
 GND  
 +5V  
 R111 10K

VCC  
 GND  
 +5V  
 R112 10K

VCC  
 GND  
 +5V  
 R113 10K

VCC  
 GND  
 +5V  
 R114 10K

VCC  
 GND  
 +5V  
 R115 10K

VCC  
 GND  
 +5V  
 R116 10K

VCC  
 GND  
 +5V  
 R117 10K

VCC  
 GND  
 +5V  
 R118 10K

VCC  
 GND  
 +5V  
 R119 10K

VCC  
 GND  
 +5V  
 R120 10K

VCC  
 GND  
 +5V  
 R121 10K

VCC  
 GND  
 +5V  
 R122 10K

VCC  
 GND  
 +5V  
 R123 10K

VCC  
 GND  
 +5V  
 R124 10K

VCC  
 GND  
 +5V  
 R125 10K

VCC  
 GND  
 +5V  
 R126 10K

VCC  
 GND  
 +5V  
 R127 10K

VCC  
 GND  
 +5V  
 R128 10K

VCC  
 GND  
 +5V  
 R129 10K

VCC  
 GND  
 +5V  
 R130 10K

VCC  
 GND  
 +5V  
 R131 10K

VCC  
 GND  
 +5V  
 R132 10K

VCC  
 GND  
 +5V  
 R133 10K

VCC  
 GND  
 +5V  
 R134 10K

VCC  
 GND  
 +5V  
 R135 10K

VCC  
 GND  
 +5V  
 R136 10K

VCC  
 GND  
 +5V  
 R137 10K

VCC  
 GND  
 +5V  
 R138 10K

VCC  
 GND  
 +5V  
 R139 10K

VCC  
 GND  
 +5V  
 R140 10K

VCC  
 GND  
 +5V  
 R141 10K

VCC  
 GND  
 +5V  
 R142 10K

VCC  
 GND  
 +5V  
 R143 10K

VCC  
 GND  
 +5V  
 R144 10K

VCC  
 GND  
 +5V  
 R145 10K

VCC  
 GND  
 +5V  
 R146 10K

VCC  
 GND  
 +5V  
 R147 10K

VCC  
 GND  
 +5V  
 R148 10K

VCC  
 GND  
 +5V  
 R149 10K

VCC  
 GND  
 +5V  
 R150 10K

VCC  
 GND  
 +5V  
 R151 10K

VCC  
 GND  
 +5V  
 R152 10K

VCC  
 GND  
 +5V  
 R153 10K

VCC  
 GND  
 +5V  
 R154 10K

VCC  
 GND  
 +5V  
 R155 10K

VCC  
 GND  
 +5V  
 R156 10K

VCC  
 GND  
 +5V  
 R157 10K

VCC  
 GND  
 +5V  
 R158 10K

VCC  
 GND  
 +5V  
 R159 10K

VCC  
 GND  
 +5V  
 R160 10K

VCC  
 GND  
 +5V  
 R161 10K

VCC  
 GND  
 +5V  
 R162 10K

VCC  
 GND  
 +5V  
 R163 10K

VCC  
 GND  
 +5V  
 R164 10K

VCC  
 GND  
 +5V  
 R165 10K

VCC  
 GND  
 +5V  
 R166 10K

VCC  
 GND  
 +5V  
 R167 10K

VCC  
 GND  
 +5V  
 R168 10K

VCC  
 GND  
 +5V  
 R169 10K

VCC  
 GND  
 +5V  
 R170 10K

VCC  
 GND  
 +5V  
 R171 10K

VCC  
 GND  
 +5V  
 R172 10K

VCC  
 GND  
 +5V  
 R173 10K

VCC  
 GND  
 +5V  
 R174 10K

VCC  
 GND  
 +5V  
 R175 10K

VCC  
 GND  
 +5V  
 R176 10K

VCC  
 GND  
 +5V  
 R177 10K

VCC  
 GND  
 +5V  
 R178 10K

VCC  
 GND  
 +5V  
 R179 10K

VCC  
 GND  
 +5V  
 R180 10K

VCC  
 GND  
 +5V  
 R181 10K

VCC  
 GND  
 +5V  
 R182 10K

VCC  
 GND  
 +5V  
 R183 10K

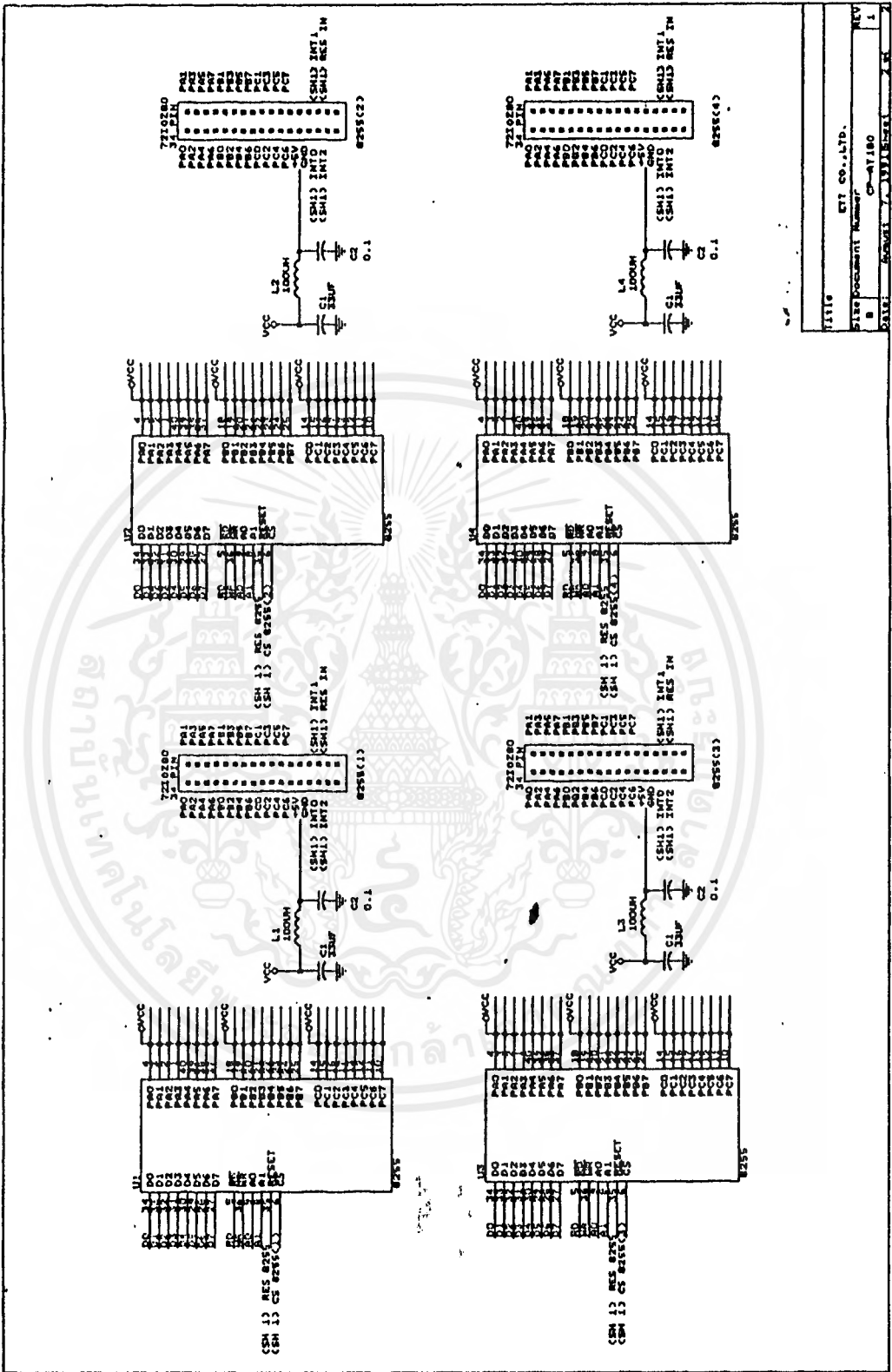
VCC  
 GND  
 +5V  
 R184 10K

VCC  
 GND  
 +5V  
 R185 10K

VCC  
 GND  
 +5V  
 R186 10K

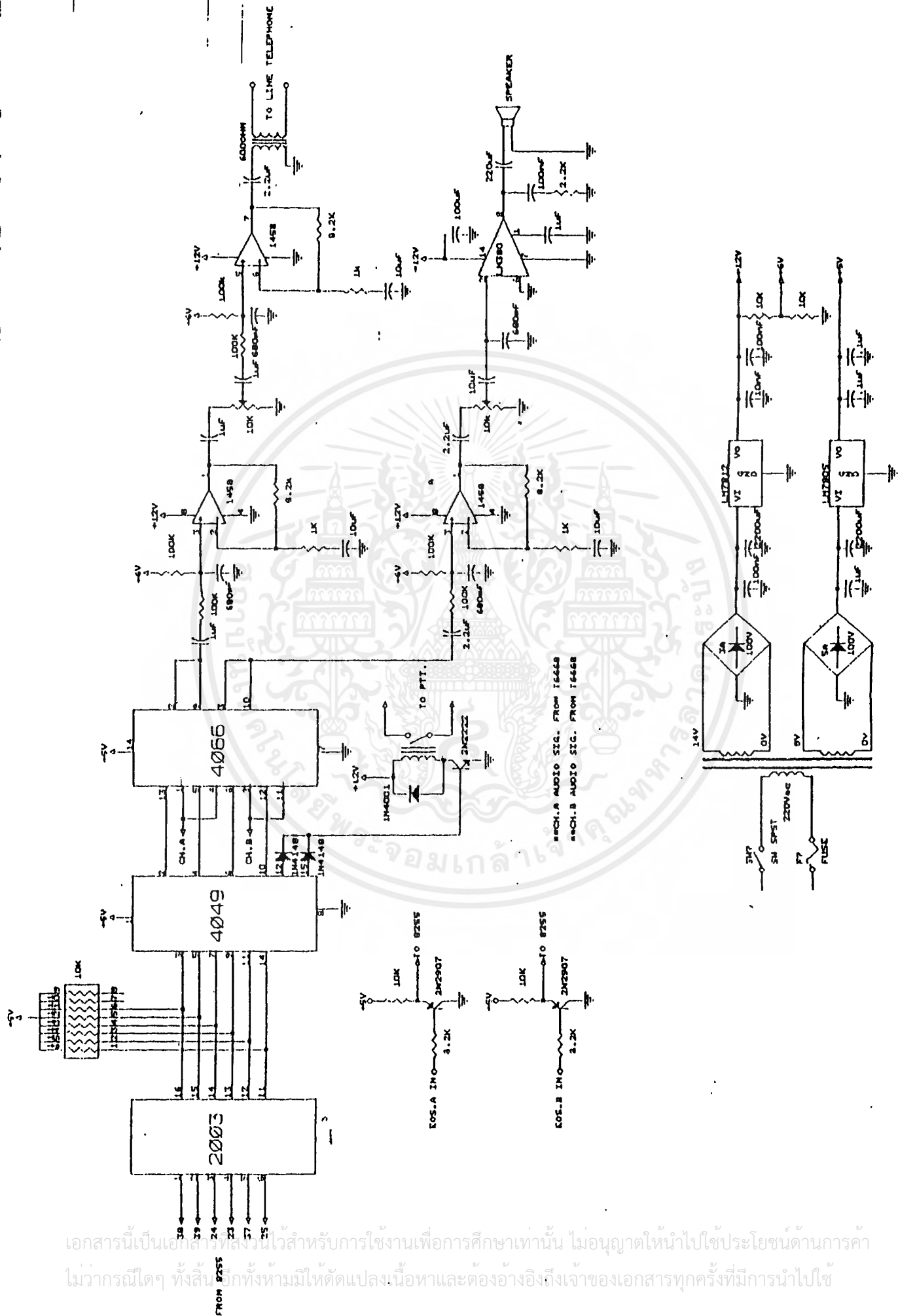
VCC  
 GND  
 +5V  
 R187 10K

VCC  
 GND  
 +5V

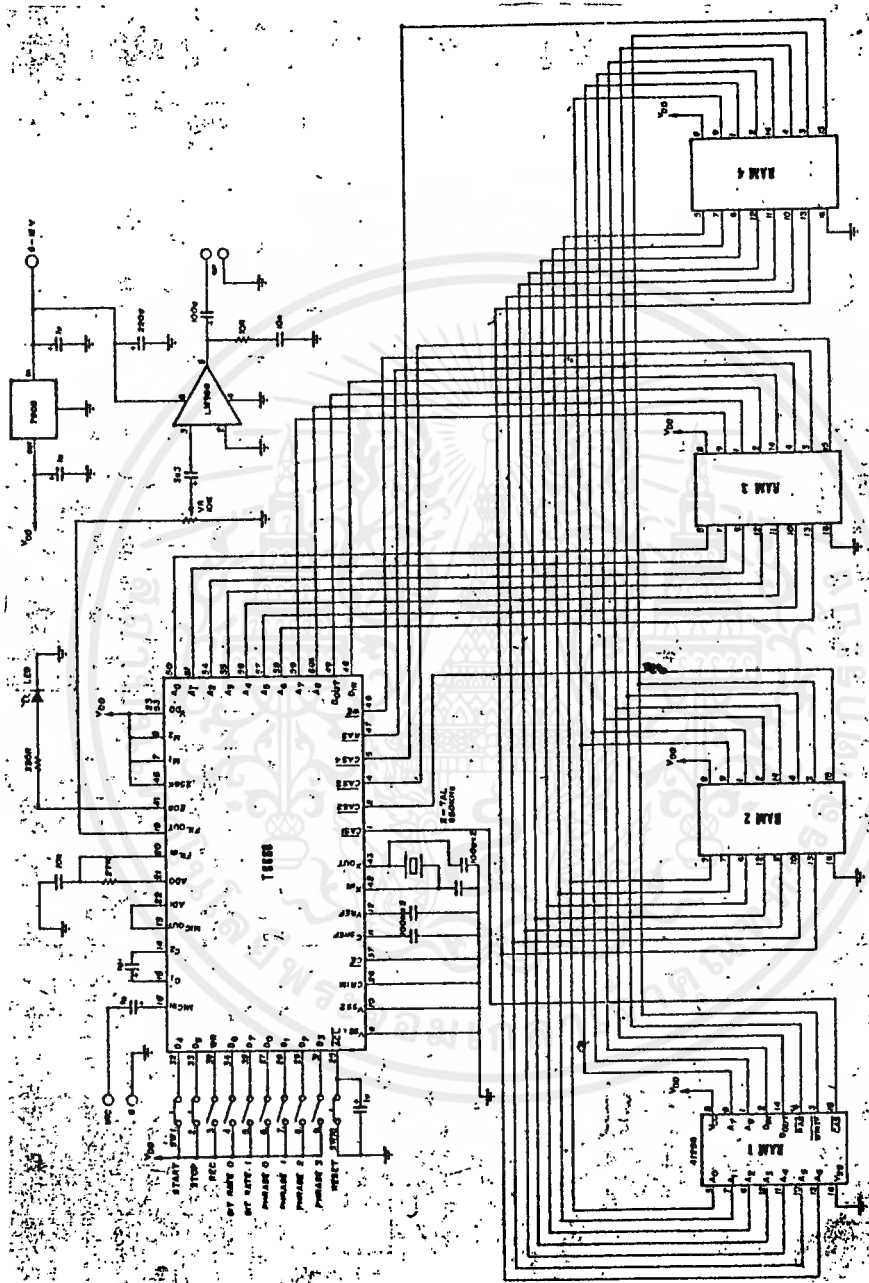


TITLE	ETI CO.,LTD.
FILE DOCUMENT NUMBER	C-AT180
REV	1
DATE	NOV 17 1981

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
 ไม่ว่ากรณีใดๆ ทั้งสิ้น หากมีให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

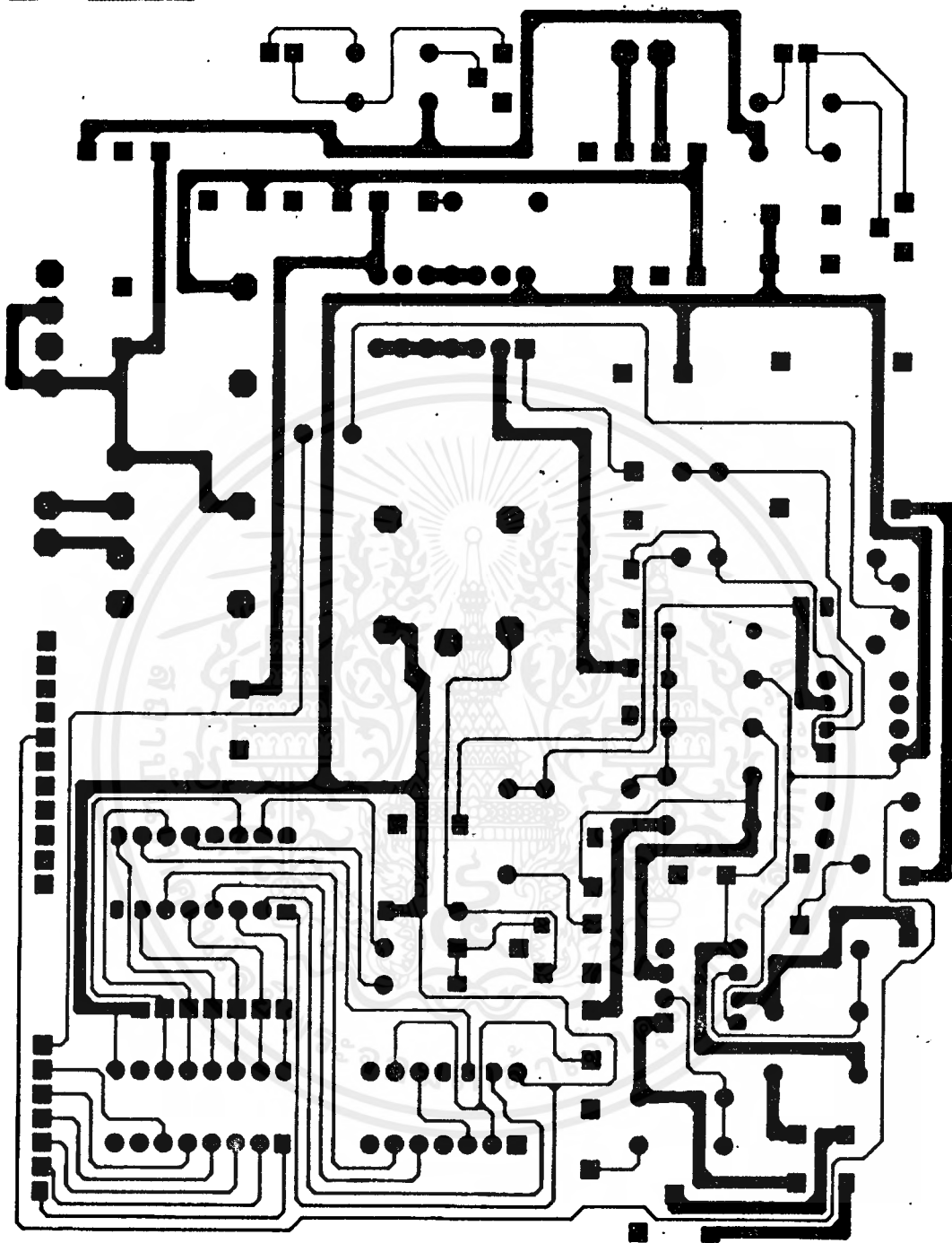


วงจร CORDING BOARD

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

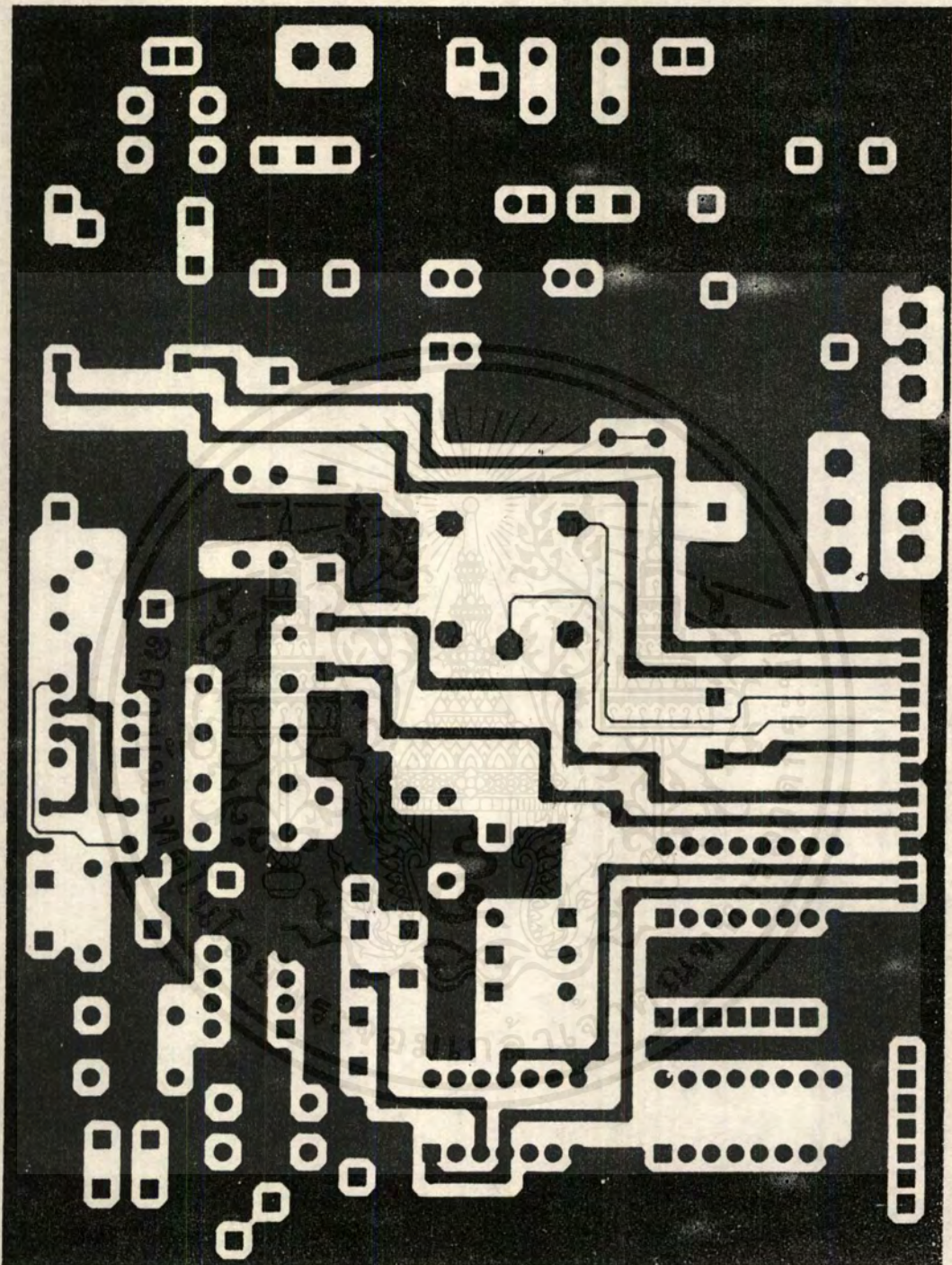






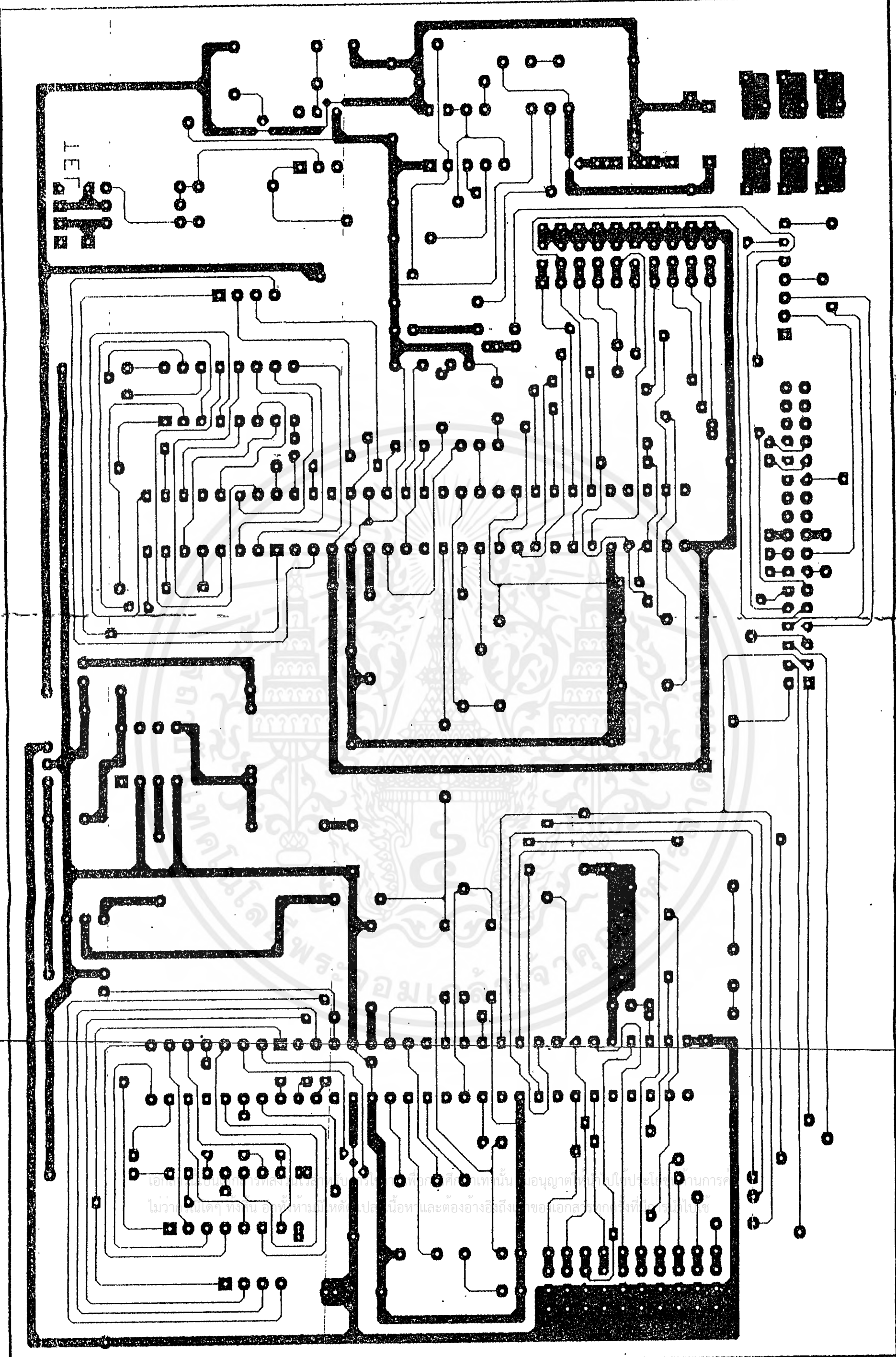
ลายปรินท์ ด้านหน้า  
OF POWERSUPPLY & AMP.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



ลายปรินท์ ด้าน GOUND PLAN  
OF POWER SUPPLY & AMP.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



2X artwork  
 11  
 11 1/2 IN HOLES: 593  
 SOLDERS: 200  
 approximate size: 7.20 by 4.60 IN  
 5 Mar 1993  
 11  
 5 Mar 1993

เอกสารนี้เป็นทรัพย์สินของมหาวิทยาลัยเทคโนโลยีพระจอมเกล้าธนบุรี  
 ไม่ควรเผยแพร่หรือทำซ้ำโดยไม่ได้รับอนุญาตจากทางมหาวิทยาลัย

# ワンチップ録音再生用IC T6668を使った ADMレコーダの製作



玉野井 豊

W/O  
J

近年、音声合成技術が飛躍的に進歩し、各種の機器に採用されて話題を呼んでいます。ここでは、中身のワンチップ音声録音再生LSIであるT6668を紹介しましょう。

## T6668について

### ADM方式とは

はじめに、T6668に採用されているADM方式について簡単に説明しましょう。

ある波形(音声波形)を符号化する場合、定められたサンプリング間隔でその波形の振幅を記録するため、効率的な情報圧縮が必要で、サンプリング周期をサンプリング定理から必要とされる最低値とするにより、情報量を最小とされているのが、一般のPCM方式です。

これに対して、特に音声波形などは、サンプリング間の相関が非常に高いため、サンプリング周期を十分速くすれば、1ビット量子化による情報圧縮がなされ、これがADM方式(デルタ変調方式)と呼ばれる。

すなわち、このADM方式は(図1、図2)に示すようなステップ・オ

バ・ロードひずみとグラニュラリティが伴います。

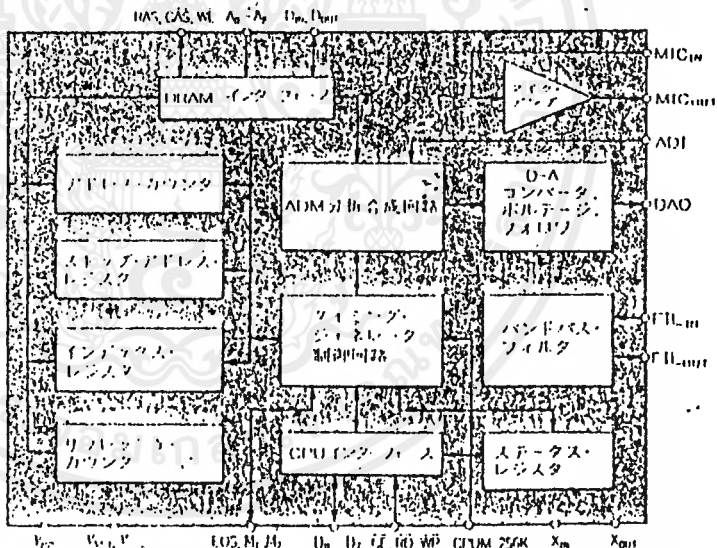
ステップ・オーバーロードひずみとは、原波形の急激な変化に再生波形が追従できないために発生するひずみです。一方、グラニュラリティとは、無音時または原波形の変化が非常に少ない場合にも、再生波形が、0、1、0、1を繰り返してしまうために発生する一種のノイズです。

これらの対策としてステップ・オバ・ロードひずみを少なくするた

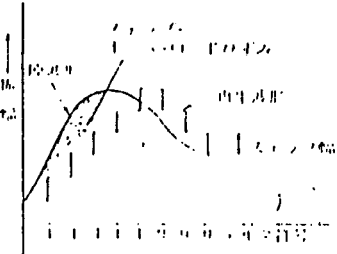
めにはステップ幅を大きくすればよいのですが、逆にグラニュラリティを少なくするためには、ステップ幅を小さくしてはなりません。

そこで、ステップ幅を適応的に変化させようというのが、ADM方式(デルタ変調方式)です。ADM方式は、図3に示すように原波形の振幅の変化が大きい場合は、ステップ幅を大きくし、変化が小さい場合はステップ幅を小さくするといったステップ幅の適応化を行

〈図4〉T6668のブロック図



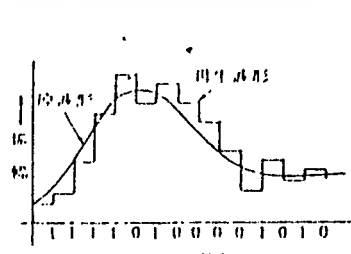
〈図1〉ステップ・オーバーロードひずみ



〈図2〉グラニュラリティ

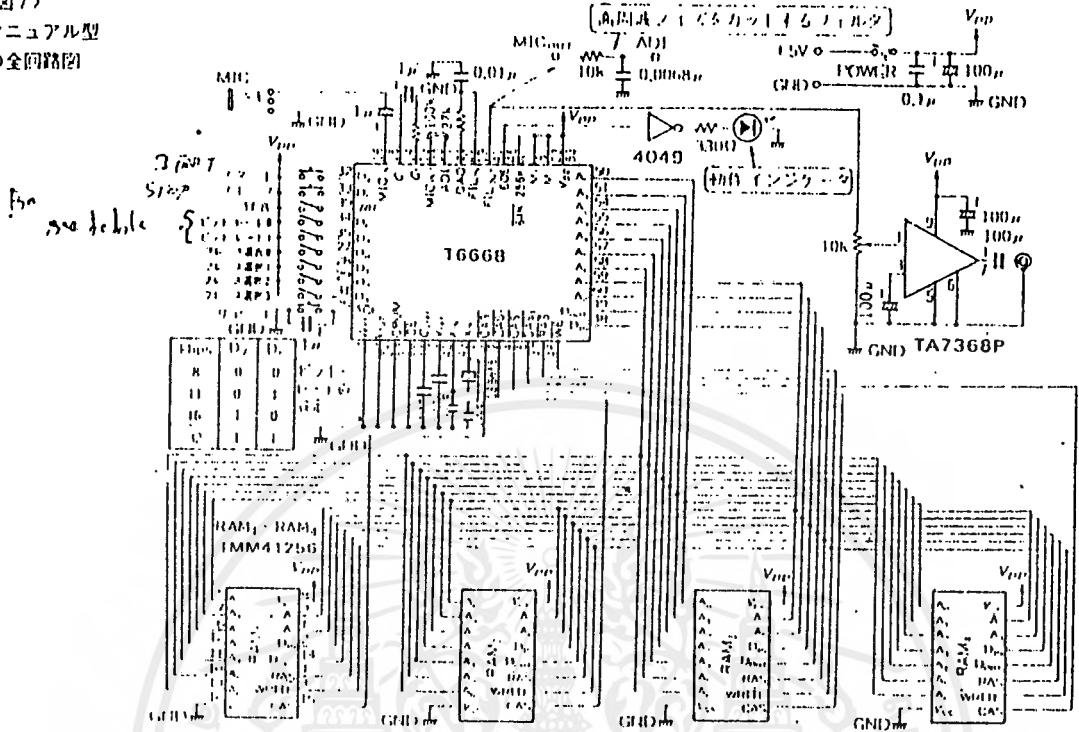


〈図3〉ADM方式の再生波形





(図7)  
マニュアル型  
の全回路図



を通したあと、内蔵のBPFを通し  
ます。T6668の最終的な出力(DFF<sub>out</sub>)  
端子に現れます。これをパワー・ア  
ンプIC TA7368Pで、スピーカをド  
ライヴできるレベルまでアンプしま  
す。

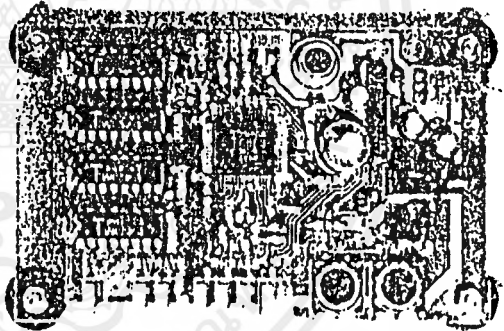
写真1がデジタル録音ボードの  
完成写真です。

● 基板設計のアドバイス

基板の話が出たところで、基板設  
計上の留意点について述べます。こ  
のデジタル録音ボードは、ディジ  
タル/アナログ混成回路であるため、  
デジタル系のノイズがアナログ系  
に混入しないようにすることがボイ  
ントとなります。デジタル部から  
のノイズ混入がひどい場合、  
再生音に目ざわりなノイズが重畳  
してしまいます。

基板でのノイズ対策は、基板の  
レイアウト設計により成り立つので、  
一つの手段をもって格段に性能を向  
上させる方法はなかなかありません。  
しかし、以下に示すような対策を講  
じることにより一聴してわかるほど、  
再生音からノイズを取り去ることが  
できます。

(写真1)  
完成した基板  
(マニュアル型)



▶ デジタル系、アナログ系を基板  
上で分離する(図8)。

T6668のピン配置から、図8のよ  
うにデジタル系とアナログ系を分  
離することができます。さらにT  
6668とDRAM間のパターンが、ア  
ナログ系パターンと交差しないよ  
うにすることが重要です。

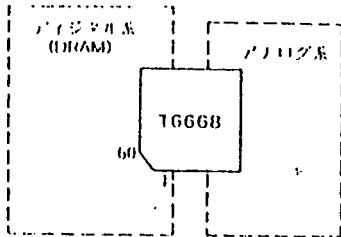
▶ アナログ部とデジタル部のV<sub>DD</sub>  
パターン、グラウンド・パターン  
を区別する。

何より、いわゆるミタ・グラウ  
ンドが有効です。また、T6668のV<sub>SS1</sub>  
はデジタル系グラウンドに、V<sub>SS2</sub>  
はアナログ系グラウンドに短絡させ  
ると一層効果的です。

▶ バイパス・コンデンサを用い、電  
源ラインの高周波ノイズを減らす。  
これは言うまでもないことですが、  
DRAMのV<sub>DD</sub>-GND端子間には、バ  
イパス・コンデンサ(0.01μF~0.1  
μFセラミック・コンデンサまたは積  
層セラミック・コンデンサ)を接続し  
ます(この時、バイパス・コンデン  
サは、DRAM、V<sub>DD</sub>端子のできる  
だけ近くに入ると良い)。

また、V<sub>DD</sub> グラウンド間に47μF  
~330μF程度の電解コンデンサを挿  
入するのも良いでしょう。この際、  
電解コンデンサの寄生インダクタン  
スと、基板上のバイパス・コンデ  
ンサとが共振を起こすことがありま

〈図8〉アナログとデジタルの分離



ので、基板完成後、部品を取り付け、動作状態で一度確認してください。

▶アナログ信号ラインは最短距離で結ぶ。

特にマイク・ジャックとT6668 MIC<sub>in</sub>端子間は、微小アナログ信号ラインであり、それほどローインピーダンス・ラインではないので、デジタル系ノイズが混入しやすい部分です。そこで、必要な引き回しをきり、さらにアナログ系グラウンド・パターンでガードするとよいでしょう。

T6668のDAO端子やFIL<sub>out</sub>端子は、内蔵OPアンプによるボルテージ・フォロウ出力です。しかし、C MOSプロセスの内蔵OPアンプでは、一般のバイポーラOPアンプICによるボルテージ・フォロウ出力ほど出力インピーダンスを下げられませんのでDAO端子、FIL<sub>out</sub>端子の出力信号はそれほどノイズに強くありません。なお、C<sub>1</sub>-C<sub>2</sub>端子間、DAQ、FIL<sub>in</sub>端子間もアナログ信号ラインなので注意が必要です。

● グレード・アップ

今回紹介したデジタル録音ボードは、部品点数をできる限りおさえた設計としましたが、少々部品の加えることにより、いくつかのグレード・アップが考えられます。

(1) MIC入力部にローパス・フィルタを挿入し、録音時の高周波ノイズを減らす。

録音時に、A/D端子の波形を観測してみると、デジタル系ノイズが混入している場合があります。これは、マイクから入力されたアナログ信号に重畳しているデジタル系ノイズが一緒に増幅されてしまった結

〈表1〉T6668端子説明

名称	ピン番号	説明	名称	ピン番号	説明	
CAS <sub>1</sub>	1	DRAMの個数に応じてCAS <sub>1</sub> から順次に使用する。	D <sub>6</sub>	31	この端子を"Hi"レベルにするとして録音・再生を開始する。	
CAS <sub>2</sub>	2		D <sub>7</sub>	35		
CAS <sub>3</sub>	3		EXT	6	ノイズ低減用出力端子。T6668内部のアドレス・カウンタ(20ビット)の最上位ビットが出力される。	(3) D <sub>1</sub> 、ストップ入力。この端子を"Hi"レベルにすることで録音・再生を停止する。
M <sub>1</sub>	7	7部に接続したDRAMの個数をプログラムするための入力端子。	CE	37	(4) D <sub>6</sub> 、D <sub>7</sub> に「ストップ」選択入力。	
M <sub>2</sub>	8		WR	39		コンソール・コントロール時には、発声・無音入力端子となる。再生時にはこの端子を"Hi"レベルにするとDAOの出力が無音状態になる。録音時には必ず"Hi"レベルとすること。
V <sub>ss</sub>	9		V <sub>ss</sub> はデジタル回路、V <sub>cc</sub> はアナログ回路の電源である。	RD	40	コンソール・コントロール時のリセット・パルス入力端子。
V <sub>cc</sub>	10			EOS	41	End of Speech出力。録音・再生がスタートすると"Hi"レベルになり、ストップすると再び"Hi"レベルに戻る。
Con	11	内蔵OPアンプの発振防止用回路のオシロスコピック・コンテナ抵抗端子。	X <sub>in</sub>	42	発声回路の入出力端子。	
Con	12	内蔵マイク・アンプの出力端子。出力はマイク・V <sub>in</sub> を中心に振れる。	X <sub>out</sub>	43	アンプ回路用端子。何れも抵抗なしに接続する。	
MIC <sub>in</sub>	13		256K	45		64K DRAM使用時に"Hi"レベル、256K DRAM使用時に"Lo"レベルとする。
G	14	内蔵マイク・アンプのオシロスコピック・コンテナ抵抗端子。	WE	46	メモリ・リフレッシュ出力端子。	
G	15	内蔵マイク・アンプの入力端子。	RAS	47	メモリ・アドレス・ストップ出力。	
MIC <sub>in</sub>	16		TS <sub>1</sub>	48	データ入力端子。	
TS <sub>1</sub>	17	テスト回路用端子。	D <sub>in</sub>	49	データ出力端子。	
TS <sub>2</sub>	18		A <sub>in</sub> -A <sub>1</sub>	50	アドレス出力。	
FIL <sub>in</sub>	19	内蔵バンドパスフィルタ再生用入力端子および出力端子。	A <sub>in</sub> -A <sub>2</sub>	51	DRAMのアドレス入力端子。	
FIL <sub>out</sub>	20	V <sub>in</sub>	23	電源供給端子。1.5Vを提供する。		
DAO	21	音声合成回路の音声出力端子。	ACL	25	リセット信号入力端子。	
A/D	22	音声分析回路の音声入力端子。入力信号は16・V <sub>in</sub> を中心に振れる信号で1.6V <sub>in</sub> 以内でなければならぬ。	CPIM	26	マイク・コンデンサ・コントロール・レベルをCPUに10・レベルとする。	
			D <sub>8</sub>	27	コンソール・コントロール時には	
			D <sub>9</sub>	28	11ビットの各機能を表す。	
			D <sub>2</sub>	29	(1) D <sub>8</sub> -D <sub>9</sub> で選択入力。	
			D <sub>3</sub>	31	4ビットのコードで最大16	
			D <sub>4</sub>	32	アドレスの選択が可能。	
			D <sub>5</sub>	33	(2) D <sub>10</sub> でスタート入力。	

果です。これは、図7の中に示すローパス・フィルタにより、高周波ノイズをカットするとよいでしょう。

(2) EOS端子の出力信号を用いて、図7中に示すように動作中(録音時)および、再生中にLEDを点灯させることができます。この時、LEDを点灯させるに十分な電流を得るため、インバータでLEDを点灯します。

● おわりに

このデジタル録音ボードの音質は、32kbpsならば最良、16kbpsでも実用上十分といったところです。基板設計でも述べましたが、ノイズ

対策の成否により、かなり音質に差が生じます。

今後、半導体メモリの価格が低下するにつれて、T6668のような録音LSIがマイクロ・プロセッサによって代わっていくでしょう。

参考文献・引用文献

- (1) 中田和男：音声、再版、コロナ社、1977。
- (2) 東芝、音声録音再生LSI T6668技術資料。
- (3) 玉野井豊：音声録音再生LSI、月刊機能材料11月号、1986、p.75。
- (4) 東芝、バイポーラ・リニア集積回路、TA7368P技術資料。



# Voltage Regulators

## LM78LXX series three terminal positive regulators

### general description

The LM78LXX series of three terminal positive regulators is available with several fixed output voltages making them useful in a wide range of applications. When used as a zener diode/resistor combination replacement, the LM78LXX usually results in an effective output impedance improvement of two orders of magnitude, and lower quiescent current. These regulators can provide local on card regulation, eliminating the distribution problems associated with single point regulation. The voltages available allow the LM78LXX to be used in logic systems, instrumentation, HiFi, and other solid state electronic equipment. Although designed primarily as fixed voltage regulators these devices can be used with external components to obtain adjustable voltages and currents.

The LM78LXX is available in the metal three lead TO-5 (H) and the plastic TO-92 (Z). With adequate heat sinking the regulator can deliver 100 mA output current. Current limiting is included to limit the peak output current to a safe value. Safe area protection for the output transistor is provided to limit internal power dissipation. If internal power dissipation becomes

too high for the heat sinking provided, the thermal shutdown circuit takes over preventing the IC from overheating.

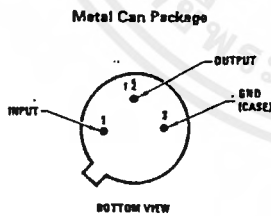
### features

- Output voltage tolerances of  $\pm 5\%$  (LM78LXXAC) and  $\pm 10\%$  (LM78LXXC) over the temperature range
- Output current of 100 mA
- Internal thermal overload protection
- Output transistor safe area protection
- Internal short circuit current limit
- Available in plastic TO-92 and metal TO-39 low profile packages

### voltage range

LM78L05	5V	LM78L12	12V
LM78L06	6V	LM78L15	15V
LM78L08	8V	LM78L18	18V
LM78L10	10V	LM78L24	24V

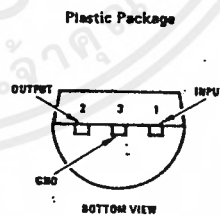
### connection diagrams



#### Order Numbers:

LM78L05ACH	LM78L05CH
LM78L06ACH	LM78L06CH
LM78L08ACH	LM78L08CH
LM78L10ACH	LM78L10CH
LM78L12ACH	LM78L12CH
LM78L15ACH	LM78L15CH
LM78L18ACH	LM78L18CH
LM78L24ACH	LM78L24CH

See Package 3



#### Order Numbers:

LM78L05ACZ	LM78L05CZ
LM78L06ACZ	LM78L06CZ
LM78L08ACZ	LM78L08CZ
LM78L10ACZ	LM78L10CZ
LM78L12ACZ	LM78L12CZ
LM78L15ACZ	LM78L15CZ
LM78L18ACZ	LM78L18CZ
LM78L24ACZ	LM78L24CZ

See Package 3B

**absolute maximum ratings**

Input Voltage  $V_O = 5V$  to  $8V$   
 $V_O = 12V$  to  $18V$   
 $V_O = 24V$   
 Internal Power-Dissipation (Note 1)  
 Operating Temperature Range  $0^\circ C$  to  $+70^\circ C$   
 Internally Limited  
 $0^\circ C$  to  $+70^\circ C$   
 Maximum Junction Temperature  $160^\circ C$   
 Storage Temperature Range  $-65^\circ C$  to  $+150^\circ C$   
 Metal Can (H Package)  $-55^\circ C$  to  $+150^\circ C$   
 Molded TO-92 Lead Temperature (Soldering, 10 seconds)  $300^\circ C$

**electrical characteristics (Note 2)  $T_J = 0^\circ C$  to  $+125^\circ C$ ,  $I_O = 40 mA$ ,  $C_{IN} = 0.33\mu F$ ,  $C_O = 0.1\mu F$  (unless noted)**

PARAMETER	5V			6V			8V			10V			12V			15V			18V			24V			UNITS
	MIN	TYP	MAX	MIN	TYP	MAX	MIN	TYP	MAX	MIN	TYP	MAX	MIN	TYP	MAX	MIN	TYP	MAX	MIN	TYP	MAX	MIN	TYP	MAX	
$V_O$ Output Voltage (Note 4)	CONDITIONS																								
	$T_J = 25^\circ C$																								
	$1 mA \leq I_O \leq 70 mA$ $1 mA \leq I_O \leq 40 mA$ and $V_{MIN} \leq V_{IN} \leq V_{MAX}$																								
$\Delta V_O$ Line Regulation	$T_J = 25^\circ C$																								
	$10 \leq I_O \leq 80$ $10 \leq I_O \leq 20$ $18 \leq I_O \leq 20$ $17 \leq I_O \leq 20$																								
$\Delta V_O$ Load Regulation	$T_J = 25^\circ C$ , $1 mA \leq I_O \leq 40 mA$																								
	$T_J = 25^\circ C$ , $1 mA \leq I_O \leq 100 mA$																								
$\Delta V_O$ Long Term Stability	$T_J = 25^\circ C$																								
	$T_J = 125^\circ C$																								
$I_Q$ Quiescent Current	$1 mA \leq I_O \leq 40 mA$																								
	$V_{MIN} \leq V_{IN} \leq V_{MAX}$																								
$\Delta I_Q$ Quiescent Current Change	$T_J = 25^\circ C$ , (Note 2)																								
	$I = 10 Hz - 10 kHz$																								
$V_n$ Output Noise Voltage	$T_J = 25^\circ C$																								
	$f = 10 Hz - 10 kHz$																								
$\Delta V_{IN}/\Delta V_{OUT}$ Ripple Rejection	$T_J = 25^\circ C$																								
	$f = 120 Hz$																								
Input Voltage Required to Maintain Line Regulation	$T_J = 25^\circ C$																								
	$f = 120 Hz$																								

Note 1: Thermal resistance of the Metal Can Package (H) without a heat sink is  $40^\circ C/W$  junction to case and  $140^\circ C/W$  junction to ambient with  $0.4"$  leads from a PC board and  $160^\circ C/W$  junction to ambient with  $0.125"$  lead length to a PC board.

Note 2: The maximum steady state usable output current and input voltage are very dependent on the heat sinking and/or lead length of the package. The data above represent pulse test conditions with junction temperatures as indicated at the initiation of test.

Note 3: Recommended minimum load capacitance of  $0.01\mu F$  to limit high frequency noise bandwidth.

Note 4: The temperature coefficient of  $V_{OUT}$  is typically within  $\pm 0.01\% V_O/^\circ C$ .

**absolute maximum ratings.**

Input Voltage VO = 5V to 8V 30V  
 VO = 12V to 18V 35V  
 VO = 24V 40V

Maximum Junction Temperature 150°C  
 Storage Temperature Range  
 Metal Can (H Package)  
 Molded TO-92

-65°C to +150°C  
 -55°C to +150°C  
 300°C

Internal Power Dissipation (Note 1)  
 Internally Limited  
 Operating Temperature Range  
 0°C to +70°C

Lead Temperature (Soldering, 10 seconds)

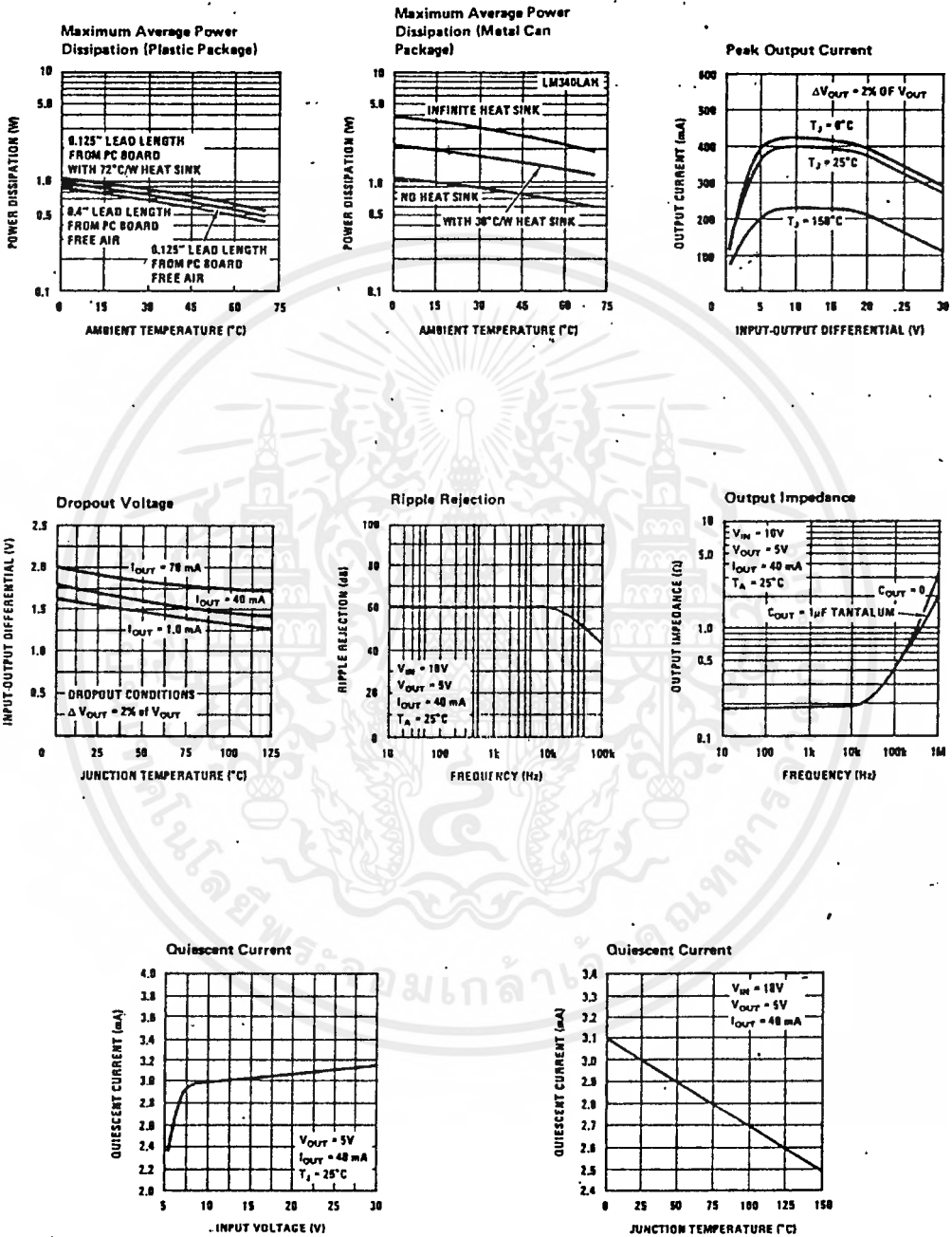
**electrical characteristics (Note 2) TJ = 0°C to +125°C, IO = 40 mA, CIN = 0.33µF, Co = 0.1µF (unless noted)**

PARAMETER	5V		8V		8V		10V		12V		15V		18V		24V		UNITS	
	MIN	TYP	MAX	MIN	TYP	MAX	MIN	TYP	MAX	MIN	TYP	MAX	MIN	TYP	MAX	MIN		TYP
VO (Note 4)	TJ = 25°C																	
	1 mA ≤ IO ≤ 70 mA or																	
	1 mA ≤ IO ≤ 40 mA and ΔVIN																	
ΔVO	TJ = 25°C																	
	0 ≤ VIN ≤ 20																	
	0 ≤ VIN ≤ 20																	
ΔVO	TJ = 25°C, 1 mA ≤ IO ≤ 40 mA																	
	TJ = 25°C, 1 mA ≤ IO ≤ 100 mA																	
	TJ = 25°C, 1 mA ≤ IO ≤ 100 mA																	
IQ	TJ = 25°C																	
	TJ = 125°C																	
	TJ = 25°C, 1 mA ≤ IO ≤ 40 mA																	
Change	TJ = 25°C																	
	TJ = 25°C, 1 mA ≤ IO ≤ 21																	
	TJ = 25°C, 1 mA ≤ IO ≤ 21																	
VN	TJ = 25°C, (Note 3)																	
	f = 10 Hz - 10 kHz																	
	f = 125 Hz																	
ΔVIN ΔVOUT	TJ = 25°C																	
	0 ≤ VIN ≤ 18																	
	0 ≤ VIN ≤ 18																	
Input Voltage Required to Maintain Line Regulation	TJ = 25°C																	
	7																	
	8.3																	

Note 1: Thermal resistance of the Metal Can Package (H) without a heat sink is 40°C/W junction to case and 140°C/W junction to ambient. Thermal resistance of the TO-92 package is 180°C/W junction to ambient with 0.4" leads from a PC board and 160°C/W junction to ambient with 0.125" lead length to a PC board.  
 Note 2: The maximum steady state usable output current and input voltage are very dependent on the heat sinking and/or lead length of the package. The data above represent pulse test conditions with junction temperatures as indicated at the initiation of test.  
 Note 3: Recommended minimum load capacitance of 0.01µF to limit high frequency noise bandwidth.  
 Note 4: The temperature coefficient of VOUT is typically within ±0.01% VOUT/°C.

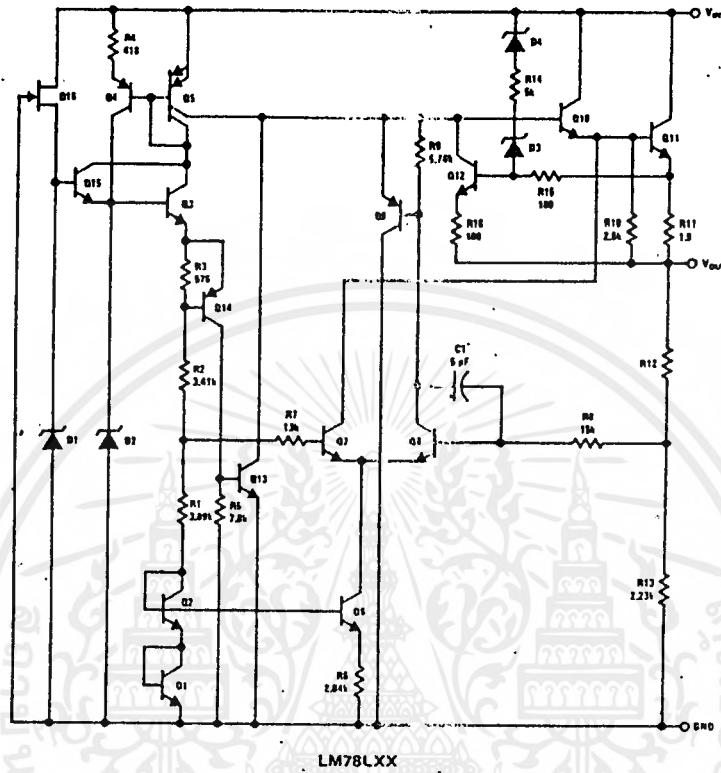
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
 ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

typical performance characteristics

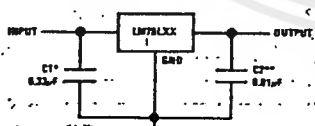


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

equivalent circuit

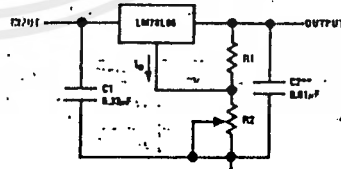


typical applications



\*Required if the regulator is powered from the system supply line.  
 \*\*See Note 3 in the electrical characteristics table.

Fixed Output Regulator



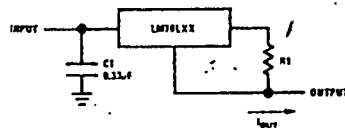
$$V_{out} = 5V + (V_{in} - 5V) \frac{R2}{R1 + R2}$$

$V_{in} > 3V_{out}$ , need regulation (L) = [(R1 + R2)/R1] (L of LM78L05)

Adjustable Output Regulator

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
 ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

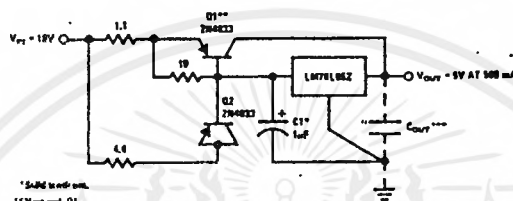
## typical applications (con't)



$$I_{out} = (V_{in}/R1) \cdot I_Q$$

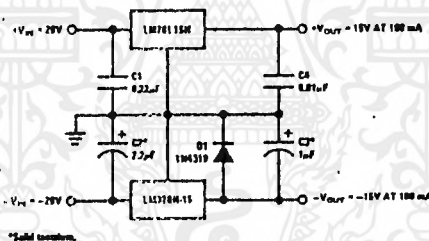
$\Delta I_Q = 1.5 \text{ mA}$  over line and load changes

Current Regulator



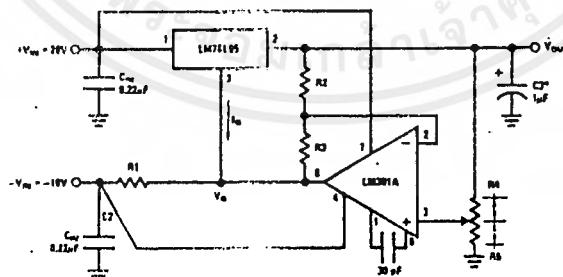
\*Solid state sm.  
 \*\*Next part 01.  
 \*\*\*Dipount; improves ripple rejection and transient response.  
 Load Regulation: 0.2% @ 500 mA, < 250 mA, 500 mA with  $I_{load} = 50 \text{ mA}$ .

5V, 500 mA Regulator with Short Circuit Protection



\*Solid state sm.

±15V, 100 mA Dual Power Supply



\*Solid state sm.  
 $V_{out} = V_B \cdot \frac{R2}{R1} = (-V_{in}) \cdot \frac{R2}{R1}$   
 $V_{out} = 5V \cdot \frac{R2/R1}{(R2/R1) + 0.3} = 10V \cdot \frac{R2}{R1}$   
 A 0.5V output will correspond to  $(R2/R1) = 0.1, 0.2/0.4 = 0.5$

Variable Output Regulator 0.5V – 18V

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
 ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



# Analog Switches

## CD4066M/CD4066C quad bilateral switch

### general description

The CD4066M/CD4066C is a quad bilateral switch intended for the transmission or multiplexing of analog or digital signals. It is pin-for-pin compatible with CD4016M/CD4016C, but has a much lower ON resistance, and ON resistance is relatively constant over the input-signal range.

### features

- Wide supply voltage range 3V to 15V
- High noise immunity 0.45  $V_{OD}$  typ
- Wide range of digital and analog switching  $\pm 7.5V_{PEAK}$
- ON resistance for 15V operation 80 $\Omega$  typ
- Matched ON resistance over 15V signal input 5 $\Omega$
- ON resistance flat over peak-to-peak signal range
- High ON/OFF output voltage ratio 65 dB typ  
@  $f_{in} = 10$  kHz,  
 $R_L = 10$  k $\Omega$
- High degree of linearity <0.5% distortion typ  
@  $f_{in} = 1$  kHz,  
 $V_{in} = 5V$  (p-p),  
 $V_{DD} - V_{SS} = 10V$ ,  
 $R_L = 10$  k $\Omega$

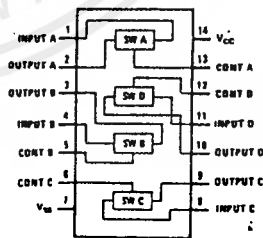
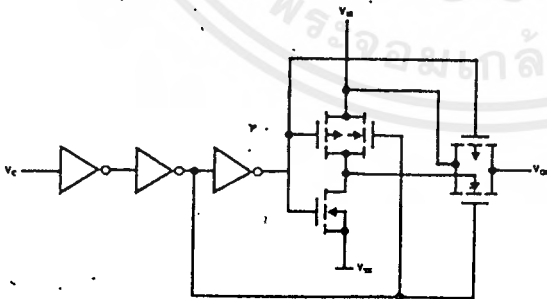
- Extremely low OFF switch leakage 10 pA typ  
@  $V_{DD} - V_{SS} = 10V$ ,  
 $T_A = 25^\circ C$
- Extremely high control input impedance  $10^{12}\Omega$  typ
- Low crosstalk between switches -50 dB typ  
@  $f_{in} = 0.9$  MHz,  
 $R_L = 1$  k $\Omega$
- Frequency response, switch ON 40 MHz typ

### applications

- Analog signal switching/multiplexing
  - Signal gating
  - Squelch control
  - Chopper
  - Modulator/Demodulator
  - Commutating switch
- Digital signal switching/multiplexing
- CMOS logic implementation
- Analog to digital/digital to analog conversion
- Digital control of frequency, impedance, phase, and analog-signal gain

### schematic and connection diagrams

1 of 4 Bilateral Switches



Order Number CD4066MD  
See Package 1  
Order Number CD4066MF  
See Package 4  
Order Number CD4066CJ or CD4066MJ  
See Package 16  
Order Number CD4066CN  
See Package 22

### absolute maximum ratings

Voltage at Any Pin (Note 1)  $V_{SS} - 0.3V$  to  $V_{SS} + 15.5V$   
 Operating Temperature Range  
 CD4066M  $-55^{\circ}C$  to  $+125^{\circ}C$   
 CD4066C  $-40^{\circ}C$  to  $+85^{\circ}C$   
 Storage Temperature Range  $-65^{\circ}C$  to  $+150^{\circ}C$   
 Package Dissipation 500 mW  
 Operating  $V_{DD}$  Range  $V_{SS} + 3V$  to  $V_{SS} + 15V$   
 Lead Temperature (Soldering, 10 seconds)  $300^{\circ}C$

### electrical characteristics (CD4066C)

CHARACTERISTIC	SYMBOL	TEST CONDITIONS	LIMITS									UNITS	
			$-40^{\circ}C$			$25^{\circ}C$			$85^{\circ}C$				
			MIN	TYP	MAX	MIN	TYP	MAX	MIN	TYP	MAX		
Quiescent Dissipation per Package	$P_T$	TERMINALS APPLIED											
All Switches OFF		$V_{DD}$ 14 +10 $V_{SS}$ 7 GND $V_C$ 5, 6, 12, 13 GND $V_A$ 1, 4, 8, 11 $\leq +10$ $V_B$ 2, 3, 9, 10 $\leq +10$			50		0.1	50			300	$\mu W$	
All Switches ON	TERMINALS APPLIED	$V_{DD}$ 14 +10 $V_{SS}$ 7 GND $V_C$ 5, 6, 12, 13 +10 $V_A = V_{OS}$ 1-4, 8-11 $\leq +10$ (Thru 100 $\Omega$ )			50		0.1	50			300	$\mu W$	
SIGNAL INPUTS ( $V_A$ ) AND OUTPUTS ( $V_B$ )													
ON Resistance	$R_{ON}$	$V_C = V_{DD}$ $V_{SS}$ $V_B$ +7.5V -7.5V -7.5 to +7.5V +15V 0V 0V to 15V $R_L = 10\text{ k}\Omega$ +5V -5V -5V to +5V +10V 0V 0V to 10V +2.5V -2.5V -2.5 to +2.5V +5V 0V 0V to 5V			80	250		80	260		130	300	$\Omega$
$\Delta$ ON Resistance Between Any 2 of 4 Switches	$\Delta R_{ON}$	+7.5V -7.5V -7.5 to +7.5V +15V 0V 0V to 15V +5V -5V -5V to +5V +10V 0V 0V to 10V						5					$\Omega$
Sine Wave Response (Distortion)	$R_L = 10\text{ k}\Omega$ $f_A = 1\text{ kHz}$	+5V -5V 5V(p-p) (Note 3)						0.4					%
Input or Output Leakage—Switch OFF (Effective OFF Resistance)		$V_C = V_{DD}$ $V_{SS}$ $V_B$ -7.5V +7.5V +7.5V -7.5V +7.5V -7.5V -5V +5V +5V -5V +5V -5V (Note 2)			$\pm 100$		$\pm 0.1$	$\pm 100$			$\pm 200$		nA
Frequency Response—Switch ON (Sine Wave Input)	$R_L = 1\text{ k}\Omega$ $V_A = 5V(p-p)$	$V_C = V_{DD} = +5V, V_{SS} = -5V$ $20\text{ Log}_{10} \frac{V_B}{V_A} = -3\text{ dB}$					40						MHz
Feedthrough Switch, OFF		$V_{DD} = +5V, V_C = V_{SS} = -5V$ $20\text{ Log}_{10} \frac{V_B}{V_A} = -50\text{ dB}$					1.25						MHz
Crosstalk Between Any 2 of the 4 Switches (Frequency at -50 dB)	$R_L = 1\text{ k}\Omega$ $V_B(A) = 5V(p-p)$	$V_C(A) = V_{DD} = +5V$ $V_C(B) = V_{SS} = -5V$ $20\text{ Log}_{10} \frac{V_B(B)}{V_B(A)} = -50\text{ dB}$					0.9						MHz
Capacitance	$C_{IN}$ $C_{OS}$ $C_{FOS}$	$V_{DD} = +5V, V_C = V_{SS} = -5V$ $V_{DD} = +5V, V_C = V_{SS} = -5V$ $V_{DD} = +5V, V_C = V_{SS} = -5V$					8						pF
Propagation Delay Signal Input to Signal Output	$t_{pd}$	$V_C = V_{DD} = +10V, V_{SS} = \text{GND}, C_L = 15\text{ pF}$ $V_A = 10V$ (square wave) $t_r = t_f = 20\text{ ns}$ (input signal)					10						ns

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
 ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

electrical characteristics (CD4066M Continued)

CHARACTERISTIC	SYMBOL	TEST CONDITIONS	LIMITS									UNITS
			-55°C			25°C			125°C			
			MIN	TYP	MAX	MIN	TYP	MAX	MIN	TYP	MAX	
Crosstalk Between Any 2 of the 4 Switches (Frequency at -60 dB)		$R_L = 1\text{ k}\Omega$ $V_C(A) = V_{DD} = +5V$ $V_C(B) = V_{SS} = -5V$ $V_{in}(A) = 5V(p-p)$ $20 \text{ Log}_{10} \frac{V_{out}(B)}{V_{in}(A)} = -60\text{ dB}$					0.0					MHz
Capacitance												
Input	$C_{is}$	$V_{DD} = +5V, V_C = V_{SS} = -5V$					8					pF
Output	$C_{os}$	$V_{DD} = +5V, V_C = V_{SS} = -5V$					8					pF
Feedthrough	$C_{ios}$	$V_{DD} = +5V, V_C = V_{SS} = -5V$					0.5					pF
Propagation Delay Signal Input to Signal Output	$t_{pd}$	$V_C = V_{DD} = +10V, V_{SS} = \text{GND}, C_L = 15\text{ pF}$ $V_{in} = 10V$ (square wave) $t_r = t_f = 20\text{ ns}$ (input signal)					10					ns
<b>CONTROL (<math>V_C</math>)</b>												
Noise Immunity	$V_{NL}$	$V_{in} \leq V_{DD}$ $V_{DD} - V_{SS} = 10V$ $I_{in} = 10\mu A$	2			2	4.5		2			V
Input Current	$I_C$	$V_{DD} - V_{SS} = 10V$ $V_C \leq V_{DD} - V_{SS}$					$\pm 10$					pA
Average Input Capacitance	$C_C$						5					pF
Crosstalk—Control Input to Signal Output		$R_L = 10\text{ k}\Omega$ $V_C = 10V$ (square wave)					60					mV
Turn ON Propagation Delay	$t_{pdC}$	$t_{in} = t_{tr} = 20\text{ ns}$ $V_{in} \leq 10V, C_L = 15\text{ pF}$					35					ns
Maximum Allowable Control Input Repetition Rate		$V_{DD} = 10V, V_{SS} = \text{GND}, R_L = 1\text{ k}\Omega$ $C_L = 15\text{ pF}$ $V_C = 10V$ (square wave) $t_r = t_f = 20\text{ ns}$					10					MHz

- Note 1: The device should not be connected to circuits with the power on.  
 Note 2: Limit determined by minimum feasible leakage measurement for automatic testing.  
 Note 3: Symmetrical about 0V.

special considerations

In applications where separate power sources are used to drive  $V_{DD}$  and the signal input, the  $V_{DD}$  current capability should exceed  $V_{DD}/R_L$  ( $R_L$  = effective external load of the 4 CD4066M/CD4066C bilateral switches). This provision avoids any permanent current flow or clamp action on the  $V_{DD}$  supply when power is applied or removed from CD4066M/CD4066C.

In certain applications, the external load-resistor current may include both  $V_{DD}$  and signal-line components. To

avoid drawing  $V_{DD}$  current when switch current flows into terminals 1, 4, 8 or 11, the voltage drop across the bidirectional switch must not exceed 0.8V at  $T_A \leq 25^\circ\text{C}$ , or 0.6V at  $T_A > 25^\circ\text{C}$  (calculated from  $R_{ON}$  values shown).

No  $V_{DD}$  current will flow through  $R_L$  if the switch current flows into terminals 2, 3, 9 or 10:



# Audio, Radio and TV Circuits

## LM386 low voltage audio power amplifier

### general description

The LM386 is a power amplifier designed for use in low voltage consumer applications. The gain is internally set to 20 to keep external part count low, but the addition of an external resistor and capacitor between pins 1 and 8 will increase the gain to any value up to 200.

The inputs are ground referenced while the output is automatically biased to one half the supply voltage. The quiescent power drain is only 24 milliwatts when operating from a 6 volt supply, making the LM386 ideal for battery operation.

### features

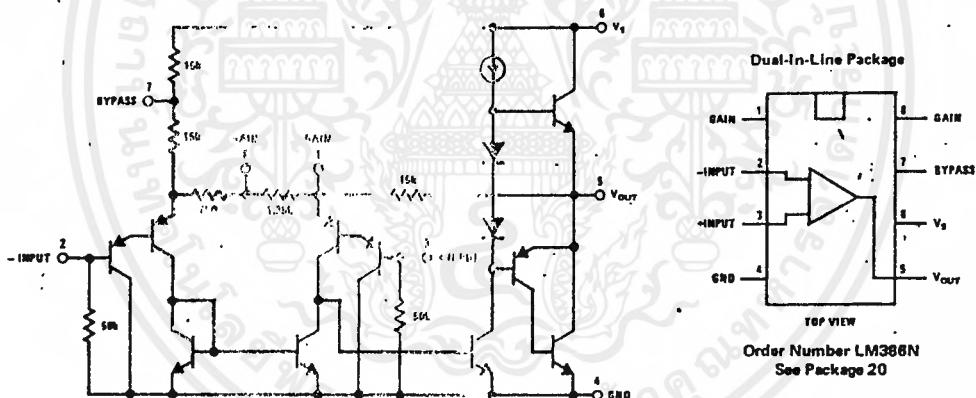
- Battery operation
- Minimum external parts
- Wide supply voltage range 4-12 Volts
- Low quiescent current drain 4 mA

- Voltage gains from 20 to 200
- Ground referenced input
- Self-centering output quiescent voltage
- Low distortion
- Eight pin dual-in-line package

### applications

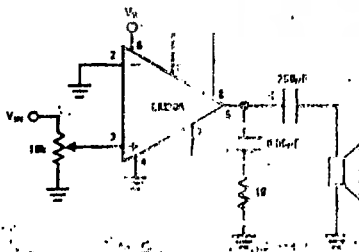
- AM-FM radio amplifiers
- Portable tape player amplifiers
- Intercoms
- TV sound systems
- Line drivers
- Ultrasonic drivers
- Small servo drivers
- Power converters

## equivalent schematic and connection diagrams

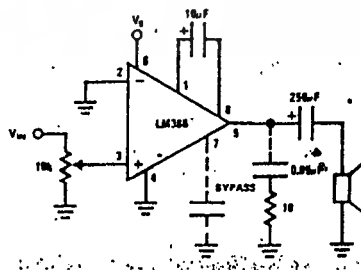


## typical applications

Amplifier with Gain = 20  
Minimum Parts



Amplifier with Gain = 200



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## absolute maximum ratings

Supply Voltage (Note 1)	15V
Package Dissipation 8 Pin DIP (Note 2)	660 mW
Input Voltage	$\pm 0.4V$
Storage Temperature	$-65^{\circ}C$ to $+150^{\circ}C$
Operating Temperature	$0^{\circ}C$ to $+70^{\circ}C$
Junction Temperature	$+150^{\circ}C$
Lead Temperature (Soldering, 10 seconds)	$+300^{\circ}C$

## electrical characteristics $T_A = 25^{\circ}C$

PARAMETER	CONDITIONS	MIN.	TYP.	MAX.	UNITS
Operating Supply Voltage ( $V_S$ )		4	12	12	V
Quiescent Current ( $I_Q$ )	$V_S = 6V, V_{IN} = 0$		4	8	mA
Output Power ( $P_{OUT}$ ) (Note 3)	$V_S = 6V, R_L = 8\Omega, THD = 10\%$	250	325		mW
	$V_S = 9V, R_L = 16\Omega, THD = 10\%$		500		mW
Voltage Gain ( $A_V$ )	$V_S = 6V, f = 1 kHz$		26		dB
	10 $\mu F$ from Pin 1 to 8		46		dB
Bandwidth (BW)	$V_S = 6V$ , Pins 1 and 8 Open		300		kHz
Total Harmonic Distortion (THD)	$V_S = 6V, R_L = 8\Omega, P_{OUT} = 125 mW$ $f = 1 kHz$ , Pins 1 and 8 Open		0.2		%
Power Supply Rejection Ratio (PSRR)	$V_S = 6V, f = 1 kHz, C_{BYPASS} = 10\mu F$ Pins 1 and 8 Open, Referred to Output		50		dB
Input Resistance ( $R_{IN}$ )			50		k $\Omega$
Input Bias Current ( $I_{BIAS}$ )	$V_S = 6V$ , Pins 2 and 3 Open		250		nA

Note 1: Parts selected for higher absolute maximum supply voltage available on special request.

Note 2: For operating at elevated temperatures, the device must be derated based on a  $150^{\circ}C$  maximum junction temperature and a thermal resistance of  $187^{\circ}C/W$  junction to ambient.

Note 3: If oscillation exists under some load conditions, add  $10\Omega$  and  $0.05\mu F$  series network from pin 5 to ground.

## application hints

### GAIN CONTROL

To make the LM386 a more versatile amplifier, two pins (1 and 8) are provided for gain control. With pins 1 and 8 open the  $1.35 k\Omega$  resistor sets the gain at 20 (26 dB). If a capacitor is put from pin 1 to 8, bypassing the  $1.35 k\Omega$  resistor, the gain will go up to 200 (46 dB). If a resistor is placed in series with the capacitor, the gain can be set to any value from 20 to 200. Gain control can also be done by capacitively coupling a resistor (or FET) from pin 1 to ground.

Additional external components can be placed in parallel with the internal feedback resistors to tailor the gain and frequency response for individual applications. For example, we can compensate poor speaker bass response by frequency shaping the feedback path. This is done with a series RC from pin 1 to 5 (paralleling the internal  $15 k\Omega$  resistor). For 6 dB effective bass boost:  $R \approx 15 k\Omega$ , the lowest value for good stable operation is  $R = 10 k\Omega$  if pin 8 is open. If pins 1 and 8 are bypassed then  $R$  as low as  $2 k\Omega$  can be used. This restriction is because the amplifier is only compensated for closed-loop gains greater than 9.

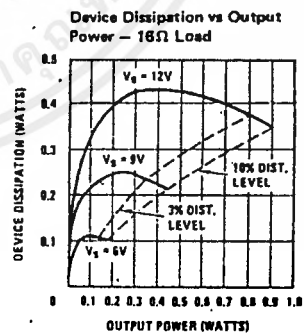
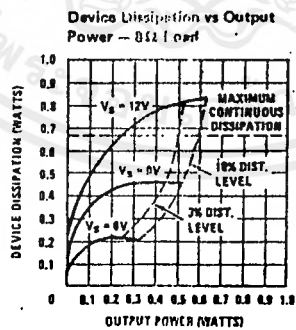
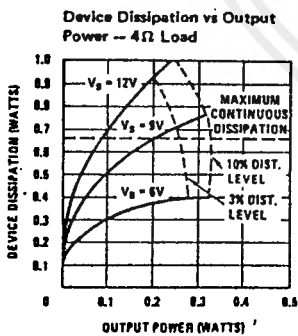
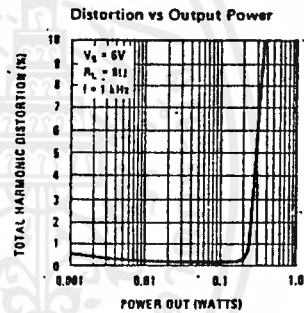
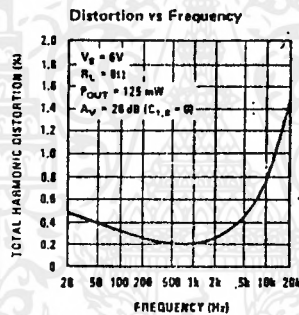
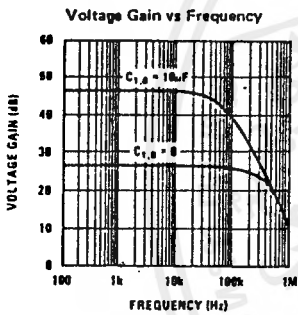
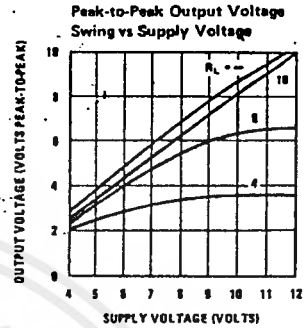
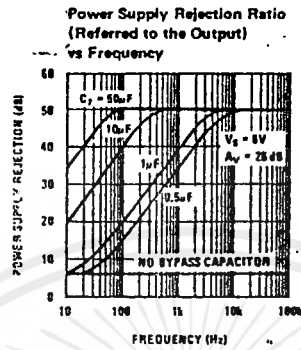
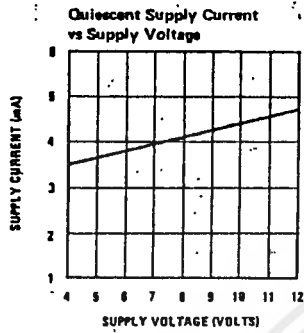
### INPUT BIASING

The schematic shows that both inputs are biased to ground with a  $50 k\Omega$  resistor. The base current of the input transistors is about 250 nA, so the inputs are at about 12.5 mV when left open. If the dc source resistance driving the LM386 is higher than  $250 k\Omega$  it will contribute very little additional offset (about 2.5 mV at the input, 50 mV at the output). If the dc source resistance is less than  $10 k\Omega$ , then shorting the unused input to ground will keep the offset low (about 2.5 mV at the input, 50 mV at the output). For dc source resistances between these values we can eliminate excess offset by putting a resistor from the unused input to ground, equal in value to the dc source resistance. Of course all offset problems are eliminated if the input is capacitively coupled.

When using the LM386 with higher gains (bypassing the  $1.35 k\Omega$  resistor between pins 1 and 8) it is necessary to bypass the unused input, preventing degradation of gain and possible instabilities. This is done with a  $0.1\mu F$  capacitor or a short to ground depending on the dc source resistance on the driven input.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

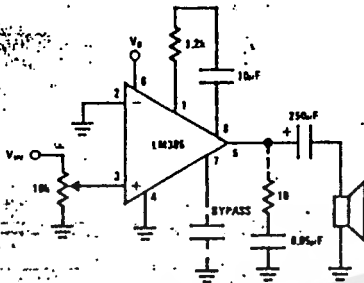
# typical performance characteristics



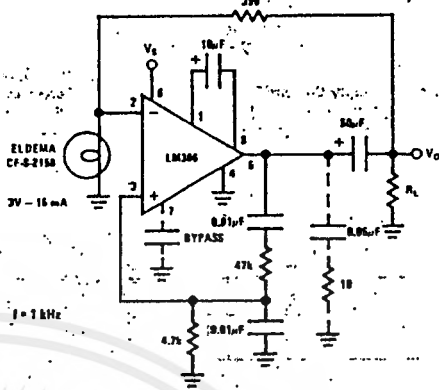
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## typical applications (con't)

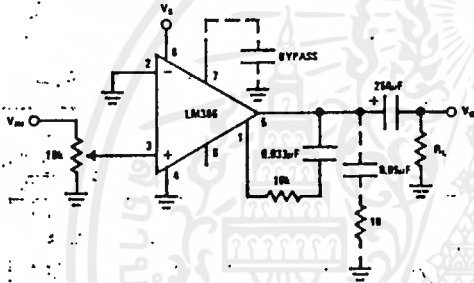
Amplifier with Gain = 50



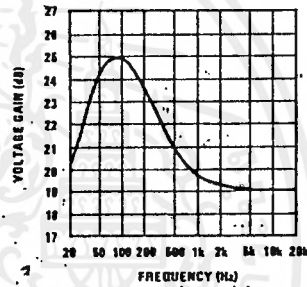
Low Distortion Power Wien Bridge Oscillator



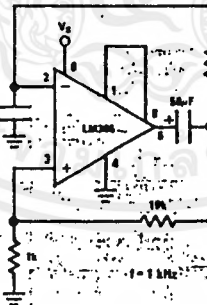
Amplifier with Bass Boost



Frequency Response with Bass Boost



Square Wave Oscillator



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



# Audio, Radio and TV Circuits

## LM380 audio power amplifier general description

The LM380 is a power audio amplifier for consumer application. In order to hold system cost to a minimum, gain is internally fixed at 34 dB. A unique input stage allows inputs to be ground referenced. The output is automatically self entering to one half the supply voltage.

The output is short circuit proof with internal thermal limiting. The package outline is standard dual-in-line. A copper lead frame is used with the center three pins on either side comprising a heat sink. This makes the device easy to use in standard p-c layout.

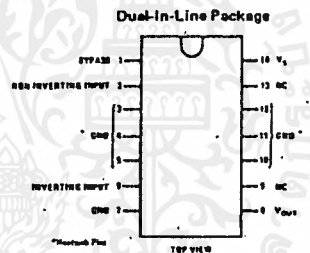
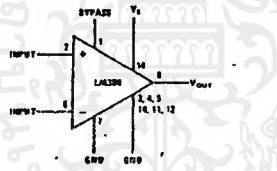
Uses include simple phonograph amplifiers, intercoms, line drivers, teaching machine outputs, alarms, ultrasonic drivers, TV sound systems, AM-FM radio, small servo drivers, power converters, etc.

A selected part for more power on higher supply voltages is available as the LM384. For more information see AN-69.

### features

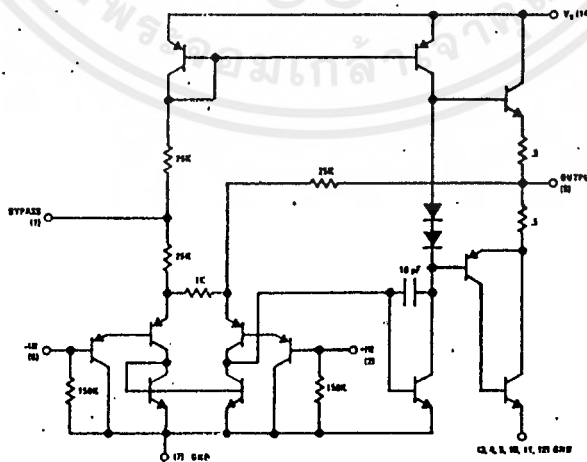
- Wide supply voltage range
- Low quiescent power drain
- Voltage gain fixed at 50
- High peak current capability
- Input referenced to GND
- High input impedance
- Low distortion
- Quiescent output voltage is at one-half of the supply voltage
- Standard dual-in-line package

## block and connection diagrams



Order Number LM380N  
See Package 22

## schematic diagram



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## absolute maximum ratings

Supply Voltage	22V
Peak Current	1.3A
Package Dissipation 14-Pin DIP (Notes 6 and 7)	10W
Input Voltage	$\pm 0.5V$
Storage Temperature	$-65^{\circ}C$ to $+150^{\circ}C$
Operating Temperature	$0^{\circ}C$ to $+70^{\circ}C$
Junction Temperature	$+150^{\circ}C$
Lead Temperature (Soldering, 10 sec)	$+300^{\circ}C$

## electrical characteristics (Note 1)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Output Power	$P_{OUT(RMS)}$	(Notes 3, 4) $R_L = 8\Omega$ , THD = 3%	2.5			W
Gain	$A_V$		40	50	60	V/V
Output Voltage Swing	$V_{OUT}$	$R_L = 8\Omega$		14		$V_{pp}$
Input Resistance	$Z_{IN}$			150k		$\Omega$
Total Harmonic Distortion	THD	(Note 4, 5)		0.2		%
Power Supply Rejection Ratio	PSRR	(Note 2)		38		dB
Supply Voltage	$V_S$		8		22	V
Bandwidth	BW	$P_{OUT} = 2W$ , $R_L = 8\Omega$		100k		Hz
Quiescent Supply Current	$I_Q$			7	25	mA
Quiescent Output Voltage	$V_{OUTQ}$		8	9.0	10	V
Bias Current	$I_{BIAS}$	Inputs Floating		100		nA
Short Circuit Current	$I_{SC}$			1.3		A

Note 1:  $V_S = 18V$  and  $T_A = 25^{\circ}C$  unless otherwise specified.

Note 2: Rejection ratio referred to the output with  $C_{BYPASS} = 5 \mu F$ .

Note 3: With device Pins 3, 4, 5, 10, 11, 12 soldered into a 1/16" epoxy glass board with 2 ounce copper foil with a minimum surface of 6 square inches.

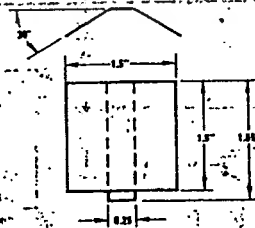
Note 4: If oscillation exists under some load conditions, add 2.7 $\Omega$  and 0.1  $\mu F$  series network from Pin 8 to Gnd.

Note 5:  $C_{BYPASS} = 0.47 \mu F$  on Pin 1.

Note 6: The maximum junction temperature of the LM380 is  $150^{\circ}C$ .

Note 7: The package is to be derated at 12 $^{\circ}C/W$  junction to heat sink pins.

## heat sink dimensions

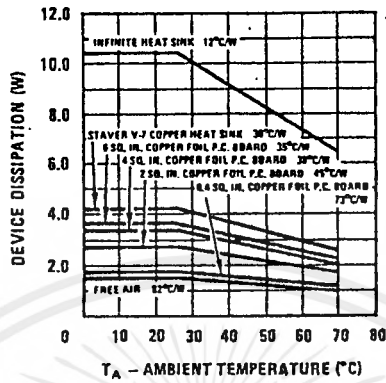


COPPER WINGS  
IS REQUIRED  
SOLDERED TO  
PINS 3, 4, 5,  
10, 11, 12  
THICKNESS 0.001  
INCHES.

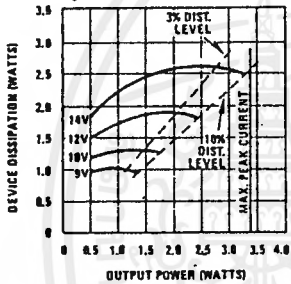
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# typical performance characteristics

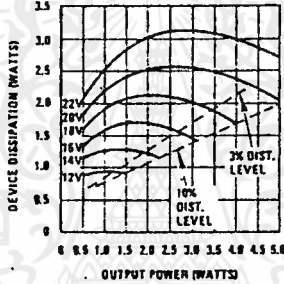
Device Dissipation vs Ambient Temperature



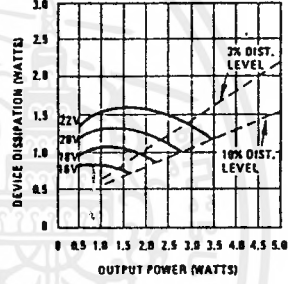
Device Dissipation vs Output Power - 4Ω Load



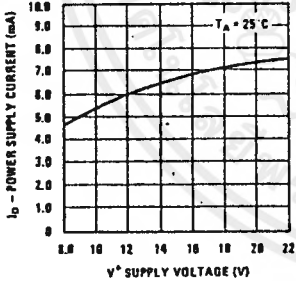
Device Dissipation vs Output Power - 8Ω Load



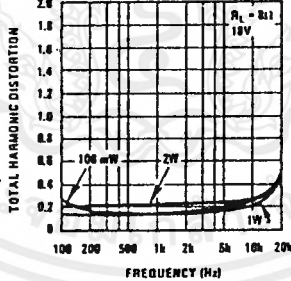
Device Dissipation vs Output Power - 16Ω Load



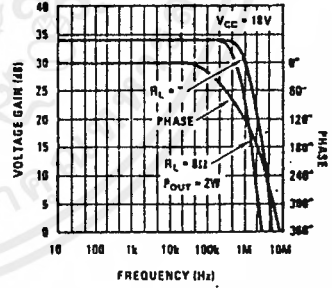
Power Supply Current vs Supply Voltage



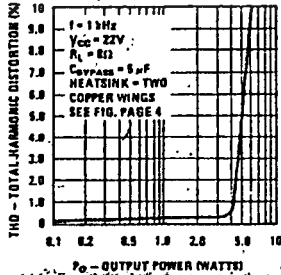
Total Harmonic Distortion vs Frequency



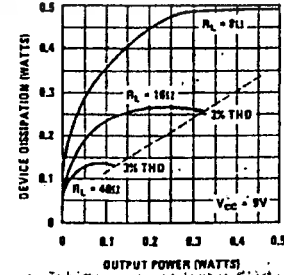
Output Voltage Gain and Phase vs Frequency



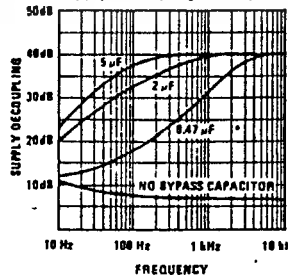
Total Harmonic Distortion vs Output Power



Device Dissipation vs Output Power



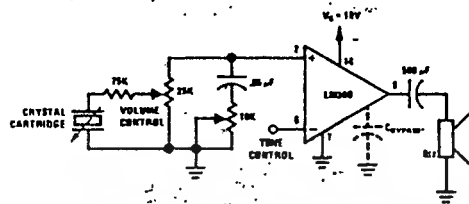
Supply Decoupling vs Frequency



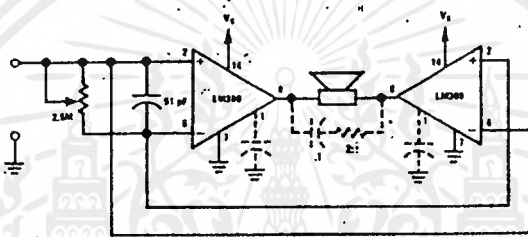
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

...typical applications

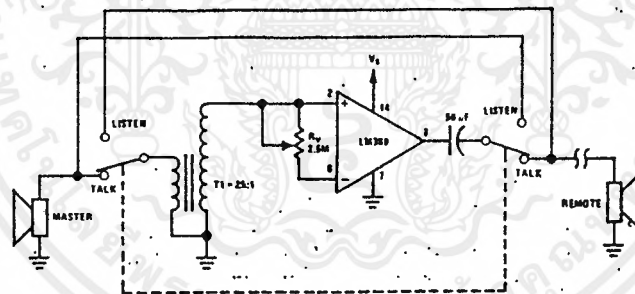
Phono Amplifier



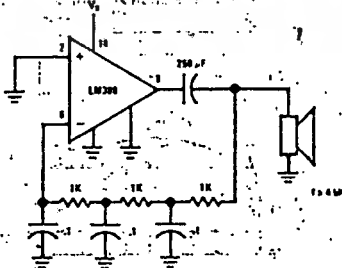
Bridge Amplifier



Intercom



Phase Shift Oscillator



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



# Industrial/Automotive/Functional Blocks

## LM556/LM556C dual timer general description

The LM556 Dual timing circuit is a highly stable controller capable of producing accurate time delays or oscillation. The 556 is a dual 555. Timing is provided by an external resistor and capacitor for each timing function. The two timers operate independently of each other sharing only  $V_{CC}$  and ground. The circuits may be triggered and reset on falling waveforms. The output structures may sink or source 200 mA.

- Adjustable duty cycle
- Output can source or sink 200 mA
- Output and supply-TTL compatible
- Temperature stability better than 0.005% per °C
- Normally on and normally off output

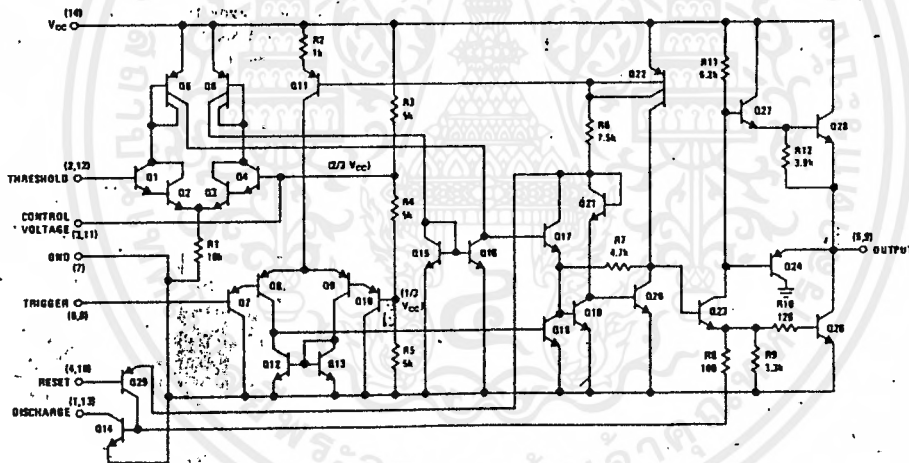
## features

- Direct replacement for SE556/NE556
- Timing from microseconds through hours
- Operates in both astable and monostable modes
- Replaces two 555 timers

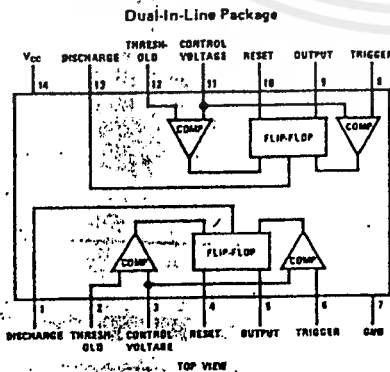
## applications

- Precision timing
- Pulse generation
- Sequential timing
- Time delay generation
- Pulse width modulation
- Pulse position modulation
- Linear ramp generator

## schematic diagram



## connection diagram



Order Number LM556D or LM556CD  
See Package 1  
Order Number LM556CN  
See Package 22  
Order Number LM556J or LM556CJ  
See Package 16

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

### absolute maximum ratings

Supply Voltage	+18V
Power Dissipation (Note 1)	600 mW
Operating Temperature Ranges	
LM556C	0°C to +70°C
LM556	-55°C to +125°C
Storage Temperature Range	-65°C to +150°C
Lead Temperature (Soldering, 10 seconds)	300°C

### electrical characteristics (T<sub>A</sub> = 25°C, V<sub>CC</sub> = +5V to +15V, unless otherwise specified)

PARAMETER	CONDITIONS	LM556			LM556C			UNITS
		MIN	TYP	MAX	MIN	TYP	MAX	
Supply Voltage		4.5		18	4.5		18	V
Supply Current	V <sub>CC</sub> = 5V, R <sub>L</sub> = ∞		3	5		3	6	mA
(Each Timer Section)	V <sub>CC</sub> = 15V, R <sub>L</sub> = ∞		10	11		10	14	mA
	(Low State) (Note 2)							
Timing Error, Monostable								
Initial Accuracy			0.5	1.5		0.75	5.0	%
Drift With Temperature	R <sub>A</sub> , R <sub>B</sub> = 1k to 100k, C = 0.1μF, (Note 3)		30			50		ppm/°C
Accuracy Over Temperature			1.5	3.0		1.5		%
Drift with Supply			0.05	0.2		0.1	0.4	%/V
Timing Error, Astable								
Initial Accuracy			1.5	5		2.25	7	%
Drift With Temperature			90			150		ppm/°C
Accuracy Over Temperature			2.5			3.0		%
Drift With Supply			0.15	0.2		0.30	0.5	%/V
Trigger Voltage	V <sub>CC</sub> = 15V	4.8	8	6.2	4.5	5	5.5	V
	V <sub>CC</sub> = 5V	1.45	1.67	1.8	1.25	1.67	2.0	V
Trigger Current			0.1	0.5		0.2	1.0	μA
Reset Voltage	(Note 4)	0.4	0.5	1	0.4	0.5	1	V
Reset Current			0.1	0.4		0.1	0.8	mA
Threshold Current	(Note 5)		0.03	0.1		0.03	0.1	μA
Control Voltage Level And Threshold Voltage	V <sub>CC</sub> = 15V	9.6	10	10.4	9	10	11	V
	V <sub>CC</sub> = 5V	2.9	3.33	3.8	2.6	3.33	4	V
Pin 1, 13 Leakage Output High			1	100		1	100	nA
Pin 1, 13 Sat	(Note 6)							
Output Low	V <sub>CC</sub> = 15V, I = 15 mA		150	240		180	300	mV
Output Low	V <sub>CC</sub> = 4.5V, I = 4.5 mA		70	100		80	200	mV
Output Voltage Drop (Low)	V <sub>CC</sub> = 15V							
	I <sub>SWK</sub> = 10 mA		0.1	0.15		0.1	0.25	V
	I <sub>SWK</sub> = 50 mA		0.4	0.5		0.4	0.75	V
	I <sub>SWK</sub> = 100 mA		2	2.25		2	2.75	V
	I <sub>SWK</sub> = 200 mA		2.5			2.5		V
	V <sub>CC</sub> = 5V							
	I <sub>SWK</sub> = 8 mA		0.1	0.25				V
	I <sub>SWK</sub> = 5 mA					0.25	0.35	V
Output Voltage Drop (High)	I <sub>SOURCE</sub> = 200 mA, V <sub>CC</sub> = 15V		12.5			12.5		V
	I <sub>SOURCE</sub> = 100 mA, V <sub>CC</sub> = 15V		13.3			13.3		V
	V <sub>CC</sub> = 5V	3	3.3		2.75	3.3		V
Rise Time of Output			100			100		ns
Fall Time of Output			100			100		ns
Matching Characteristics	(Note 7)							
Initial Timing Accuracy			0.05	0.2		0.1	2.0	%
Timing Drift With Temperature			±10			±10		ppm/°C
Drift With Supply Voltage			0.1	0.2		0.2	0.5	%/V

Note 1: For operating at elevated temperatures the device must be derated based on a +150°C maximum junction temperature and a thermal resistance of +150°C/W junction to ambient for both packages.

Note 2: Supply current when output high typically 1 mA less at V<sub>CC</sub> = 5V.

Note 3: Tested at V<sub>CC</sub> = 5V and V<sub>CC</sub> = 15V.

Note 4: As reset voltage lowers, timing is inhibited and then the output goes low.

Note 5: This will determine the maximum value of R<sub>A</sub> + R<sub>B</sub> for 15V operation. The maximum total (R<sub>A</sub> + R<sub>B</sub>) is 20 MΩ.

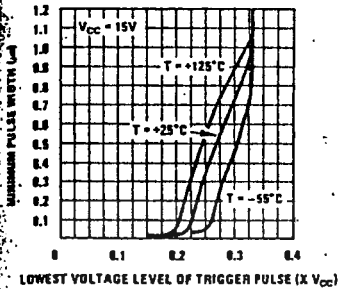
Note 6: No protection against excessive pin 1, 13 current is necessary providing the package dissipation rating will not be exceeded.

Note 7: Matching characteristics refer to the difference between performance characteristics of each timer section.

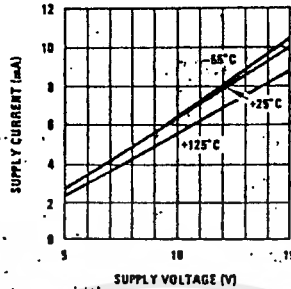
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไมอนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# Typical performance characteristics

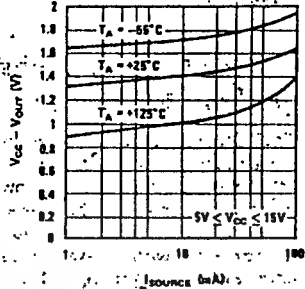
Minimum Pulse Width Required for Triggering



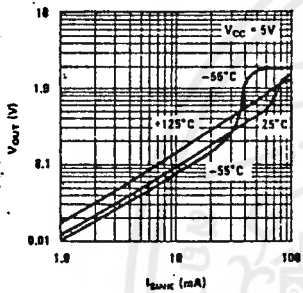
Supply Current vs Supply Voltage (Each Section)



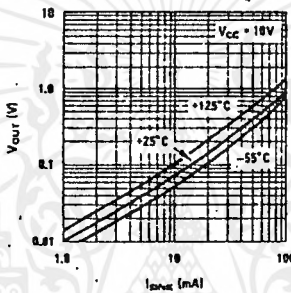
High Output Voltage vs Output Source Current



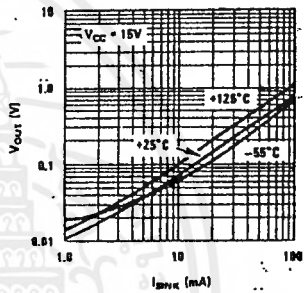
Low Output Voltage vs Output Sink Current



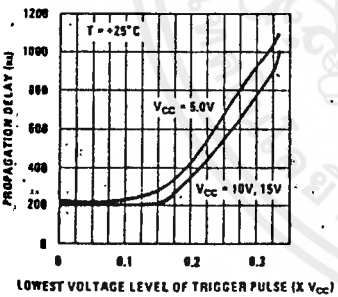
Low Output Voltage vs Output Sink Current



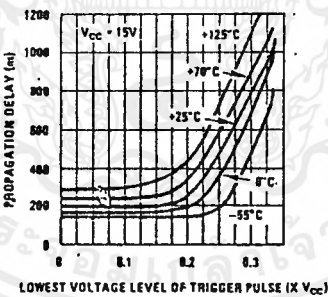
Low Output Voltage vs Output Sink Current



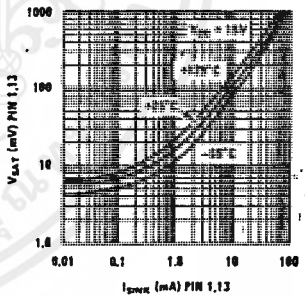
Output Propagation Delay vs Voltage Level of Trigger Pulse



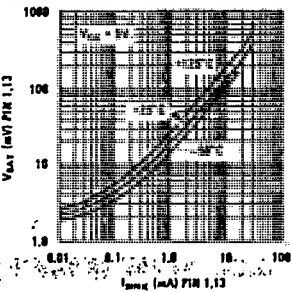
Output Propagation Delay vs Voltage Level of Trigger Pulse



Discharge Transistor (Pin 1,13) Voltage vs Sink Current



Discharge Transistor (Pin 1,13) Voltage vs Sink Current



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



## Industrial/Automotive/Functional Blocks

### LM555/LM555C timer

#### general description

The LM555 is a highly stable device for generating accurate time delays or oscillation. Additional terminals are provided for triggering or resetting if desired. In the time delay mode of operation, the time is precisely controlled by one external resistor and capacitor. For astable operation as an oscillator, the free running frequency and duty cycle are accurately controlled with two external resistors and one capacitor. The circuit may be triggered and reset on falling waveforms, and the output circuit can source or sink up to 200 mA or drive TTL circuits.

#### features

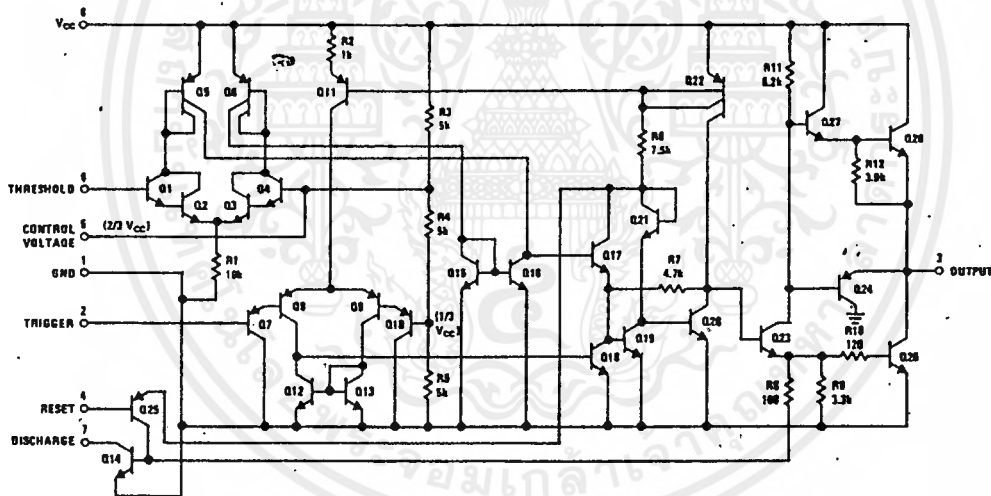
- Direct replacement for SE555/NE555
- Timing from microseconds through hours
- Operates in both astable and monostable modes

- Adjustable duty cycle
- Output can source or sink 200 mA
- Output and supply TTL compatible
- Temperature stability better than 0.005% per °C
- Normally on and normally off output

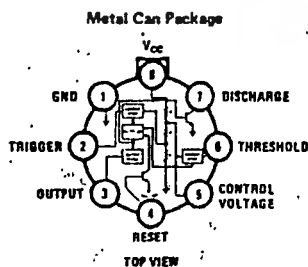
#### applications

- Precision timing
- Pulse generation
- Sequential timing
- Time delay generation
- Pulse width modulation
- Pulse position modulation
- Linear ramp generator

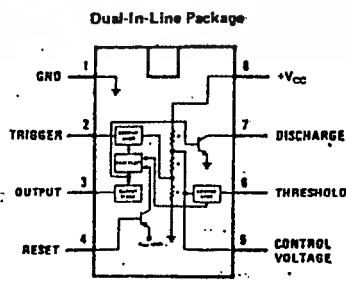
#### schematic diagram



#### connection diagrams



Order Number LM555H or LM555CH.  
See Package 11



Order Number LM555CN  
See Package 20

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

### absolute maximum ratings

Supply Voltage	+18V
Power Dissipation (Note 1)	600 mW
Operating Temperature Ranges	
LM555C	0°C to +70°C
LM555	-55°C to +125°C
Storage Temperature Range	-65°C to +150°C
Lead Temperature (Soldering, 10 seconds)	300°C

### electrical characteristics (T<sub>A</sub> = 25°C, V<sub>CC</sub> = +5V to +15V, unless otherwise specified)

PARAMETER	CONDITIONS	LIMITS						UNITS
		LM555			LM555C			
		MIN	TYP	MAX	MIN	TYP	MAX	
Supply Voltage		4.5		18	4.5		18	V
Supply Current	V <sub>CC</sub> = 5V, R <sub>L</sub> = ∞ V <sub>CC</sub> = 15V, R <sub>L</sub> = ∞ (Low State) (Note 2)		3 10	5 12		3 10	6 15	mA mA
Timing Error, Monostable								%
Initial Accuracy			0.5	2		1		%
Drift with Temperature	R <sub>A</sub> , R <sub>B</sub> = 1k to 100 k, C = 0.1μF, (Note 3)		30			50		ppm/°C
Accuracy over Temperature			1.5	3.0		1.5		%
Drift with Supply			0.05	0.2		0.1		%/V
Timing Error, Astable								%
Initial Accuracy			1.5	6		2.25	7	%
Drift with Temperature			80			150		ppm/°C
Accuracy over Temperature			2.5			3.0		%
Drift with Supply			0.15	0.2		0.30	0.5	%/V
Threshold Voltage			0.667			0.667		x V <sub>CC</sub>
Trigger Voltage	V <sub>CC</sub> = 15V V <sub>CC</sub> = 5V	4.8 1.45	5 1.67	5.2 -1.9		5 1.67		V V
Trigger Current			0.01	0.5		0.5	0.9	μA
Reset Voltage		0.4	0.5	1	0.4	0.5	1	V
Reset Current			0.1	0.4		0.1	0.4	mA
Threshold Current	(Note 4)		0.1	0.25		0.1	0.25	μA
Control Voltage Level	V <sub>CC</sub> = 15V V <sub>CC</sub> = 5V	8.8 2.9	10 3.33	10.4 3.8	9 2.6	10 3.33	11 4	V V
Pin 7 Leakage Output High			1	100		1	100	nA
Pin 7 Sat (Note 5)								mV
Output Low	V <sub>CC</sub> = 15V, I <sub>O</sub> = 15 mA V <sub>CC</sub> = 4.5V, I <sub>O</sub> = 4.5 mA		150 70			180 80		mV mV
Output Voltage Drop (Low)	V <sub>CC</sub> = 15V I <sub>SINK</sub> = 10 mA I <sub>SINK</sub> = 50 mA I <sub>SINK</sub> = 100 mA I <sub>SINK</sub> = 200 mA V <sub>CC</sub> = 5V I <sub>SINK</sub> = 8 mA I <sub>SINK</sub> = 5 mA		0.1 0.4 2 2.6	0.15 0.5 2.2 2.5		0.1 0.4 2 2.5	0.25 0.75 2.5 2.5	V V V V V V V
Output Voltage Drop (High)	I <sub>SOURCE</sub> = 200 mA, V <sub>CC</sub> = 15V I <sub>SOURCE</sub> = 100 mA, V <sub>CC</sub> = 15V V <sub>CC</sub> = 5V	13 3	12.5 13.3 3.3		12.75 13.3 2.75	12.5 13.3 3.3		V V V
Rise Time of Output			100			100		ns
Fall Time of Output			100			100		ns

Note 1: For operating at elevated temperatures the device must be derated based on a +150°C maximum junction temperature and a thermal resistance of +45°C/W junction-to case for TO-5 and +150°C/W junction to ambient for both packages.

Note 2: Supply current when output high typically 1 mA less at V<sub>CC</sub> = 5V.

Note 3: Tested at V<sub>CC</sub> = 5V and V<sub>CC</sub> = 15V.

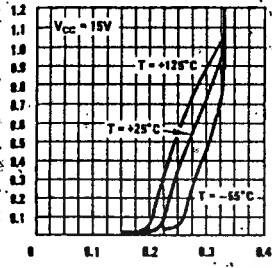
Note 4: This will determine the maximum value of R<sub>A</sub> + R<sub>B</sub> for 15V operation. The maximum total (R<sub>A</sub> + R<sub>B</sub>) is 20 MΩ.

Note 5: No protection against excessive pin 7 current is necessary providing the package dissipation rating will not be exceeded.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

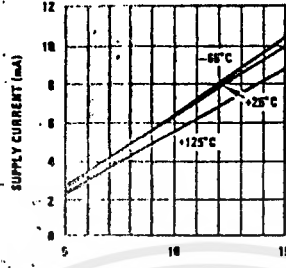
# typical performance characteristics

Minimum Pulse Width Required for Triggering



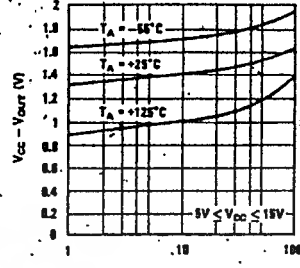
LOWEST VOLTAGE LEVEL OF TRIGGER PULSE ( $\times V_{CC}$ )

Supply Current vs Supply Voltage



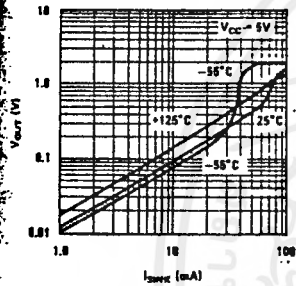
SUPPLY VOLTAGE (V)

High Output Voltage vs Output Source Current



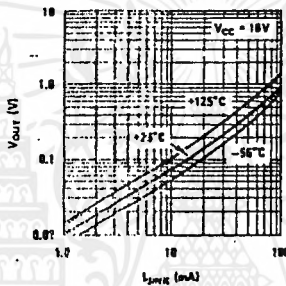
$I_{SOURCE}$  (mA)

Low Output Voltage vs Output Sink Current



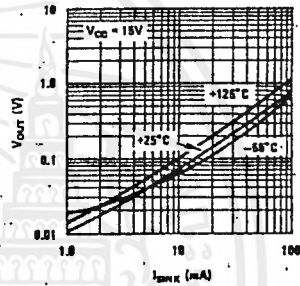
$I_{SINK}$  (mA)

Low Output Voltage vs Output Sink Current



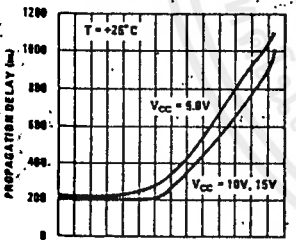
$I_{SINK}$  (mA)

Low Output Voltage vs Output Sink Current



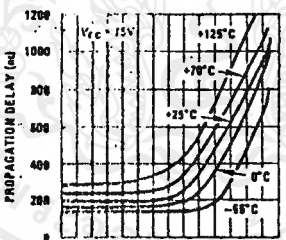
$I_{SINK}$  (mA)

Output Propagation Delay vs Voltage Level of Trigger Pulse



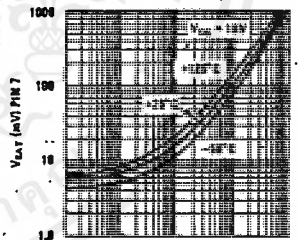
LOWEST VOLTAGE LEVEL OF TRIGGER PULSE ( $\times V_{CC}$ )

Output Propagation Delay vs Voltage Level of Trigger Pulse



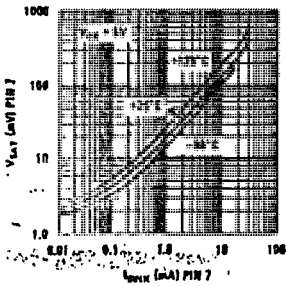
LOWEST VOLTAGE LEVEL OF TRIGGER PULSE ( $\times V_{CC}$ )

Discharge Transistor (Pin 7) Voltage vs Sink Current



$I_{SINK}$  (mA) PIN 7

Discharge Transistor (Pin 7) Voltage vs Sink Current



$I_{SINK}$  (mA) PIN 7

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไมอนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## applications information

### MONOSTABLE OPERATION

In this mode of operation, the timer functions as a one-shot (Figure 1). The external capacitor is initially held discharged by a transistor inside the timer. Upon application of a negative trigger pulse of less than  $1/3 V_{CC}$  to pin 2, the flip-flop is set which both releases the short circuit across the capacitor and drives the output high.

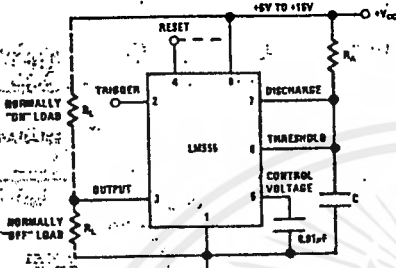


FIGURE 1. Monostable

The voltage across the capacitor then increases exponentially for a period of  $t = 1.1 R_A C$ , at the end of which time the voltage equals  $2/3 V_{CC}$ . The comparator then resets the flip-flop which in turn discharges the capacitor and drives the output to its low state. Figure 2 shows the waveforms generated in this mode of operation. Since the charge and the threshold level of the comparator are both directly proportional to supply voltage, the timing interval is independent of supply.

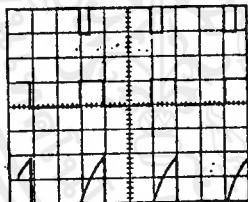


FIGURE 2. Monostable Waveforms  
 $V_{CC} = 5V$   
 $TIME = 0.1 \mu s/DIV$   
 $R_A = 0.15k\Omega$   
 $C = 0.01\mu F$   
 Top Trace: Output 5V/DIV  
 Middle Trace: Output 5V/DIV  
 Bottom Trace: Capacitor Voltage 5V/DIV

FIGURE 2. Monostable Waveforms

During the timing cycle when the output is high, the further application of a trigger pulse will not effect the circuit. However the circuit can be reset during this time by the application of a negative pulse to the reset terminal (pin 4). The output will then remain in the low state until a trigger pulse is again applied.

When the reset function is not in use, it is recommended that it be connected to  $V_{CC}$  to avoid any possibility of false triggering.

Figure 3 is a nomograph for easy determination of  $R, C$  values for various time delays.

### ASTABLE OPERATION

If the circuit is connected as shown in Figure 4 (pins 2 and 6 connected) it will trigger itself and free run as a

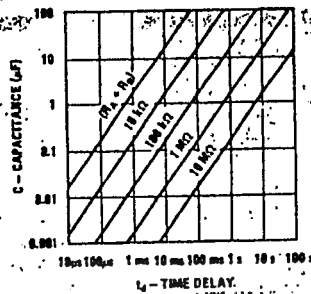


FIGURE 3. Time Delay

multivibrator. The external capacitor charges through  $R_A + R_B$  and discharges through  $R_B$ . Thus the duty cycle may be precisely set by the ratio of these two resistors.

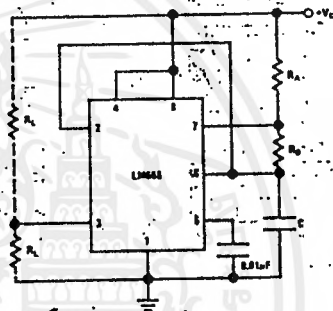


FIGURE 4. Astable

In this mode of operation, the capacitor charges and discharges between  $1/3 V_{CC}$  and  $2/3 V_{CC}$ . As in the triggered mode, the charge and discharge times, and therefore the frequency are independent of the supply voltage.

Figure 5 shows the waveforms generated in this mode of operation.

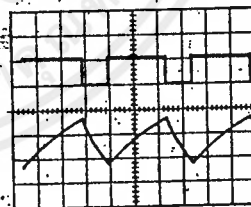


FIGURE 5. Astable Waveforms  
 $V_{CC} = 5V$   
 $TIME = 2\mu s/DIV$   
 $R_A = 10k\Omega$   
 $R_B = 3k\Omega$   
 $C = 0.01\mu F$   
 Top Trace: Output 5V/DIV  
 Bottom Trace: Capacitor Voltage 5V/DIV

FIGURE 5. Astable Waveforms

The charge time (output high) is given by:

$$t_1 = 0.693 (R_A + R_B) C$$

And the discharge time (output low) by:

$$t_2 = 0.693 (R_B) C$$

Thus the total period is:

$$T = t_1 + t_2 = 0.693 (R_A + 2R_B) C$$

## applications information (con't)

The frequency of oscillation is:

$$f = \frac{1}{T} = \frac{1.44}{(R_A + 2R_B)C}$$

Figure 6 may be used for quick determination of these RC values.

The duty cycle is:  $D = \frac{R_B}{R_A + 2R_B}$

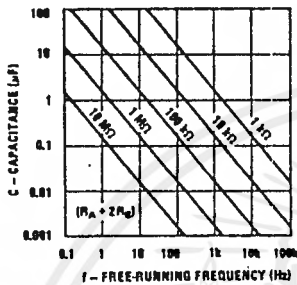
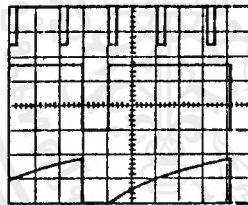


FIGURE 6. Free Running Frequency

### FREQUENCY DIVIDER

The monostable circuit of Figure 1 can be used as a frequency divider by adjusting the length of the timing cycle. Figure 7 shows the waveforms generated in a divide by three circuit.



$V_{CC} = 5V$   
 TIME = 20ns/DIV.  
 $R_A = 0.1 k\Omega$   
 $C = 0.01 \mu F$

FIGURE 7. Frequency Divider

### PULSE WIDTH MODULATOR

When the timer is connected in the monostable mode and triggered with a continuous pulse train, the output pulse width can be modulated by a signal applied to pin 5. Figure 8 shows the circuit, and in Figure 9 are some waveform examples.

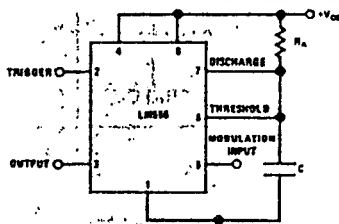
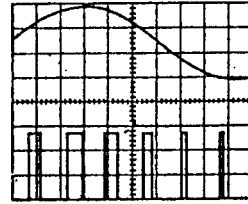


FIGURE 8. Pulse Width Modulator



$V_{CC} = 5V$   
 TIME = 0.2 ms/DIV.  
 $R_A = 0.1 k\Omega$   
 $C = 0.01 \mu F$

FIGURE 9. Pulse Width Modulator

### PULSE POSITION MODULATOR

This application uses the timer connected for astable operation, as in Figure 10, with a modulating signal again applied to the control voltage terminal. The pulse position varies with the modulating signal, since the threshold voltage and hence the time delay is varied. Figure 11 shows the waveforms generated for a triangle wave modulation signal.

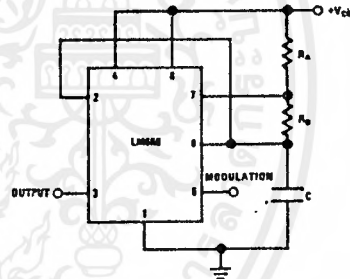
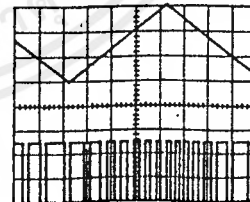


FIGURE 10. Pulse Position Modulator



$V_{CC} = 5V$   
 TIME = 0.1 ms/DIV.  
 $R_A = 2.0 k\Omega$   
 $R_B = 3.0 k\Omega$   
 $C = 0.01 \mu F$

FIGURE 11. Pulse Position Modulator

### LINEAR RAMP

When the pullup resistor,  $R_A$ , in the monostable circuit is replaced by a constant current source, a linear ramp is

## applications information (cont)

generated. Figure 12 shows a circuit configuration that will perform this function.

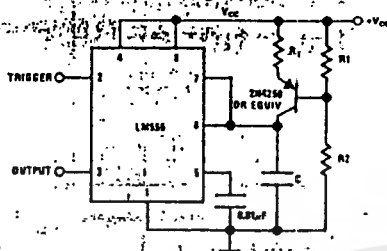


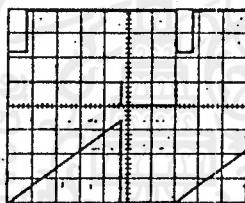
FIGURE 12.

Figure 13 shows waveforms generated by the linear ramp.

The time interval is given by:

$$T = \frac{2/3 V_{CC} \cdot R_E (R_1 + R_2) C}{R_1 V_{CC} - V_{BE} (R_1 + R_2)}$$

$V_{BE} \approx 0.6V$



$V_{CC} = 9V$  Top Trace: Input 2V/Div.  
 TRIG: 200ns/DIV. Middle Trace: Output 5V/Div.  
 $R_1 = 47k\Omega$  Bottom Trace: Capacitor Voltage 1V/Div.  
 $R_2 = 100k\Omega$   
 $R_E = 2.2k\Omega$   
 $C = 0.01\mu F$

FIGURE 13. Linear Ramp

### 50% DUTY CYCLE OSCILLATOR

For a 50% duty cycle, the resistors  $R_A$  and  $R_B$  may be connected as in Figure 14. The time period for the out-

put high is the same as previous,  $t_1 = 0.693 R_A C$ .

For the output low it is  $t_2 =$

$$\left[ \frac{(R_A + R_B)}{(R_A + R_B)} \right] \cdot C \ln \left[ \frac{R_B - 2R_A}{2R_B - R_A} \right]$$

Thus the frequency of oscillation is  $f = \frac{1}{t_1 + t_2}$

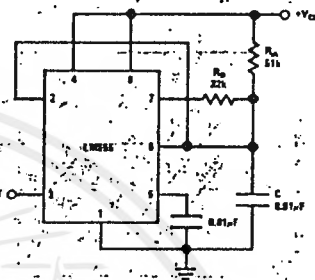


FIGURE 14. 50% Duty Cycle Oscillator

Note that this circuit will not oscillate if  $R_B$  is greater than  $1/2 R_A$  because the junction of  $R_A$  and  $R_B$  cannot bring pin 2 down to  $1/3 V_{CC}$  and trigger the lower comparator.

### ADDITIONAL INFORMATION

Adequate power supply bypassing is necessary to protect associated circuitry. Minimum recommended is  $0.1\mu F$  in parallel with  $1\mu F$  electrolytic.

Lower comparator storage time can be as long as  $10\mu s$  when pin 2 is driven fully to ground for triggering. This limits the monostable pulse width to  $10\mu s$  minimum.

Delay time reset to output is  $0.47\mu s$  typical. Minimum reset pulse width must be  $0.3\mu s$ , typical.

Pin 7 current switches within 30 ns of the output (pin 3) voltage.