ห้องสมุดคณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

โมเดมแบบ PSK ใช้ในช่องสัญญาณ FM-SCA

PSK MODEM USE IN FM-SCA CHANNAL

โดย

นาย พรเทพ สิงห์ทะยาน 34.32114

นาย สุวัฒนา ชาวเมือง 34.42136

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตร์บัณฑิต

สาขา เทคโนโลยีโทรคมนาคม

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2535

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

032732

หัวข้อปริญญานิพนธ์	โมเดมแบบ PSK ใช้ในช่องสัญญาณ FM-SCA
โดย	นาย พรเทพ สิงห์ทะยาน
	นาย สุวิลมา ชาวเมือง
อาจารย์ที่ปรึกษา	อ. กฤดากร กล่อมการ
ภาควิชา	เทคนิคอุตสาหกรรม
ปีการศึกษา	2535

คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง อนุมัติให้นับปริญญานิพนธ์ฉบับนี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาอุตสาหกรรมศาสตร์บัณฑิต

..... คณบดีคณะวิศวกรรมศาสตร์

( )

คณะกรรมการสอบปริญญานิพนธ์

..... ประธานกรรมการ

( )

..... กรรมการ

( )

..... กรรมการ

( )

..... กรรมการ

( )

..... กรรมการ

( )

ลิขสิทธิ์ของคณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2535

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

032732

รูปแบบ PSK ใช้ในช่องสัญญาณ FM-SCA

โดย

1. นาย พรเทพ สิงห์ทะยาน 34.132114

2. นาย สุวัฒนา ชาวเมือง 34.132136

อาจารย์ที่ปรึกษา

อ. กฤตากร กล่อมการ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ปริญญานิพนธ์ ปีการศึกษา 2535

ภาควิชา เทคนิคอุตสาหกรรม

คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เรื่อง โมเดมแบบ PSK ใช้ในช่องสัญญาณ FM-SCA

ผู้จัดทำ

1. นาย พรเทพ สิงห์ทะยาน 34.132114

2. นาย สุวัฒนา ชาวเมือง 34.132136

..... อาจารย์ที่ปรึกษา

( )

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โมเดมแบบ PSK ใช้ในช่องสัญญาณ FM-SCA

โดย

1. นายพรเทพ สิงห์ทะยาน 34.132114

2. นายสุวัฒนา ชาวเมือง 34.132136

อ. กฤดากร กล่อมการ อาจารย์ที่ปรึกษา

ปีการศึกษา 2535

บทคัดย่อ

โครงงานฉบับนี้เป็นการนำเสนอ PSK MODEM โดยใช้ช่องสัญญาณของ FM-SCA ความถี่ของโมเดมเท่ากับ 67.2 KH_Z และ bit rate เท่ากับ 4,800 bps ผลของการวัด bit error rate ของโมเดมอยู่ในขั้นที่ดีและการใช้งานโมเดมนี้สามารถให้บริการทางด้านการสื่อสารข้อมูลได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

PSK MODEM USE IN FM-SCA CHANNAL

BY

Mr. PORNTEP SINGTAYAN 34.132114

Mr. SUWATNA CHARMUANG 34.132136

Mr. KITDAKORN KLOMKARN Advisor

1992

Abstract

This thesis present design a psk modem. That use in FM-SCA channal. The carrier of modem is about 67.2 KH_z and bit rate is 4,800 bps. The result of bit error rate measurement of modem is satisfy and the application of modem that can use for data transmission services.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ

	หน้า
บทที่ 1 บทนำ	1
บทที่ 2 ทฤษฎี หลักการและงานวิจัยที่เกี่ยวข้อง	2
บทที่ 3 การสร้าง	23
บทที่ 4 การทดลอง	60
บทที่ 5 สรุปผลและวิจารณ์	67
กิตติกรรมประกาศ	
หนังสืออ้างอิง	
ภาคผนวก	

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 1

บทนำ

ปริญญานิพนธ์เล่มนี้ แสดงผลงานวิจัยรวมทั้งทฤษฎีประกอบ ซึ่งรายละเอียดจะอยู่ในบทต่อๆ ไป โดยมีจุดประสงค์คือ

1. เพื่อศึกษาและทดลอง เกี่ยวกับการมอดูเลชั่นแบบพีเอสเค (PSK MODULATION)
2. เพื่อให้สามารถนำความรู้ที่ได้จากการศึกษาและทดลองมาใช้งานได้
3. เพื่อเป็นแนวทางในการพัฒนาพีเอสเคโมเดม (PSK MODEM) ต่อไป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 2

ทฤษฎีประกอบการสร้าง

การมอดูเลชั่นแบบเปลี่ยนเฟสของสัญญาณคลื่นพาห์

การมอดูเลชั่นแบบเปลี่ยนเฟสของสัญญาณคลื่นพาห์หรือที่เรียกชื่อย่อว่า PSK (phase shift keying) นั้น เป็นการนำเอาสัญญาณดิจิตอลมาเปลี่ยนเฟสของสัญญาณคลื่นพาห์ในกรณีของสัญญาณดิจิตอล แบบ M ระดับ เฟสของสัญญาณคลื่นพาห์ที่จะถูกแบ่งเป็น M ค่าเพื่อใช้แทนสัญญาณแต่ละระดับ สัญญาณที่ถูกมอดูเลทแล้วจะเขียนได้ในรูป

$$X_c(t) = A_c \sum_k \cos(W_c t + \phi_k) P(t-kD) \qquad \text{----------1}$$

โดยที่

$$\phi_k = \frac{\pi(2a_k+1)}{M} \qquad a_k = 0,1,2,\ldots,M-1 \qquad \text{----------2}$$

และ p(t-kD) แสดงสัญญาณพัลส์ที่มีค่าเป็น 1 และกว้างเท่ากับ D ลักษณะของสัญญาณ PSK ในสมการ (1) แสดงว่าเฟสของสัญญาณจะเปลี่ยนแปลงไปตามระดับของสัญญาณดิจิตอลและขนาดของสัญญาณคลื่นพาห์จะไม่เปลี่ยนแปลง ในกรณีที่สัญญาณ 2 ระดับ เฟสของสัญญาณ 0 กับสัญญาณ 1 ก็จะอยู่ตรงข้ามกันดังแสดงในรูปที่ 1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

อันที่จริงถ้าเราทำการกระจาย $\cos(W_c t + \phi_k)$ ในสมการที่ 1 จะพบว่าสมการที่ 1 นี้

สามารถเขียนได้ในรูปของสัญญาณอินเฟสและควอดเดรเจอร์เฟสดังนี้

$$x_c(t) = A_c\sum_k p(t-kD)\cos\phi_k\cos W_c t - A_c\sum_K p(t-kD)\sin\phi_k\sin W_c t \quad \text{--------3}$$

รูปที่ 1 แสดงรูปคลื่นของกรณีสัญญาณ PSK แบบ 2 ระดับ

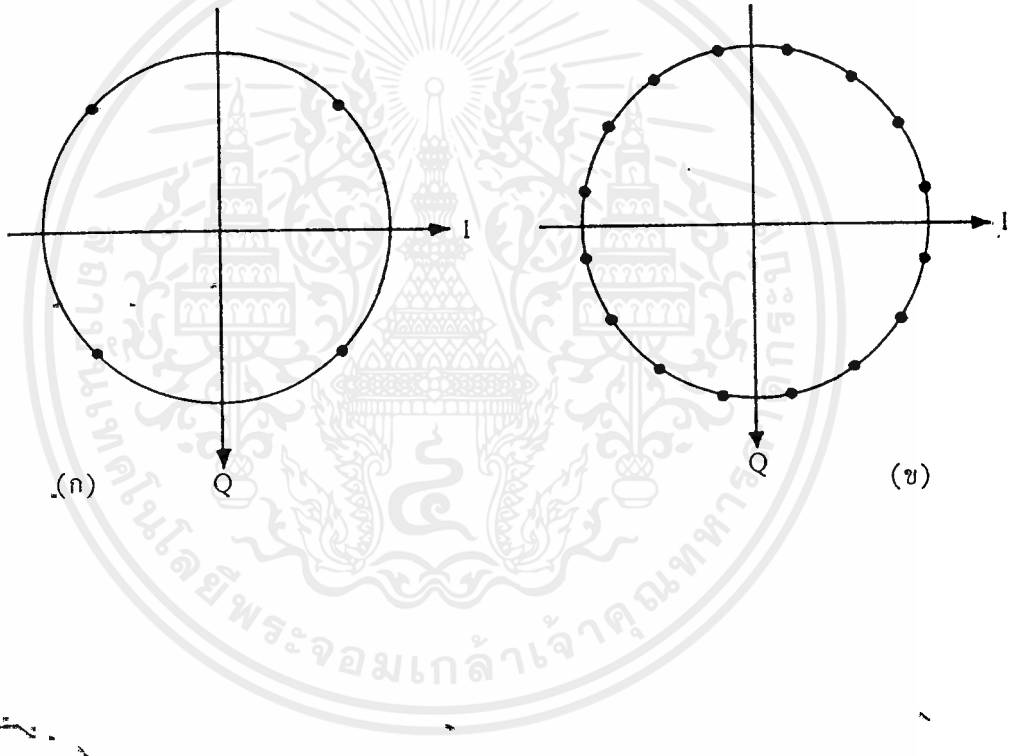
ในกรณีของสัญญาณ 4 ระดับหรือ 4-PSK นั้น การจัดตำแหน่งของสัญญาณนี้จะเป็นดังที่แสดงไว้ในรูปที่ 2 ซึ่งจะเห็นได้ว่าเหมือนกับของ 4-QAM ทุกประการ อย่างไรก็ตามในกรณีที่สัญญาณมากกว่า 4 ระดับ เช่น 16-PSK การจัดตำแหน่งของสัญญาณจะไม่เหมือนกับ 16-QAM ทั้งนี้เป็นเพราะว่าสัญญาณ 16-QAM มีขนาดของสัญญาณคลื่นพาห์เปลี่ยนแปลงไปตามระดับของสัญญาณที่เข้ามามอดูเลท อนึ่งสัญญาณ 4-PSK นั้นมักถูกเรียกว่า QPSK ซึ่งย่อมาจาก Quaternary PSK Quadriphase PSK

ในการพิจารณาแบนด์วิดท์ที่ต้องการนั้น เราจะอาศัยของหลักการของสัญญาณเรนดัมเช่นเดียวกับในกรณีของสัญญาณ QAM เราสามารถเขียน $x_i(t)$ และ $x_q(t)$ ได้ดังนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$x_i(t) = \sum_k \cos \phi_k p(t-kD) \qquad \text{---------4.1}$$

$$x_q(t) = \sum_k \sin \phi_k p(t-kD) \qquad \text{---------4.2}$$



รูปที่ 2 แสดงการจัดตำแหน่งของสัญญาณ 4-PSK และ 16-PSK

และเมื่อพิจารณาค่าเฉลี่ยเชิงสถิติของสัญญาณทั้งสองนี้จะได้ผลดังนี้คือ

$$\overline{\cos \phi_k} = \overline{\sin \phi_k} = 0 \qquad \text{---------5.1}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$\overline{\cos^2\phi_k} = \overline{\sin^2\phi_k} = \frac{1}{2} \qquad \text{---------5.2}$$

$$\overline{\cos\phi_k \sin\phi_k} = 0 \qquad \text{---------5.3}$$

จากผลของสมการที่ 5 นี้ เราจะสามารถหาความหนาแน่นของสเปคตรัมกำลังของ $x_i(t)$ และ $x_q(t)$ ได้ในรูปต่อไปนี้

$$[x_i(f)]^2 = [x_q(f)]^2 = \frac{1}{2R}\,\text{sinc}^2\left(\frac{\pi f}{R}\right) \qquad \text{----------6}$$

และเมื่อทำการเขียนความหนาแน่นของสเปคตรัมกำลังของสัญญาณ PSK ก็จะได้ผลดังนี้

$$G(f) = \frac{Ac^2}{4R}\left[\text{sinc}^2\left\{\frac{\pi(f-fc)}{R}\right\}+\text{sinc}^2\left\{\frac{\pi(f+fc)}{R}\right\}\right] \qquad \text{----------7}$$

เมื่อทำการเปรียบเทียบ ASK กับ PSK สมการส่วนของความหนาแน่นสเปคตรัมกำลังจะเหมือนกัน ยกเว้นตรงที่สัญญาณ PSK ไม่มีส่วนประกอบของกระแสตรง ซึ่งหมายถึงสัญญาณ PSK จะไม่มีสเปคตรัมของคลื่นพาห์ ดังนั้นแบนด์วิดท์ที่ต้องการของสัญญาณ PSK จึงเท่ากับของสัญญาณ ASK ที่มีอัตราการเปลี่ยนแปลงของสัญญาณเท่ากัน คือ $B_T = R$ สำหรับประสิทธิภาพในการใช้แบนด์วิดท์นั้นก็จะเป็น $\log_2 M$ bps/H_z เช่นเดียวกับของกรณีสัญญาณ ASK แบบ M ระดับ อย่างไรก็ตามสัญญาณ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

PSK นี้ ถ้าจำนวนระดับสัญญาณ M มีค่ามากขึ้น จะทำให้ระยะห่างระหว่างสัญญาณลดลง ซึ่งจะเป็นปัญหาในด้านการดีเทคสัญญาณ เมื่อมีสัญญาณรบกวนปะปนอยู่ด้วย

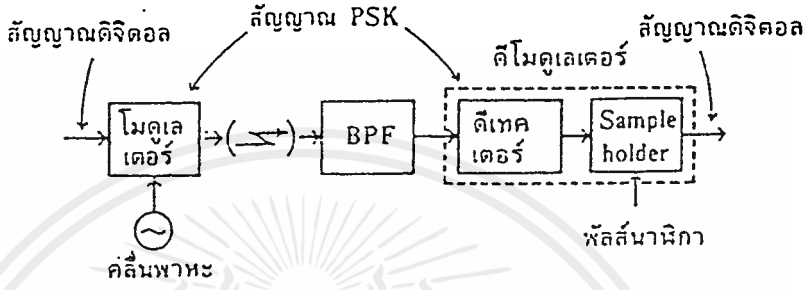
หลักการของไบนารีพีเอสเค (BINARY PSK) โมดูเลเตอร์และดีโมดูเลเตอร์

ทางด้านส่งมีโมดูเลเตอร์ ซึ่งเปลี่ยนสัญญาณดิจิตอลเป็นสัญญาณ PSK ทางด้านรับมีแบนด์พาสฟิลเตอร์และดีมอดูเลเตอร์ซึ่งจะเปลี่ยนสัญญาณ PSK เป็นสัญญาณดิจิตอลอันเดิมดีมอดูเลเตอร์ประกอบด้วยดีเทคเตอร์และ sample holder

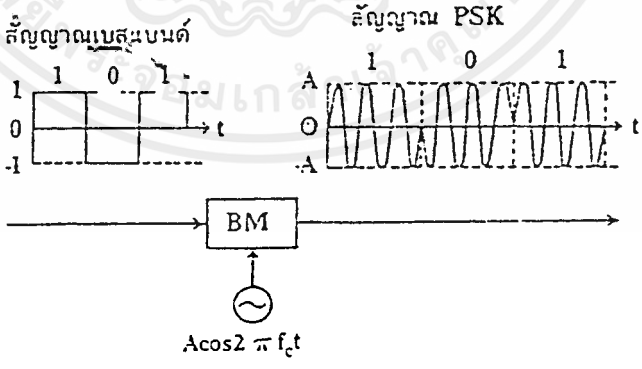
โดยทั่วไปแล้วการมอดูเลทสัญญาณ PSK จะใช้ balance modulater สมมติว่าสัญญาณดิจิตอลเบสแบนด์ อยู่ในรูปคลื่นสี่เหลี่ยมมีแอมปลิจูดเท่ากับ 1 สำหรับรหัส 1 และมีแอมปลิจูดเท่ากับ -1 สำหรับรหัส 0 เมื่อคลื่นสี่เหลี่ยมนี้ถูกผสมคลื่นโดยคลื่น carrier $A\cos 2\pi f_c t$ ผ่านวงจร balance modulater สัญญาณ PSK ที่ได้แสดงดังรูปที่ 4

สัญญาณ PSK สำหรับรหัส 1 จะเป็น $S(t) = 1 \times A\cos 2\pi fct = A\cos 2\pi fct$ ส่วนสัญญาณ PSK สำหรับรหัส 0 จะเป็น $S(t) = -1 \times A\cos 2\pi fct = -A\cos 2\pi fct$ เราสามารถเขียน $-A\cos 2\pi fct = A\cos(2\pi fct + \pi)$ ตามหลักการนี้แสดงว่าสำหรับรหัส 0 เฟสของ carrier จะเปลี่ยนไป 180 องศาซึ่งจะเห็นได้ชัดเจนดังรูปที่ 5

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

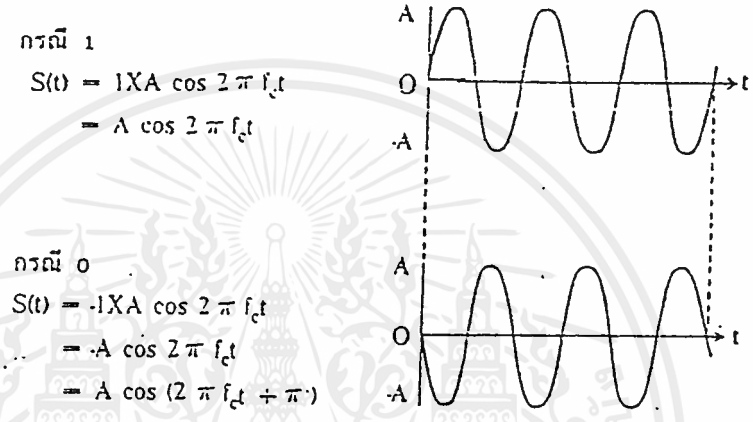


รูปที่ 3 แสดงการรับส่งสัญญาณดิจิตอล



รูปที่ 4 แสดงการมอดูเลทสัญญาณดิจิตอล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 5 แสดงการเปลี่ยนแปลงทางเฟสของคลื่น carrier

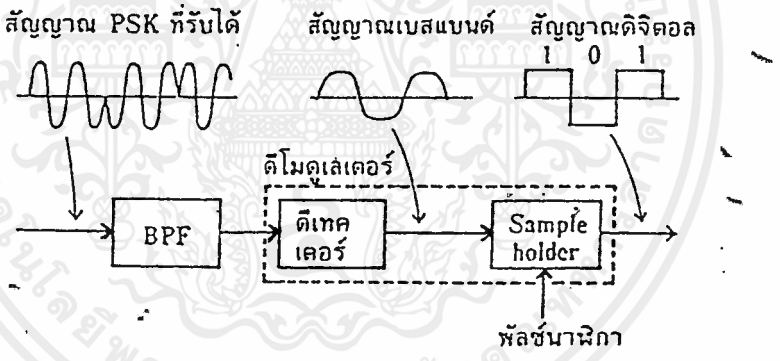
band pass filter ทางด้านรับซึ่งมีเสียงรบกวนบนอยู่ด้วยจะถูกดีเทคออกมาที่ดีมอดูเลเตอร์ การดีเทคเตอร์จะเอาสัญญาณเบสเบนด์ออกมา โดยตัดส่วนของ carrier ซึ่งรวมอยู่ในสัญญาณ PSK ออกไป สัญญาณเบสเบนด์จะไม่เป็นรูปสี่เหลี่ยมที่สมบูรณ์นัก เนื่องจากการกำหนดแถบความกว้าง โดยตัวกรองความถี่และเนื่องจากอิทธิพลของเสียงรบกวน sample holder จะสร้างสัญญาณดิจิตอลเดิมขึ้นมาใหม่ผ่านการพิจารณาโพลาสิตี้ บวก หรือ ลบ ของสัญญาณเบสเบนด์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ห้องสมุดคณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

<u>โคฮีเรนทีเทคชั่น</u>

การดีมอดูสัญญาณ PSK ทางด้านรับเป็นแบบโคฮีเรนทีเทคชั่นซึ่งมีหลักการดังนี้ สัญญาณ PSK ที่รับได้ ขั้นแรกจะผ่านวงจรมัลติไพล์ ซึ่งจะคูณสัญญาณ PSK ที่รับได้ กับ reference carrier

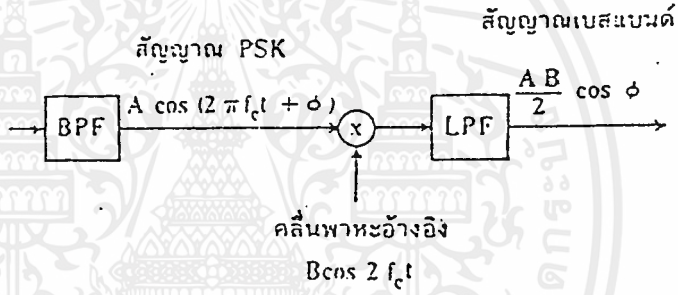


รูปที่ 6 แสดงการสร้างสัญญาณขึ้นมาใหม่ทางภาครับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้
032732

สำหรับฮาร์โมนิคซึ่งรวมอยู่ในสัญญาณเอาท์พุท จะถูกคัดออกไปโดยผ่าน low pass filter และได้สัญญาณเบสแบนด์ออกมาทางเอาท์พุท

ถ้าสัญญาณ PSK ที่รับเข้ามาคือ $A\cos(2\pi fct+\psi)$ คลื่นพาหะอ้างอิงมีไว้เพื่อการซิงโครไนซ์กับคลื่นพาหะทางด้านส่งคือ $B\cos 2\pi fct$ สัญญาณที่ออกหลังจากผ่าน low pass filter แล้วสามารถกำหนดได้เป็น $AB/2\cos\psi$



รูปที่ 7 แสดงการรับสัญญาณ PSK ทางด้านรับ

ทั้งนี้เนื่องจาก

$$A\cos(2\pi fct+\psi) \cdot B\cos 2\pi fct$$

$$= \frac{AB}{2}((\cos 2\pi fct+\psi+2\pi fct)+\cos(2\pi fct+\psi-2\pi fct))$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$= \frac{AB}{2} (\cos(4\pi fct + \Psi) + \cos \Psi)$$

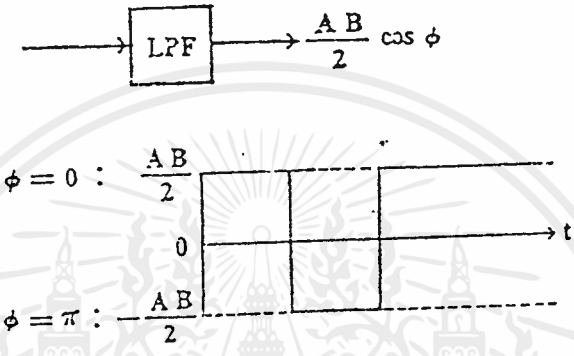
ซึ่ง $\frac{AB}{2} \cos(4\pi fct + \Psi)$ นี้คือฮาร์โมนิค โดยมีความถี่เป็นสองเท่าของความถี่คลื่นพาหะเดิม ซึ่งจะถูกตัดออกไปเมื่อผ่าน low pass filter ดังนั้นทางเอาท์พุทจึงมีแค่เพียง $\frac{AB}{2} \cos \varphi$ เท่านั้น

$\frac{AB}{2} \cos\varphi$ นี้ จะได้เป็น $\frac{AB}{2}$ เมื่อ $\Psi = 0$ และจะได้เป็น $\frac{AB}{2}$ เมื่อ $\Psi = \pi$ ดังในรูปที่ 8

สัญญาณเอาท์พุท ในทางปฏิบัติแล้วจะไม่เป็นรูปสี่เหลี่ยมโดยสมบูรณ์ ทั้งนี้เนื่องจากอิทธิพลของแบนด์ลิมิตเตชั่น (band limitation) และเสียงรบกวน

ต่อจากนี้สัญญาณเบสแบนด์จะถูกส่งไปยังวงจร sample holder ซึ่งวงจรจะทำการสุ่มตัวอย่าง สัญญาณเบสแบนด์ด้วย clock pulse ที่จุดกึ่งกลางของแต่ละรหัสสัญญาณ และกำหนดว่ารหัสนั้นว่าเป็น 1 หรือ 0 โดยการตัดสินใจหรือพิจารณาจากโพลาลิตี้ (polarity) ของสัญญาณ sample นั้น แล้วทำการสร้างสัญญาณดิจิตอลตั้งเดิมขึ้นมาใหม่ ในรูปนี้รหัสเป็น 1 สำหรับสัญญาณที่มีแอมปลิจูดเป็นบวกและรหัสเป็น 0 สำหรับสัญญาณที่มีแอมปลิจูดเป็นลบ

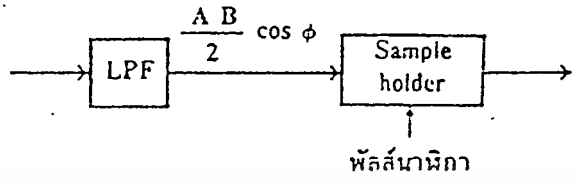
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

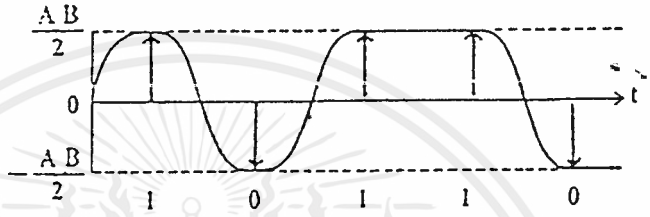


รูปที่ 8 แสดงสัญญาณเอาท์พุทหลังจากผ่าน low pass filter

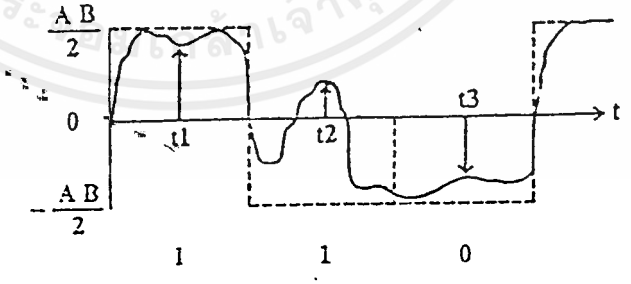
เมื่อสัญญาณมีการผิดเพี้ยนเนื่องจากอิทธิพลของเสียงรบกวน ถ้ามีการผิดเพี้ยนน้อยเฟสสิ้ของสัญญาณก็จะไม่เปลี่ยนแปลง เช่นที่ t1 และ t3 รหัสที่ได้ออกมาก็ถูกต้อง แต่ถ้าพิจารณาที่ t2 เฟสสิ้ของสัญญาณถูกเปลี่ยนไปในทางตรงกันข้าม เนื่องจากเกิดการผิดเพี้ยนมากรหัสที่ได้ออกมาก็จะผิดไปจากรหัสเดิม บิทเออเรอร์ (bit error) ก็จะเกิดขึ้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้





รูปที่ 9 แสดงการพิจารณารหัสเป็น 1 หรือ 0 โดย sample holder

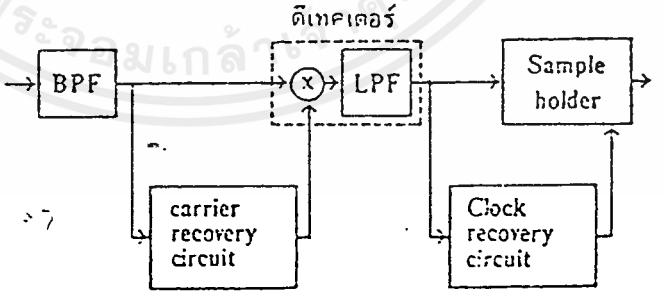


รูปที่ 10 แสดงรหัสผิดเพี้ยนเนื่องจากเสียงรบกวน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

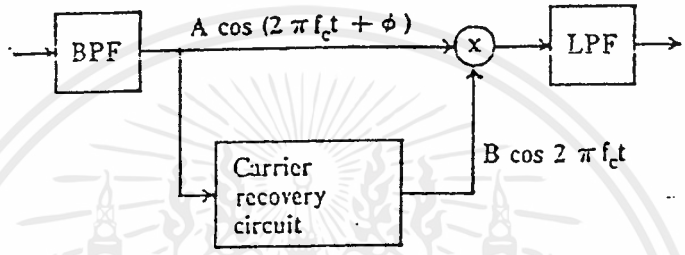
จากรูปที่ 11 เป็นบล็อกไดอะแกรมของโคฮีเรนท์ดีมอดูเลเตอร์ มี band pass filter detecter,sample holder,carrier recovery circuit and clock recovery วงจร carrier recovery circuit จะสร้างสัญญาณคล็อกขึ้นมาใหม่ โดยการทวีคูณสัญญาณ PSK ที่รับมาได้ ส่วน clock recovery circuit จะสร้างสัญญาณคล็อกขึ้นมาใหม่ เพื่อใช้สำหรับการ sample holder ในวิธีการโคฮีเรนท์ดีเทคชั่นนี้ ทั้งคลื่นพาหะอ้างอิงและสัญญาณคล็อก จะถูกสร้างขึ้นมาใหม่จากสัญญาณ PSK ที่รับเข้ามา

คลื่นพาหะอ้างอิงที่ใช้ในโคฮีเรนท์ดีเทคชั่น เพื่อการซิงโครไนซ์กับคลื่นพาหะทางด้านส่ง เพื่อจุดประสงค์นี้คลื่นพาหะอ้างอิงถูกสร้างขึ้นใหม่จากสัญญาณ PSK ที่รับเข้ามาจากสัญญาณอินพุทที่เข้าวงจร carrier recovery circuit สามารถกำหนดโดย $A\cos(2\pi fct+\psi)$สัญญาณเอาพุทคือคลื่นพาหะอ้างอิงกำหนดโดย $B\cos 2\pi fct$



รูปที่ 11 แสดงบล็อกไดอะแกรมของโคฮีเรนท์ดีมอดูเลเตอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



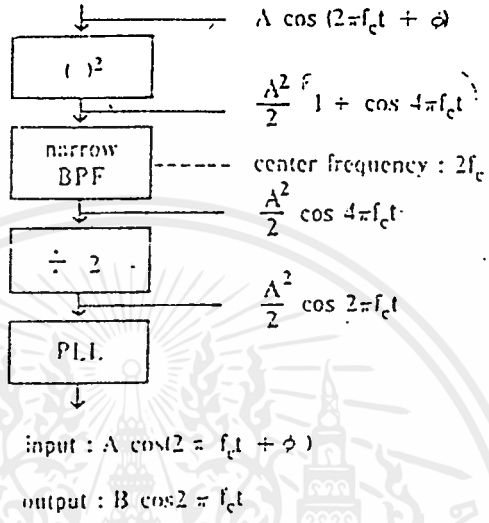
รูปที่ 12 แสดงหลักการของ carrier recovery

สัญญาณ ($\frac{A^2}{2}\cos 2\pi fct$)ที่ออกจากวงจรดีเวเดอร์ปกติจะมีเสียงรบกวนรวมอยู่ด้วย เพื่อที่จะ

ตัดเสียงรบกวนออก และได้คลื่นพาหะอ้างอิงที่ปราศจากการผิดเพี้ยน จำเป็นต้องใช้วงจร PLL ช่วย วงจร PLL ประกอบด้วย phase comparater and voltage controlled oscillater ที่วงจร phase comparater สัญญาณเอาท์พุทของวงจรดีเวเดอร์จะถูกเปรียบเทียบอย่างต่อเนื่องกับเอาพุทของ VCO เมื่อมีความต่างเฟสของวงจรทั้งสองนี้ สัญญาณเอาท์พุทของ VCO จะถูกควบคุมอย่างอัตโนมัติ ในการปรับเฟสของสัญญาณทั้งสองโดยวิธีการนี้ คลื่นพาหะอ้างอิง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Bcos2 πfct ซึ่งไม่มีเสียงรบกวนรวมอยู่ด้วยสามารถที่จะสร้างขึ้นมาใหม่ได้

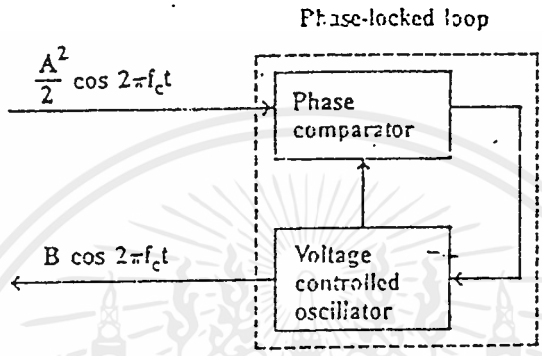


รูปที่ 13 แสดงสัญญาณตามจุดต่างๆของวงจร carrier recovery

คล็อกพัลส์ที่จำเป็นสำหรับการ sample holder ก็จะถูกสร้างขึ้นมาใหม่จากสัญญาณ PSK ที่รับได้เช่นกัน เพื่อจุดประสงค์นี้ต้องใช้วงจร clock recovery สัญญาณเบสแบนด์ที่ได้ทางเอาท์พุทของดีเทคเตอร์โดยทั่วไปจะใช้เป็นสัญญาณอินพุทให้กับวงจร clock recovery

มีอยู่หลายวิธีในการสร้างสัญญาณคล็อกขึ้นมาใหม่ วงจรที่ 15 นี้ก็เป็นตัวอย่างวงจรหนึ่งซึ่งประกอบด้วย squaring,narrow BPF,PLL and limiter สำหรับ narrow BPF ที่ใช้ในวงจรนี้มีความถี่กึ่งกลางของ $\frac{1}{T}$ ซึ่ง T คือ ความกว้างของรหัสตัวหนึ่งๆ ดังนั้น $\frac{1}{T}$ คือความถี่ของ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 14 แสดงการทำงานของ PLL

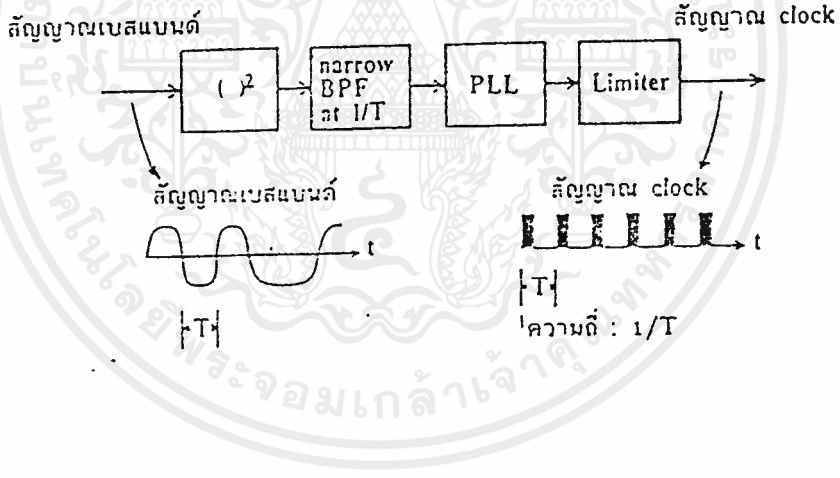
สัญญาณคล็อกที่ได้ โดยการผ่านของสัญญาณเบสแบนด์ที่ได้รับที่เอาท์พุท ของดีเทคเตอร์ผ่านวงจรนี้ เราจะได้รับสัญญาณคล็อกที่มีความถี่ $\frac{1}{T}$

<u>การผิดพลาดทางเฟส (phase ambiguity)</u>

คลื่นพาหะอ้างอิงที่ใช้ในโคฮีเรนท์ดีเทคเตอร์ มีความจำเป็นเพื่อล็อกเฟสกับคลื่นพาหะทางส่ง แต่อย่างไรก็ตามปกติแล้วเป็นไปไม่ได้ที่จะทำให้คลื่นพาหะสองชนิดนี้มีการล็อกเฟสซึ่งกันและกันอย่างสมบูรณ์ใน binary PSK ความต่างเฟสอาจจะมีสาเหตุจากความต่างระหว่างคลื่นทั้งสอง แต่เป็น

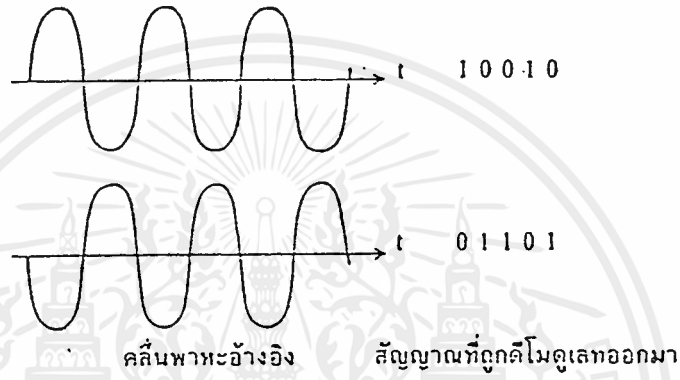
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ไปไม่ได้ที่จะรู้ความต่าง เฟสนี้ทางภาครับ ความไม่สามารถที่จะดีเทคความต่าง เฟสนี้ จึง เป็นผลทำ
ให้เกิดการผิดพลาดทาง เฟส เมื่อคลื่นพาหะอ้างอิง เกิดการ เอาท์ออฟเฟส เท่ากับเครื่องหมายของ
บิทที่อยู่ในการดีมอดูเลทสัญญาณดิจิตอล จะเกิดการ เปลี่ยนกับจาก 1 เป็น 0 และจาก 0 เป็น 1



รูปที่ 15 แสดงวงจร clock recovery

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



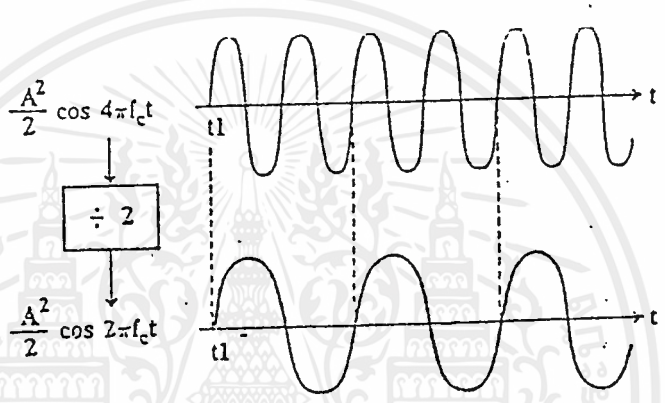
รูปที่ 16 แสดงการผิดพลาดทางเฟส

การผิดพลาดทางเฟสมีสาเหตุมาจากความถี่ดีเวเดอร์ในวงจร carrier recovery ในการหารความถี่นี้ สัญญาณ cos4πfct ถูกหารความถี่ด้วย 2 จะได้ cos2πfct รูปที่ 17 แสดงรูปดั้งเดิมและรูปคลื่นทางเอาท์พุท ที่ได้หลังการผ่านวงจรหารความถี่ด้วย 2 ซึ่งมีจุดเริ่มแรกที่ t1 โดยการกำหนดจุดเริ่มแรกที่ต่างกันเราจะได้เอาท์พุทที่ต่างกันด้วย

จากรูปที่ 18 เป็นอินพุทและเอาท์พุทของวงจรหารความถี่ ซึ่งใช้ในวงจร carrier recovery ซึ่งเอาท์พุท (A) ได้จากกรณี t1 เป็นจุดเริ่มต้นส่วนเอาท์พุท (B) ได้จากกรณีให้ t2

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

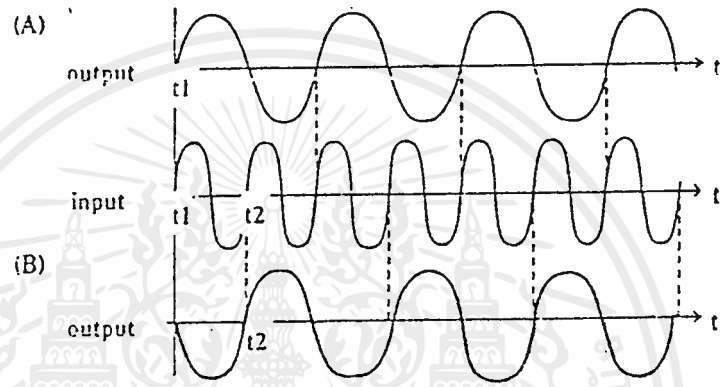
เป็นจุดเริ่มต้น จะเห็นว่าเอาท์พุททั้งสองกรณีจะกลับเฟสกัน



รูปที่ 17 แสดงรูปคลื่นเมื่อผ่านวงจรหารความถี่

เนื่องจากรูปคลื่นเอาท์พุททั้งสองแบบ สามารถทำให้เกิดขึ้นได้ที่เอาท์พุทของวงจรหารความถี่ ดังนั้นเราจึงต้องมาพิจารณารูปคลื่นพาหะอ้างอิงสองแบบ แบบหนึ่งเฟสตรงกับพาหะทางด้านส่ง และอีกแบบหนึ่งต่างเฟสกับคลื่นพาหะ ตามปกติแล้วแบบใดแบบหนึ่งของคลื่นพาหะอ้างอิงในสองแบบนั้น

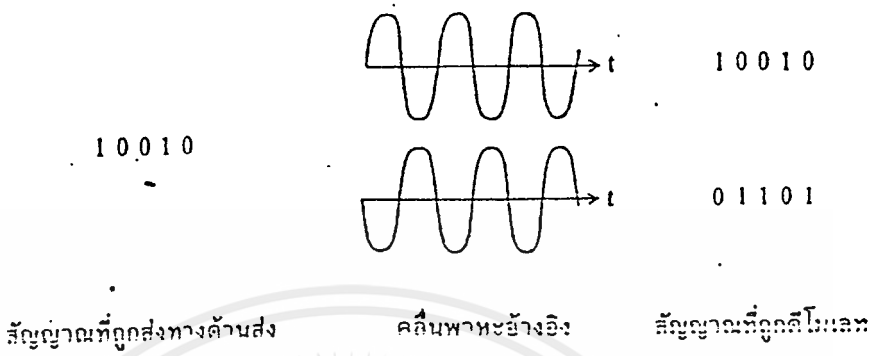
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 18 แสดงการเปรียบเทียบเอาท์พุทกรณี t1 และ t2 เป็นจุดเริ่มต้น

ใช้ในการดีมอดูเลทอยู่แล้ว อย่างไรก็ตามไม่มีการกำหนดแน่นอน ว่าแบบไหนที่ใช้สำหรับการดีมอดูเลท ดังนั้นเราจึงไม่สามารถกำหนดได้ว่าสัญญาณดิจิตอล ที่ได้รับหลังจากการผ่านการดีมอดูเลทเป็นแบบปกติหรือแบบกลับเฟส

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 19 แสดงสัญญาณดิจิตอลหลังผ่านการดีมอดูเลท

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 3

การสร้าง

การออกแบบ PSK MODEM

สำหรับโมเดมอีกชนิดหนึ่งซึ่งเสนอในวิทยานิพนธ์นี้ ใช้การมอดูเลทแบบ PSK หรือเป็นการเปลี่ยนแปลงเฟสของสัญญาณเทนการเปลี่ยนแปลงทางความถี่ของสัญญาณ PSK สามารถเขียนได้

$$V(t) = m(t) \cos w_c t$$

โดย $m(t) = +1, -1$ ขึ้นอยู่กับสัญญาณเบสแบนด์อินพุท ซึ่งความเข้มของสเปคตรัมกำลังสำหรับสัญญาณ PSK ที่มอดูเลทสัญญาณเบสแบนด์ NRZ ที่เป็นแรนดัมจะเป็นการย้ายความถี่ที่ 0 H_z ของความเข้มของสเปคตรัมกำลังของสัญญาณ NRZ มาที่ความถี่คลื่นพาห์ ดังนั้นความเข้มของสเปคตรัมของสัญญาณ PSK จึงแสดงได้โดยอาศัยสมการ

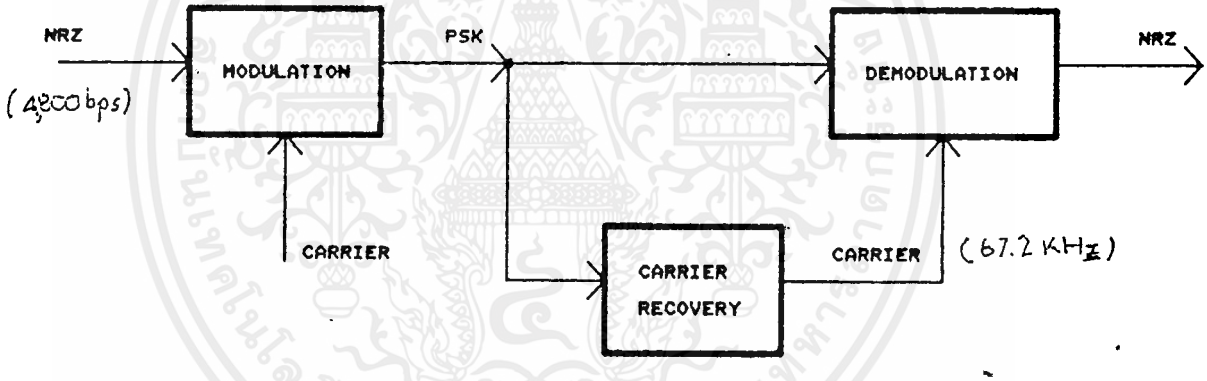
$$P_{psk}(f) = A^2 Tb\left[\sin \frac{\pi(f-fc)Tb}{\pi(f-fc)Tb}\right]^2$$

สำหรับการสร้างสัญญาณ PSK สามารถสร้างโดยเอาสัญญาณ carrier คูณกับสัญญาณเบสแบนด์ NRZ ที่มีขั้ว (bi-polar NRZ) ซึ่งแสดงโครงสร้างได้ดังรูปที่ 20

สำหรับภาคดีมอดูเลทสัญญาณ PSK ใช้การดีมอดูเลทแบบ correletion reciver ซึ่งประกอบด้วย วงจรคูณ วงจรอินทิเกรทและวงจรตัดสินระดับลอจิก โดยวงจรคูณสัญญาณ PSK ที่รับมาทางด้านอินพุท ($\pm$ COS $w_c t$) กับสัญญาณ carrier (COS $w_c t$) ที่ภาครับโดย carrier นี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ต้องซิงโครไนซ์ (synchronize) กับทางภาคส่ง หรือต้องสร้างสัญญาณ COS $\omega_c t$ จากสัญญาณ $\pm$COS $\omega_c t$ ซึ่งส่วนที่ทำหน้าที่นั้นเรียกว่าวงจร carrier recovery สำหรับเอาท์พุทของวงจรคูณจะประกอบด้วยสัญญาณ



รูปที่ 20 แสดงการมอดูเลทและดีมอดูเลทสัญญาณ PSK

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$VO = \pm \cos \omega_c t . \cos \omega_c t$$

$$= \pm \frac{1}{2} (1+\cos 2\omega_c t)$$

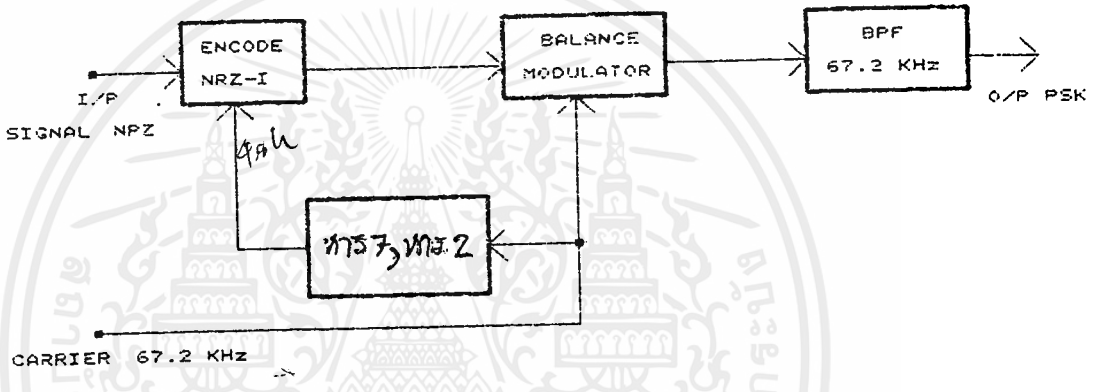
$DC \pm \cos \omega_c t$ ซึ่งขึ้นอยู่กับสัญญาณ PSK ทางด้านอินพุทและสัญญาณความถี่ $\cos 2\omega_c t$ ซึ่งจะเป็นอินพุทของวงจรอินทิเกรทและจะเอาเฉพาะสัญญาณ $\pm$ DC เพื่อเป็นอินพุทให้กับวงจรตัดสินระดับลอจิกให้เอาท์พุทเป็นสัญญาณเบสแบนด์

ภาคส่ง

1 บล็อกไดอะแกรมด้านส่ง

จากบล็อกไดอะแกรมจะเห็นว่าอินพุทสัญญาณ NRZ จะถูกทำการเข้ารหัส โดยสัญญาณความถี่ 4,800 H_z ที่ได้จากวงจรหาร 7 และหาร 2 จากสัญญาณอินพุท carrier 67.2 KH_z ผลของการเข้ารหัสเราจะได้สัญญาณ NRZ-I ในการเข้ารหัสสัญญาณ NRZ เป็น NRZ-I เราทำเพื่อไม่ให้เกิดการสับสนทางเฟสซึ่งอาจจะเกิดขึ้นได้ จากสัญญาณ NRZ-I ก็จะมาทำการ balance modulation กับสัญญาณอินพุทความถี่ 67.2KH_z โดย IC 1495 ผลที่ออกมาทางเอาท์พุทจะได้สัญญาณ PSK แต่สัญญาณPSK ที่ได้นี้ความถี่กึ่งกลาง 67.2 KH_z

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 21 แสดงบล็อกไดอะแกรมด้านส่ง

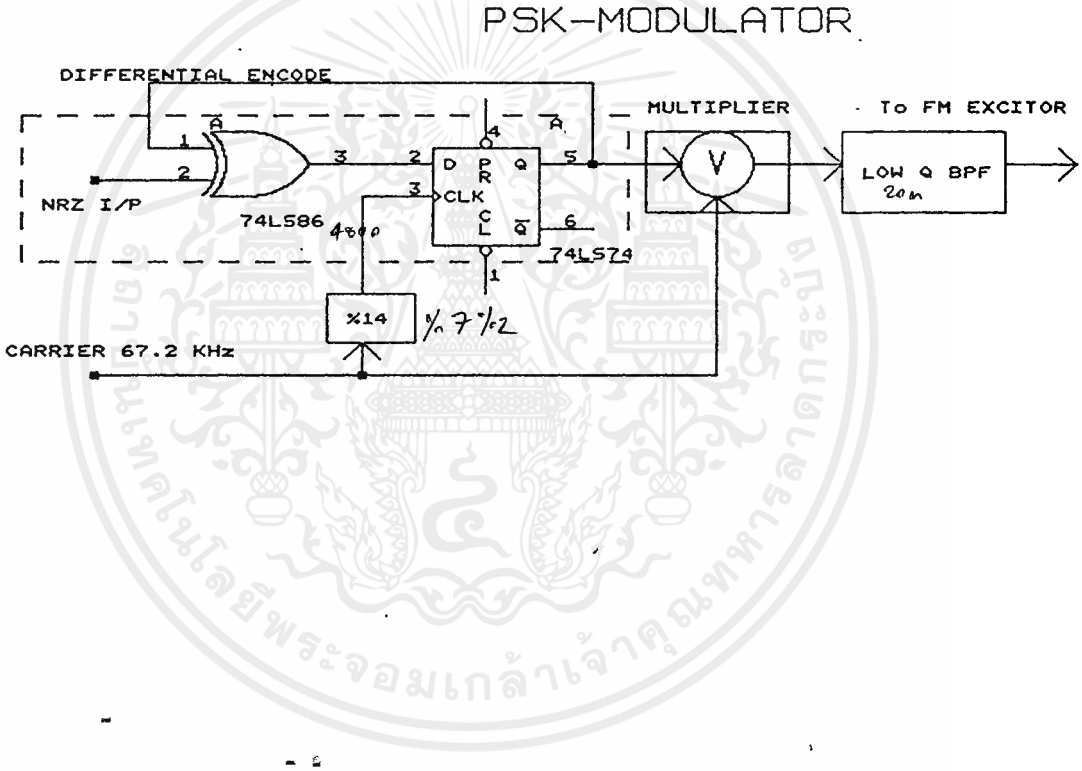
2 การออกแบบวงจรมอดูเลทสัญญาณ PSK

สาหรับวงจรมอดูเลทสัญญาณ PSK จากข้อกำหนดให้มีความถี่ carrier เท่ากับ 67.2 KH_z มีบิทเรท เท่ากับ 4,800 bps โครงสร้างของวงจรแสดงได้ดังรูปที่ 22

โดยวงจรมอดูเลทสัญญาณ PSK จะเป็นวงจรคูณสัญญาณ carrier ความถี่ 67.2 KH_z กับสัญญาณ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เบสแบนด์ NRZ โดยวงจรมอดูเลทสัญญาณ PSK ประกอบด้วยวงจรสร้างสัญญาณความถี่carrier 67.2 KH_Z



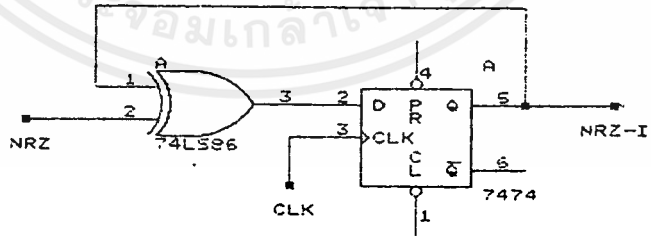
รูปที่ 22 แสดงโครงสร้างของวงจรมอดูเลทสัญญาณ PSK

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3 วงจรเข้ารหัสสัญญาณ NRZ/NRZ-I

สำหรับเหตุผลที่ต้องเข้ารหัสสัญญาณเบสแบนด์ NRZ เป็น NRZ-I เพื่อใช้การเปลี่ยนแปลงขอบสัญญาณ (transition) แทนการเปลี่ยนแปลงทางระดับ (level) ในการส่งข้อมูลในการมอดูเลทสัญญาณ PSK เพื่อป้องกันการสับสนทางเฟส (phase embiguity) ซึ่งเกิดจากเฟสของวงจรกู้สัญญาณcarrier ผิดจาก COS $w_c t$ เป็น -COS $w_c t$ ซึ่งผลจะทำให้เกิดการมอดูเลทผิด จากความเป็นจริงถ้าหากทำการส่งด้วยสัญญาณ NRZ แต่ถ้าหากเราทำการเข้ารหัสสัญญาณ NRZ เป็น NRZ-I จะเป็นการใช้การเปลี่ยนแปลงขอบของสัญญาณเมื่อต้องการส่ง 0 หรือ 1 จะสามารถแก้ปัญหาเนื่องจากการสับสนทางเฟสได้

สำหรับการเข้ารหัสสัญญาณ NRZ เป็น NRZ-I ซึ่งในการออกแบบใช้ NRZ-I แบบ NRZ-M สามารถแสดงวงจรได้ดังรูปที่ 23



รูปที่ 23 แสดงวงจรเข้ารหัสสัญญาณ NRZ เป็น NRZ-I

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การเข้ารหัสสัญญาณ NRZ หรือ NRZ-L (non return to zero level) เป็น NRZ-M (non return to zero mark)ใช้หลักการ differential encode โดยการมอดูเลทแทนได้ EX-OR GATE ดังในทางปฏิบัติใช้วงจรรวม 74LS86 และสำหรับการหน่วงเวลาไป 1 บิท ใช้ดีฟลิปฟลอป โดยสัญญาณ นาฬิกาของฟลิปฟลอปได้จากสัญญาณกำหนดบิทเรทของสัญญาณเบสแบนด์ โดยดีฟลิปฟลอปใช้วงจรรวม74LS74

4 วงจรคูณสัญญาณ

สำหรับวงจรคูณสัญญาณเบสแบนด์เข้ากับความถี่ carrier ขนาด 67.2 KH_z นั้นใช้วงจร LM1495 โดยLM1495 สามารถทำการคูณสัญญาณที่มีขนาดใหญ่ สำหรับวงจรคูณสัญญาณแสดงได้ดังรูปที่ 24

5 วงจรหาร 7 หาร 2

ในการออกแบบวงจรหารจริงๆ แล้วเราต้องการวงจรหาร 14 แต่เนื่องจากถ้าเราทำการหาร 14 เลยทีเดียวจะทำให้เกิดปัญหา duty cycle ไม่สวยเพราะฉะนั้นจึงต้องทำเป็นวงจรหาร 7 กับหาร 2 แทน

วงจรหาร 14 จะทำหน้าที่ในการหารความถี่ carrier 67.2 KH_z เพื่อให้ได้ความถี่ที่ต้องการในการนำมาเข้ารหัสสัญญาณ NRZ กับความถี่ทางอินพุทที่เข้ามา 4,800 bps ทำให้เกิดการซิงค์โครไนซ์ในการเข้ารหัส บล็อกไดอะแกรมและวงจรหาร 14 แสดงดังรูปที่ 25

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

6 วงจรกรองความถี่ผ่าน 67.2 KH_z

การออกแบบวงจรกรองความถี่ผ่าน 67.2KH_z กำหนดขนาดของความถี่ศูนย์กลาง เท่ากับ 67.2 KH_z โดยขนาดของแบนด์วิดท์ต้องให้มีขนาดมากกว่า 2 เท่าของความถี่บิทเรทของสัญญาณเบสแบนด์หรือมากกว่า 9.6KH_z ดังนั้นค่า Q ของวงจรจึงต้องน้อยกว่า 7 ซึ่งในการออกแบบเลือกให้ค่ามีขนาดเท่ากับ 6 โดยขนาดของแบนด์วิดท์จะประมาณเท่ากับ 11.2KH_z วงจรกรองความถี่ผ่าน 67.2 KH_z แสดงดังรูปที่ 26

การคำนวน BPF

กำหนด f_o = 67.2 KH_z

H = 10

Q = 6

สูตร $R_1 = \frac{Q}{HW_oC1} = \frac{6}{10 \times 2 \times 3.14 \times 67.2 \times 10^3 \times 1 \times 10^{-9}}$

= 1.42 K ใช้ 1.5 K

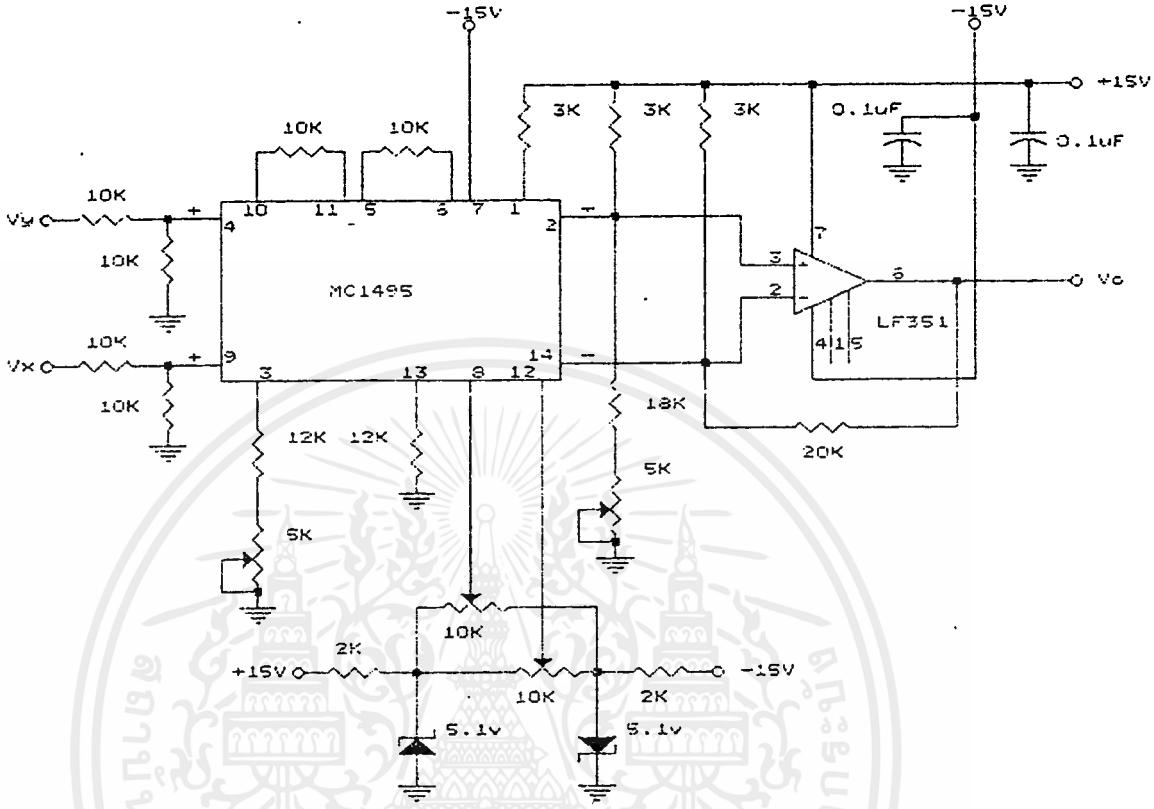
$R_2 = \frac{Q}{(2Q^2-H)W_oC1} = \frac{6}{(2 \times 6^2-10) 2 \times 3.14 \times 67.2 \times 10^3 \times 1 \times 10^{-9}}$

= 229 โอมห์ ใช้ 1K

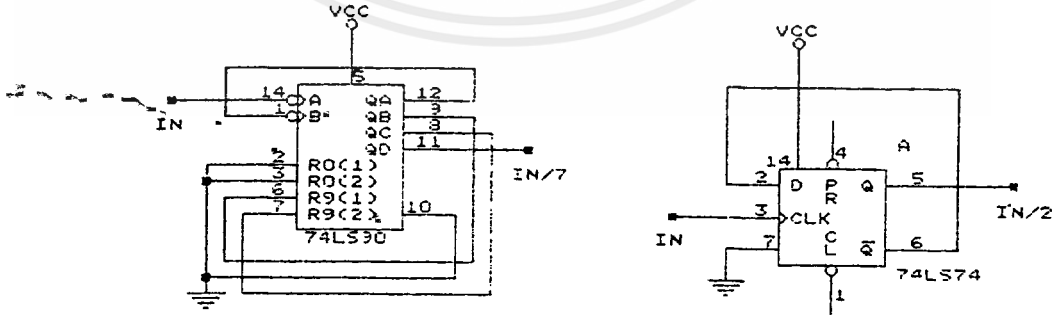
$R_3 = \frac{2Q}{WOC1} = \frac{2 \times 6}{2 \times 3.14 \times 67.2 \times 10^3 \times 1 \times 10^{-9}}$

= 28.4 K ใช้ 27 K

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



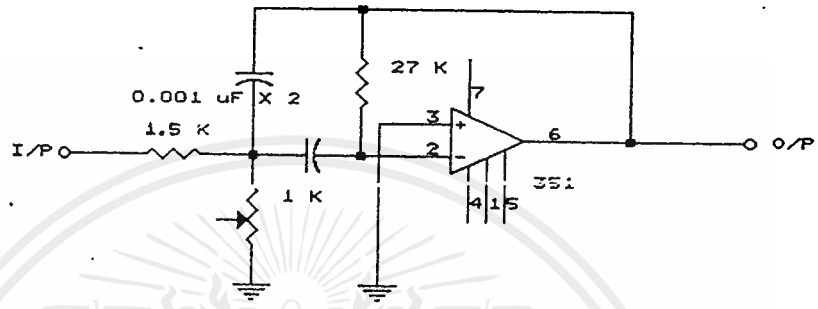
รูปที่ 24 วงจรคูณสัญญาณเบสแบนด์เข้ากับสัญญาณความถี่ carrier



วงจรหาร 7 หาร 2 (หาร 14)

รูปที่ 25 แสดงบล็อกไดอะแกรมและวงจรหาร 14

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 26 แสดงวงจรกรองความถี่ผ่าน 67.2 KH_Z (BPF)

ภาครับ

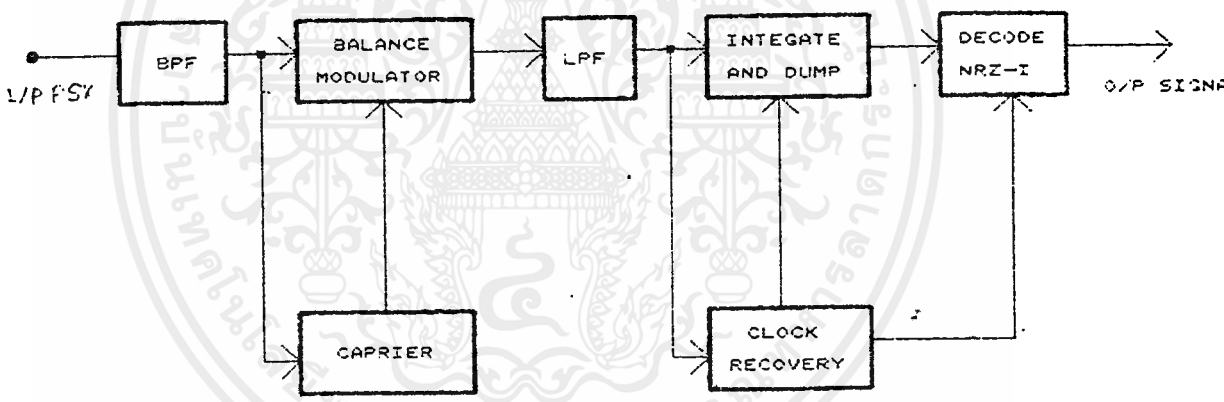
1 บล็อกไดอะแกรมภาครับ

จากบล็อกไดอะแกรมจะเห็นได้ว่าภาครับจะรับสัญญาณ PSK จากภาคส่งมาเข้าวงจร band pass filter เพื่อทำการกรองเอาเฉพาะสัญญาณ PSK ความถี่ 67.2 KH_Z และได้แยกออกเป็นสองส่วน ส่วนหนึ่งจะมาเข้าวงจร balance modulater โดยตรง และอีกส่วนหนึ่งจะมาเข้าวงจร carrier recovery ในวงจร carrier recovery จะมีการทำขบวนการ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ของวงจร squaring,phaselockloop และวงจรหารสอง เพื่อให้ได้สัญญาณ carrier ความถี่ 67.2 KH_Z มาดีมอดูเลทกับสัญญาณ PSK ที่ภาค balance modulater เอาท์พุทของวงจร balance modulater จะเป็น data แต่ไม่เรียบจึงต้องมาผ่านวงจร low pass filter เพื่อตัด noise ออกให้เหลือแต่สัญญาณ data จากนั้นจะมาเข้าวงจร integate and dump ส่วนหนึ่งและอีกส่วนหนึ่งจะมาเข้าวงจร clock recovery ซึ่งในวงจร clock recovery จะมีขบวนการของวงจร squaring ,phase lock loop ,limitter เพื่อให้ได้สัญญาณ clock ความถี่ 4,800 H_Z มาเข้าวงจร integate and dump เพื่อที่จะลดการสั่นของสัญญาณหลังจากนั้นนำสัญญาณ integate and dump ที่ได้มา decode สัญญาณ NRZ BASE BAND กับสัญญาณ clock ความถี่ 4,800 H_Z จะได้เอาท์พุทเป็น data ตามต้องการ บล็อกไดอะแกรมแสดงดังรูปที่ 27

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



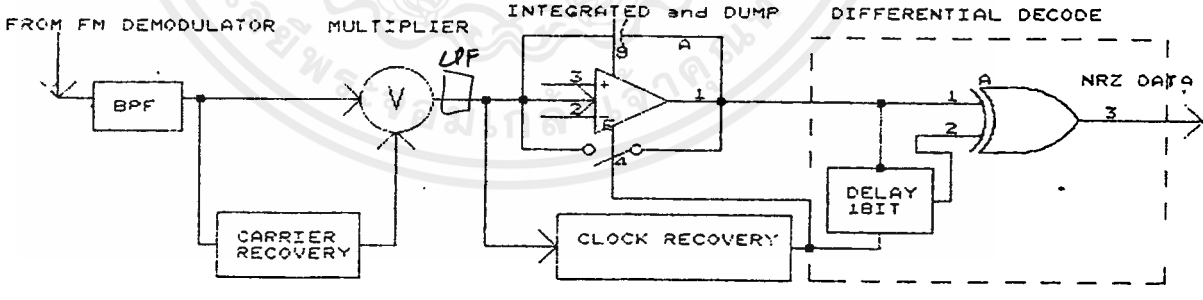
รูปที่ 27 แสดงบล็อกไดอะแกรมภาครับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2 การออกแบบวงจรดีมอดูเลทสัญญาณ

สาหรับภาคดีมอดูเลทสัญญาณ PSK ในวิทยานิพนท์นี้แสดงโครงสร้างได้ดังรูปที่ 28

โครงสร้างวงจรดีมอดูเลทสัญญาณ PSK ซึ่งประกอบไปด้วยส่วนใหญ่ๆ คือวงจรกรองความถี่ วงจรดีมอดูเลเตอร์ (demodulator) ซึ่งวงจรดีมอดูเลเตอร์ประกอบด้วย วงจรกู้สัญญาณ carrier (carrier recovery) วงจรคูณสัญญาณ วงจรอินทิเกรทแอนท์ดัมพ์ (intergated and dump) และสาหรับการส่งสัญญาณ PSK ส่วนของสัญญาณเบสแบนด์เข้ารหัสที่ภาคส่งเป็น NRZ-I ดังนั้นเพื่อให้สามารถถอดรหัสเป็น NRZ ได้ ที่ภาครับจะต้องมีวงจรกู้สัญญาณนาฬิกา (clock recovery) และวงจรถอดรหัสสัญญาณ NRZ-I เป็น NRZ



รูปที่ 28 แสดงโครงสร้างภาคดีมอดูเลทสัญญาณ PSK

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3 วงจรกรองความถี่ผ่าน 67.2 KH_z

สำหรับวงจรกรองความถี่ผ่าน 67.2 KH_z สำหรับภาคดีมอดูเลทสัญญาณ PSK กำหนดให้มีค่า Q เท่ากับ 6 และค่าอัตราการขยายที่ความถี่ศูนย์กลาง เท่ากับ 1 วงจรกรองความถี่ 67.2KH_z สำหรับ ภาคดีมอดูสัญญาณ PSK แสดงดังรูปที่ 29

จากข้อกำหนด f_o = 67.2 KH_z

Q = 6

H = 1

สูตร $R_1 = \frac{Q}{HW_oC1} = \frac{6}{2x3.14x67.2x10^3x1x10^{-3}}$

= 14.2 K ใช้ 15 K

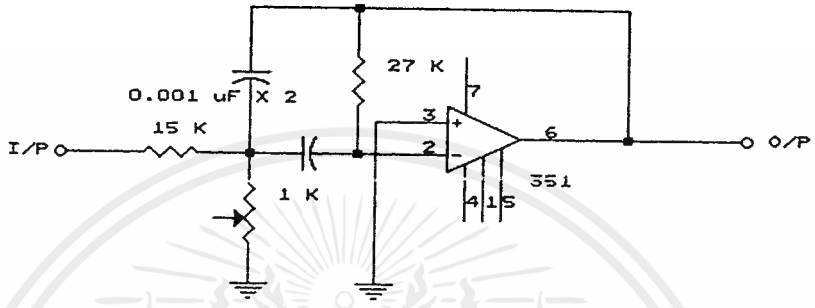
$R_2 = \frac{Q}{(2Q^2-H)W_oC1} = \frac{6}{(2x6^2-1)2x3.14x67.2x10^3x1x10^9}$

= 200 โอมห์ ใช้ 1 K

$R_3 = \frac{2Q}{W_oC1} = \frac{2x6}{2x3.14x67.2x10^3x1x10^{-9}}$

= 28.4 K ใช้ 27 K

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



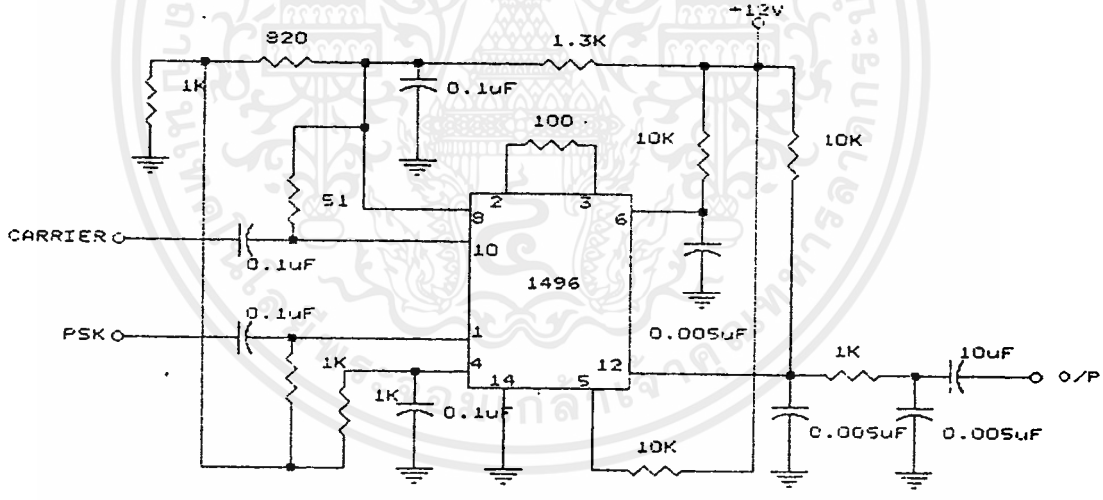
รูปที่ 29 แสดงวงจรกรองความถี่ 67.2KH$_Z$ สำหรับภาคดีมอดูเลทสัญญาณ PSK

4 วงจรคูณสัญญาณ

วงจรคูณสัญญาณ carrier กับสัญญาณ PSK ใช้วงจรรวม LM1496 การออกแบบใช้แหล่งจ่ายสองชุด คือ +12 V โดยสัญญาณที่คูณจะป้อนเข้าที่ขา 1 และขา 10 โดยสัญญาณอินพุทที่ขา 1- เป็นอินพุทจากสัญญาณ PSK และสัญญาณอินพุทที่ขา 10 เป็นสัญญาณ จากวงจรกู้สัญญาณ carrier โดยขนาดของสัญญาณเป็นขนาดเล็กไม่เกิน 1 vp-p สำหรับเอาท์พุทของวงจรคูณคือขา 6 และขา 12 โดยให้สัญญาณที่กลับเฟสกัน โดยสัญญาณเอาท์พุทความถี่สูงถูกคลับปลิ้งลงกราวด์ และสัญญาณความถี่เบสแบนท์ใช้เป็นอินเวอร์ติ้ง (inverting) และนอนอินเวอร์ติ้ง (non inverting) ของออปแอมป์สามารถกำหนดได้โดย กำหนดอัตราส่วนระหว่างความต้านทานที่ป้อน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กลับและความต้านทานอินพุท โดยในที่นี้กำหนดอัตราขยายเท่ากับ 100 และสำหรับการออกแบบเพื่อให้ใช้แหล่งจ่าย +12 V กับกราวด์ ที่ขานอนอินเวอร์ติ้งอินพุทของออปแอมป์ ต้องจัดไบอัสแรงดันที่มีขนาดประมาณครึ่งหนึ่งของแหล่งจ่ายที่ป้อนเข้าที่ขา VCC ซึ่งกำหนดใช้ซีเนอร์ไดโอดขนาด 5.2 V สำหรับวงจรคูณสัญญาณ carrier ซึ่งสัญญาณ PSK แสดงดังรูปที่ 30

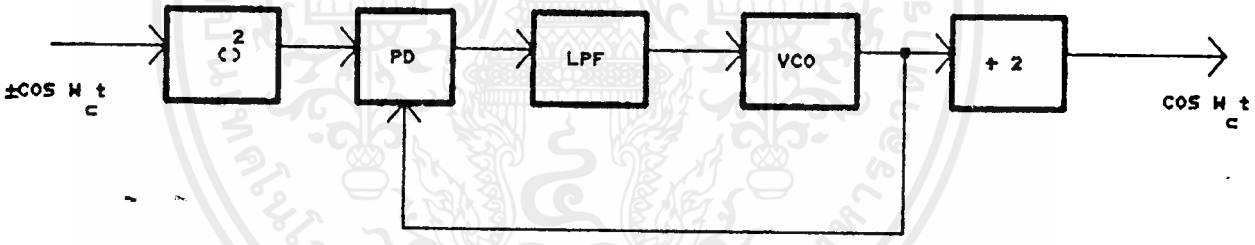


รูปที่ 30 แสดงวงจรคูณสัญญาณ PSK กับสัญญาณ carrier

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5 วงจรกู้สัญญาณ carrier (carrier recovery)

วงจรกู้สัญญาณ carrier เป็นวงจรสร้างสัญญาณ carrier ขึ้นที่ภาครับของวงจรมอดูเลท สัญญาณ PSK โดยสัญญาณที่สร้างขึ้นมาจะมีคุณสมบัติซิงโครไนซ์ทางเฟสกับ carrier ที่ภาคส่งโดย วงจรกู้สัญญาณ carrier หรือวงจรสร้างสัญญาณ COS $\omega_c t$ ขึ้นที่ภาครับ แต่ในการทดลองนี้จะใช้ squaring loop สำหรับการกู้สัญญาณ carrierโดยสามารถแสดงวงจรได้ดังรูปที่ 31



รูปที่ 31 แสดงโครงสร้างวงจร squaring loop

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วงจร squaring loop จะประกอบด้วยภาคยกกำลังสอง (squaring) ของสัญญาณ วงจร PLL วงจรหารสอง หลักการทำงานของวงจร squaring loop รับสัญญาณอินพุท PSK ซึ่งมีเฟส COS $w_c t$ หรือ -COS $w_c t$ โดยขึ้นอยู่กับสัญญาณเบสแบนด์ วงจร squaring ทำหน้าที่ยกกำลังสองของสัญญาณ carrier โดยเอาท์พุทของวงจร squaring แสดงได้คือ

$$V_{sq} = (\pm \text{ COS } w_c t)^2$$

$$= \frac{1}{2} (1 + \text{COS } 2w_c t)$$

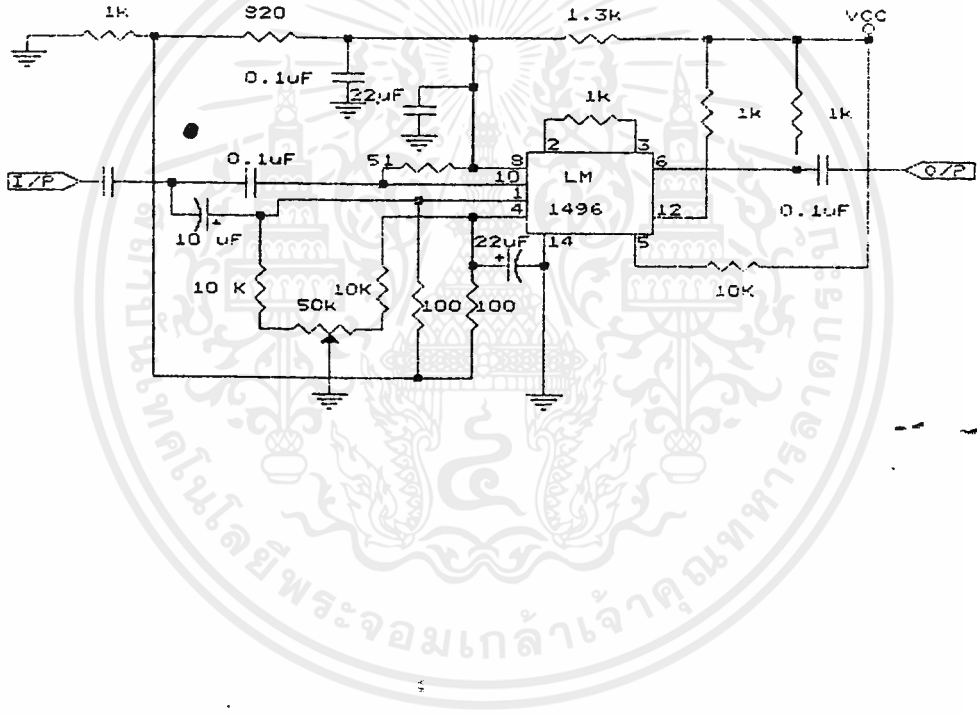
โดยเอาท์พุทจะได้ฮาร์โมนิคที่สองของ COS $w_c t$ คือ COS $2w_c t$ ซึ่งสัญญาณ COS$2w_c t$ จะเป็นอินพุทของวงจร PLL หรือ เป็นสัญญาณอ้างอิงของ PLL โดย PLL จะล็อกเฉพาะสัญญาณของ COS $2w_c t$ และทำการหารสองจึงได้สัญญาณ COS $w_c t$ เหมือนกับเป็นการสร้างสัญญาณ COS $w_c t$ ขึ้นมาใหม่ที่ภาครับโดยมีคุณสมบัติซิงโครไนซ์ทางเฟสกับสัญญาณที่ภาคส่งสำหรับเป็นสัญญาณ carrier อ้างอิง เพื่อการดีมอดูสัญญาณ PSK ต่อไปโดยทางปฏิบัติสามารถแสดงการออกแบบของส่วนต่างๆได้ดังนี้

5.1 วงจร squaring

หลักการวงจร squaring จะใช้วงจรคูณสัญญาณโดยอินพุททั้งสองของวงจรคูณสัญญาณเข้าด้วยกันกับสัญญาณที่ต้องการ squaring คือสัญญาณ carrier ความถี่ 67.2 KH_z เมื่อสัญญาณผ่าน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วงจร squaring จะได้สัญญาณความถี่ 134.4 KH_Z โดยวงจรที่คูณเป็นวงจรรวมสำหรับคูณสัญญาณขนาดเล็ก ซึ่งแสดงวงจร squaring ได้ดังรูปที่ 32 อินพุทของวงจรรวม LM1496 ต้องน้อยกว่า 1 vp-p



รูปที่ 32 แสดงวงจรรวม LM1496 สำหรับยกกำลังสองสัญญาณ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โดยแท้จริงแล้ว PLL เป็นระบบไม่เชิงเส้นแต่สามารถจะจำลองระบบ เพื่อให้ง่ายแก่การวิเคราะห์และกำหนดเงื่อนไขในการออกแบบให้เป็นระบบเชิงเส้น โดยให้ความต่างเฟสระหว่างเฟสดีเทคเตอร์อินพุท และเฟสที่ป้อนกลับมีเฟสเดกต่างกันไม่มาก และให้เฟสเอาท์พุทของเฟสดีเทคเตอร์เป็นแรงดัน (Va)โดยขึ้นอยู่กับความต่างเฟสของอินพุทและเฟสป้อนกลับหรือเขียนได้เป็น

$$V_a = K_d(\theta_r - \theta_o)$$

โดย K_d เป็นค่าเฟสดีเทคเตอร์เกนมีขนาดเป็น v/rad และในกรณีที่ให้ระบบเป็นเชิงเส้นเราจะได้ความถี่เอาท์พุทของวงจร VCO ที่เบี่ยงเบนออกจากความถี่ศูนย์กลาง (BW) คือ

$$\Delta W = K_o V_c$$

โดย V_c เป็นแรงดันอินพุทของวงจร VCO

K_o เป็น VCO เกนมีขนาด rad/v

ดังนั้นเขียนความถี่ที่เอาท์พุท VCO คือ

$$W_o = W_c + \Delta W = W_c + K_o V_c$$

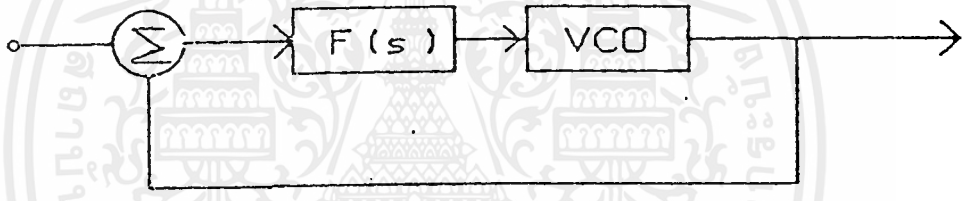
โดย W_c เป็นความถี่ฟรีรันนิ่ง (free running) ของ VCO และจากความถี่เป็นการอนุพันธ์ของเฟสเทียบกับเวลาหรือเขียนได้เป็น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5.2 วงจร PLL

ทฤษฎีโฟสล็อกลูป

ระบบเฟสล็อกลูป (phase lock loop) เป็นระบบที่เอาเฟสของสัญญาณเอาท์พุทป้อนกลับ (feed back) เพื่อควบคุมความถี่ของลูป ดังแสดงโครงสร้างของระบบได้ดังรูปที่ 33



รูปที่ 33 แสดงโครงสร้างของระบบเฟสล็อกลูป

โดย	$\theta_o(s)$	คือ	เฟสเอาท์พุทของระบบ	rad
	$\theta_r(s)$	คือ	เฟสอินพุทหรือเฟสอ้างอิงของระบบ	rad
	$\theta_e(s)$	คือ	เฟสเออเรอร์ของระบบ	rad
	PD	คือ	เฟสดีเทคเตอร์	
	VCO	คือ	วงจรกำหนดความถี่ควบคุมด้วยแรงดัน	
	F(s)	คือ	วงจรกรองความถี่ต่ำผ่าน	

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$\Delta W = \frac{d\theta_o}{dt} = K_o V_c$$

หรือเขียนเฟสเอาท์พุทของลูปอยู่ในรูปของ

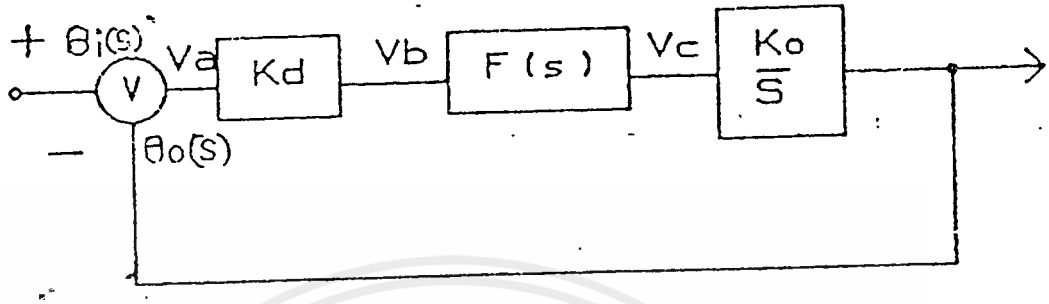
$$\theta_o(t) = \int_0^t W \, dt$$

กรณีในระบบของ PLL ถ้าจะทำการวิเคราะห์ด้วยลาปาสทรานฟอร์ม (laplace tranform) ดังนั้นเฟสเอาท์พุทเขียนได้เป็น

$$\theta_o(s) = \frac{K_o V_o}{S}$$

ดังนั้นระบบ PLL สามารถเขียนเป็นแบบจำลองได้ดังรูปที่ 34

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 34 แสดงระบบจำลองของ PLL

โดยจากรูปเราสามารถเขียน tranfer function ของระบบได้คือ

$$\frac{\theta_o(s)}{\theta_i(s)} = \frac{K_d K_o F(s)/s}{1+K_o K_o F(s)/s}$$

การออกแบบวงจร PLL เพื่อล็อกกับฮาร์โมนิคที่ 2 ที่ได้จากวงจรยกกำลัง กำหนดความถี่อิสระ (free runing frequency) เท่ากับ 2 เท่า ของความถี่ carrier คือ 134.4 K_Z ที่สำหรับค่า damping factor กำหนดให้เท่ากับ 0.707 ค่าความถี่ธรรมชาติของลูป W_n กำหนดให้ประมาณ 100H_Z ซึ่งสมการของ damping และ W_n และ runing frequency แสดงได้คือ

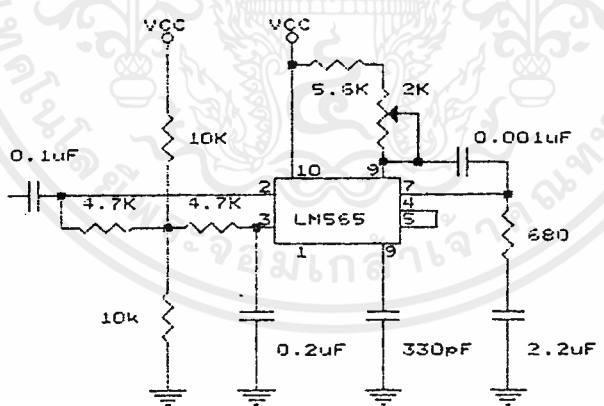
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$W_n = \frac{K_o K_d}{R_1 R_3}$$

$$= 1\left[\frac{1}{2\ R_1 C_3 K_o K_d}\right]$$

$$f_o = \frac{1}{3.7 R_o C_o}$$

โดยค่าต่างๆนั้นได้จากคู่มือของ 565 PLL สามารถแสดงวงจรได้ดังรูปที่ 35



รูปที่ 35 แสดงวงจร PLL

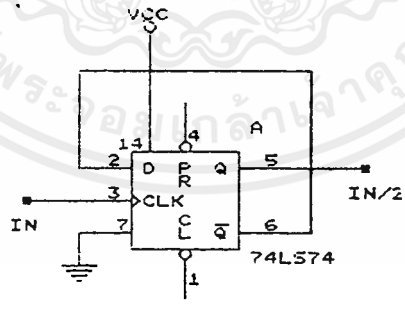
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5.3 วงจรหารสอง

วงจรหารสองจะทำหน้าที่หารสัญญาณ carrier ความถี่ 134.4 KH_Z เพื่อให้ได้สัญญาณ carrier ความถี่ 67.2 KH_Z ซึ่งจะมีคุณสมบัติตรงกันข้ามกับสัญญาณ carrier ทางภาคส่ง วงจรหารสองแสดงได้ดังรูปที่ 36

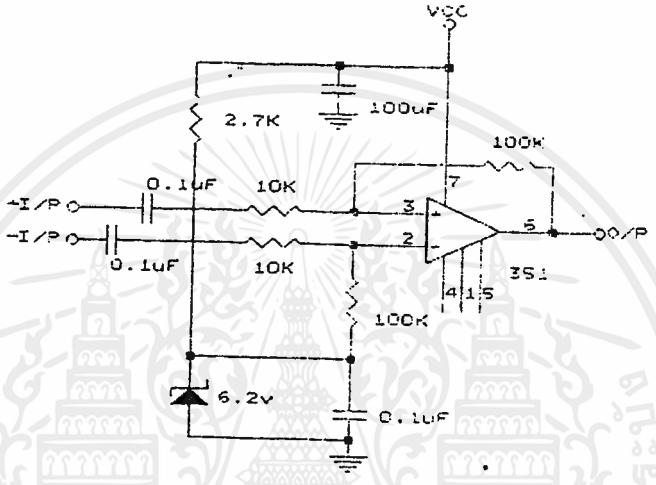
6 วงจรกรองความถี่ LOW PASS FILTER

วงจรกรองความถี่ LOW PASS FILTER ใช้สำหรับกรองสัญญาณจากการดีมอดูเลทชั่นเพื่อให้ได้สัญญาณ NRZ BASE BAND



รูปที่ 36 แสดงวงจรหารสอง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 37 แสดงวงจรกรองความถี่ต่ำ

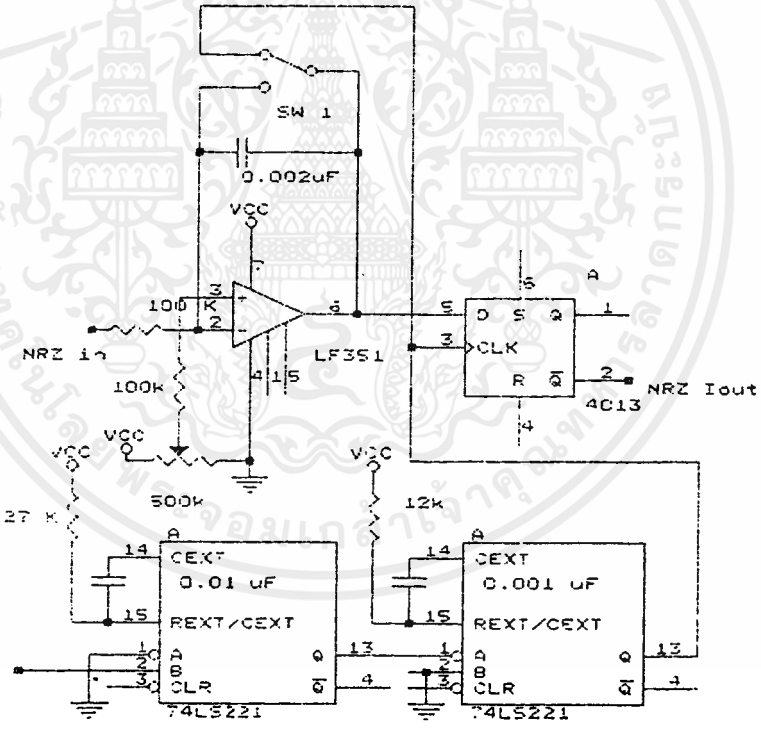
7 วงจรอินทิเกรทและดัมพ์ (intergarted and dump)

ถึงแม้ว่าสัญญาณเอาท์พุทของวงจรดูดจะเป็นสัญญาณเบสแบนด์ NRZ-I แล้ว ก็ตามแต่สัญญาณที่เกิดการสั่น (jitter) เนื่องจากสัญญาณรบกวน เพื่อให้ได้สัญญาณ NRZ-I ที่เป็นอนทางรับจะต้องทำการอินทิเกรทสัญญาณไป 1 ช่วงบิทเรท เพื่อพิจารณาว่าสัญญาณเบสแบนด์จะมีระดับที่แน่นอน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

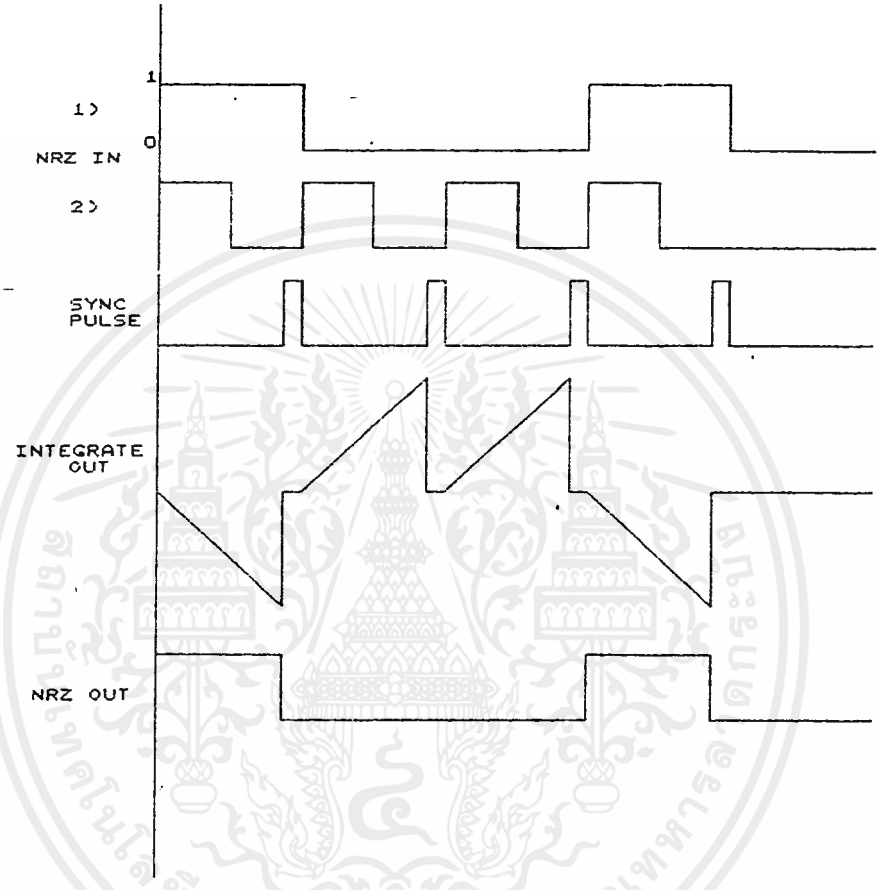
ไปในทางทิศทางใด แล้วทำการตัดสินระดับที่ปลายช่วงเวลา 1 บิท และก่อนที่จะทำการอินทิเกรท สัญญาณลูกต่อไปต้องทำการรีเซ็ท (reset) หรือ ดัมพ์ (dump) ให้วงจรอินทิเกรทที่ค่า 0 ก่อนทุกครั้ง

วงจรอินทิเกรทและดัมพ์ประกอบด้วย วงจรอินเกรทฟลิปฟลอบ อีเล็คทรอนิคส์สวิทช์และวงจรสร้างซิ้งพัลส์ (syn pulse) โดยแสดงรูปวงจรและผังเวลาของจุดต่างๆของวงจรได้ดังรูปที่ 38 และรูปที่ 39



รูปที่ 38 แสดงวงจรอินทิเกรทและดัมพ์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 39 แสดงผังเวลาของวงจร

จากรูป อินพุทของวงจรคือ สัญญาณ NRZ_{in} โดยสัญญาณนี้ได้มาจากขาเอาท์พุทของวงจรคูณสัญญาณ carrier กับสัญญาณ PSK โดยสัญญาณอินพุทนี้จะมีการสั่น (jitter) อยู่ โดยจะขึ้นอยู่กับขนาด SNR ของสัญญาณอินพุทของวงจร PSK ดีมอด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โดยสัญญาณเบสเบนด์จะถูกอินทิเกรท ดังแสดงในรูปที่ 39 (ในตาราง timing) ซึ่งเป็นเอาท์พุทของวงจรอินเวอร์ติ้งอินทิเกรท (inverting intergrated) จากรูปที่ปลายช่วงสัญญาณเบสเบนด์แต่ละช่วงจะถูกรีเซ็ทโดย syncpulse ซึ่งสัญญาณ syncpulse จะมาจากวงจรกู้สัญญาณนาฬิกา (clock recovery) เอาท์พุทของวงจรอินเวอร์ติ้งอินทิเกรทเตอร์จะป้อนให้กับพลิบฟล็อป เพื่อให้ค่าที่ได้ตัดสินระดับลอจิก โดยจะให้สัญญาณเบสเบนด์ NRZ-I ที่ถูกหน่วงเวลาไป 1 บิท ดังแสดงในรูปที่ 39 (ในตาราง timing) โดยขนาดของการสั่น (jitter) ของสัญญาณเบสเบนด์จะลดลง สำหรับสมการแสดงเอาท์พุทของวงจรอินทิเกรทเขียนได้คือ

$$V_o(t) = \frac{1}{RC} \int_{o}^{v} in(t)\, dt$$

โดยค่า RC เป็นค่าเวลาคงตัวของวงจรอินทิเกรท เพื่อให้ค่าแรงดันที่เอาท์พุทของวงจรอินทิเกรท มีค่าสูงสุดในช่วงเวลา 1 บิท ค่า RC กำหนดให้เท่าช่วงเวลา 1 บิท โดยค่าการออกแบบส่งข้อมูลขนาด 4,800 บิทต่อวินาที หรือช่วงเวลา 1 บิท เท่ากับ 208 us ถ้ากำหนดค่า C = 0.0022 uF แล้วค่า R จะเท่ากับ 94.6 K หรือเลือกใช้ค่า 100 K

สำหรับวงจรสร้าง syncpulse ที่ใช้สำหรับสุ่มเพื่อการตัดสินค่าระดับสัญญาณลอจิกและทำการรีเซ็ทวงจรอินทิเกรทสัญญาณ syncpulse สร้างจากการหน่วงสัญญาณนาฬิกา ที่ได้จากวงจรกู้สัญญาณ โดย syncpulse จะเกิดในช่วงปลายของสัญญาณ NRZ-I แต่ละลูกโดยเป็นพัลส์ขนาดแคบๆ การหน่วงเวลาและการทำพัลส์ให้มีขนาดแคบจะทำได้โดยใช้โมโนสเตเบิ้ล 2 ชุดโดยใช้วงจรรวม 74LS221 ซึ่งเป็นวงจรโมโนสเตเบิ้ล 2 ชุดอยู่ในวงจรรวมตัวเดียวกัน โดยอินพุทของสัญญาณนาฬิกาเป็น อินพุทของโมโนสเตเบิ้ลตัวที่หนึ่ง กำหนดให้ทำงานที่อินพุทขอบขาขึ้น โดยเวลา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเอกสารนี้ทุกครั้งที่มีการนำไปใช้

ให้ช่วงเวลาเท่ากับ 200 us โดยช่วงเวลากำหนดได้ดังสมการ

$$TW = 0.7\ R_tC_t$$

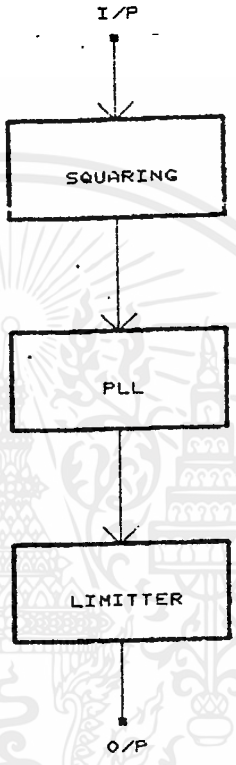
TW : เป็นช่วงเวลาอินพุทของโมโนสเตเบิ้ล

R_tC_t เป็นความต้านทานและคาปาซิสเตอร์ต่อที่ขา RC_{ext} ของโมโนสเตเบิ้ลตัวที่สอง เพื่อสร้าง syn pulse โดยกำหนดให้อินพุททางานที่ขอบขาลงโดยช่วงเวลาจะมีขนาดประมาณ 10 us ถ้าหากกำหนดให้ C_t สำหรับโมโนสเตเบิ้ลตัวที่หนึ่ง และค่าเท่ากับ 0.01 uF แล้วค่า R_t เท่ากับ 28.5 K และ C_t สำหรับโมโนสเตเบิ้ลตัวที่สองมีค่าเท่ากับ 0.001 uF ค่า R_t เท่ากับ 11.4 K โดยในทางปฏิบัติใช้ค่าความต้านทานขนาด 27 K และ 12 K ตามลำดับ

8 วงจร clock recovery

สำหรับการสร้างสัญญาณนาฬิกาที่ภาครับขนาด 4,800 H_z ให้สามารถซิงโครไนซ์กับภาคส่งได้ โดยใช้หลักการที่แสดงดังรูปที่ 40

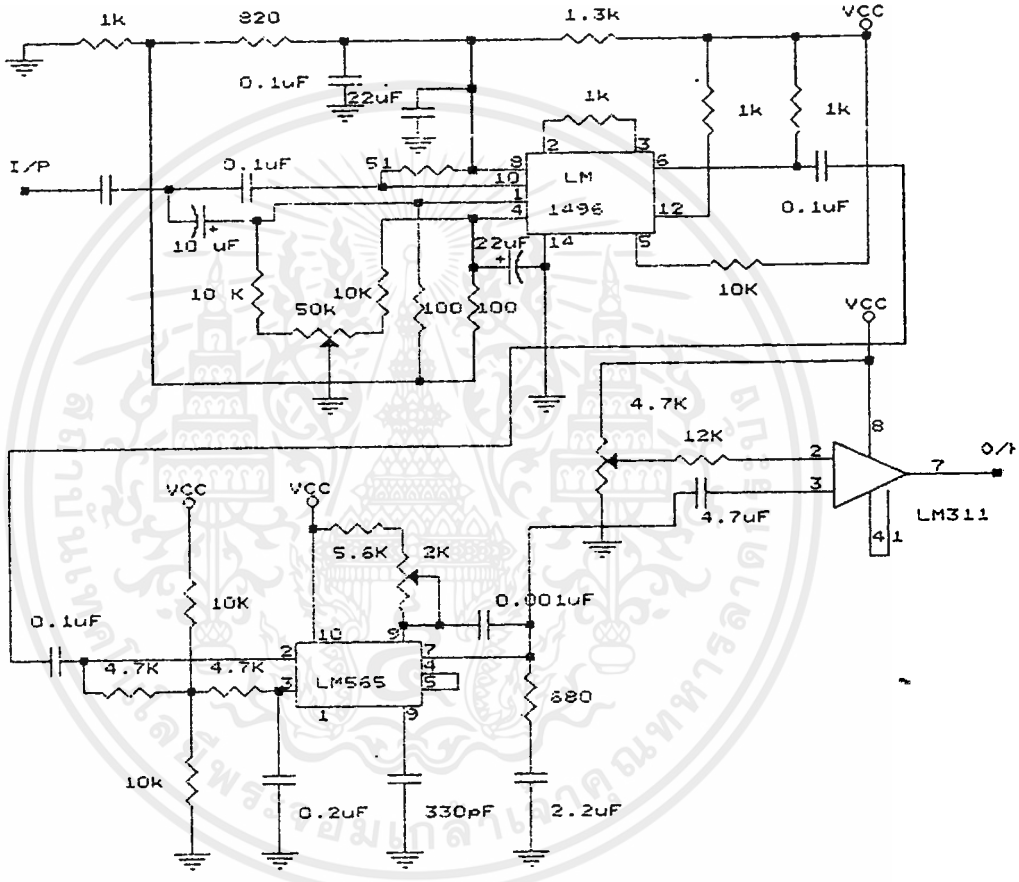
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 40 แสดงบล็อกการสร้างสัญญาณนาฬิกา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สำหรับวงจรในทางปฏิบัติแสดงได้ดังรูปที่ 41



รูปที่ 41 แสดงวงจรกู้สัญญาณนาฬิกาในทางปฏิบัติ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

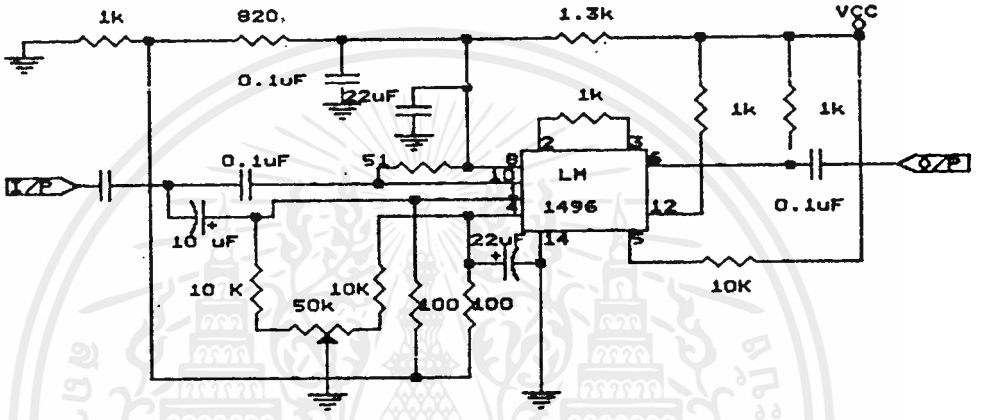
8.1 วงจร squaring

หลักการของวงจร squering ใน clock recovery จะเหมือนกับวงจร squaring ใน carrier recovery แต่ความถี่ที่ squaring จะเป็นความถี่ 2,400 H_z ซึ่งได้จากสัญญาณ 4,800 bps เมื่อทำการ squaring ออกมาจะได้ความถี่ 4,800 H_z โดยใช้วงจรรวม LM1496 ดังแสดงในรูปที่ 42

8.2 วงจร phase lock loop

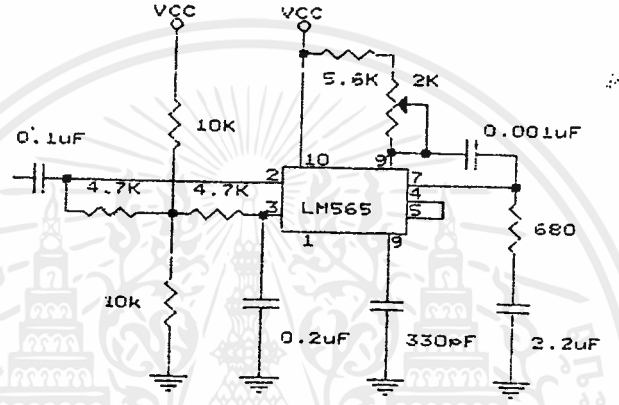
วงจร PLL จะล็อกความถี่ฮาร์โมนิคที่ 2 ของวงจร squaring คือสัญญาณ carrier ความถี่ 4,800 H_z วงจรสามารถแสดงได้ดังรูปที่ 43

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 42 แสดงวงจร squaring

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



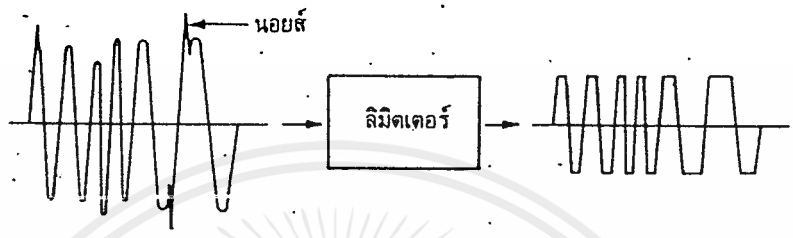
รูปที่ 43 แสดงวงจร phase lock loop

8.3 วงจร limitter

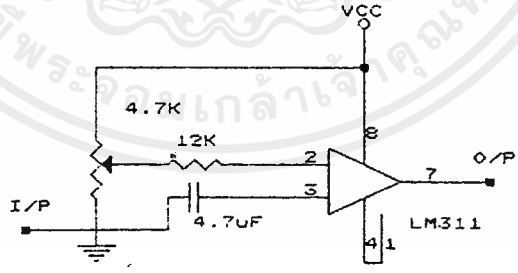
วงจรลิมิตเตอร์จะทำหน้าที่ขลิบสัญญาณทั้งด้านบวกและลบ รวมทั้งน้อยสุดจะถูกกำจัดทิ้งไปด้วย ดังแสดงในรูปที่ 44 สังเกตว่าความถี่ของสัญญาณก่อนและหลังลิมิตเตอร์ไม่เปลี่ยนแปลง หลักการของ วงจรลิมิตเตอร์นี้ก็คือ ป้อนสัญญาณที่มีแอมพลิจูดเกินช่วงทำงานของวงจร (overdrive) จนกระทั่งวงจรขยายอิ่มตัวหรือคัตออฟ ถ้าสัญญาณที่ป้อนเข้ามามีแอมพลิจูดน้อย เอาท์พุทจากวงจร

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ลิมิตเตอร์ จะมีน้อยส์บนออกมาทางออดิโอเอาท์พุท ถ้าป้อนแอมพลิจูดมาแรงๆ น้อยส์จะเงียบไป



รูปที่ 44 แสดงการกำจัดน้อยส์ของวงจรลิมิตเตอร์



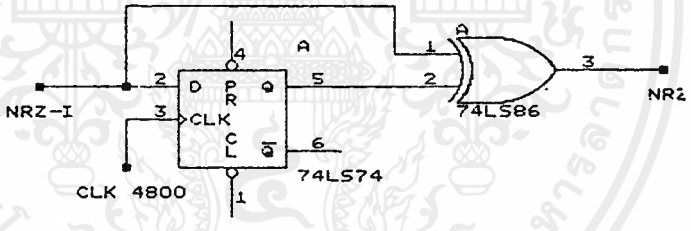
รูปที่ 45 แสดงวงจร limitter

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

9 วงจรถอดรหัสสัญญาณ NRZ-I เป็น NRZ

สำหรับการถอดรหัสสัญญาณ NRZ-I เป็น NRZ ซึ่งเราจะใช้ NRZ-M เป็น NRZ-L แทนดัง

รูปที่ 46



รูปที่ 46 แสดงวงจรถอดรหัสสัญญาณ NRZ-I เป็น NRZ

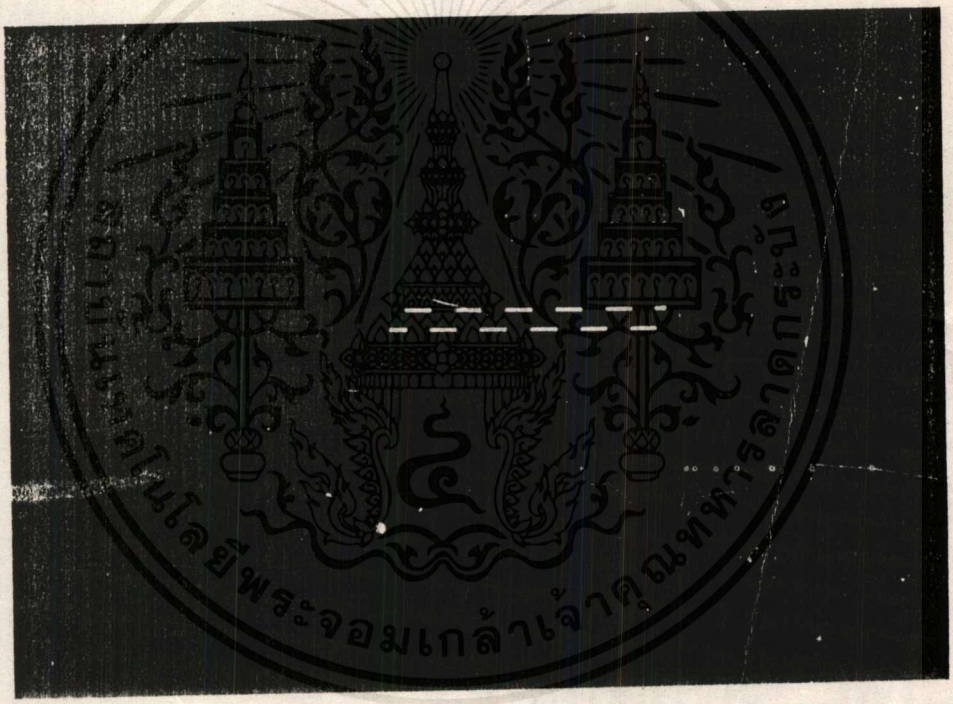
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 4

การทดลอง

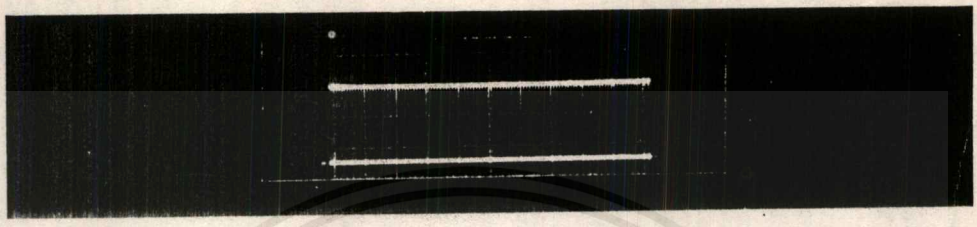
การทดลองทางภาคส่ง

1. สัญญาณอินพุทเบสแบนด์ (INPUT NRZ SINGNAL)



2. สัญญาณอินพุทแคเรีย (INPUT CARRIER SIGNAL)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

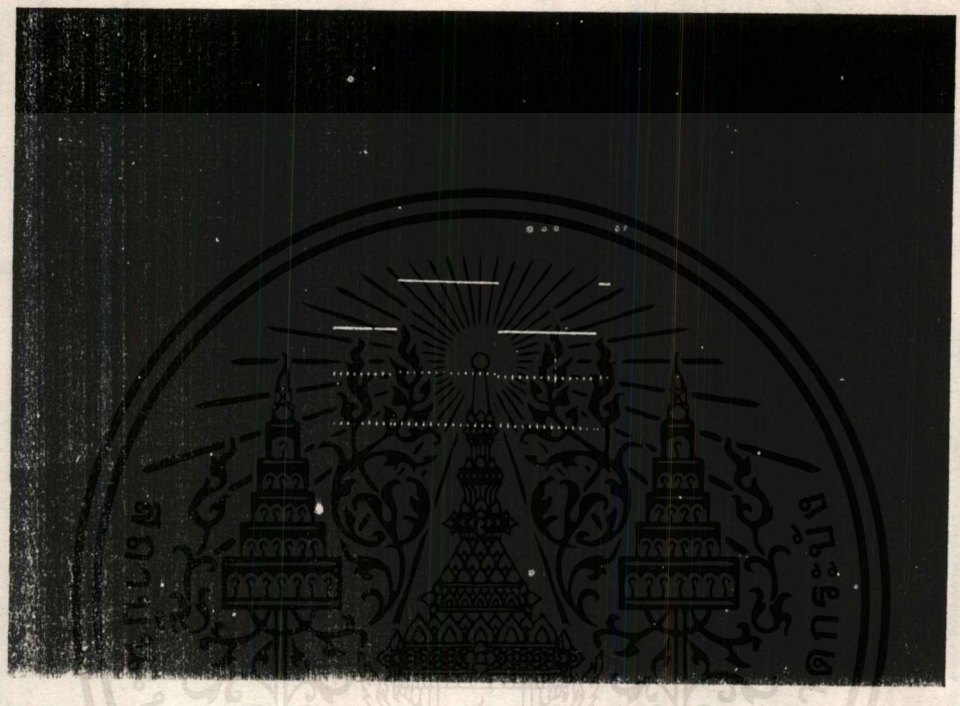


3. สัญญาณ PSK ที่เอาท์พุทของภาคส่ง

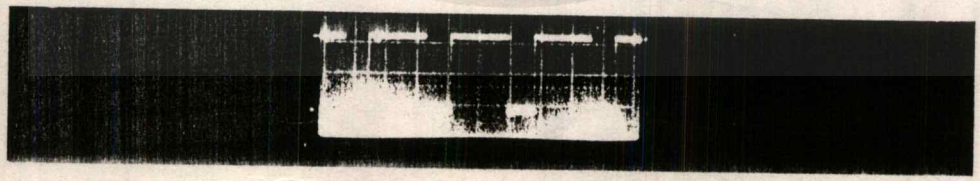
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การทดลองทางภาครับ

1. สัญญาณ PSK ที่อินพุทของภาครับ



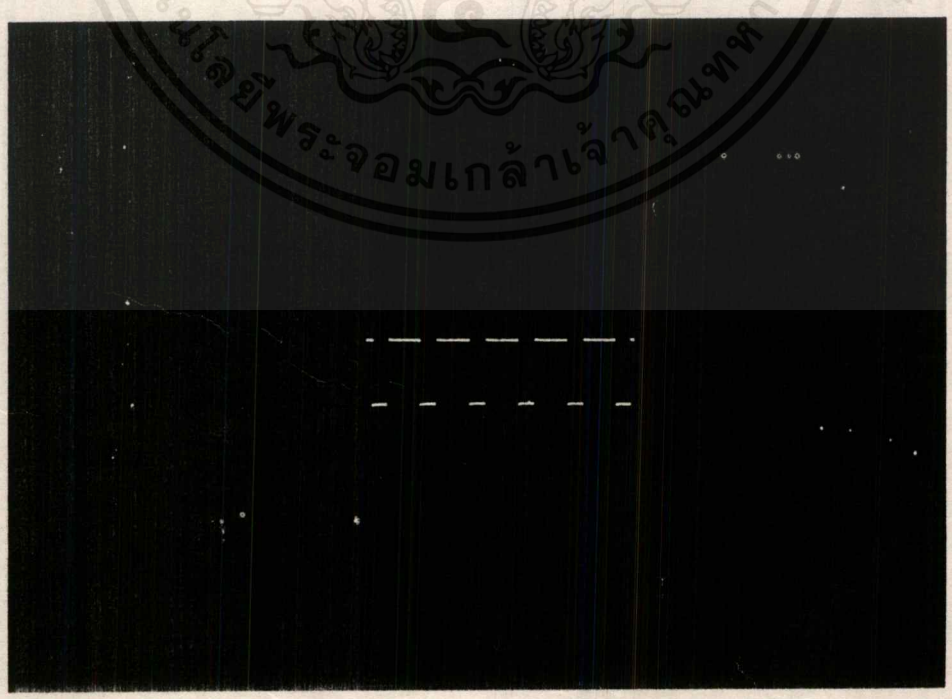
2. สัญญาณเอาท์พุทที่ภาค CARRIER RECOVERY



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

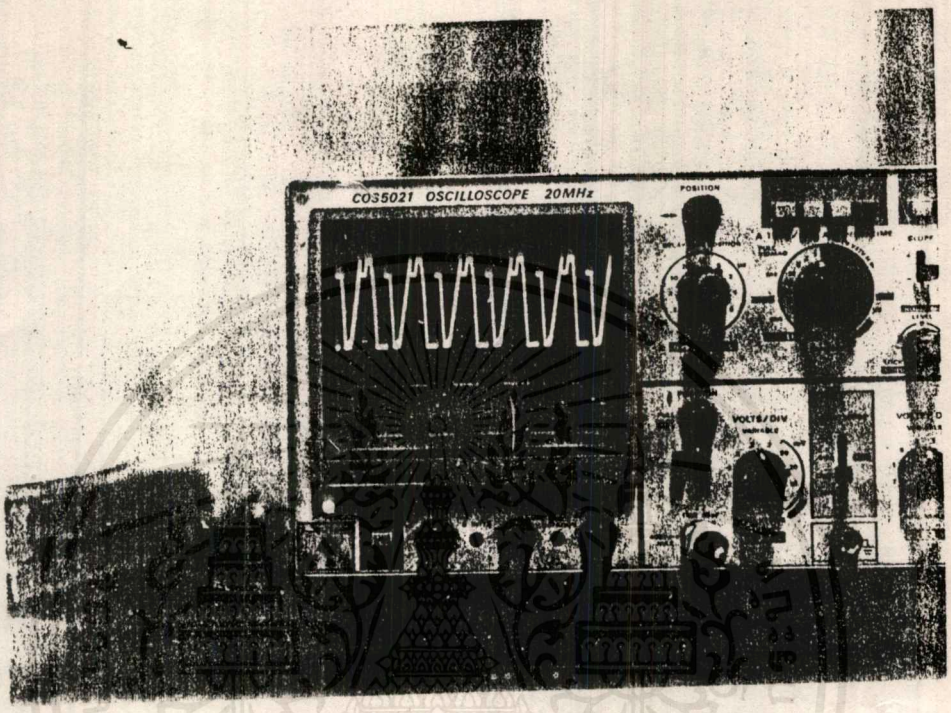
3. สัญญาณเอาท์พุทที่ภาค BALANCE MODULATOR (MC1496)

4. สัญญาณเอาท์พุทที่ภาค CLOCK RECOVERY

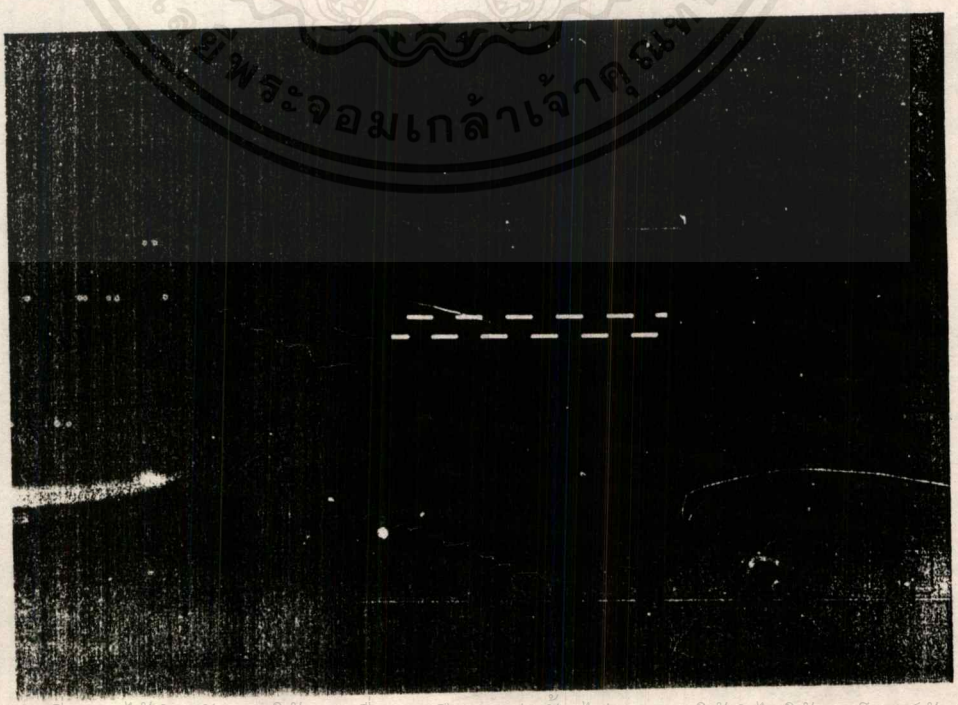


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5. สัญญาณเอาท์พุทที่ภาค INTEGATE AND DUMP



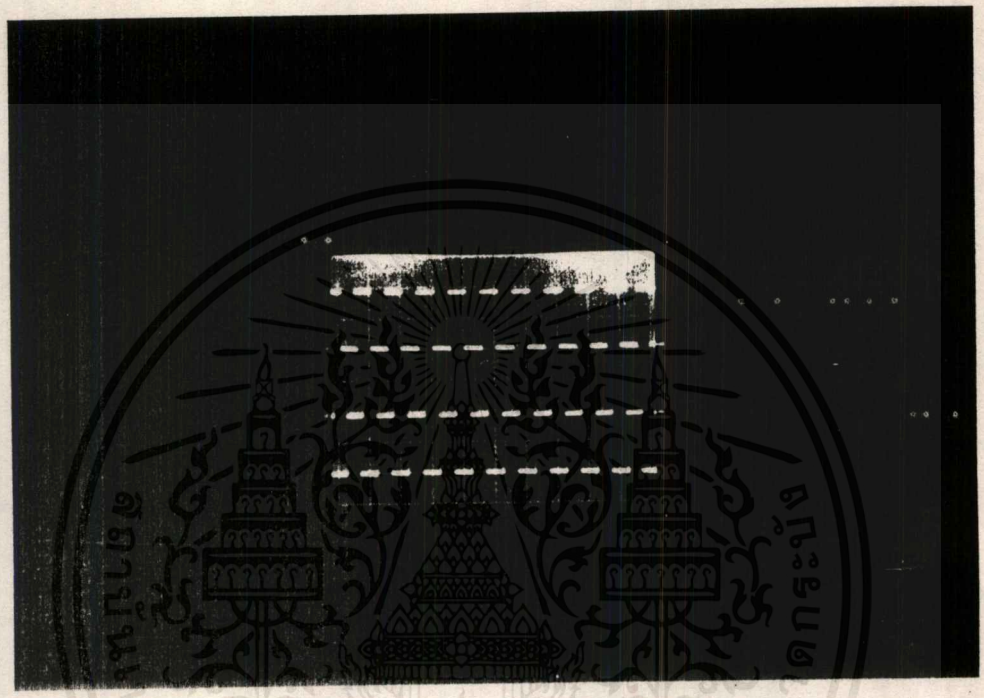
6. สัญญาณเอาท์พุทที่ภาครับ (OUTPUT NRZ SINGNAL)



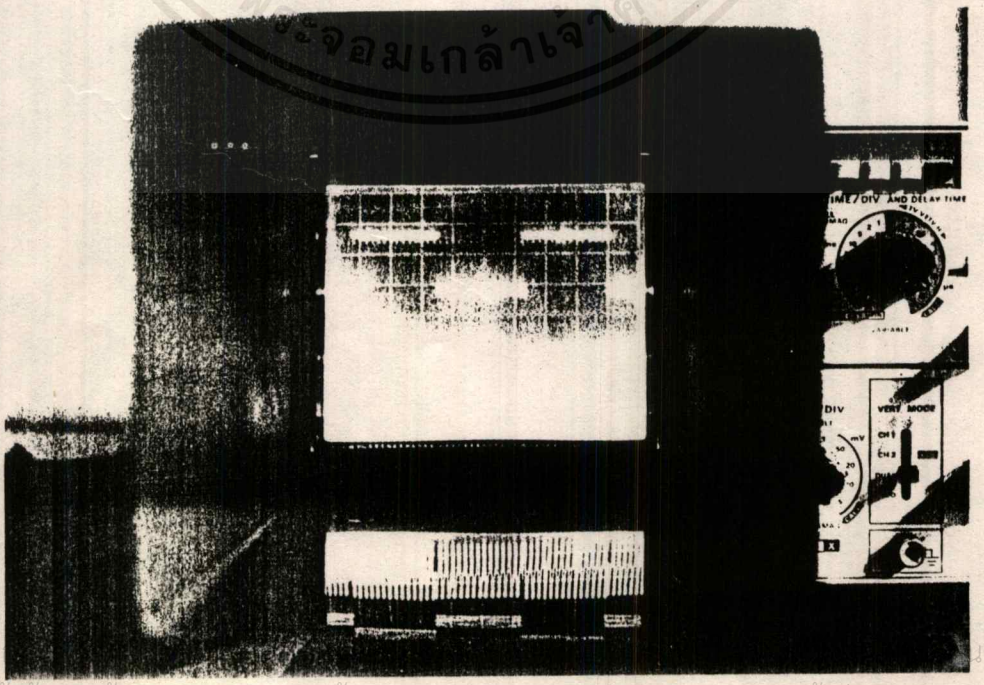
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

แสดงการเปรียบเทียบรูปสัญญาณ

1. เปรียบเทียบสัญญาณที่อินพุทกับเอาท์พุท



2. เปรียบเทียบสัญญาณที่อินพุทกับพีเอสเค



เอกสารนี้เป็นเอ การค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 5

สรุปผลและวิจารณ์

โครงงาน PSK MODEM SCA นี้ กลุ่มของผู้เขียนได้ทดลองค้นคว้าและสร้างขึ้นเพื่อใช้ในการส่งข้อมูล ในลักษณะของสัญญาณเบสเบนด์ โดยการมอดูเลทและดีมอดูเลทแบบ PSK การมอดูเลทจะเป็นการมอดูเลทระหว่างข้อมูลกับเคเรีย เป็นสัญญาณ PSK ส่งออกทางภาคส่ง และทางภาครับ จะดีมอดูเลทระหว่างสัญญาณ PSK กับสัญญาณนาฬิกา ผลที่ได้จะเป็นข้อมูลที่เราต้องการเหมือนกับที่ส่งมา

จากการปฏิบัติพบว่าเป็นไปตามทฤษฎี คือ ทางภาคส่งสามารถมอดูเลทข้อมูลให้ส่งไปกับสัญญาณ PSK ได้ และทางภาครับสามารถรับสัญญาณ PSK มาดีมอดูเลทเป็นข้อมูลได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กิตติกรรมประกาศ

ขอขอบคุณความสำเร็จในครั้งนี้ ที่ได้รับความช่วยเหลืออย่างดียิ่งมาในด้านสถานที่ อุปกรณ์และเครื่องมือเครื่องใช้ในการทำงาน และที่สำคัญอย่างยิ่งคือข้อมูลความรู้และอีกหลายๆอย่าง อันเป็นผลให้งานวิจัยชิ้นนี้สมบูรณ์แบบตามจุดประสงค์ที่ตั้งไว้ทุกประการจาก ท่านอาจารย์กฤดากร กล่อมการ และขอขอบคุณเพื่อนๆที่ได้ให้ความช่วยเหลือในด้านอื่นๆ อย่างดียิ่งมาตลอดมา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

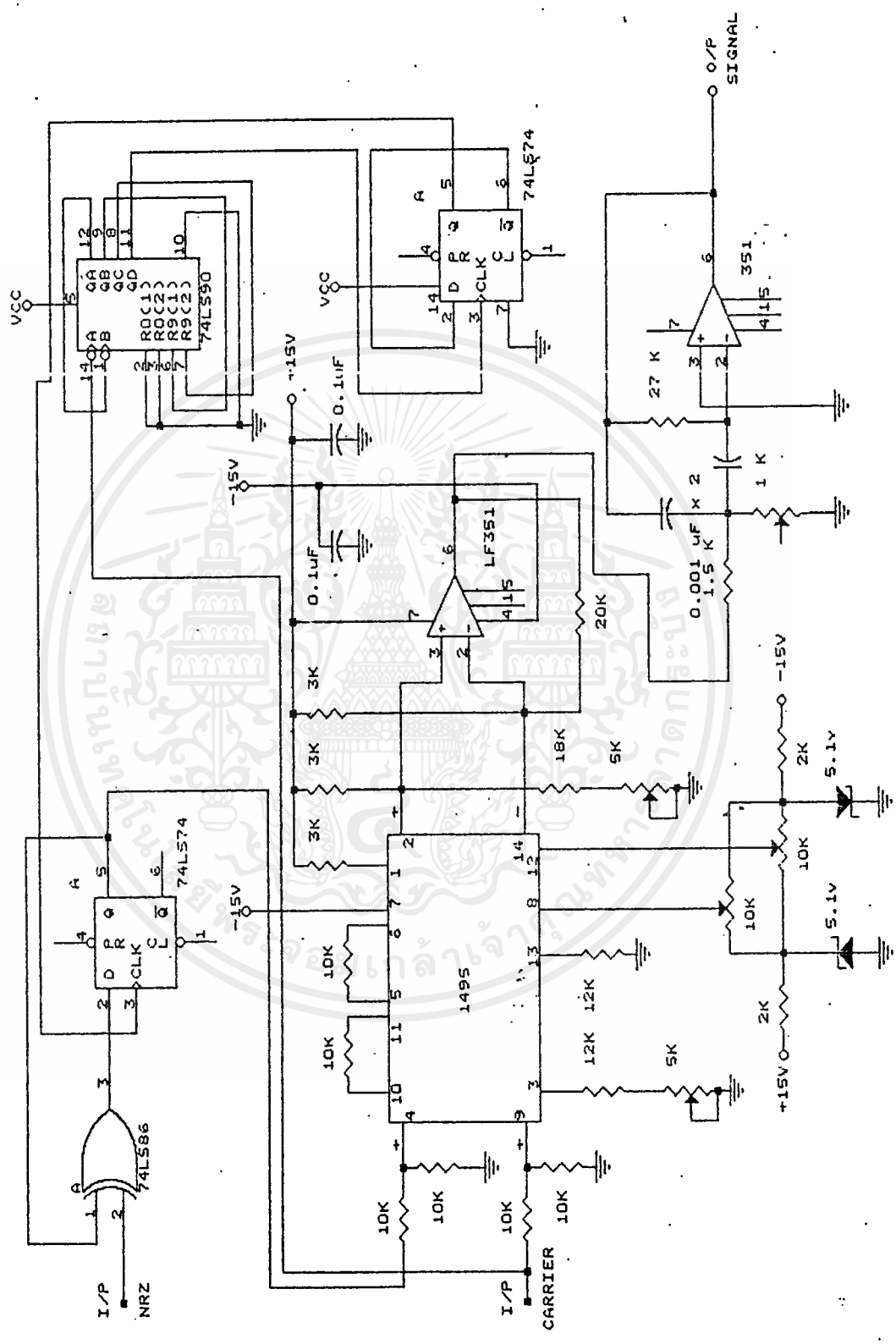
หนังสืออ้างอิง

1. เครื่องรับส่งวิทยุและระบบวิทยุสื่อสาร โดย สุชาติ กังวารจิตต์
2. ทฤษฎีและการคำนวนวงจรอิเล็กทรอนิกส์ โดย ดร.สิทธิชัย โภโคยอุดม
   ดร.พีรศักดิ์ วรสุทธิรสถ
   โตะมิโอะ อิอะสะกิ

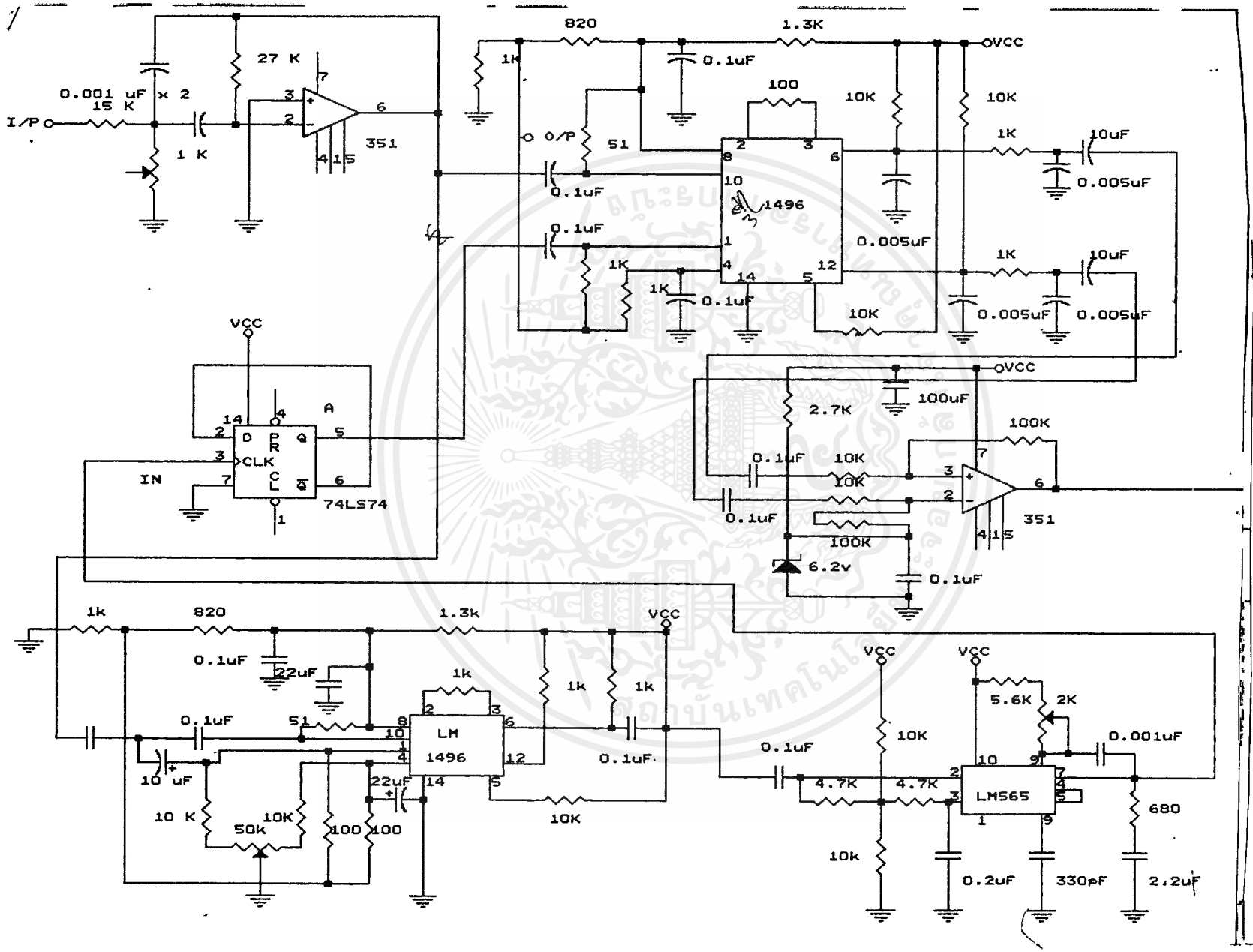
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

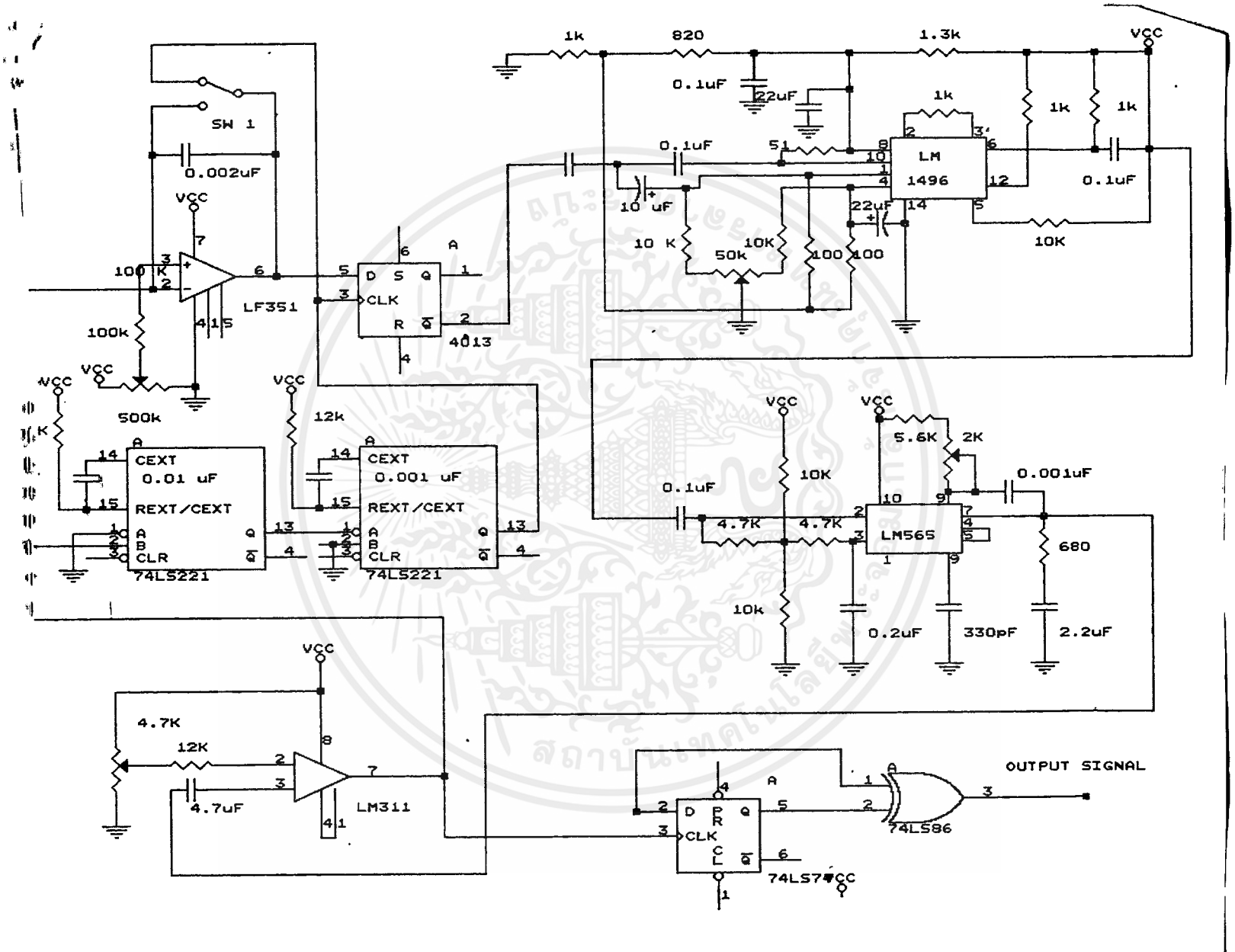
ภาคผนวก

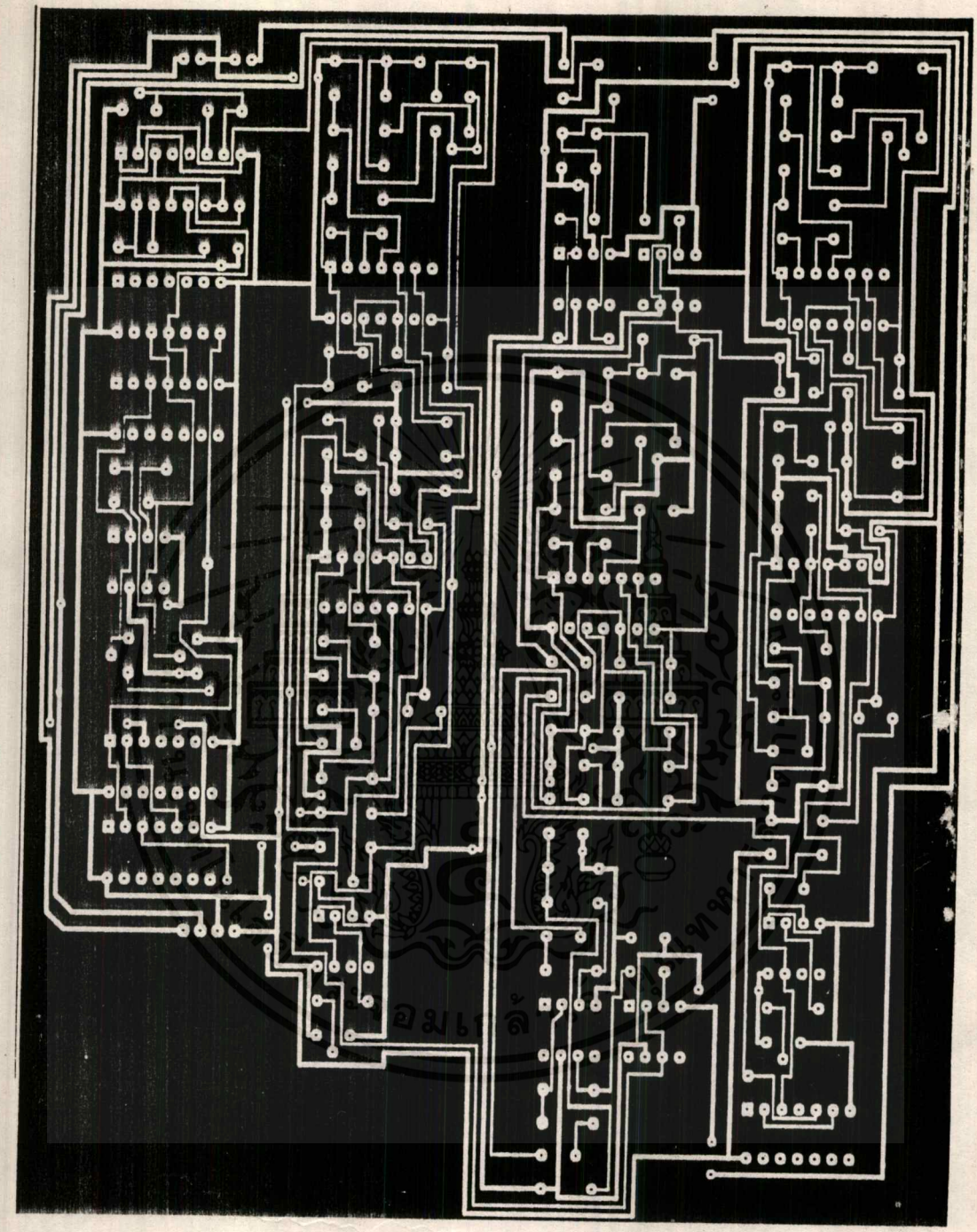
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้


I/P
0.001 uF
15 K
x 2
1 K
27 K
351
820
1K
0.1uF
1.3K
VCC
100
10K
O/P
51
1K
10uF
0.005uF
1496
0.1uF
1K
0.1uF
0.005uF
10K
VCC
100uF
2.7K
100K
0.1uF
10K
10K
0.1uF
100K
6.2v
0.1uF
351
VCC
74LS74
A
D
CLK
PR
CL
Q
IN
1k
820
1.3k
VCC
0.1uF
22uF
1k
1k
1k
0.1uF
51
LM
1496
0.1uF
10 uF
22uF
10 K
10K
50k
100
100
10K
VCC
VCC
5.6K
2K
0.001uF
10K
0.1uF
4.7K
4.7K
LM565
680
10k
0.2uF
330pF
2.2uF


SW 1
0.002uF
VCC
100 K
LF351
100k
500k
4013
D S Q
CLK
R
74LS221
CEXT
0.01 uF
REXT/CEXT
CLR
12k
0.001 uF
1k
820
1.3k
0.1uF
22uF
51
10 uF
10 K
50k
10K
100
LM
1496
0.1uF
10K
5.6K
2K
0.001uF
4.7K
LM565
680
10k
0.2uF
330pF
2.2uF
4.7K
12K
4.7uF
LM311
74LS74
74LS86
OUTPUT SIGNAL



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

National Semiconductor

LF351 Wide Bandwidth JFET Input Operational Amplifier

General Description

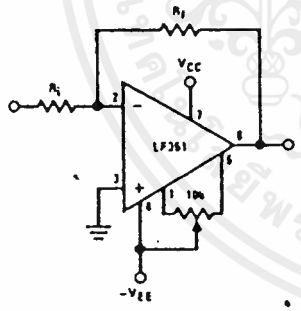
The LF351 is a low cost high speed JFET input operational amplifier with an internally trimmed input offset voltage (BI-FET II™ technology). The device requires a low supply current and yet maintains a large gain bandwidth product and a fast slew rate. In addition, well matched high voltage JFET input devices provide very low input bias and offset currents. The LF351 is pin compatible with the standard LM741 and uses the same offset voltage adjustment circuitry. This feature allows designers to immediately upgrade the overall performance of existing LM741 designs.

The LF351 may be used in applications such as high speed integrators, fast D/A converters, sample-and-hold circuits and many other circuits requiring low input offset voltage, low input bias current, high input impedance, high slew rate and wide bandwidth. The device has low noise and offset voltage drift, but for applications where these requirements are critical, the LF356 is recommended. If maximum supply current is important, however, the LF351 is the better choice.

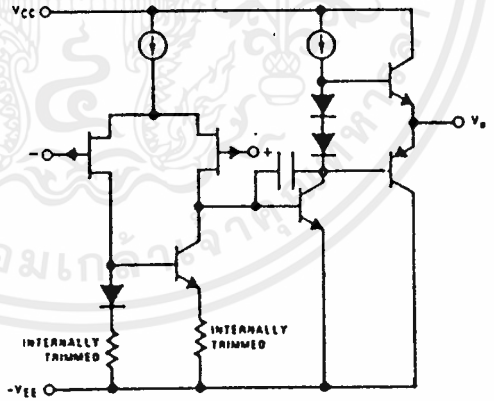
Features

■ Internally trimmed offset voltage	10 mV
■ Low input bias current	50 pA
■ Low input noise voltage	25 nV/$\sqrt{Hz}$
■ Low input noise current	0.01 pA/$\sqrt{Hz}$
■ Wide gain bandwidth	4 MHz
■ High slew rate	13 V/μs
■ Low supply current	1.8 mA
■ High input impedance	$10^{12}\Omega$
■ Low total harmonic distortion $A_V = 10$, $R_L = 10k$, $V_O = 20$ Vp-p, BW = 20 Hz–20 kHz	<0.02%
■ Low 1/f noise corner	50 Hz
■ Fast settling time to 0.01%	2 μs

Typical Connection

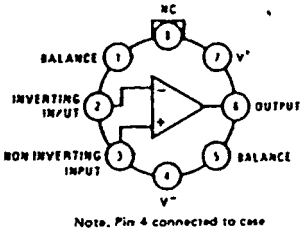


Simplified Schematic



Connection Diagrams (Top Views)

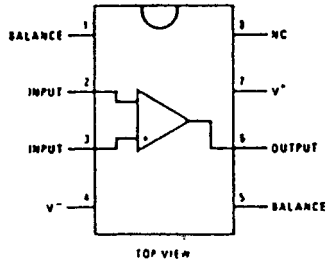
Metal Can Package



Note. Pin 4 connected to case

Order Number LF351H
See NS Package Number H08C

Dual-In-Line Package



Order Number LF351J,
LF351M or LF351N
See NS Package Number J08A, M08A or N08E

TL/H/5648–1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Absolute Maximum Ratings

If Military/Aerospace specified devices are required, please contact the National Semiconductor Sales Office/Distributors for availability and specifications.

Supply Voltage	± 18V
Power Dissipation (Notes 1 and 6)	670 mW
Operating Temperature Range	0°C to + 70°C
$T_{J(MAX)}$	115°C
Differential Input Voltage	± 30V
Input Voltage Range (Note 2)	± 15V
Output Short Circuit Duration	Continuous
Storage Temperature Range	−65°C to + 150°C
Lead Temp. (Soldering, 10 sec.)	
Metal Can	300°C
DIP	260°C

	H Package	N Package
θ_{JA}	164°C/W (Still Air)	120°C/W
	66°C/W	
	(400 LF/min Air Flow)	
θ_{JC}	21°C/W	

Soldering Information
- Dual-In-Line Package
  - Soldering (10 sec.)
- Small Outline Package
  - Vapor Phase (60 sec.)
  - Infrared (15 sec.)

See AN-450 "Surface Mounting Methods and Their Effect on Product Reliability" for other methods of soldering surface mount devices.

ESD rating to be determined.

DC Electrical Characteristics (Note 3)

Symbol	Parameter	Conditions	LF351			Units
			Min	Typ	Max	
V_{OS}	Input Offset Voltage	R_S = 10 kΩ, T_A = 25°C Over Temperature		5	10 13	mV mV
$\Delta V_{OS}/\Delta T$	Average TC of Input Offset Voltage	R_S = 10 kΩ		10		μV/°C
I_{OS}	Input Offset Current	T_j = 25°C, (Notes 3, 4) $T_j \leq$ 70°C		25	100 4	pA nA
I_B	Input Bias Current	T_j = 25°C, (Notes 3, 4) $T_j \leq$ 70°C		50	200 8	pA nA
R_{IN}	Input Resistance	T_j = 25°C		10^{12}		Ω
A_{VOL}	Large Signal Voltage Gain	V_S = ± 15V, T_A = 25°C V_O = ± 10V, R_L = 2 kΩ Over Temperature	25 15	100		V/mV V/mV
V_O	Output Voltage Swing	V_S = ± 15V, R_L = 10 kΩ	± 12	± 13.5		V
V_{CM}	Input Common-Mode Voltage Range	V_S = ± 15V	± 11	+ 15 − 12		V V
CMRR	Common-Mode Rejection Ratio	$R_S \leq$ 10 kΩ	70	100		dB
PSRR	Supply Voltage Rejection Ratio	(Note 5)	70	100		dB
I_S	Supply Current			1.8	3.4	mA

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

AC Electrical Characteristics (Note 3)

Symbol	Parameter	Conditions	LF351			Units
			Min	Typ	Max	
SR	Slew Rate	V_S = ±15V, T_A = 25°C		13		V/μs
GBW	Gain Bandwidth Product	V_S = ±15V, T_A = 25°C		4		MHz
e_n	Equivalent Input Noise Voltage	T_A = 25°C, R_S = 100Ω, f = 1000 Hz		25		nv/√Hz
i_n	Equivalent Input Noise Current	T_J = 25°C, f = 1000 Hz		0.01		pA/√Hz

Note 1: For operating at elevated temperature, the device must be derated based on the thermal resistance, θ_{JA}.

Note 2: Unless otherwise specified the absolute maximum negative input voltage is equal to the negative power supply voltage.

Note 3: These specifications apply for V_S = ±15V and 0°C ≤ T_A ≤ +70°C. V_{OS}, I_B and I_{OS} are measured at V_{CM} = 0.

Note 4: The input bias currents are junction leakage currents which approximately double for every 10°C increase in the junction temperature, T_J. Due to the limited production test time, the input bias currents measured are correlated to junction temperature. In normal operation the junction temperature rises above the ambient temperature as a result of internal power dissipation, P_D. $T_J = T_A + \theta_{JA} P_D$ where θ_{JA} is the thermal resistance from junction to ambient. Use of a heat sink is recommended if input bias current is to be kept to a minimum.

Note 5: Supply voltage rejection ratio is measured for both supply magnitudes increasing or decreasing simultaneously in accordance with common practice. From ±5V to ±15V.

Note 6: Max. Power Dissipation is defined by the package characteristics. Operating the part near the Max. Power Dissipation may cause the part to operate outside guaranteed limits.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

National Semiconductor

LM1596/LM1496 Balanced Modulator-Demodulator

General Description

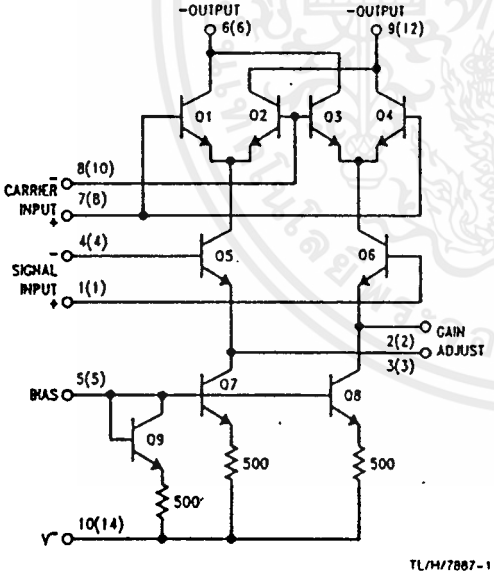
The LM1596/LM1496 are doubled balanced modulator-demodulators which produce an output voltage proportional to the product of an input (signal) voltage and a switching (carrier) signal. Typical applications include suppressed carrier modulation, amplitude modulation, synchronous detection, FM or PM detection, broadband frequency doubling and chopping.

The LM1596 is specified for operation over the −55°C to +125°C military temperature range. The LM1496 is specified for operation over the 0°C to +70°C temperature range.

Features

- Excellent carrier suppression
  65 dB typical at 0.5 MHz
  50 dB typical at 10 MHz
- Adjustable gain and signal handling
- Fully balanced inputs and outputs
- Low offset and drift
- Wide frequency response up to 100 MHz

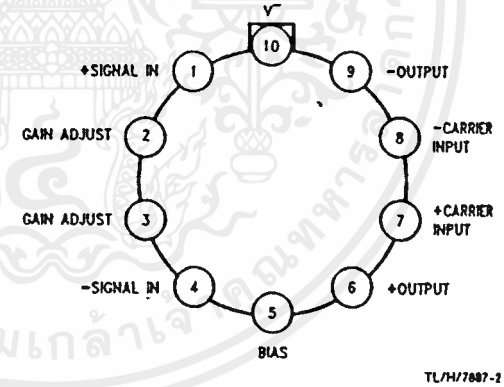
Schematic and Connection Diagrams



TL/H/7887-1

Numbers in parentheses show DIP connections.

Metal Can Package



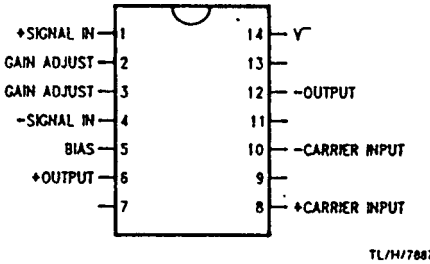
TL/H/7887-2

Top View

Note: Pin 10 is connected electrically to the case through the device substrate.

Order Number LM1496H or LM1596H
See NS Package Number H08C

Dual-In-Line and Small Outline Packages



TL/H/7887-3

Order Number LM1496M or LM1496N
See NS Package Number M14A or N14A

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Absolute Maximum Ratings

If Military/Aerospace specified devices are required, please contact the National Semiconductor Sales Office/Distributors for availability and specifications.

Maximal Power Dissipation (Note 1)	500 mW
Applied Voltage (Note 2)	30V
Differential Input Signal ($V_7 - V_8$)	±5.0V
Differential Input Signal ($V_4 - V_1$)	$\pm (5 + I_5R_6)$V
Input Signal ($V_2 - V_1$, $V_3 - V_4$)	5.0V
Bias Current (I_5)	12 mA
Operating Temperature Range LM1596	−55°C to +125°C
LM1496	0°C to +70°C
Storage Temperature Range	−65°C to +150°C

Soldering Information

- Dual-In-Line Package
  - Soldering (10 seconds) 260°C
- Small Outline Package
  - Vapor Phase (60 seconds) 215°C
  - Infrared (15 seconds) 220°C

See AN-450 "Surface Mounting Methods and their effects on Product Reliability" for other methods of soldering surface mount devices.

Electrical Characteristics (T_A = 25°C, unless otherwise specified, see test circuit)

Parameter	Conditions	LM1596			LM1496			Units
		Min	Typ	Max	Min	Typ	Min	
Carrier Feedthrough	V_C = 60 mVrms sine wave f_C = 1.0 kHz, offset adjusted		.40			40		µVrms
	V_C = 60 mVrms sine wave f_C = 10 kHz, offset adjusted		140			140		µVrms
	V_C = 300 mV_{pp} square wave f_C = 1.0 kHz, offset adjusted		0.04	0.2		0.04	0.2	mVrms
	V_C = 300 mV_{pp} square wave f_C = 1.0 kHz, offset adjusted		20	100		20	150	mVrms
Carrier Suppression	f_S = 10 kHz, 300 mVrms f_C = 500 kHz, 60 mVrms sine wave offset adjusted	50	65		50	65		dB
	f_S = 10 kHz, 300 mVrms f_C = 10 MHz, 60 mVrms sine wave offset adjusted		50			50		dB
Transadmittance Bandwidth	R_L = 50Ω Carrier Input Port, V_C = 60 mVrms sine wave		300			300		MHz
	f_S = 1.0 kHz, 300 mVrms sine wave Signal Input Port, V_S = 300 mVrms sine wave $V_7 - V_8$ = 0.5Vdc		80			80		MHz
Voltage Gain, Signal Channel	V_S = 100 mVrms, f = 1.0 kHz $V_7 - V_8$ = 0.5 Vdc	2.5	3.5		2.5	3.5		V/V
Input Resistance, Signal Port	f = 5.0 MHz $V_7 - V_8$ = 0.5 Vdc		200			200		kΩ
Input Capacitance, Signal Port	f = 5.0 MHz $V_7 - V_8$ = 0.5 Vdc		2.0			2.0		pF
Single Ended Output Resistance	f = 10 MHz		40			40		kΩ
Single Ended Output Capacitance	f = 10 MHz		5.0			5.0		pF
Input Bias Current	$(I_1 + I_4)/2$		12	25		12	30	µA
Input Bias Current	$(I_7 + I_8)/2$		12	25		12	30	µA
Input Offset Current	$(I_1 - I_4)$		0.7	5.0		0.7	5.0	µA
Input Offset Current	$(I_7 - I_8)$		0.7	5.0		5.0	5.0	µA
Average Temperature Coefficient of Input Offset Current	(−55°C < T_A < +125°C) (0°C < T_A < +70°C)		2.0			2.0		nA/°C nA/°C
Output Offset Current	$(I_6 - I_9)$		14	50		14	60	µA
Average Temperature Coefficient of Output Offset Current	(−55°C < T_A < +125°C) (0°C < T_A < +70°C)		90			90		nA/°C nA/°C

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Electrical Characteristics (T_A = 25°C, unless otherwise specified, see test circuit) (Continued)

Parameter	Conditions	LM1596			LM1496			Units
		Min	Typ	Max	Min	Typ	Min	
Signal Port Common Mode Input Voltage Range	f_S = 1.0 kHz		5.0			5.0		V_{PP}
Signal Port Common Mode Rejection Ratio	$V_7 - V_8$ = 0.5 Vdc		−85			−85		dB
Common Mode Quiescent Output Voltage			8.0			8.0		Vdc
Differential Output Swing Capability			8.0			8.0		V_{PP}
Positive Supply Current	(I_6 + I_8)		2.0	3.0		2.0	3.0	mA
Negative Supply Current	(I_{10})		3.0	4.0		3.0	4.0	mA
Power Dissipation			33			33		mW

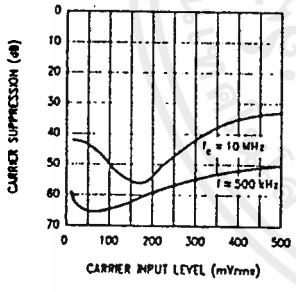
Note 1: LM1596 rating applies to case temperatures to + 125°C; derate linearly at 6.5 mW/°C for ambient temperature above 75°C. LM1496 rating applies to case temperatures to + 70°C.

Note 2: Voltage applied between pins 6-7, 8-1, 9-7, 9-8, 7-4, 7-1, 8-4, 6-8, 2-5, 3-5.

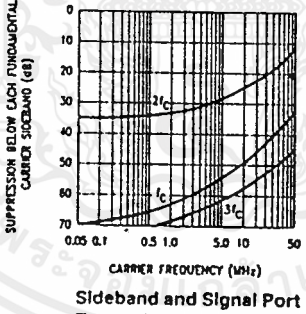
Note 3: Refer to RETS1596x drawing for specifications of military LM1596H versions.

Typical Performance Characteristics

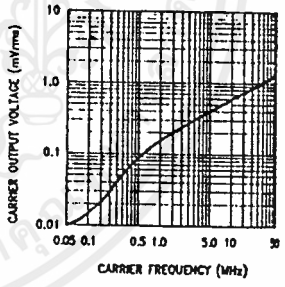
Carrier Suppression vs Carrier Input Level



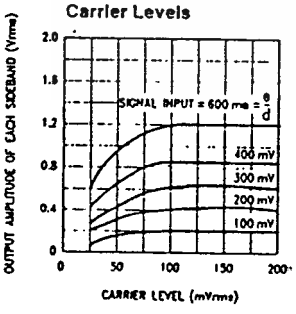
Carrier Suppression vs Frequency



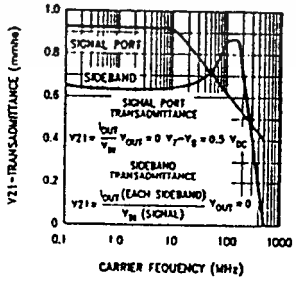
Carrier Feedthrough vs Frequency



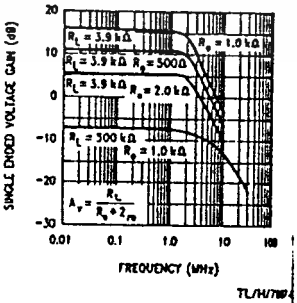
Sideband Output vs Carrier Levels



Sideband and Signal Port Transadmittances vs Frequency



Signal-Port Frequency Response

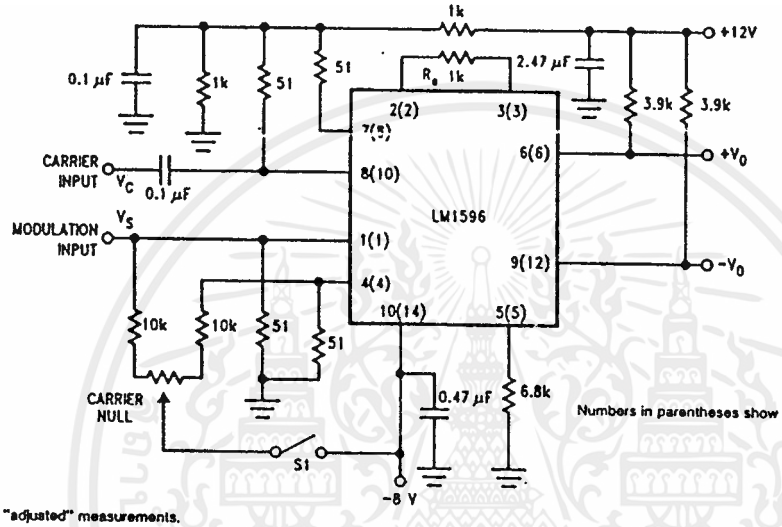


TL/H/7894

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Application and Test Circuit

Suppressed Carrier Modulator

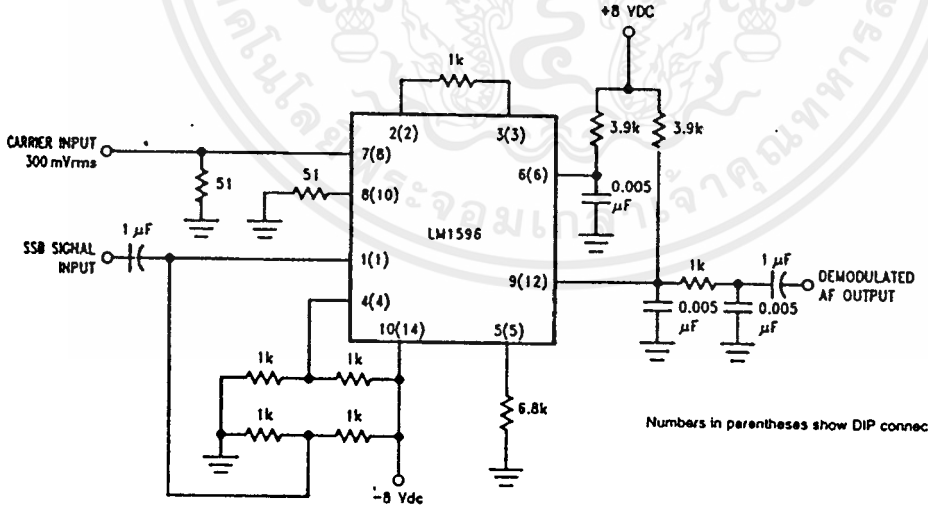


Numbers in parentheses show DIP connections.

Note: S_1 is closed for "adjusted" measurements.

TL/H/7887–4

SSB Product Detector



Numbers in parentheses show DIP connections.

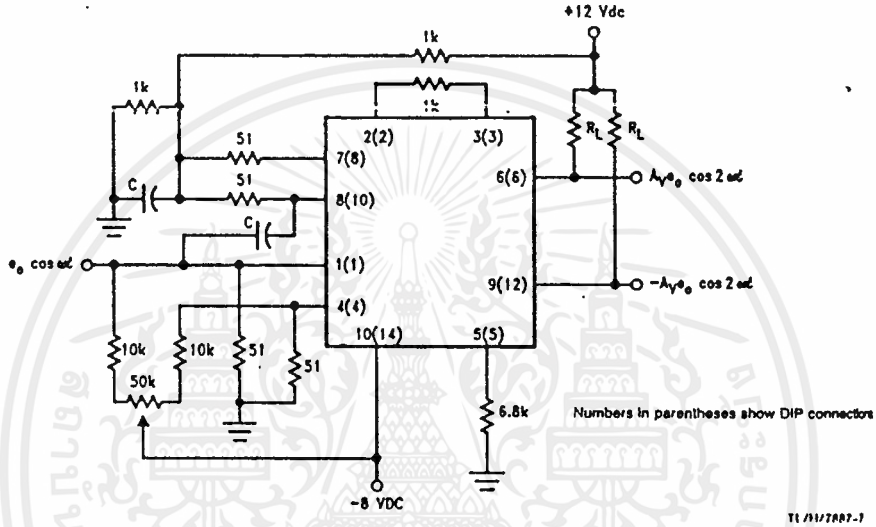
TL/H/7887–5

The figure shows the LM1596 used as a single sideband (SSB) suppressed carrier demodulator (product detector). The carrier signal is applied to the carrier input as with sufficient amplitude for switching operation. A carrier input level of 300 mVrms is optimum. The composite SSB signal is applied to the signal input port at an amplitude of 5.0 to 500 mVrms. All output signal components except the desired demodulated audio are filtered out, so that an offset adjustment is not required. The circuit may also be used as an AM detector by applying composite and carrier signals in the same manner as described for product detector operation.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Applications (Continued)

Broadband Frequency Doubler



TL/H/7887-7

The frequency doubler circuit shown will double low-level signals with low distortion. The value of C should be chosen for low reactance at the operating frequency. Signal level at the carrier input must be less than 25 mV peak to maintain operation in the linear region of the switching differential amplifier. Levels to 50 mV peak may be used with some distortion of the output waveform. If a larger input signal is available a resistive divider may be used at the carrier input, with full signal applied to the signal input.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

National Semiconductor

LM565/LM565C Phase Locked Loop

General Description

The LM565 and LM565C are general purpose phase locked loops containing a stable, highly linear voltage controlled oscillator for low distortion FM demodulation, and a double balanced phase detector with good carrier suppression. The VCO frequency is set with an external resistor and capacitor, and a tuning range of 10:1 can be obtained with the same capacitor. The characteristics of the closed loop system—bandwidth, response speed, capture and pull in range—may be adjusted over a wide range with an external resistor and capacitor. The loop may be broken between the VCO and the phase detector for insertion of a digital frequency divider to obtain frequency multiplication.

The LM565H is specified for operation over the −55°C to +125°C military temperature range. The LM565CH and LM565CN are specified for operation over the 0°C to +70°C temperature range.

Features

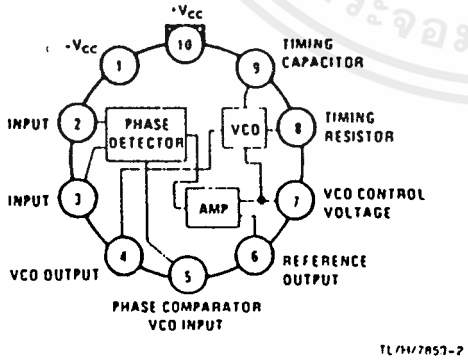
- 200 ppm/°C frequency stability of the VCO
- Power supply range of ±5 to ±12 volts with 100 ppm/% typical
- 0.2% linearity of demodulated output
- Linear triangle wave with in phase zero crossing available
- TTL and DTL compatible phase detector input and square wave output
- Adjustable hold in range from ±1% to > ±60%

Applications

- Data and tape synchronization
- Modems
- FSK demodulation
- FM demodulation
- Frequency synthesizer
- Tone decoding
- Frequency multiplication and division
- SCA demodulators
- Telemetry receivers
- Signal regeneration
- Coherent demodulators

Connection Diagrams

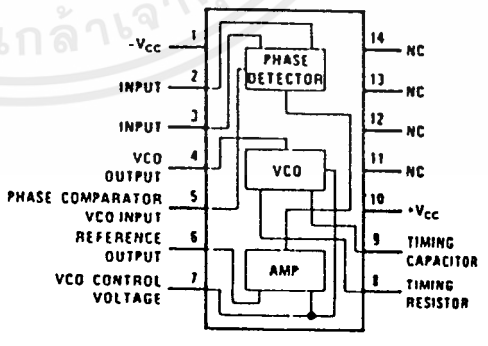
Metal Can Package



TL/H/7853-2

Order Number LM565H or LM565CH
See NS Package Number H10C

Dual-In-Line Package



TL/H/7853-3

Order Number LM565CN
See NS Package Number N14A

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Absolute Maximum Ratings

(f Military/Aerospace specified devices are required, lease contact the National Semiconductor Sales ffice/Distributors for availability and specifications.

upply Voltage	± 12V	Operating Temperature Range	
ower Dissipation (Note 1)	1400 mW	LM565H	−55°C to + 125°C
ifferential Input Voltage	± 1V	LM565CH, LM565CN	0°C to + 70°C
		Storage Temperature Range	−65°C to + 150°C
		Lead Temperature (Soldering, 10 sec.)	260°C

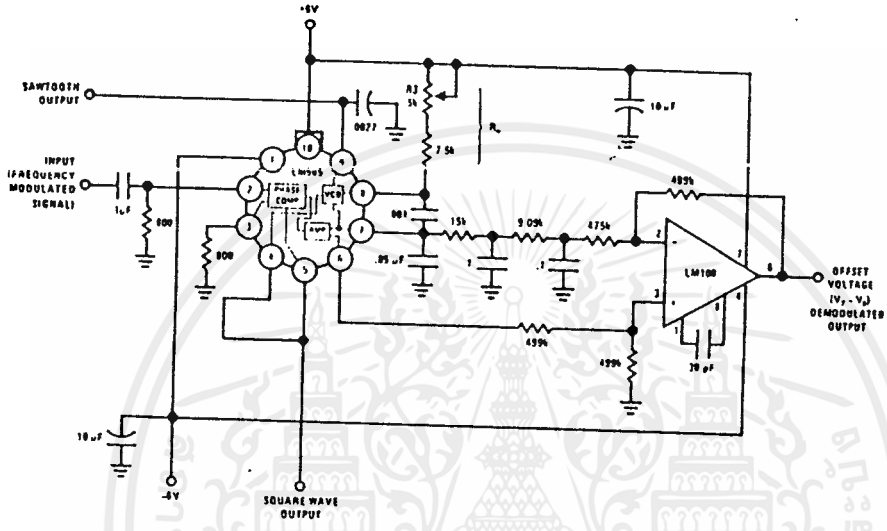
Electrical Characteristics AC Test Circuit, T_A = 25°C, V_{CC} = ± 6V

Parameter	Conditions	LM565			LM565C			Units
		Min	Typ	Max	Min	Typ	Max	
ower Supply Current			8.0	12.5		8.0	12.5	mA
ut Impedance (Pins 2, 3)	$-4V < V_2, V_3 < 0V$	7	10			5		kΩ
O Maximum Operating equency	C_o = 2.7 pF	300	500		250	500		kHz
O Free-Running equency	C_o = 1.5 nF R_o = 20 kΩ f_o = 10 kHz	−10	0	+10	−30	0	+30	%
perating Frequency mperature Coefficient			−100			−200		ppm/°C
equency Drift with pply Voltage			0.1	1.0		0.2	1.5	%/V
angle Wave Output Voltage		2	2.4	3	2	2.4	3	V_{p-p}
angle Wave Output Linearity			0.2			0.5		%
quare Wave Output Level		4.7	5.4		4.7	5.4		V_{p-p}
tput Impedance (Pin 4)			5			5		kΩ
quare Wave Duty Cycle		45	50	55	40	50	60	%
quare Wave Rise Time			20			20		ns
quare Wave Fall Time			50			50		ns
tput Current Sink (Pin 4)		0.6	1		0.6	1		mA
O Sensitivity	f_o 10 kHz		6600			6600		Hz/V
modulated Output Voltage n 7)	± 10% Frequency Deviation	250	300	400	200	300	450	mV_{p-p}
tal Harmonic Distortion	± 10% Frequency Deviation		0.2	0.75		0.2	1.5	%
tput Impedance (Pin 7)			3.5			3.5		kΩ
Level (Pin 7)		4.25	4.5	4.75	4.0	4.5	5.0	V
tput Offset Voltage $_7 - V_6$			30	100		50	200	mV
mperature Drift of $\|V_7 - V_6\|$			500			500		µV/°C
M Rejection		30	40			40		dB
ase Detector Sensitivity K_D			.68			.68		V/radian

Note 1: The maximum junction temperature of the LM565 and LM565C is + 150°C. For operation at elevated temperatures, devices in the TO-5 package must be rated based on a thermal resistance of + 150°C/W junction to ambient or + 45°C/W junction to case. Thermal resistance of the dual-in-line package is + 85°C/W.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

AC Test Circuit

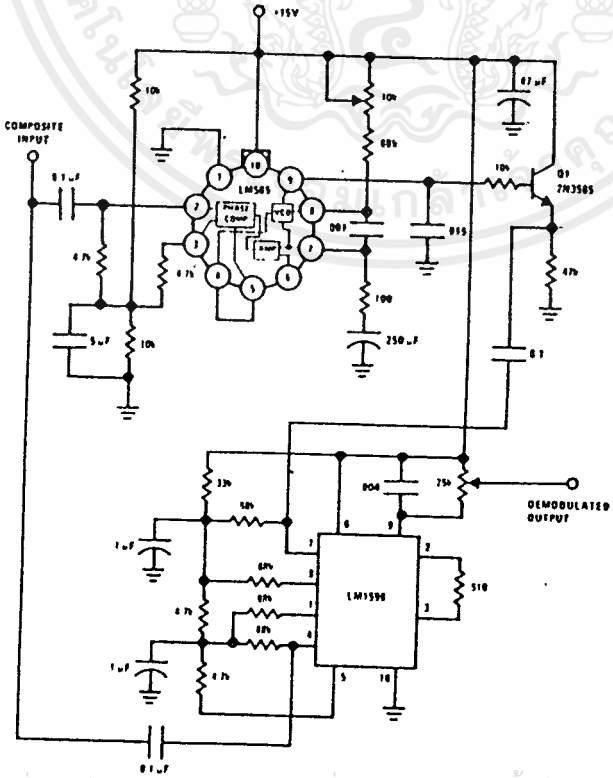


Note: S_1 open for output offset voltage ($V_2 - V_1$) measurement.

TL/H/7853-7

Typical Applications

2400 Hz Synchronous AM Demodulator

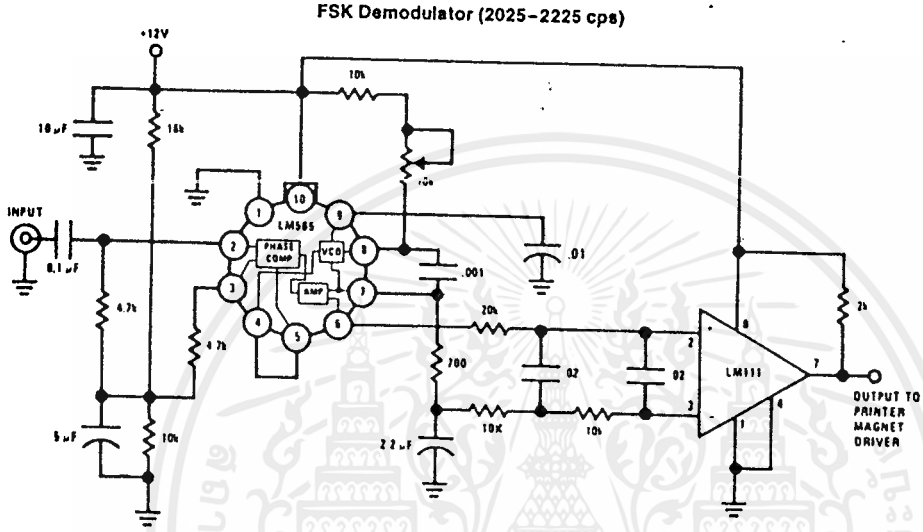


TL/H/7853-8

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

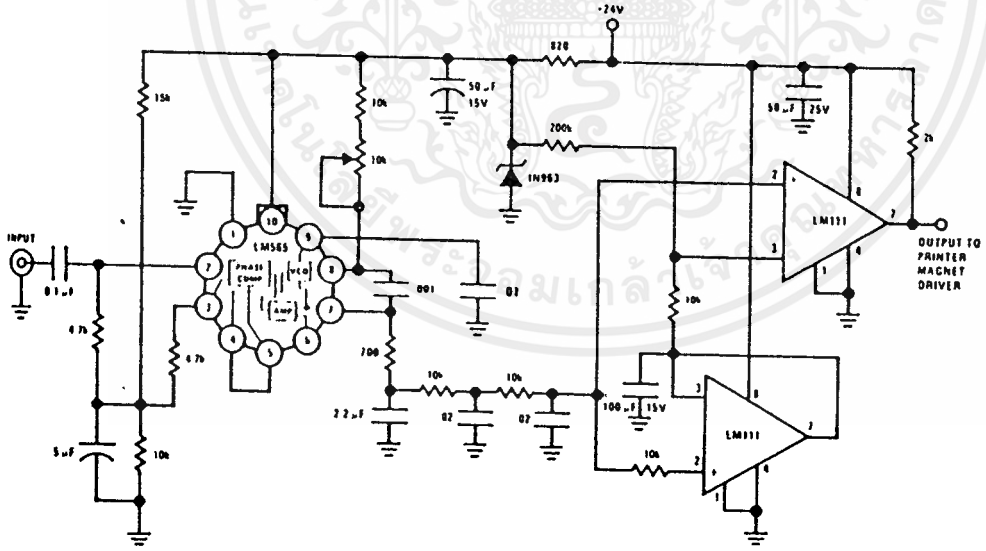
Typical Applications (Continued)

FSK Demodulator (2025–2225 cps)



TL/H/7853–7

FSK Demodulator with DC Restoration

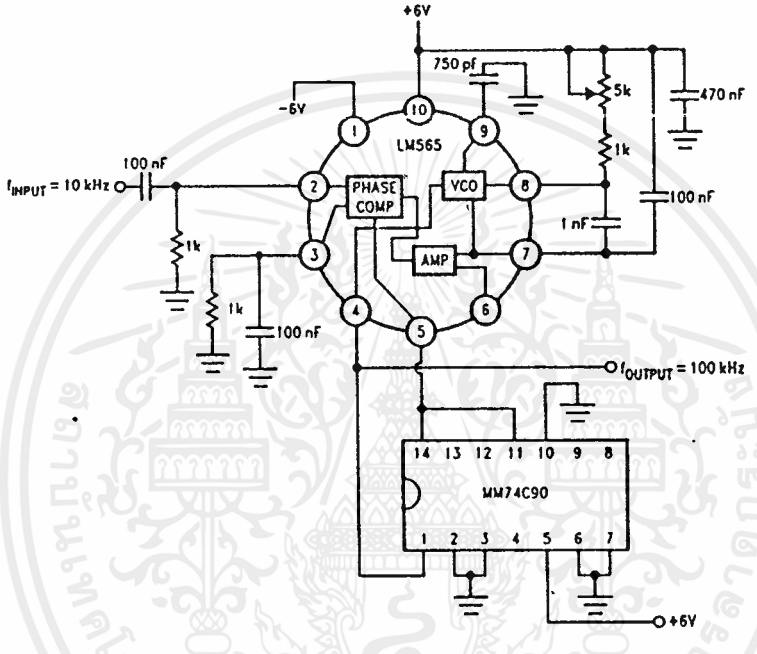


TL/H/7853–8

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

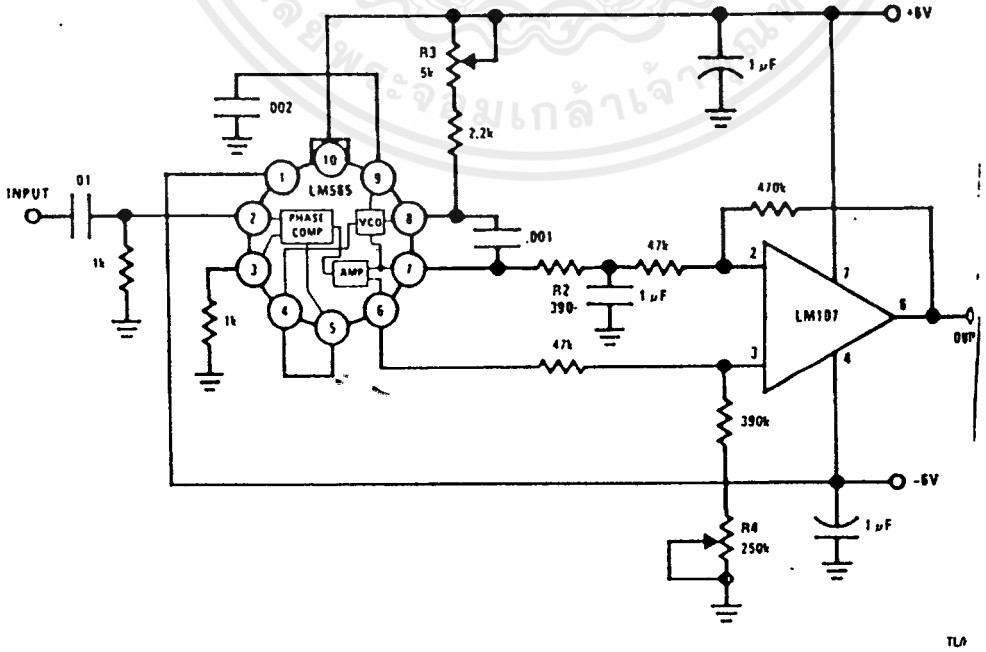
Typical Applications (Continued)

Frequency Multiplier (× 10)



TL/H/7853-8

IRIG Channel 13 Demodulator



TL/

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Applications Information

In designing with phase locked loops such as the LM565, the important parameters of interest are:

FREE RUNNING FREQUENCY

$$f_o \simeq \frac{0.3}{R_o C_o}$$

LOOP GAIN: relates the amount of phase change between the input signal and the VCO signal for a shift in input signal frequency (assuming the loop remains in lock). In servo theory, this is called the "velocity error coefficient."

$$\text{Loop gain} = K_o K_D \left(\frac{1}{\text{sec}}\right)$$

$$K_o = \text{oscillator sensitivity} \left(\frac{\text{radians/sec}}{\text{volt}}\right)$$

$$K_D = \text{phase detector sensitivity} \left(\frac{\text{volts}}{\text{radian}}\right)$$

The loop gain of the LM565 is dependent on supply voltage, and may be found from:

$$K_o K_D = \frac{33.6\, f_o}{V_c}$$

f_o = VCO frequency in Hz

V_c = total supply voltage to circuit

Loop gain may be reduced by connecting a resistor between pins 6 and 7; this reduces the load impedance on the output amplifier and hence the loop gain.

HOLD IN RANGE: the range of frequencies that the loop will remain in lock after initially being locked.

$$f_H = \pm \frac{8\, f_o}{V_c}$$

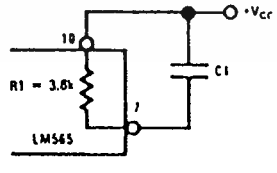
f_o = free running frequency of VCO

V_c = total supply voltage to the circuit

THE LOOP FILTER

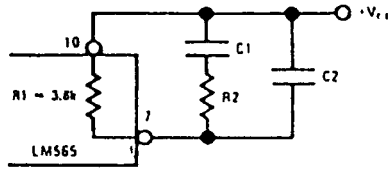
In almost all applications, it will be desirable to filter the signal at the output of the phase detector (pin 7). This filter may take one of two forms:

Simple Lag Filter



TL/H/7853-11

Lag-Lead Filter



TL/H/7853-12

A simple lag filter may be used for wide closed loop bandwidth applications such as modulation following where the frequency deviation of the carrier is fairly high (greater than 10%), or where wideband modulating signals must be followed.

The natural bandwidth of the closed loop response may be found from:

$$f_n = \frac{1}{2\pi}\sqrt{\frac{K_o K_D}{R_1 C_1}}$$

Associated with this is a damping factor:

$$\delta = \frac{1}{2}\sqrt{\frac{1}{R_1 C_1 K_o K_D}}$$

For narrow band applications where a narrow noise bandwidth is desired, such as applications involving tracking a slowly varying carrier, a lead lag filter should be used. In general, if $1/R_1C_1 < K_o K_D$, the damping factor for the loop becomes quite small resulting in large overshoot and possible instability in the transient response of the loop. In this case, the natural frequency of the loop may be found from

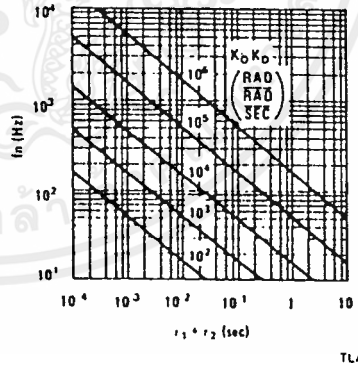
$$f_n = \frac{1}{2\pi}\sqrt{\frac{K_o K_D}{\tau_1 + \tau_2}} \qquad \tau_1 + \tau_2 \simeq (R_1 + R_2) C_1$$

R_2 is selected to produce a desired damping factor δ, usually between 0.5 and 1.0. The damping factor is found from the approximation:

$$\delta \simeq \pi \tau_2 f_n$$

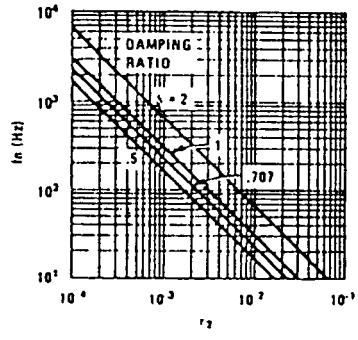
These two equations are plotted for convenience.

Filter Time Constant vs Natural Frequency



TL/H/7853-13

Damping Time Constant vs Natural Frequency



TL/H/7853-14

Capacitor C_2 should be much smaller than C_1 since its function is to provide filtering of carrier. In general $C_2 \simeq 0.1\, C_1$.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้