ฮาร์ดแวร์ดาต้าดีบัก

Hardware data debug

โดย

วันชัย หนองพล

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรบัณฑิต

สาขาวิชาโทรคมนาคม

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2535

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

032705

ปริญญานิพนธ์ ปีการศึกษา 2535

ภาควิชาโทรคมนาคม คณะวิศวกรรมศาสตร์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เรื่อง ฮาร์ดแวร์ดาต้าดีบัก

โดย

นายวันชัย หนองพล

(_____)

อ.เกรียงไกร วงศ์โรจน์ภรณ์

อาจารย์ที่ปรึกษา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

032705

ฮาร์ดแวร์ดาต้าดีบัก

วันชัย หนองพล

อาจารย์ที่ปรึกษา

อ.เกรียงไกร วงศ์โรจน์ภรณ์

บทคัดย่อ

ฮาร์ดแวร์ดาต้าดีบักมีหน้าที่ในการดักจับข้อมูลโดยอาศัยหลักการของ address comparator การดักจับข้อมูลจะเกิดขึ้นเมื่อแอดเดรสของซีพียู(A)อยู่ในช่วงที่กำหนดและอยู่ในสภาพต่างๆดังนี้ IN,OUT, RD,WR,MRQ,IORQ,MIORQ ช่วงที่กำหนดนี้เกิดจากการเปรียบเทียบแอดเดรสของ CPU(A) กับแอดเดรสของแอดเดรสคอมแพเรเตอร์ (B1,B2) และสามารถเกิดได้ 8 กรณี คือ A<B1, A=B1, A>B1, A<B2, A=B2, A>B2, A>B1 AND A<B2, A<B1 OR A>B2 เมื่อได้ตรงตามสภาพที่ต้องการและช่วงที่กำหนดก็จะเกิดการสร้างสัญญาณอินเทอร์รัพท์ไปสู่ซีพียูเพื่อเข้าไปสู่โปรแกรมควบคุมที่อยู่ในอินเทอร์รัพท์เวกเตอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Hardware data debug

VANCHAI NONGPHOL

ADVISOR

KRENGGRAI VONGRODPORN

Abstract

Hardware data debug is a function for trapping data which is based on address comparator. This trapping occurs when the address of CPU(A) is in a specificating range and in the conditions such as; IN, OUT, RD, WR,MRQ, IORQ, MIORQ. This specificated ranges are specificated by comparing between address of CPU(A) and comparator address (B1, B2).The result of this comparison appears in eight cases such as A<B1, A=B1, A>B1, A<B2, A=B2, A>B2, A>B1 AND A<B2, A<B1 OR A>B2. if the specificated ranges are in the conditions, it creats the interrupt signal and send to CPU for accessing control program in the form of interrupt vector.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ

บทนำ	1
หลักการทำงาน	2
บล๊อกไดอะแกรม	9
วงจรของแต่ละบล๊อก	11
โปรแกรมทดสอบ	27
ผลการทดสอบ	32
สรุป	34
แนวการพัฒนาต่อไป	36
บทแทรก	37
เอกสารอ้างอิง	44
กิตติกรรมประกาศ	45
ภาคผนวก	46

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทนำ

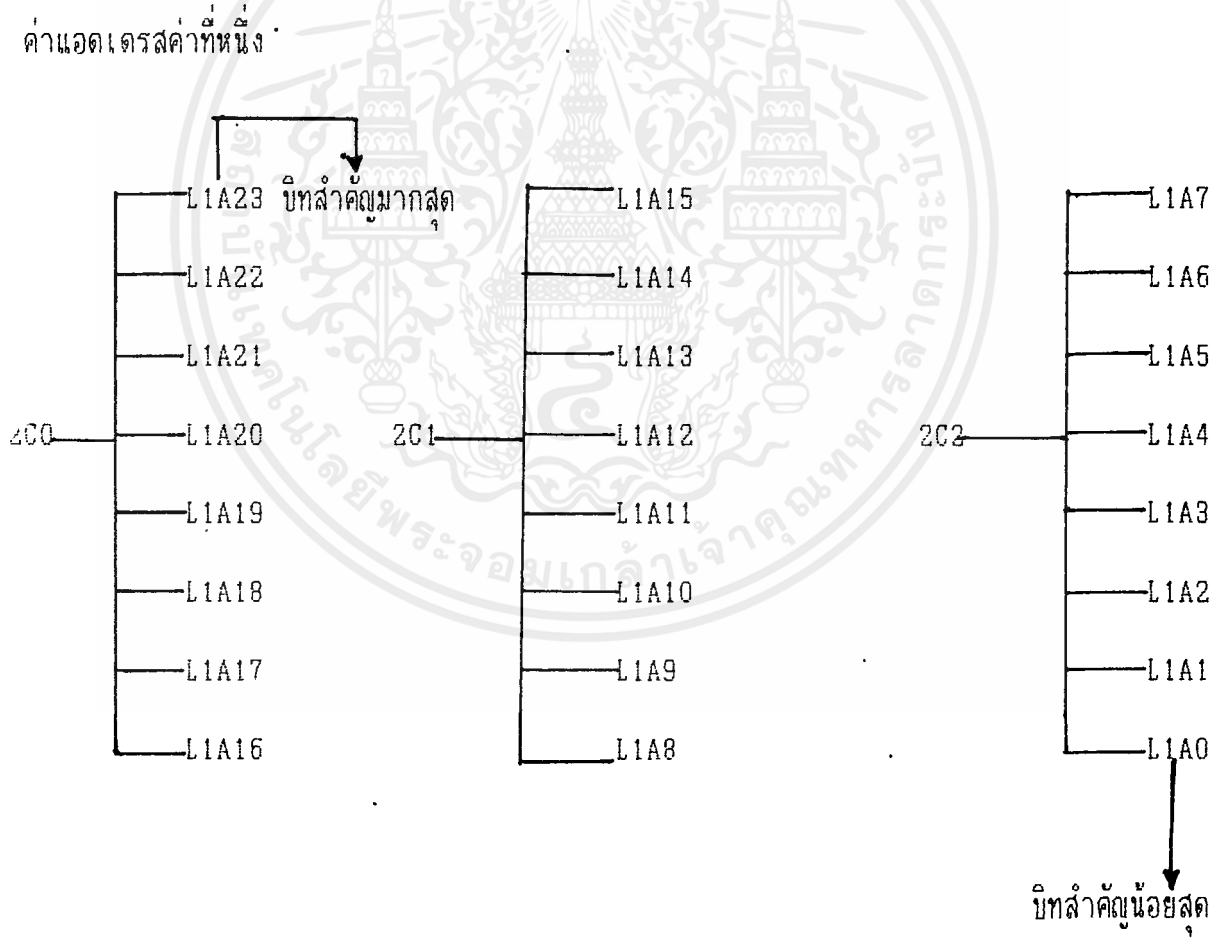
ในการดีบักข้อมูลด้วยซอฟท์แวร์นี้มีข้อจำกัดอยู่อย่างหนึ่งคือไม่สามารถเข้าถึงข้อมูลในส่วนของแอดเดรสรอมได้ การดีบักข้อมูลด้วยซอฟท์แวร์เข้าถึงเพียงส่วนของแอดเดรสแรม ดังนั้นจุดประสงค์ของการทำฮาร์ดแวร์ดาต้าดีบักนี้ก็เพื่อการเข้าถึงข้อมูลในส่วนของแอดเดรสรอม เมื่อสามารถเข้าถึงข้อมูลได้มากขึ้นก็สามารถเอื้อประโยชน์ต่อการดีบักเพิ่มขึ้น ทั้งนี้ขึ้นอยู่กับการนำไปใช้งาน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

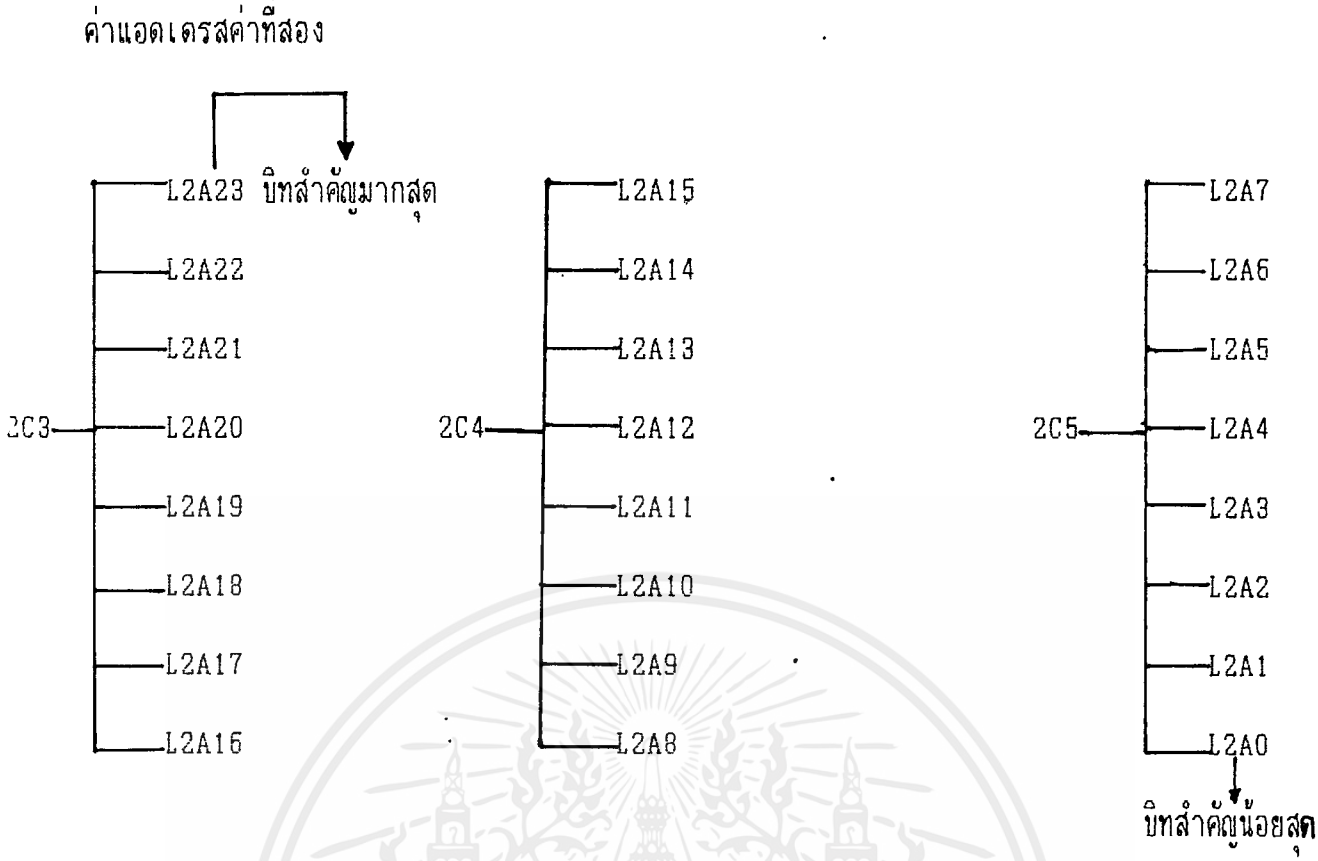
หลักการทำงาน

การทำงานของแอดเดรสคอมแพเรเตอร์แบ่งเป็นขั้นตอนได้ดังนี้.

1.กำหนดแอดเดรส 2 ค่า คือ B1, B2 ซึ่งแต่ละกรณีมี 24 บิท ค่าแอดเดรสที่กำหนดนี้ส่งออกทางพอร์ทหมายเลข 2C0-2C5 โดยที่ 2C0-2C2 คือค่า B1 และ 2C3-2C5 คือค่า B2 ดังนั้นในแต่ละพอร์ทจะรับค่าแอดเดรสพอร์ทละ 8 บิท แอดเดรสค่าแรกคือ B1 มีการเรียงลำดับบิท ดังนี้ 2C0 เป็น 8 บิทที่มีความสำคัญมาก ตามมาด้วย 2C1 และ 2C2 เป็น 8 บิทที่มีความสำคัญน้อย แอดเดรสค่าสองคือ B2 มีการเรียงลำดับบิทดังนี้ 2C3 เป็น 8 บิทที่มีความสำคัญมาก ตามมาด้วย 2C4 และ 2C5 เป็น 8 บิทที่มีความสำคัญน้อย จากที่กล่าวมาสามารถเขียนเป็นแผนภาพได้ดังนี้



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



2. รับแอดเดรสจากซีพียู(A)ทั้งหมด 24 บิท คือ CA23-CA0 หลังจากนั้นทำการเปรียบเทียบ A กับ B1,B2 จากการเปรียบเทียบเกิดกรณีที่เป็นไปได้ 8 กรณี คือ A<B1,A=B1,A>B1,A<B2,A=B2,A>B2, A>B1 AND A<B2 , A<B1 OR A>B2

3. รับสัญญาณ IOR(IN),IOW(OUT),MEMR(RD),MEMW(WR)และได้ทำการสร้างสัญญาณอีก 4 ค่า คือ IORQ,MRQ,MIORQ,DISABLE

4. ทำการเลือก A<B1,A=B1,A>B1,A<B2,A=B2,A>B2,A>B1 AND A<B2,A<B1 OR A>B2 ออกมาเพียงกรณีเดียวเพื่อสร้างสัญญาณ ADDR

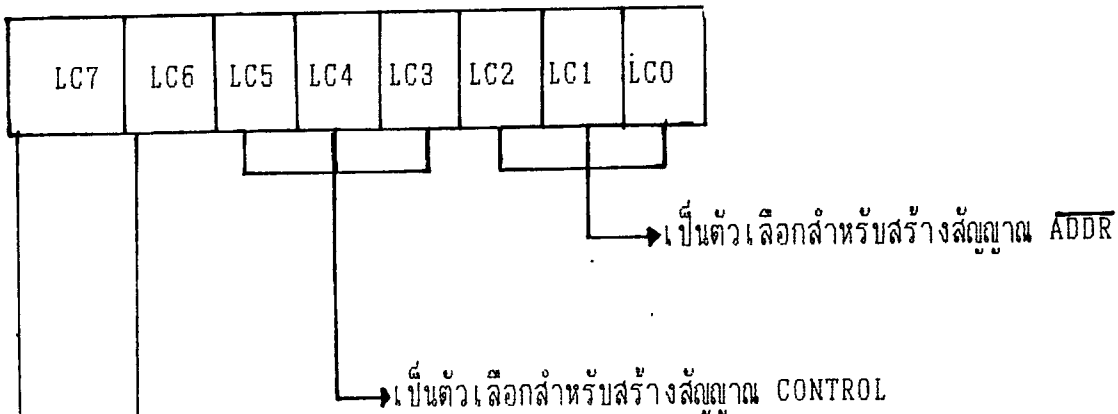
5. ทำการเลือก IN, OUT, RD, WR, MRQ, IORQ และ DISABLE ออกมาเพียงกรณีเดียวเพื่อสร้างสัญญาณ CONTROL

6. นำสัญญาณ ADDR และ CONTROL มา OR กัน ($\overline{\text{ADDR}}$ OR CONTROL) เพื่อสร้างสัญญาณอินเทอร์รัพท์ ไปสู่ CPU

* หมายเหตุ สัญญาณคอนโทรลที่เกิดจากสัญญาณ DISABLE ไม่สามารถที่จะนำมาสร้างสัญญาณอินเทอร์รัพท์*

จากขั้นตอนที่กล่าวมานี้มีการควบคุมจากลอจิกคอนโทรล LC7-LC0 ซึ่งส่งออกมาทางพอร์ทหมายเลข 2C6 และสามารถเขียนอธิบายได้ดังนี้

ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



การสร้างสัญญาณ CONTROL เป็นดังตารางข้างล่างนี้

ตารางที่1 แสดงสภาพที่เลือกสำหรับการสร้างสัญญาณ CONTROL

LC5	LC4	LC3	สภาพที่เกิด
0	0	0	DISABLB
0	0	1	RD
0	1	0	WR
0	1	1	IN
1	0	0	OUT
1	0	1	MRQ
1	1	0	IORQ
1	1	1	MIORQ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

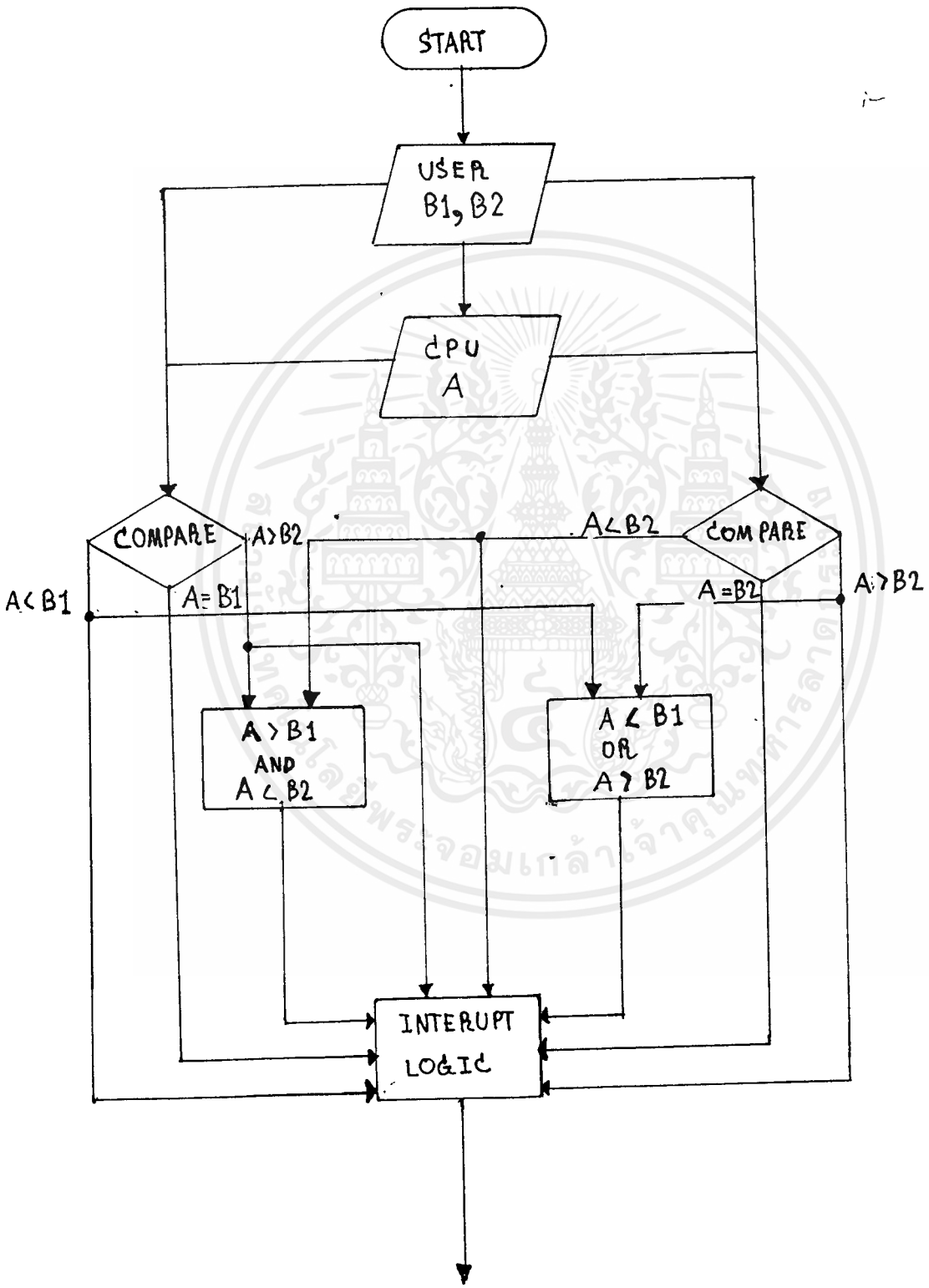
การสร้างสัญญาณ $\overline{ADDR}$ เป็นดังตารางข้างล่างนี้

ตารางที่ 2 การเลือกสภาพสำหรับสร้างสัญญาณ $\overline{ADDR}$

LC2	LC1	LC0	สภาพที่เกิด
0	0	0	A<B1
0	0	1	A<B1
0	1	0	A>B1
0	1	1	A>B1 AND A<B2
1	0	0	A<B2
1	0	1	A=B2
1	1	0	A>B2
1	1	1	A<B1 OR A>B2

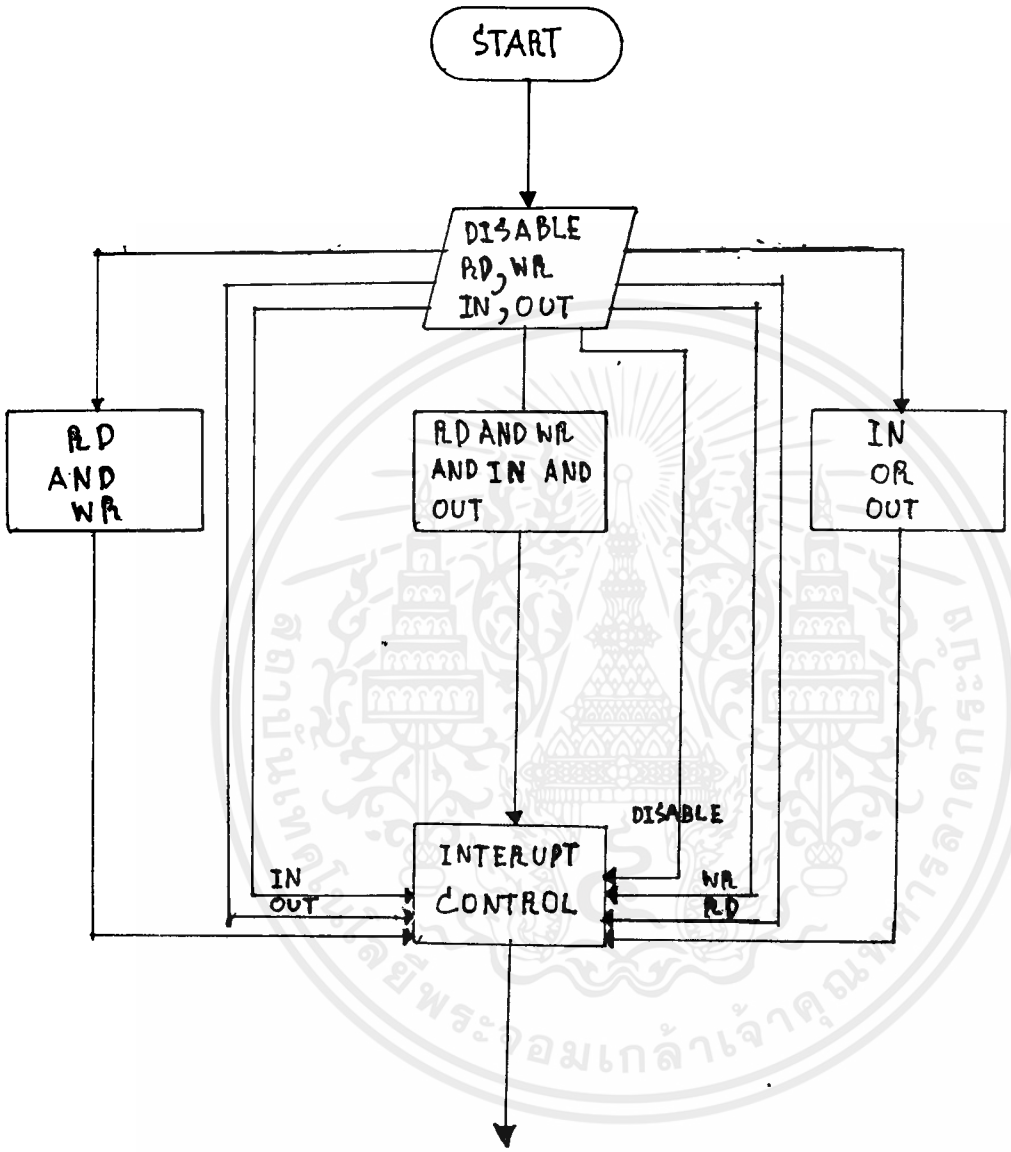
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การทำงานของ address comparator เขียนเป็นโฟลชาร์ทได้ดังนี้



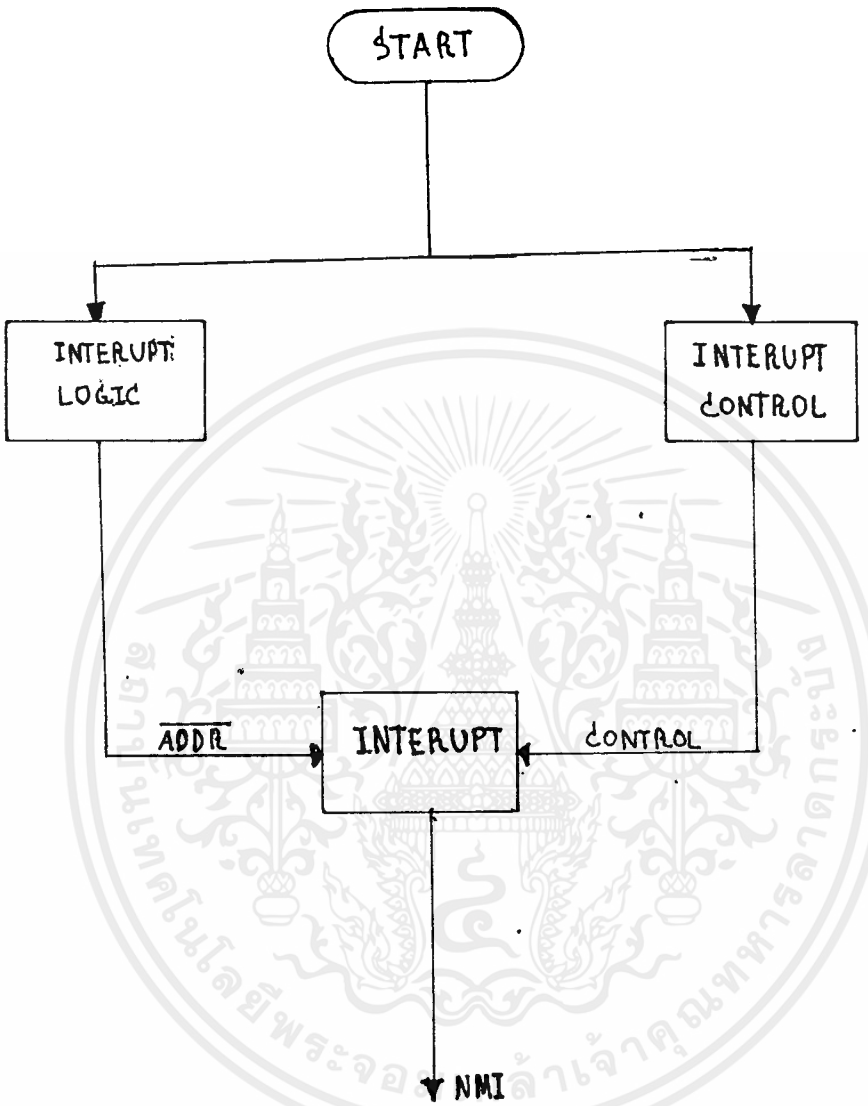
รูปที่ 1.1 อินเทอร์รัพท์ลอจิค

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 1.2 อินเทอร์รัพท์คอนโทรล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 1.3 อินเทอร์รัพท์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

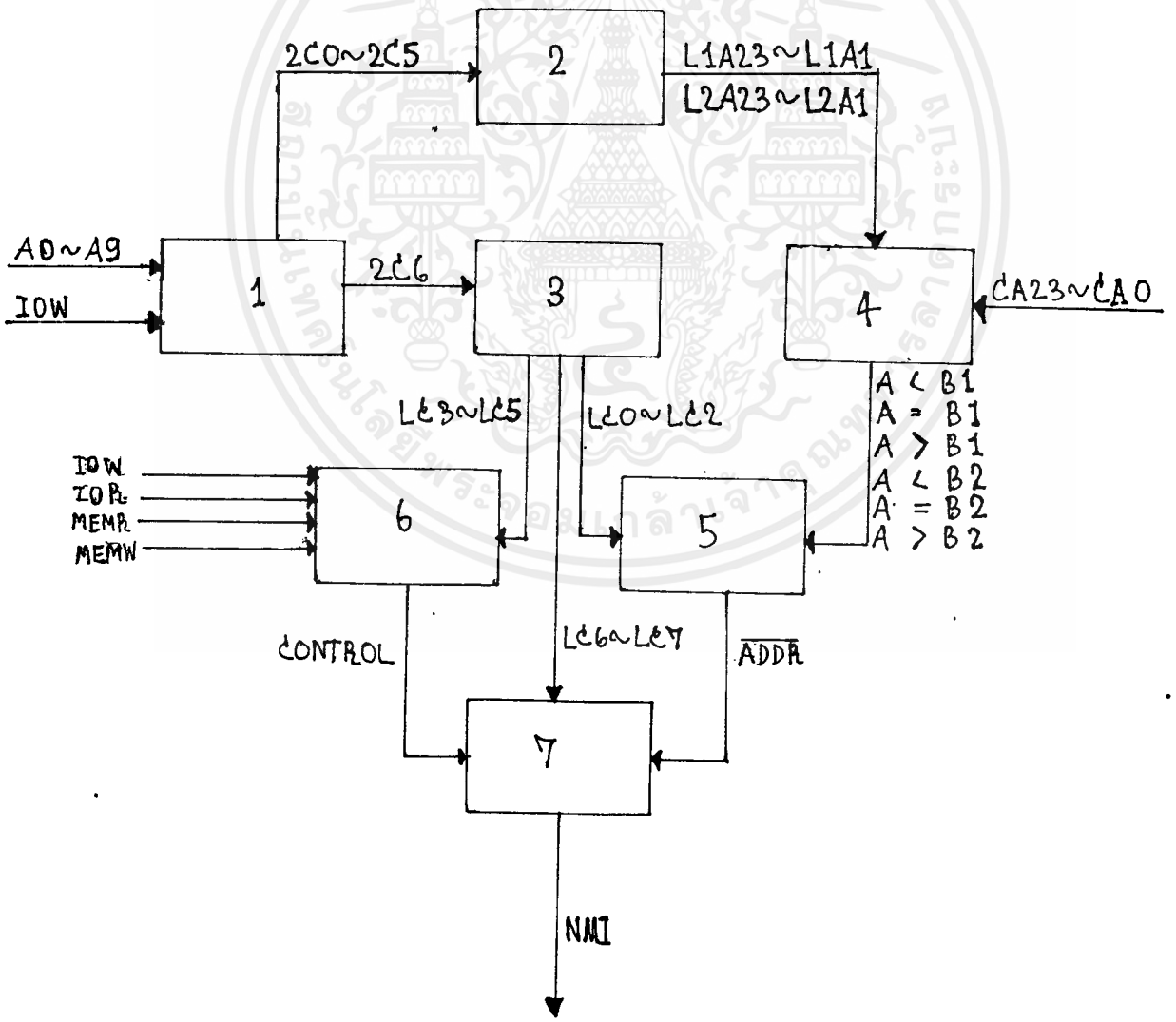
ห้องสมุดคณะวิศวกรรมศาสตร์ จุฬาลงกรณ์มหาวิทยาลัย

บล็อคไดอะแกรม

ADDRESS COMPARATOR ประกอบด้วยส่วนต่าง ๆ 7 ส่วน ดังนี้

1. กำหนดพอร์ท
2. กำหนดแอดเดรส
3. ลอจิกคอนโทรล
4. การเปรียบเทียบ
5. อินเตอร์รัพท์ลอจิก
6. อินเตอร์รัพคอนโทรล
7. สร้างสัญญาณอินเตอร์รัพท์

จากที่กล่าวมาสามารถเขียนเป็นบล็อคไดอะแกรมได้ดังนี้



รูปที่ 2 บล็อกไดอะแกรมของแอดเดรสคอมแพเรเตอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

032705

หน้าที่ต่าง ๆ ในแต่ละบล็อก

1. กำหนดพอร์ทมีหน้าที่ในการสร้างหมายเลขพอร์ทตั้งแต่ 2C0~2C7 แต่ในที่นี้ใช้เพียง 2C0~2C6

2. กำหนดแอดเดรสมีหน้าที่ในการสร้างสัญญาณแอดเดรส 24 บิต จำนวน 2 ชุด ซึ่งการกำหนดแอดเดรสนี้สามารถกระทำได้โดยผู้ใช้

3. ลอจิคคอนโทรลมีหน้าที่ในการสร้างสัญญาณไปควบคุมส่วนต่าง ๆ เช่น อินเตอร์รัพท์ลอจิค, อินเตอร์รัพท์คอนโทรล และกำเนิดอินเตอร์รัพท์

4. การเปรียบเทียบแอดเดรสมีหน้าที่ในการเปรียบเทียบแอดเดรสที่รับมาจากส่วนกำหนดแอดเดรสและจากซีพียู

5. อินเตอร์รัพท์ลอจิคมีหน้าที่ในการเลือกลอจิกจาก 1 ใน 8 ที่เกิดจากส่วนเปรียบเทียบลอจิกทั้ง 8 มีดังนี้ A = B1, A < B1, A > B1, A = B2, A < B2, A > B2, A > B1 และ A < B2, A < B2 หรือ A > B2

6. อินเตอร์รัพท์คอนโทรลมีหน้าที่ในการเลือกสัญญาณคอนโทรลจากสัญญาณที่รับมาจากซีพียู อย่างเช่น IOR, IOW, MEMW, MEMR และจากสัญญาณที่สร้างเอง อย่างเช่น IORQ, MRQ, MIORQ, DISABLE

7. กำเนิดอินเตอร์รัพท์มีหน้าที่รับสัญญาณจากอินเตอร์รัพท์ลอจิกและจากอินเตอร์รัพท์คอนโทรล เพื่อมาสร้างสัญญาณอินเตอร์รัพท์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วงจรต่างๆในแต่ละบล๊อก

1.วงจรกำหนดพอร์ท

<u>การทำงาน</u>

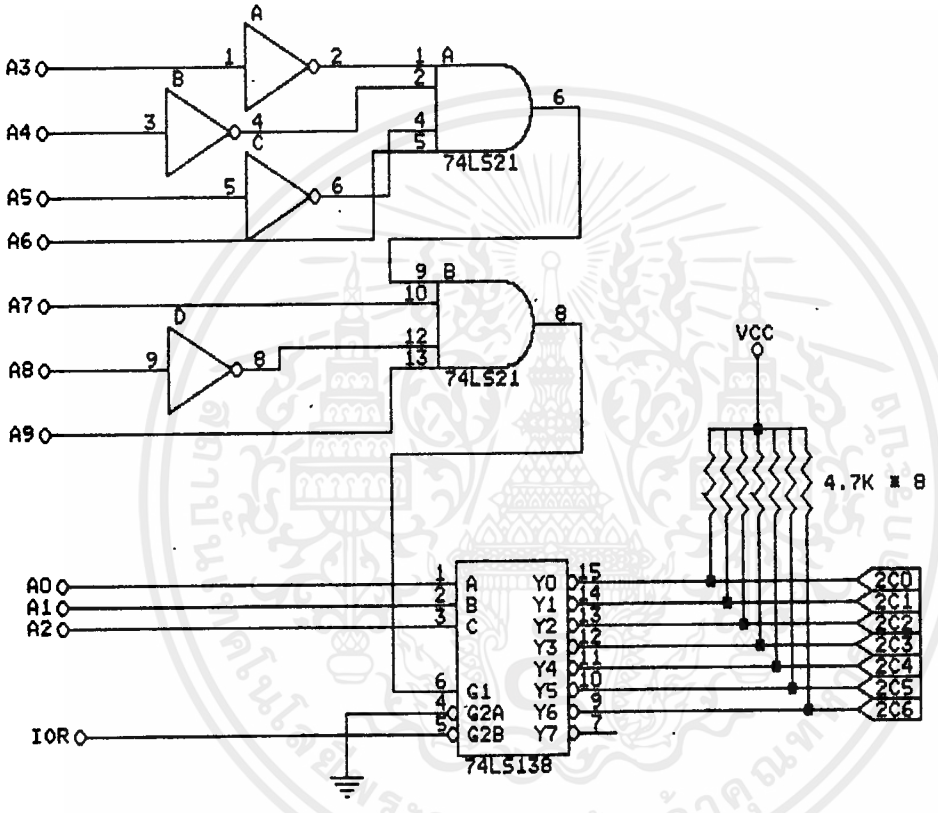
วงจรนี้รับสัญญาณแอดเดรส A_0 ~ A_9 ซึ่งมาจากซีพียู ในส่วนของ A_3 ~ A_9 สายสัญญาณจะมาเข้าไอซีเบอร์ 74LS2I โดยที่สายสัญญาณบางเส้นต้องผ่านอินเวิทเตอร์ก่อนเพื่อเป็นการกำนดแอดเดรสให้อยู่ในช่วง 2C0 ~ 2C7 เมื่อแอดเดรสมีค่าอยู่ในช่วง 2C0 ~ 2C7 จะทำให้ขาที่ 8 ของ 74LS2I มีลอจิกเป็น 1 และในจังหวะเดียวกันนี้ ถ้า IOR มีลอจิกเป็น 0 ค่า A_0 ~ A_2ที่ต่อเข้ากับ 74LSI38 จะเป็นตัวที่กำหนดหมายเลขพอร์ทดังตารางต่อไปนี้

ตารางที่3 หมายเลขพอร์ท

A_2	A_1	A_0	หมายเลขพอร์ท
0	0	0	2C0
0	0	I	2C1
0	I	0	2C2
0	I	I	2C3
I	0	0	2C4
I	0	I	2C5
I	I	0	2C6
I	I	I	2C7

**** หมายเหตุ ค่า R. 4.7 กิโลโอห์ม ใส่เพื่อทำการ pullup. ****

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



Size	Document Number	REV
A		
Date: March 6, 1980	Sheet of	

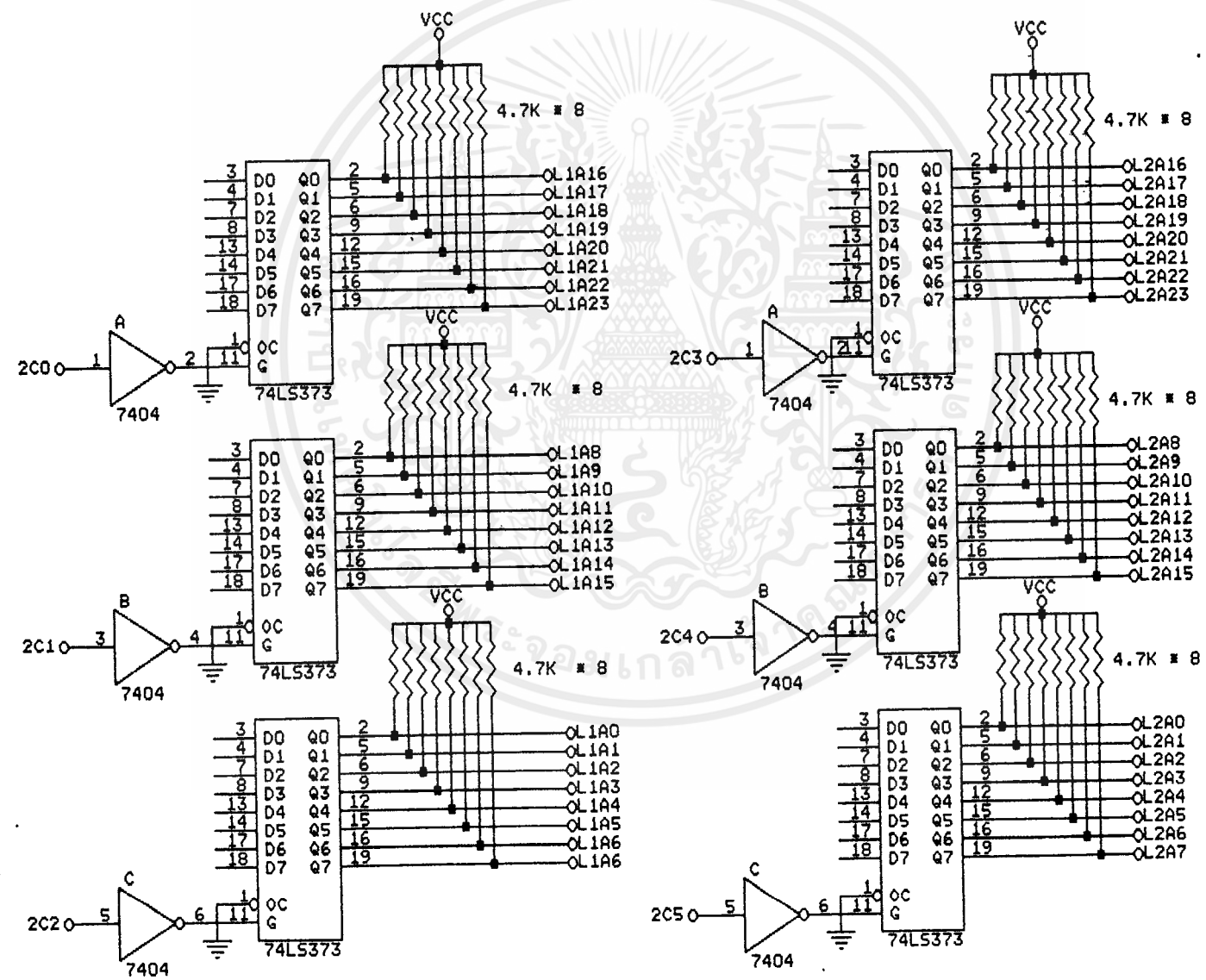
รูปที่ 3 วงจรกำหนดพอร์ท

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2. วงจรกำหนดแอดเดรส

. การทำงาน

วงจรกำหนดแอดเดรสประกอบด้วยชุดกำหนดแอดเดรส 2 ชุด ในแต่ละชุดประกอบด้วย 74LS373 จำนวน 3 ตัว ซึ่งแต่ละตัวสามารถกำหนดแอดเดรสได้ทั้ง 8 บิท 74LS373 จำนวน 3 ตัว เป็น 24 บิท 74LS373 จะรับข้อมูลเข้ามาเมื่อขา 11 มีลอจิกเป็น 1 ข้อมูลที่เข้ามาในแต่ละบิตหมายถึงแอดเดรสที่ผู้ใช้ได้กำหนดขึ้น



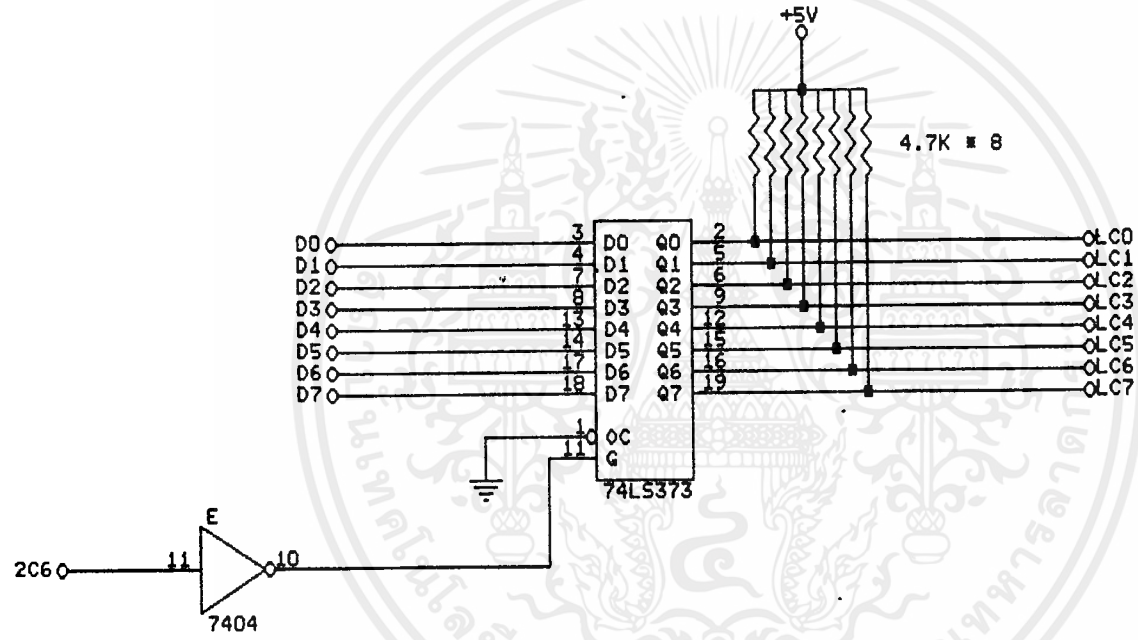
Size	Document Number	REV
A		
Date: March 6, 1980	Sheet of	

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของลิขสิทธิ์

3. วงจรลอจิกคอนโทรล

<u>การทำงาน</u>

วงจรนี้จะรับข้อมูล D_0 ~ D_7 เมื่อขา 11 มีลอจิกเป็น 1 หลังจากนั้นจะได้สัญญาณ LC0 ~ LC7 สัญญาณนี้มีไว้เพื่อควบคุมส่วนต่าง ๆ



Size	Document Number	REV
A		
Date: March 6, 1980	Sheet	of

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 5 วงจรลอจิกคอนโทรล

4. วงจรเปรียบเทียบแอดเดรส

4.1 ส่วนบัฟเฟอร์

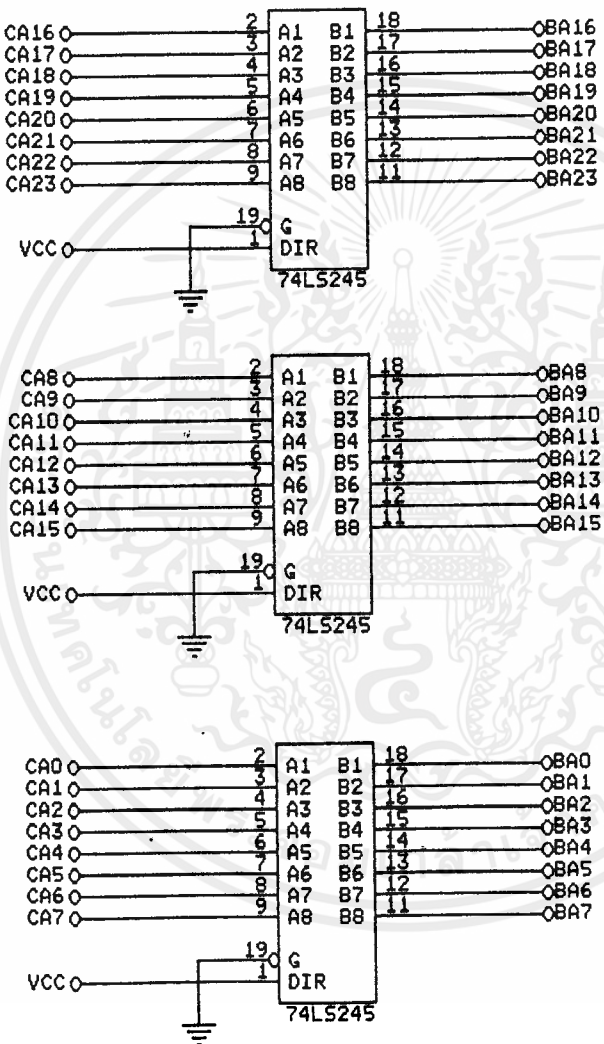
4.2 ส่วนเปรียบเทียบส่วนที่ 1

4.3 ส่วนเปรียบเทียบส่วนที่ 2

การทำงาน

ในส่วนของบัฟเฟอร์มีไว้เพื่อป้องกันการโหลดซีพียู และในที่นี้ใช้ 74LS245 ในส่วนของการเปรียบเทียบแอดเดรส 1 และ 2 ใช้ไอซีเบอร์ 74LS85 ชุดละ 6 ตัว ทั้งสองนี้จะทำการเปรียบเทียบแอดเดรสจากซีพียู และทำการเปรียบเทียบชุดละ 24 บิต ซึ่งจะแสดงผลออกทางเอาท์พุตของไอซีตัวที่ 6 และมีเอาต์พุท คือ A > B, A = B, A < B โดยใช้ลอจิก 1 เป็นตัวบอกให้รู้ว่าเกิดสภาวะใด

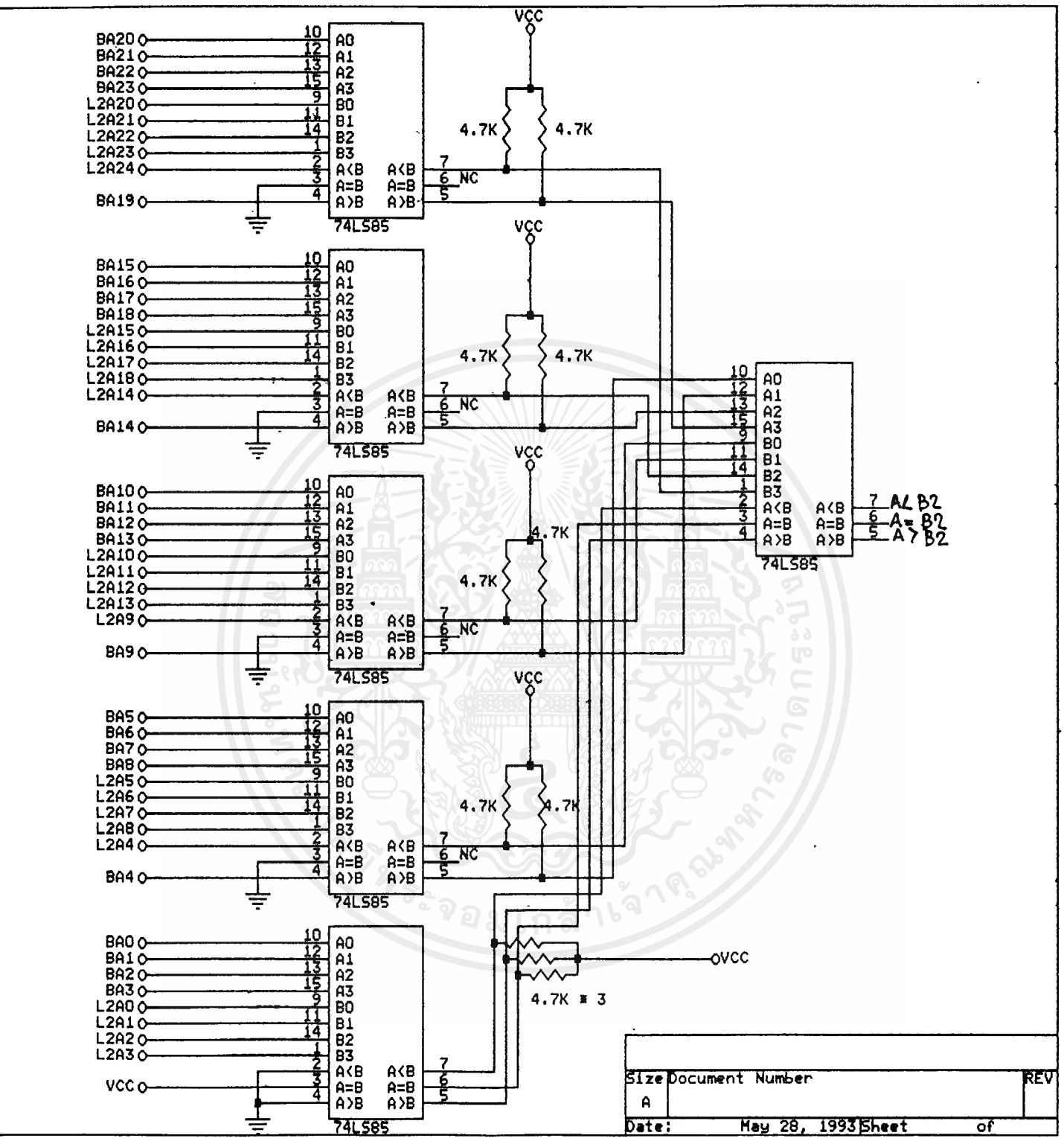
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



Size	Document Number	REV
A		
Date: March 6, 1980	Sheet of	

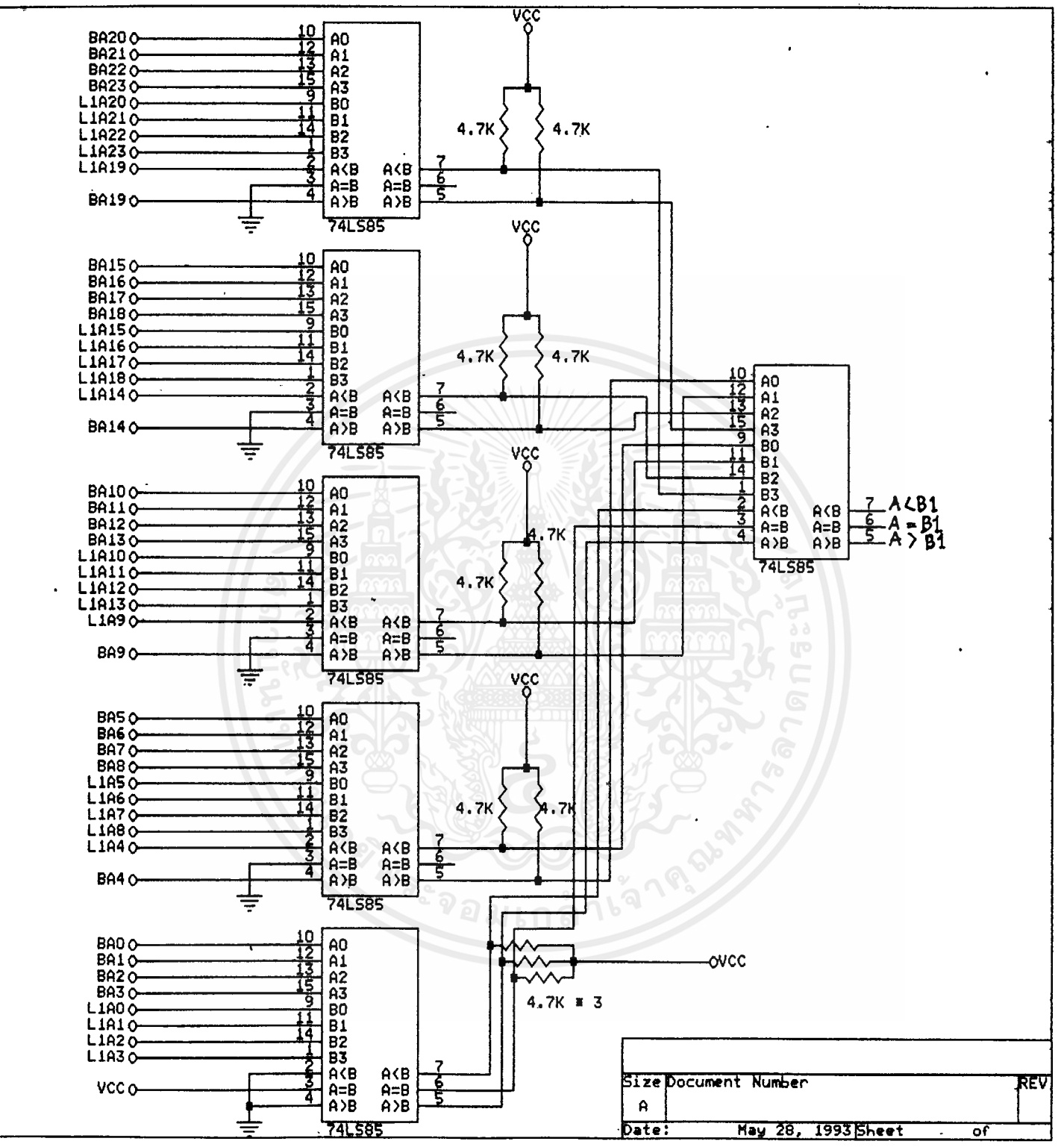
รูปที่ 6.1 วงจรบัฟเฟอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 6.3 วงจรเปรียบเทียบส่วนที่ 2

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 6.2 วงจรเปรียบเทียบส่วนที่ 1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5. อินเทอร์รัพท์ลอจิค

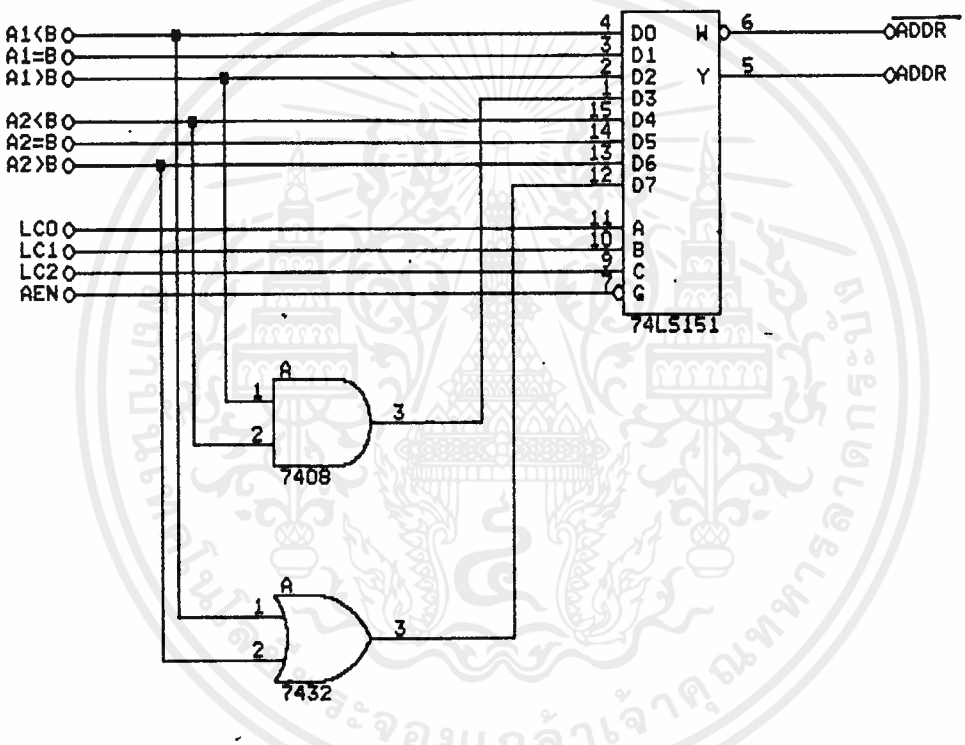
การทำงาน

วงจรนี้ประกอบด้วยไอซีเบอร์ 74LS151, 74LS32, 74LS08 (and gate) การทำงานของวงจรนี้ คือ ทำการเลือกอินพุททั้ง 8 ค่า ออกมาเพียงค่าเดียว และทำการเลือกเมื่อขาที่ 7 (ENABLE) เป็น 0 สภาพของเอาท์พุทที่ทำการเลือกเป็นไปตามตารางข้างล่างนี้

ตารางที่4 สภาพเอาท์พุทตามลอจิกคอนโทรล

LC2	LC1	LC0	สภาพเอาท์พุท
0	0	0	A < B1
0	0	1	A = B1
0	1	0	A > B1
0	1	1	A > B1 AND A< B2
1	0	0	A < B2
1	0	1	A = B2
1	1	0	A > B2
1	1	1	A < B1 OR A > B2

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



Size	Document Number	REV
A		
Date: March 6, 1980	Sheet of	

รูปที่ 7 วงจรอินเทอร์รัพท์ลอจิก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

6.อินเตอร์รัพท์คอนโทรล

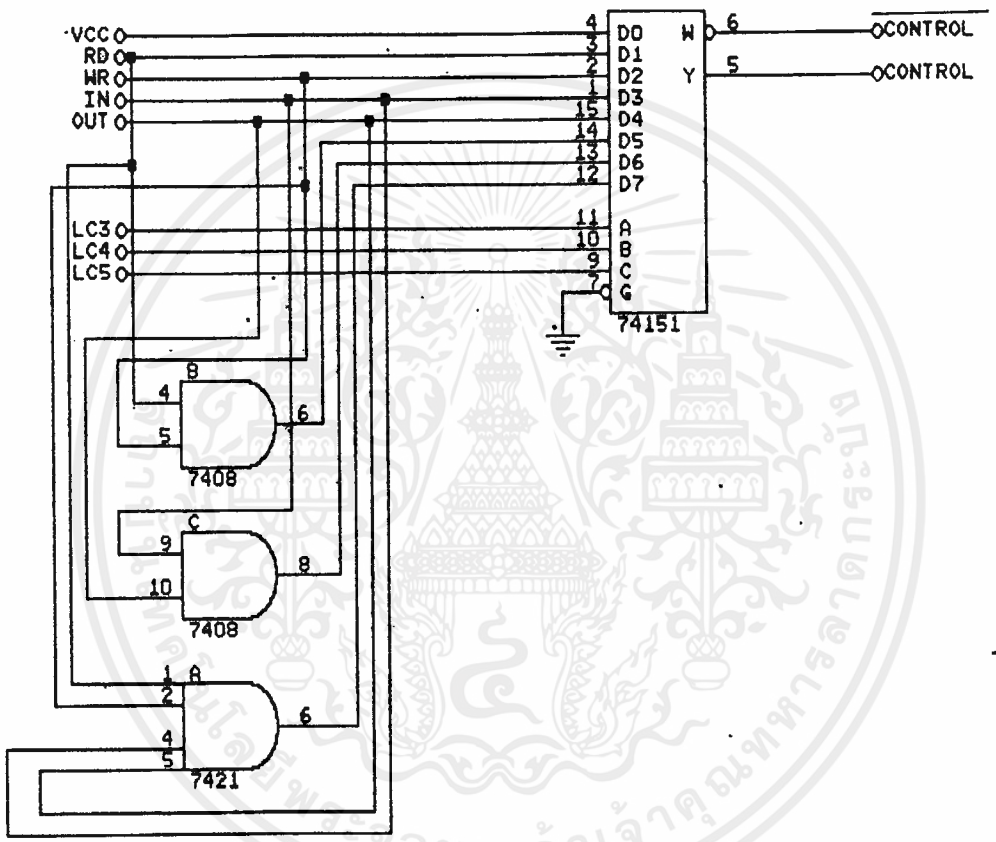
<u>การทำงาน</u>

วงจรนี้ประกอบด้วย 74LS151, 74LS08 (two input ang gate) 74LS21 (Quod input and gate) ลักษณะการเลือกอินเตอร์รัพท์คอนโทรลเป็นดังตารางข้างล่างนี้

ตารางที่ ๕ สภาพเอาท์พุทตามลอจิกคอนโทรล

LC5	LC4	LC3	สภาพเอาท์พุท
0	0	0	DISABLE
0	0	1	RD
0	1	0	WR
0	1	1	IN
1	0	0	OUT
1	0	1	MRQ
1	1	0	IORQ
1	1	1	MIORQ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



Size	Document Number	RE
A		
Date: March 6, 1980	Sheet	of

รูปที่ 8 วงจรอินเทอร์รัพท์คอนโทรล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

7. สร้างอินเตอร์รัพท์

การทำงาน

วงจรนี้ประกอบด้วย 74LS32 (nor gate), 74LS74, 74LS125, ไดโอด (LED) การสร้างสัญญาณอินเตอร์รัพท์เกิดขึ้นเมื่อ LC6 มีลอจิกเป็น 1 และขา PR มีลอจิกเป็น 0 ซึ่งทำให้ขา Q เปลี่ยนสภาวะจาก 0 เป็น 1 การกระทำเช่นนี้เป็นการสร้างสัญญาณอินเตอร์รัพท์ไปสู่ซีพียู การทำให้สัญญาณอินเตอร์รัพท์หายไปก็โดยการกำหนดให้ LC6 มีลอจิกเป็น 0 การใส่ LED เข้าไปก็เพื่อแสดงให้รู้ว่ามีอินเตอร์รัพท์เกิดขึ้นแล้วโดยที่ LED จะเปล่งแสงออกมา สาเหตุที่ใส่ 74LS125 เข้าไปก็เพื่อป้องกันไม่ให้ค่าลอจิกที่ไม่ต้องการออกไปสู่ซีพียู ซึ่งกำหนดโดย LC7 ถ้า LC7 มีลอจิกเป็น 0 สัญญาณจะไปสู่ซีพียูไม่ได้ แต่ถ้า LC7 มีลอจิกเป็น 1 สัญญาณจะไปสู่ซีพียู การที่ขา PR จะมีลอจิกเป็น 0 นั้นต้องเกิดจาก $\overline{\text{ADDR}}$ และ Control เป็นศูนย์พร้อมกัน

สำหรับกรณีที่เป็นศูนย์พร้อมกันสามารถเขียนเป็นตารางได้ดังนี้

ตารางที่ 4 กรณีที่เกิดตามค่าลอจิกคอนโทรล

ค่าของลอจิกคอนโทรล						กรณีที่เกิด
LC5	LC4	LC3	LC2	LC1	LC0	
0	0	1	0	0	0	RD , A < B1
0	0	1	0	0	1	RD , A = B1
0	0	1	0	1	0	RD , A > B1
0	0	1	0	1	1	RD , A > B1 AND A < B1
0	0	1	1	0	0	RD , A < B1
0	0	1	1	0	1	RD , A = B2
0	0	1	1	1	0	RD , A > B2
0	0	1	1	1	1	RD , A < B1 OR A >B2
0	1	0	0	0	0	WR , A < B1
0	1	0	0	0	1	WR , A = B1
0	1	0	0	1	0	WR , A > B1
0	1	0	0	1	1	WR , A > B1 AND A < B2
0	1	0	1	0	0	WR , A < B2

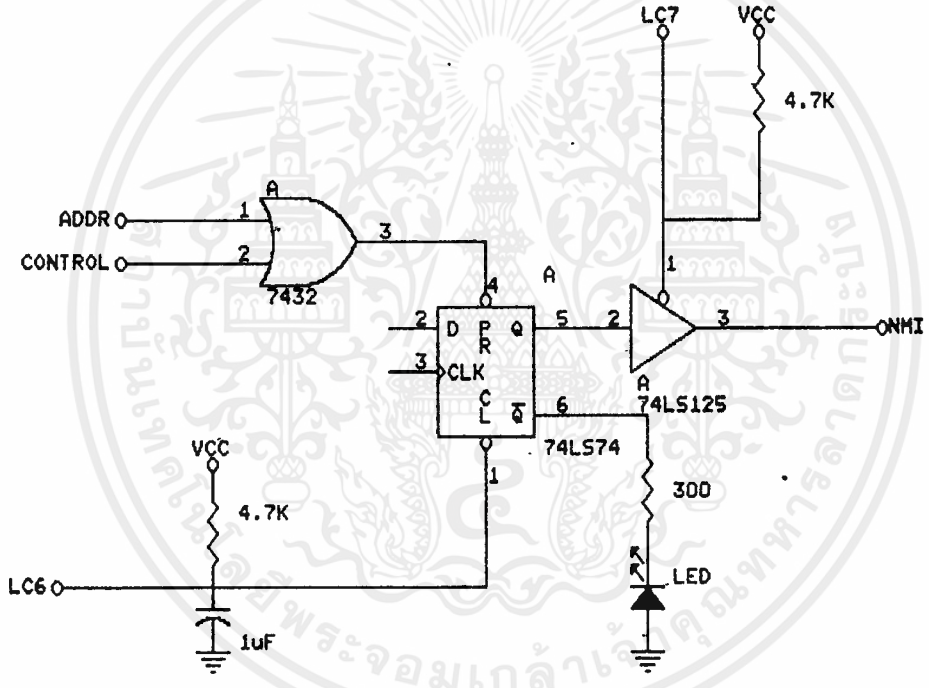
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ค่าของลอจิกคอนโทรล						กรณีที่เกิด
LC5	LC4	LC3	LC2	LC1	LC0	
0	1	0	1	0	1	WR , A = B2
0	1	0	1	1	0	WR , A > B2
0	1	0	1	1	1	WR , A < B1 OR A > B2
0	1	1	0	0	0	IN , A < B1
0	1	1	0	0	1	IN , A = B1
0	1	1	0	1	0	IN , A > B1
0	1	1	0	1	1	IN , A > B1 AND A < B2
0	1	1	1	0	0	IN , A < B2
0	1	1	1	0	1	IN , A = B2
0	1	1	1	1	0	IN , A > B2
0	1	1	1	1	1	IN , A < B1 OR A > B2
0	0	0	0	0	0	OUT , A < B1
0	0	0	0	0	1	OUT , A = B1
0	0	0	0	1	0	OUT , A > B1
0	0	0	0	1	1	OUT , A > B1 AND A < B2
1	0	0	1	0	0	OUT , A < B2
1	0	0	1	0	1	OUT , A = B2
1	0	0	1	1	0	OUT , A > B2
1	0	0	1	1	1	OUT , A < B1 OR A > B2
1	0	1	0	0	0	MRQ , A < B1
1	0	1	0	0	1	MRQ , A = B1
1	0	1	0	1	0	MRQ , A > B1
1	0	1	0	1	1	MRQ , A > B1 AND A < B2
1	0	1	1	0	0	MRQ , A < B2
1	0	1	1	0	1	MRQ , A = B2

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ค่าของลอจิกคอนโทรล						กรณีที่เกิด
LC5	LC4	LC3	LC2	LC1	LC0	
1	0	1	1	1	0	MRQ , A > B2
1	0	1	1	1	1	MRQ , A < B1 OR A > B2
1	1	0	0	0	0	IORQ , A < B2
1	1	0	0	0	1	IORQ , A = B2
1	1	0	0	1	0	IORQ , A > B2
1	1	0	0	1	1	IORQ , A > B1 AND A < B2
1	1	0	1	0	0	IORQ , A < B2
1	1	0	1	0	1	IORQ , A = B2
1	1	0	1	1	0	IORQ , A > B2
1	1	0	1	1	1	IORQ , A < B1 OR A > B2
1	1	1	0	0	0	MIORQ, A < B2
1	1	1	0	0	1	MIORQ, A = B2
1	1	1	0	1	0	MIORQ, A > B2
1	1	1	0	1	1	MIORQ, A > B1 AND A < B2
1	1	1	1	0	0	MIORQ, A < B2
1	1	1	1	0	1	MIORQ, A = B2
1	1	1	1	1	0	MIORQ, A > B2
1	1	1	1	1	1	MIORQ, A < B1 OR A > B2

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



Size	Document Number	REV
A		
Date: March 6, 1980	Sheet of	

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 9 วงจรอินเทอร์รัพท์

โปรแกรมทดสอบส่วนต่างๆ

1. โปรแกรมทดสอบส่วนกำหนดแอดเดรสและส่วนลอจิกคอนโทรล

```
MOV         DX, 02C0
MOV         AL,55
OUT         DX,AL
INC         DX
OUT         DX,AL
INC         DX
OUT         DX,AL
INC         DX
OUT         DX,AL
INC         DX
OUT         DX,AL
INC         DX
OUT         DX,AL
INC         DX
OUT         DX,AL
INC         DX
OUT         DX,AL
NOP
OUT         DX,AL
XOR         AL,FF
MOV         [0104], AL
MOV         AX,1000
DEC         AX
NOP
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2. โปรแกรมทดสอบส่วนเปรียบเทียบส่วนที่ 1

```
MOV         DX,02C0
MOV         AL,0E
OUT         DX,AL
INC         DX
MOV         AL,00
OUT         DX,AL
INC         DX
MOV         AL,02
OUT         DX,A2
MOV         AX,E000
MOV         ES,AX
MOV         SI,0000
ES:
MOV         AL,[SI]
ES:
MOV         AL,[SI+02]
ES:
MOV         AL,[SI+03]
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3. โปรแกรมทดสอบส่วนเปรียบเทียบส่วนที่ 2

```
MOV     DX,02C3
MOV     AL,0E
OUT     DX,AL
INC     DX
MOV     AL,01
OUT     DX,AL
INC     DX
MOV     AL,12
OUT     DX,AL
MOV     AX,E000
MOV     ES,AX
MOV     SI,0110
ES:
MOV     AL,[SI]
ES:
MOV     AL,[SI+02]
ES:
MOV     AL,[SI+03]
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4. โปรแกรมทดสอบการสร้างสัญญาณอินเตอร์รัพท์ในกรณีที่ A = B1 และในจังหวะ RD

```
MOV         DX,02C0
MOV         AL,0E
OUT         DX,AL
INC         DX
MOV         AL,00
OUT         DX,AL
INC         DX
MOV         AL,02
OUT         DX,AL
MOV         DX,02C6
MOV         AL,49
OUT         DX,AL
MOV         AX,E000
MOV         ES,AX
MOV         SI,0000
ES:
MOV         AL,[SI]
ES:
MOV         AL,[SI+02)
ES:
MOV         AL,[SI+0.]
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

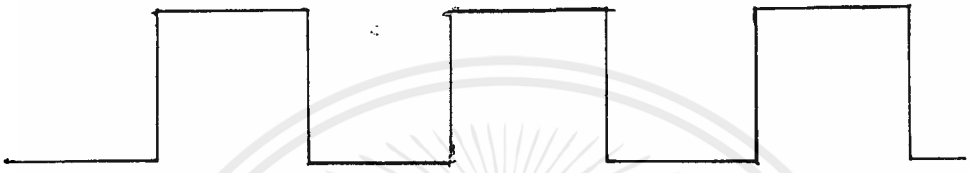
5. โปรแกรมทดสอบการสร้างสัญญาณอินเตอร์รัพท์ในกรณีที่ A = B2และในจังหวะ RD

```
MOV         DX,02C3
MOV         AL,0E
OUT         DX,AL
INC         DX
MOV         AL,01
OUT         DX,AL
INC         DX
MOV         AL,12
OUT         DX,AL
INC         DX
MOV         AL,4D
OUT         DX,AL
MOV         AX,E000
MOV         ES,AX
MOV         SI,0110
ES:
MOV         AL,[SI]
ES:
MOV         AL,[SI+02]
ES:
MOV         AL,[SI+03]
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ผลการทดสอบ

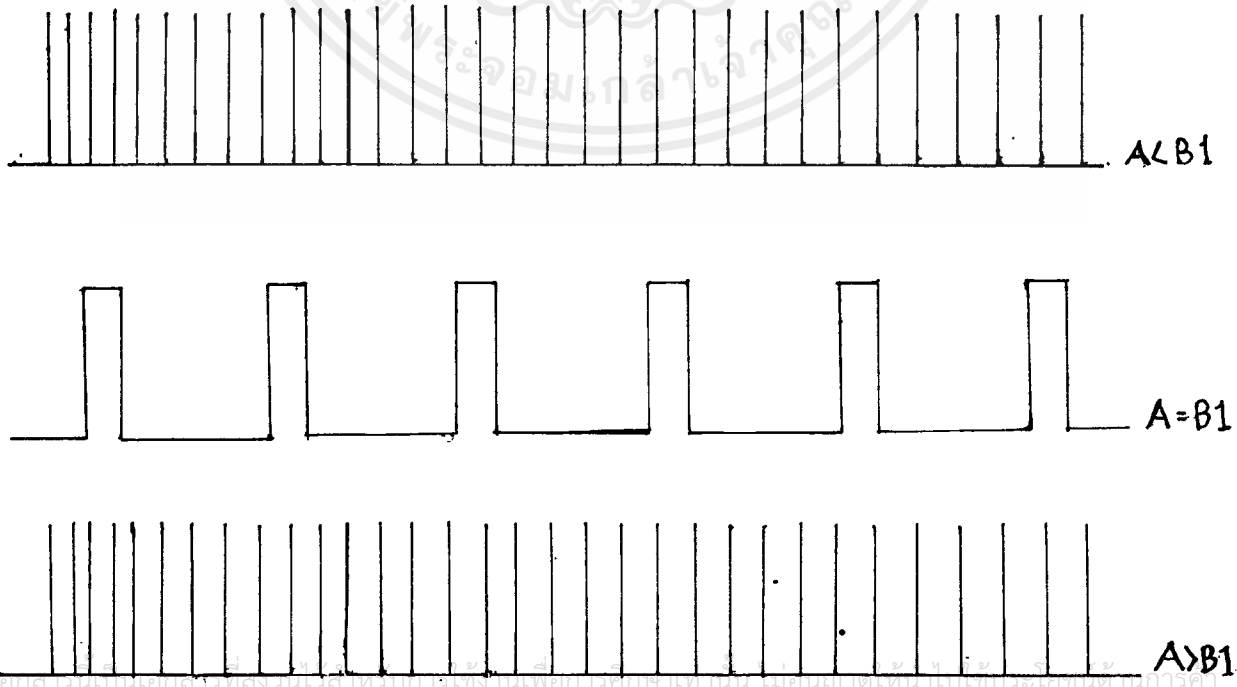
1. ส่วนกำหนดแอดเดรสและลอจิกคอนโทรล ผลที่ได้คือ เอาท์พุทของ 74LS373 ทุกตัวมีสัญญาณเป็นไปตามข้างล่างนี้



รูปที่ 10.1 เอาท์พุทของ74LS373

2. ส่วนเปรียบเทียบส่วนที่ 1

ผลที่ได้คือที่ขาเอาท์พุทของ 74LS85 ตัวที่ 6 มีสัญญาณต่างๆ ดังรูปข้างล่างนี้

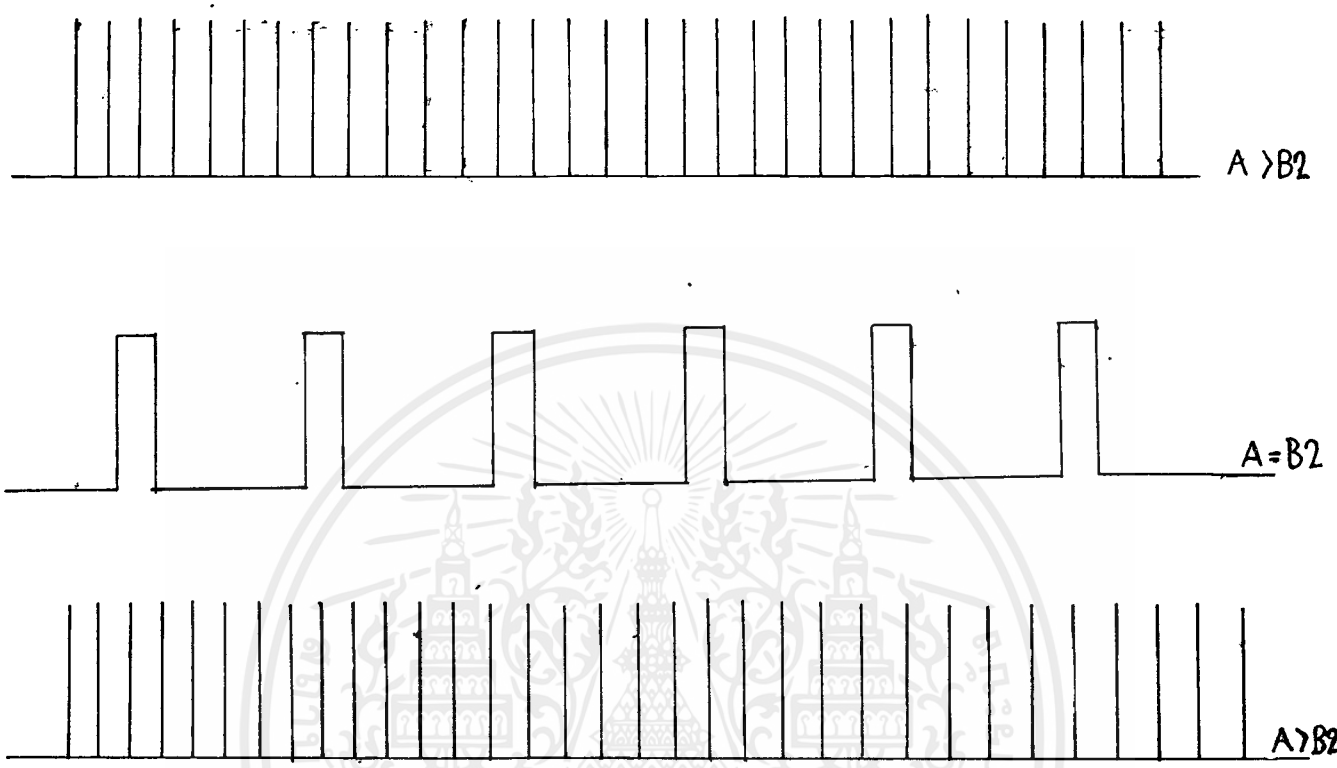


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 10.2 เอาท์พุท 74LS85 ชุดที่ 1

3. ส่วนเปรียบเทียบส่วนที่ 2

ผลที่ได้คือ เอาท์พุทของ 74LS85 ตัวที่ 6 มีสัญญาณต่างๆ ดังรูปข้างล่างนี้



รูปที่ 10.3 เอาท์พุท 74LS85 ชุดที่ 2

4. การสร้างสัญญาณอินเตอร์รัพท์ในกรณีที่ A = B1 และในจังหวะ RD, การสร้างสัญญาณอินเตอร์รัพท์ในกรณีที่ A=B2 และในจังหวะRD ผลที่ได้ คือ LEDเปล่งแสงออกมาทั้งสองกรณี

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สรุป

จากผลการทดสอบแยกพิจารณาเป็นส่วน ๆ ได้ดังนี้

1. ส่วนกำหนด แอดเดรสและลอจิกคอนโทรล จากผลที่ได้คือมีสัญญาณรูปสี่เหลี่ยมมาจากเอาท์พุทของ 74LS373 ซึ่งเป็นไปตามโปรแกรม การที่สัญญาณจะเป็นรูปสี่เหลี่ยมส่วนสำคัญขึ้นอยู่กับโปรแกรมหน่วงเวลา
2. ส่วนเปรียบเทียบแอดเดรสส่วนที่ 1 และส่วนที่ 2 ผลที่ได้จะเห็นว่าในส่วนของ A<B1, A<B2, A>B1, A>B2 มีสัญญาณขึ้นมาเป็นพัลซ์ที่ถี่และในส่วนของ A = B1, A = B2 มีสัญญาณขึ้นมาเป็นพัลซ์ที่ห่าง ๆ กันสิ่งเหล่านี้สามารถกำหนดได้ด้วยการเขียนโปรแกรมหน่วงเวลา
3. ส่วนสร้างสัญญาณอินเทอร์รัพท์ สำหรับในที่นี้เราได้ทดสอบเพียง 2 กรณี
   1. กรณี A=B1 ในจังหวะ RD
   2. กรณี A=B2 ในจังหวะ RD

   การทดสอบนี้ทำโดยการป้อนข้อมูลออกไปที่พอร์ท 2C6 ซึ่งเป็นส่วนหนึ่งของลอจิกคอนโทรล และแยกพิจารณาในแต่ละกรณีได้ดังนี้

3.1 กรณี A=B1 ในจังหวะ RD

ค่าที่ส่งให้พอร์ท 2C6 คือ 49H ซึ่งสามารถแยกเป็นลอจิกคอนโทรลได้ดังนี้

LC6	LC5	LC4	LC3	LC2	LC1	LC0
1	0	0	1	0	0	1

LC6=1 หมายถึงสร้างสัญญาณอินเทอร์รัพท์

LC5=0,LC4=0,LC3=1 หมายถึงจังหวะ RD

LC2=0,LC1=0,LC0=1 หมายถึงกรณี A=B1

3.2 กรณี A=B2 ในจังหวะ RD

ค่าที่ส่งให้พอร์ท 2C6 คือ 4DH ซึ่งสามารถแยกเป็นลอจิกคอนโทรลได้ดังนี้

LC6	LC5	LC4	LC3	LC2	LC1	LC0

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

LC6 =1 หมายถึงสร้างสัญญาณอินเทอร์รัพท์

LC5 =0,LC4=0,LC3=1 หมายถึงจังหวะ RD

LC2=1,LC1=0,LC0=1 หมายถึงกรณี A=B2

การทดสอบนี้ทำไปเพียง 2 กรณีเท่านั้นแต่ยังเหลืออีก 54 กรณี ซึ่งสามารถทำได้โดยเปลี่ยนค่าที่ส่งออกทางพอร์ทหมายเลข 2C6 และเปลี่ยนแปลงโปรแกรมทดสอบบางส่วนเท่านั้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

แนวการพัฒนา

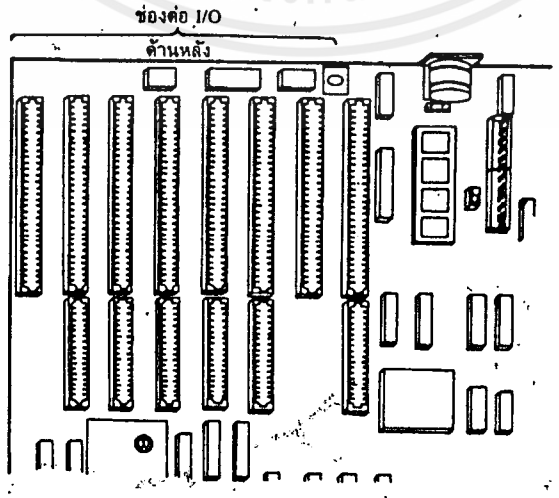
สาร์ดแวร์ดาต้าดีบักได้อาศัยหลักการของแอดเดรสคอมแพร์เรเตอร์ แต่ยังต้องมีการเขียนซอฟแวร์เพื่อทำการควบคุมไปยังตัวแอดเดรสคอมแพเรเตอร์และหน้าที่ในการนำข้อมูลออกมาแสดงเมื่อทำการดีบัก ซอฟท์แวร์เพื่อทำการควบคุมไปยังตัวแอดเดรสคอมแพเรเตอร์และหน้าที่ในการนำข้อมูลออกมาแสดงเพื่อทำการรีบัก ซอฟท์แวร์ที่เขียนนี้มีความเกี่ยวข้องกับรูทีนอินเตอร์รัพท์ ดังนั้นในการที่จะเขียนซอฟท์แวร์นี้จำเป็นต้องมีการเขียนรูทีนการบริการและเอาตำแหน่งของรูทีนการบริการใส่ลงในอินเทอร์รัพท์เวกเตอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สล็อตหรือช่องต่อสำหรับอินพุทและเอาท์พุท

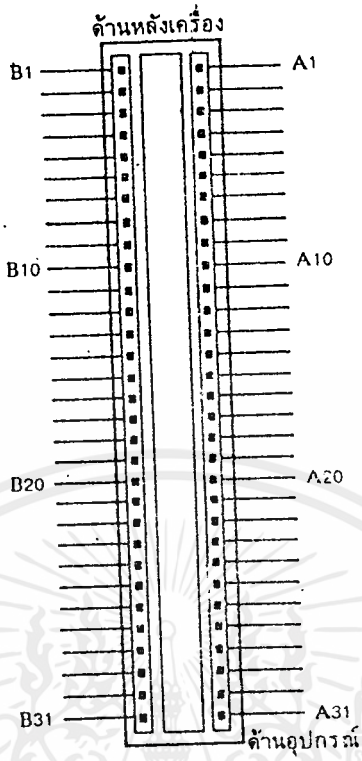
ไมโครคอมพิวเตอร์แบบเอ็กซ์ที มีสล็อตแบบ 62 จำนวน 8 สล็อตไว้ต่อเชื่อมกับอินพุท-เอาท์พุท แต่เมื่อพัฒนามาเป็นเครื่องแบบเอที ทำให้ขีดความสามารถบางอย่างเพิ่มขึ้น ดังนั้นจึงจำเป็นต้องปรับปรุงสล็อตเพิ่มเติมจากเดิมและเพื่อให้ใช้วงจรกับของเดิมได้ บริษัทไอบีเอ็มจึงกำหนดสล็อตเพิ่มเติมจากเดิมโดยมีโครงสร้างรูปแบบของจริงดังรูป สำหรับจุดมุ่งหมายของช่วงต่ออินพุทและเอาท์พุท หรือสล็อตนี้มีเพื่อสนับสนุนดังนี้

- แอดเดรสหมายเลขพอร์ตจากพอร์ตหมายเลข 100 ถึง 3FF
- ให้มีแอดเดรสครบ 24 เส้นตามโครงสร้างของ 80286 เพื่ออ้างอิงหน่วยความจำได้ 16 MB
- เลือกการเข้าถึงข้อมูลได้ทั้งแบบ 8 บิตและ 16 บิต
- สนับสนุนการอินเตอร์รัพต์
- แชนเนลดีเอ็มเอ
- สร้างสถานะการรอของอินพุทหรือเอาท์พุท (I/O wait state)
- เปิดสถานะของการเชื่อมต่อเพื่อให้อุปกรณ์ภายนอกเชื่อมโยงกับระบบในส่วนต่างๆได้ง่าย
- รีเฟรชหน่วยความจำจากแชนเนลของไมโครโปรเซสเซอร์ภายใน



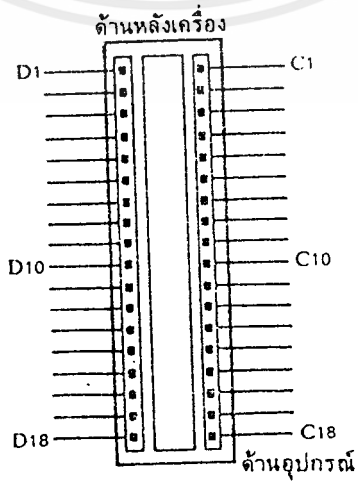
รูปที่ 11 การเพิ่ม J10-J16 เป็นสล็อตเพิ่มเติมจากเดิม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 12.1 การนับขาสล๊อต แบบ 62 ขา

รูปที่ 12.9 การนับขาของสล็อตแบบ 62 ขา



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 12.2 การนับขาสล๊อต แบบ 36 ขา

จากรูปที่ 11 ได้แสดงจำนวนขาของช่องอินพุท/เอาท์พุทโดยแบ่งเป็น 2 ส่วน คือ ส่วนแรกมีขนาด 62 ขา ส่วนที่สองมีขนาด 36 ขา ส่วนสล็อตแบบ 62 ขา และสล็อตแบบ 36 ขา แสดงได้จากรูปที่12.1 และรูปที่12.2 ตามลำดับและตำแหน่งขาบนสล็อต แสดงดังตารางที่ 5

ตารางที่ 7 ชื่อของสัญญาณขาต่างๆของสล็อต

ขาอินพุท เอาต์พุท	ชื่อสัญญาณ	อินพุท เอาต์พุท	ขาอินพุท เอาต์พุท	ชื่อสัญญาณ	อินพุท เอาต์พุท
A1	-I/O CH CK	I	B1	GND	กราวนด์
A2	SD7	I/O	B2	RESET DRV	O
A3	SD6	I/O	B3	+5 Vdc	แหล่งจ่ายไฟ
A4	SD5	I/O	B4	IRQ9	I
A5	SD4	I/O	B5	-5 Vdc	แหล่งจ่ายไฟ
A6	SD3	I/O	B6	DRQ2	I
A7	SD2	I/O	B7	-12 VdC	แหล่งจ่ายไฟ
A8	SD1	I/O	B8	OWS	I
A9	SD0	I/O	B9	+12 Vdc	แหล่งจ่ายไฟ
A10	-I/O CH RDY	I	B10	GND	กราวนด์
A11	AEN	O	B11	-SMEMW	O
A12	SD19	I/O	B12	-SMEMR	O
A13	SD18	I/O	B13	-IOW	I/O
A14	SD17	I/O	B14	-IOR	I/O
A15	SD16	I/O	B15	-DACK3	O
A16	SD15	I/O	B16	DRQ3	I
A17	SD14	I/O	B17	-DACK1	O
A18	SD13	I/O	B18	DRQ1	I
A19	SD12	I/O	B19	-Refresh	I/O
A20	SD11	I/O	B20	CLK	O

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ขาอินพุท เอาท์พุท	ชื่อสัญญาณ	อินพุท เอาท์พุท	ขาอินพุท เอาท์พุท	ชื่อสัญญาณ	อินพุท เอาท์พุท
A21	SD10	I/O	B21	IRQ7	I
A22	SD9	I/O	B22	IRQ6	I
A23	SD8	I/O	B23	IRQ5	I
A24	SD7	I/O	B24	IRQ4	I
A25	SD6	I/O	B25	IRQ3	I
A26	SD5	I/O	B26	-DACK2	O
A27	SD4	I/O	B27	T/C4	O
A28	SD3	I/O	B28	BALE	O
A29	SD2	I/O	B29	+5 Vdc	แหล่งจ่ายไฟ
A30	SD1	I/O	B30	OSC	O
A31	SD0	I/O	B31	GND	กราวน์ด์

อินพุท/เอาท์พุทแชนแนลด้าน A J1 ถึง J8 อินพุท/เอาท์พุทแชนแนลด้าน B J1 ถึง J8

ขาอินพุท เอาท์พุท	ชื่อสัญญาณ	อินพุท เอาท์พุท	ขาอินพุท เอาท์พุท	ชื่อสัญญาณ	อินพุท เอาท์พุท
C1	SBHE	I/O	D1	-MEM CS16	I
C2	LA23	I/O	D2	-I/O CS16	I
C3	LA22	I/O	D3	IRQ10	I
C4	LA21	I/O	D4	IRQ11	I
C5	LA20	I/O	D5	IRQ12	I
C6	LA19	I/O	D6	IRQ15	I
C7	LA18	I/O	D7	IRQ14	I
C8	LA17	I/O	D8	-DACK0	O

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ขาอินพุท เอาท์พุท	ชื่อสัญญาณ	อินพุท เอาท์พุท	ขาอินพุท เอาท์พุท	ชื่อสัญญาณ	อินพุท เอาท์พุท
C9	-MEMR	I/O	D9	DRQ0	I
C10	-MEMW	I/O	D10	-DACK5	O
C11	SD08	I/O	D11	DRQ5	I
C12	SD09	I/O	D12	-DACK6	O
C13	SD10	I/O	D13	DRQ6	I
C14	SD11	I/O	D14	-DACK7	O
C15	SD12	I/O	D15	DRQ7	I
C16	SD13	I/O	D16	+5 Vdc	แหล่งจ่ายไฟ
C17	SD14	I/O	D17	-MASTER	I
C18	SD15	I/O	D18	GND	กราวนด์

อินพุท/เอาท์พุทและแชนเนลด้าน C J10 ถึง J14 และ J16

อินพุท/เอาท์พุทแชนแนลด้าน D J10 ถึง J14 และ J16

สัญญาณที่ต่อเชื่อมกับอุปกรณ์อินพุท/เอาท์พุท เป็นสัญญาณที่มีขนาด 5 โวลต์ ตามมาตราฐาน TTL โดยที่แต่ละสล็อตจะเชื่อมต่อกับ ทีทีแอลแบบ LS ได้ 2 อินพุท ดังนั้นการต่อกับสล็อตจำเป็นต้องคำนึงถึงโหลดดังกล่าวนี้ด้วย สัญญาณที่ขาต่าง ๆ ของสล็อตมีความหมายดังนี้

SA0-SA19 (**อินพุท/เอาท์พุท**) เป็นแอดเดรสของระบบที่ใช้ติดต่อกับหน่วยความจำและอุปกรณ์อินพุท/เอาท์พุท สายสัญญาณนี้จะต่อกับหน่วยความจำได้ 1 MB แต่ถ้าต้องการเชื่อมขยายแอดเดรสจะต้องใช้สายแอดเดรส LA17-LA23 การใช้สัญญาณ SA0-SA19 จะต้องแอกทีฟ ขณะที่สัญญาณ BALE เป็น "1" และจะแลตช์ไปใช้ขณะเปลี่ยนจาก "1" ไป "0" สัญญาณ BALE เป็นสัญญาณที่มาจากไมโครโปรเซสเซอร์ หรือดีเอ็มเอคอนโทรลเลอร์

LA17-LA23 (**อินพุท/เอาท์พุท**) สัญญาณนี้เป็นสัญญาณที่ไม่ผ่านการแลตช์มาเลยเป็นสัญญาณที่ขยายเพิ่มต่อให้ระบบใช้กับหน่วยความจำได้เต็มที่ 16 MB สัญญาณนี้จะใช้ได้ต่อเมื่อ BALE เป็น "1" สัญญาณนี้จะไม่มีการแลตช์มาเลยจากไมโครโปรเซสเซอร์ ทั้งนี้เพื่อให้ใช้สำหรับการสร้างสถานะรอ (wait state)ได้ สัญญาณนี้ได้รับการควบคุมโดยไมโครโปรเซสเซอร์และดีเอ็มคอนโทรลเลอร์ เพื่อควบคุมการเข้าถึงข้อมูล

SMEMR (เอาท์พุต) MEMR (อินพุท/เอาท์พุท) สัญญาณนี้เป็นสัญญาณควบคุมการอ่านข้อมูลจากหน่วยความจำ SMEMR ใช้สำหรับติดต่อกับหน่วยความจำในส่วน 1 MB แรกหรือถอดรหัสมาจากแอดเดรสส่วนล่าง ส่วน MEMR นี้แอกทีฟกับหน่วยความจำได้หมด 16 MB

SMEMW (เอาต์พุต) MEMW (อินพุท/เอาท์พุท) สัญญาณนี้เป็นสัญญาณควบคุมการเขียนข้อมูลลงหน่วยความจำ โครงสร้างอย่างอื่นเหมือนกับ SMEMR และ MEMR

DRQ0-DRQ3 และ DRQ5-DRQ7 (อินพุท) สัญญาณการขอดีเอ็มเอแชนเนล 0-3 และ 5-7 สัญญาณนี้จะมาจากอุปกรณ์อินพุต/เอาต์พุต DRQ0 มีลำดับความสำคัญสูงสุดและ DRQ7 มีลำดับความสำคัญต่ำสุด DRQ0-DRQ3 ใช้กับดีเอ็มเอแบบ 8 บิต ส่วน DRQ5-7 ใช้กับแชนเนล 16 บิต

AEN (เอาท์พุท) อีนาเบิลแอดเดรส เป็นสัญญาณเพื่อใช้สำหรับการแยกบัสแอดเดรสในการทำดีเอ็มเอ เมื่อสัญญาณนี้แอกทีฟจะเป็นการทำให้ดีเอ็มเอคอนโทรลเลอร์สามารถควบคุมการทำงานแอดเดรสแทนการควบคุมของซีพียู

REFRESH (อินพุท/เอาท์พุท) เป็นสัญญาณที่ใช้ในการแสดงสัญญาณรีเฟรสไซเคิล สัญญาณนี้ส่งมาจากไมโครโปรเซสเซอร์ผ่านทางช่องอินพุท/เอาท์พุท

T/C (เอาท์พุท) สัญญาณ Terminal Count เป็นสัญญาณพัลซ์เมื่อดีเอ็มเอนับจำนวนมาครบตามกำหนด

SBHE (อินพุท/เอาท์พุท) ชื่อสัญญาณ Bus High Enable เป็นสัญญาณบ่งบอกการถ่ายข้อมูลจาก SD8-SD15 เข้าสู่บัฟเฟอร์

MASTER (อินพุท) สัญญาณนี้ใช้กับ DRQ เพื่อควบคุมระบบ สัญญาณนี้มีจุดมุ่งหมายบ่งบอกการควบคุมบัสทั้งมดว่ามาจากระบบซีพียูหลักนี้หรือมาจากที่อื่น ถ้าหากสัญญาณนี้แอกทีฟ หมายความว่า ซีพียูเดิมส่งอำนาจการควบคุมให้กับสล็อต ซึ่งอาจจะมีซีพียูอื่น เข้ามาควบคุมระบบก็ได้ อนึ่งากสัญญาณนี้แอกทีฟเกินกว่า 15 ไมโครวินาที โดยไม่มีกลไกรีเฟรชช่วยอาจทำให้ข้อมูลในหน่วยความจำหายได้

MEM CS16 (อินพุท) สัญญาณนี้เป็นตัวส่งมาบอกเมนบอร์ด ถ้าหากการถ่ายเทข้อมูลต้องการสถานะรอ

IO CS16 (อินพุท) สัญญาณนี้เป็นตัวส่งมาบอกเมนบอร์ดว่าอินพุท/เอาท์พุทต้องการสถานะรอ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

CLK (เอาท์พุท) เป็นสัญญาณนาฬิกาของระบบ ในกรณีของไอบีเอ็มเอที จะส่งสัญญาณนี้เป็นสัญญาณขนาน 6 MHz โดยมีช่วงเวลาประมาณ 167 นาโนวินาที สัญญาณเป็นรูปสี่เหลี่ยมมี duty cycle 50 เปอร์เซ็นต์ สัญญาณนี้มีจุดมุ่งหมายเพื่อใช้ในการซิงโครนัสระบบ มิได้มีจุดมุ่งหมายสำหรับให้ใช้เป็นฐานเวลา

RESET DRV (เอาท์พุท) สัญญาณนี้ใช้สำหรับรีเซตระบบในขณะเปิดเครื่องหรือขณะที่แหล่งจ่ายไฟเลี้ยงขาดหรือไฟตก สัญญาณนี้จะแอกทีฟเมื่อเป็นลอจิก "1"

SD0-SD15 (อินพุท/เอาท์พุท) เป็นสัญญาณข้อมูลขนาด 16 บิต ที่ใช้ติดต่อกับหน่วยความจำไมโครโปรเซสเซอร์ และอุปกรณ์อินพุท/เอาท์พุท บิต D0 เป็นบิตที่มีนัยสำคัญน้อยที่สุดในการติดต่อกับอุปกรณ์บางอย่างที่ต้องใช้ 8 บิต จะมีวิธีการแปลงบิตข้อมูลจาก SD8-SD15 เข้ามาใน 8 บิตล่างได้ เพื่อให้การติดต่อเป็นไปได้ทั้งแบบ 16 บิตและ 8 บิต

BALE (เอาท์พุท) เป็นสัญญาณที่ใช้สำหรับการแลตช์แอดเดรสของระบบ สัญญาณนี้มาจาก 82288 ตัวควบคุมบัสสัญญาณนี้จะใช้แลตช์แอดเดรสเมื่อเปลี่ยนจาก "1" กับ "0" และสัญญาณนี้จะได้รับการทำให้เป็น "1" ขณะที่กำลังทำดีเอ็มเอ

I/O CHK (อินพุท) สัญญาณตรวจสอบของอินพุท/เอาท์พุท เพื่อบอกข้อมูลกับระบบเช่นเดียวกับการตรวจสอบพาริตี้ ดังนั้นถ้าบนอินพุท/เอาท์พุทมีข้อผิดพลาด สัญญาณนี้จะแอคทีฟ เพื่อให้ส่งสัญญาณเตือนในลักษณะ parity error

I/O CHRDY (อินพุท) สัญญาณนี้จะได้รับการทำให้เป็น "0" ด้วยหน่วยความจำหรืออุปกรณ์อินพุท/เอาท์พุท การใช้สัญญาณนี้ก็เพื่อให้อุปกรณ์อินพุท/เอาท์พุทที่ช้าจะได้ติดต่อกับระบบด้วยการส่งสัญญาณมายังซีพียู เพื่อซิงโครนัสระบบได้

IRQ3-IRQ7, IRQ9-IRQ12 และ IRQ14-IRQ15 (อินพุท) สัญญาณอินเตอร์รัพต์เหล่านี้ต่อเข้าเป็นสัญญาณอินพุต 8259A สองตัวเพื่อให้สัญญาณ INT เข้าสู่ไมโครโปรเซสเซอร์ การจัดลำดับความสำคัญเป็นไปตามที่กล่าวมาแล้วในเรื่องของวงจรอินเตอร์รัพต์ โดยมี IRQ7 มีลำดับความสำคัญน้อยที่สุด IRQ8 มีลำดับความสำคัญสูงสุด IRQ8 ใช้สำรับสัญญาณนาฬิกาที่กำหนดเวลาจริง

IOR (อินพุท/เอาท์พุท) สัญญาณอ่านอินพุท/เอาท์พุทเป็นสัญญาณที่ส่งมาจากซีพียู การควบคุมสัญญาณนี้มาจาก 80286 และดีเอ็มเอคอนโทรลเลอร์ สัญญาณนี้แอกทีฟด้วยลอจิก "0"

IOW (อินพุท/เอาท์พุท) สัญญาณเขียนข้อมูลลงบนอุปกรณ์อินพุท/เอาท์พุท สัญญาณนี้ควบคุมจากไมโครโปรเซสเซอร์หรือดีเอ็มเอคอนโทรลเลอร์ สัญญาณนี้แอกทีฟด้วยลอจิก "0"

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งไม่อนุญาตให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารนี้

เอกสารอ้างอิง

[1] ยืน ภู่วรวรรณ และ ดร.ชัยยงค์ วงศ์ชัยสุวัฒน์ "เทคโนโลยีไมโครคอมพิวเตอร์ 16 บิท" สำนักพิมพ์ซีเอ็ด

[2] คู่มือเทียบไอซี TTL สำนักพิมพ์ซีเอ็ด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กิตติกรรมประกาศ

ขอขอบคุณพี่แฟรงค์ที่ช่วยวาดวงจรให้ ขอบคุณรุ่นน้องและพี่ศรีที่ช่วยพิมพ์รายงานให้ และสุดท้าย ขอขอบคุณ อ.เกรียงไกร วงศ์โรจน์ภรณ์ ในฐานะที่เป็นอาจารย์ที่ปรึกษา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5404/7404 Hex Inverter

	Schottky TTL				High-Speed TTL				Low-Power Schottky TTL				Standard TTL				Low-Power TTL			
	Device Type	Package C	P	M	CF	Device Type	Package C	P	M	CF	Device Type	Package C	P	M	CF	Device Type	Package C	P	M	CF	Device Type	Package C	P	M	CF
T.I.	SN54S04	J			W	SN54H04	J			W	SN54LS04	J			W	SN5404	J			W	SN54L04	J	N	T	Z
	SN74S04	J	N			SN74H04	J	N			SN74LS04	J	N			SN7404	J	N			SN74L04	J	N	T	Z
FAIRCHILD	FM54S04/FM9S04	D				FM54H04 FM9H04	D			F	FM54LS04 FM9LS04	D			F	FM5404 FM9N04	D			F					
	FC74S04 FC9SC4	DC	PC			FC74H04 FC9H04	D	P			FC74LS04 FC9LS04	D	P			FM7404 FC9N04	D	P							
MOTOROLA						MC5008	L			F						MC5404	L			F					
						MC7008	L	P		F	SN74LS04		P			MC7404	L	P							
N.S.C.						DM54H04	J	N			DM54LS04					DM5404	J	N		W	DM54L04	J	N		F
	DM74S04		N			DM74H04	J	N			DM74LS04					DM7404	J	N			DM74L04	J	N		F
PHILIPS	N74S04		D			N74H04		D			N74LS04					FJH241 7404		D							
SIGNETICS	S54S04	F	A		W	S54H04	F	A		W						S5404	F	A		W					
	N74S04	F	A		W	N74H04	F	A			N74LS04		A			N7404	F	A							
SIEMENS																FLH211		L							
FUJITSU											74LS04		MB			MB418		MK							
HITACHI	HD74S04		P								HD74LS04		P			HD7404 HD2522		P							
MITSUBISHI	M5S004		P								M74LS04		P			M53204		P							
NEC	74S04		C								74LS04		C			μPB235	D								
TOSHIBA																TD3404A		P							

Electrical Characteristics SN54LS04 SN74LS04

absolute maximum ratings over operating free-air temperature range

Supply voltage V_{CC}	7V	Operating free-air temperature range	SN54LS	−55°C to 125°C
Input voltage	7V		SN74LS	0°C to 70°C
		Storage temperature range		−65°C to 150°C

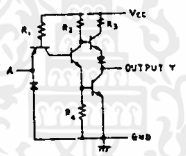
recommended operating conditions

	SN54LS04 MIN	NOM	MAX	SN74LS04 MIN	NOM	MAX	UNIT
Supply voltage V_{CC}	4.5	5	5.5	4.75	5	5.25	V
High-level output current I_{OH}			−400			−400	μA
Low-level output current, I_{OL}			4			8	mA
Operating free-air temperature T_A	−55		125	0		70	°C

electrical characteristics over recommended operating free-air temperature range

PARAMETER		TEST CONDITIONS †	MIN	TYP ‡	MAX	UNIT
V_{IH}	High-level input voltage		2			V
V_{IL}	Low-level input voltage				0.8	V
V_I	Input clamp voltage	V_{CC} = MIN, I_I = −18mA			−1.5	V
V_{OH}	High-level output voltage	V_{CC} = MIN, I_{OH} = MAX, V_{IL} = V_{IL} max.	2.7	3.4		V
V_{OL}	Low-level output voltage	V_{CC} = MIN, I_{OL} = 4mA, V_{IH} = 2V			0.4	V
I_I	Input current at maximum input voltage	V_{CC} = MAX, V_I = 7V			0.1	mA
I_{IH}	High-level input current	V_{CC} = MAX, V_I = 2.7V			20	μA
I_{IL}	Low-level input current	V_{CC} = MAX, V_I = 0.4V			−0.4	mA
I_{OS}	Short-circuit output current *	V_{CC} = MAX, 54LS Family	−20		−100	mA
		V_{CC} = MAX, 74LS Family	−20		−100	mA
I_{CCH}	Supply current	V_{CC} = MAX, Total, outputs high		1.2	2.4	mA
I_{CCL}	Supply current	V_{CC} = MAX, Total, outputs low		3.6	6.6	mA
I_{CC}	Supply current	V_{CC} = 5V, Average per gate (50% duty cycle)		0.4		mA
t_{PLH}	Propagation delay time, low-to-high-level output	V_{CC} = 5V, C_L = 15pF, T_A = 25°C, R_L = 2kΩ		9	15	ns
t_{PHL}	Propagation delay time, high-to-low-level output			10	15	ns

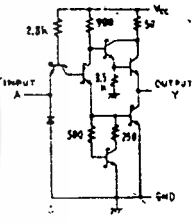
Schematics (each gate)



CIRCUIT	R1	R2	R3	R4
'04	4k	1.6k	130	1k
'L04	14k	20k	520	12k

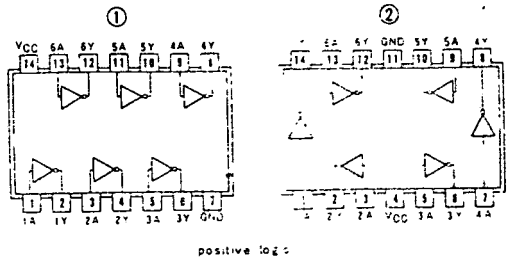
Input clamp diodes not on SN54L/SN74L circuits.

'04, 'L04 CIRCUITS

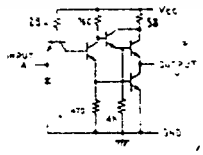


'S04 CIRCUIT

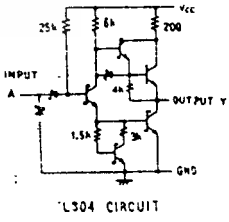
Pin Assignments (Top View)



positive logic
$Y = \overline{A}$



HC4 CIRCUIT



'L304 CIRCUIT

Resistor values shown are nominal and in ohms.

†For conditions shown as MIN or MAX, use the recommended operating conditions.
‡All typical values are at V_{CC} = 5V, T_A = 25°C.
*Not more than one output should be shorted at a time, and SN5404, SN7404, and SN54S04, SN74S04 should not be shorted for more than one second.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5408/7408 Quadruple 2-Input Positive-AND Gate

	Schottky TTL					High-Speed TTL					Low-Power Schottky TTL					Standard TTL				Low-Power TTL				
	Device Type	Package				Device Type	Package				Device Type	Package				Device Type	Package			Device Type	Package			
		C	P	M	CF		C	P	M	CF		C	P	M	CF		C	P	M	CF		C	P	M	CF
T.I.	SN54S08	J			W						SN54LS08	J			W	SN5408	J			W					
	SN74S08	J	N								SN74LS08	J	N			SN7408	J	N							
FAIRCHILD	FM54S08/FM55S08	DT			FT	FM54H08 FM84H08	D			FI	FM54LS08/FM65LS08	DI			FI	FM5408, FM9N08	D			FI					
	FC74S08/FC85S08	DB	FE		FI	FC74H08 FC84H08	D	P			FC74LS08/FC85LS08	DI	FT		FI	FC7408 FC9N08	D	P							
MOTOROLA						MC3101	L	T		FL						MC7408		P							
						MC3201	L	T	P	FL	SN74LS08		P			DM5408	J	N		W	DM54L08				
N.S.C.						DM54H08	J	N			DM54LS08		P			DM7408	J	N			DM74L08				
						DM74H08	J	N	T		DM74LS08		P												
PHILIPS																									
	N74S08					N74H08					N74LS08					N7408									
SIGNETICS						S54H08	F	U	A	W						S5408	F	L	A	W					
	N74S08		A			N74H08	F	U	A		N74LS08		A			N7408	F		A						
SIEMENS																									
																FLH381									
FUJITSU											74LS08		M												
HITACHI											HD74LS08		P			HD7408/HD2550		P							
MITSUBISHI											M74LS08		P			M5320B		P							
NEC											74LS08		C			μPB234	D								
TOSHIBA																TD3408		P							

Electrical Characteristics SN54LS08 SN74LS08

absolute maximum ratings over operating free-air temperature range

Supply voltage V_{CC}	7V	Operating free-air temperature range	SN54LS	−55°C to 125°C
Input voltage	7V		SN74LS	0°C to 70°C
Interemitter voltage	5.5V	Storage temperature range		−65°C to 150°C

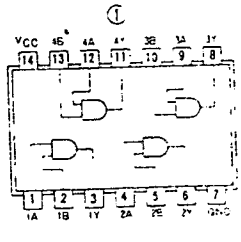
recommended operating conditions

	SN54LS08			SN74LS08			UNIT
	MIN	NOM	MAX	MIN	NOM	MAX	
Supply voltage V_{CC}	4.5	5	5.5	4.75	5	5.25	V
High-level output current, I_{OH}			−400			−800	μA
Low-level output current, I_{OL}			4			8	mA
Operating free-air temperature T_A	−55		125	0		70	°C

electrical characteristics over recommended operating free-air temperature range

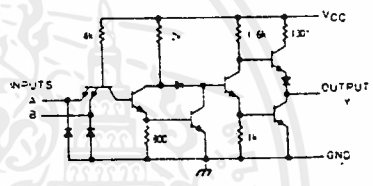
PARAMETER		TEST CONDITIONS †		MIN	TYP ‡	MAX	UNIT
V_{IH}	High-level input voltage			2			V
V_{IL}	Low-level input voltage					0.8	V
V_I	Input clamp voltage	V_{CC}=MIN, I_I=−18mA				−1.5	V
V_{OH}	High-level output voltage	V_{CC}=MIN, V_{IH}=2V, I_{OH}=MAX		2.7	3.4		V
V_{OL}	Low-level output voltage	V_{CC}=MIN, V_{IH}=2V, I_{OL}=4mA			0.25	0.4	V
I_I	Input current at maximum input voltage	V_{CC}=MAX, V_I=7V				0.1	mA
I_{IH}	High-level input current	V_{CC}=MAX	V_{IH}=2.7V			20	μA
I_{IL}	Low-level input current	V_{CC}=MAX	V_{IL}=0.4V			−0.4	mA
I_{OS}	Short circuit output current ◆	V_{CC}=MAX	54LS Family	−20		−100	mA
			74LS Family	−20		−100	
I_{CCH}	Supply current	V_{CC}=MAX	Total, outputs high		2.4	4.8	mA
I_{CCL}	Supply current		Total, outputs low		4.4	8.8	mA
I_{CC}	Supply current	V_{CC}=5V,	Average per gate (50% duty cycle)		0.85		mA
t_{PLH}	Propagation delay time, low-to-high-level output	V_{CC}=5V, C_L=15pF	T_A=25°C, R_L=2kΩ		8	15	ns
t_{PHL}	Propagation delay time, high-to-low-level output				10	20	ns

Pin Assignment (Top View)

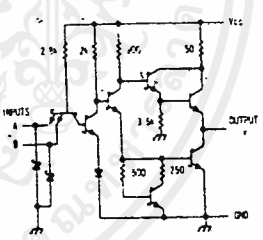


positive logic
Y = AB

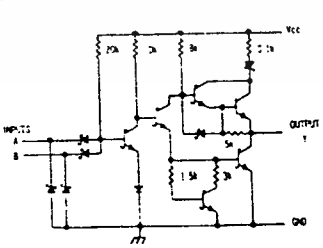
Schematics (each gate)



'08 CIRCUIT



'S08 CIRCUIT



'LS08 CIRCUIT

Resistor values shown are nominal and in ohms.

† For conditions shown as MIN or MAX, use the appropriate values specified under recommended operating conditions.
‡ All typical values are at V_{CC}=5V, T_A=25°C
◆ Not more than one output should be shorted at a time, and for SN54S'/SN74S' duration of output short circuit should not exceed one second

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5421/7421 Dual 4-Input Positive-AND Gate

	Schottky TTL					High-Speed TTL					Low-Power Schottky TTL					Standard TTL					Low-Power TTL				
	Device Type	Package				Device Type	Package				Device Type	Package				Device Type	Package				Device Type	Package			
		C	P	M	CF		C	P	M	CF		C	P	M	CF		C	P	M	CF		C	P	M	CF
T.I.						SN54H21	J			W	SN54LS21	J			A										
						SN74H21	J	N			SN74LS21	J	N												
FAIRCHILD						MF54H21 / FM9H21	D			F	FM54LS21 / FM9LS21	D			F										
						FC74H21 / FC9H21	D	P			FC74LS21 / FC9LS21	D	P		F										
MOTOROLA						MC3111	L			F															
						MC3011	L	P		F	SN74LS21		P												
N.S.C.						DM54H21	J	N			DM54LS21														
						DM74H21	J	N			DM74LS21														
PHILIPS						N74H21					N74LS21					N7421									
SIGNETICS						S54H21	F	A		W															
						S74H21	F	A			SN74LS21		A			N7421		A							
SIEMENS																									
FUJITSU						MB614		M			74LS21		M												
HITACHI											HD74LS21		P												
MITSUBISHI											M53LS21		P												
NEC						μPB216	D	C																	
TOSHIBA																TD3421A		P							

Electrical Characteristics SN54LS21 SN74LS21

absolute maximum ratings over operating free-air temperature range

Supply voltage V_{CC}	7V	Operating free-air temperature range	SN54H'	−55°C to 125°C
Input voltage	7V		SN74H'	0°C to 70°C
Interemitter voltage	5.5V	Storage temperature range		−65°C to 150°C

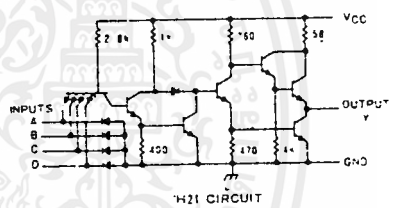
recommended operating conditions

	SN54LS21			SN74LS21			UNIT
	MIN	NOM	MAX	MIN	NOM	MAX	
Supply voltage, V_{CC}	4.5	5	5.5	4.75	5	5.25	V
High-level output current, I_{OH}			−400			−400	μA
Low-level output current, I_{OL}			4			8	mA
Operating free-air temperature, T_A	−55		125	0		70	°C

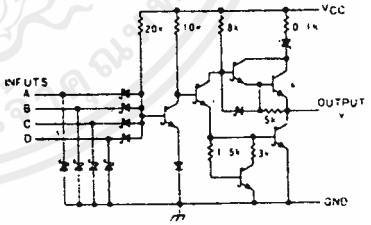
electrical characteristics over recommended operating free-air temperature range

PARAMETER		TEST CONDITIONS †		MIN	TYP ‡	MAX	UNIT
V_{IH}	High-level input voltage			2			V
V_{IL}	Low-level input voltage					0.8	V
V_I	Input clamp voltage	V_{CC}=MIN, I_I=−18mA				−1.5	V
V_{OH}	High-level output voltage	V_{CC}=MIN, V_{IH}=2V, I_{OH}=MAX		2.7	3.4		V
V_{OL}	Low-level output voltage	V_{CC}=MIN, V_{IL}=V_{IL} max, I_{OL}=4mA			0.25	0.4	V
I_I	Input current at maximum input voltage	V_{CC}=MAX, V_I=7V				0.1	mA
I_{IH}	High-level input current	V_{CC}=MAX, V_{IH}=2.7V				20	μA
I_{IL}	Low-level input current	V_{CC}=MAX, V_{IL}=0.4V				−0.4	mA
I_{OS}	Short circuit output current *	V_{CC}=MAX,		−20		−100	mA
I_{CCH}	Supply current	V_{CC}=MAX	Total, outputs high		1.2	2.4	mA
I_{CCL}	Supply current		Total, outputs low		2.2	4.4	mA
I_{CC}	Supply current	V_{CC}=5V	Average per gate (50%duty cycle)		0.85		mA
t_{PLH}	Propagation delay time, low-to-high-level output	V_{CC}=5V, C_L=15PF,	T_A=25°C, R_L=2kΩ		8	15	ns
t_{PHL}	Propagation delay time, high-to-low-level output				10	20	ns

Schematics (each gate)



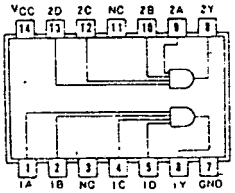
'H21 CIRCUIT



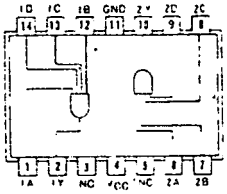
'LS21 CIRCUIT

Pin Assignments (Top View)

①



②



positive logic
Y=ABCD

NC=No internal connection

Resistor values shown are nominal and in ohms.

†For conditions shown as MIN or MAX, use the appropriate values specified under recommended operating conditions.
‡ All typical values are at: V_{CC}=5V, T_A=25°C
*Not more than one output should be shorted at a time, and for SN54H' and SN74H' duration of output short circuit should not exceed one second.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5432/7432 Quadruple 2-Input Positive-OR Gate

	Schottky TTL					High-Speed TTL					Low-Power Schottky TTL					Standard TTL					Low-Power TTL				
	Device Type	Package C	P	M	CF	Device Type	Package C	P	M	CF	Device Type	Package C	P	M	CF	Device Type	Package C	P	M	CF	Device Type	Package C	P	M	CF
T.I.	SN54S32	J⑭			W⑭						SN54LS32	J⑭			W⑭	SN5432	J⑭			W⑭					
	SN74S32	J⑭	N⑭								SN74LS32	J⑭	N⑭			SN7432	J⑭	N⑭							
FAIRCHILD	FM54S32/FM95S32	D⑭			F⑭						FM54LS32/FM95LS32	D⑭			F⑭	FM5432/FM9N32	D⑭			F⑭					
	FC74S32/FC95S32	D⑭	P⑭		F⑭						FC74LS32/FC95LS32	D⑭	P⑭		F⑭	FC7432/FC9N32	D⑭	P⑭							
MOTOROLA																									
											SN74LS32		P⑭												
N.S.C.											DM74LS32		J⑭		W⑭	DM5432	J⑭	N⑭		W⑭	DM54L32				
											DM54LS32		J⑭			DM74232	J⑭	N⑭			DM74L32				
PHILIPS	N74S32		N⑭								N74LS32					N7432									
																S5432	F⑭	N⑭	E⑭	●F⑭					
SIGNETICS											N74LS32		A⑭			N7432	F⑭	N⑭	A⑭						
SIEMENS																FLH631			⑭						
FUJITSU											74LS32		M⑭												
HITACHI											HD74LS32		P⑭			HD7432		P⑭							
MITSUBISHI											M53LS32		P⑭												
NEC											74LS32		C⑭												
TOSHIBA																									

Electrical Characteristics SN54LS32 SN74LS32

absolute maximum ratings over operating free-air temperature range

Supply voltage, V_{CC}	7V	Operating free-air temperature range	SN54LS	−55°C to 125°C
Input voltage	7V		SN74LS	0°C to 70°C
		Storage temperature range		−65°C to 150°C

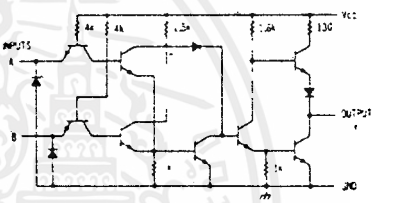
recommended operating conditions

	SN54LS32 MIN	NOM	MAX	SN74LS32 MIN	NOM	MAX	UNIT
Supply voltage, V_{CC}	4.5	5	5.5	4.75	5	5.25	V
High-level output current, I_{OH}			−400			−400	μA
Low-level output current, I_{OL}			4			8	mA
Operating free-air temperature, T_A	−55		125	0		70	°C

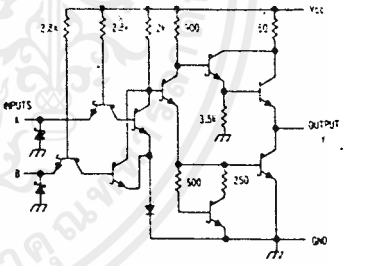
electrical characteristics over recommended operating free-air temperature range

PARAMETER		TEST CONDITIONS†		MIN	TYP‡	MAX	UNIT
V_{IH}	High-level input voltage			2			V
V_{IL}	Low-level input voltage					0.8	V
V_I	Input clamp voltage	V_{CC}=MIN, I_I=−18mA				−1.5	V
V_{OH}	High-level output voltage	V_{CC}=MIN, V_{IH}=2V, I_{OH}=MAX		2.7	3.4		V
V_{OL}	Low-level output voltage	V_{CC}=MIN, V_{IL}=V_{IL} max, I_{OL}=4mA			0.25	0.4	V
I_I	Input current at maximum input voltage	V_{CC}=MAX, V_I=7V				0.1	mA
I_{IH}	High-level input current	V_{CC}=MAX, V_{IH}=2.7V				20	μA
I_{IL}	Low-level input current	V_{CC}=MAX, V_{IL}=0.4V				−0.4	mA
I_{OS}	Short-circuit output current●	V_{CC}=MAX	54LS Family	−20		−100	mA
			74LS Family	−20		−100	
I_{CCH}	Supply current	V_{CC}=MAX	Total, outputs high		3.1	6.2	mA
I_{CCL}	Supply current		Total, outputs low		4.9	9.8	mA
I_{CC}	Supply current	V_{CC}=5V	Average per gate (50% duty cycle)		1.0		mA
t_{PLH}	Propagation delay time, low-to-high-level output	V_{CC}=5V, C_L=15pF	T_A=25°C, R_L=2kΩ		14	22	ns
t_{PHL}	Propagation delay time, high-to-low-level output				14	22	ns

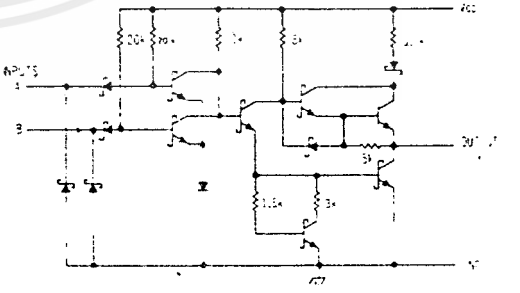
Schematics(each gate)



'32 CIRCUIT

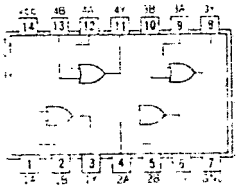


S32 CIRCUIT



LS32 CIRCUIT

Pin Assignment (Top View)



positive logic
Y = A + B

†For conditions shown as MIN or MAX, use the appropriate value specified under recommended operating conditions for the SN54LS32.
‡All typical values are at V_{CC}=5V, T_A=25°C.
●Not more than one output should be shorted at a time.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5474/7474 Dual D-Type Positive-Edge-Triggered Flip-Flop with Preset and Clear

	Schottky TTL					High-Speed TTL					Low-Power Schottky TTL					Standard TTL					Low-Power TTL				
	Device Type	Package				Device Type	Package				Device Type	Package				Device Type	Package				Device Type	Package			
		C	P	M	CF		C	P	M	CF		C	P	M	CF		C	P	M	CF		C	P	M	CF
T.I.	SN54S74	J①			W①	SN54H74	J①			W②	SN54LS74	J①			W①	SN5474	J①			W②	SN54L74	J①	N①	T②	
	SN74S74	J①	N①			SN74H74	J①	N①			SN74LS74	J①	N①			SN7474	J①	N①			SN74L74	J①	N①	T②	
FAIRCHILD	FM54S74/FM95S74	D①				FM54H74/FM95H74	D①			F②	FM54LS74/FM95LS74	D①			F①	FM5474/FM95N74	D①			F②					
	FC74S74/FC95S74	D①	P①			FC74H74/FC95H74	D①	P①		F②	FC74LS74/FC95LS74	D①	P①		F①	FC7474/FC95N74	D①	P①							
MOTOROLA											SN74LS74		P①												
N.S.C.	DM74S74		N①			DM54H74	J①	N①			DM54LS74		P①			DM5474	J①	N①		W②	DM54L74	J①	N①		F②
						DM74H74	J①	N①			DM74LS74					DM7474	J①	N①			DM74L74	J①	N①		F②
PHILIPS	N74S74		D①			FJJ131/74H73		D①			N74LS73					FJJ131/7473		D①							
SIGNETICS	5S4S74					5S4H74	F①	A①		W①						5S474	F①	A①		W②					
	N74S74					N74H74	F①	A①			N74LS74		A①			N7474	F①	A①							
SIEMENS																FLJ14*		D①							
FUJITSU											74LS74		M①			MB420	D①	M①							
HITACHI	HD74S74		D①	P①							HD74LS74		P①			HD7474 HD2510	D①	P①							
MITSUBISHI	M74S74		P①								M74LS74		P①			M5321 M5374		P①							
NEC	74S74		C①								74LS74		C①			μPB214	D①	C①							
TOSHIBA																TD3474A		P①							

Electrical Characteristics SN54LS74 SN74LS74

absolute maximum ratings over operating free-air temperature range

Supply voltage V_{CC}	7V	Operating free-air temperature range	SN54LS	−55°C to 125°C
Input voltage	5.5V		SN74LS	0°C to 70°C
		Storage temperature range		−65°C to 150°C

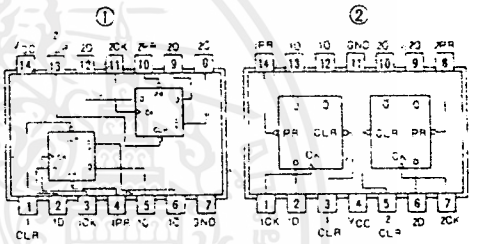
recommended operating conditions

		SN54LS74			SN74LS74			UNIT
		MIN	NOM	MAX	MIN	NOM	MAX	
Supply voltage V_{CC}		4.5	5	5.5	4.75	5	5.25	V
High-level output current I_{OH}				−400			−400	μA
Low-level output current I_{OL}				4			8	mA
Pulse width t_w	Clock high	25			25			ns
	Preset or clear low	25			25			
Input setup time t_{su}	High-level data	25*			25*			ns
	Low-level data	20*			20*			
Input hold time, t_h		5*			5*			ns
Operating free-air temperature T_A		−55		125	0		70	°C

electrical characteristics over recommended operating free-air temperature range

PARAMETER		TEST CONDITIONS†	MIN	TYP‡	MAX	UNIT
V_{IH}	High-level input voltage		2			V
V_{IL}	Low-level input voltage				0.8	V
V_I	Input clamp voltage	V_{CC} = MIN, I_I = −18mA			−1.5	V
V_{OH}	High-level output voltage	V_{CC} = MIN, V_{IH} = 2V, V_{IL} = 0.8V, I_{OH} = MAX	2.7	3.4		V
V_{OL}	Low-level output voltage	V_{CC} = MIN, V_{IH} = 2V, V_{IL} = 0.8V, I_{OL} = 4mA		0.25	0.4	V
I_I	Input current at maximum input voltage, D, J, K	V_{CC} = MAX, V_I = 7V			0.1	mA
	Clear				0.2	
	Preset				0.2	
	Clock				0.1	
I_{IH}	High-level input current, D, J, K	V_{CC} = MAX, V_I = 2.7V			20	μA
	Clear				40	
	Preset				40	
	Clock				20	
I_{IL}	Low-level input current, D, J, K	V_{CC} = MAX, V_I = 0.4V			−0.4	mA
	Clear				−0.8	
	Preset				−0.8	
	Clock				−0.4	
I_{OS}	Short-circuit output current§	Series 54LS	V_{CC} = MAX	−20		−100	mA
	Series 74LS			−20		−100	
I_{CC}	Supply current (Average per flip-flop)	V_{CC} = MAX, See Note 4			4	8	mA
f_{clock}	Clock frequency	V_{CC} = 5V, T_A = 25°C, C_L = 15pF, R_L = 2kΩ	25	33		MHz
t_{PLH}	From clear, preset or clock (as appropriate) to Q or Q̄			13	25	ns
t_{PHL}				25	40	

Pin Assignments (Top View)

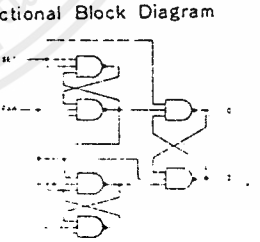


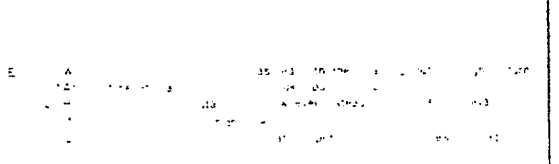
Functional Table

'74, 'H74, 'LS74, 'S74 (See Note 2)

INPUTS					OUTPUTS	
PRESET	CLEAR	CLOCK	D		Q	Q̄
L	H	X	X		H	L
H	L	X	X		L	H
L	L	X	X		H*	H*
H	H	↑	H		H	L
H	H	↑	L		L	H
H	H	L	X		Q_0	$\bar{Q}_0$

Functional Block Diagram





†For conditions shown as MIN or MAX, use the appropriate value specified under recommended operating conditions for the applicable type.
‡All typical values are at V_{CC} = 5V, T_A = 25°C.
§Not more than one output should be shorted at a time.
¶t_{PLH} = propagation delay time, low-to-high-level output
t_{PHL} = propagation delay time, high-to-low-level output
The arrows indicate the edge of the clock pulse used for reference: ↑ for rising edge, ↓ for falling edge.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

54125/74125 : Quadruple Bus Buffer Gate with Three-State Output

	Schottky TTL					High-Speed TTL					Low-Power Schottky TTL					Standard TTL					Tow-Power TTL				
	Device Type	Package				Device Type	Package				Device Type	Package				Device Type	Package				Device Type	Package			
		C	P	M	CF		C	P	M	CF		C	P	M	CF		C	P	M	CF		C	P	M	CF
T.I.																SN54125		J		W					
																SN74125		J	N						
FAIRCHILD											F74LS125		P												
MOTOROLA											SN74LS125		P												
											DM54LS125		J												
N.S.C.											DM74LS125		J			DM74125		N							
PHILIPS											N74LS125		J												
SIGNETICS																54LS									
																N74									
SIEMENS																									
FUJITSU																									
HITACHI																HD74 25		P							
MITSUBISHI																M74125		P							
NEC																									
TOSHIBA																									

Electrical Charistics SN54LS125/SN74LS125

absolute maximum ratings over operating free-air temperature range

Supply voltage, V_{CC}	7V	Operating free-air temperature range	SN54LS	−55°C to 125°C
Input voltage	7V		SN74LS	0°C to 70°C
		Storage temperature range		−65°C to 150°C

recommended operating conditions

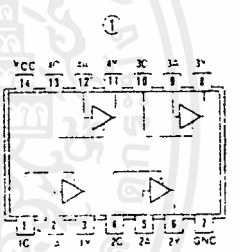
	SN54LS125			SN74LS125			UNIT
	MIN	NOM	MAX	MIN	NOM	MAX	
Supply voltage, V_{CC}	4.5	5	5.5	4.75	5	5.25	V
High-level output current, I_{OH}			−1			−2.6	mA
Low-level output current, I_{OL}			12			24	mA
Operating free-air temperature, T_A	−55		125	0		70	°C

electrical characteristics over recommended operating free-air temperature range

PARAMETER		TEST CONDITIONS †		MIN	TYP ‡	MAX	UNIT
V_{IH}	High-level input voltage			2			V
V_{IL}	Low-level input voltage					0.8	V
V_I	Input clamp voltage	V_{CC} = MIN, I_I = −18mA				−1.5	V
V_{OH}	High-level output voltage	V_{CC} = MIN, V_{IH} = 2V, V_{IL} = 0.8V, I_{OH} = MAX	54LS Family	2.4			V
			74LS Family	2.4			
V_{OL}	Low-level output voltage	V_{CC} = MIN, V_{IH} = 2V, V_{IL} = 0.8V, I_{OL} = MAX			0.35	0.5	V
$I_{O(off)}$	Off-state (high-impedance state) output current	V_{CC} = MAX, V_{IH} = 2V, V_{IL} = 0.8V	V_O = 2.4V			20	μA
			V_O = 0.4V			−20	
I_I	Input current at maximum input voltage	V_{CC} = MAX, V_I = 7V				0.1	mA
I_{IH}	High-level input current	V_{CC} = MAX	V_{IH} = 2.7V			20	μA
I_{IL}	Low-level input current	V_{CC} = MAX	V_{IL} = 0.4V			−0.4	mA
I_{OS}	Short-circuit output current ♦	V_{CC} = MAX	54LS Family	−30		−225	mA
			74LS Family	−30		−225	
I_{CC}	Supply current	V_{CC} = MAX, DATA INPUT 0V, OUTPUT CONTROL 4.5V				20	mA
t_{PLH}	Propagation delay time, low-to-high-level output	V_{CC} = 5V, T_A = 25°C	C_L = 45pF, R_L = 667Ω		9	15	ns
t_{PHL}	Propagation delay time, high-to-low-level output				7	15	ns
t_{ZH}	Output enable time to high level				20	35	ns
t_{ZL}	Output enable time to level				15	25	ns
t_{HZ}	Output disable time from high level	T_A = 25°C	C_L = 5pF, R_L = 667Ω			20	ns
t_{LZ}	Output disable time from low level					20	ns

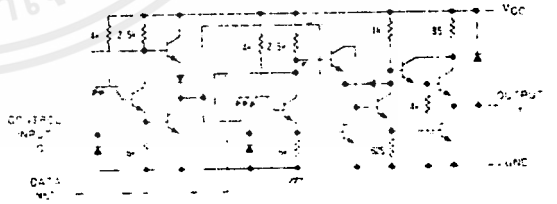
† For conditions shown as MIN or MAX, use the appropriate value specified under recommended operating conditions.
‡ All typical values are at V_{CC} = 5V, T_A = 25°C.
♦ Not more than one output should be shorted at a time.

Pin Assignment (Top View)



positive logic:
Y = A
Output ... (disabled) when C is high

Schematic (each gate)



'125 CIRCUIT

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

54138/74138 3-Line-to-8-Line Decoder

	Schottky TTL					High-Speed TTL					Low-Power Schottky TTL					Standard TTL					Low-Power TTL				
	Device Type	Package				Device Type	Package				Device Type	Package				Device Type	Package				Device Type	Package			
		C	P	M	CF		C	P	M	CF		C	P	M	CF		C	P	M	CF		C	P	M	CF
T.I.	SN54S138	J			W						SN54LS138	J			W										
	SN74S138	J	N								SN74LS138	J	N												
FAIRCHILD	/FM93S138										FM54LS138/FM74LS138														
	FC74S138/FC93S138										FC74LS138, FC93LS138														
MOTOROLA											SN74LS138														
N.S.C.											DM74LS138														
	DM74S138										DM54LS138														
PHILIPS																									
	N74S138										N74LS138														
SIGNETICS	S54S138	F	B		W																				
	N74S138	F	B								N74LS138														
SIEMENS																									
FUJITSU											74LS138														
HITACHI											HD74LS138														
MITSUBISHI	M74S138										M74LS138														
NEC											74LS138														
TOSHIBA																									

Electrical Characteristics SN54LS138 SN74LS138

absolute maximum ratings over operating free-air temperature range

Supply voltage, V_{CC}	7V	Operating free-air temperature range	SN54LS	−55°C to 125°C
Input voltage	7V		SN74LS	0°C to 70°C
		Storage temperature range		−65°C to 150°C

recommended operating conditions

	SN54LS138			SN74LS138			UNIT
	MIN	NOM	MAX	MIN	NOM	MAX	
Supply voltage, V_{CC}	4.5	5	5.5	4.75	5	5.25	V
High-level output current, I_{OH}			−400			−400	μA
Low-level output current, I_{OL}			4			8	mA
Operating free-air temperature, T_A	−55		125	0		70	°C

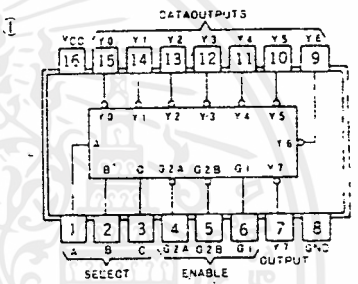
electrical characteristics over recommended operating free-air temperature range

PARAMETER		TEST CONDITIONS†		MIN	TYP‡	MAX	UNIT
V_{IH}	High-level input voltage			2			V
V_{IL}	Low-level input voltage					0.8	V
V_I	Input clamp voltage	V_{CC} = MIN, I_I = −18mA				−1.5	V
V_{OH}	High-level output voltage	V_{CC} = MIN, V_{IH} = 2V, V_{IL} = 0.8V, I_{OH} = −400μA	SN54LS	2.5	3.4		V
			SN74LS	2.7	3.4		
V_{OL}	Low-level output voltage	V_{CC} = MIN, V_{IH} = 2V, V_{IL} = 0.8V	I_{OL} = 4mA		0.35	0.5	V
			I_{OL} = 8mA				
I_I	Input current at maximum input voltage	V_{CC} = MAX, V_I = 7V				0.1	mA
I_{IH}	High-level input current	V_{CC} = MAX, V_I = 2.7V				20	μA
I_{IL}	Low-level input current	V_{CC} = MAX, V_I = 0.4V				−0.4	mA
I_{OS}	Short-circuit output current ♦	V_{CC} = MAX		−20		−100	mA
I_{CC}	Supply current	V_{CC} = MAX, Outputs enabled and open			5.3	10	mA

t_{PLH}	from Binary select to Any output	V_{CC} = 5V, T_A = 25°C, C_L = 50pF, R_L = 2kΩ	See Note 2		13	20	ns
t_{PHL}					27	41	
t_{PLH}			See Note 3		18	27	ns
t_{PHL}					25	39	
t_{PLH}	from Enable to Any output		See Note 2		21	32	ns
t_{PHL}					18	27	
t_{PLH}			See Note 3		17	26	ns
t_{PHL}					25	38	

† For conditions shown as MIN or MAX, see above
‡ All typical values are at V_{CC} = 5V, T_A = 25°C
♦ Not more than one output should be shorted at a time, and duration should not exceed one second
*t_{PLH} = propagation delay time, low-to-high-level output
t_{PHL} = propagation delay time, high-to-low-level output

Pin Assignment (Top View)



positive logic:
see function table

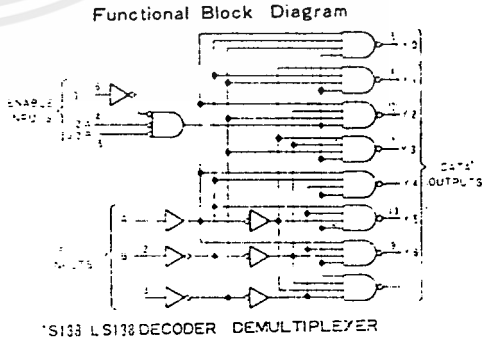
Function Table

'S138 'LS138

INPUTS					OUTPUTS							
ENABLE		SELECT										
G1	G2*	C	B	A	Y0	Y1	Y2	Y3	Y4	Y5	Y6	Y7
X	H	X	X	X	H	H	H	H	H	H	H	H
L	X	X	X	X	H	H	H	H	H	H	H	H
H	L	L	L	L	L	H	H	H	H	H	H	H
H	L	L	L	H	H	L	H	H	H	H	H	H
H	L	L	H	L	H	H	L	H	H	H	H	H
H	L	L	H	H	H	H	H	L	H	H	H	H
H	L	H	L	L	H	H	H	H	L	H	H	H
H	L	H	L	H	H	H	H	H	H	L	H	H
H	L	H	H	L	H	H	H	H	H	H	L	H
H	L	H	H	H	H	H	H	H	H	H	H	L

* G2 = G2A + G2B
H = high level, L = low level, X = irrelevant

Functional Block Diagram



'S138, LS138 DECODER, DEMULTIPLEXER

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

54151/74151 8-Line-to-1-Line Datata Selector/Multiplexer

	Schottky TTL					High-Speed TTL					Low-Power Schottky TTL					Standard TTL					Low-Power TTL				
	Device Type	Package C	P	M	CF	Device Type	Package C	P	M	CF	Device Type	Package C	P	M	CF	Device Type	Package C	P	M	CF	Device Type	Package C	P	M	CF
T.I.	SN54S151	J①			W①						SN54LS151	J①			W①	SN54151A	J①			W①					
	SN74S151	J①N①									SN74LS151	J①N①				SN74151A	J①N①								
FAIRCHILD		⑩									FJH54151/FJH93151	⑩			F⑩	FJH54151/FJH93151	D⑩								
	FC74S151	⑩	P①								FC74LS151/FC9LS151	⑩	P①		F⑩	FC74151/FC93151	D⑩	P①							
MOTOROLA																MC54151	L①								
											MC74LS151		P①			MC74151		P①							
N.S.C.	DM74S151		N①								DM74LS151		①			DM54151	J①			W①					
											DM54LS151		①			DM74151	J①	N①		W①					
PHILIPS	N74S151		①								N74LS151		①			N74151		①							
SIGNETICS	S54S151															S54151	F①	B①		W①					
	N74S151										N74LS151		A①			N74151	F①	B①							
SIEMENS																FLY121			C①						
FUJITSU											74LS151		M①			MB445		①	M①						
HITACHI	HD74S151		①P①								HD74LS151		P①			HD74151A/HD2549		①	P①						
MITSUBISHI	M5S151		P①								M74LS151		P①			M53351		P①							
NEC											74LS151		C①			μPB2151	D①								
AMD	AM54S151										AM54LS151		①												
	AM74S151										AM74LS151		①												

Electrical Characteristics SN54LS151A/SN74LS151A

absolute maximum ratings over operating free-air temperature range

Supply voltage, V_{CC}	7V	Operating free-air temperature range	SN54LS	−55°C to 125°C
Input voltage	7V		SN74LS	0°C to 70°C
		Storage temperature range		−65°C to 150°C

recommended operating conditions

	SN54LS151A MIN	NOM	MAX	SN74LS151A MIN	NOM	MAX	UNIT
Supply voltage, V_{CC}	4.5	5	5.5	4.75	5	5.25	V
High-level output current, I_{OH}			−400			−400	μA
Low-level output current, I_{OL}			4			8	mA
Operating free-air temperature T_A	−55		125	0		70	°C

electrical characteristics over recommended operating free-air temperature range

PARAMETER		TEST CONDITIONS†		MIN	TYP‡	MAX	UNIT
V_{IH}	High-level input voltage			2			V
V_{IL}	Low-level input voltage					0.8	V
V_I	Input clamp voltage	V_{CC}=MIN, I_I=−18mA				−1.5	V
V_{OH}	High-level output voltage	V_{CC}=MIN, V_{IH}=2V, V_{IL}=0.8V, I_{OH}=−400μA		2.7	3.4		V
V_{OL}	Low-level output voltage	V_{CC}=MIN, V_{IH}=2V, V_{IL}=0.8V, I_{OL}=8mA			0.35	0.5	V
I_I	Input current at maximum input voltage	V_{CC}=MAX, V_I=7V				0.1	mA
I_{IH}	High-level input current	V_{CC}=MAX, V_I=2.7V				20	μA
I_{IL}	Low-level input current	V_{CC}=MAX, V_I=0.4V				−0.4	mA
I_{OS}	Short-circuit output current*	V_{CC}=MAX	SN54LS	−20		−100	mA
			SN74LS	−20		−100	
I_{CC}	Supply current	V_{CC}=MAX, See Note			6.0	10	mA
t_{PLH}	from A, B, or C (4 levels) to output Y	V_{CC}=5V, T_A=25°C, C_L=15pF, R_L=2kΩ			27	43	ns
t_{PHL}					18	30	
t_{PLH}	from A, B, C, or D (3 levels) to output W				14	23	ns
t_{PHL}					20	32	
t_{PLH}	from Strobe to output Y				26	42	ns
t_{PHL}					20	32	
t_{PLH}	from Strobe to output W				15	24	ns
t_{PHL}					18	30	
t_{PLH}	from D0 thru D7 to output Y				20	32	ns
t_{PHL}					16	26	
t_{PLH}	from E0 thru E15 or D0 thru D7 to output W				13	21	ns
t_{PHL}					12	20	

NOTE I_{CC} is measured with the strobe and data select input at 4.5V, all other inputs and outputs open

†For conditions shown as MIN or MAX, use the appropriate value specified under recommended operating conditions for the applicable device type

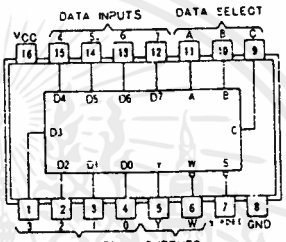
‡All typical values at V_{CC}=5V, T_A=25°C

*Not more than one output of should be shorted at a time

t_{PLH} = propagation delay time, low-to-high-level output

t_{PHL} = propagation delay time, high-to-low-level output

Pin Assignment (Top View)



Function Table

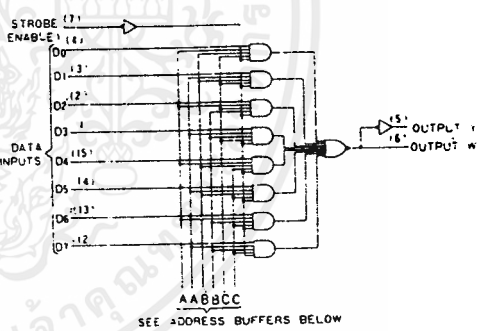
'151A, 'LS151, 'S151

INPUTS SELECT C	B	A	STROBE S	OUTPUTS Y	W
X	X	X	H	L	H
L	L	L	L	D0	$\overline{D0}$
L	L	H	L	D1	$\overline{D1}$
L	H	L	L	D2	$\overline{D2}$
L	H	H	L	D3	$\overline{D3}$
H	L	L	L	D4	$\overline{D4}$
H	L	H	L	D5	$\overline{D5}$
H	H	L	L	D6	$\overline{D6}$
H	H	H	L	D7	$\overline{D7}$

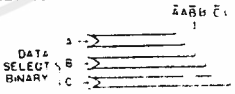
H = high level, L = low level, X = irrelevant

D0, D1 ... D7 = the level of the D respective input

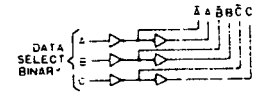
Functional Block Diagram



ADDRESS BUFFERS FOR '151A



ADDRESS BUFFERS FOR 'LS151, 'S151



151A, 'LS151, 'S151 DATA SELECTOR/MULTIPLEXER

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

54245/74245 Octal Bus Transceivers with 3-state Outputs

	Schottky TTL				High-Speed TTL				Low-Power Schottky TTL				Standard TTL				Low-Power TTL			
	Device Type	Package C	P	M	CF	Device Type	Package C	P	M	CF	Device Type	Package C	P	M	CF	Device Type	Package C	P	M	CF	Device Type	Package C	P	M	CF
T. I.											SN54LS245	J		W										
FAIRCHILD											SN74LS245	J	N											
MOTOROLA																								
N. S. C.																								
PHILIPS																								
SIGNETICS																								
SIEMENS																								
FUJITSU																								
HITACHI																								
MITSUBISHI																								
NEC																								
TOSHIBA																								

Electrical Characteristics SN54LS245, SN74LS245

absolute maximum ratings over operating free-air temperature range

Supply voltage, V_{CC}	7 V	Operating free-air temperature range	SN54LS	55°C to 125°C
Input voltage	7 V		SN74LS	0°C to 70°C
		Storage temperature range		65°C to 150°C

recommended operating conditions

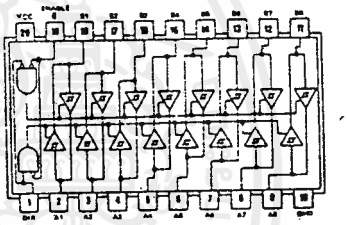
	SN54LS245 MIN	NOM	MAX	SN74LS245 MIN	NOM	MAX	UNIT
Supply voltage, V_{CC}	4.5	5	5.5	4.75	5	5.25	V
High-level output current, I_{OH}			12			-15	mA
Low-level output current, I_{OL}			12			24	mA
Operating free-air temperature, T_A	55		125	0		70	°C

electrical characteristics over recommended operating free-air temperature range

PARAMETER		TEST CONDITIONS†		SN74LS245 MIN	TYP‡	MAX	UNIT
V_{IH}	High-level input voltage			2			V
V_{IL}	Low-level input voltage					0.8	V
V_{IK}	Input clamp voltage	V_{CC} = MIN, I_I = -18mA				-1.5	V
	Hysteresis ($V_{T+} - V_{T-}$) A or B input	V_{CC} = MIN			0.2	0.4	V
V_{OH}	High-level output voltage	V_{CC} = MIN, V_{IH} = 2V, V_{IL} = V_{IL} max	I_{OH} = -3mA	2.4	3.4		V
			I_{OH} = MAX	2			
V_{OL}	Low-level output voltage	V_{CC} = MIN, V_{IH} = 2V, V_{IL} = V_{IL} max	I_{OL} = 12mA			0.4	V
			I_{OL} = 24mA			0.5	
I_{OZH}	Off-state output current, high-level voltage applied	V_{CC} = MAX, G at 2V	V_O = 2.7 V			10	μA
I_{OZL}	Off-state output current, low-level voltage applied		V_O = 0.4V			-200	
I_I	Input current at maximum input voltage, A or B	V_{CC} = MAX,	V_I = 5.5V			0.1	mA
	DIR or G		V_I = 7V			0.1	
I_{IH}	High-level input current	V_{CC} = MAX, V_{IH} = 2.7V				20	μA
I_{IL}	Low-level input current	V_{CC} = MAX, V_{IL} = 0.4V				-0.2	mA
I_{OS}	Short-circuit output current	V_{CC} = MAX		-40		225	mA
I_{CC}	Supply current: Total, outputs open	V_{CC} = MAX, Outputs open			48	70	mA
	Total, outputs low				62	90	
	Outputs at Hi-Z				64	95	

switching characteristics V_{CC} 5V, T_A 25°C

PARAMETER		TEST CONDITIONS	MIN	TYP	MAX	UNIT
t_{PLH}	Propagation delay time, low-to-high-level output	C_L = 45pF, R_L = 667Ω, See Note 2		8	12	ns
t_{PHL}	Propagation delay time, high-to-low-level output			8	12	ns
t_{PZL}	Output enable time to low level			27	40	ns
t_{PZH}	Output enable time to high level			25	40	ns
t_{PLZ}	Output disable time from low level	C_L = 5pF, R_L = 667Ω, See Note 2		15	25	ns
t_{PHZ}	Output disable time from high level			15	25	ns



SN54LS245 (J) SN74LS245 (J, N)

† For conditions shown as MIN or MAX, use the appropriate value specified under recommended operating conditions.
‡ All typical values are at V_{CC} = 5V, T_A = 25°C.
* Not more than one output should be shorted at a time, and duration of the short-short should not not exceed one second.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

54373/74373 Octal D-Type Transparent Latches and Edge-Triggered Flip-Flops

	Schottky TTL		High-Speed TTL		Low-Power Schottky TTL		Standard TTL		Low-Power TTL	
	Device Type	Package C P M CF	Device Type	Package C P M CF	Device Type	Package C P M CF	Device Type	Package C P M CF	Device Type	Package C P M CE
T.I.	SN54S373	J			SN54LS373	J				
	SN74S373	J N			SN74LS373	J N				
FAIRCHILD										
MOTOROLA										
N. S. C.										
PHILIPS										
SIGNETICS										
SIEMENS										
FUJITSU										
HITACHI										
MITSUBISHI										
NEC										
TOSHIBA										

Electrical Characteristics SN54LS373 SN74LS373

absolute maximum ratings over operating free-air temperature range

Supply voltage V_{CC}	7V	Operating free-air temperature range	SN54LS	−55°C	125°C
Input voltage	7V		SN74LS	0°C	70°C
		Storage temperature range		−65°C	150°C

recommend operating conditions

		SN54LS373 MIN	NOM	MAX	SN74LS373 MIN	NOM	MAX	UNIT
Supply voltage, V_{CC}		4.5	5	5.5	4.75	5	5.25	V
High-level output current, I_{OH}							−2.6	mA
High-level output voltage V_{OH}				5.5			5.5	V
Pulse width, t_w	Clock enable high	15			15			ns
	Clock enable low	15			15			
Setup time, t_{SU}		0			0			ns
Hold time, t_{HOLD}		10			10			ns
Operating free-air temperature, T_A		−55		125	0		70	°C

electrical characteristics over recommended operating free-air temperature range (unless otherwise noted)

PARAMETER		TEST CONDITIONS‡	MIN	TYP‡	MAX	UNIT
V_{IH}	High-level input voltage		2			V
V_{IL}	Low-level input voltage				0.8	V
V_I	Input clamp voltage	V_{CC} = MIN, I_I = −18mA			−1.5	V
V_{OH}	High-level output voltage	V_{CC} = MIN, V_{IH} = 2V, V_{IL} = 0.8V, I_{OH} = MAX	2.4	3.1		V
V_{OL}	Low-level output voltage	V_{CC} = MIN, V_{IH} = 2V, V_{IL} = 0.8V, I_{OL} = 24mA		0.35	0.5	V
I_{OZH}	Off-state output current, high-level voltage applied	V_{CC} = MAX, V_{IH} = 2V, V_O = 2.7V			20	μA
I_{OZL}	Off-state output current, low-level voltage applied	V_{CC} = MAX, V_{IH} = 2V, V_O = 0.4V			−20	μA
I_I	Input current at maximum input voltage	V_{CC} = MAX, V_I = 7V			0.1	mA
I_{IH}	High-level input current	V_{CC} = MAX, V_I = 2.7V			20	μA
I_{IL}	Low-level input current	V_{CC} = MAX, V_I = 0.4V			−0.4	mA
I_{OS}	Short-circuit output current§	V_{CC} = MAX	−30		−130	mA
I_{CC}	Supply current	V_{CC} = MAX		24		mA

switching characteristics, V_{CC} = 5V, T_A = 25°C

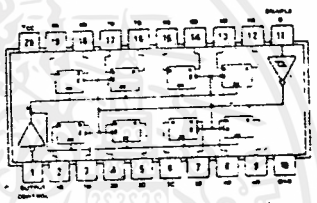
PARAMETER	FROM (INPUT)	TO (OUTPUT)	TEST CONDITIONS	MIN	TYP	MAX	UNIT
t_{PLH}							
t_{PHL}							
t_{PLH}							
t_{PHL}							
t_{PLH}							
t_{PHL}							
t_{PLH}							
t_{PHL}							

* For conditions shown as MIN or MAX, use the appropriate value specified under recommended operating conditions for the type.

‡ All typical values are at V_{CC} = 5V, T_A = 25°C.

§ Not more than one output should be shorted at a time, and the duration should not exceed one second.

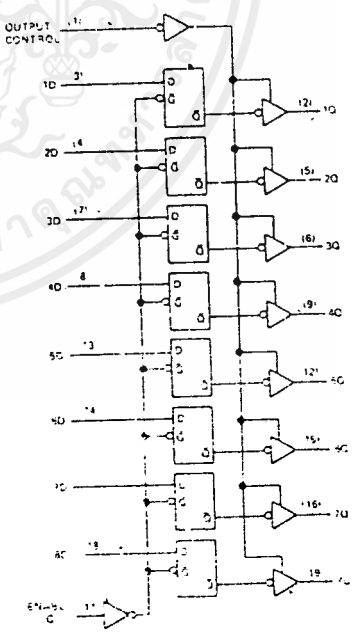
Pin Assignments (Top View)



SN54LS373 (J) SN74LS373 (J, N)
SN54S373 (J) SN74S373 (J, N)

OUTPUT CONTROL	ENABLE G	D	OUTPUT Q
L	H	H	H
L	H	L	L
L	L	X	Q0
H	X	X	Z

'LS373 'S373
TRANSPARENT LATCHES



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้