



ส่วนแสดงผลเครื่องวัดสัญญาณหัวใจ (ICU MONITOR DISPLAY)



ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตร

ปริญญาวิทยาศาสตรบัณฑิต

ภาควิชาเทคนิคอุตสาหกรรม

คณะวิศวกรรมศาสตร์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

พ.ศ. 2536

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

032702

ปริญญานิพนธ์ปีการศึกษา 2535

ภาควิชา เทคโนโลยีอุตสาหกรรม สาขา เทคโนโลยีอิเล็กทรอนิกส์

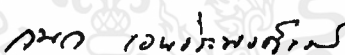
คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เรื่อง ส่วนแสดงผลเครื่องวัดสัญญาณหัวใจ (ICU MONITOR DISPLAY)

ผู้จัดทำ

1. นาย คมสันต์ เชื้อศิริกุล 34.131145
2. นาย ปรีทัศน์ ทันบุญมา 34.131159
3. นาย สุปรีชา ยาสมร 34.131178

คณะกรรมการสอบปริญญานิพนธ์


() ประธานกรรมการ


() กรรมการ

(_____) กรรมการ

(_____) กรรมการ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

032702

ส่วนแสดงผลเครื่องวัดสัญญาณหัวใจ

คมสันต์ เขียวศิริกุล 34.131145

ปรีทัศน์ ทันบุญมา 34.131159

สุปรียา ยาสมร 34.131178

อาจารย์ที่ปรึกษา

ผศ.ดร.กนก เจนจิระพงศ์เวช

อ. ประภากร สุวรรณะ

ปีการศึกษา 2535

บทคัดย่อ

สัญญาณไฟฟ้าจากร่างกายของมนุษย์เรา มักจะมีความถี่ต่ำมาก โดยเฉพาะสัญญาณหัวใจซึ่งจะมีความถี่ประมาณ 1 Hz เนื่องจากว่าเครื่องมือที่จะใช้ในการแสดงผลของสัญญาณที่มีความถี่ต่ำมากๆ เช่น เครื่องมือวัดประเภทออสซิลโลสโคป นั้นจะมีราคาแพงมาก ถึงแม้ว่าสามารถที่จะแสดงรูปสัญญาณที่ชัดเจน แต่ก็ไม่ได้ให้ความสะดวกในการใช้งาน และไม่คุ้มค่าในการนำมาใช้กับงานที่มีลักษณะเฉพาะนี้

เครื่องมืออิเล็กทรอนิกส์ที่ได้สร้างขึ้นมากในโครงการนี้ ได้อาศัยเทคนิคต่างๆ ในการสร้างเพื่อให้สามารถทำให้ได้รูปคลื่นหัวใจที่ชัดเจน และรูปเส้นสัญญาณที่ต่อเนื่องออกจากจอทีวี อีกทั้งยังสามารถแสดงให้เห็นสัญญาณเคลื่อนที่ไปบนจอจากขวาไปซ้ายได้ หรือจะให้หยุดเคลื่อนที่ เพื่อความสะดวกในการวิเคราะห์สัญญาณ และในโครงการนี้ได้ทำการปรับปรุงให้สามารถนำเครื่องมือนี้ไปใช้กับเครื่องรับโทรทัศน์ทั่วๆ ไปที่มีขนาดไม่เกิน 20 นิ้วโดยการแก้ไขในชุดจ่ายกำลังให้กับขดลวดหักเห และได้พัฒนาชุดแสดงสัญญาณเพื่อให้ภาพที่ปรากฏบนจอภาพทางมอนิเตอร์นั้น มีลักษณะเหมือนรูปสัญญาณที่ต้องการวัดมากที่สุด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ICU MONITOR DISPLAY

Mr. Komsun Seawsirikul

Mr. Paritat Thunboonma

Mr. Suprecha Yasamon

Advisor

Dr. Kanok Janchitrapongve

Mr. Prapakorn Suwanna

Academic 1990

ABSTRACT

The electric signal from human body very low frequency, especially from heart signal. There is frequency about 1 Hz , because the equipment which used for showing the very low frequency , for showing the very low frequency, For example , oscilloscope measurement equipment price is very expensive . Although it can show cleary signal picture , it is inconvenience in using on the job and unworthy for using with the job that has this spacial charactor.

The monitor is build in this system , is used very technical to be able to have charactor heart frequency and picture , such as sequence signal from T.V.in addition, it can show the signal that move from right side to left side. On stop moving to be convenience of signal analysis. Furthermore , this system is improve to used with the television side less than 20". And developing signal showing to have the monitor. which has the characteristic of signal needed the most measurement.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ

หน้า

บทคัดย่อ

abstract

บทที่ 1 บทนำ

1-1

บทที่ 2 ทฤษฎีหลักการเบื้องต้น

2.1 โครงสร้างของวงจรส่วนแสดงผล ICU MONITOR

2-1

2.2 ระบบแสดงผลบนจอภาพ

2-1

2.3 โครงสร้างระบบมอนิเตอร์

2-5

2.4 หลักการแสดงผลสัญญาณภาพของโทรทัศน์

2-7

บทที่ 3 การออกแบบและการทำงานของวงจร

3.1 วงจรแสดงรูปคลื่นสัญญาณ

3-1

3.2 วงจรส่วนแสดงผลบนจอภาพ

3-8

3.3 วงจรสร้างสัญญาณกวาดและสัญญาณภาพ

3-12

3.4 วงจรส่วนขยายกำลัง

3-15

บทที่ 4 ผลการทดลอง

4-1

บทที่ 5 สรุปและวิจารณ์ผลการทดลอง

5-1

ภาคผนวก

กิตติกรรมประกาศ

เอกสารอ้างอิง

บทที่ 1 บทนำ

ในปัจจุบันเครื่องมือที่เราใช้วัดสัญญาณไฟฟ้า เช่น ออสซิลโลสโคปที่ใช้วัดสัญญาณทั่วๆ ไปนั้น ในการวัดสัญญาณที่มีความถี่ต่ำมากๆ เราจะเห็นเป็นเพียงจุดๆ เดียว ที่เคลื่อนอยู่บนจอภาพ ทำให้ไม่สามารถที่จะทำการวิเคราะห์สัญญาณได้โดยสะดวก

วัตถุประสงค์ของโครงการ

ในโครงการนี้จึงได้ทำการสร้าง เครื่องมือที่ใช้ในการแสดงให้เห็นถึงรูปร่างของสัญญาณความถี่ต่ำนี้ได้อย่างต่อเนื่องและชัดเจน ถึงแม้ว่าสัญญาณนั้นๆ มีความถี่ต่ำมากก็ตาม เช่น สัญญาณหัวใจ หรือที่เรียกกันทั่วไปว่า สัญญาณ ECG ซึ่งโดยปกติทั่วไปแล้วจะมีความถี่ประมาณ 1 Hz เท่านั้น หรือสัญญาณจากร่างกายของคนเราในส่วนอื่นๆ ซึ่งส่วนใหญ่จะมีความถี่ค่อนข้างต่ำ ทำให้การตรวจเช็คการทำงานของอวัยวะสำคัญๆ ในร่างกาย เป็นไปได้โดยสะดวกยิ่งขึ้น และในโครงการนี้สามารถที่จะปรับปรุงให้ส่วนแสดงผลชุดนี้ใช้กับเครื่องรับโทรทัศน์ทั่วๆ ไปได้

ขั้นตอนและวิธีดำเนินงาน

สำหรับเงื่อนไขที่จะต้องใช้ในการออกแบบวงจร มีดังนี้

1. การแสดงภาพจะต้องแสดงให้เห็นรูปคลื่นของสัญญาณที่ต่อเนื่อง ได้บนจอมอนิเตอร์ โดยไม่เกิดการกระพริบ
2. สามารถที่จะทำให้รูปคลื่นของสัญญาณเคลื่อนที่ หรือหยุดนิ่งได้เพื่อความจำเป็นในการวิเคราะห์ หรือศึกษาสัญญาณบางส่วน
3. สัญญาณหัวใจที่ปรากฏบนจอมอนิเตอร์ จะต้องแสดงให้เห็นรูปสัญญาณครบหนึ่งรูป หรือมากกว่าหนึ่งลูกขึ้นไป เพื่อที่จะสามารถทำการเปรียบเทียบลักษณะของ รูปคลื่นสัญญาณที่ผ่านไป แล้วกับที่กำลังจะเกิด ทำให้สามารถวิเคราะห์การเปลี่ยนแปลงของสัญญาณได้ อีกทั้งยังช่วยทำให้ภาพที่ปรากฏบนจอดูสวยงาม

หลักการที่ทำให้เกิดภาพแสดงบนจอโทรทัศน์เครื่องนี้ เราสามารถใช้หลักการในการสแกนเหมือนกันกับจอโทรทัศน์ทั่วๆ ไป กล่าวคือ จะใช้สัญญาณที่สร้างขึ้นไปขับหลอดหักเห และทำให้เกิดการเหนี่ยวนำให้เกิดสนามแม่เหล็กเกิดขึ้น เพื่อที่จะทำให้เกิดแรงไปหักเหลำอิเล็กตรอน ให้เคลื่อนที่ในทิศทางต่างๆ ได้ตามต้องการในที่สุด

ในการสแกนในแนวนอนนั้น เราจะสร้างสัญญาณพื้นเลื้อยไปยับยั้งลดทอนหักเหทางแนวนอน ส่วนการสแกนทางแนวตั้งนั้นจะใช้สัญญาณหัวใจที่ได้ผ่านขั้นตอนต่างๆดังที่จะกล่าวในบทต่อไป ในการยับยั้งลดทอนหักเหทางแนวตั้ง ทำให้ลำอิเล็กตรอนเคลื่อนที่ เกิดภาพตามสัญญาณที่เข้ามา

จากเงื่อนไขในข้อที่หนึ่ง การที่จะทำให้ภาพไม่เกิดการกระพริบเราจะต้องทำให้การสแกนทางแนวนอนมีอัตราเร็วในการสแกนที่เหมาะสมค่าหนึ่ง นั่นคือความถี่ของสัญญาณพื้นเลื้อยจะต้องมีค่าที่เหมาะสมค่าหนึ่ง นอกจากนี้ก็อาศัยหลักการ การคงอยู่ของภาพ (Persistence) ของตาคนเราและของจอโทรทัศน์

เมื่อเราเลือกค่าความถี่ของสัญญาณพื้นเลื้อยขึ้นมาค่าหนึ่ง ซึ่งอย่างไรก็ตาม ความถี่นี้ก็ยังคงมีค่ามากอยู่ดี เมื่อเทียบกับความถี่ของสัญญาณหัวใจ ซึ่งเป็นความถี่ของการสแกนทางแนวตั้ง ทำให้ในการสแกนทางแนวนอนในแต่ละครั้งนั้น จะได้สัญญาณหัวใจปรากฏบนจอเพียงส่วนเดียวเท่านั้น หรือถ้าหากว่าปรับความถี่ให้แตกต่างกันน้อยลง จะทำให้ได้ภาพที่มีจำนวนรูปคลื่นของสัญญาณมีจำนวนมากขึ้นก็ตาม แต่ว่าภาพที่เห็นนั้นจะเห็นเป็นเพียงจุดที่เคลื่อนที่และจางหายไปโดยเร็วปัญหาเหล่านี้จึงเป็นสาเหตุอีกอย่างหนึ่ง ที่เราจะต้องทำการปรับความถี่ของการสแกนทางแนวตั้ง หรือสัญญาณหัวใจนี้ให้สูงขึ้น

การปรับความถี่ทางแนวตั้งให้สูงขึ้นนี้ เราสามารถทำได้โดยการใช้หลักการทางดิจิทัลเข้ามาช่วยในการประมวลผลของสัญญาณอนาลอก ด้วยวิธีการที่เรียกว่า การแซมปิ้งข้อมูล ใช้ในการแปลงให้เป็นข้อมูลทางดิจิทัล และถูกนำมาเก็บไว้ในหน่วยความจำ โดยข้อมูลที่ได้จากการแซมปิ้งในแต่ละครั้งจะถูกเก็บไว้ในแอดเดรสที่อยู่ติดๆกัน เมื่อตอนที่เรารับข้อมูลออกมาจากหน่วยความจำ ถ้าเราสามารถชี้แอดเดรสได้เร็วเพียงใด ก็จะทำให้ได้รูปคลื่นสัญญาณ เมื่อนำไปผ่านวงจร D/A ออกมาปรากฏบนจอเร็วขึ้น ตามความเร็วในการชี้แอดเดรส ทำให้เราได้สัญญาณหัวใจที่มีความถี่สูงขึ้นตามต้องการ ดังนั้นสิ่งที่เราต้องทำอีกอย่างก็ คือ เลือกความถี่ในการแซมปิ้ง และความถี่สัญญาณนาฬิกาที่ถูกนำไปสร้างสัญญาณแอดเดรสด้วย โดยจะต้องมีค่าที่เหมาะสมในการนำไปใช้งาน

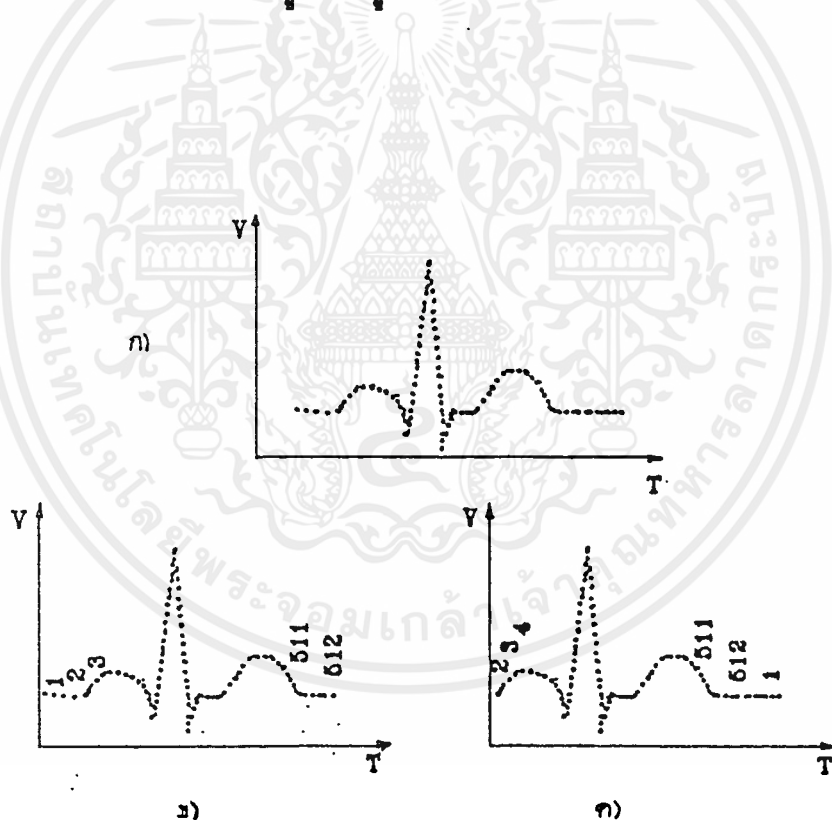
การที่จะทำให้สัญญาณที่ถูกเก็บอยู่ในหน่วยความจำสามารถแสดงออกมาที่จอ ให้เป็นภาพที่เคลื่อนที่ได้ตามเงื่อนไข เราสามารถทำได้โดยอาศัยเทคนิคของการอ้างแอดเดรส และการอ่านเขียนข้อมูลลงในหน่วยความจำที่มีความจุจำกัด และอาศัยหลักการเบื้องต้นดังต่อไปนี้

1. การที่จะทำให้สัญญาณหัวใจที่เกิดผ่านไปแล้ว ถูกแสดงออกบนจอภาพพร้อมกับสัญญาณที่เพิ่งเกิดใหม่ ซึ่งก็หมายความว่า ในการสแกนทางแนวนอนที่กำลังดำเนินอยู่ จะต้องถูกอ่านเอาข้อมูลของคลื่นสัญญาณอันเก่าออกมาด้วย

2. การที่จะให้เห็นว่าคลื่นสัญญาณที่เคลื่อนที่ได้ นั้นคือจะต้องเห็นคลื่นสัญญาณอันใหม่ปรากฏออกมาตลอดเวลา แสดงว่าจะต้องมีการเขียนข้อมูลของสัญญาณใหม่เข้าไปในหน่วยความจำ และถูกอ่านออกมาพร้อมกับข้อมูลอันเก่าในการสแกนแต่ละครั้ง

3. จากข้อที่ 1 และ 2 รวมกันกับการสแกนทางแนวนอนด้วยความถี่ที่เหมาะสมและการคงอยู่ของภาพบนจอมอนิเตอร์และของดวงตาจะทำให้เราได้สัญญาณหัวใจปรากฏบนจอที่เคลื่อนที่ได้ และเป็นภาพที่ต่อเนื่องตามต้องการ

จากหลักการดังกล่าวจะดูได้ดังรูปที่ 1.1



รูปที่ 1.1 ลักษณะการอ้างแอดเดรสเกี่ยวกับสัญญาณหัวใจ

ข้อกำหนด 1. สมมติให้ใช้หน่วยความจำทั้งหมด 512 ไบท์ (เป็นจำนวนที่ใช้งานจริงในโครงงานนี้)

2. การอ่านข้อมูลในแต่ละครั้งจะอ่านออกมาทั้งหมด 512 ไบท์ ในขณะที่มีการเขียนข้อมูลเพียง 1 ไบท์ ในแต่ละครั้งเท่านั้น

จากรูปที่ 1.1(a) เป็นรูปคลื่นของสัญญาณหัวใจที่เกิดขึ้นจริงๆในแกนของเวลา และจากรูปที่ 1.1(b) เป็นรูปคลื่นที่ได้จากการสแกนข้อมูลทั้งแนวตั้ง และแนวนอนในแนวชั่วเวลาหนึ่ง ซึ่งสมมติว่า จะอ่านข้อมูลออกจากหน่วยความจำตำแหน่งแอดเดรสที่ 0 ถึง 511

การที่จะทำให้สัญญาณเคลื่อนที่ได้นั้น ในการสแกนครั้งถัดไปภาพที่ปรากฏบนจอจะต้องเป็นดังรูปที่ 1.1(c) ซึ่งมีลักษณะที่เป็นไปตามหลักการ 3 ข้อที่กล่าวถึง กล่าวคือมีการอ่านข้อมูลเก่าออกมาด้วย คือไบท์ที่ 2 ถึง 512 และข้อมูลใหม่ในไบท์ที่ 1 ซึ่งจะต้องถูกเขียนลงในหน่วยความจำตำแหน่งแอดเดรสที่ 0 ก่อนที่จะมีการสแกนออกจอในครั้งนี้ จากหลักการนี้จะได้สัญญาณที่มีการเคลื่อนที่จากซ้ายไปขวาอย่างต่อเนื่อง และขั้นตอนในการอ่าน/เขียนข้อมูล สามารถเขียนได้ดังนี้

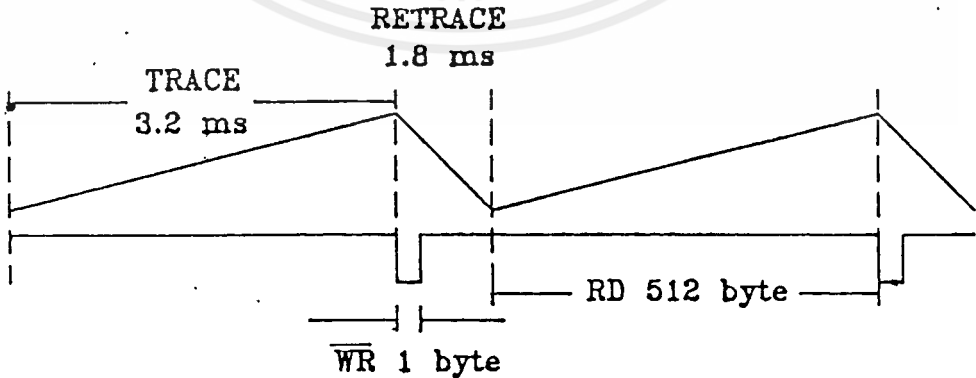
อ่าน (RD)	เขียน (WR)
1...512	1
2...512, 1	2
3...512, 1, 2	3
.	.
.	.
.	.

ส่วนการที่จะทำให้คลื่นสัญญาณหยุดนิ่งจะอาศัยหลักการ คือให้อ่านเฉพาะข้อมูลเก่าที่เก็บไว้แล้วออกมาเท่านั้นในการสแกนแต่ละครั้ง และเนื่องจากว่าหน่วยความจำที่ใช้มีจำนวนจำกัด 512 ไบต์ การอ่านและเขียนข้อมูล สามารถเขียนได้ดังนี้

อ่าน (RD)	เขียน (WR)
1...512	1
2...512	1
2...512	1
.	.
.	.

จะเห็นได้ว่าจะทำการอ่านข้อมูลในไบต์ที่ 2 ถึง 512 ออกมาเท่านั้น การชนบั้งข้อมูลของสัญญาณใหม่ก็ยังคงมีอยู่ และถูกเขียนลงแอดเดรสที่ 0 แต่จะเห็นได้ว่าไม่ถูกอ่านออกมา ถ้าเราทำการควบคุมการอ่านและข้อมูลดังที่กล่าวมาข้างต้น จากที่กล่าวมาทั้งหมด ทำให้สามารถมองออกแล้วว่าไซเคิลการทำงานจะเป็นดังรูปที่

1.2



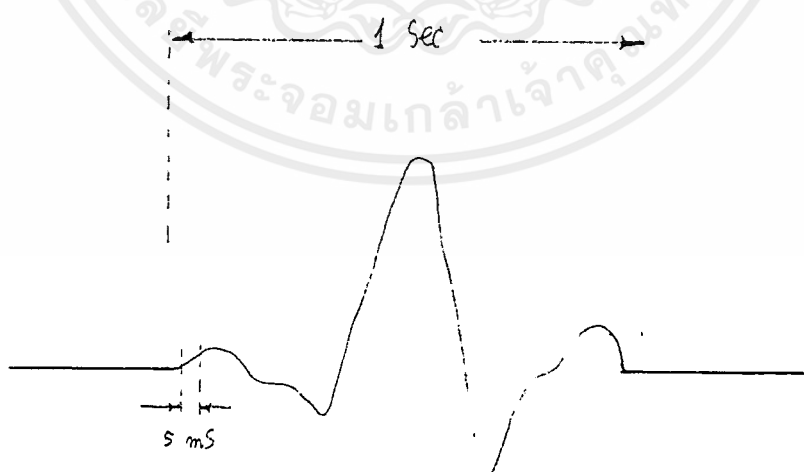
รูปที่ 1.2 เวลาของการทำงานใน 1 ไซเคิล

จากรูปที่ 1.2 จะเห็นได้ว่า ความถี่ของการแซมปิ้ง หรือการอ่าน/เขียนข้อมูล จะมีค่าเท่ากับกับความถี่ของสัญญาณฟันเลื่อย ซึ่งในโครงงานนี้ได้เลือกเอาความถี่แซมปิ้งเท่า 200 Hz อันเป็นความถี่ที่เหมาะสมที่ทำให้ภาพไม่เกิดการกระพริบ อีกทั้งยังสามารถแซมปิ้งรายละเอียดของสัญญาณได้พอดี ไม่หยابหรือละเอียดเกินความจำเป็น และทำให้รูปคลื่นของสัญญาณหัวใจที่ปรากฏบนจอมอนิเตอร์ดูสวยงาม และไม่แคบหรือกว้างเกินไป

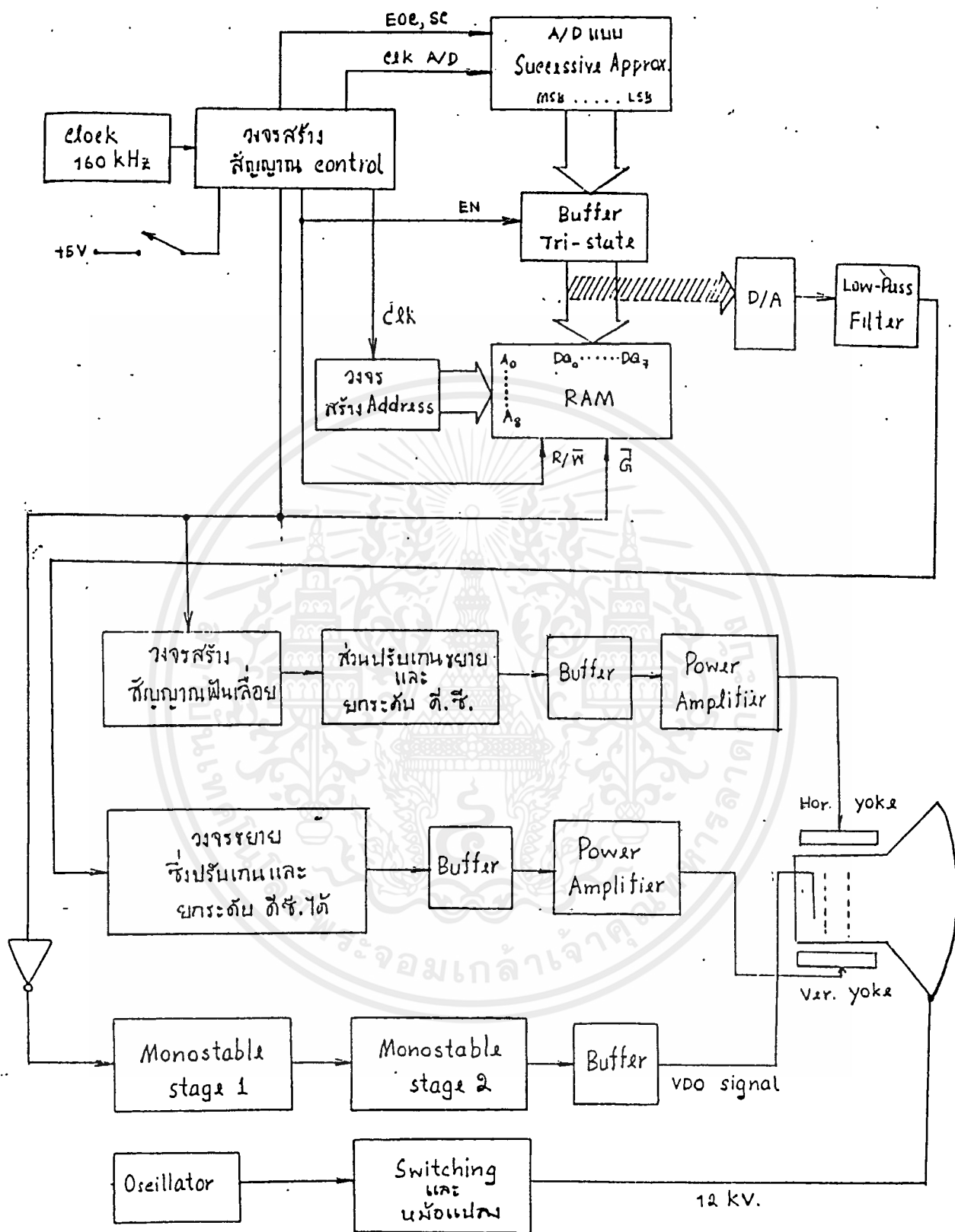
ในการสร้างสัญญาณฟันเลื่อย และนำไปขับขดลวดหักเห้น ถ้าเราให้ช่วงรีเทรชของสัญญาณสั้นเกินไป อัตราการเปลี่ยนแปลงของกระแสต่อเวลาจะมีค่าสูงมาก และจะทำให้เกิดศักดาคร่อมขดลวดมีค่าสูงมากตามไปด้วย ดังนั้นเราจะต้องหาช่วงเวลาการรีเทรชที่เหมาะสม

การเลือกความถี่ของสัญญาณนาฬิกา ที่ใช้เป็นฐานเวลาให้กับวงจรส่วนดิจิทัลทั้งหมด และรวมถึงส่วนสร้างแอดเดรสให้กับหน่วยความจำ พบว่าถ้าเราใช้สัญญาณนาฬิกาที่มีความถี่ 160 kHz แล้วนอกจากจะเป็นตัวเลขที่ลงตัว และสามารถหาความถี่ได้ง่ายแล้วยังทำให้ช่วงรีเทรชของสัญญาณยอมรับได้ ดังนี้

จากรูปที่ 1.2 เราพบว่าช่วงการอ่านข้อมูลทั้งหมด 512 ไบต์นั้น จะเป็นเวลาทั้งหมดเท่ากับ $1/160 \text{ kHz} * 512$ ซึ่งเท่ากับ 3.2 ms นั่นก็คือช่วงเทรซของสัญญาณฟันเลื่อยมีค่าเท่ากับ 3.2 ms แต่ว่าหนึ่งลูกคลื่นของสัญญาณฟันเลื่อยใช้เวลา 5 ms ดังนั้นช่วงรีเทรชของสัญญาณจึงมีค่าเท่ากับ 1.8 ms (5 ms - 3.2 ms) ซึ่งเป็นค่าที่ยอมรับได้ทำให้ไฟเลี้ยงของวงจรในส่วนขับขดลวดหักเหมีค่าไม่สูงนัก และสามารถทำให้การใช้งานในลักษณะ Portable เป็นไปได้



รูปที่ 1.3 ลักษณะสัญญาณคลื่นไฟฟ้าหัวใจ



รูปที่ 1.4 แสดงแผนผังของวงจรในโครงงานนี้ทั้งหมด

จากรูปที่ 1.3 ซึ่งเป็นคลื่นหัวใจที่มีอัตราการเต้น 60 ครั้งต่อนาที หรือมีความถี่เท่ากับ 1 Hz ถ้าอัตราการแซมปิงของสัญญาณเท่ากับ 5 ms ดังนั้นในหนึ่งลูกคลื่นเราจะเก็บข้อมูลลงในหน่วยความจำทั้งหมดเท่ากับ $1/5\text{ms}$ เท่ากับ 200 แอดเดรส และข้อมูลถูกอ่านออกมาด้วยสัญญาณนาฬิกา 160 kHz ดังนั้นจะใช้เวลาในการอ่านสัญญาณหัวใจเท่ากับ $1/160\text{ kHz} * 200$ จะได้เท่ากับ 1.25 ms หรือคิดเป็นความถี่ได้เท่ากับ 800 Hz ดังนั้นเราจะเห็นได้ว่าสัญญาณหัวใจที่แสดงออกมาจากรูปนี้จะมีค่าสูงถึง 800 เท่าของสัญญาณหัวใจจริงๆ

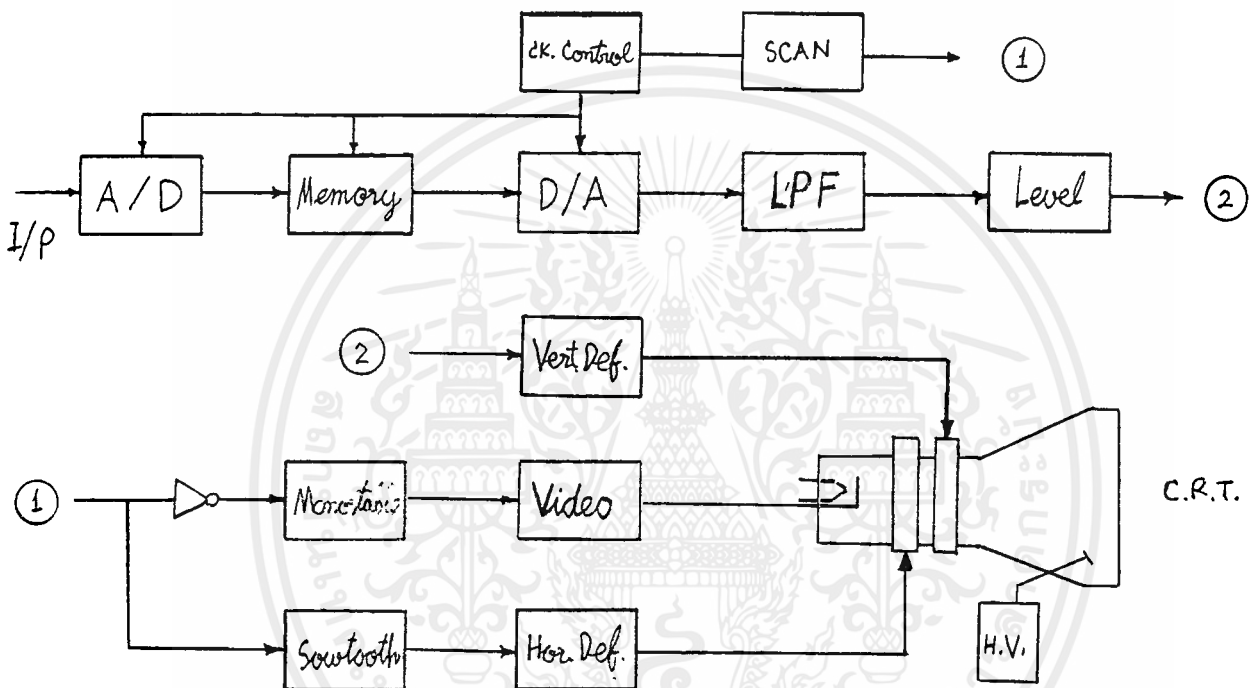
จากรูปที่ 1.4 จะแสดงให้เห็นถึง บล็อกไดอะแกรมทั้งหมดของวงจรที่ได้สร้างขึ้นในโครงงานนี้ ซึ่งจะประกอบด้วย ส่วนสร้างสัญญาณควบคุมต่างๆ ส่วนของวงจรแปลงสัญญาณอนาล็อกเป็นดิจิตอล วงจรแปลงสัญญาณดิจิตอลเป็นอนาล็อก และส่วนสำคัญอีกส่วนก็คือ ชุดที่ใช้ในการไบอัสหลอดภาพ ซึ่งรายละเอียดต่างๆ จะกล่าวอยู่ในบทที่ 3 ในส่วนของทฤษฎีต่างๆ จะกล่าวอยู่ในบทที่ 2 สำหรับผลการทดลอง และการสรุปผลการทดลอง จะอยู่ในบทที่ 4 และ 5 ตามลำดับ



บทที่ 2 ทฤษฎีหลักการเบื้องต้น

ในบทนี้จะกล่าวถึงทฤษฎีต่างๆที่เกี่ยวข้องกับโครงงานนี้ ซึ่งรายละเอียดของวงจรส่วนแสดงผลของ icu monitor นี้จะประกอบด้วยส่วนต่างๆดังนี้

2.1 โครงสร้างของวงจรส่วนแสดงผลของ ICU MONITOR



รูปที่ 2.1 โครงสร้างวงจรส่วนแสดงผลของ ICU MONITOR

2.2 ระบบแสดงผลบนจอภาพ (CRT Display)

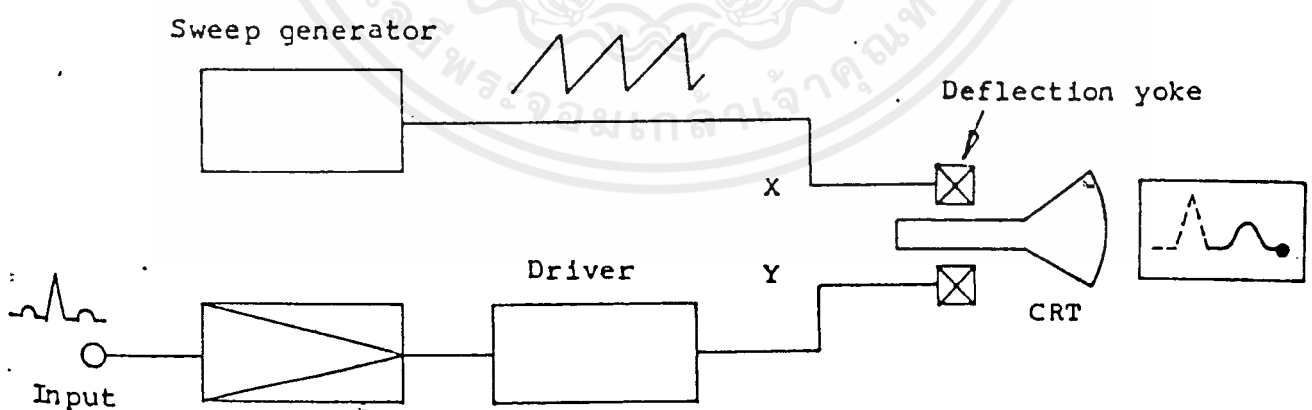
ในการแสดงสัญญาณจากร่างกาย เนื่องจากสัญญาณเหล่านี้มีความถี่ต่ำถ้าใช้ออสซิลโลสโคป (oscilloscope) แสดงสัญญาณจะเห็นเป็นจุดเคลื่อนที่ช้าๆไม่สามารถแสดงสัญญาณได้เป็นเส้นต่อเนื่องชัดเจน วิธีแสดงผลเป็นมาตรฐานจึงใช้กระดาษกราฟที่มีเส้นในแนวนอน และแนวตั้ง ช่วงละ 1 มิลลิเมตร มีเส้นหนักทุก 5 มิลลิเมตร เวลาตามเส้นในแนวนอน 1 มิลลิเมตรเท่ากับ 0.04 วินาที คัดคาไฟฟ้าจะถูกวัดตามเส้นในแนวตั้ง 10 มิลลิเมตรเท่ากับ 1 มิลลิโวลต์ ในการพล็อตกราฟลงบนกระดาษปากกาจะเปลี่ยนแปลงตำแหน่งทางแนวตั้งตามคัทคาที่วัดได้ขณะที่กระดาษเคลื่อนที่ไปตามแนวนอนด้วยความเร็วในการบันทึก 25 มิลลิเมตรต่อวินาที

การแสดงผลญาณบนกระดานกราฟ สามารถเห็นรูปร่างได้อย่างชัดเจน แต่สิ้นเปลืองค่าใช้จ่ากับกระดานกราฟโดยไม่จำเป็น เพราะเรามากไม่สนใจสัญญาณที่เกิดขึ้นไปเป็นเวลานานมาก ๆ จึงมีการแสดงผลญาณบนจอภาพเพื่อให้เห็นเป็นเหมือนกระดานกราฟ โดยอาศัยวิธีการต่างๆ ซึ่งแบ่งออกได้ 3 แบบคือ

1. Long persistence CRT
2. Non-Fade
3. TV Monitor

2.2.1 ใช้จอภาพชนิดจางหายช้า (Long persistence CRT)

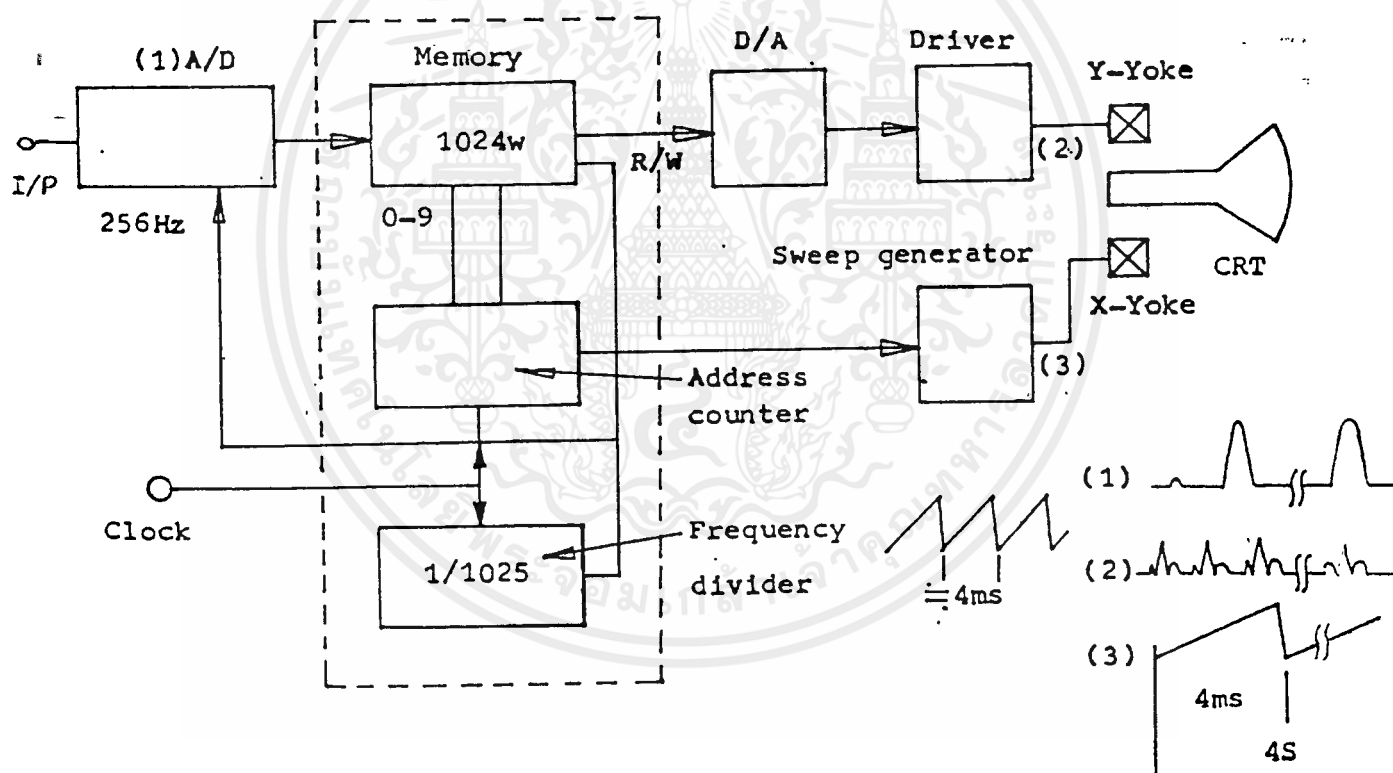
หลักการของแบบนี้ คือการป้อนสัญญาณอินพุตเข้า ขดลวดหักเหทางแนวตั้ง (Y-Axis Deflection yoke) เพื่อสแกนในแนวตั้งโดยตรง ขณะที่ขดลวดหักเหในแนวนอน (X-Axis deflection Yoke) จะถูกป้อนด้วยสัญญาณฟันเลื่อย (Saw-Tooth) ที่มีคาบเวลาหลายวินาที ดังแสดงในรูปที่ 2.2 เนื่องจากคาบเวลาของสัญญาณฟันเลื่อยยาว จึงทำให้เห็นสัญญาณอินพุตที่ปรากฏบนจอ CRT เป็นจุดกวาดจากซ้ายไปขวา โดยการใช้จอภาพที่ฉาบด้วยสารเรืองแสงแบบจางหายช้า (Long Persistence phosphor) จึงทำให้สัญญาณค้างอยู่ชั่วขณะ วิธีนี้มีข้อเสีย คือจะเห็นการเปลี่ยนแปลงของสัญญาณไม่ต่อเนื่อง ต้องใช้จอแบบพิเศษที่มีให้เลือกได้จำกัด และมีราคาแพงมาก



รูปที่ 2.2 Long persistence CRT display

2.2.2 ใช้จอภาพแสดงสัญญาณอินพุตที่ถูกทำให้ความถี่สูงขึ้น (Non-Fade)

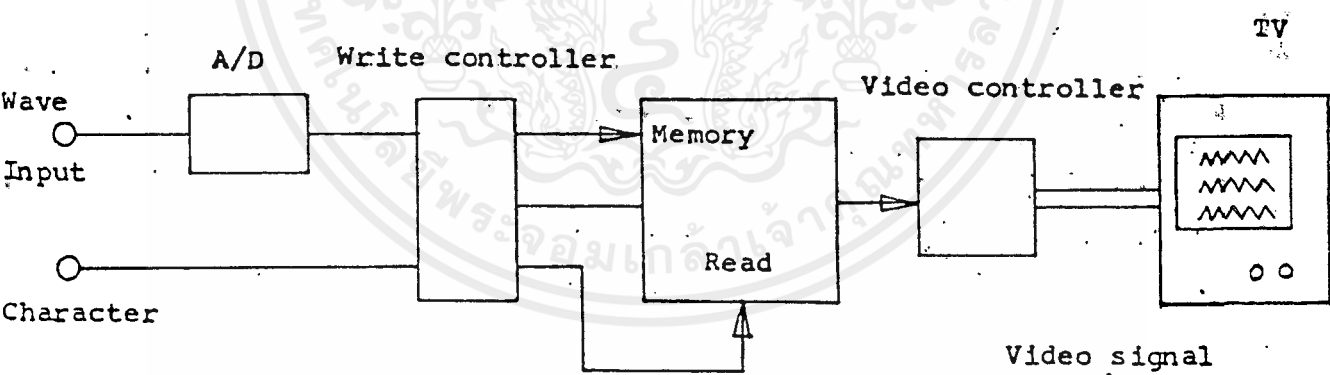
การแสดงผลแบบ Non-Fade นี้ เป็นการแก้ปัญหาการจางหายของสัญญาณด้วยการนำเอาหน่วยความจำ (Memory) มาเก็บสัญญาณอินพุตที่วัดได้ โดยผ่านวงจรแปลงสัญญาณอนาล็อกเป็นสัญญาณดิจิทัล (A/D) จากนั้นนำข้อมูลที่เก็บไว้ในหน่วยความจำออกมาผ่านวงจรแปลงสัญญาณดิจิทัลเป็นอนาล็อกด้วยความถี่ที่สูงขึ้น แล้วป้อนเข้าทางขดลวดทางแนตั้ง (Vertical yoke) และใช้สัญญาณฟันเลื่อยป้อนเข้าทางขดลวดหักเหทางแนวนอน (Horizontal yoke) เป็นสัญญาณกวาด แสดงดังรูปที่ 2.3 วิธีนี้จะได้รูปสัญญาณที่มีความถี่สูง ทำให้เห็นภาพได้ต่อเนื่อง ซึ่งสามารถแสดงรายละเอียดของสัญญาณที่วัดได้อย่างครบถ้วนเหมือนแสดงบนกระดาษกราฟ



รูปที่ 2.3 Non-Fade type CRT display

2.2.3 ใช้มอเอนเอร์แอสองสัญญาณ (TV. Monitor)

โดยการนำเอาสัญญาณที่วัดได้ผ่านวงจรแปลงอนาล็อกเป็นดิจิตอล (D/A) แล้วบันทึกในหน่วยความจำ (Memory) โดยการสุ่มสัญญาณ (Sampling) บางส่วน จากนั้นอ่านค่าที่เก็บไว้มาแปลงเป็นสัญญาณอนาล็อก (D/A) และแปลงสัญญาณภาพ (Video) ซึ่งการทำงานจะต้องสัมพันธ์กับสัญญาณการสแกนทั้งแนวตั้งและแนวนอน มีหลักการเหมือนกับการแสดงภาพมอเอนเอร์คอมพิวเตอร์ดังแสดงในรูปที่ 2.4 วิธีแบบนี้สามารถที่จะแสดงตัวหนังสือ ตัวเลข หรือกราฟ พร้อมกับคลื่นสัญญาณบนจอภาพได้ และสามารถเลือกให้จอภาพได้หลายขนาดโดยไม่ต้องมีการเปลี่ยนแปลงการทำงานส่วนอื่น แต่วิธีนี้มีข้อจำกัดของความละเอียดทางแนวตั้ง หรือความสูงของคลื่นสัญญาณจะขึ้นอยู่กับจำนวนเส้นสแกนของ TV โดยสัญญาณอนาล็อกที่ถูกแปลงเป็นสัญญาณดิจิตอลขนาด 8 บิต(bit) สามารถแทนค่าไฟฟ้าได้ 256 ระดับ แต่เมื่อแปลงสัญญาณอนาล็อก เพื่อแสดงสัญญาณภาพ (Video) สามารถแสดงสัญญาณได้ไม่กี่ระดับเท่านั้น เพราะถูกจำกัดด้วยการสร้างภาพแบบโทรทัศน์ จึงมีรายละเอียดน้อยกว่าที่ควรจะได้ และมีสัญญาณรบกวนเกิดขึ้นบนจอภาพ



รูปที่ 2.4 TV. Monitor type

2.3 โครงสร้างของระบบมอนิเตอร์

จากหัวข้อที่ 2.2 เรื่องระบบแสดงผลบนจอภาพ ก็สามารถกำหนดระบบการแสดงผลรูปสัญญาณคลื่นไฟฟ้าหัวใจได้โดยใช้ระบบ Non-Fade ซึ่งจะได้กล่าวรายละเอียดในรายงานฉบับนี้ดังต่อไปนี้

อุปกรณ์เครื่องมือที่ใช้ในการดูรูปสัญญาณไฟฟ้า โดยปกติแล้วจะให้ออสซิลโลสโคป แต่ในกรณีที่สัญญาณที่ต้องการดูมีความถี่ต่ำ ๆ เช่น ประมาณ 1 Hz เราจะเห็นรูปสัญญาณเป็นเพียงจุด ๆ เดียวเคลื่อนที่อยู่นบนจอภาพ ทำให้ไม่สามารถที่จะทำการวิเคราะห์สัญญาณได้ ซึ่งจากที่ได้กล่าวมาแล้วรูปสัญญาณไฟฟ้าหัวใจมีความถี่ประมาณ 1 Hz ดังนั้นเพื่อที่จะนำรูปสัญญาณไฟฟ้าหัวใจมาแสดงบนจอภาพให้เห็นรูปสัญญาณไฟฟ้าหัวใจในทุกส่วนของสัญญาณ ซึ่งจำเป็นต้องออกแบบวงจรอิเล็กทรอนิกส์เข้ามาร่วม ซึ่งมีเงื่อนไขสำคัญดังนี้

1. จะต้องสามารถแสดงให้เห็นเป็นรูปคลื่นสัญญาณที่ต่อเนื่องได้บนจอภาพ โดยไม่เกิดการกระพริบ
2. สามารถที่จะให้คลื่นสัญญาณเคลื่อนที่ หรือหยุดนิ่งได้ เพื่อความจำเป็นในการที่จะวิเคราะห์สัญญาณบางช่วง
3. รูปสัญญาณไฟฟ้าหัวใจที่ปรากฏบนจอจะต้องแสดงให้เห็นเป็นรูปสัญญาณครบหนึ่งลูกหรือมากกว่าหนึ่งลูกขึ้นไป เพื่อที่จะสามารถทำการเปรียบเทียบลักษณะของรูปคลื่นสัญญาณที่ผ่านไปแล้วกับที่กำลังเกิดอยู่ ทำให้สามารถวิเคราะห์การเปลี่ยนแปลงของสัญญาณได้ อีกทั้งยังช่วยทำให้ภาพที่ปรากฏบนจอภาพแลดูสวยงาม

การแสดงผลรูปสัญญาณไฟฟ้าหัวใจบนจอภาพจะใช้จอภาพของทีวี ซึ่งจะทำการออกแบบให้มีการทำงานในลักษณะการทำงานของเครื่องออสซิลโลสโคป คือจะใช้สัญญาณที่สร้างขึ้นไปขับขดลวดหักเห และทำให้มีการเหนี่ยวนำให้เกิดสนามแม่เหล็กขึ้น ทำให้เกิดแรงไปหักเหลำอิเล็กตรอนให้เคลื่อนที่ในทิศทางต่าง ๆ ได้ตามต้องการ

จอภาพ (Cathode Ray Tube) หรือที่เรียกกันทั่วไปว่า " จอ CRT " ทั้งที่ใช้ในโทรทัศน์ และออสซิลโลสโคป มีส่วนประกอบที่สำคัญเหมือนกันคือ

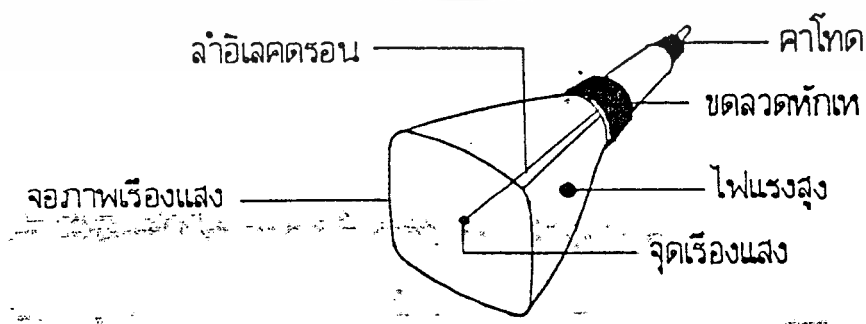
1. จอภาพ (phosphorescent screen) เป็นส่วนฉากที่แสดงภาพ ฉาบด้วยสารเรืองแสงเมื่อถูกกระทบด้วยลำอิเล็กตรอน

2. ไล์หลอด (electron gun) ทำหน้าที่ปล่อยอิเล็กตรอนเมื่อได้รับความร้อนเพื่อไปกระทบจอภาพ

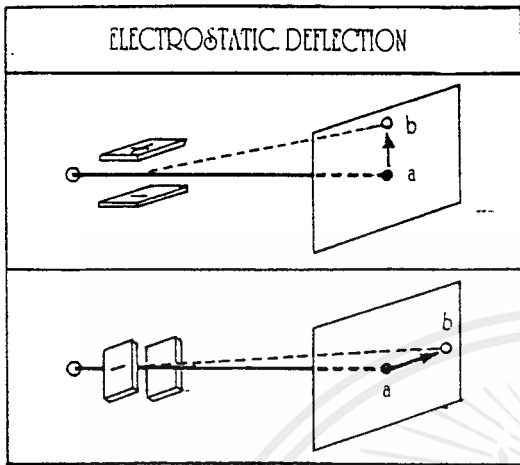
3. ส่วนโฟกัสภาพ (focus) เป็นส่วนโฟกัสให้อิเล็กตรอนมารวมกันเป็นจุดๆ เดียว เพื่อให้ภาพมีความคมชัด โดยใช้สนามไฟฟ้าหักเหลำอิเล็กตรอน และมีส่วนกริด (grid) เร่งลำอิเล็กตรอนให้ไปชนจอภาพ

4. ส่วนคาโทด (cathode) เป็นส่วนควบคุมความสว่าง หรือความเข้มของจอภาพ โดยควบคุมปริมาณลำอิเล็กตรอนที่จะไปชนจอภาพ ซึ่งส่วนนี้จะถูกควบคุมโดยสัญญาณภาพ (video)

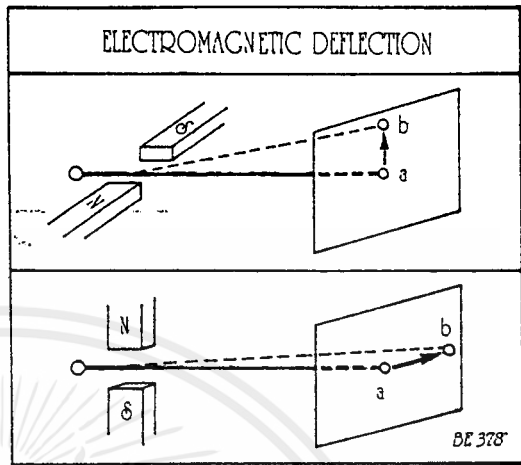
5. ส่วนหักเหลำอิเล็กตรอน (deflection) เป็นส่วนที่เบี่ยงเบนลำอิเล็กตรอนให้เกิดการสแกนเป็นภาพขึ้นบนจอ ซึ่งจะต้องประกอบขึ้นจากการสแกนใน 2 แนว คือ ทางแนวนอน เป็นการกวาดจากซ้ายไปขวา ส่วนทางแนวตั้งเป็นการกวาดของสัญญาณอินพุต (input) แรงที่ใช้ในการหักเหลำอิเล็กตรอนจะเกิดสนามต่างชนิดกัน ระหว่างออสซิลโลสโคปกับโทรทัศน์ ในออสซิลโลสโคปจะใช้สนามไฟฟ้า ใช้คัตตาไฟฟ้า (voltage) เป็นสัญญาณควบคุม ส่วนในจอภาพโทรทัศน์จะใช้สนามแม่เหล็ก โดยขดลวดหักเห (deflection yoke) ซึ่งใช้กระแสเป็นสัญญาณควบคุมดังแสดงในรูปที่ 2.5 ข้อดีของการหักเหด้วยสนามแม่เหล็ก คือ สามารถหักเหได้มุมที่กว้างกว่าแบบสนามไฟฟ้า เมื่อเปรียบเทียบกับจอขนาดเดียวกัน ทำให้ความยาวของหลอดภาพโทรทัศน์จะสั้นกว่าหลอดออสซิลโลสโคปมาก และมีราคาถูกกว่า แต่เพราะมีมุมหักเหมากจึงทำให้ไม่มีความเป็นเชิงเส้น (linearity) ที่บริเวณขอบของจอ ส่วนจอออสซิลโลสโคปจะเป็นเชิงเส้นตลอดทั้งจอ



ก.



ข.



รูปที่ 2.5 แสดงการหักเหด้วยสนามไฟฟ้า และสนามแม่เหล็ก

6. ส่วนหัวอานอด (anode) ที่ขั้วนี้จะป้อนแรงดันไฟสูงโดยฉาบสารนำไฟฟ้า (aqueous) ที่บริเวณหลังจอภาพ และคอหลอด ทำให้เกิดสนามไฟฟ้าความเข้มสูงกระจายอยู่รอบบริเวณนี้ อิเล็กตรอนจึงถูกเร่งไปกระทบจอภาพ

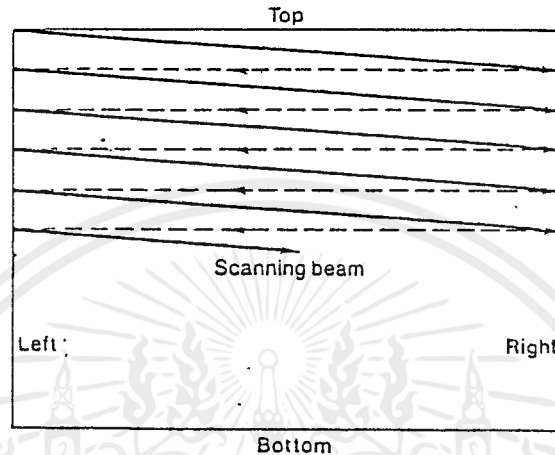
2.4 หลักการแสดงสัญญาณภาพของโทรทัศน์

การที่ภาพโทรทัศน์เกิดการเคลื่อนไหวได้นั้นเนื่องมาจากการแสดงภาพนิ่งหลายๆ ภาพด้วยความเร็วค่าหนึ่งเป็นจำนวนภาพต่อเวลา (เหมือนกับการฉายภาพยนตร์) ทำให้ตามนุษย์ไม่สามารถแยกออกว่าเป็นภาพนิ่งแต่ละภาพและเห็นเป็นภาพซึ่งเคลื่อนไหว

ภาพนิ่งแต่ละภาพจะประกอบด้วยกลุ่มของจุดแสงสีขาวและดำ ซึ่งรายละเอียดเหล่านี้จะประกอบกันขึ้นและให้ภาพออกมา ในที่นี้เราจะพิจารณาเฉพาะขาวดำหรือ monochrome เท่านั้น เพราะสามารถประยุกต์ไปอธิบายกับภาพสีได้

องค์ประกอบของภาพประกอบด้วยการจัดเรียงของจุดขาวและดำ ไม่ว่าจะเป็นรูปภาพหรือภาพจากโทรทัศน์จุดขาวดำเหล่านี้จะเรียกว่า picture detail หรือ picture element หรือนิยมเรียกว่า pixel หรือ pel

รูปที่เกิดบนจอโทรทัศน์ เกิดจากการสแกนตามลำดับของ เส้นสแกนตามแนวนอน (horizontal scanline) ดังรูปที่ 2.6 การสแกนนี้จะนำสัญญาณภาพ ซึ่งมีองค์ประกอบของ ภาพทั้งหมดมาแสดงตามลำดับของเวลา



รูปที่ 2.6 วิธีสแกนแบบ horizontal linear scanning

การสแกนของโทรทัศน์จะสแกนจากบนลงล่างและจากซ้ายไปขวาดังรูปที่ 2.6 วิธีนี้ เรียกว่า horizontal linear scanning

ลำดับของการสแกนมีดังนี้

1. ลำโวลเลคตรอนจะกวาดไปตามแนวนอนลำโวลเลคตรอนนี้จะประกอบไปด้วย picture element ของเส้นสแกนเส้นนั้น
2. ที่ขวาลสุดของเส้นสแกน ลำโวลเลคตรอนจะกลับมทางซ้ายด้วยความเร็วสูงมาก เพื่อมาเป็นเส้นสแกนเส้นใหม่ต่อไป ช่วงเวลาในการสลับกลับมาเรียกว่า retrace หรือ flyblack จะไม่มีการแสดงภาพเมื่อเกิดการสลับกลับ
3. เมื่อลำโวลเลคตรอน สลับมายังด้านซ้าย ตำแหน่งทางแนวตั้งก็จะต่ำลงเรื่อย ๆ เรียกว่าเกิดการสแกนทางแนวตั้ง และเมื่อลำโวลเลคตรอนถึงด้านล่างสุดก็เกิดการสลับกลับทางแนวตั้ง (vertical retrace)

ดังนั้นการสแกนภาพจะประกอบไปด้วยการสแกนทางแนวนอน (horizontal scanning) และการสแกนทางแนวตั้ง (vertical scanning) จำนวนเส้นสแกนสำหรับภาพหนึ่งสมบรูณ์ 1 ภาพควรมีค่ามากเพื่อให้ได้ความละเอียดของภาพสูง อย่างไรก็ตาม จะมีปัจจัยอื่นๆที่เป็นตัวจำกัดจำนวนเส้นสแกนแต่ตามมาตรฐานจะมี 525 เส้น หรือ 625 เส้นสแกน สำหรับภาพหนึ่งสมบรูณ์ 1 ภาพหรือ 1 frame เวลาที่ใช้ในการสแกนภาพ 1 frame ของ 625 เส้นสแกนคือ $1/25$ s. ดังนั้นจำนวนภาพในหนึ่งวินาที หรือความถี่ของ frame คือ 25 frame/s. หรือ 25 Hz เมื่อตามองเห็นภาพซึ่งเกิดจากแสงที่มาตกกระทบภาพแล้วสะท้อนเข้าตา เมื่อภาพนั้นถูกนำออกไปแล้วแต่ความคงอยู่ของภาพจะ ยังคงปรากฏอยู่ในตา เป็นเวลาเศษส่วนของวินาที ซึ่งเป็นคุณสมบัติที่เรียกว่า persistence of vision ถ้าเราแสดงภาพนิ่งหลายๆภาพติดต่อกันไปในช่วงเวลาของ persistence of vision ของตานี้ก็จะทำให้เห็นเป็นภาพเคลื่อนไหวได้ ซึ่งโดยอาศัยหลักการนี้โทรทัศน์ก็จะสแกนภาพด้วยความเร็วสูงพอที่ตาจะเห็นเป็นภาพเคลื่อนไหวได้จำนวนภาพหนึ่งอย่างต่ำต้องมากกว่า 16 ภาพ/วินาที

ถ้าสมมติว่าใช้ความเร็วของภาพนิ่งเป็น 24 frame/s. ความเร็วนี้พอเพียงสำหรับตามนุษย์ในการทำให้เห็นภาพเคลื่อนไหวได้ แต่ความสว่างหรือ brightness ของภาพจะไม่สม่ำเสมอ คือเมื่อเส้นสแกน สแกนมาถึงด้านล่างของจอภาพและอยู่ในระหว่างเริ่ม frame ใหม่จะทำให้ด้านบนมืดแต่ด้านล่างสว่าง ปรากฏการณ์นี้เรียกว่า flicker ของแสงจะทำให้จอสว่างและมืดสลับกันไป

วิธีการแก้ไขก็คือแสดงภาพนิ่ง 24 ภาพ/วินาที แต่ว่าในแต่ละ frame จะแสดงสองครั้ง นั่นหมายความว่าแสดงภาพนิ่ง 48 ภาพ/วินาที ในแต่ละภาพนิ่งจะแสดง 2 ครั้งแต่ยังคงเป็น 24 ภาพ/วินาที เช่นเดิม

ในการสร้างให้เห็นการเคลื่อนไหวนั้น ความถี่ของภาพนิ่งจะต้องมีความถี่เพียงพอในทางปฏิบัติจะใช้ 25 ภาพ/วินาที แต่ยังไม่เพียงพอที่จะทำให้ flicker ของภาพหายไป วิธีแก้ไข คือ แบ่งภาพใน 1 frame ให้ออกเป็น 2 ส่วน คือ จะเป็น 50 ภาพ/วินาที แล้วแบ่งการสแกนของเส้นสแกนเป็น 2 ชนิด คือ ชุดแรกเป็นการสแกนเส้นคี่และชุดหลังเป็นการสแกนเส้นคู่ แต่ละชุดของเส้นสแกนจะเรียกว่า field คือ field คี่ และ field คู่ เพราะฉะนั้น 1 frame จะมี 2 field เรียกวิธีนี้ว่า วิธีการสแกนแบบ interlacing scanning

ความถี่ของ field คือ 50 Hz นั่นคือเป็นความถี่ของการสแกนทางด้าน vertical ด้วย ดังนั้นจำนวนเส้นสแกนทางแนวนอนในหนึ่ง field จะเป็นครึ่งหนึ่งของ 625 เส้น ซึ่งเป็นจำนวนเส้นสแกนทั้งหมดใน 1 frame นั่นคือ 312.5 เส้น

เวลาใน 1 field คือ $1/50 \text{ s.}$ และจำนวนเส้นสแกนใน 1 field เป็น 312.5 เส้น ดังนั้น จำนวนเส้นสแกนทั้งหมดต่อวินาที คือ

$$312.5 \times 50 = 15,625 \text{ เส้น}$$

หรือพิจารณาจาก 625 เส้นใน 1 frame เวลาในการแสดง 1 frame คือ $1/25 \text{ s.}$

$$625 \times 25 = 15,625 \text{ เส้น}$$

ความถี่ $15,625 \text{ Hz}$ คือ การที่ลำอิเล็กตรอนเสร็จสิ้นการสแกนทางด้าน horizontal จากซ้ายไปขวาและกลับมาทางด้านซ้ายอีกครั้ง

$$\text{เวลาของการสแกนทางด้าน hor คือ } 1/15,625 = 64 \mu\text{s.} = 1H$$

การ blank หมายถึง การไม่ให้มีการแสดงภาพในช่วงที่เส้นสแกนสับกลับ (retrace) และสัญญาณ blank จะเป็นส่วนหนึ่งของสัญญาณ video ที่มีระดับเป็นมืดหรือ blank level สัญญาณ blank ทางด้าน hor จะมีความถี่ $15,625 \text{ Hz}$ เท่ากับความถี่ของสัญญาณ hor synch และจะ blank สัญญาณ retrace จากซ้ายไปขวา และสัญญาณ blank ทางด้าน ver จะมีความถี่ 50 Hz เท่ากับความถี่ของสัญญาณ ver sync และจะ blank สัญญาณจากด้านล่างของ monitor จากด้านล่างไปถึงด้านบน

เวลาที่ใช้ในการ blank ทางด้าน hor จะมีค่าประมาณ 16% ของสัญญาณ H (horizontal line time) เวลาของสัญญาณ H คือ $64 \mu\text{s}$ นี้รวมทั้งการtrace และ retrace คือการสับจากซ้ายไปขวา และขวามาซ้าย เพราะฉะนั้นเวลาในการ blank สำหรับแต่ละเส้นสแกนคือ $64 \times 0.16 = 10.24 \mu\text{s.}$ หมายความว่า การ retrace จากขวากลับมาทางด้านซ้ายจะต้องเสร็จงานในเวลา $10.24 \mu\text{s}$ ก่อนที่จะเริ่มต้นเส้นสแกนเส้นใหม่จากซ้ายมาขวา

เวลาที่ใช้ในการ blank ทางด้าน ver จะมีค่าประมาณ 8% ของ v (vertical line time) เวลาของ V คือ $1/50 \text{ s.}$ รวมทั้งการ trace จากทางด้านบนลงทางด้านล่างของจอ จนกระทั่ง retrace จากด้านล่างขึ้นด้านบนของจอ เพราะฉะนั้นเวลาในการ blank สำหรับแต่ละ field คือ $1/50 \times 0.08 = 1.6 \text{ ms.}$ vertical blanking time

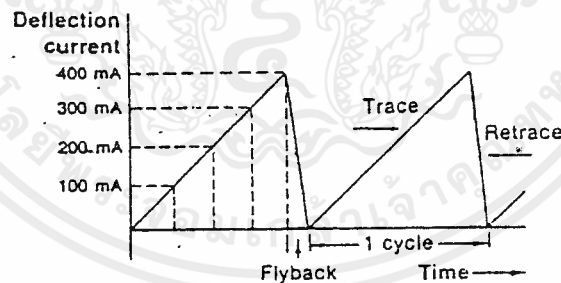
เป็น 1.6 ms หมายความว่าเวลาที่ใช้ในการ retrace จากด้านล่างของจอภาพไปจนถึงด้านบนจะต้องเสร็จภายใน 1.3 ms.

การ retrace จะเกิดในช่วงเวลาของการ blank เท่านั้น และสัญญาณ synch จะเป็นตัวกำหนดการเริ่มต้นของการ retrace ทั้งด้าน hor และ ver

ตำแหน่งของ hor synch ใน video signal จะอยู่ภายใน hor blank และตำแหน่งของ ver synch ก็จะอยู่ภายใน ver blank ด้วย

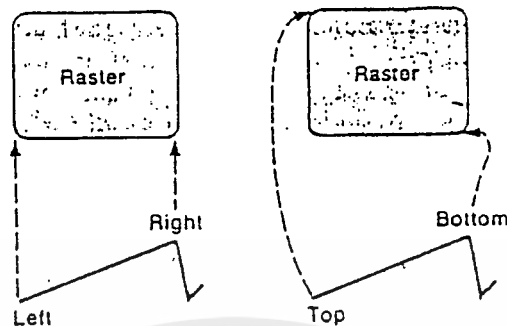
พิจารณาจากรูปที่ 2.7 เป็นสัญญาณ sawtooth ที่ทำให้เกิดการสแกนของลำอิเล็กตรอนทั้งทางด้าน hor และ ver สมมติว่ากระแส 100 mA. จะทำให้เกิดการเบี่ยงเบนของลำอิเล็กตรอนไป 5 นิ้ว ดังนั้นกระแส 400 mA. จะทำให้ลำอิเล็กตรอนเบี่ยงเบนไป $4 \times 5 = 20$ นิ้ว

การเพิ่มอย่างต่อเนื่องของกระแสของ horizontal deflection coil หรือขดลวดเบี่ยงเบนทางแนวนอน จะทำให้เกิดการเคลื่อนที่ของลำอิเล็กตรอน จากซ้ายไปขวา และเมื่อพิจารณาจากรูปที่ 2.7 เมื่อกระแสเพิ่มขึ้นถึง 400 mA แล้วจะลดลงอย่างรวดเร็ว การลดลงนี้จะอยู่ในช่วงการสับกลับ (retrace) หรือว่า flyback



รูปที่ 2.7 แสดง sawtooth scanning waveform สำหรับการเบี่ยงเบน H และ V

การ trace ทางด้าน hor จะเริ่มต้นตั้งแต่ทางด้านขอบซ้ายของ raster ไปจนกระทั่งถึงขอบขวาของ raster ในขณะที่ช่วง flyback จะทำให้ลำอิเล็กตรอนกลับมาทางขอบซ้ายของ raster อีกครั้งดังรูป 2.8



รูปที่ 2.8 การเทรซ และรีเทรซ เทียบกับ sawtooth scanning waveform

การเพิ่มขึ้นอย่างต่อเนื่องของกระแสของ vertical deflection coil จะทำให้ลำอิเล็กตรอนเคลื่อนที่จากทางด้านบนของ (raster) มายังทางด้านล่าง ในขณะที่ลำอิเล็กตรอนเบี่ยงเบนในช่วง hor นั้นกระแส sawtooth ทางด้าน ver จะทำให้ลำอิเล็กตรอนเคลื่อนที่ลงมาทางด้านล่างด้วยความเร็วคงที่

ทั้งการ trace และ retrace จะรวมกันเป็นหนึ่งคาบของ sawtooth wave เนื่องจากจำนวนของเส้นสแกนในแนว horizontal deflection หรือความถี่ sawtooth จะเป็น $15,625 \text{ H}_z$ ด้วย สำหรับ vertical deflection ความถี่ของ sawtooth จะเท่ากับ 50 H_z (field scanning rate)

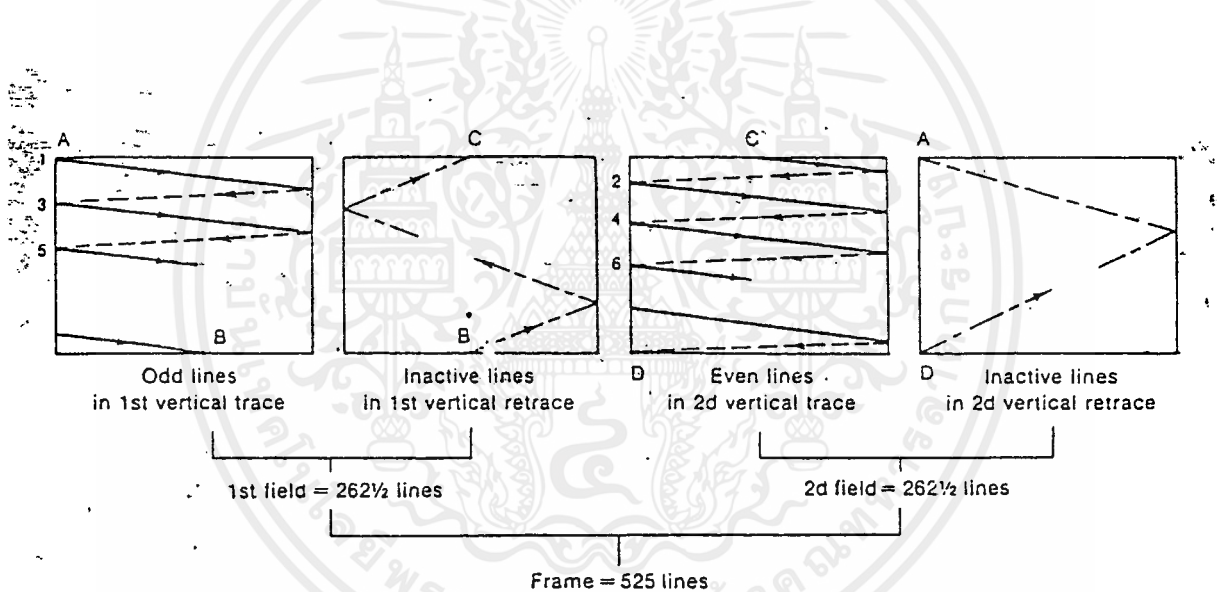
ในการสแกนทางด้าน ver ความถี่ 50 H_z จะต่ำกว่าการสแกนทางด้าน hor มากคือ $15,625 \text{ H}_z$ ผลก็คือ จะมีเส้นสแกนทางด้าน hor เป็นจำนวนมากในระหว่างการสแกนทางด้าน ver เราจึงกล่าวได้ว่าการสแกนทางด้าน ver จะทำให้จำนวนเส้นสแกนทางด้าน hor เต็ม raster จากบนถึงล่างของจอมอนิเตอร์

ในช่วงเวลา flyblack ทั้ง hor และ ver จะถูก blank ดังนั้นช่วง retrace ของ sawtooth จะต้องใช้เวลาสั้นที่สุดเท่าที่จะทำได้ สำหรับทางด้าน hor เวลาของการ

retrace ของ sawtooth จะประมาณ 10% ของเวลาใน 1 คาบของ sawtooth จาก 64 μ s. คือ 6.4 μ s. เป็นเวลาของการ retrace ทางด้าน hor หรือเรียกว่า flyblack time เป็นเวลาที่เร็วที่สุดในทางปฏิบัติ แต่ในทางทฤษฎีควรจะให้มันน้อยที่สุดเท่าที่จะทำได้

สำหรับด้าน ver flyblack time จะต้องน้อยกว่า 5% ของคาบเวลาของ sawtooth ทางด้าน ver สมมติว่า vertical retrace เป็น 3% จะได้ว่า flyblack time เท่ากับ 600 μ s. ถึงแม้ว่า vertical retrace จะมีค่าน้อยกว่า vertical trace ก็ตามแต่ยังมีค่ามากกว่าเวลาของการสแกนทางด้าน hor คือ 64 μ s. ดังนั้นในเวลากการ retrace ทางด้าน ver 600 μ s. จะมีเส้นสแกนทางด้าน hor ประมาณ $600 \mu\text{s.} / 64 \mu\text{s.} = 9.375$ เส้น

การสแกนแบบ interlace



รูปที่ 2.9 รูปแบบการสแกนแบบ interlace ประกอบด้วย 2 ฟิลด์ ใน 1 เฟรม

เป็นการแสดงภาพนิ่งหนึ่งภาพ โดยแบ่งเป็น 2 field โดยที่ครั้งแรกจะสแกนด้วยเส้นสแกนที่เป็นเลขคี่จากบนสุดมาล่างของจอภาพ แต่เส้นสแกนที่เป็นเลขคู่จะถูกข้ามไปก่อนเรียกว่าการสแกน field คี่ หลังจากการสแกนทางด้าน ver เสร็จแล้ว ลำโวลิตรอนจะ retrace กลับขึ้นไปทางด้านบนของ (raster) จากนั้นการสแกนเส้นสแกนที่เป็นเลขคู่จะเริ่มขึ้นหลังจากที่โดนข้ามไปเมื่อเกิดการสแกน field คี่ เริ่มจากบนลงล่างอีกครั้งเรียกรการสแกนนี้ว่า

การสแกน field คู่ ดังนั้นแต่ละ frame จะถูกแบ่งออกเป็น 2 field คือ field คู่ จะสแกนเฉพาะเส้นคี่ของ frame และ field คู่ จะแสดงเฉพาะเส้นสแกนที่เป็นเส้นคู่ของ frame เพราะฉะนั้นความถี่ของ field คือ 50 ภาพ/วินาที และความถี่ของ vertical scanning จะเป็น 50 Hz

รูปแบบของการสแกนเส้นคี่ ดังแสดงในรูปที่ 2.9 โดยเริ่มตั้งแต่มุมบนซ้ายของจอที่จุด A และเป็นจุดเริ่มต้นของ frame จากรูปเส้นสแกนที่ 1 ลำโวลตรอนจะกวาดข้าม frame จากซ้ายมาขวาด้วยความเร็วคงที่และประกอบไปด้วยสัญญาณภาพใน 1 เส้นสแกนทางด้าน hor และ ที่จุดปลายของการ trace ด้วยความเร็วสูงจากขวาไปซ้ายของ frame ดังแสดงโดยเส้นประตามรูปที่ 2.9 เพื่อที่จะเริ่มแสดงเส้นสแกนที่ 3

สังเกตว่าเส้นสแกนทางด้าน hor จะมี slope เอียงลงเป็นเพราะว่ามีการสแกนทางด้าน ver พร้อมกันไปด้วยแต่ช้ากว่าการสแกนทางด้าน hor และ slope ของการสแกนจากซ้ายมาขวามีมากกว่าการสแกนจากขวาไปซ้าย (retrace) เหตุผลก็คือ การ retrace มีความเร็วมากกว่าการ trace

หลังจากเส้นสแกนแรกถูกสแกนไปแล้ว ลำโวลตรอนจะมาอยู่ทางด้านซ้ายของ frame และพร้อมที่จะสแกนเส้นสแกนที่ 3 โดยละเส้นสแกน 2 ไว้ก่อนการข้ามจะทำโดยการเพิ่มความถี่ทางด้าน ver จาก 25 Hz เป็น 50 Hz ดังนั้นเมื่อสแกนจากบนสุดลงมาล่างสุดจะได้เส้นสแกน field คี่ทั้งหมด 312.5 เส้น ลำโวลตรอนจะแสดงเส้นสแกนคี่จนในที่สุดจะมาถึงตำแหน่ง B ตามรูปที่ 4 เป็นจุดต่ำสุดของ frame และที่นี้จะได้เส้นสแกน 312.5 เส้นพอดี ณ เวลาที่จุด B การ retrace ทางด้าน ver จะ เริ่มขึ้นเพราะถึงช่วง flyblack ของ sawtooth ทางด้าน ver ดังนั้นลำโวลตรอนจะกลับไปยังด้านบนของ frame เพื่อที่จะแสดง field ที่ 2 หรือ field คู่ ดังแสดงในรูปที่ 4 ลำโวลตรอนจะเคลื่อนที่จากจุด B มายังจุด C

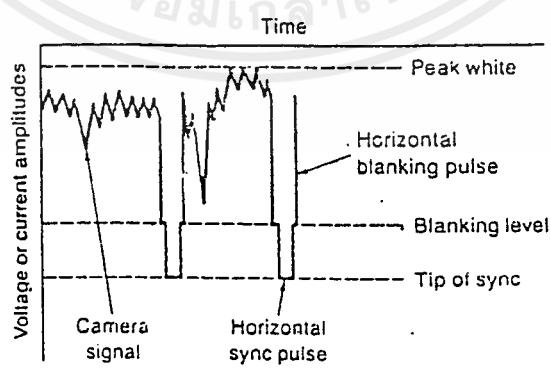
การ retrace ทางด้าน ver นี้จะมีความยาวนานพอที่จะมีการสแกนทางด้าน hor เกิดขึ้นหลายเส้นเราเรียกว่า vertical retrace line หมายความว่า มีการสแกนทางด้าน hor ในช่วง vertical flyblack และ vertical retrace lines จะมี slope เอียงขึ้นเพราะว่าลำโวลตรอนกำลังเคลื่อนที่ขึ้นขณะที่กำลังมีการสแกนทางด้าน hor slope ของ vertical retrace lines นี้จะมีค่ามากกว่า slope ขณะที่อยู่ในช่วง

vertical trace เพราะว่าในการ flyblack จะมีค่าน้อยกว่า vertical retrace และ
เส้นสแกนทุกเส้นที่อยู่ในช่วง vertical retrace จะมองไม่เห็นเพราะจะอยู่ในช่วง ver-
blank

การสแกนทางด้าน hor ของ field ที่ 2 จะเริ่มขึ้นจากจุด C ดังรูปที่ 2.9 จุด
นี้จะอยู่ตรงกลางเส้นสแกนทางด้าน hor เพราะ field แรกได้แสดงไปแล้ว 312.5 เส้นจาก
จุด C นี้จะเริ่มสแกนเส้นสแกนทางด้าน hor ที่เป็นเส้นคู่ ดังนั้นลำอิเล็กตรอนจะสแกนอยู่ระหว่าง
เส้นสแกนทางด้าน hor ที่เป็นเส้นคี่ การสแกนจะสแกนเส้นสแกนทางด้าน hor ที่เป็นเส้นคู่ที่ถูก
ละไว้ตอนแสดง field คี่ ส่วนการสแกนทางด้าน ver จะยังคงเหมือนกับการสแกนทางด้าน ver
ทางด้าน field คี่ หมายความว่าเส้นสแกนทางด้าน hor จะมี slope ต่ำลงมาทาง ver เท่า
กับเมื่อแสดง field คี่ ผลก็คือ เส้นสแกนของ field จะต่ำลงมาเรื่อยๆ จนถึงจุด D

การ retrace ทางด้าน ver ของ field ที่ 2 นี้จะเริ่มตั้งแต่จุด D ดังรูปที่
2.9 vertical flyblack จะทำให้ลำอิเล็กตรอนกลับมาสู่ด้านบนของจออีกครั้ง และลำอิ-
เลกตรอนจะสิ้นสุดการ retrace ทางด้าน vertical ที่จุด A และที่จุด A นี้การสแกนจะสิ้นสุด
ลงทั้งสอง field หรือ 1 frame และพร้อมที่จะสแกน field ที่ 3

การแสดงของ field คี่ จะเริ่มที่จุด A ส่วนการสแกน field คู่ จะเริ่มที่จุด C
และจะอยู่ในระดับแวนอนเดียวกัน มี slope เท่ากัน แต่ว่าจะต่างกันอยู่ครึ่งเส้นสแกนนี้จะทำให้
เส้นสแกนที่เป็นเส้นคี่ของ field คี่ อยู่ระหว่างเส้นสแกนที่เป็นเส้นคู่ของ field คู่ เรียกหลัก
การสแกนแบบนี้ว่า interlaced scanning



รูปที่ 2.10 แสดง VIDEO SIGNAL

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อ ก 2-15 เท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

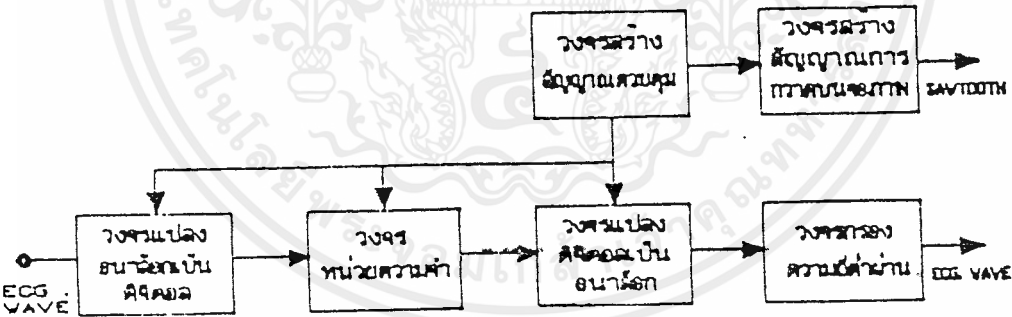
จากรูปที่ 2.10 เป็นรูป video signal ทางด้านซ้ายสุดคือ information ของภาพหรือเรียกว่า camera signal ซึ่งขนาดของ amplitude จะเป็นตัวบอกระดับความสว่างของภาพ ขาว เทา ดำ เมื่อสิ้นสุด information ของภาพจะเป็นสัญญาณ hor blank pulse ซึ่งมี amplitude อยู่ในระดับดำ ถัดมาจะเป็น hor synch pulse ซึ่งอยู่ต่ำกว่าระดับดำ จะเรียกระดับ amplitude ของ synch pulse ว่า blacker than black และที่กล่าวมาแล้วข้างต้นเรียกว่า composite video signal ขนาดมาตรฐานของสัญญาณ video คือ $1\text{ V}_{\text{p-p}}$ กับ synch pulse



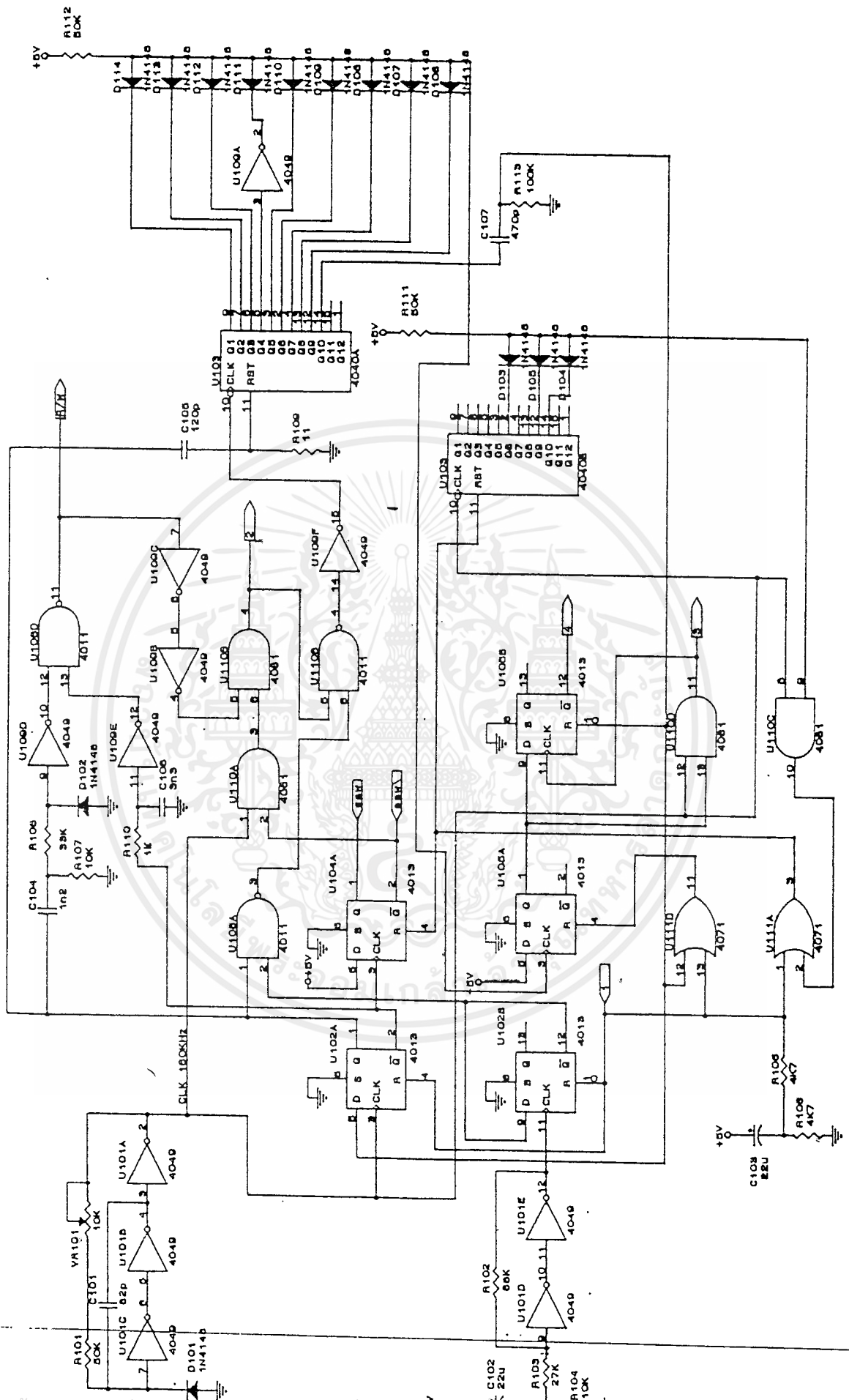
บทที่ 3 การออกแบบและการทำงานของวงจร

ในบทนี้จะกล่าวถึงรายละเอียดของวงจร ส่วนการแสดงผลของ ICU MONITOR ซึ่งเป็นการนำเอาสัญญาณคลื่นไฟฟ้าหัวใจซึ่งมีความถี่ต่ำ มาแสดงออกจอภาพเพื่อที่จะนำมาศึกษา และนำมาวิเคราะห์ ในส่วนของวงจรนี้จะประกอบด้วย วงจรส่วนแสดงรูปคลื่นสัญญาณ ส่วนของวงจรสร้างสัญญาณฟันเลื่อย ส่วนของวงจรสร้างสัญญาณภาพ ส่วนของวงจรขยายกำลัง และสร้างแรงดันไฟสูง ซึ่งใช้ในส่วนของวงจรขับเคลื่อนหลอดทึบ ในส่วนของโครงงานนี้จะต้องใช้วงจรที่มีความสามารถในการจ่ายกระแสสูงๆ เนื่องจากในส่วนของการแสดงผลที่จอมอนิเตอร์สามารถใช้ได้กับจอขนาด 3.5-20 นิ้ว จึงต้องมีการจ่ายกระแสสูงๆในการขับเคลื่อนหลอดทึบ และในส่วนของวงจรสร้างแรงดันไฟสูง รายละเอียดของวงจร และ การทำงานของวงจรต่างๆ สามารถที่จะศึกษาได้ดังนี้

3.1 วงจรแสดงรูปคลื่นสัญญาณ



รูปที่ 3.1 แสดงบล็อกไดอะแกรม ของส่วนแสดงรูปคลื่นสัญญาณ



รูปที่ 3.2 แสดงวงจรสร้างสัญญาณความถี่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่ควรนำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

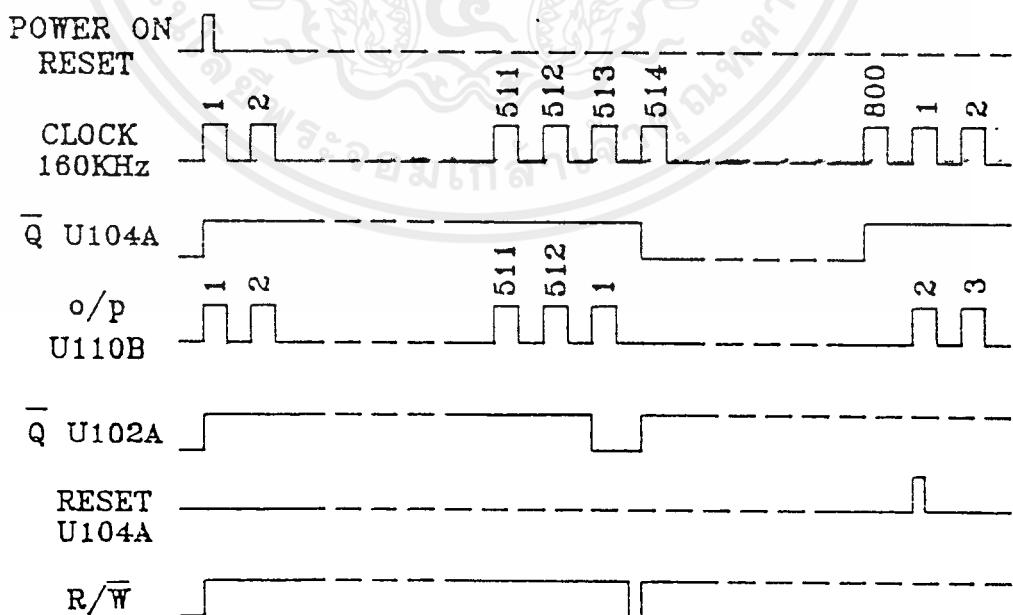
3.1.1 วงจรสร้างสัญญาณควบคุม (Clock Generator)

ในการออกแบบการทำงานของวงจรสร้างสัญญาณควบคุมเพื่อนำสัญญาณไปควบคุมการทำงานของวงจรต่าง ๆ แสดงวงจรได้ดังรูปที่ 3.2 มีการทำงานของวงจรดังนี้ วงจรสัญญาณนาฬิกาไอซี U_{101c} , U_{101b} และ U_{101a} ประกอบกันเข้าเป็นวงจรแบบริงออสซิลเลเตอร์ ซึ่งจะให้สัญญาณคลื่นสี่เหลี่ยมออกมาที่มีความถี่ 160 KHz สัญญาณพัลส์นี้จะถูกนำมาใช้เป็นฐานเวลาให้กับวงจรทั้งหมด

สัญญาณนาฬิกาที่ถูกนำไปใช้ในการสร้างสัญญาณควบคุมส่วนต่าง ๆ ดังนี้

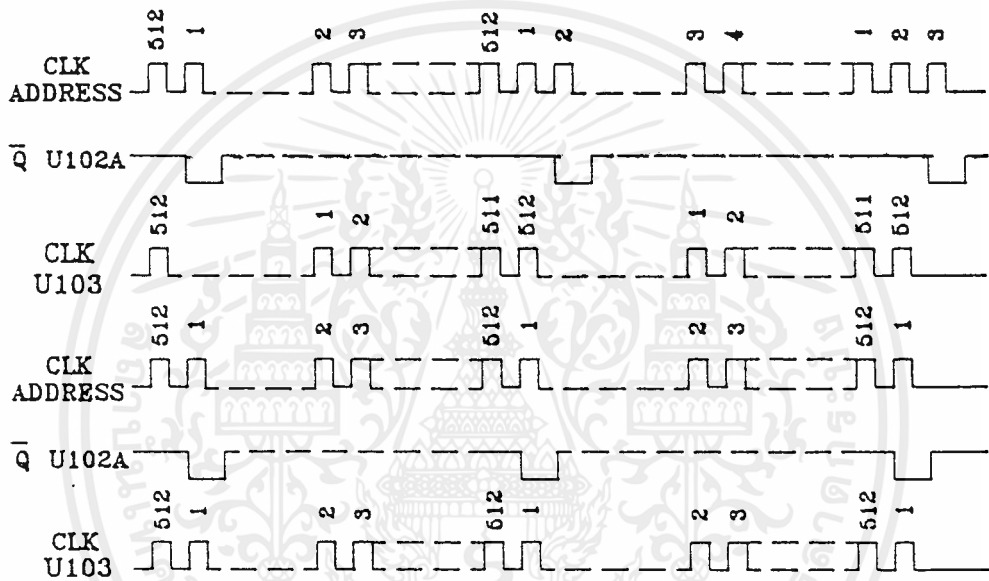
3.1.1.1 วงจรควบคุมการสร้างไซเคิลการแสดงผล (Trace / Retrace Control)

โดยนำสัญญาณนาฬิกา 160 KHz มาเข้าวงจรนับ 800 ที่ขา CLK ของไอซี 4040B ซึ่งเป็น 12 stage binary ripple counter แบบนับขึ้น โดยตีโค้ดให้นับถึง 800 แล้วรีเซ็ตนับ 1 ใหม่จะได้คาบเวลา 1 รอบของการแสดงผลเท่ากับ 5 ms ในขณะที่สัญญาณนาฬิกาที่ยังมาเข้าวงจรนับ 512 ที่ไอซี 4040A (U_{102a}) ซึ่งตีโค้ดไว้ โดยการนำสัญญาณที่ขา Q_{10} กลับมารีเซ็ตตัวเองให้เริ่มการนับใหม่สัญญาณนี้ยังนำไปเข้าดีฟลิปฟล็อป เพื่อเป็นสัญญาณควบคุมการสร้างสัญญาณเฟ้นเลือก สัญญาณเอาต์พุตเอนเนเบิล (OE) ของหน่วยความจำ และ สัญญาณการเทรซ (การอ่านข้อมูลออกมาแสดงผลบนจอ) นอกจากนี้ยังมาสร้างเป็นสัญญาณการเขียน/อ่านหน่วยความจำ โดยผ่านวงจรเกท



รูปที่ 3.3 แสดงเวลาในการแสดงผล 1 รอบ

ในกรณีที่ต้องการให้คลื่นสัญญาณไฟฟ้าหัวใจหยุดนิ่ง ที่ไอซี 4040A จะนับถึง 512 ในช่วงของเทรซ และจะมีสัญญาณนาฬิกาเกิดมาอีก 1 ลูก ในช่วงการรีเทรซจึงทำให้เกิดการนับต่อโดยเริ่ม 1 ใหม่ แล้วจะหยุดการนับจนกว่าจะถึงไซเคิลการแสดงผลครั้งถัดไป แต่ถ้าต้องการแสดงคลื่นไฟฟ้าต่อเนื่องไอซี 4040A จะนับ 512 ในช่วงของเทรซ ส่วนในช่วงรีเทรซนั้นสัญญาณนาฬิกา 1 ลูก ที่เกิดมานี้จะถูกวงจรเกททำให้หายไป จึงไม่มีการนับต่อ และจะคงสถานะนี้จนถึงช่วงการเทรซครั้งต่อไป



รูปที่ 3.4 แสดงเวลาของแอดเดรสหน่วยความจำ

3.1.1.2 วงจรควบคุมการทำงานของหน่วยความจำ (Memory Control)

วงจรควบคุมแอดเดรสของหน่วยความจำ จะใช้วงจรนับไอซี 4040C ซึ่งมีสัญญาณนาฬิกาเดียวกับไอซี 4040A เป็นสัญญาณควบคุมการนับ โดยใช้สัญญาณเอาต์พุตขา Q_1-Q_5 เป็นแอดเดรสเคาน์เตอร์ (Address Counter) ของหน่วยความจำ การเขียนข้อมูลลงในหน่วยความจำจะทำในช่วงเวลาการรีเทรซโดยสัญญาณจะเป็นพัลส์แคบ ๆ เวลาในการเขียนจะสั้นมากที่สุดในรอบการเขียนสัญญาณที่ไม่ต้องการจากส่วนอื่นๆ ของวงจร ส่วนสัญญาณการอ่านข้อมูลจะอ่านในช่วงเวลาการเทรซ

พิจารณารูปที่ 3.4 การแสดงผลในกรณีที่ภาพสัญญาณไฟฟ้าหัวใจเคลื่อนที่ไอซี4040A จะนับถึง 512 ในช่วงการเทรซ แล้วหยุดการนับ ซึ่งสถานะนี้จะคงค้างอยู่ในช่วงรีเทรซจนกว่าจะถึงการเทรซครั้งถัดไป จึงจะทำการนับต่อไป ส่วนไอซี 4040C จะทำการนับด้วยสัญญาณนาฬิกาเดียวกันกับไอซี 4040A ฉะนั้นจึงนับได้ 512 ครั้งพร้อมกันในช่วงการเทรซ แต่ในช่วงเวลาการรีเทรซสัญญาณนาฬิกาที่เข้าไอซี 4040C นี้จะไม่ผ่านวงจรเกตเหมือนกับไอซี 4040A จึงทำให้มีสัญญาณนาฬิกาเกิดขึ้นในช่วงนี้อีก 1 ลูก ก่อนที่จะค้างสถานะไว้รอการเทรซครั้งต่อไป ทำให้ไอซี 4040C มีสถานะของแอดเดรสอยู่ที่ 1 และในช่วงเวลานี้จะมีการเขียนข้อมูล จึงเขียนลงที่แอดเดรส 1 ของหน่วยความจำ พิจารณาการแสดงผลครั้งถัดมา สัญญาณนาฬิกาลูกแรกเข้ามาที่ ไอซี 4040A ซึ่งเริ่มนับจากแอดเดรสที่ 1 ในขณะที่ไอซี 4040C เริ่มต้นที่แอดเดรส 2 เป็นการอ่านข้อมูลที่แสดงผล เมื่อไอซี 4040A นับถึง 512 ก็หยุดการนับ ในขณะที่ไอซี 4040C นับไป 512 ครั้งเท่านั้น ซึ่งแอดเดรสขณะนี้ที่แอดเดรส 1 แล้วเข้าสู่ช่วงรีเทรซ จะมีสัญญาณนาฬิกาอีก 1 ลูก ทำให้ไอซี 4040C นับต่อเป็นแอดเดรสที่ 2 และเกิดการเขียนข้อมูลลงหน่วยความจำที่แอดเดรสนี้ แล้วเตรียมเข้าสู่การอ่านข้อมูลครั้งต่อไป ซึ่งเริ่มที่แอดเดรส 3 จะสังเกตเห็นได้ว่า ข้อมูลมีการเลื่อนดังต่อไปนี้

อ่าน (RD)	เขียน (WR)
1...512	1
2...512, 1	2
3...512, 1, 2	3
.	.
.	.

และจะเป็นเช่นนี้ไปเรื่อย ๆ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อ 3-4 วิชาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ดังนั้น ถ้าข้อมูลที่ใส่เข้าไป เป็นสัญญาณไฟฟ้าหัวใจ เราก็จะเห็นสัญญาณไฟฟ้าหัวใจ เคลื่อนที่ได้จากขวาไปซ้าย ตามต้องการ

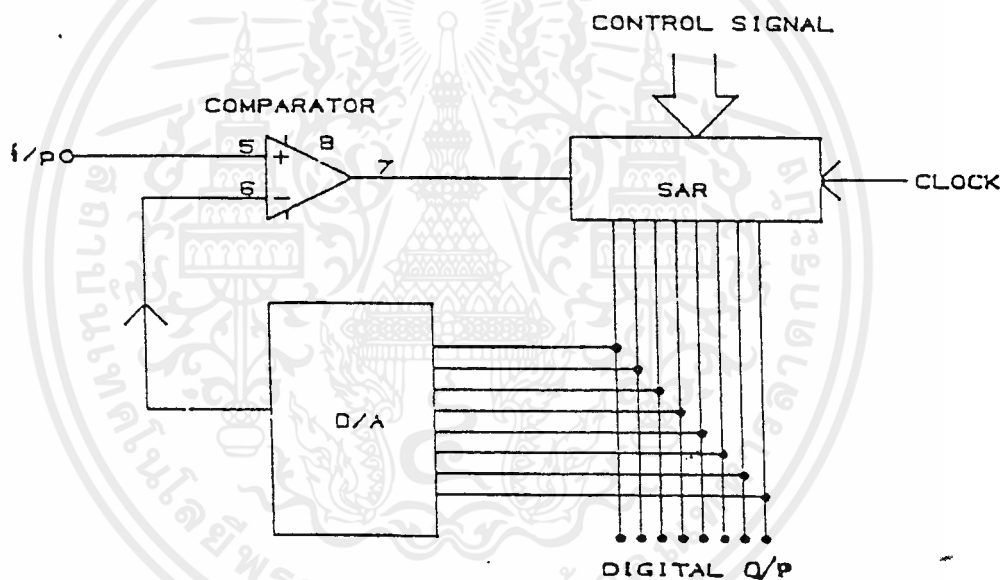
ในกรณีที่เรต้องการให้คลื่นสัญญาณไฟฟ้าหยุดนิ่ง เพื่อต้องการที่จะทำการวัดหรือ วิเคราะห์สัญญาณไฟฟ้าหัวใจของคนไข้ การควบคุมจะเริ่มโดยไอซี 4040A ได้รับสัญญาณนาฬิกา เริ่มนับจาก 1 ไปจนถึง 512 ซึ่งไอซี 4040C จะถูกนับไปด้วย ซึ่งเป็นแอดเดรสการอ่าน ข้อมูลจากหน่วยความจำเพื่อแสดงผลในการเทรซนี้ เริ่มจากแอดเดรสที่ 1 ไปถึงแอดเดรสที่ 512 เมื่อเริ่มเข้าช่วงรีเทรซจะมีสัญญาณนาฬิกาอีก 1 ลูก แต่ขณะนี้เป็นการแสดงคลื่นแบบหยุดนิ่ง วงจร เกทที่กั้นสัญญาณนาฬิกาที่เกินมา 1 ลูก ที่ขา CLK ของไอซี 4040A ถูกเปิดออก ไอซี 4040A จึง ถูกนับต่ออีก 1 ครั้ง เหมือนกับไอซี 4040C ฉะนั้นที่ไอซี 4040A จะเริ่ม 1 ใหม่แล้วค้างสถานะ ไว้ในขณะที่ไอซี 4040C ที่ที่แอดเดรส 1 ของหน่วยความจำ ซึ่งช่วงเวลานี้เป็นการเขียนข้อมูลลง หน่วยความจำเวลาต่อมาในช่วงการเทรซไอซี 4040A เริ่มจาก 2 ในขณะที่ไอซี 4040C ซึ่งจาก แอดเดรสที่ 2 เป็นการอ่านข้อมูลเพื่อแสดงผลเมื่อไอซี 4040A นับถึง 512 แล้ว จะเริ่มเข้าสู่ ช่วงรีเทรซ ในขณะที่ไอซี 4040C แสดงแอดเดรสที่ 512 ด้วยเช่นกัน และเมื่อมีสัญญาณนาฬิกาอีก 1 ลูกเข้ามา ไอซีทั้งสองจะนับเพิ่มอีก 1 ครั้ง แอดเดรสที่ไอซี 4040C ที่จึงเป็น 1 ซึ่งเป็น เวลาที่มีการเขียนข้อมูลลงหน่วยความจำ สังเกตได้ว่าข้อมูลใหม่ถูกเขียนซ้ำที่แอดเดรสเดิมไม่มีการ เปลี่ยนตำแหน่ง ดังข้างล่างนี้

อ่าน (RD)	เขียน (WR)
1...512 (512 byte)	1
2...512 (511 byte)	1
2...512 .	1
. .	.
. .	.
. .	.

ที่กล่าวมานี้ เป็นสัญญาณควบคุมต่างๆ ที่จำเป็นในการควบคุมหน่วยความจำ และ ส่วนสร้างแอดเดรสให้ทำงานได้ถูกต้องตามความต้องการที่จะให้คลื่นหยุด หรือเคลื่อนที่ไปบนจอมอนิเตอร์

3.1.1.3 วงจรควบคุมการทำงานของวงจรแปลงสัญญาณอนาล็อกเป็นดิจิตอล (A/D Control)

เนื่องจากวงจรแปลงสัญญาณอนาล็อกเป็นดิจิตอลใช้ไอซี 14559 ซึ่งเป็นแบบ Successive Approximation Register เรียกย่อๆว่า SAR เป็นระบบของการเปลี่ยนสัญญาณอนาล็อกเป็นดิจิตอลซึ่งจะใช้ตัวย่อ A/D แบบหนึ่ง ซึ่งสร้างได้ง่าย และทำงานด้วยความเร็วสูงได้ มีแผนผังการทำงานของระบบดังรูปที่ 3.5



รูปที่ 3.5 แสดงแผนผังของวงจรแปลงสัญญาณอนาล็อกเป็นดิจิตอล

ความเร็วในการเปลี่ยนเป็นสัญญาณดิจิตอล (Digital output) ขึ้นอยู่กับความถี่ของสัญญาณนาฬิกา (clock) เริ่มแรก SAR จะถูกเซ็ตให้เอาต์พุตมีลักษณะเป็น "10000000" ซึ่งก็จะผ่าน D/A ไปเปรียบเทียบกับสัญญาณอินพุต เมื่อสัญญาณนาฬิกาถูกลูกต่อไปเข้ามาถ้าผลของการ

เปรียบเทียบอันที่แล้วมีอินพุตที่มีค่าน้อยกว่าดิจิตอลเอาต์พุตก็จะคงลักษณะ "10000000" ไว้ แต่ถ้าอินพุตมากกว่า SAR ก็จะทำให้เอาต์พุตเป็น "11000000" ในสัญญาณนาฬิกาเลขที่ 2 ที่เข้ามา และจะทำเช่นนี้เรื่อยๆไปจนถึงบิตท้ายสุด (LSB) ก็จะครบรอบของการเปลี่ยนสัญญาณอนาล็อก เป็นดิจิตอล และสัญญาณดิจิตอลเอาต์พุตที่ได้จากสัญญาณนาฬิกาเลขสุดท้ายนี้ คือข้อมูลที่ถูกต้อง .

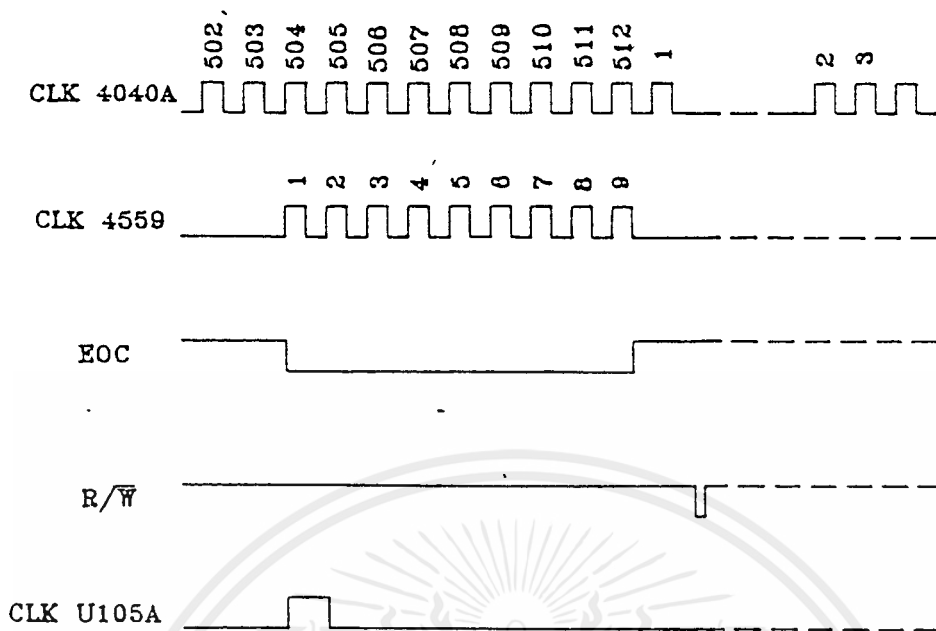
จะสังเกตเห็นได้ว่า การใช้ A/D แบบนี้สัญญาณอินพุตต้องมีขนาดคงที่หรือไม่ก็เปลี่ยนแปลงเพียงเล็กน้อย ซึ่งก็ใช้กับกรณีนี้ได้ เนื่องจากสัญญาณไฟฟ้าหัวใจมีความถี่ประมาณ 0.5-200 Hz เท่านั้นส่วนสัญญาณนาฬิกาที่ใช้ในการเปลี่ยนใช้ถึง 160 KHz เมื่อเทียบกันแล้วถือได้ว่าในระหว่างการเปลี่ยนสัญญาณไฟฟ้าหัวใจแทบจะไม่มี การเปลี่ยนแปลงของขนาดสัญญาณเลย

ก่อนอื่นจะอธิบายถึงสัญญาณ EOC (End of Conversion) และ สัญญาณ SC (start of Conversion) ซึ่งเป็นสัญญาณควบคุม SAR และสัญญาณนาฬิกาเข้ามา 1 ลูก โดยที่สัญญาณนาฬิกาเลขแรกจะทำการเซ็ทให้ MSB เป็น "1" บิตนอกนั้นเป็น "0" และสัญญาณนาฬิกาเลขสุดท้าย จะให้ค่าดิจิตอลซึ่งเทียบกับค่าของสัญญาณอินพุต ทำให้ SAR นี้ใน 1 รอบของการเปลี่ยนสัญญาณเสร็จสิ้นสมบูรณ์ต้องใช้สัญญาณนาฬิกาขอบขาขึ้นทั้งหมด 9 ลูก จะเห็นได้ว่า การที่จะทำให้เกิดการเริ่มการเปลี่ยนได้นั้น (start conversion) ช่วงเวลาก่อนที่จะถึงขาขึ้นของสัญญาณนาฬิกาเลขที่หนึ่งเข้ามา สัญญาณ SC และ EOC จะต้องเป็น "1" และในช่วงเวลาที่ทำการเปลี่ยนอยู่นั้นจะมีสถานะทางลอจิกเป็น "0" เมื่อทำการเปลี่ยนเสร็จแล้วจะต้องเปลี่ยนสถานะกลับไปเป็น "1" ตามเดิมเพื่อนพร้อมที่จะเริ่มการเปลี่ยนครั้งใหม่

วงจรที่ใช้ในการสร้างสัญญาณ EOC, SC และสัญญาณนาฬิกาให้กับไอซี MC 14559 ได้แสดงไว้ดังรูปที่ 3.2 ซึ่งมีการออกแบบวงจรดังต่อไปนี้

กล่าวคือสมมติว่าเราต้องทำการเขียน (WR) ข้อมูลที่แอดเดรสที่ 1 หลังจากการอ่าน (RD) ครบ 512 ไบต์เพราะฉะนั้นการเปลี่ยนจะต้องสมบูรณ์ก่อนหน้าที่จะถึงแอดเดรสที่ 1 นี้ แต่เนื่องจากจะต้องใช้ช่วงการเปลี่ยนทั้งหมด 9 ลูก ดังนั้นสัญญาณนาฬิกาของ MC 14559 ที่ใช้ต้องเป็นดังรูปที่ 3.6

โดยการติโค้ดไอซี 4040A เมื่อนับถึง 503 ซึ่งเป็นสัญญาณนาฬิกาก่อนที่จะทำการเขียนข้อมูล 9 ลูก และนำสัญญาณที่ติโค้ดได้เข้ามา ดิฟเฟอเรนเชียล (U_{CLK}) ที่ขา CLK จะได้เอาต์พุตที่ขา Q



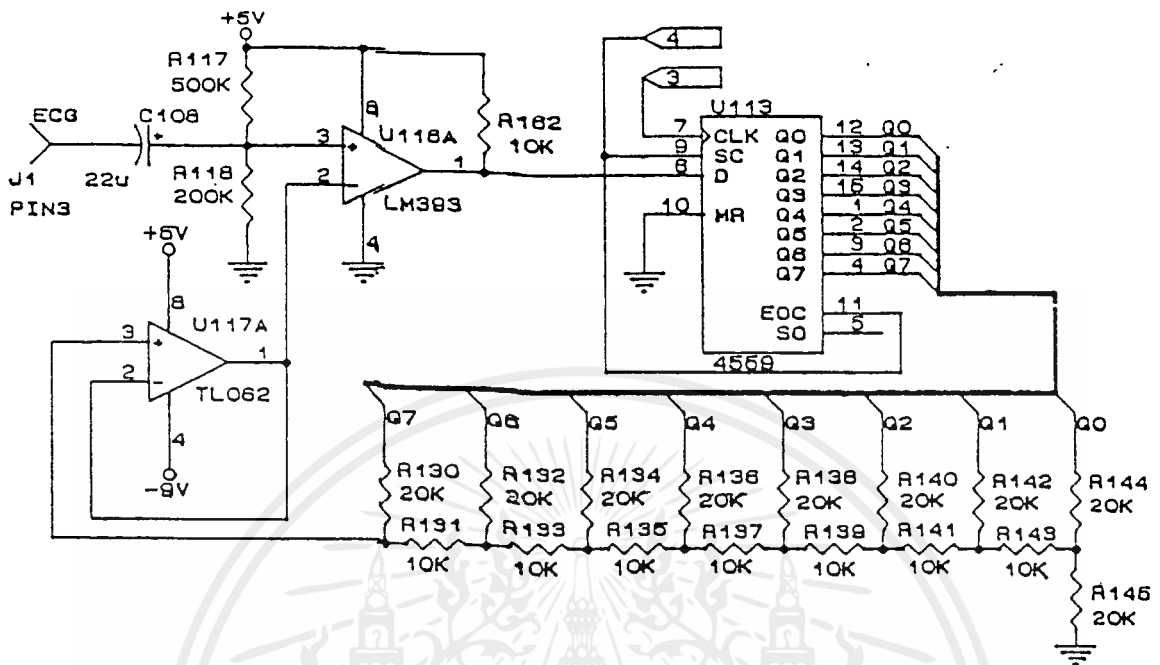
รูปที่ 3.6 แสดงเวลาของสัญญาณควบคุมการแปลงสัญญาณแอนะล็อกเป็นดิจิทัล

3.2 วงจรส่วนแสดงผลบนจอภาพ

วงจรในส่วนนี้จะแสดงวงจรทั้งหมดในรูปที่ 3.7 สามารถแบ่งขั้นตอน การประมวลผลของสัญญาณออกแสดงผลได้ดังนี้

3.2.1 วงจรแปลงสัญญาณแอนะล็อกเป็นดิจิทัล (Analog to Digital Converter Circuit)

เนื่องจากสัญญาณไฟฟ้าหัวใจมีสัญญาณช่วงที่ต่ำกว่ากราวด์ ซึ่งไอซี A/D ไม่สามารถจะให้เอาต์พุตได้ออกมาได้ เนื่องจากระดับต่ำสุดคือกราวด์ (0 V) เทียบกับทุกบิตเอาต์พุตของไอซี MC 14559 เป็น " 0 " หมด และระดับไฟเลี้ยง (5 V) ทุกบิตเป็นหนึ่งหมด เราจึงต้องทำการยกระดับสัญญาณไฟฟ้าหัวใจด้วยวงจรยกระดับคัทตา และนำไปเข้าขาบวกของ ไอซี LM 393 ซึ่งทำหน้าที่เป็นตัวเปรียบเทียบ สัญญาณเอาต์พุตที่ได้จะถูกนำไปเข้าขา D ของ SAR เพื่อที่จะใช้เป็นตัวบอก SAR ถึงผลต่างของการเปรียบเทียบสัญญาณระหว่าง ECG กับสัญญาณแอนะล็อกที่แปลงมาจากวงจร D/A ของ SAR



รูปที่ 3.8 วงจรแปลงสัญญาณอนาล็อกเป็นดิจิทัล

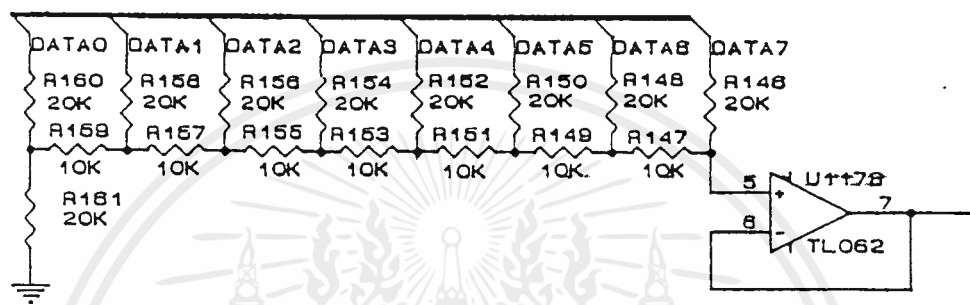
3.2.2 วงจรหน่วยความจำ (Memory circuit)

ขาเอาต์พุตทุกบิตของไอซี MC 14559 จะนำมาต่อขาข้อมูลเข้า $D_0 - D_7$ ของหน่วยความจำชนิด RAM เบอร์ 6116 โดยมีไอซีไตรสเททเบอร์ 4503 เป็นบัฟเฟอร์ เพื่อว่าในช่วงที่ทำการอ่านข้อมูลออกจากหน่วยความจำ สัญญาณบน $D_0 - D_7$ นี้จะไม่ไปปนกับสัญญาณเอาต์พุตของไอซี MC 14559 ทำให้ข้อมูลจากหน่วยความจำ เมื่อผ่านเข้าสู่วงจร D/A ถูกต้อง ดังรูปที่ 3.7

สัญญาณการอ่าน/เขียนหน่วยความจำ และสัญญาณเอนเนเบิลของไอซี 4503 จะถูกสร้างจาก ดีฟลิปฟล็อป (U_{102A}) แล้วมาเข้าวงจรเกทเพื่อทำพัลส์ให้แคบลง สัญญาณเอาต์พุต Q ของ U_{102A} จะเข้าขา CLK ของ ไอซี U_{104A} ได้สัญญาณเอาต์พุตเอนเนเบิลของหน่วยความจำที่ขา $\bar{Q}$ ส่วนแอดเดรสหน่วยความจำที่จะได้จากไอซี 4040C โดยขาเอาต์พุต $Q_1 - Q_9$ ต่อกับขาแอดเดรส $A_1 - A_9$ ของหน่วยความจำ ของข้อมูลดิจิทัลที่อ่านออกมาจะเร็วเพียงใด ก็จะขึ้นอยู่กับสัญญาณนาฬิกาที่ใช้ในการอ้างแอดเดรส

3.2.3 วงจรแปลงสัญญาณดิจิทัลเป็นอนาล็อก (Digital to Analog Converter circuit)

วงจร D/A ของไอซี MC 14559 และที่ใช้ในการแปลงข้อมูลดิจิทัลที่ถูกอ่านออกมาจากหน่วยความจำชนิด RAM นั้น ใช้วงจรแบบ R-2R LADDER ทั่วไป โดยใช้ความต้านทานที่มีค่าความผิดพลาดน้อยๆ



รูปที่ 3.9 วงจร R-2R LADDER

สัญญาณอนาล็อกที่อ่านออกมาจากหน่วยความจำชนิด RAM แล้วผ่าน D/A จะเป็นดังรูปที่ 3.10 สังเกตเห็นได้ว่าสัญญาณมีลักษณะเป็นจุด ๆ ไม่ต่อเนื่องมีรูปร่างเหมือนกับสัญญาณไฟฟ้าหัวใจที่อื่นทุก แต่ความถี่ของสัญญาณเพิ่มขึ้นเพื่อสามารถมองเห็นอย่างชัดเจนได้บนจอทีวี การแก้ไขให้เห็นเป็นคลื่นที่ต่อเนื่อง จะต้องผ่านเข้าวงจรกรองสัญญาณความถี่ต่ำผ่าน

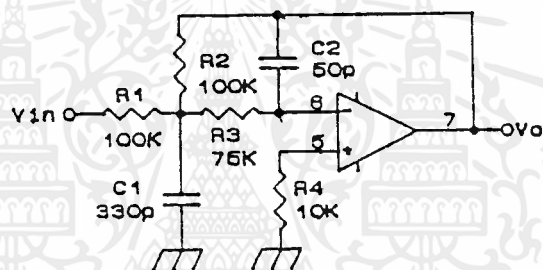


รูปที่ 3.10 แสดงสัญญาณไฟฟ้าหัวใจที่ผ่านวงจร D/A

3.2.4 วงจรกรองสัญญาณความถี่ต่ำผ่าน (Low pass filter)

วงจรฟิลเตอร์ที่ใช้เป็นวงจรกรองสัญญาณความถี่ต่ำ (Low pass filter) แบบ second order multiple negative feedback ซึ่งมีรูปดังแสดงในรูปที่ 3.11 ในการออกแบบวงจรนี้ต้องกำหนดค่าความถี่ให้ตัด (Cut off frequency) ที่สูงกว่าสัญญาณความถี่หัวใจในช่วง QRS เล็กน้อย ซึ่งมีค่าประมาณเป็น

$$\begin{aligned} f &= 1/2\pi [1/(R_2 R_3 C_1 C_2)]^{1/2} \\ &= 1/2\pi [1/(100K \times 75K \times 330P \times 50P)]^{1/2} \\ &= 14.3 \text{ KH}_z \text{ และมีอัตราขยาย 1 เท่า} \end{aligned}$$



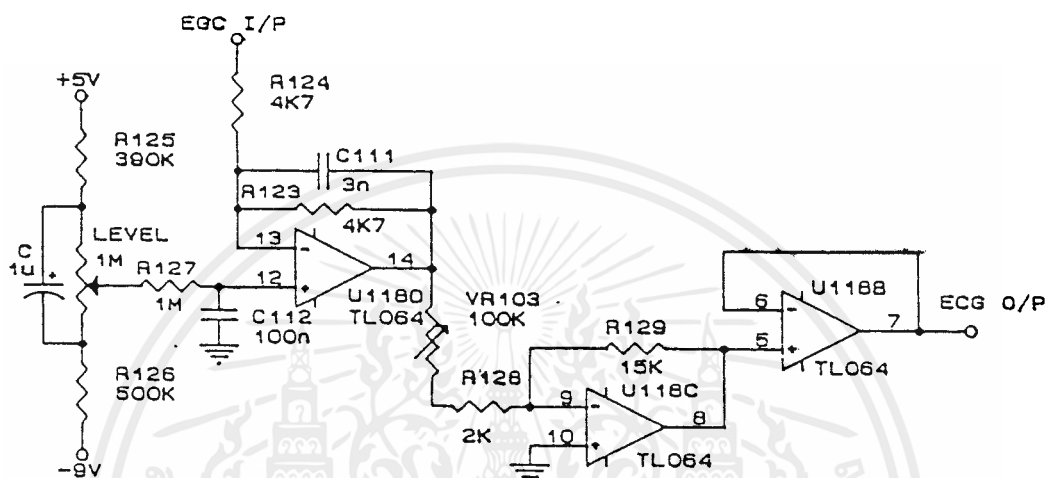
รูปที่ 3.11 วงจรกรองสัญญาณความถี่ต่ำผ่าน

จากการทดลอง ถ้าให้จุดตัดความถี่ (Cut off frequency) ต่ำกว่านี้ ขนาดของสัญญาณหลังจากผ่านวงจรฟิลเตอร์จะลดลงมากเมื่อเทียบกับสัญญาณช่วงอื่น แต่ถ้าจุดตัดสูงเกินไปสัญญาณที่ได้จะไม่เรียบ เนื่องจากกรองสัญญาณรบกวนได้ไม่หมด ฉะนั้นค่าอุปกรณ์ที่แสดงไว้ในรูปเป็นค่าที่ปรับแต่งเพื่อให้สัญญาณดีที่สุด

3.2.5 วงจรปรับขนาด และระดับของสัญญาณไฟฟ้าหัวใจ (Summing Amplifier)

สัญญาณที่ได้จากวงจรกรองความถี่จะเข้าไอซี TL 064 ซึ่งเป็นวงจรขยายที่มีอัตราขยาย 1 เท่า โดยเอาที่พิกจะเป็นผลรวมระหว่างศักดาไฟ DC ที่ขาบวก (non-inverting) และสัญญาณไฟฟ้าหัวใจที่ขาลบ (inverting) ทำให้สามารถเลื่อนขึ้นลงในแนวตั้งได้ ในกรณีที่ต้องการเลื่อนสัญญาณไฟฟ้าหัวใจที่แสดงบนจอภาพ นั้นก็ต้องมีศักดา DC คำน้อยๆ จ่ายที่ขาลวดหักเหอยู่ตลอดเวลา

ดังนั้น ถึงแม้ไม่มีสัญญาณไฟฟ้าหัวใจเข้ามา ลำโวลตรอนก็จะถูกสนามแม่เหล็กหักเหไปตามแนวตั้งทางใดทางหนึ่งจะมากหรือน้อยขึ้นอยู่กับขนาดของคักดาไฟฟ้า DC นี้ ซึ่งถูกสร้างโดยส่วนของความต้านทานปรับค่าได้ที่ขาวก เพื่อแบ่งคักดาตามต้องการจะยกระดับสัญญาณ



รูปที่ 3.12 วงจรปรับระดับ และขนาดของสัญญาณ

สัญญาณเอาต์พุตที่ได้จะมาเข้าวงจรปรับขนาดโดย ไอซี TL 064 ซึ่งทำหน้าที่เป็นวงจรขยายแบบกลับเฟสสัญญาณ (Inverting Amplifier) ที่สามารถปรับอัตราขยายได้ สัญญาณเอาต์พุตจากวงจรส่วนนี้จะนำไปเข้าวงจรขยายกำลัง เพื่อที่จะนำไปขับขอลวดหักเหในแนวตั้งให้เกิดสัญญาณไฟฟ้าหัวใจบนจอภาพ

3.3 วงจรส่วนสร้างสัญญาณการกวาด และสัญญาณภาพ

สัญญาณที่ใช้ในการกวาดของขดลวดหักเหทางแนวนอน ก็คือสัญญาณฟันเลื่อยซึ่งมีคักดาไฟฟ้าทั้งทางขวกและลบ เพื่อหักเหลำโวลตรอนได้ตลอดทั้งจอภาพ ส่วนสร้างสัญญาณวิดีโอจะใช้ 2 ระดับ คือ มิดในช่วงรีเทรช หรือการสับคักกลับของโวลตรอนมีคักดาไฟฟ้าเป็นกราวด์ และสว่างในช่วงเทรชซึ่งเป็นช่วงการแสดงผลบนจอภาพ มีคักดาไฟฟ้าเป็นไฟเลี้ยง (5V)

3.3.1 วงจรสร้างสัญญาณฟันเลื่อย (Sawtooth Generator)

สร้างจากวงจรควบคุมการจ่ายกระแสคงที่ด้วยศักดาไฟฟ้า (Voltage Control Current Source) โดยทำหน้าที่จ่ายกระแสให้กับโหลด ซึ่งก็คือ ตัวเก็บประจุ $0.47 \mu F$ ไอซี TL 064 (U_{xx}) ช่วยทำให้กระแสที่จ่ายเข้าโหลด ไม่ขึ้นอยู่กับ V_{xx} ของ Q_2 แสดงวงจรดังรูปที่ 3.13 สมมุติให้ศักดาไฟฟ้าที่ขาบวกของออปแอมป์เป็น V_x มีไฟเลี้ยงวงจร 5V ดังนั้นศักดาที่ตกคร่อมความต้านทาน $10 K$ จึงเท่ากับ $5-V_x$ ทำให้กระแสที่จ่ายไปทางขาคอลเลคเตอร์ของ pnp ทรานซิสเตอร์ จะประมาณได้เท่ากับ $(5-V_x)/10k$ โดยที่คิดว่ากระแสเบสน้อยมาก ดังนั้นจะเห็นว่ายิ่ง V_x มีค่ามากเท่าใดกระแสที่จ่ายให้กับโหลดก็จะน้อยลง สัญญาณควบคุมการสร้างสัญญาณฟันเลื่อยซึ่งเป็นสัญญาณเดียวกันกับสัญญาณเอาต์พุตเอนเนเบิล (มีลักษณะเป็นพัลส์และมีเฟสกลับกันกับสัญญาณการเทรซ) จะใช้ควบคุมช่วงเวลาการจ่ายกระแส ให้กับตัวเก็บประจุ โดยในช่วงที่สัญญาณมีค่าเป็น "0" ซึ่งตรงกับช่วงที่หน่วยความจำกำลังอ่านข้อมูลออกมานั้น จะทำให้ศักดาที่ตกคร่อมขาเบสของ Q_2 เป็น $0 V$ และ ทำให้ Q_2 ซึ่งเป็น npn ทรานซิสเตอร์อยู่ในสภาวะคัทออฟ (cut off) ฉะนั้นช่วงนี้กระแสจากวงจรจ่ายกระแสคงที่ (current source) จะไปชาร์จตัวเก็บประจุ

เนื่องจากสัญญาณฟันเลื่อยในช่วงแสดงผล (Trace) จะมีความชันเป็นบวก และต้องเป็นเส้นตรงด้วย ทำให้เราจำเป็นต้องเลือกค่า C ที่เหมาะสมกล่าวคือ ค่า C นั้นจะต้องให้ค่าเวลาคงที่ (time constant RC) มากเพียงพอจึงจะทำให้ศักดาตกคร่อม C ค่อย ๆ สูงขึ้นแบบเส้นตรง

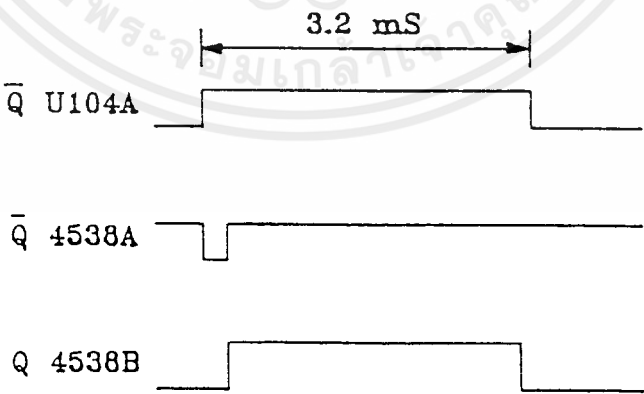
เมื่อสัญญาณควบคุมมีค่าเป็น "1" ทรานซิสเตอร์ Q_2 จะถูกไบอัสให้สามารถนำกระแสได้ทำให้กระแสทั้งหมดจากวงจรจ่ายกระแสคงที่ ไหลผ่าน Q_2 ไม่เข้าตัวเก็บประจุ และตัวเก็บประจุยังคายประจุผ่าน Q_2 อีกด้วย ทำให้ศักดาคร่อม C ค่อย ๆ ลดลงมีความชันเป็นลบแบบเส้นตรง ในขณะที่เดียวกันต้องปรับ VR_2 ให้เหมาะสมด้วยเพื่อไม่ให้ Q_2 อยู่ในสภาวะอิ่มตัว เพราะมิฉะนั้นศักดาไฟฟ้าคร่อม C ที่ยอดบนของสัญญาณฟันเลื่อยจะเพี้ยนไป ดังนั้นจึงสามารถที่จะสร้างสัญญาณฟันเลื่อยได้ตามต้องการ

จากนั้นนำไปเข้าวงจรบัฟเฟอร์เพื่อป้องกันมิให้ค่าอิมพีแดนซ์ของ C $0.47 \mu F$ เปลี่ยนไปซึ่งอาจเกิดขึ้นได้ ถ้าอินพุตอิมพีแดนซ์ของภาคถัดไปนั้นมีค่าไม่สูงพอ แล้วผ่านเข้าวงจรขยายแบบ

กลับเฟสที่สามารถอัตราขยายได้ โดยไอซี TL 064 เพื่อรับอัตราเร็วของการสแกนทางแนวนอน กล่าวคือ ถ้าสัญญาณพื้นเลื้อยมีขนาดสูงมากเกินไป จะทำให้อิเล็กตรอนถูกควบคุมให้วิ่งในแนวนอนของจอภาพในอัตราที่สูงขึ้น ดังนั้นในเวลา 3.2 ms เท่ากัน ภาพที่ปรากฏบนจอทางแนวนอนจะกว้างมากจนเกินขอบจอ ฉะนั้นจะต้องให้ภาพเกิดขึ้นภายในจอที่กำหนด โดยปรับอัตราขยายให้มีขนาดของ สัญญาณพื้นเลื้อยที่เหมาะสม สัญญาณพื้นเลื้อยที่ได้จะนำไปผ่านเข้า วงจรขยายกำลัง เพื่อให้สามารถจ่ายกระแสได้เพียงพอที่จะขับหลอดที่เป็นหลอดได้

3.3.2 วงจรสร้างสัญญาณภาพ (Video Generator)

วงจรที่ใช้สร้างสัญญาณภาพแสดงไว้ในรูปที่ 3.13 ซึ่งประกอบด้วยไอซี 4538 เป็นวงจรโมโนสเตเบิล 2 ตัวต่อคาสเคดกัน โดยตัวแรกจะถูกทริก ด้วยขอบขาขึ้นของสัญญาณการเทรซซึ่งคาบเวลาจะถูกกำหนดด้วยค่าความต้านทานและตัวเก็บประจุภายนอก เอาท์พุทขา Q และเพื่อป้องกันการไหลของวงจร จึงนำไปเข้าวงจรบัฟเฟอร์ ก่อนที่จะไปเข้าวงจรขยายภาคต่อไป เพื่อไปควบคุมส่วนคาโอดของหลอดภาพ โดยทำให้ภาพสว่างในช่วงแสดงภาพ (Trace) ของการสแกนแนวนอน ซึ่งเราต้องการให้สัญญาณไฟฟ้าหัวใจปรากฏบนจอภาพ นั่นคือ ในช่วงนี้จะต้องทำให้มีลำอิเล็กตรอนวิ่งมากระทบกับจอภาพ และทำให้เกิดจุดสว่างขึ้น ณ จุดที่อิเล็กตรอนมาตกกระทบ พอถึงช่วงเส้นสลับกลับ (Retrace) ลำอิเล็กตรอนจะถูกสลับกลับไปยังซ้ายของจอ เพื่อพร้อม ที่จะเริ่มการสแกนในแนวนอนไปทางขวาครั้งใหม่ ในช่วงนี้ถ้าหากปล่อย ให้มีอิเล็กตรอนวิ่งเข้ามากระทบจอภาพจะทำให้เห็นเส้นสลับกลับ

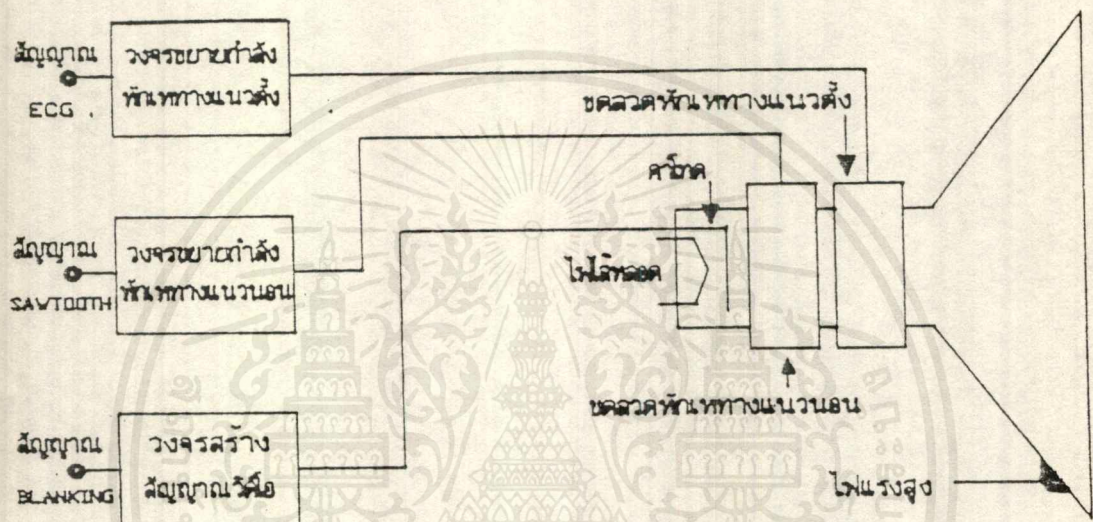


รูปที่ 3.14 แสดงเวลาของสัญญาณภาพ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.4 วงจรขยายกำลัง (Power Amplier)

เมื่อได้สัญญาณฟันเลื่อย และสัญญาณไฟฟ้าหัวใจที่มีความถี่สูงขึ้น ตามต้องการ แล้ว จะต้องนำสัญญาณเหล่านี้ไปขับขดลวดหักเห เพื่อเหนี่ยวนำให้เกิดสนามแม่เหล็กซึ่งจะไปทำให้อิเลคตรอนหักเหในทิศทางต่างๆ ได้ตามต้องการ ดังแสดงแผนผังในรูปที่ 3.15

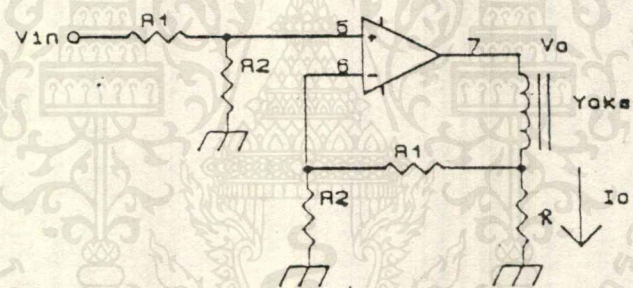


รูปที่ 3.15 แผนผังส่วนขยายกำลัง และสร้างสัญญาณภาพ

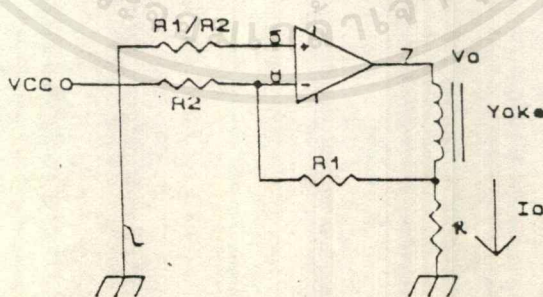
ถ้าขับขดลวดนี้โดยตรงด้วยวงจรขยายที่สร้างขึ้นจากออปแอมป์ เช่น วงจรในหัวข้อที่กล่าวมาขึ้นต้นแล้วไม่สามารถที่จะทำได้ เนื่องจากออปแอมป์ที่ใช้ไม่ได้ถูกออกแบบมาให้จ่ายกระแสได้มากเพียงพอที่จะขับหลอดที่เป็นขดลวดที่มีความต้านทานน้อย ดังนั้นจะต้องนำสัญญาณนี้ไปต่อเข้าวงจรขยายกำลัง เพื่อแก้ปัญหานี้

วงจรขยายกำลังที่ใช้มีหลายแบบซึ่งมีรูปแบบที่คล้ายกัน ดังในรูปที่ 3.16 จะประกอบด้วยอินพุต 2 อินพุต คือ ขาบวกเป็นขานอน-อินเวอร์ตติ้ง (Non invertng) และขาลบเป็นขา

อินเวอร์ตติ้ง (Inverting) มีคุณสมบัติเหมือนออปแอมป์ แต่เอาต์พุตต้องสามารถจ่ายกระแสได้มากกว่าที่ขดลวดหักเหต้องการ โดยมีอัตราขยายแรงดันสูงมาก จนถือได้ว่า ถ้าคัทเอาต์พุตยังอยู่ในช่วงที่ไม่อิ่มตัวความแตกต่างระหว่าง ขานอน-อินเวอร์ตติ้ง กับขาอินเวอร์ตติ้งของอินพุตมีค่าเกือบเป็น 0 ส่วนประกอบสำคัญที่ทำให้สามารถควบคุมกระแสเอาต์พุต ให้มีลักษณะตามสัญญาณอินพุตซึ่งเป็น โวลเตจ (Voltage) โหมดได้ คือ ความต้านทานค่าน้อยๆ (ในที่นี้ใช้ 2 โอห์ม) ที่ต่ออนุกรมกับ ขดลวดเอาต์พุต กระแสเอาต์พุตจะไหลผ่านความต้านทานลงกราวด์ เป็นคัทดาตกคร่อมตัวความต้านทาน ซึ่งมีค่าความต้านทานเอาต์พุตต่ำมาก โดยจะป้อนกับ กระแสเอาต์พุตบางส่วนที่จุดนี้ ไปที่อินพุตสามารถต่อได้ทั้งแบบเฟสและไม่กลับเฟส โดยกระแสเอาต์พุตจะถูกควบคุมโดยคัทดาสัญญาณอินพุต กระแสเอาต์พุตนี้จะไปควบคุมการเบี่ยงเบนของลำอิเล็กตรอนให้สแกนไปในทิศทางต่างๆ ตามความต้องการ โดยวงจรที่ใช้ แสดงในรูปที่ 3.17 และ 3.18 มีการทำงานของวงจร อธิบายได้ดังนี้

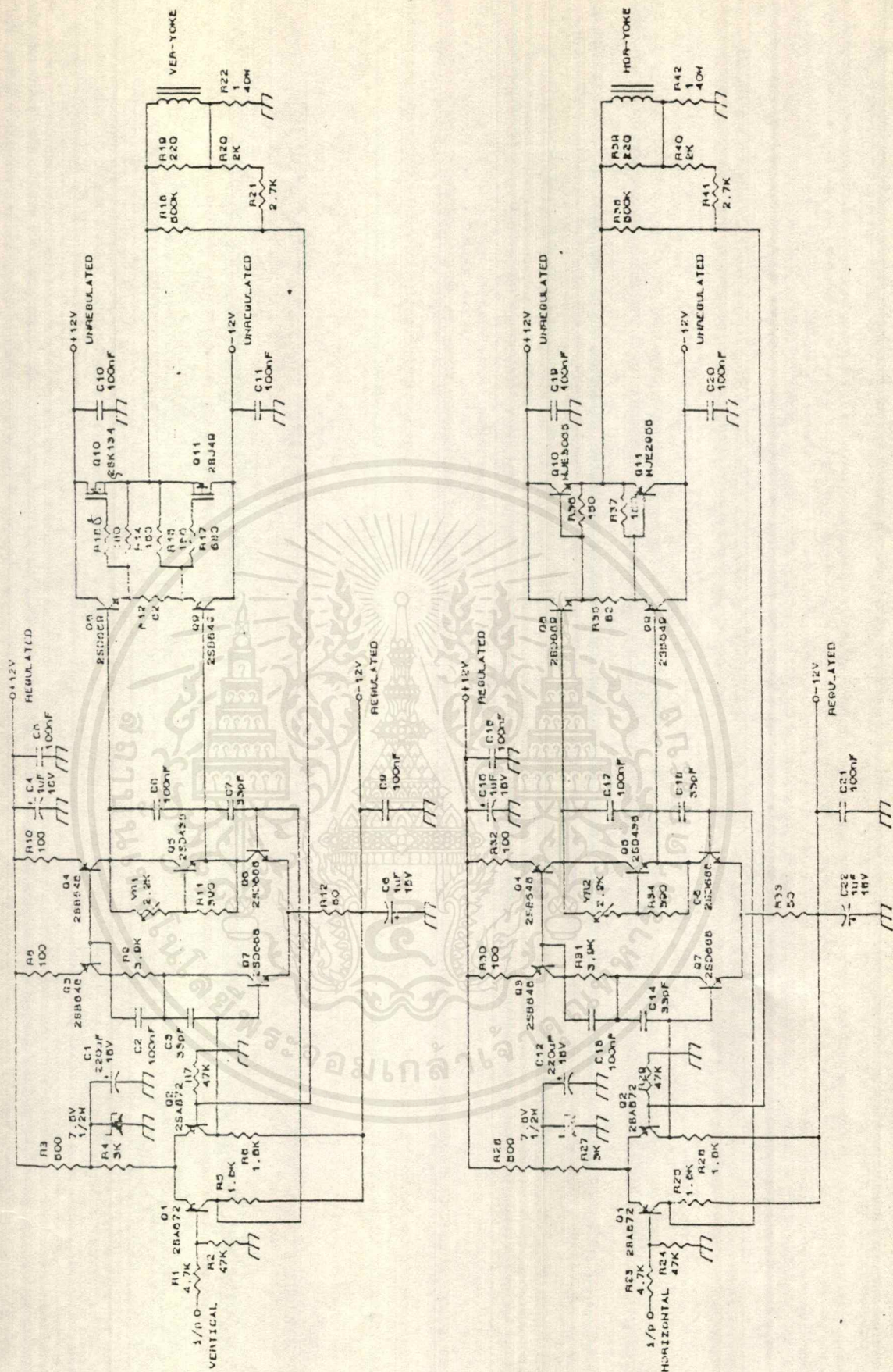


ก) วงจรขยาย แบบไม่กลับเฟสสัญญาณ



ข) วงจรขยาย แบบกลับเฟสสัญญาณ

รูปที่ 3.16 แสดงวงจรเสมือนของวงจรขยายกำลัง



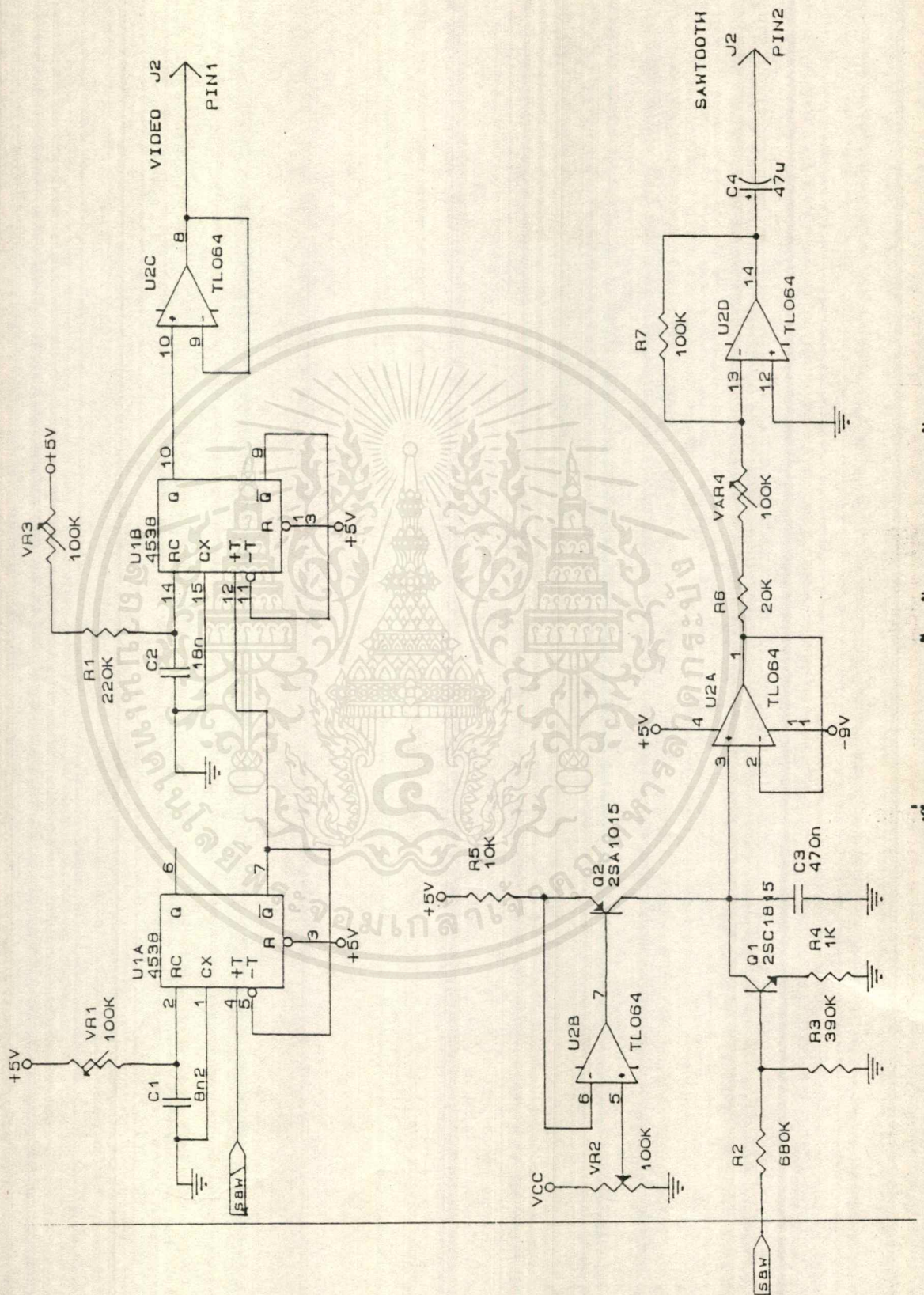
รูปที่ 3.17 วงจรขยายกำลังที่ใช้ในเครื่องฉาย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อ 3-17 ขาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สัญญาณที่ใช้ในการควบคุมขดลวดหักเห จะต้องผ่านวงจรขยายกำลังเพื่อให้สามารถขับโหลดซึ่งเป็นขดลวดหักเห ทั้งทางแนวตั้งและแนวนอน วงจรขยายกำลังที่ใช้มีวงจรใช้งานดังรูปที่ 3.17 มีการทำงานของวงจรดังนี้

ทรานซิสเตอร์ Q_1 , Q_2 และ Q_3 , Q_7 ถือเป็นวงจรขยายแบบดิฟเฟอเรนเชียล (Differential Amp) 2 วงจร ซึ่งเป็นวงจรขยายคัสเคด cascade กัน โดยมี ทรานซิสเตอร์ Q_3 , Q_4 เป็นวงจร current mirror ทำหน้าที่จ่ายกระแสสมมูลย์ และทรานซิสเตอร์ Q_5 ถือเป็นวงจรไบอัสกระแสเฉื่อยให้กับทรานซิสเตอร์ขยายกำลัง (power transistor) คือ Q_{10} และ Q_{11} ที่ภาคเอาต์พุตมีความต้านทาน 4.7 กิโลโอห์ม ถือเป็นความต้านทานป้อนกลับ (R_F) มายังขาอินเวอร์ตติ้งอินพุต โดยวงจรที่ใช้เป็น วงจรขยายกำลังแบบไม่กลับเฟส มีอัตราขยายเท่ากับ 1

ในการออกแบบไฟเลี้ยง ให้กับวงจรขยายกำลัง จะต้องคำนึงถึงคัสเคดเอาต์พุตที่ตกคร่อมขดลวดไม่ให้อยู่ในสภาพที่อิ่มตัว เพราะจะไม่สามารถควบคุมกระแสให้เปลี่ยนแปลงตามสัญญาณอินพุตได้ เนื่องจากสัญญาณควบคุมของขดลวดหักเหทางแนวนอนมีความถี่ต่ำ อัตราการเปลี่ยนแปลงของกระแสต่อการเปลี่ยนแปลงคาบเวลาของสัญญาณมีค่าน้อย จึงไม่มีปัญหาเรื่องคัสเคดเอาต์พุตที่เกิดจากการเหนี่ยวนำของขดลวด แต่สำหรับสัญญาณควบคุมขดลวดหักเหทางแนวตั้ง มีค่าความถี่ที่สูงสำหรับสัญญาณเรสเทอเรอร์ จึงทำให้คัสเคดที่ตกคร่อมขดลวดมีค่าสูงตามไปด้วย ณ จุดนี้จึงต้องมีการออกแบบให้สัญญาณควบคุมขดลวดหักเหทางแนวตั้ง คือ สัญญาณเรสเทอเรอร์ ซึ่งมีความถี่สูง ให้มีขนาดของสัญญาณต่ำ ๆ เพื่อลดขนาดของการเปลี่ยนแปลงของกระแสลง แต่ถ้าระดับไฟเลี้ยงให้มากเกินไปจะทำให้ทรานซิสเตอร์ขยายกำลังที่ภาคเอาต์พุตเกิดการสูญเสียมาก ทำให้เกิดความร้อนขึ้นกับเครื่องโดยไม่จำเป็น

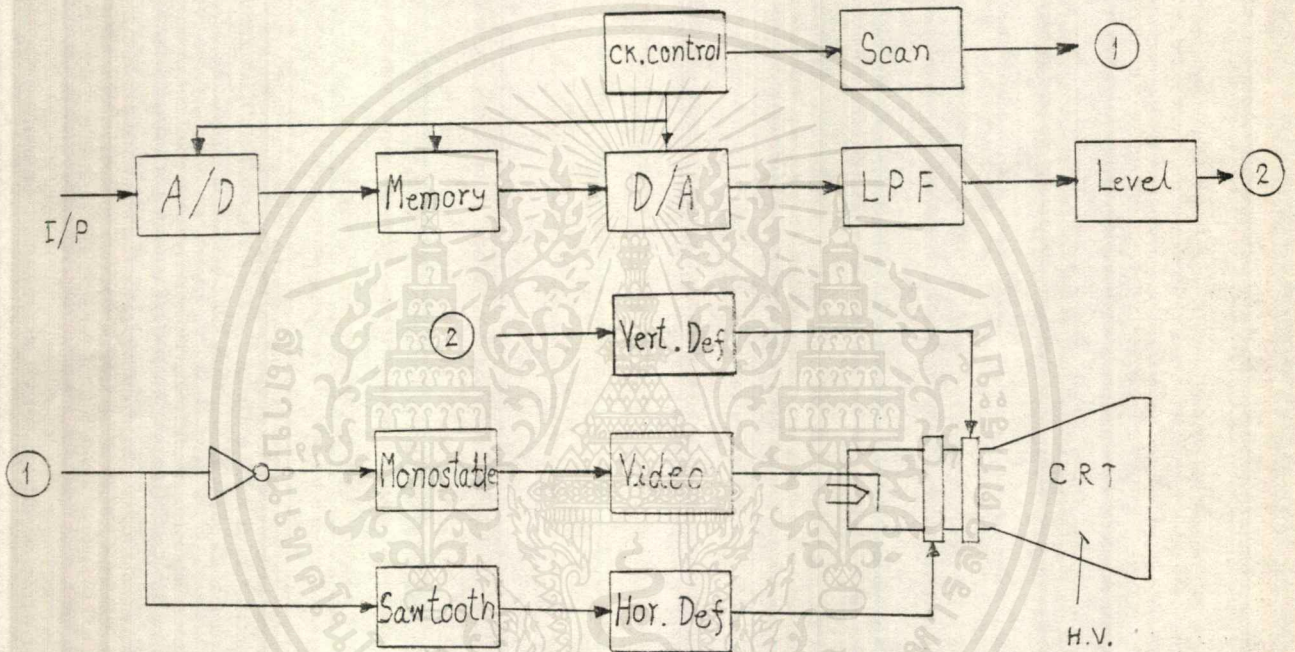


รูปที่ 3.19 วงจรสร้างสัญญาณกวาดและสัญญาณภาพ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา 3-20 ต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 4 ผลการทดลอง

จากการออกแบบวงจรในบทที่ 3 วงจรทุกส่วนในโครงงานนี้ จะประกอบด้วย วงจรชุดสร้างสัญญาณควบคุม วงจรสร้างสัญญาณกวาด และสัญญาณฟันเลื่อย วงจรสร้างสัญญาณภาพซึ่งในส่วนนี้จะประกอบด้วย ส่วนของชุดวงจรแปลงสัญญาณอนาล็อกเป็นดิจิตอล วงจรแปลงสัญญาณดิจิตอลเป็นอนาล็อก วงจรเก็บสัญญาณภาพ (Memory) วงจรปรับระดับสัญญาณ และในส่วนของวงจรชุดนับกำลัง ผลการวัด และทดลองสัญญาณในส่วนต่างมีดังนี้



รูปที่ 4.1 บล็อกไดอะแกรมส่วนต่างๆ

4.1 วงจรสร้างสัญญาณความถี่ (Clock Generator)

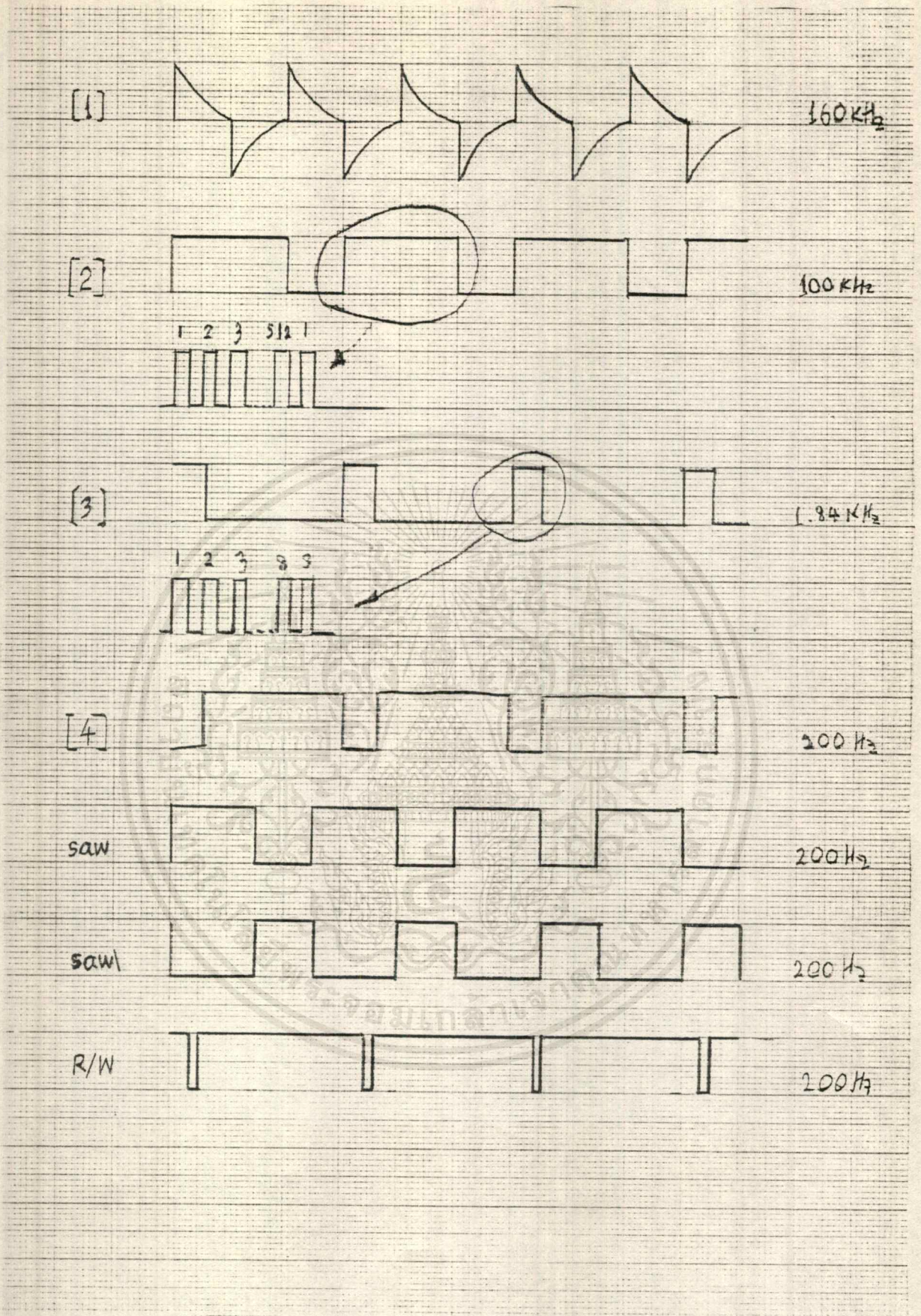
วงจรนี้จะสร้างสัญญาณไปควบคุมวงจรในส่วนต่างๆ ดังนี้

สัญญาณจุดที่ [1] เป็นสัญญาณ RST ของ IC 4040 ซึ่งเป็นตัวกำหนดแอดเดรสให้กับหน่วยความจำ

สัญญาณจุดที่ [2] เป็นสัญญาณ clock ที่จ่ายให้กับ IC 4040 เพื่อใช้ในการรีเซ็ต
 เดรลให้กับหน่วยความจำ

สัญญาณจุดที่ [3] เป็นสัญญาณ clock ของ IC 4559

สัญญาณจุดที่ [4] เป็นสัญญาณ SC และ EOC ของ IC 4559



รูปที่ 4.2 ลักษณะของสัญญาณในส่วนต่างๆ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
 4-2
 ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สัญญาณจุดที่ [R/W] เป็นสัญญาณที่จะบอกให้กับหน่วยความจำ (6116) ว่าขณะนี้ต้องการให้หน่วยความจำอ่านหรือเขียนข้อมูลโดยจะต่อเข้ากับ WE ของหน่วยความจำ และสัญญาณอีกส่วนหนึ่งจะถูกส่งไปควบคุม IC 4503

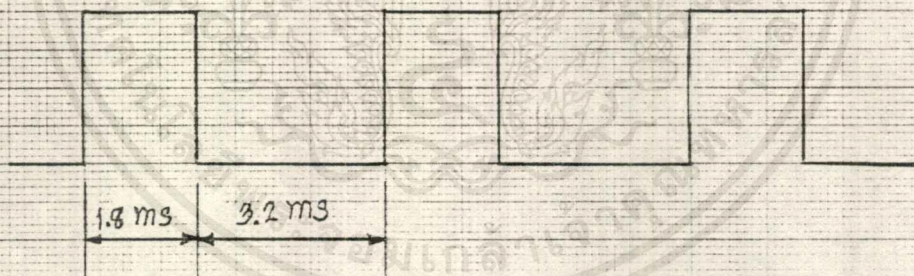
สัญญาณจุดที่ [SAW] เป็นสัญญาณที่ถูกส่งไปใช้ในการสร้างสัญญาณฟันเลื่อย และอีกส่วนจะถูกส่งไปเข้ากับ OE ของหน่วยความจำ

สัญญาณที่จุดที่ [SAW/] เป็นสัญญาณที่ถูกนำไปใช้ในการสร้างสัญญาณภาพ

ลักษณะสัญญาณในส่วนต่างๆ ดูได้ดังรูปที่ 4.2

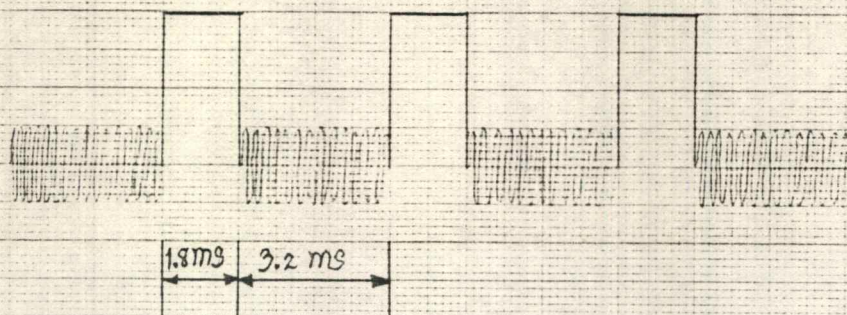
4.2 วงจรแสดงรูปคลื่นสัญญาณ

วงจรนี้จะเป็น วงจรที่ใช้ในการซมบั้งสัญญาณให้มีความถี่สูงขึ้น จากการทดลองจะเห็นว่าสัญญาณที่ได้จะมีความถี่สูงขึ้นประมาณ 800 เท่า



รูปที่ 4.3 ลักษณะของสัญญาณเอาต์พุตขณะที่ไม่มีสัญญาณภาพ

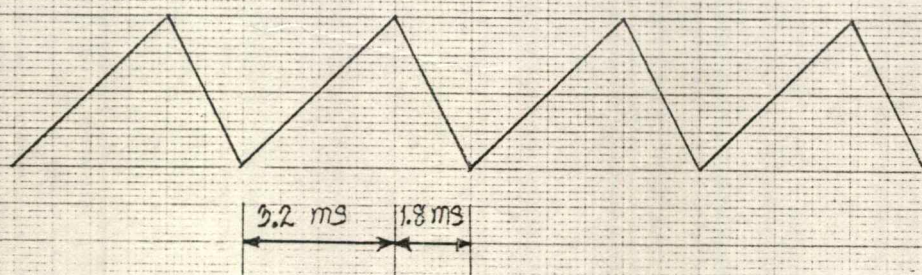
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.4 ลักษณะสัญญาณเอาต์พุตที่ได้ขณะที่มีสัญญาณเข้ามา

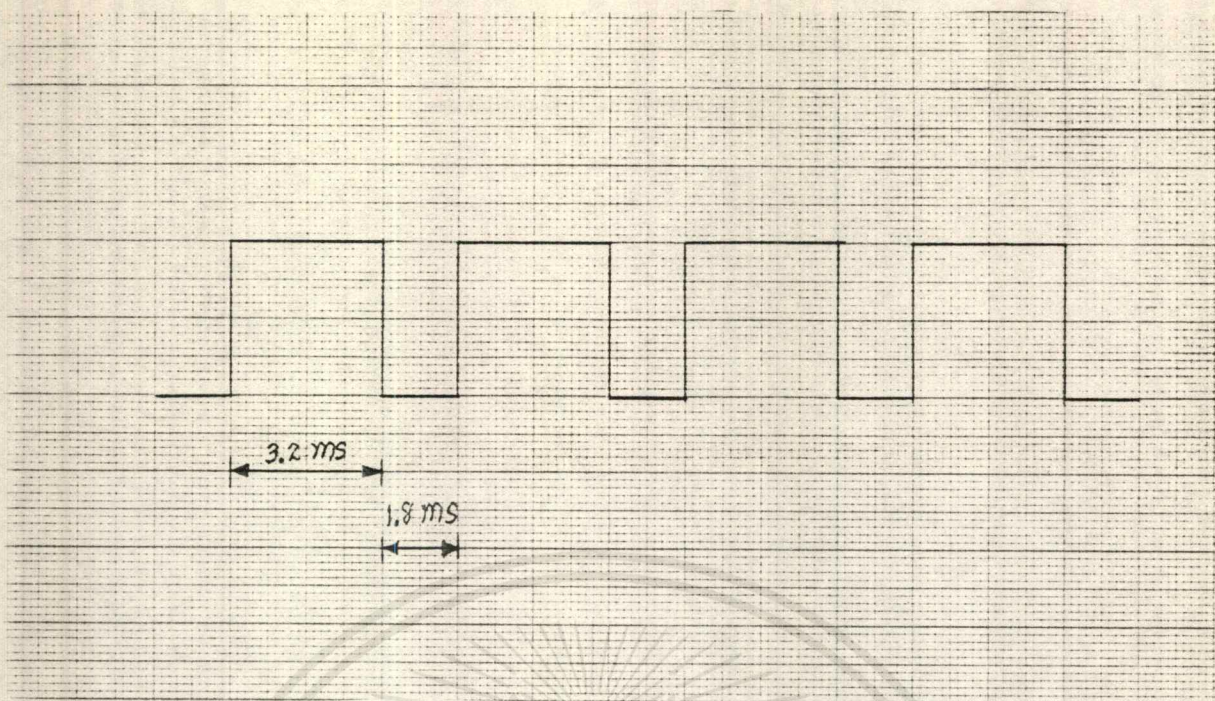
4.3 วงจรสร้างสัญญาณกวาด และสัญญาณภาพ

วงจรนี้จะนำสัญญาณ [saw] นำมาผ่านวงจรจ่ายกระแสตรงที่ เพื่อที่จะสร้างสัญญาณฟันเลื่อย แล้วผ่านวงจรเพื่อปรับขนาดสัญญาณ ในส่วนของวงจรสร้างสัญญาณภาพจะนำเอาสัญญาณ [saw\] ไปใช้ในการสร้างสัญญาณภาพ โดยผ่านวงจรโมโนสเตเบิลซึ่งถูกสร้างโดย IC4538 และสามารถเลื่อนเฟสของสัญญาณโดยการปรับ VR 100K



รูปที่ 4.5 ลักษณะของสัญญาณฟันเลื่อย

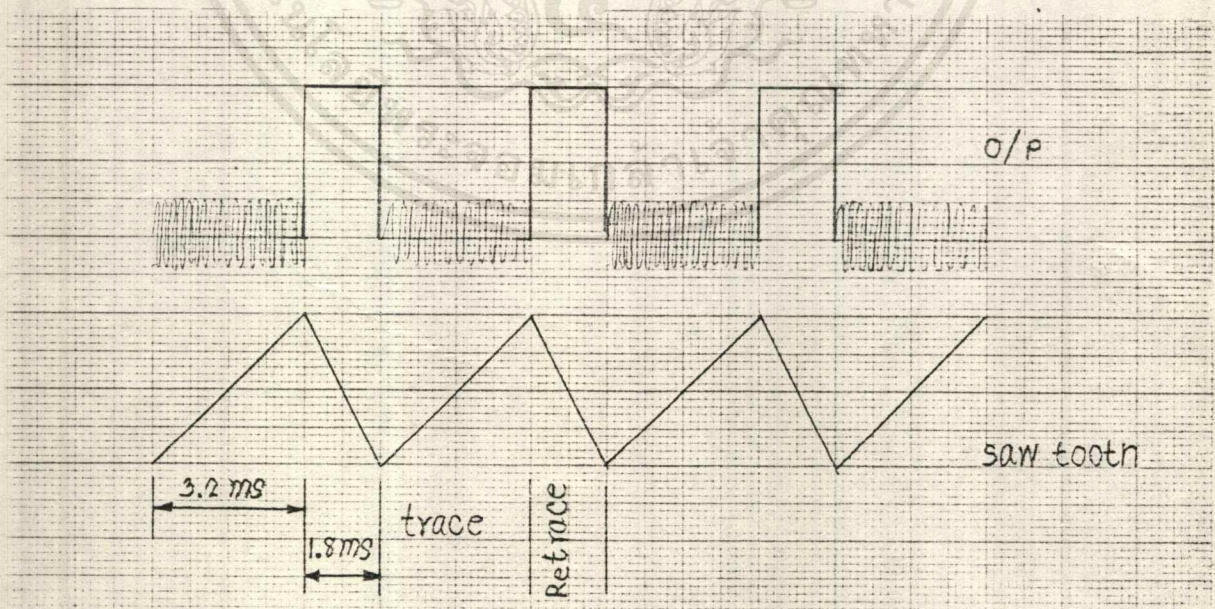
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อ 4-4 เท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.6 ลักษณะของสัญญาณ VIDEO

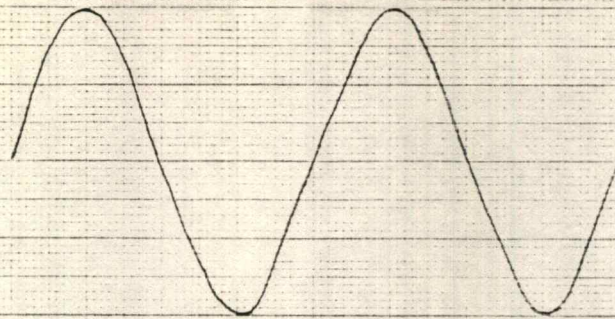
4.4 การทดลองนำวงจรไปต่อกับเครื่องรับโทรทัศน์

จากการทดลองจุดนี้จะนำสัญญาณความถี่ต่ำที่ผ่านการแซมปิ้งให้มีความถี่ แล้วนำไปต่อวงจรขับกำลังแล้วนำไปต่อเข้ากับขดลวดทางแนวตั้ง และนำเอาสัญญาณฟันเลื่อยไปต่อเข้าวงจรขับกำลังแล้วนำไปต่อกับขดลวดทางแนวนอน และนำเอาสัญญาณ Blanking ที่ได้จากวงจรสร้างสัญญาณภาพ นำไปต่อกับวงจรขยายสัญญาณภาพของเครื่องรับโทรทัศน์

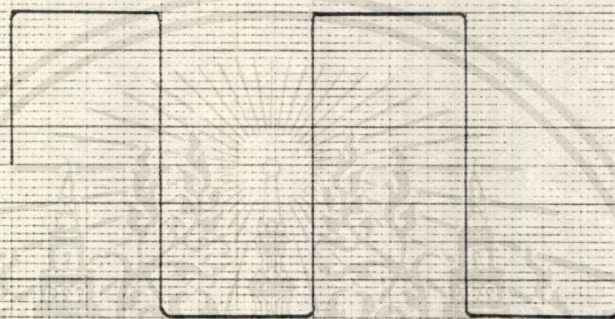


รูปที่ 4.7 ลักษณะของสัญญาณฟันเลื่อยเทียบกับสัญญาณที่ได้

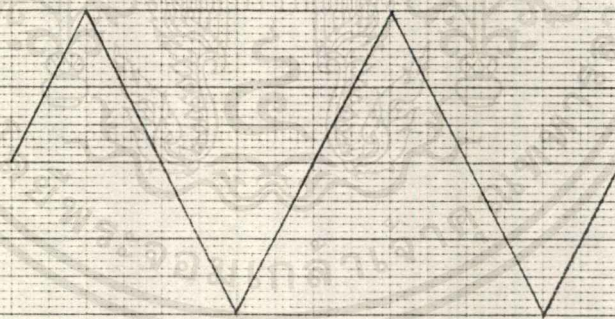
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



INPUT ^{เป็น} SINE WAVE



INPUT ^{เป็น} square wave



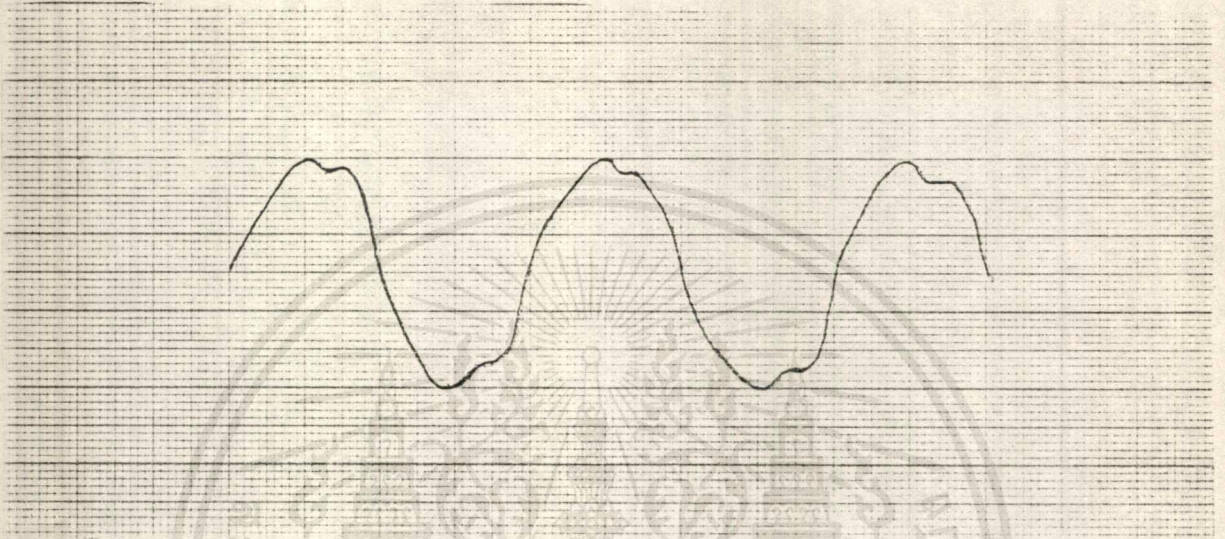
INPUT ^{เป็น} Sawtooth

รูปที่ 4.8 ลักษณะสัญญาณที่ปรากฏบนจอภาพเมื่อป้อนอินพุตลักษณะต่างๆ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อ 4-6 ษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

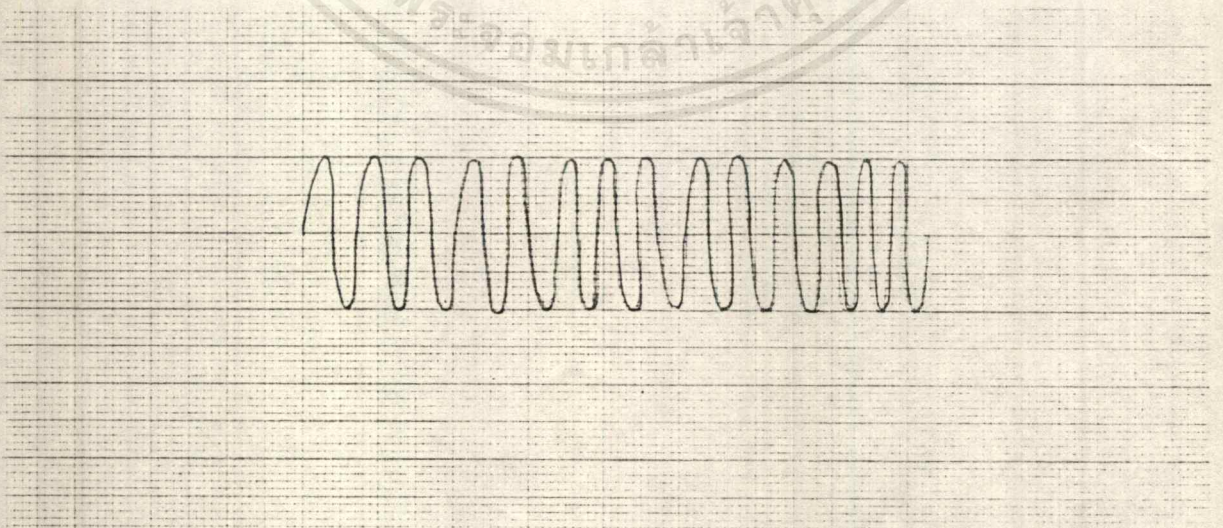
บทที่ 5 สรุปและวิจารณ์ผลการทดลอง

จากการทดลองจะเห็นว่าสัญญาณที่ปรากฏบนจอภาพ จะมีลักษณะเหมือนกับสัญญาณที่
กับอินพุต แต่เนื่องจากสัญญาณที่เรานำมาทดลองป้อนในการทดลอง เราใช้ความถี่ต่ำมากสัญญาณที่
ได้จึงมีลักษณะเพี้ยนเล็กน้อยดังรูปที่ 5.1



รูปที่ 5.1 ลักษณะของสัญญาณเมื่อป้อนอินพุตเป็น sine wave

สาเหตุของการเพี้ยนนี้เกิดเนื่องมาจาก ฟังก์ชันเจนเนอเรเตอร์ ส่วนมากจะไม่สา
มารถจ่ายสัญญาณได้สวยงามในความถี่ที่ต่ำมากๆ สัญญาณที่ได้จาก ฟังก์ชันเจนเนอเรเตอร์ จะไม่
ให้เกิดการเพี้ยนจะต้องจ่ายมากกว่า 100 Hz ขึ้นไป แต่เมื่อนำสัญญาณมาป้อนเข้าเครื่องเพื่อนำ
ไปแสดงที่จอภาพ สัญญาณภาพที่จะมีความถี่สูงเกินไป ดังรูปที่ 5.2



รูปที่ 5.2 ลักษณะของภาพเมื่อป้อนความถี่ที่สูงขึ้น

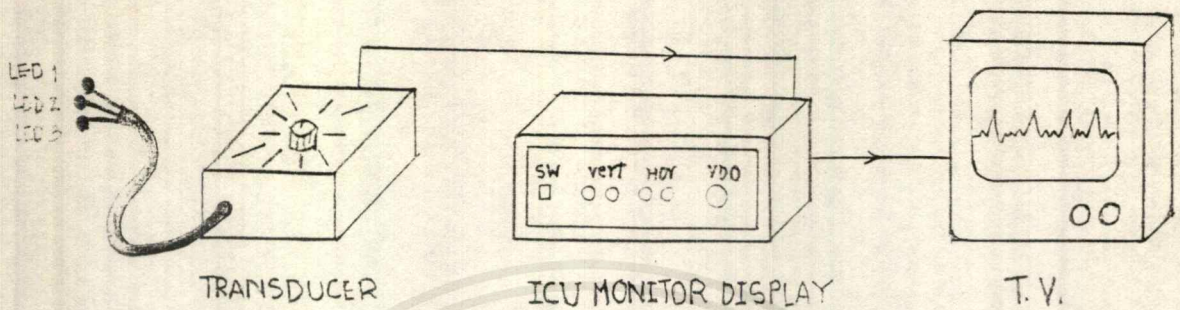
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สาเหตุที่เป็นเช่นนี้เนื่องมาจาก คุณสมบัติการแสดงผลภาพของโทรทัศน์ ซึ่งความถี่ที่ปรากฏบนจอภาพประมาณ $100 \times 800 = 80 \text{ kHz}$ จะเห็นว่าความถี่นี้จะมาก จากการทดลองจะพบว่า ความถี่ที่ปรากฏบนจอภาพ แล้วจะได้ภาพที่สวยงามควรจะต้องมีความถี่อินพุตไม่เกิน 60 Hz

ปัญหาที่เกิดขึ้นในการทดลองในส่วนของวงจรสร้างสัญญาณในส่วนของ RAM กับส่วนของ D/A พบว่า สัญญาณแอนะล็อกที่ได้จะมี noise ปนอยู่มาก ถึงแม้จะทำการ filter ออกไปได้อีกก็จะทำให้รูปสัญญาณผิดเพี้ยนได้ ทั้งนี้เนื่องมาจากคุณสมบัติของ IC 6116 ซึ่งเป็น RAM ที่ใช้ในโครงงานนี้ ในช่วงของ WR สัญญาณจะต้องไม่มีการเปลี่ยนสถานะของสัญญาณแอดเดรส และสัญญาณ WR ไม่ควรจะมีคาบความยาวมากเกินไป เพราะอาจทำให้มี noise จากส่วนอื่นๆ ในวงจรปนเข้ามาได้ หลังจากข้อมูลถูก WR ลงไปใน RAM แล้ว

ในการแก้ปัญหาเรื่องนี้ทำได้โดยการนับคาบของเวลาของช่วงสัญญาณ WR ให้แคบลง และไม่ให้มีการเปลี่ยนสถานะของแอดเดรส ในช่วงเวลานั้น ซึ่งทำได้โดยการใช้วงจรโมโนสเตเบิล จากการทดลองจะเห็นว่าช่วงของ WR ที่ดีจะมีค่าประมาณ $1 \mu s$

ปัญหาที่เกิดขึ้นอีกส่วนหนึ่งคือ ในการสร้างสัญญาณฟันเลื่อย ที่ใช้ในการจ่ายให้กับขดลวดหักเหทางแวนอนจะต้องมีค่ามากกว่า $+5 \text{ V}$ ถึงจะทำให้วงจรขยายกำลังสามารถขับขดลวดหักเหได้เต็มจอภาพ เมื่อหลอดภาพมีขนาดใหญ่ขึ้น เพื่อให้ MOSFET สามารถจ่ายกระแสให้กับ โยคเพียงพอในการสแกนได้เต็มจอภาพ ซึ่งการแก้ไขเราจะให้ ชุดสร้างสัญญาณรูปฟันเลื่อยมีอัตราการขยายเพิ่มขึ้น และมีการปรับออฟเซต เพื่อให้สัญญาณในซิกนอล-ลบ มีขนาดเท่ากัน ซึ่งจะมีผลทำให้การสแกนบนจอหลอดภาพ ทางด้านซ้ายและขวา มีขนาดเท่ากัน



รูปที่ 5.3 การนำไปใช้งาน

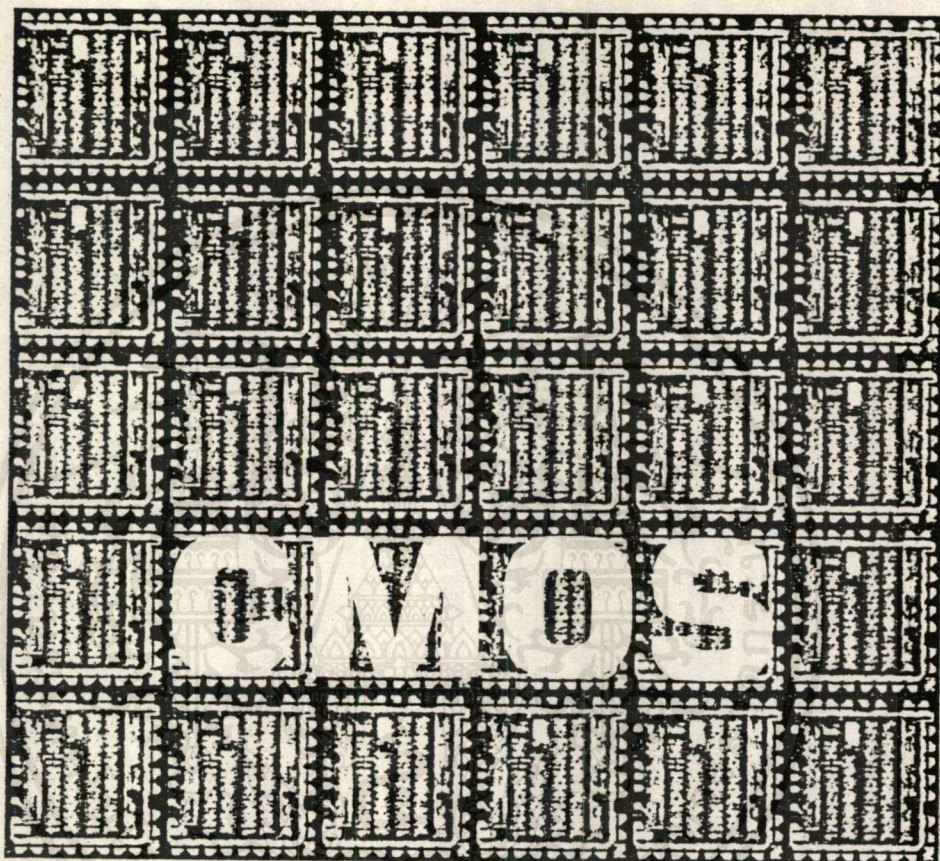
เราจะเห็นว่าส่วนแสดงผลของเครื่องวัดสัญญาณหัวใจนี้ยังไม่สามารถนำไปใช้งานได้จริง เนื่องจากมีข้อบกพร่อง และข้อจำกัดหลายประการ แต่ก็นับได้ว่าเป็นแนวความคิดหนึ่งซึ่งเป็นไปได้ ที่จะนำเอาสัญญาณหัวใจให้ไปปรากฏที่จอโทรทัศน์ ซึ่งถ้าได้รับการปรับปรุงและพัฒนาอีกดังที่จะได้กล่าวต่อไป ก็จะทำให้ได้เครื่องวัดสัญญาณหัวใจที่มีราคาถูก และมีคุณสมบัติที่พอใช้ได้

แนวทางการพัฒนานั้นอาจทำได้ โดยการสร้างชุดแสดงอัตราการเต้นของหัวใจ ชุดแสดงอัตราการหายใจ การปรับปรุงชุดจ่ายไฟให้มีขนาดเล็กลง เนื่องจากในโครงงานนี้จะใช้วงจรขยายกำลังที่ต้องการกระแสมาก เพื่อสะดวกในการเคลื่อนย้าย

คณะผู้จัดทำหวังว่า ปริญญานิพนธ์ ฉบับนี้จะเป็นประโยชน์ต่อผู้สนใจ หรืออาจจะเป็นแนวความคิดอะไรบ้างไม่มากนักน้อยในการที่จะสามารถนำไปใช้ประโยชน์



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



DESIGN INFORMATION

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

SCL4011UB



CMOS NAND GATE (Unbuffered)

FEATURES

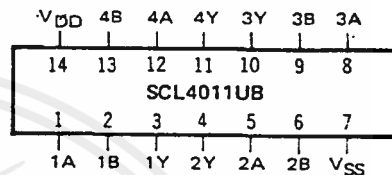
- ◆ Unbuffered Outputs for Quasi-Linear Applications
- ◆ Quad 2-Input NAND Configuration
- ◆ Diode Protection on all Inputs
- ◆ Output Drive Current Compatible with "B" Series
- ◆ Pin Compatible with Buffered SCL4011B
- ◆ Balanced Output Drive Current Specifications

DESCRIPTION

The SCL4011UB consists of four positive-logic NAND gates. The outputs are unbuffered, making the device suitable for quasi-linear applications, such as gated oscillators, multivibrators, and pulse shaping circuits.

For digital applications, the buffered SCL4011B is recommended for its higher gain and input pattern insensitivity.

CONNECTION DIAGRAM (all packages)



Add suffix for package:

- C 14-pin Cerdip
- D 14-pin Ceramic
- E 14-pin Epoxy
- F 14-pin Flat
- H Chip

TRUTH TABLE

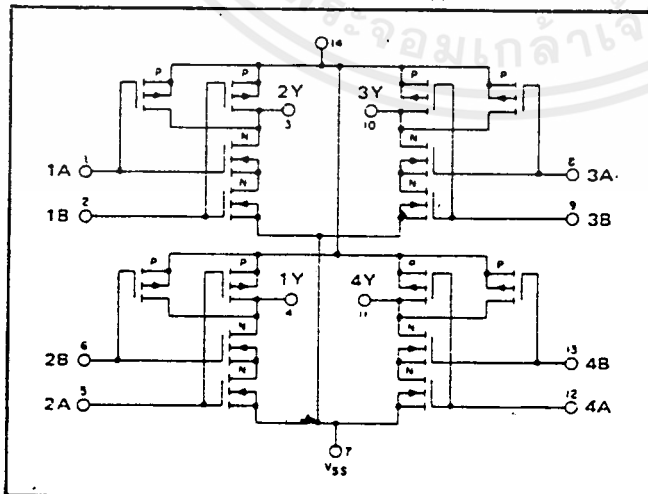
Inputs		Output
1	1	0
All other combinations		1

RECOMMENDED OPERATING CONDITIONS

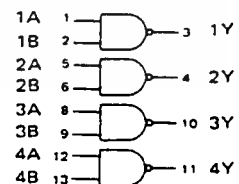
For maximum reliability:

DC Supply Voltage	$V_{DD} - V_{SS}$	3 to 15	Vdc
Operating Temperature	T_A	-55 to +125	°C
C, D, F, H Device		-40 to +85	°C
E Device			

SCHEMATIC DIAGRAM



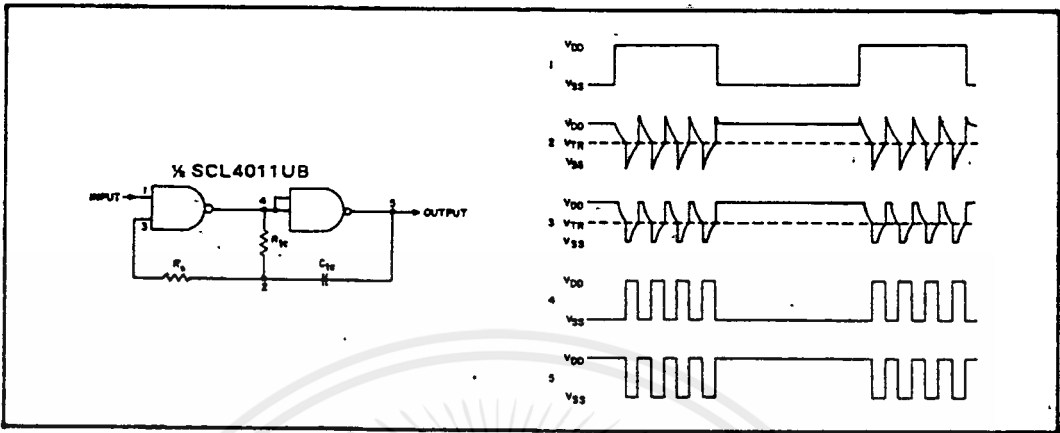
LOGIC DIAGRAM



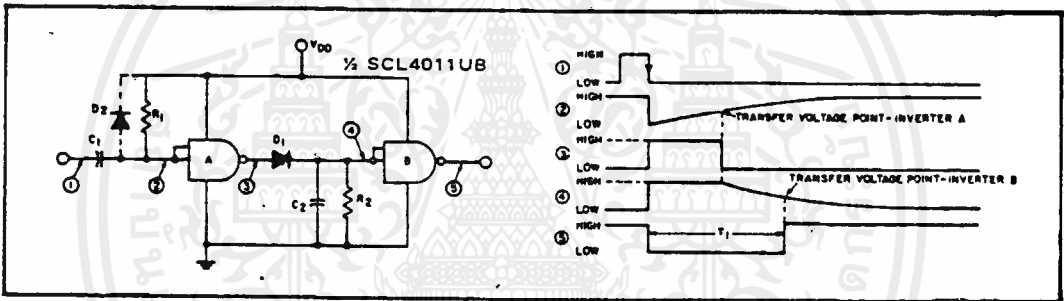
V_{DD} = Pin 14
 V_{SS} = Pin 7

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

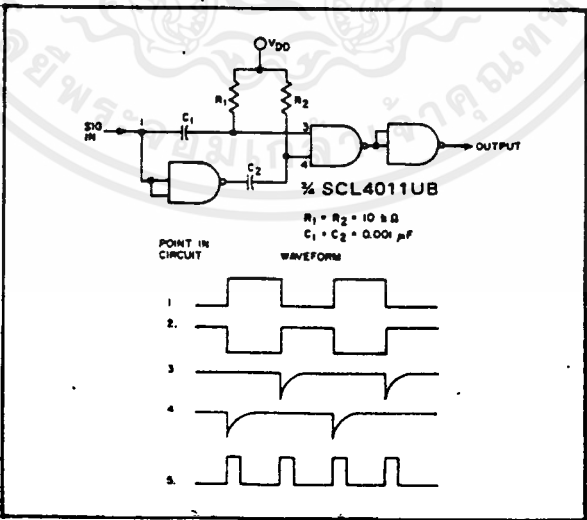
APPLICATIONS INFORMATION



Gated Oscillator



Compensated Monostable Multivibrator
(Independent of Transfer Voltage)



Frequency Doubler

SCL4011UB

ELECTRICAL CHARACTERISTICS

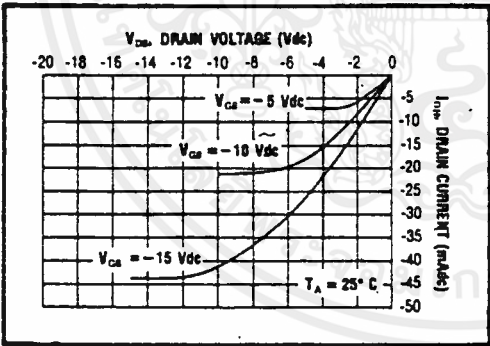
STATIC CHARACTERISTICS 1, 3

PARAMETER	V _{DD} (Vdc)	CONDITIONS	T _{LOW} ²		+25°C			T _{HIGH} ²		Units
			Min.	Max.	Min.	Typ.	Max.	Min.	Max.	
QUIESCENT DEVICE CURRENT	I _{DD}	5 V _{IN} = V _{SS} or V _{DD}	—	0.05	—	0.0005	0.05	—	1.5	μAdc
		10 All valid input combinations	—	0.10	—	0.001	0.10	—	3.0	
		15	—	0.20	—	0.002	0.20	—	6.0	

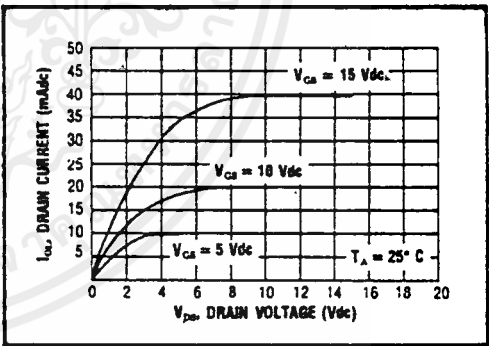
- NOTES: ¹ Remaining Static Electrical Characteristics are listed under "SCL4000B Series Family Specifications".
² T_{LOW} = -55°C for C, D, F, H device.
 = -40°C for E device.
T_{HIGH} = +125°C for C, D, F, H device.
 = + 85°C for E device.
³ This device has been designed for balanced output drive current specifications. Consult Family Specifications.

DYNAMIC CHARACTERISTICS (C_L = 50pF, T_A = 25°C)

PARAMETER		V _{DD} (Vdc)	Min.	Typ.	Max.	Units
PROPAGATION DELAY TIME	t _{PLH} , t _{PHL}	5	—	75	150	ns
		10	—	35	70	
		15	—	25	50	
OUTPUT TRANSITION TIME	t _{TLH} , t _{THL}	5	—	100	200	ns
		10	—	50	100	
		15	—	40	80	



Typical P-Channel
Source Current Characteristics



Typical N-Channel
Sink Current Characteristics

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

SCL4013B



CMOS DUAL D-TYPE FLIP-FLOP

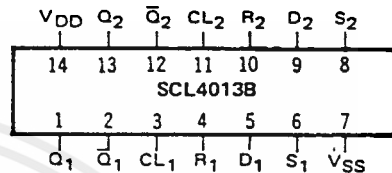
FEATURES

- ◆ Independent Set and Reset Controls
- ◆ Static Operation
- ◆ Logic Edge-Clocked Design
- ◆ 16MHz Toggle Rate @ 10Vdc
- ◆ Balanced Output Drive Current Specifications

DESCRIPTION

The SCL4013B consists of two identical, independent D-type Flip-Flops. These devices can be used for shift register applications, and, by connecting the $\bar{Q}$ output to the Data input, for counter and toggle applications. The logic level present at the D input is transferred to the Q output during the positive-going transition of the Clock pulse. Setting or resetting is independent of the Clock and is accomplished by a high level on the Set or Reset line, respectively.

CONNECTION DIAGRAM (all packages)



Add suffix for package:

- C 14-pin Cerdip
- D 14-pin Ceramic
- E 14-pin Epoxy
- F 14-pin Flat
- H Chip

TRUTH TABLE

CL Δ	D	R	S	Q	$\bar{Q}$
0	0	0	0	0	1
1	0	0	0	1	0
1	x	0	0	Q	$\bar{Q}$
x	x	1	0	0	1
x	x	0	1	1	0
x	x	1	1	1	1

NO CHANGE

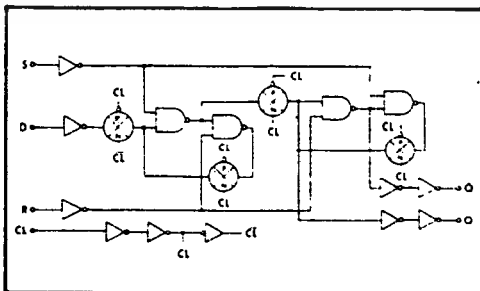
- Δ = Level Change
- x = Don't Care

RECOMMENDED OPERATING CONDITIONS

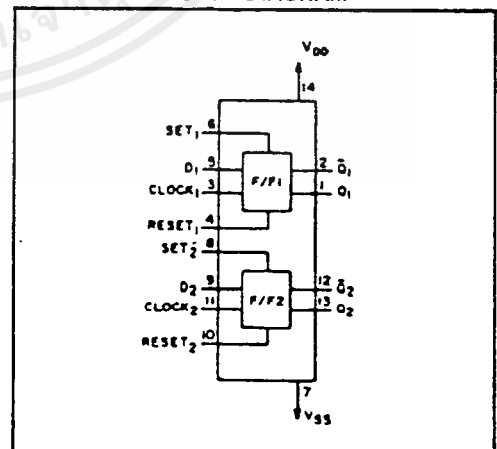
For maximum reliability:

DC Supply Voltage	$V_{DD} - V_{SS}$	3 to 15	Vdc
Operating Temperature	T_A	-55 to +125	°C
C, D, F, H Device		-40 to +85	°C
E Device			

LOGIC DIAGRAM



BLOCK DIAGRAM



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ELECTRICAL CHARACTERISTICS

STATIC CHARACTERISTICS^{1,2}

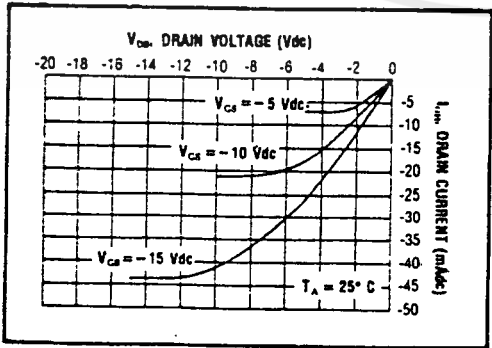
PARAMETER	V _{DD} (Vdc)	CONDITIONS	T _{LOW} ²		+25°C			T _{HIGH} ²		Units
			Min.	Max.	Min.	Typ.	Max.	Min.	Max.	
QUIESCENT DEVICE CURRENT	I _{DD}	5 V _{IN} =V _{SS} or V _{DD}	—	1.0	—	0.005	1.0	—	30	μA _{dc}
		10 All valid input	—	2.0	—	0.01	2.0	—	60	
		15 combinations	—	4.0	—	0.02	4.0	—	120	

NOTES: ¹ Remaining Static Electrical Characteristics are listed under "SCL4000B Series Family Specifications".
² T_{LOW} = -55°C for C, D, F, H device.
= -40°C for E device.
T_{HIGH} = +125°C for C, D, F, H device.
= + 85°C for E device.
³ This device has been designed for balanced output drive current specifications. Consult Family Specifications.

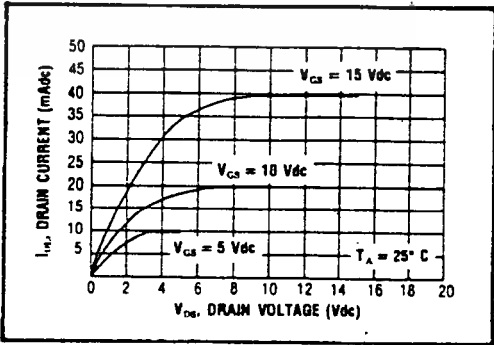
DYNAMIC CHARACTERISTICS (C_L = 50pF, T_A = 25°C)

PARAMETER		V _{DD} (Vdc)	Min.	Typ.	Max.	Units
CLOCKED OPERATION						
PROPAGATION DELAY TIME	t _{PLH, t_PML}	5	—	125	250	ns
		10	—	65	130	
		15	—	45	90	
OUTPUT TRANSITION TIME	t _{TLH, t_TML}	5	—	100	200	ns
		10	—	50	100	
		15	—	40	80	
MINIMUM CLOCK PULSE WIDTH	PW _{CL}	5	—	70	140	ns
		10	—	30	60	
		15	—	20	40	
MAXIMUM CLOCK FREQUENCY	f _{CL}	5	3.5	7.0	—	MHz
		10	8.0	16	—	
		15	12.5	25	—	
MAXIMUM CLOCK RISE AND FALL TIME ¹	t _{rCL, t_fCL}	5	15	—	—	μs
		10	10	—	—	
		15	5	—	—	
MINIMUM SETUP TIME	t _{setup}	5	—	25	50	ns
		10	—	10	20	
		15	—	7.5	15	
MINIMUM HOLD TIME	t _{hold}	5	—	-25	0	ns
		10	—	-10	0	
		15	—	-5	0	
SET AND RESET OPERATIONS						
PROPAGATION DELAY TIME S to Q, R to Q	t _{PLH}	5	—	125	250	ns
		10	—	65	130	
		15	—	45	90	
MINIMUM SET AND RESET PULSE WIDTH	PW _S , PW _R	5	—	65	130	ns
		10	—	30	60	
		15	—	25	50	
SET AND RESET REMOVAL TIME	t _{rem}	5	—	0	25	ns
		10	—	0	10	
		15	—	0	5	

¹When units are cascaded, the maximum rise and fall times of the clock input should be equal to or less than the transition times of the data outputs driving data inputs, plus the propagation delay of the output driving stage for the output capacitive load.



Typical P-Channel
Source Current Characteristics



Typical N-Channel
Sink Current Characteristics

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

SCL4049UB Inverting SCL4050B Non-Inverting



CMOS HEX BUFFERS/CONVERTERS

FEATURES

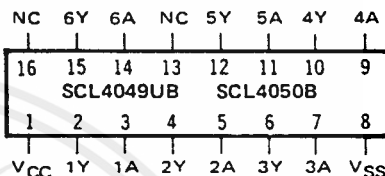
- ◆ Direct Drive of 2 TTL/DTL Loads
- ◆ Operation from Single Supply
- ◆ Pin-for Pin Replacements for SCL4009B, SCL4010B

DESCRIPTION

The SCL4049UB and SCL4050B are Inverting and Non-Inverting Hex Buffers, respectively, and feature logic-level conversion using only one supply voltage (V_{CC}). The Input-signal high level (V_{IH}) can exceed the V_{CC} supply voltage when these devices are used for logic-level conversions. These devices are intended for use as CMOS-to-DTL/TTL converters and can drive directly two DTL/TTL Loads.

The SCL4049UB and SCL4050B are interchangeable with SCL4009UB and SCL4010B devices, respectively. In these applications the SCL4049UB and SCL4050B are pin-compatible with the SCL4009UB and SCL4010B, respectively, and can be substituted for these devices in existing as well as in new designs. Terminal No. 16 is not connected internally on the SCL4049UB or SCL4050B; therefore, connection to this terminal is of no consequence to circuit operation.

CONNECTION DIAGRAM (all packages)



Add suffix for package:

- | | |
|---|----------------|
| C | 16-pin Cerdip |
| D | 16-pin Ceramic |
| E | 16-pin Epoxy |
| F | 16-pin Flat |
| H | Chip |

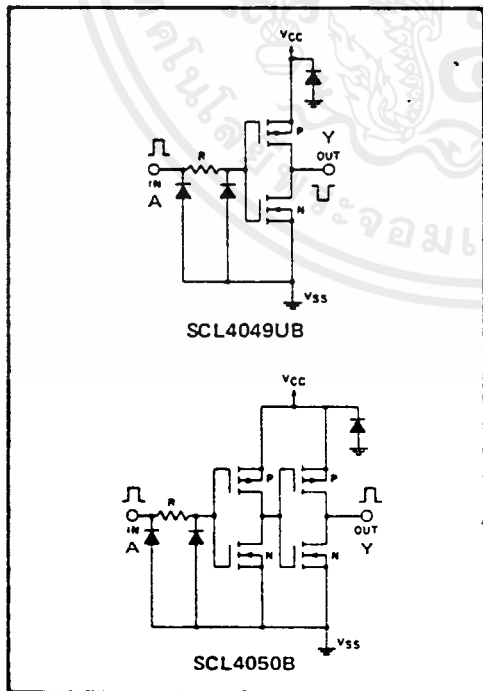
RECOMMENDED OPERATING CONDITIONS

For maximum reliability:

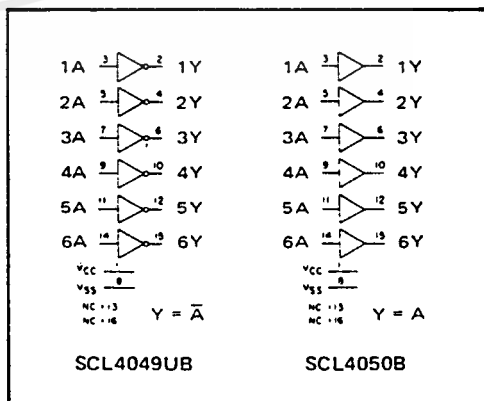
DC Supply Voltage	$V_{CC} - V_{SS}$	3 to 15	Vdc
Operating Temperature	T_A	-55 to +125	°C
C, D, F, H Device		-40 to +85	°C
E Device			

Note: These devices contain input protection networks to V_{SS} only. Therefore, V_{IH} (max) may exceed V_{CC} without damage (subject to absolute maximum ratings).

SCHEMATIC DIAGRAMS



LOGIC DIAGRAMS



ELECTRICAL CHARACTERISTICS

STATIC CHARACTERISTICS ^{1,2}

PARAMETER	V _{CC} (V _{dc})	CONDITIONS	T _{LOW} ²		+25°C			T _{HIGH} ²		Units
			Min.	Max.	Min.	Typ.	Max.	Min.	Max.	
QUIESCENT DEVICE CURRENT	I _{CC}	5 V _{IN} =V _{SS} or V _{DD}	—	1.0	—	0.005	1.0	—	30	μA _{dc}
		10 All valid input combinations	—	2.0	—	0.01	2.0	—	60	
		15	—	4.0	—	0.02	4.0	—	120	
MINIMUM INPUT HIGH VOLTAGE SCL4049UB	V _{IH}	5 V _{OL} =0.5V	—	4.0	—	2.75	4.0	—	4.0	V _{dc}
		10 V _{OL} =1.0V	—	8.0	—	5.5	8.0	—	8.0	
		15 V _{OL} =1.5V	—	12.0	—	8.25	12.0	—	12.0	
MAXIMUM INPUT LOW VOLTAGE SCL4049UB	V _{IL}	5 V _{OH} =3.6V	1.0	—	1.0	2.25	—	1.0	—	V _{dc}
		10 V _{OH} =7.2V	2.0	—	2.0	4.5	—	2.0	—	
		15 V _{OH} =10.8V	3.0	—	3.0	6.75	—	3.0	—	
OUTPUT LOW (SINK) CURRENT C, D, F, H devices	I _{OL}	5 V _{OL} =0.4V	4.0	—	3.2	6.4	—	2.4	—	mA _{dc}
		10 V _{OL} =0.5V	10	—	8.0	16	—	5.6	—	
		15 V _{OL} =1.5V	30	—	24.0	40	—	16.8	—	
		V _{IN} =V _{SS} or V _{DD}								
		5 V _{OL} =0.4V	3.8	—	3.2	6.4	—	2.6	—	mA _{dc}
		10 V _{OL} =0.5V	9.6	—	8.0	16	—	6.4	—	
E device	I _{OL}	15 V _{OL} =1.5V	28	—	24.0	40	—	19	—	
		V _{IN} =V _{SS} or V _{DD}								

NOTES: ¹ Remaining Static Electrical Characteristics are listed under "SCL4000B Series Family Specifications".² T_{LOW} = -55°C for C, D, F, H device.

= -40°C for E device.

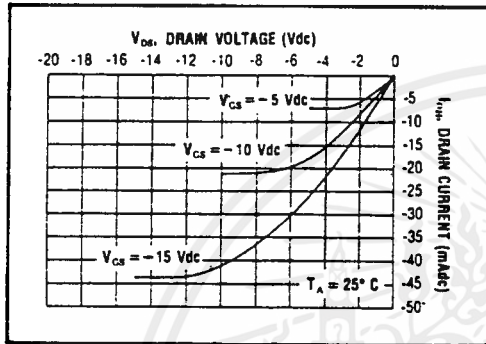
T_{HIGH} = +125°C for C, D, F, H device.

= + 85°C for E device.

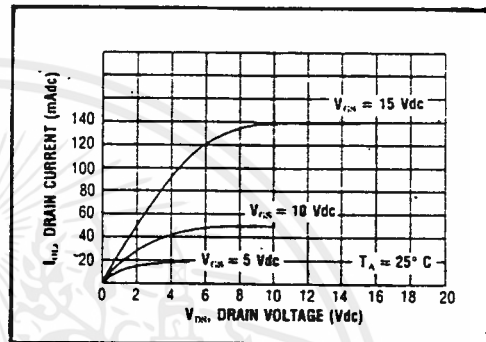
³ These devices have been designed to meet the balanced output drive current specifications for Output High (Source) Current. Consult Family Specifications.DYNAMIC CHARACTERISTICS (C_L = 50pF, T_A = 25°C)

PARAMETER	V _{IN} (V _{dc})	V _{CC} (V _{dc})	Min.	Typ.	Max.	Units
PROPAGATION DELAY TIME SCL4049UB	t _{PLH}	5 5	—	60	120	ns
		10 10	—	32	65	
		15 15	—	25	50	
		10 5	—	45	90	ns
		15 5	—	45	90	
		5 5	—	70	140	ns
	t _{PHL}	10 10	—	40	80	
		15 15	—	30	60	
		10 5	—	45	90	ns
		15 5	—	40	80	
		5 5	—	32	65	ns
		10 10	—	20	40	
SCL4050B	t _{PLH}	15 15	—	15	30	
		10 5	—	15	30	ns
		15 5	—	10	20	
		5 5	—	55	110	ns
		10 10	—	27	55	
		15 15	—	15	30	
	t _{PHL}	10 5	—	50	100	ns
		15 5	—	50	100	
		5 5	—	80	160	ns
		10 10	—	40	80	
		15 15	—	30	60	
		5 5	—	30	60	ns
OUTPUT TRANSITION TIME	t _{TLH}	10 10	—	20	40	
		15 15	—	15	30	
		5 5	—	30	60	ns
	t _{THL}	10 10	—	20	40	
		15 15	—	15	30	
		5 5	—	30	60	ns
INPUT CAPACITANCE SCL4049UB	C _{IN}	—	—	15	22.5	pF

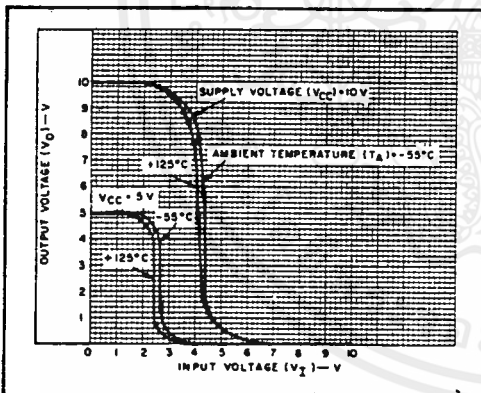
SCL4049B, SCL4050B



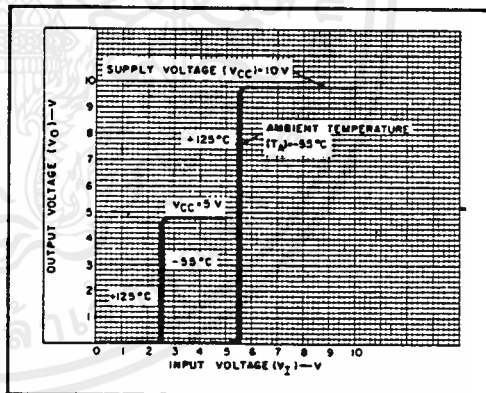
Typical P-Channel
Source Current Characteristics



Typical N-Channel
Sink Current Characteristics



Typical voltage transfer characteristics as a function
of temperature for SCL4049UB.



Typical voltage transfer characteristics as a function
of temperature for SCL4050B.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

SCL4071B, SCL4072B SCL4075B



CMOS OR GATES

SCL4071B - Quad 2-Input OR
SCL4072B - Dual 4-Input OR
SCL4075B - Triple 3-Input OR

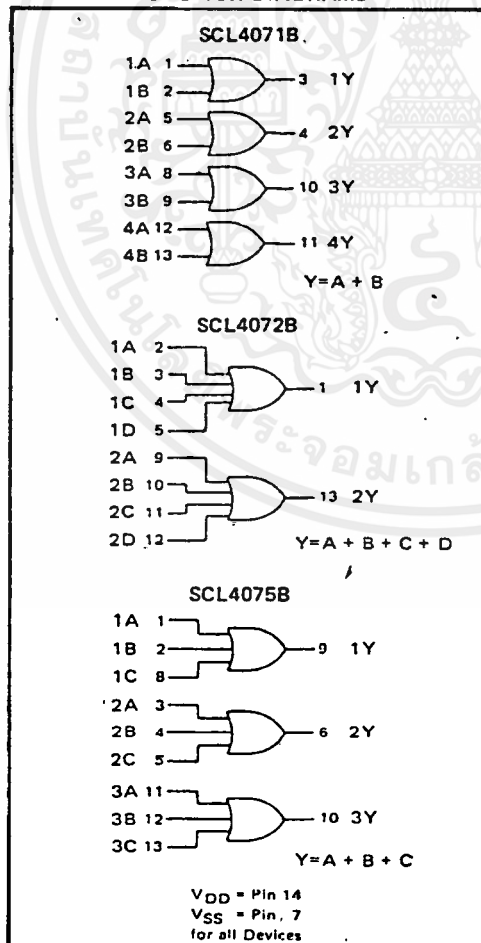
FEATURES

- ◆ Buffered Outputs
- ◆ Diode Protection on all Inputs
- ◆ Fully "B"-Series Compatible
- ◆ Balanced Output Drive Current Specifications

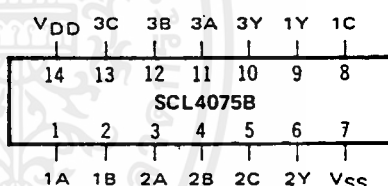
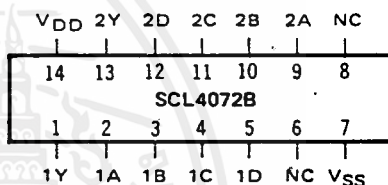
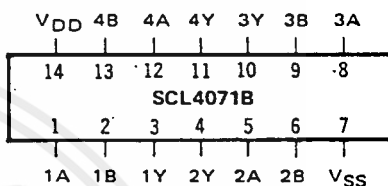
TRUTH TABLE

Inputs	Output
00 . . . 0	0
All other combinations	1

FUNCTION DIAGRAMS



CONNECTION DIAGRAMS (all packages)



Add suffix for package:

- C 14-pin Cerdip
- D 14-pin Ceramic
- E 14-pin Epoxy
- F 14-pin Flat
- H Chip

RECOMMENDED OPERATING CONDITIONS

For maximum reliability:

DC Supply Voltage	V _{DD} - V _{SS}	3 to 15	V _{dc}
Operating Temperature	T _A	-55 to +125	°C
C, D, F, H Device		-40 to +85	°C
E Device			

SCL4071B, SCL4072B, SCL4075B

ELECTRICAL CHARACTERISTICS

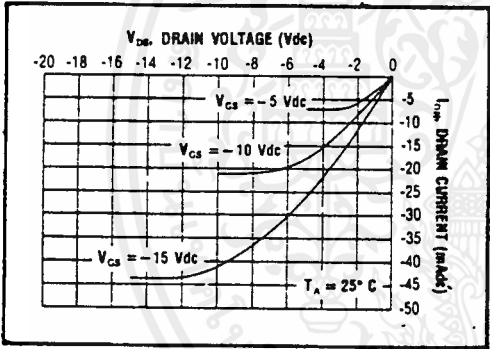
STATIC CHARACTERISTICS^{1,3}

PARAMETER	V _{DD} (Vdc)	CONDITIONS	T _{LOW} ²		+25°C			T _{HIGH} ²		Units
			Min.	Max.	Min.	Typ.	Max.	Min.	Max.	
QUIESCENT DEVICE CURRENT	I _{DD}	V _{IN} =V _{SS} or V _{DD} All valid input combinations	—	0.05	—	0.0005	0.05	—	1.5	μA _{dc}
	5		—	0.10	—	0.001	0.10	—	3.0	
	10		—	0.20	—	0.002	0.20	—	6.0	

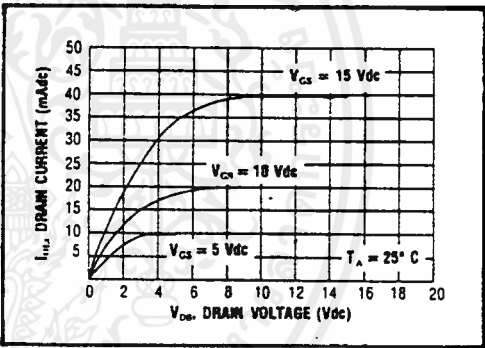
NOTES: ¹ Remaining Static Electrical Characteristics are listed under "SCL4000B Series Family Specifications"
² T_{LOW} = -55°C for C, D, F, H device.
= -40°C for E device.
T_{HIGH} = +125°C for C, D, F, H device.
= + 85°C for E device.
³ These devices have been designed for balanced output drive current specifications. Consult Family Specifications.

DYNAMIC CHARACTERISTICS (C_L = 50pF, T_A = 25°C)

PARAMETER		V _{DD} (Vdc)	Min.	Typ.	Max.	Units
PROPAGATION DELAY TIME	t _{PLH} , t _{PHL}	5	—	150	300	ns
		10	—	65	130	
		15	—	50	100	
OUTPUT TRANSITION TIME	t _{TLH} , t _{TML}	5	—	100	200	ns
		10	—	50	100	
		15	—	40	80	

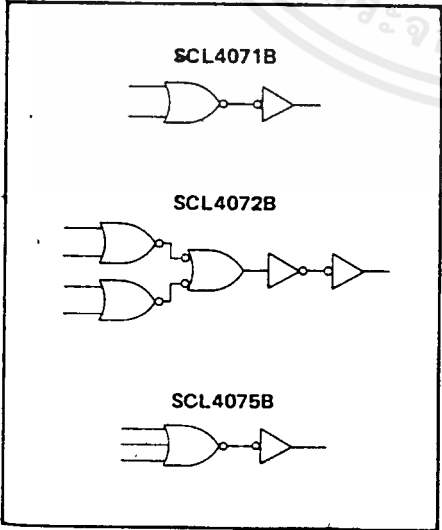


Typical P-Channel
Source Current Characteristics

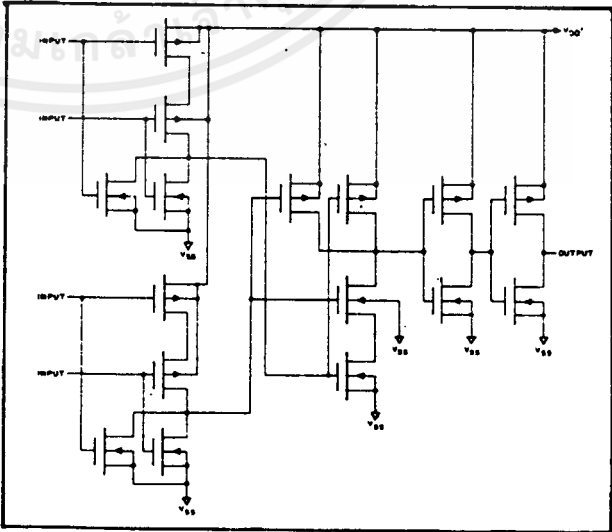


Typical N-Channel
Sink Current Characteristics

LOGIC DIAGRAMS



SCHEMATIC DIAGRAM SCL4072B (1 of 2 gates)



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

SCL4040AB



CMOS 12-STAGE BINARY COUNTER

FEATURES

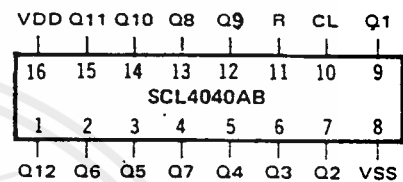
- ◆ 12 Fully Static Stages
- ◆ All 12 Buffered Outputs Available
- ◆ Common Reset Line
- ◆ 8MHz Counting Rate @ 10Vdc
- ◆ All Inputs Buffered

DESCRIPTION

The SCL4040AB consists of 12-ripple-carry binary counter stages with appropriate input buffers and reset circuitry. The counter is reset to its "all 0's" state by a high level on the Reset input. The counter is advanced one count on the negative-going transition of each input pulse. Isolation from external noise and the effects of loads is provided by output buffering.

Applications include time delay circuits, counter controls, and frequency dividers.

CONNECTION DIAGRAM (all packages)



Add suffix for package:

- C 16-pin Cerdip
- D 16-pin Ceramic
- E 16-pin Epoxy
- F 16-pin Flat
- H Chip

TRUTH TABLE

Clock	Reset	Output State
	0	No Change
	0	Advance to next state
x	1	All Outputs are low

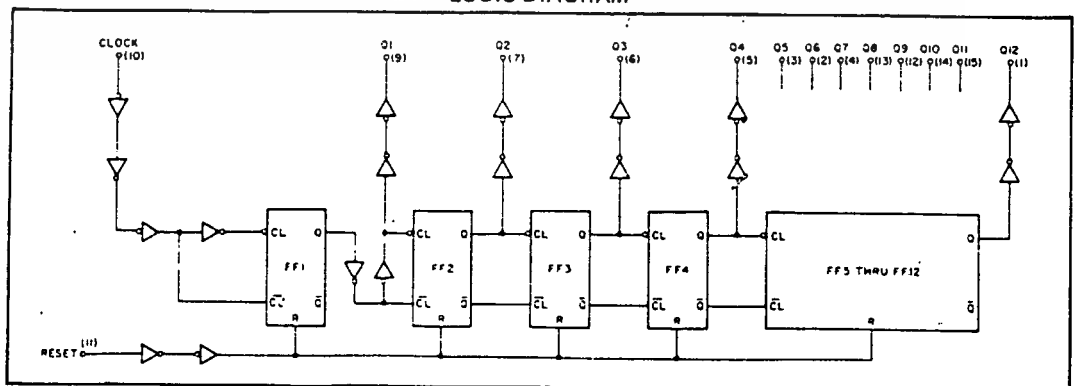
X = Don't Care

RECOMMENDED OPERATING CONDITIONS

For maximum reliability:

DC Supply Voltage	$V_{DD} - V_{SS}$	3 to 15	Vdc
Operating Temperature	T_A		
C, D, F, H Device		-55 to +125	°C
E Device		-40 to +85	°C

LOGIC DIAGRAM



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ELECTRICAL CHARACTERISTICS

STATIC CHARACTERISTICS¹

PARAMETER	V _{DD} (V _{dc})	CONDITIONS	T _{LOW} ²		+25°C			T _{HIGH} ²		Units	
			Min.	Max.	Min.	Typ.	Max.	Min.	Max.		
QUIESCENT DEVICE CURRENT	I _{DD}	5	V _{IN} =V _{SS} or V _{DD}	—	5	—	0.05	5	—	150	μAdc
		10	All valid input combinations	—	10	—	0.1	10	—	300	
		15		—	15	—	0.2	20	—	600	
OUTPUT HIGH (SOURCE) CURRENT C, D, F, H device	I _{OH}	5	V _{OH} =4.6V	-0.15	—	-0.12	-0.5	—	-0.08	—	mAdc
		10	V _{OH} =9.5V	-0.37	—	-0.3	-1.15	—	-0.21	—	
		15	V _{OH} =13.5V	-1.25	—	-1.0	-4.5	—	-0.69	—	
			V _{IN} =V _{SS} or V _{DD}								
		5	V _{OH} =4.6V	-0.14	—	-0.12	-0.5	—	-0.10	—	mAdc
		10	V _{OH} =9.5V	-0.35	—	-0.3	-1.15	—	-0.25	—	
		15	V _{OH} =13.5V	-1.2	—	-1.0	-4.5	—	-0.85	—	
			V _{IN} =V _{SS} or V _{DD}								
OUTPUT LOW (SINK) CURRENT C, D, F, H device	I _{OL}	5	V _{OL} =0.4V	0.15	—	0.12	0.5	—	0.08	—	mAdc
		10	V _{OL} =0.5V	0.37	—	0.3	1.0	—	0.21	—	
		15	V _{OL} =1.5V	1.25	—	1.0	5.8	—	0.69	—	
			V _{IN} =V _{SS} or V _{DD}								
		5	V _{OL} =0.4V	0.14	—	0.12	0.5	—	0.10	—	mAdc
		10	V _{OL} =0.5V	0.35	—	0.3	1.0	—	0.25	—	
		15	V _{OL} =1.5V	1.2	—	1.0	5.8	—	0.85	—	
			V _{IN} =V _{SS} or V _{DD}								

NOTES: ¹ Remaining Static Electrical Characteristics are listed under "SCL4000B Series Family Specifications".

² T_{LOW} = -55°C for C, D, F, H device.

= -40°C for E device.

T_{HIGH} = +125°C for C, D, F, H device.

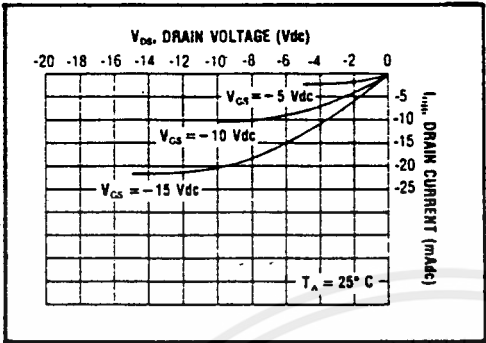
= + 85°C for E device.

DYNAMIC CHARACTERISTICS (C_L = 50pF, T_A = 25°C)

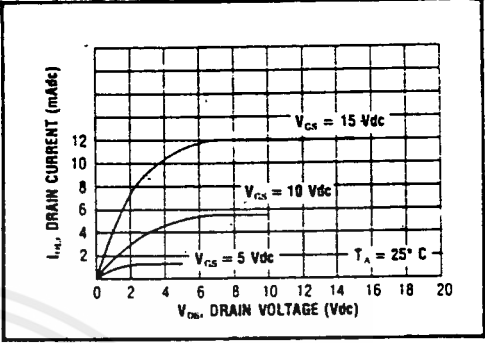
PARAMETER		V _{DD} (V _{dc})	Min.	Typ.	Max.	Units	
CLOCKED OPERATION							
PROPAGATION DELAY TIME Clock to Q1	t _{PLH, t_{PHL}}	5	—	200	400	ns	
		10	—	100	200		
		15	—	80	160		
	Q _i to Q _{i+1}	t _{PLH, t_{PHL}}	5	—	150	300	ns
			10	—	75	150	
			15	—	60	120	
OUTPUT TRANSITION TIME	t _{TLH, t_{THL}}	5	—	180	360	ns	
		10	—	90	180		
		15	—	65	130		
MINIMUM CLOCK PULSE WIDTH	PW _{CL}	5	—	100	200	ns	
		10	—	50	100		
		15	—	40	80		
MAXIMUM CLOCK FREQUENCY	f _{CL}	5	2.0	4.0	—	MHz	
		10	4.0	8.0	—		
		15	5.0	10.0	—		
MAXIMUM CLOCK RISE AND FALL TIME	t _{CL} , t _{CL}	5	15	—	—	μs	
		10	15	—	—		
		15	5	—	—		
RESET OPERATION							
PROPAGATION DELAY TIME	t _{PHL}	5	—	300	600	ns	
		10	—	150	300		
		15	—	120	240		
MINIMUM RESET PULSE WIDTH	PW _R	5	—	150	300	ns	
		10	—	75	150		
		15	—	60	120		
RESET REMOVAL TIME	t _{rem}	5	—	250	500	ns	
		10	—	125	250		
		15	—	100	200		

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

SCL4040AB

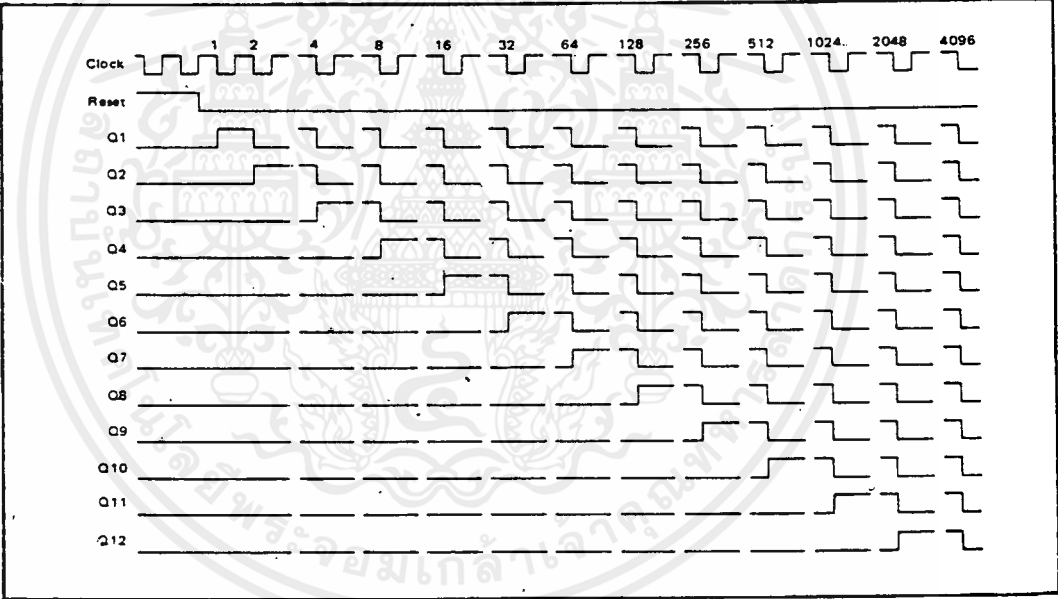


Typical P-Channel
Source Current Characteristics

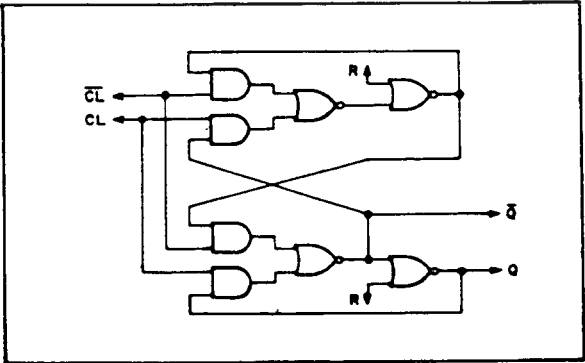


Typical N-Channel
Sink Current Characteristics

TIMING DIAGRAM



TYPICAL COUNTER STAGE



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

SCL4081B, SCL4082B SCL4073B



CMOS AND GATES

SCL4081B - Quad 2-Input AND
SCL4082B - Dual 4-Input AND
SCL4073B - Triple 3-Input AND

FEATURES

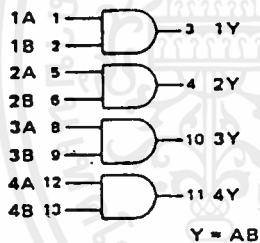
- ◆ Buffered Outputs
- ◆ Diode Protection on all Inputs
- ◆ Fully "B"-Series Compatible
- ◆ Balanced Output Drive Current Specifications

TRUTH TABLE

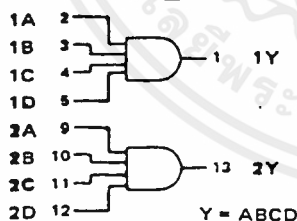
Inputs	Output
1 1 ... 1	1
All other combinations	0

FUNCTION DIAGRAMS

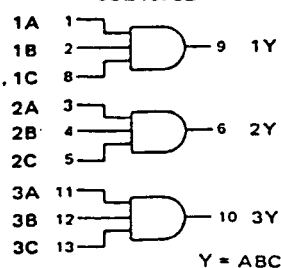
SCL4081B



SCL4082B

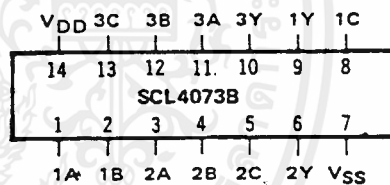
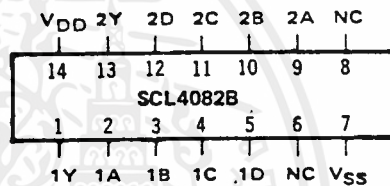
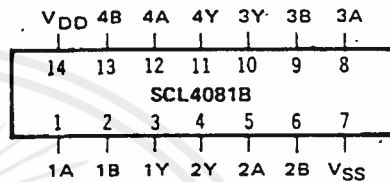


SCL4073B



V_{DD} = Pin 14
 V_{SS} = Pin 7
for all Devices

CONNECTION DIAGRAMS (all packages)



Add suffix for package:

- C 14-pin Cerdip
- D 14-pin Ceramic
- E 14-pin Epoxy
- F 14-pin Flat
- H Chip

RECOMMENDED OPERATING CONDITIONS

For maximum reliability:

DC Supply Voltage	$V_{DD} - V_{SS}$	3 to 15	Vdc
Operating Temperature	T_A	-55 to +125	°C
C, D, F, H Device		-40 to +85	°C
E Device			

ELECTRICAL CHARACTERISTICS

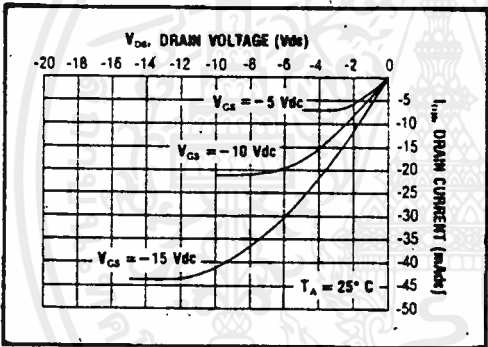
STATIC CHARACTERISTICS ^{1,3}

PARAMETER	V _{DD} (Vdc)	CONDITIONS	T _{LOW} ²		+25°C			T _{HIGH} ²		Units
			Min.	Max.	Min.	Typ.	Max.	Min.	Max.	
QUIESCENT DEVICE CURRENT	I _{DD}	V _{IN} = V _{SS} or V _{DD} All valid input combinations	—	0.05	—	0.0005	0.05	—	1.5	μA _{dc}
			—	0.10	—	0.001	0.10	—	3.0	
			—	0.20	—	0.002	0.20	—	6.0	

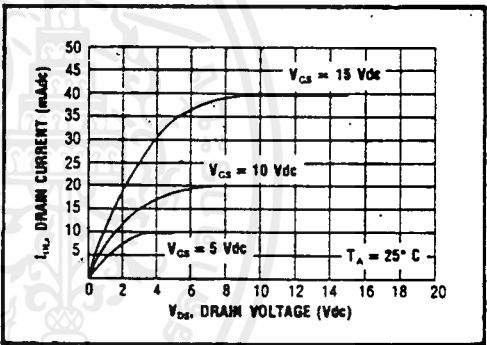
NOTES: ¹ Remaining Static Electrical Characteristics are listed under "SCL4000B Series Family Specifications"
² T_{LOW} = -55°C for C, D, F, H device.
= -40°C for E device.
T_{HIGH} = +125°C for C, D, F, H device.
= + 85°C for E device.
³ These devices have been designed for balanced output drive current specifications. Consult Family Specifications.

DYNAMIC CHARACTERISTICS (C_L = 50pF, T_A = 25°C)

PARAMETER		V _{DD} (Vdc)	Min.	Typ.	Max.	Units
PROPAGATION DELAY TIME	t _{PLH} , t _{PHL}	5	—	150	300	ns
		10	—	65	130	
		15	—	50	100	
OUTPUT TRANSITION TIME	t _{TLH} , t _{THL}	5	—	100	200	ns
		10	—	50	100	
		15	—	40	80	

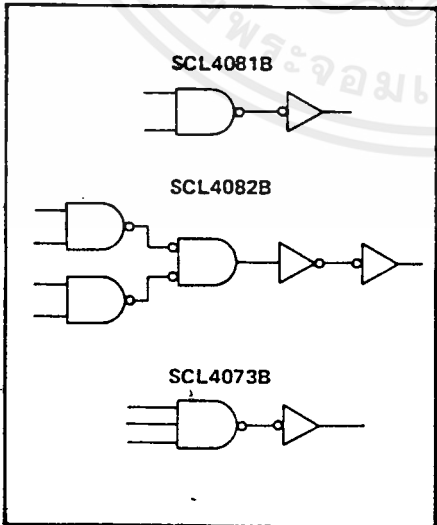


Typical P-Channel
Source Current Characteristics

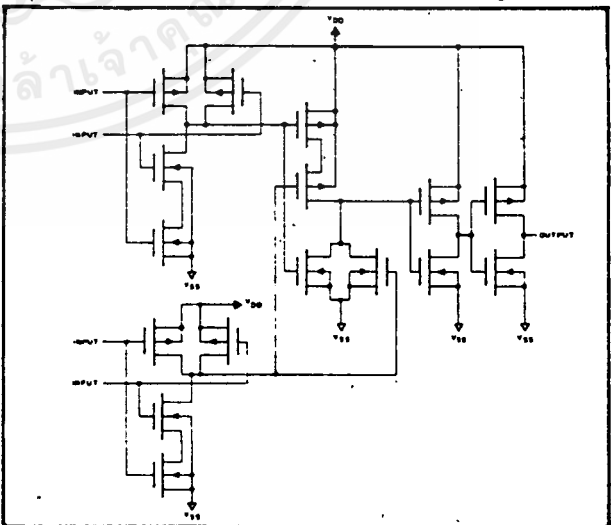


Typical N-Channel
Sink Current Characteristics

LOGIC DIAGRAMS



SCHEMATIC DIAGRAM - SCL4082B (1 of 2 gates)





MOTOROLA

MC14503B

HEX NON-INVERTING 3-STATE BUFFER

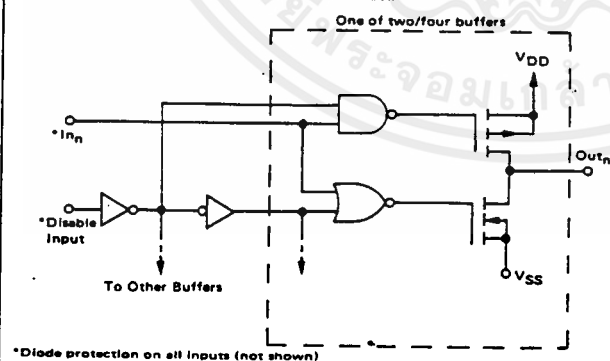
The MC14503B is a hex non-inverting buffer with 3-state outputs, and a high current source and sink capability. The 3-state outputs make it useful in common bussing applications. Two disable controls are provided. A high level on the Disable A input causes the outputs of buffers 1 through 4 to go into a high impedance state and a high level on the Disable B input causes the outputs of buffers 5 and 6 to go into a high impedance state.

- 3-State Outputs
- TTL Compatible — Will Drive One TTL Load Over Full Temperature Range
- Supply Voltage Range = 3.0 Vdc to 18 Vdc
- Symmetrical Turn-On and Turn-off Delays
- Symmetrical Output Rise and Fall Times
- Two Disable Controls for Added Versatility
- Pin for Pin Replacement for MM80C97 and 340097

MAXIMUM RATINGS (Voltages referenced to V_{SS} , Pin 8)

Rating	Symbol	Value	Unit
DC Supply Voltage	V_{DD}	-0.5 to +18	Vdc
Input Voltage, All Inputs	V_{in}	-0.5 to $V_{DD} + 0.5$	Vdc
DC Current Drain per Input Pin	I	10	mAdc
DC Current Drain per Output Pin	I	25	mAdc
Operating Temperature Range — AL Device	T_A	-55 to +125	°C
CL/CP Device		-40 to +85	
Storage Temperature Range	T_{stg}	-65 to +150	°C

CIRCUIT DIAGRAM



This device contains circuitry to protect the inputs against damage due to high static voltages or electric fields; however, it is advised that normal precautions be taken to avoid application of any voltage higher than maximum rated voltages to this high impedance circuit. For proper

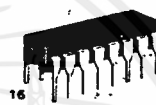
operation it is recommended that V_{in} and V_{out} be constrained to the range $V_{SS} < (V_{in} \text{ or } V_{out}) < V_{DD}$.

Unused inputs must always be tied on an appropriate logic voltage level (e.g., either V_{SS} or V_{DD}).

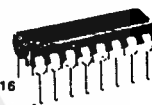
CMOS SSI

(LOW-POWER COMPLEMENTARY MOS)

HEX 3-STATE BUFFER



L SUFFIX
CERAMIC PACKAGE,
CASE 620



P SUFFIX
PLASTIC PACKAGE
CASE 648

ORDERING INFORMATION

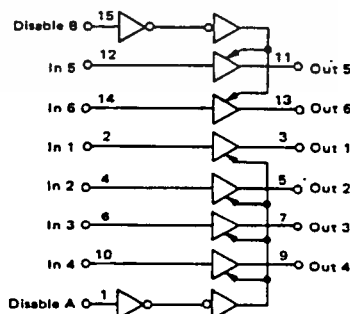
MC14XXXB	Suffix	Denotes
	L	Ceramic Package
	P	Plastic Package
	A	Extended Operating Temperature Range
	C	Limited Operating Temperature Range

TRUTH TABLE

In_n	Appropriate Disable Input	Out_n
0	0	0
1	0	1
X	1	High Impedance

X = Don't Care

LOGIC DIAGRAM



V_{DD} = Pin 16
 V_{SS} = Pin 8

MC14503B

ELECTRICAL CHARACTERISTICS

Characteristic	Symbol	VDD Vdc	Tlow*		25°C			Thigh*		Unit
			Min	Max	Min	Typ	Max	Min	Max	
Output Voltage Vin = VDD or 0 Vin = 0 or VDD	VOL	5.0	—	0.05	—	0	0.05	—	0.05	Vdc
		10	—	0.05	—	0	0.05	—	0.05	
		15	—	0.05	—	0	0.05	—	0.05	
	VOH	5.0	4.95	—	4.95	5.0	—	4.95	—	Vdc
		10	9.95	—	9.95	10	—	9.95	—	
		15	14.95	—	14.95	15	—	14.95	—	
Noise Immunity# (VO = 3.6 or 1.4 Vdc) (VO = 7.2 or 2.8 Vdc) (VO = 11.5 or 3.5 Vdc) (VO = 1.4 or 3.6 Vdc) (VO = 2.8 or 7.2 Vdc) (VO = 3.5 or 11.5 Vdc)	VIL	5.0	—	1.5	—	2.25	1.5	—	1.5	Vdc
		10	—	3.0	—	4.50	3.0	—	3.0	
		15	—	3.75	—	6.75	3.75	—	3.75	
	VIH	5.0	3.5	—	3.5	2.75	—	3.5	—	Vdc
		10	7.0	—	7.0	5.5	—	7.0	—	
		15	11.25	—	11.25	8.25	—	11.25	—	
Output Drive Current (AL Device)*** (VOH = 2.5 Vdc) Source (VOH = 2.5 Vdc) (VOH = 4.6 Vdc) (VOH = 9.5 Vdc) (VOH = 13.5 Vdc) Sink (VOL = 0.4 Vdc) (VOL = 0.4 Vdc) (VOL = 0.5 Vdc) (VOL = 1.5 Vdc)	IOH	4.5	-4.3	—	-3.6	-5.0	—	-2.5	—	mAdc
		5.0	-5.8	—	-4.80	-6.1	—	-3.0	—	
		5.0	-1.2	—	-1.02	-1.4	—	-0.7	—	
		10	-3.1	—	-2.60	-3.7	—	-1.8	—	
		15	-8.2	—	-6.80	-14.1	—	-4.8	—	
	IOL	4.5	2.2	—	1.8	2.1	—	1.2	—	mAdc
		5.0	2.6	—	2.1	2.3	—	1.3	—	
		10	6.5	—	5.5	6.2	—	3.8	—	
		15	19.2	—	16.10	25.00	—	11.2	—	
		15	19.2	—	16.10	25.00	—	11.2	—	
Output Drive Current (CL/CP Device)*** (VOH = 2.5 Vdc) Source (VOH = 2.5 Vdc) (VOH = 4.6 Vdc) (VOH = 9.5 Vdc) (VOH = 13.5 Vdc) Sink (VOL = 0.4 Vdc) (VOL = 0.4 Vdc) (VOL = 0.5 Vdc) (VOL = 1.5 Vdc)	IOH	4.75	-4.0	—	-3.60	-5.5	—	-2.4	—	mAdc
		5.0	-4.6	—	-4.20	-6.1	—	-3.0	—	
		5.0	-1.0	—	-0.88	-1.4	—	-0.7	—	
		10	-2.4	—	-2.20	-3.7	—	-1.8	—	
		15	-6.6	—	-6.00	-14.1	—	-4.8	—	
	IOL	4.75	2.1	—	1.95	2.2	—	1.25	—	mAdc
		5.0	2.3	—	2.10	2.3	—	1.3	—	
		10	6.0	—	5.45	6.2	—	3.8	—	
		15	15.2	—	13.80	25.00	—	11.2	—	
		15	15.2	—	13.80	25.00	—	11.2	—	
Input Current (AL Device)	Iin	15	—	±0.1	—	±0.00001	±0.1	—	±1.0	μAdc
Input Current (CL/CP Device)	Iin	15	—	±0.3	—	±0.00001	±3.8	—	±1.0	μAdc
Input Capacitance (Vin = 0)	Cin	—	—	—	—	5.0	7.5	—	—	pF
Quiescent Current (AL Device) (Per Package)	IQ	5.0	—	1.0	—	0.002	1.0	—	30	μAdc
		10	—	2.0	—	0.004	2.0	—	60	μAdc
		15	—	4.0	—	0.006	4.0	—	120	μAdc
Quiescent Current (CL/CP Device) (Per Package)	IDD	5.0	—	4.0	—	0.002	4.0	—	30	μAdc
		10	—	8.0	—	0.004	8.0	—	60	μAdc
		15	—	16	—	0.006	16	—	120	μAdc
Total Supply Current**† (Dynamic plus Quiescent, Per Package) (CL = 50 pF on all outputs) (All outputs switching, 50% Duty Cycle)	IDD	5.0	(IT = 2.5 μA/kHz) f + IDD (IT = 6.0 μA/kHz) f + IDD (IT = 10 μA/kHz) f + IDD							μAdc
3-State Output Leakage Current (AL Device)	ITL	15	—	±0.1	—	±0.0001	±0.1	—	±3.0	μAdc
3-State Output Leakage Current (CL/CP Device)	ITL	15	—	±1.0	—	±0.0001	±1.0	—	±7.5	μAdc

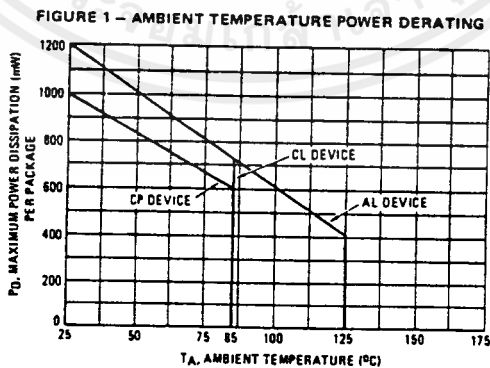
*Tlow = -55°C for AL Device, -40°C for CL/CP Device.
Thigh = +125°C for AL Device, +85°C for CL/CP Device.
#Noise immunity specified for worst-case input combination.
†To calculate total supply current at loads other than 50 pF:
 $I_T(C_L) = I_T(50 \text{ pF}) + 6 \times 10^{-3} (C_L - 50) V_{DD} f$
IT is in μA (per package) CL in pF, VDD in Vdc, and f in kHz is input frequency.
**The formulas given are for the typical characteristics only at 25°C
***Care must be taken not to exceed maximum current ratings (see maximum ratings table and Figure 1).

MC14503B

SWITCHING CHARACTERISTICS* (C_L = 50 pF, T_A = 25°C)

Characteristic	Symbol	V _{DD} V _{CC}	All Types		Unit
			Typ	Max	
Output Rise Time t _{TLH} = (0.5 ns/pF) C _L + 20 ns t _{TLH} = (0.3 ns/pF) C _L + 8.0 ns t _{TLH} = (0.2 ns/pF) C _L + 8.0 ns	t _{TLH}	5.0 10 15	45 23 18	90 45 35	ns
Output Fall Time t _{THL} = (0.5 ns/pF) C _L + 20 ns t _{THL} = (0.3 ns/pF) C _L + 8.0 ns t _{THL} = (0.2 ns/pF) C _L + 8.0 ns	t _{THL}	5.0 10 15	45 23 18	90 45 35	ns
Turn-Off Delay Time, all Outputs t _{pLH} = (0.3 ns/pF) C _L + 60 ns t _{pLH} = (0.15 ns/pF) C _L + 27 ns t _{pLH} = (0.1 ns/pF) C _L + 20 ns	t _{pLH}	5.0 10 15	75 35 25	150 70 50	ns
Turn-On Delay Time, all Outputs t _{pHL} = (0.3 ns/pF) C _L + 60 ns t _{pHL} = (0.15 ns/pF) C _L + 27 ns t _{pHL} = (0.1 ns/pF) C _L + 20 ns	t _{pHL}	5.0 10 15	75 35 25	150 70 50	ns
3-State Propagation Delay Time Output "1" to High Impedance Output "0" to High Impedance High Impedance to "1" Level High Impedance to "0" Level	t _{PHZ}	5.0 10 15	75 40 35	150 80 70	ns
	t _{PLZ}	5.0 10 15	80 40 35	160 80 70	ns
	t _{PZH}	5.0 10 15	65 25 20	130 50 40	ns
	t _{PZL}	5.0 10 15	100 35 25	200 70 50	ns

*The formulas given are for the typical characteristics only.



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MC14503B

FIGURE 2 – SWITCHING TIME TEST CIRCUIT AND WAVEFORMS
(t_{PLH} , t_{THL} , t_{PHL} , and t_{PLH})

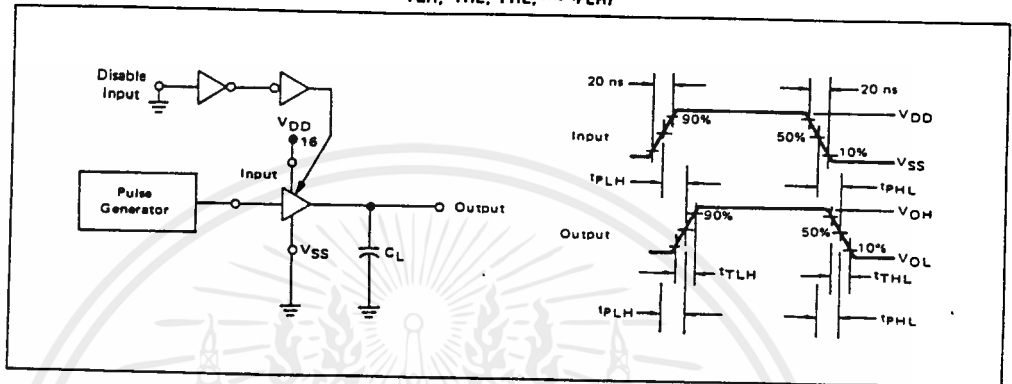
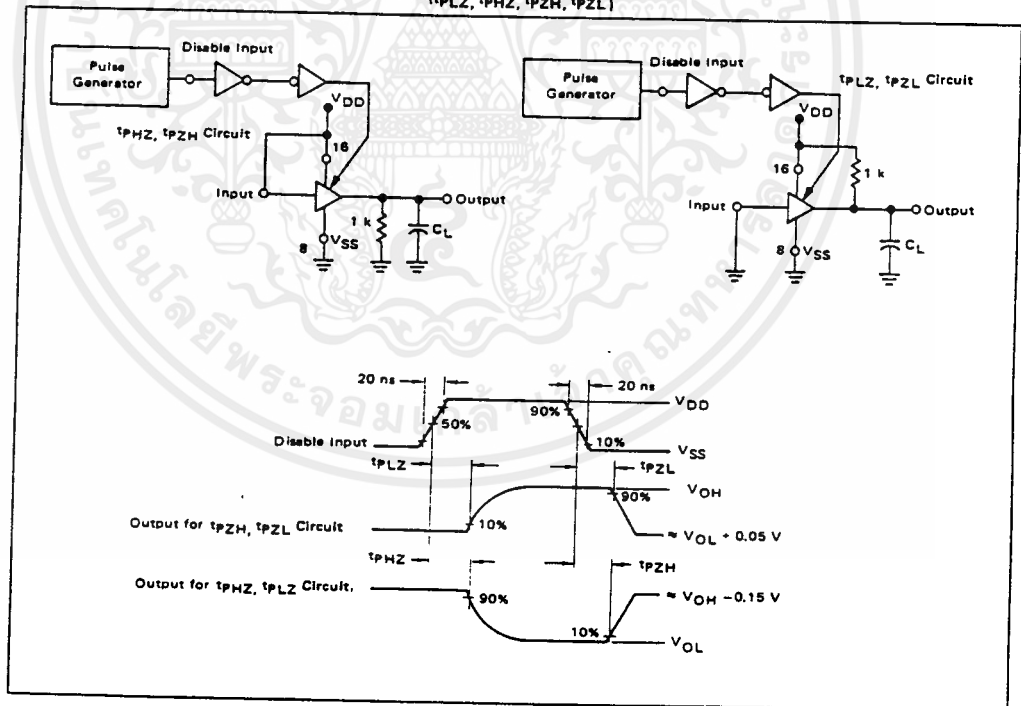


FIGURE 3 – 3 STATE AC TEST CIRCUITS AND WAVEFORMS
(t_{PLZ} , t_{PHZ} , t_{PZH} , t_{PZL})



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



MOTOROLA

MC14538B

DUAL PRECISION RETRIGGERABLE/RESETTABLE MONOSTABLE MULTIVIBRATOR

The MC14538B is a dual, retriggerable, resettable monostable multivibrator. It may be triggered from either edge of an input pulse, and will produce an accurate output pulse over a wide range of widths, the duration and accuracy of which are determined by the external timing components, C_X and R_X . Linear CMOS techniques allow more precise control of output pulse width.

- $\pm 1.0\%$ Typical Pulsewidth Variation from Part to Part
- $\pm 0.5\%$ Typical Pulsewidth Variation over Temperature Range
- New Formula: $T = RC$ (T in seconds, R in ohms, C in farads)
- Pulse Width Range = $10 \mu s$ to ∞
- Symmetrical Output Sink and Source Capability
- Latched Trigger Inputs
- Separate Latched Reset Inputs
- Quiescent Current (Standby) = $5.0 \text{ nA/package typical @ } 5 \text{ Vdc}$
- 3.0 Vdc to 18 Vdc Operational Limits
- Triggerable from Positive or Negative-Going Edge
- Capable of Driving Two Low-power TTL Loads, One Low-power Schottky TTL Load or Two HTL Loads Over the Rated Temperature Range
- Pin-for-pin Compatible with MC14528B and CD4528B (CD4098)
- For Pulse Widths Less Than $10 \mu s$ the MC14528B is Recommended

MAXIMUM RATINGS (Voltages referenced to V_{SS})

Rating	Symbol	Value	Unit
DC Supply Voltage	V_{DD}	-0.5 to $+18$	Vdc
Input Voltage, All Inputs	V_{in}	-0.5 to $V_{DD} + 0.5$	Vdc
DC Current Drain per Pin	I	10	mAdc
Operating Temperature Range — AL Device CL/CP Device	T_A	-55 to $+125$ -40 to $+85$	$^{\circ}\text{C}$
Storage Temperature Range	T_{stg}	-65 to $+150$	$^{\circ}\text{C}$

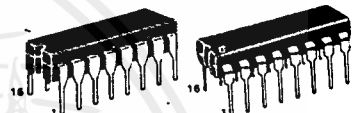
This device contains circuitry to protect the inputs against damage due to high static voltages or electric fields, however, it is advised that normal precautions be taken to avoid application of any voltage higher than maximum rated voltages to this high-impedance circuit. For proper operation it is recommended that V_{in} and V_{out} be constrained to the range $V_{SS} \leq (V_{in} \text{ or } V_{out}) \leq V_{DD}$.

Unused inputs must always be tied to an appropriate logic voltage level (e.g., either V_{SS} or V_{DD}).

CMOS MSI

(LOW-POWER COMPLEMENTARY MOS)

DUAL PRECISION RETRIGGERABLE/RESETTABLE MONOSTABLE MULTIVIBRATOR



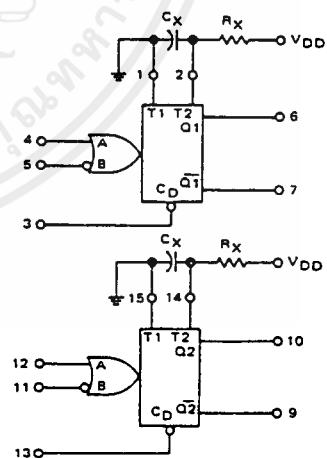
L SUFFIX
CERAMIC PACKAGE
CASE 620

P SUFFIX
PLASTIC PACKAGE
CASE 648

ORDERING INFORMATION

MC14XXXB	Suffix	Denotes
	L	Ceramic Package
	P	Plastic Package
	A	Extended Operating Temperature Range
	C	Limited Operating Temperature Range

BLOCK DIAGRAM



R_X and C_X are external components.

V_{DD} = Pin 16
 V_{SS} = Pin 8, Pin 1, Pin 15

MC14538B

ELECTRICAL CHARACTERISTICS

Characteristic	Symbol	V _{DD} Vdc	T _{low} *		25°C			T _{high} *		Unit
			Min	Max	Min	Typ	Max	Min	Max	
Output Voltage V _{in} = V _{DD} or 0	"0" Level V _{OL}	5.0	—	0.05	—	0	0.05	—	0.05	Vdc
		10	—	0.05	—	0	0.05	—	0.05	
		15	—	0.05	—	0	0.05	—	0.05	
	"1" Level V _{OH}	5.0	4.95	—	4.95	5.0	—	4.95	—	Vdc
		10	9.95	—	9.95	10	—	9.95	—	
		15	14.95	—	14.95	15	—	14.95	—	
Input Voltage* (V _O = 4.5 or 0.5 Vdc) (V _O = 9.0 or 1.0 Vdc) (V _O = 13.5 or 1.5 Vdc)	"0" Level V _{IL}	5.0	—	1.5	—	2.25	1.5	—	1.5	Vdc
		10	—	3.0	—	4.50	3.0	—	3.0	
		15	—	4.0	—	6.75	4.0	—	4.0	
	"1" Level V _{IH}	5.0	3.5	—	3.5	2.75	—	3.5	—	Vdc
		10	7.0	—	7.0	5.50	—	7.0	—	
		15	11.0	—	11.0	8.25	—	11.0	—	
Output Drive Current (AL Device) (V _{OH} = 2.5 Vdc) (V _{OH} = 4.6 Vdc) (V _{OH} = 9.5 Vdc) (V _{OH} = 13.5 Vdc) (V _{OL} = 0.4 Vdc) (V _{OL} = 0.5 Vdc) (V _{OL} = 1.5 Vdc)	Source I _{OH}	5.0	-3.0	—	-2.4	-4.2	—	-1.7	—	mAdc
		5.0	-0.64	—	-0.51	-0.88	—	-0.36	—	
		10	-1.6	—	-1.3	-2.25	—	-0.9	—	
		15	-4.2	—	-3.4	-8.8	—	-2.4	—	
	Sink I _{OL}	5.0	0.64	—	0.51	0.88	—	0.36	—	mAdc
		10	1.6	—	1.3	2.25	—	0.9	—	
		15	4.2	—	3.4	8.8	—	2.4	—	
		15	4.2	—	3.4	8.8	—	2.4	—	
	Source I _{OH}	5.0	-2.5	—	-2.1	-4.2	—	-1.7	—	mAdc
		5.0	-0.52	—	-0.44	-0.88	—	-0.36	—	
		10	-1.3	—	-1.1	-2.25	—	-0.9	—	
		15	-3.6	—	-3.0	-8.8	—	-2.4	—	
	Sink I _{OL}	5.0	0.52	—	0.44	0.88	—	0.36	—	mAdc
		10	1.3	—	1.1	2.25	—	0.9	—	
		15	3.6	—	3.0	8.8	—	2.4	—	
		15	3.6	—	3.0	8.8	—	2.4	—	
Input Current, Pin 2 or 14	I _{in}	15	—	±0.02	—	±0.00001	±0.05	—	±0.5	μAdc
Input Current, Other Inputs (AL Device)	I _{in}	15	—	±0.1	—	±0.00001	±0.1	—	±1.0	μAdc
Input Current, Other Inputs (CL/CP Device)	I _{in}	15	—	±0.3	—	±0.00001	±0.3	—	±1.0	μAdc
Input Capacitance, Pin 2 or 14	C _{in}	—	—	—	—	25	—	—	—	pF
Input Capacitance, Other Inputs (V _{in} = 0)	C _{in}	—	—	—	—	5.0	7.5	—	—	pF
Quiescent Current (AL Device) (Per Package)	I _{DD}	5.0	—	5.0	—	0.005	5.0	—	150	μAdc
		10	—	10	—	0.010	10	—	300	μAdc
		15	—	20	—	0.015	20	—	600	μAdc
Quiescent Current (CL/CP Device) (Per Package)	I _{DD}	5.0	—	20	—	0.005	20	—	150	μAdc
		10	—	40	—	0.010	40	—	300	μAdc
		15	—	80	—	0.015	80	—	600	μAdc
Quiescent Current, Active State (Q1 = Logic 1) (Q2 = Logic 0)	I _{DD}	5.0	—	—	—	35	—	—	—	μAdc
		10	—	—	—	80	—	—	—	μAdc
		15	—	—	—	125	—	—	—	μAdc
**Total Supply Current at an external load capacitance (C _L) and at external timing network (R _X , C _X)	I _T	5.0 10.0 15.0	$I_T = (3.5 \times 10^{-2}) R_X C_X f + 4 C_X f + 1 \times 10^{-5} C_L f$ $I_T = (8 \times 10^{-2}) R_X C_X f + 9 C_X f + 2 \times 10^{-5} C_L f$ $I_T = (1.25 \times 10^{-1}) R_X C_X f + 12 C_X f + 3 \times 10^{-5} C_L f$ where: I _T in μA (one monostable switching only), C _X in μF, C _L in pF, R _X in k ohms, and f in Hz is the input frequency.							

*T_{low} = -55°C for AL Device, -40°C for CL/CP Device.

T_{high} = +125°C for AL Device, +85°C for CL/CP Device.

#Noise immunity specified for worst-case input combination.

Noise Margin both "1" and "0" level = 1.0 Vdc min @ V_{DD} = 5.0 Vdc

2.0 Vdc min @ V_{DD} = 10 Vdc

2.5 Vdc min @ V_{DD} = 15 Vdc

**The formulas given are for the typical characteristics only at 25°C.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MC14538B

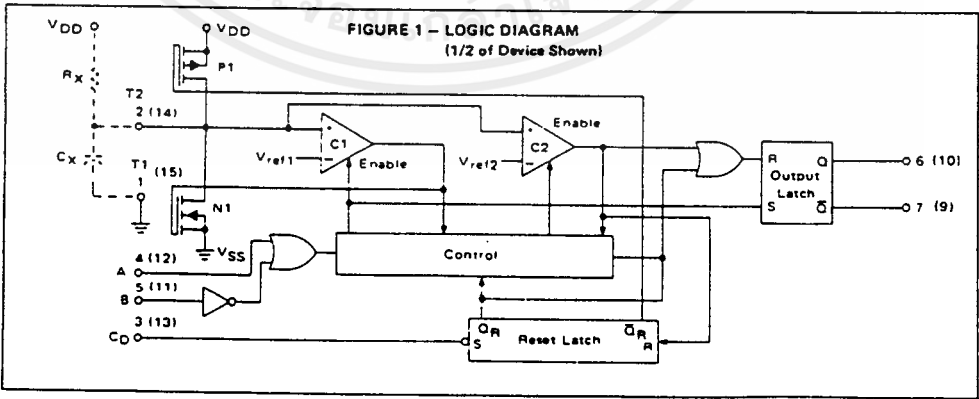
SWITCHING CHARACTERISTICS (C_L = 50 pF, T_A = 25°C)

Characteristic	Symbol	V _{DD} V _{dc}	All Types			Unit
			Min	Typ	Max	
Output Rise Time t _{TLH} = (1.35 ns/pF) C _L + 33 ns t _{TLH} = (0.60 ns/pF) C _L + 20 ns t _{TLH} = (0.40 ns/pF) C _L + 20 ns	t _{TLH}	5.0 10 15	— — —	100 50 40	200 100 80	ns
Output Fall Time t _{THL} = (1.35 ns/pF) C _L + 33 ns t _{THL} = (0.60 ns/pF) C _L + 20 ns t _{THL} = (0.40 ns/pF) C _L + 20 ns	t _{THL}	5.0 10 15	— — —	100 50 40	200 100 80	ns
Propagation Delay Time A or B to Q or Q̄ t _{PLH} , t _{PHL} = (0.90 ns/pF) C _L + 255 ns t _{PLH} , t _{PHL} = (0.36 ns/pF) C _L + 132 ns t _{PLH} , t _{PHL} = (0.26 ns/pF) C _L + 97 ns C _D to Q or Q̄ t _{PLH} , t _{PHL} = (0.90 ns/pF) C _L + 205 ns t _{PLH} , t _{PHL} = (0.36 ns/pF) C _L + 107 ns t _{PLH} , t _{PHL} = (0.26 ns/pF) C _L + 82 ns	t _{PLH} , t _{PHL}	5.0 10 15 5.0 10 15	— — — — — —	300 150 100 250 125 95	600 300 220 500 250 190	ns ns
Minimum Input Pulse Width A, B or C _D	t _{WH} , t _{WL}	5.0 10 15	— — —	35 30 25	70 60 50	ns
Minimum Retrigger Time	t _{rr}	5.0 10 15	0 0 0	— — —	— — —	ns
Output Pulse Width — Q or Q̄ Refer to Figure 9 for other values of R _X and C _X . C _X = 0.002 μF, R _X = 100 kΩ C _X = 0.1 μF, R _X = 100 kΩ C _X = 10 μF, R _X = 100 kΩ	T	5.0 10 15 5.0 10 15 5.0 10 15	— 210 212 214 9.3 9.5 9.6 0.915 0.93 0.94	222 224 226 9.86 10 10.14 0.965 0.98 0.99	234 236 238 10.4 10.5 10.7 1.015 1.03 1.04	μs ms s
Pulse Width Match between circuits in the same package. C _X = 0.1 μF, R _X = 100 kΩ	$100 \frac{(T_1 - T_2)}{T_1}$	5.0 10 15	— — —	±1 ±1 ±1	— — —	%

OPERATING CONDITIONS

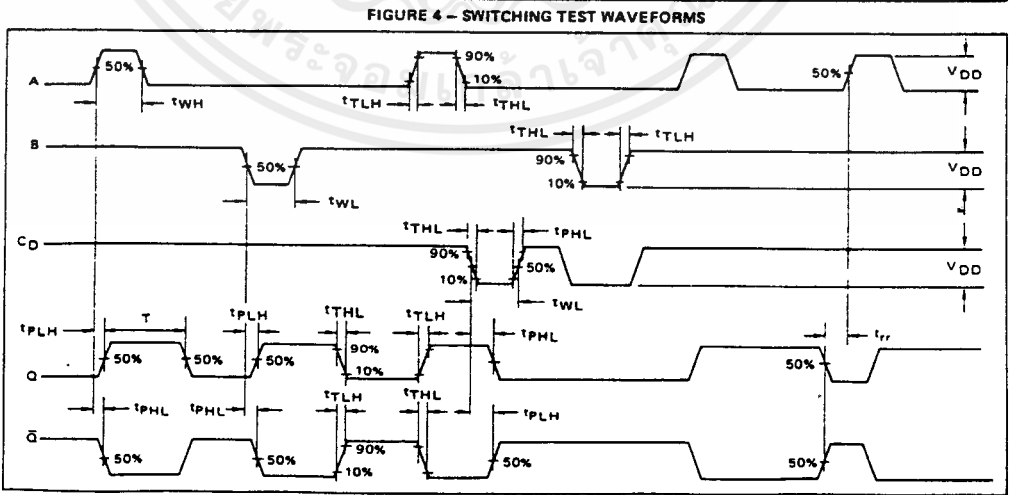
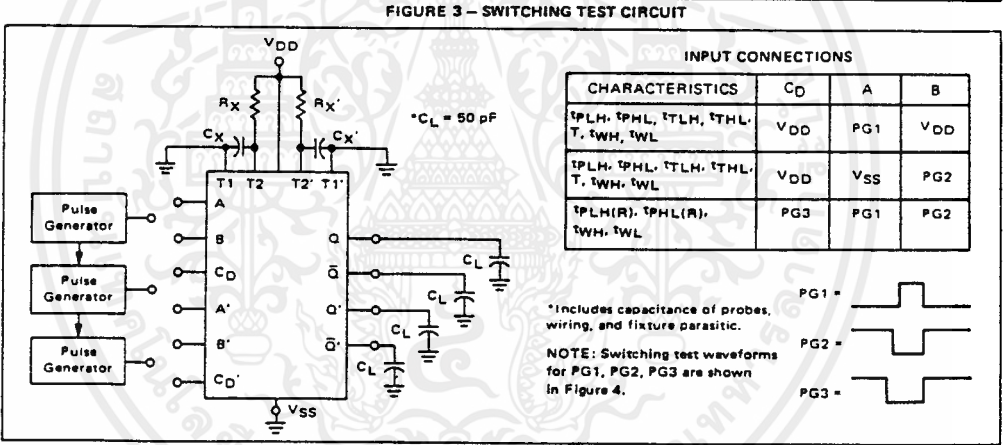
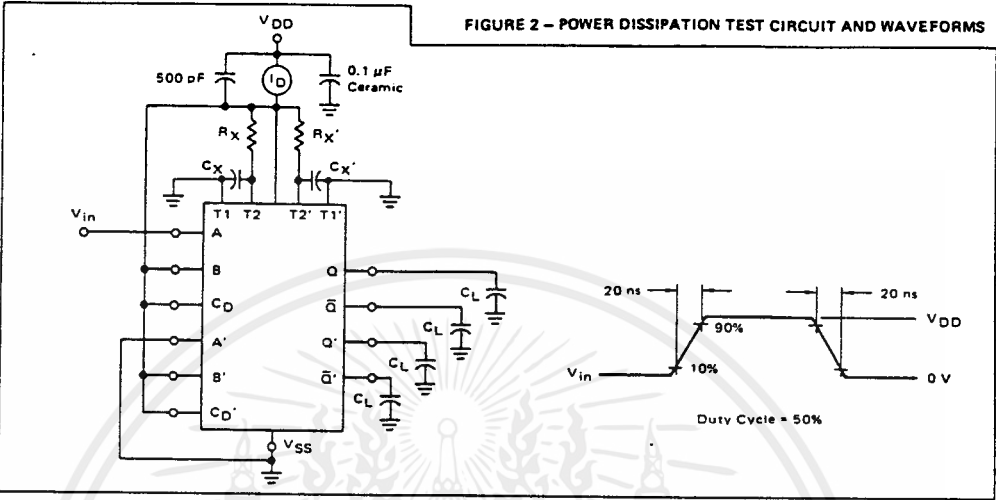
External Timing Resistance	R _X	—	5.0	—	*	kΩ
External Timing Capacitance	C _X	—	0	—	No Limit	pF

*The maximum usable resistance R_X is a function of the leakage of the capacitor C_X, leakage of the MC14538B, and leakage due to board layout and surface resistance.



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MC14538B



MC14538B

FIGURE 5 – TYPICAL NORMALIZED DISTRIBUTION OF UNITS FOR OUTPUT PULSE WIDTH

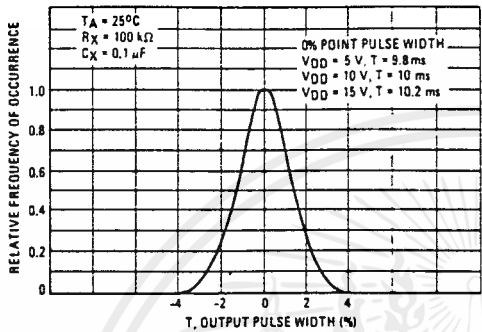


FIGURE 6 – TYPICAL PULSE WIDTH VARIATION AS A FUNCTION OF SUPPLY VOLTAGE VDD

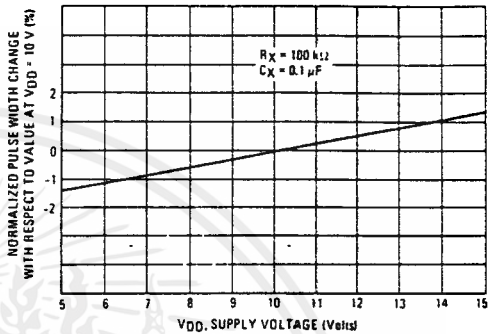


FIGURE 7 – TYPICAL TOTAL SUPPLY CURRENT versus OUTPUT DUTY CYCLE

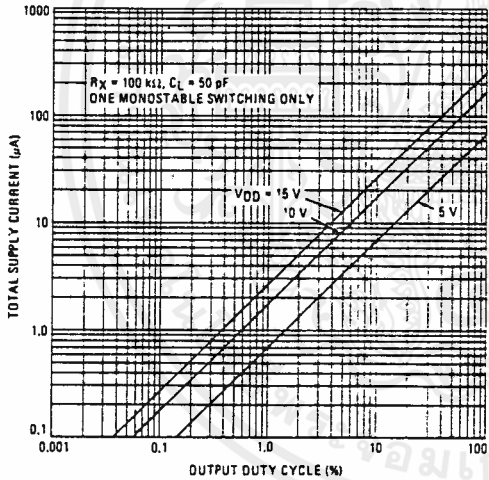


FIGURE 7 – TYPICAL PULSE WIDTH ERROR versus TEMPERATURE

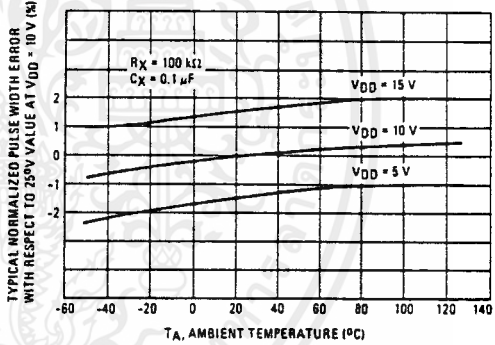
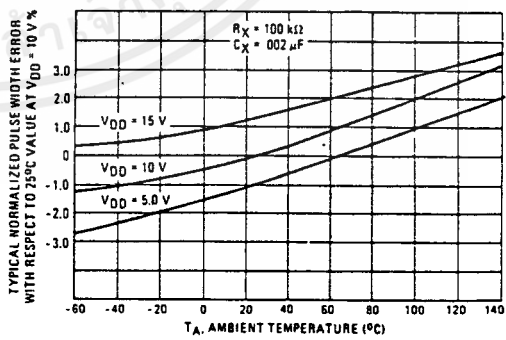


FIGURE 9 – TYPICAL PULSE WIDTH ERROR versus TEMPERATURE

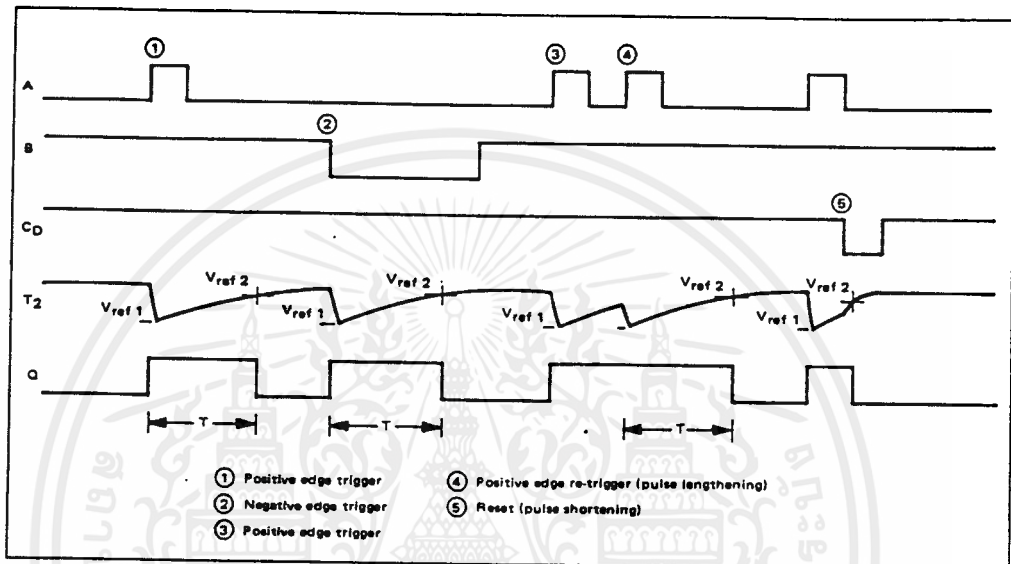


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MC14538B

THEORY OF OPERATION

FIGURE 10 — Timing Operation



TRIGGER OPERATION

The block diagram of the MC14538B is shown in Figure 1, with circuit operation following.

As shown in Figures 1 and 10, before an input trigger occurs, the monostable is in the quiescent state with the Q output low, and the timing capacitor C_X completely charged to V_{DD} . When the trigger input A goes from VSS to V_{DD} (while inputs B and CD are held to V_{DD}) a valid trigger is recognized, which turns on comparator C1 and N-Channel transistor N1 ①. At the same time the output latch is set. With transistor N1 on, the capacitor C_X rapidly discharges toward VSS until $V_{ref 1}$ is reached. At this point the output of comparator C1 changes state and transistor N1 turns off. Comparator C1 then turns off while at the same time comparator C2 turns on. With transistor N1 off, the capacitor C_X begins to charge through the timing resistor, R_X , toward V_{DD} . When the voltage across C_X equals $V_{ref 2}$, comparator C2 changes state, causing the output latch to reset (Q goes low) while at the same time disabling comparator C2 ②. This ends the timing cycle with the monostable in the quiescent state, waiting for the next trigger.

It should be noted that in the quiescent state C_X is fully charged to V_{DD} causing the current through resistor R_X to be zero. Both comparators are "off" with the total

device current due only to reverse junction leakages. An added feature of the MC14538B is that the output latch is set via the input trigger without regard to the capacitor voltage. Thus, propagation delay from trigger to Q is independent of the value of C_X , R_X , or the duty cycle of the input waveform.

RETRIGGER OPERATION

The MC14538B is retriggered if a valid trigger occurs ③ followed by another valid trigger ④ before the Q output has returned to the quiescent (zero) state. Any retrigger, after the timing node voltage at pin 2 or 14 has begun to rise from $V_{ref 1}$, but has not yet reached $V_{ref 2}$, will cause an increase in output pulse width T. When a valid retrigger is initiated ④, the voltage at T2 will again drop to $V_{ref 1}$ before progressing along the RC charging curve toward V_{DD} . The Q output will remain high until time T, after the last valid retrigger.

RESET OPERATION

The MC14538B may be reset during the generation of the output pulse. In the reset mode of operation, an input pulse on CD sets the reset latch and causes the capacitor to be fast charged to V_{DD} by turning on transistor P1 ⑤. When the voltage on the capacitor reaches $V_{ref 2}$, the

MC14538B

reset latch will clear, and will then be ready to accept another pulse. If the C_D input is held low, any trigger inputs that occur will be inhibited and the Q and $\bar{Q}$ outputs of the output latch will not change. Since the Q output is reset when an input low level is detected on the C_D input, the output pulse T can be made significantly shorter than the minimum pulse width specification.

POWER-DOWN CONSIDERATIONS

Large capacitance values can cause problems due to the large amount of energy stored. When a system containing the MC14538B (or MC14528B) is powered down, the capacitor voltage may discharge from VDD through the standard protection diodes at pin 2 or 14. Current through the protection diodes should be limited to 10 mA and therefore the discharge time of the VDD supply must not be faster than $(V_{DD}) \cdot (C) / (10 \text{ mA})$. For example, if $V_{DD} = 10 \text{ V}$ and $C_x = 10 \mu\text{F}$, the VDD supply should discharge no faster than $(10 \text{ V}) \times (10 \mu\text{F}) / (10 \text{ mA}) = 10 \text{ ms}$. This is normally not a problem since power supplies are heavily

filtered and cannot discharge at this rate.

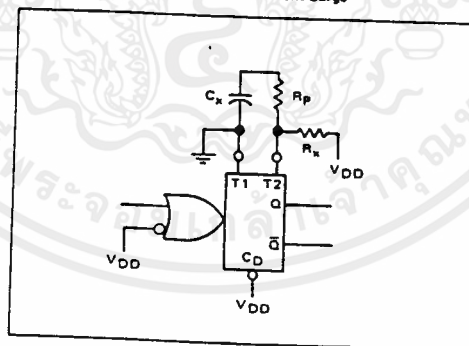
When a more rapid decrease of VDD to zero volts occurs, the MC14538B can sustain damage. To avoid this possibility, a protection resistor, R_p , can be placed between the capacitor C_x and pin 2 (or 14) of the device to limit the discharge current from the capacitor to the VDD supply. Internally, the protection diode is equivalent to a diode and resistor connected in series between pin T2 and VDD. The diode has a forward drop of 0.625 V and the resistance is about 250 Ω .

To limit the discharge current to 10 mA under conditions of instantaneous change of pin 16 from VDD to VSS, R_p is calculated from the equation:

$$R_p = \frac{(V_{DD} - 0.625\text{V})}{(0.010 \text{ Amp})} - 250 \Omega$$

The pulse width formula now changes from $T = R_x C_x$ to $T = (R_x + R_p) C_x$. Figure 11 demonstrates the proper connection of the protection resistor.

FIGURE 11 – Use of a Resistor to Limit Power Down Current Surge



TYPICAL APPLICATIONS

FIGURE 12 – Retriggerable Monostables Circuitry

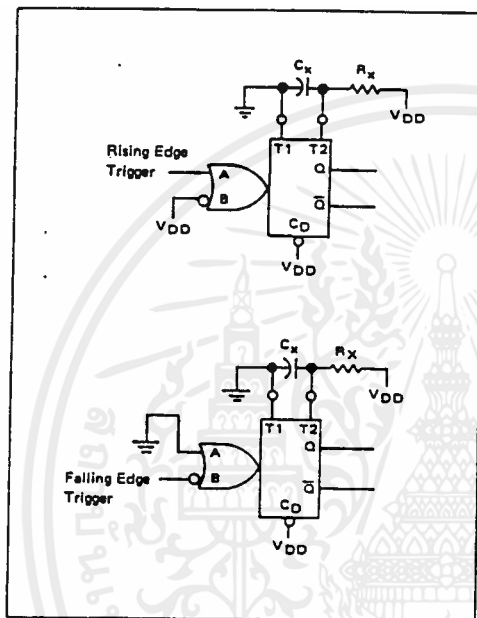


FIGURE 13 – Non-retriggerable Monostables Circuitry

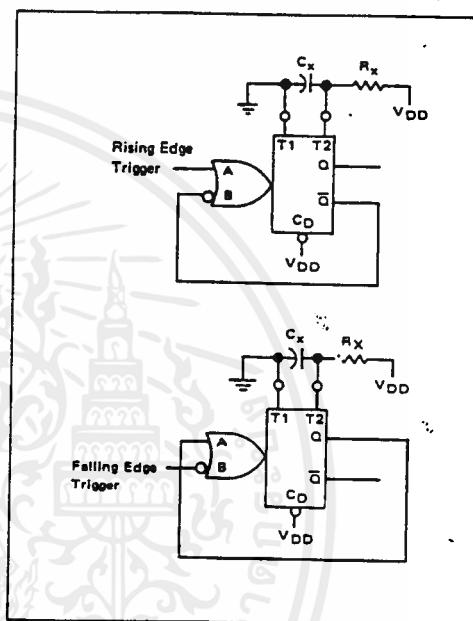


FIGURE 14 — Reduction of Power-Up Output Pulse Width

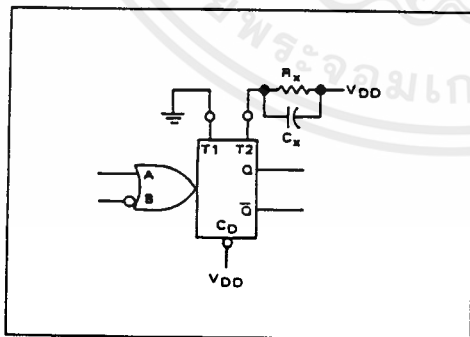
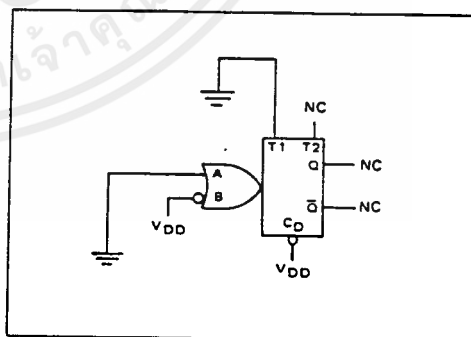


FIGURE 15 – Connection of Unused Sections





MOTOROLA

SUCCESSIVE APPROXIMATION REGISTERS

The MC14549B and MC14559B successive approximation registers are 8-bit registers providing all the digital control and storage necessary for successive approximation analog-to-digital conversion systems. These parts differ in only one control input. The Master Reset (MR) on the MC14549B is required in the cascaded mode when greater than 8 bits are desired. The Feed Forward (FF) of the MC14559B is used for register shortening where End-of-Conversion (EOC) is required after less than eight cycles.

Applications for the MC14549B and MC14559B include analog-to-digital conversion, with serial and parallel outputs.

- Totally Synchronous Operation
- All Outputs Buffered
- Single Supply Operation
- Serial Output
- Retriggerable
- Compatible with a Variety of Digital and Analog Systems such as the MC1408 8-Bit D/A Converter
- All Control Inputs Positive-Edge Triggered
- Supply Voltage Range = 3.0 Vdc to 18 Vdc
- Capable of Driving Two Low-power TTL Loads, One Low-power Schottky TTL Load or Two HTL Loads Over the Rated Temperature Range

MAXIMUM RATINGS (Voltages referenced to V_{SS})

Rating	Symbol	Value	Unit
DC Supply Voltage	V_{DD}	-0.5 to +18	Vdc
Input Voltage, All Inputs	V_{in}	-0.5 to $V_{DD} + 0.5$	Vdc
DC Current Drain per Pin	I	10	mAdc
Operating Temperature Range - AL Device	T_A	-55 to +125	°C
CL CP Device		-40 to +85	
Storage Temperature Range	T_{stg}	-65 to +150	°C

TRUTH TABLES

MC14549B

SC	$SC_{(t-1)}$	MR	$MR_{(t-1)}$	Clock	Action
X	X	X	X	↓	None
X	X	1	X	↓	Reset
1	0	0	0	↓	Start Conversion
1	X	0	1	↓	Start Conversion
1	1	0	0	↓	Continue Conversion
0	X	0	X	↓	Continue Previous Operation

X = Don't Care

t-1 = State at Previous Clock

MC14559B

SC	$SC_{(t-1)}$	EOC	Clock	Action
X	X	X	↓	None
1	0	0	↓	Start Conversion
X	1	0	↓	Continue Conversion
0	0	0	↓	Continue Conversion
0	X	1	↓	Retain Conversion Result
1	X	1	↓	Start Conversion

MC14549B
MC14559B

CMOS MSI

(LOW-POWER COMPLEMENTARY MOS)

SUCCESSIVE APPROXIMATION REGISTERS



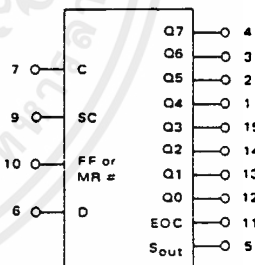
L SUFFIX
CERAMIC PACKAGE
CASE 620

P SUFFIX
PLASTIC PACKAGE
CASE 648

ORDERING INFORMATION

MC14XXXB	Suffix	Denotes
	L	Ceramic Package
	P	Plastic Package
	A	Extended Operating Temperature Range
	C	Limited Operating Temperature Range

BLOCK DIAGRAM



V_{DD} = Pin 16
 V_{SS} = Pin 8

For MC14549B Pin 10 is MR input
For MC14559B Pin 10 is FF input

This device contains circuitry to protect the inputs against damage due to high static voltages or electric fields; however, it is advised that normal precautions be taken to avoid application of any voltage higher than maximum rated voltages to this high impedance circuit. For proper operation it is recommended that V_{in} and V_{out} be constrained to the range $V_{SS} \leq (V_{in} \text{ or } V_{out}) \leq V_{DD}$. Unused inputs must always be tied to an appropriate logic voltage level (e.g., either V_{SS} or V_{DD}).

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MC14549B • MC14559B

ELECTRICAL CHARACTERISTICS

Characteristic	Symbol	V _{DD} Vdc	T _{low} *		25°C			T _{high} *		Unit	
			Min	Max	Min	Typ	Max	Min	Max		
Output Voltage V _{in} = V _{DD} or 0	V _{OL}	5.0	—	0.05	—	0	0.05	—	0.05	Vdc	
		10	—	0.05	—	0	0.05	—	0.05		
		15	—	0.05	—	0	0.05	—	0.05		
	V _{OH}	5.0	4.95	—	4.95	5.0	—	4.95	—	Vdc	
		10	9.95	—	9.95	10	—	9.95	—		
		15	14.95	—	14.95	15	—	14.95	—		
Input Voltage [#] (V _O = 4.5 or 0.5 Vdc) (V _O = 9.0 or 1.0 Vdc) (V _O = 13.5 or 1.5 Vdc)	V _{IL}	5.0	—	1.5	—	2.25	1.5	—	1.5	Vdc	
		10	—	3.0	—	4.50	3.0	—	3.0		
		15	—	4.0	—	6.75	4.0	—	4.0		
	V _{IH}	5.0	3.5	—	3.5	2.75	—	3.5	—	Vdc	
		10	7.0	—	7.0	5.50	—	7.0	—		
		15	11.0	—	11.0	8.25	—	11.0	—		
Output Drive Current (AL Device) (V _{OH} = 2.5 Vdc) (V _{OH} = 4.6 Vdc) (V _{OH} = 9.5 Vdc) (V _{OH} = 13.5 Vdc) (V _{OL} = 0.4 Vdc) (V _{OL} = 0.5 Vdc) (V _{OL} = 1.5 Vdc)	Source	I _{OH}	5.0	-1.2	—	-1.0	-1.7	—	-0.7	—	mA _{dc}
			5.0	-0.25	—	-0.2	-0.36	—	-0.14	—	
			10	-0.62	—	-0.5	-0.9	—	-0.35	—	
			15	-1.8	—	-1.5	-3.5	—	-1.1	—	
	Sink	I _{OL}	5.0	1.28	—	1.02	1.76	—	0.72	—	mA _{dc}
			10	3.2	—	2.6	4.5	—	1.8	—	
			15	8.4	—	6.8	17.6	—	4.8	—	
			5.0	0.64	—	0.51	0.88	—	0.36	—	
	Pin 5, 11 only	I _{OL}	5.0	1.6	—	1.3	2.25	—	0.9	—	mA _{dc}
			10	4.2	—	3.4	8.8	—	2.4	—	
			5.0	-1.0	—	-0.8	-1.7	—	-0.6	—	
			5.0	-0.2	—	-0.16	-0.36	—	-0.12	—	
Output Drive Current (CL/CP Device) (V _{OH} = 2.5 Vdc) (V _{OH} = 4.6 Vdc) (V _{OH} = 9.5 Vdc) (V _{OH} = 13.5 Vdc) (V _{OL} = 0.4 Vdc) (V _{OL} = 0.5 Vdc) (V _{OL} = 1.5 Vdc)	Source	I _{OH}	10	-0.5	—	-0.4	-0.9	—	-0.3	—	mA _{dc}
			15	-1.4	—	-1.2	-3.5	—	-1.0	—	
			5.0	1.04	—	0.88	1.76	—	0.72	—	
			10	2.6	—	2.2	4.5	—	1.8	—	
	Sink	I _{OL}	15	7.2	—	6.0	17.6	—	4.8	—	mA _{dc}
			5.0	0.52	—	0.44	0.88	—	0.36	—	
			10	1.3	—	1.1	2.25	—	0.9	—	
			15	3.6	—	3.0	8.8	—	2.4	—	
	Input Current (AL Device)	I _{in}	15	—	±0.1	—	±0.00001	±0.1	—	±1.0	μA _{dc}
				—	—	—	—	—	—	—	
	Input Current (CL/CP Device)	I _{in}	15	—	±0.3	—	±0.00001	±0.3	—	±1.0	μA _{dc}
				—	—	—	—	—	—	—	
Input Capacitance (V _{in} = 0)	C _{in}	—	—	—	—	5.0	7.5	—	—	pF	
			—	—	—	—	—	—	—		
Quiescent Current (AL Device) (Per Package)	I _{DD}	5.0	—	5.0	—	0.005	5.0	—	150	μA _{dc}	
		10	—	10	—	0.010	10	—	300		
		15	—	20	—	0.015	20	—	600		
Quiescent Current (CL/CP Device) (Per Package)	I _{DD}	5.0	—	20	—	0.005	20	—	150	μA _{dc}	
		10	—	40	—	0.010	40	—	300		
		15	—	80	—	0.015	80	—	600		
Total Supply Current**† (Dynamic plus Quiescent, Per Package) I _{CL} = 50 pF on all outputs, all buffers switching)	I _T	5.0	I _T = (0.8 μA/kHz) f + I _{DD}							μA _{dc}	
		10	I _T = (1.6 μA/kHz) f + I _{DD}								
		15	I _T = (2.4 μA/kHz) f + I _{DD}								

*T_{low} = -55°C for AL Device, -40°C for CL/CP Device.

T_{high} = +125°C for AL Device, +85°C for CL/CP Device.

#Noise immunity specified for worst-case input combination.

Noise Margin for both "1" and "0" level = 1.0 Vdc min @ V_{DD} = 5.0 Vdc

2.0 Vdc min @ V_{DD} = 10 Vdc

2.5 Vdc min @ V_{DD} = 15 Vdc

†To calculate total supply current at loads other than 50 pF

I_T(C_L) = I_T(50 pF) + 2 × 10⁻³ (C_L - 50) V_{DD}f

where: I_T is in μA (per package), C_L in pF, V_{DD} in Vdc, and f in kHz is input frequency.

**The formulas given are for the typical characteristics only at 25°C.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MC14549B • MC14559B

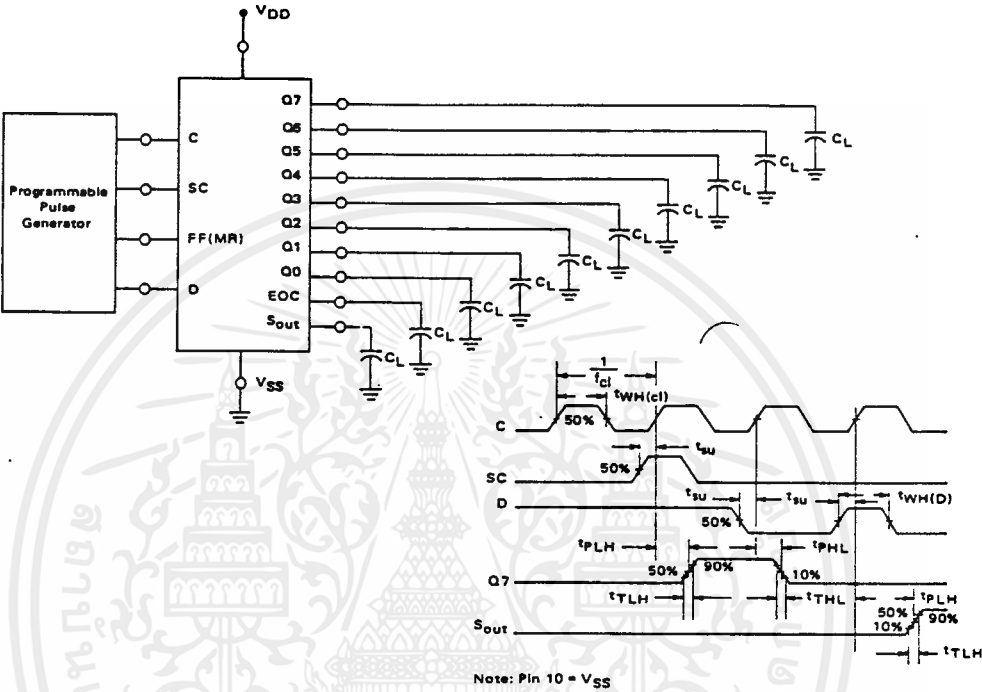
SWITCHING CHARACTERISTICS* (C_L = 50 pF, T_A = 25°C)

Characteristic	Symbol	V _{DD}	Min	Typ	Max	Unit
Output Rise Time t _{TLH} = (3.0 ns/pF) C _L + 30 ns t _{TLH} = (1.5 ns/pF) C _L + 15 ns t _{TLH} = (1.1 ns/pF) C _L + 10 ns	t _{TLH}	5.0 10 15	— — —	180 90 65	360 180 130	ns
Output Fall Time t _{THL} = (1.5 ns/pF) C _L + 25 ns t _{THL} = (0.75 ns/pF) C _L + 12.5 ns t _{THL} = (0.55 ns/pF) C _L + 9.5 ns	t _{THL}	5.0 10 15	— — —	100 50 40	200 100 80	ns
Propagation Delay Time Clock to Q t _{PLH} , t _{PHL} = (1.7 ns/pF) C _L + 415 ns t _{PLH} , t _{PHL} = (0.66 ns/pF) C _L + 177 ns t _{PLH} , t _{PHL} = (0.5 ns/pF) C _L + 130 ns Clock to S _{out} t _{PLH} , t _{PHL} = (1.7 ns/pF) C _L + 685 ns t _{PLH} , t _{PHL} = (0.66 ns/pF) C _L + 277 ns t _{PLH} , t _{PHL} = (0.5 ns/pF) C _L + 195 ns Clock to EOC t _{PLH} , t _{PHL} = (1.7 ns/pF) C _L + 215 ns t _{PLH} , t _{PHL} = (0.66 ns/pF) C _L + 97 ns t _{PLH} , t _{PHL} = (0.5 ns/pF) C _L + 75 ns	t _{PLH} , t _{PHL}	5.0 10 15 5.0 10 15 5.0 10 15	— — — — — — — — —	500 210 155 750 310 220 300 130 100	1000 420 310 1500 620 440 600 260 200	ns
SC, D, FF or MR Setup Time	t _{su}	5.0 10 15	250 100 80	125 50 40	— — —	ns
Clock Pulse Width	t _{WH} (cl)	5.0 10 15	700 270 200	350 135 100	— — —	ns
Pulse Width — D, SC, FF or MR	t _{WH}	5.0 10 15	500 200 160	250 100 80	— — —	ns
Clock Rise and Fall Time	t _{TLH} , t _{THL}	5.0 10 15	— — —	— — —	15 5.0 4.0	μs
Clock Pulse Frequency	f _{cl}	5.0 10 15	— — —	1.5 3.0 4.0	0.8 1.5 2.0	MHz

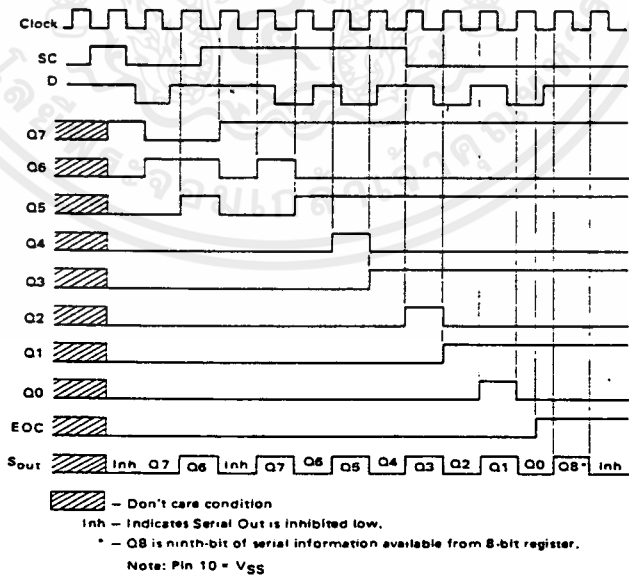
* The formula given is for the typical characteristics only.

MC14549B • MC14559B

SWITCHING TIME TEST CIRCUIT AND WAVEFORMS



TIMING DIAGRAM



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MC14549B • MC14559B

OPERATING CHARACTERISTICS

Both the MC14549B and MC14559B can be operated in either the "free run" or "strobed operation" mode for conversion schemes with any number of bits. Reliable cascading and/or recirculating operation can be achieved if the End of Convert (EOC) output is used as the controlling function, since with EOC = 0 (and with SC = 1 for MC14549B but either 1 or 0 for MC14559B) no stable state exists under continual clocked operation. The MC14559B will automatically recirculate after EOC = 1 during externally strobed operation, provided SC = 1.

All data and control inputs for these devices are triggered into the circuit on the positive edge of the clock pulse.

Operation of the various terminals is as follows:

C = Clock — A positive-going transition of the Clock is required for data on any input to be strobed into the circuit.

SC = Start Convert — A conversion sequence is initiated on the positive-going transition of the SC input on succeeding clock cycles.

D = Data In — Data on this input (usually from a comparator in A/D applications) is also entered into the circuit on a positive-going transition of the clock. This input is Schmitt triggered and synchronized to allow fast response and guaranteed quality of serial and parallel data.

MR = Master Reset (MC14549B only) — Resets all output to 0 on positive-going transitions of the clock. If removed while SC = 0, the circuit will remain reset until SC = 1. This allows easy cascading of circuits.

FF = Feed Forward (MC14559B only) — Provides register shortening by removing unwanted bits from a system.

For operation with less than 8 bits, tie the output following the least significant bit of the circuit to EOC.

E.g., for a 6-bit conversion, tie Q1 to FF; the part will respond as shown in the timing diagram less two bit times. Not that Q1 and Q0 will still operate and must be disregarded.

For 8-bit operation, FF is tied to V_{SS}.

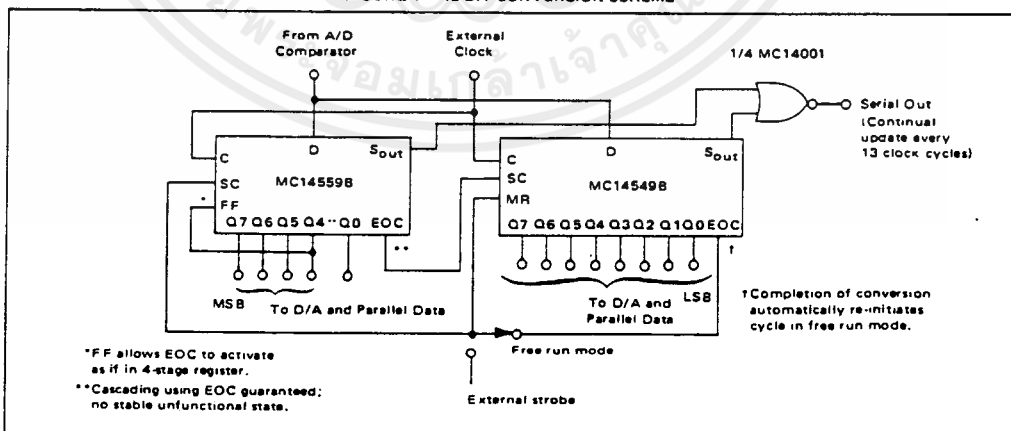
For applications with more than 8 but less than 16 bits, use the basic connections shown in Figure 1. The FF input of the MC14559B is used to shorten the setup. Tying FF directly to the least significant bit used in the MC14559B allows EOC to provide the cascading signal, and results in smooth transition of serial information from the MC14559B to the MC14549B. The Serial Out (S_{out}) inhibit structure of the MC14559B remains inactive one cycle after EOC goes high, while S_{out} of the MC14549B remains inhibited until the second clock cycle of its operation.

Q_n = Data Outputs — After a conversion is initiated the Q's on succeeding cycles go high and are then conditionally reset dependent upon the state of the D input. Once conditionally reset they remain in the proper state until the circuit is either reset or reinitiated.

EOC = End of Convert — This output goes high on the negative-going transition of the clock following FF = 1 (for the MC14559B) or the conditional reset of Q₀. This allows settling of the digital circuitry prior to the End of Conversion indication. Therefore either level or edge triggering can indicate complete conversion.

S_{out} = Serial Out — Transmits conversion in serial fashion. Serial data occurs during the clock period when the corresponding parallel data bit is conditionally reset. Serial Out is inhibited on the initial period of a cycle, when the circuit is reset, and on the second cycle after EOC goes high. This provides efficient operation when cascaded.

FIGURE 1 — 12-BIT CONVERSION SCHEME



TYPICAL APPLICATIONS

Externally Controlled 6-Bit ADC (Figure 2)

Several features are shown in this application:

- Shortening of the register to six bits by feeding the seventh output bit into the FF input.
- Continuous conversion, if a continuous signal is applied to SC.
- Externally controlled updating (the start pulse must be shorter than the conversion cycle).
- The EOC output indicating that the parallel data are valid and that the serial output is complete.

Continuously Cycling 8-Bit ADC (Figure 3)

This ADC is running continuously because the EOC signal is fed back to the SC input, immediately initiating a new cycle on the next clock pulse.

Continuously Cycling 12-Bit ADC (Figure 4)

Because each successive approximation register (SAR) has a capability of handling only an eight-bit word, two must be cascaded to make an ADC with more than eight bits.

When it is necessary to cascade two SAR's, the second SAR must have a stable resettable state to remain in while awaiting a subsequent start signal. However, the first stage must not have a stable resettable state while recycling, because during switch-on or due to outside influences, the first stage has entered a reset state, the entire ADC will remain in a stable non-functional condition.

This 12-bit ADC is continuously recycling. The serial as well as the parallel outputs are updated every thirteenth clock pulse. The EOC pulse indicates the completion of

FIGURE 2 — EXTERNALLY CONTROLLED 6-BIT ADC

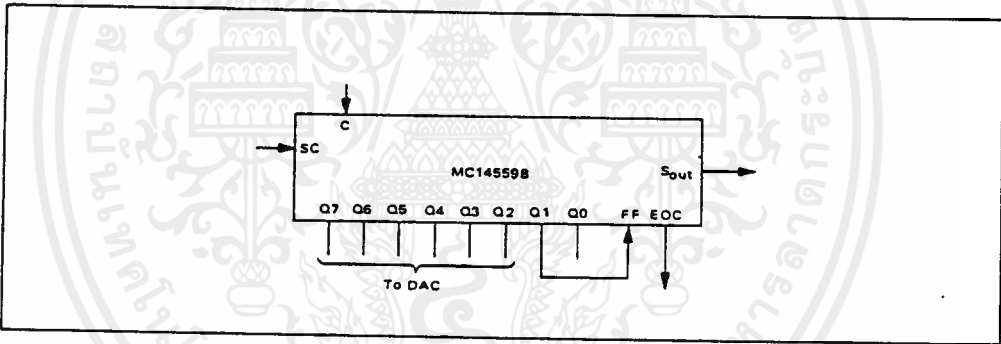
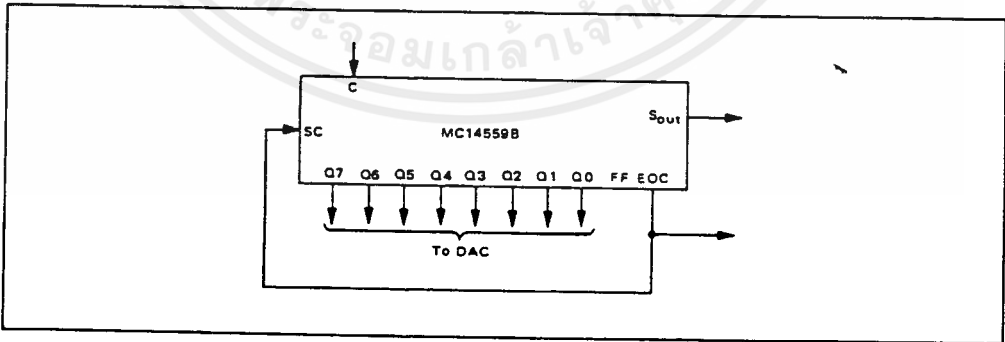
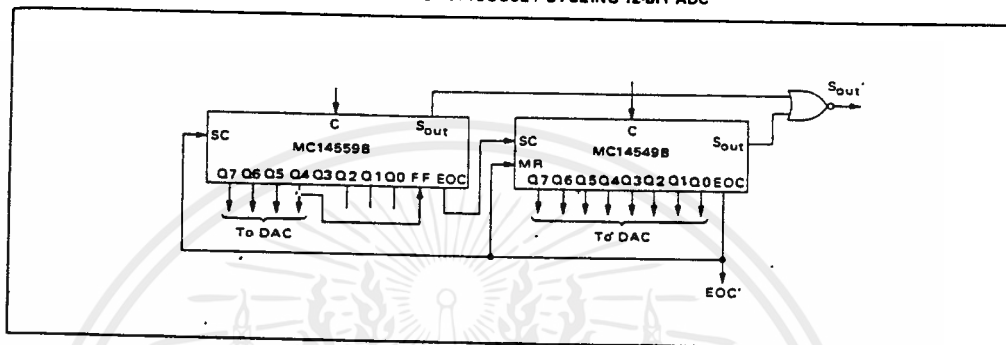


FIGURE 3 — CONTINUOUSLY CYCLING 8-BIT ADC



MC14549B • MC14559B

FIGURE 4 – CONTINUOUSLY CYCLING 12-BIT ADC



the 12-bit conversion cycle, the end of the serial output word, and the validity of the parallel data output.

Externally Controlled 12-Bit ADC (Figure 5)

In this circuit the external pulse starts the first SAR and simultaneously resets the cascaded second SAR. When Q4 of the first SAR goes high, the second SAR starts conversion, and the first one stops conversion. EOC indicates that the parallel data are valid and that the serial output is complete. Updating the output data is started with every external control pulse.

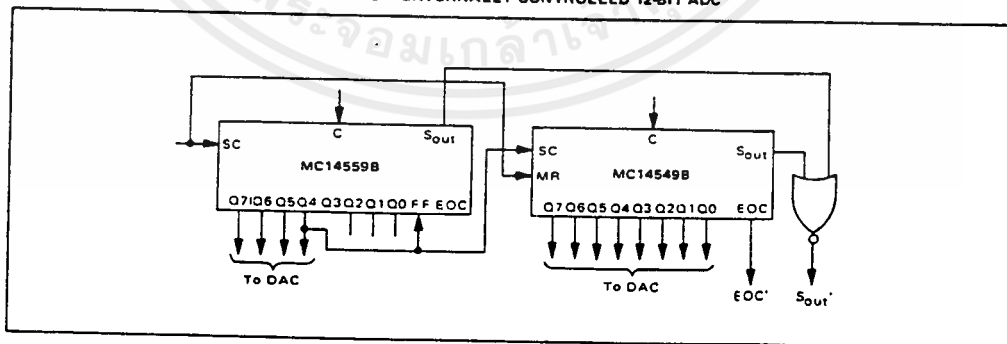
Additional Motorola Parts for Successive Approximation ADC

Monolithic digital-to-analog converters — The MC1408/1508 converter has eight-bit resolution and is available with 6, 7, and 8-bit accuracy. **The amplifier-comparator block** — The MC1407/1507 contains a high speed operational amplifier and a high speed comparator with adjustable window.

With these two linear parts it is possible to construct SA-ADCs with an accuracy of up to eight bits, using as the register one MC14549B or one MC14559B. An additional CMOS block will be necessary to generate the clock frequency.

Additional information on successive approximation ADC is found in Motorola Application Note AN-716.

FIGURE 5 – EXTERNALLY CONTROLLED 12-BIT ADC



Rohm
BR6116/BR6116F
2K × 8 High-Speed CMOS SRAM

- Single 5V supply and high density 24-pin package
- High speed: fast access time 70 ns/90ns/120ns (max.)
- Low-power standby standby : 5μW (typ.)
- Low-power operation operation : 250mW (typ.)
- Completely static RAM: no clock or timing strobe required
- Directly TTL compatible: all input and output
- Pin compatible with standard 16K EPROM/Mask ROM
- Equal access and cycle time

The BR6116 is a 16,384-bit static random access memory organized as 2048 words by 8 bits and operates from a single 5V supply. It is built with a high-performance CMOS process. A six-transistor full-CMOS memory cell provides low standby current and high-reliability. Inputs and three-state outputs are TTL compatible and allow for direct interfacing with common system bus structures. The BR6116 is available in both a standard 24-pin 600mil-DIP and a 24-pin SO package.

Rohm Corp. reserves the right to make changes to any product herein to improve reliability, function or design. Rohm Corp. does not assume any liability arising out of the application or use of any product described herein, neither does it convey any license under its patent right nor the rights of others.

TRUTH TABLE

$\overline{CS}$	$\overline{OE}$	$\overline{WE}$	Mode	V _{CC} Current	I/O Pin
H	x	x	standby	I _{SB} , I _{SBT}	High Z
L	L	H	Read	I _{CC}	Dout
L	H	H	Read	I _{CC}	High Z
L	x	L	Write	I _{CC}	Din

ABSOLUTE MAXIMUM RATINGS*

Voltage on any pin relative to GND, V _T	-0.3 to +7.0V
Operating temperature, T _{opr}	0 to +70°C
Storage temperature (plastic), T _{stg}	-55 to +125°C
Temperature under bias, T _{bias}	-10 to +70°C
Power dissipation, P _T	DIP 24 SO 24

*COMMENTS

Stresses above those listed under "Absolute Maximum Ratings" could cause permanent damage to the device. These are stress ratings only. Functional operation of this device at or any other conditions above those indicated in the operating sections of this specification is not implied and exposure to absolute maximum rating conditions for extended periods may affect device reliability.

AC CHARACTERISTICS

(V_{CC} = 5V ± 5%, T_A = 0 to +70°C)

AC TEST CONDITIONS

Input pulse levels: 0 to 3.0V
Input rise and fall times: 5ns
Input and outputs timing reference levels: 1.5V
Output load: 1 TTL Gate and C_L = 100pF (including scope jig)

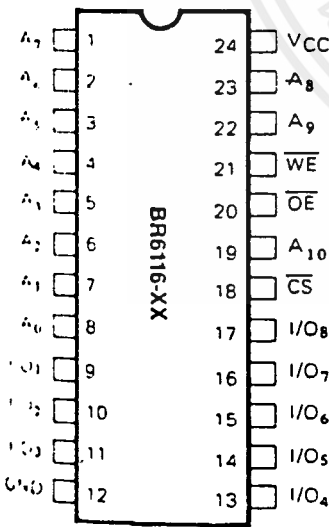
IX AND OPERATING CHARACTERISTICS

V_{CC} = 5V ± 5%, GND = 0V, T_A = 0 to +70°C

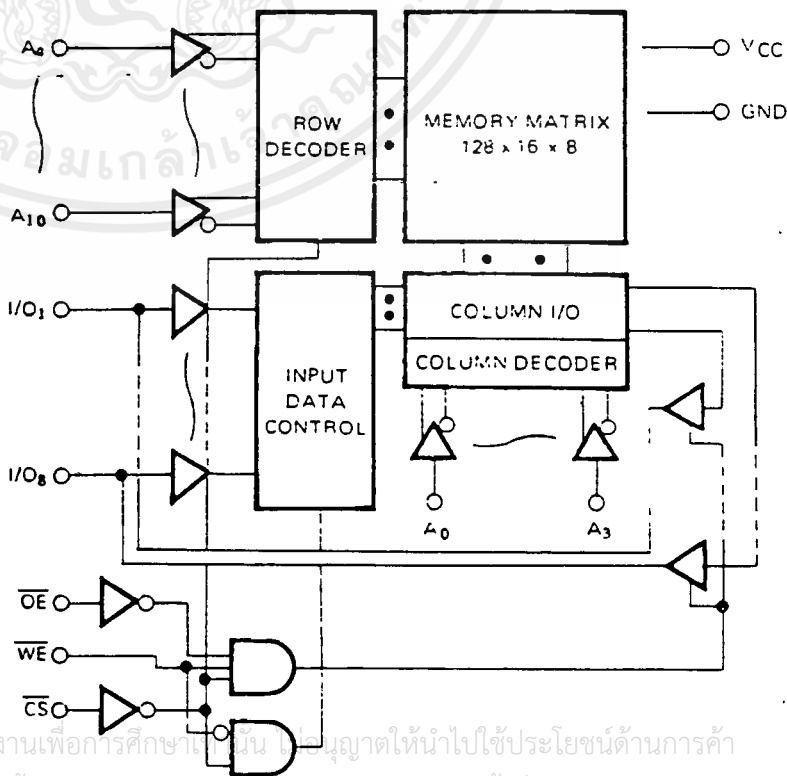
Item	Symbol	Test Conditions	6116-07			6116-09			6116-12			Units
			Min.	Typ.*	Max.	Min.	Typ.*	Max.	Min.	Typ.*	Max.	
Input Leakage Current	I _{L1}	V _{CC} =5.5V, V _{IN} =GND to V _{CC}	-	-	10	-	-	10	-	-	10	μA
Output Leakage Current	I _{L0}	$\overline{CS}=V_{IH}$ or $\overline{OE}=V_{IH}$, V _{I/O} =GND to V _{CC}	-	-	10	-	-	10	-	-	10	μA
Operating Power Supply Current	I _{CC}	$\overline{CS}=V_{IL}$, I _{I/O} =0mA	-	50	100	-	50	100	-	50	100	mA
	I _{CC1}	V _{IH} =3.5V, V _{IL} =0.6V, I _{I/O} =0mA	-	45	-	-	45	-	-	45	-	mA
Dynamic Operating Current	I _{CC2}	Min. cycle, duty=100%	-	-	100	-	-	100	-	-	100	mA
Standby Power Supply Current	I _{SB}	$\overline{CS}=V_{IH}$	-	5	10	-	5	15	-	5	10	mA
	I _{SB1}	$\overline{CS} \geq V_{CC}-0.2V$, V _{IN} > V _{CC} -0.2V or V _{IN} < 0.2V	-	1	50	-	1	500	-	1	50	μA
Output Voltage	V _{OL}	I _{OL} =4mA	-	-	0.4	-	-	0.4	-	-	0.4	V
	V _{OH}	I _{OH} =-1.0mA	2.4	-	-	2.4	-	-	2.4	-	-	V
Input Voltage	V _{IH}		2.2	3.5	5.8	2.2	3.5	5.8	2.2	3.5	5.8	V
	V _{IL}		-0.3	-	+0.8	-0.3	-	+0.8	-0.3	-	+0.8	V

*V_{CC}=5V, T_A=25°C

PIN CONFIGURATION



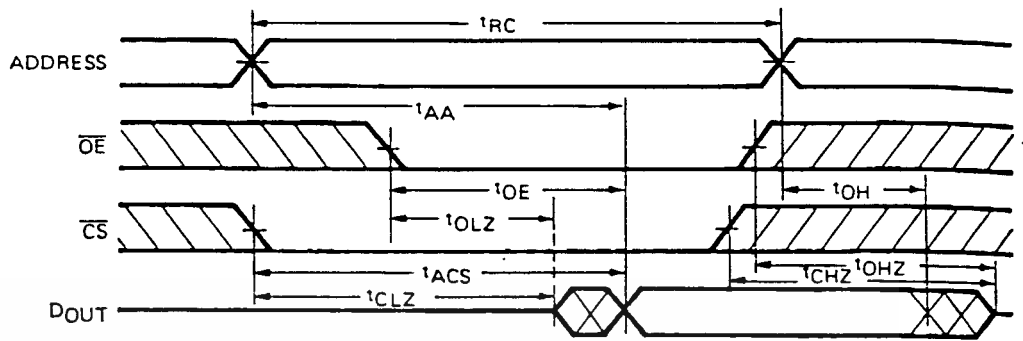
BLOCK DIAGRAM



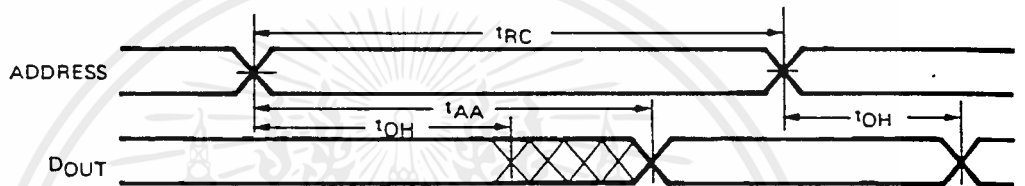
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น กรุณาอย่าให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TIMING WAVEFORM

READ CYCLE (1)⁽¹⁾⁽⁵⁾



READ CYCLE (2)⁽¹⁾⁽²⁾⁽⁴⁾



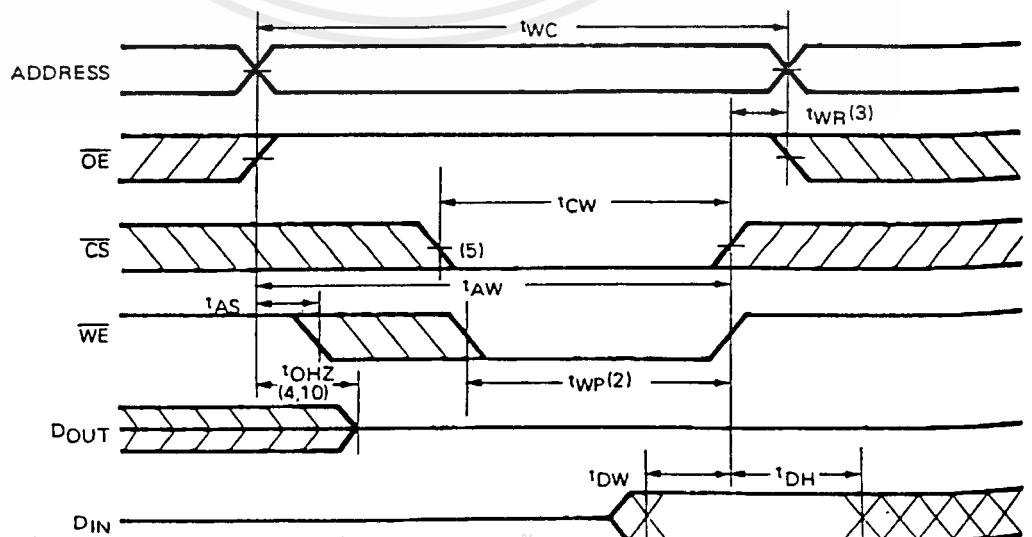
READ CYCLE (3)⁽¹⁾⁽³⁾⁽⁴⁾⁽⁵⁾



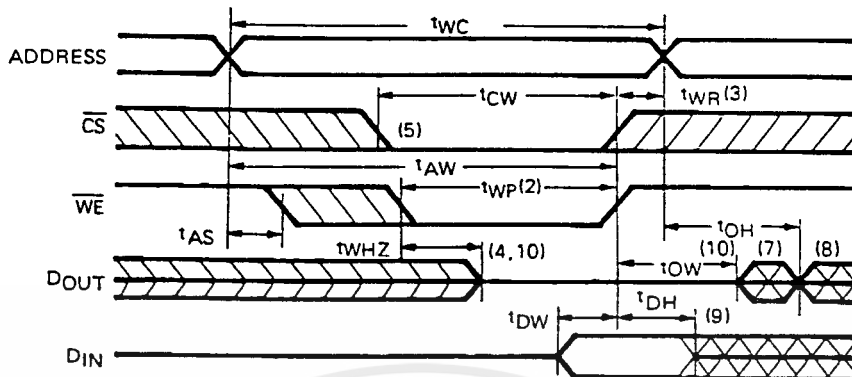
Notes:

1. $\overline{WE}$ is High for Read Cycle.
2. Device is continuously selected, $\overline{CS} = V_{IL}$.
3. Address Valid prior to or coincident with $\overline{CS}$ transition Low.
4. $\overline{OE} = V_{IL}$.
5. Transition is measured $\pm 500\text{mV}$ from steady state. This parameter is sampled and not 100% tested.

WRITE CYCLE (1)



WRITE CYCLE (2)(1)(6)



Notes

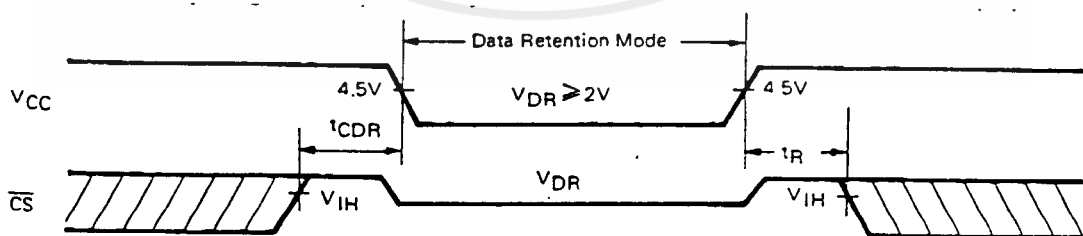
- $\overline{WE}$ must be high during all address transitions.
- A write occurs during the overlap (t_{WP}) of a low $\overline{CS}$ and a low $\overline{WE}$.
- t_{WR} is measured from the earlier of $\overline{CS}$ or $\overline{WE}$ going high to the end of write cycle.
- During this period, I/O pins are in the output state so the input signals of opposite phase to the outputs must not be applied.
- If the $\overline{CS}$ low transition occurs simultaneously with the $\overline{WE}$ low transitions or after the $\overline{WE}$ transition, outputs remain in a high impedance state.
- $\overline{OE}$ is continuously low ($\overline{OE} = V_{IL}$).
- DOUT is the same phase of write data of this write cycle.
- DOUT is the read data of next address.
- If $\overline{CS}$ is low during this period, I/O pins are in the output state. Then the data input signals of opposite phase to the outputs must not be applied to them.
- Transition is measured $\pm 500\text{mV}$ from steady state. This parameter is sampled and not 100% tested.

Data Retention Characteristics over the operating temperature range

Symbol	Parameter	Test Conditions	Min.	Typ.(1)	Max.	Units
V_{DR}	V_{CC} for Retention Data	$\overline{CS} = V_{CC}$	2.0	—	—	V
I_{CDR}	Data Retention Current	$V_{IN} = 0\text{V}$ or V_{CC}	—	2	20	μA
t_{CDR}	Chip Deselect to Data Retention Time	$V_{CC} = 2.0\text{V}$, $\overline{CS} = V_{CC}$	0	—	—	ns
t_R	Operation Recovery Time	$V_{IN} = 0\text{V}$ or V_{CC}	$t_{RC(2)}$	—	—	ns

1 $V_{CC} = 2\text{V}$, $T_A = +25^\circ\text{C}$

2 $t_{RC} = \text{Read Cycle Time}$

Timing Waveform Low V_{CC} Data Retention Waveform

Ordering Information

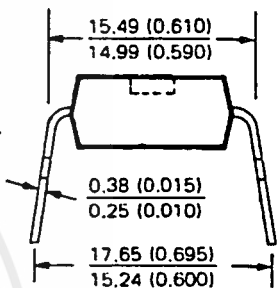
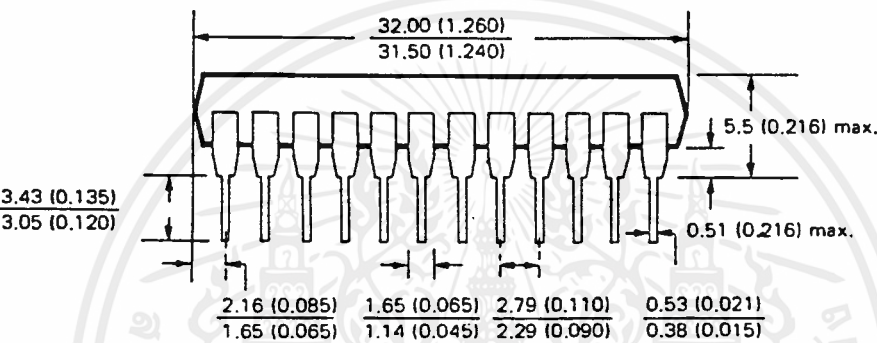
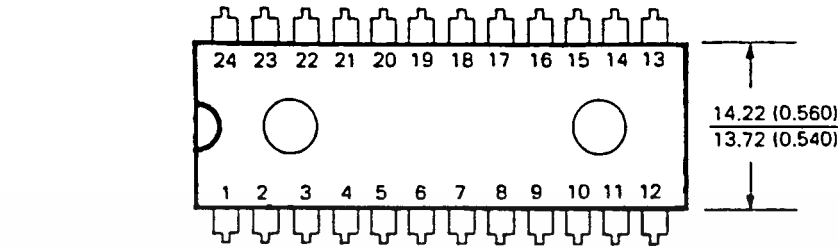
Part Number	Access Time (Max.)	Package
BR6116-12	120 ns	Plastic
BR6116-09	90 ns	Plastic
BR6116-07	70 ns	Plastic

เอกสารนี้เป็นเอกสารที่สงวนลิขสิทธิ์ไว้สำหรับการใช้ภายในเท่านั้น ไม่อนุญาตให้ทำซ้ำโดยไม่ขออนุญาต
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

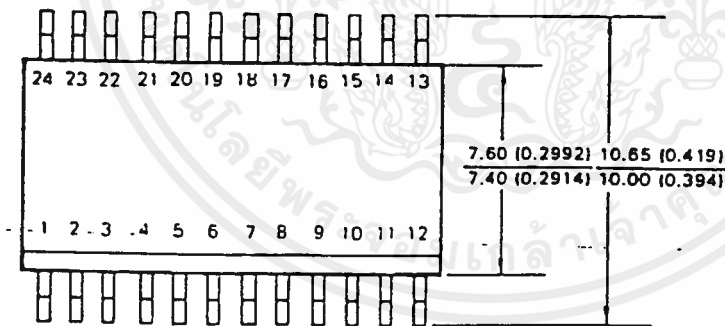
Rohm BR6116/BR6116F

PACKAGE INFORMATION — mm (inch)

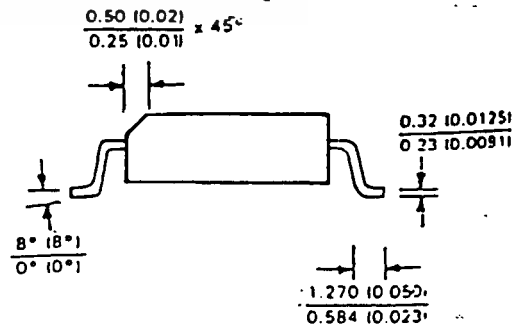
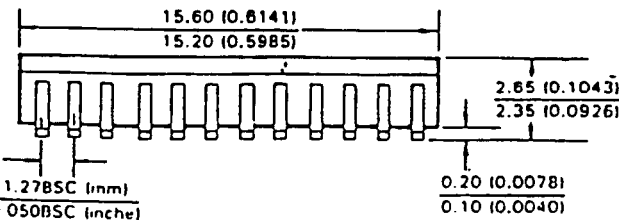
24 — LEAD DUAL IN-LINE; PLASTIC



24 Pin Small Outline



0.49 (0.0192)
0.38 (0.0142)



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MOTOROLA
SEMICONDUCTOR
TECHNICAL DATA

**LOW POWER JFET INPUT
 OPERATIONAL AMPLIFIER**

These JFET input operational amplifiers are designed for low power applications. They feature high input impedance, low input bias current and low input offset current. Advanced design techniques allow for higher slew rates, gain bandwidth products and output swing. The TL061 device provides for the external null adjustment of input offset voltage.

These devices are specified over the commercial, vehicular and military temperature ranges. The commercial and vehicular devices are available in Plastic dual in-line and SOIC packages. The military devices are available in Ceramic dual in-line packages.

- Low Supply Current — 200 μ A Amplifier
- Low Input Bias Current — 5.0 pA
- High Gain Bandwidth — 2.0 MHz
- High Slew Rate — 6.0 V/ μ s
- High Input Impedance — $10^{12} \Omega$
- Large Output Voltage Swing — ± 14 V
- Output Short Circuit Protection

ORDERING INFORMATION

Op Amp Function	Device	Tested Temperature Range	Package
Single	TL061CD, ACD	0 to +70°C	SO-8
	TL061CP, ACP		Plastic DIP
	TL061VD	-40 to +85°C	SO-8
	TL061VP		Plastic DIP
Dual	TL061MJG	-55 to +125°C	Ceramic DIP
	TL062CD, ACD	0 to +70°C	SO-8
	TL062CP, ACP		Plastic DIP
	TL062VD	-40 to +85°C	SO-8
Quad	TL062VP		Plastic DIP
	TL062MJG	-55 to +125°C	Ceramic DIP
	TL064CD, ACD	0 to +70°C	SO-14
	TL064CN, ACN		Plastic DIP
Quad	TL064VD	-40 to +85°C	SO-14
	TL064VN		Plastic DIP
	TL064MJ	-55 to +125°C	Ceramic DIP

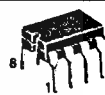
**TL061
 TL062
 TL064**

**LOW POWER
 JFET INPUT
 OPERATIONAL AMPLIFIERS**

**SILICON MONOLITHIC
 INTEGRATED CIRCUITS**



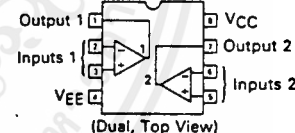
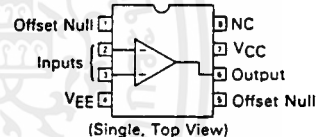
**P SUFFIX
 PLASTIC PACKAGE
 CASE 626**



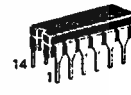
**JG SUFFIX
 CERAMIC PACKAGE
 CASE 693**



**D SUFFIX
 PLASTIC PACKAGE
 CASE 751
 (SO-8)**



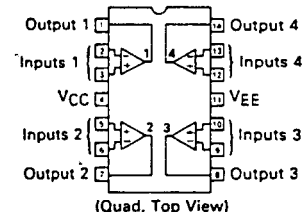
**N SUFFIX
 PLASTIC PACKAGE
 CASE 646**



**J SUFFIX
 CERAMIC PACKAGE
 CASE 632**



**D SUFFIX
 PLASTIC PACKAGE
 CASE 751A
 (SO-14)**



MOTOROLA LINEAR/INTERFACE DEVICES

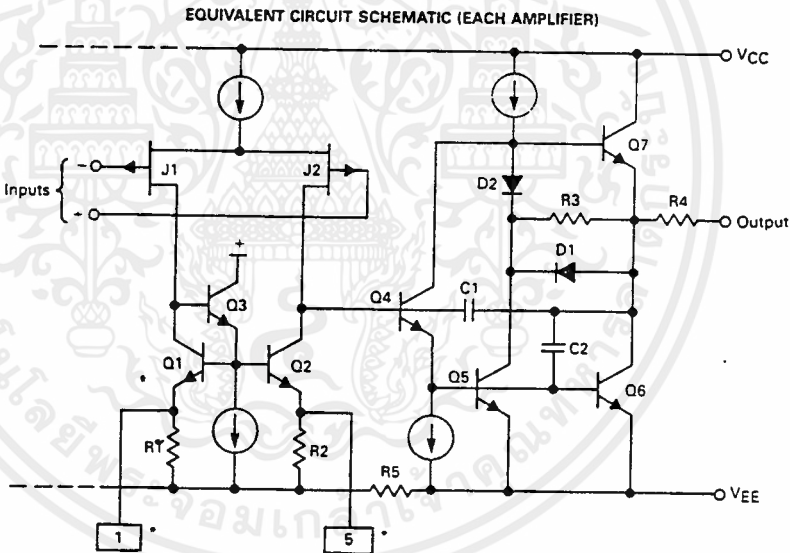
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
 ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TL061, TL062, TL064

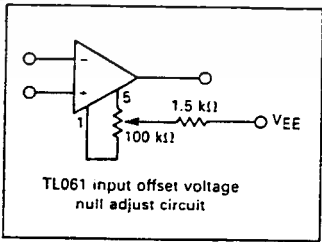
MAXIMUM RATINGS

Rating	Symbol	Value	Unit
Supply Voltage (from V_{CC} to V_{EE})	V_S	+36	V
Input Differential Voltage Range (Note 1)	V_{IDR}	± 30	V
Input Voltage Range (Notes 1 and 2)	V_{IR}	± 15	V
Output Short-Circuit Duration (Note 3)	t_S	Indefinite	Seconds
Operating Junction Temperature (Note 3)	T_J	+160 +150	$^{\circ}\text{C}$
Storage Temperature Range	T_{stg}	-65 to -160 -60 to -150	$^{\circ}\text{C}$

- NOTES:
1. Differential voltages are at the noninverting input terminal with respect to the inverting input terminal.
 2. The magnitude of the input voltage must never exceed the magnitude of the supply or 15 volts, whichever is less.
 3. Power dissipation must be considered to ensure maximum junction temperature (T_J) is not exceeded. (See Figure 1.)



*Null adjustment pins for TL061 only.



TL061, TL062, TL064

ELECTRICAL CHARACTERISTICS (V_{CC} = +15 V, V_{EE} = -15 V, T_A = 0°C to +70°C, unless otherwise noted)

Characteristic	Symbol	TL061AC TL062AC TL064AC			TL061C TL062C TL064C			Unit
		Min	Typ	Max	Min	Typ	Max	
Input Offset Voltage (R _S = 50 Ω, V _O = 0 V) T _A = 25°C T _A = 0°C to +70°C	V _{IO}	— —	3.0 —	6.0 7.5	— —	3.0 —	15 20	mV
Average Temperature Coefficient for Offset Voltage (R _S = 50 Ω, V _O = 0 V)	ΔV _{IO} /ΔT	—	10	—	—	10	—	μV/°C
Input Offset Current (V _{CM} = 0 V, V _O = 0 V) T _A = 25°C T _A = 0°C to +70°C	I _{IO}	— —	0.5 —	100 2.0	— —	0.5 —	200 2.0	pA nA
Input Bias Current (V _{CM} = 0 V, V _O = 0 V) T _A = 25°C T _A = 0°C to +70°C	I _B	— —	3.0 —	200 7.0	— —	3.0 —	200 10	pA nA
Input Common Mode Voltage Range T _A = 25°C	V _{ICR}	— -11.5	+14.5 -12	+11.5 —	— -11	+14.5 -12	+11 —	V
Large Signal Voltage Gain (R _L = 10 kΩ, V _O = ±10 V) T _A = 25°C T _A = 0°C to +70°C	A _{VOL}	4.0 4.0	58 —	— —	3.0 3.0	58 —	— —	V/mV
Output Voltage Swing (R _L = 10 kΩ, V _{ID} = 1.0 V) T _A = 25°C T _A = 0°C to +70°C	V _{O+} V _{O-} V _{O+} V _{O-}	+10 — +10 —	+14 -14 — —	— -10 — -10	+10 — +10 —	+14 -14 — -10	— -10 — -10	V
Common Mode Rejection (R _S = 50 Ω, V _{CM} = V _{ICR} min, V _O = 0 V, T _A = 25°C)	CMR	80	84	—	70	84	—	dB
Power Supply Rejection (R _S = 50 Ω, V _{CM} = 0 V, V _O = 0, T _A = 25°C)	PSR	80	86	—	70	86	—	dB
Power Supply Current (each amplifier) (No Load, V _O = 0 V, T _A = 25°C)	I _D	—	200	250	—	200	250	μA
Total Power Dissipation (each amplifier) (No Load, V _O = 0 V, T _A = 25°C)	P _D	—	6.0	7.5	—	6.0	7.5	mW

TL061, TL062, TL064

DC ELECTRICAL CHARACTERISTICS (V_{CC} = +15 V, V_{EE} = -15 V, T_A = T_{low} to T_{high} (Note 4), unless otherwise noted)

Characteristic	Symbol	TL061M,V TL062M,V			TL064M,V			Unit
		Min	Typ	Max	Min	Typ	Max	
Input Offset Voltage (R _S = 50 Ω, V _O = 0 V) T _A = 25°C T _A = T _{low} to T _{high}	V _{IO}	— —	3.0 —	6.0 9.0	— —	3.0 —	9.0 15	mV
Average Temperature Coefficient of Offset Voltage (R _S = 50 Ω, V _O = 0 V)	ΔV _{IO} /ΔT	—	10	—	—	10	—	μV/°C
Input Offset Current (V _{CM} = 0 V, V _O = 0 V) T _A = 25°C T _A = T _{low} to T _{high}	I _{IO}	— —	5.0 —	100 20	— —	5.0 —	100 20	pA nA
Input Bias Current (V _{CM} = 0 V, V _O = 0 V) T _A = 25°C T _A = T _{low} to T _{high}	I _{IB}	— —	30 —	200 50	— —	30 —	200 50	pA nA
Input Common Mode Voltage Range (T _A = 25°C)	V _{ICR}	— -11.5	+14.5 -12	-11.5 —	— -11.5	-14.5 -12	+11.5 —	V
Large Signal Voltage Gain (R _L = 10 kΩ, V _O = ±10 V) T _A = 25°C T _A = T _{low} to T _{high}	A _{VOL}	4.0 4.0	58 —	— —	4.0 4.0	58 —	— —	V/mV
Output Voltage Swing (R _L = 10 kΩ, V _{ID} = 1.0 V) T _A = 25°C T _A = T _{low} to T _{high}	V _O - V _O - V _O - V _O -	-10 — — +10	-14 -14 —	— -10 — 10	+10 — -10 —	-14 -14 — —	— -10 — -10	V
Common Mode Rejection (R _S = 50 Ω, V _{CM} = V _{ICR} min, V _O = 0 V, T _A = 25°C)	CMR	80	84	—	80	84	—	dB
Power Supply Rejection (R _S = 50 Ω, V _{CM} = 0 V, V _O = 0 V, T _A = 25°C)	PSR	80	86	—	80	86	—	dB
Power Supply Current (each Amplifier) (No Load, V _O = 0 V, T _A = 25°C)	I _D	—	200	250	—	200	250	μA
Total Power Dissipation (each Amplifier) (No Load, V _O = 0 V, T _A = 25°C)	P _D	—	6.0	7.5	—	6.0	7.5	mW

Note 4. TL06XM T_{low} = -55°C T_{high} = +125°C
TL06XV T_{low} = -40°C T_{high} = +85°C

AC ELECTRICAL CHARACTERISTICS (V_{CC} = +15 V, V_{EE} = -15 V, T_A = +25°C, unless otherwise noted)

Characteristic	Symbol	Min	Typ	Max	Unit
Slew Rate (V _{in} = -10 V to +10 V, R _L = 10 kΩ, C _L = 100 pF, A _V = +1.0)	SR	2.0	6.0	—	V/μs
Rise Time (V _{in} = 20 mV, R _L = 10 kΩ, C _L = 100 pF, A _V = +1.0)	t _r	—	0.1	—	μs
Overshoot (V _{in} = 20 mV, R _L = 10 kΩ, C _L = 100 pF, A _V = +1.0)	OS	—	10	—	%
Settling Time (V _{CC} = +15 V, V _{EE} = -15 V, A _V = -1.0, R _L = 10 kΩ, V _O = 0 V to +10 V step) To within 10 mV To within 1.0 mV	t _S	— —	1.6 2.2	— —	μs
Gain Bandwidth Product (f = 200 kHz)	GBW	—	2.0	—	MHz
Equivalent Input Noise (R _S = 100 Ω, f = 1.0 kHz)	e _n	—	47	—	nV/√Hz
Input Resistance	R _i	—	10 ¹²	—	Ω
Channel Separation (f = 10 kHz)	CS	—	120	—	dB

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TL061, TL062, TL064

TYPICAL PERFORMANCE CURVES

FIGURE 1 — MAXIMUM POWER DISSIPATION versus TEMPERATURE FOR PACKAGE VARIATIONS

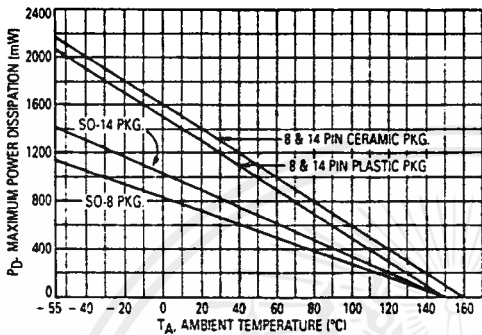


FIGURE 2 — OUTPUT VOLTAGE SWING versus SUPPLY VOLTAGE

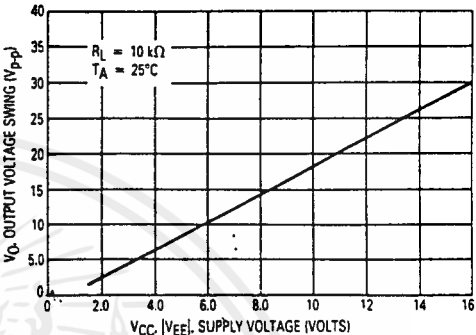


FIGURE 3 — OUTPUT VOLTAGE SWING versus TEMPERATURE

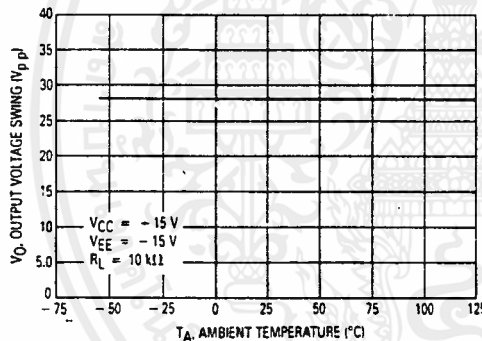


FIGURE 4 — OUTPUT VOLTAGE SWING versus LOAD RESISTANCE

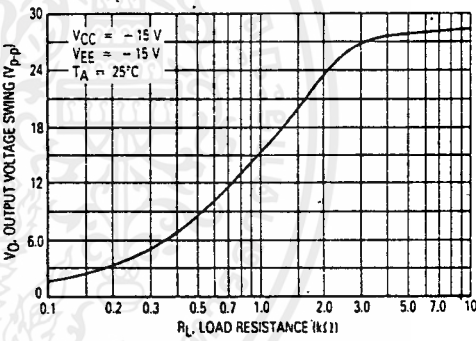


FIGURE 5 — OUTPUT VOLTAGE SWING versus FREQUENCY

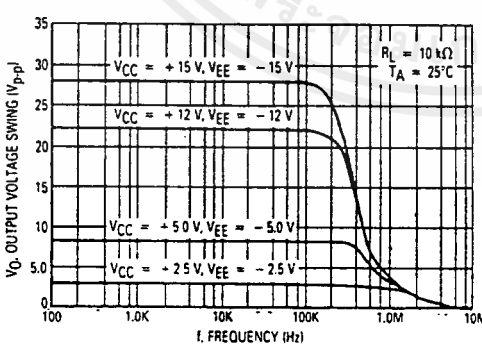
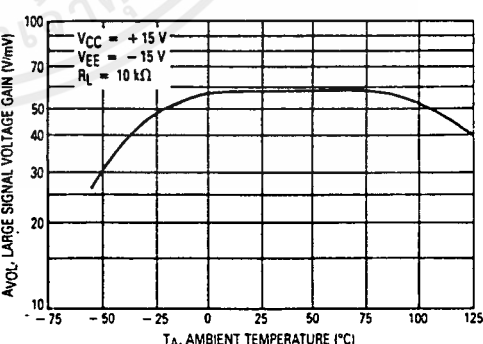


FIGURE 6 — LARGE SIGNAL VOLTAGE GAIN versus TEMPERATURE



TL061, TL062, TL064

FIGURE 7 — OPEN-LOOP VOLTAGE GAIN AND PHASE versus FREQUENCY

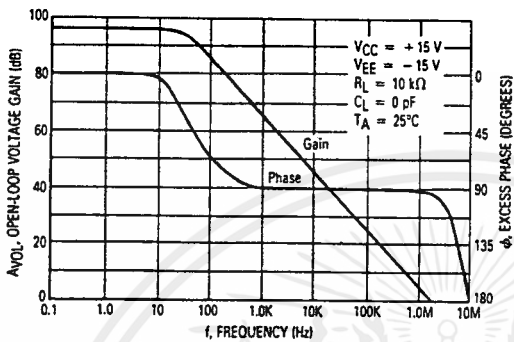


FIGURE 8 — SUPPLY CURRENT PER AMPLIFIER versus SUPPLY VOLTAGE

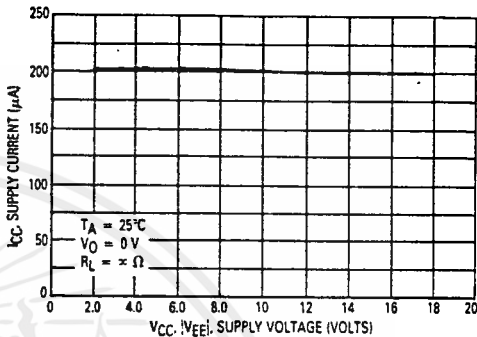


FIGURE 9 — SUPPLY CURRENT PER AMPLIFIER versus TEMPERATURE

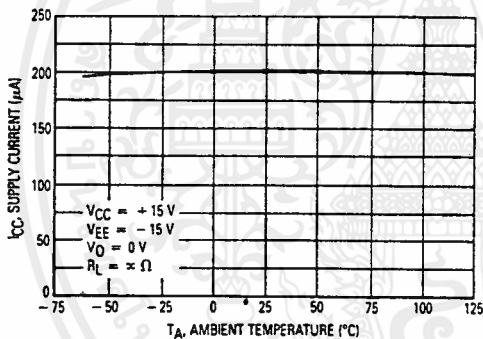


FIGURE 10 — TOTAL POWER DISSIPATION versus TEMPERATURE

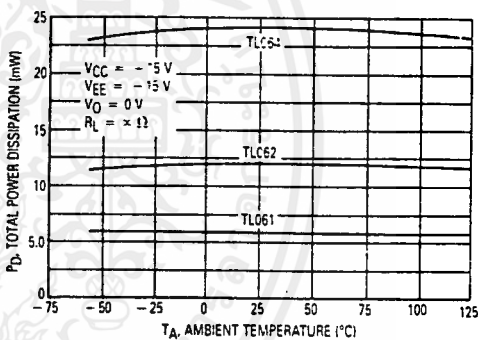


FIGURE 11 — COMMON-MODE REJECTION versus TEMPERATURE

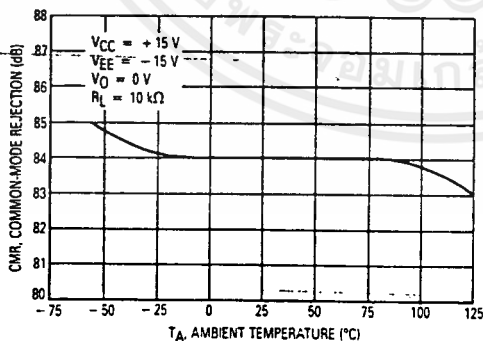
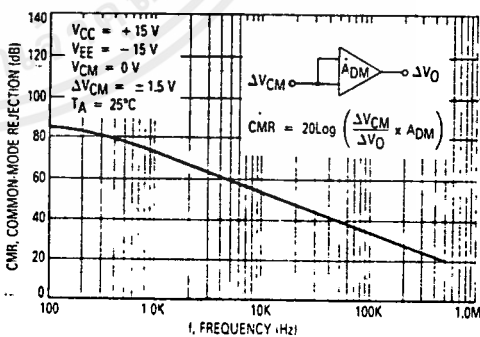


FIGURE 12 — COMMON-MODE REJECTION versus FREQUENCY



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TL061, TL062, TL064

FIGURE 13 — POWER SUPPLY REJECTION
versus FREQUENCY

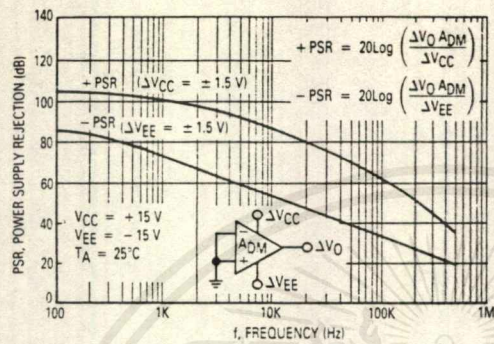


FIGURE 14 — NORMALIZED GAIN BANDWIDTH PRODUCT,
SLEW RATE AND PHASE MARGIN versus TEMPERATURE

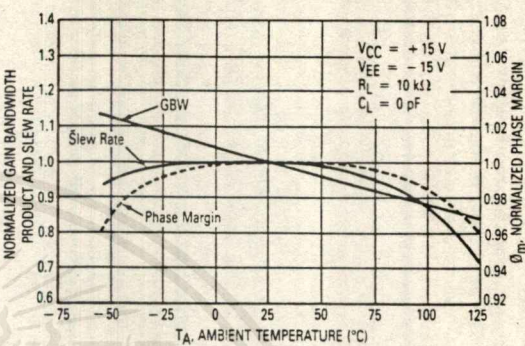


FIGURE 15 — INPUT BIAS CURRENT
versus TEMPERATURE

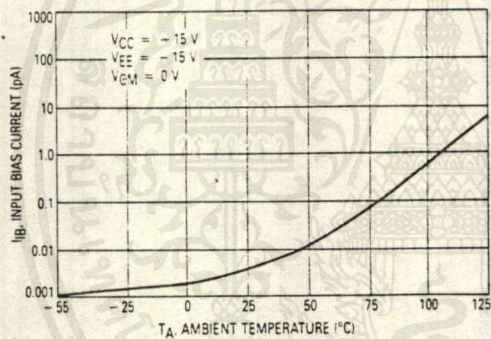


FIGURE 16 — INPUT NOISE VOLTAGE versus FREQUENCY

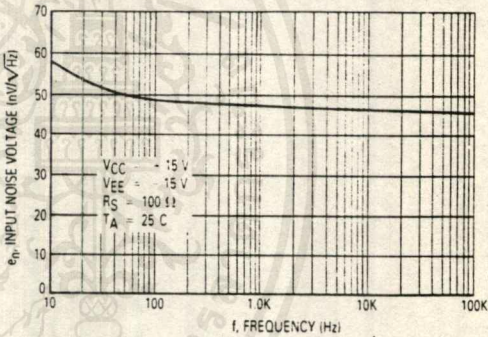


FIGURE 17 — SMALL SIGNAL RESPONSE

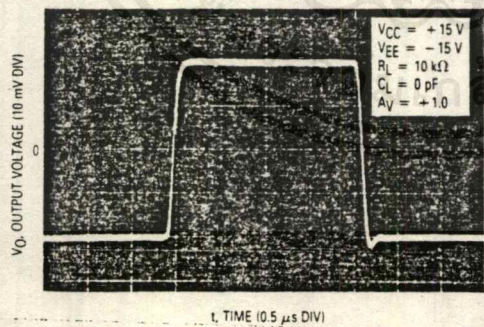
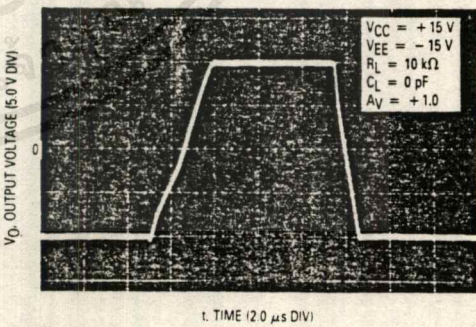


FIGURE 18 — LARGE SIGNAL RESPONSE



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TL061, TL062, TL064

FIGURE 19 — AC AMPLIFIER

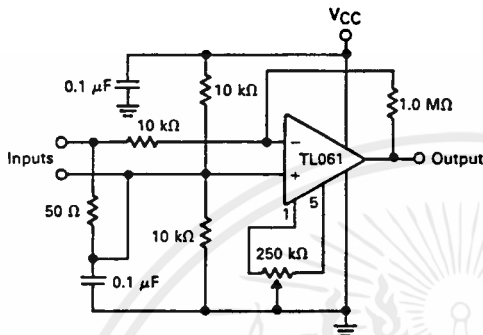


FIGURE 20 — HIGH-Q NOTCH FILTER

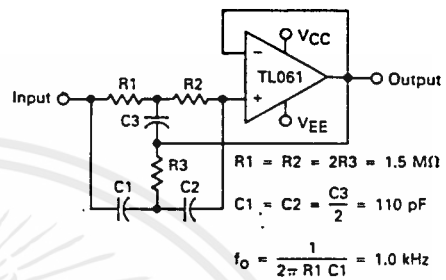


FIGURE 21 — INSTRUMENTATION AMPLIFIER

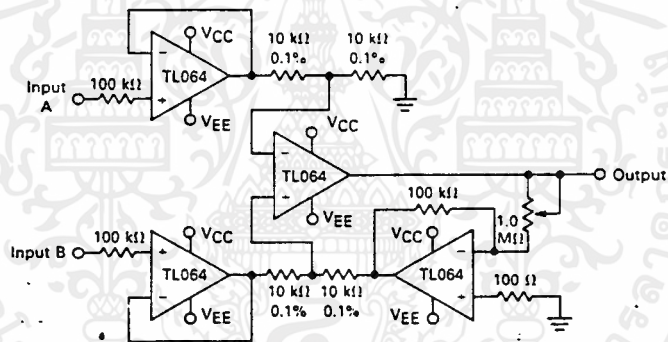


FIGURE 22 — 0.5 Hz SQUARE-WAVE OSCILLATOR

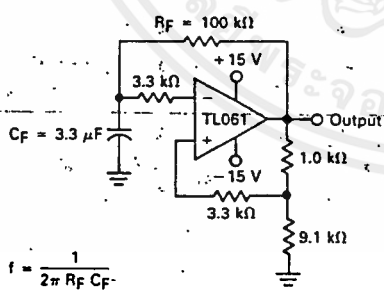
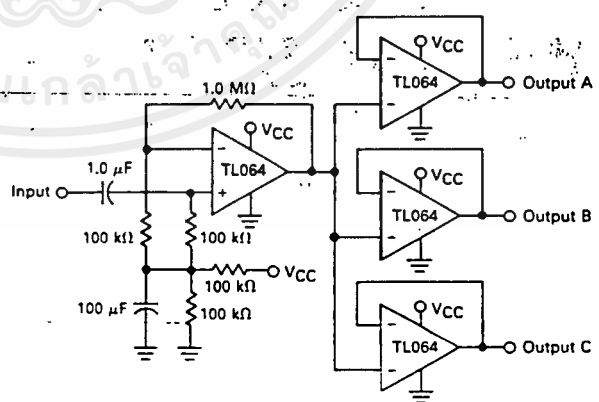


FIGURE 23 — AUDIO DISTRIBUTION AMPLIFIER



กิตติกรรมประกาศ

ในการทำโครงการพัฒนา ส่วนแสดงผลของเครื่อง ICU MONITOR และในการทำปฏิญานิพนธ์ฉบับนี้ต้องขอขอบพระคุณ ผศ.ดร.กนก เจนจิระพงศ์เวช และ อาจารย์ ประภากร สุวรรณ อาจารย์ที่ปรึกษา ที่คอยให้ความช่วยเหลือให้คำปรึกษา และ ให้การสนับสนุนด้านอุปกรณ์ เครื่องมือต่างๆ เป็นอย่างดี รวมทั้งเพื่อนๆที่ช่วยแนะนำบางสิ่งบางอย่าง และให้กำลังใจมาตลอด จึงขอขอบพระคุณมา ณ.ที่นี้ ผู้จัดทำหวังว่าโครงการ และ ปฏิญานิพนธ์ฉบับนี้จะมีประโยชน์ในการศึกษา และพัฒนาเครื่อง ICU MONITOR ให้มีประสิทธิภาพที่ดียิ่งขึ้นต่อไป และ เป็นประโยชน์ต่อผู้อ่านบ้างในบางแง่มุม ถ้าปฏิญานิพนธ์ฉบับนี้มีข้อผิดพลาด ผู้จัดทำขออภัยไว้ ณ.ที่นี้



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

LM193,A, LM293,A, LM393,A, LM2903

MAXIMUM RATINGS

Rating	Symbol	Value	Unit
Power Supply Voltage	V_{CC}	+36 or ± 18	Vdc
Input Differential Voltage Range	V_{IDR}	36	Vdc
Input Common Mode Voltage Range	V_{ICR}	-0.3 to +36	Vdc
Input Current (2) ($V_{in} < -0.3$ Vdc)	I_{in}	50	mA
Output Short Circuit-to-Ground Output Sink Current (1)	I_{SC} I_{sink}	Continuous 20	mA
Power Dissipation @ $T_A = 25^\circ\text{C}$ Plastic DIP Derate above 25°C Metal Can Derate above 25°C	P_D $1/R_{\theta JA}$ P_D $1/R_{\theta JA}$	570 5.7 830 6.64	mW mW/ $^\circ\text{C}$ mW mW/ $^\circ\text{C}$
Operating Ambient Temperature Range LM193, 193A LM293, 293A LM393, 393A LM2903	T_A	-55 to +125 -25 to +85 0 to +70 -40 to +105	$^\circ\text{C}$
Maximum Operating Junction Temperature LM393, 393A, 2903 LM193, 193A, 293, 293A	$T_{J(max)}$	125 150	$^\circ\text{C}$
Storage Temperature Range	T_{stg}	-65 to +150	$^\circ\text{C}$

ELECTRICAL CHARACTERISTICS ($V_{CC} = 5.0$ Vdc; $T_{low} \leq T_A \leq T_{high}$ unless otherwise stated.)

Characteristic	Symbol	LM193A			LM293A, LM393A			Unit
		Min	Typ	Max	Min	Typ	Max	
Input Offset Voltage (3) $T_A = 25^\circ\text{C}$ $T_{low} \leq T_A \leq T_{high}$	V_{IO}	—	± 1.0	± 2.0 4.0	—	± 1.0	± 2.0 4.0	mV
Input Offset Current $T_A = 25^\circ\text{C}$ $T_{low} \leq T_A \leq T_{high}$	I_{IO}	—	± 3.0	± 25 ± 100	—	± 5.0	± 50 ± 150	nA
Input Bias Current (4) $T_A = 25^\circ\text{C}$ $T_{low} \leq T_A \leq T_{high}$	I_{IB}	—	25	100 300	—	25	250 400	nA
Input Common Mode Voltage Range (5) $T_A = 25^\circ\text{C}$ $T_{low} \leq T_A \leq T_{high}$	V_{ICR}	0 0	—	$V_{CC} - 1.5$ $V_{CC} - 2.0$	0 0	—	$V_{CC} - 1.5$ $V_{CC} - 2.0$	Volts
Voltage Gain $R_L \geq 15$ k Ω , $V_{CC} = 15$ Vdc, $T_A = 25^\circ\text{C}$	A_{VOL}	50	200	—	50	200	—	V/mV
Large Signal Response Time $V_{in} = \text{TTL Logic Swing}$, $V_{ref} = 1.4$ Vdc $V_{RL} = 5.0$ Vdc, $R_L = 5.1$ k Ω , $T_A = 25^\circ\text{C}$	—	—	300	—	—	300	—	ns
Response Time (5) $V_{RL} = 5.0$ Vdc, $R_L = 5.1$ k Ω , $T_A = 25^\circ\text{C}$	t_{TLH}	—	1.3	—	—	1.3	—	μs
Input Differential Voltage (7) All $V_{in} \geq \text{Gnd}$ or V_- Supply (if used)	V_{ID}	—	—	V_{CC}	—	—	V_{CC}	V
Output Sink Current $V_{in-} \geq 1.0$ Vdc, $V_{in+} = 0$ Vdc, $V_O \leq 1.5$ Vdc $T_A = 25^\circ\text{C}$	I_{sink}	6.0	16	—	6.0	16	—	mA
Output Saturation Voltage $V_{in-} \geq 1.0$ Vdc, $V_{in+} = 0$, $I_{sink} \leq 4.0$ mA, $T_A = 25^\circ\text{C}$ $T_{low} \leq T_A \leq T_{high}$	V_{OL}	—	150 —	400 700	—	150 —	400 700	mV
Output Leakage Current $V_{in-} = 0$ V, $V_{in+} \geq 1.0$ Vdc, $V_O = 5.0$ Vdc, $T_A = 25^\circ\text{C}$ $V_{in-} = 0$ V, $V_{in+} \geq 1.0$ Vdc, $V_O = 30$ Vdc, $T_{low} \leq T_A \leq T_{high}$	I_{OL}	—	0.1 —	— 1.0	—	0.1 —	— 1.0	μA
Supply Current $R_L = \infty$ Both Comparators, $T_A = 25^\circ\text{C}$ $R_L = \infty$ Both Comparators, $V_{CC} = 30$ V	I_{CC}	—	0.4 1.0	1.0 2.5	—	0.4 1.0	1.0 2.5	mA

*LM193/193A — $T_{low} = -55^\circ\text{C}$, $T_{high} = +125^\circ\text{C}$

LM293/293A — $T_{low} = -25^\circ\text{C}$, $T_{high} = +85^\circ\text{C}$

LM393/393A — $T_{low} = 0^\circ\text{C}$, $T_{high} = +70^\circ\text{C}$

LM2903 — $T_{low} = -40^\circ\text{C}$, $T_{high} = +105^\circ\text{C}$

LM193,A, LM293,A, LM393,A, LM2903

ELECTRICAL CHARACTERISTICS (V_{CC} = 5.0 Vdc; *T_{low} ≤ T_A ≤ T_{high} unless otherwise stated.)

Characteristic	Symbol	LM193			LM293, LM393			LM2903			Unit
		Min	Typ	Max	Min	Typ	Max	Min	Typ	Max	
Input Offset Voltage (3) T _A = 25°C T _{low} ≤ T _A ≤ T _{high}	V _{IO}	—	±1.0	±5.0	—	±1.0	±5.0	—	±2.0	±7.0	mV
Input Offset Current T _A = 25°C T _{low} ≤ T _A ≤ T _{high}	I _{IO}	—	±3.0	±25	—	±5.0	±50	—	±5.0	±50	nA
Input Bias Current (4) T _A = 25°C T _{low} ≤ T _A ≤ T _{high}	I _{IB}	—	25	100	—	25	250	—	25	250	nA
Input Common Mode Voltage Range (4) T _A = 25°C T _{low} ≤ T _A ≤ T _{high}	V _{ICR}	0	—	V _{CC} - 1.5	0	—	V _{CC} - 1.5	0	—	V _{CC} - 1.5	Volts
Voltage Gain R _L ≥ 15 kΩ, V _{CC} = 15 Vdc, T _A = 25°C	A _{VOL}	50	200	—	50	200	—	25	200	—	V/mV
Large Signal Response Time V _{in} = TTL Logic Swing, V _{ref} = 1.4 Vdc V _{RL} = 5.0 Vdc, R _L = 5.1 kΩ, T _A = 25°C	—	—	300	—	—	300	—	—	300	—	ns
Response Time (6) V _{RL} = 5.0 Vdc, R _L = 5.1 kΩ, T _A = 25°C	t _{TLH}	—	1.3	—	—	1.3	—	—	1.5	—	μs
Input Differential Voltage (7) All V _{in} ≥ Gnd or V ₋ Supply (if used)	V _{ID}	—	—	V _{CC}	—	—	V _{CC}	—	—	V _{CC}	V
Output Sink Current V _{in} = 1.0 Vdc, V _{in+} = 0 Vdc, V _O ≤ 1.5 Vdc, T _A = 25°C	I _{sink}	6.0	16	—	6.0	16	—	6.0	16	—	mA
Output Saturation Voltage V _{in} = 1.0 Vdc, V _{in+} = 0, I _{sink} ≤ 4.0 mA, T _A = 25°C T _{low} ≤ T _A ≤ T _{high}	V _{OL}	—	150	400	—	150	400	—	—	400	mV
Output Leakage Current V _{in} = 0 V, V _{in+} ≥ 1.0 Vdc, V _O = 5.0 Vdc, T _A = 25°C V _{in} = 0 V, V _{in+} ≥ 1.0 Vdc, V _O = 30 Vdc, T _{low} ≤ T _A ≤ T _{high}	I _{OL}	—	0.1	—	—	0.1	—	—	0.1	—	nA
Supply Current R _L = ∞ Both Comparators, T _A = 25°C R _L = ∞ Both Comparators, V _{CC} = 30 V	I _{CC}	—	0.4	1.0	—	0.4	1.0	—	0.4	1.0	mA

*LM193/193A — T_{low} = -55°C, T_{high} = +125°C
LM293/293A — T_{low} = -25°C, T_{high} = +85°C
LM393/393A — T_{low} = 0°C, T_{high} = +70°C

NOTES:

- (1) The max. output current may be as high as 20 mA, independent of the magnitude of V_{CC}; output short circuits to V_{CC} can cause excessive heating and eventual destruction.
- (2) This magnitude of input current will only occur if the input leads are driven more negative than ground or the negative supply voltage. This is due to the input PNP collector base junction becoming forward biased, acting as an input clamp diode. There is also a lateral PNP parasitic transistor action on the IC chip. This phenomena can cause the output voltage of the comparators to go to the V_{CC} voltage level (or ground if overdrive is large) during the time the input is driven negative. This will not destroy the device and normal output states will recover when the inputs become > -0.3 V of ground or negative supply.
- (3) At output switch point, V_O = 1.4 Vdc, R_S = 0 Ω with V_{CC} from 5.0 Vdc to 30 Vdc, and over the full input common-mode range (0 volts to V_{CC} - 1.5 volts)

- (4) Due to the PNP transistor inputs, bias current will flow out of the inputs; this current is essentially constant independent of the output state, therefore, no loading changes will exist on the input lines.
- (5) Input common mode of either input should not be permitted to go more than 0.3 V negative of ground or minus supply. The upper limit of common mode range is V_{CC} - 1.5 V.
- (6) Response time is specified with a 100 mV step and 5.0 mV of overdrive. With larger magnitudes of overdrive faster response times are obtainable.
- (7) The comparator will exhibit proper output state if one of the inputs become greater than V_{CC}, the other input must remain within the common mode range. The low input state must not be less than -0.3 volts of ground of minus supply.

MOTOROLA LINEAR/INTERFACE DEVICES

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

LM193,A, LM293,A, LM393,A, LM2903

TYPICAL PERFORMANCE CHARACTERISTICS

LM193,A/293,A/393,A

FIGURE 2 — INPUT BIAS CURRENT versus POWER SUPPLY VOLTAGE

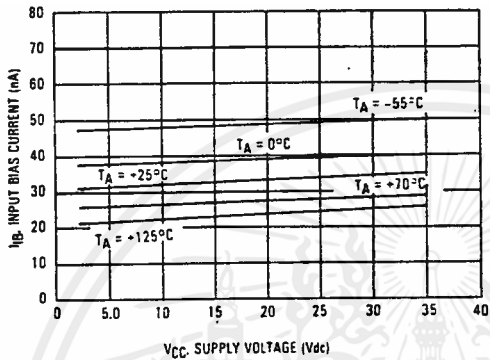


FIGURE 3 — OUTPUT SATURATION VOLTAGE versus OUTPUT SINK CURRENT

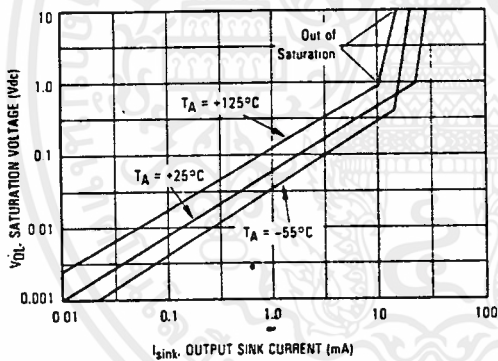
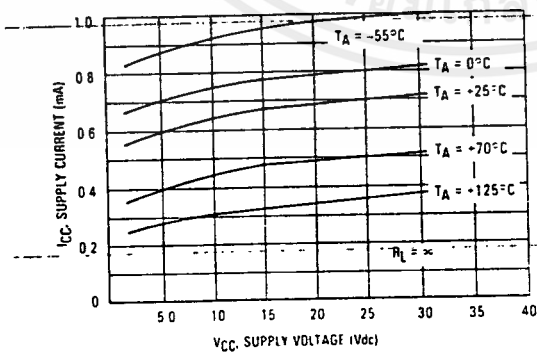


FIGURE 4 — POWER SUPPLY CURRENT versus POWER SUPPLY VOLTAGE



LM2903

FIGURE 5 — INPUT BIAS CURRENT versus POWER SUPPLY VOLTAGE

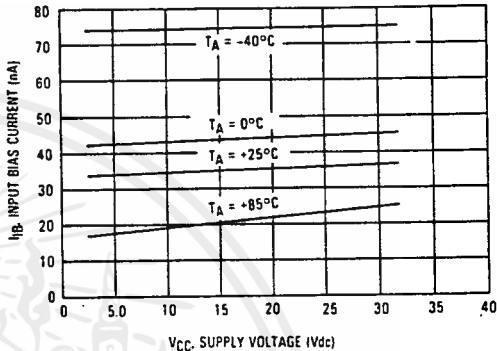


FIGURE 6 — OUTPUT SATURATION VOLTAGE versus OUTPUT SINK CURRENT

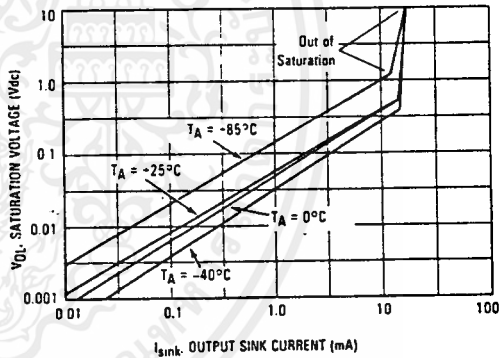
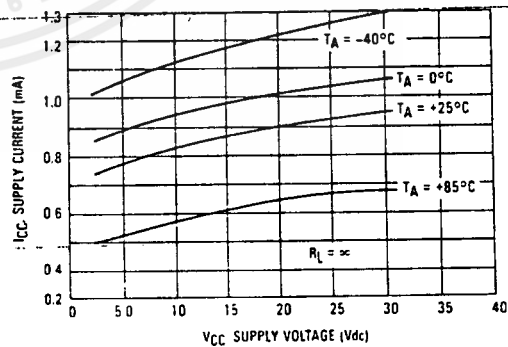


FIGURE 7 — POWER SUPPLY CURRENT versus POWER SUPPLY VOLTAGE



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

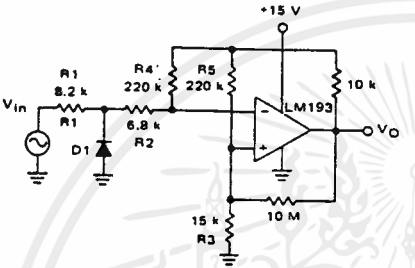
LM193,A, LM293,A, LM393,A, LM2903

APPLICATIONS INFORMATION

These dual comparators feature high gain, wide bandwidth characteristics. This gives the device oscillation tendencies if the outputs are capacitively coupled to the inputs via stray capacitance. This oscillation manifests itself during output transitions (V_{OL} to V_{OH}). To alleviate this situation input resistors $< 10\text{ k}\Omega$ should be used. The addition of positive feedback ($< 10\text{ mV}$) is also recommended.

It is good design practice to ground all unused pins. Differential input voltages may be larger than supply voltage without damaging the comparator's inputs. Voltages more negative than -0.3 V should not be used.

FIGURE 8 — ZERO CROSSING DETECTOR (Single Supply)



D1 prevents input from going negative by more than 0.6 V

$$R1 = R2 = R3$$

$R3 < \frac{R5}{10}$ for small error in zero crossing

FIGURE 9 — ZERO CROSSING DETECTOR (Split Supplies)

$V_{INmin} \approx 0.4\text{ V}$ peak for 1% phase distortion (± 9).

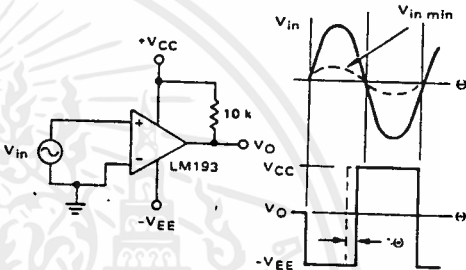


FIGURE 10 — FREE-RUNNING SQUARE-WAVE OSCILLATOR

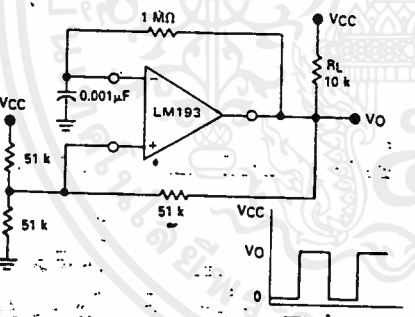
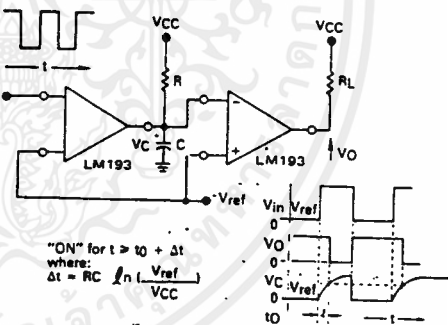
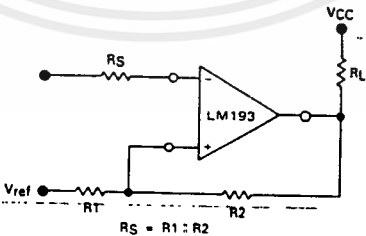


FIGURE 11 — TIME DELAY GENERATOR



"ON" for $t \geq t_0 + \Delta t$
where:
 $\Delta t = RC \ln \frac{V_{ref}}{V_{CC}}$

FIGURE 12 — COMPARATOR WITH HYSTERESIS



$$R_S = R_1 : R_2$$

$$V_{th1} = V_{ref} - \frac{(V_{CC} - V_{ref}) R_1}{R_1 + R_2 + R_L}$$

$$V_{th2} = V_{ref} - \frac{(V_{ref} - V_{OL}) R_1}{R_1 + R_2 - R_L}$$

MOTOROLA
SEMICONDUCTOR
TECHNICAL DATA

LM193 LM193A
LM293 LM293A
LM393 LM393A
LM2903

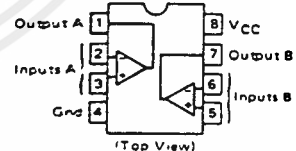
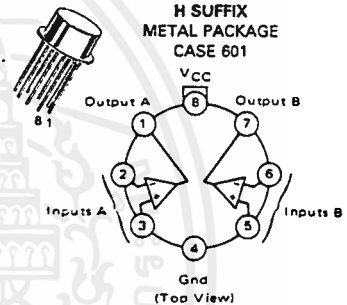
**SINGLE SUPPLY, LOW POWER, LOW OFFSET VOLTAGE
DUAL COMPARATORS**

The LM193 series are dual independent precision voltage comparators capable of single- or split-supply operation. These devices are designed to permit a common mode range-to-ground level with single-supply operation. Input offset-voltage specifications as low as 2.0 mV make this device an excellent selection for many applications in consumer automotive, and industrial electronics.

- Wide Single-Supply Range — 2.0 Vdc to 36 Vdc
- Split-Supply Range — ± 1.0 Vdc to ± 18 Vdc
- Very Low Current Drain Independent of Supply Voltage — 0.4 mA
- Low Input Bias Current — 25 nA
- Low Input Offset Current — 5.0 nA
- Low Input Offset Voltage — 2.0 mV (max) LM193A/293A/393A
— 5.0 mV (max) LM193/293/393
- Input Common Mode Range to Ground Level
- Differential Input Voltage Range Equal to Power Supply Voltage
- Output Voltage Compatible with DTL, ECL, TTL, MOS and CMOS Logic Levels

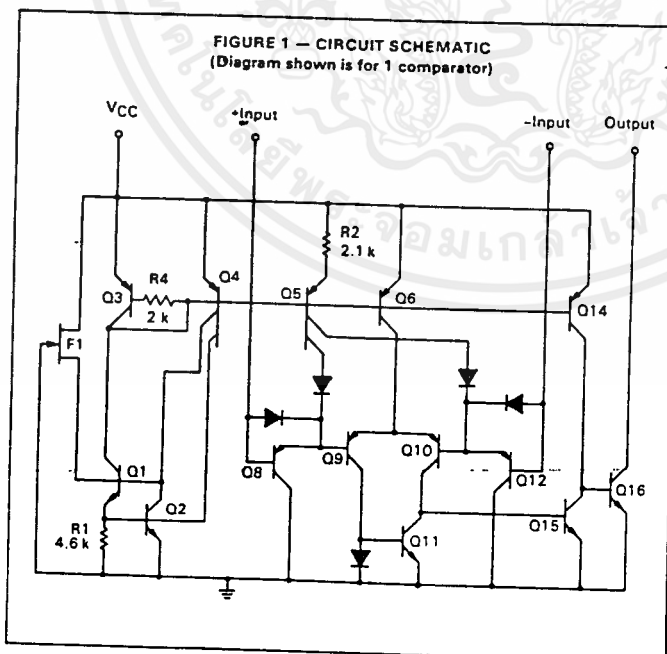
DUAL COMPARATORS

**SILICON MONOLITHIC
INTEGRATED CIRCUIT**



ORDERING INFORMATION

Device	Temperature Range	Package
LM193A	-55 to +125°C	Metal Can
LM293A	-55 to +125°C	Metal Can
LM293C	-25 to +85°C	SO-8
LM393A	-55 to +125°C	Metal Can
LM393D	0 to +70°C	SO-8
LM393A	-55 to +125°C	Plastic DIP
LM2903C	-55 to +125°C	SO-8
LM2903A	-55 to +125°C	Plastic DIP



MOTOROLA LINEAR/INTERFACE DEVICES

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เอกสารอ้างอิง

1. บริษัท ซีอีคยูเคชั่น , คู่มือไอซี CMOS 4000 SERIES , 2521
2. ประกิจ ตั้งติสานนท์ , ทฤษฎีโทรทัศน์ , คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหาร ลาดกระบัง , 2529
3. ห้องวิจัยอิเล็กทรอนิกส์ทางการแพทย์ , รายงานการวิจัยเรื่อง PORTABLE ELECTROCARDIOGRAM MONITOR , ภาควิชาอิเล็กทรอนิกส์ คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหาร ลาดกระบัง , 2530
4. ดร. ธวัช เมฆสุวรรณค์ , นาย ฟูมิตอะ มิคุมะ , เทคนิคการซ่อมเครื่องรับโทรทัศน์ , 2529
5. WALTER G JUNG , IC OP-AMP COOKBOOK , 1977