เครื่องรับสัญญาณดาวเทียม

(SATELLITE RECEIVER)

โดย

นาย	ชูชาติ	เสนาะล้ำ	34132147
นาย	นคินทร์	นุตคำแหง	34132151
นาย	อำนวย	ผลละออ	34132180
นางสาว	สุธานุช	สุธีรวัฒนานนท์	34132181

อาจารย์ที่ปรึกษา

อ. ดลชัย สุขเจริญผล

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษา
ตามหลักสูตรปริญญาอุตสาหกรรมศาสตร์บัณฑิต
สาขาเทคโนโลยีอิเลคทรอนิคส์
คณะวิศวกรรมศาสตร์
สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง
ปีการศึกษา 2535

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

032701

โครงงาน

ชื่อปริญญานิพนธ์ : เครื่องรับสัญญาณดาวเทียม

ผู้จัดทำ

นาย	ชูชาติ	เสนาะล้ำ	34132147
นาย	นคินทร์	นุตคำแหง	34132151
นาย	อำนวย	ผลละออ	34132180
นางสาว	สุชานุช	สุธีรวัฒนานนท์	34132181

อาจารย์ที่ปรึกษา

อาจารย์ ดลชัย สุขเจริญผล

คณะวิศวกรรมศาสตร์

ภาควิชาเทคนิคอุตสาหกรรม

สาขาเทคโนโลยีอิเลคทรอนิคส์

สถาบันเทคโนโลยีพระจอมเกล้า เจ้าคุณทหารลาดกระบัง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

032701

PROJECT

SATELLITE RECEIVER

1. CHUCHART SANORLAM
2. NAKIN NUTCOMHANG
3. AMNUAY PHOLLAOR
4. SUTANUCH SUTEERAVATTANANONT

Faculty of Engineering

Department of Industrial Technic

Major in Electronic Technology

King Mongkut's Institute of Technology Ladkrabang

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เครื่องรับสัญญาณดาวเทียม

(SATELLITE RECEIVER)

ได้รับอนุมัติให้เป็นส่วนหนึ่งของ การศึกษาตามหลักสูตรอุตสาหกรรมศาสตร์บัณฑิต

ปีการศึกษา 2535

คณะวิศวกรรมศาสตร์ ภาควิชาเทคนิคอุตสาหกรรม สาขาวิชาเทคโนโลยีอิเลคทรอนิคส์

สถาบันเทคโนโลยีพระจอมเกล้า เจ้าคุณทหารลาดกระบัง

คณะกรรมการตรวจสอบปริญญานิพนธ์

..... ประธานกรรมการ

(.....)

..... กรรมการ

(.....)

..... กรรมการ

(.....)

..... กรรมการ

(.....)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วัตถุประสงค์

1. เพื่อศึกษาทฤษฎีการทำงานของเครื่องรับสัญญาณดาวเทียม
2. เพื่อศึกษาวิธีการออกแบบวงจรสนับสนุนต่าง ๆ ให้ทำงานถูกต้องตามต้องการ
3. เพื่อศึกษาวิธีการออกแบบโปรแกรมควบคุมการทำงานของ Z80 โดยใช้ภาษา Assembly

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ

บทคัดย่อ		ก
บทที่ 1	บทนำ	1
บทที่ 2	หลักการทำงานของเครื่องรับสัญญาณดาวเทียม	22
บทที่ 3	VOLTAGE LEVEL CONTROL	26
บทที่ 4	IF AMP & LIMITTER	44
บทที่ 5	DETECTOR	47
บทที่ 6	การทำงานของวงจรต่าง ๆ	50
บทที่ 7	การทดลองและผลการทดลอง	61
บทสรุป		65
ภาคผนวก		A00
หนังสืออ้างอิง		

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เครื่องรับสัญญาณดาวเทียม

(satellite receiver)

นาย	ชูชาติ	เสนาะล้ำ	34132147
นาย	นคินทร์	นุตคำแหง	34132151
นาย	อำนวย	ผลละออ	34132180
นางสาว	สุธานุช	สุธีรวัฒนานนท์	34132181

อ. ดลชัย สุขเจริญผล อาจารย์ที่ปรึกษา ปีการศึกษา 2535

บทคัดย่อ

ปริญญานิพนธ์ฉบับนี้เป็นโครงงานการออกแบบ และสร้างเครื่องรับสัญญาณโทรทัศน์จากดาวเทียมในย่านความถี่ C band คือ 3.7-4.2 GH_z โดยรับสัญญาณจากจานรับดาวเทียมผ่าน วงจรขยายสัญญาณรบกวนต่ำ (LOW NOISE AMPLIFIER -LNA) และวงจร DOWN CONVERTER ภาคแรก แปลงความถี่ลงมาเหลือ 1 GH_z ส่งมายังเครื่องรับ ซึ่งมี RF AMP ขยายสัญญาณให้แรงขึ้น เพื่อมา Mix กับความถี่ Local Oscillator โดยมี Mixer แบบบาลานซ์ ได้สัญญาณความถี่กลาง 70 MH_z ผ่าน IF AMP และภาค Limitter ความถี่ 70 MH_z จะนำมาแยกสัญญาณคลื่นพาหะโดยผ่านวงจรดีเทค แบบ Quadrture Detector ซึ่งจะได้สัญญาณภาพและเสียง และสามารถเลือกช่องได้โดยใช้หลักการของ VCO โดยใช้ Software และ ET Board ผ่าน D/A Convertor หรือสามารถปรับด้วยมือ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

SATELLTE RECEIVER

MR	CHUCHART	SANORLAM	34132147
MR	NAKIN	NUTCUMHANG	34132151
MR	AMNUAY	PHOLLAOR	34132180
MISS	SUTANUCH	SUTEERAVATTANANONT	34132181

DOLCHAI SOOKCHAROENPHOL ADVISOR

ABSTRACT

This thesis is the project about design and construction the television satellite receiver in range of C band that is 3.7-4.2 GH_z. It received the microwave signal from parabola dish and then send to LNA and 1^{ST} stage down coverter that reduce frequency to 1 GH_z. The receiver is consist of RF-Amp which use to amplication signal from LNA and 1^{ST} stage down converter and Quadrature (90) hybrid mixer that use to mix input frequency from RF-Amp with local oscillator into IF-Amp 70 MH_z and limitter. The base band demodulator is quadrature detector then can seperate video and sound. And can select channel by VCO by the use of software and ET board and D/A convertor or by manual.

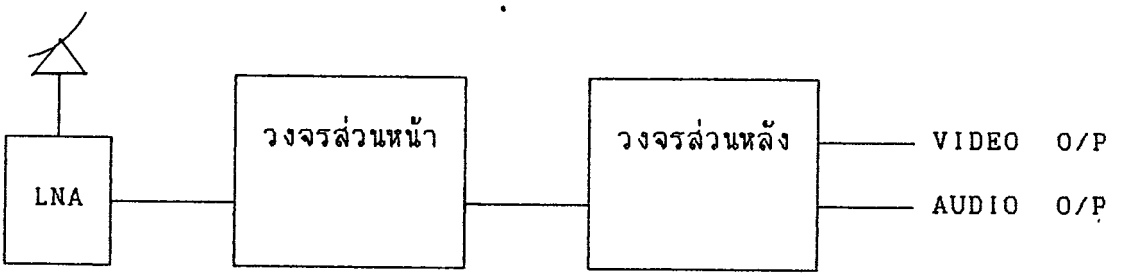
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 1
บทนำ (INTRODUCTION)

ในปัจจุบันระบบการสื่อสารดาวเทียมเป็นที่นิยมใช้กันมากทั่วโลก มีการส่งดาวเทียมขึ้นไปโคจรอยู่ในวงโคจรเป็นจำนวนนับร้อยดวง เนื่องจากระบบสื่อสารผ่านดาวเทียมมีข้อดีหลายอย่าง การทำงานมีพื้นที่ครอบคลุมส่วนต่างๆ ของพื้นผิวโลกได้กว้างแล้วแต่จะออกแบบระบบจานสายอากาศบนดาวเทียมให้เหมาะกับการใช้งาน ระบบสื่อสารดาวเทียมเหมาะที่จะใช้สำหรับการติดต่อสื่อสารระหว่างประเทศ ภายในประเทศ หรือใช้สำหรับการแพร่สัญญาณโทรทัศน์ ให้ครอบคลุมพื้นที่ต่างๆ นอกจากนี้ ระบบการสื่อสารดาวเทียมกำลังมีบทบาทในการพัฒนาประเทศ ไม่ว่าจะเป็นการสำรวจทรัพยากรธรณี การสำรวจภูมิประเทศ หรือการใช้งานทางด้านทหาร เป็นต้น

ระบบการสื่อสารโทรทัศน์ผ่านดาวเทียมนี้ มีส่วนประกอบพื้นฐาน 5 ส่วน ได้แก่ ส่วนแรก คือ *ห้องส่งหรือสตูดิโอต่างๆ* ซึ่งเป็นเจ้าของรายการต่างๆ ที่จะส่งออกแพร่ภาพ ส่วนที่สอง คือ *สถานีภาคพื้นดินของดาวเทียม* จะทำการมอดูเลทข่าวสารต่างๆ กับสัญญาณไมโครเวฟ ส่งออกไปยังดาวเทียม ส่วนที่สาม คือ *ดาวเทียม* ซึ่งทำหน้าที่เป็นสถานีทวนสัญญาณ โดยส่วนใหญ่จะอยู่ในวงโคจรที่เรียกว่า "วงโคจรค้างฟ้า" (Geostationary Orbit หรือ Geosynchronous Orbit) ซึ่งวงโคจรนี้จะอยู่ในแนวระนาบเดียวกับแนวเส้นศูนย์สูตร และอยู่เหนือพื้นโลกประมาณ 36,000 กิโลเมตร ซึ่งเปรียบเสมือนว่าดาวเทียมนี้ จะอยู่นิ่งเมื่อเทียบกับพื้นโลก ส่วนที่สี่ คือ *ระบบเครื่องรับสัญญาณดาวเทียม* จะทำหน้าที่รับสัญญาณไมโครเวฟขาลง มาผ่านขบวนการนำสัญญาณภาพและสัญญาณเสียงกลับมา จากนั้นทำการมอดูเลทให้เป็นสัญญาณที่ใช้ในการแพร่ภาพโทรทัศน์ ส่วนที่ห้า คือ *เครื่องรับโทรทัศน์*

เครื่องรับสัญญาณดาวเทียม (Satellite Receiver) มีส่วนประกอบที่สำคัญดังแสดงในรูปที่ 1.1



รูปที่ 1.1 บล็อคไดอะแกรมของเครื่องรับสัญญาณดาวเทียม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากรูปที่ 1.1 แสดงบล็อคไดอะแกรมของเครื่องรับสัญญาณดาวเทียม ซึ่งมีส่วนประกอบที่สำคัญ 4 ส่วน คือ

1. จานสายอากาศ
2. ตัวขยายสัญญาณที่มีสัญญาณรบกวนต่ำ (Low Noise Amplifier)
3. วงจรส่วนหน้า ซึ่งประกอบด้วยตัวแปลงความถี่ให้ต่ำลง (Down Converter) และตัวผสมสัญญาณ (Mixer)
4. วงจรส่วนหลัง ซึ่งเป็นตัวแยกสัญญาณภาพและสัญญาณเสียง ออกจากสัญญาณ IF

ในโครงงานนี้ จะเป็นการจัดทำเครื่องรับสัญญาณโทรทัศน์ผ่านดาวเทียม ซึ่งเป็นการรับของระบบ TV Broadcasing โดยเราสามารถสร้างเครื่องรับสัญญาณจากดาวเทียมได้โดยตรง ในปัจจุบัน เราสามารถรับสัญญาณโทรทัศน์จากดาวเทียมได้ในย่าน C-Band (3702 MHz - 4178 MHz) ซึ่งประเทศของเราก็จะมีดาวเทียม ที่มีช่องความถี่ในย่าน C-Band ด้วย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ระบบการรับสัญญาณดาวเทียม

(1) ระบบ DBS และ TVRO

ความถี่ที่นิยมใช้กันอยู่ในการส่งสัญญาณของระบบโทรทัศน์ดาวเทียมมี 2 ย่าน คือ C Band และ Ku Band ซึ่งในช่วงแรกๆ ของการกระจายสัญญาณ เป็นการเชื่อมโยงระหว่างดาวเทียมกับสถานีแม่ข่าย CATV (โดยใช้ย่าน C Band แพร่กระจาย) ด้วยเหตุนี้ขนาดของจานรับสัญญาณ จึงไม่เป็นสิ่งสำคัญในการพิจารณาเลือกระบบ และที่ความถี่ต่ำกว่าจะใช้ต้นทุนที่ต่ำกว่า ในต้นปี 1980 ได้เริ่มมีการใช้ระบบ TVRO ซึ่งเป็นระบบโทรทัศน์ที่สามารถรับสัญญาณจากดาวเทียมโดยตรงในสหรัฐฯ ระบบนี้ใช้จานรับสัญญาณขนาดเส้นผ่านศูนย์กลาง 3 ถึง 4 เมตร และสามารถรับช่องสัญญาณมากกว่า 100 ช่อง ผ่านดาวเทียมมากกว่า 20 ดวง ระบบนี้ใช้เทคโนโลยี GaAs ซึ่งทำให้ระบบมีราคาไม่แพง สามารถแข่งขันในตลาดได้ เนื่องจากรายการโทรทัศน์อาจถูกส่งจากดาวเทียมในย่านความถี่ที่ต่างกัน ดังนั้นจึงเป็นสิ่งที่จำเป็นที่จานรับสัญญาณจะต้องสามารถเคลื่อนที่ได้ และระบบจะต้องรับได้ทั้ง C Band และ Ku Band

เนื่องจากระบบ TVRO ได้ถูกใช้ใน CATV และสถานีโทรทัศน์ที่เรียกเก็บเงินจากผู้รับโดยตรง ดังนั้นการ encryption จึงเป็นสิ่งสำคัญเพื่อป้องกันการลักลอบรับสัญญาณ เทคนิคที่นิยมใช้กันมากคือ VIDEO CIPHER ซึ่งผู้รับต้องมี descrambler จึงจะรับสัญญาณที่ถูกต้องได้

ระบบ DBS เป็นระบบที่ถูกออกแบบสำหรับการรับสัญญาณโทรทัศน์จากดาวเทียมโดยตรงโดยเฉพาะ ดังนั้นเรื่องของขนาดจานรับสัญญาณดาวเทียม จึงเป็นสิ่งที่สำคัญมาก โดยทั่วไปจานรับสัญญาณมีขนาดเส้นผ่านศูนย์กลาง 45-60 เซนติเมตร โดยยระบบนี้ถูกใช้ครั้งแรกในประเทศญี่ปุ่น และได้เริ่มทดลองใช้ในยุโรปตะวันออกในปี 1989

ระบบ encryption เป็นสิ่งที่สำคัญมากในการที่จะให้ระบบ DBS คุ้มค่าในเชิงเศรษฐศาสตร์การลงทุน แม้ว่าเราจะมีระบบ VIDEO CIPHER อยู่แล้ว แต่ดูเหมือนว่าระบบนี้จะไม่เพียงพอสำหรับระบบ DBS ดังนั้นจึงได้ยังคงมีการวิจัยด้านนี้อยู่ นอกจากนี้ระบบ DBS ยังมุ่งในการพัฒนาคุณภาพสัญญาณภาพและเสียงให้ดียิ่งขึ้น อย่างเช่นในญี่ปุ่นได้ใช้ระ

ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

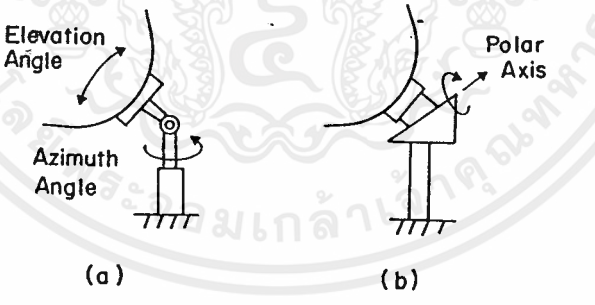
บบเสียงดิจิตอลแบบ PCM ซึ่งให้คุณภาพเสียงเทียบเท่ากับ compact disc และในประเทศแถบยุโรปได้วางแผนใช้ระบบการส่งแบบ MAC (Multiple Analog Component) เพื่อเพิ่มคุณภาพสัญญาณเสียงและภาพ ซึ่งจะทำให้ระบบนี้ได้รับความสนใจมากขึ้น

(2) เทคโนโลยี TVRO

a) ตัวปรับจานรับสัญญาณ (Antenna Actuators)

ในการรับสัญญาณดาวเทียมด้วยจานรับสัญญาณ 1 จานนั้น ต้องใช้ตัวปรับจานรับสัญญาณ เพื่อให้สามารถรับสัญญาณได้ตลอด โดยตัวปรับจานรับสัญญาณจะทำการติดตาม,ค้นหา (trace) ดาวเทียมที่เป็น geo-synchronous

วิธีที่ง่ายที่สุดในการตั้งจานรับสัญญาณคือ การตั้งแบบ azimuth-elevation ดังรูปที่ 1(a) ซึ่งมันมีตัวควบคุมมุม azimuth และตัวควบคุมมุม elevation ในการ trace ดาวเทียมทุกดวงจำเป็นต้องมีตัวควบคุมมุมทั้งสอง ซึ่งในทางปฏิบัติการตั้งจานรับสัญญาณแบบนี้ไม่ใช้ในระบบการรับสัญญาณโทรทัศน์จากดาวเทียม



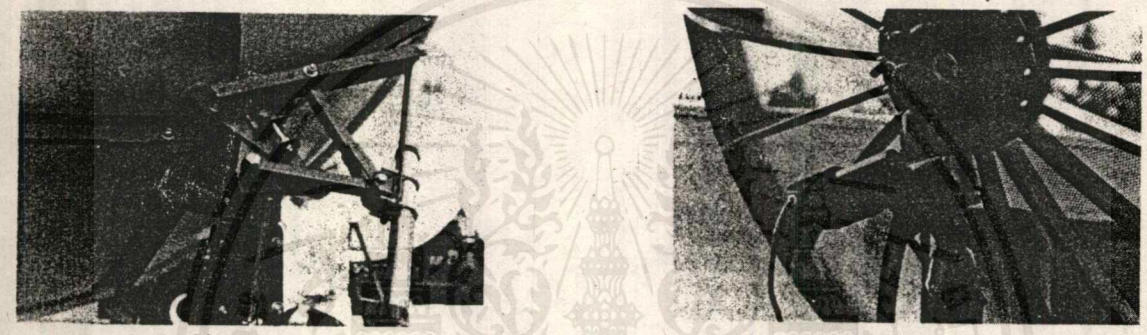
รูปที่ 1 การตั้งจานรับสัญญาณ (a) การตั้งแบบ Azimuth-elevation
(b) การตั้งแบบ Polar

ระบบการรับสัญญาณดาวเทียมภายในบ้าน ใช้การติดตั้งจานรับสัญญาณแบบ polar ซึ่ง beam ของสายอากาศสามารถ scan วงโคจรของดาวเทียมได้ทั้งหมด ดังในรูปที่ 1(b) จานรับสัญญาณหมุนรอบแกนขนานกับแกน polar ของโลก(แกนจากขั้วโลกเหนือถึงขั้วโลกใต้)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตัวปรับจานรับสัญญาณทำการควบคุมทางกล เพื่อให้จานรับสัญญาณสามารถทำการ trace ของดาวเทียม ตัวปรับจานรับสัญญาณมีหน้าที่ คือ ขับทางกล และแสดงตำแหน่งการหมุนของจานรับสัญญาณ

ตัวปรับจานรับสัญญาณแบบลิเนียร์ (Linear actuator) ถูกนำมาใช้อย่างกว้างขวาง (รูปที่ 2(a)) จากรูปจะเห็นว่าแขนเชิงเส้น (linear arm) ถูก fix อยู่ระหว่างจานรับสัญญาณและเสาของมัน จุดอ่อนของตัวปรับจานรับสัญญาณแบบลิเนียร์ คือว่าในการเคลื่อนที่แบบลิเนียร์นั้น ไม่สามารถครอบคลุมย่านที่กว้างของมุมจานรับสัญญาณ



(a) Linear actuator (b) H-to-H actuator

รูปที่ 2 Two most common acruators

ตัวปรับจานรับสัญญาณแบบ horizon-to-horizon (H-to-H actuator) มีจุดประสงค์เพื่อให้สามารถรับสัญญาณดาวเทียมครอบคลุมในย่านกว้างของ satellite arc ได้ (รูปที่ 2(b)) ในทางปฏิบัติแล้วตัวปรับแบบนี้สามารถปรับได้ 180 องศา ดังนั้นเป็นไปได้ที่จานรับสัญญาณดาวเทียมสามารถรับสัญญาณจากดาวเทียมได้ทั้งหมด ด้วยตัวปรับจานรับสัญญาณแบบนี้ต้องทำงานด้วยแรงหมุน ซึ่งแรงหมุนนี้จำเป็นต้องใช้ในการหมุนจานรับสัญญาณ ฉะนั้นมันจึงมีผิวภายนอกที่สนิทแน่น , ละเอียด

(b) เทคนิคการ SCRAMBLER (SCRAMBLING TECHNIQUES)

เทคนิค scrambling ต่างๆ ถูกใช้ในดาวเทียมและระบบเคเบิลทีวี เพื่อที่จะป้องกันการรับสัญญาณจากผู้ที่ไม่ได้เป็นสมาชิก เช่น ระบบโทรทัศน์ถ่ายทอดสัญญาณผ่านดาวเทียมจำเป็นต้องใช้เทคนิค scrambling ที่มีความปลอดภัยสูง รวมทั้งระบบการกระจายข้อมูลของการ descramble และระบบการเก็บค่าใช้จ่ายในการรับบริการ (ค่าสมาชิก) ก็

ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ใช้เทคนิคที่มีความปลอดภัยสูง เทคนิค scrambling นั้นต้องการที่จะรักษาความลับของสัญญาณให้สมบูรณ์ ซึ่งมันจะถูก emphasize (เน้น) จากจุดกระจายข้อมูล

ตารางที่ 1 วิธีการ scrambling

Low security	Entire Video waveform is inverted
Video Inversion	Video is randomly invered. (Line or frame)
Interfering Carrier	Add interfering carrier in baseband between video and audio subcarrier
Horizonral Sync Suppression and shifring	6 dB reduction in voltage of horizontal
medium to high security	
Line Dicing	Digital video encryption Portion of scan line is removed and apliced
Digital Audio Encryptiom	e.g. M/A Cam Video Cipher

ในการ encryption สัญญาณภาพ ใช้เทคนิค scrambling แบบอนาล็อก เหตุที่เป็นเช่นนี้เนื่องจากการ encryption แบบดิจิตอลนั้น ทำได้ยาก ส่วนในการ encryption สัญญาณเสียง ใช้การ encryption แบบดิจิตอล ซึ่งเป็นระบบที่มี

ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ความปลอดภัยสูง ในระบบที่ให้ความปลอดภัยสูงกว่านี้นั้น ต้องการวงจร decoder ที่สมบูรณ์กว่านี้ และราคาสูง ฉะนั้นจึงต้องทำ compromise ให้เหมือนกัน เพื่อที่จะกำหนดระบบทั้งหมด

การ scrambling ต้องการที่จะกระจายข้อมูลที่สัมพันธ์กัน ในแต่ละ subscriber รวมถึงสัญญาณควบคุมตัวถอดรหัส ในการกระจายข้อมูล ทำได้โดยการผ่านดาวเทียม , การ์ด , หรือไม่ก็ทางสายโทรศัพท์

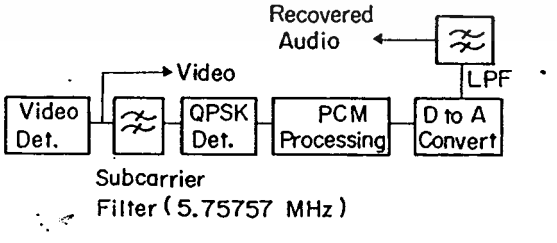
ระบบการ scrimbling ที่มีความปลอดภัยสูงนั้น เป็นระบบที่จำเป็นต้องทำในรูปแบบของ VLSI เพื่อที่จะลดค่าใช้จ่ายของ decoder ส่วนบุคคล ฉะนั้นจึงเป็นเรื่องที่สำคัญที่จะต้องมีระบบมาตราฐานสำหรับตัวกระจายสัญญาณ (broadcasters)

(3) เทคโนโลยี DBS

(a) PCM Audio (Japan DBS)

ระบบ DBS ของ NHK (Japan Broadcasting Corp.) ใช้การส่งสัญญาณเสียงแบบ PCM ซึ่งมอดูเลทแบบ QPSK (Quad Differential PSK) ดังนั้นในเครื่องรับ DBS ของญี่ปุ่น ส่วนที่สำคัญของวงจรภาคเสียง จะประกอบด้วย 3 ส่วนหลักๆ คือ

1. QPSK demolulator
2. ส่วนประมวลผลสัญญาณดิจิตอล
3. D/A convertor



รูปที่ 3 บล็อคไดอะแกรมของ PCM Audio

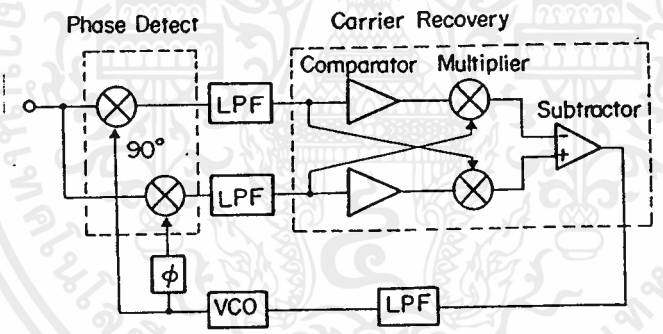
สัญญาณพาห์มีความถี่ 5.7272 MHz ได้ถูกมอดูเลตในรูปแบบของ QPSK ซึ่ง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ใช้สัญญาณ 2 บิท ในการระบุเฟสที่เลื่อนไป (0 , 90 , 180 , 270 องศา) วิธีการนี้มีข้อดีที่ว่า การดีมอดูเลเตอร์ไม่จำเป็นต้องรู้เฟสสมบูรณ์ (absolute phase) ของสัญญาณพาห์ต่างๆ วิธีการดีมอดูเลเตอร์ที่นิยมใช้กันมากคือ Costas Loop ซึ่งได้แสดงในรูปที่ 4

หลังจากทำการดีมอดูเลทแล้ว สัญญาณ PCM จะต้องถูกประมวลผลทางดิจิตอลเสียก่อน แล้วจึงส่งไปยังภาค D/A Convertor ในการประมวลผลจะต้องประกอบด้วยขั้นตอนต่อไปนี้

- Descramble
- De-interleve
- Detect Control Code and appropriate mode
- Error Correction
- Companding



รูปที่ 4 บล็อคไดอะแกรมของ COSTAS loop

ข้อมูล PCM ที่ได้ประมวลผลทางดิจิตอลเรียบร้อยแล้ว จะถูกส่งไปยังภาค D/A convertor เพื่อทำการแปลงข้อมูลแบบดิจิตอลเป็นอนาล็อก ทำให้ได้สัญญาณเสียงที่สมบูรณ์

(b) ระบบ MAC

ในระบบการส่งแบบดั้งเดิม (NTSC PAL และ SECAM) มีขีดจำกัดและปัญหาหลายอย่าง ซึ่งจะปรากฏอย่างเด่นชัด ในการส่ง TV ผ่านดาวเทียม ดังนั้นจึงได้มี

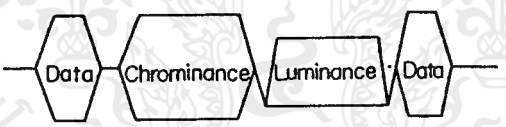
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ความพยายามที่จะพัฒนาระบบการส่งในแบบต่าง ๆ เช่น HDTV และระบบ MAC ซึ่งจะกล่าวในที่นี้

ข้อบกพร่องที่สำคัญอันหนึ่งของระบบการส่งแบบดั่งเดิม คือ สัญญาณ synchronization pulses ซึ่งใช้เวลาถึง 20% ของเวลาในการส่งทั้งหมด จึงทำให้เกิดการสูญเสียพลังงานโดยไม่จำเป็น

ข้อพิจารณาอีกอย่างในระบบดาวเทียม คือ สภาพแวดล้อมของการส่ง ซึ่งเต็มไปด้วยสิ่งรบกวน เมื่อทำการมอดูเลทแบบ FM , ไม่มีระบบการส่งดั่งเดิมแบบใดที่ถูกออกแบบให้กระจายในสภาพแวดล้อมแบบนั้น ปัญหาของการส่งสัญญาณโทรทัศน์แบบดั่งเดิม อีกอันหนึ่งคือ เกิดการซ้อนกันของสัญญาณ chrominance และ luminance ทำให้เกิดปฏิกริยา cross-chrominance,cross-color,cross-luminance

ปัญหาอีกอย่างหนึ่งจะเกิดขึ้นเมื่อพาหะย่อยของเสียงถูกส่งผ่านดาวเทียมพร้อมกับภาพ คือ สัญญาณเสียงที่ใช้กำลังไฟฟ้าส่วนใหญ่ของทรานสปอนเดอร์ และเหลือกำลังไฟฟ้าสำหรับภาพเพียงเล็กน้อย เป็นผลให้คุณภาพของภาพตกลง



รูปที่ 5 MAC format on the time axis

ในระบบการส่งแบบ MAC ได้แก้ปัญหาเหล่านี้โดยการแยกสัญญาณเสียง, chrominance และ luminance ออกจากกันอย่างสมบูรณ์ โดยวิธีการมัลติเพลกซ์ทางเวลา สิ่งที่แสดงในรูปที่ 5 ส่วนที่ตัวเครื่องรับจะมีส่วนที่ทำหน้าที่ขยายและประมวลผลสัญญาณแต่ละชนิด เพื่อทำให้แต่ละสัญญาณเริ่มที่เวลาเดียวกันเหมือนเดิม ด้วยวิธีการนี้ปฏิกริยา cross-color และ cross-luminance จะถูกขจัดอย่างสมบูรณ์ นอกจากนี้การ synchronize จะเป็นแบบดิจิตอล ทำให้ใช้เวลาในการส่งทั้งหมดเพียง 0.2% เท่านั้น ส่วนสัญญาณเสียงก็จะถูกส่งแบบดิจิตอลด้วยเช่นกัน ทำให้ไม่จำเป็นต้องใช้คลื่นพาห์ใดๆ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

032701

เราสามารถแบ่งระบบ MAC ออกเป็น 4 ชนิด โดยจำแนกตามวิธีการส่งสัญญาณเสียงดังแสดงในตารางที่ 2 การส่งสัญญาณเสียงในรูปแบบดิจิตอล ทำให้สามารถ encrypt สัญญาณเสียงได้ เป็นผลให้ข้อมูลในระบบปลอดภัยยิ่งขึ้น

ตารางที่ 2 สัญญาณเสียงในรูปแบบ MAC

	Freq. Multiplex	Time Multiplex
Base Band	A MAC	B MAC
RF	D MAC	C MAC

c) HDTV

HDTV เป็นรูปแบบของโทรทัศน์ ซึ่งถูกพัฒนาโดย NHK (ถูกเรียกว่า HIVISION) ที่ให้ความละเอียดสูงถึง 1125 เส้น และมี aspect ratio เท่ากับ 9:16 (ตารางที่ 3) เนื่องจากระบบ HDTV บรรจุข่าวสารมากกว่าระบบเดิมถึง 5 เท่า และเพื่อที่จะส่งข่าวสารเหล่านี้ผ่านช่องสัญญาณดาวเทียม ซึ่งมีแบนด์วิธ 27 MHz เราจะต้องทำการลดแบนด์วิธของข่าวสารให้น้อยกว่า 9 MHz ในระบบ HDTV มีวิธีที่ทำสิ่งนั้น คือ MUSE ซึ่งสามารถลดแบนด์วิธลงเหลือ 8.1 MHz

ระบบ HDTV ในปัจจุบันยังมีปัญหาทางด้านราคาอยู่ เนื่องจากราคาที่สูงของระบบประมวลผลภาพดิจิตอล ซึ่งการพัฒนาทางด้าน VLSI เป็นหัวใจสำคัญในการแก้ปัญหานี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตารางที่ 3 Comparison of HIVISION and NTSC

	HIVISION	NTSC
Number of Scanning Line	1125	525
Aspect Ratio	9:16 (3:5:33)	9:12 (3:4)
Line Interlace Ratio	2:1	2:1
Field Repetition Frequency	60 Hz	60 Hz
Video Frequency Bandwidth	20 MHz	4.2 MHz
Audio Modulation	PCM	FM

(4) TVRO and DBS combined Receiver

ในประเทศแถบยุโรปและสหรัฐฯ นั้น เครื่องรับแบบ TVRO ส่วนใหญ่จะใช้ย่านความถี่ Ku-band และเนื่องจากระบบ DBS ถูกติดตั้งทีหลัง TVRO ดังนั้นจึงเป็นไปได้ที่จะรวมระบบ DBS เข้าในเครื่องรับระบบ TVRO (ในยุโรป , ความถี่ของระบบ TVRO อยู่ในช่วง 10.9 GHz - 11.7 GHz และ DBS ได้เพิ่มจาก 11.7 GHz เป็น 12.5 GHz) และจากแนวความคิดวิธีการ switching ระหว่าง TVRO และ DBS จึงเป็นสิ่งสำคัญ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ส่วนประกอบของระบบ (System Components)

(1) Antenna

ลักษณะพิเศษของจานรับสัญญาณ DBS เกิดจาก polarization แบบวงกลม และ EIRP มีค่าสูง (Equivalent Isotropically Radiated Power) ของคลื่นที่แพร่กระจายจากดาวเทียม โดยที่ polarization แบบวงกลม จะถูกเปลี่ยนเป็น polarization แบบเส้นตรง โดยตัว converter ที่ถูกติดตั้งระหว่าง feed horn กับ LNB ซึ่งสิ่งนี้จะเพิ่มภาระให้แก่แขนของจานรับสัญญาณ จึงเป็นสิ่งที่จำเป็นและสำคัญมากที่จะต้องลดน้ำหนักและขนาดของ converter ลง รวมทั้งการออกแบบ polarization converter ด้วย เพราะมันจะช่วย blocking effect ในระบบ center-fed antenna ลดลง

ขนาดของจานในระบบนี้จะมีขนาดเล็กกระทัดรัด เนื่องจากค่า EIRP ที่สูงของ DBS ดังนั้นจานพาราโบลาจึงถูกเสนอ เพื่อหลีกเลี่ยง blocking และใน backfire helical feeder และ flat antennas ก็คาดว่าจะให้ผลเช่นเดียวกัน ซึ่งจะได้อธิบายต่อไป

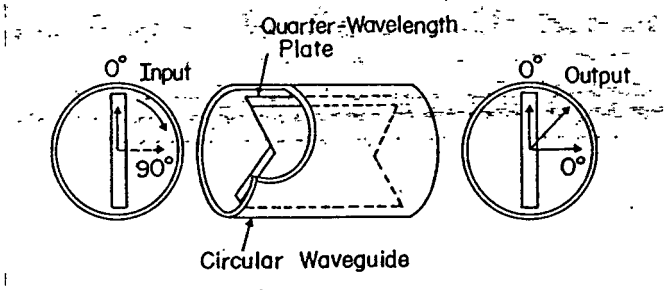
a) Parabolic antenna

ประสิทธิภาพของ aperture ของจานรับสัญญาณเชิงพาณิชย์ในช่วง 60 ถึง 70% เนื่องจากความไม่ไวต่อความถี่ของทั้ง feed horn และจานรับสัญญาณ มันจึงสามารถตอบสนองความถี่ย่านของ DBS ได้อย่างราบเรียบ จานสามารถสร้างได้จากทั้งโลหะอัด หรือ FRP (Fiber Reinforced Plastics) และถ้าใช้เหล็กกล้าเป็นวัสดุ มันจะถูกฉาบผิวหน้าด้วย zine phosphate เพื่อป้องกันสนิม

เราสามารถจำแนก polarization converter เป็น 2 แบบ คือ quarter wave-length plate และ helical antenna หลักการทำงานของแบบ quarter wave-length plate ถูกแสดงในรูปที่ 6 ส่วนอีกแบบจะแพร่กระจาย polarized wave เป็นรูปวงกลม ถ้าเราเลือกขนาดของเส้นผ่านศูนย์กลาง,pitch และ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ความยาวของ helix ได้เหมาะสม จานรับสัญญาณแบบพาราโบลิค เป็นจานรับสัญญาณที่ถูกที่สุดนอกจากความน่าเชื่อถือของระบบ



รูปที่ 6 Principle of a quarter-wave plate

b) Flat Antenna

ในตลาด DBS ของญี่ปุ่นนั้น มี flat antenna อยู่มาก หลากหลายชนิด ซึ่งถูกจำแนกตาม feeding line และ rediating element ตัว feeder ประกอบด้วย metallic waveguide , triplate , suspended line หรือ microstrip line ส่วน radiator ประกอบด้วย microstrip patch , microstrip line หรือ slot บน บอร์ด PC หรือ metallic line

ในการใช้ patch antenna ร่วมกับ microstrip line จะให้ประสิทธิภาพต่ำ(ประมาณ 50%) เนื่องจาก feeder loss แต่ถ้าเราใช้ร่วมกับ triplate หรือ suspended line มันก็สามารถให้ประสิทธิภาพมากกว่า 60% ซึ่งรายละเอียดของสิ่งเหล่านี้ถูกบรรยายใน "Planar antennas for satellite reception"

radial line slot antenna ประกอบร่วมกับ metallic waveguide ได้ถูกทดสอบประสิทธิภาพ สายอากาศประเภทนี้ให้ประสิทธิภาพถึง 76%

polarization แบบวงกลม สามารถใช้กับคลื่นที่ถูก polarize แบบลิเนียร์ ให้ตั้งฉากซึ่งกันและกัน และต่างเฟส 90 องศา

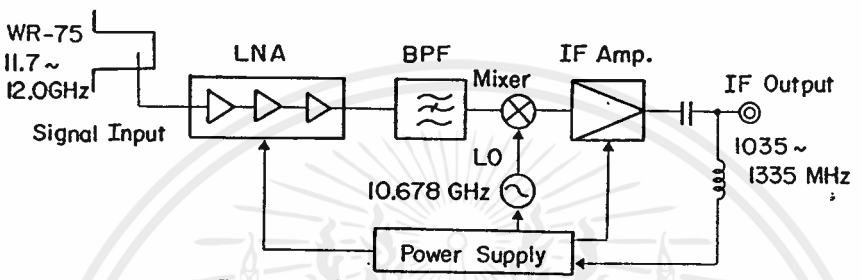
(1) LNB

LNB (Linear Noise Blockdown Converter) จะต่ออยู่กับเอาต์พุตของสายอากาศ โดยมันจะทำหน้าที่แปลงสัญญาณที่มีช่วงความถี่ 12 ถึง 1 GHz ซึ่งตัวมัน

ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จะต้องมีคุณสมบัติดังต่อไปนี้

- low noise
- high local frequency stability
- good air tightness
- small size and low price



รูปที่ 7 บล็อคไดอะแกรมของ LNB

รูปที่ 7 แสดงบล็อคไดอะแกรมของ LNB ซึ่งประกอบด้วย LNA (low noise amplifier) , image-rejection filter , OSC. mixer , IF amp. , DC power supply

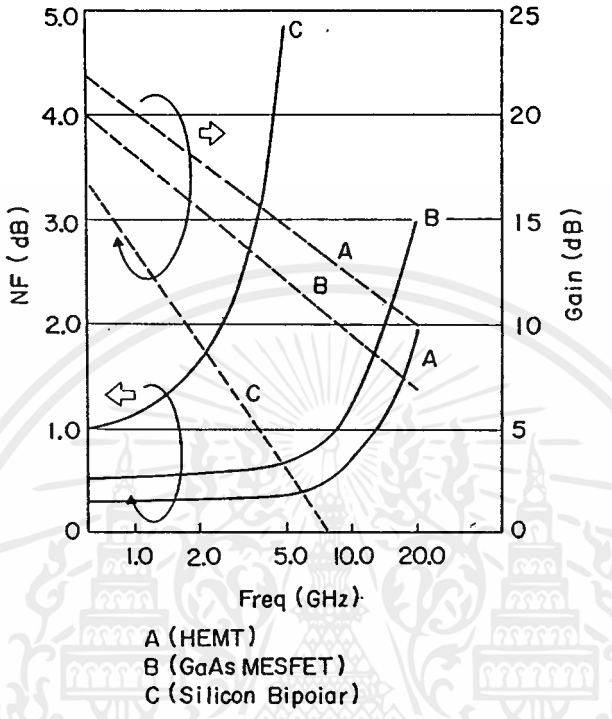
a) LNA

ในการออกแบบ LNA จะต้องเลือกใช้ทรานซิสเตอร์ที่ดีที่สุด และมี noise น้อยที่สุด เพราะมันเป็นตัวกำหนดคุณสมบัติทาง noise (noise figure characteristic) ของระบบเครื่องรับ DBS อัตราขยายและคุณสมบัติทาง noise ต่อความถี่ถูกแสดงในรูปที่ 8 โดย A , B , C คือ ทรานซิสเตอร์แต่ละชนิด ที่ความถี่ 12 GHz อุปกรณ์ที่ดีที่สุดสำหรับทำ LNA คือ HEMT (High Electronic Mobility Transistor)

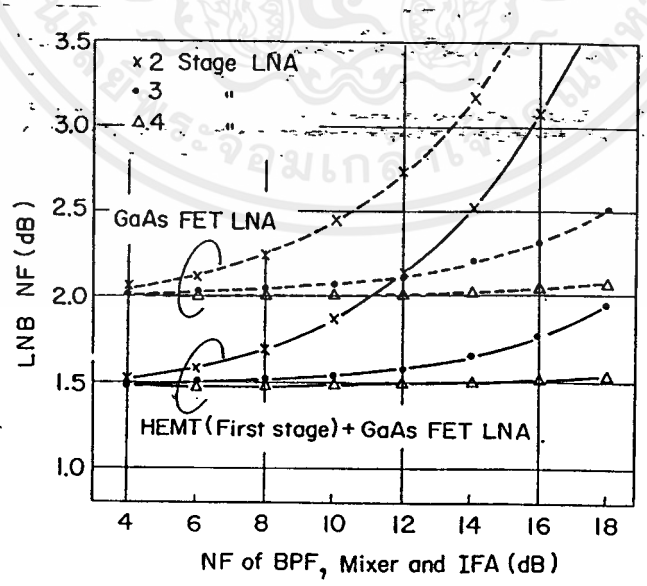
ในรูปที่ 9 แสดงผลกระทบของภาค mixer และ IF ต่อคุณสมบัติทาง noise เส้นทึบแสดง HEMT (NF = 1.1 dB , Ga = 10 dB) + GaAs FET(NF =

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2 dB , Ga = 8 dB)*(N-1) , เส้นประสำหรับ GaAs FET(NF = 1.6 dB , Ga = 9 dB) + GaAs FET(NF = 2 dB , Ga = 8 dB)*(N-1) ซึ่งรวม 0.15 dB ของ waveguide ต่อ microstrip line converter loss อยู่ด้วย และ N คือ จำนวนของภาคขยาย



รูปที่ 8 Gain and noise figure versus frequency for three typical transistor



รูปที่ 9 The overall noise figure of an LNB influenced by that of the BPF mixer and IF

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

b) Frequency conversion circuit

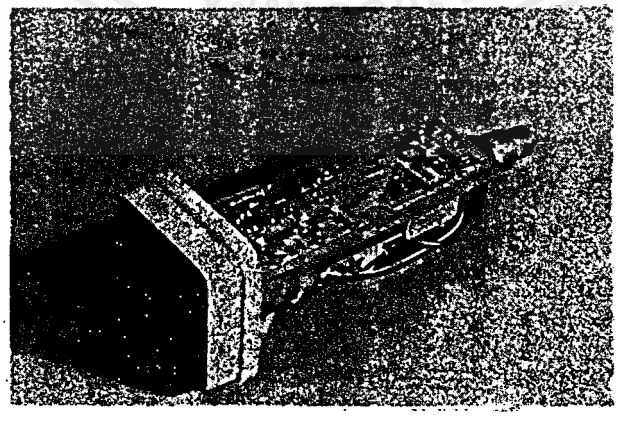
BPF (Band Pass Filter) , mixer และ OSC. สามส่วนนี้ประกอบกันเป็น frequency conversion circuit BPF ถูกใช้สำหรับการกดสัญญาณภาพและสัญญาณรั่วไหลจากออสซิลเลเตอร์ โดยทั่วไปแล้ววงจร BPF ถูกสร้างจาก strip line จำนวน 3-5 ส่วน และถูกล้อมรอบด้วย cut off waveguide

mixer อาจจะเป็นชนิด single-ended หรือ single-balanced ในกรณีแรก mixer และ OSC. จะถูกต่อเข้าด้วย โดยผ่าน ring filter เพื่อที่จะลดการรั่วไหลของสัญญาณ RF สู่วงจรภาคต่อไป

โดยทั่วไปมักจะเลือกใช้ DRO เป็นวงจรออสซิลเลเตอร์ เพราะมีขนาดเล็กและราคาถูก ที่เอาต์พุตของวงจรจะถูกต่อเข้ากับ attenuator เพื่อปรับปรุงเสถียรภาพและ pulling figure

c) คุณสมบัติของ LNB

โครงสร้างภายในของ LNB ถูกแสดงในรูปที่ 10 สัญญาณ RF จะเข้ามาที่ WRJ-120 waveguide และส่งต่อไปยัง microstrip line โดยผ่าน connector ที่ต่ออยู่ระหว่างตัวนำทั้งคู่

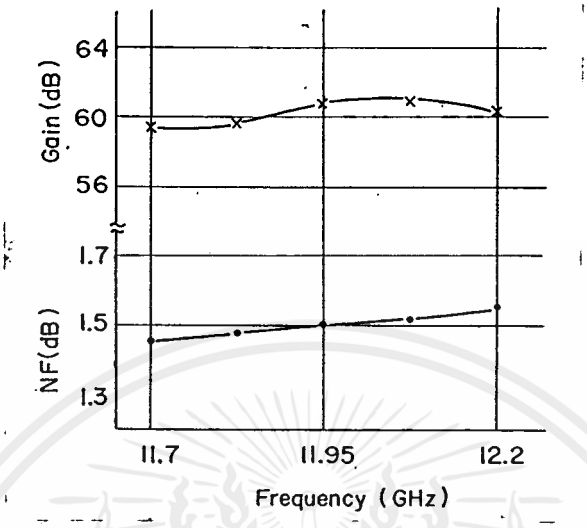


รูปที่ 10 the internal view of an LNB

วงจร LNA , BPF และ mixer จะถูกประกอบรวมกันบนปริ้นส์ ดังแสดงใน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

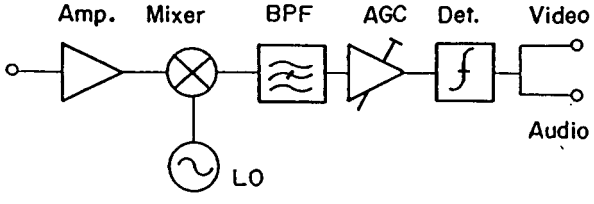
รูปที่ 10 ขณะที่ DRO , IF amp. และ DC power supply จะถูกซ้อนไว้ใต้ LNB board รูปที่ 11 บรรยายคุณสมบัติทางความถี่ต่ออัตราขยาย และ NF ของ LNB



รูปที่ 11 The overall frequency characteristic of gain and NF of a typical LNB

(3) SATELLITE RECEIVER

รูปที่ 12 แสดงบล็อคไดอะแกรมของเครื่องรับสัญญาณดาวเทียม โดยหน้าที่ของมันคือ tuning , demodulation ขบวนการภาพและเสียง ในอดีตการ tuning โดยตรงได้ถูกใช้สำหรับระบบ C band ดังนั้นเครื่องรับจะควบคุมออสซิลเลเตอร์ ใน down converter แต่ในปัจจุบันนี้ระบบเครื่องรับส่วนมากทั้งแบบ C และ Ku band จะให้ block down convertion technique เครื่องรับจึงมีออสซิลเลเตอร์แบบแปรค่าได้ และทำการ tune เอาช่องสัญญาณที่ไม่ต้องการจาก IF ทิ้งไป

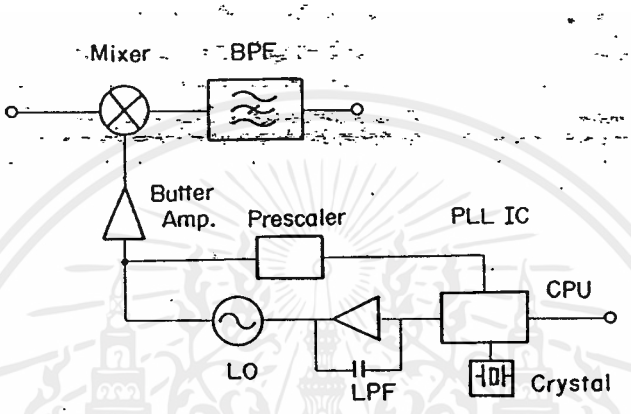


รูปที่ 12 บล็อคไดอะแกรมของเครื่องรับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

a) Tunning Section

รูปที่ 13 แสดงบล็อคไดอะแกรมของส่วน tunning ออสซิลเลเตอร์จะทำงานที่ความถี่สูงกว่าช่องสัญญาณที่ถูกเลือก โดยความถี่ IF อันดับ 2 ปกติความถี่ IF อันดับ 2 จะเลือกใช้ความถี่แบนด์ 70 MHz , 140 MHz หรือ 400 MHz โดยพิจารณาตามสัญญาณภาพ ออสซิลเลเตอร์นี้ สามารถทำให้มีสเถียรภาพดี โดยการปรับระบบ PLL synthesizer



รูปที่ 13 บล็อคไดอะแกรมของส่วน tunning ของเครื่องรับ

b) 2nd IF filter

ตัวกรองสัญญาณ IF เป็นส่วนที่สำคัญที่สุดในการกำหนดคุณสมบัติของเครื่องรับ สำหรับตัวอย่าง อัตราส่วน C/N ที่จะเข้าสู่ส่วนดีเทคเตอร์ จะถูกกำจัดโดย IF filter bandwidth

นอกจากนี้มันยังมีผลกระทบต่อ BER (Bit Error Rate) ในกรณีของการมอดูเลทแบบดิจิตอล ในปัจจุบัน SAW , dielectric filter หรือ helical filter ได้ถูกใช้เป็น IF filter อย่างแพร่หลาย โดยที่ SAW ให้คุณสมบัติที่ดีที่สุด และมีราคาสูงสุดเช่นเดียวกัน

c) AGC

วงจร AGC เป็นส่วนสำคัญและถูกดำเนินการใน RF หรือ IF amplifier

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

มี 2 วิธีที่นิยมใช้ใน AGC คือ การเปลี่ยนจุดการทำงานของวงจรขยาย และการปรับค่า insertion loss ด้วย PIN diode โดยแบบหลังจะให้คุณสมบัติการส่งที่ดีกว่า

d) Threshold Extension Technique

ในสัญญาณ FM ขณะที่สัญญาณอินพุตลดลง อัตราส่วน S/N จะตกลงอย่างรวดเร็วจากระดับที่แน่นอน ระดับนี้ถูกเรียกว่าระดับ threshold ดังแสดงในรูปที่ 14 ระดับ threshold คือ ระดับที่มีระดับสัญญาณสูงสุดเท่ากับระดับสัญญาณ noise สูงสุด และถูกแสดงโดย

$$P_t/N_r = P_t/KT_RBF = 9 \text{ dB}$$

ซึ่ง P_t คือ ระดับสัญญาณที่รับเข้ามา

N_r คือ noise power

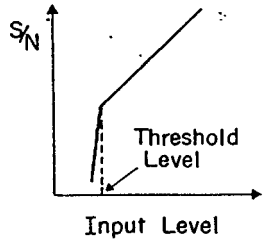
T_R คือ system noise temperature of the receiver

F คือ noise figure

B คือ bandwidth

B ถูกกำหนดโดยกฎของ CARSON : $B = \Delta F + 2fm$ ที่ซึ่ง fm คือ ความถี่สูงสุดของสัญญาณ baseband และ ΔF คือ การเปลี่ยนแปลงของความถี่ ถ้าเครื่องรับสามารถรับแบนด์วิธที่แคบกว่าค่า B แล้วเราจะได้ threshold extension และระบบต่อไปนี้ ถูกพัฒนาขึ้นเพื่อจุดประสงค์ดังกล่าว

1. Frequency Feedback System
2. Tracking Filter System
3. PLL System

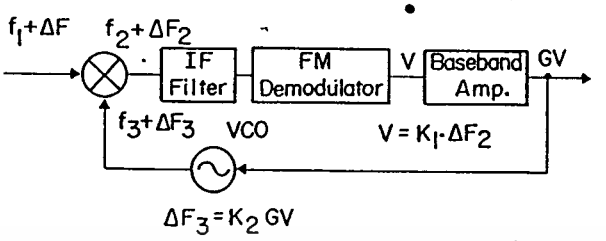


รูปที่ 14 ระดับ threshold ในการมอดูเลทแบบ FM

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

แล้วต่อไปนี้คือข้อสรุปย่อยในแต่ละระบบ

1. FM Negative Feedback System [1]



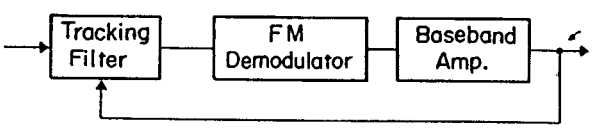
รูปที่ 15 Block diagram of a FM negative feedback demodulator

บล็อคไดอะแกรมของวงจรนี้จะแสดงในรูปที่ 15 เอาต์พุตของ FM detector จะไปควบคุม VCO ให้ติดตามการเปลี่ยนแปลงความถี่ของสัญญาณอินพุต ลักษณะการทำงานแบบนี้เรียกว่า "การป้อนกลับแบบลบ" และโดยวิธีนี้เอาต์พุตของ mixer จะถูกกดทางความถี่ นั่นคือ การเปลี่ยนแปลงทางความถี่ ($\Delta F3$) จะถูกกดจากสัญญาณอินพุตดั่งเดิมด้วยวิธีนี้ bandwidth ของวงจร IF จะถูกทำให้ลดลง ซึ่งมีความสัมพันธ์ดังนี้

$$\Delta F3 = \Delta F1(1 + K1K2G)$$

จะเห็นว่าถ้ามีการเพิ่มอัตราขยายของลูป bandwidth ของวงจร IF จะลดลง ซึ่งให้ผลลัพท์เป็น threshold extension การลด bandwidth จะต้องไม่มากเกินไป เพราะจะทำให้การหน่วงของสัญญาณ FM เพิ่มขึ้น และลูปจะไม่เสถียรภาพ ถ้ากำหนดให้อัตราขยายลูปมากเกินไป noise จะปรากฏในเอาต์พุตของลูป และระดับ threshold จะถูกทำให้เสีย

2. Tracking Filter System [2]

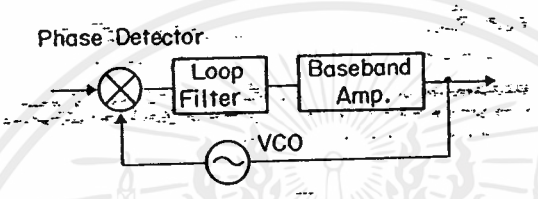


รูปที่ 16 Block diagram of a tracking filter demodulator

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บล็อคไดอะแกรมถูกแสดงในรูปที่ 16 ซึ่งมีหลักการทำงานตรงกันข้ามกับ FM feedback system ความถี่ center ของ IF filter ถูกสร้างให้ติดตามความถี่อินพุต ดังนั้นในการลดแบนด์วิธของ tracking filter จะทำให้เกิด threshold extension ถ้าแบนด์วิธของ tracking filter ถูกทำให้แคบ การหน่วงสัญญาณจะเพิ่มขึ้น และทำให้สัญญาณเสียง ซึ่งถูกมอดูเลทเสียไป ค่าหน่วงเวลาของ tracking ควรจะน้อยกว่า 30 nS ระบบนี้มีข้อดีตรงที่ว่า ง่ายกว่าระบบแรก

3. PLL System [3]



รูปที่ 17 Block diagram of a PLL demodulator

บล็อคไดอะแกรมถูกแสดงดังในรูปที่ 17 ความถี่ของ VCO จะถูกควบคุมให้ inphase กับสัญญาณอินพุตเสมอ loop filter ถูกออกแบบเพื่อที่จะให้ความถี่ baseband ผ่านไปได้เท่านั้น ดังนั้น loop filter จะทำงานเหมือน IF filter ซึ่งทำให้เกิด threshold extension

ระบบทั้งสามนี้เป็นเทคนิคซึ่งถูกใช้บ่อย โดยทั่วไปแล้วระดับของ extension ในระบบโทรทัศน์ขาวดำอยู่ที่ 4 dB และประมาณ 1-2 dB สำหรับระบบโทรทัศน์สี

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 2
หลักการทำงานของเครื่องรับสัญญาณดาวเทียม

ในบทนี้จะกล่าวถึง หลักการทำงานเบื้องต้นของเครื่องรับสัญญาณโทรทัศน์ผ่านดาวเทียม หรือ TVRO (Television Receive Only) โดยรับสัญญาณที่ส่งจากดาวเทียมโดยตรง ซึ่งมีความแรงของสัญญาณน้อยมาก คือ จะอยู่ในช่วง 10^{-12} วัตต์ เนื่องจากมีระยะทางไกลมาก และขนาดของแหล่งจ่ายที่มีจำกัด ซึ่งพลังงานบนดาวเทียมในแต่ละทรานสปอนเดอร์ (transponder) จะให้เอาท์พุทได้เพียงประมาณ 5 วัตต์ ดังนั้นจานสายอากาศของเครื่องรับ จึงจำเป็นต้องใช้แบบที่มีอัตราการขยายสูง ซึ่งได้แก่ จานสายอากาศแบบพาราโบลิค ซึ่งเป็นส่วนที่สำคัญส่วนแรกของการรับสัญญาณจากดาวเทียม เพื่อที่จะทำการขยายสัญญาณที่อ่อนมากๆ นี้ ให้มีขนาดของสัญญาณแรงเพียงพอที่จะส่งให้กับภาคอื่น เพื่อทำการแยกเอาสัญญาณภาพและสัญญาณเสียงออกมา ซึ่งเราสามารถเขียนบล็อคไดอะแกรมของเครื่องรับสัญญาณโทรทัศน์ผ่านดาวเทียมได้ ดังรูปที่ 2.1

บล็อคไดอะแกรมของเครื่องรับสัญญาณโทรทัศน์ผ่านดาวเทียม มีส่วนประกอบที่สำคัญ 4 ส่วน คือ

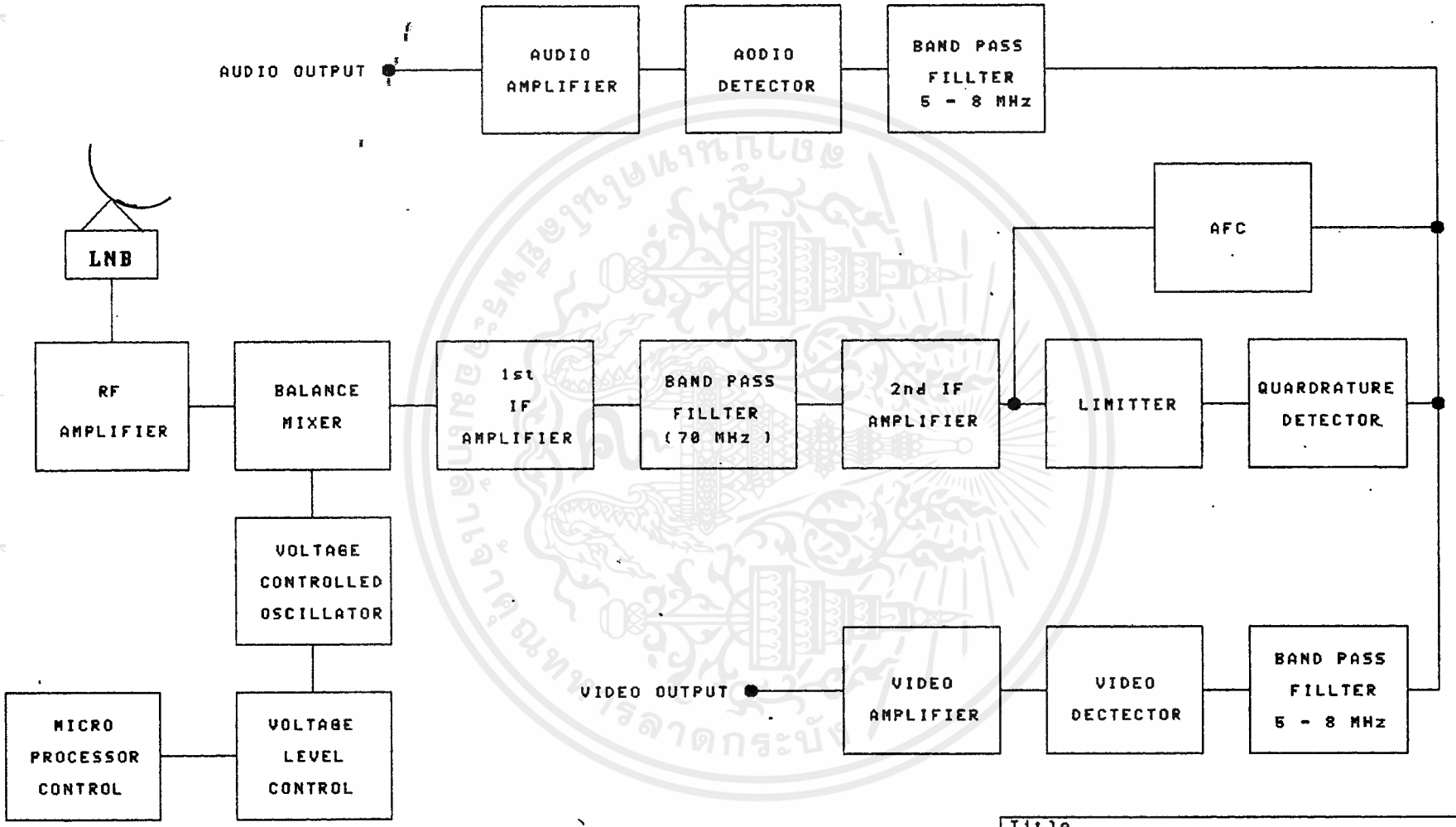
ส่วนแรก จานสายอากาศ

ส่วนที่สอง วงจรขยายสัญญาณที่มีสัญญาณรบกวนต่ำ (LNA : Low Noise Amplifier)

ส่วนที่สาม วงจรส่วนหน้า (Down Converter) จะประกอบด้วย วงจรขยายสัญญาณ RF ,วงจรมิกเซอร์(Mixer),วงจรออสซิลเลเตอร์ (Oscillator) และวงจรจูนด์ (tuned)

ส่วนที่สี่ วงจรส่วนหลัง จะประกอบด้วย วงจรขยายความถี่กลาง(IF Amplifier) ,วงจรฟิลเตอร์ (Filter) ,วงจรดีเทคเตอร์ (Detector)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



Title: SATELLITE RECEIVER		
Size: A4	Number: BLOCK DIAGRAM	Revision: 1
Data: 2-APR 1993		Sheet of
File: B:BLOCK/2		Drawn By:

จากบล็อคไดอะแกรม ในรูปที่ 2.1 แสดงการทำงานของเครื่องรับสัญญาณโทรทัศน์ผ่านดาวเทียม โดยเริ่มจากสัญญาณไมโครเวฟขาลง ***จานสายอากาศ*** จะหันตรงไปยังดาวเทียมที่ต้องการรับ และทำหน้าที่สะท้อนสัญญาณไปยังจุดโฟกัส แล้วส่งผ่านท่อนำคลื่น (wave quide) ไปยังวงจรขยายสัญญาณความถี่สูง. ซึ่งมีสัญญาณรบกวนน้อยมาก

วงจรขยายสัญญาณรบกวนต่ำ (LNA : Low Noise Amplifier) ทำหน้าที่ขยายสัญญาณที่ถูกส่งมาจากท่อนำคลื่น เพื่อขยายสัญญาณให้มีกำลังสูงขึ้น โดยคุณสมบัติของวงจรขยายสัญญาณรบกวนต่ำ (LNA) มีความสัมพันธ์กับขนาดของจานสายอากาศโดยตรง คือ ถ้าเราเลือกใช้จานสายอากาศขนาดเล็ก ก็ต้องเลือกวงจรขยายสัญญาณรบกวนต่ำ ที่มีคุณสมบัติดีพิเศษตามปกติแล้ว เราจะพิจารณาขนาดของจานสายอากาศก่อน แล้วจึงแปรค่าคุณสมบัติของวงจรขยายสัญญาณรบกวนต่ำตามไป สัญญาณที่ออกจากวงจรขยายสัญญาณรบกวนต่ำนี้ จะถูกส่งไปยังวงจรส่วนหน้า

วงจรส่วนหน้า หรือ วงจรแปลงความถี่ต่ำ (Down Converter) ซึ่งจะทำหน้าที่แปลงความถี่จากย่านไมโครเวฟ (C-Band) ลงมาที่ความถี่ IF ในย่าน VHF หรือ UHF สำหรับโครงงานนี้ความถี่ IF จะมีค่าเท่ากับ 70 MHz จากนั้นสัญญาณถูกส่งไปยังวงจรส่วนหลัง

วงจรส่วนหลัง จะทำหน้าที่แยกสัญญาณภาพและสัญญาณเสียง ออกจากสัญญาณรวม (base band) โดยรับสัญญาณความถี่ IF 70 MHz จากวงจรส่วนหน้า แล้วผ่านเข้า *วงจรขยายสัญญาณ IF* เพื่อทำหน้าที่ขยายสัญญาณ IF 70 MHz นี้ให้มีความแรงของสัญญาณมากขึ้น และจะเป็นการเพิ่ม Signal to Noise ratio ให้มีค่าสูงขึ้นด้วย จากนั้นส่งเข้า *วงจรแบนด์พาสฟิลเตอร์* เพื่อป้องกันสัญญาณจากภายนอกเข้ามา และเนื่องจากสัญญาณที่ผ่านแบนด์พาสฟิลเตอร์ จะถูกลดทอนโดยวงจรพาสซีฟฟิลเตอร์ ฉะนั้นจึงต้องทำการขยายอีกครั้งด้วย *วงจรขยายสัญญาณ IF ตัวที่ 2* แล้วจึงส่งเข้า *วงจรลิมิตเตอร์ (Limitter)* เพื่อทำการขลิปสัญญาณที่ผ่านการขยายจากวงจรการขยาย IF ตัวที่ 2 โดยจะขลิปยอดสัญญาณ (cliping) ทั้งซีกบวกและซีกลบ เพื่อทำให้ขนาดของสัญญาณมีขนาดคงที่ แล้วสัญญาณนี้ก็จะถูกส่งเข้าไปยัง *วงจรดีเทคเตอร์(Detector)* ซึ่งจะใช้การดีเทค (Detection)แบบ quadrature เพื่อที่จะทำการแยกสัญญาณรวม ออกจากสัญญาณพาห์และสัญญาณรวมที่ดีเทคออกมาแล้ว ก็จะมาแยกสัญญาณเสียงออกจากสัญญาณภาพ โดยผ่าน *วงจร Low-pass Filter* เพื่อกั้นไม่ให้สัญญาณเสียงเข้ามารบกวน หลังจากนั้นก็จะเข้า *วงจร Video de-emphasis* เพื่อยกระดับของสัญญาณ แล้วจึงขยายจนได้เป็นสัญญาณ video output ส่วนการดี*เทคเตอร์สัญญาณเสียง* เราจะใช้เฟสล็อกลูป (Phase Lock

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Loop) ในการดีมอดูเลทสัญญาณ FM วงจรเฟสล็อกลูปนี้ มักใช้เป็นไอซี โดยสัญญาณเบสแบนด์ (Baseband) จะผ่านฟิลเตอร์ 5-8 MHz ซึ่งสัญญาณจะต้องการที่ความถี่ 6.2 MHz และ 6.8 MHz มีแบนด์วิธ 250 KHz จะผ่านเข้าวงจรเฟสล็อกลูป ซึ่งเราจะใช้เบอร์ NE 564 โดยจะทำหน้าที่ควบคุมคุณภาพแบบวงจรปิด ให้มีเสถียรภาพในการรับเสียงดีขึ้น เนื่องจากคลื่นพาหะย่อยจะมอดูเลทให้มีช่องการแกว่งของความถี่เพียง 10% ของการมอดูเลททั้งย่านและถูกควบคุมการแกว่ง ดังนั้นการรับจะต้องควบคุมคุณภาพให้ดี การล็อกของเฟสล็อกลูปจะสามารถทำ VCO(Voltage Control Oscillator) ย่อยๆ ขึ้น สามารถปรับความถี่ได้ โดยวาริแคปไดโอด ย่านที่ปรับ คือ 5-8 MHz ซึ่งหลังจากการปรับ subcarrier tuning ซึ่งการปรับบตัวนี้ จะเป็นตัวช่วยปรับละเอียดให้เฟสล็อกลูปเป็น AFC และตัดคลื่นรบกวนต่างๆ ซึ่งสัญญาณเสียงจะถูกแยกจากคลื่นพาหะ โดย RC Filter และสัญญาณจะถูกขยายก่อนที่จะส่งออกเป็นสัญญาณเสียง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

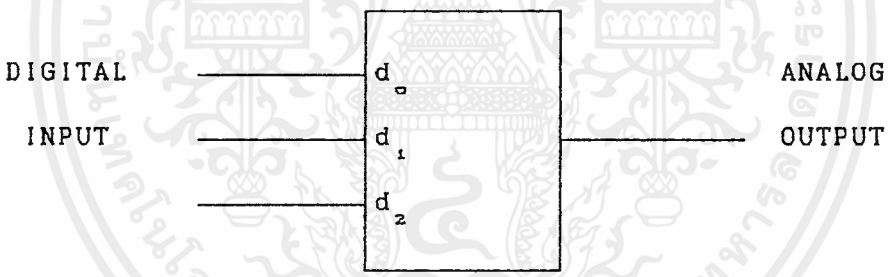
บทที่ 3

VOLTAGE LEVEL CONTROL

การเลือกช่องของสัญญาณที่รับลงมาสามารถทำได้โดยใช้ Voltage Control Oscillator (VCO) โดยจะใช้ Software ที่เขียนขึ้นกับ ET board เป็นตัวสร้างระดับแรงดันที่จะป้อนให้กับ VCO แต่ระดับแรงดันที่ได้เป็นสัญญาณดิจิตอลจึงต้องทำการแปลงให้เป็นสัญญาณแบบอนาล็อกก่อน โดยใช้ IC เบอร์ 0808 เป็น D/A Convertor

3.1 DIGITAL-TO-ANALOG CONVERTERS (D/A)

DIGITAL-TO-ANALOG CONVERTER นี้จะเป็นรูปแบบการแปลงสัญญาณในโดเมนของดิจิตอล ไปอยู่ในโดเมนของอนาล็อก โดยการนำค่าของสัญญาณดิจิตอลเป็นสัญญาณอินพุท เพื่อที่จะเป็นตัวกำหนดให้มีการกำหนดสัญญาณอนาล็อก ซึ่งจะเป็นระดับหรือกระแส

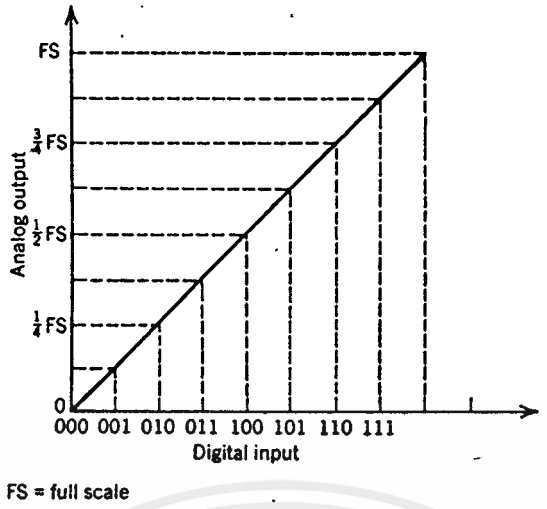


รูปที่ 3.1 บล็อคไดอะแกรมการแปลง D/A 3 บิท

จากรูปที่ 3.1 แสดงการทำงานของบล็อคไดอะแกรม ของ 3-bit digital to analog converter ส่วนรูปที่ 3.2 เป็นลักษณะของ output ที่เป็นในทางอุดมคติ

D/A converter สามารถที่จะกำหนดโดยค่าของตัวเลขและขึ้นอยู่กับค่าของ accuracy และ temperature stability วิธีการในการทำ D/A converter ที่นิยมกันมากที่สุด มีอยู่ 2 วิธี คือ *weighted current source* และ *R-2R network*

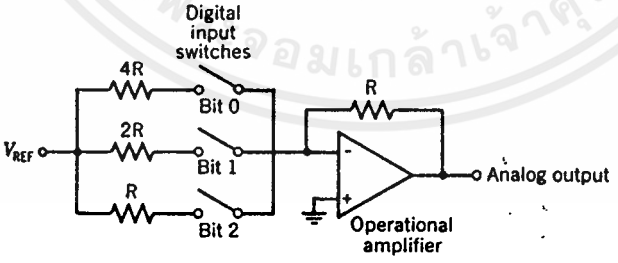
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.2 คุณลักษณะทาง input/output ของ D/A converter ในทางอุดมคติ

3.1.1 WEIGHTED CURRENT SOURCE

weighted current source ใช้หลักการง่ายๆ โดยใช้ลักษณะของ voltage switching และรวมไปถึงการใช้เทคนิคของ current switching จากรูปที่ 3.3 จะเป็นตัวอย่างของการใช้ 3-bit D/A weighted voltage switching



รูปที่ 3.3 ตัวอย่าง 3-bit D/A converter

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

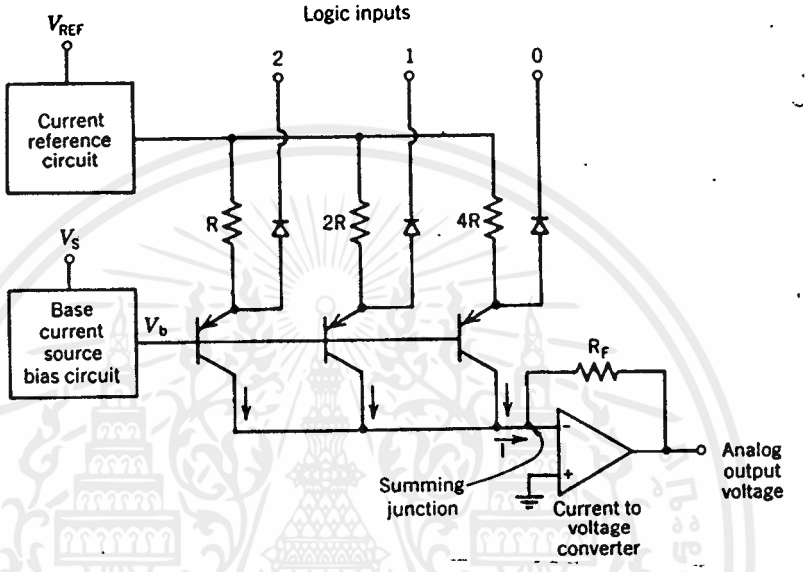
ในรูปที่ 3.3 จะใช้ switch เป็นการแทนค่าของ digital input ให้แก่ D/A converter เมื่อเรา open switch ทุกตัวนั้นหมายถึง digital input คือ 000 ดังนั้น output voltage จะได้เท่ากับ 0 ถ้า close switch bit 0 นั้นหมายถึง digital input คือ 001 และมี output ก็จะได้ค่าของ voltage คือ $(R/4R)V_{REF}$ หรือ $V_{REF}/4$ ถ้าลองให้ bit 0 และ bit 1 close แล้ว digital input คือ 011 voltage output คือ $[(1/4R) + (1/2R)]RV_{REF}$ หรือ $3V_{REF}/4$ สังเกตจากตารางที่ 3.1 จะแสดงให้เห็นความสัมพันธ์ระหว่าง digital input 3-bit (แบ่งออกเป็น 8 ระดับ) กับค่า voltage output

ตารางที่ 3.1 แรงดันทางเอาท์พุทแบบอนาล็อก สำหรับการแปลง D/A 3-bit

DIGITAL INPUT			ANALOG OUTPUT VOLTAGE
2	1	0	
0	0	0	0
0	0	1	$V_{REF}/4$
0	1	0	$V_{REF}/2$
0	1	1	$3V_{REF}/4$
1	0	0	V_{REF}
1	0	1	$5V_{REF}/4$
1	1	0	$3V_{REF}/2$
1	1	1	$7V_{REF}/4$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

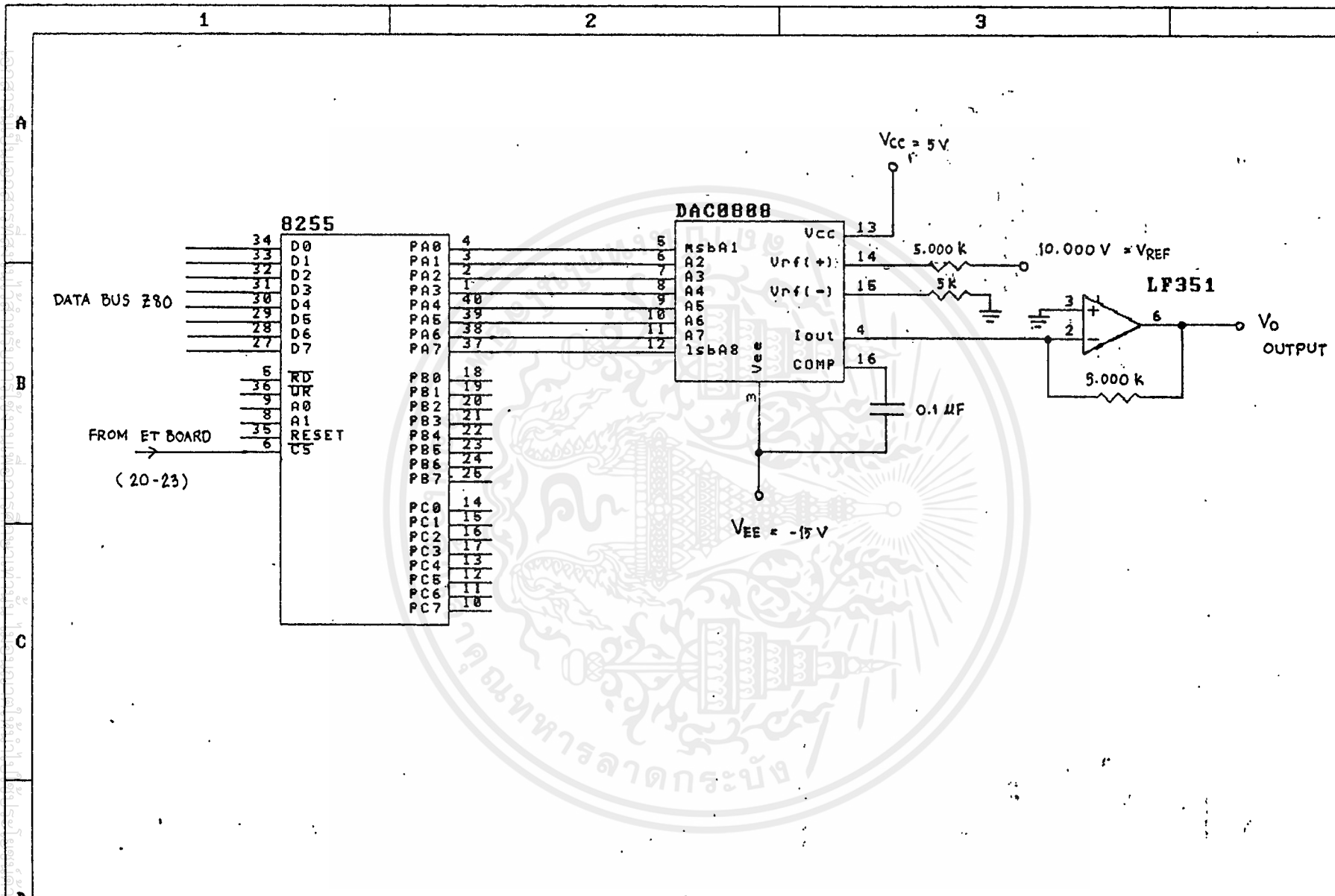
D/A converter ที่เปลี่ยนจากกระแสเป็นแรงดัน เช่น กระแสของ sine จะสามารถควบคุมได้ และต้องใช้ switching ที่มีความเที่ยงตรงสูง และเมื่อทำการแปลงค่าของกระแสเป็นแรงดันที่ output ดังนั้น weighted current source สามารถที่จะเข้ากันได้กับ weighted voltage source ดังแสดงในรูปที่ 3.4



รูปที่ 3.4 Weighted current source 3-bit D/A converter

weighted current source D/A converter ที่เป็น bipolar transistor จะถูกไบอัสให้ Vb คงที่ และกระแสไหลผ่าน transistor ทั้งหมดก็ต้องคงที่ด้วย ถ้า logic input เป็นบวก(logic 1) กระแสจะไหลผ่าน transistor ทำให้เกิดผลรวมของกระแสที่จุดต่อ แต่ถ้า logic input เป็น "0" กระแสก็จะไหลผ่านลงกราวด์ ไปทำให้ไม่เกิดกระแสก็จะสามารถไปบวกกันได้ (กระแสเป็น "0") จากนั้นก็จะแปลงเป็น voltage โดยผ่าน OP-AMP.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



Title	SATELLITE RECEIVER	
Size A4	Number D/A CONVERTOR	Revision
Date: 29-MAR 1993		Sheet of
File: VLC/1		Drawn By:

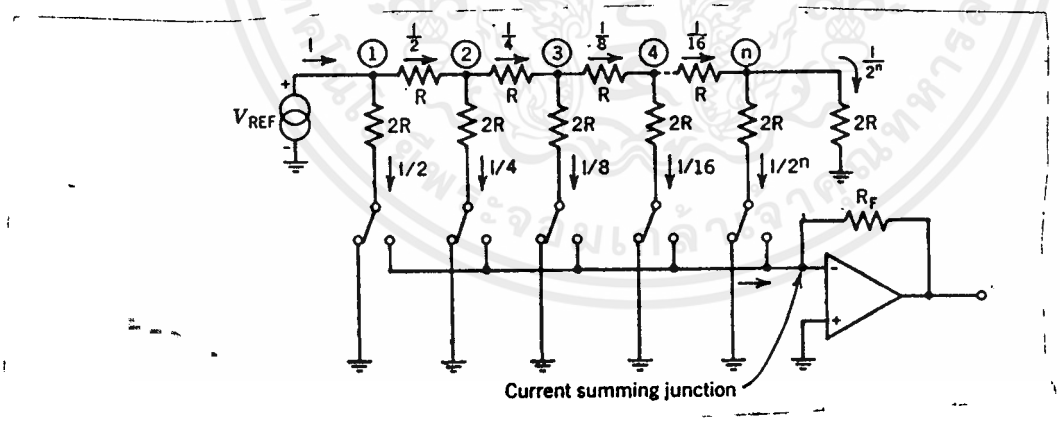
3.1.2 NETWORK D/A CONVERTER

weighted current source มันจะเกิดปัญหาเมื่อเราใช้จำนวนมากๆ สำหรับผลบวกของแต่ละบิท ก็จะต้องการหาค่าของตัวต้านทานในเนทเวิร์ค สำหรับ 8-bit D/A ค่าของความต้านทานที่อยู่ระหว่าง R ถึง 128R จะต้องหาค่าของตัวต้านทานให้คลุมให้หมด ซึ่งเป็นการยากมากในการออกแบบ ทางเลือกอีกทางในการออกแบบ คือ การใช้ R-2R ladder ซึ่งก็จะเป็นวงจรที่มีค่าความต้านทาน ที่ใช้ในทางปฏิบัติ จากรูปที่ 3.5 เป็นการแสดงลักษณะของ R-2R ladder D/A converter สามารถแสดงค่า R-2R ตาม junction (1-n) คือ 2R และแต่ละ junction จะแยกออกเป็นเลขไบนารี ที่ลดหลั่นลงมาตามลำดับ ดังรูปที่ 3.5 ถ้าเป็น transistor switch ผลรวมของกระแสก็จะอยู่ที่ junction เท่ากัน สำหรับจุดต่อทุกจุดถ้าให้เป็น logic "1" ผลรวมของกระแสทั้งหมด คือ

$$I_o = (V_{REF}/R)(2^{-1}+4^{-1}+8^{-1}+16^{-1}+_____+2^{-n})$$

และเมื่อให้ RF ของ OP AMP. = R แล้วจะได้ V_o คือ

$$V_o = V_{REF}(2^{-1} + 4^{-1} + 8^{-1} + 16^{-1}+_____2^{-n})$$

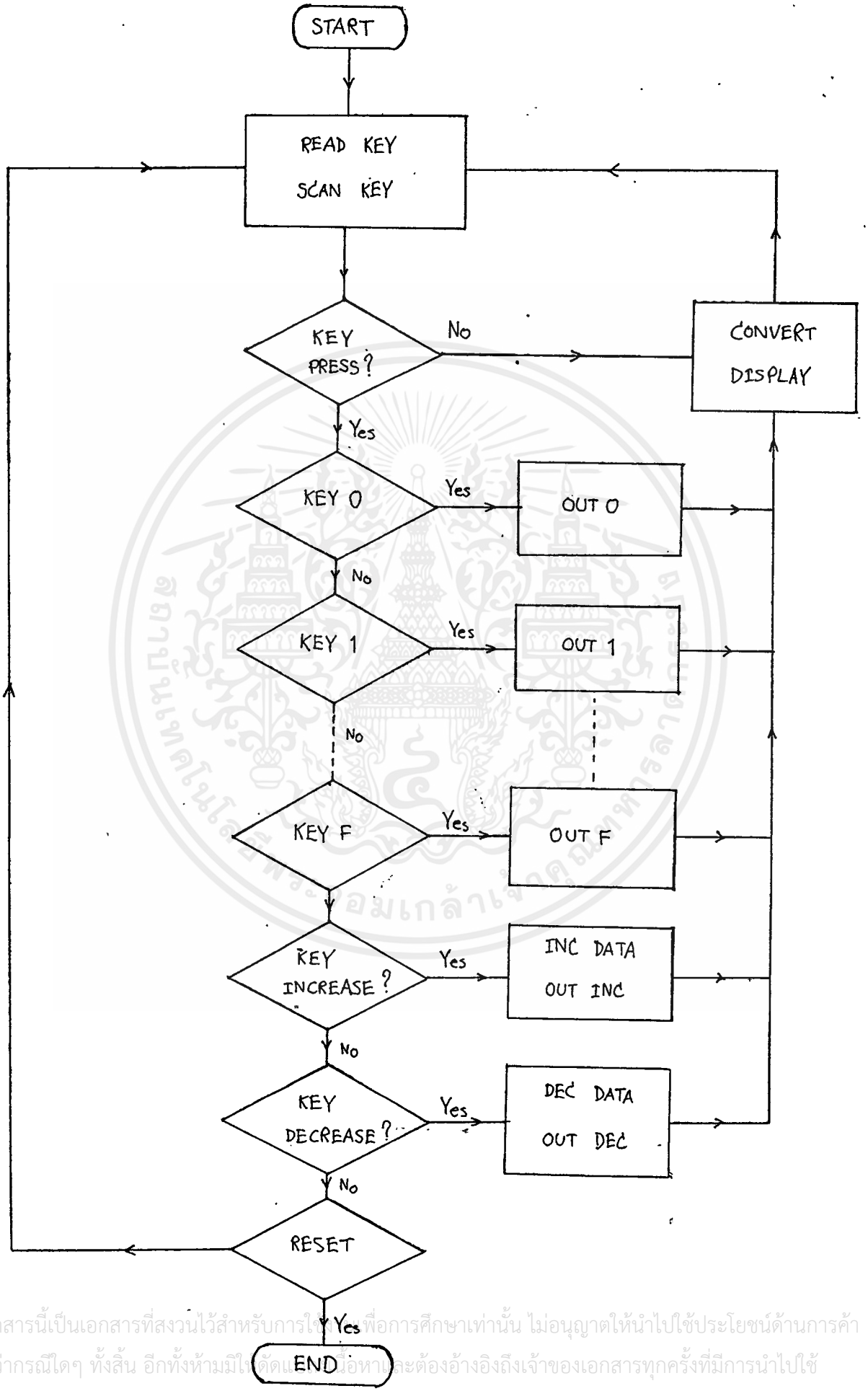


รูปที่ 3.5 ลักษณะของ R-2R ladder D/A convertor

3.2 โปรแกรมที่ใช้ควบคุม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

– FLOW CHART –



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
2500 A.D. Z80 Macro Assembler  -  Version 4.02a
-----------------------------------------------

        Input  Filename : key.z80
        Output Filename : key.obj


 1                      ;#########################################################
 2                      ;######   DATA OUT 8 BIT TO VOLTAGE CONTROL LEVLE   ######
 3                      ;##############      IN SATELLITE RECIVER      ###########
 4                      ;#########################################################
 5
 6      0002            DIGIT   EQU   02H
 7      0001            SEG     EQU   01H
 8      0020            DATAO   EQU   20H
 9      0023            WORD    EQU   23H       ;CONTROL WORD
10      0080            CONTWD  EQU   80H
11      2A00            DISBUF  EQU   2A00H
12      2A06            NUMBER  EQU   2A06H
13  2000                        ORG   2000H
14                      ;#########################################################
15  2000  3E 80                 LD    A,CONTWD
16  2002  D3 23                 OUT   (WORD),A
17                      ;############################ MAIN PROGAM ################
18  2004  3E 52                 LD    A,52H
19  2006  D3 20                 OUT   (DATAO),A
20  2008  CD 83 20        L07    CALL  KEYRELE
21  200B  CD 9B 20        L06    CALL  SCANKEY
22  200E  79                    LD    A,C
23  200F  FE FF                 CP    OFFH
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
24  2011   CA 7D 20          JP    Z,LO5
25  2014   FE 00             CP    00H
26  2016   CA 5C 21          JP    Z,OUT0
27  2019   FE 03             CP    03H
28  201B   CA 67 21          JP    Z,OUT1
29  201E   FE 06             CP    06H
30  2020   CA 72 21          JP    Z,OUT2
31  2023   FE 09             CP    09H
32  2025   CA 7D 21          JP    Z,OUT3
33  2028   FE 01             CP    01H
34  202A   CA 88 21          JP    Z,OUT4
35  202D   FE 04             CP    04H
36  202F   CA 93 21          JP    Z,OUT5
37  2032   FE 07             CP    07H
38  2034   CA 9E 21          JP    Z,OUT6
39  2037   FE 0A             CP    0AH
40  2039   CA A9 21          JP    Z,OUT7
41  203C   FE 02             CP    02H
42  203E   CA B1 21          JP    Z,OUT8
43  2041   FE 05             CP    05H
44  2043   CA BC 21          JP    Z,OUT9
45  2046   FE 08             CP    08H
46  2048   CA C7 21          JP    Z,OUTA
47  204B   FE 0B             CP    0BH
48  204D   CA D2 21          JP    Z,OUTB
49  2050   FE 0F             CP    0FH
50  2052   CA DD 21          JP    Z,OUTC
51  2055   FE 10             CP    10H
52  2057   CA E8 21          JP    Z,OUTD
53  205A   FE 11             CP    11H
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
54  205C   CA F3 21              JP     Z,OUTE
55  205F   FE 12                 CP     12H
56  2061   CA FE 21              JP     Z,OUTF
57  2064   FE 15                 CP     15H
58  2066   CA 09 22              JP     Z,DEC
59  2069   FE 16                 CP     16H
60  206B   CA 11 22              JP     Z,INC
61  206E   E5            LH      PUSH   HL
62  206F   21 06 2A              LD     HL,NUMBER
63  2072   71                    LD     (HL),C
64  2073   CD D5 20              CALL   CONVERT
65  2076   CD 2D 21              CALL   DISPLAY
66  2079   E1                    POP    HL
67  207A   C3 08 20              JP     LO7
68  207D   CD 2D 21       LO5     CALL   DISPLAY
69  2080   C3 0B 20              JP     LO6
70                               ;############ SUBPROGRAM KEYRELEASE ############
71  2083   D5            KEYRELE PUSH   DE
72  2084   06 08         LO2     LD     B,08H
73  2086   16 00                 LD     D,00H
74  2088   CD 2D 21              CALL   DISPLAY
75  208B   7A            LO3     LD     A,D
76  208C   D3 02                 OUT    (DIGIT),A
77  208E   DB 02                 IN     A,(DIGIT)
78  2090   E6 70                 AND    70H
79  2092   FE 70                 CP     70H
80  2094   20 EE                 JR     NZ,LO2
81  2096   14                    INC    D
82  2097   10 F2                 DJNZ   LO3
83  2099   D1                    POP    DE
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
 84  209A  C9                        RET
 85                                ;################## SUBPROGRAM SCANKEY ##########
 86  209B  D5              SCANKEY   PUSH  DE
 87  209C  AF                        XOR   A
 88  209D  D3 01                     OUT   (SEG),A
 89  209F  06 08                     LD    B,08H       ;NUM COLUME
 90  20A1  0E 00                     LD    C,00H       ;KEY
 91  20A3  16 00                     LD    D,00H       ;COLUME
 92  20A5  7A              LO1       LD    A,D
 93  20A6  D3 02                     OUT   (DIGIT),A
 94  20A8  DB 02                     IN    A,(DIGIT)
 95  20AA  E6 70                     AND   70H         ;MARK BIT
 96  20AC  FE 70                     CP    70H
 97  20AE  C2 BB 20                  JP    NZ,FIND     ;LOKK PROSITION
 98  20B1  14              LO4       INC   D           ;CHANG COLUM
 99  20B2  0C                        INC   C
100  20B3  0C                        INC   C
101  20B4  0C                        INC   C
102  20B5  10 EE                     DJNZ  LO1
103  20B7  0E FF                     LD    C,0FFH
104  20B9  D1                        POP   DE
105  20BA  C9                        RET               ;REGISTER C OUTPUT
106  20BB  CD 4F 21        FIND      CALL  DELAY       ;....BOUNCE
107  20BE  5F                        LD    E,A
108  20BF  DB 02                     IN    A,(DIGIT)
109  20C1  E6 70                     AND   70H
110  20C3  BB                        CP    E
111  20C4  C2 B1 20                  JP    NZ,LO4
112  20C7  CB 67                     BIT   4,A
113  20C9  CA D3 20                  JP    Z,END
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
114  20CC  0C                      INC   C
115  20CD  CB 6F                   BIT   5,A
116  20CF  CA D3 20                JP    Z,END
117  20D2  0C                      INC   C
118  20D3  D1               END    POP   DE
119  20D4  C9                      RET
120                          ;############# SUBPROGRAM CONVERT NUM ##########
121  20D5  DD E5            CONVERT PUSH  IX
122  20D7  FD E5                   PUSH  IY
123  20D9  F5                      PUSH  AF
124  20DA  C5                      PUSH  BC
125  20DB  E5                      PUSH  HL
126  20DC  DD 21 00 2A             LD    IX,DISBUF
127  20E0  FD 21 06 2A             LD    IY,2A06H    ;NUMBER
128  20E4  06 03                   LD    B,03H
129  20E6  FD 7E 00         BEGIN  LD    A,(IY+0)
130  20E9  E6 0F                   AND   0FH
131  20EB  CD 12 21                CALL  CALTABL
132  20EE  DD 77 05                LD    (IX+5),A
133  20F1  FD 7E 00                LD    A,(IY+0)
134  20F4  CB 3F                   SRL   A
135  20F6  CB 3F                   SRL   A
136  20F8  CB 3F                   SRL   A
137  20FA  CB 3F                   SRL   A
138  20FC  CD 12 21                CALL  CALTABL
139  20FF  DD 77 04                LD    (IX+4),A
140  2102  FD 23                   INC   IY
141  2104  DD 2B                   DEC   IX
142  2106  DD 2B                   DEC   IX
143  2108  10 DC                   DJNZ  BEGIN
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
144  210A  E1                        POP   HL
145  210B  C1                        POP   BC
146  210C  F1                        POP   AF
147  210D  FD E1                     POP   IY
148  210F  DD E1                     POP   IX
149  2111  C9                        RET
150  2112  21 1D 21          CALTABL  LD    HL,TABLE
151  2115  85                        ADD   A,L
152  2116  6F                        LD    L,A
153  2117  3E 00                     LD    A,00H
154  2119  8C                        ADC   A,H
155  211A  67                        LD    H,A
156  211B  7E                        LD    A,(HL)
157  211C  C9                        RET
158  211D  3F 06 5B 4F 66  TABLE     DEFB  3FH,06H,5BH,4FH,66H,6DH,7DH,07H
     2122  6D 7D 07
159  2125  7F 6F 77 7C 39            DEFB  7FH,6FH,77H,7CH,39H,5EH,79H,71H
     212A  5E 79 71
160                                  ;############### SUBPROGRAM DISPLAY  ############
161  212D  F5               DISPLAY  PUSH  AF
162  212E  C5                        PUSH  BC
163  212F  D5                        PUSH  DE
164  2130  16 00                     LD    D,00H
165  2132  DD 21 00 2A               LD    IX,DISBUF
166  2136  06 06                     LD    B,06H
167  2138  AF               NXDGT    XOR   A          ;CLEAR A
168  2139  D3 01                     OUT   (SEG),A    ;CLEAR SEGMENT
169  213B  7A                        LD    A,D
170  213C  D3 02                     OUT   (DIGIT),A
171  213E  DD 7E 00                  LD    A,(IX+0)
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
172  2141   D3 01              OUT   (SEG),A
173  2143   CD 4F 21           CALL  DELAY
174  2146   14                 INC   D
175  2147   DD 23              INC   IX
176  2149   10 ED              DJNZ  NXDGT
177  214B   D1                 POP   DE
178  214C   C1                 POP   BC
179  214D   F1                 POP   AF
180  214E   C9                 RET
181                        ;############## SUBPROGRAM DELAY ###############
182  214F   F5           DELAY PUSH  AF
183  2150   D9                 EXX              ;BC DE HL TO BC' DE' HL'
184  2151   01 5A 00           LD    BC,0090
185  2154   0B           LOOP1 DEC   BC
186  2155   78                 LD    A,B
187  2156   B1                 OR    C
188  2157   20 FB              JR    NZ,LOOP1
189  2159   D9                 EXX              ;BC' DE' HL' TO BC DE HL
190  215A   F1                 POP   AF
191  215B   C9                 RET
192                        ;#################### CONDITION OUTPUT ###############
193  215C   3E 00         OUT0  LD    A,00H    ;DATA
194  215E   0E 00               LD    C,00H
195  2160   6F                 LD    L,A
196  2161   61                 LD    H,C
197  2162   D3 20              OUT   (DATA0),A
198  2164   C3 6E 20           JP    LH
199  2167   3E 01         OUT1  LD    A,01H
200  2169   0E 01               LD    C,01H
201  216B   6F                 LD    L,A
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
202  216C  61              LD    H,C
203  216D  D3 20           OUT   (DATAO),A
204  216F  C3 6E 20        JP    LH
205  2172  3E 02     OUT2  LD    A,02H
206  2174  0E 02           LD    C,02H
207  2176  6F              LD    L,A
208  2177  61              LD    H,C
209  2178  D3 20           OUT   (DATAO),A
210  217A  C3 6E 20        JP    LH
211  217D  3E 03     OUT3  LD    A,03H
212  217F  0E 03           LD    C,03H
213  2181  6F              LD    L,A
214  2182  61              LD    H,C
215  2183  D3 20           OUT   (DATAO),A
216  2185  C3 6E 20        JP    LH
217  2188  3E 04     OUT4  LD    A,04H
218  218A  0E 04           LD    C,04H
219  218C  6F              LD    L,A
220  218D  61              LD    H,C
221  218E  D3 20           OUT   (DATAO),A
222  2190  C3 6E 20        JP    LH
223  2193  3E 05     OUT5  LD    A,05H
224  2195  0E 05           LD    C,05H
225  2197  6F              LD    L,A
226  2198  61              LD    H,C
227  2199  D3 20           OUT   (DATAO),A
228  219B  C3 6E 20        JP    LH
229  219E  3E 06     OUT6  LD    A,06H
230  21A0  0E 06           LD    C,06H
231  21A2  6F              LD    L,A
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
232  21A3  61              LD    H,C
233  21A4  D3 20           OUT   (DATAO),A
234  21A6  C3 6E 20        JP    LH
235  21A9  3E 0A    OUT7   LD    A,0AH
236  21AB  0E 70           LD    C,70H
237  21AD  6F              LD    L,A
238  21AE  61              LD    H,C
239  21AF  D3 20           OUT   (DATAO),A
240  21B1  3E 00    OUT8   LD    A,00H
241  21B3  0E 08           LD    C,08H
242  21B5  6F              LD    L,A
243  21B6  61              LD    H,C
244  21B7  D3 20           OUT   (DATAO),A
245  21B9  C3 6E 20        JP    LH
246  21BC  3E 01    OUT9   LD    A,01H
247  21BE  0E 09           LD    C,09H
248  21C0  6F              LD    L,A
249  21C1  61              LD    H,C
250  21C2  D3 20           OUT   (DATAO),A
251  21C4  C3 6E 20        JP    LH
252  21C7  3E 02    OUTA   LD    A,02H
253  21C9  0E 10           LD    C,10H
254  21CB  6F              LD    L,A
255  21CC  61              LD    H,C
256  21CD  D3 20           OUT   (DATAO),A
257  21CF  C3 6E 20        JP    LH
258  21D2  3E 03    OUTB   LD    A,03H
259  21D4  0E 11           LD    C,11H
260  21D6  6F              LD    L,A
261  21D7  61              LD    H,C
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
262  21D8  D3 20          OUT   (DATAO),A
263  21DA  C3 6E 20       JP    LH
264  21DD  3E 04    OUTC  LD    A,04H
265  21DF  0E 12          LD    C,12H
266  21E1  6F             LD    L,A
267  21E2  61             LD    H,C
268  21E3  D3 20          OUT   (DATAO),A
269  21E5  C3 6E 20       JP    LH
270  21E8  3E 05    OUTD  LD    A,05H
271  21EA  0E 13          LD    C,13H
272  21EC  6F             LD    L,A
273  21ED  61             LD    H,C
274  21EE  D3 20          OUT   (DATAO),A
275  21F0  C3 6E 20       JP    LH
276  21F3  3E 06    OUTE  LD    A,06H
277  21F5  0E 14          LD    C,14H
278  21F7  6F             LD    L,A
279  21F8  61             LD    H,C
280  21F9  D3 20          OUT   (DATAO),A
281  21FB  C3 6E 20       JP    LH
282  21FE  3E 0A    OUTF  LD    A,0AH
283  2200  0E 15          LD    C,15H
284  2202  6F             LD    L,A
285  2203  61             LD    H,C
286  2204  D3 20          OUT   (DATAO),A
287  2206  C3 6E 20       JP    LH
288  2209  2D        DEC   DEC   L
289  220A  4C             LD    C,H
290  220B  7D             LD    A,L
291  220C  D3 20          OUT   (DATAO),A
```

นี้เป็นการที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
292  220E  C3 6E 20            JP    LH
293  2211  2C          INC     INC   L
294  2212  4C                  LD    C,H
295  2213  7D                  LD    A,L
296  2214  D3 20               OUT   (DATAO),A
297  2216  C3 6E 20            JP    LH
298  2219                      END
```

Defined	Symbol Name		Value	References			
129	BEGIN		20E6	143			
150	CALTABL		2112	131	138		
Pre	CODE		2000	13			
10	CONTWD	=	0080	15			
121	CONVERT		20D5	64			
Pre	DATA		0000				
8	DATAO	=	0020	19	197	203	209
				256	262	268	274
288	DEC		2209	58			
182	DELAY		214F	106	173		
6	DIGIT	=	0002	76	77	93	94
11	DISBUF	=	2A00	126	165		
161	DISPLAY		212D	65	68	74	
118	END		20D3	113	116		
106	FIND		20BB	97			
293	INC		2211	60			
71	KEYRELE		2083	20			
92	LO1		20A5	102			
72	LO2		2084	80			
75	LO3		208B	82			

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

98	LO4		20B1	111			
68	LO5		207D	24			
21	LO6		200B	69			
20	LO7		2008	67			
61	LH		206E	198	204	210	216
				269	275	281	287
185	LOOP1		2154	188			
12	NUMBER	=	2A06	62			
167	NXDGT		2138	176			
193	OUT0		215C	26			
199	OUT1		2167	28			
205	OUT2		2172	30			
211	OUT3		217D	32			
217	OUT4		2188	34			
223	OUT5		2193	36			
229	OUT6		219E	38			
235	OUT7		21A9	40			
240	OUT8		21B1	42			
246	OUT9		21BC	44			
252	OUTA		21C7	46			
258	OUTB		21D2	48			
264	OUTC		21DD	50			
270	OUTD		21E8	52			
276	OUTE		21F3	54			
282	OUTF		21FE	56			
86	SCANKEY		209B	21			
7	SEG	=	0001	88	168	172	
158	TABLE		211D	150			
9	WORD	=	0023	16			

Lines Assembled : 298 Assembly Errors : 0

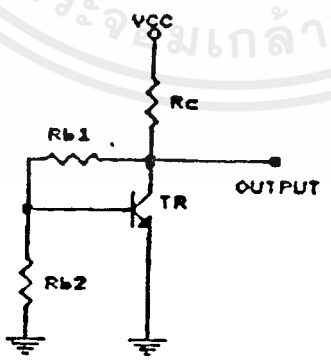
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 4
วงจรขยายสัญญาณ IF และวงจร LIMITTER

4.1 วงจรขยายสัญญาณ IF

เมื่อสัญญาณผ่านวงจรแปลงความถี่ (Down Convertor) ซึ่งแปลงความถี่ 3.7-4.2 GH_z ให้เป็นความถี่ 70 MH_z ที่ใช้เป็นความถี่ IF ความแรงของสัญญาณ IF นี้จะอยู่ในระดับที่ต่ำมาก เนื่องจากสัญญาณนี้ได้ผ่านวงจร Mixer ซึ่งในโครงงานนี้เป็นแบบ Passive จึงทำให้มีการสูญเสียของสัญญาณในวงจร Mixer (Quardrature (90) Hybrid , Germanium-Diode) และในวงจร Band-Pass Filter ซึ่งในวงจร BPF นี้จะทำให้เกิดการสูญเสียอย่างมาก ด้วยเหตุนี้จึงทำให้ความแรงของสัญญาณ IF ที่ได้จากภาค Down Convertor ไม่เพียงพอที่จะใช้ในการดีเทคได้ จึงจำเป็นต้องทำการขยายสัญญาณ IF ให้แรงขึ้น และเป็นการเพิ่ม Signal-to-noise (S/N) ให้สูงขึ้น

นอกจากนี้เพื่อความสะดวกในการปรับแต่งวงจรให้ง่ายเราจึงเพิ่มวงจร IF-Gain ที่สามารถปรับค่าเกนของวงจร IF Amplifier ได้ตามที่ต้องการทำให้สะดวกในกรณีที่จานรับสัญญาณมีขนาดของสัญญาณที่รับได้ มีขนาดของสัญญาณไม่แน่นอน ซึ่งวงจรนี้จะช่วยทำให้สะดวกมากในการควบคุมขนาดของสัญญาณได้ที่ระดับหนึ่ง และยังเพิ่มวงจรวัดความแรงของสัญญาณโดยใช้วงจร Rectifier แล้วนำสัญญาณที่ได้ไปป้อนให้กับ Signal Strenght Meter ที่สามารถที่จะ Calibrate Scale Meter ได้



รูปที่ 4.1 การออกแบบวงจร IF Amp

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วงจรขยายสัญญาณ IF Amp จะใช้ Common Emitter ที่มี Collector Resistive Feedback และมีการเชื่อมต่อระหว่างภาคด้วย Capacitor โดยทรานซิสเตอร์ที่จะใช้ในวงจร IF Amp จะต้องมีความถี่ Gain Bandwidth cut-off สูงกว่า 70 MH_z มีขั้นตอนในการคำนวณดังนี้

$$V_b = V_{cc} * R_{b2} / (R_c + R_{b1} + R_{b2})$$

$$I_b = V_b - V_{be} / R_{b2}$$

$$I_c = V_{cc} / R_c$$

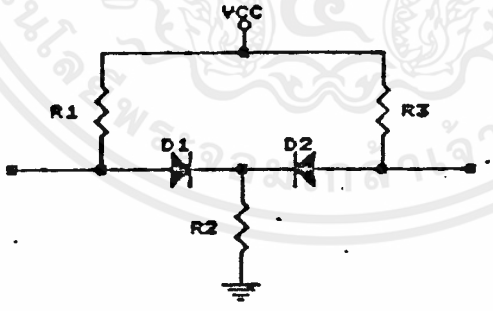
$$I_e \sim I_c$$

$$I_c = \beta * I_b$$

4.2 วงจร LIMITTER

วงจร Limitter จะใช้หลักการของวงจร Clipping ที่ใช้แรงดัน cut-in ของไดโอดเป็นจุดกำเนิดแรงดันที่จะขลิบ ดังนั้นถ้าเราต้องการให้สัญญาณมีขนาดคงที่เราจึงต้องขลิบยอดสัญญาณทั้งสองด้าน โดยเราสมารถจะพิจารณาวงจรได้โดยแยกการพิจารณาตามขั้วของสัญญาณที่เข้ามาดังนี้

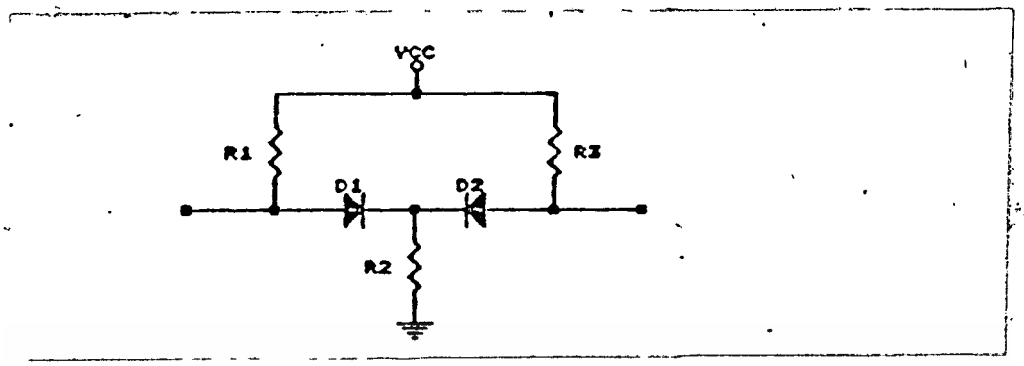
เมื่อสัญญาณมีขั้วบวกเข้ามาจะได้วงจรเทียบเท่าคือ



การพิจารณาเมื่อสัญญาณที่มีขั้วเป็นบวก เข้ามาจะสามารถผ่านไดโอดไปได้โดยจะถูกขลิบที่ระดับของแรงดัน cut-in ของไดโอดประมาณ 0.25 Volts ในไดโอดแบบเยอรมันเนียม ส่วนสัญญาณที่มีขั้วเป็นลบจะไม่ผ่านไดโอดไปได้เพราะในกรณีนี้ไดโอดจะมีความต้านทานสูงมาก ๆ จึงเสมือนเปิดวงจร (Open Circuit)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เมื่อสัญญาณมีขั้วเป็นลบเข้ามาจะได้วงจรเทียบเท่าคือ



เมื่อสัญญาณเป็นลบเข้ามา การทำงานจะเหมือนกับวงจรข้างบนเพียงแต่จะกลับกัน กล่าวคือ สัญญาณที่มีขั้วลบจะสามารถผ่านไดโอดไปได้ ในขณะที่สัญญาณที่มีขั้วบวกจะไม่สามารถผ่านไดโอด D_2 ไปได้และในการพิจารณาวงจรทั้ง 2 วงจรไดโอดทั้ง D_1 และ D_2 จะถูกไบอัสตรงพร้อมกัน

ในการหาค่าความต้านทานที่จะมาจำกัดกระแสไบอัสให้แก่ไดโอดทั้งสอง กระแสไบอัสตรงของไดโอดแบบเยอรมันเนียมจะมีค่าไม่เกิน 20 mA เพื่อความปลอดภัยแก่ตัวไดโอดเราจะกำหนดให้มีกระแสไบอัสแก่ไดโอด 5 mA และยังทำให้ Noise ในไดโอดมีค่าไม่มากเกินไป และแรงดันที่จ่ายให้ V_{cc} = 12 V.

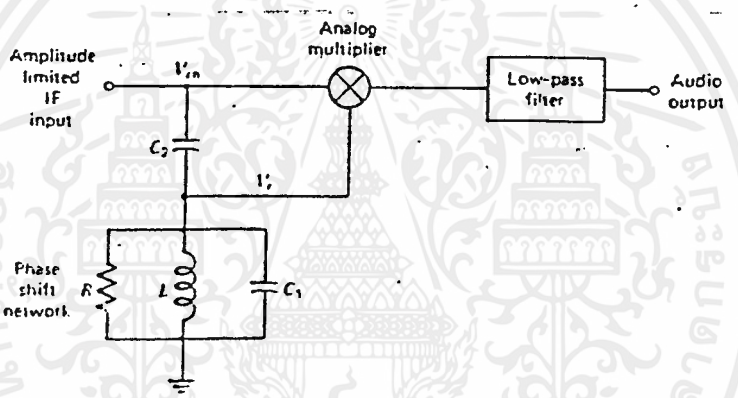
$$R_{\text{forward bias}} = V_{cc}/I_d$$

$$= 12\ \text{V.}/5\ \text{mA} = 2.2\ \text{Kohm}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 5
ภาคดีเทคเตอร์ (DETECTOR)

ภาคดีเทคเตอร์จะทำหน้าที่แยกเอาสัญญาณรวม (base band) ซึ่งจะมีทั้งสัญญาณภาพและสัญญาณเสียง ออกจากสัญญาณคลื่นพาห์ ซึ่งเป็นความถี่ IF 70 MHz ที่ได้จากเอาท์พุทของภาค Down Converter โดยปกติแล้วภาคดีเทคเตอร์นี้จะมีอยู่ด้วยกันหลายวงจร แต่ในโครงงานนี้เราจะใช้วงจรดีเทคเตอร์แบบ quadrature ซึ่งวงจรนี้จะทำงานโดยรับสัญญาณอินพุท แล้วทำการแยกสัญญาณอินพุทออกเป็น 2 ส่วน โดยแต่ละส่วนจะมีเฟสต่างกัน 90 องศา จากนั้นจะนำสัญญาณทั้งสองมาคูณกัน แล้วใช้วงจร Low-pass Filter กรองเอาสัญญาณที่ต้องการออกมา ดังรูปที่ 5.1



รูปที่ 5.1 รูปแบบของวงจร quadrature detector

จากรูปเราสามารถอธิบายการทำงานของวงจร quadrature detector ได้ดังนี้ คือ เราจะกำหนดให้ W_o คือ ความถี่กลาง (center frequency) มีหน่วยเป็นเรเดียน และให้ W คือ ความถี่ขณะใดๆ มีหน่วยเป็นเรเดียน ซึ่งเราจะได้ค่าของความต่างเฟส ($\Delta\phi$) ในหน่วยเรเดียน

$$\Delta\phi = (\pi/2) - k(W - W_o)$$
$$= (\pi/2) - k\Delta W \qquad [5.1]$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ดังนั้น $V_o.(\sin Wt+\Delta\phi)$ จะได้เป็น

$$V_o.\sin[Wt+(\pi/2)-k\Delta W] = V_o.\cos(Wt-k\Delta W) \quad [5.2]$$

จากนั้นนำเอาสัญญาณที่ได้คูณกับสัญญาณเดิม คือ $V_o.\sin Wt$
ดังนั้นเราจะได้สัญญาณออกมาดังนี้ คือ $V_o.\sin[Wt+(\pi/2)-k\Delta W][V_o.\sin(Wt)]$ [5.3]
เนื่องจาก

$$\sin[Wt+(\pi/2)-k\Delta W] = \cos(Wt-k\Delta W)$$

จาก [5.3] เขียนใหม่เป็น

$$V_o\cos(Wt-k\Delta W).V_o\sin(Wt) = V_o^2\sin(Wt)\cos(Wt-k\Delta W)$$
$$= [(V_o^2)/2][\sin(2Wt-k\Delta W)+\sin(k\Delta W)]$$

เมื่อสัญญาณนี้ผ่านวงจร Low-pass Filter ก็จะเหลือเพียงเทอมเดียว คือ

$$[(V_o^2)/2](\sin kWt)$$

เมื่อ $k\Delta W$ มีค่าน้อยกว่า 0.25 เรเดียน เราจะได้สัญญาณที่ผ่าน Low-pass Filter คือ

$$\sin(k\Delta W) = k\Delta W \quad [5.4]$$

จากรูปที่ 5.1 วงจรขนาน RLC จะเรโซแนนซ์ที่ความถี่ W_o และการเลื่อนของเฟส จะมีค่าเป็น $\Delta\phi$ เราสามารถเขียนสมการการเลื่อนของเฟสระหว่าง V_o และ V_{in} ได้ดังนี้ คือ

$$\Delta\phi = \text{Arg}(V_o/V_{in})$$
$$= (\pi/2) - \tan^{-1}(Q_o\delta) \quad [5.5]$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เมื่อ Q_0 เป็นค่า Q ที่ความถี่เรโซแนนซ์ (W_0) และจะได้

$$\delta = (W/W_0) - (W_0/W) \qquad [5.6]$$

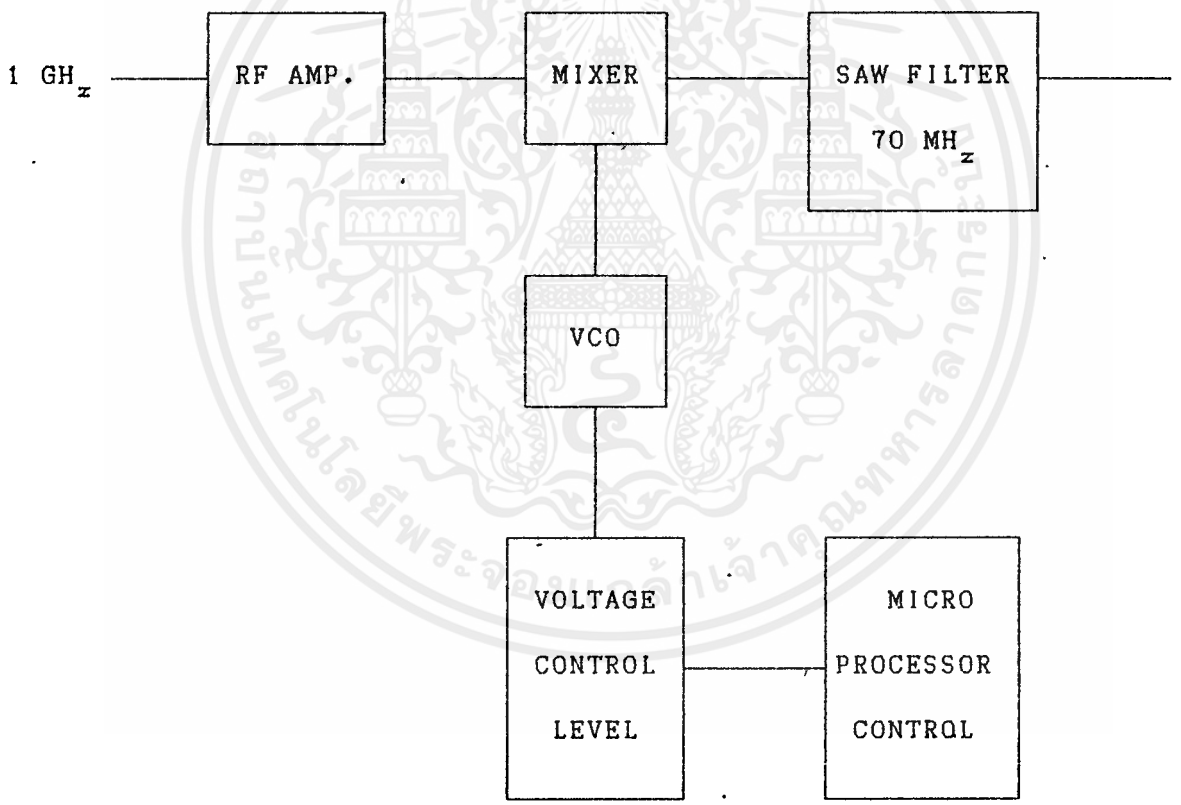
สำหรับการเลื่อนเฟสของวงจร Quadrature Detector นั้น อาจจะไม่ได้ 90 องศา เสมอไปอาจจะเป็น 45 องศา หรือ 135 องศา ก็ได้แต่ผลลัพธ์ที่ได้จะมีค่าใกล้เคียงกัน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 6
การทำงานของวงจรต่าง ๆ

6.1 วงจรส่วนหน้า

วงจรส่วนหน้าเป็นวงจรที่ทำหน้าที่แปลงความถี่ลงจาก 1 GH_z ที่รับจาก Low Noise Amplifier เป็นความถี่ IF 70 MH_z (Down Convertor) ซึ่งประกอบด้วยวงจรขยายสัญญาณ RF (RF Amplifier) ,วงจรผสมสัญญาณ (Mixer) ,วงจรจูน ,วงจรแบนด์พาสฟิลเตอร์



รูปที่ 6.1 บล็อกไดอะแกรมการทำงานของวงจรส่วนหน้า

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากบล็อคไดอะแกรมความถี่ที่ถูกแปลงลงมาแล้วเหลือ 1 GHz ที่ได้มาจาก Low Noise Amplifier (LNB) จะต้องผ่านการ

1. ขยายสัญญาณ RF amplifier ให้มี amplitude พอสมควรที่จะทำการมิกเซอร์กับ VCO เพื่อให้ได้ความถี่ 70 MHz

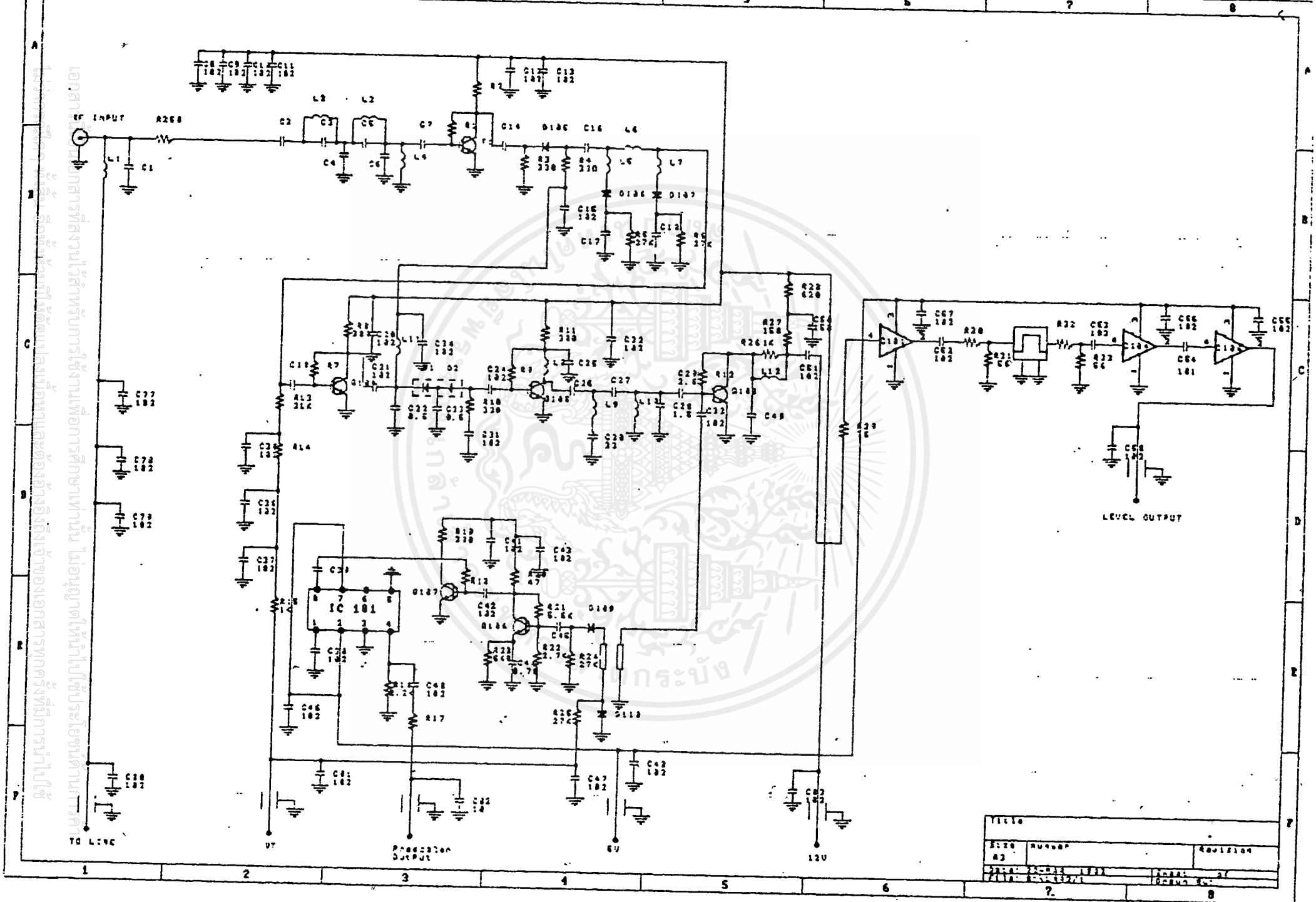
2. วงจรมิกเซอร์ ทำหน้าที่ผสมสัญญาณจาก LNB กับ VCO ซึ่งจะได้ผลต่างของการมิกเซอร์ให้ได้ 70 MHz

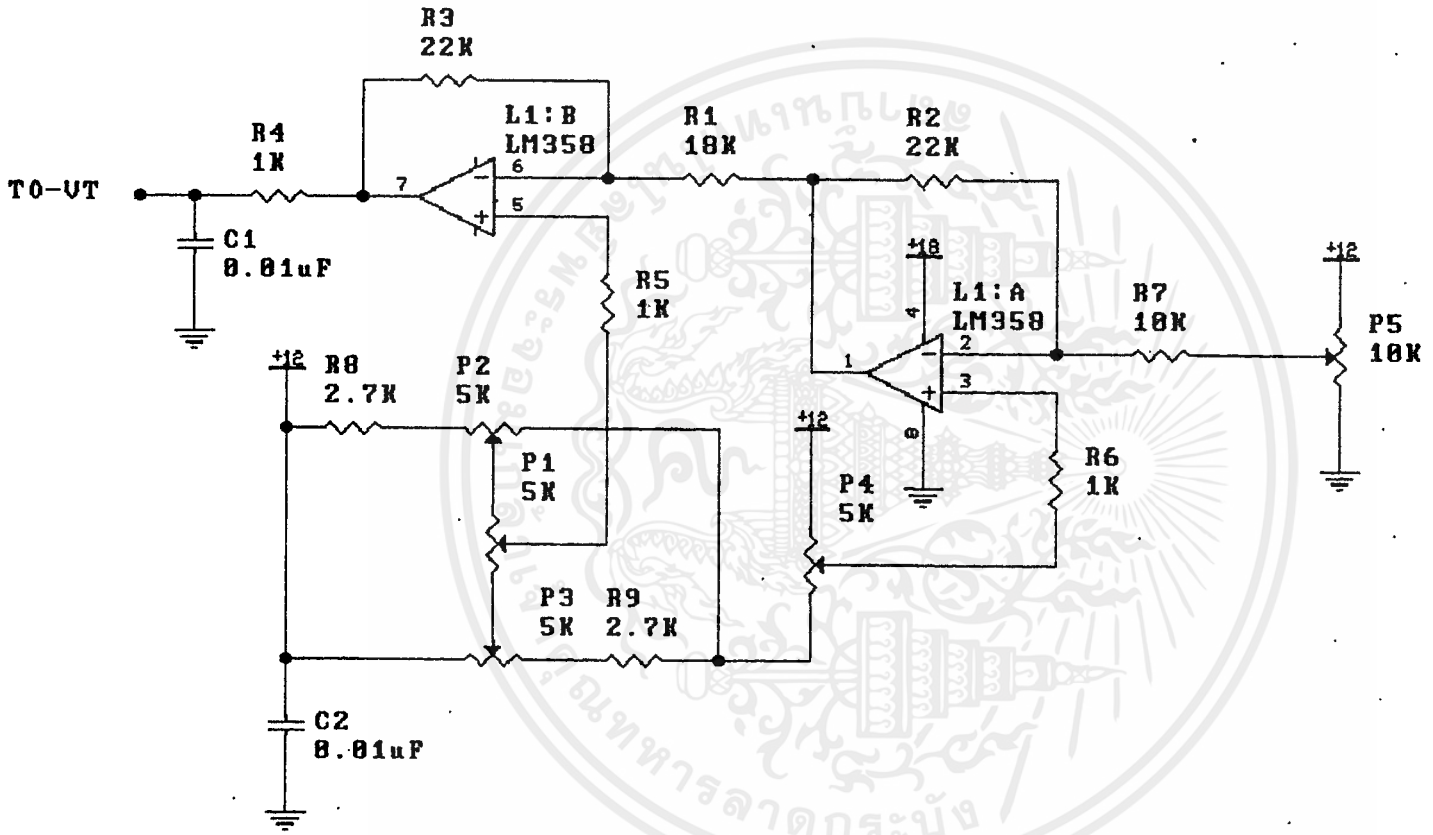
3. VCO จะเป็นชุดที่ผลิตความถี่ โดยสามารถเปลี่ยนแปลงความถี่ โดยใช้ voltage มาปรับค่าของ varicap diode ให้ออสซิลเลเตอร์ ผลิตความถี่ออกมาให้ได้ผลต่างกับสัญญาณช่องที่ต้องการให้ได้ 70 MHz

4. Voltage Control Level จะทำหน้าที่ปรับค่าของแรงดันที่ไบบัส VCO ในการปรับนี้เราจะใช้การปรับค่าความต้านทาน เพื่อไปปรับค่าของแรงดันที่จะไปเข้าออปแอมป์ ในการทำแบบนี้เพื่อที่จะปรับระดับให้ได้ระดับจากของแรงดันละเอียดขึ้น

5. 70 MHz Filter(SAW FILTER) เป็นอุปกรณ์ที่ยอมให้ความถี่ 70 MHz ผ่านไปได้ เพื่อเข้าจุดการดีเทคเตอร์ ต่อไป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

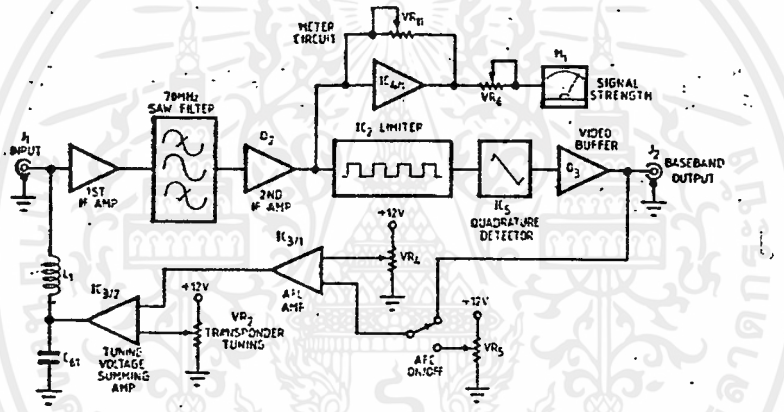

RF INPUT
R268
L1
C1
C2
L3
L2
C3
C5
C4
C6
L4
C7
R1
C14
D185
C16
L5
L6
L7
R3 330
R4 330
D186
D187
C15 102
C17
R5 274
C18
R6 22K
C11 102
C12 101
C13 102
R2
C8 102
C9 102
C10 102
R8 22
C19
R7
C21 102
C20 102
L11
C34 102
Q1
D2
C24 102
R9
L12
C25
C26
C27
R11 330
C22 102
C23 2.6
R12
Q183
C28 1.8
C32 102
C48
C29 33
L13
L9
C30 33
R10 330
C22 8.6
C31 102
R13 2.2K
C35 102
R14
C36 102
C37 102
C38 102
C39 102
C40 102
R15 1K
R16 1K
IC 181
R19 330
C41 102
C43 102
R13
47
D187
C42 102
R21 6.6K
D189
D184
C45
R22 2.7K
R23 6.6K
C44 0.78
R24 274
R17
C46 102
C47 102
C49 102
R26 274
D188
C50 102
C51 102
R27 100
R261K
C52 102
C53 102
C54 101
C55 102
C56 102
C57 102
R28 620
R29 6
R30
R31 6.6
R32
R33 6.6
C67 102
C66 102
C65 102
C64 101
C63 102
C62 102
C61 102
LEVEL OUTPUT
TO LINE
VT
Protection Output
6V
12V
Title
Size
A3
Number
Revision
Date:
Sheet of
File:
Drawn By:
1
2
3
4
5
6
7
8



Title		
	SATELLITE RECEIVER	
Size: A4	Number: VOLTAGE LEVEL CONTROL	Revision: 1
Date: 22-MAR 1993		Sheet of
File: B:\VTURN/1		Drawn By:

6.2 วงจรส่วนหลัง

วงจรส่วนหลัง เป็นวงจรที่ทำหน้าที่แยกสัญญาณภาพและสัญญาณเสียง ที่รับมาจากวงจรส่วนหน้า ซึ่งเป็นสัญญาณ IF 70 MHz วงจรส่วนหลังนี้ ประกอบด้วยวงจรขยายสัญญาณความถี่กลาง (IF Amplifier) ,วงจรฟิลเตอร์ (Filter) ,วงจรลิมิตเตอร์ (Limitter) และวงจรดีเทคเตอร์ (Detector) ดังแสดงในรูปที่ 6.4 โดยในบทที่ผ่านมาได้อธิบายถึงรายละเอียดของวงจรต่าง ๆ ที่ประกอบเป็นวงจรส่วนหลัง ดังนั้นในบทนี้จะกล่าวถึงวงจรที่ใช้งานจริงและการทำงานของวงจรส่วนหลัง ส่วนรูปที่ 6.5 แสดงวงจรสมบูรณ์ที่ใช้งานจริง

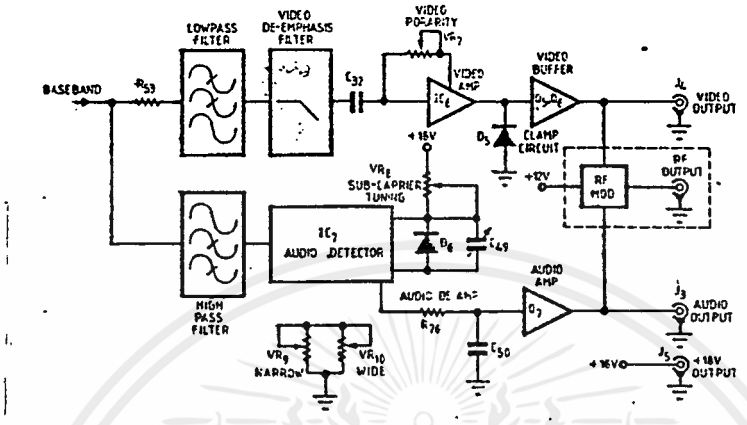


รูปที่ 6.4 บล็อคไดอะแกรมของวงจรส่วนหลัง

จากรูปที่ 6.4 เป็นบล็อคไดอะแกรมแสดงการทำงานของเครื่องรับสัญญาณดาวเทียม ตั้งแต่รับสัญญาณ 70 MHz จากดาวน์คอนเวอร์เตอร์ (Down Converter) จนออกมาเป็นสัญญาณรวมที่ J_2 จะเห็นว่าสัญญาณ IF จาก D/C ความถี่ 70 MHz ป้อนเข้าที่อินพุท J_1 สัญญาณถูกขยายด้วยวงจรขยายสัญญาณ IF ตัวแรกได้ประมาณ 25 dB แล้วส่งเข้าวงจรแบนด์พาสฟิลเตอร์ (Band Pass Filter) 70 MHz เพื่อป้องกันสัญญาณอื่นเข้ามารบกวน เนื่องจากสัญญาณ IF จะถูกลดทอนโดยวงจรฟิลเตอร์ ซึ่งเป็นแบบพาสซีฟ จึงต้องขยายชดเชยด้วยวงจรขยาย IF ตัวที่สอง เมื่อสัญญาณผ่านภาคลิมิตเตอร์ (limitter) เข้า IC_5 ซึ่งเป็น quadrature detector ทำหน้าที่แยกเอาสัญญาณภาพออกจากสัญญาณเสียงของระบบออกมาเรียกว่า *สัญญาณรวม* (base band) เป็นเอาท์พุทที่ J_2 สัญญาณรวมนี้จะถูกแยกเป็น 3 ส่วน โดยส่วนหนึ่งจะ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

นำไปใช้ในการเลือกความถี่ IF จาก D/C โดยการควบคุมสัญญาณไฟ VCO ด้วย IC_3 ผ่าน L_1 (AFC)



รูปที่ 6.5 บล็อคไดอะแกรมการทำงานในช่วง J_3 ถึง J_1

สัญญาณรวมที่เอาท์พุท J_2 ส่วนที่สอง จะถูกส่งเข้าวงจรฟิลเตอร์แบบความถี่ต่ำผ่าน (Low Pass Filter) ดังรูปที่ 3 เนื่องจากสัญญาณรวมมีพาหะย่อย(subcarrier) เสียงเป็นความถี่สูงเกาะมาด้วยย่าน 5-8 MHz ย่านที่เป็นสัญญาณภาพ 0-5 MHz (CCIR) หรือ 6 MHz (PAL) วงจรฟิลเตอร์นี้ จะทำหน้าที่กันไม่ให้สัญญาณเสียงมารบกวนสัญญาณภาพ จากนั้นส่งสัญญาณความถี่ต่ำที่มีสัญญาณรวม (composite video) อยู่ เข้าวงจรวิดีโอดีเอ็มพาสซิสฟิลเตอร์ (video de-emphasis filter) เพื่อยกระดับสัญญาณวิดีโอ และถูกป้อนเข้า video amp. เพื่อขยายเอาสัญญาณภาพที่แท้จริงออกมา มีวงจรกันชน(buffer) ก่อนออกเป็นสัญญาณภาพที่จุด VIDEO OUTPUT (J_4)

สัญญาณรวมที่เอาท์พุท J_2 ส่วนที่สาม จะถูกส่งเข้าวงจรฟิลเตอร์แบบความถี่สูงผ่าน (High Pass Filter) 5-8 MHz จับเอาเฉพาะคลื่นพาหะย่อยของเสียงมีมาตราฐาน 6.2 MHz และ 6.8 MHz แล้วแต่ระบบการแกว่งไกว (diviate) ตามความเปลี่ยนแปลงของสัญญาณเสียง ซึ่งความถี่แกว่งไกวอยู่ระหว่าง 5-8 MHz ฉะนั้นวงจรฟิลเตอร์จะจับเอาเฉพาะสัญญาณ IF ของคลื่นพาหะย่อยเสียงให้ผ่านได้เท่านั้น สัญญาณ IF ของเสียงจะถูกแยกโดยเฟสล็อกลูป (Phase Lock Loop) คือ IC_7 เมื่อแยกเอาสัญญาณเสียงออกมา จะถูก

เอกสารนี้ใช้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ในเชิงพาณิชย์ หรือนำไปเผยแพร่ต่อ ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ขยายด้วย audio amp. (Q_7) ป้อนให้ AUDIO OUTPUT (J_3) และ TV MOD. ต่อไป

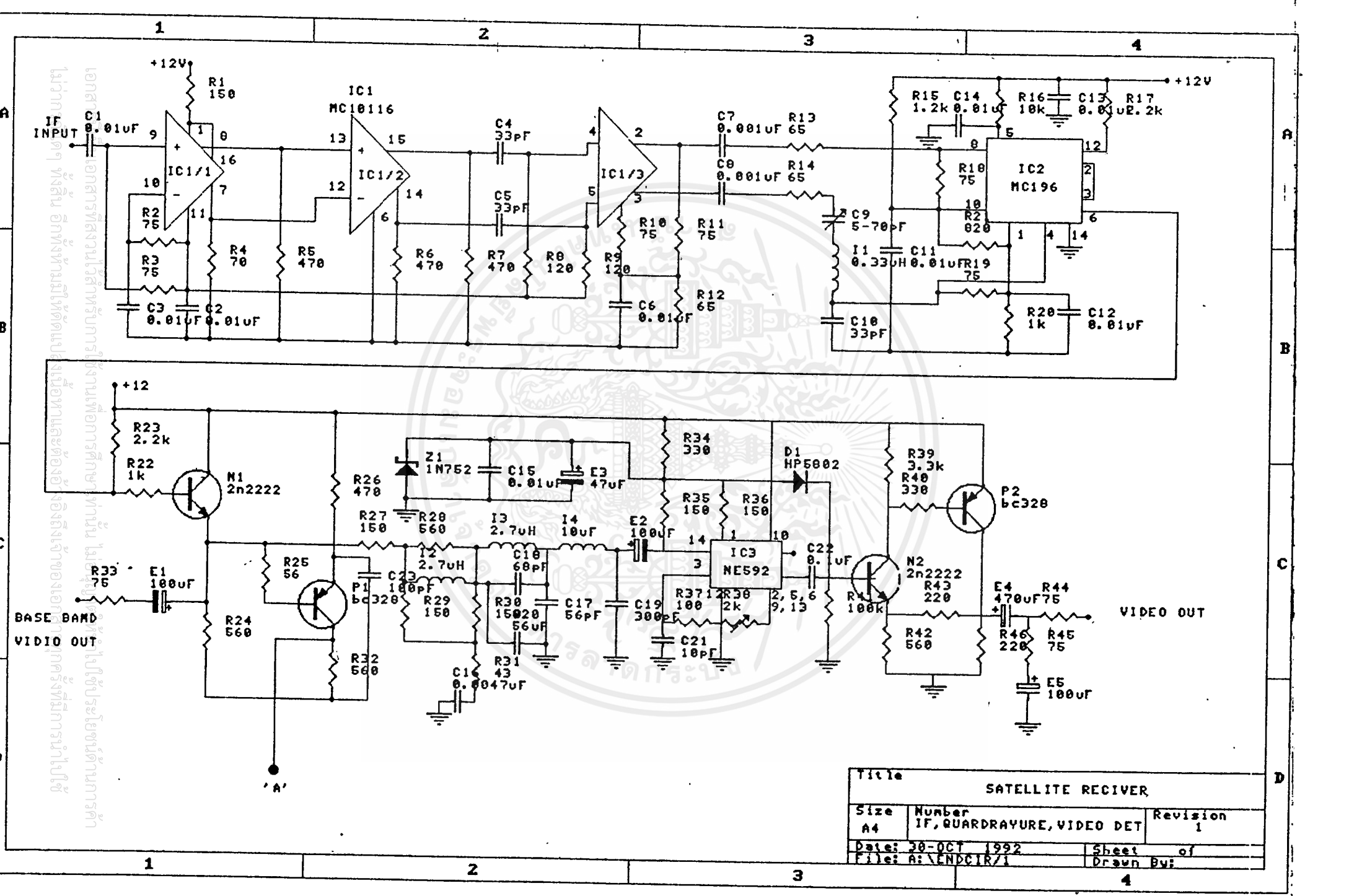
สัญญาณภาพและสัญญาณเสียงที่ถูกขยายจนได้ระดับที่ถูกต้องแล้ว จะส่งเข้าวงจรอาร์เอฟมอดูเลเตอร์ (RF Modulator) เพื่อนำเอาพาหะของความถี่ VHF ทีวีช่อง 3 และช่อง 4 เป็น RF OUTPUT ป้อนเข้าเสาอากาศเครื่องรับโทรทัศน์ โดยให้ปรับที่เครื่องรับโทรทัศน์มารับความถี่ที่ส่งจาก RF นี้

จากรูปที่ 6.5 เป็นวงจรสมบูรณ์ของเครื่องรับสัญญาณดาวเทียม สัญญาณ IF จาก D/C ป้อนเข้าที่อินพุท J_1 ในขณะเดียวกันก็ส่งแรงไฟควบคุมไปควบคุมออสซิลเลเตอร์ให้ D/C บีต(beat) เอาทรานสปอนเดอร์ที่ต้องการเป็นสัญญาณ IF ออกมา สัญญาณ IF นี้จะถูกแยกกันกับ VCO โดย C_{61} คัปปลิ้ง(coupling) ให้ L_1 ทางด้านหน้ามี VR_2 เป็นปุ่มปรับเลือกทรานสปอนเดอร์ ซึ่งเราใช้จูน(tuned) เลือกหาทรานสปอนเดอร์ สำหรับ VR_1 และ VR_3 ใช้ตั้งค่าสูงสุดและต่ำสุดของแรงดันที่จะควบคุมโดย VR_2 ส่งให้ D/C ตามลำดับ

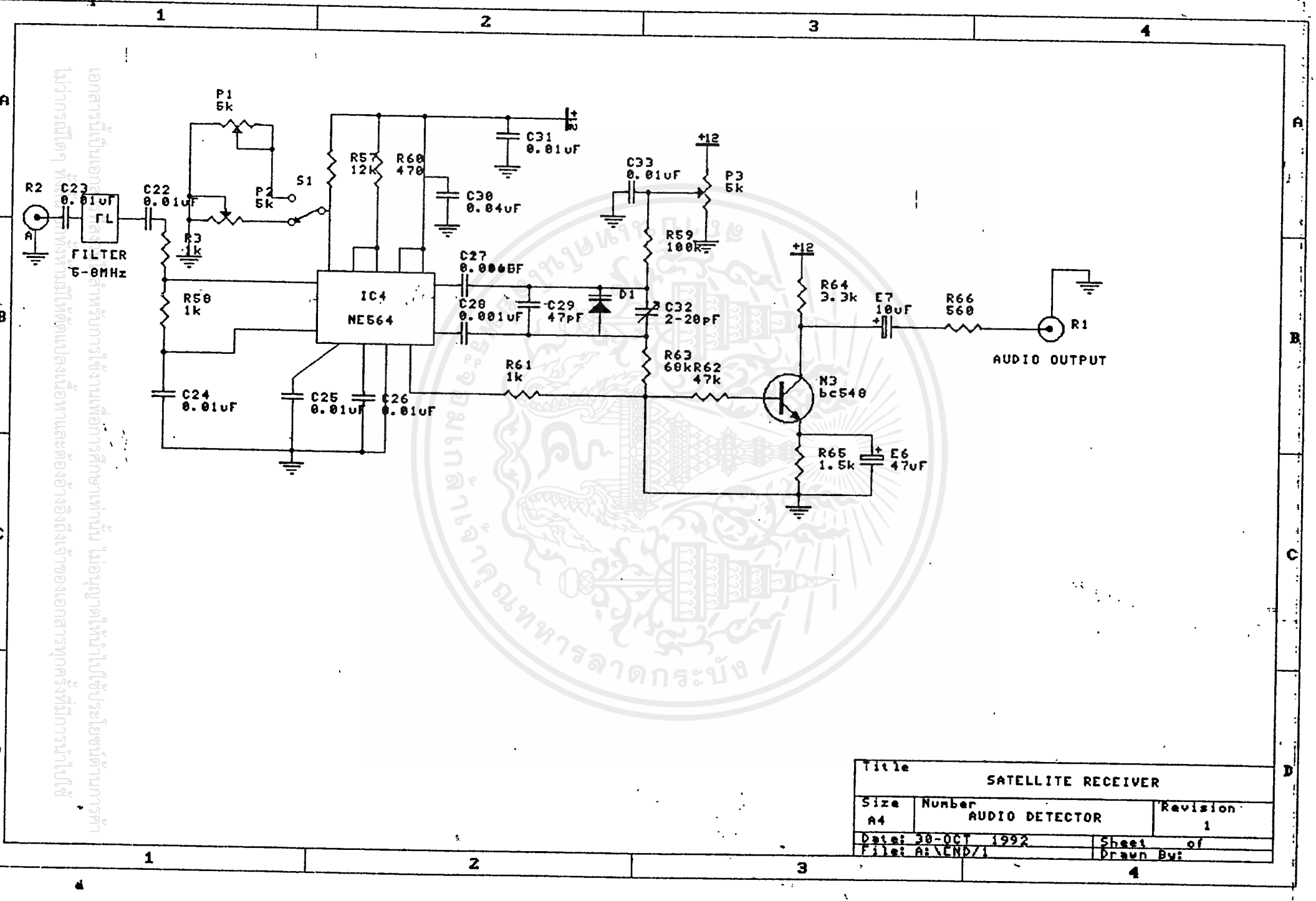
AFC ควบคุมแรงดัน VCO โดยการเปรียบเทียบของ IC_3 AFC สามารถบังคับให้ทำงานเป็นแบบอัตโนมัติหรือไม่ใช้เลยก็ได้ โดยเลือกที่สวิตช์ S_1 เพราะ AFC อาจจะตัดสัญญาณของ IF ที่มีสัญญาณอ่อนเกินไป ถ้าเราใช้ลักษณะ AFC สวิตช์ S_1 จะอยู่ตำแหน่งต่อขากลางของ VR_5 ซึ่งได้ตั้งค่าไว้ค่าหนึ่ง เราตั้งไว้เพื่อบังคับผลการปรับค่าสูงสุดและค่าต่ำสุดของ VCO ธรรมดา เช่นว่า D/C ต้องการค่าแรงดันควบคุม 1.5 โวลท์ ถึง 11.2 โวลท์ เราก็ลด VR_2 เหลือ 1.5 โวลท์ ซึ่งเป็นค่าต่ำสุดและล็อกค่า VR_5 ไว้เท่านั้น ส่วนแรงดันค่าสูงสุดเราก็วัดโวลท์ที่ L_1 ออกไป D/C แล้วปรับ VR_2 (transponder tuning) สูงสุด จากนั้นปรับ VR_4 ให้ได้ค่า 11.2 โวลท์ แล้วล็อกเอาไว้ เป็นต้น

ส่วนตำแหน่ง AFC สวิตช์ S_1 ON จะหมายความว่า สัญญาณ IF มีระดับอยู่ในย่านตามกำหนด คือ -40 dBm ถึง -5 dBm ถ้าต่ำกว่า -40 dB AFC จะต้องตัดการรับโดยเป็นตัว VCO อย่างอัตโนมัติ โดยควบคุมเสมือนล็อกสถานีไว้ตำแหน่ง ON นี้จะเสียการควบคุมจากระดับของสัญญาณจาก Q_3 ซึ่งเป็นสัญญาณหลังการดีมอดแล้ว โดยการแบ่งมาจาก R_{39} และฟิลเตอร์ให้เป็น DC โดย C_{21} ส่งค่าแรงดันนี้เข้ามาควบคุม VCO แทน VR_5 ซึ่งล็อกค่าไว้ ฉะนั้นลักษณะ AFC ON เป็นการควบคุมแบบวงจรปิด (close loop control) การควบคุมให้ล็อกความถี่นี้ควรจะเป็นอย่างอัตโนมัติ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



Title: SATELLITE RECIVER		
Size: A4	Number: IF, QUARDRAYURE, VIDEO DET	Revision: 1
Date: 30-OCT 1992		Sheet of
File: A:\ENDCIR/1		Draun By:


P1
5k
P2
5k
S1
R2
C23
0.01uF
FL
FILTER
5-8MHz
C22
0.01uF
R3
1k
R57
12k
R60
470
C31
0.01uF
C30
0.04uF
C33
0.01uF
+12
P3
5k
R59
100k
C27
0.0068F
IC4
NE564
R58
1k
C28
0.001uF
C29
47pF
D1
C32
2-20pF
R63
60k
R62
47k
R61
1k
C24
0.01uF
C25
0.01uF
C26
0.01uF
+12
R64
3.3k
E7
10uF
R66
560
R1
AUDIO OUTPUT
N3
bc548
R65
1.5k
E6
47uF
Title
SATELLITE RECEIVER
Size
A4
Number
AUDIO DETECTOR
Revision
1
Date: 30-OCT 1992
File: A:\END/1
Sheet of
Drawn By:

เมื่อสัญญาณ IF ผ่านฟิลเตอร์ตัวนี้มาแล้วต้องมีการขยายชดเชย เนื่องจากถูกลดทอนสัญญาณ Q_1 และ Q_2 เป็นตัวขยายชดเชย ให้มีความแรงพอที่จะส่งให้ภาคลิมิเตอร์ (Limitter) และแบ่งให้วงจรแสดงความเข้มของสัญญาณ เพื่อดูระดับความแรงของสัญญาณ VR_6 ใช้ตั้ง full scale meter ไม่ให้เกินส่วน VR_{11} ตั้งความไวในการับรู้ให้มีความไวที่พอเหมาะ ภาคลิมิตเตอร์ (Limitter) โดย IC_2 เบอร์ MC10116 เอา impulse noise ออกไปจากสัญญาณ 70 MHz ภายในตัว IC_2 เป็น line tripper amplifier เอาท์พุทที่ขา 2 และขา 3 กลับเฟส 180 องศา วงจร LC (C_{15} และ L_2) เลื่อนเฟสให้ปรับ 90 องศา ให้ขา 4 และขา 8 ของ IC_5 กลับเฟส 90 องศา

IC_5 เบอร์ MC1496 จะนำเอาสัญญาณมาแยก โดยวิธีบาลานซ์ดีมอดูเลเตอร์ (Balance demodulator) และเอาคลื่นพาหะย่อยออกเป็นสัญญาณรวม Q_3 ทำหน้าที่ buffer แบบมีเอาท์พุทอิมพีแดนซ์ต่ำส่งให้ R_{53} และ C_{32} เป็นวงจรกรองความถี่ต่ำผ่าน และ video de-emphasis filter ป้องกันสัญญาณเสียงรบกวนสัญญาณภาพ IC_7 เป็นตัวขยายสัญญาณภาพให้สัญญาณเอาท์พุท 2 ขา มีเฟสตรงข้ามกัน 180 องศา โดยสามารถจะเลือกเอาภาพแบบกลับได้ โดยเลือกต่อขาเอาท์พุทจากขา 7 การขยายสามารถตั้งความไวได้ โดยปรับที่ VR_7

D_5 เป็นตัวยกระดับ (clamp) ซิ่งแทรปเอาท์ (trap out) 3 GHz คลื่นที่แยกออกไปนี้รวมมอดูเลทตามเทคนิคของการส่งดาวเทียม (uplink) Q_5 และ Q_6 ทำหน้าที่ขยายและเป็นบัฟเฟอร์ในตัว ให้แมทชิ่ง(matching) 75 โอห์ม ด้วยความแรงประมาณ 1 Vp-p ส่วน Q_6 ใช้เป็นตัวขับเข้า RF modulator ย้อนมาที่ระบบแยกพาหะย่อยของเสียงบ้าง สัญญาณรวมจาก Q_3 ถูกขยายด้วย Q_4 ส่งให้ฟิลเตอร์ 5-8 MHz สัญญาณจะถูกฟิลเตอร์เฉพาะ 6.2 MHz และ 6.8 MHz แบนด์วิดธ์ 250 KHz ผ่านเข้า IC_7 เบอร์ NE564 ทำหน้าที่เป็นเฟสล็อกลูป เป็นการควบคุมคุณภาพแบบวงจรปิดให้มีเสถียรภาพในการรับเสียง เนื่องจากพาหะย่อยจะมอดดูเลทให้มีช่วงแกว่งความถี่เพียง 10% ของการมอดดูเลททั้งย่าน และถูกควบคุมความแรง ฉะนั้นการรับจะต้องระวังคุณภาพการรับให้ดี การล็อกโดยเฟสล็อกลูป จะสามารถทำ VCO ย่อยๆ ขึ้นสามารถปรับความถี่ได้ โดยวาริแคปไดโอด (varicap diode) D_6 ย่านที่ปรับคือ 5-8 MHz จะถูกตั้งโดย C_{49} หลังจากที่ปรับ VR_8 (subcarrier tuning) ที่หน้าปัทม์หน้าเครื่อง VR_8 นี้ช่วยในการปรับละเอียดให้เฟสล็อกลูปเป็น AFC และตัดคลื่นรบกวนต่างๆ

เอกสารนี้มีลิขสิทธิ์ สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เสียงจะถูกแยกจากพาหะโดย R_{76} และ C_{80} ออกเป็นสัญญาณเสียง และถูกขยายโดย Q_7 ส่งไปขับภาค RF Modulator ต่อไป VR_9 และ VR_{10} ตั้งความแคบและกว้างของช่วงเฟสล็อกลูป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 7
การทดลองและผลการทดลอง

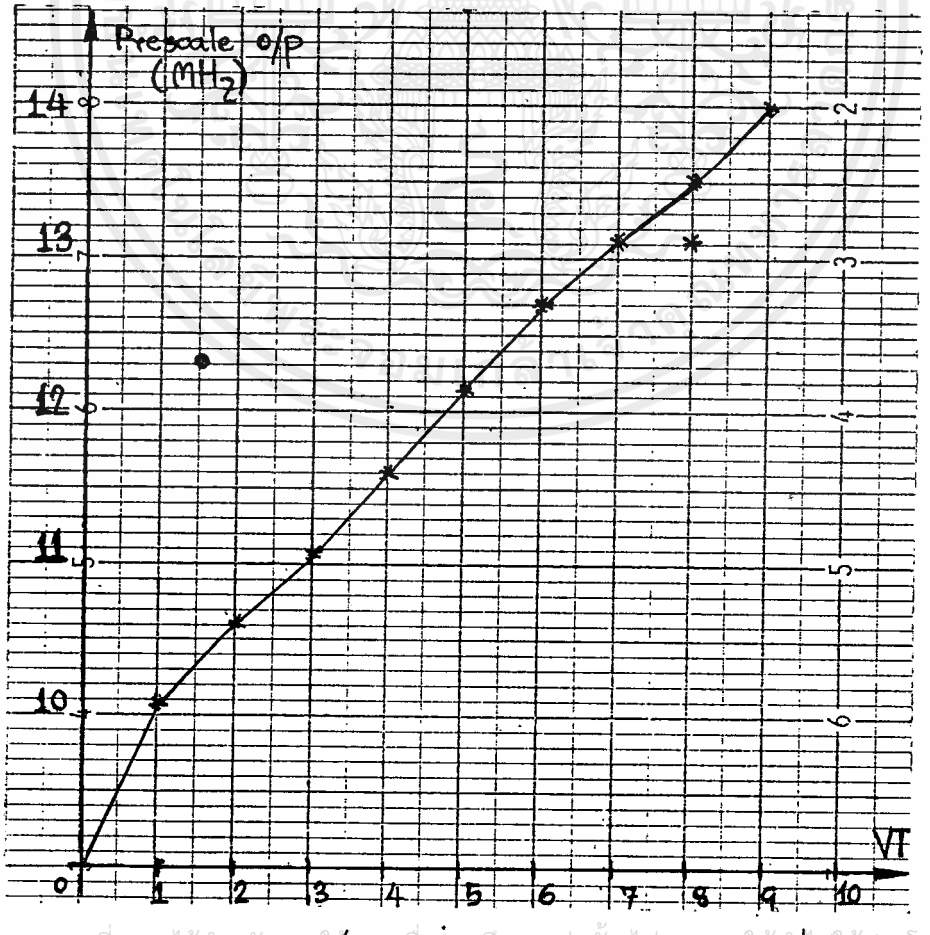
จากการทดลองจะใช้สัญญาณจากจานรับสัญญาณผ่านดาวเทียมที่มีความถี่เอาท์พุทของ LNB (Low Noise Amplifier) เป็น 1 GHz แล้วนำมาเข้าภาค Down Converter ซึ่งให้เอาท์พุทออกมาเป็น 70 MHz จากนั้นจะนำเอาสัญญาณนี้ไปแยกสัญญาณ base band ออกมา โดยผ่านวงจรดีเทคเตอร์ ก่อนที่จะทำการดีเทคเตอร์จะต้องทำการขยายสัญญาณ IF 70 MHz นี้ก่อน จากนั้นก็จะนำเข้ามายังวงจรลิมิตเตอร์ เพื่อขจัด Intermod noise หรือ noise ที่เกิดจากการลบกวนข้ามทรานสปอนเดอร์ จากนั้นมันก็ส่งเข้าวงจร quadrature detector เพื่อทำการแยกเอาสัญญาณ base band ซึ่งมีทั้งสัญญาณภาพและสัญญาณเสียงออกมา โดยที่วงจร quadrature detector จะทำการ shift phase สัญญาณอินพุทไป 90 องศา และนำไปคูณกับสัญญาณเดิม ซึ่งจะได้เอาท์พุทเป็นสัญญาณภาพ จากนั้นนำไปขยายอีกครั้ง ซึ่งปกติแล้วระดับของ VDO เอาท์พุท จะมีขนาดประมาณ 2 V_{p-p} เนื่องจากคุณภาพของวงจร filter ยังไม่ดีเท่าที่ควร ดังนั้นทำให้ noise ต่างๆ เข้ามาในระบบได้ ดังนั้นถ้าเราทำการขยายสัญญาณ VDO ให้มีขนาดใหญ่ขึ้น ก็จะทำให้ noise มีขนาดสูงขึ้นตามไปด้วย ฉะนั้นเราจะต้องทำการปรับปรุงวงจร filter ให้มีความเที่ยงตรงสูงขึ้น ส่วนสัญญาณเสียงเราจะนำเอาสัญญาณ base band มา filter โดยใช้ ceramic filter แล้วส่งเข้าวงจรขยายเสียงต่อไป

เมื่อทดลองป้อนแรงดันให้กับ V_T (Voltage Tuner) แล้วสังเกตการเปลี่ยนแปลงของความถี่ที่เอาท์พุทของ prescalle ซึ่งจะเห็นได้ว่าความถี่ที่เอาท์พุทของ prescale จะเปลี่ยนแปลงเป็นสัดส่วนกับ voltage ที่ป้อนให้กับ V_T แต่ volltage ที่ใช้ในช่วงของการรับสัญญาณภาพจริงๆ จะอยู่ในช่วง 5-9 Volt ซึ่งความถี่ที่เอาท์พุทของ prescale จะอยู่ในช่วงของ 12-14 MHz จากข้อมูลที่ได้จากการทดลอง เราจะแสดงเป็นกราฟได้ดังตารางที่ 7.1 และรูปที่ 7.1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตารางที่ 7.1

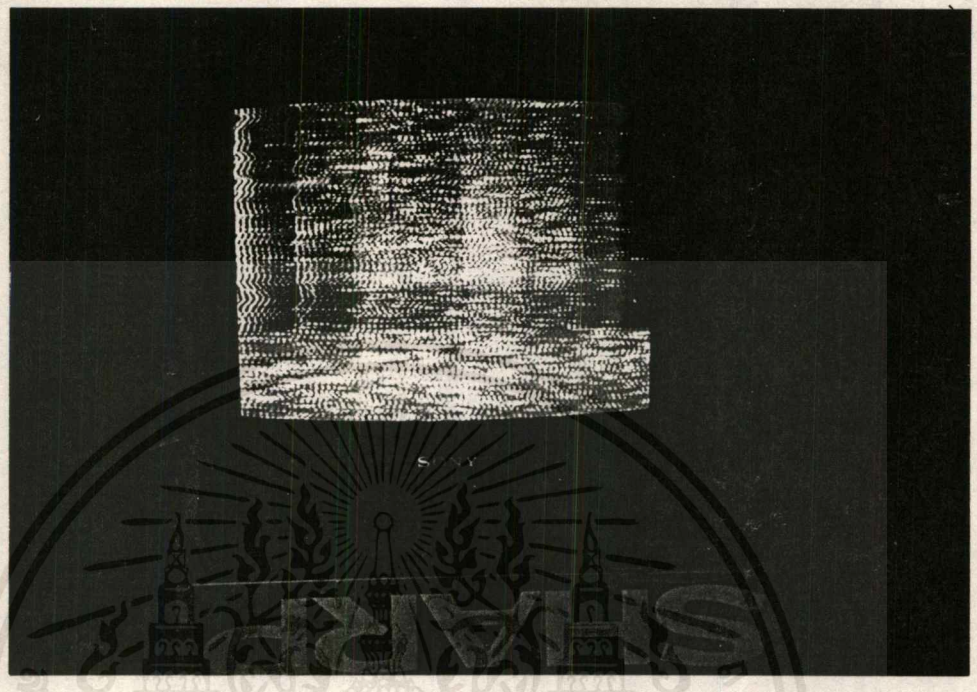
V_T (V)	Prescale O/P (MHz)
1	10.02
2	10.63
3	11.09
4	11.67
5	12.19
6	12.71
7	13.09
8	13.58
9	14.01
10	14.53

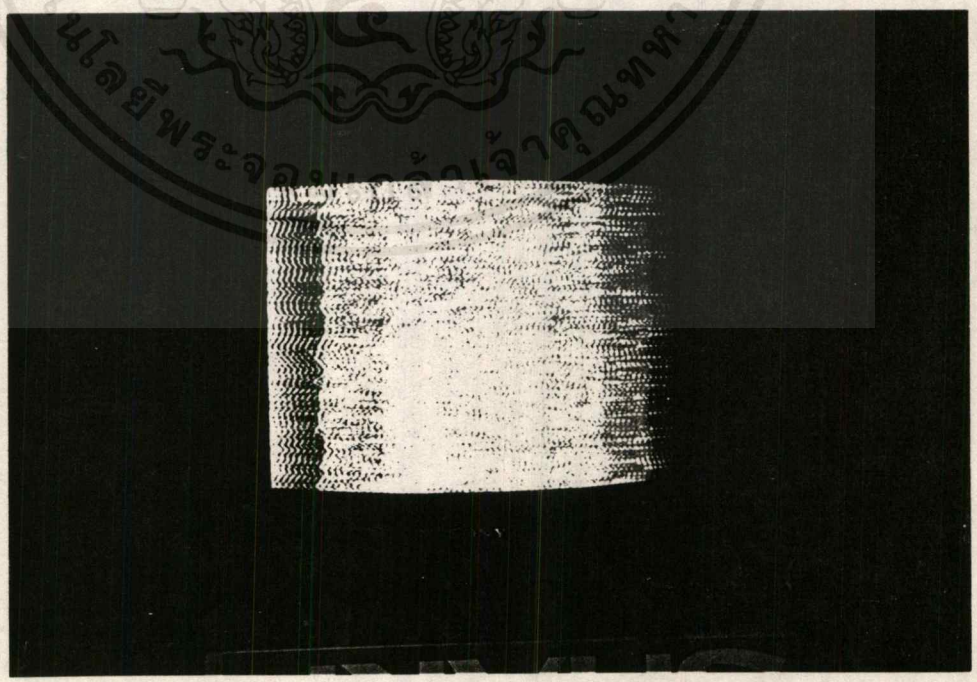


รูปที่ 7.1 กราฟแสดงความสัมพันธ์ของ Voltage Tuner กับ ความถี่ Prescale output

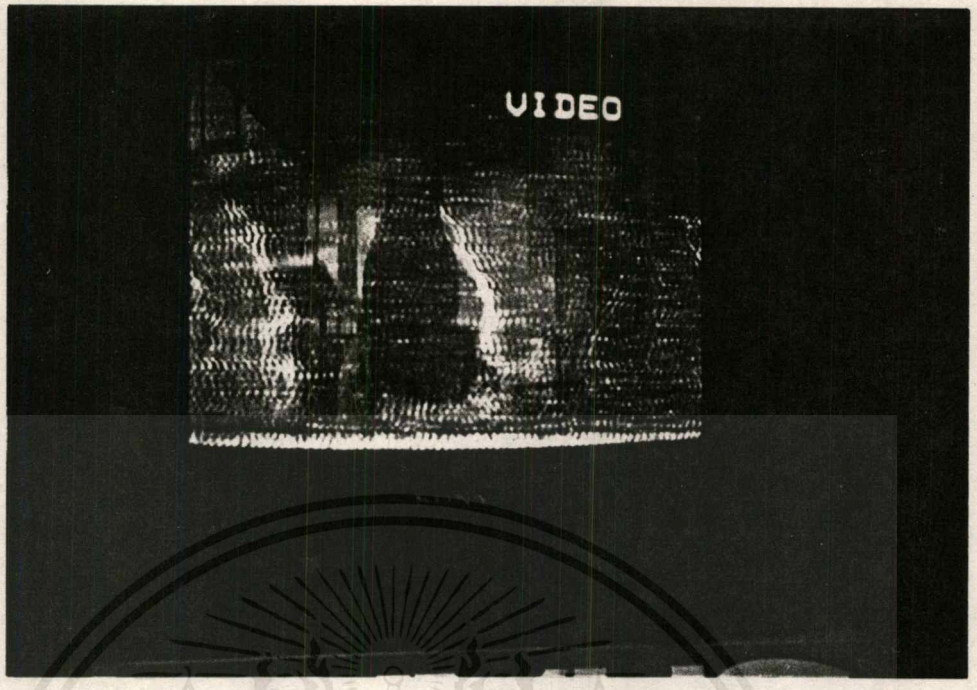
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

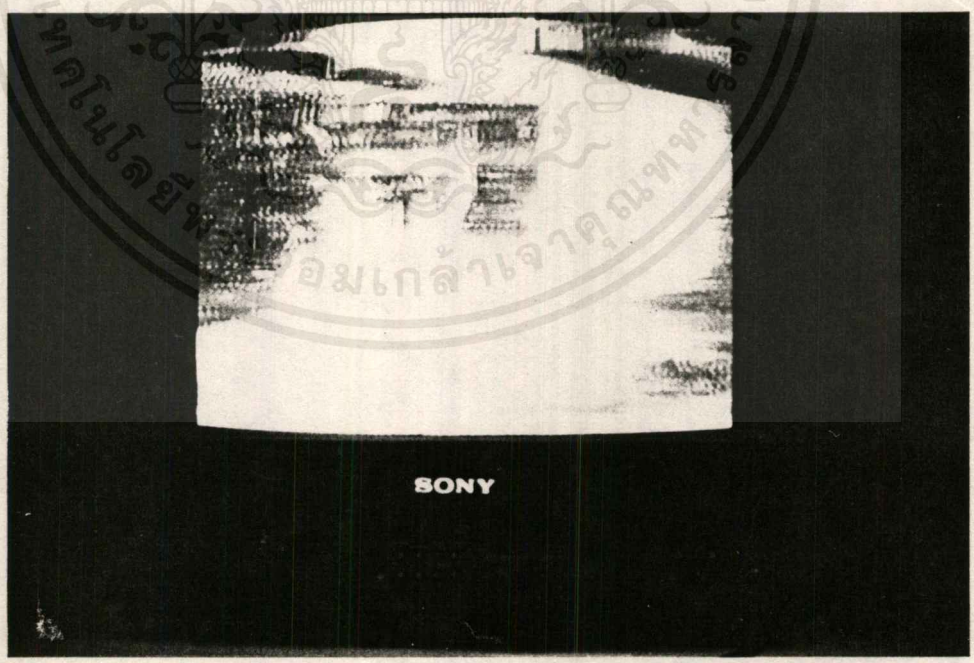
ตัวอย่างของสัญญาณภาพที่รับได้ ดังนี้



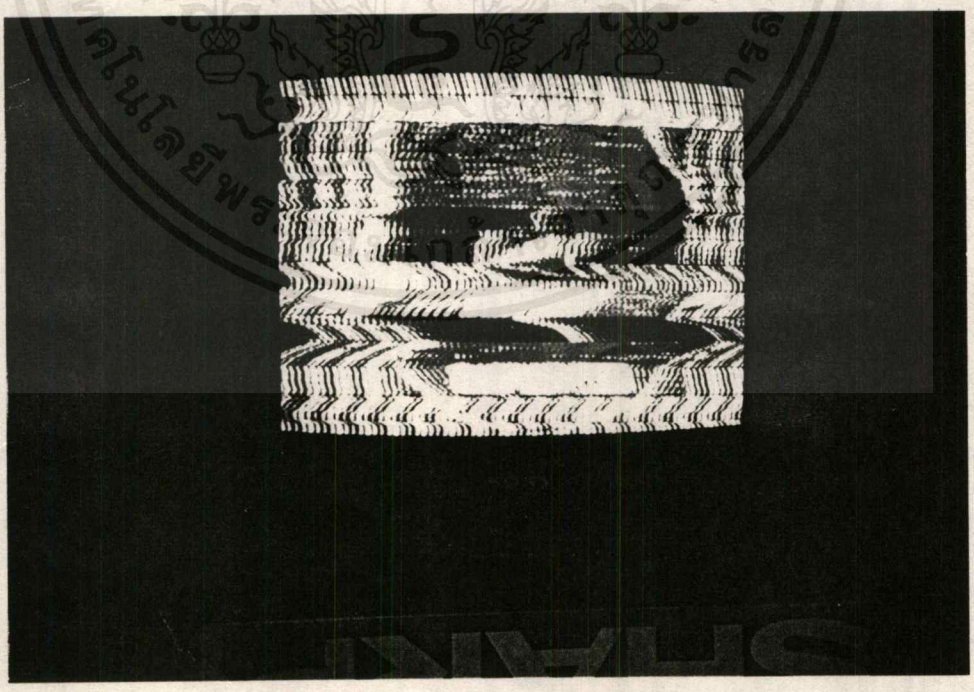


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้





เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทสรุป

จากการทดลองรับสัญญาณ จะพบว่าสัญญาณที่ได้มีแอมปลิจูดต่ำกว่าที่ควร จึงทำให้สัญญาณที่เอาท์พุทมีขนาดต่ำกว่า ทำให้สัญญาณภาพที่รับได้ไม่สมบูรณ์ คือ ภาพจะมีสโนว์มาก และสัญญาณ sync. ทางสีผิดไป ทำให้ภาพที่ได้มีสีจางหรือสีผิดเฟสไป ซึ่งปัญหาดังกล่าวสามารถแก้ไขได้โดยการสร้างวงจรขยายทางความถี่สูงให้มีเกนสูงขึ้น ซึ่งจะทำให้ได้สัญญาณแรงขึ้น แต่จะมีปัญหาเรื่องของสัญญาณรบกวนตามมา คือ สัญญาณรบกวนจะถูกขยายขึ้นมาด้วย เราจำต้องปรับปรุงวงจรฟิลเตอร์ให้มีประสิทธิภาพเพิ่มขึ้น เพื่อกำจัดสัญญาณรบกวนเหล่านี้ออกไป โดยปกติแล้วฟิลเตอร์ที่ใช้จะเป็น SAW FILTER แต่เนื่องจากไม่อาจจะหาซื้อ SAW FILTER ได้จึงต้องสร้างฟิลเตอร์ขึ้นมาเอง ซึ่งจะพบว่ามีสัญญสณรบกวนเข้ามามากมาย คุณภาพของภาพแย่มาก แต่เมื่อใช้ SAW FILTER ที่ออกแบบมาโดยเฉพาะ จะทำให้คุณภาพของภาพที่รับได้ดีขึ้น แต่ยังมีปัญหาเรื่องความแรงของสัญญาณ ซึ่งต้องแก้ไขต่อไป ส่วนสัญญาณเสียงที่รับได้เป็นปกติ แต่ยังมีเสียงซ่าซึ่งเกิดจากระดับของสัญญาณต่ำเกินไป ซึ่งถ้าเราแก้ไขเรื่องของวงจรขยายย่านความถี่สูงให้ดีขึ้นก็จะสามารถทำให้คุณภาพของสัญญาณภาพและสัญญาณเสียงดีขึ้นตามลำดับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก

APPENDIX

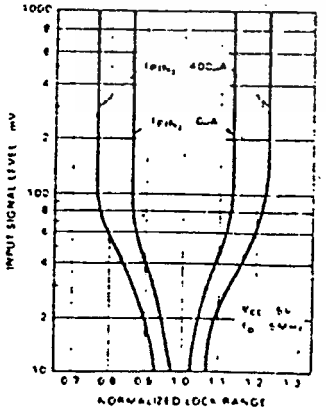
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ELECTRICAL CHARACTERISTICS V_{CC} = 5V, T_A = 25°C, f_o = 5MHz, I_E = 400μA unless otherwise specified

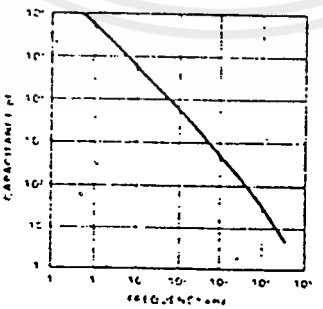
PARAMETER	TEST CONDITIONS	SE564			NE564			UNIT
		Min	Typ	Max	Min	Typ	Max	
Maximum VCO frequency	C_1 = 0 (stray)	50	65		45	60		MHz
Lock range	Input ≥ 200mVrms T_A = 25°C = 125°C = −55°C = 0°C = 70°C	40 20 50	70 30 60		40	70 70 40		% of f_o
Capture range	Input ≥ 200mVrms, R_2 = 27Ω	20	30		20	30		% of f_o
VCO frequency drift with temperature	f_o = 5MHz T_A = −55°C to 125°C = 0°C to 70°C f_o = 500KHz T_A = −55°C to 125°C = 0°C to 70°C		400 250	1000 500		 400 400	 1250 650	PPM/°C
VCO free running frequency	C_1 = 91pF R_2 = 100Ω "internal"	4	5	6	3.5	5	6.5	MHz
VCO frequency change with supply voltage	V_{CC} = 4.5V to 5.5V		3	8		3	6	% of f_o
Demodulated output voltage	Modulation frequency: 1KHz f_o = 5MHz, input deviation: 2% T = 25°C 1% T = 25°C = 0°C = −55°C = 70°C = 125°C	 16 8 6 12	 28 14 10 16	 	 16 8 	 28 14 13 15 	 	 mVrms mVrms mVrms mVrms mVrms mVrms
Distortion Signal to noise ratio AM rejection	Deviation 1% to 6% Std. condition, 1% to 10% dev Std. condition 30% AM		1 40 35			1 40 35		% dB dB
Demodulated Output at operating voltage	Modulation frequency: 1KHz f_o = 5MHz, input deviation 1% V_{CC} = 4.5V V_{CC} = 5.5V	 7 8	 12 14	 	 7 8	 12 14	 	 mVrms mVrms
Supply current	V_{CC} = 5V, I_{1C}		45	60		45	60	mA
Output "1" output leakage current "0" output voltage	V_{OUT} = 5V, Pin 16, 9 I_{OUT} = 2mA, Pin 16, 9 I_{OUT} = 5mA, Pin 16, 9		1 0.3 0.4	20 0.6 0.8		1 0.3 0.4	20 0.6 0.8	μA V V

TYPICAL PERFORMANCE CHARACTERISTICS

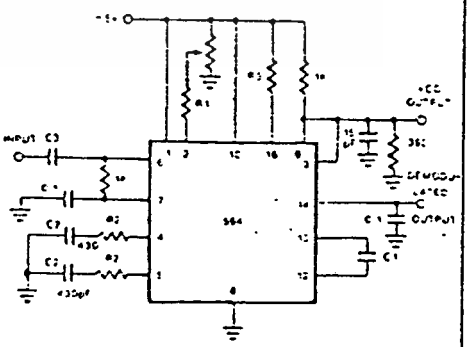
LOCK RANGE vs SIGNAL INPUT



VCO CAPACITOR vs FREQUENCY

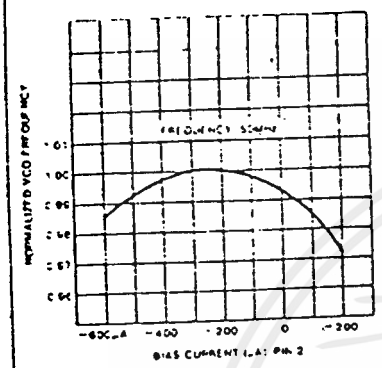


SE NE 564 TEST CIRCUIT

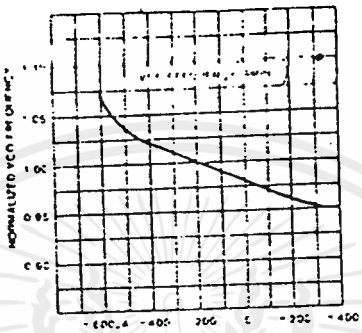


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

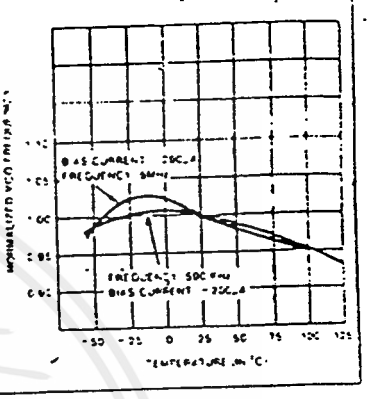
TYPICAL NORMALIZED VCO FREQUENCY AS A FUNCTION OF PIN 2 BIAS CURRENT



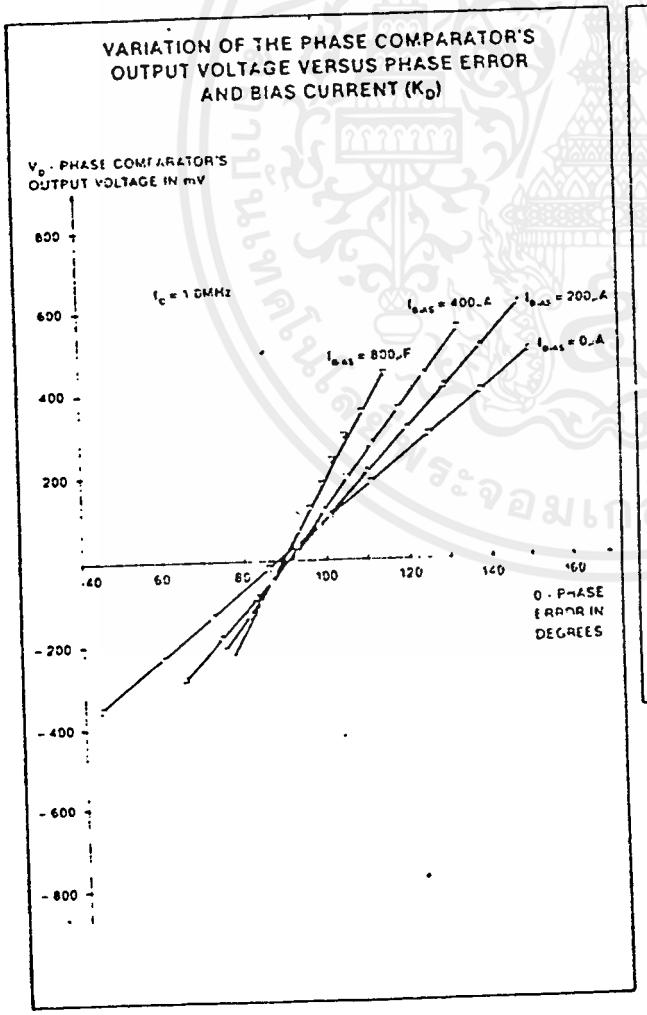
TYPICAL NORMALIZED VCO FREQUENCY AS A FUNCTION OF PIN 2 BIAS CURRENT



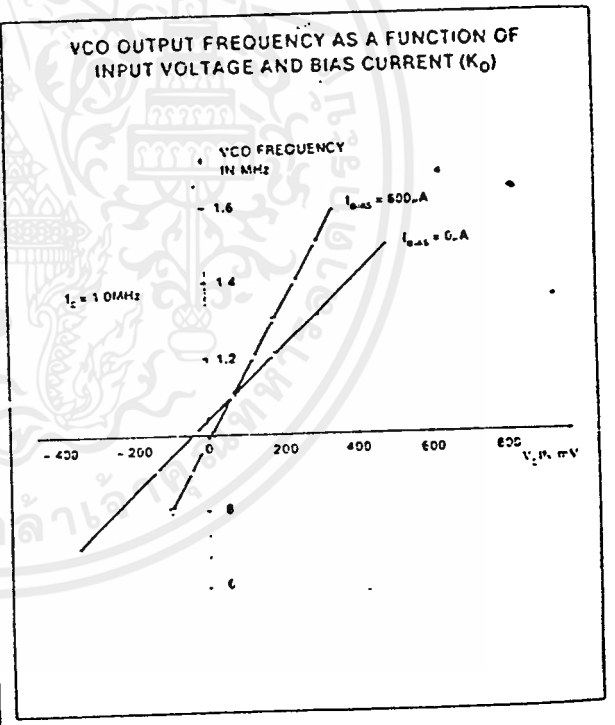
NORMALIZED VCO FREQUENCY AS A FUNCTION OF TEMPERATURE



VARIATION OF THE PHASE COMPARATOR'S OUTPUT VOLTAGE VERSUS PHASE ERROR AND BIAS CURRENT (K_D)



VCO OUTPUT FREQUENCY AS A FUNCTION OF INPUT VOLTAGE AND BIAS CURRENT (K_O)



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อ[illegible]นั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

FUNCTIONAL DESCRIPTION (figure 1).

The NE564 is a monolithic phase locked loop with a post detection processor. The use of Schottky clamped transistors and optimized device geometries extends the frequency of operation to greater than 50 MHz. In addition to the classical PLL applications the NE564 can be used as a modulator with a controllable frequency deviation.

The output voltage of the PLL can be written as shown in the following equation:

$$V_O = \frac{(f_{in} - f_o)}{K_{VCO}} \qquad \text{Equation 1}$$

K_{VCO} = conversion gain of the VCO
f_{in} = frequency of the input signal
f_o = free running frequency of the VCO

The process of recovering FSK signals involves the conversion of the PLL output into logic compatible signals. For high data rates a considerable amount of carrier will be present at the output of the PLL due to the wideband nature of the loop filter. To avoid the use of complicated filters, a comparator with hysteresis (Schmitt trigger) is required. With the conversion gain of the VCO fixed, the output voltage as given by Equation 1 varies according to the frequency deviation of f_{in} from f_o. Since this differs from system to system, it is necessary that the hysteresis of the Schmitt trigger be capable of being changed so that it can be optimized for a particular system. This is accomplished in the 564 by varying the voltage at pin 15 which results in a change of the hysteresis of the Schmitt trigger.

For FSK signals, an important factor to be considered is the drift in the free running frequency, f_o, of the VCO itself. If it changes due to temperature according to Equation 1 it will lead to a change in the dc levels of the PLL output; and consequently to errors in the digital output signal. This is especially true for narrow band signals where the deviation in f_{in} itself may be less than the change in f_o due to temperature. This effect can be eliminated if the dc or average value of the signal is retrieved and used as the reference to the comparator. In this manner, variations in the dc levels of the PLL output do not affect the FSK output.

VCO Section

Due to its inherent high frequency performance, an emitter coupled oscillator is used in the VCO. In the circuit, shown in the equivalent schematic, transistors Q_{22} and Q_{23} with current sources $Q_{21} - Q_{24}$ form the basic oscillator. The approximate free running frequency of the oscillator is shown in the following equation:

$$f_o = \frac{1}{22\ R_1 (C_1 - C_{ss})} \qquad \text{Equation 2}$$

$R_C = R_{1B} = R_{2C} = 100\Omega$ (INTERNAL)
C_1 = external frequency setting capacitor
C_{ss} = stray capacitance

Variation of V_R (phase detector output voltage) changes the frequency of the oscillator. As indicated by Equation 2, the frequency of the oscillator has a negative

EQUIVALENT SCHEMATIC

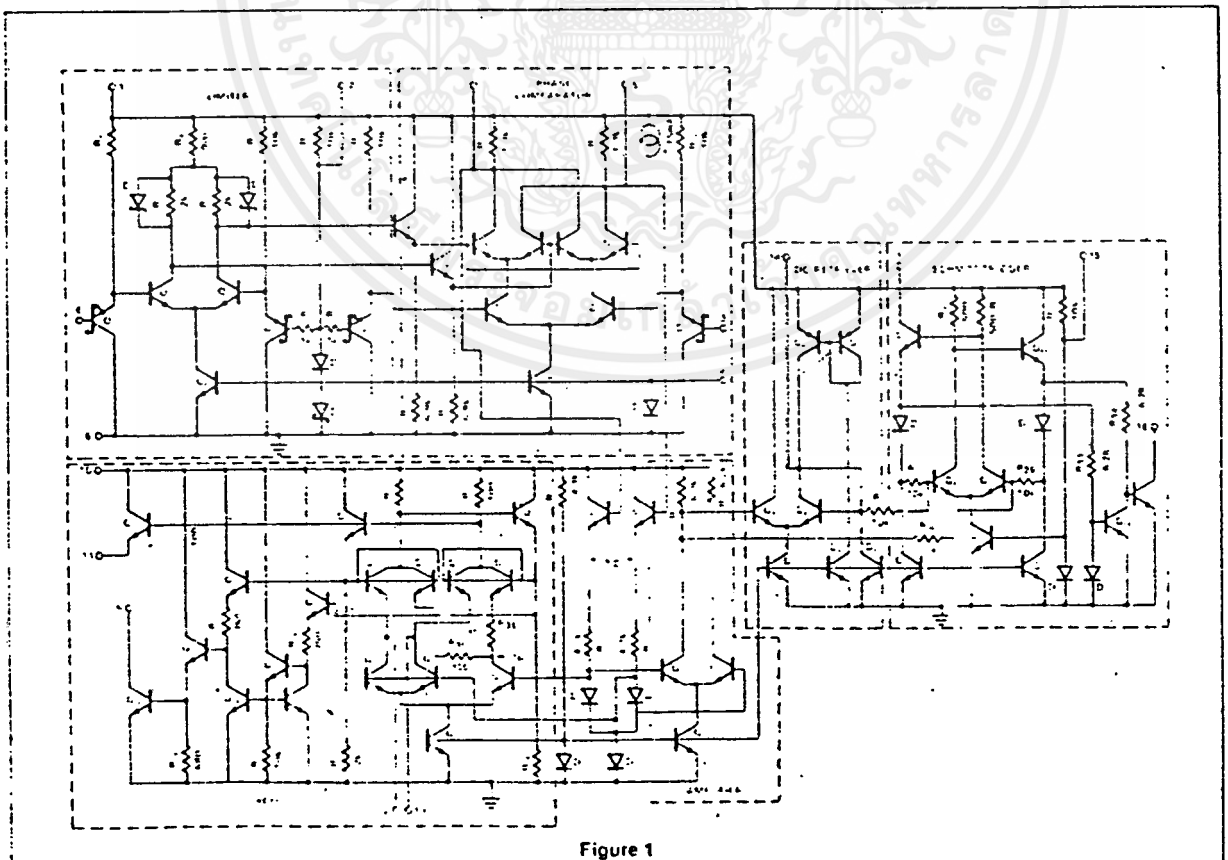


Figure 1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

temperature coefficient due to the positive temperature coefficient of the monolithic resistor. To compensate for this, a current I_R with negative temperature coefficient is introduced to achieve a low frequency drift with temperature.

Phase Comparator Section

The phase comparator consists of a double balanced modulator with a limiter amplifier to improve AM rejection. Multiple collector vertical PNPs are used to obtain TTL level inputs. The loop gain can be varied by changing the current in Q_4 and Q_5 which effectively changes the gain of the differential amplifiers. This can be accomplished by introducing a current at pin 2.

Post Detection Processor Section

The post detection processor consists of a unity gain transconductance amplifier and comparator. The amplifier can be used as a dc retriever for demodulation of FSK signals and as a post detection filter for linear FM demodulation. The comparator has adjustable hysteresis so that phase jitter in the output signal can be eliminated.

As shown in the equivalent schematic the dc retriever is formed by the transconductance amplifier Q_{42}–Q_{43} together with an external capacitor which is connected at the amplifier output (pin 14). This forms an integrator whose output voltage is shown in the following equation

$$V_O = \frac{g_m}{C_2} V_{in} dt \qquad \text{Equation 3}$$

g_m = transconductance of the amplifier
C_2 = capacitor at the output (pin 14)
V_{in} = signal voltage at amplifier input

With proper selection of C_2, the integrator time constant can be varied so that the output voltage is the dc or average value of the input signal for use in FSK, or as a post detection filter in linear demodulation.

The comparator with hysteresis is made up of Q_{49}–Q_{50} with positive feedback being provided by Q_{51}–Q_{46}. The hysteresis is varied by changing the current in Q_{52} with a resulting variation in the loop gain of the comparator. This method of hysteresis control, which is a dc control, provides symmetric variation around the nominal value.

Design Formula

The free running frequency of the VCO is shown by the following equation:

$$f_o = \frac{1}{25\, R_C\, (C_1 - C_S)} \qquad \text{Equation 4}$$

R_C = resistor
C_1 = external capacitance in farads
C_S = stray capacitance

FM DEMODULATOR AT 5V

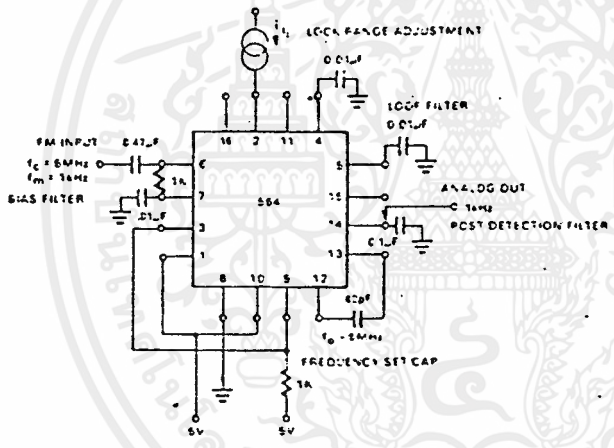


Figure 2

FM DEMODULATOR AT 12V

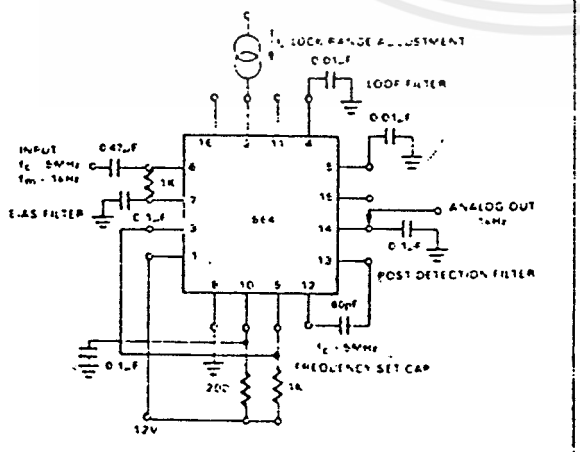


Figure 3

MODULATOR

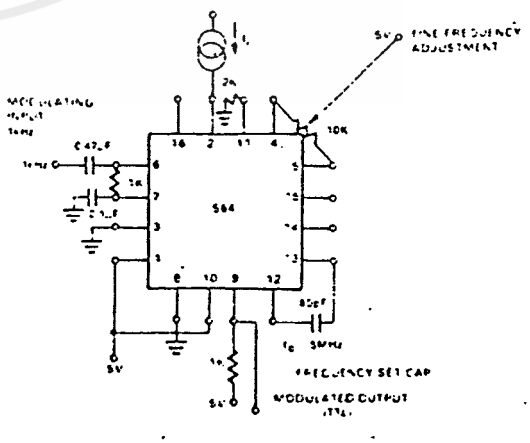


Figure 4

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

The loop filter diagram shown is explained by the following equation

$$F(s) = \frac{1}{1 + sRC_3} \text{ (First Order)} \quad \text{Equation 5}$$

$R = R_{12} = R_{13} = 13k\Omega$ (INTERNAL)*

By adding capacitors to pins 4 and 5 a pole is added to the loop transfer function at

$$= \frac{1}{RC_3}$$

*Refer to Figure 1.

APPLICATIONS

FM DEMODULATOR

The NE564 can be used as an FM demodulator. The connections for operation at 5V and 12V are shown in figures 2 and 3 respectively. The input signal is ac coupled with the output signal being extracted at pin 14. Loop filtering is provided by the capacitors at pins 4 and 5 with additional filtering being provided by the capacitor at pin 14. Since the conversion gain of the VCO is not very high, to obtain sufficient demodulated output signal the frequency deviation in the input signal should be 1% or higher.

MODULATION TECHNIQUES

The NE564 phase locked loop can be modulated at either the loop filter ports (pins 4 and 5) or the input port (pin 6) as shown in figure 4. The approximate modulation frequency can be determined from the frequency conversion gain curve shown in figure 5. This curve will be appropriate for signals injected into pins 4 and 5 as shown in figure 4.

FSK Demodulation

The 564 PLL is particularly attractive for FSK demodulation since it contains an internal voltage comparator and VCO which have TTL compatible inputs and outputs, and it can operate from a single 5 volt power supply. Demodulated dc voltages associated with the mark and space frequencies are recovered with a single external capacitor in a dc retriever without utilizing extensive filtering networks. An internal comparator, acting as a Schmitt trigger with an adjustable hysteresis, shapes the demodulated voltages into compatible TTL output levels. The high frequency design of the 564 enables it to demodulate FSK at high data rates in excess of 1.0M baud.

Figure 5 shows a high frequency FSK decoder designed for input frequency deviations of ±1.0MHz centered around a free-running frequency of 10.6MHz. The value of the timing capacitance required was estimated from figure 6 to be approximately 40pF. A trimmer capacitor was added to fine tune f_o to 10.6MHz.

The lock range graph indicates that the ±1.0MHz frequency deviations will be within the lock range for input signal levels greater than approximately 50mV with zero pin 2 bias current. While strictly this figure is appropriate only for 5MHz, it can be used as a guide for lock range estimates at other f_o frequencies.

The hysteresis was adjusted experimentally via the 10kΩ potentiometer and 2kΩ bias arrangement to give the waveshape shown in figure 7 for 20K, 500K, 2M baud rates with square wave FSK modulation. Note the magnitude and phase relationships of the phase comparators output voltages with respect to each other and to the FSK output. The high frequency sum components of the input and VCO frequency also are visible as noise on the phase comparators outputs.

10.6MHz FSK DECODER USING THE 564

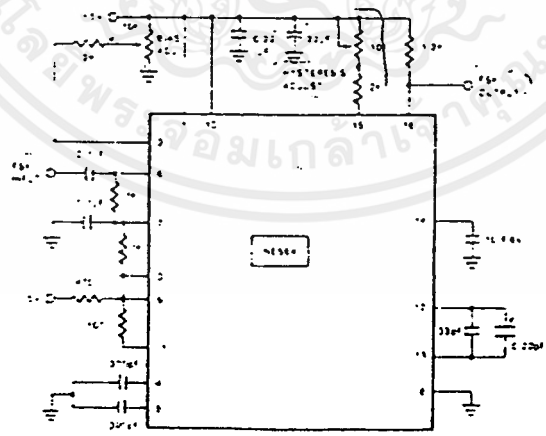
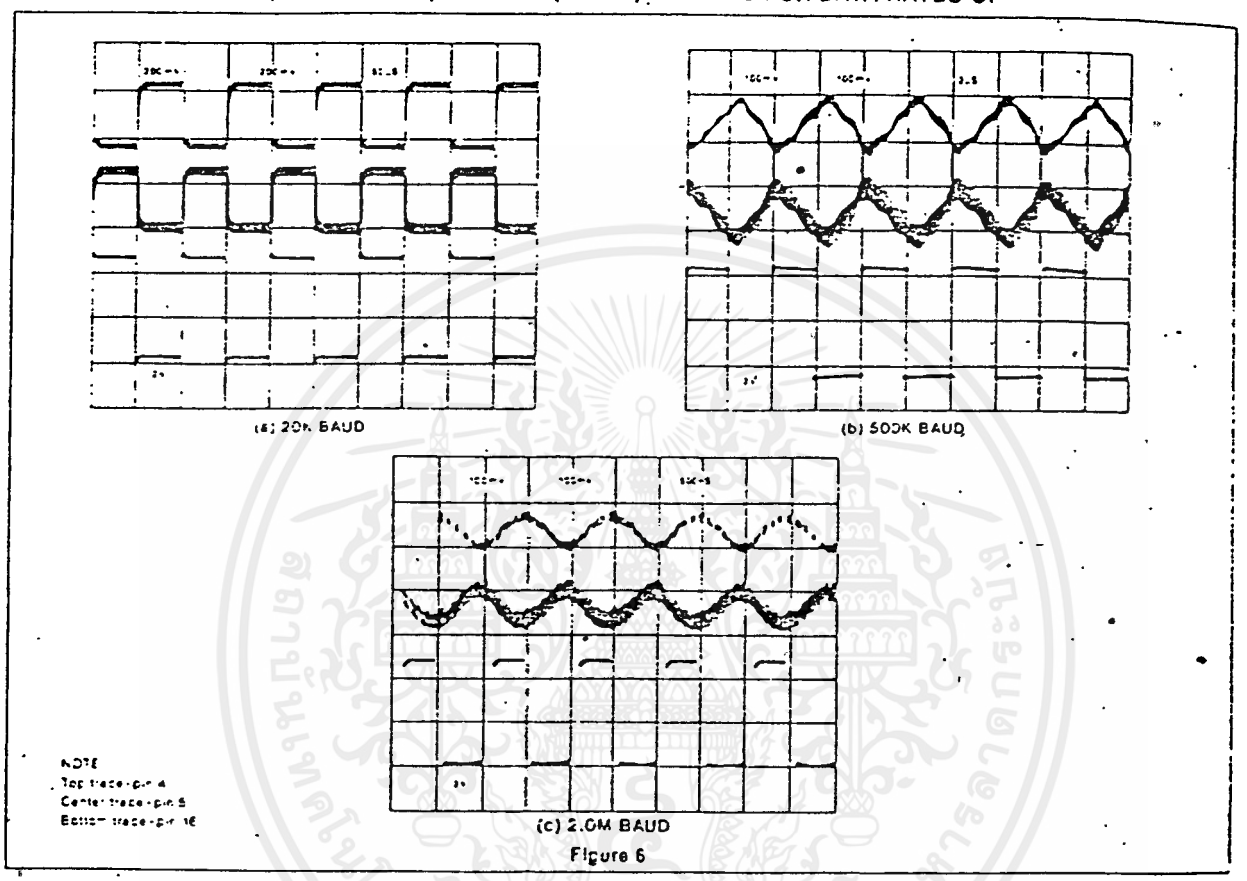


Figure 5

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

PHASE COMPARATOR (PINS 4 AND 5) AND FSK (PIN 16) OUTPUTS FOR DATA RATES OF



(a) 20K BAUD

(b) 500K BAUD

(c) 2.0M BAUD

Figure 6

OUTLINE OF SETUP PROCEDURE

1. Determine operating frequency of the VCO -
   If ÷ N in feedback loop, then
   $f_o = N \times f_{in}$.
2. Calculate value of the VCO frequency set capacitor:
   $$C_O = \frac{1}{2500\, f_c}$$
3. Set I_2 (current sinking into Pin 2) for ≈ 100μA. After operation is obtained, this value may be adjusted for best dynamic behavior.
4. Check VCO output frequency with digital counter at Pin 9 of device (loop open, VCO to be set.). Adjust C_O trim or frequency adj. Pin 4-5 for exact center frequency if needed.
5. Close loop and inject input signal to Pin 6. Monitor Pin 3 and 6 with two channel scope. Lock should occur with $\Delta\phi_{3-6}$ equal to 90° (phase error).
6. If pulsed burst or ramp frequency is used for input signal, special loop filter design may be required in place of simple single capacitor filter on Pin 4 and 5. (See PLL application section in Analog Manual.)
7. The input signal to Pin 6 and the VCO feedback signal to Pin 3 must have a duty cycle of 50% for proper operation of the phase detector. Due to the nature of a balanced mixer if signals are not 50% in duty cycle, D.C. offsets will occur in the loop which tend to create an artificial or biased VCO offset.
8. For multiplier circuits where phase jitter is a problem, loop filter capacitors may be increased to a value of 1.0-50μF on Pin 4, 5. Also careful supply decoupling may be necessary. This includes the counter chain V_{cc} lines.

NE564 PHASE LOCKED FREQUENCY MULTIPLIER WITH VCXO

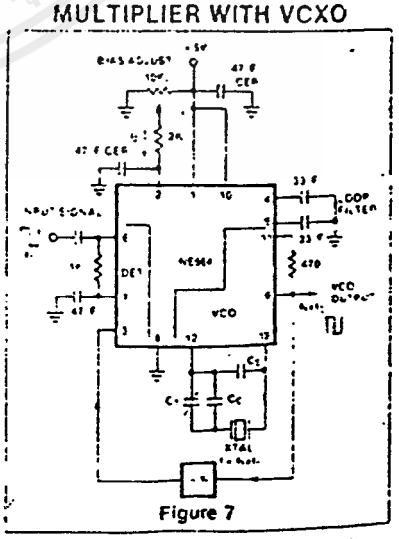


Figure 7

*For additional information, consult the Applications Section.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

DESCRIPTION

The SE/NE565 Phase-Locked Loop (PLL) is a self-contained, adaptable filter and demodulator for the frequency range from 0.001Hz to 500kHz. The circuit comprises a voltage-controlled oscillator of exceptional stability and linearity, a phase comparator, an amplifier and a low-pass filter as shown in the block diagram. The center frequency of the PLL is determined by the free-running frequency of the VCO. this frequency can be adjusted externally with a resistor or a capacitor. The low-pass filter, which determines the capture characteristics of the loop, is formed by an internal resistor and an external capacitor.

FEATURES

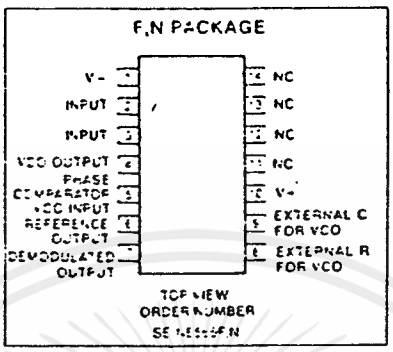
- Highly stable center frequency (200ppm/°C typ.)
- Wide operating voltage range (±6 to ±12 volts)
- Highly linear demodulated output (0.2% typ.)
- Center frequency programming by means of a resistor or capacitor, voltage or current
- TTL and DTL compatible square-wave output; loop can be opened to insert digital frequency divider
- Highly linear triangle wave output
- Reference output for connection of comparator in frequency discriminator
- Bandwidth adjustable from < ±1% to > ±60%
- Frequency adjustable over 10 to 1 range with same capacitor

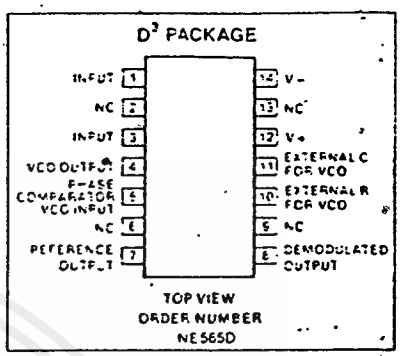
APPLICATIONS

- Frequency shift keying
- Modems
- Telemetry receivers
- Tone decoders
- SCA receivers
- Wideband FM discriminators
- Data synchronizers
- Tracking filters
- Signal restoration
- Frequency multiplication & division

NOTES
1. SOL — Released in large SO package only
2. SOL and non-standard pinout
3. SO and non-standard pinout

PIN CONFIGURATIONS



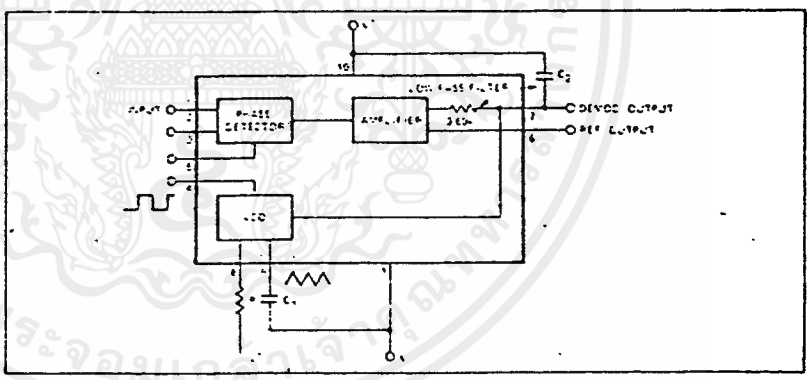


ABSOLUTE MAXIMUM RATINGS

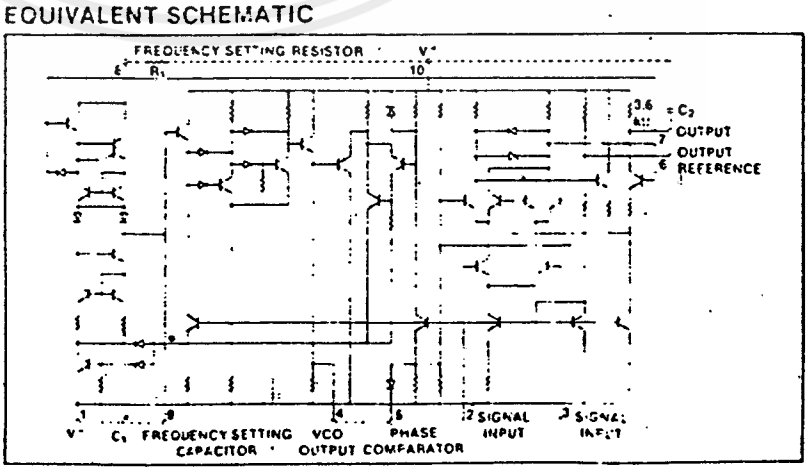
T_A = 25°C unless otherwise specified.

PARAMETER	RATING	UNIT
Maximum operating voltage	26	V
Input voltage	3	Vp-p
Storage temperature	-65 to +150	°C
Operating temperature range		
NE565	0 to +70	°C
SE565	-55 to +125	°C
Power dissipation	300	mW

BLOCK DIAGRAM



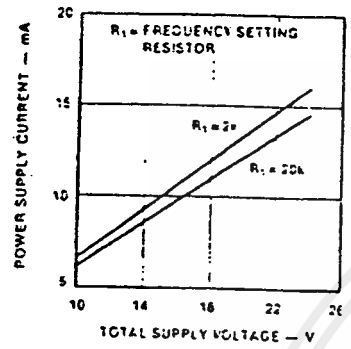
EQUIVALENT SCHEMATIC



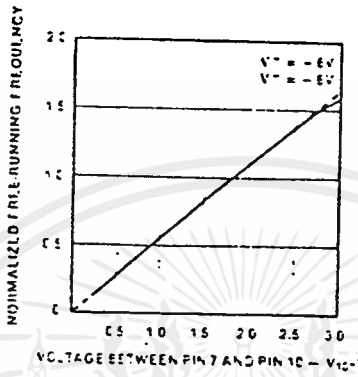
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TYPICAL PERFORMANCE CHARACTERISTICS

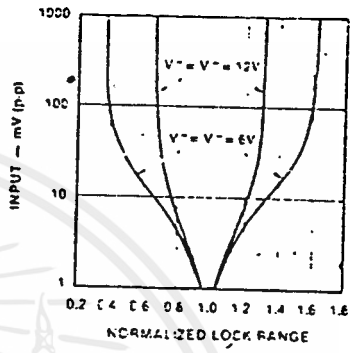
POWER SUPPLY CURRENT AS A FUNCTION OF SUPPLY VOLTAGE



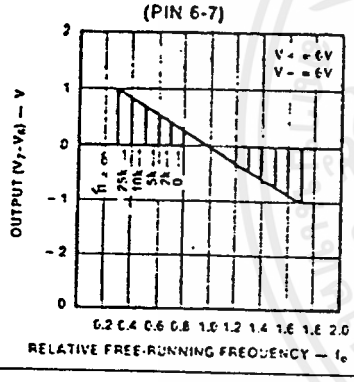
VCO CONVERSION GAIN



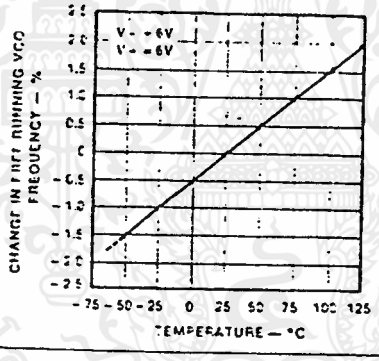
LOCK RANGE AS A FUNCTION OF INPUT VOLTAGE



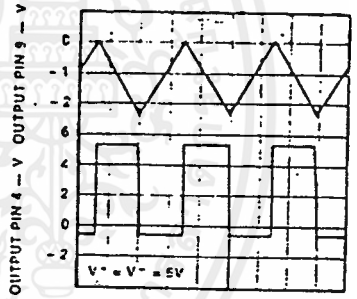
LOCK RANGE AS A FUNCTION OF GAIN SETTING RESISTANCE (PIN 6-7)



CHANGE IN FREE-RNNING VCO FREQUENCY AS A FUNCTION OF TEMPERATURE



VCO OUTPUT WAVEFORM



DESIGN FORMULAS
(See Figure 1)

Free-running frequency of VCO $f_o = \frac{1.2}{4R_1C_1}$ in Hz

Lock-range: $f_L = \pm \frac{8f_o}{V_{CC}}$ in Hz

Capture-range: $f_C = \pm \frac{1}{2\pi} \sqrt{\frac{2\pi f_L}{\tau}}$

where $\tau = (3.6 \times 10^3) \times C_2$

TYPICAL APPLICATIONS
FM Demodulation

The 565 Phase Locked Loop is a general purpose circuit designed for highly linear FM demodulation. During lock, the average dc level of the phase comparator output signal is directly proportional to the frequency of the input signal. As the input frequency shifts, it is this output signal which causes the VCO to shift its frequency to match that of the input. Consequently the linearity of the phase comparator output with frequency is determined by the voltage-to-frequency transfer function of the VCO.

Because of its unique and highly linear VCO, the 565 PLL can lock to and track an input signal over a very wide bandwidth (typically ±60%) with very high linearity (typically within 0.5%).

A typical connection diagram is shown in Figure 1. The VCO free-running frequency is given approximately by

$f_o = \frac{1.2}{4R_1C_1}$ and should be adjusted to be at the center of the input signal frequency range. C1 can be any value, but R1 should be within the range of 2000 to 20,000 ohms with an optimum value on the order of 4000 ohms. The source can be direct coupled if the dc resistances seen from pins 2 and 3 are equal and there is no DC voltage difference between the pins. A short between pins 4 and 5 connects the VCO to the phase comparator. Pin 6 provides a DC reference voltage that is close to the DC potential of the demodulated output (pin 7). Thus, if a resistance is connected between pins 6 and 7, the gain of the output stage can be reduced with little change in the DC voltage level at the output. This allows the lock range to be decreased with little change in the free-running frequency. In this manner the lock range can be decreased from ± 60% of f_o to approximately ± 20% of f_o (at ± 6V).

A small capacitor (typically 0.001 µF) should be connected between pins 7 and 6 to eliminate possible oscillation in the control current source.

A single-pole loop filter is formed by the capacitor C2, connected between pin 7 and the positive supply, and an internal resistance of approximately 3600 ohms.

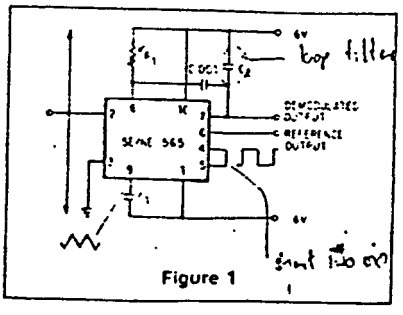


Figure 1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Frequency Shift Keying (FSK)

FSK refers to data transmission by means of a carrier which is shifted between two preset frequencies. This frequency shift is usually accomplished by driving a VCO with the binary data signal so that the two resulting frequencies correspond to the "0" and "1" states (commonly called space and mark) of the binary data signal.

A simple scheme using the 565 to receive FSK signals of 1070Hz and 1270Hz is shown in Figure 2. As the signal appears at the input, the loop locks to the input frequency and tracks it between the two frequencies with a corresponding dc shift at the output.

The loop filter capacitor C2 is chosen smaller than usual to eliminate overshoot on the output pulse, and a three-stage RC ladder filter is used to remove the carrier component from the output. The band edge of the ladder filter is chosen to be approximately half way between the maximum keying rate (in this case 300 baud or 150Hz) and twice the input frequency (approximately 2200Hz). The output signal can now be made logic compatible by connecting a voltage comparator between the output and pin 6 of the loop. The free-running frequency is adjusted with R1 so as to result in a slightly-positive voltage at the output with f_{in} = 1070Hz.

The input connection is typical for cases where a dc voltage is present at the source and therefore a direct connection is not desirable. Both input terminals are returned to ground with identical resistors (in this case, the values are chosen to effect a 600-ohm input impedance).

Frequency Multiplication

There are two methods by which frequency multiplication can be achieved using the 565:

1. Locking to a harmonic of the input signal.
2. Inclusion of a digital frequency divider or counter in the loop between the VCO and phase comparator.

The first method is the simplest and can be achieved by setting the free-running frequency of the VCO to a multiple of the input frequency. A limitation of this scheme is that the lock range decreases as successively higher and weaker harmonics are used for locking. If the input frequency is to be constant with little tracking required, the loop can generally be locked to any one of the first 5 harmonics. For higher orders of multiplication, or for cases where a large lock range is desired, the second scheme is more desirable. An example of this might be a case where the input signal varies over a wide frequency range and a large multiple of the input frequency is required.

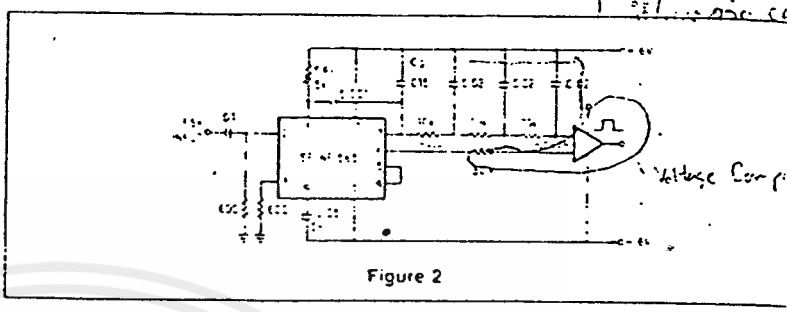


Figure 2

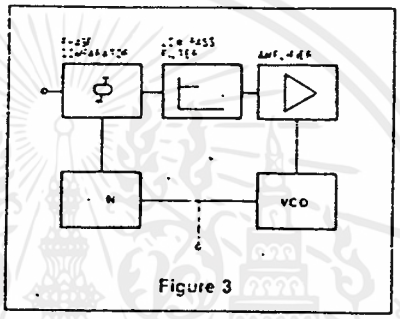


Figure 3

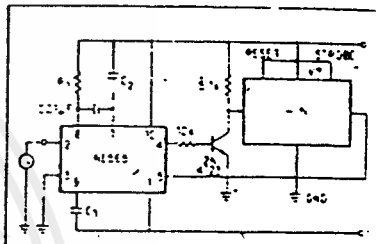


Figure 4

A block diagram of the second scheme is shown in Figure 3. Here the loop is broken between the VCO and the phase comparator, and a frequency divider is inserted. The fundamental of the divided VCO frequency is locked to the input frequency in this case, so that the VCO is actually running at a multiple of the input frequency. The amount of multiplication is determined by the frequency divider. A typical connection scheme is shown in Figure 4. To set up the circuit, the frequency limits of the input signal must be determined. The free-running frequency of the VCO is then adjusted by means of R1 and C1 (as discussed under "FM demodulation") so that the output frequency of the divider is midway between the input frequency limits. The filter capacitor C2 should be large enough to eliminate variations in the demodulated output voltage at pin 7, in order to stabilize the VCO frequency. The output can now be taken as the VCO squarewave output, and its fundamental will be the desired multiple of the input frequency (f$_{in}$) as long as the loop is in lock.

SCA (Background Music) Decoder

Some FM stations are authorized by the FCC to broadcast uninterrupted background music for commercial use. To do this a frequency modulated subcarrier of 67kHz is used. The frequency is chosen so as not to interfere with the normal stereo or monaural program. In addition, the level of the subcarrier is only 10% of the amplitude of the combined signal.

The SCA signal can be filtered out and demodulated with the NE565 Phase Locked Loop without the use of any resonant circuits. A connection diagram is shown in Figure 5. This circuit also serves as an example of operation from a single power supply.

A resistive voltage divider is used to establish a bias voltage for the input (pins 2 and 3). The demodulated (multiplex) FM signal is fed to the input through a two-stage high-pass filter, both to effect capacitive coupling and to attenuate the strong signal of the regular channel. A total signal amplitude between 80mV and 300mV, is required at the input. Its source should have an impedance of less than 10,000 ohms.

The Phase Locked Loop is tuned to 67kHz with a 5000 ohm potentiometer; only approximate tuning is required, since the loop will seek the signal.

The demodulated output (pin 7) passes through a three-stage low-pass filter to provide de-emphasis and attenuate the high-frequency noise which often accompanies SCA transmission. Note that no capacitor is provided directly at pin 7, thus, the circuit is operating as a first-order loop. The demodulated output signal is in the order of 50mV and the frequency response extends to 7kHz.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

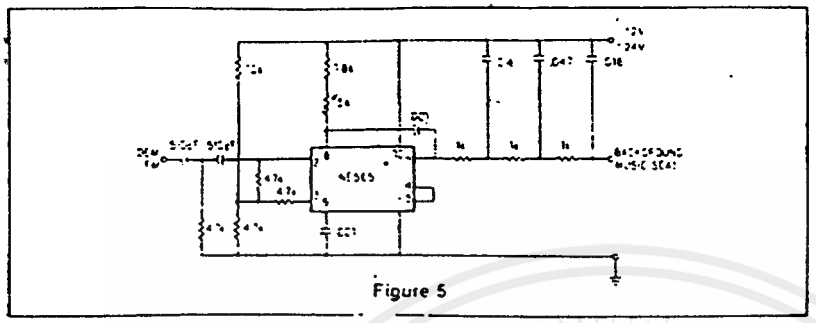


Figure 5

*For additional information, consult the Applications Section.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ORDERING INFORMATION

Device	Temperature Range	Package
		SO-14
		Metal Can
		Ceramic DIP
		Plastic DIP
		Metal Can
		Ceramic DIP

MC1496
MC1596

Specifications and Applications Information

BALANCED MODULATOR/DEMODULATOR

SILICON MONOLITHIC INTEGRATED CIRCUIT

BALANCED MODULATOR/ DEMODULATOR

. . . designed for use where the output voltage is a product of an input voltage (signal) and a switching function (carrier). Typical applications include suppressed carrier and amplitude modulation, synchronous detection, FM detection, phase detection, and chopper applications. See Motorola Application Note AN-531 for additional design information.

- Excellent Carrier Suppression – 65 dB typ @ 0.5 MHz
  – 50 dB typ @ 10 MHz
- Adjustable Gain and Signal Handling
- Balanced Inputs and Outputs
- High Common Mode Rejection – 85 dB typ

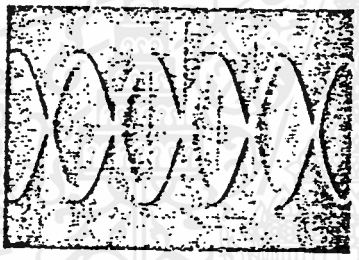


FIGURE 1 – SUPPRESSED-CARRIER OUTPUT WAVEFORM

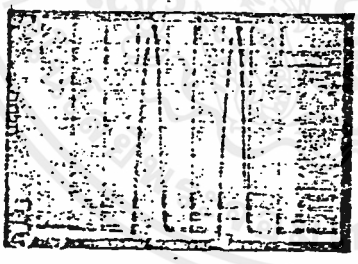


FIGURE 2 – SUPPRESSED-CARRIER SPECTRUM

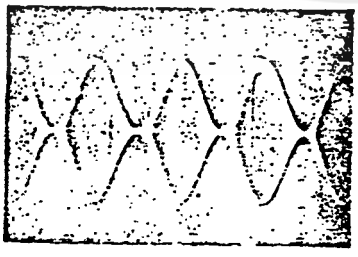
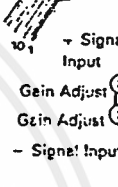


FIGURE 3 – AMPLITUDE-MODULATION OUTPUT WAVEFORM

G SUFFIX
METAL PACKAGE
CASE 603-04



L SUFFIX
CERAMIC PACKAGE
CASE 632-08

D SUFFIX
PLASTIC PACKAGE
CASE 751A-02
SO-14

P SUFFIX
PLASTIC PACKAGE
CASE 646-06

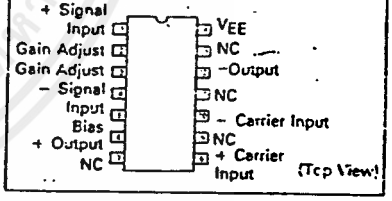
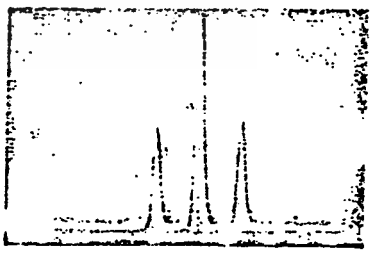


FIGURE 4 – AMPLITUDE-MODULATION SPECTRUM



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MAXIMUM RATINGS* (T_A = +25°C unless otherwise noted)

Rating	Symbol	Value	Unit
Applied Voltage ($V_8 - V_7$, $V_8 - V_1$, $V_9 - V_2$, $V_9 - V_8$, $V_7 - V_4$, $V_7 - V_1$, $V_8 - V_4$, $V_6 - V_5$, $V_2 - V_5$, $V_3 - V_6$)	ΔV	30	Vdc
Differential Input Signal	$V_7 - V_8$ $V_4 - V_1$	±5.0 ±(5 - I_5R_e)	Vdc
Maximum Bias Current	I_6	10	mA
Thermal Resistance, Junction to Air Ceramic Dual In-Line Package Plastic Dual In-Line Package Metal Package	$R_{\theta JA}$	 100 100 160	°C/W
Operating Temperature Range MC1496 MC1596	T_A	 0 to +70 −55 to +125	°C
Storage Temperature Range	T_{stg}	−65 to +150	°C

ELECTRICAL CHARACTERISTICS* (V_{CC} = +12 Vdc, V_{EE} = −8.0 Vdc, I_5 = 1.0 mAdc, R_L = 3.9 kΩ, R_e = 1.0 kΩ, T_A = +25°C unless otherwise noted. All input and output characteristics are single-ended unless otherwise noted.)

Characteristic	Fig.	Note	Symbol	MC1596 Min	MC1596 Typ	MC1596 Max	MC1496 Min	MC1496 Typ	MC1496 Max	Unit
Carrier Feedthrough V_C = 60 mV(rms) sine wave and offset adjusted to zero V_C = 300 mVp-p square wave: offset adjusted to zero offset not adjusted	5	1	V_{CFT}	 — — —	 40 140 0.04 20	 — 0.2 100	 — — —	 40 140 0.04 20	 — 0.4 200	μV(rms) mV(rms)
Carrier Suppression f_S = 10 kHz, 300 mV(rms) f_C = 500 kHz, 60 mV(rms) sine wave f_C = 10 MHz, 60 mV(rms) sine wave	5	2	V_{CS}	 50 —	 65 50	 — —	 40 —	 65 50	 — —	dB "
Transadmittance Bandwidth (Magnitude) (R_L = 50 ohms) Carrier Input Port, V_C = 60 mV(rms) sine wave f_S = 10 kHz, 300 mV(rms) sine wave Signal Input Port, V_S = 300 mV(rms) sine wave V_C = 0.5 Vdc	8	8	BW_{3dB}	 — —	 300 80	 — —	 — —	 300 80	 — —	MHz
Signal Gain V_S = 100 mV(rms), f = 1.0 kHz; V_C = 0.5 Vdc	10	3	A_{VS}	2.5	3.5	—	2.5	3.5	—	V/V
Single-Ended Input Impedance, Signal Port, f = 5.0 MHz Parallel Input Resistance Parallel Input Capacitance	6	—	r_{ip} c_{ip}	 —	200 2.0	— —	 —	200 2.0	— —	kΩ pF
Single-Ended Output Impedance, f = 10 MHz Parallel Output Resistance Parallel Output Capacitance	6	—	r_{op} c_{oo}	 —	40 5.0	— —	 —	40 5.0	— —	kΩ pF
Input Bias Current $I_{bS} = \frac{I_7 + I_8}{2}$; $I_{bC} = \frac{I_7 + I_8}{2}$	7	—	I_{bS} I_{bC}	 —	12 12	25 25	 —	12 12	30 30	μA
Input Offset Current $I_{ioS} = I_7 - I_8$; $I_{ioC} = I_7 - I_8$	7	—	I_{ioS} I_{ioC}	 —	0.7 0.7	5.0 5.0	 —	0.7 0.7	7.0 7.0	μA
Average Temperature Coefficient of Input Offset Current (T_A = −55°C to +125°C)	7	—	$\lvert TC_{Iio}\rvert$	—	2.0	—	—	2.0	—	nA/°C
Output Offset Current ($I_6 - I_9$)	7	—	$\lvert I_{oo}\rvert$	—	14	50	—	14	80	μA
Average Temperature Coefficient of Output Offset Current (T_A = −55°C to +125°C)	7	—	$\lvert TC_{Ioo}\rvert$	—	90	—	—	90	—	nA/°C
Common-Mode Input Swing, Signal Port, f_S = 1.0 kHz	9	4	CMV	—	5.0	—	—	5.0	—	Vp-p
Common-Mode Gain, Signal Port, f_S = 1.0 kHz, V_C = 0.5 Vdc	5	—	ACM	—	−85	—	—	−85	—	dB
Common-Mode Quiescent Output Voltage (Pin 6 or Pin 9)	10	—	V_{out}	—	8.0	—	—	8.0	—	Vp-p
Differential Output Voltage Swing Capability	10	—	V_{out}	—	8.0	—	—	8.0	—	Vp-p
Power Supply Current $I_6 - I_5$ I_{10}	7	6	I_{CC} I_{EE}	— —	2.0 3.0	3.0 4.0	— —	2.0 3.0	4.0 5.0	mAdc
DC Power Dissipation	7	5	P_D	—	33	—	—	33	—	mW

* For number references pertain to this device when packaged in a metal can. To ascertain the corresponding pin numbers for plastic or ceramic packaged devices refer to the first page of this specification sheet.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

GENERAL OPERATING INFORMATION*

Note 1 – Carrier Feedthrough

Carrier feedthrough is defined as the output voltage at carrier frequency with only the carrier applied (signal voltage = 0).

Carrier null is achieved by balancing the currents in the differential amplifier by means of a bias trim potentiometer (R_1 of Figure 5).

Note 2 – Carrier Suppression

Carrier suppression is defined as the ratio of each sideband output to carrier output for the carrier and signal voltage levels specified.

Carrier suppression is very dependent on carrier input level, as shown in Figure 22. A low value of the carrier does not fully switch the upper switching devices, and results in lower signal gain, hence lower carrier suppression. A higher than optimum carrier level results in unnecessary device and circuit carrier feedthrough, which again degenerates the suppression figure. The MC1596 has been characterized with a 60 mV(rms) sinewave carrier input signal. This level provides optimum carrier suppression at carrier frequencies in the vicinity of 500 kHz, and is generally recommended for balanced modulator applications.

Carrier feedthrough is independent of signal level, V_S. Thus carrier suppression can be maximized by operating with large signal levels. However, a linear operating mode must be maintained in the signal-input transistor pair – or harmonics of the modulating signal will be generated and appear in the device output as spurious sidebands of the suppressed carrier. This requirement places an upper limit on input-signal amplitude (see Note 3 and Figure 20). Note also that an optimum carrier level is recommended in Figure 22 for good carrier suppression and minimum spurious sideband generation.

At higher frequencies circuit layout is very important in order to minimize carrier feedthrough. Shielding may be necessary in order to prevent capacitive coupling between the carrier input leads and the output leads.

Note 3 – Signal Gain and Maximum Input Level

Signal gain is recommended at low frequencies is defined as the voltage gain.

$$A_VS = \frac{V_o}{V_S} = \frac{R_L}{R_e + 2r_e} \text{ where } r_e = \frac{26\ mV}{I_5\ (mA)}$$

A constant d-c potential is applied to the carrier input terminals to fully switch two of the upper transistors "on" and two transistors "off" (V_C = 0.5 Vdc). This in effect forms a cascode differential amplifier.

Linear operation requires that the signal input be below a critical value determined by R_E and the bias current I_5

$$V_S \le I_5 R_E \text{ (Volts peak)}$$

Note that in the test circuit of Figure 10, V_S corresponds to a maximum value of 1 volt peak.

Note 4 – Common-Mode Swing

The common-mode swing is the voltage which may be applied to both bases of the signal differential amplifier, without saturating the current sources or without saturating the differential amplifier itself, by swinging it into the upper switching devices. This swing is variable depending on the particular circuit and biasing conditions chosen (see Note 6).

Note 5 – Power Dissipation

Power dissipation, P_D, within the integrated circuit package should be calculated as the summation of the voltage-current products at each port, i.e., assuming $V_8 = V_6$, $I_5 = I_6 = I_8$ and ignoring base current, $P_D = 2\ I_5\ (V_6 - V_{10}) + I_5\ (V_5 - V_{10})$ where subscripts refer to pin numbers.

Note 6 – Design Equations

The following is a partial list of design equations needed to operate the circuit with other supply voltages and input conditions. See Note 3 for R_e equation.

A. Operating Current

The internal bias currents are set by the conditions at pin 5. Assume:

$$I_5 = I_6 = I_8$$

$I_B \ll I_C$ for all transistors

then:

$$R_5 = \frac{V^- - \phi}{I_5} - 500\ \Omega \quad \text{where: } R_5 \text{ is the resistor between pin 5 and ground}$$
$$\phi = 0.75\ V \text{ at } T_A = +25^\circ C$$

The MC1596 has been characterized for the condition I_5 = 1.0 mA and is the generally recommended value.

B. Common-Mode Quiescent Output Voltage

$$V_6 = V_8 = V^+ - I_5 R_L$$

Note 7 – Biasing

The MC1596 requires three d-c bias voltage levels which must be set externally. Guidelines for setting up these three levels include maintaining at least 2 volts collector-base bias on all transistors while not exceeding the voltages given in the absolute maximum rating table:

$$30\ Vdc \ge |(V_6, V_8) - (V_7, V_8)| \ge 2\ Vdc$$

$$30\ Vdc \ge |(V_7, V_8) - (V_1\ V_4)| \ge 2.7\ Vdc$$

$$30\ Vdc \ge |(V_1, V_4) - (V_5)| \ge 2.7\ Vdc$$

The foregoing conditions are based on the following approximations:

$$V_6 = V_8, \quad V_7 = V_8, \quad V_1 = V_4$$

Bias currents flowing into pins 1, 4, 7, and 8 are transistor base currents and can normally be neglected if external bias dividers are designed to carry 1.0 mA or more.

Note 8 – Transadmittance Bandwidth

Carrier transadmittance bandwidth is the 3-dB bandwidth of the device forward transadmittance as defined by:

$$Y21C = \left.\frac{i_o\ (\text{each sideband})}{v_s\ (\text{signal})}\right|_{V_o = 0}$$

Signal transadmittance bandwidth is the 3-dB bandwidth of the device forward transadmittance as defined by:

$$Y21S = \left.\frac{i_o\ (\text{signal})}{v_s\ (\text{signal})}\right|_{V_c = 0.5\ Vdc,\ V_o = 0}$$

*Pin number references pertain to this device when packaged in a metal can. To ascertain the corresponding pin numbers for plastic or ceramic packaged devices refer to the first page of this specification sheet.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TYPICAL CHARACTERISTICS (continued)

Typical characteristics were obtained with the circuit shown in Figure 5, f_C = 500 kHz (sine wave), V_C = 60 mV(rms), f_S = 1 kHz, V_S = 300 mV(rms), T_A = +25°C unless otherwise noted.

FIGURE 15 – SIDEBAND AND SIGNAL PORT TRANSADMITTANCES versus FREQUENCY

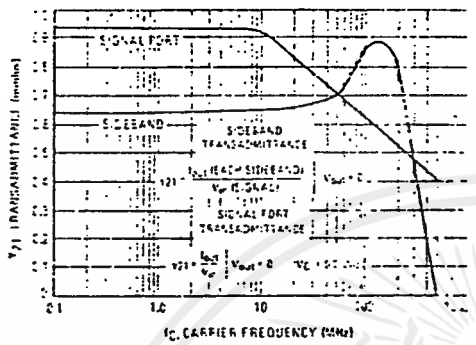


FIGURE 16 – CARRIER SUPPRESSION versus TEMPERATURE

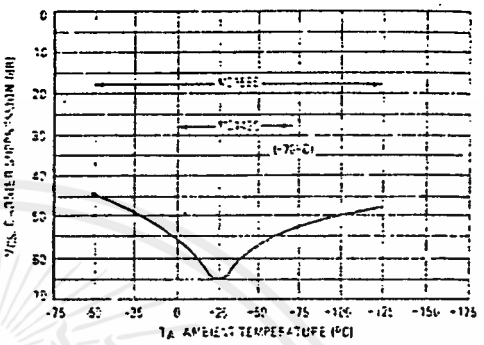


FIGURE 17 – SIGNAL-PORT FREQUENCY RESPONSE

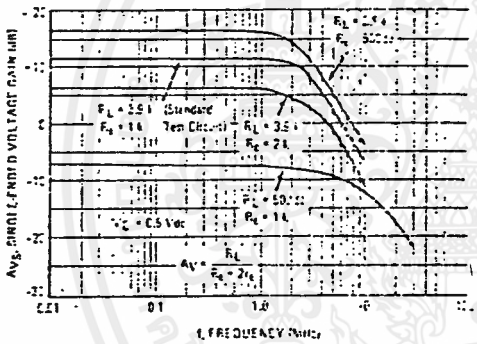


FIGURE 18 – CARRIER SUPPRESSION versus FREQUENCY

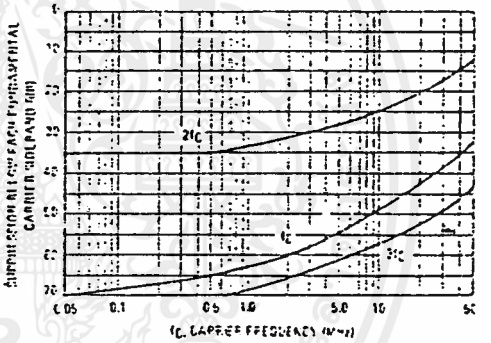


FIGURE 19 – CARRIER FEEDTHROUGH versus FREQUENCY

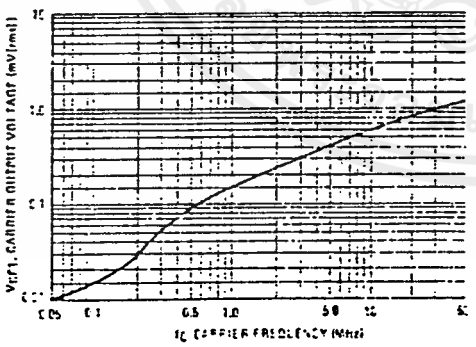
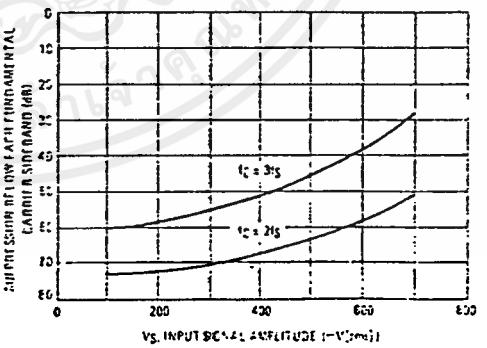


FIGURE 20 – SIDEBAND HARMONIC SUPPRESSION versus INPUT SIGNAL LEVEL



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TYPICAL CHARACTERISTICS (continued)

FIGURE 21 – SUPPRESSION OF CARRIER HARMONIC SIDEBANDS versus CARRIER FREQUENCY

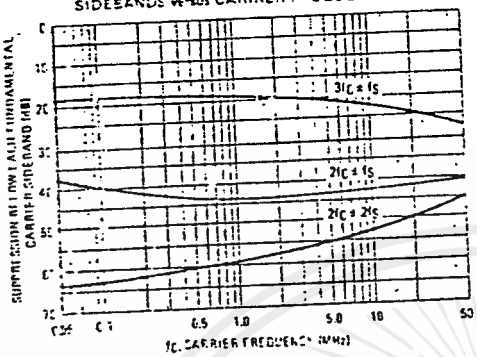
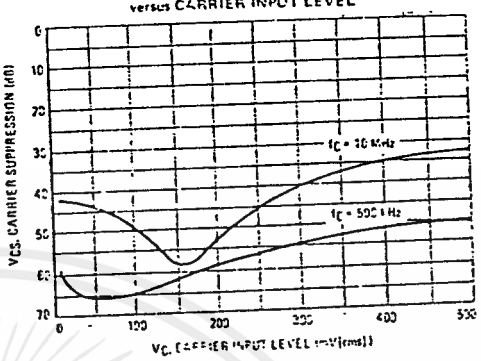


FIGURE 22 – CARRIER SUPPRESSION versus CARRIER INPUT LEVEL



OPERATIONS INFORMATION

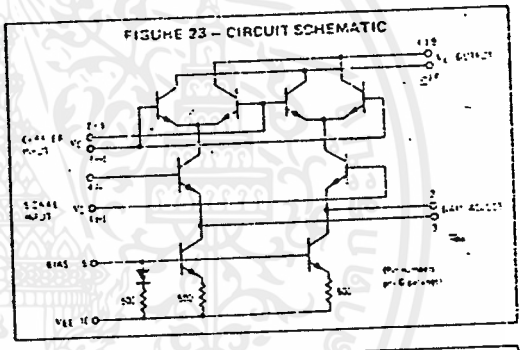
The MC1595/MC1496, a monolithic balanced modulator circuit, is shown in Figure 23.

This circuit consists of an upper quad differential amplifier driven by a standard differential amplifier with dual current sources. The output collectors are cross-coupled so that full-wave balanced multiplication of the two input voltages occurs. That is, the output signal is a constant times the product of the two input signals.

Mathematical analysis of linear signal multiplication indicates that the output spectrum will consist of only the sum and difference of the two input frequencies. Thus, the device may be used as a balanced modulator, doubly balanced mixer, product detector, frequency doubler, and other applications requiring these particular output signal characteristics.

The lower differential amplifier has its emitters connected to the package pins so that an external emitter resistance may be used. Also, external load resistors are employed at the device output.

FIGURE 23 – CIRCUIT SCHEMATIC



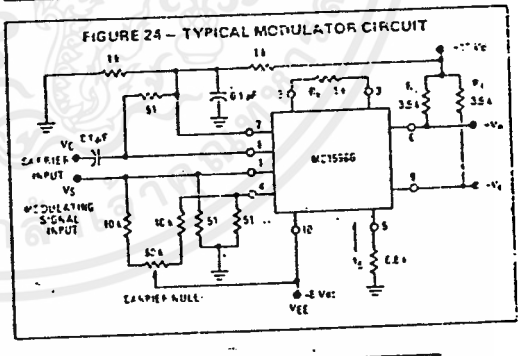
Signal Levels

The upper quad differential amplifier may be operated either in a linear or a saturated mode. The lower differential amplifier is operated in a linear mode for most applications.

For low-level operation at both input ports, the output signal will contain sum and difference frequency components and have an amplitude which is a function of the product of the input signal amplitudes.

For high-level operation at the carrier input port and linear operation at the modulating signal port, the output signal will contain sum and difference frequency components of the modulating signal frequency and the fundamental and odd harmonics of the carrier frequency. The output amplitude will be a constant times the modulating signal amplitude. Any amplitude variations in the carrier signal will not appear in the output.

FIGURE 24 – TYPICAL MODULATOR CIRCUIT



NOTE: Pin number references pertain to the device when packaged in a metal can. To ascertain the corresponding pin numbers for plastic or ceramic packaged devices refer to the first page of this specification sheet.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

OPERATIONS INFORMATION (continued)

The linear signal handling capabilities of a differential amplifier are well defined. With no emitter degeneration, the maximum input voltage for linear operation is approximately 25 mV peak. Since the upper differential amplifier has its emitters internally connected, this voltage applies to the carrier input port for all conditions.

Since the lower differential amplifier has provisions for an external emitter resistance, its linear signal handling range may be adjusted by the user. The maximum input voltage for linear operation may be approximated from the following expression

$$V = (I_5)(R_E) \text{ volts peak.}$$

This expression may be used to compute the minimum value of R_E for a given input voltage amplitude.

FIGURE 25 – TABLE 1
VOLTAGE GAIN AND OUTPUT FREQUENCIES

Carrier Input Signal (V_C)	Approximate Voltage Gain	Output Signal Frequency(s)
Low-level dc	$\frac{R_L V_C}{2(R_E + 2r_e)\left(\frac{KT}{q}\right)}$	f_M
High-level dc	$\frac{R_L}{R_E + 2r_e}$	f_M
Low-level ac	$\frac{R_L V_{C(rms)}}{2\sqrt{2}\left(\frac{KT}{q}\right)(R_E + 2r_e)}$	$f_C \pm f_M$
High-level ac	$\frac{0.637 R_L}{R_E + 2r_e}$	$f_C \pm f_M$, $3f_C \pm f_M$, $5f_C \pm f_M$, . . .

The gain from the modulating signal input port to the output is the MC1596/MC1496 gain parameter which is most often of interest to the designer. This gain has significance only when the lower differential amplifier is operated in a linear mode, but this includes most applications of the device.

As previously mentioned, the upper quad differential amplifier may be operated either in a linear or a saturated mode. Approximate gain expressions have been developed for the MC1596/MC1596 for a four-level modulating signal input and the following carrier input conditions.

1. Low-level dc
2. High-level dc
3. Low-level ac
4. High-level ac

These gains are summarized in Table 1, along with the frequency components contained in the output signal.

NOTES:
1. Low-level Modulating Signal, V_M, assumed in all cases. V_C is Carrier Input Voltage.
2. When the output signal contains multiple frequencies, the gain expression given is for the output amplitude of each of the two desired outputs, $f_C + f_M$ and $f_C - f_M$.
3. All gain expressions are for a single-ended output. For a differential output connection, multiply each expression by two.
4. R_L = Load resistance.
5. R_E = Emitter resistance between pins 2 and 3.
6. r_e = Transistor dynamic emitter resistance, at +25°C:
$$r_e \approx \frac{26 \text{ mV}}{I_5 \text{ (mA)}}$$
7. K = Boltzmann's Constant, T = temperature in degrees Kelvin, q = the charge on an electron.
$$\frac{KT}{q} \approx 26 \text{ mV at room temperature}$$

APPLICATIONS INFORMATION

Double sideband suppressed carrier modulation is the basic application of the MC1596/MC1496. The suggested circuit for this application is shown on the front page of this data sheet.

In some applications, it may be necessary to operate the MC1596/MC1496 with a single dc supply voltage instead of dual supplies. Figure 26 shows a balanced modulator designed for operation with a single +12 Vdc supply. Performance of this circuit is similar to that of the dual supply modulator.

AM Modulator

The circuit shown in Figure 27 may be used as an amplitude modulator with a minor modification.

All that is required to shift from suppressed carrier to AM operation is to adjust the carrier null potentiometer for the proper amount of carrier insertion in the output signal.

However, the suppressed carrier null circuitry as shown in Figure 27 does not have sufficient adjustment range. Therefore, the modulator may be modified for AM operation by changing two resistor values in the null circuit as shown in Figure 28.

Product Detector

The MC1596/MC1496 makes an excellent SSB product detector (see Figure 29).

This product detector has a sensitivity of 3.0 microvolts and a dynamic range of 90 dB when operating at an intermediate frequency of 9 MHz.

The detector is broadband for the entire high frequency range. For operation at very low intermediate frequencies down to 50 kHz, the 0.1 µF capacitors on pins 7 and 8 should be increased to 10 µF. Also, the output filter at pin 9 can be tailored to a specific intermediate frequency and audio amplifier input impedance.

As in all applications of the MC1596/MC1496, the emitter resistance between pins 2 and 3 may be increased or decreased to adjust circuit gain, sensitivity, and dynamic range.

This circuit may also be used as an AM detector by introducing carrier signal at the carrier input and an AM signal at the SSB input.

The carrier signal may be derived from the intermediate frequency signal or generated locally. The carrier signal may be injected with or without modulation, provided its level is sufficiently high to saturate the upper quad differential amplifier. If the carrier signal is modulated, a 300 mV(rms) input level is recommended.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

A 17

APPLICATIONS INFORMATION (continued)

Doubly Balanced Mixer

The MC1596/MC1496 may be used as a doubly balanced mixer with either broadband or tuned narrow band input and output networks.

The local oscillator signal is introduced at the carrier input port with a recommended amplitude of 100 mV(rms).

Figure 30 shows a mixer with a broadband input and a tuned output.

Frequency Doubler

The MC1596/MC1496 will operate as a frequency doubler by introducing the same frequency at both input ports.

Figures 31 and 32 show a broadband frequency doubler and a tuned output very high frequency (VHF) doubler, respectively.

Phase Detection and FM Detection

The MC1596/MC1496 will function as a phase detector. High-level input signals are introduced at both inputs. When both inputs are at the same frequency the MC1596/MC1496 will deliver an output which is a function of the phase difference between the two input signals.

An FM detector may be constructed by using the phase detector principle. A tuned circuit is added at one of the inputs to cause the two input signals to vary in phase as a function of frequency. The MC1596/MC1496 will then provide an output which is a function of the input signal frequency.

Note: Pin number references apply to the TO-116 when packaged in a metal can. To ascertain the corresponding pin numbers for plastic or ceramic packaged devices refer to the first page of this specification sheet.

TYPICAL APPLICATIONS

FIGURE 26 – BALANCED MODULATOR (+12 Vdc SINGLE SUPPLY)

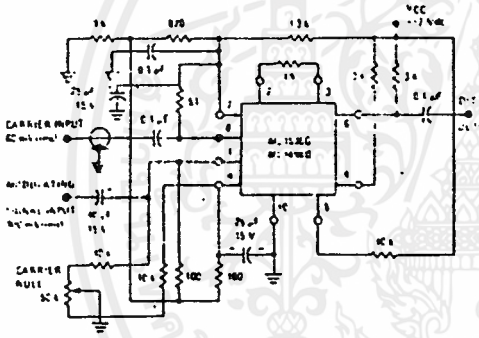


FIGURE 27 – BALANCED MODULATOR-DEMODULATOR

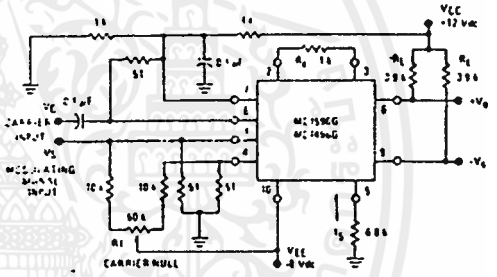


FIGURE 28 – AM MODULATOR CIRCUIT

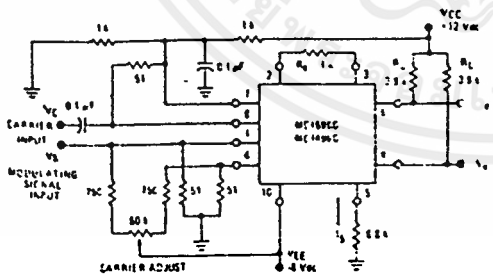
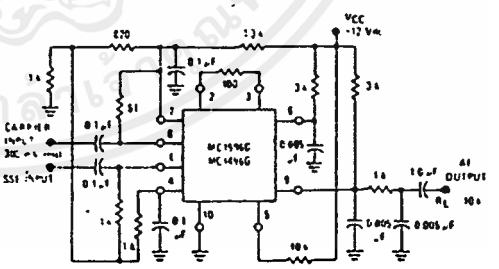


FIGURE 29 – PRODUCT DETECTOR (+12 Vdc SINGLE SUPPLY)



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TYPICAL APPLICATIONS (continued)

FIGURE 30 – DOUBLY BALANCED MIXER (BROADBAND INPUTS, 9.0 MHz TUNED OUTPUT)

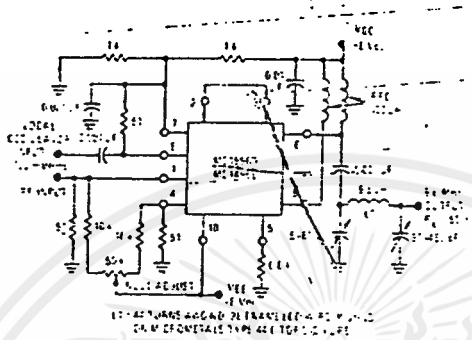


FIGURE 31 – LOW-FREQUENCY DOUBLER

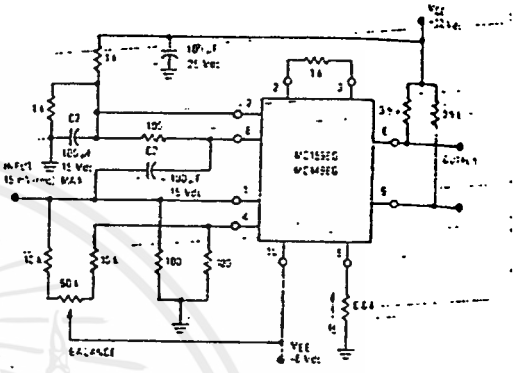
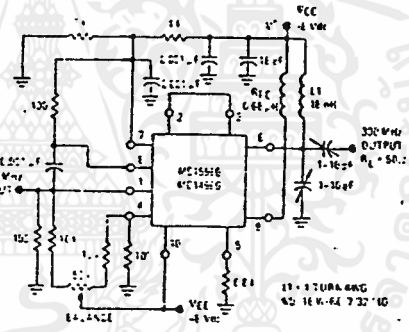
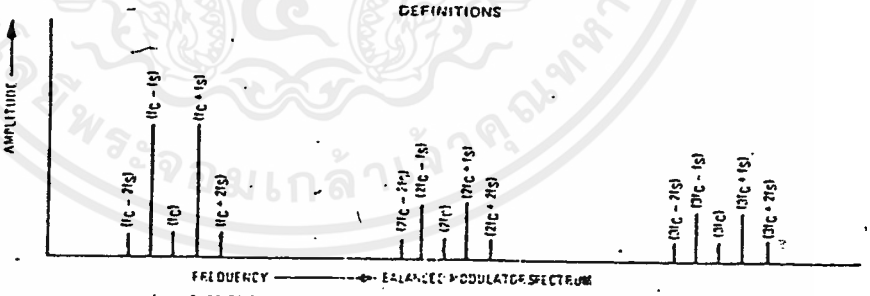


FIGURE 32 – 150 to 200 MHz DOUBLER



DEFINITIONS



f_C CARRIER FUNDAMENTAL
f_S MODULATING SIGNAL
$f_C \pm f_S$ FUNDAMENTAL CARRIER SIDEBANDS
$f_C \pm nf_S$ FUNDAMENTAL CARRIER SIDEBAND HARMONICS
nf_C CARRIER HARMONICS
$nf_C \pm nf_S$ CARRIER HARMONIC SIDEBANDS

NOTE Pin number references pertain to this device when packaged in a metal can. To ascertain the corresponding pin numbers for plastic or ceramic package devices refer to the first page of this specification sheet.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

National Semiconductor

DAC0830/DAC0831/DAC0832 8-Bit μP Compatible, Double-Buffered D to A Converters

General Description

The DAC0830 is an advanced CMOS/Si-Cr 8-bit multiplying DAC designed to interface directly with the 8080, 8048, 8085, Z80®, and other popular microprocessors. A deposited silicon-chromium R-2R resistor ladder network divides the reference current and provides the circuit with excellent temperature tracking characteristics (0.05% of Full Scale Range maximum linearity error over temperature). The circuit uses CMOS current switches and control logic to achieve low power consumption and low output leakage current errors. Special circuitry provides TTL logic input voltage level compatibility.

Double buffering allows these DACs to output a voltage corresponding to one digital word while holding the next digital word. This permits the simultaneous updating of any number of DACs.

The DAC0830 series are the 8-bit members of a family of microprocessor-compatible DACs (MICRO-DAC™). For applications demanding higher resolution, the DAC1000 series (10-bits) and the DAC1208 and DAC1230 (12-bits) are available alternatives.

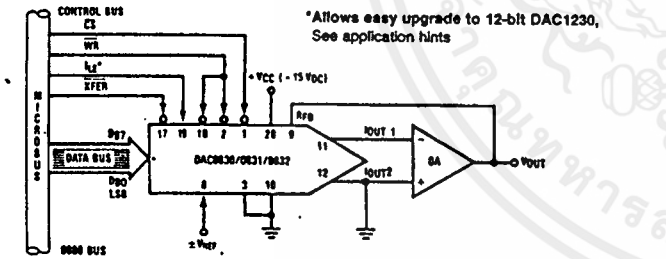
Features

- Double-buffered, single-buffered or flow-through digital data inputs
- Easy interchange and pin-compatible with 12-bit DAC1230 series
- Direct interface to all popular microprocessors
- Linearity specified with zero and full scale adjust only—NOT BEST STRAIGHT LINE FIT.
- Works with ±10V reference-full 4-quadrant multiplication
- Can be used in the voltage switching mode
- Logic inputs which meet TTL voltage level specs (1.4V logic threshold)
- Operates "STAND ALONE" (without μP) if desired
- Available in 20-pin small-outline or molded chip carrier package

Key Specifications

■ Current settling time	1 μs
■ Resolution	8 bits
■ Linearity (guaranteed over temp.)	8, 9, or 10 bits
■ Gain Tempco	0.0002% FS/°C
■ Low power dissipation	20 mW
■ Single power supply	5 to 15 V_{DC}

Typical Application

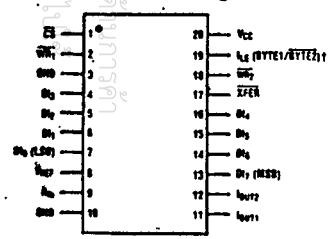


*Allows easy upgrade to 12-bit DAC1230, See application hints

TL/H/5606-1

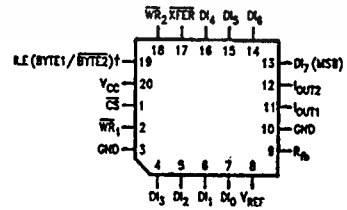
Connection Diagrams (Top Views)

Dual-In-Line and Small-Outline Packages



†This is necessary for the 12-bit DAC1230 series to permit interchanging from an 8-bit to a 12-bit DAC with No PC board changes and no software changes. See applications section.

Molded Chip Carrier Package



TL/H/5606-22

Absolute Maximum Ratings (Notes 1 & 2)

If Military/Aerospace specified devices are required, please contact the National Semiconductor Sales Office/Distributors for availability and specifications.

Supply Voltage (V_{CC})	17 V_{DC}
Voltage at Any Digital Input	V_{CC} to GND
Voltage at V_{REF} Input	±25V
Storage Temperature Range	−65°C to +150°C
Package Dissipation at T_A = 25°C (Note 3)	500 mW
DC Voltage Applied to I_{OUT1} or I_{OUT2} (Note 4)	−100 mV to V_{CC}
ESD Susceptability (Note 14)	800V
Lead Temperature (soldering, 10 sec.)	
Dual-In-Line Package (plastic)	
Dual-In-Line Package (ceramic)	
Surface Mount Package	
Vapor Phase (60 sec.)	
Infrared (15 sec.)	

Operating Conditions

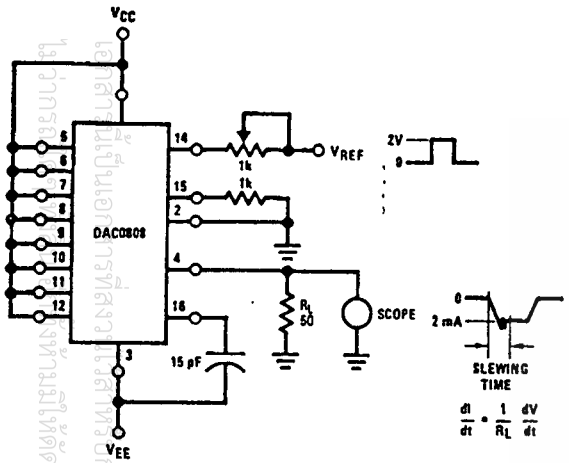
Temperature Range	$T_{MIN} \le T_A \le$
Part numbers with 'LCN' suffix	0°C to +
Part numbers with 'LCWM' suffix	0°C to +
Part numbers with 'LCV' suffix	0°C to +
Part numbers with 'LCJ' suffix	−40°C to +
Part numbers with 'LJ' suffix	−55°C to + 1
Voltage at Any Digital Input	V_{CC} to

Electrical Characteristics

V_{REF} = 10.000 V_{DC} unless otherwise noted. Boldface limits apply over temperature, $T_{MIN} \le T_A \le T_{MAX}$. For all other limits T_A = 25°C.

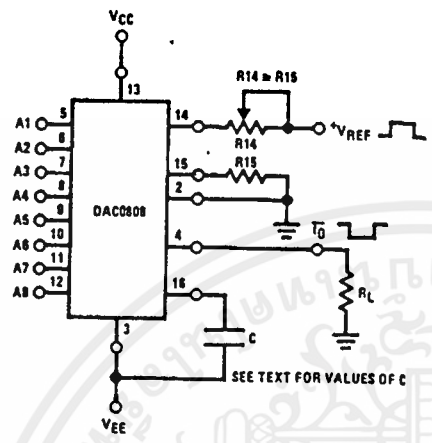
Parameter	Conditions	See Note	V_{CC} = 4.75 V_{DC} V_{CC} = 15.75 V_{DC}		V_{CC} = 5 V_{DC} ±5% V_{CC} = 12 V_{DC} ±5% to 15 V_{DC} ±5%
			Typ (Note 12)	Tested Limit (Note 5)	Design Limit (Note 6)
CONVERTER CHARACTERISTICS					
Resolution			8	8	8
Linearity Error Max	Zero and full scale adjusted $-10V \le V_{REF} \le +10V$	4, 8			
DAC0830LJ & LCJ				**0.05**	**0.05**
DAC0832LJ & LCJ				**0.2**	**0.2**
DAC0830LCN, LCWM & LCV				0.05	**0.05**
DAC0831LCN				0.1	**0.1**
DAC0832LCN, LCWM & LCV				0.2	**0.2**
Differential Nonlinearity Max	Zero and full scale adjusted $-10V \le V_{REF} \le +10V$	4, 8			
DAC0830LJ & LCJ				**0.1**	**0.1**
DAC0832LJ & LCJ				**0.4**	**0.4**
DAC0830LCN, LCWM & LCV				0.1	**0.1**
DAC0831LCN				0.2	**0.2**
DAC0832LCN, LCWM & LCV				0.4	**0.4**
Monotonicity	$-10V \le V_{REF} \le +10V$ LJ & LCJ	4		**8**	**8**
	$-10V \le V_{REF} \le +10V$ LCN, LCWM & LCV			8	8
Gain Error Max	Using Internal R_{fb} $-10V \le V_{REF} \le +10V$	7	±0.2	±1	±1
Gain Error Tempco Max	Using internal R_{fb}		**0.0002**		**0.0006**
Power Supply Rejection	All digital inputs latched high V_{CC} = 14.5V to 15.5V		0.0002	0.0025	
	11.5V to 12.5V		0.0006		
	4.5V to 5.5V		0.013	0.015	
Reference Input Max			**15**	**20**	**20**
Reference Input Min			**15**	**10**	**10**
Output Feedthrough Error	V_{REF} = 20 Vp-p, f = 100 kHz All data inputs latched low		3		

Test Circuits (Continued)



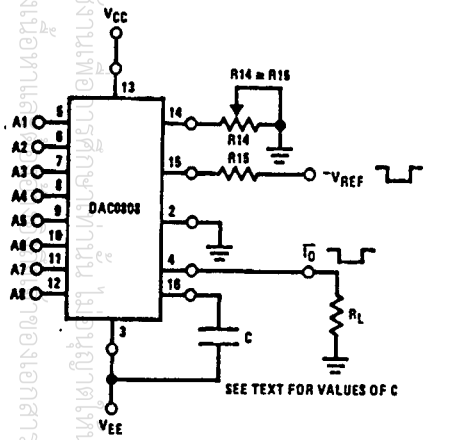
TL/H/5687–9

FIGURE 6. Reference Current Slew Rate Measurement (Note 7)



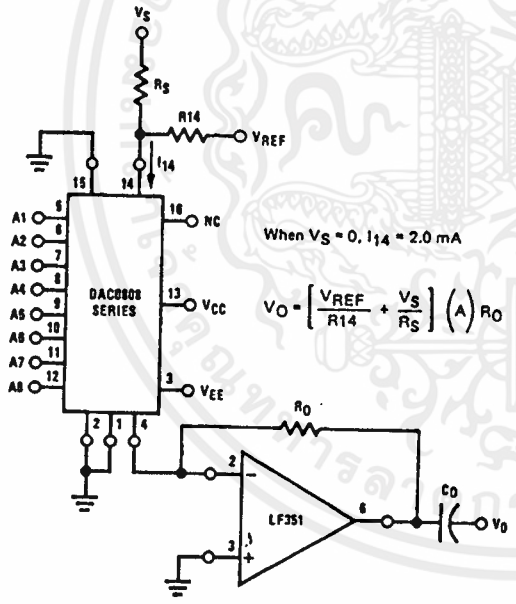
TL/H/5687–10

FIGURE 7. Positive V_{REF} (Note 7)



TL/H/5687–11

FIGURE 8. Negative V_{REF} (Note 7)



TL/H/5687–12

FIGURE 9. Programmable Gain Amplifier or Digital Attenuator Circuit (Note 7)

Application Hints

REFERENCE AMPLIFIER DRIVE AND COMPENSATION

The reference amplifier provides a voltage at pin 14 for converting the reference voltage to a current, and a turn-around circuit or current mirror for feeding the ladder. The reference amplifier input current, I_{14}, must always flow into pin 14, regardless of the set-up method or reference voltage polarity.

Connections for a positive voltage are shown in *Figure 7*. The reference voltage source supplies the full current I_{14}. R15 can be tied to a negative voltage corresponding to the minimum input level. It is possible to eliminate R15 with only a small sacrifice in accuracy and temperature drift.

The compensation capacitor value must be increased with increases in R14 to maintain proper phase margin; for R14 values of 1, 2.5 and 5 kΩ, minimum capacitor values are 15, 37 and 75 pF. The capacitor may be tied to either V_{EE} or

Application Hints (Continued)

A negative reference voltage may be used if R14 is grounded and the reference voltage is applied to R15 as shown in *Figure 8*. A high input impedance is the main advantage of this method. Compensation involves a capacitor to V_{EE} on pin 16, using the values of the previous paragraph. The negative reference voltage must be at least 4V above the V_{EE} supply. Bipolar input signals may be handled by connecting R14 to a positive reference voltage equal to the peak positive input level at pin 15.

When a DC reference voltage is used, capacitive bypass to ground is recommended. The 5V logic supply is not recommended as a reference voltage. If a well regulated 5V supply which drives logic is to be used as the reference, R14 should be decoupled by connecting it to 5V through another resistor and bypassing the junction of the 2 resistors with 0.1 μF to ground. For reference voltages greater than 5V, a clamp diode is recommended between pin 14 and ground.

If pin 14 is driven by a high impedance such as a transistor current source, none of the above compensation methods apply and the amplifier must be heavily compensated, decreasing the overall bandwidth.

OUTPUT VOLTAGE RANGE

The voltage on pin 4 is restricted to a range of −0.55 to 0.4V when V_{EE} = −5V due to the current switching methods employed in the DAC0808.

The negative output voltage compliance of the DAC0808 is extended to −5V where the negative supply voltage is more negative than −10V. Using a full-scale current of 1.992 mA and load resistor of 2.5 kΩ between pin 4 and ground will yield a voltage output of 256 levels between 0 and −4.980V. Floating pin 1 does not affect the converter speed or power dissipation. However, the value of the load resistor determines the switching time due to increased voltage swing. Values of R_L up to 500Ω do not significantly affect performance, but a 2.5 kΩ load increases worst-case settling time to 1.2 μs (when all bits are switched ON). Refer to the subsequent text section on Settling Time for more details on output loading.

OUTPUT CURRENT RANGE

The output current maximum rating of 4.2 mA may be used only for negative supply voltages more negative than −8V, due to the increased voltage drop across the resistors in the reference current amplifier.

ACCURACY

Absolute accuracy is the measure of each output current level with respect to its intended value, and is dependent upon relative accuracy and full-scale current drift. Relative accuracy is the measure of each output current level as a fraction of the full-scale current. The relative accuracy of the DAC0808 is essentially constant with temperature due to the excellent temperature tracking of the monolithic res ladder. The reference current may drift with tempera causing a change in the absolute accuracy of output rent. However, the DAC0808 has a very low full-scale rent drift with temperature.

The DAC0808 series is guaranteed accurate to within LSB at a full-scale output current of 1.992 mA. This co sponds to a reference amplifier output current drive to ladder network of 2 mA, with the loss of 1 LSB (8 μA) w is the ladder remainder shunted to ground. The input cur to pin 14 has a guaranteed value of between 1.9 and mA, allowing some mismatch in the NPN current sou pair. The accuracy test circuit is shown in *Figure 4*. The bit converter is calibrated for a full-scale output curren 1.992 mA. This is an optional step since the DAC0808 ac racy is essentially the same between 1.5 and 2.5 mA. T the DAC0808 circuits' full-scale current is trimmed to same value with R14 so that a zero value appears at error amplifier output. The counter is activated and the e band may be displayed on an oscilloscope, detected comparators, or stored in a peak detector.

Two 8-bit D-to-A converters may not be used to construc 16-bit accuracy D-to-A converter. 16-bit accuracy implie total error of ±½ of one part in 65,536 or ±0.0007 which is much more accurate than the ±0.019% specifi tion provided by the DAC0808.

MULTIPLYING ACCURACY

The DAC0808 may be used in the multiplying mode w 8-bit accuracy when the reference current is varied ove range of 256:1. If the reference current in the multiply mode ranges from 16 μA to 4 mA, the additional error co tributions are less than 1.6 μA. This is well within 8-bit acc racy when referred to full-scale.

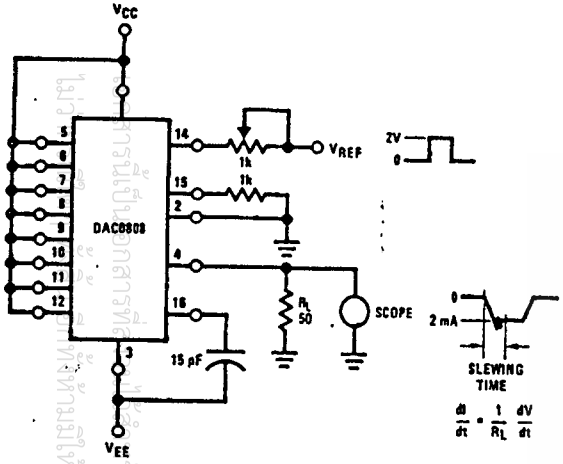
A monotonic converter is one which supplies an increase current for each increment in the binary word. Typically, t DAC0808 is monotonic for all values of reference curre above 0.5 mA. The recommended range for operation w a DC reference current is 0.5 to 4 mA.

SETTLING TIME

The worst-case switching condition occurs when all bits a switched ON, which corresponds to a low-to-high transiti for all bits. This time is typically 150 ns for settling to with ±½ LSB, for 8-bit accuracy, and 100 ns to ½ LSB for 7 a 6-bit accuracy. The turn OFF is typically under 100 r These times apply when $R_L \leq 500\Omega$ and $C_O \leq 25$ pF.

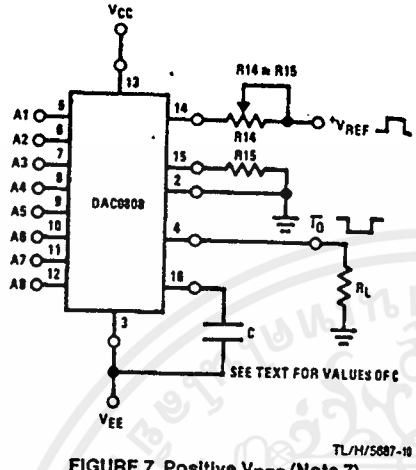
Extra care must be taken in board layout since this is usua the dominant factor in satisfactory test results when me suring settling time. Short leads, 100 μF supply bypassi for low frequencies, and minimum scope lead length are mandatory.

Test Circuits (Continued)



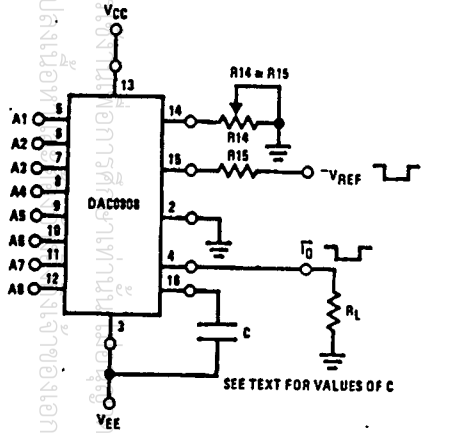
TL/H/5687–9

FIGURE 6. Reference Current Slew Rate Measurement (Note 7)



TL/H/5687–10

FIGURE 7. Positive V_{REF} (Note 7)



TL/H/5687–11

FIGURE 8. Negative V_{REF} (Note 7)

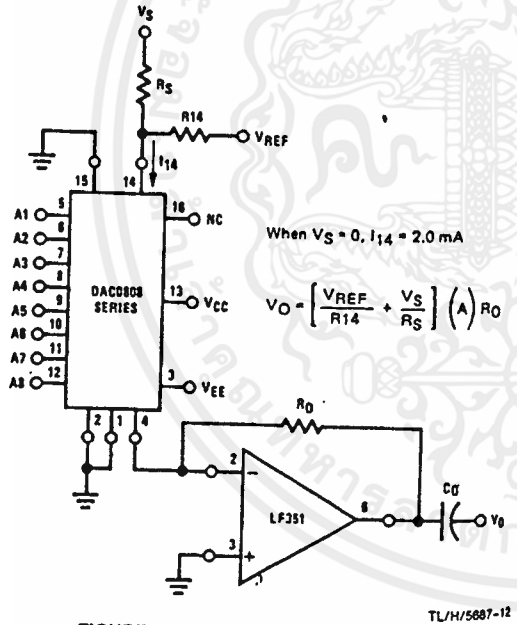
Application Hints

REFERENCE AMPLIFIER DRIVE AND COMPENSATION

The reference amplifier provides a voltage at pin 14 for converting the reference voltage to a current, and a turn-around circuit or current mirror for feeding the ladder. The reference amplifier input current, I_{14}, must always flow into pin 14, regardless of the set-up method or reference voltage polarity.

Connections for a positive voltage are shown in *Figure 7*. The reference voltage source supplies the full current I_{14}. For bipolar reference signals, as in the multiplying mode, R15 can be tied to a negative voltage corresponding to the minimum input level. It is possible to eliminate R15 with only a small sacrifice in accuracy and temperature drift.

The compensation capacitor value must be increased with increases in R14 to maintain proper phase margin; for R14 values of 1, 2.5 and 5 kΩ, minimum capacitor values are 15, 37 and 75 pF. The capacitor may be tied to either V_{EE} or ground, but using V_{EE} increases negative supply rejection.



TL/H/5687–12

FIGURE 9. Programmable Gain Amplifier or Digital Attenuator Circuit (Note 7)

Application Hints (Continued)

A negative reference voltage may be used if R14 is grounded and the reference voltage is applied to R15 as shown in *Figure 8*. A high input impedance is the main advantage of this method. Compensation involves a capacitor to V_{EE} on pin 16, using the values of the previous paragraph. The negative reference voltage must be at least 4V above the V_{EE} supply. Bipolar input signals may be handled by connecting R14 to a positive reference voltage equal to the peak positive input level at pin 15.

When a DC reference voltage is used, capacitive bypass to ground is recommended. The 5V logic supply is not recommended as a reference voltage. If a well regulated 5V supply which drives logic is to be used as the reference, R14 should be decoupled by connecting it to 5V through another resistor and bypassing the junction of the 2 resistors with 0.1 μF to ground. For reference voltages greater than 5V, a clamp diode is recommended between pin 14 and ground.

If pin 14 is driven by a high impedance such as a transistor current source, none of the above compensation methods apply and the amplifier must be heavily compensated, decreasing the overall bandwidth.

OUTPUT VOLTAGE RANGE

The voltage on pin 4 is restricted to a range of −0.55 to 0.4V when V_{EE} = −5V due to the current switching methods employed in the DAC0808.

The negative output voltage compliance of the DAC0808 is extended to −5V where the negative supply voltage is more negative than −10V. Using a full-scale current of 1.992 mA and load resistor of 2.5 kΩ between pin 4 and ground will yield a voltage output of 256 levels between 0 and −4.980V. Floating pin 1 does not affect the converter speed or power dissipation. However, the value of the load resistor determines the switching time due to increased voltage swing. Values of R_L up to 500Ω do not significantly affect performance, but a 2.5 kΩ load increases worst-case settling time to 1.2 μs (when all bits are switched ON). Refer to the subsequent text section on Settling Time for more details on output loading.

OUTPUT CURRENT RANGE

The output current maximum rating of 4.2 mA may be used only for negative supply voltages more negative than −8V, due to the increased voltage drop across the resistors in the reference current amplifier.

ACCURACY

Absolute accuracy is the measure of each output current level with respect to its intended value, and is dependent upon relative accuracy and full-scale current drift. Relative accuracy is the measure of each output current level as a fraction of the full-scale current. The relative accuracy of the DAC0808 is essentially constant with temperature due to the excellent temperature tracking of the monolithic resistor ladder. The reference current may drift with temperature, causing a change in the absolute accuracy of output current. However, the DAC0808 has a very low full-scale current drift with temperature.

The DAC0808 series is guaranteed accurate to within ±½ LSB at a full-scale output current of 1.992 mA. This corresponds to a reference amplifier output current drive to the ladder network of 2 mA, with the loss of 1 LSB (8 μA) which is the ladder remainder shunted to ground. The input current to pin 14 has a guaranteed value of between 1.9 and 2.1 mA, allowing some mismatch in the NPN current source pair. The accuracy test circuit is shown in *Figure 4*. The 12-bit converter is calibrated for a full-scale output current of 1.992 mA. This is an optional step since the DAC0808 accuracy is essentially the same between 1.5 and 2.5 mA. Then the DAC0808 circuits' full-scale current is trimmed to the same value with R14 so that a zero value appears at the error amplifier output. The counter is activated and the error band may be displayed on an oscilloscope, detected by comparators, or stored in a peak detector.

Two 8-bit D-to-A converters may not be used to construct a 16-bit accuracy D-to-A converter. 16-bit accuracy implies a total error of ±½ of one part in 65,536 or ±0.00076%, which is much more accurate than the ±0.019% specification provided by the DAC0808.

MULTIPLYING ACCURACY

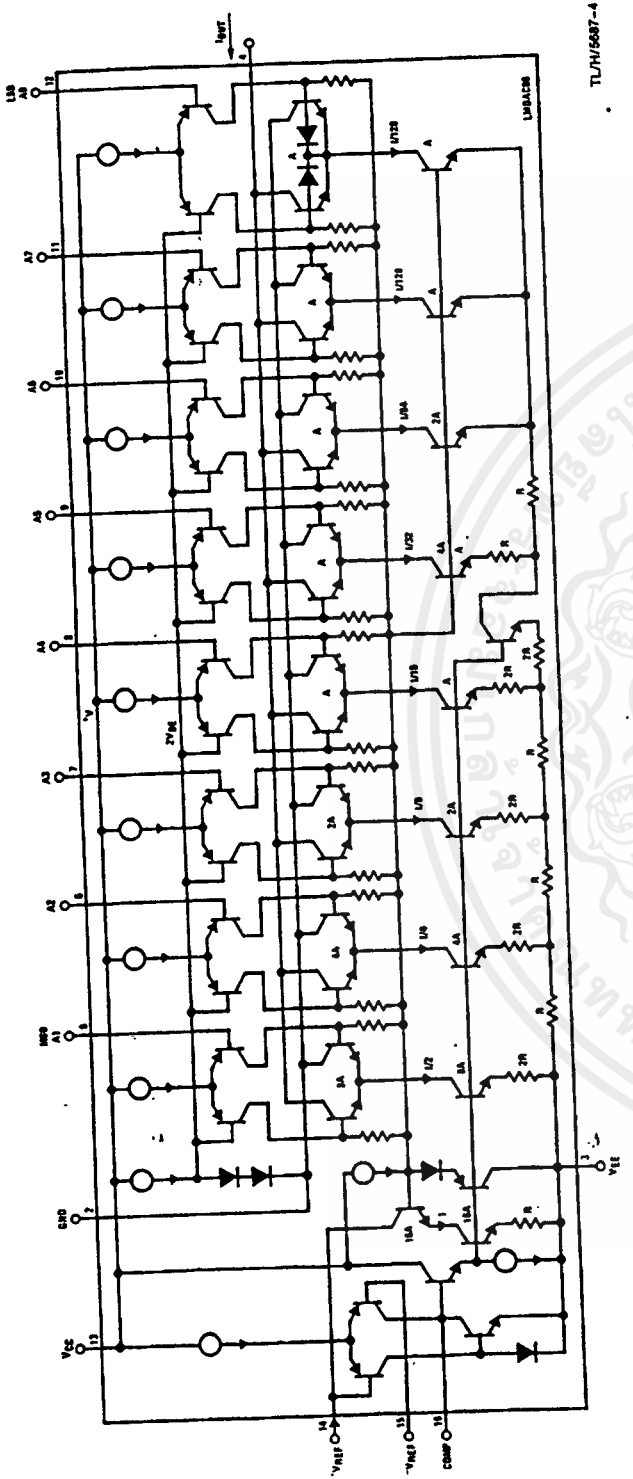
The DAC0808 may be used in the multiplying mode with 8-bit accuracy when the reference current is varied over a range of 256:1. If the reference current in the multiplying mode ranges from 16 μA to 4 mA, the additional error contributions are less than 1.6 μA. This is well within 8-bit accuracy when referred to full-scale.

A monotonic converter is one which supplies an increase in current for each increment in the binary word. Typically, the DAC0808 is monotonic for all values of reference current above 0.5 mA. The recommended range for operation with a DC reference current is 0.5 to 4 mA.

SETTLING TIME

The worst-case switching condition occurs when all bits are switched ON, which corresponds to a low-to-high transition for all bits. This time is typically 150 ns for settling to within ±½ LSB, for 8-bit accuracy, and 100 ns to ½ LSB for 7 and 6-bit accuracy. The turn OFF is typically under 100 ns. These times apply when $R_L \leq 500\Omega$ and $C_O \leq 25$ pF.

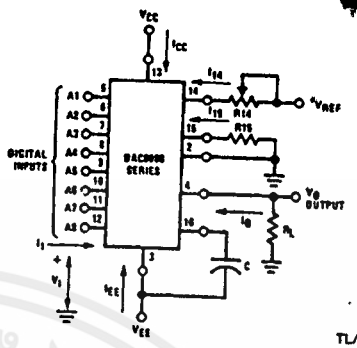
Extra care must be taken in board layout since this is usually the dominant factor in satisfactory test results when measuring settling time. Short leads, 100 μF supply bypassing for low frequencies, and minimum scope lead length are all mandatory.



TL/H/5687–4

FIGURE 2. Equivalent Circuit of the DAC0808 Series (Note 7)

Test Circuits



V_I and I_I apply to inputs A1–A8.

The resistor tied to pin 15 is to temperature compensate the bias current and may not be necessary for all applications.

$$I_O = K\left(\frac{A1}{2} + \frac{A2}{4} + \frac{A4}{16} + \frac{A5}{32} + \frac{A6}{64} + \frac{A7}{128} + \frac{A8}{256}\right)$$

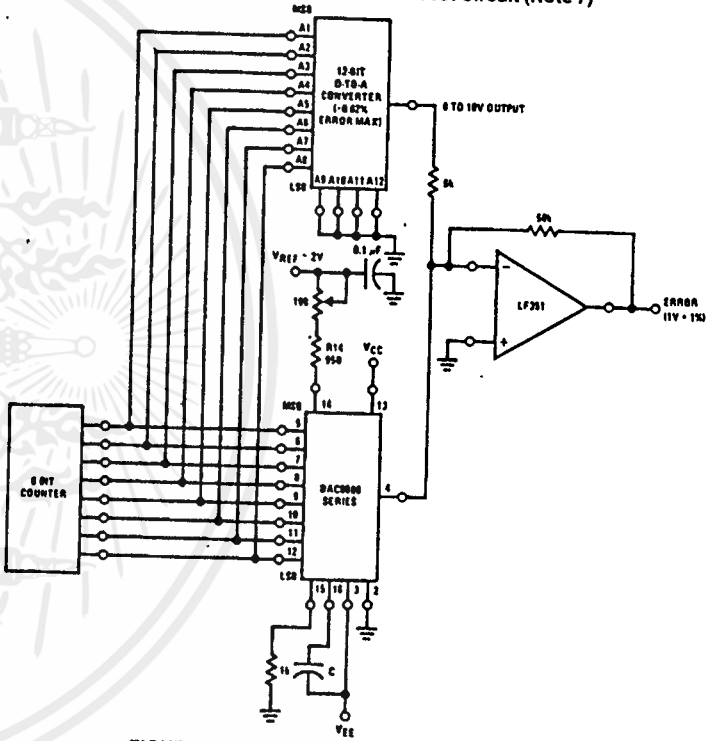
where $K \cong \frac{V_{REF}}{R14}$

and A_N = "1" if A_N is at high level

A_N = "0" if A_N is at low level

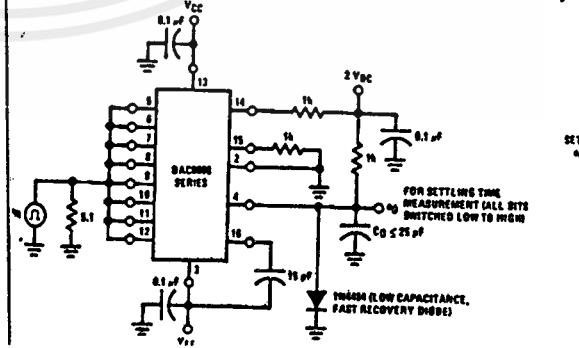
TL/H/5687–6

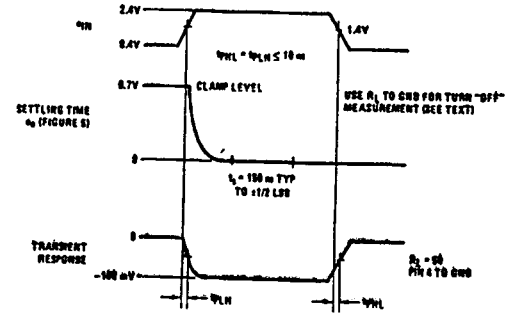
FIGURE 3. Notation Definitions Test Circuit (Note 7)

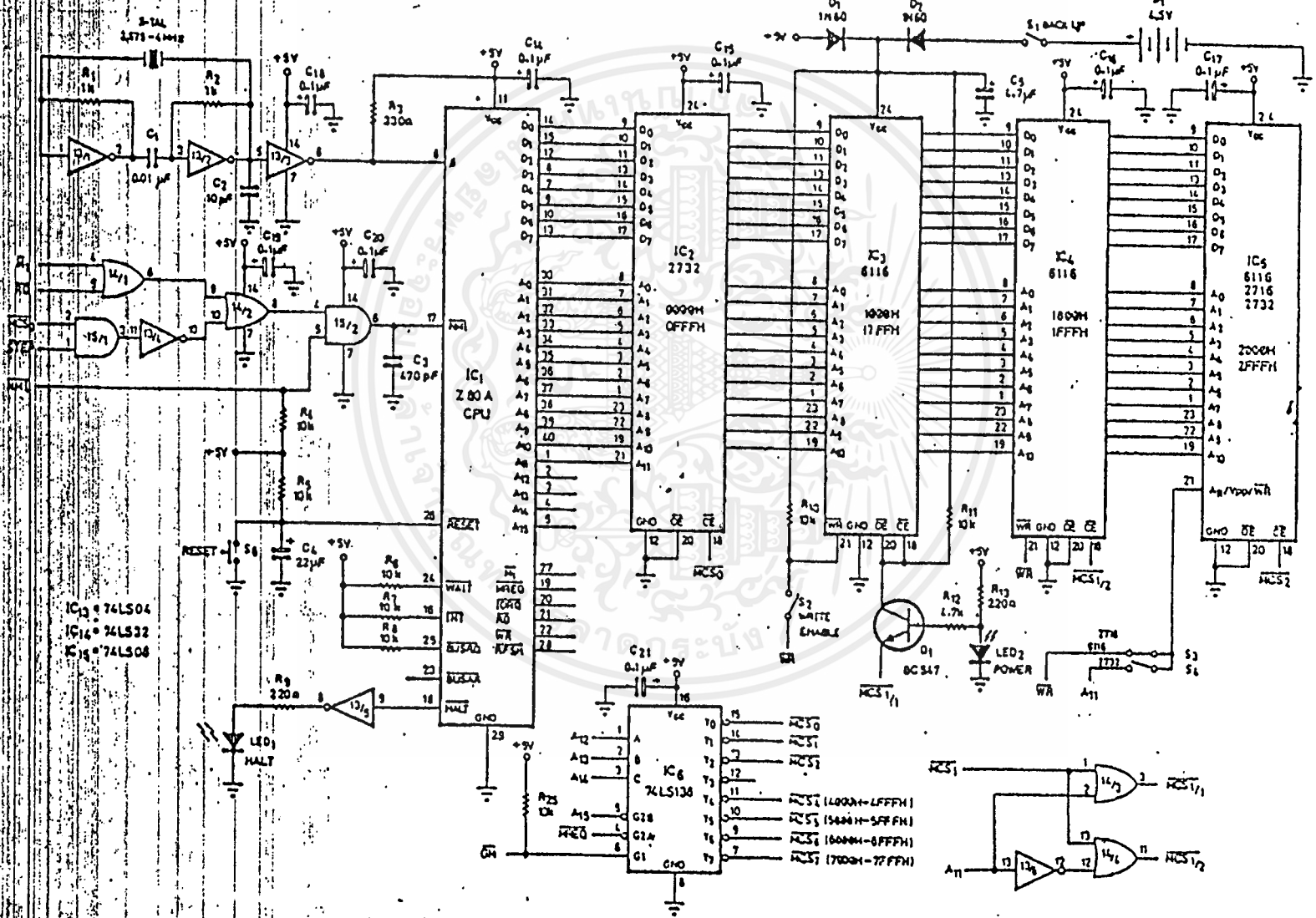


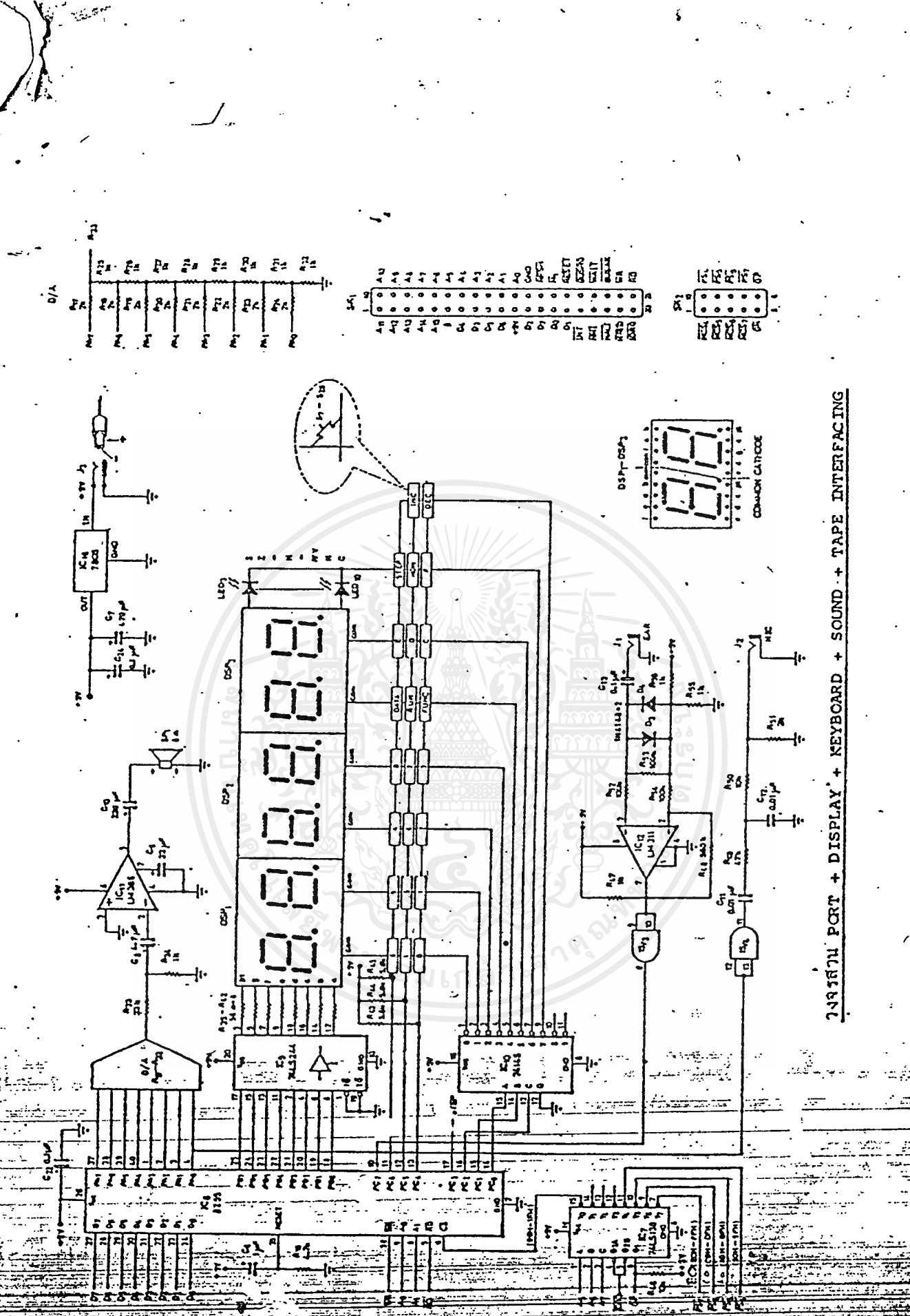
TL/H/5687–7

FIGURE 4. Relative Accuracy Test Circuit (Note 7)






IC1 Z 80 A CPU
IC2 2732 0000H 0FFFH
IC3 6116 1000H 17FFH
IC4 6116 1800H 1FFFH
IC5 6116 2716 2732 2000H 2FFFH
IC6 74LS138
IC13 = 74LS04
IC14 = 74LS32
IC15 = 74LS08
RESET
HALT
WAIT
INT
BUSRQ
BUSAK
WR
RD
MREQ
IORQ
M1
WRITE ENABLE
LED1 HALT
LED2 POWER
Q1 BC547
S1 BACK UP
S2 WRITE ENABLE
S3
S4
3-TAL 4.433-4MHz
0.01 µF
10 µF
470 pF
22 µF
0.1 µF
4.7 µF
MCS0
MCS1
MCS2
MCS1/1
MCS1/2
MCS1 (1000H-17FFH)
MCS1 (1800H-1FFFH)
MCS1 (6000H-67FFH)
MCS1 (7000H-77FFH)


วงจร PORT + DISPLAY + KEYBOARD + SOUND + TAPE INTERFACING

กิตติกรรมประกาศ

การทำปริญญานิพนธ์ฉบับนี้ สามารถสำเร็จลุล่วงไปได้ด้วยดี คณะผู้จัดทำขอขอบคุณ อาจารย์ดลชัย สุขเจริญผล ซึ่งเป็นอาจารย์ที่ปรึกษา ที่ได้ให้ความรู้และทฤษฎีในการทำงาน ตลอดจนให้ความสะดวกในการใช้เครื่องมือต่างๆ และขอขอบคุณแม่บ้านที่ดูแลชั้น 5 ตึกพระเทพฯ ได้อำนวยความสะดวกในการใช้ห้องทดลอง และขอขอบคุณผู้ที่ให้ความช่วยเหลือทุกๆ ท่าน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เอกสารอ้างอิง

[1] L.K. HERBERT SOLIID STATE RADIO ENGINEERING : SINEWAVE OSCILLATOATORS, MIXERS, FM. AND PM. RECIVERS : JONH WLEY & SON INC. : CANADA : 1980

[2] M.P DAVIID MICROWAVE ENGINEERING : MICROWAVE NETWORK ANALYSIS, POWER DIVIDERS - DIRECTIONNAL COUPLERS AND HYBRIDS : ADDISON - WELEY PUBLISHING COMPANY : AMERICA : 1990

[3] SAMUEL Y.LIAO MICROWAVE CIRCUIT ANALYSIS AND AMPLIFIER DESING : S-PARAMETER THEORY AND APPLICATION, BALANCED AMPLIFIER DESING AND POWER-COMBINING TECHIQUES: PRENTICE-HALL : 1987

[4] GEORGE D. VENDELIN , ANTHONY M. PAVIO , ULRICH L. ROHDE MICROWAVE CIRCUIT DESIGN : OSCILLATOR DESIGN : JOHN WILEY & SONS INC. : CANADA : 1990

[5] ทองทด วานิชศรี วิทยานิพนธ์ เรื่องระบบเครื่องรับดาวเทียม : บัณฑิตวิทยาลัย สถาบันเทคโนโลยีพระจอมเกล้า เจ้าคุณทหารลาดกระบัง : กรุงเทพฯ : 1987

[6] ถวิล พึ่งมา การออกแบบวงจรทางโทรคมนาคม : คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง : 1991

[7] ดลชัย สุขเจริญผล ปริญญานิพนธ์ เรื่องเครื่องรับสัญญาณดาวเทียม : ห้องสมุดวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้า เจ้าคุณทหารลาดกระบัง : 1990

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้