



การรับส่งสัญญาณผ่านสายคู่

Process Signal Transceiving Through Two Wires

นายคงฤทธิ	เฟื่องทอง	32-1039
นายพิทักษ์	ทองพูล	32-1214
นายสมิคร	บัวชู	32-1357

อาจารย์ที่ปรึกษา

อ. วิริยะ กองรัตน์

Advisor

Viriya Kongrat

ปริญญาโทสำหรับปริญญาวิศวกรรมศาสตรบัณฑิต

สาขาวิศวกรรมการวัดคุมทางอุตสาหกรรม

ภาควิชาเทคโนโลยีการวัดคุมทางอุตสาหกรรม

คณะวิศวกรรมศาสตร์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2535

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

032675

ภาควิชา เทคโนโลยีการวัดคุมทางอุตสาหกรรม

สาขา วิศวกรรมการวัดคุมทางอุตสาหกรรม

คณะ วิศวกรรมศาสตร์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เรื่อง การรับส่งสัญญาณผ่านสายคู่

Process Signal Transceiving Through Two Wires

ผู้จัดทำ

1. นายคงฤทธิ เฟื่องทอง 32-1039
2. นายพิทักษ์ ทองพล 32-1214
3. นายสมัคร บัวชู 32-1357

.....*Viriyas Kongrattana*..... อาจารย์ที่ปรึกษา  
( อ. วิริยะ กองรัตน์ )

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

032675

## บทคัดย่อ

ปริญญานิพนธ์นี้เสนอ วิธีการส่งสัญญาณข้อมูลของกระบวนการทางอุตสาหกรรมจากระยะไกลโดยผ่านทางสายไฟสองเส้น เพื่อนำข้อมูลไปประมวลผลที่ศูนย์ควบคุมซึ่งใช้ไมโครคอมพิวเตอร์ จากนั้นก็ส่งสัญญาณควบคุมไปควบคุมอุปกรณ์ทำงานในกระบวนการนั้นต่อไป



## ABSTRACT

This project paper presents sending remote process signals or control signal through two wires to/from control center that using microcomputer.



# สารบัญ

	หน้า
บทคัดย่อ	i
ABSTRACT	ii
บทนำ	1
อรัมภบท	1
บทที่ 1 วัตถุประสงค์และขอบเขตของการวิจัย	2
1.1 วัตถุประสงค์	2
1.2 ขอบเขตของการวิจัย	2
บทที่ 2 ทฤษฎี	3
2.1 บทนำ	3
2.2 การนำเฟสล็อกคลุมมาประยุกต์ใช้งานกับการส่งข้อมูล	3
2.2.1 การมอดูเลต (Modulation)	3
2.2.2 การดีมอดูเลต (Demodulation)	7
2.3 การรับส่งข้อมูลอนุกรมแบบอะซิงโครนัส	8
2.3.1 การทำงานคร่าว ๆ ของ MC14469	8
2.3.2 คุณสมบัติของ MC14469	9
2.3.3 รายละเอียดของขาต่าง ๆ	10
2.3.4 ส่วนประกอบภายในของ MC14469	11
2.3.5 ลักษณะของเว็รด์ข้อมูล	12
2.3.6 การทำงานโดยละเอียดของ MC14469	15
2.4 A/D Converter (ADC)	19
Successive Approximation A/D Converter	22

2.5 Bit Rate Generator	23
2.6 Carrier-Current Transceiver	25
2.6.1 ลักษณะโดยทั่วไป	26
2.6.2 การประยุกต์ใช้งาน	26
2.7 การส่งข้อมูลแบบอนุกรม	28
2.8 การส่งข้อมูลแบบขนาน	29
2.9 การส่งแบบ Synchronous	30
2.9.1 ความสัมพันธ์ของบิต	30
2.9.2 ความสัมพันธ์ของตัวอักษร	30
2.10 การส่งแบบ Asynchronous	30
2.11 ความแตกต่างระหว่างการส่งแบบ Synchronous กับ Asynchronous	31
<b>บทที่ 3 วงจรที่ใช้ในการทดลอง</b>	<b>32</b>
3.1 หลักการควบคุมกระบวนการ	32
3.2 การรับส่งสัญญาณผ่านพอร์ตสื่อสารอนุกรม	33
3.3 การรับส่งข้อมูลผ่านสายคู่	34
3.4 หน่วยควบคุม	36
3.4.1 การรับส่งแบบอนุกรม	36
3.4.2 การส่งปิด-เปิดอุปกรณ์ไฟฟ้า	37
3.4.3 การรับอินพุตเป็นสัญญาณอนาล็อก	38
<b>บทที่ 4 สรุปผล</b>	<b>39</b>
4.1 สรุปผลการทดลอง	39
4.2 ปัญหาที่เกิดขึ้นและข้อเสนอแนะ	39
<b>เอกสารอ้างอิง</b>	<b>40</b>
<b>กิตติกรรมประกาศ</b>	<b>42</b>
<b>ภาคผนวก รายละเอียดของไอซีที่ใช้ในการทดลอง</b>	<b>43</b>

## บทนำ

### อรัญภท

เนื่องจากในปัจจุบัน กระบวนการทางอุตสาหกรรมที่ทำงานโดยอัตโนมัติมีใช้กันมาก การทำงานนั้นจะอาศัยศูนย์ควบคุมที่ใช้ไมโครคอมพิวเตอร์ หรือไมโครโปรเซสเซอร์ มาประมวลผลข้อมูล ซึ่งได้รับมาจากอุปกรณ์เซ็นเซอร์ , ทรานสมิตเตอร์ต่าง ๆ ที่ติดตั้งไว้ในกระบวนการ จากนั้นจะส่งสัญญาณไปควบคุมการทำงานต่าง ๆ ให้เป็นไปตามที่ต้องการ ซึ่งอุปกรณ์ประกอบในระบบดังกล่าวนี้มีราคาแพง และยังต้องอาศัยเทคโนโลยีจากต่างประเทศอยู่เป็นอันมาก ดังนั้นทางคณะผู้ทำการวิจัยจึงมีความประสงค์ที่จะพัฒนาระบบดังกล่าวขึ้นเอง ในราคาต้นทุนที่ต่ำกว่า ทั้งนี้การรับ-ส่งสัญญาณระหว่างกระบวนการกับศูนย์ควบคุมตามแบบเดิมนั้น ยังอาศัยการเดินทางโดยสายโดยตรงทั้งหมด ทำให้ต้องใช้สายเป็นจำนวนมาก นอกจากจะเป็นการสิ้นเปลืองแล้วยังยากต่อการติดตั้งและตรวจสอบในภายหลังอีกด้วย ดังนั้นจึงได้พัฒนาขึ้นมาใหม่โดยให้สามารถรับ-ส่งสัญญาณผ่านสายไฟฟ้าเพียงคู่เดียว แทนการเดินทางเป็นจำนวนมาก

# บทที่ 1

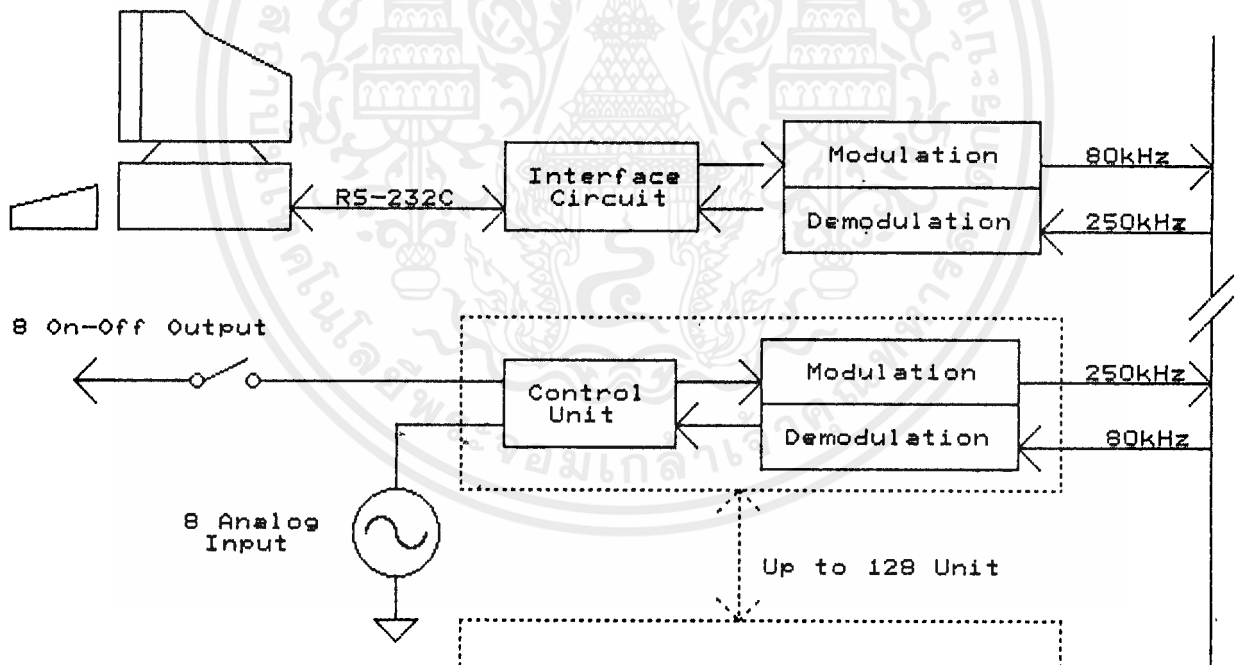
## วัตถุประสงค์และขอบเขตของการวิจัย

### 1.1 วัตถุประสงค์

ศึกษาถึงการรับ-ส่งสัญญาณผ่านสายไฟฟ้าเพียงคู่เดียว เพื่อสามารถที่จะนำผลการวิจัยและพัฒนาที่ได้ไปใช้เป็นอินพุต-เอาต์พุตแบบอนาล็อก ให้กับระบบควบคุมกระบวนการทางอุตสาหกรรมโดยใช้เครื่องไมโครคอมพิวเตอร์ในการควบคุม

### 1.2 ขอบเขตของการวิจัย

เพื่อสร้างหน่วยควบคุมที่สามารถรับอินพุตอนาล็อกได้ 8 อินพุต สิ่งปิดเปิดอุปกรณ์ได้ 8 ตัว หรือหนึ่งเอาต์พุตอนาล็อก แต่ละหน่วยควบคุมมีแอดเดรสของตนเอง ในหนึ่งระบบมีหน่วยควบคุมได้ 128 หน่วยเป็นอิสระต่อกัน



รูปที่ 1.1 แผนภาพแสดงการทำงานของระบบ

## บทที่ 2

### ทฤษฎี

#### 2.1 บทนำ

ในบทนี้จะแสดงทฤษฎีต่าง ๆ ที่ได้นำมาใช้ประกอบการออกแบบวงจรที่ใช้

#### 2.2 การนำเฟสล็อกคูลูปมาประยุกต์ใช้งานกับการส่งข้อมูล

เฟสล็อกคูลูป (Phase Locked Loop) คือ ระบบควบคุมแบบป้อนกลับ (Feedback Control) แบบหนึ่ง ที่สามารถจูนเลือกความถี่ได้ด้วยการซิงโครไนส์ (Synchronize) กับความถี่ของสัญญาณอินพุตที่ต้องการเลือกและแทร็ค (Track) ตามการเปลี่ยนแปลงของสัญญาณความถี่อินพุตนั้น ๆ จากหลักการดังกล่าวสามารถนำเฟสล็อกคูลูปไปประยุกต์ใช้งานต่าง ๆ มากมาย เช่น โทนีดีเทกเตอร์ (Tone Detector), ฟรีควเอนทีซินทีไซเซอร์ (Frequency Synthesizer), การควบคุมความเร็วของมอเตอร์ (Motor Speed Control) และการมอดูเลตขึ้น นอกจากนี้ในปัจจุบันวงจรเฟสล็อกคูลูปสามารถสร้างขึ้นได้ในรูปของโมโนลิทิกไอซี (Monolithic) ทำให้การนำไปใช้งานได้สะดวกและมีราคาถูก

##### 2.2.1 การมอดูเลต (Modulation)

มอดูเลชัน (Modulation) คือกระบวนการเปลี่ยนแปรสัญญาณอย่างหนึ่ง ที่นำเอาคลื่นความถี่สูงค่าหนึ่งซึ่งเรียกว่า สัญญาณพาหะ (Carrier Signal) เข้าไปรวมกับสัญญาณที่จะส่ง (Modulating Signal) ทำให้คุณสมบัติของสัญญาณพาหะ (ขนาด ความถี่ และ เฟส) เปลี่ยนแปลงไปตามสภาวะของสัญญาณ ซึ่งทำให้เกิดความถี่ใหม่ขึ้นอีกสองค่า คือ Upper Side Band และ Lower Side Band หรือเรียกสัญญาณที่ได้จากการมอดูเลตนี้ว่า Modulated Signal โดยทั่วไปกระบวนการมอดูเลตของสัญญาณอนาล็อกจะมีเทคนิคอยู่ 3 แบบ คือ

1. แอมพลิจูดมอดูเลชัน (Amplitude Modulation) หรือแบบ AM ขนาดของสัญญาณพาหะจะเปลี่ยนไปตามขนาดของสัญญาณ

2. ฟีรเควนซีมอดูเลชัน (Frequency Modulation) หรือแบบ FM ความถี่ของสัญญาณพาหะจะเปลี่ยนไปตามขนาดของสัญญาณ

3. เฟสมอดูเลชัน (Phase Modulation) หรือแบบ PM เฟสของสัญญาณพาหะจะเปลี่ยนไปตามขนาดของสัญญาณ

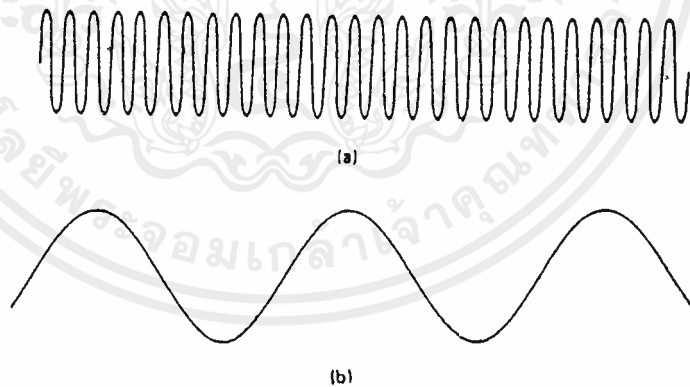
นอกจากจะแบ่งกระบวนการมอดูเลชันได้ตามข้างบนแล้ว ยังสามารถแบ่งกระบวนการมอดูเลชันตามการมอดูเลตสัญญาณซึ่งมีเพียง 2 ระดับเท่านั้น คือ 0 กับ 1 ซึ่งโดยทั่วไปแล้วเทคนิคที่ใช้มีอยู่หลายแบบด้วยกันคือ

1. แอมพลิจูดชีฟต์คีย์อิง (Amplitude Shift Keying) หรือแบบ ASK
2. ฟีรเควนซีฟต์คีย์อิง (Frequency Shift Keying) หรือแบบ FSK
3. เฟสชีฟต์คีย์อิง (Phase Shift Keying) หรือแบบ PSK

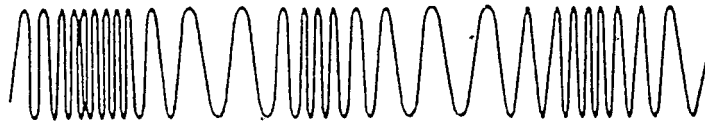
สำหรับรายละเอียดในปริวิตานิพนธ์ฉบับนี้ จะกล่าวถึงวิธีของ ฟีรเควนซีมอดูเลชัน และแบบ ฟีรเควนซีฟต์คีย์อิง เท่านั้นซึ่งเป็นวิธีที่ใช้ในการทดลองโครงงานนี้

#### ฟีรเควนซีมอดูเลชัน (Frequency Modulation : FM)

หลักการของการมอดูเลตทางความถี่นี้จุดสำคัญอยู่ที่ แอมพลิจูดของสัญญาณจะคงที่ แต่ความถี่ของสัญญาณพาหะ (Carrier Signal) จะเปลี่ยนแปลงไปตามแอมพลิจูดของสัญญาณที่นำเข้ามามอดูเลต (Modulating Signal) ซึ่งสามารถแสดงให้เห็นได้ดังในรูปที่ 2.1



รูปที่ 2.1 ฟีรเควนซีมอดูเลชัน



(c)

**รูปที่ 2.1** ฟรีควอนซีมอดูเลชัน (ต่อ)

- (a) สัญญาณพาหะ (Carrier Signal)
- (b) สัญญาณอนาล็อกที่นำเข้ามามอดูเลต (Modulating Signal)
- (c) สัญญาณที่ผ่านการมอดูเลตแล้ว (Modulated Signal)

เมื่อพิจารณารูป (a) และรูป (b) ประกอบกัน ในขณะที่แอมพลิจูดของสัญญาณอนาล็อกมีค่าเป็นบวก ความถี่ของสัญญาณที่ผ่านการมอดูเลตจะสูงขึ้น แต่ในขณะที่แอมพลิจูดของสัญญาณอนาล็อกมีค่าเป็นลบ ความถี่ของสัญญาณที่ผ่านการมอดูเลตจะลดลง นั่นคือขนาดของสัญญาณจะเป็นตัวทำให้ความถี่ของคลื่นพาหะเปลี่ยนแปลง ให้  $K_f$  เป็นค่าคงที่เรียกว่า Frequency Deviation Constant ซึ่ง

$$K_f = \Delta f_c / \Delta V_m$$

$$f(\text{FM}) = f_c + K_f * V_m$$

$$= f_c + \Delta f_c$$

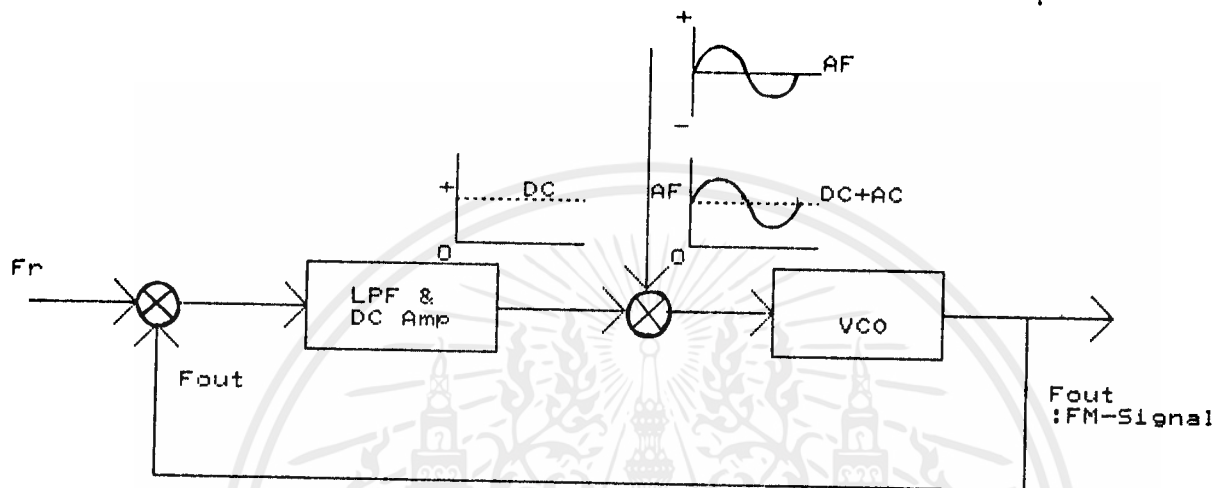
$$v(\text{FM}) = V_{c\text{p}} \text{Sin}(\omega_c - \omega_c / \omega_m \cos \omega_m t)$$

$$= V_{c\text{p}} \text{Sin}(\omega_c t - m_f \cos \omega_m t)$$

- เมื่อ  $f_c$  : deviation Frequency  
 $V_m$  : สัญญาณที่จะส่งออกไป หรือ Modulating Signal  
 $f(\text{FM})$  : ความถี่ของ FM Modulated Wave  
 $v(\text{FM})$  : ขนาดของ FM Modulated Wave  
 $\Delta f_c / f$  : Modulation Index ของ FM  
 $m_f$  : ค่าของ Modulating Index

สัญญาณเสียงกับวงจรกำเนิดความถี่แบบควบคุมด้วยแรงดันไฟฟ้า [Voltage Controlled Oscilator ; (VCO)]

โดยทั่วไปวงจร VCO สามารถเปลี่ยนแปลงความถี่ตามระดับแรงดันไฟตรงที่ป้อนให้กับวงจร VCO ในขณะที่เดียวกันถ้านำสัญญาณเสียง (หรือสัญญาณข้อมูล) มารวมกับแรงดันไฟตรง จะทำให้สัญญาณเสียงถูกยกระดับตามระดับแรงดันไฟตรง แล้วนำสัญญาณผลระหว่างสัญญาณเสียงกับระดับแรงดันไฟตรงป้อนไปยังวงจร VCO เพื่อการควบคุมการผลิตความถี่ของวงจร VCO ให้เปลี่ยนแปลงตามระดับแรงดันไฟตรงและสัญญาณเสียง จะเรียกหลักการนี้ว่าการมอดูเลตสัญญาณแบบความถี่ (Frequency Modulation; FM) ดังแสดงในรูปที่ 2.2

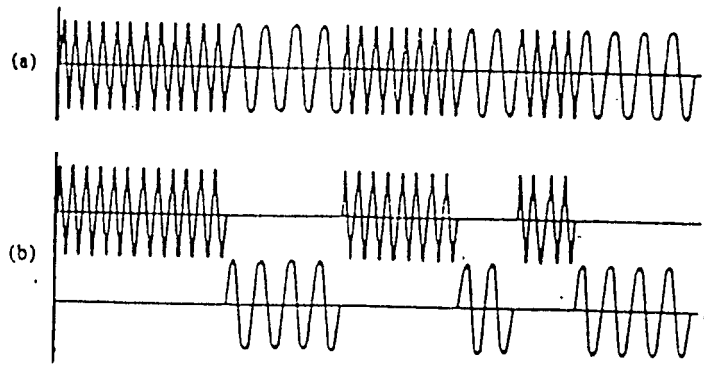


รูปที่ 2.2 แสดงการมอดูเลชันโดยใช้วงจร VCO ของเฟสล็อกคูลูป

จากรูปที่ 2.2 จะนำเอาเฟสล็อกคูลูปมาประยุกต์ใช้งาน ในการมอดูเลตสัญญาณเสียงกับสัญญาณไฟตรง โดยนำสัญญาณความถี่ทางเอาต์พุตป้อนกลับมาเปรียบเทียบกับสัญญาณความถี่อ้างอิง เพื่อสร้างระดับแรงดันไฟตรงก่อน จากนั้นค่อยนำระดับแรงดันไฟตรงไปผสมกับสัญญาณเสียง ป้อนให้กับวงจร VCO เพื่อผลิตสัญญาณการมอดูเลตต่อไป

### ฟรีควีนซ์ชิฟคีย์อิง (Frequency Shift Keying : FSK)

หลักการของฟรีควีนซ์ชิฟคีย์อิง (Frequency Shift Keying : FSK) คือการนำสัญญาณดิจิทัล มามอดูเลตเข้ากับสัญญาณอนาล็อก แล้วส่งผ่านตัวนำออกไป ซึ่งความถี่ของสัญญาณพาหะจะแปรเปลี่ยนตามสัญญาณดิจิทัลที่เข้ามาคือ ค่าสัญญาณมีระดับเป็น 1 ความถี่ของสัญญาณพาหะจะสูงขึ้นแต่ค่าสัญญาณมีระดับลอจิกเป็น 0 ความถี่ของสัญญาณพาหะจะลดลง ซึ่งสามารถแสดงได้ดังในรูปที่ 2.3

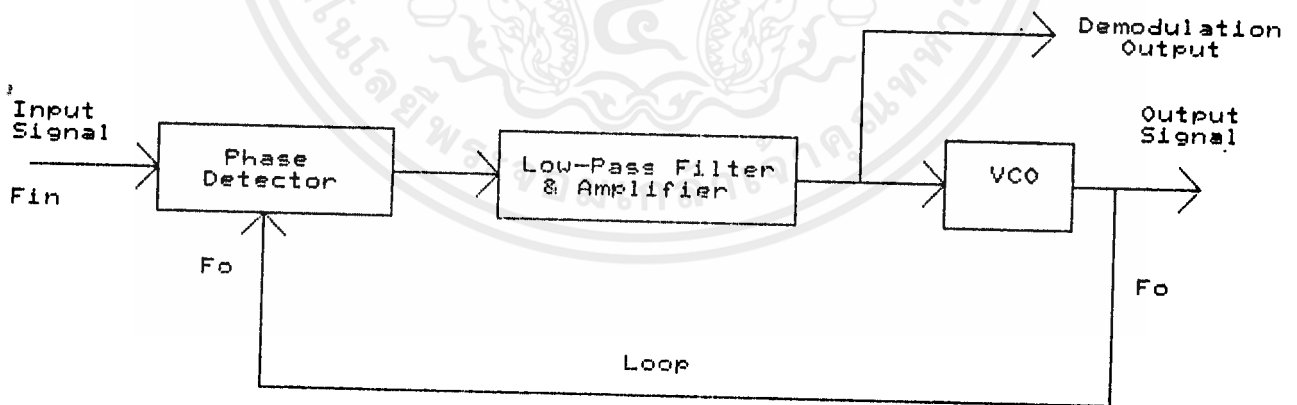


รูปที่ 2.3 แสดงสัญญาณที่ได้จากเทคนิค FSK

จากรูปที่ 2.3 จะเห็นได้ว่า เราสามารถแยกข้อแตกต่างของ FSK จาก FM ได้ว่า ในกระบวนการ FSK คลื่นพาหะอาจจะมีความถี่ของคลื่นได้มากกว่า 2 ความถี่ แต่ใน FM จะมีความถี่ของคลื่นพาหะได้เพียง 1 ความถี่เท่านั้น

### 2.2.2 การดีมอดูเลต (Demodulation)

การดีมอดูเลตเป็นการแยกสัญญาณเสียง (หรือสัญญาณข้อมูล) ออกจากความถี่คลื่นพาหะ (Carrier) ที่ส่งมาจากเครื่องส่ง ซึ่งสามารถใช้หลักการของเฟสล็อกคัลปมาช่วยทำการดีมอดูเลตได้ดังในรูปที่ 2.4



รูปที่ 2.4 แสดงการใช้เฟสล็อกคัลปในการดีมอดูเลต

การทำงานของเฟสล็อกคูลูปในการดีมอดูเลตมีดังนี้ เมื่อมีสัญญาณมอดูเลต ( $F_m$ ) เข้ามาที่วงจรถ่ายเปรียบเทียบกับเฟส ถ้าสัญญาณที่เข้ามามีเฟสไม่ตรงกับความถี่เอาต์พุต ( $F_o$ ) ของวงจรถ่าย VCO จากการป้อนกลับเข้ามาแล้ว จะทำให้เกิดสัญญาณความคลาดเคลื่อนออกไปทางเอาต์พุตของวงจรถ่ายเปรียบเทียบกับเฟส ขนาดของสัญญาณความคลาดเคลื่อนนี้ขึ้นอยู่กับความต่างเฟสของสัญญาณอินพุตทั้งสองเปรียบเทียบกับกัน และสัญญาณความคลาดเคลื่อนจะนำไปขยายกำลังขึ้นโดยวงจรถ่าย ซึ่งสัญญาณเอาต์พุตที่ออกจากวงจรถ่าย คือสัญญาณส่วนที่ดีมอดูเลตแล้ว ส่วนที่เอาต์พุตของวงจรถ่ายนั้นจะนำไปป้อนให้กับวงจรถ่าย VCO เพื่อจะผลิตความถี่ออกมาความเปรียบเทียบกับความถี่อินพุตต่อไป ดังรูปที่ 2.4

เมื่อสัญญาณความคลาดเคลื่อนได้รับการขยายจากวงจรถ่าย ทำให้แรงดันที่ป้อนให้ทางอินพุตของวงจรถ่าย VCO มีการเปลี่ยนแปลง ดังนั้น ความถี่ที่ออกจากวงจรถ่าย VCO ก็จะมีการเปลี่ยนแปลงด้วย และป้อนกลับไปเปรียบเทียบกับสัญญาณอินพุตอีกครั้ง ซึ่งความถี่จากวงจรถ่าย VCO จะพยายามล๊อคเข้ากับสัญญาณมอดูเลตอินพุต เนื่องจากสัญญาณอินพุตเป็นการเปลี่ยนแปลงทางความถี่ตามขนาดสัญญาณเสียงที่มอดูเลต ดังนั้นขนาดสัญญาณความคลาดเคลื่อนจะมีค่าเปลี่ยนแปลงตามความถี่สัญญาณความคลาดเคลื่อนนั้น ซึ่งก็คือ สัญญาณเสียงที่มีการดีมอดูเลตออกจากคลื่นพาห์แล้วนั่นเอง

## 2.3 การรับส่งข้อมูลอนุกรมแบบอะซิงโครนัส

MC14469

Addressable Asynchronous Receiver/Transmitter

การประยุกต์ใช้งาน MC14469 มักใช้ในการควบคุมอุปกรณ์ต่าง ๆ ที่อยู่ในระยะไกล โดยใช้ส่งถ่ายข้อมูล จากตำแหน่งต่าง ๆ ที่อยู่ในระยะไกลนั้น ผ่านทางสายส่งที่ใช้ร่วมกัน กล่าวคือใช้เป็นตัวอินเตอเฟสจากเซ็นเซอร์ที่อยู่ในระยะไกลเข้ากับตัวประมวลผลกลาง

### 2.3.1 การทำงานอย่างคร่าว ๆ ของ MC14469

MC14469 ทำงานโดยการรับสายข้อมูลอนุกรมเข้ามาหนึ่งหรือสองเวิร์ด โดยเวิร์ดแรกที่เข้ามาประกอบด้วย แอดเดรสขนาดเจ็ดบิต ซึ่งจะนำมาตรวจสอบว่าตรงกันกับแอด-



เดรสที่โปรแกรมไว้แล้วของภาครับหรือไม่ ถ้าตรงกัน ภาคส่งก็สามารถถูกเ็นเบิ้ลให้ส่ง  
สายข้อมูลออกมาสองเวิร์ตได้

เวิร์ตที่รับหรือส่งออกมานั้นเป็นรูปแบบข้อมูลอะซิงโครนัสที่มีลิบเ็ดบิต ประกอบด้วย  
บิตสตาร์ท บิตข้อมูลแปดบิต บิตพาริตีแบบคู่ และ บิตสตอป รูปแบบข้อมูลอะซิงโครนัสถูกนำ  
มาใช้เพื่อกำจัดความจำเป็นที่จะต้องคล็อกของระบบไปกับสายข้อมูลด้วย

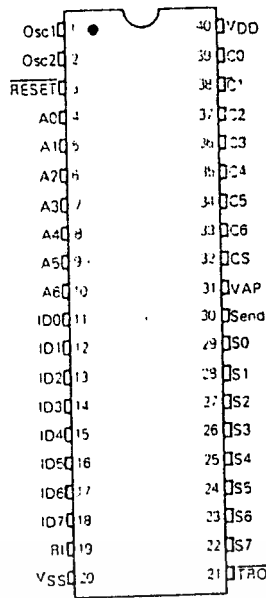
เวิร์ตที่จะรับเข้ามานั้นประกอบด้วยบิตแอดเดรสเ็ดบิตเช่นเดียวกับกับแอดเดรสของ  
MC14469 โดยจะเซตที่ขาของมันซึ่งมีขาแอดเดรสอยู่เ็ดขา การตรวจสอบว่าตรงกันหรือไม่  
นั้น ต้องตรงกันในลักษณะบิตต่อบิต ดังนั้นจึงสามารถจะทำการต่อร่วมกันในลักษณะการ  
ส่งข้อมูลแบบพูลดูเพล็กซ์หรือซิมเพล็กซ์ได้มากถึง  $2^7$  หรือ 128 หน่วย นอกจากแอดเดรส  
ซึ่งอยู่ในเวิร์ตแรกที่ได้รับมาแล้ว ยังมีบิตคอมมานด์เ็ดบิตอยู่ในเวิร์ตที่สองอีก ซึ่งอาจจะใช้  
เป็นข้อมูลหรือคำสั่งควบคุมก็ได้ตามแต่ความประสงค์ใช้งาน เวิร์ตนี้จะถูกแลตซ์ไว้ที่เอาต์พุต  
ข้อมูลคอมมานด์ถ้าหากมีรูปแบบคอมมานด์ที่ถูกต้อง

MC14469 สามารถจะนำไปใช้ได้ในการส่งข้อมูล จากเอพดีคอนเวอร์เตอร์ที่อยู่ใน  
ระยะไกล MPU ที่อยู่ในระยะไกล หรือดิจิตอลทรานส์มิชเชอร์ที่อยู่ในระยะไกล มายังคอม  
พิวเตอร์ตัวแม่ หรือ MPU รวมทั้งการควบคุมอุปกรณ์ที่อยู่ในระยะไกล ที่ใช้สายควบคุมเส้น  
เคียว เช่น มอเตอร์ หลอดไฟ หรืออุปกรณ์รักษาความปลอดภัย

ด้วยความจริงที่ว่า MC14469 ได้สร้างขึ้นโดยใช้เทคโนโลยี metal-gate CMOS  
ดังนั้นจึงหมายถึงว่า มันจะไม่มีปัญหาในเรื่องสัญญาณรบกวน และกินไฟน้อยตามลักษณะของ  
เทคโนโลยีนี้

### 2.3.2 คุณสมบัติของ MC14469

- อัตราการรับส่งข้อมูล ที่ 5 V ได้ 4800 Baud หรือที่ 12 V ได้ 9600 Baud  
สามารถทำงานได้ถึงอัตรา 30,000 Baud ซึ่งควบคุมโดยออสซิลเลเตอร์ที่อยู่  
ภายใน
- การรับ จากอนุกรมเป็นขนาน  
การส่ง จากขนานเป็นอนุกรม
- ส่งและรับได้พร้อมกันในลักษณะดูเพล็กซ์
- มีออสซิลเลเตอร์อยู่ในตัวเองโดยการใช้คริสตัลหรือรีโซเนเตอร์



รูปที่ 2.5 แสดงการจัดเรียงขาของ MC14469

### 2.3.3 รายละเอียดของขาต่าง ๆ

#### OSCILLATOR (OSC1, OSC2)

เป็นขาอินพุตและเอาต์พุตของออสซิลเลเตอร์ ถ้าหากใช้คล็อกที่สร้างจากภายนอกให้ป้อนที่ OSC1 แล้วปล่อย OSC2 ลอยไว้

#### RESET (RESET)

เมื่อขานี้ถูกทำให้มีสถานะเป็น low อย่างน้อย 700 ns วงจรจะรีเซ็ตและพร้อมที่จะทำงาน

#### ADDRESS (A0-A6)

ขาเหล่านี้คือขาสำหรับการเซตแอดเดรส ซึ่งประกอบด้วยแอดเดรสที่จะนำไปเทียบกับสัญญาณที่รับได้นั้นเอง ขา A0 ถึง A6 นี้มีพูลอัปรีซิสเตอร์อยู่ภายในแล้ว

#### INPUT DATA (ID0-ID7)

ขาเหล่านี้จะเป็นข้อมูลอินพุต สำหรับเป็นข้อมูลแปดบิตชุดแรกที่จะถูกส่งออกไป ขา ID0-ID7 นี้มีพูลอัปรีซิสเตอร์อยู่ภายในแล้ว

#### RECEIVE INPUT (RI)

ขานี้เป็นขาอินพุตสำหรับรับข้อมูล

#### NEGATIVE POWER SUPPLY (VSS)

ขานี้ใช้ในการต่อกับไฟเลี้ยงลบ โดยปกติขานี้จะเป็นกราวนด์ของระบบ

### TRANSMIT REGISTER OUTPUT SIGNAL (TRO)

ขานี้ใช้ส่งสัญญาณที่จะส่งออกไปสังเกตว่าจะมีสถานะตรงกันข้ามกับสัญญาณที่รับเข้ามา ซึ่งต้องส่งผ่านอินเวอร์เตอร์ก่อนที่จะนำไปขับ MC14469 ตัวอื่นต่อไป

### SECOND OR STATUS INPUT DATA (S0-S7)

ขานี้จะเป็นข้อมูลอินพุต สำหรับเป็นข้อมูลแปดบิตชุดที่สองที่จะถูกส่งออกไป ขา S0-S7 นี้ไม่มีพูลอัพรีซิสเตอร์อยู่ภายในแต่อย่างใด

### SEND (SEND)

ขานี้จะรับคำสั่งให้ทำการส่งหลังจากที่ได้มีการรับแอดเดรสเข้ามาแล้ว

### VALID ADDRESS PULSE (VAP)

เป็นขาเอาต์พุตสำหรับ valid address pulse ซึ่งจะเกิดขึ้นเมื่อมีการรับแอดเดรสที่เข้ามาเปรียบเทียบแล้วพบว่าตรงกัน

### COMMAND STROBE (CS)

เป็นขาเอาต์พุตสำหรับ command strobe ซึ่งเป็นการสำคัญอย่างยิ่งเพื่อแสดงว่าได้รับชุดของข้อมูลคอมมานด์ (C0 ถึง C6) เข้ามาแล้ว

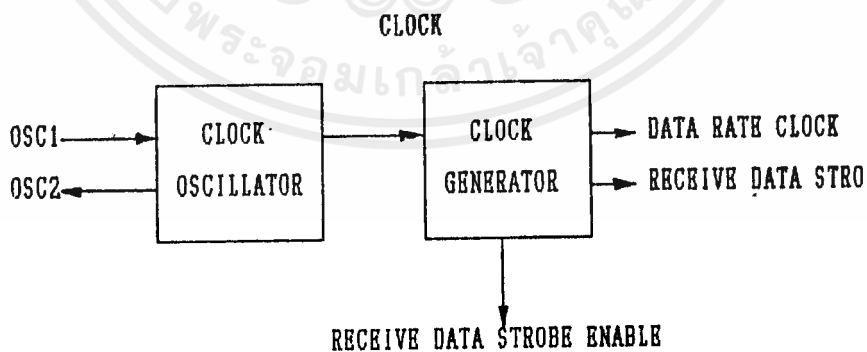
### COMMAND WORD (C0-C6)

ขานี้เป็นขาเพื่อให้อ่านเวิร์ดคอมมานด์ ซึ่งเป็นเวิร์ดที่สองของสัญญาณที่ได้รับเข้ามา

### POSITIVE POWER SUPPLY (VDD)

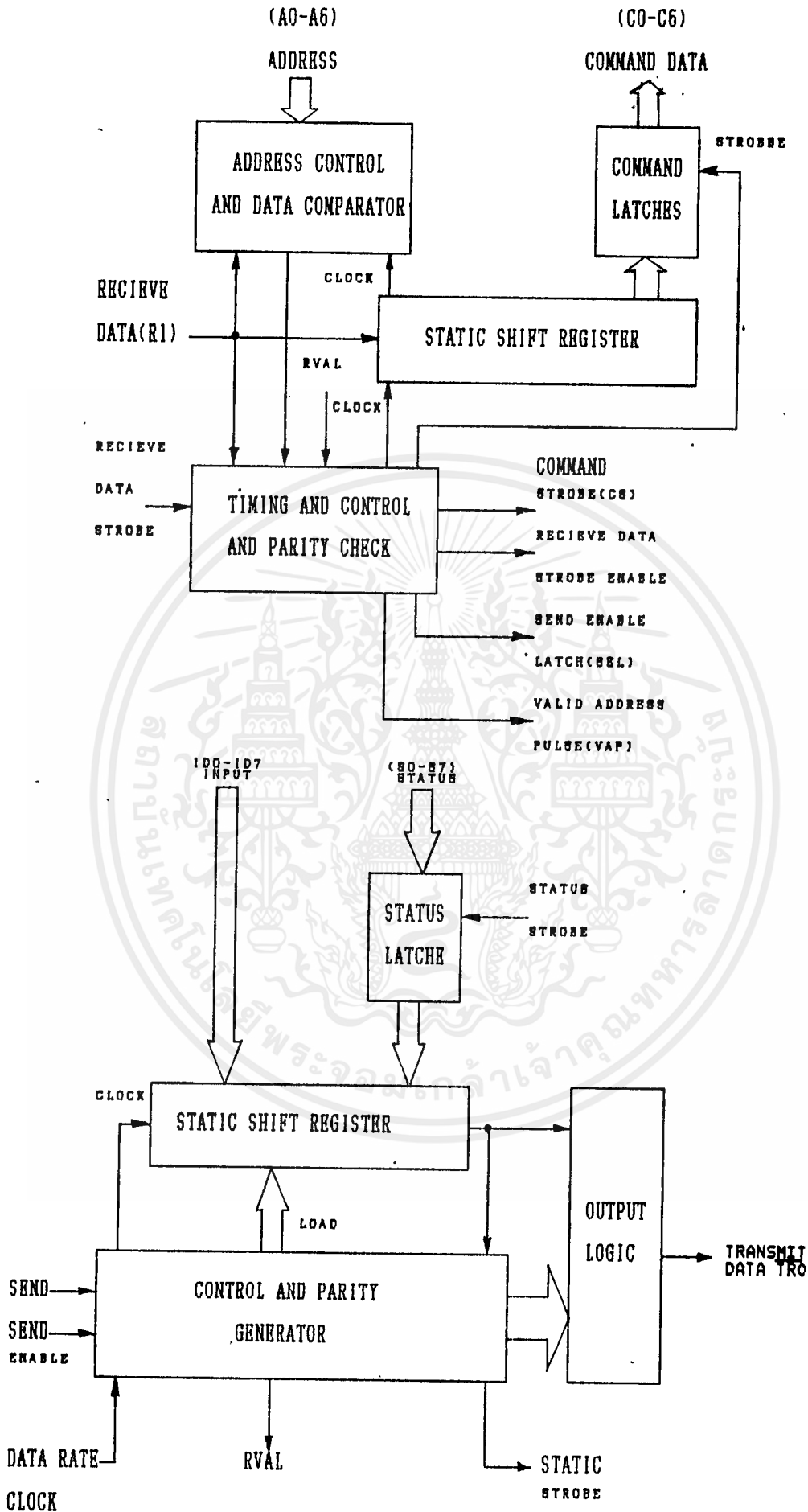
ขานี้เป็นขาสำหรับต่อกับไฟเลี้ยงบวก

## 2.3.4 ส่วนประกอบภายในของ MC14469



รูปที่ 2.6 บล็อกไดอะแกรมแสดงส่วนองค์ประกอบภายในของ MC14469

RECEIVE



รูปที่ 2.6 บล็อกไดอะแกรมแสดงส่วนองค์ประกอบภายในของ MC14469 (ต่อ)

ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา -12- และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากบล็อกไดอะแกรมดังแสดงในรูปที่ 2.6 จะเห็นว่า MC14469 ประกอบด้วยส่วนต่าง ๆ สามส่วน คือ ภาครับ ภาคส่ง และ ออสซิลเลเตอร์ ภาครับต้องรับแอดเดรสที่ถูกต้องเข้ามาทางอินพุตสำหรับรับข้อมูล RI (ขา 19) ก่อน เพื่อนำไปตั้งเงื่อนไขภายในที่จำเป็นต่าง ๆ เพื่อยอมให้ภาคส่งสามารถส่งเวิร์ดข้อมูลสองเวิร์ดออกไปได้

### 2.3.5 ลักษณะของเวิร์ดข้อมูล

เวิร์ดแอดเดรสประกอบด้วย บิตสตาร์ท บิตแอดเดรสเจ็ดบิต บิตแสดงว่าเป็นเวิร์ดแอดเดรส บิตพาริตีคู่ และ บิตสตอป แอดเดรสจะเป็นแอดเดรสที่ถูกต้องได้ จะต้อง

ก. บิตแอดเดรสทั้งเจ็ดบิต ตรงกันกับ แอดเดรสที่ถูกรโปรแกรมไว้ที่ขาอินพุต AO ถึง A6

ข. บิตแสดงว่าเป็นเวิร์ดแอดเดรสเป็น high

ค. สถานะของบิตพาริตีซึ่งเป็นผลจาก จำนวนบิตที่เป็นหนึ่งทั้งหมดในเวิร์ดแอดเดรส รวมทั้งบิตแสดงว่าเป็นเวิร์ดแอดเดรสและบิตพาริตี ต้องเป็นจำนวนคู่

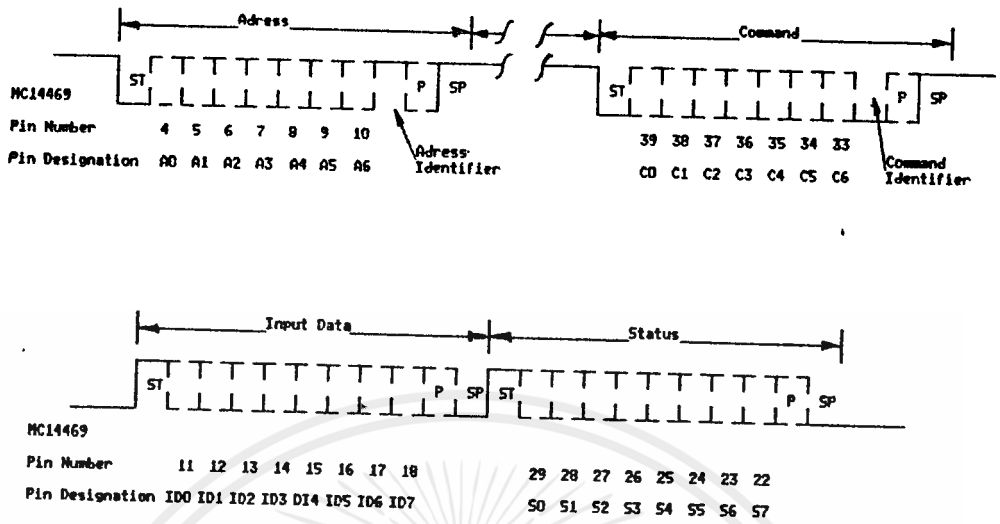
การจากได้รับแอดเดรสที่ถูกต้องแล้ว MC14469 จะรับคอมมานด์ซึ่งสามารถเลือกได้ว่าต้องการหรือไม่ เช่นเดียวกับเวิร์ดแอดเดรส เวิร์ดคอมมานด์ประกอบด้วย บิตสตาร์ท บิตข้อมูลเจ็ดบิต บิตแสดงว่าเป็นเวิร์ดคอมมานด์ บิตพาริตีคู่ และบิตสตอป จะเป็นคอมมานด์ที่ถูกต้องได้ จะต้อง

ก. บิตแสดงว่าเป็นเวิร์ดคอมมานด์เป็น low

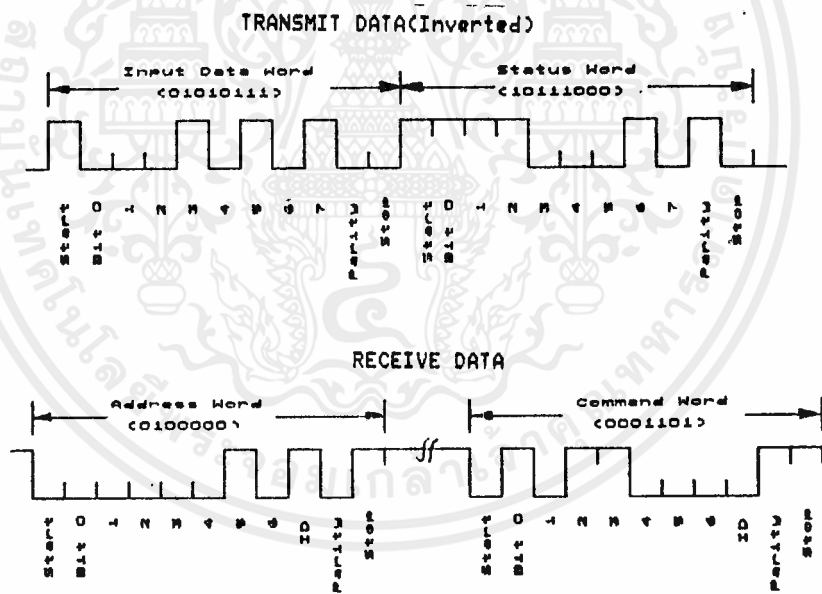
ค. สถานะของบิตพาริตีซึ่งเป็นผลจาก จำนวนบิตที่เป็นหนึ่งทั้งหมดในเวิร์ดคอมมานด์ รวมทั้งบิตแสดงว่าเป็นเวิร์ดคอมมานด์และบิตพาริตี ต้องเป็นจำนวนคู่

การรับไม่ว่าจะเป็นการรับแอดเดรสที่ถูกต้อง หรือว่าทั้งแอดเดรสที่ถูกต้องและคอมมานด์ที่ถูกต้อง ก็สามารถจะนำไปใช้เพื่อตั้งเงื่อนไขภายในที่จำเป็นต่าง ๆ สำหรับการส่งได้

รูปแบบของเวิร์ดแอดเดรสและเวิร์ดคอมมานด์แสดงไว้ในรูปที่ 2.7



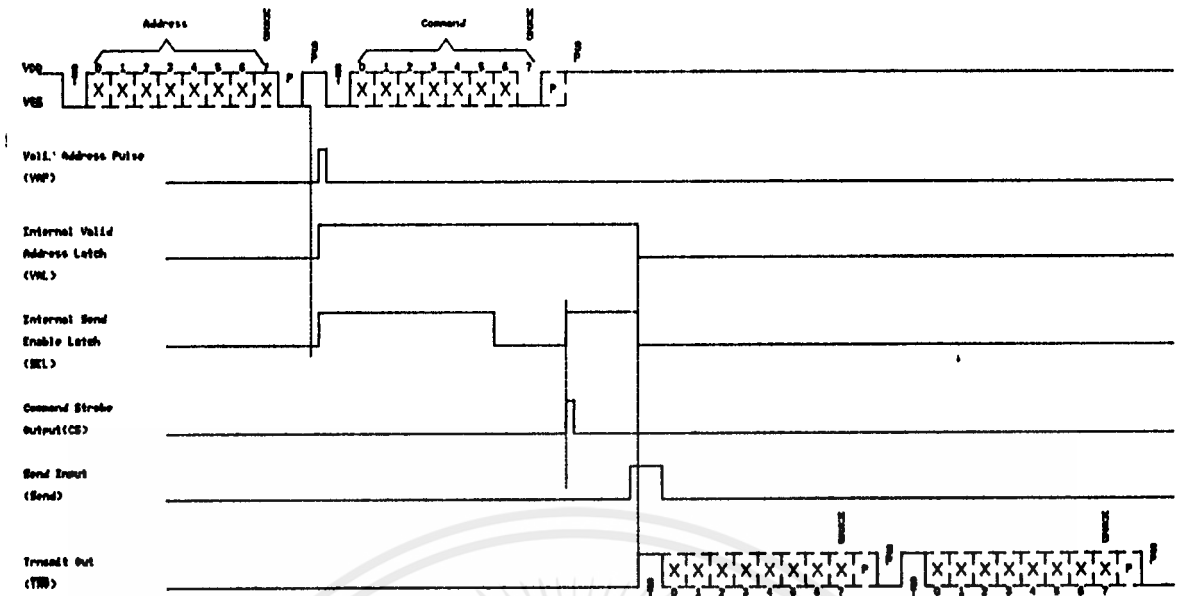
รูปที่ 2.7 แสดงรูปแบบข้อมูลและตำแหน่งของข้อมูลและเทียบกับขาของ MC14469



รูปที่ 2.8 แสดงตัวอย่างเวิร์ดข้อมูล

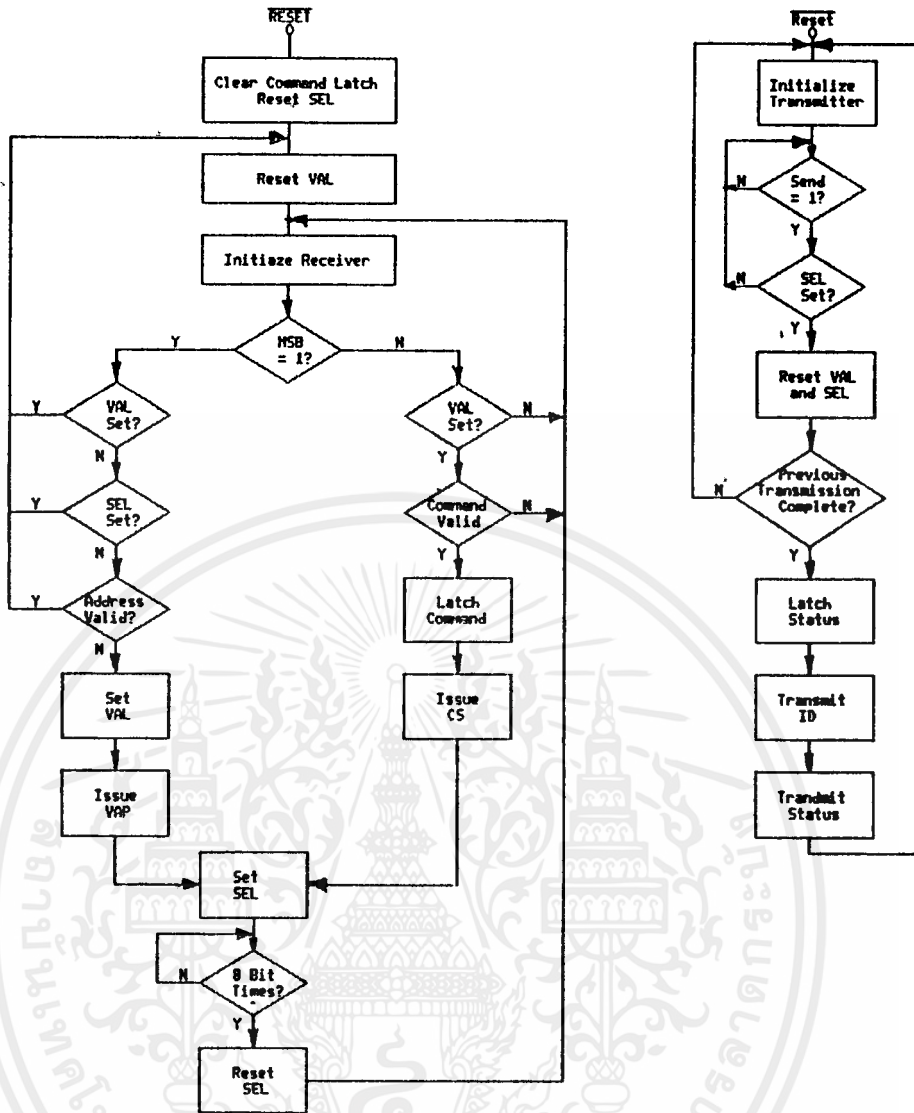
### 2.3.6 การทำงานโดยละเอียดของ MC14469

เมื่อได้รับบิตสตาร์ทจากสายที่ต่อมายังอินพุตสำหรับรับข้อมูล RI จะเป็นผลให้คล็อกสำหรับรับข้อมูลเริ่มทำงานที่ความถี่เท่ากับความถี่จากออสซิลเลเตอร์หารด้วย 64 โดยข้อมูลแต่ละบิตที่รับเข้ามาทั้งหมดนั้น ได้ถูกสโตร์ปเข้ามาที่แต่ละจุดกึ่งกลางของคาบเวลาของคล็อกสำหรับรับข้อมูล หลังจากบิตสตาร์ทแล้วจะตามมาด้วยบิตข้อมูลขนาดแปดบิต ซึ่งเจ็ดบิตในนั้นจะถูกนำไปเปรียบเทียบกับสถานะของแอดเดรสของวงจรเฉพาะที่อยู่ภายใน (A0-A6) แอดเดรสนั้นจะถูกแลตช์ไว้ 31 ไชเคล็ของคล็อกนับจากจุดสิ้นสุดของบิตสตาร์ทของแอดเดรสที่เข้ามา บิตที่แปดใช้เป็นตัวชี้แสดงว่า เป็นเวอร์ดแอดเดรสหรือเวอร์ดคอมมานด์ โดยถ้าเป็นเวอร์ดแอดเดรสบิตนั้นจะเป็น "1" และถ้าเป็นเวอร์ดคอมมานด์บิตนั้นจะเป็น "0" ถัดจากบิตข้อมูลจะเป็นบิตพาริตีจะถูกรับเข้ามาและตรวจสอบวงจรลอจิกภายในซึ่งเป็นพาริตีคู่ สุดท้ายบิตสตอปจะถูกรับเข้ามา ณ จุดที่ไชเคล็สิ้นสุด ถ้าหากแอดเดรสตรงกันจะเกิด valid address pulse (VAP) ขึ้น ซึ่งจะไปเซ็ต valid address latch (VAL) และ send enable latch ที่อยู่ภายในไอซี ดูไทมิ่งไดอะแกรมได้จากรูปที่ 2.9 SEL ยังคงสถานะ high อยู่เป็นเวลาแปดบิตข้อมูล หรือจนกระทั่งอินพุตสำหรับการสั่งให้ส่ง SEND (ขา 30) เป็น high เวอร์ดคอมมานด์นั้นจะต่อเนื่องกับเวอร์ดแอดเดรสเข้ามาทันที ซึ่งเวอร์ดคอมมานด์ก็ประกอบด้วยบิตสตาร์ท บิตข้อมูลจำนวนแปดบิต บิตพาริตีคู่ และ บิตสตอป เช่นเดียวกัน โดยบิตข้อมูลแปดบิตนั้นเป็นคอมมานด์ขนาดเจ็ดบิตและอีกบิตหนึ่งที่เป็น "0" อันชี้แสดงว่าเป็นเวอร์ดคอมมานด์ ที่จุดสิ้นสุดของเวอร์ดคอมมานด์จะเกิดพัลส์ command strobe (CS) ขึ้น ดังที่กล่าวมาแล้วซึ่ง SEL จะเป็น high อยู่เป็นเวลาแปดบิตข้อมูลนั้น หาก SEL ถูกปล่อยให้เลยเวลาแปดบิตข้อมูลจนกลายเป็น low และได้รับเวอร์ดคอมมานด์ที่ถูกต้องเข้ามา CS ที่เกิดขึ้นจะไปเซ็ตให้ SEL เป็น high อีกครั้ง และจะคง high ต่อไปอีกเป็นเวลาแปดบิตข้อมูลหลังถูกเซ็ตนั้น อย่างไรก็ตาม เมื่อ VAL เป็น high มันก็จะคง high ต่อไปจนกระทั่ง SEND เป็น high และไปรีเซ็ตมันนั่นเอง



รูปที่ 2.9 แสดงไทม์ไลน์ของการส่งการรับ

เพื่อจะสั่งให้ MC14469 ส่งเวิร์ดข้อมูลสองเวิร์ดออกไปที่อินพุตสำหรับการสั่งให้ส่งข้อมูล SEND ต้องได้รับสัญญาณขอขาขึ้นในขณะที่ valid address latch (VAL) และ send enable latch (SEL) ถูกเซ็ตให้เป็น high อยู่ทั้งคู่ ดังนั้นการส่งต้องเกิดขึ้นภายในเวลา 8 บิตของ CS เพราะหลังจากเวลาช่วงนั้นแล้ว SEL จะเป็น low และการส่งจะถูกอินฮิบิต ซึ่งสัญญาณขอขาขึ้นที่ให้กับ SEND นั้นจะไปรีเซ็ต VAL และ SEL และไปกำหนดสถานะเริ่มต้นให้กับซีเควนส์ของการส่ง ข้อมูลที่ถูกส่งออกไปสร้างมาจากเวิร์ดขนาดสิบเอ็ดบิตสองเวิร์ด ซึ่งมีลักษณะเช่นเดียวกับเวิร์ดคอมมานด์ หรือเวิร์ดแอดเดรส ซึ่งก็เข้ากันได้กับรูปแบบที่ใช้ใน UART ชุดข้อมูลในเวิร์ดแรกสร้างมาจากข้อมูลอินพุตของขาอินพุต (ID0-ID7) และข้อมูลของเวิร์ดที่สองก็มาจากข้อมูลอินพุตของขาอินพุตอีกชุดหนึ่ง (S0-S7) ข้อมูลบนอินพุต ID0-ID7 จะถูกแลตช์ไว้ที่จุดหนึ่งคล็อกก่อนขอขาลงของบิตสตาร์ท ข้อมูลบนอินพุต S0-S7 จะถูกแลตช์ไว้ที่จุดขอขาขึ้นของบิตสตาร์ท สัญญาณที่ถูกส่งออกไปจะเป็นตรงกันข้ามกับสัญญาณที่ได้รับเข้ามา ซึ่งอาจจะใช้ตัวขยายสัญญาณแบบอินเวอร์ตติ้ง เช่นอาจใช้ไลน์ไดร์ฟเวอร์หรือทรานซิสเตอร์เพื่อขับออกไปสู่สายส่งอีกที TRO จะเริ่มที่เวลา 1/2 หรือ 1-1/2 ของบิตหลังจากการส่งขึ้นอยู่กับว่าการส่งเกิดขึ้น ณ จุดเวลาใด



รูปที่ 2.10 แสดงโฟลว์ชาร์ตการทำงานของ MC14469

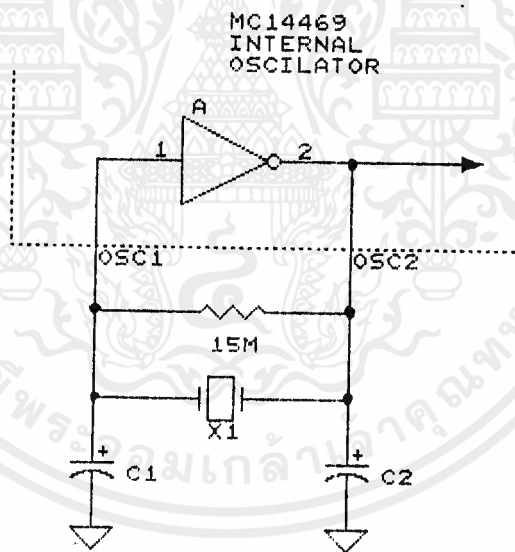
ออสซิลเลเตอร์สามารถควบคุมได้ด้วยคริสตอลหรือเซรามิกรีโซเนเตอร์ เพื่อให้ได้ความแม่นยำที่ต้องการ OSC1 สามารถจะถูกขับมาจากออสซิลเลเตอร์ภายนอกก็ได้ และสามารถจะทำงานได้ที่ความถี่สูงถึง 2 MHz ที่  $V_{DD}$  เป็น 12 V ความถี่ของออสซิลเลเตอร์จะถูกหารด้วย 64 เพื่อให้เป็นคล็อกของอัตรารับส่งข้อมูลและการสโตรปข้อมูลที่รับ ดังนั้นคาบเวลาของบิตข้อมูลจะเท่ากับ 64 คูณกับคาบเวลาของออสซิลเลเตอร์ เพื่อให้ได้ phase jitter สูงสุด การสโตรปข้อมูลที่รับจะมีจุดศูนย์กลางอยู่ตรงกลางของบิตข้อมูล

แต่ละบิต เมื่อรับบิตสตาร์ทแล้วจะไปตั้งค่าให้การสวิตช์ข้อมูลที่รับและไปชิงโครไนซ์สวิตช์เพื่อรับสายบิตข้อมูล

เพราะว่าข้อมูลถูกส่งในลักษณะอะซิงโครนัส ออสซิลเลเตอร์ของการส่งและออสซิลเลเตอร์ของการรับจะต้องเป็นความถี่เดียวกัน เพื่อให้แน่ใจได้ว่าการสวิตช์ข้อมูลที่รับจะเกิด ณ ตำแหน่งกลางของคาบเวลาของบิต ความคลาดเคลื่อนสูงสุดที่ยอมให้ได้ของความถี่ออสซิลเลเตอร์ระหว่างหน่วยทำการส่งและหน่วยการรับ ต้องไม่มากไปกว่าเว็รด์ข้อมูลที่รับทั้งหมดคูณกับจำนวนความผิดพลาดบวกหรือลบด้วยหนึ่งเท่าครึ่งของคาบเวลาของบิตข้อมูล

แต่ละเว็รด์ข้อมูลที่รับมาประกอบด้วย 11 บิต ดังนั้นความคลาดเคลื่อนในออสซิลเลเตอร์ต้องไม่มากกว่าครึ่งหนึ่งของเวลาหนึ่งบิตหารด้วยเวลา 11 บิต หรือ 4.5%

วงจรออสซิลเลเตอร์ภายในประกอบด้วย อินเวอร์เตอร์ CMOS ขรรมดา เมื่อใช้รีซิสเตอร์ค่าสูงเพื่อสร้างดีซีฟีดแบ็ค อินเวอร์เตอร์จะถูกไบอัสให้อยู่ในเขตที่ตอบสนองเป็นเชิงเส้นและประพฤติตัวเหมือนเป็น AC simplifier ขนาดของฟีดแบ็ครีซิสเตอร์ไม่สำคัญแต่อย่างใด แต่จำเป็นต้องเล็กพอที่จะไม่ให้เกิดลีด และใหญ่พอที่จะไม่ไปโหลดเอาต์พุตของออสซิลเลเตอร์ โดยปกติมีค่าอยู่ระหว่าง 1 M ถึง 20 M



รูปที่ 2.11 วงจรออสซิลเลเตอร์

ด้วยเหตุว่าอินเวอร์เตอร์ถูกไบอัสให้เป็น AC amplifier ดังนั้นออสซิลเลเตอร์จึงมักถูกออกแบบให้เป็นออสซิลเลเตอร์แบบ Pierce โดยการใส่เรโซแนนซ์คลิสตอลขนานเข้าไป และใช้คาปาซิเตอร์สองตัว ตัวหนึ่งต่อจากอินพุตลงกราวนด์ และอีกตัวหนึ่งต่อจาก

เอาต์พุตลงกราวนด์ จะได้คาปาซิทีฟโวลด์ให้กับคริสตอล การต่อคาปาซิเตอร์อนุกรมลงกราวนด์เป็นการช่วยหลีกเลี่ยงการป้อนกลับของสัญญาณผ่านส่วนคาปาซิทีฟที่ต่อขนาน ขดลวดหรือเซรามิกรีโซเนเตอร์สามารถจะนำมาให้แทนคริสตอลได้ เพื่อจัดเป็นออสซิลเลเตอร์แบบ Colpitts ซึ่งปกติจะเสียค่าใช้จ่ายน้อยกว่าคริสตอล แต่จะแพงในเรื่องการรักษาเสถียรภาพของความถี่

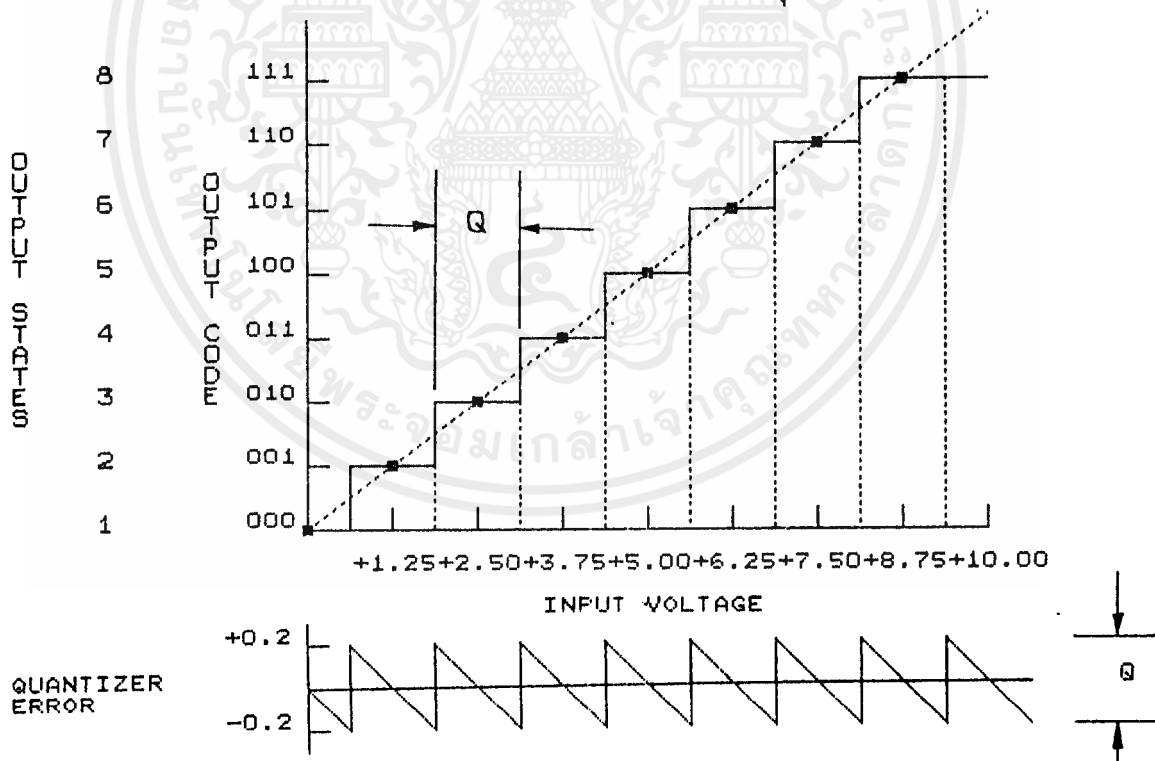
## 2.4 A/D Converter (ADC)

นิยามของค่าที่ใช้เกี่ยวกับ A/D CONVERTER

resolution หมายถึงจำนวนเอาต์พุตสเตจ(output stage) ของ ADC ซึ่งมีค่าเท่ากับ  $2^n$  โดย n คือจำนวน bit ของดิจิตอลเอาต์พุต(digital output) ของ ADC quantum หมายถึงช่วงที่เล็กที่สุดของอนาล็อกอินพุต(analog input) ที่จะให้ค่าของดิจิตอลเอาต์พุตเป็นค่าเดียวกัน ซึ่งจะหาได้จาก

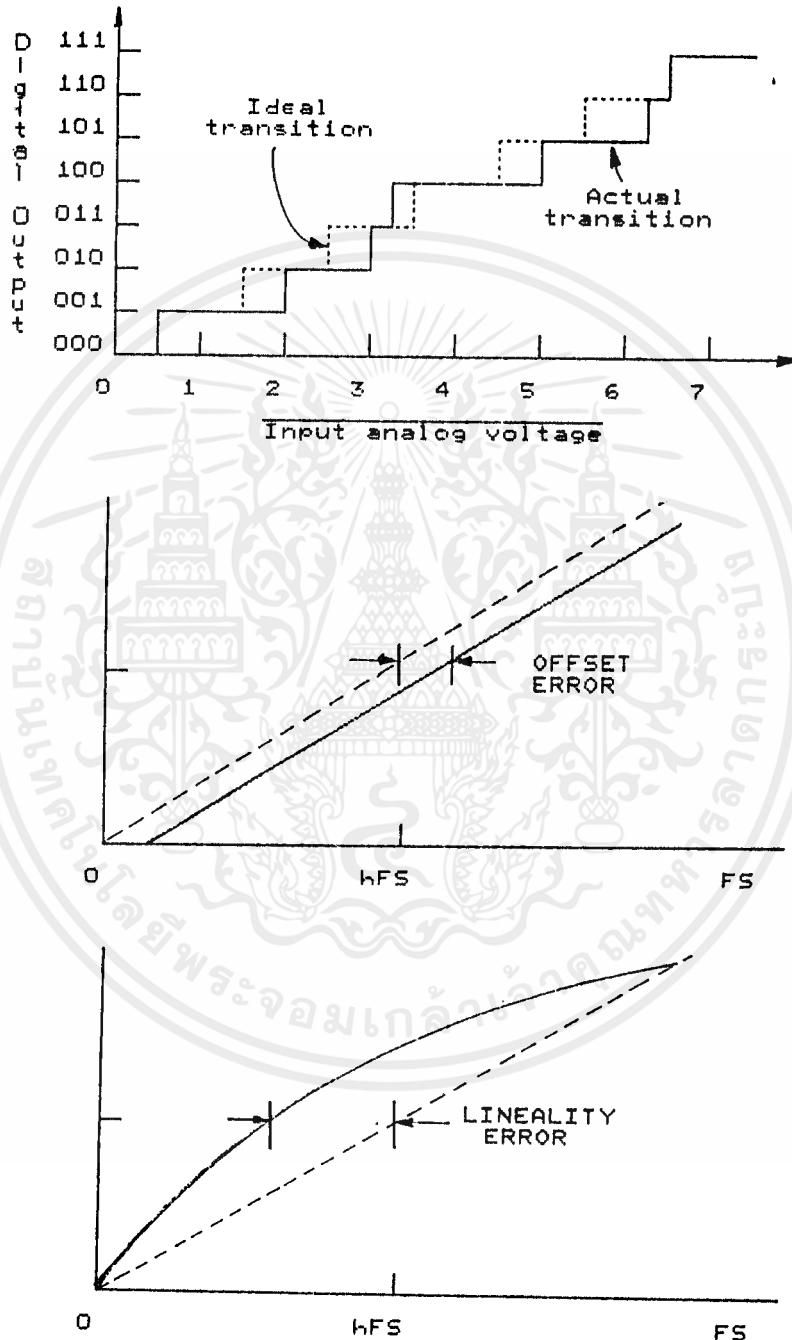
$$Q = \text{FSR}/2^n$$

โดย FSR คือ full scale range ของอนาล็อกอินพุต

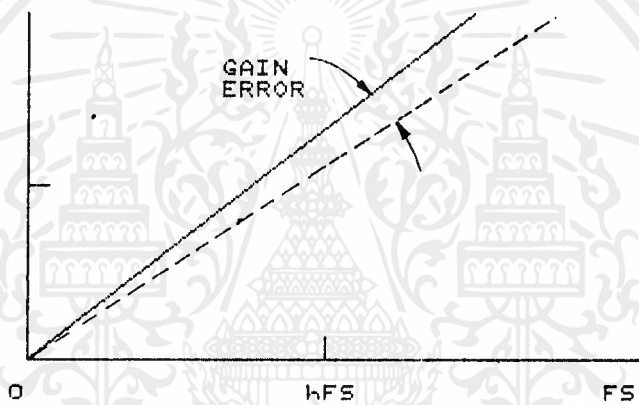
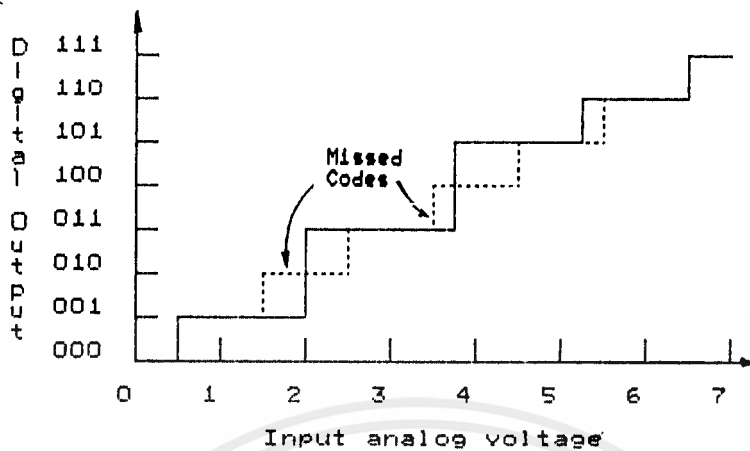


รูปที่ 2.12 แสดงความหมายของค่านิยาม

ถ้าให้อนาล็อกอินพุตมีค่าเปลี่ยนแปลงในช่วง full scale range แล้วหา ผลต่างของอนาล็อกอินพุต กับดิจิทัลเอาต์พุตจะได้ error function มีลักษณะเป็นรูป sawtooth ซึ่งเรียกว่า quantizing error ดังในรูปที่ 2.12 และจะเห็นได้ว่าผลต่างของอนาล็อกอินพุต กับดิจิทัลเอาต์พุตจะมีค่าอยู่ในช่วง  $(1/2)Q$  ซึ่งจากสมการข้างต้น จะเห็นได้ว่า ค่าผิดพลาด(error) ดังกล่าวจะสามารถลดได้โดยการเพิ่มค่า  $n$



รูปที่ 2.13 แสดงความหมายของคำนิยาม



รูปที่ 2.13 แสดงความหมายของค่าเริวม (ต่อ)

monotonic คือเมื่อทำการเปลี่ยนแปลงค่าของอนาล็อกอินพุต แล้วจะทำให้ ดิจิตอล เอาต์พุตมีการเปลี่ยนแปลงในทิศทางเดียวกับอินพุตด้วย ดังแสดงในรูปที่ 2.13

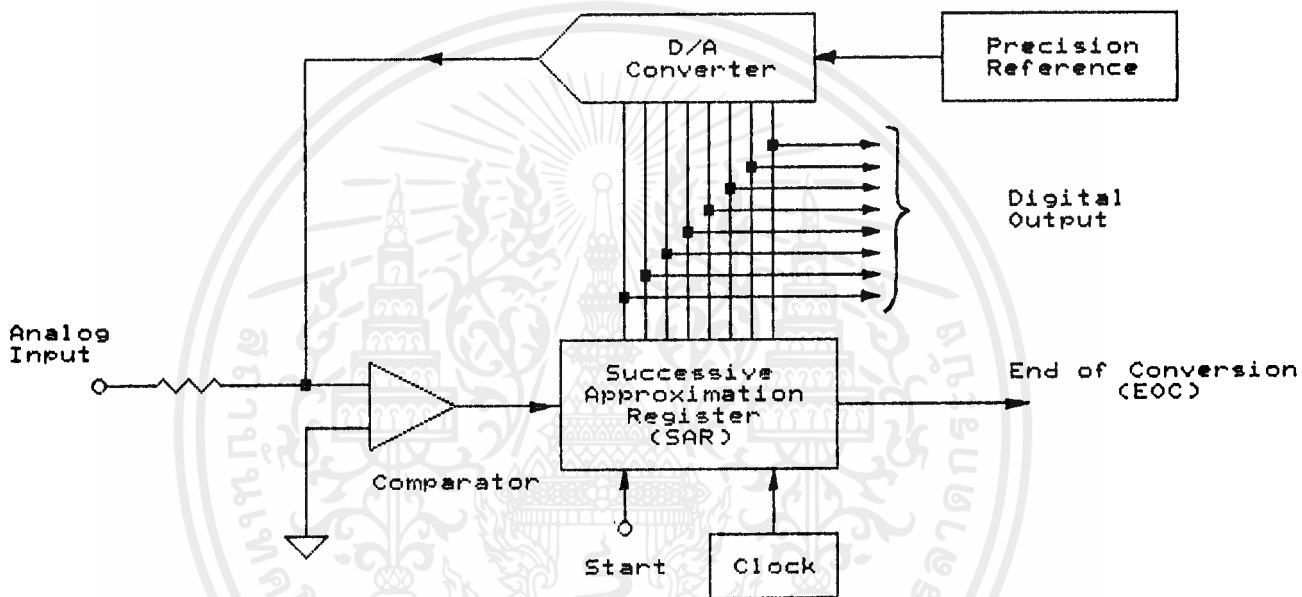
missing code คือการที่เอาต์พุตสแตทบางค่าหายไป กล่าวคือถึงแม้จะมีการเปลี่ยนแปลงค่าของอนาล็อกอินพุตตลอดช่วงที่ใช้ทำงานแล้วก็ตาม จะไม่มีค่าของอินพุตค่าใด ที่ทำให้เกิดเอาต์พุตสแตทค่านั้นได้ ดังแสดงในรูปที่ 2.13

offset error คือค่าผิดพลาด ซึ่งเกิดจาก การที่แต่ละช่วง(step) ของอนาล็อก อินพุตที่ทำให้ดิจิตอลเอาต์พุตมีการเปลี่ยนแปลงต่างก็มีค่าเท่ากับ 1 LSB แต่จุดกึ่งกลาง ของช่วงแรกไม่ได้เกิดที่ตำแหน่งศูนย์ ดังแสดงในรูปที่ 2.13

gain error คือค่าผิดพลาดซึ่งเกิดจาก การที่แต่ละช่วงของอนาล็อกอินพุต ที่ทำให้ดิจิตอลเอาต์พุตมีการเปลี่ยนแปลงต่างก็มีค่าเท่ากันแต่ไม่เท่ากับ 1 LSB ดังนั้นถ้าลากเส้นเชื่อมระหว่างจุดกึ่งกลางของแต่ละช่วงแล้ว จะได้เป็นรูปเส้นตรง ดังแสดงในรูปที่ 2.13

linearity error คือค่าผิดพลาดซึ่งเกิดจากการที่แต่ละช่วงของอนาล็อกอินพุตที่ทำให้ดิจิตอลเอาต์พุต มีการเปลี่ยนแปลงมีค่าไม่เท่ากันตลอดช่วงของอินพุต ดังนั้นถ้าลากเส้นเชื่อมระหว่างจุดกึ่งกลางของแต่ละช่วงแล้วจะไม่ได้รูปเส้นตรง ดังแสดงในรูปที่ 2.13

### Successive Approximation A/D Converter



รูปที่ 2.14 แสดงบล็อกไดอะแกรมการทำงาน ของ Successive Approximation A/D Converter

จากรูปที่ 2.14 จะเห็นว่า A/D Converter แบบนี้จะประกอบด้วยส่วนที่สำคัญคือ ออปแอมป์คอมพาราเตอ์, D/A Converter (DAC), แหล่งจ่ายศักดาเปรียบเทียบ และ SAR (Successive Approximation Register)

เมื่อเริ่ม conversion cycle ทุกบิตของ SAR จะถูกรีเซ็ตให้มีค่าเป็นศูนย์ เมื่อมีสัญญาณ clock ลุกแรกผ่านเข้ามา most significant bit (MSB) ของ SAR จะถูกรีเซ็ตให้มีค่าเป็น "1" และส่งให้เป็นดิจิตอลอินพุตของ DAC จากนั้นออปแอมป์คอมพารา-

เตอร์จะเปรียบเทียบค่าเอาต์พุตของ DAC กับอนาล็อกอินพุต ถ้าเอาต์พุตของ DAC มีค่าน้อยกว่าอนาล็อกอินพุต MSB จะยังคงมีค่าเป็น "1" แต่ถ้าเอาต์พุตของ DAC มีค่ามากกว่าอนาล็อกอินพุต MSB จะถูกรีเซ็ตให้มีค่าเป็น "0" จากนั้นนับต่อไปจะถูกเซ็ตให้มีค่าเป็น "1" ขึ้นตอนต่อไปของการทำงานจะมีลักษณะเหมือนกับกรณีของ MSB การทำงานในลักษณะเช่นนี้ จะกระทำจนครบทุกบิต เพื่อที่จะทำให้อเอาต์พุตของ DAC มีค่าใกล้เคียงกับอนาล็อกอินพุตมากที่สุด ซึ่งสุดท้ายจะได้ว่าผลต่างระหว่างเอาต์พุตของ DAC กับอนาล็อกอินพุต จะมีค่าอยู่ในช่วง  $(1/2)LSB$

สำหรับ A/D CONVERTER แบบนี้ ค่า conversion time ( $t_{conv}$ ) จะมีค่าแปรผันโดยตรงกับความเร็วของคอมพาราเตอร์ และ DAC ซึ่งช่วงเวลา  $t_{conv}$  ที่ใช้จะต้องมีค่าอย่างน้อยที่สุดเท่ากับ  $n$  clock period โดย  $n$  คือจำนวนบิตของดิจิตอลเอาต์พุตของ DAC และเมื่อเปรียบเทียบความเร็วในการทำงานแล้ว จะพบว่าแบบ Successive Approximation จะทำงานได้เร็วกว่าแบบ Dual Slope

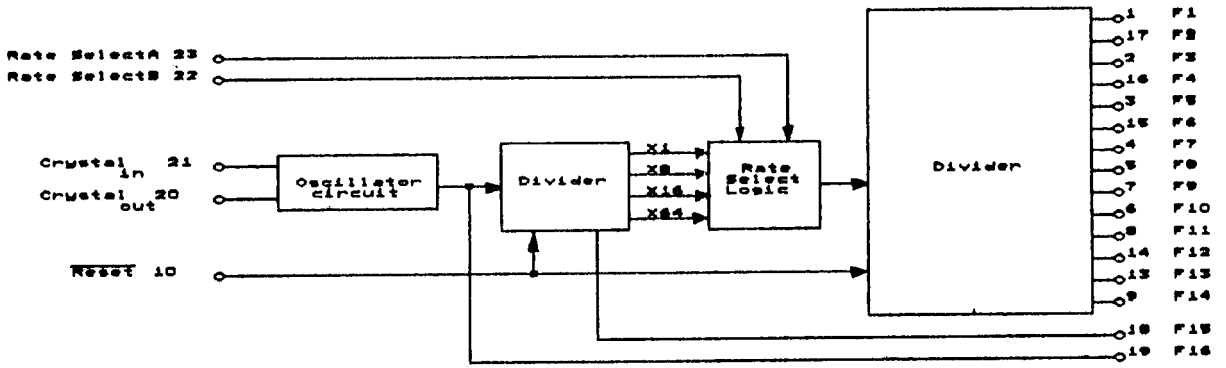
ในการใช้งานมักจะต้องเพิ่มวงจร Sampling and Hold เพื่อให้ค่าของอนาล็อกอินพุตคงที่ในขณะที่ DAC ทำงานอยู่

ข้อเสียของ Successive Approximation A/D Converter คือค่าความถูกต้องความเป็นเชิงเส้น และ  $t_{conv}$  ของ A/D Converter แบบนี้จะถูกจำกัดโดยส่วน DAC

## 2.5 Bit Rate Generator

Bit Rate Generator เป็นแหล่งจ่ายสัญญาณนาฬิกา (clock) ให้กับอุปกรณ์ที่ใช้ในกระบวนการที่มีการสื่อสารข้อมูลเช่น teleprinters, printers, CRT terminals และ microprocessor systems เป็นต้น ซึ่งในปริศยานิพนธ์ฉบับนี้ขอเสนอ IC ของโมโตโรล่า คือเบอร์ MC14411

MC14411 มีโครงสร้างเป็นแบบ complementary MOS enhancement ซึ่งภายในจะประกอบไปด้วยส่วนสำคัญ ๆ คือ ส่วน Oscillator Circuits ส่วน Dividers ส่วน Rate Select Logic ซึ่งสามารถแสดงการทำงานของส่วนต่าง ๆ ได้ด้วย Block Diagram ดังแสดงในรูป 2.15



รูปที่ 2.15 แสดง Block Diagram การทำงานของ MC14411

ในการใช้งานของ MC14411 เราสามารถเลือก Output Clock Rate ให้มีขนาดตามที่เราจะใช้งานโดยเลือกใช้ตามตาราง

Rate Select		Rate
B	A	
0	0	*1
0	1	*8
1	0	*16
1	1	*64

ตารางที่ 2.1 แสดงการเลือก Rate

Output Number	Output Rate(Hz)			
	*64	*16	*8	*1
F1	614.4k	153.6k	76.8k	9600
F2	460.8k	115.2k	57.6k	7200
F3	307.2k	76.8k	38.4k	4800
F4	230.4k	57.6k	28.8k	3600
F5	153.6k	38.4k	19.2k	2400
F6	115.2k	28.8k	14.4k	1800
F7	76.8k	19.2k	9600	1200
F8	38.4k	9600	4800	600
F9	19.2k	4800	2400	300
F10	12.8k	3200	1600	200
F11	9600	2400	1200	150
F12	8613.2	2153.3	1076.6	134.5
F13	7036.5	1200	879.4	109.9
F14	4800	1758.8	600	75
F15	921.6k	921.6k	921.6k	921.6k
F16	1.843M	1.843M	1.843M	1.843M

ตารางที่ 2.2 แสดง Output Clock Rate ของ MC14411

## 2.6 Carrier-Current Transceiver

### LM1893 Carrier-Current Transceiver

Carrier-Current System เป็นระบบที่ใช้สายไฟฟ้าจ่ายกำลังเป็นสื่อนำสัญญาณ ในการส่งผ่านข้อมูลระหว่างจุดที่อยู่ห่างกัน ชิปไอซีไบโพลาร์ที่นำมาใช้นี้คือเบอร์ LM1893

ทำหน้าที่เป็นตัวอินเตอร์เฟสกับสายไฟฟ้าจ่ายกำลังสำหรับการรับส่งข้อมูลแบบฮาล์ฟดูเพล็กซ์ (สองทิศทาง) ข้อมูลที่ส่งมีลักษณะเป็นขบวนเปิดอนุกรมในรูปแบบใด ๆ ก็ได้

ในการส่งจะมอดกับคลื่นพาห์ที่เป็นรูปไซน์โดยมอดแบบ FSK และส่งไปบนสายไฟฟ้าจ่ายกำลังผ่านไดร์ฟเวอร์ที่มีอยู่แล้วบนชิป

ในการรับ จะทำการดีมอดโดยใช้ PLL รวมทั้งมีฟิลเตอร์กำจัดสัญญาณรบกวนอิมพัลส์ เพื่อให้ได้เร้นจ์สูงสุด

ระบบที่สมบูรณ์นั้นจะประกอบด้วย LM1893 คอนโทรลเลอร์ และอุปกรณ์ประกอบอีกบ้างเล็กน้อย

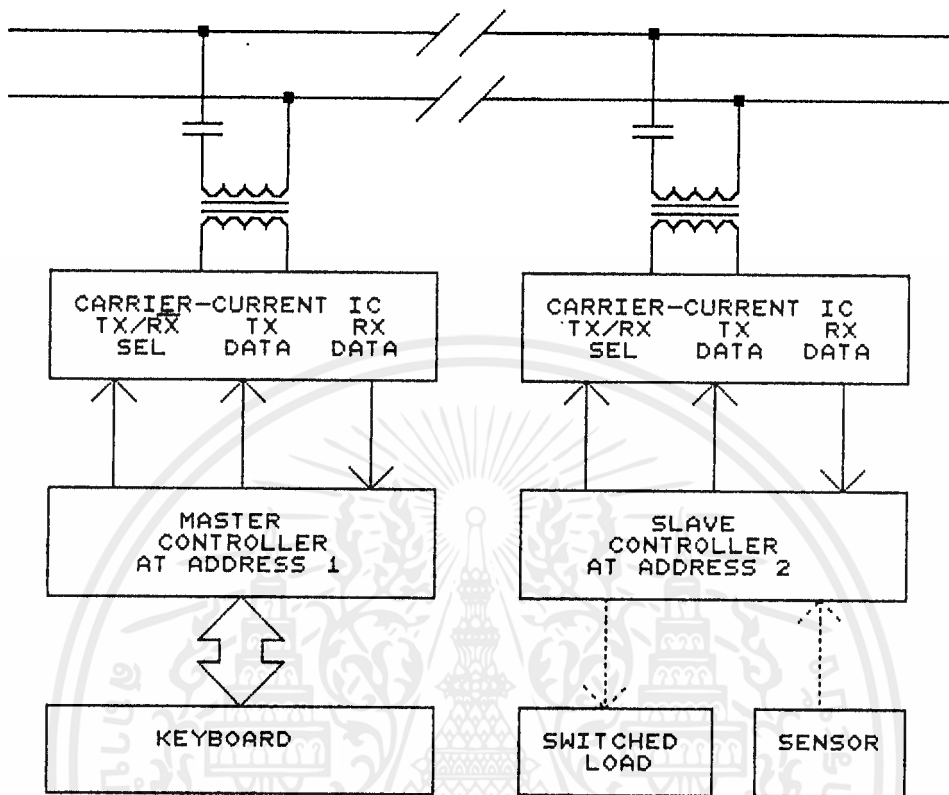
### 2.6.1 ลักษณะโดยทั่วไป

- ต่อต้านสัญญาณรบกวนด้วยการใช้การมอดดูเลตแบบ FSK
- การกรองสัญญาณรบกวนอิมพัลส์สามารถเลือกได้โดยผู้ใช้งาน
- อัตราการส่งข้อมูลสูงสุดถึง 4.8 kBaud
- ข้อมูลเป็นสตริงของ 0 กับ 1
- มีไลน์ไดร์ฟสัญญาณรูปไซน์สำหรับ RFI ที่ต่ำ
- สามารถเพิ่มกำลังเอาต์พุตได้ง่ายโดยเพิ่มส่วนบูสต์
- ความถี่คลื่นพาห์เลือกได้ตั้งแต่ 50 ถึง 300 kHz
- ระดับแรงดันเหมาะสมกับ TTL และ CMOS
- มีแรงดันเรกกูเลตสำหรับจ่ายเป็นลอจิกได้
- สามารถขับสายไฟฟ้าจ่ายกำลังใด ๆ ก็ได้

### 2.6.2 การประยุกต์ใช้งาน

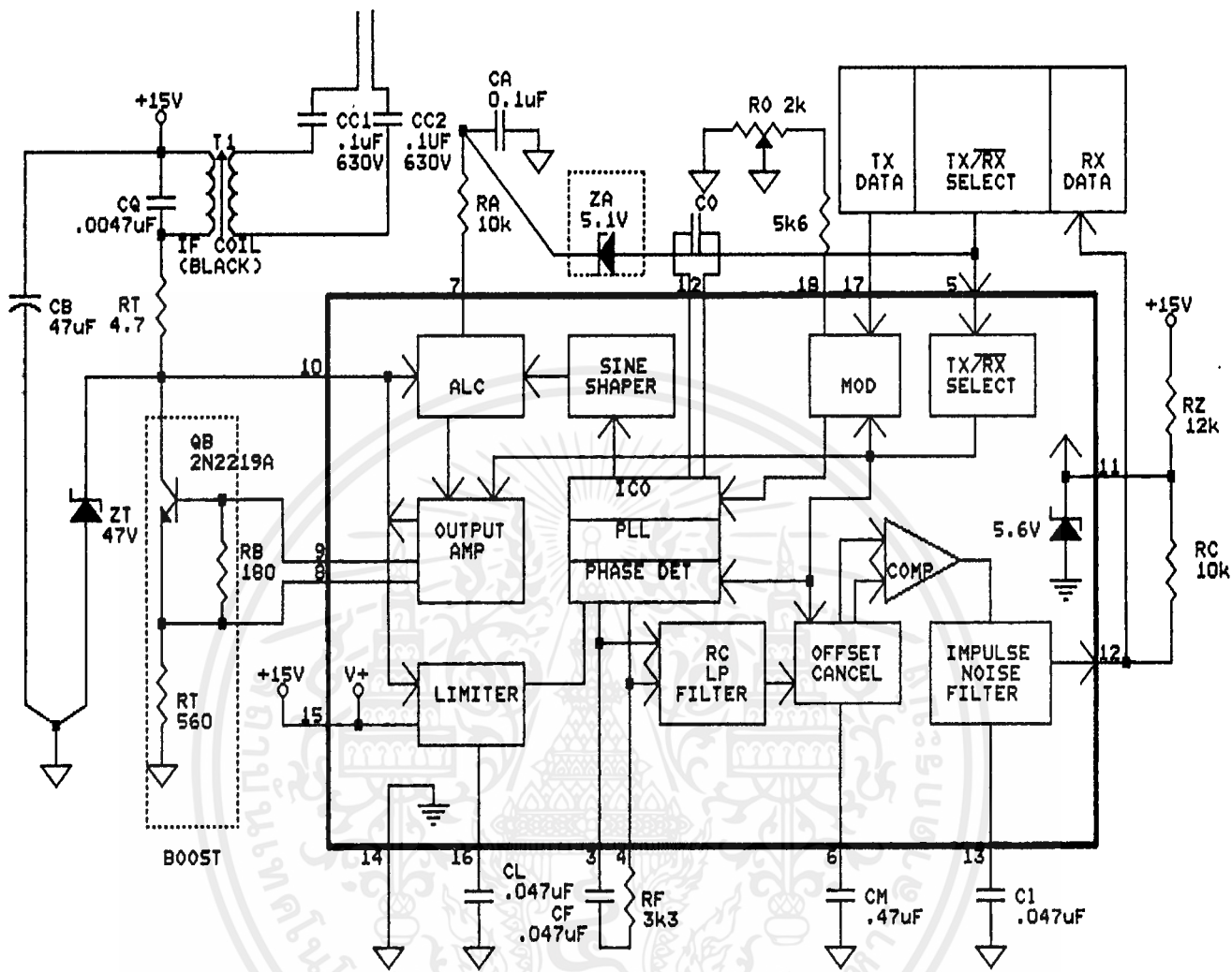
- ระบบจ่ายกำลังงาน
- การควบคุมความสะอาดในบ้าน
- การติดต่อสื่อสารภายในสำนักงาน
- การควบคุมอุปกรณ์ไฟฟ้า
- ระบบเตือนไฟไหม้

- ระบบรักษาความปลอดภัย
- การเชื่อมต่อกับคอมพิวเตอร์



**รูปที่ 2.16** แสดงบล็อกไดอะแกรมของ Carrier-Current System ที่ใช้ชิป LM1893 เป็นตัวอินเทอร์เฟซกับดิจิทัลคอนโทรลเลอร์ผ่านทางสายไฟฟ้าจ่ายกำลัง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.17 แสดงตัวอย่างวงจรประยุกต์ใช้งานจริงของ LM1893

## 2.7 การส่งข้อมูลแบบอนุกรม

วิธีการส่งข้อมูลที่ได้ความนิยมแพร่หลายมากที่สุดก็คือ การส่งแบบอนุกรม ในการส่งแบบอนุกรมนั้นบิตทั้งหมดของตัวอักษรหนึ่งตัวจะถูกนำมาส่งออกไปทีละบิต ติดต่อกันไปเรื่อย ๆ ตามแกนแนลซึ่งมีอยู่เพียงแกนแนลเดียว ทางด้านรับ เมื่อรับข้อมูลมาแล้วก็จะนำมาจัดเป็นตัวอักษรขึ้นใหม่ให้ตรงกับชุดของตัวอักษรที่ทางด้านส่งส่งมา ซึ่งวิธีการดังกล่าวนี้

จะต้องประกอบด้วยความสัมพันธ์ในการทำงานระหว่างด้านรับและด้านส่ง เพื่อให้สามารถ  
ได้อักขระที่ถูกต้องกลับมาใช้งาน

สำหรับการส่งข้อมูลในระบบการสื่อสารข้อมูลนั้นจะใช้วิธีการส่งแบบอนุกรม เพราะ  
การใช้งานหลักของการสื่อสารข้อมูลก็เพื่อการส่งข้อมูลในระยะทางไกล ๆ

สำหรับการส่งแบบอนุกรมนั้น สิ่งหนึ่งที่ต้องระมัดระวังก็คือ ความผิดพลาดเกี่ยวกับ  
ความสัมพันธ์ของบิตและตัวอักขระที่ส่ง เพราะเรานำเอาบิตของอักขระหลาย ๆ ตัว  
มาส่งเรียงกันไป ฉะนั้นทางด้านรับจะต้องสามารถรับบิตได้อย่างถูกต้อง และจะต้องแยก  
อักขระที่รับมาเป็นอักขระเดิมที่ทางด้านส่ง ส่งออกมาได้ ซึ่งต้องอาศัยความสัมพันธ์ของข้อมูล  
และของอักขระ

## 2.8 การส่งข้อมูลแบบขนาน

วิธีการส่งข้อมูลแบบขนานนั้น เราจะนำทุกบิตของรหัสที่ประกอบเป็นอักขระหนึ่งตัว  
ส่งออกไปพร้อม ๆ กันในเวลาเดียวกัน ซึ่งต้องใช้แขนแนลหรือทางเดินของข่าวสารเท่ากับ  
จำนวนบิตที่ประกอบเป็นอักขระหนึ่งตัวนั้น นั่นหมายความว่าหากเรามีรหัสขนาด 8 บิตก็  
ต้องมีแขนแนลสำหรับการส่งจำนวนเท่ากับ 8 แขนแนล

สำหรับการส่งแบบขนานนั้น อาจมีเทคนิคบางอย่างที่เราสามารถนำมาใช้ในการส่ง  
บิตทุกบิตที่ประกอบเป็นอักขระตัวนั้นไปบนแขนแนลเดียวโดยอาศัยความถี่ที่แตกต่างกันได้ วิธี  
การดังกล่าวนี้เรียก การมัลติเพล็กซ์

ในการส่งแบบขนานนั้น ทุก ๆ บิตของข่าวสารในหนึ่งตัวอักขระจะถูกส่งไปในลักษณะ  
ขนานกันแต่การส่งระหว่างตัวอักขระจะส่งเป็นแบบอนุกรมกัน คือ ส่งอักขระตัว 1, ที่ 2, ที่  
3 ไปเรื่อย ๆ จนหมด การส่งแบบขนานนั้นมักใช้ในระบบสื่อสารที่มีระยะทางในการติดต่อ  
ไม่ไกลมากนัก และโดยเฉพาะอย่างยิ่งในการส่งข้อมูลแบบนี้จะมีอัตราการส่งข้อมูลระ  
หว่างคอมพิวเตอร์กับอุปกรณ์ประกอบของคอมพิวเตอร์ต่าง ๆ เช่น จอภาพ เครื่องอ่านเทป  
แม่เหล็ก การส่งข้อมูลแบบนี้จะมีอัตราการส่งข้อมูลที่สูงมากแต่ในกรณีที่ระยะทางในการ  
ติดต่อเป็นระยะทางไกลมาก ๆ นั้นการส่งแบบขนานจะไม่ได้ได้รับความนิยม เพราะราคาของ  
การวางแขนแนลขนานจะสิ้นเปลืองค่าใช้จ่ายสูงมาก

## 2.9 การส่งแบบ Synchronous

การส่งข้อมูลแบบนี้ ความสัมพันธ์ระหว่างข้อมูลที่เราส่งในระบบการสื่อสารข้อมูลนั้น เราจะต้องพิจารณาถึงความสัมพันธ์สองชนิดคือ ความสัมพันธ์ของบิตที่ประกอบกันเป็นอักขระหนึ่งตัว และความสัมพันธ์ของอักขระที่ประกอบกันเป็นบล็อก

### 2.9.1 ความสัมพันธ์ของบิต

ความสัมพันธ์ของบิตหมายถึง ทางด้านรับจะต้องได้รับบิตต่าง ๆ ที่ทางด้านส่งทำการส่งมาได้อย่างถูกต้อง คือทางด้านรับจะต้องทราบว่า จะรับบิตจากสายส่งนั้นเมื่อใด หลังจากรับตัวแรกมาแล้วจะรับตัวที่ 2, 3 และตัวต่อ ๆ ไปเมื่อไร ซึ่งสามารถกระทำได้โดยการเพิ่มสัญญาณคล็อก หรือสัญญาณนาฬิกา เข้าไปที่จุดปลายของระบบทั้งสองด้าน

### 2.9.2 ความสัมพันธ์ของตัวอักขระ

ในการรับข่าวสารตามสายนั้น แม้ว่าเราจะมีการจัดเก็บเกี่ยวกับความสัมพันธ์ของบิตแล้วก็ตาม ยังมีปัญหาที่ตามมาอีกก็คือ ในการส่งนี้เรานำเอาบิตของอักขระหลาย ๆ ตัวมารวมกันเป็นบล็อก ฉะนั้นแม้ว่าบิตต่าง ๆ จะได้รับมาอย่างถูกต้องแล้วก็ตาม เรายังต้องทราบอีกว่ากลุ่มของบิตที่แสดงถึงตัวอักขระต่าง ๆ นั้น เริ่มต้นที่บิตใด

## 2.10 การส่งแบบ Asynchronous

ในการส่งแบบนี้ ตัวอักขระจะถูกส่งออกไปที่เวลาใด ๆ ก็ได้ โดยไม่จำเป็นต้องมีความสัมพันธ์ระหว่างตัวอักขระว่าจะต้องมีเวลาแน่นอนอย่างไร โดยเราอาจจะส่งตัวอักขระติดต่อกันไปดังเช่นในการส่งแบบ Synchronous หรืออาจจะเว้นช่วงเวลาระหว่างการส่งตัวอักขระเป็นเวลาที่เท่าใดก็ได้ ในกรณีเช่นนี้ทางด้านรับจำเป็นต้องสร้างความสัมพันธ์ขึ้นใหม่สำหรับอักขระแต่ละตัวที่รับมา ฉะนั้นทางด้านรับจะต้องทราบถึงบิต เริ่มต้นของอักขระแต่ละตัวว่า เริ่มต้นเมื่อใด วิธีดังกล่าวสามารถกระทำได้โดยการเพิ่มบิตที่เรียกว่า พัลส์ เริ่มต้น โดยเติมเข้าไปข้างหน้าชุดของบิตของทุก ๆ ตัวอักขระสำหรับบอกให้ทางด้านรับทราบถึง

การเริ่มต้นบิตของตัวอักษรใด ๆ

## 2.11 ความแตกต่างระหว่างการส่งแบบ Synchronous และ Asynchronous

สำหรับการส่งแบบ Asynchronous นั้นอักขระแต่ละตัวจะถูกส่งไปอย่างอิสระไม่ขึ้นกับอักขระตัวอื่น ๆ โดยมีบิตเริ่มต้นและบิตสิ้นสุดประกอบอยู่เป็นของตัวเอง สำหรับบอกเครื่องรับให้ทราบถึงจุดเริ่มต้น และจุดสิ้นสุด แต่ในระบบการส่งแบบ Synchronous นั้นข้อมูลจะถูกส่งไปเป็นหน่วยหนึ่ง หลังจากปรับเครื่องรับส่งให้ทำงานสัมพันธ์กันอย่างถูกต้องแล้วจึงทำการส่งข้อมูลบล็อกนั้น ๆ



## บทที่ 3

### วงจรที่ใช้ในการทดลอง

#### 3.1 หลักการควบคุมกระบวนการ

ในโครงการนี้ได้ทำฮาร์ดแวร์เพื่อการควบคุมกระบวนการจากระยะไกล กล่าวคือ ตัวไมโครคอมพิวเตอร์ที่ใช้ควบคุมนั้นสามารถจะอยู่ไกลจากจุดควบคุมมาก ๆ ได้ โดยไม่ต้องมีการเดินสายจำนวนมากแต่อย่างใด เพราะฮาร์ดแวร์ที่ใช้จะติดต่อกับศูนย์ควบคุมโดยการสื่อสารผ่านพอร์ตสื่อสารอนุกรม (RS-232C) ของเครื่องไมโครคอมพิวเตอร์ PC ซึ่งจะใช้สายนำสัญญาณเพียงสองเส้นเท่านั้น

ด้วยการส่งและรับสัญญาณข้อมูลเป็นดิจิทัลทั้งหมด ซึ่งเข้ารหัสค่าสัญญาณอนาล็อกให้เป็นสัญญาณดิจิทัลที่มีการเปลี่ยนแปลงแรงดันเพียงสองระดับคือศูนย์กับหนึ่งเท่านั้น จึงมีความถูกต้องของข้อมูลสูงมาก เพราะสัญญาณรบกวนจะส่งผลผิดพลาดต่อข้อมูลน้อยลง

ขอบเขตของการควบคุมของแต่ละหน่วยควบคุม

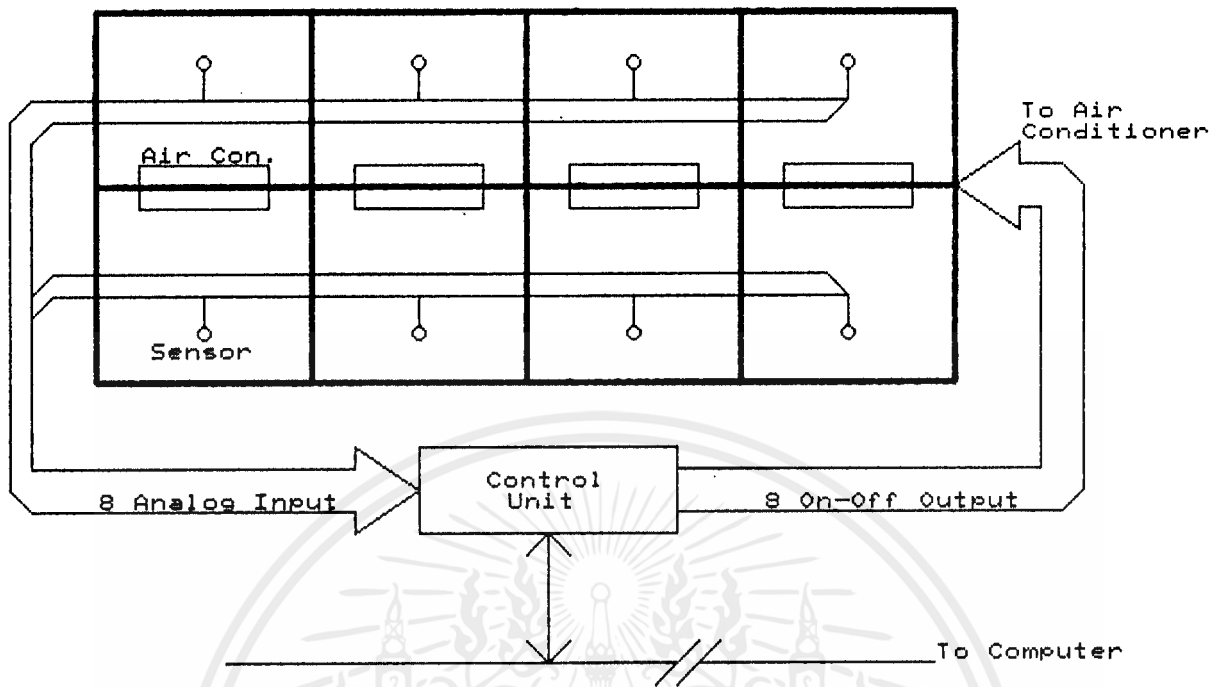
สามารถรับอินพุตอนาล็อกได้ 8 อินพุต

ควบคุมปิด-เปิดอุปกรณ์ไฟฟ้าได้สูงสุด 8 เครื่อง

(หรือใช้เป็นเอาต์พุตแบบอนาล็อกได้ 1 เอาต์พุตโดยต่อผ่าน DAC)

ขอยกตัวอย่างการนำไปประยุกต์ใช้งานดังนี้ สมมติให้กระบวนการที่จะต้องทำการควบคุม เป็นการควบคุมอุณหภูมิให้อยู่ในย่านที่ต้องการในห้อง 8 ห้อง ที่ติดเครื่องปรับอากาศไว้ห้องละหนึ่งตัว

ส่วนประกอบของระบบนั้น ต้องมีเซ็นเซอร์อุณหภูมิติดไว้ในห้องทั้ง 8 ห้อง ห้องละหนึ่งตัว การปิด-เปิดของเครื่องปรับอากาศต้องต่อผ่านเอาต์พุตของหน่วยควบคุมนี้

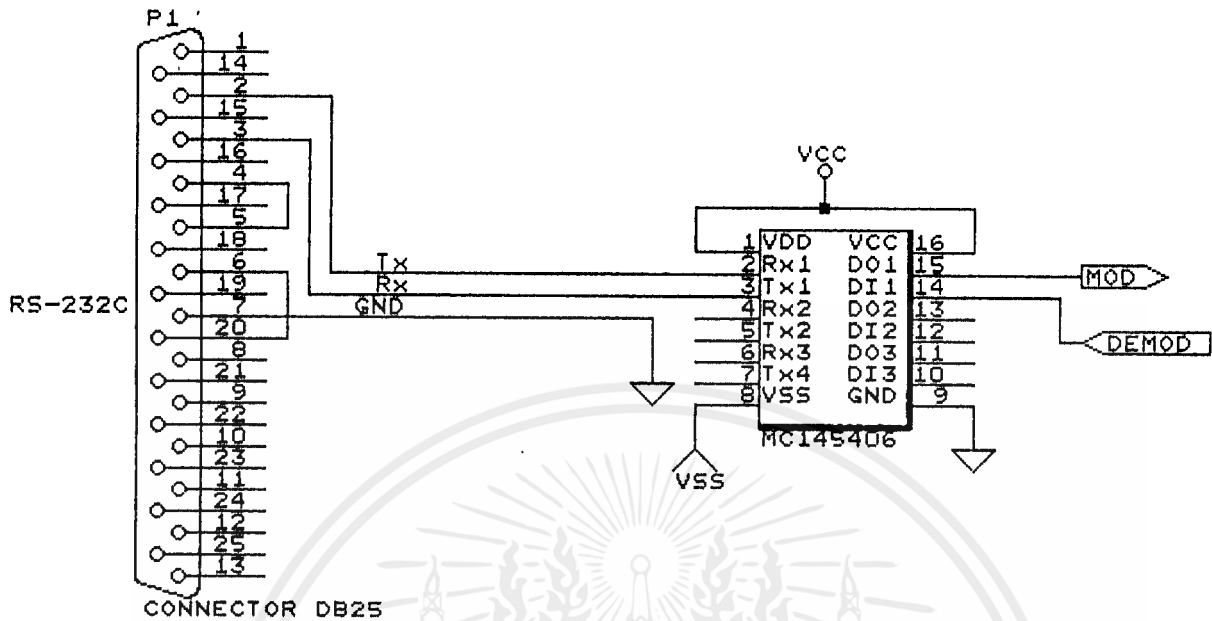


รูปที่ 3.1 แสดงตัวอย่างกระบวนการที่สามารถควบคุมได้

เริ่มต้นจะสั่งให้เครื่องปรับอากาศเปิดหมดทุกตัว แล้วทำการวนรับค่าจากเซ็นเซอร์ทุกตัว หากพบว่าได้ค่าอุณหภูมิเกินที่ต้องการในห้องใดแล้วก็จะสั่งให้เครื่องปรับอากาศในห้องนั้นปิด และเมื่ออุณหภูมิในห้องนั้นสูงขึ้นถึงพิกัดควบคุมก็จะสั่งให้เครื่องปรับอากาศเปิดอีกครั้ง ในแต่ละห้องก็จะเป็นเช่นนี้ไปเรื่อย ๆ

### 3.2 การรับส่งสัญญาณผ่านพอร์ตสื่อสารอนุกรม

จากพอร์ตสื่อสารอนุกรมของ PC ซึ่งเป็นแบบ RS-232C ต่อผ่านคอนเน็กเตอร์ DB25 ทำการลัดวงจรบางขาเพื่อลดการตรวจเงื่อนไขบางอย่างลง เหลือเพียงขา Tx RX และ GND นำมาต่อผ่านไอซี MC145406 เพื่อเปลี่ยนระดับแรงดันออกให้เหมาะสมอยู่ในระดับแรงดันของไอซีทีทีแอล



รูปที่ 3.2 แสดงการอินเตอร์เฟสกับ PC

### 3.3 การรับส่งข้อมูลผ่านสายไฟเอซี

สัญญาณข้อมูลดิจิทัลนั้นนำไปมอดแบบ FSK (Frequency Shift Keying) โดยใช้ไอซีเบอร์ LM1893 ซึ่งเป็น Carrier Current Transceiver (CCT) หรือบางทีเรียกว่า Power Line Carrier (PLC) Transceiver แล้วคัปปลิ่งผ่านไอเอฟคอลลีย์ส่งออกไปตามสายไฟด้วยความถี่คลื่นพาห์ 80 kHz โดยมีคาปาซิเตอร์อนุกรมไว้ป้องกันแรงดันไฟจากไฟกระแอสลับเข้าไปทำลายวงจร แต่ในโครงงานนี้ส่งผ่านสายไฟคู่แทน

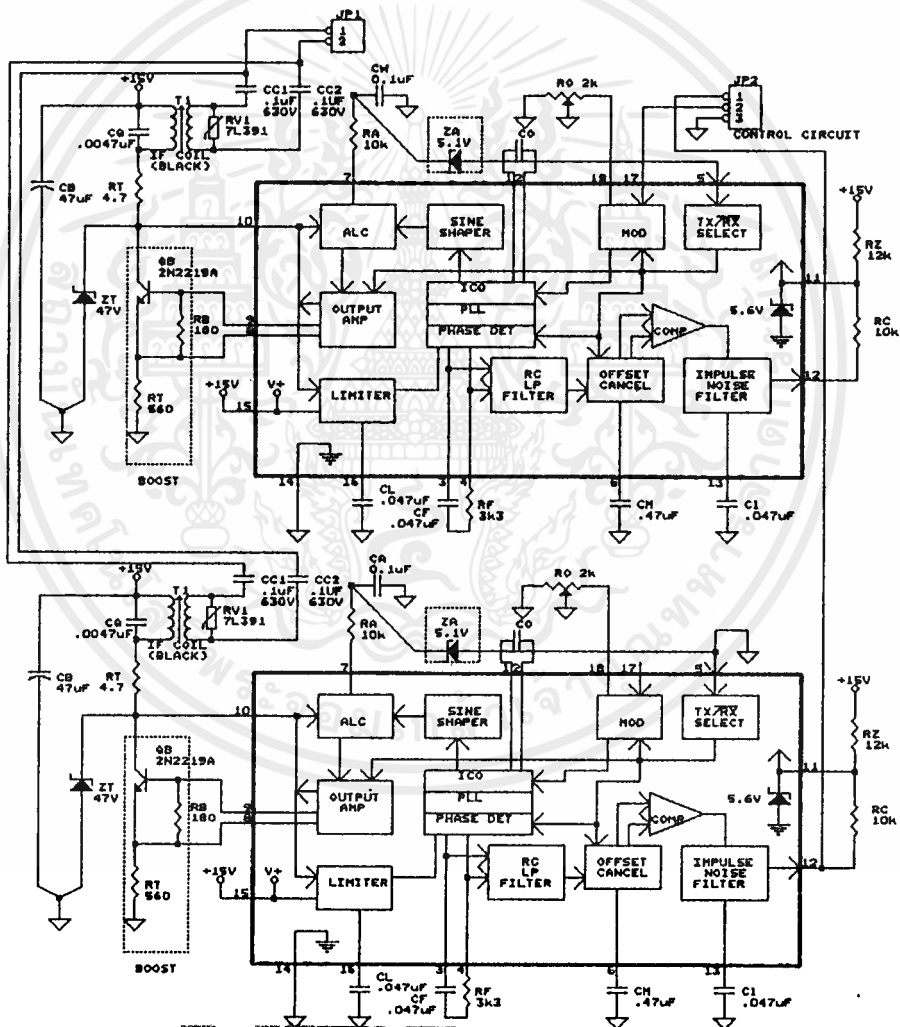
สัญญาณข้อมูลดิจิทัลที่ถูกมอดส่งมาจะถูกรับและดีมอดที่หน่วยควบคุม ด้วยการใช้อิซี LM1893 เช่นกัน โดยการต่อขา TX/RX SELECT ลงกราวนด์ และเลือกค่าอุปกรณ์ให้ทำการดีมอดที่ความถี่เดียวกันกับที่ส่งมาจากคอมพิวเตอรืคือ 80 kHz สัญญาณข้อมูลดิจิทัลที่ได้จะนำไปแปลความหมายว่าเป็นแอดเดรสหรือคำสั่งควบคุมต่อไป

เมื่อหน่วยควบคุมรับแอดเดรสและคำสั่งควบคุมแล้ว จะส่งค่าข้อมูลอินพุตกลับไปให้คอมพิวเตอรืควบคุม โดยจะส่งเข้าสายไฟเอซีโดยใช้ไอซี LM1893 เช่นกัน แต่ใช้ความถี่คลื่นพาห์ที่ 250 kHz สัญญาณมอดจะคัปปลิ่งผ่านไอเอฟคอลลีย์และคาปาซิเตอร์ส่งออก

ทางสายไฟคู่

จากนั้น สัญญาณข้อมูลอินพุตที่มอดมาที่คลื่นพาห้ความถี่ 250 kHz จะดับปลั้งผ่าน ไอเอฟคอลลีเข้ามายังไอซีเบอร์ LM1893 อีกตัวที่ต่อขา TX/RX SELECT ลงกราวด์เพือ ตั้งให้เป็นตัวรับ และเลือกค่าอุปกรณ์ให้ทำการดีมอดที่ความถี่ 250 kHz ได้สัญญาณดิจิตอล ออกมาผ่านไอซี MC145406 เพื่อปรับระดับแรงดันให้เหมาะสมเป็นอินพุต Rx ให้กับ เครื่องคอมพิวเตอร์ที่ใช้ควบคุมต่อไป

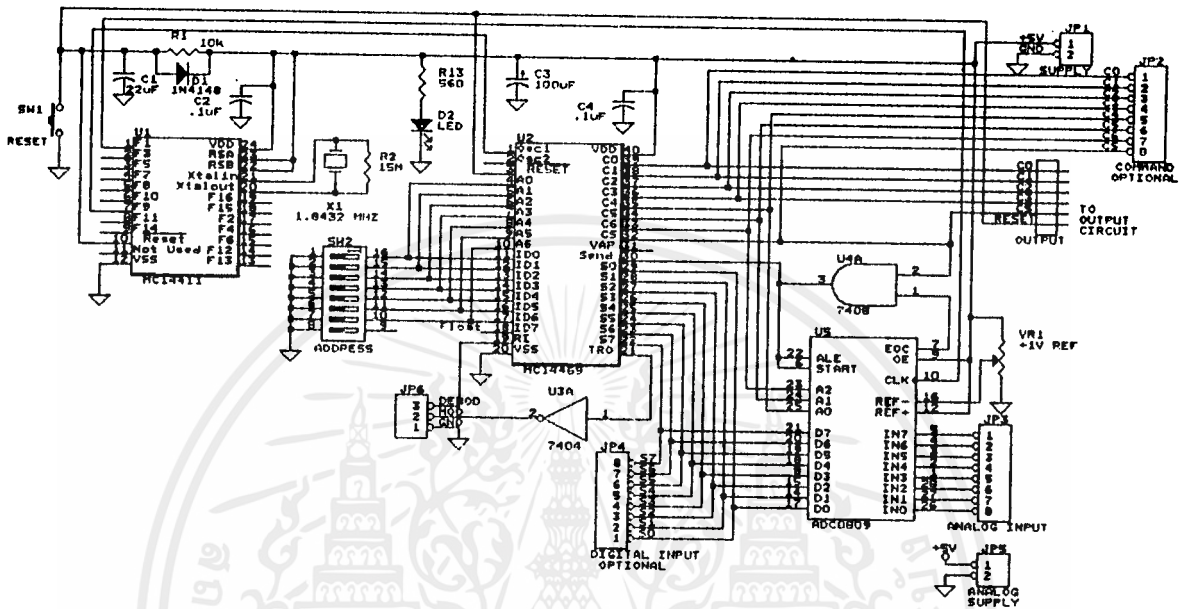
วงจรมอดดูเลขขึ้นและดีมอดดูเลขขึ้นแสดงดังรูปที่ 3.3 ซึ่งวงจรเหมือนกันทั้งของชุด ที่รับ-ส่งที่คอมพิวเตอร์และที่หน่วยควบคุม เพียงแต่เปลี่ยนค่าอุปกรณ์บางตัวตามค่าความถี่ที่ ต้องการเท่านั้น



รูปที่ 3.3 แสดงวงจรมอดดูเลขขึ้นและดีมอดดูเลขขึ้น

### 3.4 หน่วยควบคุม

วงจรทั้งหมดแสดงได้ดังรูปที่ 3.4



รูปที่ 3.4 แสดงวงจรของหน่วยควบคุม

#### 3.4.1 การรับส่งแบบอนุกรม

สัญญาณข้อมูลแบบอนุกรมที่ได้มาจากการติ่มอดโดยไอซี LM1893 แล้วจะส่งไปยังขา RI ของไอซี MC14469 ซึ่งเป็นไอซีที่ทำกรรับข้อมูลแบบอะซิงโครนัส ทำให้ไม่ต้องใช้คล็อกร่วมกัน โดย MC14469 รับคล็อกมาจากไอซีบิตเรต MC14411 ข้อมูลที่ได้จะนำมาเทียบกับขาแอดเดรสที่ตั้งไว้ หากตรงกันก็แสดงว่าเครื่องไมโครคอมพิวเตอร์ต้องการสั่งหน่วยควบคุมนี้ ซึ่งค่าแอดเดรสนี้บิต MSB ต้องเป็น 1 ดังนั้นจึงมีหน่วยควบคุมได้สูงสุด 128 หน่วย เทียบกับรหัสแอสกีก็คือรหัส 80H ถึง FFH จากนั้นจึงรับคำสั่งควบคุมที่ส่งตามมาซึ่งจะปรากฏที่ขา CO-C6 เพื่อนำไปสั่งเปิด-ปิดอุปกรณ์ไฟฟ้าตัวใด และรับอินพุตจากเซ็นเซอร์ตัวใดต่อไป คำสั่งควบคุมนี้บิต MSB ต้องเป็น 0 ดังนั้นก็คือรหัส 00H ถึง 7F นั้นเอง ที่ขา CS จะมีสัญญาณพัลส์บอกว่าจะรับคำสั่งมาเรียบร้อยแล้ว ซึ่งจะนำไปเป็นสัญญาณ

SEND เพื่อให้ MC14469 ส่งข้อมูลกลับไปให้เครื่องไมโครคอมพิวเตอร์จากขา TRO ของ MC14469 ต่อผ่านอินเวอร์เตอร์แล้วนำไปมอดส่งออกตามสายไฟไปยังเครื่องไมโครคอมพิวเตอร์ที่ใช้ควบคุม สัญญาณข้อมูลที่ส่งกลับไบต์แรกเป็นแอดเดรสของหน่วยควบคุมเพราะต่อขา ID0-ID6 ไว้กับขาแอดเดรส A0-A6 ด้วย ซึ่งได้ต่อไว้กับคิป์สวิตช์เพื่อให้เปลี่ยนแอดเดรสได้ตามต้องการ ไบต์หลังจาก SO-S7 ซึ่งเป็นอินพุตมาจากไอซี ADC0809 ซึ่งในการทดลองไม่ได้ใช้ เซ็นเซอร์แต่ต่อแรงดันอ้างอิงที่ปรับได้เป็นอินพุตให้แทน

### 3.4.2 การสั่งปิด-เปิดอุปกรณ์ไฟฟ้า

จากขา C0-C3 ของ MC14469 จะใช้ไปควบคุมในการปิด-เปิดอุปกรณ์ไฟฟ้าได้โดย C3 เป็นตัวแสดงว่าสั่งให้ปิดหรือเปิด ถ้าเป็น 0 เป็นการสั่งให้ปิด และเป็น 1 เป็นการสั่งให้เปิด ขา C0-C2 นำไปถอดรหัสโดย 74LS138 ซึ่งจะทำได้เอาต์พุตถึง 8 เอาต์พุต ซึ่งในเวลาหนึ่ง ๆ จะมีเพียงขาเดียวเท่านั้นที่เป็น 0 โดยขาอื่นจะเป็น 1 หมด ตามรหัสที่ขา C1-C3 นั้นเอง เช่น ถ้า C1-C3 เป็น 0 หมด ขา Y0 จะเป็นศูนย์ในขณะที่ขา Y1-Y7 จะเป็น 1 หมด โดยใช้ CS เป็นสัญญาณอีนเบิล 74138 ซึ่งจะมีสัญญาณพัลส์มาหนึ่งลูก ทุกครั้งที่ MC14469 รับคอมมานด์มาได้ ดังนั้นเอาต์พุตของเกต AND จะเกิดเป็นพัลส์หนึ่งลูก ไปเป็นคล็อกให้กับ D FLIP-FLOP ซึ่งขา D ต่อไว้กับ C3 ลอจิกที่ขา Q ก็จะเป็นไปตาม ขา C3 ซึ่งบอกว่าให้เปิดหรือปิด จากขา Q ของฟลิปฟล็อปแต่ละตัว ต่อผ่านทรานซิสเตอร์ ไปไดร์ฟรีเลย์เพื่อเปิด-ปิดอุปกรณ์ไฟฟ้าได้ตามต้องการ โดยมี LED แสดงการปิด-เปิดด้วย



## บทที่ 4

### สรุปผล

#### 4.1 สรุปผลการทดลอง

ในการทดลองได้จำลองอินพุตแบบอนาล็อกเป็นแรงดันอ้างอิงที่ปรับค่าได้ และการเปิด-ปิดของอุปกรณ์ไฟฟ้าดูได้จากการทำงานของรีเลย์หรือ LED ที่ต่อแสดงไว้ มิได้ต่อไป อุปกรณ์ไฟฟ้าจริง ๆ

โปรแกรมที่ใช้ทดสอบนั้น ทำโดยการให้รับค่าจากอินพุตต่าง ๆ เข้ามาดู แล้วเปลี่ยนอินพุตไปโดยเปลี่ยนแรงดันอ้างอิงที่อินพุต พร้อมกับลองสั่งให้รีเลย์ตัวต่าง ๆ ทำงาน พบว่าสามารถสั่งให้รับอินพุตและสั่งอุปกรณ์เปิด-ปิดได้ตามต้องการ

อัตราการรับส่งที่ทำการทดลองทำได้แค่ 300 Baud — เนื่องจากมีข้อจำกัดในความสามารถของไอซี LM1893 ซึ่งจำกัดไว้แค่ 4800 Baud และจากการทดลองจริงยอมรับได้แค่ 300 Baud เท่านั้น

#### 4.2 ปัญหาที่เกิดขึ้นและข้อเสนอแนะ

เนื่องจากคล็อกที่ไอซี MC14469 ใช้ไม่สามารถหาคลิสตอลที่มันใช้โดยตรงได้ ดังนั้นจึงใช้ไอซีบิตเวร์ต ซึ่งมีราคาแพง แต่ก็มีข้อดีที่ทำให้สามารถเปลี่ยนอัตราการรับส่งข้อมูลได้ง่ายสะดวกในการทดลอง แต่ในการใช้งานแนะนำให้ออกแบบวงจรกำเนิดคล็อกใหม่ที่ราคาถูกลง

ไอซี LM1893 หายากมากเพราะไม่มีผู้แทนจำหน่ายสั่งเข้ามาเลย มีเพียงรายเดียวเท่านั้น คือบริษัท เวสเท็ค จำกัด ซึ่งจำหน่ายในราคาสูงมาก (ตัวละ 146.50 บาท) ซึ่งในการทดลองเราทำได้ทำพังไปถึง 4 ตัว !

ทรานซิสเตอร์ที่ใช้เป็นวงจรถ่ายโฟกัสก่อนส่งออกไอเอฟคอลล์นั้นร้อนมาก

การรับและส่งโดยใช้ความถี่คลื่นพาห้สองความถี่คือที่ 80 และ 250 kHz ซึ่งห่างกันอย่างยิ่งแล้วก็ยังคงมีปัญหาการกวนกันของความถี่ทั้งสองอยู่ ซึ่งเป็นเหตุให้การรับส่งผิดพลาดได้บางครั้ง อาจเนื่องมาจากวงจรถ่ายโฟกัสที่ไม่มีประสิทธิภาพนัก

```
{ Program : Serial Communication }  
{ Subject : For testing }
```

```
uses CRT;
```

```
var
```

```
  BaudRate_String : String[4];  
  SetFormat      : String[10];  
  DataBit_String : String[1];  
  StopBit_String : String[1];  
  Parity_String  : String[1];  
  Result         : Integer;  
  BaudRate       : Integer;  
  DataBit        : Integer;  
  StopBit        : Integer;  
  Count          : Integer;  
  RxCheck        : Integer;  
  TxRx           : Integer;  
  Character      : Char;  
  Chtr           : Char;  
  Parity         : Char;  
  Command_Word   : Byte;  
  Bit01          : Byte;  
  Bit2           : Byte;  
  Bit3           : Byte;  
  Bit4           : Byte;  
  Bit567        : Byte;  
  Data           : Byte;  
  CommPort       : Byte;  
  ChStr          : String;
```

```
Procedure BaudRate_Value;
```

```
Begin
```

```
  Chtr := #00;  
  count := 1;  
  BaudRate_String := '';  
  WHILE Chtr <> ', ' DO  
    begin  
      ChStr := Copy(SetFormat, count, 1);  
      Chtr := ChStr[1];  
      BaudRate_String := Concat(BaudRate_String, Chtr);  
      Count := Count + 1;  
    end;  
  Val(BaudRate_String, BaudRate, Result);  
  Delete(SetFormat, 1, Count-1);
```

```
End;
```

```
Procedure DataBit_Value;
```

```
Begin
```

```
  ChStr := Copy(SetFormat, 1, 1);  
  Chtr := ChStr[1];  
  Val(Chtr, DataBit, Result);  
  Delete(SetFormat, 1, 2);
```

```
End;
```

```
Procedure StopBit_Value;
```

```
Begin
```

```
  ChStr := Copy(SetFormat, 1, 1);  
  Chtr := ChStr[1];
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```

Val(Chtr,StopBit,Result);
Delete(Setformat,1,2);
End;

Procedure Spit_Value;
Begin
    BaudRate_Value;
    DataBit_Value;
    StopBit_Value;
    ChStr := Copy(SetFormat,1,1);
    Chtr := ChStr[1];
    Parity := Chtr;
End;

```

```

Procedure Initial_8250;
Var LSB, MSB : Byte;
Begin

```

```

    CASE BaudRate OF
        300 : begin
                MSB := $01;
                LSB := $80;
            end;
        600 : begin
                MSB := $00;
                LSB := $C0;
            end;
        1200 : begin
                MSB := $00;
                LSB := $60;
            end;
        2400 : begin
                MSB := $00;
                LSB := $30;
            end;
        4800 : begin
                MSB := $00;
                LSB := $18;
            end;
        9600 : begin
                MSB := $00;
                LSB := $0C;
            end;
    END; { of CASE }

```

```

CASE CommPort OF
    1 : begin

```

```

        Port[$3FB] := $80; { Baud Rate Divisor Register }
        Port[$3F8] := LSB; { LSB Value for BaudRate }
        Port[$3F9] := MSB; { MSB Value for BaudRate }
        TxRx      := $3F8; { TxRx Port }
        RxCheck   := $3FD; { Receive Check }
    end;

```

```

    2 : begin

```

```

        Port[$2FB] := $80; { Baud Rate Divisor Register }
        Port[$2F8] := LSB; { LSB Value for BaudRate }
        Port[$2F9] := MSB; { MSB Value for BaudRate }
        TxRx      := $2F8; { TxRx Port }
        RxCheck   := $2FD; { Receive Check }
    end;

```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```

        end;
    END; { of CASE }

CASE DataBit of
    5 : Bit01 := $00;
    6 : Bit01 := $01;
    7 : Bit01 := $02;
    8 : Bit01 := $03;
END;

CASE StopBit OF
    1 : Bit2 := $00;
    2 : Bit2 := $04;
END;

Parity := UpCase(Parity);
CASE Parity OF
    'N' : Bit3 := $00;
    'O' : begin
        Bit3 := $08;
        Bit4 := $00;
        end;
    'E' : begin
        Bit3 := $08;
        Bit4 := $10;
        end;
END;

Bit567 := $00;
Command_Word := Bit01 OR Bit2 OR Bit3 OR Bit4 OR Bit567;
IF CommPort = 2 THEN Port[$2FB] := Command_Word ELSE
Port[$3FB] := Command_Word;
End;

Procedure Disable_Interrupt;
Begin
    IF CommPort = 2 THEN Port[$2F9] := $00 ELSE Port[$3F9] := $00;
End;

Procedure Init_Interface;
Begin
    Initial_8250;
    Disable_Interrupt;
End;

Procedure Transmit;
Begin
    Port[TxRx] := Data;
End;

Procedure Receive;
Begin
    Character := Chr(Port[TxRx]);
End;

Procedure Receive_Message;
Begin
    IF Port[RxCheck] AND $01 = $01 THEN

```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```

        begin
            Receive;
        end
    ELSE
        WriteLn('UNRECEIVED');
End;

Procedure Transmit_Message;
Begin
    Data := Ord(Character);
    Transmit;
End;

Procedure InitCommunication;
Begin
    WriteLn;
    WriteLn;
    Write('COMMUNICATION PORT [1],[2] > ');
    ReadLn(CommPort);
    Write('DATA STREAM [Baudrate,data,stop,parity] > ');
    ReadLn(SetFormat);
    WriteLn;
    Spit_Value;
    Init_Interface;
End;

{***** MAIN *****}
VAR
    Condition : Char;
    AddrNum : Integer;
    AddrChar : Char;
    CommandChar : Char;
    CommandNum : Integer;
    fr : Char;
    sr : Char;
    innum : Integer;
    outnum : Integer;
    onoff : Integer;
    i,j : Integer;

BEGIN
    InitCommunication;
    innum := 0;
    outnum := 0;
    onoff := 0;
    Condition := 'd';
    AddrNum := 129;

    REPEAT
        WriteLn;
        WriteLn('Address : ',AddrNum);
        IF UpCase(Condition) = 'C' THEN
            begin
                Write('New Address > ');
                ReadLn(AddrNum);
            end;
        AddrChar := Chr(AddrNum);

```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```

IF UpCase(Condition) = '0' THEN
  begin
    Write('OUTPUT (0-7) ...> ');
    ReadLn(outnum);
    Write('On-Off (On=1, OFF=0) ...> ');
    ReadLn(onoff);
  end;
FOR i := 0 TO 7 DO
  begin
    inpnum := i;
    IF onoff = 1 THEN
      CommandNum := inpnum*16+outnum+8
    ELSE
      CommandNum := inpnum*16+outnum;
    CommandChar := Chr(CommandNum);

    FOR j := 1 TO 2 DO
      begin
        Character := AddrChar;
        Transmit_Message;
        Delay(1);
        Character := CommandChar;
        Transmit_Message;

        Delay(3);
        Receive_Message;
        fr := Character;
        Delay(1);
        Receive_Message;
        sr := Character;

        IF j = 2 THEN
          WriteLn(' IN',inpnum,' = ',Ord(sr)/255*4,' Volts');
        end;
      end;
    end;
    WriteLn('Any key to see input value again or');
    WriteLn('X to exit, 0 to On-Off, C to change Address ');
    Condition := ReadKey;
  UNTIL UpCase(Condition) = 'X';
END.

```

{\*\*\*\*\*REMARK\*\*\*\*\*}

```

[ COMMAND 0-127, ADDRESS 128 - 255 ]
[ ASCII Code to select input/output ]
[ ANALOG INPUT HEX Decimal ]
[ IN0 0 0-15 ]
[ IN1 1 16-31 ]
[ IN2 2 32-47 ]
[ IN3 3 48-63 ]
[ IN4 4 64-79 ]
[ IN5 5 80-95 ]
[ IN6 6 96-111 ]
[ IN7 7 112-127 ]

```

```

[ ON-OFF OUTPUT ]
[ OUTPUT OFF ON ]

```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

	HEX	DEC	HEX	DEC		
{	OUT0	0	0+16n	8	8+16n	}
{	OUT1	1	1+16n	9	9+16n	}
{	OUT2	2	2+16n	A	10+16n	}
{	OUT3	3	3+16n	B	11+16n	}
{	OUT4	4	4+16n	C	12+16n	}
{	OUT5	5	5+16n	D	13+16n	}
{	OUT6	6	6+16n	E	14+16n	}
{	OUT7	7	7+16n	F	15+16n	}
{		n=0..7				}



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## เอกสารอ้างอิง

- [1] ประเสริฐ วรรณสุธีวัฒน์, "ล้าโพงไฮไฟไม่ต้องเดินสาย", วารสารเซมิคอน-  
ดักเตอร์อิเล็กทรอนิกส์ ฉบับที่ 86
- [2] เจริญชัย เบญจาศุภวรม, อภิช ภาวสาร, "ระบบควบคุมอุปกรณ์ผ่านสาย  
ไฟฟ้า (Equipment Control By AC Line)", ปรวิญญานีพนธ์ 2533 วจ.  
สจล.
- [3] วิทยา ทิพย์สุวรรณพร, วิชัย ตันติจิวิยางกูร, สุเชิษร เกียรตีสุนทร, "การ  
ควบคุมอุณหภูมิแบบหลายจุดโดยใช้ไมโครโปรเซสเซอร์", การประชุมทางวิชา  
การวิศวกรรมไฟฟ้า ครั้งที่ 10 จุฬาลงกรณ์มหาวิทยาลัย 24-25 พฤศจิกายน  
พ.ศ. 2530
- [4] วิทยา ทิพย์สุวรรณพร, กิตติ ตีระเศรษฐ, "การควบคุมอุณหภูมิห้องโดยการ  
ส่งสัญญาณผ่านระบบไฟฟ้าที่สามารถกำหนดช่วงเวลาได้", การประชุมทางวิชา  
การวิศวกรรมไฟฟ้า สถาบันอุดมศึกษาแห่งประเทศไทย ครั้งที่ 11 สถาบัน  
เทคโนโลยีราชมงคล 16-17 ธันวาคม 2531
- [5] วิทยา ทิพย์สุวรรณพร, "เครื่องควบคุมแบบ PID หลายชุดสำหรับการควบคุม  
ระยะไกล", วิทยานิพนธ์ 2532 บัณฑิตวิทยาลัย สจล.
- [6] ชูชัย กนสารตั้งเจริญ, ทินกร ด้ก, "การสื่อสารข้อมูล", ฟลิิกส์เซ็นเตอร์
- [7] MOTOROLA CMOS APPLICATION-SPECIFIC STANDARD ICs, MOTOROLA  
INC., 1990
- [8] "Data Aquisition Linear Devices Databook", National  
Semiconductor, 1989
- [9] "TTL Databook", National Semiconductor, 1976
- [10] Signetics Linear LSI Data and Applications Manual, 1985
- [11] IVAN G. STEARNE, "How To Design/Build Remote Control  
Devices", First Edition, First Printing, TAB BOOKS Inc.,  
1981

- [12] John E. Cunningham, "Handbook of Remote Control & Automatic Techniques", First Edition, Second Printing, TAB BOOKS Inc., 1979
- [13] WILLIS J. TOMPKINS, JOHN G. WEBSTER, "INTERFACING SENSORS TO THE IBM PC", Prentice-Hall, 1988
- [14] National Semiconductor, "Special Purpose Linear Devices", 1989



## กิตติกรรมประกาศ

ขอขอบคุณ

อ. วิริยะ กองรัตน์ เป็นอย่างสูง ที่ได้ให้คำแนะนำปรึกษา ให้กำลังใจให้อิสรระ  
อำนาจความสะดวกในการทำการวิจัยทดลอง

คุณจตุรงค์ สิทธิโชคฉนวนนท์ ผู้ช่วยเหลืออย่างมากและจากไปแต่เนิ่นไกล

คุณพงศ์ นวมครุฑ ผู้ช่วยเหลือและจากไปอีกคน

คุณพงศ์พิสิฐ บุญเกิด ผู้ช่วยเหลืออย่างมากและตามเขาไปในที่สุด

คุณชูศักดิ์ พงศ์วาท กับเรื่องของหม้อแปลง

ภาควิชาอิเล็กทรอนิกส์ วิศวกรรมศาสตร์ วศ.สจล. ห้องอาจารย์สมศักดิ์

ห้องอาจารย์ประภากร เอื้อเพื่อเครื่องมือวัด L

พี ๆ ป.โท ห้อง ดร. พุทธิศักดิ์ ผู้กรุณาให้ยืมของมากมาย

ขอบคุณตัวของเราเองที่ยังมีหวัง กำลังใจ กำลังกาย สติ ให้ต่อสู้อัจฉริยะจนถึงที่สุด

## ภาคผนวก

รายละเอียดของไอซีที่ใช้ในการทดลอง



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## LM1893/LM2893 Carrier-Current Transceiver†

### General Description

Carrier-current systems use the power mains to transfer information between remote locations. This bipolar carrier-current chip performs as a power line interface for half-duplex (bi-directional) communication of serial bit streams of virtually any coding. In transmission, a sinusoidal carrier is FSK modulated and impressed on most any power line via a rugged on-chip driver. In reception, a PLL-based demodulator and impulse noise filter combine to give maximum range. A complete system may consist of the LM1893, a COPSTM controller, and discrete components.

### Features

- Noise resistant FSK modulation
- User-selected impulse noise filtering
- Up to 4.8 kBaud data transmission rate
- Strings of 0's or 1's in data allowed
- Sinusoidal line drive for low RFI

- Output power easily boosted 10-fold
- 50 to 300 kHz carrier frequency choice
- TTL and MOS compatible digital levels
- Regulated voltage to power logic
- Drives all conventional power lines

### Applications

- Energy management systems
- Home convenience control
- Inter-office communication
- Appliance control
- Fire alarm systems
- Security systems
- Telemetry
- Computer terminal interface

### Typical Application

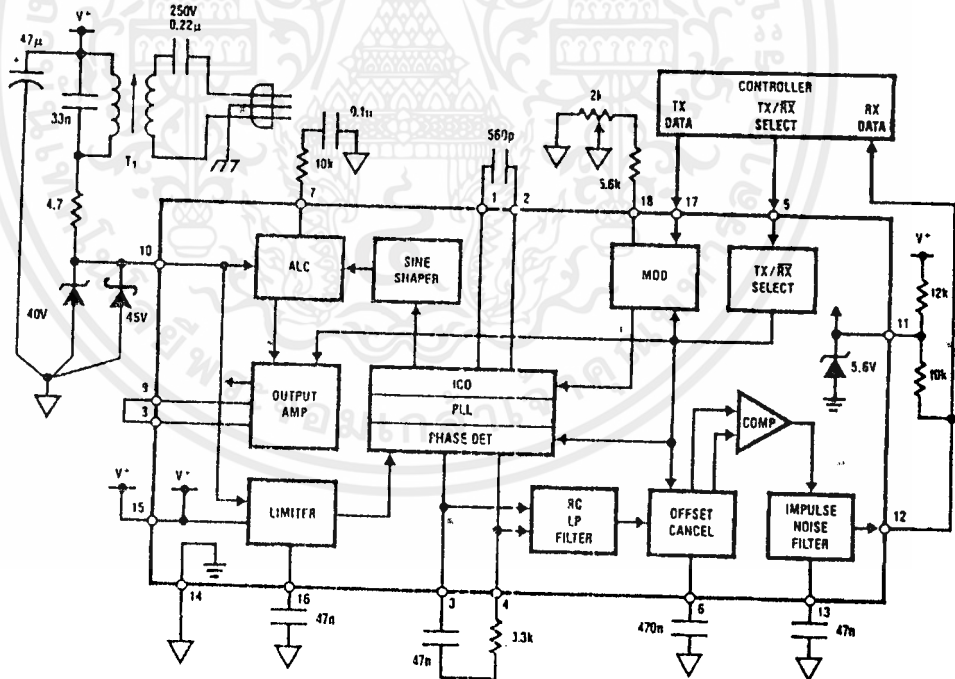


FIGURE 1. Block diagram of carrier-current chip with a complement of discrete components making a complete  $f_0 = 125 \text{ kHz}$ ,  $f_{\text{DATA}} = 360 \text{ Baud}$  transceiver. Use caution with this circuit—dangerous line voltage is present.

TL/H/6750-1

†Carrier-Current Transceivers are also called Power Line Carrier (PLC) transceivers.



### Receiver Electrical Characteristics (Note 3). The test conditions are: $V^+ = 18$ V, $F_O = 125$ kHz, $\pm 2.2\%$ deviation FSK, $F_{DATA} = 2.4$ kHz, $V_{IN} = 100$ mVpp, in the receive mode, unless otherwise noted.

#	Parameter	Conditions	Typical	Test Limit (Note 4)	Design Limit (Note 5)	Limit Units
25	Supply voltage, $V^+$ , range	Functional receiver (Note 7)	<b>12</b> <b>37</b>	13 30	<b>13.5</b> <b>28</b>	V min. V max.
26	Supply current, $I_{QT}$	$I_{QT}$ is pin 15 ( $V^+$ ) plus pin 10 (Carrier I/O) current, 2.4 k $\Omega$ Pin 13 to GND.	11	5 14		mA min. mA max.
27	Carrier I/O input resistance, $R_{I0}$	Pin 10	19.5	14 30		k $\Omega$ min. k $\Omega$ max.
28	Max. data rate, $F_{MD}$	Functional receiver (Note 7), $C_F = 100$ pF, $R_F = 0\Omega$ , no tank, 2.4 kHz = 4.8 kBaud	10	4.8	<b>2.4</b>	kBaud
29	PLL capture range, $F_C$	$C_F = 100$ pF, $R_F = 0\Omega$	$\pm 40$	$\pm 15$	$\pm 10$	% min.
30	PLL lock range, $F_L$	$C_F = 100$ pF, $R_F = 0\Omega$	$\pm 45$	$\pm 15$		% min.
31	Receiver input sensitivity, $S_{IN}$	For a functional receiver (Note 8) Referred to chip side (pin 10) of the line-coupling XFMR: $F_O = 50$ kHz $F_O = 300$ kHz Referred to line side of XFMR: (assuming a 7.07:1 XFMR) $F_O = 50$ kHz $F_O = 300$ kHz	1.8 2.0 1.4 0.26 0.29 0.20	10.	<b>12</b>	mV <sub>RMS</sub> mV <sub>RMS</sub> mV <sub>RMS</sub> mV <sub>RMS</sub> mV <sub>RMS</sub> mV <sub>RMS</sub>
32	Tolerable input dc voltage offset range, $V_{INDC}$	Pin 10 lower than pin 15 by $V_{INDC}$	2	0.1		V max.
33	Data Out. breakdown voltage	Pin 12, $I_{ leakage } \leq 20$ $\mu$ A	70	55		V min.
34	Data Out. low output, $V_{OL}$	Pin 12, sat. voltage at $I_{OL} = 2$ mA	0.15	0.4		V max.
35	Impulse noise filter current, $I_I$	Pin 13 charge and discharge current	$\pm 55$	$\pm 45$ $\pm 85$		$\mu$ A min. $\mu$ A max.
36	Offset hold cap. bias voltage, $V_{CM}$	Pin 6	2.0	1.3 3.5		V min. V max.
37	Offset hold capacitor max. drive current, $I_{MCM}$	Pin 6, $V(\text{pin } 3) - V(\text{pin } 4) = \pm 250$ mV	$\pm 55$	$\pm 25$ $\pm 80$		$\mu$ A min. $\mu$ A max.
38	Offset hold bias current, $I_{OHB}$	Pin 6, TX mode. Bias pin 6 as it self-biased during test 31.	-0.5	-20	<b>-40</b> <b>40</b>	nA min. nA max.
39	Phase comparator current, $I_{PC}$	Bias pins 3 and 4 at 8.5 V $I_{PC} = I(\text{pin } 3) + I(\text{pin } 4)$ , TX mode	100	50 200		$\mu$ A min. $\mu$ A max.
40	Phase detector output resistance, $R_{PD}$	Pins 3 and 4. $R_{PD} = (V @ 100\mu\text{A} - V @ 50\mu\text{A}) / (50\mu\text{A})$	10	6 18		k $\Omega$ min. k $\Omega$ max.
41	Phase detector demodulated output voltage, $V_{PD}$	Pin 3 to 4, measured after filtering out the $2F_O$ component	100	60 180		mVpp min. mVpp max.
42	Fast offset cancel voltage "window" to $-V_{PD}$ ratio, $V_W/V_{PD}$	$V_{PIN3} - V_{PIN4} = \pm V_{WINDOW} + \text{DC offset}$ Drive for $\pm 1$ $\mu$ A pin 6 current	0.95	0.70 1.20		V/V min. V/V max.
43	Power supply rejection, PSRR	$C_L = 0.1$ $\mu$ F, PSRR = CMRR, 120 Hz	80			dB min.

Note 1: More accurately, the maximum voltage allowed on pin 10 is  $V_{OC}$ , and  $V_{OC}$  ranges from 41 to 50V. Also, transients may reach above 60V; see the transient peak voltage characteristic curve.

Note 2: The maximum power dissipation rating should be derated for device operation above 25°C to insure that the junction temperature remains below the maximum rating. Use a  $\theta_{JA}$  of 75°C/W for the N package using a socket in still air (which is the worst case). Consult the Application Information section for more detail.

Note 3: The boldface values apply over the full junction temperature range for the specified supply voltage range. All other numbers apply at  $T_A = T_J = 25^\circ\text{C}$ . Pin numbers refer to LM1893. LM2893 tested by shorting Carrier In to Carrier Out and testing it as an LM1893.

Note 4: Guaranteed and 100% production tested.

Note 5: Guaranteed (but not 100% production tested) over the temperature and supply voltage ranges. These limits are not used to calculate outgoing quality levels.

Note 6: Total harmonic distortion is measured using  $THD = [I_{RMS}(\text{all components at or above } 2F_O)] / [I_{RMS}(\text{fundamental})]$ .

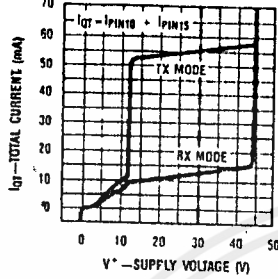
Note 7: Receiver function is defined as the error-free passage of 1 cycle of 50% duty-cycle 2.4 kHz square-wave data (2 sequential 208  $\mu$ S bits), with the first bit being a "1." All of the data transitions (edges) must fall within  $\pm 10\%$  ( $\pm 20.8$   $\mu$ S) of their noise-free positions. RX time delay is minimized by using no impulse noise filter cap.  $C_I$  for this test.

Note 8: During the sensitivity check, note 7 requirements are followed with these exceptions: (1) data rate  $F_{DATA} = 1.2$  kHz, (2) all of the data transitions must fall within  $\pm 20\%$  ( $\pm 41.6$   $\mu$ S) of their noise-free positions, and (3), a time-domain filter capacitor ( $C_I$ ) is used. The time delay of  $C_I$  is  $\frac{1}{2}$  bit, or 208  $\mu$ S. ( $C_I$  is approximately 6200 pF).

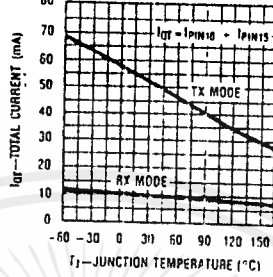
Note 9: For TTL compatibility use a pull-up resistor to increase min.  $V_{OH}$  to above 2.8 V.

# Typical Performance Characteristics (V+ = 18V, F<sub>O</sub> = 125 kHz, circuit of Figure 1, pin numbers for LM1893)

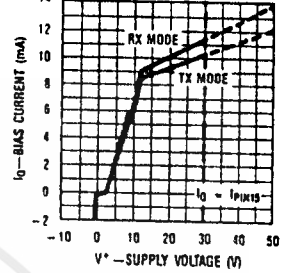
**Total Current Consumption, I<sub>QT</sub>, vs Supply Voltage**



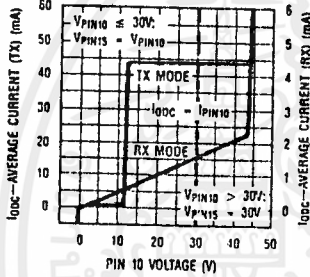
**Total Current Consumption, I<sub>QT</sub>, vs Junction Temperature**



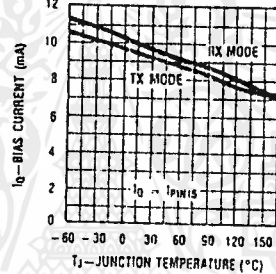
**Chip Bias Current, I<sub>Q</sub>, vs Supply Voltage**



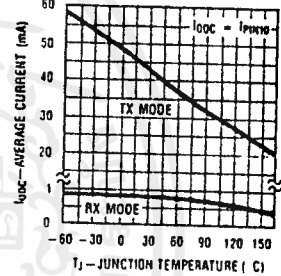
**Chip Bias Current, I<sub>Q</sub>, vs Junction Temperature**



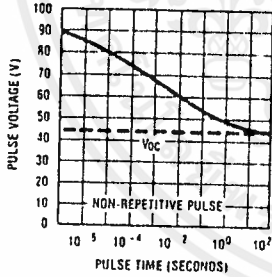
**Output Stage DC Current, I<sub>OCC</sub>, vs Output Voltage**



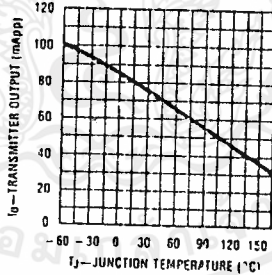
**Output Stage DC Current, I<sub>OCC</sub>, vs Junction Temperature**



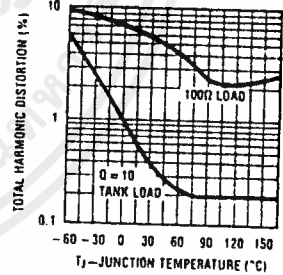
**Transient Voltage Survival vs Pulse Time**



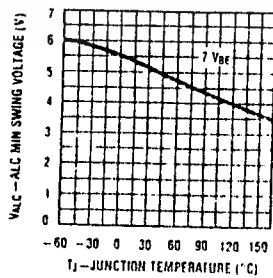
**Transmitter AC Output Current vs Junction Temperature**



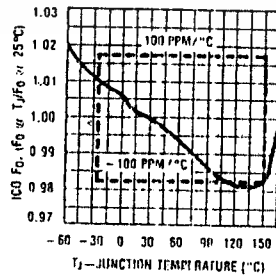
**Transmitter Sinusoid THD vs Junction Temperature**



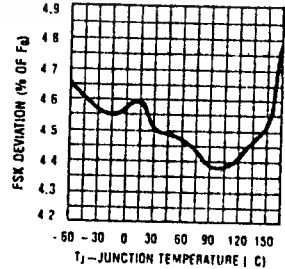
**ALC Voltage vs Junction Temperature**



**ICO Frequency vs Junction Temperature**



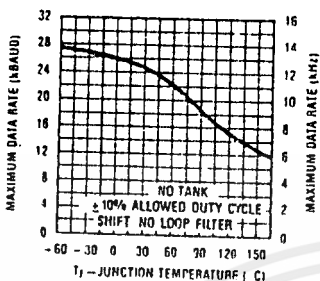
**Transmitter FSK Deviation vs Junction Temperature**



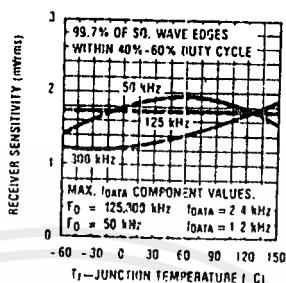
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## Typical Performance Characteristics (Continued)

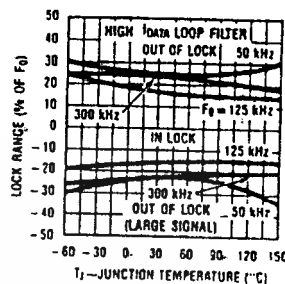
Maximum Data Rate vs Junction Temperature



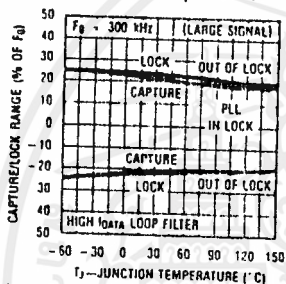
Receiver Sensitivity vs Junction Temperature



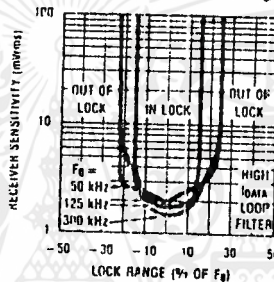
PLL Lock Range vs Junction Temperature and F0



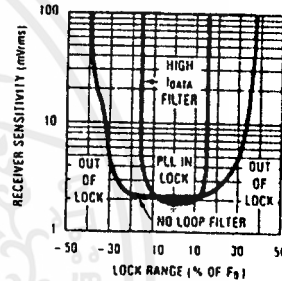
PLL Capture & Lock Range vs Junction Temperature



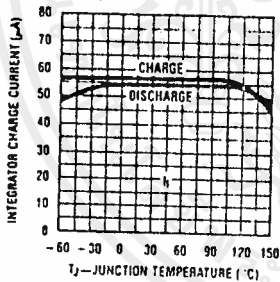
Receiver Sensitivity vs PLL Lock Range and F0



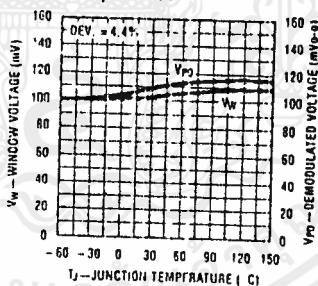
Receiver Sensitivity vs PLL Lock Range and Loop Filter



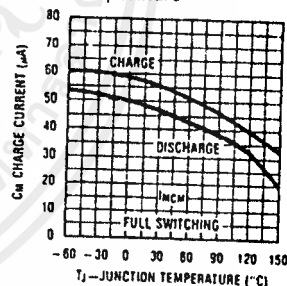
Impulse Noise Filter Current vs Junction Temperature



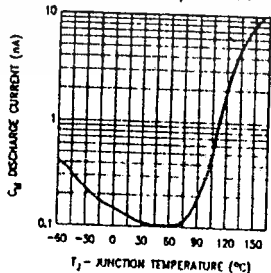
Phase Detector Output Voltage vs Junction Temperature



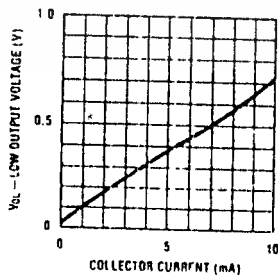
Offset Hold Cap. Charge Currents vs Junction Temperature



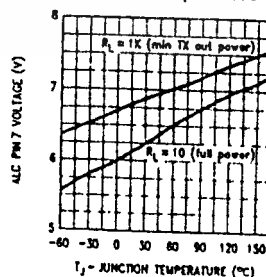
Offset Hold Cap. Bias Current vs Junction Temperature



Data Out. Low Voltage vs Pull Down Current



Pin 7 Bias Voltage vs Junction Temperature



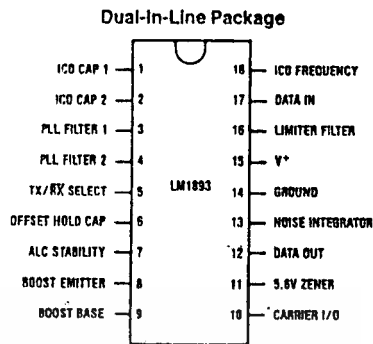
## Application Information\*

### THE DATA PATH

The BI-LINE™ chip serves as a power line interface in the carrier-current transceiver (CCT) system of Figure 3. Figure 4 shows the interface circuit now discussed. The controller may select either the transmit (TX) or receive (RX) mode. Serial data from the controller is used to generate a FSK-modulated 50 to 300 kHz carrier on the line in the TX mode. In the RX mode line signal passes through the coupling transformer into the PLL-based receiver. The recreated serial bit stream drives the controller.

With the IC in the TX mode (pin 5 a logic high), baseband data to 5 kHz drive the modulator's Data In pin to generate a switched 0.978/1.022 control current to drive the low TC, triangle-wave, current-controlled oscillator to  $\pm 2.2\%$  deviation. The tri-wave passes through a differential attenuator and sine shaper which deliver a current sinusoid through an automatic level control (ALC) circuit to the gain of 200 current output amplifier. Drive current from the Carrier I/O develops a voltage swing on  $T_1$ 's (Figure 4) resonant tank proportional to line impedance, then passes through the step-down transformer and coupling capacitor  $C_C$  onto the line. Progressively smaller line impedances cause reduced signal swing, but never clipping—thus avoiding potential radio frequency interference. When large line impedances threaten to allow excessive output swing on pin 10, the ALC shunts current away from the output amplifier, holding the voltage swing constant and within the amp's compliance limit. The amplifier is stable with a load of any magnitude or phase angle.

In the RX mode (pin 5 a logic low), the TX sections on the chip are disabled. Carrier signal, broad-band noise, transient spikes, and power line component impinge of the receiver's input highpass filter, made up of  $C_C$  and  $T_1$ , and the tank bandpass filter. In-band carrier signal, band-limited noise, heavily attenuated line frequency component, and attenuated transient energy pass through to produce voltage swing on the tank, swinging about the positive supply to drive the Carrier I/O receiver input. The balanced Norton-input limiter amplifier removes DC offsets, attenuates line frequency, performs as a bandpass filter, and limits the signal to drive the PLL phase detector differentially. The differential demodulated output signal from the phase detector, containing AC and DC data signal, noise, system DC offsets, and a large twice-the-carrier-frequency component, passes through a 3-stage RC lowpass filter to drive the offset cancel circuit differentially. The offset cancelling circuit works by insuring that the (fixed)  $\pm 50$  mV signal delivered to the data squaring ("slicing") comparator is centered around the 0 mV comparator switch point. Whenever the comparator signal plus DC offset and noise moves outside the carefully matched  $\pm 50$  mV voltage "window" of the offset cancel circuit, it adjusts its DC correction voltage in series with the differential signal to force the signal back into the window. While the signal is within the  $\pm 50$  mV window, the DC offset is stored on capacitor  $C_M$ . By grace of the highly non-linear offset hold capacitor charging during offset cancelling, the DC cancellation is done much more quickly than with an AC coupling capacitor normally used in place of the offset cancel circuit. Since impulse noise spikes normally ring the signal symmetrically around 0 V, the fully bilateral offset cancel topology affords excellent noise rejection. The switched current output of the comparator drives the impulse noise filter integrator capacitor that rejects all data pulses of less than the integrator charge time. Noise appears as duty-cycle jitter at the open collector serial data output.

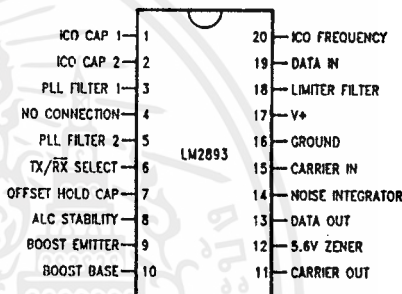


Top View

TL/H/6750-2

Order Number LM1893N  
See NS Package Number N18A

### Small Outline & Dual-In-Line Package

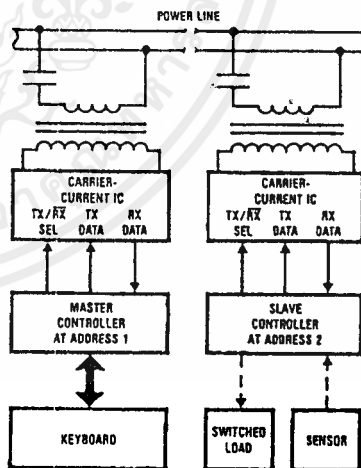


Top View

TL/H/6750-41

Order Number LM2893M or LM2893N  
See NS Package Number M20B or N20A

FIGURE 2. Connection Diagrams



TL/H/6750-3

FIGURE 3. The block diagram of a carrier-current system using the BI-Line chip to interface digital controllers via the power line

\*Unless otherwise noted, all pin references refer to LM1893, but hold true for equivalent LM2893 pin.



Application Information (Continued)					
#	Recommended Value	Purpose	Effect of making the component value:		Notes
			Smaller	Larger	
C <sub>O</sub> R <sub>O</sub>	560 pF 6.2 kΩ	Together, C <sub>O</sub> and R <sub>O</sub> set ICO F <sub>O</sub> .	Increases F <sub>O</sub> Increases F <sub>O</sub> <5.6 k not recommended.	Decreases F <sub>O</sub> Decreases F <sub>O</sub> > 7.6 k not recommended.	± 5% NPO ceramic. Use low TC 2 k pot and 5.6 k fixed R. Poor F <sub>O</sub> TC with <5.6 k R <sub>O</sub> .
C <sub>F</sub> R <sub>F</sub>	0.047 μF 3.3 kΩ	PLL loop filter pole PLL loop filter zero	Less noise immune, higher f <sub>DATA</sub> , more PLL stability. PLL less stable, allows less C <sub>F</sub> . Less ringing.	More noise immune, lower f <sub>DATA</sub> , less PLL stability. PLL more stable, allows more C <sub>F</sub> . More ringing.	Depending on R <sub>F</sub> value and F <sub>O</sub> . PLL unstable with large C <sub>F</sub> . See Apps. Info. C <sub>F</sub> and R <sub>F</sub> values not critical.
C <sub>C</sub>	0.22 μF	Couples F <sub>O</sub> to line, C <sub>C</sub> and T <sub>1</sub> low-pass attenuates 60 Hz.	Low TX line amplitude. Less 60 Hz T <sub>1</sub> current. Less stored charge.	Drives lower line Z. More 60 Hz T <sub>1</sub> current. More stored charge.	≥ 250 V non-polar. Use 2C <sub>C</sub> on hot and neutral for max. line isolation, safety.
C <sub>O</sub> T <sub>1</sub>	0.033 μF Use recommended XFMR	Tank matches line Z, bandpass filters, isolates from line, and attenuates transients.	Tank F <sub>O</sub> up or increase L of T <sub>1</sub> for constant F <sub>O</sub> . Smaller L: higher F <sub>O</sub> or increase C <sub>C</sub> ; decreased F <sub>O</sub> line pull.	Tank F <sub>O</sub> down or decrease L of T <sub>1</sub> for constant F <sub>O</sub> . Larger L: lower F <sub>O</sub> or decrease C <sub>C</sub> ; increased F <sub>O</sub> line pull.	100 V nonpolar, low TC, ± 10% High large-signal Q needed. Optimize for low F <sub>O</sub> line pull with control of F <sub>O</sub> TC and Q.
C <sub>A</sub> R <sub>A</sub>	0.1 μF 10 kΩ	ALC pole ALC zero	Noise spikes turn ALC off. Less stable ALC.	Slower ALC response. More stable ALC.	R <sub>A</sub> optional. ALC stable for C <sub>A</sub> ≥ 100 pF.
C <sub>L</sub>	0.047 μF	Limiter 50 kHz pole, 60 Hz rejection.	Higher pole F, more 60 Hz reject. F <sub>O</sub> attenuation?	Lower pole F, less 60 Hz reject, more noise BW.	Any reasonably low TC cap. 300 pF guarantees stability.
C <sub>V</sub>	0.47 μF	Holds RX path V <sub>OS</sub>	Less noise immune, shorter V <sub>OS</sub> hold, faster V <sub>OS</sub> acquisition, shorter preamble.	More noise immune, longer V <sub>OS</sub> hold, slower V <sub>OS</sub> acquisition, longer preamble.	Low leakage ± 20% cap. Scale with f <sub>DATA</sub> .
C <sub>I</sub>	0.047 μF	Rejects short pulses like impulse noise.	Less impulse reject, less delay, more pulse jitter.	More impulse reject, more delay, less pulse jitter.	C <sub>I</sub> charge time 1/2 bit nom. Must be < 1 bit worst-case.
R <sub>C</sub>	10 kΩ	Open-col. pull-up	Less available sink I.	Less available source I.	R <sub>C</sub> ≥ 1.5 kΩ on 5.6 V
R <sub>Z</sub>	12 kΩ	5.6 V Zener bias	Larger shunt current, more chip dissipation.	Smaller shunt current, less V <sup>+</sup> current draw.	1 < I <sub>Z</sub> < 30 mA recommended. (Chip power-up needs 5.6 V)
Z <sub>T</sub>	≥ 44 V BV 60 V peak	Transient clamp	Z <sub>T</sub> failure, higher series R causes peak V, Zener and chip damage, less ruggedness. Damage Z <sub>T</sub> , pull up V <sup>+</sup> . Failure on Transient	Z <sub>T</sub> costly, lower series R gives enhanced transient clamp, more ruggedness. Excessive TX attenuation. Costly	Recommend Zener rated for ≥ 500 W for 1 ms.
R <sub>T</sub> D <sub>T</sub>	4.7 Ω ≥ 44V BV	Transient I limit Over-drive Clamp			Carbon comp. recommended. IRF 11DQ05 or 1N5819
R <sub>B</sub> Q <sub>B</sub> R <sub>G</sub>	180 Ω Power NPN 1.1 Ω	Base bleed Boost gain device Current setting R	Faster, lower THD I <sub>O</sub> . Excessive T <sub>J</sub> and V <sub>SAT</sub> . More I <sub>O</sub> , need higher h <sub>FE</sub> .	Inadequate turn-off speed. More rugged, but costly. Less I <sub>O</sub> , lower min. h <sub>FE</sub> .	Boost optional. Q <sub>B</sub> F(-3 dB) of > 200 MHz. R <sub>B</sub> > 24 Ohm. I <sub>O</sub> = 70[(10 + R <sub>G</sub> )/R <sub>G</sub> ] mA App.
C <sub>B</sub>	≥ 47 μF	Supply bypass	Transients destroy chip.	Less supply spike.	V <sup>+</sup> never over abs. max.
Z <sub>A</sub>	5.1V	Stop ALC charge in RX mode	Excess ALC current flow	ALC RX charging not inhibited over T <sub>J</sub>	Z <sub>A</sub> optional - 5.1V ± 20% low leakage type

FIGURE 5. A quick explanation of the external component function using the circuit of Figure 4. Values given are for V<sup>+</sup> = 18 V, F<sub>O</sub> = 125 kHz, f<sub>DATA</sub> = 360 Baud (180 Hz), using a 115 V 60 Hz power line

### Component Selection

Assuming the circuit of Figure 4 is used with something other than the nominal 125 kHz carrier frequency, 180 Hz data rate, 18V supply voltage, etcetera, the component values listed in Figure 5 will need changing. This section will help direct the CCT designer in finding the required component values with emphasis placed on look-up tables and charts. It is assumed that the designer has selected values for carrier center frequency, F<sub>O</sub>; data rate, f<sub>DATA</sub>; supply voltage, V<sup>+</sup>; power line voltage, V<sub>L</sub>; and power line frequency, F<sub>L</sub>. If one or more of those parameters is not defined, one may read the data sheet and make an educated guess. Maxims to keep in mind, based on CCT electrical perform-

ance considerations only, are: 1) the higher the F<sub>O</sub> the better, 2) the lower the maximum data rate the better, and 3) the more time and frequency filtering the better.

Use Figure 5 as a quick reference to the external component function.

#### THE TRANSMITTER

##### C<sub>O</sub>

Central to chip operation is the low TC of F<sub>O</sub> emitter-coupled oscillator. With proper C<sub>O</sub>, the F<sub>O</sub> of the 2V<sub>BE</sub> amplitude triangle-wave oscillator output may vary from near DC to above 300 kHz. While C<sub>O</sub> may have any value, C<sub>O</sub> should

### Component Selection (Continued)

be made above 10 pF so that parasitic capacitance is not dominant. Excessive or unbalanced common-mode-to-ground capacitance should be avoided. A low temperature coefficient (TC) of capacitance (<100 PPM/°C), such as a monolithic NPO ceramic multilayer type, preserves low TC of  $F_O$ . Figure 6 finds a  $C_O$  value given  $F_O$ .

#### $R_O$

Resistor  $R_O$  is used by the IC to generate a  $V_{BE}/R$  related current that is multiplied by 2 to produce the 200  $\mu A$  ICO control current that sets  $F_O$ . The control current TC "bucks" the  $V_{BE}$  related tri-wave amplitude across  $C_O$  to effect a low TC of  $F_O$ . Vary  $R_O$  to trim  $F_O$ , within limits. Raising  $F_O$  more than 20% above its untrimmed value by means of decreasing  $R_O$  more than 20% is not recommended. Low  $R_O$ , and so high control current, risks ICO saturation and poor TC under worst-case conditions. Raising  $R_O$  reduces the demodulated signal amplitude from the phase detector; raising  $R_O$  by more than a factor of 2 (1 octave) is not recommended. Since lower TC pots are relatively costly, it is recommended that  $R_O$  be made up of a 5.6 k fixed (<100 PPM/°C) resistor with a 2 k $\Omega$  (<250 PPM/°C) series pot.

#### $C_A$ and $R_A$

Components  $C_A$  and  $R_A$  control the dynamic characteristics of the transmitter output envelope. Their values are not critical. Use the values given in Figure 5.  $C_A$  and  $R_A$  are functions of loaded  $T_1$  tank Q,  $R_O$ ,  $I_{DATA}$ , and line impedance noise. Any changes made in  $C_A$  and  $R_A$  should be made based on empirical measurements of a CCT on the line. Roughly,  $C_A$  acts as an ALC pole and  $R_A$  an ALC zero.

#### $T_1$

At this point, the CCT system designer may choose to use one of the recommended transformers or to design custom  $T_1$ . Consult "The Coupling Transformer" section to help with the design of  $T_1$  if a new or boost-capable transformer is needed. The recommended 125 kHz transformer functions with an  $I_O$  of up to 600 mApp.

It is recommended that CCT systems use the recommended transformers, described in Figure 7, for  $T_1$ . The 3 transformers are optimized for use in the ranges of 50–100 kHz, 100–200 kHz, and 200–400 kHz with unloaded Q's ( $Q_U$ ) of about 35, and loaded Q's ( $Q_L$ ) of about 12. Three secondary taps are supplied with nominal 7.07, 10, and 14.1 turns ratios (N) to drive industrial and residential power line impedances of 3.5, 7, and 14 $\Omega$  respectively. All are inexpensive, all have the same pin-outs for easy exchange in a PC board, and all are small - on the order of 10 mm diameter at the base.

#### $C_Q$

Tank resonant frequency  $F_O$  must be correct to allow passage of transmitter signal to the line. Use Figure 8 to find  $C_Q$ 's value. Trimming  $F_O$  to equal  $F_O$  is done with  $T_1$ 's trimming slug. The inductance of  $T_1$  has a TC of +150 PPM/°C which may be cancelled by using a -150 PPM/°C cap such as polystyrene. Since circulating current in the tank is  $1/4$  A<sub>RMS</sub>,  $C_Q$  should have a low series resistance (a 1  $\Omega$  series resistance is too much). Polypropylene caps are excellent, "orange drop" mylars are adequate, while many other mylars are inadequate. A 100V rating is needed for transient protection.

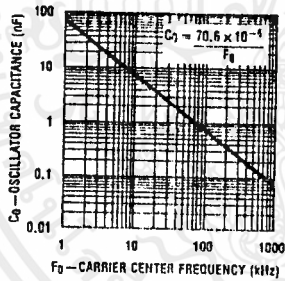


FIGURE 6. Find  $C_O$ 's value knowing  $F_O$

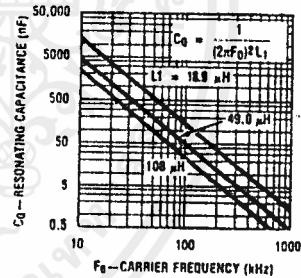


FIGURE 8. Find  $C_Q$ 's value given  $F_O$

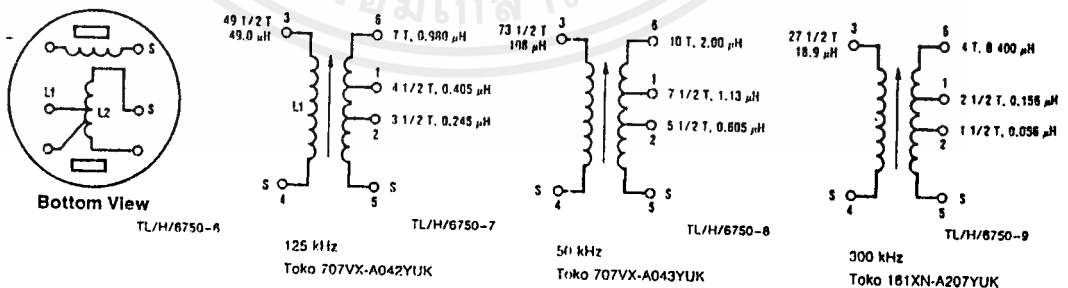


FIGURE 7. The recommended  $T_1$  transformers, available through:  
Tokko America, 1250 Fecohanville Drive, Mount Prospect, IL, 60056, (312) 297-0070

## Component Selection (Continued)

### C<sub>C</sub>

Capacitor C<sub>C</sub>'s primary function is to block the power line voltage from T<sub>1</sub>'s line-side winding. Also, C<sub>C</sub> and T<sub>1</sub>'s line-side winding comprise a LC highpass filter. The self-inductance of T<sub>1</sub> is far too low to support a direct line connection. C<sub>C</sub> must have a low enough impedance at F<sub>O</sub> to allow T<sub>1</sub> to drive transmitted energy onto the line. To drive a 14Ω power line, the impedance of C<sub>C</sub> should be below 14Ω.

Use Figure 9 to find the reactive impedance of C<sub>C</sub> to check that it is less than the line impedance. Then check Figure 10 to see that the power line current is small enough to keep T<sub>1</sub> well out of saturation; the recommended transformers can withstand a 10 Amp-turn magnetizing force (1 Amp through the worst-case 10 turn line-side winding).

Caution is required when choosing C<sub>C</sub> to avoid series resonance of the series combination of C<sub>C</sub>, the transformer inductance, and the reflected tank impedance. The low resistance of the network under series resonance will load the line, possibly decreasing range. For your particular line coupling circuit, measure for series resonance using some expected line impedance load.

### R<sub>B</sub>

This base-bleed resistor turns Q<sub>B</sub> off quickly - important since the amplifier output swing is about 200V/μs. An R<sub>B</sub> below about 24Ω will conduct excessive current and overload the chip amplifier and is not recommended.

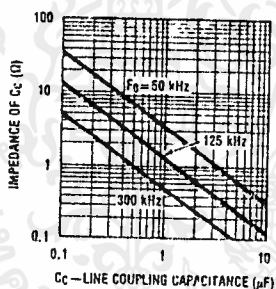


FIGURE 9. C<sub>C</sub>'s impedance should be, as a rule-of-thumb, smaller than the lowest expected line impedance

### R<sub>G</sub>

This resistor, in parallel with the internal 101Ω resistor, fixes the current gain of the output amplifier, and so the output current amplitude. Figure 11 gives output current and minimum AC current gain h<sub>fe</sub> for Q<sub>B</sub> when R<sub>G</sub> is used to boost output current.

### Q<sub>B</sub>

The boost gain transistor Q<sub>B</sub> must be fast. Double-diffused devices with 50 MHz F<sub>T</sub>'s work, slower transistors (epi-base types) do not preserve a sinusoidal waveform when F<sub>O</sub> is high or will cause the output amp. to oscillate. Q<sub>B</sub> must have a certain minimum h<sub>fe</sub> for given boost levels, as shown in Figure 11. Figure 12 shows the power Q<sub>B</sub> must dissipate continuously operating with a shorted output. BV<sub>CER</sub> (V = R<sub>B</sub>) must be 60V or greater and Q<sub>B</sub> must have adequate SOA for transient survival.

### Z<sub>T</sub>

Unfortunately, potentially damaging transient energy passes through transformer T<sub>1</sub> onto the Carrier I/O pin (instanta-

neous power of greater than 1 kW has been measured using the recommended transformers). For self protection, the Carrier I/O has an internal 44V voltage clamp with a 20Ω series resistance. A parallel low impedance 44V external transient suppression diode will then conduct the lion's share of any current when transients force the Carrier I/O to a high voltage.

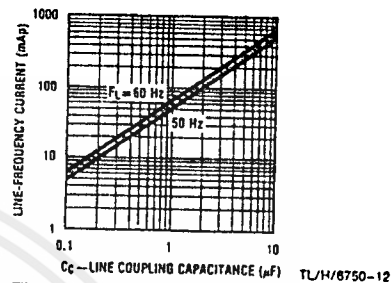


FIGURE 10. The AC line-induced current passed by C<sub>C</sub>

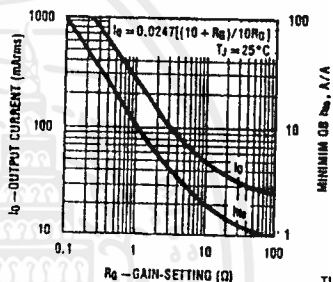


FIGURE 11. Output amplifier current and required min. Q<sub>B</sub> h<sub>fe</sub> versus gain-setting resistor R<sub>G</sub>

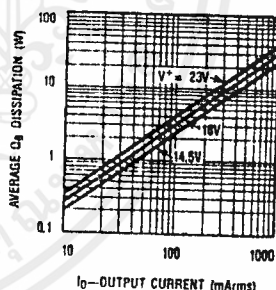


FIGURE 12. Boost transistor power dissipation versus amplifier output current

Z<sub>T</sub> must be used unless some precaution is taken to protect the Carrier I/O pin from line transients or transients caused when stored line energy in C<sub>C</sub> is discharged by the random phase of power line connection and disconnection. Worst case, C<sub>C</sub> may discharge a full peak-to-peak line voltage into the tuned circuit. Another way to reduce the need for Z<sub>T</sub> is by placing another magnetic circuit in the signal path that relies on a high, but easily saturated, permeability to couple a primary and secondary winding - a toroidal transformer for example. Toroids cost more than Z<sub>T</sub>.

Use an avalanche diode designed specifically for transient suppression — they have orders of magnitude higher pulse

## Component Selection (Continued)

power capability than standard avalanche diodes rated for equal DC dissipation. Metal oxide varistors have not proven useful because of their inferior clamping coefficient and are not recommended. Specifications for an example minimum diode are given in *Figure 13*.

Breakdown Voltage	44-49V @ 1 mA
Maximum Leakage	1 $\mu$ A @ 40V
Capacitance	300 pF @ BV
Maximum Clamp Voltage	64.5V @ 7.8A
Peak Non-Repetitive Pulse Power (REA Standard Exponential Pulse)	10 kW for 1 $\mu$ s
Surge Current	70A for 1/120s

**FIGURE 13. Key specifications for a recommended transient suppressor  $Z_T$  available from General Semiconductor, 2001 West Tenth Place, Tempe, AZ 85281, 602-968-3101, part no. SA40A**

### $R_T$

$R_T$  acts as a voltage divider with  $Z_T$ , absorbing transient energy that attempts to pull the Carrier Input pin above 44V. Make the resistor a carbon composition 1/4W. When experiments discharging  $C_C$  charged to the peak-to-peak 620V AC thru a 1 $\Omega$  power line were carried out, film resistors blew open-circuit.

### $D_T$

This Schottky diode is placed in parallel with the CCT chip's substrate diode to pass the majority of the current drawn from ground when the Carrier Input or Carrier Output is pulled below ground by a larger-than-twice-the supply-swing on the tank. Note that  $Z_T$  is in parallel with the substrate diode, but is ineffective due to its high forward voltage drop and high diffusion capacitance caused by its low forward speed. Tests proved that a 1N5818 kept a receive-path functional with a 20X boost transmitter with a 7:1 transformer attempted to swing the receiver's Carrier I/O to  $\pm 100V$  (300 mA peak ground current in the receiver). Without  $D_T$ , the receiver momentarily stops functioning at a 100 times lower ground current.

This diode is not needed if the Carrier I/O never swings below ground. If your CCT systems all run on the same regulated voltage with all matched transformers and turns ratios, it is not needed. Otherwise, it is.

## THE RECEIVER

The receiver and transmitter share components  $C_C$ ,  $T_1$ ,  $C_O$ ,  $R_T$ ,  $Z_T$ ,  $C_O$ ,  $F_O$ , and peripheral supply and bias components that are not in need of change for RX mode operation. Values for the balance of the components are now found.

### Line-Frequency Rejection

To use the ultimate sensitivity of the device, fully 110 dB of 115 V, 60 Hz attenuation is required between the line and the limiter amplifier output. Using the circuit topology of *Figure 4*, the combined attenuation of the  $C_C/T_1$  highpass, the tuned transformer, and the bandpass filter attenuation of the limiter amplifier give far more line rejection than the above-stated minimum. However, if some other CCT line coupling circuit is used, line rejection will become important to the system designer.

Receiver input power supply rejection (PSRR) and common-mode rejection (CMRR) are one-in-the-same using the supply-referenced signal input of *Figure 4*. Ripple swings both

differential inputs of the Norton amp. equally, while the single-ended input signal swings only the positive input. Overall PSRR consists of the input CMRR (set by the input stage component matching) and the ripple-frequency attenuation of the input amplifier bandpass response that passes carrier frequency but stops low frequencies. A typical 1% resistor and 1 mV n-p-n mirror offsets give 26 dB of attenuation, the bandpass gives 54 dB 120 Hz attenuation, for an overall 80 dB PSRR to allow tens of volts of ripple before impacting ultimate sensitivity.

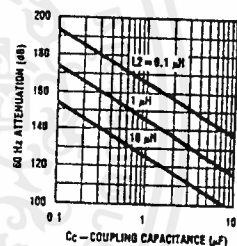
### $C_C$

A value was chosen earlier. Knowing  $T_1$ 's secondary inductance allows a check of LC line attenuation using *Figure 14*.

### $C_L$

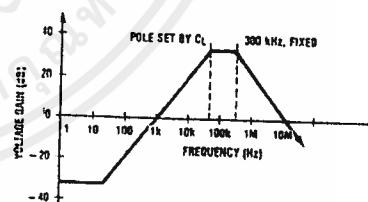
The Norton input limiter amplifier has a bandpass filter for enhanced receiver selectivity, noise immunity, and line frequency rejection. The nominal response curve for  $F_O = 50$  kHz is shown in *Figure 15*. The 300 kHz pole is fixed. The 50 kHz pole is set by  $C_L$ 's value. After  $C_L$  is found, the resulting line frequency attenuation is found for the bandpass filter.

Use *Figure 15* to find a  $C_L$  value given for  $F_O$ . The approximate line frequency attenuation of the bandpass filter may then be found in *Figure 16*. *Figure 15* returns a value for  $C_L$  33% larger than nominal, giving a low frequency pole 33% low to allow for component tolerances.

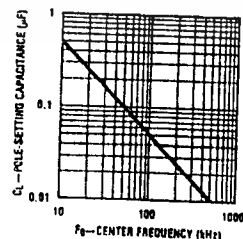


TL/H/6750-15

**FIGURE 14. The 60 Hz line rejection of the highpass filter made up of  $C_C$  and  $T_1$ 's line-side winding (neglecting capacitive coupling)**



TL/H/6750-16



TL/H/6750-17

**FIGURE 15. Given  $F_O$ ,  $C_L$  is found. Also shown is the input amplifier's small signal amplitude response**

### Component Selection (Continued)

#### $C_F$ and $R_F$

These phase-locked loop (PLL) loop filter components remove some of the noise and most of the  $2F_0$  components present in the demodulated differential output voltage signal from the phase detector. They affect the PLL capture range, loop bandwidth, damping, and capture time. Because the PLL has an inherent loop pole due to the integrator action of the ICO (via  $C_0$ ), the loop pole set by  $C_F$  and the zero set by  $R_F$  gives the loop filter a classical 2nd-order response.

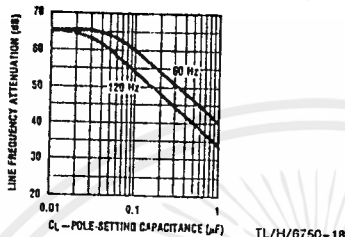


FIGURE 16. The Norton-input limiter amplifier bandpass filter line-frequency signal attenuation given  $C_L$

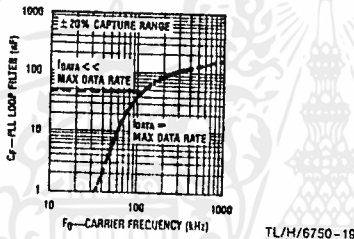


FIGURE 17. Find  $C_F$  given  $F_0$ . Figure 19 gives the maximum data rate

No  $C_F$  and  $R_F$  give the most stable PLL with the fastest response. Large  $C_F$ 's with a too-small  $R_F$  cause PLL loop instability leading to poor capture range and poor step response or oscillation.

Calculation of  $C_F$  and  $R_F$  is quite difficult, involving not only the 2nd-order loop step response, but also the PLL non-dominant poles, the tuned transformer stepped-frequency response, and the RC lowpass step response (for data rates approaching 1 kHz).  $C_F$  and  $R_F$  values are best found empirically. Tolerance is not critical. Component values are selected to give the best possible impulse noise rejection while preserving a  $\pm 20\%$  capture range and wide stability margin. Figures 17 and 18 give  $C_F$  and  $R_F$  values versus  $F_0$ , where " $f_{DATA} \ll \text{MAX DATA RATE}$ " means that  $f_{DATA}$  should be less than the maximum data rate, in kHz, from Figure 19 divided by 10.

Note that  $C_F$  and  $R_F$  are a function of data rate only for high data rates and are not plotted against data rate - as one might expect. The reason for this is important to understand if the CCT system designer wishes to find  $C_F$  and  $R_F$  empirically. Data signal is, loosely speaking, passed through the PLL loop and is therefore potentially attenuated if the loop bandwidth is on the order of the 3rd harmonic of the data rate, or less. Overall loop bandwidth is held as low as possible for maximum noise rejection while passing the data. Loop bandwidth is roughly proportional to the geometric mean of the unfiltered loop bandwidth and the filter pole set by  $C_F$ . Therefore,  $C_F$  is related to data rate. Unfortunately, the loop capture range falls to critically low values when large enough values of  $C_F$  are used to reduce loop bandwidth down to the 100's of Hz range, for low data rates. The

obvious way out is to then reduce the unfiltered loop bandwidth. That bandwidth is approximately proportional to the value of  $C_0$ . For a fixed  $F_0$ , unfiltered loop bandwidth reduction requires a larger  $C_0$  and larger control current. With this chip, changing the control current is not allowed. So one is forced to choose a  $C_F/R_F$  combination with some minimum capture range, say  $\pm 20\%$ , that is within some guardband from the point of loop instability. Happily, impulse noise tends to last only fractions of a millisecond so that the lack of low bandwidth loop response with low data rates is not a heavy penalty. As long as there is adequate capture range, the impulse noise filter performs admirably. Note that reducing  $F_0$  will reduce the no-filter loop bandwidth; and indeed the maximum data rate falls below the limit set by the RC lowpass filter as  $F_0$  falls below 100 kHz (Figure 19).

The tuned transformer characteristics will affect the demodulated data waveform more than  $C_F$  and  $R_F$  at low data rates. Tank Q and off-tuning will affect overshoot during the FSK frequency steps. This is a property of tuned circuits. The maximum data rate of Figure 19 is measured from the receiver input to the Data Out and does not include the data bandwidth reducing effects of  $T_1$ .

#### $C_M$

Capacitor  $C_M$  stores a voltage corresponding to a correction factor required to cancel the phase detector differential output DC offsets. The stored voltage is  $5\%$  of the DC offset plus some bias level of about 2.2 V. A large  $C_M$  value increases the time required to bias-up the receive path at the beginning of transmission. A large  $C_M$  does filter well and store its bias voltage long. Because of the initial random charge of  $C_M$ , the receiver must be given a data transition to charge to the proper bias voltage. Therefore, reducing  $C_M$ 's value to one that may be charged in less than 2 bit-times will not save biasing time and is not recommended.

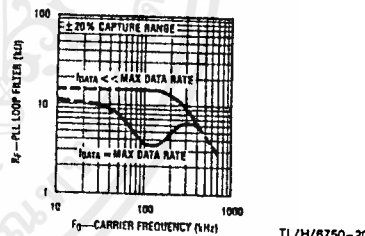


FIGURE 18. Find  $R_F$  given  $F_0$  with  $F_{DATA}$  a parameter

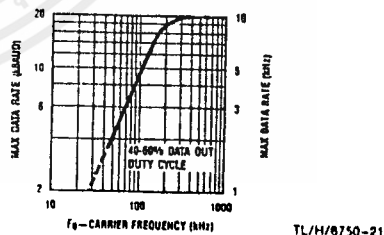


FIGURE 19. The maximum data rate versus  $F_0$  using loop filter components optimized for max. noise performance while retaining a min.  $\pm 20\%$  capture range (large signal)

Use Figure 20 to find  $C_M$ 's value knowing  $f_{DATA}$ , assuming the standard 2 bit receive charge time is desired. The cap. value and TC are not critical, but the capacitor should have low leakage.

## Component Selection (Continued)

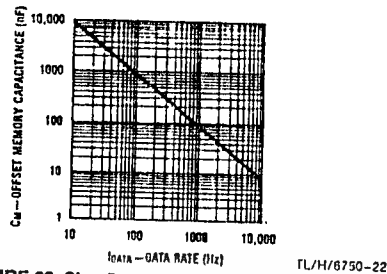


FIGURE 20. Size  $C_M$  assuming a 2 bit-time receive bias time

 $C_I$ 

The impulse noise filter integrator capacitor  $C_I$  is used to disallow the passage of any pulse shorter than the integrator charge time. That charge time, set to a nominal  $\frac{1}{2}$  bit time, is the time required for a  $\pm 50 \mu\text{A}$  charge current to swing  $C_I$  over a  $2V_{BE}$  range. Charge time under worst case conditions must never be greater than a bit time since no signal could then pass. Using a  $\pm 10\%$  capacitor, full junction temperature range, and full specified current range, a maximum nominal charge time of  $\frac{1}{2}$  bit is recommended. Figure 21 gives  $C_I$  versus data rate under those conditions.

 $R_C$ 

The collector pull-up resistor is sized to supply adequate pull-up current drive and speed while preserving adequate output low current drive.

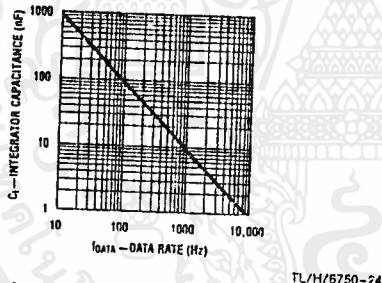


FIGURE 21. Impulse noise filter cap.  $C_I$  versus  $f_{DATA}$  where the charge time is  $\frac{1}{2}$  bit time

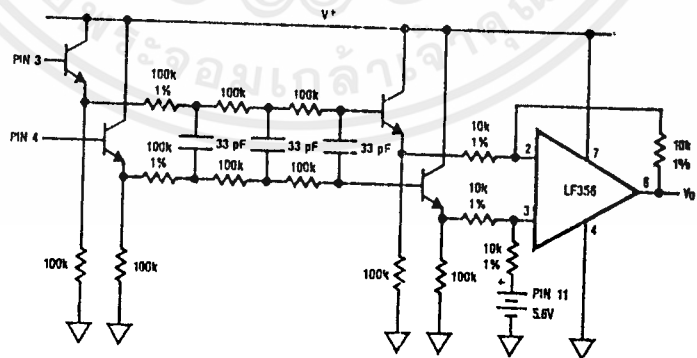


FIGURE 22. Circuit to view the differential demodulated data signal, minus the noise and  $2F_0$  components, conveniently with a single-ended gain-of-one output

TL/H/6750-25

 $Z_A$ 

The 5.1V silicon zener diode  $Z_A$  is required when a short RX-to-TX switch-over time is needed at the same time that the chip is operating in the RX mode with a pin 10 input signal swing approaching or exceeding twice the supply voltage. Predominant causes of these large swings impinging on the RX input are: 1) a transmitter's supply voltage higher than the receiver's supply voltage, 2) a TX and RX pair that are electrically close, or, 3) a higher RX  $T_1$  step-up turns ratio than the TX  $T_1$  step-down ratio.

Normally, when in the RX mode with small incoming signal on pin 10, the ALC remains off with pin 7 at a 6V ( $V_Z - 2V_{BE}$ ) bias voltage.  $C_A$  is then charged to 6V. TX mode may then be selected with 6V on  $C_A$  allowing 100% TX power to pump  $T_1$ 's tuned circuit, and so the AC line, quickly for fast RX-to-TX switch time. As TX output swing increases so that pin 10 swings below  $V_{ALC}$  (4.7V typically), that ALC activates to charge  $C_A$  to about 6.6V to reduce TX output drive. However, if in the RX mode pin 10 ever swings below  $V_{ALC}$ ,  $C_A$  will charge to above 6.6V. Now, when the TX mode is selected with  $C_A$  at 6.6V, somewhere from 0 to 100% TX output drive is available to pump  $T_1$ 's tuned circuit resulting in a slower rising line signal - effectively reducing the RX-to-TX switch time.

Use a 5.1V  $Z_A$  driven by a 0 to 0.8V logic low signal to guarantee over-temp. operation.  $R_A$  must be in series with  $Z_A$  to limit current flow and should never fall below 1 k $\Omega$ . If  $R_A$  is less than 1 k $\Omega$ , then put a 2 k $\Omega$  resistor in series with  $Z_A$ . Logic high voltages above 10V will cause current flow into pin 7 that must be limited to 1 mA (with  $R_A$  or a series R).

## Breadboarding Tips

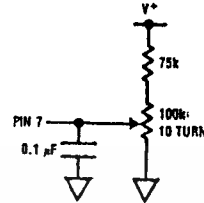
During CCT system evaluation, some techniques listed below will simplify certain measurements.

- Use caution when working on this circuit - dangerous line voltages may be present.
- When evaluating PLL operation, offset cancel circuit operation, and loop filter values, use the filter of Figure 22 to view the demodulated signal minus the  $2F_0$  and noise components. This filter models the RC lowpass filter on chip.

### Breadboarding Tips (Continued)

- When evaluating CCT system noise performance on a real power line, it is desirable to vary the signal amplitude to the receiver. This is not easy. An in-line line-proof L-pad is fine except that the line impedance is unknown and variable and so the L-pad will rarely match. Instead, the power output of a chip transmitter may be controlled using the circuit of *Figure 23*. This circuit controls the ALC.
- It is sometimes desirable to place impulse noise on the line. A simple light dimmer with a 100 W light bulb load produces representative impulse noise.
- Do not allow peak currents of over 1 A through the 5.6 V Zener. In other words, don't short charged capacitors into this low-impedance device. Take care not to momentarily short pins 10 and 11 - chip damage may result.
- *Figure 24* shows some typical signals beginning with serial data transmitted to received signal.

representing an average line impedance may be connected to the line side of  $T_1$ . The circuit of *Figure 23* should then be used to defeat the leveling effect of the ALC.



TL/H/8750-26

FIGURE 23. A means of transmitter output amplitude control is shown

### Tuning Procedure

This procedure applies to circuits similar to *Figure 1* LM1893 or LM2893 circuit.

First, trim  $F_O$  by putting the chip in the TX mode, setting a logical high data input, and measuring the TX high frequency,  $1.022 F_O$ , on the Carrier I/O using these steps:

1. Take pin 17 to a logic low.
2. Take pin 5 to a logic high.
3. Place a counter on pin 10.
4. Adjust  $F_O$  on pin 18 for  $F = 1.022 F_O$ .

Second, the line transformer is tuned. The chip is placed in the TX mode, a resistive line load is connected to disable the ALC by reducing tank voltage swing below its limit. FSK data is then passed through the tank so that the tank envelope may be adjusted for equal amplitude for high and low data frequency.

1. Take pin 5 to a logic high.
2. Place a logic-level square wave at or below the receiver's maximum data rate on pin 17.
3. Temporarily place a 330  $\Omega$  resistor across the tank.
4. Place a scope on pin 10.
5. Adjust the transformer slug for the least envelope modulation.

In lieu of the 330  $\Omega$  resistive load,  $T_1$  may be coupled to the power line to better simulate actual load and tank pull conditions during tank tuning. Alternatively, a passive network

### Thermal Considerations

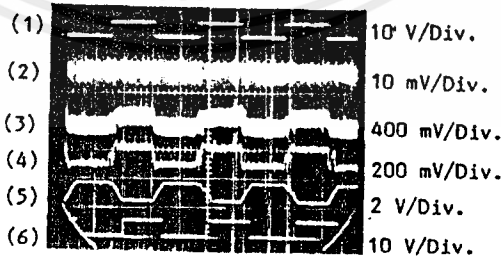
It is desirable to place the largest possible signal on the power line for maximum range, limited only by the chip power dissipation and maximum junction temperature  $T_J$ . The falling output power at elevated  $T_J$  allows a more optimal power output - high power at low  $T_J$  and lower power at high  $T_J$  for chip self-protection. However, it is still possible to exceed the maximum  $T_J$  within the specified ambient temperature limit ( $T_A = 85^\circ\text{C}$ ) under worst case conditions of 100% TX duty cycle, high supply, shorted load, poor PC board layout (with small copper foil area), and an above nominal current part. Under those conditions, a part may dissipate 2140 mW, reaching a  $T_J = 170^\circ\text{C}$  worst-case (admittedly a rare occurrence). Proper system design includes the measurement or calculation of  $T_J$  max. to guarantee function under worst-case operation. Like all devices with failure modes modeled by the Arrhenius model, the high chip reliability is further enhanced by keeping the die temperature mercifully below the absolute maximum rating.

A direct method of measuring operating junction temperature is to measure the  $V_{BE}$  voltage on pin 18, which is always available under all operating modes. The graph of *Figure 25* may be used to find  $T_J$ , knowing  $V_{BE}$  at the operating point in question and  $V_{BE}$  at  $T_A = T_J = 25^\circ\text{C}$ .  $V_{BE}$  is found by powering up a chip (in RX mode) that has been dissipating zero power at some  $T_A$  for some time and measuring  $V_{BE}$  in less than 1 s (for better than  $5^\circ\text{C}$  accuracy).

Alternately,  $T_J$  may be calculated using:

$$T_J = T_A + \theta_{JA} P_D \quad (1)$$

where  $\theta_{JA}$  is  $75^\circ\text{C}/\text{W}$  for the plastic (N) package using a socket. That  $\theta_{JA}$  value is for a high confidence level; nomi-

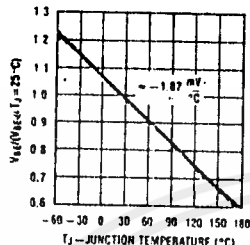


TL/H/8750-23

FIGURE 24. Oscilloscope revealing signals at several important nodes under weak signal (0.5 mV<sub>RMS</sub>) conditions with SCR spikes on an otherwise quiet 115 V, 60 Hz power line. The signals are: 1) transmitted data, 2) RX carrier on the tuned transformer, 3) demodulated signal from the PLL after passing thru circuit of *Figure 22*, 4) signal after RC lowpass, 5) data at impulse noise filter integrator, and 6) received data. Horizontal scale is 10 ns per div.

## Thermal Considerations (Continued)

nal  $\theta_{JA}$  for an N package is  $60^\circ\text{C/W}$ , lower with good PC board layout. Since  $P_D$  is a relatively strong function of  $T_J$ , an iterative solution process starting with an initial guess for  $T_J$  is used. With the estimated  $T_J$ , find the total supply current found in the typical performance characteristics.



TL/H/6750-27

FIGURE 25.  $T_J$  may be found by using the temperature coefficient of pin 18  $V_{BE}$  if  $V_{BE}$  is known at  $25^\circ\text{C}$

## Transmit-To-Receive Switch-Over Time

An important figure-of-merit for a half-duplex CCT link, affecting effective data rate, is the TX-to-RX switch time  $T_{TR}$ . Using the recommended component values gives this part a nominal 2 bit-time (1 bit time  $\approx 1/[2f_{DATA}]$ ) over a wide range of operating conditions, where the receiver requires 1 data transition.  $T_{TR}$  cannot be decreased significantly but does increase as noise filtering, especially via  $C_M$ , is increased. Impulse noise at switch, signals near the limiting sensitivity, poor  $F_O$  match between receiver and transmitter because of poor trim or worst-case conditions, and the statistical nature of PLL signal acquisition may all contribute to increase  $T_{TR}$  to possibly 4 bit-times.

$T_{TR}$  is lower when a pair of LM1893's handshake rapidly. The receiver was designed to "remember" the RX-mode DC operating points on  $C_M$  and  $C_F$  while in the TX mode. Under noisy worst case conditions,  $C_M$  will discharge to the point of false operation after 35 bit-times in the TX mode (1400 bit times with no noise and a nominal part,  $f_{DATA} = 180$  Hz).  $T_{TR}$  is about 0.8 ms (proportional to the selected  $F_O$ ) plus  $1/2$  bit-time.

The major components of  $T_{TR}$  are described below for a nominal 125 kHz  $F_O$ , 180 Hz  $f_{DATA}$ , lightly-loaded tank with a Q of 20, and the circuit of Figure 4. The remote CCT has been operating in the TX mode with a 26.6 V<sub>PP</sub> tank swing and is now selected as a receiver. An incoming signal requiring the ultimate receiver sensitivity immediately is placed on the line.

First, the tank stored energy at the transmit frequency must decay to a level below the 2.8 mV<sub>PP</sub> swing caused by the 0.14 mV<sub>RMS</sub> incoming line signal containing the information to be received.

$$\text{decay time} = \frac{Q}{\pi F_O} \ln \left( \frac{V_1}{V_0} \right) = \frac{20}{\pi \times 125\,000} \ln \left( \frac{26.6}{0.0028} \right) = 0.466 \text{ ms} \quad (2)$$

That is 0.47 ms of delay (proportional to  $1/F_O$  and Q).

Second, the PLL must acquire the signal; it must lock and settle. Acquisition time is statistical and may take any length of time, but average acquisition time depends on the loop filter components  $C_F$  and  $R_F$  and the difference in center frequencies,  $\Delta F_O$ , of the TX/RX pair. Using the recom-

mended  $C_F$  and  $R_F$  (47 nF and 6.2 k $\Omega$ ) with a  $\pm 4.4\%$   $\Delta F_O$  (a  $\pm 100$  mV DC offset on  $C_F$  and  $R_F$ ), lock was measured to take less than 50 cycles of  $F_O$ . That is a 0.40 ms delay (proportional to  $1/F_O$ ).

Acquisition is incomplete until the second order PLL loop settles. For the above-mentioned  $C_F$  and  $R_F$ , the loop natural frequency  $F_N$  and damping factor are found to be 2.3 kHz and 1.0 respectively. Settling to within  $\pm 25$  mV of the  $\pm 100$  mV DC offset change requires 2.7 periods of  $F_N$ , or 1.2 ms (a function of  $C_F$  and  $R_F$ ).

Third, the RC lowpass filter introduces a 0.12 ms delay.

Fourth,  $C_M$  must charge up to  $\pm (1/4)100 = 83$  mV depending on the polarity of  $F_O$ . Borderline data squaring with zero noise immunity is possible with only  $\pm (1/4)50$  mV of charging.  $C_M$  charge current is an asymptotic function approximated by assuming a 50  $\mu\text{A}$  charge current and the full 83 mV charge voltage.  $C_M$  charge time is then 1.7 ms (proportional to  $1/f_{DATA}$ ).

Fifth, the impulse noise filter adds a  $1/2$  bit-time delay. Total  $T_{TR}$  is 3.9 ms plus  $1/2$  bit-time for a total of 1.9 bit-times at 360 Baud.

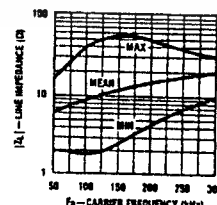
## Receive-To-Transmit Switch-Over Time

Assume the chip has been in the RX mode and the TX mode is now selected. In less than 10  $\mu\text{s}$ , full output current is exponentially building tank swing. 50% of full swing is achieved in less than 10 cycles - or under 80  $\mu\text{s}$  at 125 kHz. In the same 10  $\mu\text{s}$  that the output amp went on, the phase detector and loop filter are disconnected and the modulator input is enabled. FSK modulation is produced in 10  $\mu\text{s}$  after switching to TX mode.

## Power Line Impedance

Irrespective of how wide the limits on power line impedance  $Z_L$  are placed, there are no guarantees. However, since the CCT design requires an estimate of the lowest expected line impedance  $Z_{LN}$  encountered for the most efficient transmitter-to-line coupling, line impedance should be measured and  $Z_L$  limits fixed to a given confidence level. Reasonable values for  $T_1$  turns ratio, loaded Q, and tank resonant frequency pull  $F_O$  may be found to enable a CCT system design that functions with the overwhelming majority of power lines.

A limited sampling of  $Z_L$  was made, during the LM1893 design, of residential and commercial 115V 60 Hz power line. Data was also drawn from the research of Nicholson and Malack (reference 1), among others, to produce Figures 26 and 27. All measured impedances are contained within the shaded portions of Figure 27. A nominal 3.5, 7.0 and 14  $\Omega$   $Z_{LN}$  is used throughout the application information with a nominal  $45^\circ$  phase angle ( $0^\circ$  is sometimes used for simplicity).



TL/H/6750-28

FIGURE 26. Measured line impedance range for residential and commercial 115V, 60 Hz lines

**Power Line Impedance (Continued)**

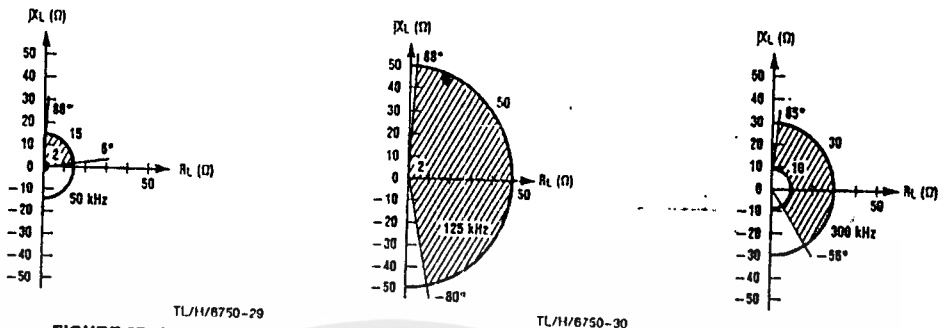


FIGURE 27. Complex-plane plots of measured 115V, 60 Hz line impedance where  $Z_L = R_L + jX_L$

**Power Line Attenuation**

The wiring in most US buildings is a flat 3 conductor cable called Amerflex, BX, or Romex. All referenced line impedances refer to hot-to-neutral impedances with a grounded center conductor. The cable has a 100 Ω characteristic impedance, a 125 kHz quarter-wavelength of 600 m (250 m at 300 kHz), and a measured 7-dB attenuation for a 50 m run with a 10 Ω termination. Generally, line loads may be treated as lumped impedances. Instrument line cords exhibit about 0.7 μH and 30 pF per meter.

Limited tests of CCT link range using this chip show extensive coverage while remaining on one phase of a distribution transformer (100's of m), with link failure often occurring across transformer phases or through transformers unless coupling networks are utilized. Total line attenuation allowed from full signal to limiting sensitivity is more than 70 dB. Typically, signal is coupled across transformer phases by parasitic winding capacitance, typically giving 40 dB attenuation between phased 115 V windings. Coupling capacitors may be installed for improved link operation across phases. Power factor correcting capacitor banks on industrial lines or filter capacitors across the power lines of some electronic gear short carrier signal and should be isolated with inductors. Increasing range is sometimes accomplished by electing to install the isolating inductors (Figure 28) and coupling capacitors, as well as by electing to use the boost option. Frequency translating or time division multiplexed repeaters will also increase range.

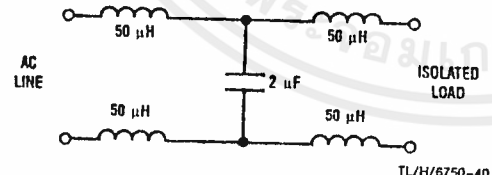


FIGURE 28. An isolation network to prevent: 1) noise from some device from polluting the AC line, and 2) to stop some low impedance device (measured at  $F_0$ ) from shorting carrier signal. Component values given as an example for  $F_0 = 125$  kHz on residential power lines

**The Coupling Transformer**

The design arrived at for  $T_1$  is the result of an unhappy compromise - but a workable one. The goals of 1) building

$T_1$  with a stable resonant frequency,  $F_0$ , that is little affected by the de-tuning effect of the line impedance  $Z_L$ , and of 2) building a tightly line-coupled transformer for transmitted carrier with loose coupling for transients, are somewhat mutually exclusive. The tradeoffs are exposed in the following example for the CCT designer attempting a new boost-cable, or different core, transformer design.

The compromises are eased by separating the TX output and RX input in the LM2893. An untuned TX coupling transformer with only core coupling (not air-coupled solenoid windings) would employ a high permeability, high magnetic field, low loss, square saturating, toroidal core. The resonant RX path would be isolated from line-pull problems by a unilateral amplifier that operates at line voltages with much more than 110 dB of dynamic range, or by a capacitively coupled pulse transformer driving a unilateral amplifier and filter, for increased selectivity. See the LM2893-specific applications section.

For a LM1893-style transformer application, first, choose the turns ratio  $N$  based on an estimated lowest  $Z_L$  likely encountered,  $Z_{LN}$ . Figure 29 shows graphically how  $N$  affects line signal.  $N$  should be as large as possible to drive  $Z_{LN}$  with full signal. If  $T_1$  has an unloaded  $Q$ ,  $Q_U$ , of well less than 35, a guess of  $N$  somewhat high should be used and later checked for accuracy. The recommended transformers have secondary taps giving a choice of  $N = 7.07, 10,$  and  $14.1$  (nominally) for driving  $Z_{LN}$ 's of 14, 7.0, and 3.5 Ω respectively (at  $T_J = 25^\circ\text{C}$ ,  $V+ = 18\text{V}$ , and  $Q_U = 35$ ).

The resonating inductance of the tuned primary,  $L_1$ , is sought. Note that, while standard transformer design gives a transformer self-inductance with an impedance at operating frequency well above load impedance, the tuned transformer requires a low  $L_1$  for adequate  $Q_U$  and minimum line pull. Result: relatively poor mutual coupling.

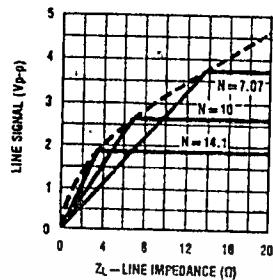
$$L_1 = \frac{R}{2\pi F_0 Q} \tag{3}$$

It is known that resonant frequency  $F_0 = F_0$  and some minimum bandwidth, or maximum  $Q$ , will be required to pass signal under full load conditions.

$$L_1 = \frac{R_0 \parallel |Z_{LN}'|}{2\pi F_0 Q_L} \tag{4}$$

$|Z_{LN}'|$  is the reflected  $Z_{LN}$ ,  $Q_L$  is the loaded  $Q$ , and parallel resistance  $R_0$  models all transformer losses and sets  $Q_0$ .  $R_0 \parallel |Z_{LN}'|$  is found knowing that it absorbs full rated power.

## The Coupling Transformer (Continued)



TL/H/6750-32

FIGURE 29. Impressed line voltage for a given  $Z_L$  for each of the 3 taps available on the recommended transformers

$$P_O = I_O V_O = \frac{I_{OPP}^2 \left[ \frac{2(-V_{ALC} + V_+)}{2\sqrt{2}} \right]^2}{4} = \frac{(-4.7 + V_+)^2 I_O^2}{4} \quad (5)$$

where  $I_O$  is in amps peak-to-peak at an elevated  $T_1$

$$P_O = \frac{(18 - 4.7) 0.06}{4} = 0.200 \text{ W} \quad (6)$$

$$R_{O||} |Z_{LN}'| = \frac{V_O^2}{P_O} = \frac{(-V_{ALC} + V_+)^2}{I_O^2} = 442 \Omega \quad (7)$$

$R_Q$  is found using  $Z_{LN}$  and the value for  $N$  found when assuming  $Q_U = 35$ .

$$|Z_{LN}'| = N^2 Z_{LN} = (7.07)^2 13.9 = 695 \Omega \quad (8)$$

$$R_O = \frac{1}{\frac{1}{R_{O||} |Z_{LN}'|} + \frac{1}{|Z_{LN}'|}} = \frac{1}{\frac{1}{442} + \frac{1}{695}} = 1210 \Omega \quad (9)$$

$$R_{OS} = \frac{R_Q}{1 + Q_U^2} = \frac{1210}{1 + 35^2} = 1 \Omega \quad (10)$$

Only  $Q_L$  remains to be found to calculate  $L_1$ .  $Q_L$  is related to the -3 dB (half-power) bandwidth by

$$Q_L = \frac{1}{\text{BW (\% of } F_O)} \quad (11)$$

An iterative solution is forced where line pull,  $\Delta F_O$ , must be guessed to find  $Q_L$  and  $L_1$ .  $L_1$  is then used to check the line pull guess; a large error requires a new guess. Try a BW of 8.7% - that is 4.4% for deviation, 1% for TC of  $F_O$ , and 3.3% for  $\Delta F_O$  - giving  $Q_L = 11.5$ .

$$L_1 = \frac{442}{2\pi \times 125\,000 \times 11.5} = 49.0 \mu\text{H} \quad (12)$$

Knowing the core inductance per turn,  $L$ , and  $L_1$ , the number of turns is found.

$$T_1 = \sqrt{\frac{L_1}{L}} = \sqrt{\frac{49.0 \mu\text{H}}{20 \text{ nH/T}}} = 49 \frac{1}{2} \text{ turns} \quad (13)$$

$T$  is normally an integer, but these transformers require so few turns that half-turns are specified, remembering that the remaining  $\frac{1}{2}$  turn is completed on the P.C. board and is loosely coupled. The secondary turns are calculated

$$T_2 = \frac{T_1}{N} = \frac{49.5}{7.07} = 7.00 = 7 \text{ turns} \quad (15)$$

giving an  $L_2$  of 0.98  $\mu\text{H}$ . Note that the recommended 125 kHz transformer mirrors these specifications. The resonant capacitor is

$$C_O = \frac{1}{(2\pi F_O)^2 L_1} = 33.1 \times 10^{-9} = 33 \text{ nF} \quad (16)$$

Line pull  $\Delta F_O$  was calculated (reference 3) for a  $Z_L$  magnitude of 14  $\Omega$  and up with any phase angle from  $-90^\circ$  to  $90^\circ$ .  $\Delta F_O$  was 6.4% - well above the 3.3% estimate. Referring to (11), an 11.8% bandwidth is required, forcing  $L_1$  to be reduced to reduce  $Q$ . That fix was not implemented; some signal attenuation under worst-case drift and  $\Delta F_O$  is allowed.  $L_1$  is already so small that the 31 gauge winding conducts a  $\frac{1}{4}$  ARMS circulating current.

## Line Carrier Detection

While the addition of a carrier detection circuit (for a mute or squelch function) will only decrease receiver ultimate sensitivity, there is sometimes good reason to employ it to free the controller from watching for RX signal when no carrier is incoming, or to employ it to reduce the probability of line collisions (when multiple transmitters operate simultaneously to cause one or more transmissions to fail). Unless the detector is heavily filtered or uses a high carrier amplitude threshold, there will be false outputs that force the controller to have Data Out data checking capability just as is required when using no carrier detector. If false triggering is minimized, the probability of line collisions is increased due to the inability to sense low carrier amplitudes and because of sense delay. The property of the LM1893 to change output state infrequently (although the polarity is undefined) when in the RX mode, with no incoming carrier, reduces the desire to implement carrier detection and preserves the full ultimate sensitivity. Also, many impulse-noise insensitive transmission schemes, like handshaking, are easily modified to recover from line collisions.

Regarding this, it should be stated that for very complicated industrial systems with long signal runs and high line noise levels, it is probably wise to use a protocol which is inherently collision free so that no carrier detect hardware or software is needed. A token passing protocol is an example of such a system.

Figure 30 shows a low cost carrier amplitude detection circuit.

## Audio Transmission

The LM1893 is designed to allow analog data transmission and reception. Base-band audio-bandwidth signals FM modulate the carrier passing through the tuned transformer (placing a limit on the usable percent modulation) onto the power line to be linearly demodulated by the receiver PLL. Because the receiver data path beyond the phase detector will pass only digital signal, external audio filtering and amplification is required. Figure 31 shows a simple audio transmitter and receiver circuit utilizing a carrier detection mute circuit. A single LM339 quad. comparator may be used to build the carrier detect and mute. Filter bandwidth is held to a minimum to minimize noise, especially line-related correlated noise.

## Communication and System Protocols

The development of communication and system protocols has historically been the single most time consuming element in design of carrier current systems. The protocols are defined as the following:

1. *Communication protocol*: a software method of encoding and decoding data that remains constant for every transmis-



## Communication and System Protocols (Continued)

carrier current applications since they do not have the intelligence needed to distinguish between real messages and noise induced phantoms.

The difficulty in designing special protocols arises out of the special nature of the AC line, an environment laden with the worst imaginable noise conditions. The relatively low data rates possible over the AC line (typically less than 9600 baud) make it even more imperative that systems utilize the most sophisticated means available to ensure network efficiency.

With these facts in mind, the designer is referred to a publication intended to aid in the development of carrier current systems. This is literature #570075 The Bi-Line Carrier Current Networking System, a 200 pp. book that functions as the "bible" of Bi-Line system design. It has sections on LM1893 circuit optimization, protocol design, evaluation kit usage, critical component selection, and the Datachecker/DTS case study.

### Basic Data Encoding (please refer to the previously mentioned publications for advanced techniques)

At the beginning of a received transmission, the first 0 to 2 bits may be lost while the chip's receiver settles to the DC bias point required for the given transmitter/receiver pair carrier frequency offset. With proper data encoding, dropped start bits can be tolerated and correct communication can take place. One simple data encoding scheme is now discussed.

Generally, a CCT system consists of many transceivers that normally listen to the line at all times (or during predetermined time windows), waiting for a transmission that directs one or more of the receivers to operate. If any receiver finds its address in the transmitted data packet, further action such as handshaking with the transmitter is initiated. The receiver might tell the transmitter, via retransmission, that it received this data, waiting for acknowledgement before acting on the received command. Error detecting and correcting codes may be employed throughout. The transmitter must have the capability to retransmit after a time if no response from the receiver is heard - under the assumption that the receiver didn't detect its address because of noise, or that the response was missed because of noise or a line collision. (A line collision happens when more than 1 transmitter operates at one time - causing one or more of the communications to fail). After many re-transmissions the transmitter might choose to give up. Collision recovery is achieved by waiting some variable amount of time before re-

transmission, using a random number of bits delay or a delay based on each transmitter's address, since each transceiver has a unique address.

An example of a simple transmission data packet is shown in Figure 32. The 8 bit 50% duty-cycle preamble is long enough to allow receiver biasing with enough bits left over to allow the receiver controller to detect the square-wave that signals the start of a transmission. If there had been no transmission for some time, the receiver would simply need to note that a data transition had occurred and begin its watch for a square-wave. If the receive controller detected the alternating-polarity data square-wave it would then use the sync. bit to signal that the address and data were immediately following. The address data would then be loaded, assuming the fixed format, and tested against its own. If the address was correct, the receiver would then load and store the data. If the address was not correct, either the transmission was not meant for this receiver or noise has fooled the receiver. In the former case, when the transmission was not meant for the receiver, the controller should immediately return to watching the incoming data for its address. If the later case were true, then the receive controller would continue to detect edges, tying itself up by loading false data and being forced to handshake. The square-wave detection and address load and check routines should be fast to minimize the time spent in loops after being false-triggered by noise. If the controller detects an error (a received data bit that does not conform to the pre-defined encoding format) it should immediately resume watching the LM1893's Data Out for transmissions, the next bit would be shifted in and the process repeated.

A line-synchronous CCT system passing 3 bits per half-cycle may replace the long 8 bit preamble and sync pulse with a 2 bit start-of-transmission bias preamble. The receive controller might then assume that preamble always starts after bit 1 (the first bit after zero-crossing) so that any data transition at a zero crossing must be the start of the address bits and is tested as such. The line synchronous receiver operates with a simpler controller than an asynchronous system. Discussion has assumed that the controller has always known when the Data Out is high or low. The controller must sample at the proper time to check the Data Out state. Since noise shows itself as pulse width jitter, symmetrically placed about the no-noise switch-points, optimum Data Out sampling is done in the center of the received data pulse. The receive data path has a time delay that, at low data rates, is dominated by the impulse noise filter integrator and is nominally  $\frac{1}{2}$  bit. At a 2 kHz data rate, an additional delay of approximately  $\frac{1}{10}$  bit is added because of the cumulative delay of the remainder of the receiver. Figure 33 shows that Data Out sampling occurs conveniently at the transmitted

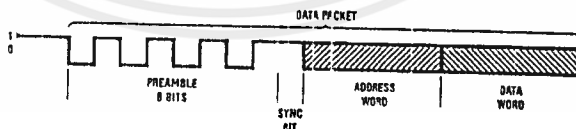
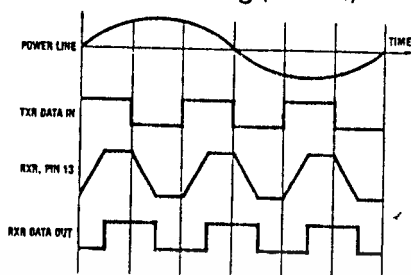


FIGURE 32. A simple encoded data packet, generated by the transmit controller is shown. The horizontal axis is time where 1 bit time is  $1/(2f_{DATA})$

TL/H/6750-35

## Basic Data Encoding (Continued)



TL/H/6750-36

**FIGURE 33.** Operating waveforms of a line-synchronized transceiver pair are shown. The diagram shows how the transmitted data transitions may be used as received data sampling points

data edges for the line synchronous data transmission scheme mentioned in the previous paragraph. With the asynchronous system suggested, the receive controller must sample the Data Out pin often to determine, with several bits of accuracy, where the square-wave data transitions take place, average their positions assuming a known data rate, and calculate where the center of the data bits are and will continue to be as the address and data are read. A long preamble is helpful. Software that continuously updates the center-of-bit time estimate, as address and data are received, works even better. Alternatively, a coding scheme employing an embedded clock can be used.

### LM2893 Application Hints

The LM2893 is intended for advanced applications where special circuitry is used in the transmit and receive paths. The LM2893 makes this possible by featuring separate transmit output and receive input pins.

Examples of enhancements that can be added to the basic LM1893/2893 circuit include separate transmit and receive windings on the coupling transformer, high quality ceramic or LC filters in the receive path, and simple impulse noise blanking circuits.

In many applications, the additional performance to be gained outweighs the extra cost of the additional circuitry. More than likely, high performance industrial applications such as building energy management will fit into this category, since they require the utmost in reliability.

Because of the specialized nature of individual LM2893 applications, it is not possible to give one circuit that will satisfy all requirements for performance and cost effectiveness. Therefore no specific application examples will be given. Instead the subsequent text describes in general terms the types of circuits that can be used to increase performance along with their advantages and disadvantages. It is intended to be a springboard for ideas.

#### LM2893 COUPLING NETWORKS

The main disadvantages of the typical LM1893 coupling network are that it functions as the bandpass filter, has loose coupling between primary and secondary, and has a single secondary. The LM1893 coupling network was designed this way mainly because of the restraint that the carrier input and output are tied together.

Because the coupling transformer is used as a filter, the LM1893 circuit is susceptible to pulling of the center frequency under conditions of changing line impedances or when several LM1893 circuits are close in proximity on the AC line. Because the tuned transformer has a high value of "Q", ringing also occurs in the presence of impulsive noise. This ringing occurs at the center frequency and increases the error rate of transmissions, especially at relatively high data rates (> 2000 baud). Because it is the only tuned circuit in the system, the selectivity characteristics leave a lot to be desired.

The LM2893, having separate receive input and transmit output pins, removes the limitations on coupling transformer design, allowing the design of circuits devoid of the previous limitations.

The first enhancement that can be made with the LM2893 circuit is the use of a high permeability ferrite toroid for line coupling along with a separate filter. The transformer would be of broadband design (untuned) with two secondaries, one for coupling to the transmit output and one for coupling to the receive input. This allows impedance matching of both the transmitter and receiver, with the result of quite a bit more receive sensitivity.

Because of the increased signal and separate receive signal path, a 3 or 6 db pad can be used before the selective stages to eliminate pulling of the center frequency due to changes in line impedance.

Another advantage of the toroidal transformer is that it can be designed for use at very low line impedances due to its inherent tight coupling.

#### SEPARATE FILTER

Because of the separate receive path of the LM2893, a relatively high quality bandpass filter can be used for selectivity. Inexpensive ceramic filters are available that have bandpass and center frequency characteristics compatible with carrier current operation. Furthermore, the use of these filters allows multichannel operation, previously made difficult by the single tuned network of the LM1893. These filters are easily cascaded for even more off-frequency rejection. If the pad is added before the filter, there will be negligible pulling due to changes in line impedance reflected through the coupling transformer.

Alternatively, a Butterworth/Chebyshev bandpass LC filter or an active filter can be used in place of the ceramic filter.

#### IMPULSE NOISE BLANKER

Although the LM2893 has adequate impulse noise rejection for most applications, there is reason to employ impulse blanking to improve error rates in severe AC line environments. Typically, errors occur due to pulse jitter in the LM1893/2893 data output that originates when the internal time domain filter smooths out an incoming noise pulse.

The solution involves removing the impulse completely and not simply trying to filter it. Moreover, the pulse should be removed in the receive signal path before the selective portions of the circuit to eliminate ringing. This also allows the receiver filter to smooth out the blanks that also occur in the desired incoming carrier signal.

If a carrier detect circuit is desired in conjunction with the LM2893 it can be located after the filter and impulse blanker. Because impulse noise is removed, the false triggering that plagues these circuits will be greatly reduced.



## References

1. Nicholson, J.R. and J.A. Malack; "RF Impedance of Power Lines and Line Impedance Stabilization Network in Conducted Interference Measurements;" IEEE Transactions on Electromagnetic Compatibility; May 1973; (line impedance data)
2. Southwick, R.A.; "Impedance Characteristics of Single-Phase Power Lines;" Conference Rec.; 1973 IEEE Int. Symp. on Electromagnetic Compatibility; (line impedance data)
3. Hayt, William H. Jr. and Jack E. Kemmerly; "Engineering Circuit Analysis;" McGraw-Hill Books; 1971; pp. 447-453; (linear transformer reflected impedance)
4. FCC, "Notice of Proposed Rule Making," Docket 20780, adopted Apr. 14, 1976, (Proposed regulation)
5. Monticelli, Dennis M. and Michael E. Wright; "A Carrier Current Transceiver IC for Data Transmission Over the AC Power Lines;" IEEE J. Solid-State Circuits; vol. SC-17; Dec. 1982; pp. 1158-1165; (LM1893 circuit description)
6. Lee, Mitchell; "A New Carrier Current Transceiver IC;" IEEE Trans. on Consumer Electronics; vol. CE-28; Aug. 1982; pp. 409-414; (Application of LM1893)



**MOTOROLA**  
**SEMICONDUCTOR**  
**TECHNICAL DATA**

**Addressable Asynchronous  
Receiver/Transmitter**  
**CMOS**

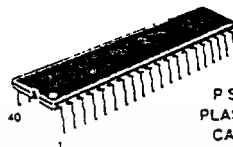
The MC14469 receives one or two eleven-bit words in a serial data stream. One of the incoming words contains the address and when the address matches, the MC14469 then transmits information in two eleven-bit-word data streams. Each of the transmitted words contains eight data bits, an even parity bit, and start and stop bits.

The received word contains seven address bits with the address of the MC14469 set on seven pins. Thus 2<sup>7</sup> or 128 units can be interconnected in simplex or full duplex data transmission. In addition to the address received, seven command bits may be received for general-purpose data or control use.

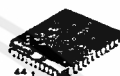
The MC14469 finds application in transmitting data from remote A-to-D converters, remote MPUs, or remote digital transducers to the master computer or MPU.

- Supply Voltage Range: 4.5 V to 18 V
- Low Quiescent Current: 75  $\mu$ A Maximum @ 5 V, 25°C
- Guaranteed Data Rates to 4800 Baud @ 5 V, to 9600 Baud @ 12 V
- Receive — Serial to Parallel  
Transmit — Parallel to Serial
- Transmit and Receive Simultaneously in Full Duplex
- Crystal or Resonator Operation for On-Chip Oscillator
- See Application Note AN-806A

**MC14469**



P SUFFIX  
PLASTIC DIP  
CASE 711

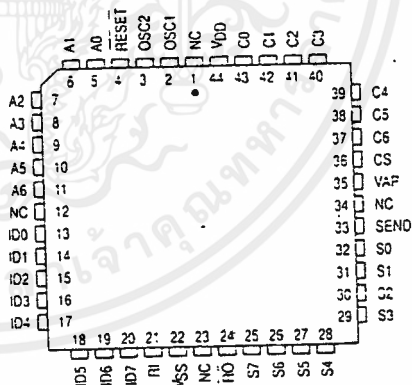
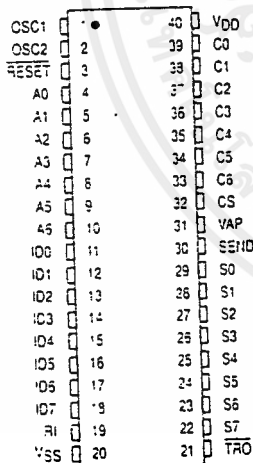


FN SUFFIX  
PLCC  
CASE 777

**ORDERING INFORMATION**

MC14469P Plastic DIP  
MC14469FN PLCC

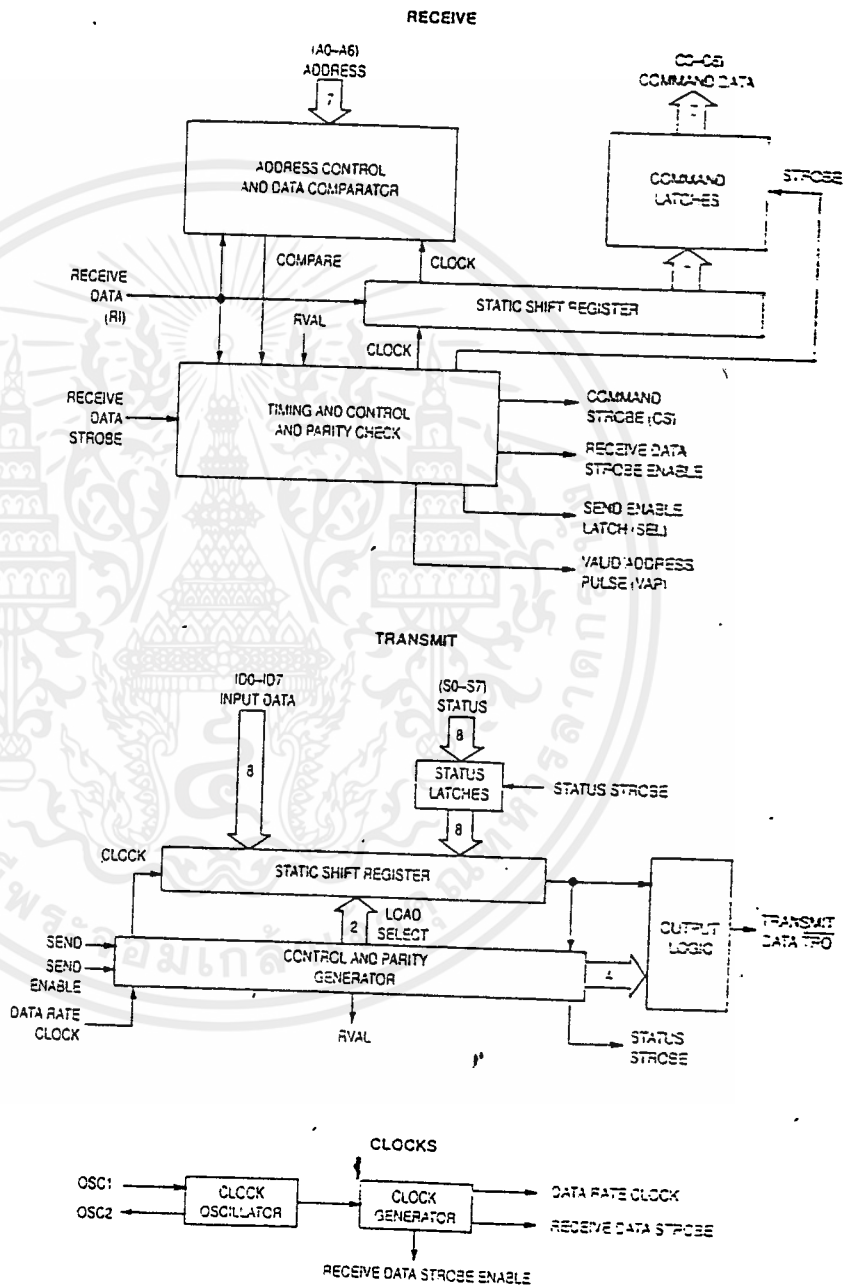
**PIN ASSIGNMENTS**



NC = NO CONNECTION

MC14469

BLOCK DIAGRAM



6

MOTOROLA CMOS APPLICATION-SPECIFIC DIGITAL-ANALOG INTEGRATED CIRCUITS

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MC14469

MAXIMUM RATINGS (Voltages referenced to VSS)

Parameter	Symbol	Value	Unit
DC Supply Voltage	V <sub>DD</sub>	-0.5 to +18	V
Input Voltage, All Inputs	V <sub>in</sub>	-0.5 to V <sub>DD</sub> +0.5	V
DC Current Drain per Pin	I	10	mA
Operating Temperature Range	T <sub>A</sub>	-40 to +85	°C
Storage Temperature Range	T <sub>stg</sub>	-65 to +150	°C

This device contains circuitry to protect the inputs against damage due to high static voltages or electric fields; however, it is advised that normal precautions be taken to avoid application of any voltage higher than maximum rated voltages to this high impedance circuit. For proper operation it is recommended that V<sub>in</sub> and V<sub>out</sub> be constrained to the range V<sub>SS</sub> ≤ (V<sub>in</sub> or V<sub>out</sub>) ≤ V<sub>DD</sub>.

Unused inputs must always be tied to an appropriate logic voltage level (e.g., either V<sub>SS</sub> or V<sub>DD</sub>).

ELECTRICAL CHARACTERISTICS (Voltages Referenced to VSS)

Characteristic	Symbol	V <sub>DD</sub> V	-40°C		25°C		+85°C		Unit
			Min	Max	Min	Max	Min	Max	
Output Voltage V <sub>in</sub> = V <sub>DD</sub> or 0	"0" Level VOL	5.0	—	0.05	—	0.05	—	0.05	V
		10	—	0.05	—	0.05	—	0.05	
15		—	0.05	—	0.05	—	0.05		
V <sub>in</sub> = 0 or V <sub>DD</sub>	"1" Level VOH	5.0	4.95	—	4.95	—	4.95	—	V
		10	9.95	—	9.95	—	9.95	—	
		15	14.95	—	14.95	—	14.95	—	
Input Voltage (Except OSC1) (V <sub>O</sub> = 4.5 or 0.5 V) (V <sub>O</sub> = 9.0 or 1.0 V) (V <sub>O</sub> = 13.5 or 1.5 V)	"0" Level VIL	5.0	—	1.5	—	1.5	—	1.5	V
		10	—	3.0	—	3.0	—	3.0	
		15	—	4.0	—	4.0	—	4.0	
	"1" Level VIH	5.0	3.5	—	3.5	—	3.5	—	V
10		7.0	—	7.0	—	7.0	—		
15		11	—	11	—	11	—		
Output Drive Current (Except OSC2)	Source IOH	5.0	-1.0	—	-0.8	—	-0.6	—	mA
		5.0	-0.2	—	-0.16	—	-0.12	—	
		10	-0.5	—	-0.4	—	-0.3	—	
		15	-1.4	—	-1.2	—	-1.0	—	
	Sink IOL	5.0	0.52	—	0.44	—	0.36	—	mA
		10	1.3	—	1.1	—	0.9	—	
Output Drive Current (OSC2 Only)	Source IOH	5.0	-0.19	—	-0.16	—	-0.13	—	mA
		5.0	-0.04	—	-0.035	—	-0.03	—	
		10	-0.09	—	-0.08	—	-0.06	—	
		15	-0.29	—	-0.27	—	-0.2	—	
	Sink IOL	5.0	0.1	—	0.085	—	0.07	—	mA
		10	0.17	—	0.14	—	0.1	—	
		15	0.5	—	0.42	—	0.3	—	
		—	—	—	—	—	—	—	
OSC Frequency	I <sub>OSC</sub>	4.5	0	400	0	365	0	310	kHz
Input Current	I <sub>in</sub>	15	—	-0.3	—	-0.3	—	±1.0	μA
	I <sub>UP</sub>	15	12	120	10	100	8.0	85	μA
Pull-Up Current (A0-A6, ID0-ID7)	C <sub>in</sub>	—	—	—	—	7.5	—	—	pF
Input Capacitance (V <sub>in</sub> = 0)	I <sub>DD</sub>	5.0	—	75	—	75	—	565	μA
Quiescent Current (Per Package)	I <sub>DD</sub>	10	—	150	—	150	—	1125	μA
		15	—	300	—	300	—	2250	
Supply Voltage	V <sub>DD</sub>	—	-4.5	-18	-4.5	+18	+4.5	+18	V

6

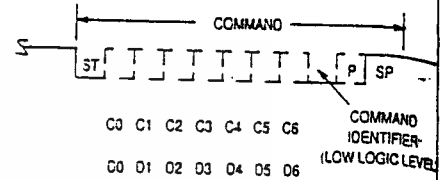
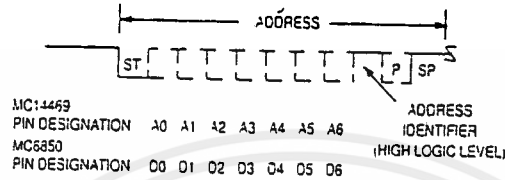
MOTOROLA CMOS APPLICATION-SPECIFIC DIGITAL-ANALOG INTEGRATED CIRCUITS

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

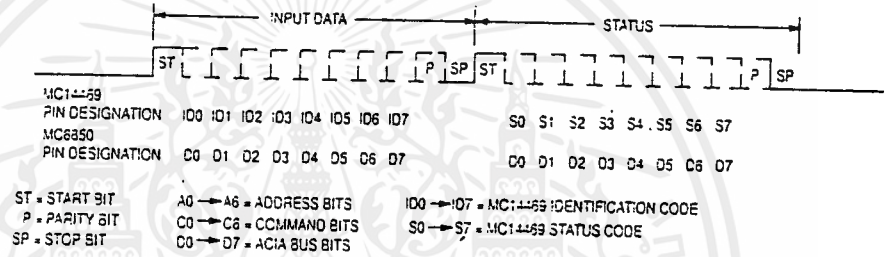
# MC14469

## DATA FORMAT AND CORRESPONDING DATA POSITION AND PINS FOR MC14469 AND MC6850

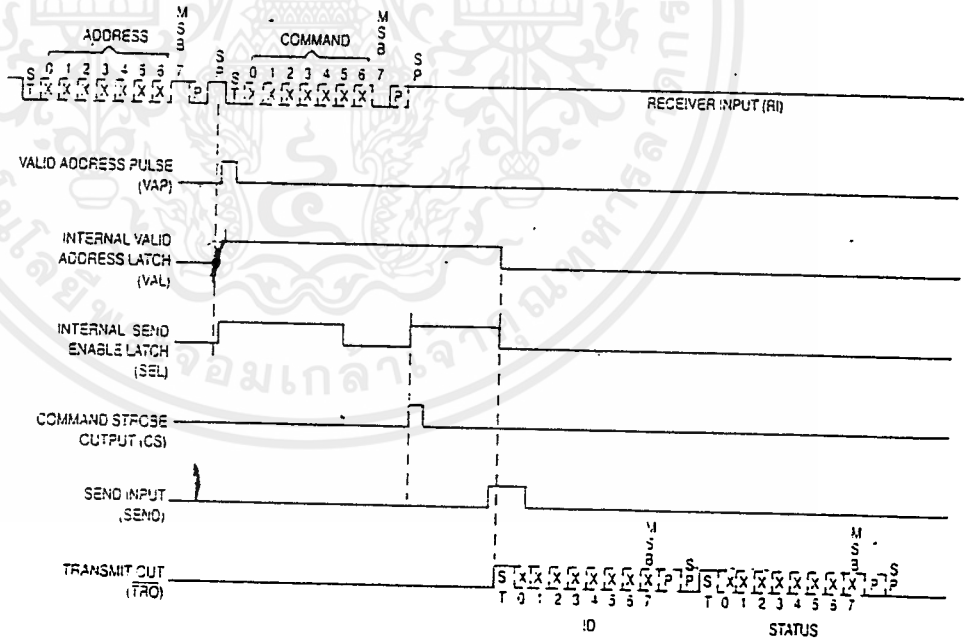
### RECEIVE DATA (RI)



### TRANSMIT DATA (TRO)



### TYPICAL RECEIVE/SEND CYCLE



MOTOROLA CMOS APPLICATION-SPECIFIC DIGITAL-ANALOG INTEGRATED CIRCUITS

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## PIN DESCRIPTIONS

**OSCILLATOR (OSC1, OSC2)**

These pins are the oscillator input and output. (See Figure 1.)

**RESET ( $\overline{\text{RESET}}$ )**

When this pin is pulled low for a minimum of 700 ns, the circuit is reset and ready for operation.

**ADDRESS (A0-A6)**

These inputs are the address setting pins which contain the address match for the received signal. Pins A0 through A6 have on-chip pullup resistors.

**INPUT DATA (ID0-ID7)**

These pins contain the input data for the first eight bits of data to be transmitted. Pins ID0-ID7 have on-chip pullup resistors.

**RECEIVE INPUT (RI)**

This is the receive input pin.

**NEGATIVE POWER SUPPLY (VSS)**

This pin is the negative power supply connection. Normally this pin is system ground.

**TRANSMIT REGISTER OUTPUT SIGNAL ( $\overline{\text{TRO}}$ )**

This pin transmits the outgoing signal. Note that it is inverted from the incoming signal. It must go through one stage of inversion if it is to drive another MC14469.

**SECOND OR STATUS INPUT DATA (S0-S7)**

These pins contain the input data for the second eight bits of data to be transmitted.

**SEND (SEND)**

This pin accepts the send command after receipt of an address.

**VALID ADDRESS PULSE (VAP)**

This is the output for the valid address pulse upon receipt of a matched incoming address.

**COMMAND STROBE (CS)**

This is the output for the command strobe signifying a valid set of command data (C0 through C6).

**COMMAND WORD (C0-C6)**

These pins are the readout of the general-purpose command word which is the second word of the received signal.

**POSITIVE POWER SUPPLY (VDD)**

This pin is the package positive power supply pin.

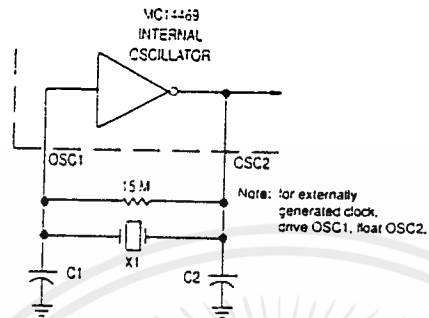
## OPERATING CHARACTERISTICS

The receipt of a start bit on the receive input (RI) line causes the receive clock to start at a frequency equal to that of the oscillator divided by 64. All received data is strobed in at the center of a receive clock period. The start bit is followed by eight data bits. Seven of the bits are compared against states of the address of the particular circuit (A0-A6). Address is latched 31 clock cycles after the end of the start bit of the incoming address. The eighth bit signifies an address word "1" or a command word "0". Next, a parity bit is received and checked by the internal logic for even parity. Finally a stop bit is received. At the completion of the cycle if the address matches, a valid address pulse (VAP) occurs. Immediately following the address word, a command word is received. It also contains a start bit, eight data bits, even parity bit, and a stop bit. The eight data bits are composed of a seven-bit command, and a "0" which indicates a command word. At the end of the command word a command strobe pulse (CS) occurs.

A positive transition on the send input initiates the transmit sequence. Send must occur within 7 bit times of CS. Again the transmitted data is made up of two eleven-bit words, i.e., address and command words. The data portion of the first word is made up from input data inputs (ID0-ID7), and the data for the second word from second input data (S0-S7) inputs. The data on inputs ID0-ID7 is latched one clock before the falling edge of the start bit. The data on inputs S0-S7 is latched on the rising edge of the start bit. The transmitted signal is the inversion of the received signal, which allows the use of an inverting amplifier to drive the lines.  $\overline{\text{TRO}}$  begins either 1/2 or 1-1/2 bit times after send, depending where send occurs.

The oscillator can be crystal controlled or ceramic resonator controlled for required accuracy. OSC1 can be driven from an external oscillator. See Figure 1.

# MC14469



X1 = Ceramic Resonator: 307.2 kHz  $\pm$  1 kHz for 4800 baud rate.  
 C1 and C2 are sized per the ceramic resonator supplier's recommendation.

Ceramic Resonator Suppliers:  
 1. Morgan Matroc, Inc., Bedford, OH 216-232-8600  
 2. Radio Materials Co., Attica, IN 317-762-2491

\* Motorola cannot recommend one supplier over another and in no way suggests that this is a complete listing of ceramic resonator suppliers.

Figure 1. Oscillator Circuit

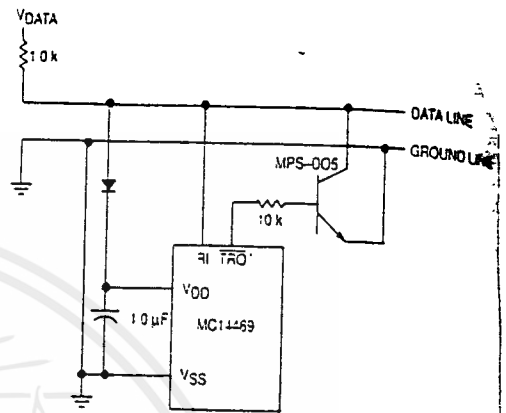


Figure 2. Rectified Power from Data Lines Circuit

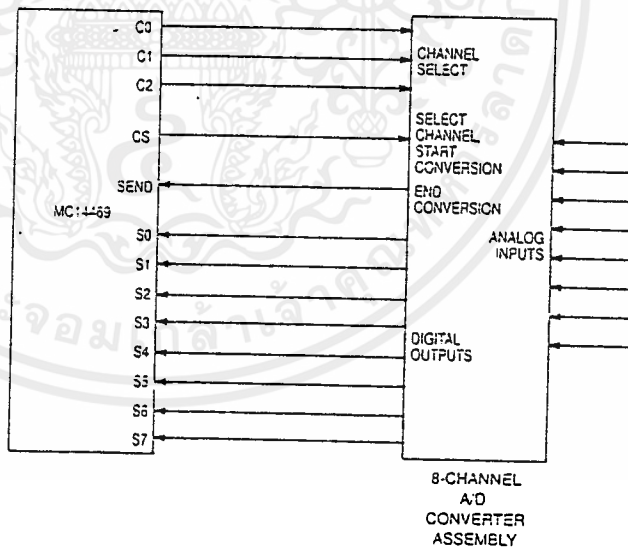


Figure 3. A-D Converter Interface

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
 ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

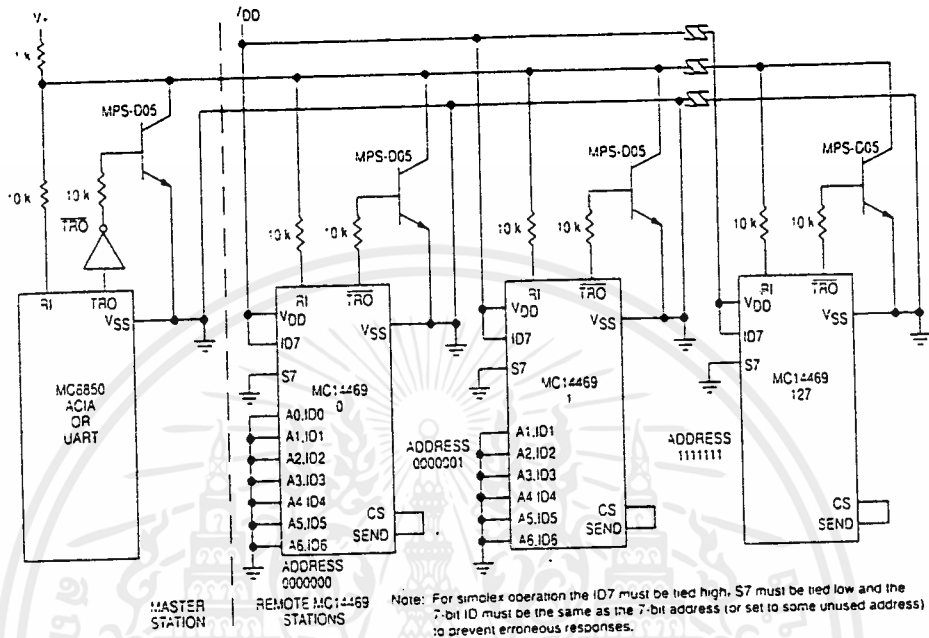


Figure 4. Single Line, Simplex Data Transmission

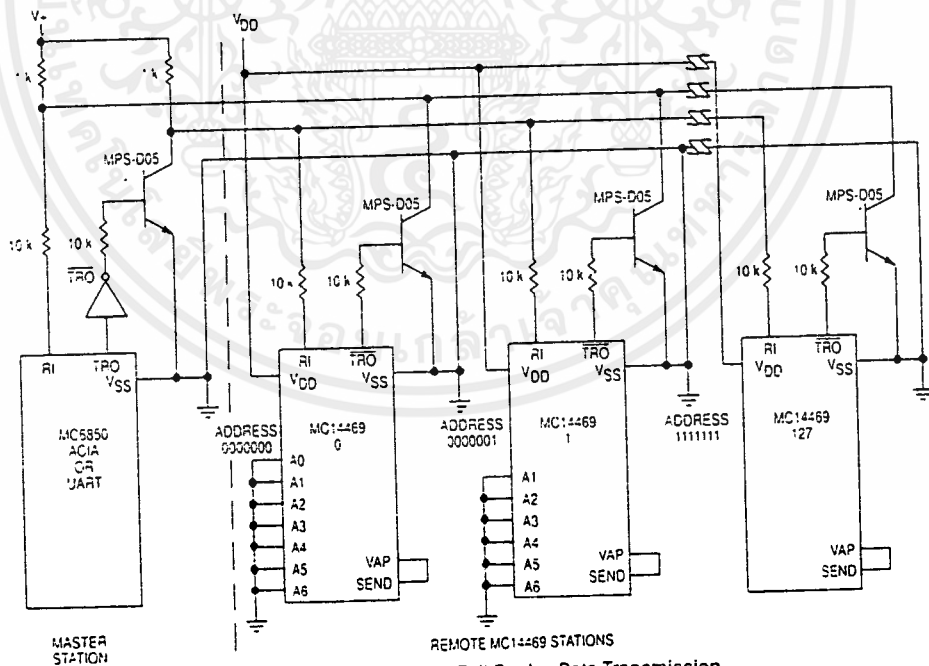


Figure 5. Double Line, Full Duplex Data Transmission

MOTOROLA CMOS APPLICATION-SPECIFIC DIGITAL-ANALOG INTEGRATED CIRCUITS

6

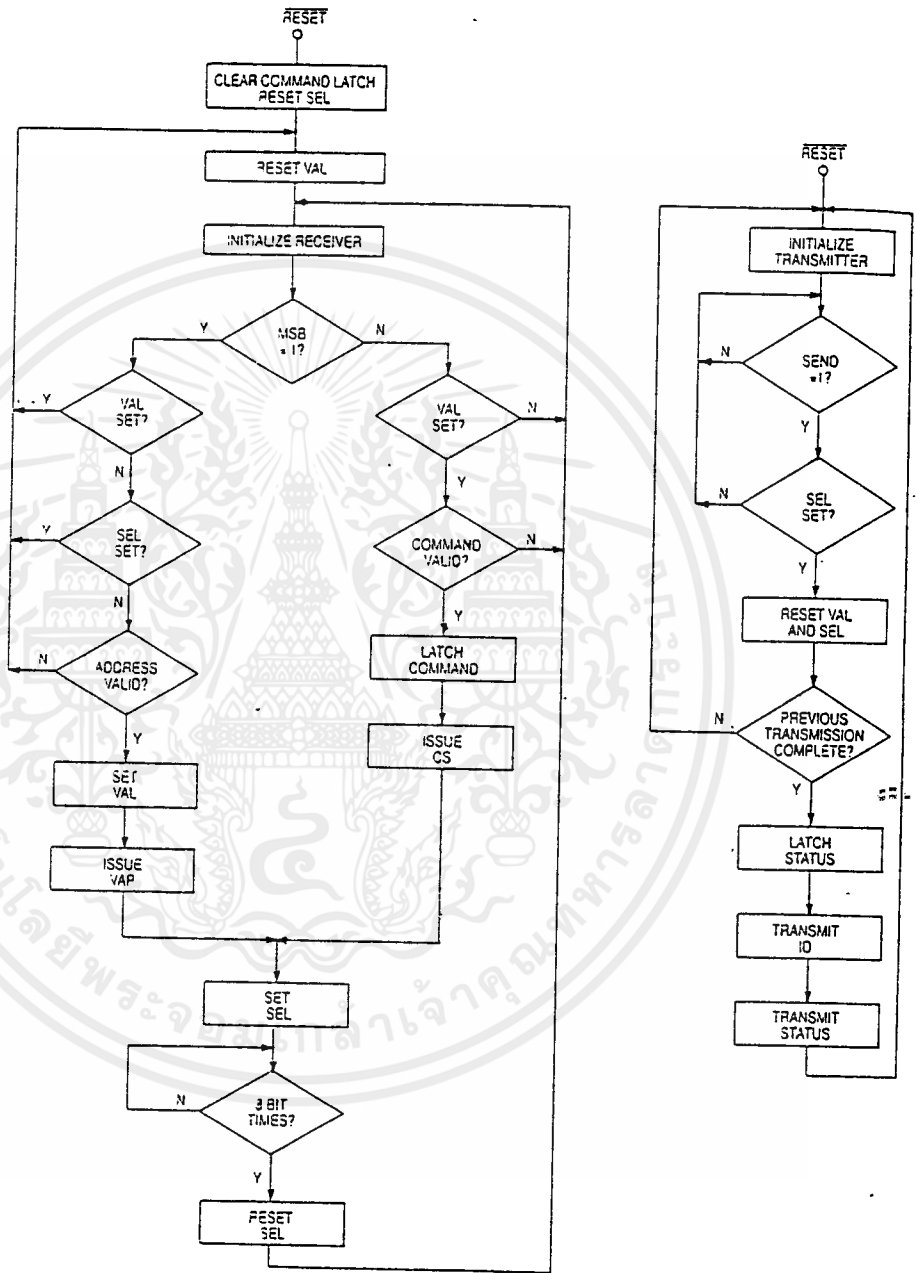


Figure 6. Flow Chart of MC14469 Operation

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น. อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

**MC14411**

**CMOS LSI**

(LOW-POWER COMPLEMENTARY MOS)

**BIT RATE GENERATOR**

**2**

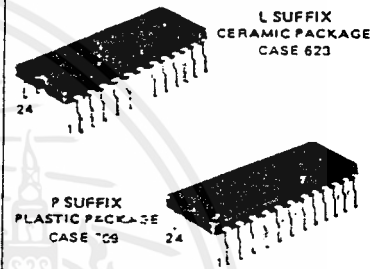
**BIT RATE GENERATOR**

The MC14411 bit rate generator is constructed with complementary MOS enhancement mode devices. It utilizes a frequency divider network to provide a wide range of output frequencies.

A crystal controlled oscillator is the clock source for the network. A two-bit address is provided to select one of four multiple output clock rates.

Applications include a selectable frequency source for equipment in the data communications market, such as teleprinters, printers, CRT terminals, and microprocessor systems.

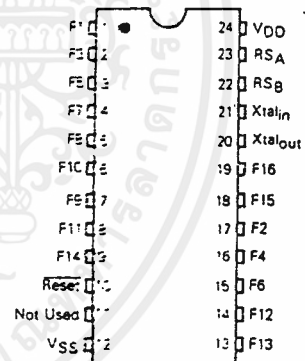
- Single 5.0 Vdc ( $\pm 5\%$ ) Power Supply
- Internal Oscillator Crystal Controlled for Stability (1.8432 MHz)
- Sixteen Different Output Clock Rates
- 50% Output Duty Cycle
- Programmable Time Bases for One of Four Multiple Output Rates
- Buffered Outputs Compatible with Low Power TTL
- Noise Immunity = 45% of VDD Typical
- Diode Protection on All Inputs
- External Clock May be Applied to Pin 21
- Internal Pullup Resistor on Reset Input



**MAXIMUM RATINGS** (Voltages referenced to VSS, Pin 12, I)

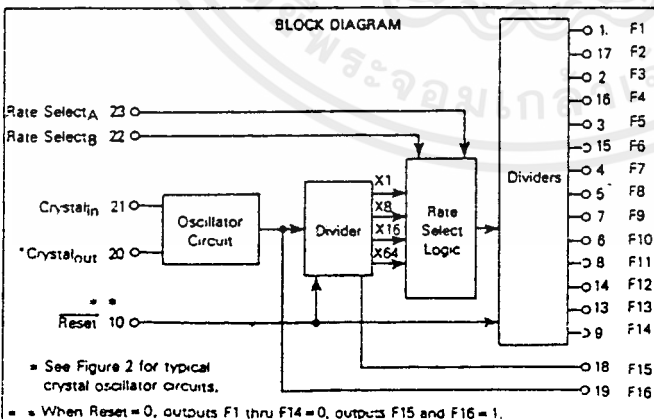
Rating	Symbol	Value	Unit
DC Supply Voltage Range	VDD	5.25 to -0.5	V
Input Voltage, All Inputs	Vin	VDD + 0.5 to VSS - 0.5	V
DC Current Drain per Pin	I	10	mA
Operating Temperature Range	TA	-40 to +85	°C
Storage Temperature Range	Tstg	-65 to +150	°C

**PA ASSIGNMENT**



VDD = Pin 24  
VSS = Pin 12

**BLOCK DIAGRAM**



This device contains circuitry to protect the inputs against damage due to high static voltages or electrostatic discharges; however, it is advised that normal precautions be taken to avoid appearance of a voltage higher than maximum rated voltages to this high impedance circuit. For proper operation it is recommended that Vin and Vout be constrained to the range VSS ≤ Vin or Vout ≤ VDD. Unused inputs must always be tied to an appropriate logic voltage level (e.g., either VSS or VDD).

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2

ELECTRICAL CHARACTERISTICS

Characteristic	Symbol	VDD Vdc	-40°C		25°C		-85°C		Units	
			Min	Max	Min	Typ	Max	Min		Max
Supply Voltage	VDD	-	4.75	5.25	4.75	5.0	5.25	4.75	5.25	V
Output Voltage "0" Level	Vout	5.0	-	0.05	-	0	0.05	-	0.05	V
"1" Level		5.0	4.95	-	4.95	5.0	-	4.95	-	V
Input Voltage (VO = 4.5 or 0.5 V)	VIL	5.0	-	1.5	-	2.25	1.5	-	1.5	V
(VO = 0.5 or 4.5 Vdc)	VIH	5.0	3.5	-	3.5	2.75	-	3.5	-	V
Output Drive Current (VOH = 2.5 V) Source	IOH	5.0	-0.23	-	-0.20	-1.7	-	-0.16	-	mA
(VOL = 0.4 V) Sink	IOL	5.0	0.23	-	0.20	0.78	-	0.16	-	mA
Input Current Pins 21, 22, 23	Iin	-	-	±0.1	-	±0.00001	±0.1	-	±1.0	µA
Pin 10		5.0	-	-	-1.5	-	-7.5	-	-	µA
Input Capacitance (VIN = 0)	Cin	-	-	-	-	5.0	-	-	-	pF
Quiescent Dissipation	PQ	5.0	-	2.5	-	0.015	2.5	-	15	mW
Power Dissipation**† (Dynamic plus Quiescent) (CL = 15 pF)	PD	5.0	PD = 17.5 mW/MHz f + PQ						-	-
Output Rise Time** tr = 13.0 ns/pF CL + 25 ns	tLH	5.0	-	-	-	70	200	-	-	ns
Output Fall Time** tf = 11.5 ns/pF CL + 47 ns	tHL	5.0	-	-	-	70	200	-	-	ns
Input Clock Frequency	fCL	5.0	-	1.85	-	-	1.85	-	1.85	MHz
Clock Pulse Width	tW(C)	-	200	-	200	-	-	200	-	ns
Reset Pulse Width	tW(R)	-	500	-	500	-	-	500	-	ns

†For dissipation at different external capacitance (CL) refer to corresponding formula:

$$P_{TICL} = P_D + 2.6 \times 10^{-3}(C_L - 15 \text{ pF}) V_{DD}^2 f$$

where: PT, PD in mW, CL in pF, VDD in Vdc, and f in MHz.

\*\*The formula given is for the typical characteristics only.

TABLE 1 — OUTPUT CLOCK RATES

Rate Select		Rate
B	A	
0	0	X1
0	1	X8
1	0	X16
1	1	X64

Output Number	Output Rates (Hz)			
	X64	X16	X8	X1
F1	614.4 k	153.6 k	76.8 k	9600
F2	460.8 k	115.2 k	57.6 k	7200
F3	307.2 k	76.8 k	38.4 k	4800
F4	230.4 k	57.6 k	28.8 k	3600
F5	153.6 k	38.4 k	19.2 k	2400
F6	115.2 k	28.8 k	14.4 k	1800
F7	76.8 k	19.2 k	9600	1200
F8	38.4 k	9600	4800	600
F9	19.2 k	4800	2400	300
F10	12.8 k	3200	1600	200
F11	9600	2400	1200	150
F12	8613.2	2153.3	1076.6	134.5
F13	7035.5	1758.8	879.4	109.9
F14	4800	1200	600	75
F15	921.6 k	921.6 k	921.6 k	921.6 k
F16*	1.843 M	1.843 M	1.843 M	1.843 M

\*F16 is buffered oscillator output

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

FIGURE 1 - DYNAMIC SIGNAL WAVEFORMS

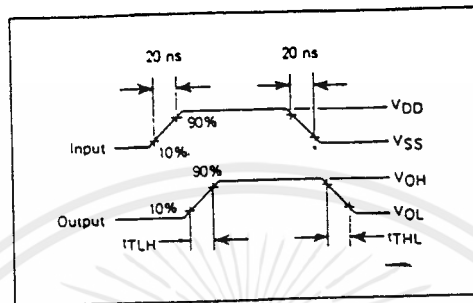
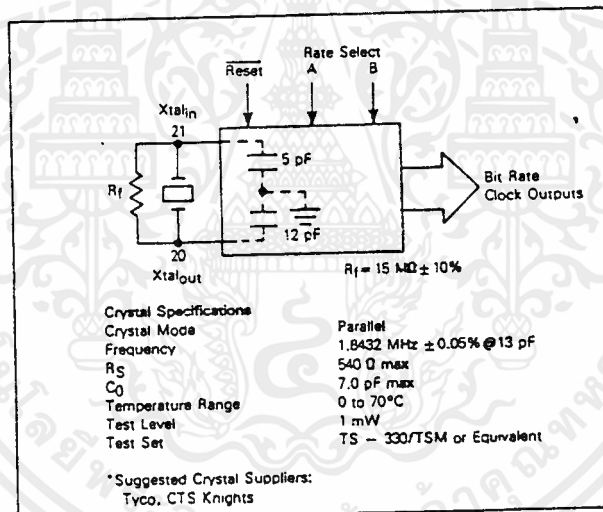


FIGURE 2 - TYPICAL CRYSTAL OSCILLATOR CIRCUIT



Circuit diagrams utilizing Motorola products are included as a means of illustrating typical semiconductor applications; consequently, complete information sufficient for construction purposes is not necessarily given. The information has been carefully checked and is believed to be entirely reliable. However, no responsibility is assumed for inaccuracies. Furthermore, such information does not convey to the purchaser of the semiconductor devices described any license under the patent rights of Motorola Inc., or others.



## Analog-to-Digital Converters

### ADC0808, ADC0809 Single Chip Data Acquisition System

#### General Description

The ADC0808, ADC0809 data acquisition components are monolithic CMOS devices with an 8-bit analog-to-digital converter, 8-channel multiplexer and microprocessor compatible control logic. The 8-bit A/D converter uses successive approximation as the conversion technique. The converter features a high impedance chopper stabilized comparator, a 256R voltage divider with analog switch tree and a successive approximation register. The 8-channel multiplexer can directly access any one of 8-single-ended analog signals.

The device eliminates the need for external zero and full-scale adjustments and features an absolute accuracy  $\leq 1$  LSB including quantizing error. Easy interfacing to microprocessors is provided by the latched and decoded address inputs and latched TTL TRI-STATE® outputs.

The design of the ADC0808, ADC0809 has been optimized by incorporating the most desirable aspects of several A/D conversion techniques. The ADC0808, ADC0809 offers high speed, high accuracy, minimal temperature dependence, excellent long-term accuracy and repeatability, and consumes minimal power. These

features make this device ideally suited to applications such as process control, industrial control, and machine control. For 16-channel multiplexer with common output (sample/hold port) see ADC0816 data sheet,

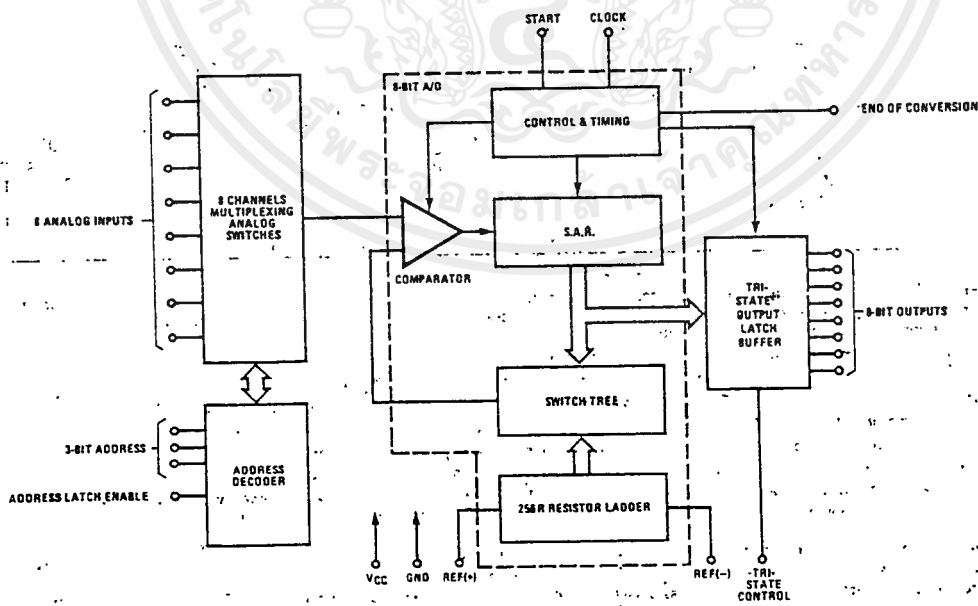
#### Features

- Total-unadjusted error  $< \pm 1/2$  LSB
- Linearity error  $< \pm 1/2$  LSB
- No missing codes
- Guaranteed monotonicity
- No offset adjust required
- No scale adjust required
- Conversion time of 100  $\mu$ s
- Easy microprocessor interface
- Latched TRI-STATE output
- Latched address input
- Ratiometric conversion
- Single 5V supply
- Low power consumption—15 mW
- Full  $-55^{\circ}\text{C}$  to  $+125^{\circ}\text{C}$  operation available

ADC0808, ADC0809

2

#### Block Diagram



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Timing Diagram

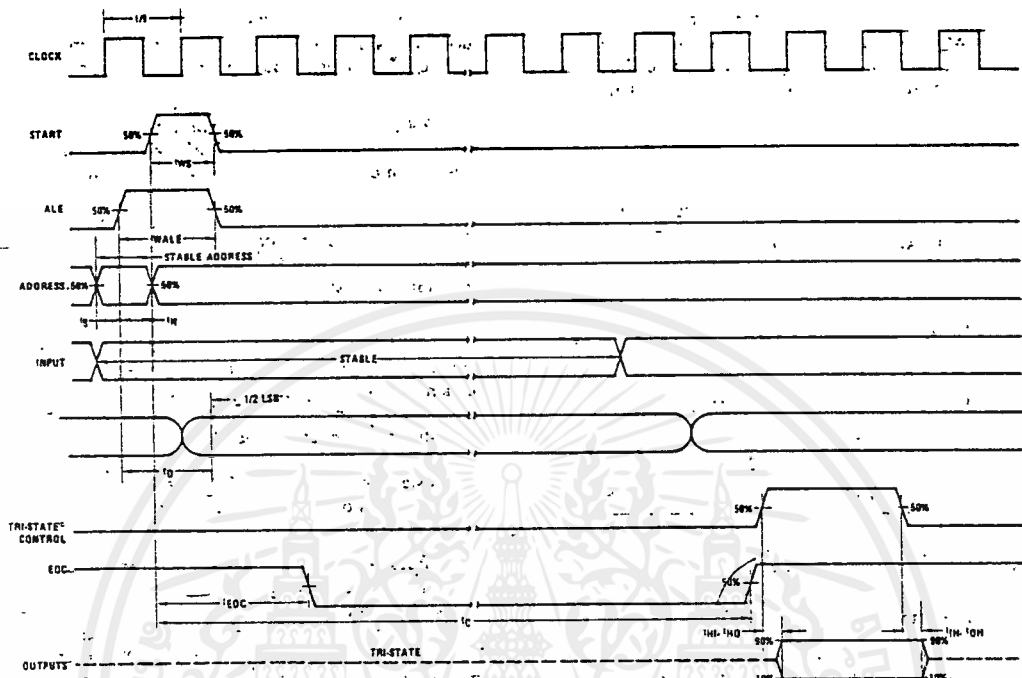


FIGURE 5. Timing

Typical Performance Characteristics

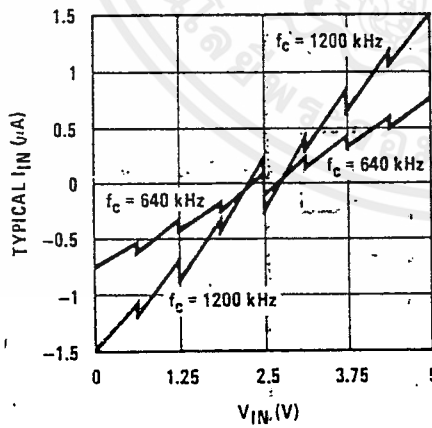


FIGURE 6. Comparator  $I_{IN}$  vs  $V_{IN}$  ( $V_{CC} = V_{REF} = 5V$ )

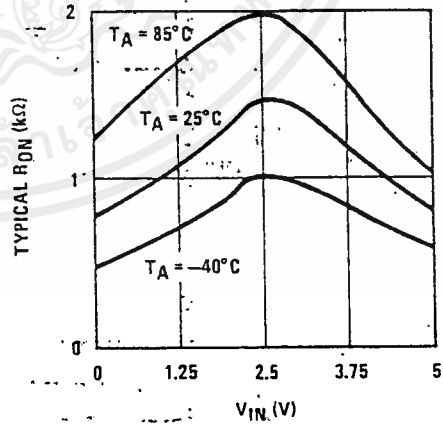


FIGURE 7. Multiplexer  $R_{ON}$  vs  $V_{IN}$  ( $V_{CC} = V_{REF} = 5V$ )

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## Functional Description

**Multiplexer:** The device contains an 8-channel single-ended, analog signal multiplexer. A particular input channel is selected by using the address decoder. Table I shows the input states for the address lines to select any channel. The address is latched into the decoder on the low-to-high transition of the address latch enable signal.

TABLE I

SELECTED ANALOG CHANNEL	ADDRESS LINE		
	C	B	A
IN0	L	L	L
IN1	L	L	H
IN2	L	H	L
IN3	L	H	H
IN4	H	L	L
IN5	H	L	H
IN6	H	H	L
IN7	H	H	H

to give fast, accurate, and repeatable conversions over a wide range of temperatures. The converter is partitioned into 3 major sections: the 256R ladder network, the successive approximation register, and the comparator. The converter's digital outputs are positive true.

The 256R ladder network approach (Figure 1) was chosen over the conventional R/2R ladder because of its inherent monotonicity, which guarantees no missing digital codes. Monotonicity is particularly important in closed loop feedback control systems. A non-monotonic relationship can cause oscillations that will be catastrophic for the system. Additionally, the 256R network does not cause load variations on the reference voltage.

The bottom resistor and the top resistor of the ladder network in Figure 1 are not the same value as the remainder of the network. The difference in these resistors causes the output characteristic to be symmetrical with the zero and full-scale points of the transfer curve. The first output transition occurs when the analog signal has reached +1/2 LSB and succeeding output transitions occur every 1 LSB later up to full-scale.

### CONVERTER CHARACTERISTICS

#### The Converter

The heart of this single chip data acquisition system is its 8-bit analog-to-digital converter. The converter is designed

The successive approximation register (SAR) performs 8 iterations to approximate the input voltage. For any SAR type converter, n-iterations are required for an n-bit converter. Figure 2 shows a typical example of a 3-bit converter. In the ADC0808, ADC0809, the approximation technique is extended to 8 bits using the 256R network.

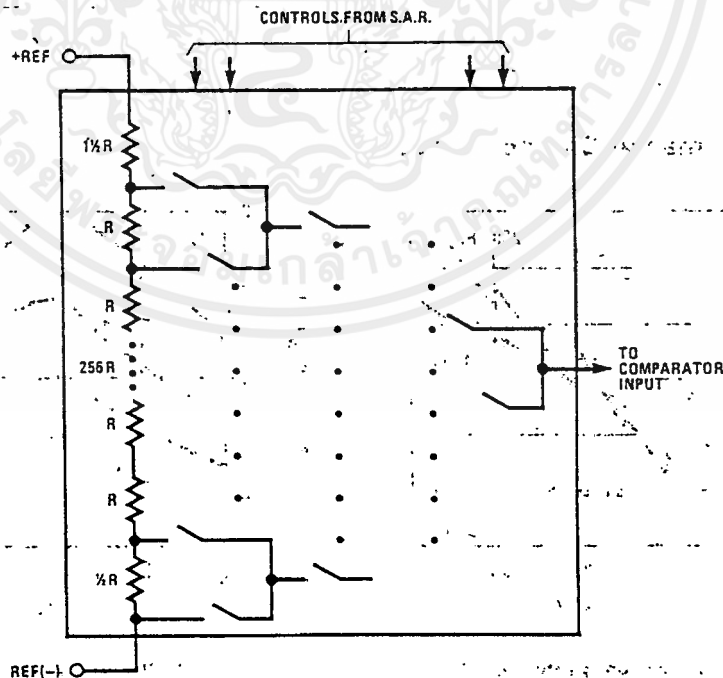


FIGURE 1. Resistor Ladder and Switch Tree

## Applications Information

## OPERATION

## Ratiometric Conversion

The ADC0808, ADC0809 is designed as a complete Data Acquisition System (DAS) for ratiometric conversion systems. In ratiometric systems, the physical variable being measured is expressed as a percentage of full-scale which is not necessarily related to an absolute standard. The voltage input to the ADC0808 is expressed by the equation

$$\frac{V_{IN}}{V_{fs} - V_z} = \frac{DX}{D_{MAX} - D_{MIN}} \quad (1)$$

$V_{IN}$  = Input voltage into the ADC0808  
 $V_{fs}$  = Full-scale voltage  
 $V_z$  = Zero voltage  
 $DX$  = Data point being measured  
 $D_{MAX}$  = Maximum data limit  
 $D_{MIN}$  = Minimum data limit

A good example of a ratiometric transducer is a potentiometer used as a position sensor. The position of the wiper is directly proportional to the output voltage which is a ratio of the full-scale voltage across it. Since the data is represented as a proportion of full-scale, reference requirements are greatly reduced, eliminating a large source of error and cost for many applications. A major advantage of the ADC0808, ADC0809 is that the input voltage range is equal to the supply range so the transducers can be connected directly across the supply and their outputs connected directly into the multiplexer inputs, (Figure 8).

Ratiometric transducers such as potentiometers, strain gauges, thermistor bridges, pressure transducers, etc., are suitable for measuring proportional relationships; however, many types of measurements must be referred to an absolute standard such as voltage or current. This means a system reference must be used which relates the full-scale voltage to the standard volt. For example, if  $V_{CC} = V_{REF} = 5.12V$ , then the full-scale range is divided into 256 standard steps. The smallest standard step is 1 LSB which is then 20 mV.

## Resistor Ladder Limitations

The voltages from the resistor ladder are compared to the selected input 8 times in a conversion. These voltages are coupled to the comparator via an analog switch tree which is referenced to the supply. The voltages at the top, center and bottom of the ladder must be controlled to maintain proper operation.

The top of the ladder, Ref(+), should not be more positive than the supply, and the bottom of the ladder Ref(-) should not be more negative than ground. The center of the ladder voltage must also be near the center of the supply because the analog switch tree changes from N-channel switches to P-channel switches.

These limitations are automatically satisfied in ratiometric systems and can be easily met in ground referenced systems.

Figure 9 shows a ground referenced system with a separate supply and reference. In this system, the supply must be trimmed to match the reference voltage. For instance, if a 5.12V reference is used the supply should be adjusted to the same voltage within 1%.

The ADC0808 needs less than 2 milliamperes of supply current so developing the supply for the reference is readily accomplished. In Figure 10 a ground referenced system is shown which generates the supply from the reference. The buffer shown can be a 10 amp of sufficient drive to supply the milliamperes of supply current and the desired bus drive, or if a 100 ohm bus is driven by the outputs a large capacitor will supply the transient supply current as seen in Figure 11. The LM301 is overcompensated to insure stability when loaded by the 10  $\mu F$  output capacitor.

The top and bottom ladder voltages cannot exceed  $V_{CC}$  and ground, respectively. They can be symmetrically less than  $V_{CC}$  and greater than ground. The center of the ladder voltage should always be near the center of the supply. The sensitivity of the converter can be increased, (i.e., size of the LSB decreased) by using a symmetrical reference system as Figure 12, a 2.5V reference is symmetrically centered about  $V_{CC}/2$  since the same current flows in both resistors. This system with a 2.5V reference allows the LSB bit to be half the size of a 5V reference system.

## Converter Equations

The transition between adjacent codes  $N$  and  $N + 1$  is given by:

$$V_{IN} = V_{REF(+)} \left[ \frac{N}{256} + \frac{1}{512} \right] \quad (2)$$

The center of an output code  $N$  is given by:

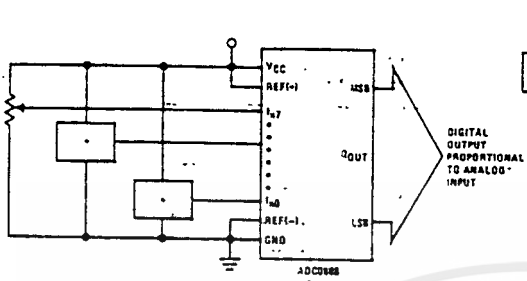
$$V_{IN} = V_{REF(+)} \left[ \frac{N}{256} \right] \pm VTUE \quad (3)$$

The output code  $N$  for an arbitrary input  $V_{IN}$  is the integers within the range:

$$N = \frac{V_{IN}}{V_{REF(+)}} \times 256 \pm \text{Absolute Accuracy} \quad (4)$$

where:  $V_{IN}$  = Voltage at comparator input  
 $V_{REF(+)}$  = Voltage at Ref(+)  
 $V_{REF(-)}$  = GND  
 $VTUE$  = Total unadjusted error voltage typically  $V_{REF(+)} / 512$

Applications Information (Continued)

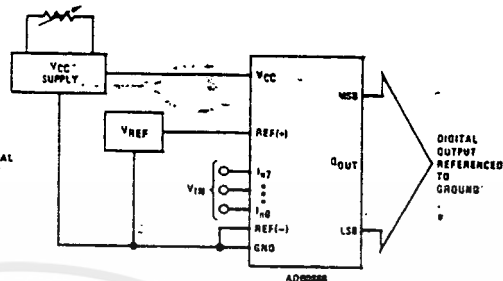


$$Q_{OUT} = \frac{V_{IN}}{V_{REF}} = \frac{V_{IN}}{V_{CC}}$$

$$4.75V \leq V_{CC} = V_{REF} \leq 5.25V$$

\*Ratiometric transducers

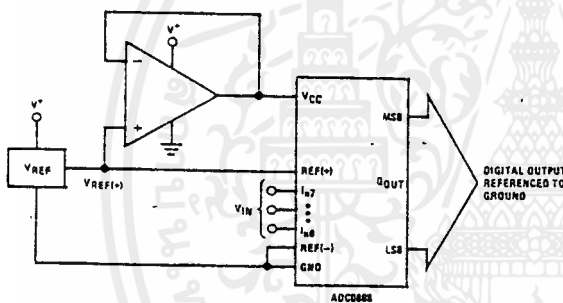
FIGURE 8. Ratiometric Conversion System



$$Q_{OUT} = \frac{V_{IN}}{V_{REF}}$$

$$4.75V \leq V_{CC} = V_{REF} \leq 5.25V$$

FIGURE 9. Ground Referenced Conversion System Using Trimmed Supply



$$Q_{OUT} = \frac{V_{IN}}{V_{REF}}$$

$$4.75V \leq V_{CC} = V_{REF} \leq 5.25V$$

FIGURE 10. Ground Referenced Conversion System with Reference Generating VCC Supply

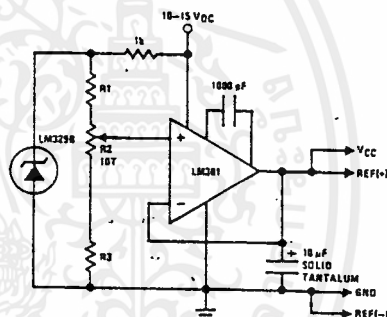
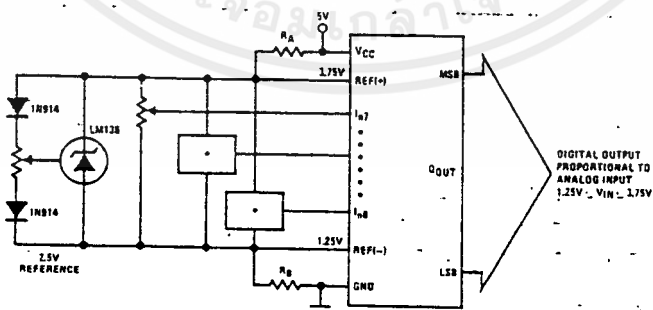


FIGURE 11. Typical Reference and Supply Circuit



$R_A = R_B$   
\*Ratiometric transducers

FIGURE 12. Symmetrically Centered Reference

2

### EIA-232-D/V.28 Driver/Receiver (Formerly RS-232-C)

The MC145406 is a silicon-gate CMOS IC that combines 3 drivers and 3 receivers to fulfill the electrical specifications of standards EIA-232-D and CCITT V.28. The drivers feature true TTL input compatibility, slew-rate-limited output, 300 ohms power-off source impedance, and output typically switching to within 25 percent of the supply rails. The receivers can handle up to  $\pm 25$  volts while presenting 3 to 7 kilohms impedance. Hysteresis in the receivers aids reception of noisy signals. By combining both drivers and receivers in a single CMOS chip, the MC145406 provides efficient, low-power solutions for EIA-232-D and V.28 applications.

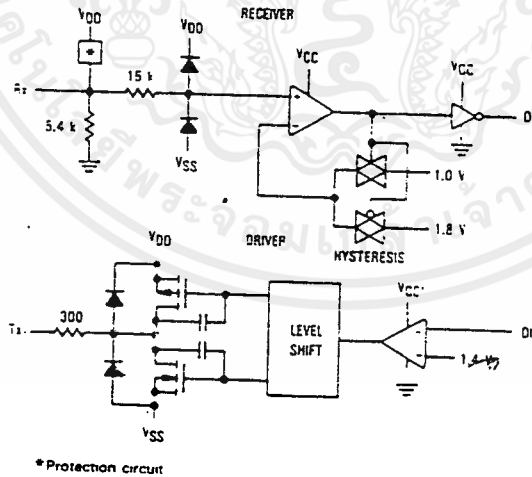
**Drivers**

- $\pm 5$  to  $\pm 12$  V Supply Range
- 300 Ohms Power-Off Source Impedance
- Output Current Limiting
- TTL Compatible
- Maximum Slew Rate = 30 V/ $\mu$ s

**Receivers**

- $\pm 25$  V Input Voltage Range When  $V_{DD} = 12$  V,  $V_{SS} = -12$  V
- 3 to 7 Kilohms Input Impedance
- Hysteresis on Input Switchpoint

**FUNCTION DIAGRAM**



### MC145406



L SUFFIX  
CASE 620  
CERAMIC

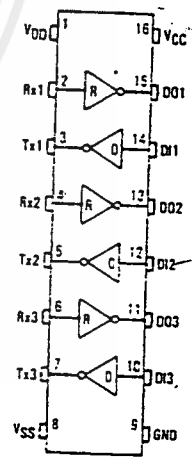


P SUFFIX  
CASE 648  
PLASTIC



DW SUFFIX  
CASE 751G  
SOIC

**PIN ASSIGNMENT**



## APPLICATIONS INFORMATION

The MC145406 has been designed to meet the electrical specifications of standards EIA-232-D and CCITT V.28. EIA-232-D defines the electrical and physical interface between Data Communication Equipment (DCE) and Data Terminal Equipment (DTE). A DCE is connected to a DTE using a cable that typically carries up to 25 leads. These leads, referred to as interchange circuits, allow the transfer of timing, data, control, and test signals. Electrically this transfer requires level shifting between the TTL/CMOS logic levels of the computer or modem and the high voltage levels of EIA-232-D, which can range from  $\pm 3$  to  $\pm 25$  volts. The MC145406 provides the necessary level shifting as well as meeting other aspects of the EIA-232-D specification.

## DRIVERS

As defined by the specification, an EIA-232-D driver presents a voltage of between  $\pm 5$  to  $\pm 15$  volts into a load of between 3 to 7 kilohms. A logic one at the driver input results in a voltage of between  $-5$  to  $-15$  volts. A logic zero results in a voltage between  $+5$  to  $+15$  volts. When operating  $V_{DD}$  and  $V_{SS}$  at  $\pm 7$  to  $\pm 12$  volts, the MC145406 meets this requirement. When operating at  $\pm 5$  volts, the MC145406 drivers produce less than  $\pm 5$  volts at the output (when terminated), which does not meet EIA-232-D specification. However, the output voltages when using a  $\pm 5$  volt power supply are high enough (around  $\pm 4$  volts) to permit proper reception by an EIA-232-D receiver, and can be used in applications where strict compliance to EIA-232-D is not required.

Another requirement of the MC145406 drivers is that they withstand a short to another driver in the EIA-232-D cable. The worst-case condition that is permitted by EIA-232-D is a  $\pm 15$  volt source that is current limited to 500 milliamperes. The MC145406 drivers can withstand this condition momentarily. In most short circuit conditions the source driver will have a series 300 ohm output impedance needed to satisfy the EIA-232-D driver requirements. This will reduce the short circuit current to under 40 mA which is an acceptable level for the MC145406 to withstand.

Unlike some other drivers, the MC145406 drivers feature an internally-limited output slew rate that does not exceed 30 volts per microsecond.

## RECEIVERS

The job of an EIA-232-D receiver is to level-shift voltages in the range of  $-25$  to  $+25$  volts down to TTL/CMOS logic levels (0 to  $+5$  volts). A voltage of between  $-3$  and  $-25$  volts on Rx1 is defined as a mark and produces a logic one at DO1. A voltage between  $+3$  and  $+25$  volts is a space and produces a logic zero. While receiving these signals, the Rx inputs must present a resistance between 3 and 7 kilohms. Nominally, the input resistance of the Rx1-3 inputs is 5.4 kilohms.

The input threshold of the Rx1-3 inputs is typically biased at 1.8 volts above ground (GND) with typically 800 millivolts of hysteresis included to improve noise immunity. The 1.8 volt bias forces the appropriate DO pin to a logic one when its Rx input is open or grounded as called for in the EIA-232-D specification. Notice that TTL logic levels can be applied to the Rx inputs in lieu of normal EIA-232-D signal levels. This might be helpful in situations where access to the modem or computer through the EIA-232-D connector is necessary with TTL devices. However, it is important not to connect the EIA-232-D outputs (Tx1-3) to TTL inputs since TTL operates off  $+5$  volts only, and may be damaged by the high output voltage of the MC145406.

The DO outputs are to be connected to a TTL or CMOS input (such as an input to a modem chip). These outputs will swing from  $V_{CC}$  to ground, allowing the designer to operate the DO and DI pins from digital power supply. The Tx and Rx sections are independently powered by  $V_{DD}$  and  $V_{SS}$  so that one may run logic at  $+5$  volts and the EIA-232-D signals at  $\pm 12$  volts.

## POWER SUPPLY CONSIDERATIONS

$V_{CC}$  should not exceed  $V_{DD}$  by more than 0.5 volts. Due to an internal diode between  $V_{DD}$  and  $V_{CC}$ , the power-up or power-down power supply sequences may permit  $V_{CC}$  to be greater than  $V_{DD}$  for a short period of time. This condition could cause parts to fail for longer periods of time. A diode as shown in Figure 4 can be used to protect the device from this condition.

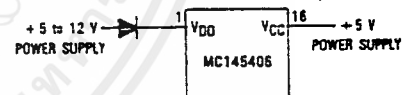


Figure 4. Protection Diode for  $V_{CC} > V_{DD}$  Condition

