เครื่องกำเนิดคลื่นพาห์เอฟเอ็ม

(F.M. BROADCAST CARRIER)

นาย บรรจง ตั้งชีวินศิริกุล 34.132153

นาย วสันต์ ถนอมวงษ์ 34.132163

นาย อนุมาศ นวลนันตา 34.132177

อาจารย์ที่ปรึกษา

อาจารย์ กฤดากร กล่อมการ

ปริญญานิพนธ์เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาอุตสาหกรรมศาสตรบัณฑิต

คณะวิศวกรรมศาสตร์

สาขาเทคโนโลยีโทรคมนาคม

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2535

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

032653

เครื่องกำเนิดคลื่นพาห์เอฟเอ็ม

(F.M. BROADCAST CARRIER)

นาย บรรจง ตั้งชีวินศิริกุล 34.132153

นาย วสันต์ ถนอมวงษ์ 34.132163

นาย อนุมาศ นวลนันตา 34.132177

ได้รับพิจารณาอนุมัติให้นับเป็นส่วนหนึ่งของการศึกษาตามหลักสูตร

ปริญญาอุตสาหกรรมศาสตรบัณฑิต สาขาวิชาเทคโนโลยีโทรคมนาคม

..... คณบดีคณะวิศวกรรมศาสตร์

( )

คณะกรรมการตรวจสอบปริญญานิพนธ์

..... ประธานกรรมการ

( )

..... กรรมการ

( )

..... กรรมการ

( )

..... กรรมการ

( )

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการ 032653

ชื่อเรื่องปริญญานิพนธ์	:	เครื่องกำเนิดคลื่นพาห์เอฟเอ็ม
จัดทำโดย	:	นาย บรรจง ตั้งชีวินศิริกุล
		นาย วสันต์ ถนอมวงษ์
		นาย อนุมาศ นวลนันตา
อาจารย์ที่ปรึกษา	:	อาจารย์ กฤดากร กล่อมการ
ปริญญานิพนธ์	:	อุตสาหกรรมศาสตรบัณฑิต สาขาเทคโนโลยีโทรคมนาคม

บทคัดย่อ

วงจรสังเคราะห์ความถี่ หรือวงจรฟรีเควนซีซินทิไซเซอร์ (frequency synthesizer) เป็นวงจรที่สามารถผลิตความถี่ได้หลายๆ ค่าที่เอาท์พุทโดยใช้วงจรผลิตความถี่ที่มีสัญญาณอ้างอิงภายในวงจรเพียงสัญญาณเดียว ซึ่งเป็นที่นิยมใช้กันมากในปัจจุบัน โดยเฉพาะเครื่องมือสื่อสารสมัยใหม่ อย่างเช่น เครื่องรับโทรทัศน์, เครื่องรับวิทยุ และเครื่องส่งชนิดต่างๆ รวมถึงเครื่องมือสื่อสารอื่นๆ ทั้งนี้เพราะวงจรสังเคราะห์ความถี่เป็นวงจรที่ให้สัญญาณความถี่ที่มีเสถียรภาพสูงทั้งทางด้านความถี่และขนาด ซึ่งสามารถควบคุมการทำงานได้สะดวก การสังเคราะห์ความถี่สามารถทำได้ทั้งทางตรงและทางอ้อม โดยอาศัยการทำงานของวงจรเฟสล็อคลูป

สำหรับการสังเคราะห์ความถี่ในแต่ละวิธี จะมีข้อดีและข้อจำกัดในตัวเอง โดยวงจรเฟสล็อคลูปทำงานได้ช้ากว่าการสังเคราะห์โดยตรง แต่มีความเสถียรภาพของระบบที่ดีกว่า สำหรับโครงงานนี้เป็นการนำเอาวงจรเฟสล็อคลูปมาทำการสังเคราะห์ความถี่ โดยวิธีทางอ้อม สำหรับเป็นคลื่นพาห์ของการกระจายเสียง หรือที่เรียกว่า Phase Locked Loop Frequency Synthesizer for Carrier Broadcasting

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

PROJECT REPORT TITLE : F.M. BROADCAST CARRIER

NAME . : MR. BUNJONG TUNGSHEVINSIRIKUL

MR. VASANT THANOMWONG

MR. ANUMAS NUANNANTA

PROJECT REPORT ADVISOR : MR. KIDAKORN KLOMKARN

DEPARTMENT OF : TELECOMMUNICATION TECHNOLOGY

ACADEMIC YEAR : 1992

ABSTRACT

Frequency synthesizer circuit is several frequency oscil later circuit at one output. It use only referance inside circuit by oscillater circuit. So, it is popular now. Example Television , Receiver , Transmitter or the other telecommunication system. because frequency synthesizer have very hign stability of signal circuit. and use convenient working control. Direct and Indirect coherent synthessizer are method of frequency synthesizer.

Indirect coherent synthesizer used for this project. In order that to bring phase lock loop circuit use to frequency synthesizer for carrier frequency oscillator, is called F.M. Broadcast Carrier.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กิตติกรรมประกาศ

ในการทำปริญญานิพนธ์ เรื่อง " เครื่องกำเนิดคลื่นพาห์เอฟเอ็ม " (F.M. Broadcast Carrier) ต้องขอขอบคุณท่าน อาจารย์ กฤดากร กล่อมการ ที่ให้ความช่วยเหลืออย่างดีเยี่ยมในด้านสถานที่, อุปกรณ์ และเครื่องมือเครื่องใช้ในการทำงาน ตลอดจนข้อมูลความรู้อีกมากมาย อันเป็นผลให้งานวิจัยชิ้นนี้บรรลุผลตามจุดประสงค์ที่ตั้งไว้ทุกประการ

พร้อมทั้งขอขอบคุณ อาจารย์ทุกท่านที่ได้ให้คำแนะนำ และช่วยแนะแนวทางในการทดลองอีกทั้งเพื่อนๆทุกคนไว้ ณ ที่นี้ด้วย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ

หน้า

บทที่ 1	- บทนำ	1
บทที่ 2	- การสังเคราะห์ความถี่ด้วยเฟสล็อกลูป	3
	- ผลการตอบสนองต่อสภาวะทรานส์เซียน	5
	- การลดทอนของไซด์แบนด์น้อยส์	6
	- เสถียรภาพของลูป	10
	- การมอดูเลทด้วยสัญญาณเบสแบนด์	10
	- วงจรผลิตความถี่ควบคุมแรงดัน (VCO)	12
	- วาริแคป Voltage Variable Capacitor Diode (VARICAP)	18
	- อัตราส่วนความเก็บประจุ	20
	- ค่า Q	22
	- ข้อพิจารณาในการเลือกวาริแคป	24
	- การออกแบบวงจรมอดูเลทเอฟเอ็ม	25
	- การออกแบบวงจร VCO	27
	- การออกแบบวงจรกรองในลูป	32
	- การออกแบบวงจรหาร N	33
	- วงจรกำเนิดความถี่อ้างอิง	34

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หน้า

บทที่ 3	- วงจรขยายสัญญาณย่านความถี่กว้าง	37
	- วงจรขยายกำลังย่านความถี่วิทยุ	39
	- การแมทชิ่งอิมพีแดนซ์	41
บทที่ 4	- การออกแบบวงจรขยายกำลังย่านความถี่วิทยุ	52
	- วงจรเพาเวอร์ซัพพลาย	59
บทที่ 5	- การทดลองการตรวจโปรแกรมการหาร	62
	- สรุปผลการทดลอง	65
ภาคผนวก		

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 1
บทนำ

ในการจัดทำปริญญานิพนธ์ฉบับนี้ มีจุดประสงค์เพื่อจะทำการศึกษาหลักการทำงานของเครื่องกำเนิดคลื่นพาห์เอฟเอ็ม ที่ใช้ในวิทยุกระจายเสียงทั่วไป ซึ่งในปัจจุบันมีอยู่มากมายและได้มีการพัฒนาขึ้นเรื่อยๆ เพื่อให้มีขนาดเล็กสามารถพกพาได้ และมีประสิทธิภาพสูง

สำหรับส่วนของปริญญานิพนธ์ฉบับนี้ จะเป็นการศึกษาหลักการทำงานและการออกแบบวงจรขยายสัญญาณย่านความถี่วิทยุ ซึ่งได้จัดแบ่งออกเป็นบทๆ มีรายละเอียดดังนี้

บทที่ 1 จะเป็นการแนะนำหัวข้อต่างๆ อย่างคร่าวๆ ในปริญญานิพนธ์ฉบับนี้

บทที่ 2 จะกล่าวถึงหลักการ การสังเคราะห์ความถี่ด้วยเฟสล็อคลูป, ผลการตอบสนองในสภาวะทรานเซียน , การลดทอนของไซด์แบนด์น้อยส์ , ความมีเสถียรภาพของลูปตลอดจนการมอดูเลทด้วยสัญญาณเบสแบนด์ , วงจรผลิตความถี่ควบคุมแรงดัน(VCO),วาริแคป (Varicap) และในส่วนท้ายบทจะอธิบายหลักการการออกแบบวงจรมอดูเลทเอฟเอ็ม , วงจร VCO, วงจรกรองสัญญาณ , วงจรหาร N และวงจรกำเนิดความถี่อ้างอิง

บทที่ 3 จะกล่าวถึงหลักการของวงจรขยายสัญญาณย่านความถี่กว้าง , วงจรขยายกำลังย่านความถี่วิทยุในคลาสต่างๆ พร้อมตารางการเปรียบเทียบในแต่ละคลาส และในส่วนท้ายบทจะอธิบายหลักการแมทชิ่งอิมพีแดนซ์ด้วย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

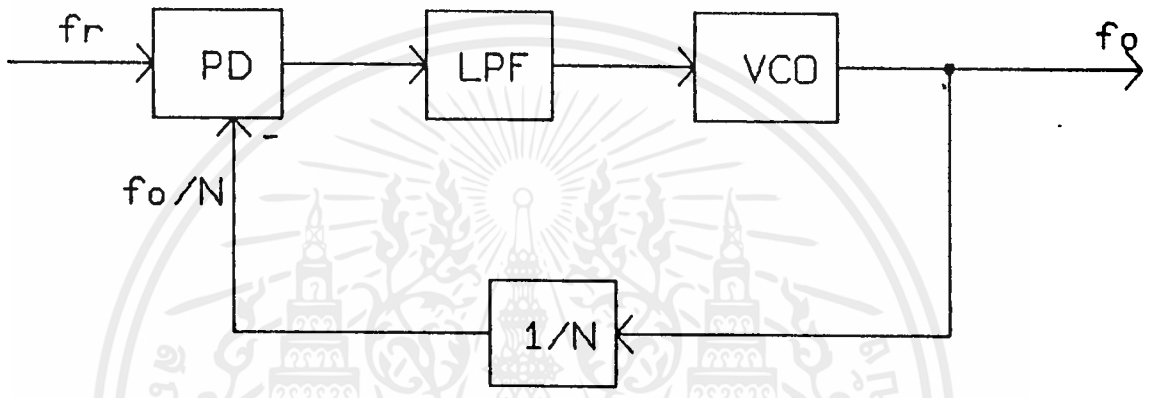
บทที่ 4 จะเป็นการออกแบบ และสร้างวงจรขยายกำลังย่านความถี่วิทยุ ตลอดจนการสร้างแหล่งจ่ายไฟกระแสตรง (DC. Power Supply) ขนาด 8 A 5 ~ 15 Vdc.

บทที่ 5 จะเป็นการทดลองและบันทึกผลการทดลอง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 2
การสังเคราะห์ความถี่ด้วยเฟสล็อกลูป

การสังเคราะห์ความถี่ด้วย PLL เป็นการสร้างความถี่ขึ้นใหม่ ด้วยสัญญาณความถี่อ้างอิงที่มาตราฐาน โดยโครงสร้างสำหรับการสังเคราะห์ความถี่แสดงได้ดังรูป



รูป 1 แสดงโครงสร้างการสังเคราะห์ความถี่ด้วย PLL

จากรูปส่วนที่เพิ่มเข้าไปจากโครงสร้างของ PLL คือวงจรหาร N (1/N) โดยถ้า f_r เป็นความถี่อ้างอิง ที่มีความถี่ที่คงที่แล้ว ความถี่เอาท์พุทของ VCO จะเท่ากับ ขนาดของความถี่อ้างอิง (frequency referance:f_r) คูณกับจำนวนหาร N หรือเขียนได้

$$f_o = f_r.N$$

หรือกล่าวได้ว่า ความถี่เอาท์พุท (f_o) จะเป็นจำนวนเท่า ของความถี่อ้างอิงจากความถี่ที่ป้อนกลับ จากวงจร VCO ที่นำมาเปรียบเทียบกับความถี่อ้างอิงที่เฟสดีเทคเตอร์ (PD) หารด้วยจำนวน N ให้เท่ากับความถี่อ้างอิง

สำหรับการทรานส์เฟอร์ฟังชั่นของ PLL ที่มีวงจรหาร N ในส่วนป้อนกลับเขียนทรานเฟอร์ฟังชั่นได้คือ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$\frac{\phi_{o(s)}}{\phi_{r(s)}} = \frac{K_o K_d F_{(s)}/s}{1 + K_o K_d F_{(s)}/NS} \qquad .....(1)$$

สำหรับทรานเฟอร์ฟังชั่นของลูปใดๆเขียนได้

$$\frac{\phi_{o(s)}}{\phi_{r(s)}} = \frac{G_{(s)}}{1+G_{(s)}H_{(s)}} \qquad .....(2)$$

$G_{(s)}$ = ฟอร์เวิร์ดเกน (forword gain)

$H_{(s)}$ = เกนป้อนกลับ (feedback gain)

$G_{(s)}H_{(s)}$ = เกนลูปเปิด (open loop gain)

จากสมการ (1) เราจะได้ฟอร์เวิร์ดเกนของ PLL คือ

$$G_{(s)} = K_o K_d F_{(s)} / s \qquad .....(3)$$

และเกนลูปเปิดของ PLL คือ

$$G_{(s)}H_{(s)} = K_o K_d F_{(s)} / NS \qquad .....(4)$$

สำหรับในการสังเคราะห์ความถี่วงจรกรองความถี่ต่ำ (LPF) ในลูปจะเลือกใช้วงจรกรองแบบแอคทีฟ เนื่องจากดิงกระแสอินพุทน้อย ทำให้ค่าความผิดพลาดในสภาวะสงบของเฟสดีเทคเตอร์เอาท์พุท จากวงจรกรองของลูปในรูป 1 ซึ่งมีทรานเฟอร์ฟังก์ชั่น แทนลงในสมการจะได้

$$\frac{\phi_o}{\phi_r} = \frac{K_o K_d (ST_2+1)/NT_1}{S^2 + S.K_o K_d T_2/NT_1 + K_o K_d/NT_1} \qquad .....(5)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จะได้ความถี่ธรรมชาติของลูป และ ค่าแดมปิ้งแฟคเตอร์คือ

$$W_n = (K_o K_d / NT_1)^{1/2}$$

$$\Sigma = (T_2 / 2)W_n \qquad .....(6)$$

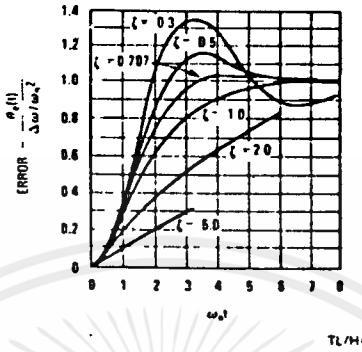
โดยค่า W_n ของลูปที่มีวงจรหารในส่วนป้อนกลับ ค่าW_nจะลดลงด้วยการหาร N

สำหรับการออกแบบลูป เพื่อการสังเคราะห์ความถี่ เราจะกำหนดพิสัยความถี่ที่ต้องการในแต่ละสเตปของความถี่ โดยค่าของ K_o คือคอนเวอร์ชั่นเกนของ VCO, ค่าความถี่อ้างอิงของลูปจะเป็นค่าที่ต้องขึ้นตรงกับค่าดังกล่าว สำหรับค่าอัตราแดมปิ้งและค่าความถี่ธรรมชาติของลูป จะเป็นพารามิเตอร์ที่เราสามารถกำหนดได้ โดยการกำหนดค่าพารามิเตอร์ดังกล่าว เราจะกำหนด โดยพิจาราณาจากความต้องการต่อการตอบสนองของลูป ในสภาวะทรานเซียนผลของการตอบสนองของลูปจะสามารถมอดูเลทความถี่ที่ต้องการ ในกรณีที่ลูปถูกมอดูเลทด้วยสัญญาณเบสแบนด์ และความเสถียรภาพของลูป

ผลการตอบสนองสภาวะทรานเซียน

สำหรับ PLL การสังเคราะห์ความถี่การเปลี่ยนสเตปของความถี่โดยการเปลี่ยนการหารในลูปป้อนกลับทำให้เกิดการตอบสนองของเฟสเออเรอ โดยผลของเฟสเออเรอในสภาวะทรานเซียนของPLL ที่ใช้วงจรกรองแบบแอคทีฟแสดงได้ดังรูป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



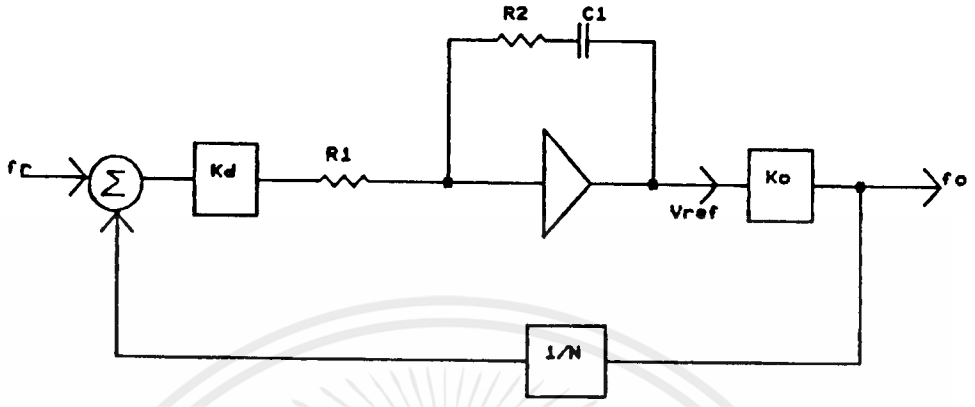
รูป 2 แสดงเฟสออเรอในสภาวะทรานเซียนของ PLL ใช้วงจรกรองแบบแอคทีฟในลูป

จากรูป ค่าอัตราแดมปิ้งที่ 0.707 ซึ่งเป็นค่าเหมาะสมสำหรับลูปอันดับสอง โดยทั่วไป จากรูปเมื่อค่า $w_n t > 4.5$ ค่าพีคโอเวอร์ชูท (peak over shoot) จะน้อยกว่า 20 % ดังนั้นเราสามารถกำหนดค่าเวลาเซ็ทลูป(setting time) ได้เท่ากับ $t_s = 4.5/w_n$ ดังนั้นถ้าค่า w_n หรือค่าความถี่ธรรมชาติของลูปมี ค่าน้อยๆ ค่าเวลาเซ็ทของลูปจะมีค่ามาก

การลดทอนของไซด์แบนด์น้อยส์

เนื่องจากการลังเคราะห์ความถี่ด้วย PLL เป็นการควบคุมโดยการป้อนกลับสัญญาณอินพุทที่ควบคุมให้วงจร VCO กำเนิดความถี่ให้มีความถี่คงที่เป็นแรงดันดีซี ถ้าหากมีสัญญาณรบกวนใดๆ ปะปนสัญญาณดีซี สัญญาณรบกวนนี้จะเป็นสัญญาณที่มอดูเลทเข้าไปในวงจร VCO เกิดเป็นไซด์แบนด์ที่ไม่ต้องการขึ้นโดยการวิเคราะห์การเกิดไซด์แบนด์ แสดงโครงสร้างได้ดังรูป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูป 3 แสดงโครงสร้างของลูปสำหรับวิเคราะห์หาไซด์แบนด์น้อย

จากรูป ให้ V_{ref} เป็นสัญญาณขาเอาท์พุทของ วงจรกรองแบบแอคทีฟมีลักษณะเป็นสัญญาณ Ripple เกิดขึ้นเนื่องจากการอินติเกรทของวงจรกรอง โดยอินพุทของวงจรกรองเป็นพัลซ์เล็กๆ เกิดจากการที่วงจรชาท์ปั๊มเฟสฟรีเควนซ์ดีเทคเตอร์ต้องทำการปิดสวิทช์ช่วงสั้นๆ ทุกคาบความถี่อ้างอิง โดยไซด์แบนด์ที่เกิดจากการมอดูเลทโดยสัญญาณ V_{ref} ซึ่งมีขนาดเล็กๆซึ่งถือว่าเป็นการมอดูเลทเอฟเอ็มแบบค่าดัชนีการมอดูเลทน้อย (low modulation index)ไซด์แบนด์ที่เกิดขึ้นหรือ J_1 จะมีขนาดประมาณเท่ากับ ค่ามอดูเลทชันอินเด็กส่วน 2

$$J_1 = (1/2)\beta \qquad \text{.....(7)}$$

แล้วเขียนไซด์แบนด์เกิดจาก V_{ref} ได้

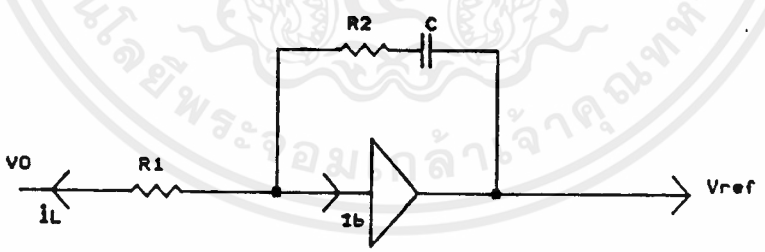
$$J_1 = \frac{V_{ref} K_o}{2 W_{ref}} \qquad \text{.....(8)}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โดยค่า p หลังมอดูเลทชันอินเด็กซ์ เท่ากับความถี่ที่เบี่ยงเบนหารด้วยความถี่ที่มอดูเลท ซึ่งขนาดของความถี่เบี่ยงเบนจะเท่ากับขนาดของ V_{ref} คูณกับค่า VCO เกนโดยค่าแรงดัน V_{ref} มีขนาดของคาบความถี่เท่ากับความถี่อ้างอิงของลูปจากสมการข้างบน ในการปฏิบัติการออกแบบจะกำหนดค่าขนาดของไซด์แบนด์ต่อความถี่ที่ต้องการจริงๆ หรือเป็นไซด์แบนด์ต่อคลื่นพาห์เป็นรูปขนาดของ dB

$$\frac{\text{Sideband}}{\text{Carrier}} = 20 \log \frac{(V_{ref} K_o)}{2W_{ref}} \qquad .....(9)$$

จากสมการ (9) ค่า V_{ref} เกิดจากกระแสรั่วไหลของเฟสดีเทคเตอร์ IL และกระแสไบอัสอินพุทออปแอมป์ Ib



รูป 4 การเกิดกระแสรั่วไหลของเฟสดีเทคเตอร์และกระแสไบอัสอินพุทออฟแอมป์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ถ้าให้ V_{avg} เป็นแรงดันอินพุทเฉลี่ยเกิดจากกระแส IL, Ib หรือแสดงได้

$$V_{avg} = (IL+Ib)R_1 \quad .....(10)$$

V_p เป็นขนาดแรงดันจากยอดถึงยอด (peak to peak) จะมีขนาด 2 เท่าของ V_{avg} ดังนั้นเราสามารถเขียนแรงดัน V_{ref} เกิดจากกระแส IL, Ib ได้คือ

$$V_{ref} = 2(IL+Ib)R_2 \quad .....(11)$$

โดย V_{ref} จะถูกขยายด้วยอัตราส่วนของ R_2/R_1 จากอินพุท V_p ดังนั้นสมการ (9) เขียนใหม่ได้ว่า

$$\frac{\text{Sideband}}{\text{Carrier}} = \frac{20 \log (IL+Ib)R_2K_o}{W_{ref}} \quad .....(12)$$

โดยถ้าหากค่า Sideband/Carrier มีค่าลดทอนไม่มาก เราอาจจะเพิ่มวงจรกรองความถี่ต่ำผ่านเข้าไปในลูปได้ โดยความถี่ตัดของวงจรออกแบบใหม่ขนาดเท่ากับ $W_c = 5W_n$ โดยอัตราลดทอนของไซด์แบนด์จะลดทอนคือ SB

$$SB = n\ 20 \log (W_c/W_{ref})$$

โดย n เป็นจำนวนอันดับของวงจรกรองในลูป แต่ผลของการเพิ่มวงจรกรองความถี่ต่ำผ่านเข้าไปในลูปจะทำให้เกิดการเลื่อนเฟสในลูปทำให้ผลของเสถียรภาพของลูปเปลี่ยนแปลงไป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้
032653

เสถียรภาพของลูป

สำหรับการหาเสถียรภาพของลูปอาจจะวิเคราะห์ได้จากการใช้โบทพล็อตทั้งแมกนิจูดและเฟสของเกนลูปเปิดในสมการ (4) เทียบกับความถี่โดยค่าของเกนลูปเปิดที่เท่ากับ 0 dB ค่าเฟสต้องมีขนาดน้อยกว่า -180 องศา หรือกำหนดเฟสมาจิน (phase margin) ของลูปได้ว่า

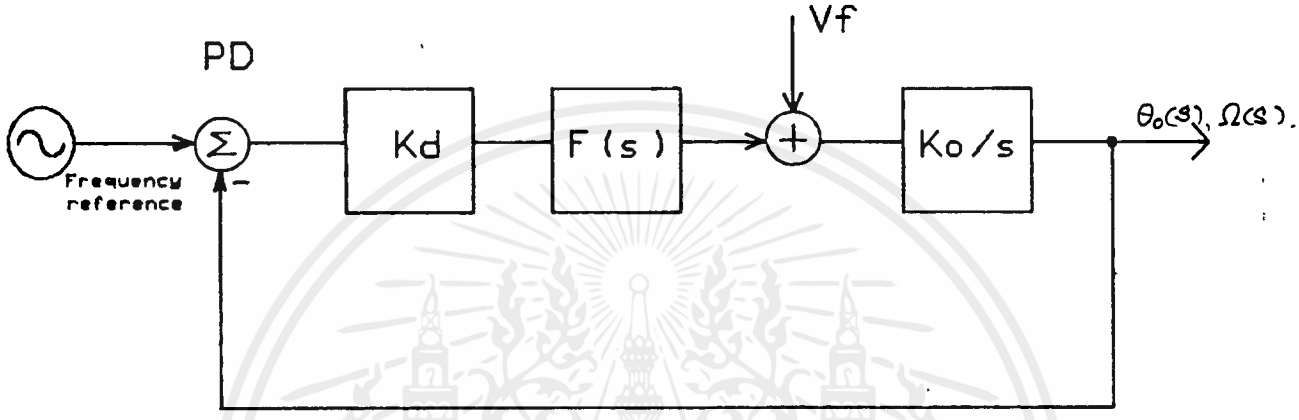
$$\phi_m = 180 + a_{rg} G(jw_{co}) H(jw_{co}) \quad .....(13)$$

w_{co} เป็นค่าของความถี่ที่ขนาดเกนของลูปเปิดเท่ากับ 1 หรือ 0 dB โดยค่าเฟสมาจินจะเท่ากับ 180 องศา บวกกับเฟสที่เลื่อนของทรานเฟอร์ฟังก์ชั่นลูปเปิดซึ่งจะเป็นค่าลบ ถ้าหากค่าเฟสมาจินนี้มาก PLL จะมีเสถียรภาพมาก โดยเราไม่ต้องคำนึงถึงการเลื่อนเฟสจากผลของค่าพาราซิติก (parasitic) ในลูปสำหรับการเพิ่มวงจรกรองเข้าไปในลูป เพื่อลดทอนขนาดของไซด์แบนด์จะทำให้ค่าเฟสมาจินลดลงโดยถ้าหากเฟสมาจินมีขนาดน้อยกว่า 0 PLL ก็จะไม่มีเสถียรภาพ

การมอดูเลทด้วยสัญญาณเบสแบนด์

สำหรับการสังเคราะห์ความถี่ย่าย PLL เราอาจจะทำการมอดูเลทสัญญาณเบสแบนด์เข้ากับความถี่ f_o ซึ่งถือว่าเป็นความถี่พาห์ที่มีเสถียรภาพทางความถี่ขึ้นอยู่กับความถี่อ้างอิงของลูปโดยแสดงการมอดูเลทแบบเอฟเอ็มได้ดังรูป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูป 5 แสดงการมอดูเลทเชิงมุมใน PLL

จากรูปสัญญาณเบสแบนด์ถูกบวกเข้าที่อินพุทของ VCO ทำให้ความถี่ของ VCO เปลี่ยนแปลงตามแรงดัน Vf จากการป้อนความถี่กลับมาเปรียบเทียบกับความถี่อ้างอิง จากอินพุทเป็นแรงดัน rf ผลของเฟสเอาท์พุทต่อแรงดันอินพุท Vf คือ

$$\theta_o(s) = \frac{K_o \, Vf(s)/S}{1+(K_o \, K_d \, F(s)/S)} \qquad .....(14)$$

สำหรับเอาท์พุทในรูปของความถี่ ซึ่งเขียนลาปลาซทรานฟอรม์ของเฟสได้คือ

$$\Omega_o(s) = S \, \theta_o(s) \qquad .....(15)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ดังนั้นสมการความถี่เอาท์พุทจากผลของแรงดัน Vf คือ

$$\Omega_o(s) = \frac{S K_o V_{f(s)}}{S+K_o K_d F(s)} \qquad .....(16)$$

จากสมการข้างบนทรานเฟอร์ฟังก์ชันของความถี่เอาท์พุทต่อแรงดันอินพุทคือ

$$\frac{\Omega(s)}{V_{f(s)}} = \frac{S K_o}{S+K_o K_d F(s)} \qquad .....(17)$$

ซึ่งส่วนของเทอม S / (S+ $K_o K_d F(s)$) มีลักษณะมีผลตอบสนองความถี่สูงผ่าน ดังนั้นกล่าวได้ว่าลูปแบนด์วิดท์ต้องมีค่าต่ำกว่าความถี่ต่ำสุดที่ทำการมอดูเลทเข้ามาในลูป

วงจรผลิตความถี่ควบคุมแรงดัน (VCO)

คุณสมบัติหลักของ VCO ที่ใช้ในเฟสล็อกลูป เราพิจารณาได้ดังต่อไปนี้

1. การเบี่ยงเบนของความถี่ (Frequency Deviation) จุดสูงสุดของเคปเจอร์จะเท่ากับเกนการขยายของลูปเปิด (Open loop gain)

2. เสถียรภาพทางความถี่ (Frequency Stability) การมีเสถียรภาพทางความถี่มีความจำเป็นอย่างยิ่งสำหรับวงจรสังเคราะห์ความถี่ความไวของการมอดูเลท (Modulation Sensitivity) ซึ่งควรจะมีค่าสูง

3. การตอบสนอง (Response) VCO ควรมีการตอบสนองสัญญาณได้ดี และไม่ควรให้มีผลต่อคุณสมบัติทางด้านเสถียรภาพของลูป

4. คุณลักษณะของความถี่และแรงดัน (Frenquency Voltage Characteristic) ของ VCO จะต้องมีอัตราส่วนของความถี่ต่อแรงดัน (F/V) ที่มีความเป็น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เชิงเส้น (linear)

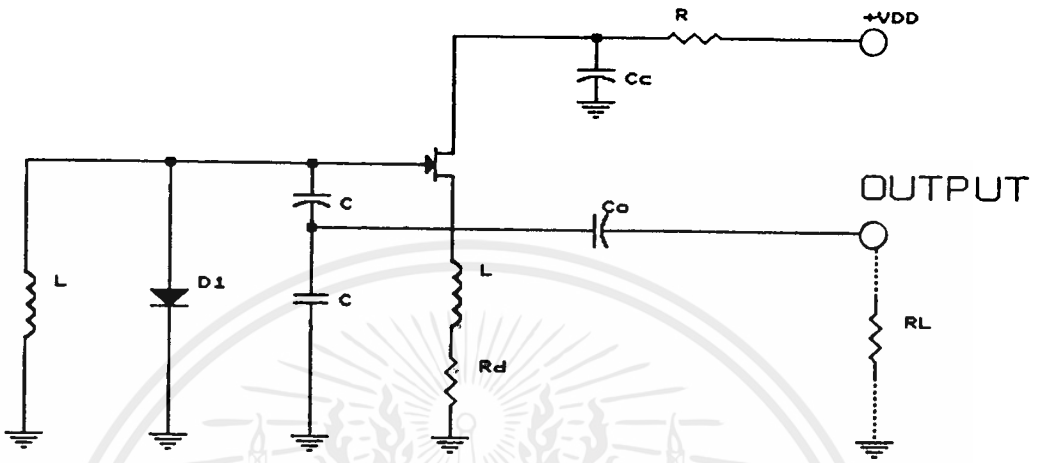
5. Spectral Purity ในการประยุกต์ใช้งาน เช่น การสังเคราะห์ความถี่แบบอนาลอก วงจรผลิตความถี่ควบคุมโดยแรงดัน (VCO) ควรจะมีสัญญาณเอาท์พุทที่บริสุทธิ์ (Pure) คือถ้าเป็นคลื่นรูปซายน์ก็ควรจะเป็นคลื่นที่คงที่สม่ำเสมอ

ในการออกแบบเฟสล็อกลูป ออสซิลเลเตอร์ที่ควบคุมด้วยแรงดัน มักจะเป็นส่วนที่จะต้องพิจารณามากที่สุด เพราะว่าลักษณะพิเศษของระบบอย่างเช่น เสถียรภาพของระบบและเสถียรภาพของความถี่รวมทั้งการดีมอดูเลทคลื่นเอฟเอ็ม (F.M. Demodulation) ตามปกติแล้วจะขึ้นอยู่กับ VCO เพื่อให้เกิดความคล่องตัวมากที่สุด และ VCO จะต้องมีคุณสมบัติดังนี้

6. ลักษณะการเปลี่ยนแปลงแรงดันเป็นความถี่ที่เป็นเชิงเส้น
7. เสถียรภาพของความถี่ที่ดี
8. สามารถใช้กับความถี่สูงได้
9. อัตราการขยายสูง
10. พิสัยการติดตามกว้าง
11. การตั้งความถี่กระทำได้ง่าย

การวิเคราะห์ที่กล่าวมาจะแสดงให้เห็นเฉพาะวงจรเชิงเอซี ในการใช้งานจริงก็ต้องมีการไบอัสทางดีซี เพื่อให้วงจรทำงานได้เอาท์พุทของวงจรสามารถคัปปลิ้ง (Coupling) ออกได้ทั้งจุด 1, 2 และ 3 ดังรูป 6 ซึ่งโหลด (Load) จะมีผลต่อวงจรเช่นกันการวิเคราะห์ได้แสดงถึงความถี่ของสัญญาณเท่านั้น การออกแบบจะกำหนดให้ลูปเกน (Loopgain) ของวงจรที่วิเคราะห์แบบเชิงเส้นมีมากเป็น 3-4 เท่า เมื่อวงจรเกิดการออสซิลเลทแล้ว gm ของอุปกรณ์แอคทีฟจะลดลงจนถึงภาวะเสถียร ซึ่งในขณะนี้ขนาดของสัญญาณจะคงที่ โดยปกติกำลังของสัญญาณที่ได้มักจะไม่เกิน 25% ของกำลังงานดีซี ที่วงจรดึงจากแหล่งจ่าย อุปกรณ์แอคทีฟที่ใช้สามารถนำ FET หรือ MOS-FET มาใช้งานก็จะทำงานได้ผลดีเช่นเดียวกัน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

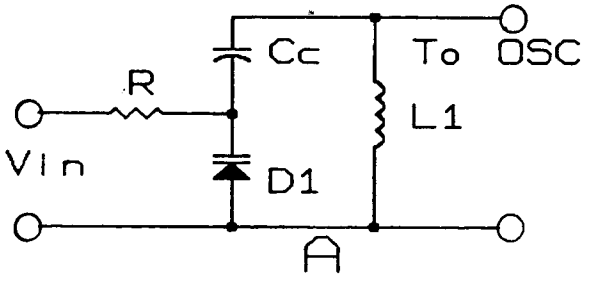


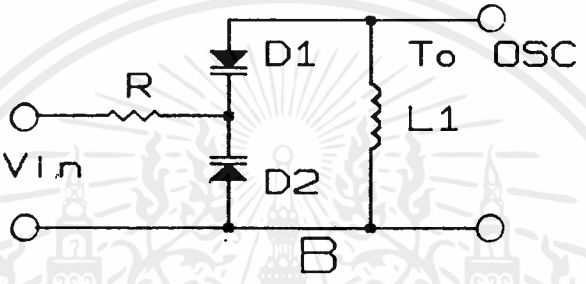
รูป 6 แสดงวงจรโคลพิทท์ออสซิลเลเตอร์ใช้ FET

วงจรที่ใช้ FET แสดงในรูป 6 R_D ทำหน้าที่สร้างแรงดันไบอัส (V_{GE}) ให้กับ FET อาร์เอฟโช้ค (R.F. Choke) ทำให้ R_D มีค่าอิมพีแดนซ์สูงมาก ที่ความถี่ใช้งาน ซึ่งจะทำให้ R_D (ปกติมีค่าต่ำ) ไม่มีผลต่อวงจร D_1 ทำหน้าที่จำกัดขนาดแรงดันเอซีที่เกิดจากการออสซิลเลเตอร์ ไม่ให้มีขนาดใหญ่จนเกินไป จนทำให้รอยต่อระหว่างขาเกทและซอร์สของ FET นำกระแสได้ (V_{GE} = 0.7) ซึ่งไม่จำเป็นต้องมี ในกรณีที่แรงดันเอซีมีขนาดเล็กหรือในกรณีที่เป็น MOS-FET วงจรสามารถรับโหลดที่เป็นค่าความต้านทานสูงๆได้เท่านั้น สำหรับโหลดที่มีค่าความต้านทานต่ำๆ ค่าของ C_o จะเล็กลงเพื่อให้ r_{co} ที่ความถี่ใช้งานมีค่าสูงจนทำให้โหลดไม่มีผลต่อวงจร ซึ่งอาจทำให้เฟสของสัญญาณที่ได้เลื่อนไปบ้างแต่ไม่มีผลต่อการทำงานของวงจรและ R กับ C ทำหน้าที่บายพาสแรงดันเอซี

วงจร VCO เป็นส่วนประกอบที่สำคัญของระบบเฟสล็อกลูป ความถี่เอาท์พุทของ VCO จะแปรตามแรงดันอินพุทที่ควบคุม ซึ่งจะใช้วิธีเปลี่ยนแรงดันไบอัสให้กับวาริแคป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้





รูป 7 แสดงการใช้วาริแคปกับวงจรออสซิลเลเตอร์

รูปที่ 7A คาปาซิเตอร์ จะมีค่าอิมพีแดนซ์ (X_c) ต่ำที่ความถี่ใช้งาน ซึ่งจะทำหน้าที่แยกแรงดันดีซีออกจากวงจรรีโซแนนท์ ส่วนวงจรในรูปที่ 7B มีข้อจำกัดที่แรงดันเอซีคร่อม D_1 ต้องมีค่าน้อย (น้อยกว่า 600 mv_{rms}) ไม่เช่นนั้น D_1 อาจจะทำการเรคติไฟร์แรงดันคร่อม L_1 ซึ่งจะทำให้ความเพี้ยนเกิดขึ้นกับความถี่ที่ใช้งาน

วิธีแก้ไขทำได้โดยรูปที่ 7B ไดโอด D_1, D_2 จะต้องต่อกลับกัน ทำให้แก้ปัญหาการเรคติไฟเออร์ แต่ค่าความจุ (Capacitance) รวมของ D_1, D_2 จะลดลงครึ่งหนึ่ง และ D_1, D_2 ต้องมีคุณสมบัติใกล้เคียงกันมากที่สุด หรืออาจจะรวมกันอยู่ในตัวถังเดียวกัน

เมื่อใช้วาริแคปร่วมกับวงจรออสซิลเลเตอร์ ในรูปที่ 6 ค่าความจุของวาริแคปต้องนำไปรวมกับ C_1, C_2 และในทางปฏิบัติ ในกรณีที่อุปกรณ์แอคทีฟเป็น FET ก็รวมค่าของ Ciss (Common Source Input Capacitance) เข้ากับ C_1 และ Coss (Common Source Output Capacitance) เข้ากับ C_2 โดยกำหนดว่าค่าจริงของ Y11 และ Y22 ไม่มีผลกับวงจร

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากสมการ

$$f_o = (r\ (L*C_T)^{1/2})^{-1} \qquad \text{.....(18)}$$

โดยที่ C_T คือ

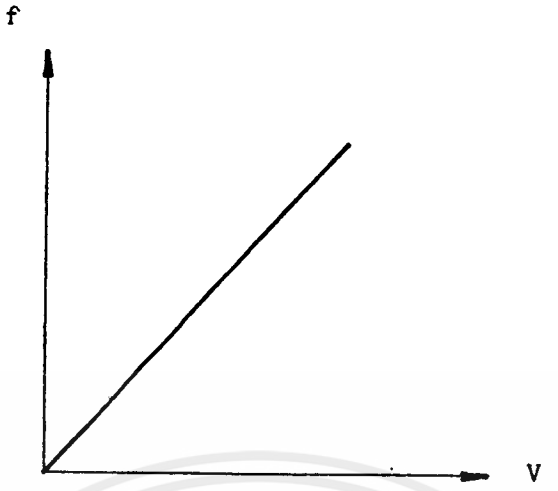
$$C_T = C_D + \left[\frac{(C1+Ciss) * (C2+Coss)}{(C1+Ciss) + (C1+Coss)} \right] \qquad \text{.....(19)}$$

ซึ่ง C_D คือ ค่าความจุของวาริแคปที่แรงดันอินพุทใดๆ และเราสามารถกำหนด f_o / v ซึ่งเป็นเกนแฟคเตอร์ของ VCO ได้จาก

$$K_o = \frac{f_o}{V} = \frac{(C * V1) + V1}{8\ (L)^{1/2}\ C_T(\ +V2\ )^{3/2}} \qquad \text{.....(20)}$$

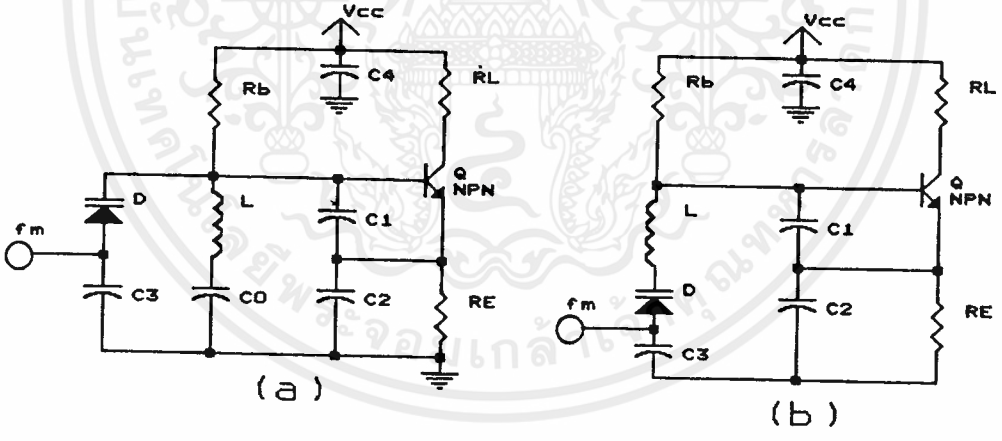
เมื่อ V เป็นแรงดันที่รอยต่อของไดโอด (0.7v)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

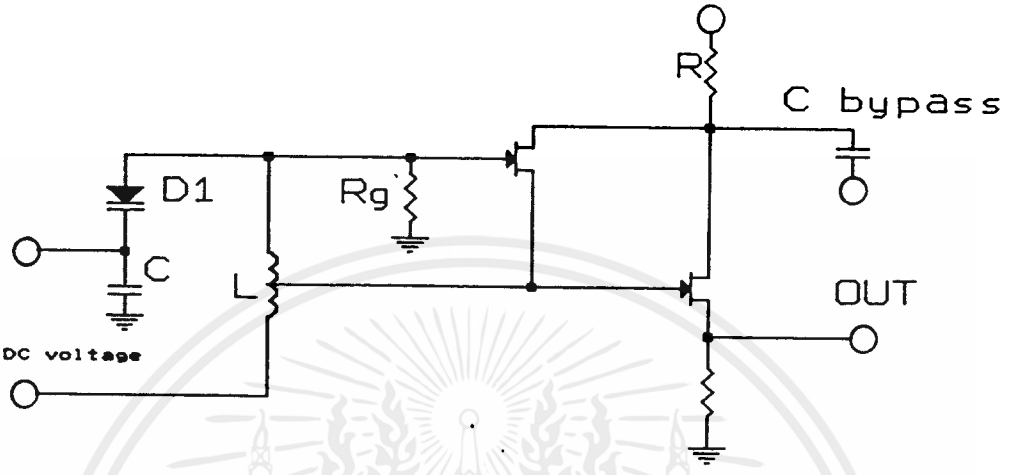


รูป 8 แสดงความสัมพันธ์ระหว่างความถี่และแรงดันในทางอุดมคติ

ตัวอย่างวงจร VCO



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูป 9 แสดงวงจรผลิตความถี่ที่ควบคุมด้วยแรงดัน

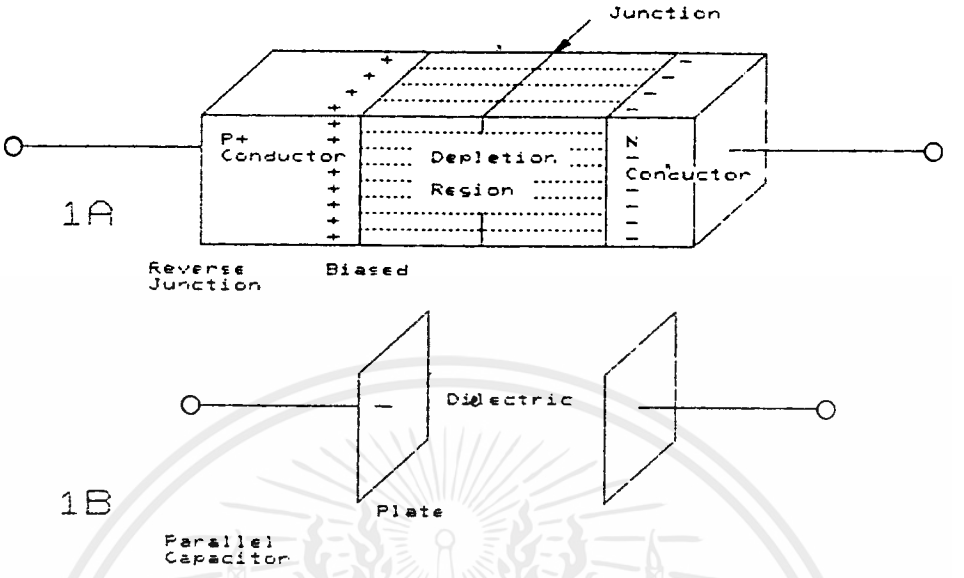
วาริแคป VOLTAGE VARIABLE CAPACITOR DIODE (VARICAP)

วาแรคเตอร์ไดโอด (Varactor diode) ส่วนใหญ่มักนำมาใช้เป็นค่าคาปาซิแตนซ์ที่ปรับค่าได้ (Vary capacitance) ของวงจรแท้งค์ ที่ใช้แอลและซีในการผลิตความถี่ (LC Tank Oscillator)

โดยทั่วไป วาแรคเตอร์เป็นคาปาซิแตนซ์ ซึ่งถูกควบคุมโดยการเปลี่ยนค่าของแรงดัน (Voltage Variable Capacitor) สร้างจากสารกึ่งตัวนำ (Semiconductor) ซึ่งสามารถนำมาประยุกต์ใช้ในการจูนของวงจรทางด้านอิเลคทรอนิกส์(Electronic tuning)ได้

การทำงานของวาแรคเตอร์ จะอาศัยหลักการชองบริเวณรอยต่อ (Region) ระหว่าง Forward Conduction และ Reverse Breakdown เหมือนไดโอดธรรมดา แต่ในการใช้งานจะพิจารณาช่วงคัทออฟ (Cutoff reverse) เท่านั้น จะไม่ใช้ในช่วง Forward conduction และ reverse breakdown

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูป 10 แสดงโครงสร้างของจูนนิ่งไดโอด

ความกว้างของช่วง Depletion ขึ้นอยู่กับการโด๊ป (Dope) สารกึ่งตัวนำ และแรงดันไบอัส ที่ให้แก่รอยต่อ

ค่าความจุของคาปาซิเตอร์ กำหนดจาก

$$C = \frac{EA}{d} \qquad \text{.....(21)}$$

เมื่อ E = ค่าคงที่

$E_o = 8.85 * 10^{-12}$ F/m

A = พื้นที่หน้าตัด

d = ความกว้างของช่วงดีพลีทชั่น

โดยทั่วไปเราสามารถหาค่า C จากสมการ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$C = \frac{dQ}{dV} \qquad \text{.....(22)}$$

เมื่อ Q = ประจุต่อหน่วยพื้นที่โดยกำหนดจาก

$$Q = \varepsilon E \qquad \text{.....(23)}$$

เราสามารถกำหนดค่าประจุต่อหน่วยพื้นที่ได้โดย

$$C = \frac{C}{A} = \frac{EdE}{dv} \qquad \text{.....(24)}$$

จาก M. Norwood และ F. Shetz กำหนดสูตร โดยทั่วไปที่

$$C = \frac{(qAE^{m+1})^{1/m+2}}{(m+2)(v+)} \qquad \text{.....(25)}$$

เมื่อ m = Impurity Exponent

c = Capacitance / Area

อัตราส่วนความเก็บประจุ

อัตราส่วนการจูน (Tuning Ratio) หรือ อัตราส่วนความเก็บประจุ T_r จะแสดงอัตราส่วนค่าความเก็บประจุ ซึ่งได้จากแรงดันไบอัส 2 ค่า

$$\frac{Ci*V2}{Ci*V1} = \frac{(V1+)^r}{(V2+)} = T_r \qquad \text{.....(26)}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เมื่อ C*(V2) = ประจุที่รอยต่อที่แรงดัน V1

C*(V2) = ประจุที่รอยต่อที่แรงดัน V2

โดยที่ V1 > V2

ในการกำหนดค่า Tr เราสามารถดูจากตาต้าชีท (Data sheet) อุปกรณ์บางตัวที่ใช้แรงดัน 4 โวลท์สำหรับ V2 อย่างไรก็ตามเพื่อให้ได้ค่าอัตราส่วนการจูนที่มาก ควรใช้แรงดันไบอัสที่ต่ำกว่า 4 โวลท์ โดยให้ค่า Q ลดลง และการใช้แรงดันไบอัสกลับต่ำอาจจะทำให้ไดโอดถูกไบอัสตรงได้ เมื่อแรงดันเอซีที่คร่อมไดโอดมีค่าสูง และสัญญาณขนาดสูงคร่อมไดโอดจะทำให้เกิดการเพี้ยน (Distortion) จากปรากฏการณ์ค่า คาปาซิแตนท์ มอดูเลชัน (Capacitance modulation)

โดยปกติผลของ r และค่าความเก็บประจุจากโครงสร้าง C_c ปกติมีค่าน้อย เราสามารถลดทอนให้ง่ายขึ้นโดย

$$T_r = \frac{CV_{min}}{CV_{max}} = \frac{(V_{max})^r}{V_{min}} \qquad .....(27)$$

อัตราส่วนความถี่ (Frequency Ratio) จะเท่ากับค่ารากที่สองของอัตราส่วนการคูณ

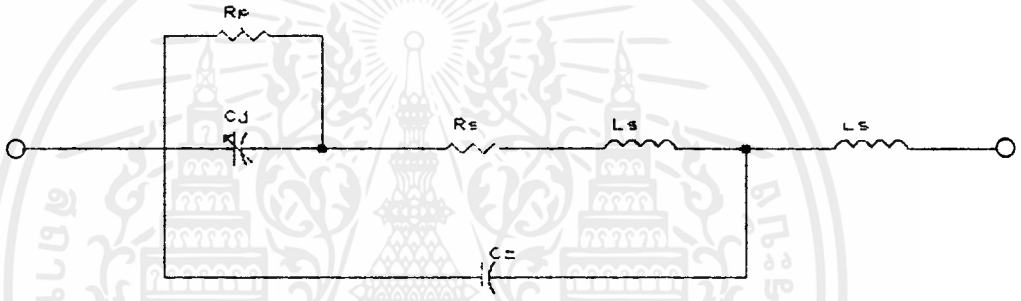
$$F_r = (T_r)^{1/2} \qquad .....(28)$$

ในทางกายภาพ r ขึ้นอยู่กับการโดปสาร เชิงเรขาคณิตของไดโอด ซึ่งมีค่าอยู่ระหว่าง 1/3 - 2 เราสามารถกำหนดได้จากเทคนิคการผลิตชนิดของรอยต่อ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ค่า Q

ค่า Q ของวาริแคปจะมีค่าเปลี่ยนไปตามแรงดันไบอัสและความถี่ ค่า Q ของวาริแคปจะลดลงที่ความถี่สูง เนื่องจากค่าความต้านทานในเนื้อสารซิลิกอน R_s และจะเพิ่มขึ้นที่ความถี่ต่ำ เนื่องจากความต้านทานซึ่งขนานอยู่กับ C_j ที่เกิดจาก Diode วงจรสมมูลย์ของวาริแคปไดโอด



รูป 11 แสดงวงจรสมมูลย์ของไดโอด

เมื่อ R_p เป็นตัวความต้านทานซึ่งขนานอยู่กับ C_j

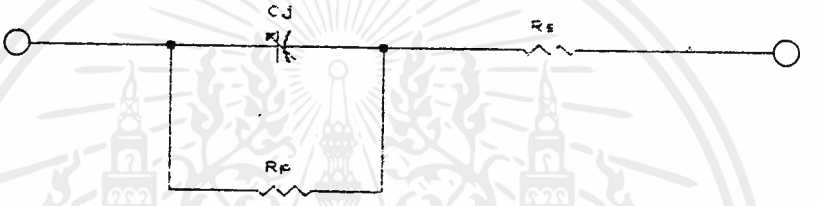
R_s เป็นตัวความต้านทานในเนื้อสารซิลิกอน

L_s เป็นความเหนี่ยวนำจากขาภายนอกของไดโอด

C_c เป็นค่าความจุของโครงสร้าง (Case Capacitance)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

แต่โดยทั่วไปเราไม่คำนึงถึงค่าของ L_s และ C_c จึงทำให้วงจรสมมูลย์สามารถเขียนใหม่ได้ ดังรูป 12



รูป 12 แสดงวงจรโดยไม่คิดค่าของ L_s และ C_c

ค่า Q สามารถกำหนดจาก

$$Q = \frac{2fCR_p^2}{R_s + R_p + (2fC)^2 R_s R_p^2} \quad \text{.....(29)}$$

ที่ความถี่สูงๆ ค่า Q จะกลายเป็น

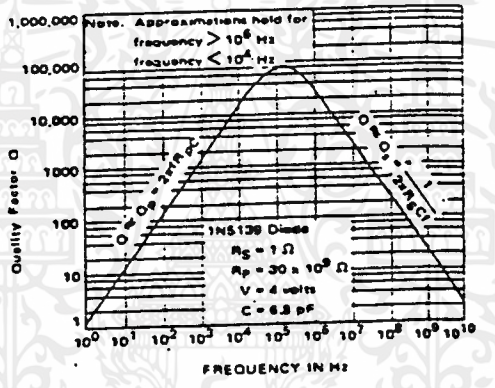
$$Q = Q_s = \frac{1}{2\pi fCR_s} \quad \text{(H.F.)} \quad \text{.....(30)}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

และที่ความถี่ต่ำ

$$Q = Q_p = 2\pi fCR_p \qquad \text{(L.P.F.)} \quad \ldots\ldots\ldots(31)$$

ค่า Q ก็จะเปลี่ยนไปตามแรงดันไบอัสด้วย



รูป 13ก กราฟแสดงความสัมพันธ์ระหว่างค่า Q กับความถี่

ข้อพิจารณาในการเลือกวาริแคป

เราสามารถหาค่าต่างๆ จากสมการต่อไปนี้

1. C_T เป็นค่าคาปาซิเตอร์ที่ใช้งานทั่วไป โดยปกติจะกำหนดค่าแรงดันที่ใช้งานเฉพาะ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2. ค่าอัตราส่วนความจุ

$$T_R = \frac{C_{v(min)}}{C_{v(max)}} = \frac{(v_{max})^r}{v_{min}}$$

เมื่อ r = Capacitance exponent

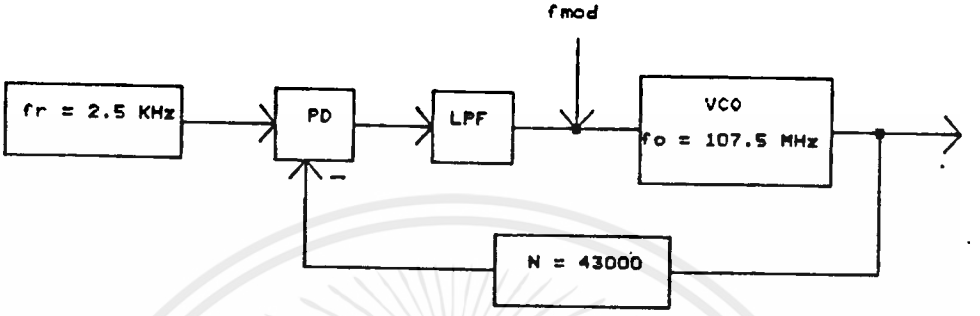
โดยปกติใช้ 0.5 แต่สามารถเลือกได้ระหว่าง 0.3 - 2.0

3. ค่าอัตราส่วนความถี่ $F_R = (T_R)^{1/2}$

การออกแบบวงจรมอดูเลทเอฟเอ็ม

สำหรับในส่วนนี้จะกล่าวถึง การออกแบบวงจรมอดูเลทเอฟเอ็มแบบตรง (direct mod) โดยควบคุมความถี่ของคลื่นพาห์ให้มีเสถียรภาพโดยใช้หลักการของเฟสล็อกลูป สำหรับวงจรมอดูเลทแบบตรง หรือวงจรที่มอดูเลทสัญญาณเบสแบนด์โดยตรงกับวงจรกำเนิดความถี่ก็ใช้วงจร กำหนดความถี่ควบคุมด้วยแรงดันดังที่ได้กล่าวมาข้างต้น สำหรับวงจรในส่วนนี้แสดงโครงสร้างในรูป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูป 14 วงจรมอดูเลทเอฟเอ็ม

จากรูปต้องการสร้างสัญญาณคลื่นพาห์ที่มีความถี่เท่ากับ 107.5 MHz กำหนดให้สัญญาณคลื่นพาห์ต่อไซด์แบนด์ที่ยังไม่ทำการมอดูเลทมีขนาดลดทอนมากกว่า -60 dB สำหรับความถี่อ้างอิงของลูปกำหนดให้มีขนาด 2.5 kHz เพื่อที่จะให้ลูปทำการหารความถี่ของคลื่นพาห์ลงจำนวนมากๆ (43000) เพื่อไม่ให้ค่าความถี่เบี่ยงเบนสูงสุด เนื่องจากการมอดูเลทด้วยความถี่ต่ำเกิดช่วงเชิงเส้นของเฟสดีเทคเตอร์ มิฉะนั้นจะเกิดการหลุดจากการล็อก (loss of lock) ของลูป สำหรับค่าความถี่ธรรมดาของลูป กำหนดให้มีขนาดเท่ากับความถี่ต่ำสุดที่ต้องการมอดูเลทในที่นี้จะเท่ากับ 20 Hz สำหรับวงจรกรองในลูปใช้วงจรกรองแบบแอคทีฟชนิดลีดแล็คจากสมการ (32) แสดงความถี่ธรรมชาติของลูป

$$W_n = \left[\frac{k_o k_d}{N.T_1}\right]^{1/2} \qquad \text{.....(32)}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

และค่าแดมซ์ปิ้งแฟคเตอร์คือ

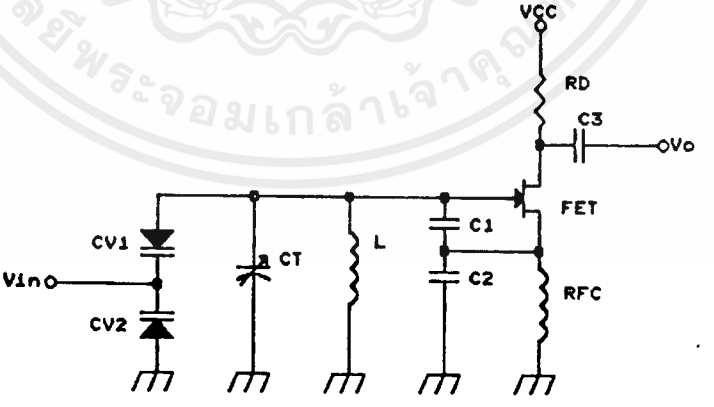
$$\Sigma = T_2 W_n / 2 \qquad \text{.....(33)}$$

โดย T1 = R1 C และ T2 = R2 C ดังเช่น ค่าของ R และ C ของวงจรกรองในลูป

สำหรับค่า kd เป็นเฟสดีเทคเตอร์เกนในการออกแบบใช้ดิจิตอลเฟสดีเทคเตอร์ซึ่งเป็น IC เบอร์ 4046 มีค่า kd = Vcc/4π ค่า ko เป็นค่าเกนของ VCO หาได้จากวงจร VCO ซึ่งมีการออกแบบดังต่อไปนี้

การออกแบบวงจร VCO

สำหรับการออกแบบวงจร VCO ใช้วงจรโคลพิท์ออสซิเลทเตอร์ต่อร่วมกับวาริแคปดังแสดงวงจรในทางปฏิบัติได้ดังรูป



รูป 15 รูปแบบวงจร VCO ในทางปฏิบัติ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากวงจรให้ค่ารีแอคแตนของ RFC จะมีขนาดสูงมากที่ความถี่ออสซิเลทค่าคาปาซิแตนซ์ทางด้านอินพุทของ FET มีขนาดน้อยมากเมื่อเทียบกับ C1 และ C2 ดังนั้นค่าความถี่ที่ออสซิเลทจะเท่ากับ

$$f_o = \frac{1}{2\pi\sqrt{L\,C_o}} \qquad .....(34)$$

$$C_o = \frac{C_1 x C_2}{C_1+C_2} + \frac{C_{v1} x C_{v2}}{C_{v1}+C_{v2}} + C_T$$

โดยค่า C_{v1} และ C_{v2} เป็นค่าคาปาซิแตนซ์ของวาริแคปที่ถูกควบคุมด้วยแรงดัน V_{in} ซึ่งขนาดของค่าคาปาซิแตนซ์ต่อแรงดันใดๆ ของวาริแคปแสดงได้คือ

$$C_v(V) = C_n \left[\frac{\phi - V_n}{\phi - V}\right]^{\delta}$$

δ = ค่าชี้กำลังที่ขึ้นกับชนิดของรอยต่อซึ่งเท่ากับ1/2 สำหรับ hyper arupt junction

ϕ = แรงดันระหว่างรอยต่อของไดโอด (0.7 V)

V_n = แรงดันที่จุดไบอัส

C_n = ค่าคาปาซิแตนซ์ที่จุดไบอัส

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สำหรับค่าอัตราการเปลี่ยนแปลงความถี่จาก fo ต่อ การเปลี่ยนแปลงแรงดันอินพุท แสดงได้คือ

$$\frac{\Delta f_o}{\Delta V} = \frac{C_m \sqrt{\phi - V_m}}{8\pi\sqrt{L}\,[C_T(\phi - V)]^{3/2}} \qquad .....(35)$$

การออกแบบในทางปฏิบัติเลือกใช้ FET เบอร์ 2N5486 กำหนดให้แรงดันของวงจรมีขนาด 12 V แรงดันควบคุมของอินพุท Vin มีขนาด 1-12 V ถ้ากำหนดให้ค่าอินดัคแตนซ์ (L)ในวงจรมีขนาด 100 nH และ C_T มีขนาด 4 pF แล้วให้วงจร VCO ทำงานตั้งแต่ความถี่ 100 MHz ถึง 110 MHz จากสมการ (20) หา C_T ที่ความถี่ 100 - 110 MHz ได้คือ

$$C_T = \frac{1}{4\pi^2 f^2 L} \qquad .....(36)$$

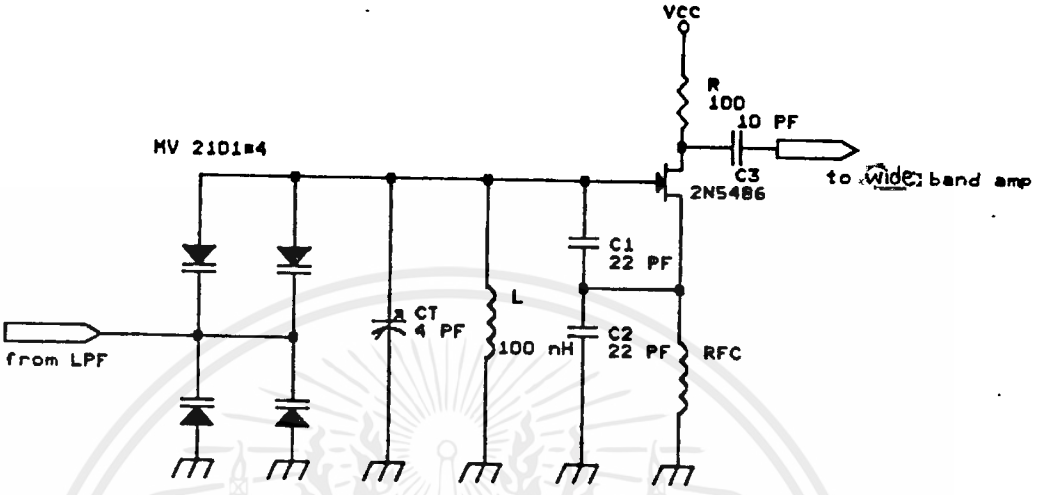
$$C_{T\ 100\ MHz} = 25\ PF$$

$$C_{T\ 110\ MHz} = 20\ PF$$

ซึ่งหมายถึงว่าค่าการเปลี่ยนแปลงของ C ในวงจร VCO ที่จะทำให้ความถี่ตั้งแต่100 - 110 MHz เท่ากับ 5 pF การออกแบบเลือกใช้วาริแคปเบอร์ MV2101 ซึ่งมีขนาด 4 pF เมื่อถูกรีเวิร์ดไบอัสเท่ากับ 12 V และมีขนาด 10 pF เมื่อถูกรีเวิร์ดไบอัสที่ 1 V ซึ่งค่าเปลี่ยนแปลงของค่าคาปาซิแตนซ์มีขนาดใกล้เคียงกับความต้องการ

โดยในทางปฏิบัติ ถ้าต่อวาริแคปอนุกรมกันค่าความต้านทานจะลดลงกึ่งหนึ่ง ดังนั้นจึงต้องต่อวาริแคปขนานเข้าไปอีก 1 ชุดดังรูปโดย C1 = C2 = 22 pF C_T = 4 pF

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูป 16 การต่อวาริแคปอนุกรมกันในวงจร VCO

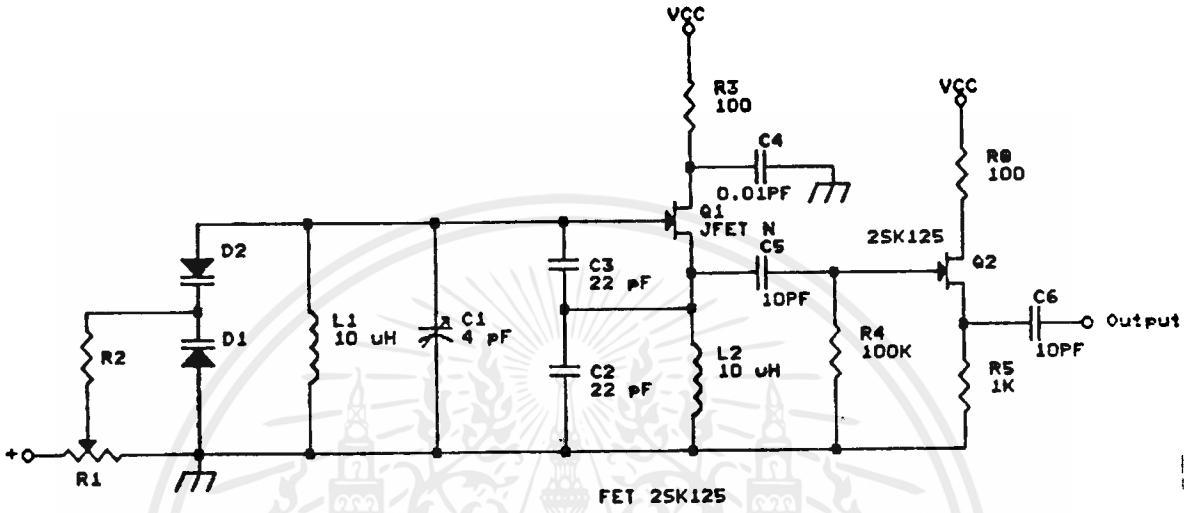
จากสมการ (21) ถ้าแรงดันควบคุม VCO ที่ความถี่ 107.5 MH_z มีขนาด 10 V แล้ว ค่า C_s ที่ 4 V. ของ MV2101 เท่ากับ 6.8 PF ค่า C_T ที่ 107.5 MH_z จากสมการ (22) มีค่าประมาณ 22 PF แล้ว ค่า $\Delta f/\Delta v$ หรือค่า VCO เกน ได้จากสมการ (21)

$$\left.\frac{\Delta f}{\Delta V}\right|_{107.5\ MHz} = \frac{6.8*10^{-12}\sqrt{0.7-(-4)}}{8\pi\sqrt{0.1*10^{-6}}\,[22*10^{-12}\,(0.7-(-10)]^{3/2}}$$

$$= 516.4 \quad KH_z/V$$

สำหรับวงจรสมบูรณ์แสดงได้ดังรูป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูป 17 วงจร Voltage Control Oscillator ที่สมบูรณ์

ข้อกำหนดในการออกแบบ แรงดันสำหรับเฟสดีเทคเตอร์ 4046 เท่ากับ 12V

K_d = 12 / 4π

K_o = 516.4 KH_z / V

N = 43,000

W_n = 2π * 20 rad / s

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การออกแบบวงจรกรองในลูป

จากสมการ (20),(21) ถ้ากำหนดให้ C ของวงจรกรองในลูปเท่ากับ

$$R_1 = K_o K_d / NW_n^2 C \quad \text{.....(37)}$$

$$R_2 = 2\Sigma / W_n \quad \text{.....(38)}$$

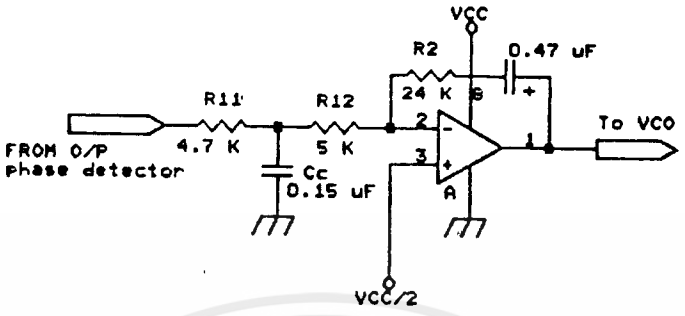
และในการออกแบบต้องเลือกให้อัตราส่วนของ R_2 / R_1 ของวงจรมีอัตราส่วนน้อยกว่า 10 เท่า เพื่อป้องกันไม่ให้ออฟแอมป์เกิดการอิ่มตัวเมื่อเฟสดีเทคเตอร์ให้ค่าผิดพลาดเชิงเส้นขนาดใหญ่ ในช่วงโอเวอร์ชูทรวมทั้งค่า R_1 จะต้องมีค่ามากพอที่จะไม่โหลดเอาท์พุทของเฟสดีเทคเตอร์

สำหรับการออกแบบให้เลือก C = 0.47 μF จากสมการ 37 และ 38 ได้ค่า R_1 เท่ากับ 9.7 K และ R_2 เท่ากับ 23.9K เราสามารถหาอัตราการลดทอนไซด์แบนต่อแคร์เรียร์ได้ในสมการ (12)

$$\frac{\text{sideband}}{\text{carrier}} = 20 \log \frac{(11 + 1b) K_o R_2}{W_{ref}} \quad \text{.....(39)}$$

สำหรับกระแสรั่วไหลของเฟสดีเทคเตอร์ 4046 มีน้อยมากๆ (< 10 PA) และกระแสไบอัสอินพุทของออฟแอมป์ ในที่นี้เลือกใช้ออฟแอมป์เบอร์ OP27 ซึ่งมีขนาด 1b = 10 nA อัตราการลดทอนไซด์แบนด์ของแคร์เรียร์ ในสมการที่ (39) มีขนาดเท่ากับ -60.15 dB ซึ่งเป็นการลดทอนเพียงพอกับเงื่อนไขที่ต้องการ วงจรกรองในลูปแสดงได้ดังรูป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูป 18 วงจรกรองความถี่ต่ำผ่าน

โดยค่า R_1 นั้นแยกออกเป็นค่า R_{11} อนุกรมกับ R_{12} โดยที่ระหว่าง R_{11} และ R_{12} มีคาปาซิเตอร์ C_c ต่อลงกราวน์อยู่ โดยการออกแบบให้ค่า $R_{11}.C_c$ เป็นวงจรกรองความถี่ต่ำผ่านโดยมีความถี่หักมุมประมาณ 10 เท่า ของค่า W_n ซึ่งเป็นการแก้ไขปัญหาเนื่องจากการอิ่มตัวของออฟแอมป์ในสภาวะทรานเซียนโอเวอร์ชูท

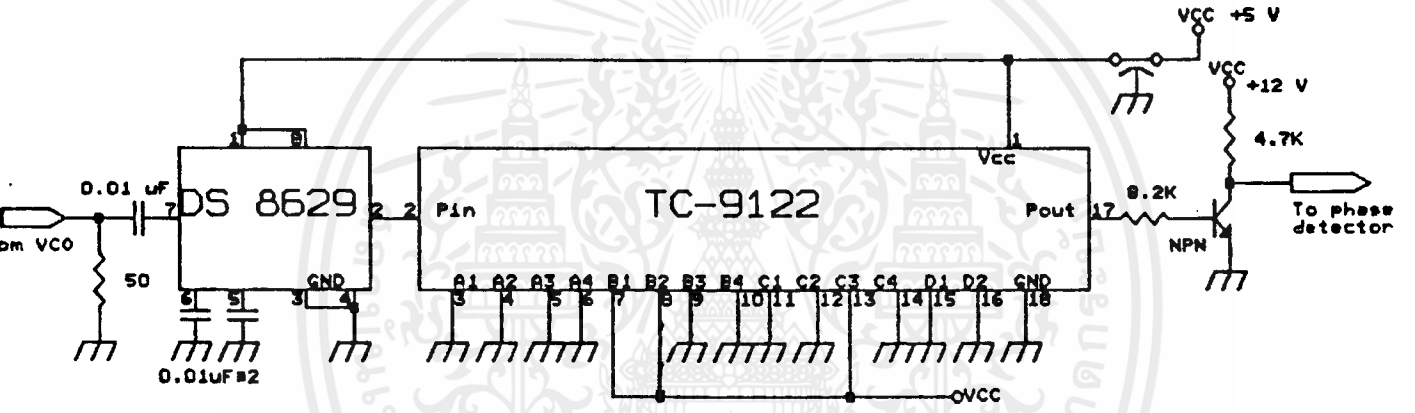
การออกแบบวงจรหาร N

สำหรับวงจรหารในลูป ซึ่งเป็นการหารความถี่ของคลื่นพาห์ขนาด 107.5 MH_z ให้เหลือ 2.5 KH_z สำหรับเป็นความถี่อ้างอิงของลูป เนื่องจากวงจรหารในลูปนี้ เป็นวงจรหารความถี่สูง ในการออกแบบใช้ไอซีเบอร์ DS8629 ต้องการขนาดแรงดันอินพุท ขนาด 100 mv เป็นอย่างต่ำ ในการออกแบบจริงต้องป้อนสัญญาณคลื่นพาห์ที่ออกจากวงจรออสซิลเลเตอร์ที่มีขนาดเล็กมากๆ และเพื่อให้เกิดการแยกโดยไม่ให้สัญญาณดิจิตอลเข้าไปรบกวนวงจรออสซิลเลเตอร์ จึงต้องใช้วงจรหารภาคแรก สำหรับเอาท์พุทของสัญญาณภาคแรกจะมีความถี่เหลือขนาด 1.075 เมกะเฮิร์ต ซึ่งเป็นระดับสัญญาณ TTL ป้อนเข้าสู่ไอซี TC-9122 ซึ่งเป็นไอซีหารที่สามารถโปรแกรมได้ โดยสามารถโปรแกรมได้ตั้งแต่ 0 - 3999 โดยโปรแกรมผ่านขา A_1 , A_2 ถึง D_2 โดยหลัก A_1 เป็นหลักที่มีนัยสำคัญน้อยที่สุด (Less significant bit : LSB)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

และหลัก D_2 เป็นหลักที่มีนัยสำคัญมากที่สุด (Most significant bit : MSB)

สำหรับการหาร 1.075 MH_z ให้เหลือ 2.5 KH_z เป็นการหารเท่ากับ 430 ดังนั้นต้องโปรแกรมที่ขา $A_1 - A_4$ เป็นระดับลอจิก "0" ขา B_1 และ B_2 เป็นลอจิก "1" ขา B_3 และ B_4 เป็นลอจิก "0" ขา C_1, C_2, C_4 เป็นลอจิก "0" ขา C_3 เป็นลอจิก "1" และขา D_1, D_2 เป็นลอจิก"0" สำหรับวงจรภาคปฏิบัติแสดงได้ดังรูป



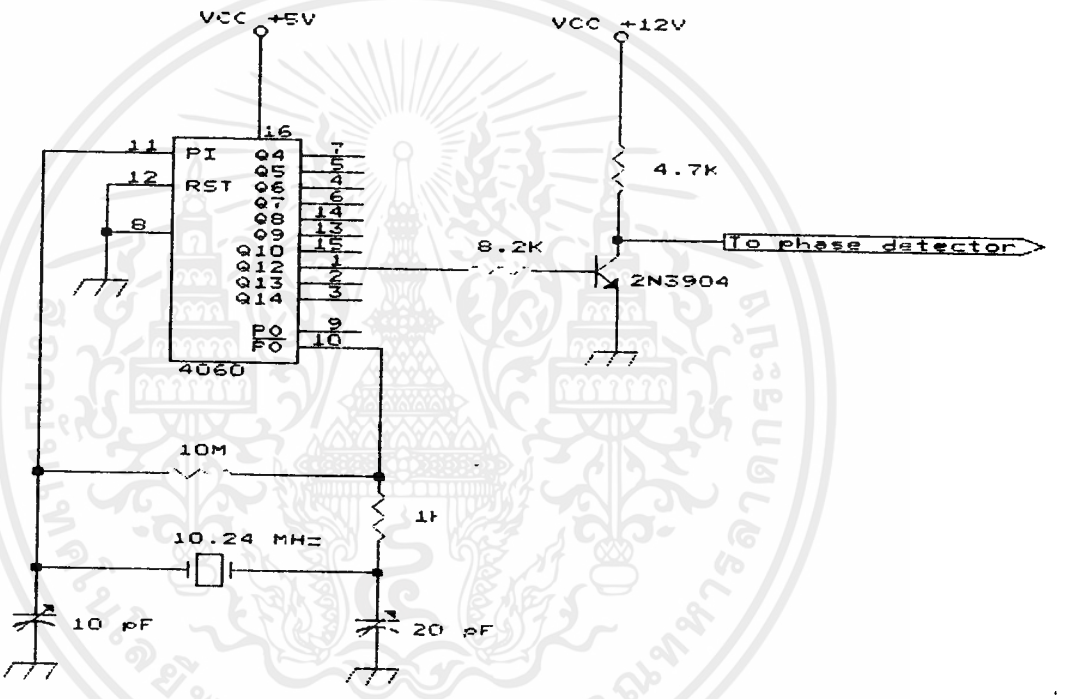
รูป 19 วงจรหาร N

วงจรกำเนิดความถี่อ้างอิง

วงจรกำเนิดความถี่อ้างอิง 2.5 KH_z สร้างจากไอซี 74HC4060 ซึ่งภายในประกอบด้วยเกทอินเวอเตอร์ และ วงจรหารแบบไบนารีจำนวน 14 สเตท โดยให้เอาท์พุทเป็นสัญญาณหาร 16 ที่ขา Q_4 จนถึงสัญญาณหาร 16, 384 ที่ขา Q_{14} โดยวงจรให้เกทต่อรวมกับคริสตอลทำงานที่ความถี่10.24MH_z ซึ่งความถี่ขนาด 2.5 KH_z จะได้จากการหาร 10.24 MH_z ด้วย 4096

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ดังนั้นเอาท์พุทจากความถี่ 2.5 KH_z จะได้ที่ขา Q_{12} โดยเป็นสัญญาณแรงดัน TTL ลงขา (ขนาด 0 V สำหรับลอจิก "0"ขนาด 9V สำหรับลอจิก "1") สำหรับเฟสดีเทคเตอร์ซึ่งใช้แรงดันไฟขนาด 12 V จะต้องเปลี่ยนระดับแรงดัน ลอจิกขนาด 0-5 V เป็น 0-12 V โดยใช้ทรานซิสเตอร์ 2N3904 เป็นวงจรเปลี่ยนระดับแรงดัน โดยแสดงวงจรทั้งหมดในรูป



รูป 20 วงจรกำเนิดความถี่อ้างอิง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สำหรับส่วนของวงจรเกทออสิเลท สามารถแสดงรายละเอียดได้ดังรูป โดยเกทเปรียบเหมือนวงจรขยายกลับเฟส โดยมี C_1 C_2 R_s และคริสตอล เป็นส่วนของวงจรป้อนกลับสัญญาณจากเอาท์พุทของเกท ให้อินพุทของเกทมีเฟสกลับไป 180 สำหรับค่า R_f เป็นค่าความต้านทาน ป้องกันไม่ให้กระแสไหลผ่านคริสตอลมากเกินไป กำหนดให้มีขนาด 5 ถึง 10 เท่าของความต้านทานสมมูลย์ที่อนุกรมอยู่ในคริสตอล RS_{XTAL} สำหรับคริสตอล 10.24 MH_z เป็นแบบ AT_{CUT} มีค่า RS_{XTAL} ประมาณ 100 ดังนั้นเราเลือก RS_{XTAL} เท่ากับ 1 K สำหรับ R_f เป็นแรงดันสำหรับไบอัสให้เกททำงาน เลือกใช้ขนาด 10 M สำหรับค่า C_s และ C_T กำหนดให้ ค่า C_s และ C_T ขนานกันจะมีขนาดเท่ากับ ค่าโหลดคาปาซิแตนซ์ของคริสตอล C_L ซึ่งค่า C_L ของคริสตอลแบบ AT_{CUT} จะมีค่าประมาณ 20-32 PF โดยการออกแบบเลือกค่า C_s ขนาด 10 PF และ C_T เป็นทริมเมอร์ปรับค่าได้ขนาด 20 PF

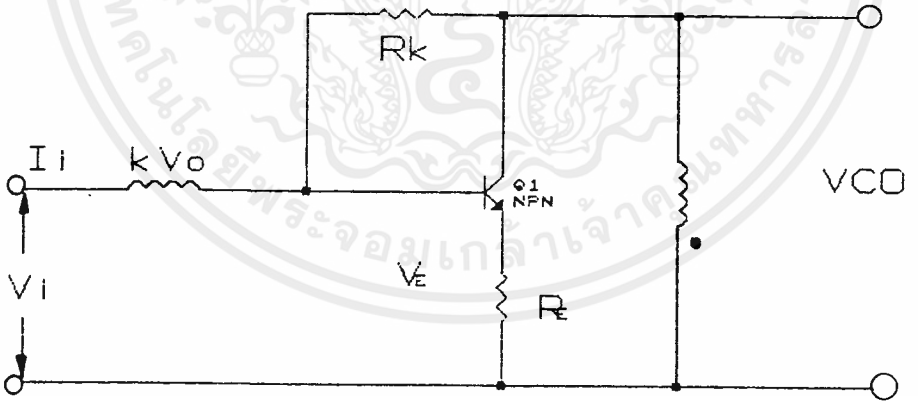
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 3

วงจรขยายสัญญาณย่านความถี่กว้าง

(Wide band amplifier)

การใช้งานวงจรขยายบางลักษณะ จำเป็นต้องใช้วงจรซึ่งสามารถขยายสัญญาณที่มีย่านความถี่กว้างมาก เช่น ระบบเคเบิ้ลทีวี (CATV) หรือเครื่องส่งวิทยุชนิดหลายย่านความถี่ วงจรขยายสัญญาณความถี่สูงทั่วไปมักจะให้เกนสูงสุดที่ความถี่เฉพาะ ที่ออกแบบไว้เท่านั้นและเนื่องจากเกนแบนด์วิดโปรดัก (Gain Bandwidth Product) ของทรานซิสเตอร์มีค่าคงที่ ดังนั้นวิธีที่จะเพิ่มแบนด์วิดสามารถทำได้โดยการลดเกนของทรานซิสเตอร์ลง ด้วยวิธีการป้อนกลับและถ้ามีการออกแบบที่เหมาะสม วิธีการป้อนกลับก็จะทำให้วงจรมีเสถียรภาพดีขึ้นซึ่งเราสามารถจะแสดงวิธีการป้อนกลับได้ดังรูป 21



รูป 21 แสดงวงจรขยายป้อนกลับด้วย R_x และ R_E

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

พิจารณารูป 21 จะเห็นได้ว่า ขดลวดแทนลักษณะการป้อนกลับ และ K เป็นค่าคงที่การป้อนกลับ และสมมติให้ค่า Y12 มีค่าต่ำมากๆ

เราจะพบว่า

$$V1 = KVo + Vbe + Ve \qquad \text{.....(40)}$$

$$I1 = Vbe\ Y11 + \frac{Vcb}{R_K} \qquad \text{.....(41)}$$

$$Z1 = \frac{KVo + Vbe + Ve}{Vbe\ Y11 + \frac{Vcb}{R_K}} \qquad \text{.....(42)}$$

เมื่อ $Ve = ie\ R_E$ .....(43)

สมมติว่า $ie = ic$ และ $f_o < f_t/t_o$

$$ie = \frac{Vo}{R_L} + \frac{Vcb}{R_K} \qquad \text{.....(44)}$$

ฉะนั้นจะได้

$$ie = \frac{Vo\ [\ R_K\ /\ (\ R_L + 1\ )\ ]}{R_K + R_E} \qquad \text{.....(45)}$$

ถ้ากำหนดให้ Vbe มีค่าน้อยมากๆ จนสามารถตัดทิ้งได้ เราจะได้สมการอินพุทอิมพีแดนซ์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$Z1 = \frac{R_K\,[K + (R_E/R_L)\,(R_K + R_L)/(R_E + R_K)]}{1 - (R_E/R_L)\,(R_K - R_L)/(R_E + R_K)} \quad \text{.....(46)}$$

อาจเขียนใหม่ให้ง่ายขึ้นได้เป็น

$$Z1 = \frac{R_K\,(K + C)}{1 + C} \quad \text{.....(47)}$$

เมื่อ $$C = \frac{R_E}{R_L}\,\frac{R_K + R_L}{R_E + R_K} \quad \text{.....(48)}$$

และสามารถกำหนดอัตราการขยายแรงดัน หรือโวลท์เตจเกนได้จากสมการ

$$A = \frac{1}{K + C} \quad \text{.....(49)}$$

วงจรขยายกำลังย่านความถี่วิทยุ

(RF Power Amplifier)

วงจรขยายภาคความถี่วิทยุมีอยู่ด้วยกันหลายชนิด ซึ่งจะแบ่งออกเป็นคลาส (Class) ต่างๆ ได้หลายคลาส ได้แก่ คลาสเอ, คลาสเอบี, คลาสซี, คลาสดี และคลาสอี ซึ่งปัจจุบันได้รับการพัฒนาภาคขยายกำลังให้มีคุณสมบัติดีขึ้น ซึ่งมีคุณลักษณะที่ดีขึ้นซึ่งให้อัตราขยายวงจรขยายแบบเชิงเส้น (Linear) และแบบไม่เชิงเส้น (Non-Linear) วงจรขยายแบบเชิงเส้นทำได้โดยใช้วงจรจากคลาสเอ, เอบี, บี วงจรแบบนี้ใช้กับเครื่องส่งแบบซิงเกิ้ลไซด์แบนด์ (Single Side band Transmitter) หรือเครื่องส่งแบบย่านความถี่ ส่วนวงจรแบบไม่เป็นเชิงเส้นได้แก่ วงจรแบบคลาสซี, ดี, อี จะใช้กับเครื่องส่งในย่านความถี่แคบๆ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตารางข้างล่างจะเป็นตารางแสดงคุณสมบัติของวงจรขยายในคลาสต่างๆ (สำหรับรายละเอียดการทำงานต่างๆ จะไม่ขอกล่าวถึง)

คุณสมบัติ	คลาสเอ	คลาสบี	คลาสซี	คลาสดี	คลาสอี+เอฟ	คลาสจี+เอช
ย่านการใช้งาน	AF	AF	RF	AF	RF	AF
ประสิทธิภาพ	<25%	50%	<50%	80-90%	<50%	70-80%
ช่วงการทำงาน แอคตีฟไซเคิล	100%	50%	<50%	100%	<50%	50-100%
ความเพี้ยน	<1%	5-10%	10-20%	2-5%	<20%	<2%
จำนวนอุปกรณ์	1	1	2	1	2	4
เสถียรภาพ	ไม่ดี	ดีมาก	พอใช้	ดี	ดี	ดีมาก

ตาราง 1 แสดงการเปรียบเทียบข้อมูลของวงจรขยายคลาสต่างๆ

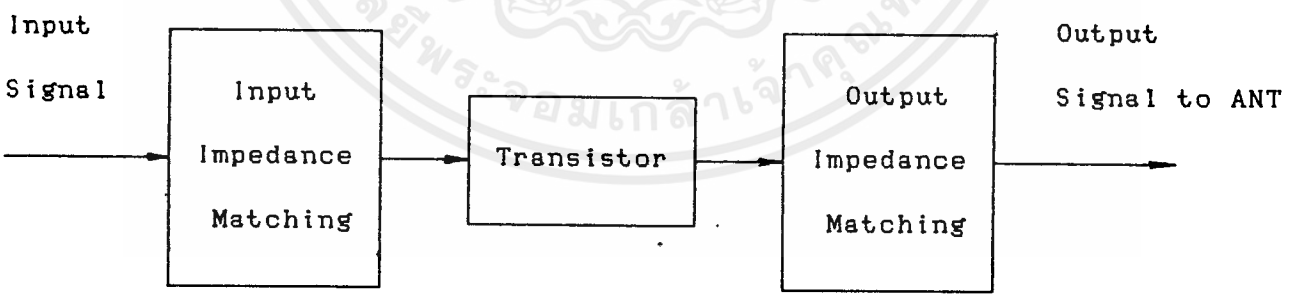
ในวงจรขยายกำลังย่านความถี่วิทยุ จะต้องประกอบด้วย อินดักเตอร์(Inductor), คาปาซิเตอร์ (Capacitor), ทรานซิสเตอร์ (Transistor) และอื่นๆ โดยเฉพาะทรานซิสเตอร์ ซึ่งเป็นหัวใจหลักของวงจรขยายกำลังโดยทำหน้าที่ขยายสัญญาณ นอกจากที่กล่าวมาแล้วยังต้องทราบถึงหลักการแมทชิ่งอิมพีแดนซ์ (Impedance Matching) เพื่อที่จะให้ได้มาซึ่งกำลังสูงสุด(Maximum Power) ซึ่งจะได้กล่าวต่อไป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การแมทชิ่งอิมพีแดนซ์ (Impedance Matching)

การแมทชิ่งอิมพีแดนซ์ เป็นสิ่งจำเป็นในการออกแบบวงจรอาร์เอฟ (RF Circuit) เพื่อโยกย้ายกำลังสูงสุดระหว่างแหล่งจ่ายกับโหลด เพื่อไม่ให้เกิดการสูญเสียระหว่างการนำสัญญาณ หรือให้เกิดการสูญเสียน้อยที่สุด โดยมันจะยอมให้ความถี่ผ่านตัวมันได้เฉพาะ ความถี่ที่รีโซแนนซ์ (Resonance) กับอิมพีแดนซ์ของวงจรแมทชิ่ง

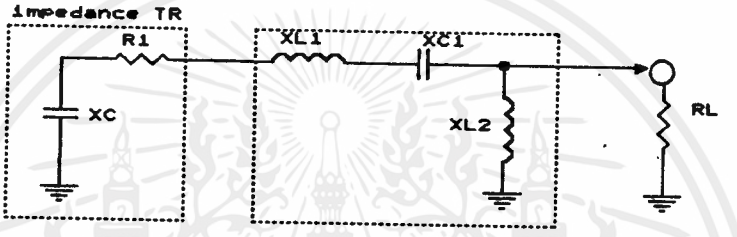
สำหรับส่วนของทรานซิสเตอร์ จะทำหน้าที่ขยายสัญญาณย่านอาร์เอฟ ดังนั้นในการออกแบบวงจรแมทชิ่งเราจำเป็นจะต้องทราบถึงค่า อิมพีแดนซ์ของทรานซิสเตอร์ด้วย โดยทรานซิสเตอร์แต่ละเบอร์จะมีค่าอิมพีแดนซ์ทางด้านอินพุทและเอาท์พุทประจำตัวอยู่ ซึ่งค่าอิมพีแดนซ์ทางด้านอินพุทและเอาท์พุทของทรานซิสเตอร์แต่ละเบอร์จะบอกค่ารีซิสตีฟ (Resistive) และค่ารีแอคตีฟ (Reactive) โดยค่ารีแอคตีฟนี้ อาจจะเป็นอินดัคตีฟ (Inductive) หรือคาปาซิตีฟ (Capacitive) ค่าใดค่าหนึ่งก็ได้แล้วแต่ว่า ทรานซิสเตอร์เบอร์นั้นจะทำงานย่านความถี่ใด



รูป 22 บล็อคไดอะแกรม RF Power Amp.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

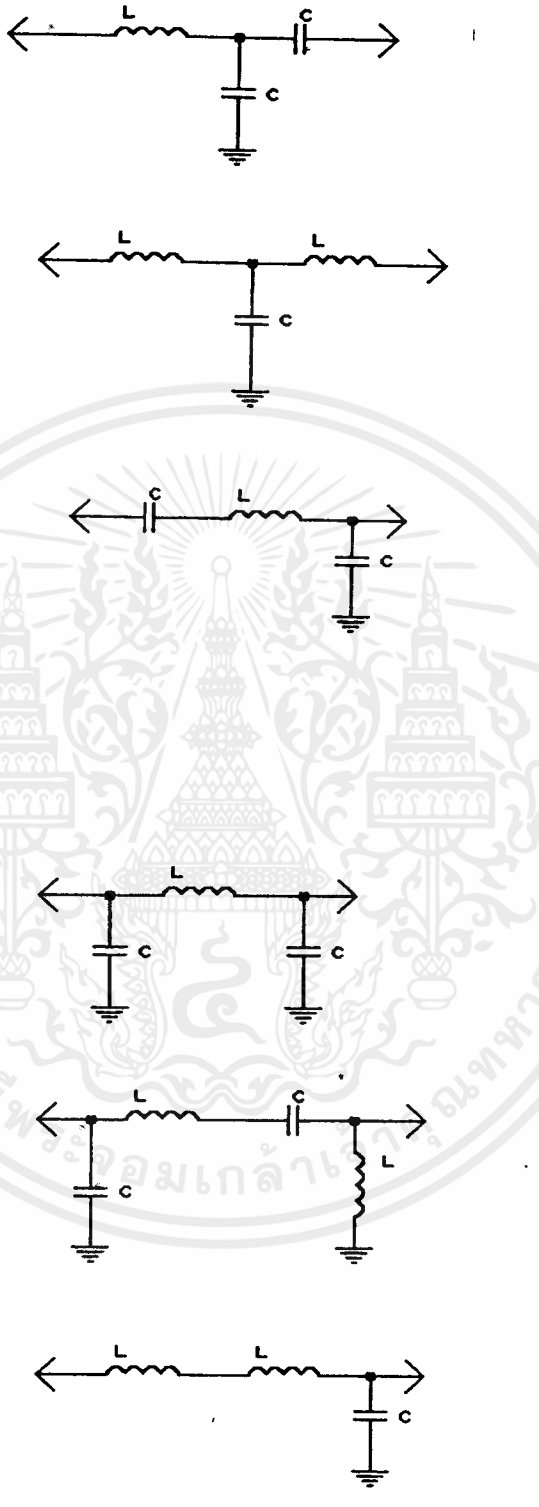
สำหรับรูปแบบของวงจรการแมทชิ่งอิมพีแดนซ์นั้น อาจเป็นไปได้หลายรูปแบบ ดังเช่นรูปข้างล่างนี้ก็เป็นอีกแบบหนึ่งซึ่งเราสามารถแบ่งส่วนสำคัญออกเป็น 3 ส่วนดังนี้



รูป 23 แสดงวงจรการแมทชิ่งอิมพีแดนซ์ของเอาท์พุททรานซิสเตอร์กับโหลด

จากรูป 23 ส่วนแรกจะเป็นวงจรสมมูลย์อิมพีแดนซ์ของทรานซิสเตอร์ ซึ่งอาจจะประกอบด้วย ตัวความต้านทานกับตัวเก็บประจุ หรือตัวความต้านทานกับตัวเหนี่ยวนำ ซึ่งก็แล้วแต่ว่าทรานซิสเตอร์นั้นจะทำงานที่ย่านความถี่ใด ดังที่ได้กล่าวมาแล้วข้างต้น ส่วนที่สองจะเป็นส่วนของวงจรแมทชิ่งอิมพีแดนซ์ ซึ่งจะทำหน้าที่ ในการแมทชิ่งให้อิมพีแดนซ์ของทรานซิสเตอร์เท่ากับ ความต้านทานโหลด R_L โดยรูปแบบของวงจรแมทชิ่งอาจเป็นได้หลายรูปแบบซึ่งก็แล้วแต่การออกแบบ เช่น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูป 24 รูปแบบของวงจรแมทชิ่งแบบต่างๆ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หลักการแมทชิ่งอิมพีแดนซ์ สมมุติว่ามีวงจรดังรูป 25 โดยค่า R_s = 1 โอห์ม แล้วทำการปรับค่า R_L โดยกำหนดให้ค่า V_s คงที่จะได้กำลังงานที่ตกคร่อมโหลด R_L ตามกราฟรูป 26 โดยใช้สูตรการคำนวณคือ

$$P = V^2/R \quad \text{.....(50)}$$

หาค่า

$$V_L = \frac{R_L \times (V_s)}{(R_s+R_L)} \quad \text{.....(51)}$$

$$R = R_L \quad \text{.....(52)}$$

ใช้สมการ (51) และ (52) แทนลงในสมการ (50) จะได้

$$P_L = \frac{R_L^2}{R_L(R_s + R_L)^2} \times V_s^2$$

$$= \frac{R_L}{(R_s + R_L)^2} \times V_s^2$$

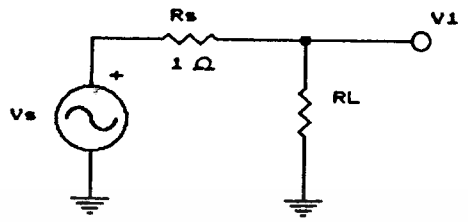
เมื่อแทนค่า R_s และ V_s จะได้ว่า

ฉะนั้น

$$P_L = \frac{R_L}{(1 + R_L)^2} \quad \text{.....(53)}$$

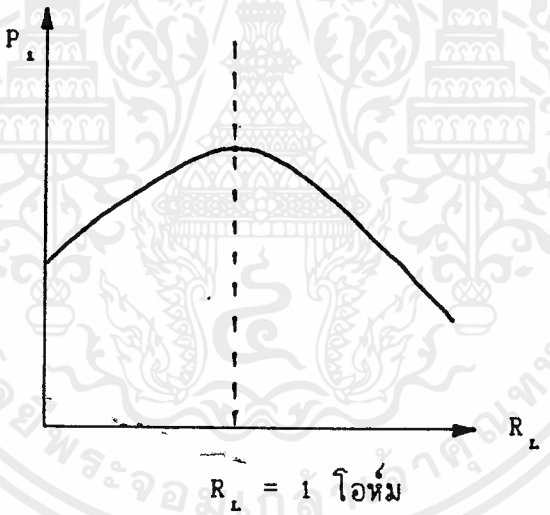
จากสมการ (53) ทำการพล็อตกราฟรูป 26 จะเห็นค่า P_L จะมีค่ามากที่สุดเมื่อ R_L มีค่าเท่ากับ 1 นั่นคือ ต้องเท่ากับ R_s จึงจะได้ค่ามากที่สุด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



(A) Circuit

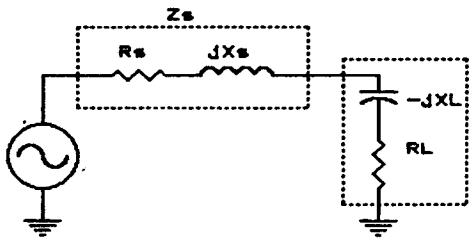
รูป 25 แสดงวงจรในการทดลอง

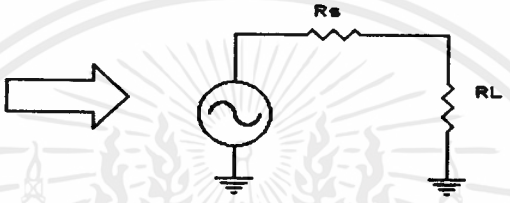


รูป 26 กราฟแสดงค่ากำลังงาน P_1 ที่ตกคร่อมโหลด R_L ที่ค่าต่างๆ

จากคำกล่าวข้างต้นนั้นเป็นเพียงการอธิบายแบบใช้กระแสตรงเท่านั้น แต่ในทางปฏิบัติจริงๆ แล้วต้องทำการวิเคราะห์ด้วยกระแสสลับ ความต้านทานต่างๆ ต้องใช้ค่าอิมพีแดนซ์แทนค่า เช่นค่าอิมพีแดนซ์ของแหล่งจ่ายสัญญาณก็ใช้เป็น Z_s ซึ่งมีค่าเท่ากับ R+jX หรือ R-jX เป็นต้น ในการแมทอิมพีแดนซ์ค่าพวกนี้ ต้องดูว่านั้นเป็นบวกหรือลบ เช่นค่า Z_s ที่เกิดจากอินดักซ์แตนซ์จะมีค่าเป็น +jX ต้องใช้ค่า -jX เป็นตัวแมท เพื่อให้หักล้างค่ากันไปเรียกวิธีนี้ว่าการใช้คอมแพล็ก คอนจูเกท (Complex Conjugate)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

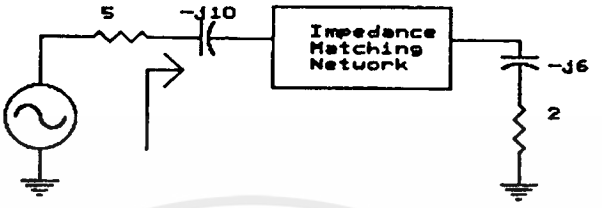




รูป 27 แสดงวงจรการแมทชิ่งของ Z_s และ Z_L อย่างง่าย

จากรูป 27 จะเห็นว่าการใช้ L หรือ C เพื่อช่วยในการแมทอิมพีแดนซ์สามารถทำได้เมื่อเราทราบค่าอีกค่าหนึ่งว่าเป็น L หรือ C ถ้าเป็น C ก็จะต่อโหลดที่มีค่า L เข้าไปเพื่อแก้ค่า jX ให้หายไปจึงเสมือนเหลือแต่ค่า R เท่านั้น อย่างไรก็ตามค่าของโหลดอิมพีแดนซ์และซอสอิมพีแดนซ์ถ้าเราไม่สามารถเลือกค่าได้ตามต้องการจึงจำเป็นที่จะต้องใส่วงจรอิมพีแดนซ์แมทชิ่งเข้าไป เพื่อให้ทั้ง Z_s และ Z_L มีการแมทที่สมบูรณ์ขึ้น ดังวงจรรูป 28

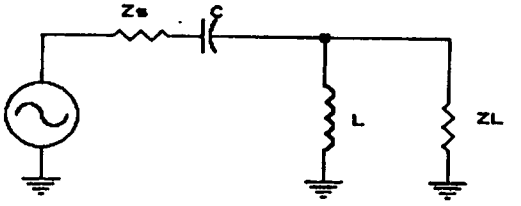
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



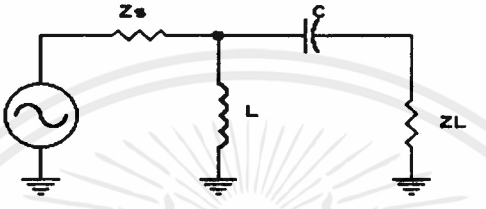
รูป 28 แสดงการใช้วงจรอิมพีแดนซ์แมทชิ่ง เมื่อทราบค่า Z_s และ Z_L

จากวงจรรูป 28 ค่าของ Z_s และ Z_L ปรากฏค่าเป็นค่า -jX ทั้งคู่ ดังนั้นจึงจำเป็นที่จะต้องใส่วงจรแมทชิ่งอิมพีแดนซ์เข้าไป โดยให้มีคุณสมบัติเมื่อมองเข้าทางด้านทางเข้า (input) จะเห็นค่าเป็น 5+j10 เพื่อให้แมทกับ Z_s นั่นเอง ในขณะเดียวกันทางออก (output) ก็จะทำตัวเป็นค่า Z_s ตัวใหม่ที่มีค่า 2+j6 เพื่อให้แมทกัน ในบางครั้งจำเป็นที่จะต้องใช้วงจรกรองความถี่เข้ามาช่วยด้วยเพื่อให้ได้คุณสมบัติรวมตามต้องการ ดังนั้นจึงมีการออกแบบวงจรกรองความถี่สูงและต่ำเพื่อช่วยในการแมทชิ่ง ดังรูป 29

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

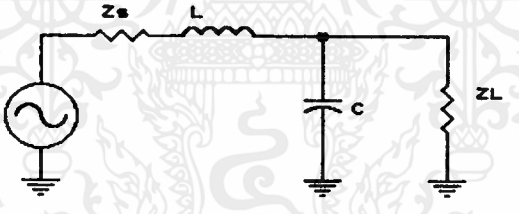


(c) High-pass

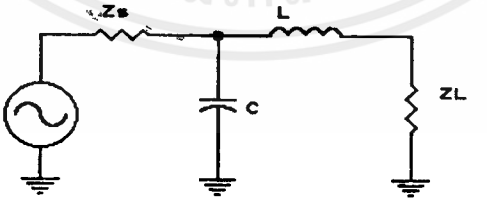


(D) High-pass

(a) วงจรกรองความถี่สูง



(A) Low-pass



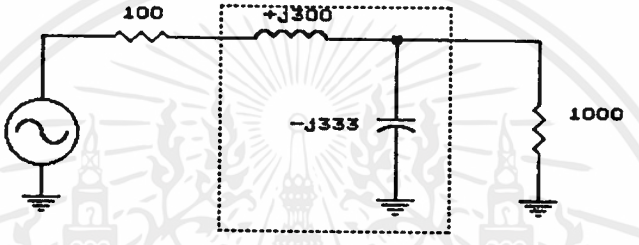
(B) Low-pass

(b) วงจรกรองความถี่ต่ำ

รูป 29 แสดงวงจรแมทชิ่งที่เป็นวงจรกรองความถี่สูงและต่ำ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บางครั้งในการแมทชิ่งบางวงจรจะมีความยากมาก เพราะค่าต่างๆ ของโหลดและซอสอิมพีแดนซ์มีค่าไม่เท่ากันเลยจึงจำเป็นจะต้องพิจารณาอย่างดี เช่นวงจรตามรูป 30



รูป 30 แสดงวงจรแมทชิ่งโหลดมีค่าไม่เท่ากัน

จากรูป 30 เมื่อเรามองค่าของอิมพีแดนซ์จากเครื่องจ่ายสัญญาณจะมีค่าอิมพีแดนซ์ 100 โอห์ม แต่ถ้ามองจากโหลดเข้ามาจะมีอิมพีแดนซ์ 1000 โอห์ม ในการวิเคราะห์การแมทนี้ดูได้จากสมการข้างล่างนี้

$$Z_1 = \frac{(X_C R_L)}{(X_C + R_L)}$$

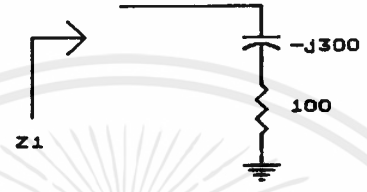
$$= \frac{-j333 \times (1000)}{-j333 + 1000}$$

$$= 315 \angle -71.58^\circ$$

$$= 100 - j300 \text{ โอห์ม}$$

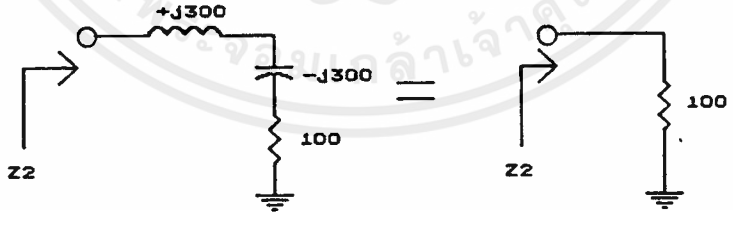
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ดังนั้นจึงสามารถเขียนวงจรเมื่อมองไปทางโหลดได้ดังรูป 31



รูป 31 แสดงวงจรเมื่อมองมาทางด้านโหลด

ในทำนองเดียวกันเมื่อมองจากโหลดไปซอสจะเห็นค่าอิมพีแดนซ์ ดังรูป 32



รูป 32 แสดงวงจรเมื่อมองมาทางด้านซอส

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หลังจากที่ได้ออกแบบวงจรแมทชิ่งอิมพีแดนซ์แล้ว ก็สามารถที่จะหาค่า Q ของวงจรได้คือ

จากสูตร $$Q_s = Q_p = \sqrt{\frac{R_p}{R_s} - 1}$$

เมื่อ Q_s คือ Q ที่ขั้วอนุกรม

Q_p คือ Q ที่ขั้วขนาน

R_p คือ ความต้านทานที่ต่อขนาน

X_p คือ รีแอคแตนซ์ที่ต่อขนาน

R_s คือ ความต้านทานที่อนุกรม

X_s คือ รีแอคแตนซ์ที่ต่ออนุกรม

ที่ยกตัวอย่างมานี้ ก็เป็นส่วนหนึ่ง ซึ่งมีรูปแบบวงจรที่ไม่ซับซ้อน นอกเหนือจากรูปแบบข้างต้นอาจจะมีรูปแบบอื่นๆ ที่มีความซับซ้อนยุ่งยากมากกว่านี้ ซึ่งจะไม่ขอกล่าวถึง (ส่วนของทฤษฎีการแมทชิ่งอิมพีแดนซ์สามารถศึกษาเพิ่มเติมได้จาก หนังสือ RF Circuit Design by Chris Bowick. Page 66.) และสำหรับ ส่วนที่สามจะเป็นส่วนของความต้านทานโหลด R_L หรือความต้านทาน ของสายอากาศ แต่ในกรณีการออกแบบวงจรขยายสัญญาณที่มีมากกว่า 1 ภาค เช่นการออกแบบวงจรขยายสัญญาณ 2 ภาค กรณีนี้ R_L ก็จะเป็นค่าความต้านทานอินพุทของทรานซิสเตอร์ภาคต่อไป ซึ่งหลักการคำนวณก็เหมือนกับกรณีวงจรขยายสัญญาณภาคเดียว

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 4

การออกแบบวงจรขยายกำลังย่านความถี่วิทยุ

RF Power Amplifier of Circuit Design

คุณสมบัติที่สำคัญของทรานซิสเตอร์ขยายกำลังความถี่สูง ที่ทางโรงงานผลิตทรานซิสเตอร์ต้องให้มาคือ ความต้านทานขาเข้า และความต้านทานขาออก เพื่อใช้ในการขยายสัญญาณที่เข้ามาแรงมากๆ คุณสมบัติข้อนี้จะทำให้ผู้ออกแบบวงจรสามารถออกแบบวงจรที่จะนำมาต่อกับวงจรขยายกำลังได้เหมาะสมมากที่สุด ถึงแม้ว่าจะไม่มีสเปคจากโรงงาน เราก็สามารถวัดค่าได้ตามวิธีการวัดความต้านทานขาเข้าและความต้านทานขาออกดังจะได้กล่าวต่อไป

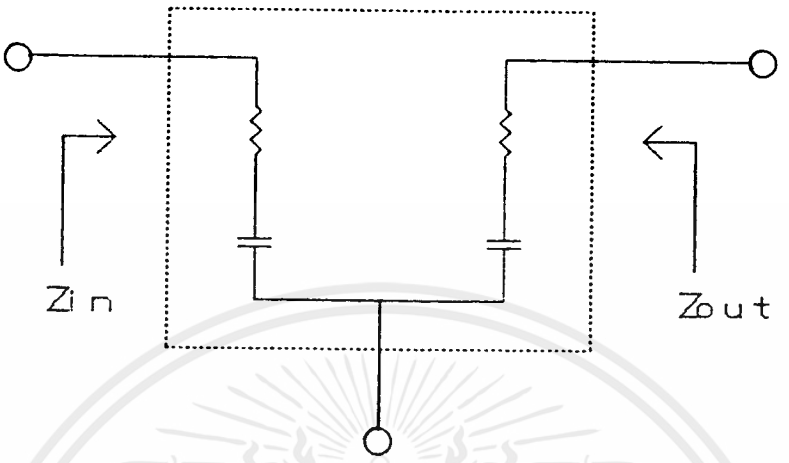
การอ่านค่าต่างๆ ของทรานซิสเตอร์ขยายกำลังความถี่สูงจากคู่มือทรานซิสเตอร์ปกติคู่มือทรานซิสเตอร์ขยายกำลังความถี่สูงจะให้ข้อมูล สำหรับการขยายสัญญาณที่มีความแรงมากๆ และข้อมูลทางด้านกำลังและความถี่มาให้ค่อนข้างละเอียด เช่นคู่มือทรานซิสเตอร์ที่แสดงคุณสมบัติของเบอร์ #MRF 553 จะบอกถึงความถี่ที่ทรานซิสเตอร์สามารถทำงานได้ในย่านความถี่ VHF เหมาะกับการใช้งานความถี่ย่านเอฟเอ็ม ให้เอาท์พุทได้ 1.5 วัตต์ มีอัตราการขยาย 11.5 dB ในการออกแบบเราจึงควรออกแบบขยายกำลังไม่เกิน 1.5 วัตต์ ทั้งนี้เพราะจำนวน 1.5 วัตต์ในคู่มือจะต้องควบคุมอุณหภูมิไม่ให้เกิน 25 องศาเซลเซียล ซึ่งทำได้ยากมากในทางปฏิบัติ และทรานซิสเตอร์ตัวนี้ โดยสามารถต่ออนุกรมหรือขนานกับวงจรที่นำมาต่อเพื่อให้ได้ความต้านทานขาเข้าและขาออกตามที่ต้องการได้

สำหรับค่าอิมพีแดนซ์ประจำตัวของทรานซิสเตอร์เบอร์ 2SC1970 (#MRF 553) ที่ความถี่ 90 MHz จากคู่มือทรานซิสเตอร์ (ภาคผนวกท้ายเล่ม) สามารถอ่านได้ดังนี้

Zin = 1.6 - j10.7 โอห์ม

Zout = 45.8 - j7.2 โอห์ม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูป 33 วงจรสมมูลย์ของทรานซิสเตอร์ #MRF 553 แบบขนาน

สำหรับส่วนของ RF Power Amp. ใน Project ชิ้นนี้ เป็นการออกแบบเพียง Step เดียว โดยจุดประสงค์ต้องการ Output Power ขนาด 1.5 วัตต์ ในขณะที่ทางด้านอินพุทของทรานซิสเตอร์ป้อนให้ 25 มิลลิวัตต์ การออกแบบเราจะแบ่งเป็น 2 ส่วน โดยส่วนแรกจะเป็นการออกแบบทางด้านอินพุทของทรานซิสเตอร์กับวงจรแมทชิ่งด้านอินพุท และส่วนที่สองจะออกแบบทางด้านเอาท์พุทของทรานซิสเตอร์กับวงจรแมทชิ่งด้านเอาท์พุท ซึ่งขั้นตอนการออกแบบมีดังนี้

ในที่นี้จะเลือกใช้ทรานซิสเตอร์เบอร์ 2SC1970 (#MRF533) ทำงานที่ความถี่ 107.5 MHz (จาก data sheet ท้ายเล่มจะเลือกความถี่ 90 MHz ซึ่งเป็นความถี่ใกล้เคียง) อินพุทอินพีแดนซ์ที่ 25 มิลลิวัตต์ เท่ากับ 1.6 - j10.7 โอห์ม, เอาท์พุทอิมพีแดนซ์ เท่ากับ 45.8 - j7.2 โอห์มได้ 1.5 วัตต์ที่ Vcc = 12.5 โวล์ท สำหรับรายละเอียดทั้งหมดนี้สามารถดูได้จากคู่มือทรานซิสเตอร์ (ภาคผนวก)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- ด้านอินพุททรานซิสเตอร์ -

รูป 34 วงจรแมทชิ่งอิมพีแดนซ์ด้านอินพุท

จากสูตร $$Q_s = Q_p = \sqrt{\frac{R_p}{R_s} - 1}$$

เมื่อ Q_s คือ Q ที่ขั้วอนุกรม

Q_p คือ Q ที่ขั้วขนาน

R_p คือ ความต้านทานที่ต่อขนาน

X_p คือ รีแอคแตนซ์ที่ต่อขนาน

R_s คือ ความต้านทานที่อนุกรม

X_s คือ รีแอคแตนซ์ที่ต่ออนุกรม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$Q_s = Q_p = \sqrt{\frac{50}{1.6} - 1}$$

$$= 5.5$$

$$X_s = R_s Q_s$$

$$= 1.6 \times 5.5$$

$$= 8.8 \text{ โอห์ม}$$

$$X_p = \frac{R_p}{Q_p}$$

$$= \frac{50}{5.5}$$

$$= 9.09 \text{ โอห์ม}$$

ที่ความถี่เท่ากับ 107.5 MHz.

$$L_1 = \frac{9.09}{2\pi \times 107.5 \times 10^6}$$

$$= 13.46 \text{ nH.}$$

และ $$C_1 = \frac{1}{2\pi \times 107.5 \times 10^6 \times 8.8}$$

$$= 168.24 \text{ pF.}$$

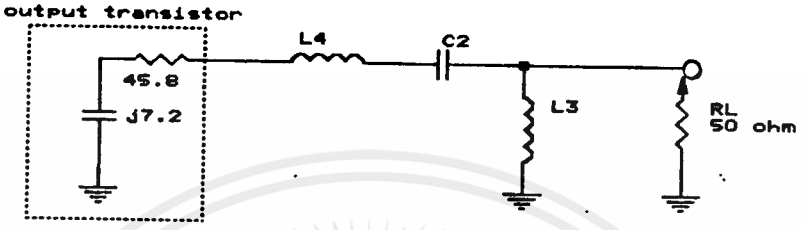
ที่สภาวะริโซแนนซ์ $X_L = X_C$

ฉะนั้น $$L_2 = \frac{10.7}{2\pi \times 107.5 \times 10^6}$$

$$= 15.84 \text{ nH.}$$

- ด้านเอาท์พุททรานซิสเตอร์ -

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูป 35 วงจรแมทชิ่งอิมพีแดนซ์ด้านเอาท์พุท

$$Q_s = Q_p = \sqrt{\frac{R_p}{R_s} - 1}$$

$$= \sqrt{\frac{50}{45.8} - 1}$$

$$= 0.3$$

$$X_s = R_s Q_s$$

$$= 45.8 \times 0.3$$

$$= 13.74 \quad \text{โอห์ม}$$

$$X_p = \frac{R_p}{Q_p}$$

$$= \frac{50}{0.3}$$

$$= 166.67 \quad \text{โอห์ม}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ที่ความถี่ f เท่ากับ 107.5 MHz.

$$L_a = \frac{166.67}{2\pi \times 107.5 \times 10^6}$$

$$= 246.75 \text{ nH.}$$

$$C_a = \frac{1}{2\pi \times 107.5 \times 10^6 \times 13.74}$$

$$= 107.75 \text{ pF.}$$

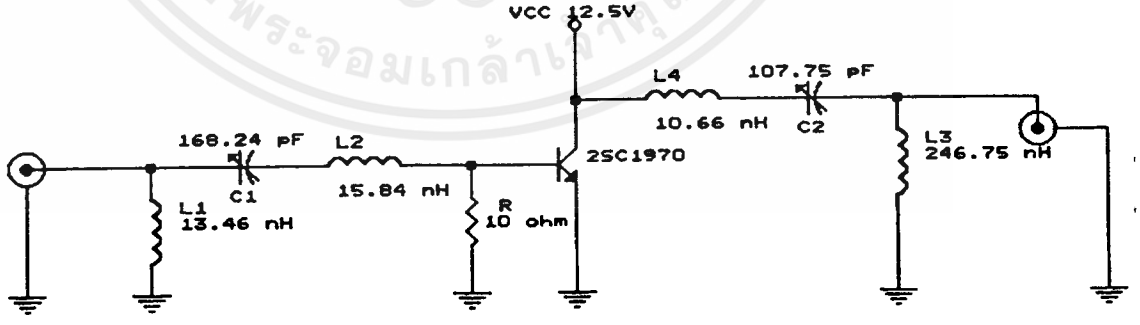
ที่สภาวะรีโซแนนซ์ $X_L = X_c$

ฉะนั้น

$$L_4 = \frac{7.2}{2\pi \times 107.5 \times 10^6}$$

$$= 10.66 \text{ nH.}$$

จากการออกแบบทั้ง 2 ส่วนข้างต้น เมื่อนำมาเขียนวงจรรวมแล้วจะได้ดังรูปที่ 36 ข้างล่างนี้



รูป 36 วงจร RF Power Amplifier ที่สมบูรณ์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

มาถึงตอนนี้เมื่อเราทราบค่าทั้งหมดแล้ว ต่อไปก็จะเป็นการพันตัวเหนี่ยวนำให้ได้ค่าตามที่ต้องการ จากวงจรค่าของ $L_1 - L_4$ จะอยู่ในช่วง 10.66 nH ถึง 246.7 nH เราจะเลือกใช้ลวดเบอร์ 22 อ่านค่าจาก Curve E, มี Diameter Coil ภายในเท่ากับ 5 มิลลิเมตร แล้วอ่านค่าจำนวนรอบจาก Curve E จะได้ค่าดังนี้

L_1 เท่ากับ รอบครึ่ง
L_2 เท่ากับ รอบครึ่ง
L_3 เท่ากับ 9 รอบ
L_4 เท่ากับ รอบครึ่ง

สำหรับปัญหาที่เกิดขึ้นคือ ค่า Output Power ไม่ได้ค่าตามที่ต้องการ ซึ่งสาเหตุพบว่า เนื่องมาจากการพันตัวเหนี่ยวนำยังไม่มีความแน่นอนพอ เพราะเราไม่สามารถทราบได้ว่าพันจำนวนรอบเท่านี้จะได้ค่าตามที่ต้องการหรือไม่ ดังนั้น เพื่อไม่ให้เกิดปัญหานี้ขึ้นเราจึงเลือกใช้ Capacitor แบบปรับค่าได้ เพื่อ tune ค่าให้ได้ Output Power ตามที่ต้องการ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เรกกูเลเตอร์

วงจรของแหล่งจ่ายไฟกระแสตรงมีด้วยกันหลายแบบทั้งแบบมีวงจรรักษาระดับแรงดันและวงจรปรับกระแสหรือแม้แต่วงจรป้องกันการลัดวงจรของเอาท์พุท ในวงจรของแหล่งจ่ายไฟจะประกอบด้วยส่วนต่างๆ ดังนี้

1. วงจรเรกติไฟเออร์ เป็นวงจรดัดไฟหรือวงจรเรียงกระแส สำหรับในโครงงานนี้ เราจะใช้แบบเต็มคลื่นแบบบริดจ์ (Full wave bridge rectifier) ใช้หม้อแปลงแบบไม่มีแท็ปกลาง
2. วงจรกรองกระแส จะทำการกรองแรงดันที่มีรูปคลื่นกระแสสลับปนออกมาจากวงจรบริดจ์เรคติไฟเออร์ เพื่อให้ได้แรงดันไฟตรงที่สม่ำเสมอ
3. วงจรรักษาระดับแรงดัน จะทำหน้าที่รักษาระดับแรงดันที่ออกจากวงจรกรองกระแสให้มีระดับแรงดันคงที่

หลักการทำงาน

เริ่มจากแรงดันไฟฟ้ากระแสสลับขนาด 220 โวลท์ ผ่านฟิวส์ (fuse) ขนาด 3 แอมป์ ผ่านหม้อแปลง (transformer) จะได้แรงดันไฟสลับทางด้านเซคคอนดารี่ (secondary) ขนาด 18 โวลท์ แล้วทำการแปลงแรงดันไฟสลับเป็นแรงดันไฟฟ้ากระแสตรงโดยใช้วงจรบริดจ์เรคติไฟเออร์ (bridge rectifier)

แต่แรงดันไฟตรงที่ผ่านวงจรเรคติไฟเออร์ออกมาจะยังไม่เป็นไฟตรงที่แท้จริง ยังมีองค์ประกอบของรูปคลื่นกระแสสลับปนออกมาด้วย หรือที่เรียกว่า การกระเพื่อมของแรงดัน (ripple factor) ดังนั้นจะใช้วงจรกรองกระแส (filter) กรองเพื่อให้ได้แรงดันไฟตรงที่สม่ำเสมอ โดยใช้คาปาซิเตอร์ (capacitor) ขนาด 22,000 uF 50 V ต่อขนานกับแรงดันขาออก

ส่วนแรงดันที่ผ่านวงจรกรองกระแสออกมาแล้ว จะยังคงมีการเปลี่ยนแปลงของแรงดันอยู่ อันเนื่องมาจากแรงดันไฟสลับ (220 VAC) มีการเปลี่ยนแปลง ซึ่งจะทำให้ในบางวงจรมีระดับไฟตรงสูงกว่าค่าแรงดันที่วงจรสามารถทนได้วงจรรักษาระดับแรงดันในโครงงานนี้จะ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

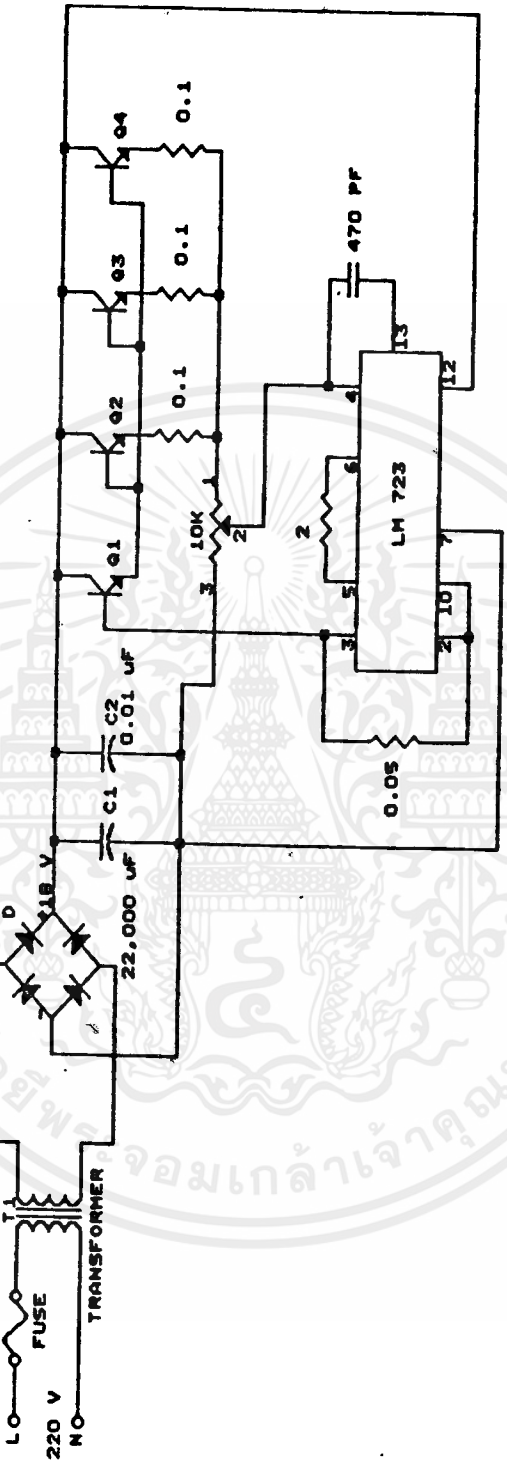
ใช้ไอซีเรกูเลเตอร์ (regulator) เบอร์ LM 723 ทนแรงดันอินพุทในช่วง 0.5 ~ 40 โวลท์

ในการจ่ายกระแสสูงๆ ไอซีเรกูเลตจะไม่สามารถทำได้ ดังนั้นเราจิงต้องมีทรานซิสเตอร์เพื่อเพิ่มความสามารถในการจ่ายกระแส ในที่นี้ใช้ทรานซิสเตอร์เบอร์ 2N 3055 ต่อขนานกัน 4 ตัว

การนำไปใช้งาน

จุดร่วมที่ขาอีมิตเตอร์ (emitter) ของทรานซิสเตอร์จะเป็นขั้วบวก (+) และที่ขาลบ (-) ของคาปาซิเตอร์ (capacitor) 22,000 uF จะเป็นขั้วลบ (-) โดยแรงดันเอาต์พุทสามารถปรับขนาดแรงดันได้ด้วยตัวต้านทานปรับค่า (resistor variable)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูป 37 regulator power supply

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

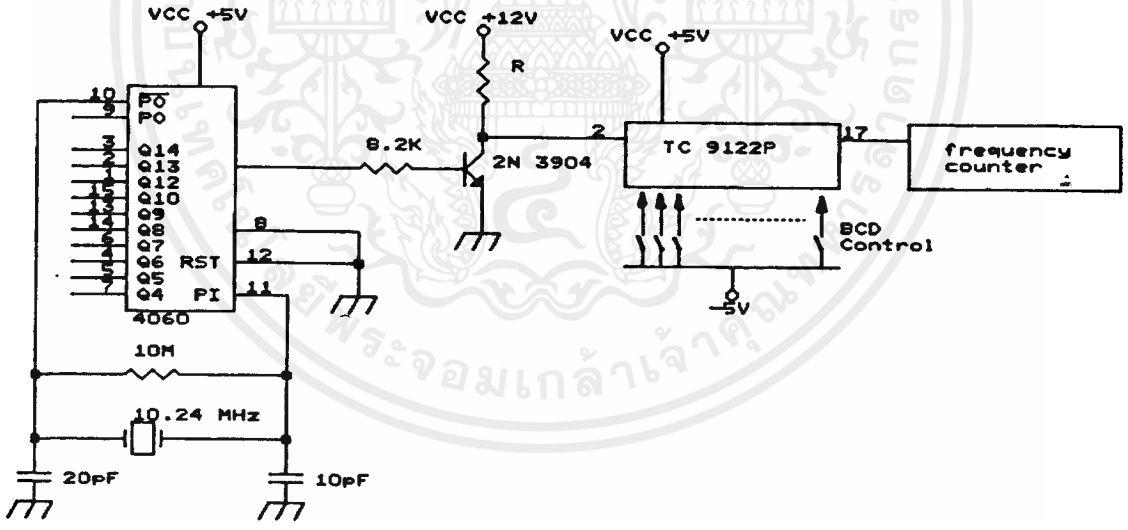
บทที่ 5

การทดลองการตรวจสอบโปรแกรมการหาร

การตรวจสอบโปรแกรมการหารโดยใช้ไอซี # TC 9122P ทำได้โดยการตรวจหาอัตราส่วนของการหาร (N) เมื่อ

$$N = f_{in}$$

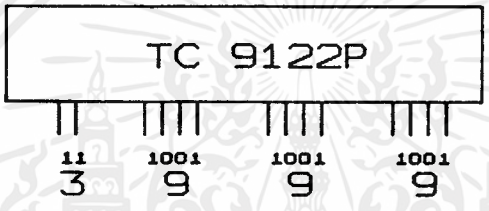
จากนั้นทดลองเปลี่ยนอัตราการหาร ซึ่งสามารถที่จะทำการหารได้ตั้งแต่ 0 - 3999 เท่า โดยการควบคุมที่ขาต่างๆ ของ IC # TC 9122P ให้เป็นไปตามรหัส BCD ค่าต่างๆ



รูป 38 แสดงการตรวจสอบการหารโดยใช้ IC # TC 9122P

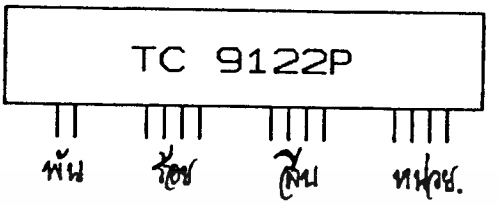
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รหัสควบคุม BCD (BCD Control Code) ที่ขาควบคุมการหารของ IC # TC 9122P นี้จะแบ่งเป็น 4 หลัก ซึ่งแต่ละหลักสามารถตั้งค่าได้สูงสุดเท่ากับ 9 หรือเท่ากับรหัส 1010 ในรหัสเลขฐานสอง สำหรับหลักพันจะตั้งค่าสูงสุดได้แค่ 3 เท่านั้น ดังรูป 38

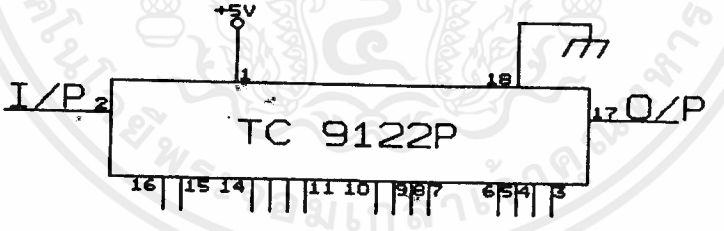


รูป 39 แสดงตำแหน่งและค่าตัวเลขประจำหลัก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



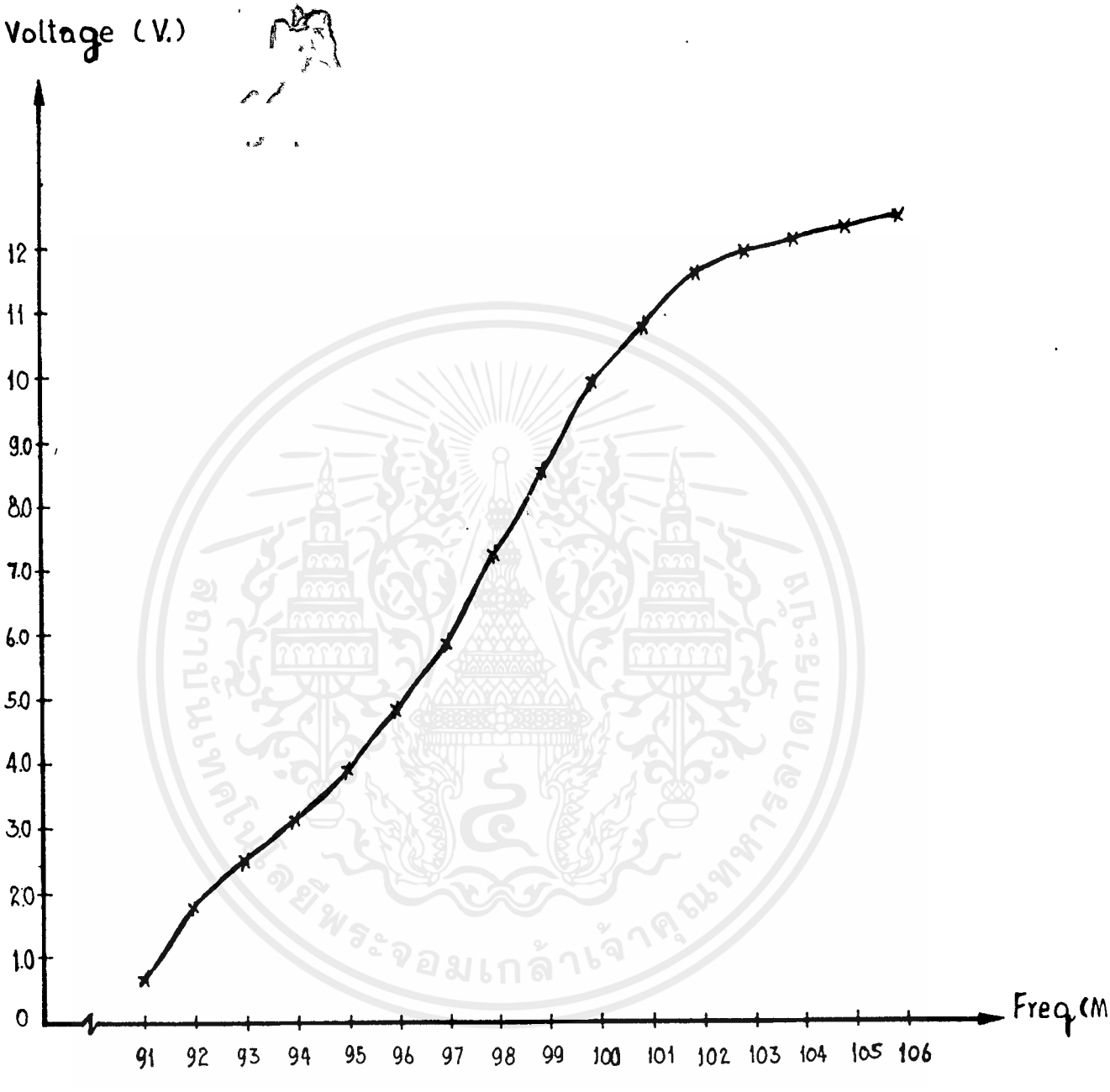
รูป 40 แสดงหลักนัยสำคัญของขา Control ต่างๆ



รูป 41 แสดงตำแหน่งขาที่จะต้องทำการ Control

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

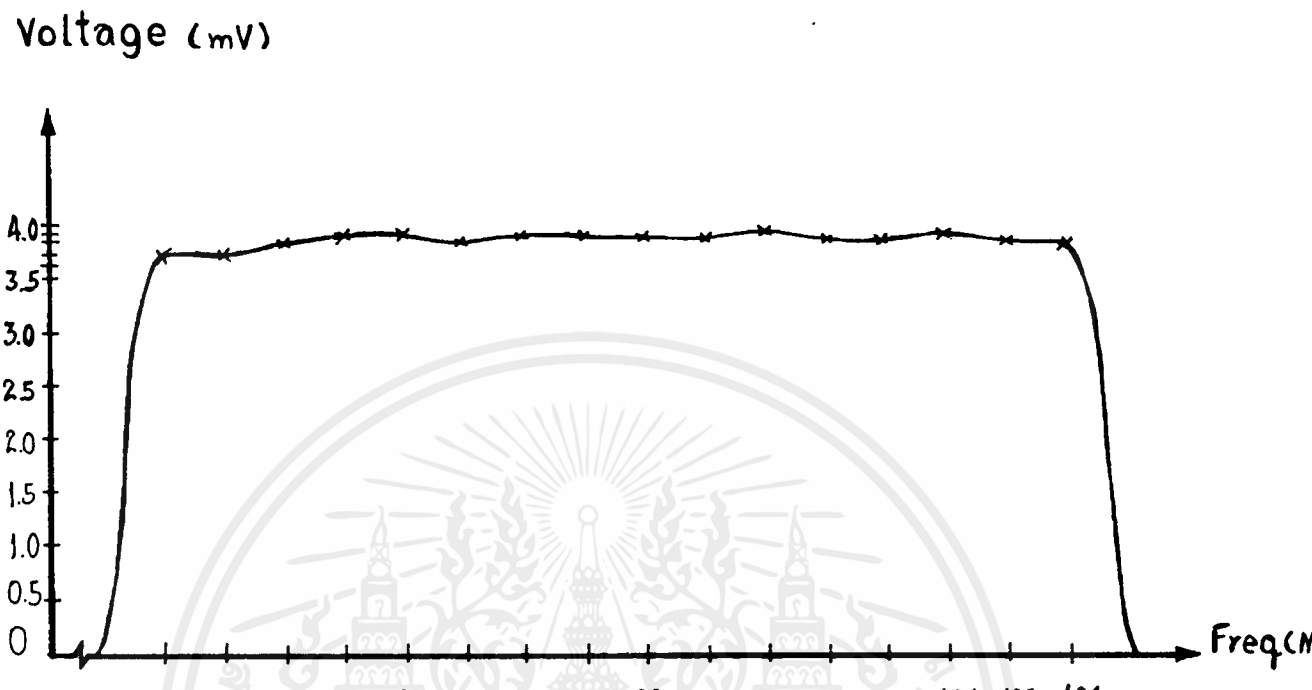
ผลการทดลอง 1



รูปแสดงการปรับค่า Voltage ที่ Varicap Diode ด้าน I/P ของ VCO เทียบกับค่า Freq ที่ O/P ของ VCO

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ผลการทดลอง 2



รูปแสดงค่าความสัมพันธ์ระหว่างค่า Voltage และ Freq ที่ O/P ของ VCO

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ

รูปแสดงค่าความสัมพันธ์ระหว่างค่า Voltage และ Freq ที่ O/P ของ Wide Band Am

ตารางการปรับความถี่ที่ DIP SWITCH

ความถี่ (frequency) MHz	DIP SWITCH (BCD 8421)
91	364
92	368
93	372
94	376
95	380
96	384
97	388
98	392
99	396
100	400
101	404
102	408
103	412
104	416
105	420
106	424

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สรุปผลการทดลอง

- วงจรความถี่อ้างอิง สร้างที่ความถี่ 2.5 kHz โดยใช้ Cystral 10.24 MHz ต่อร่วมกับวงจรและใช้ IC #4060 สามารถผลิตความถี่ออกมาได้ตามที่ต้องการ

- เฟสซีเควนซีดีเทคเตอร์ เป็นวงจรที่สำคัญวงจรหนึ่งซึ่งจะให้ค่าเอาท์พุทที่ทำให้เกิดแรงดันผิดพลาด อันเนื่องมาจากการเปรียบเทียบของทั้ง 2 อินพุท จากการทดลองได้ใช้ IC เบอร์ MV 4046 ผลที่ได้จากการทดลองยังให้ผลได้ไม่ดีเท่าที่ควร

- การออกแบบลูปฟิลเตอร์มีความยุ่งยากพอสมควร ค่าอุปกรณ์ที่ใช้ในการออกแบบต้องมีการเปลี่ยนแปลงค่าจากที่กำหนด เพื่อให้ได้การตอบสนองของลูปตามต้องการ จากการทดลองมี Noise รบกวนมากและมีสัญญาณกระเพื่อมมากเกินไป ทำให้ VCO ผลิตความถี่ไม่เป็นเชิงเส้น

- ปรีสเกลเลอร์ เป็นส่วนที่ใช้สำหรับหารความถี่ลงมา เพื่อให้สัญญาณที่ได้จากวงจรหาร N สามารถนำไปเปรียบเทียบกับวงจรความถี่อ้างอิงได้ จากการทดลองในส่วนของวงจรปรีสเกลเลอร์ สามารถหารความถี่ได้ตามที่ต้องการ และสามารถลดความถี่จาก 107.5 MHZ ได้ความถี่เท่ากับ 1.075 MHZ และการ Coupling จาก VCO มายังปรีสเกลเลอร์ จะต้องใช้สายโคแอคเชียล และต้องผ่านวงจร Buffer และขยายให้มีสัญญาณแรงพอที่จะทำให้ ปรีสเกลเลอร์ทำงานได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

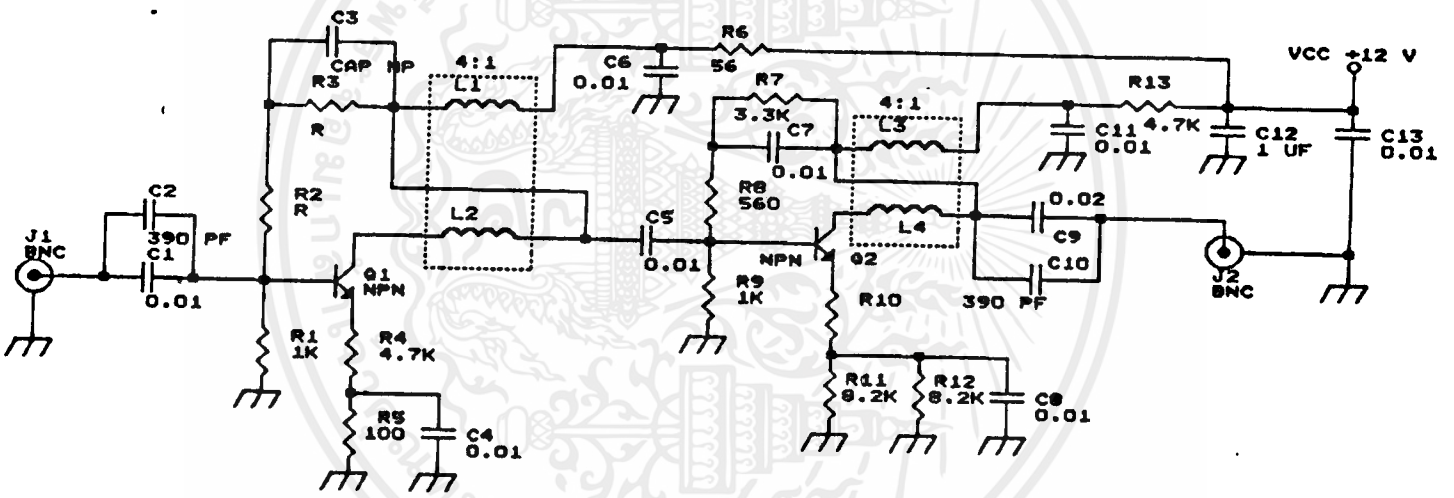
- วงจร Wide Band Amplifier ทำหน้าที่ในการขยายสัญญาณจาก VCO ให้มีการขยายที่สูงพอเพื่อที่จะให้วงจรปรีสเกลเลอร์ทำงานตามต้องการ จากการทดลองวงจร Wide Band Amplifier สามารถให้อัตราการขยายที่สูงพอและแรงพอ ทำให้ปรีสเกลเลอร์ทำงานได้ตามต้องการ

- VCO (Voltage Control Oscillater) เป็นส่วนที่ทำการผลิตความถี่ให้ได้ตามที่ต้องการ จากการทดลองสร้างนั้น จำเป็นที่จะต้องมีการชีลด์ให้ดี เพื่อไม่ให้ความถี่ที่สร้างขึ้นมานี้ไปรบกวนการทำงานของวงจรในส่วนอื่นๆ จากการที่ได้ออกแบบค่าพารามิเตอร์ต่างๆในวงจรนั้น เมื่อทำการทดลองจริงแล้ว ต้องมีการปรับแต่งพารามิเตอร์บางตัวเพื่อให้ตอบสนองต่อความต้องการได้ เพราะบางครั้งความถี่ที่ผลิตได้มีย่านความถี่ที่แคบมาก และไม่ตรงตามทฤษฎีที่ได้ออกแบบไว้ อาจเนื่องจากการออกแบบลูปฟิลเตอร์ซึ่งไม่ดีพอ ซึ่งจะต้องทำการทดลองออกแบบลูปฟิลเตอร์ใหม่เพื่อให้ย่านความถี่ของ VCO อยู่ในช่วงที่ต้องการ

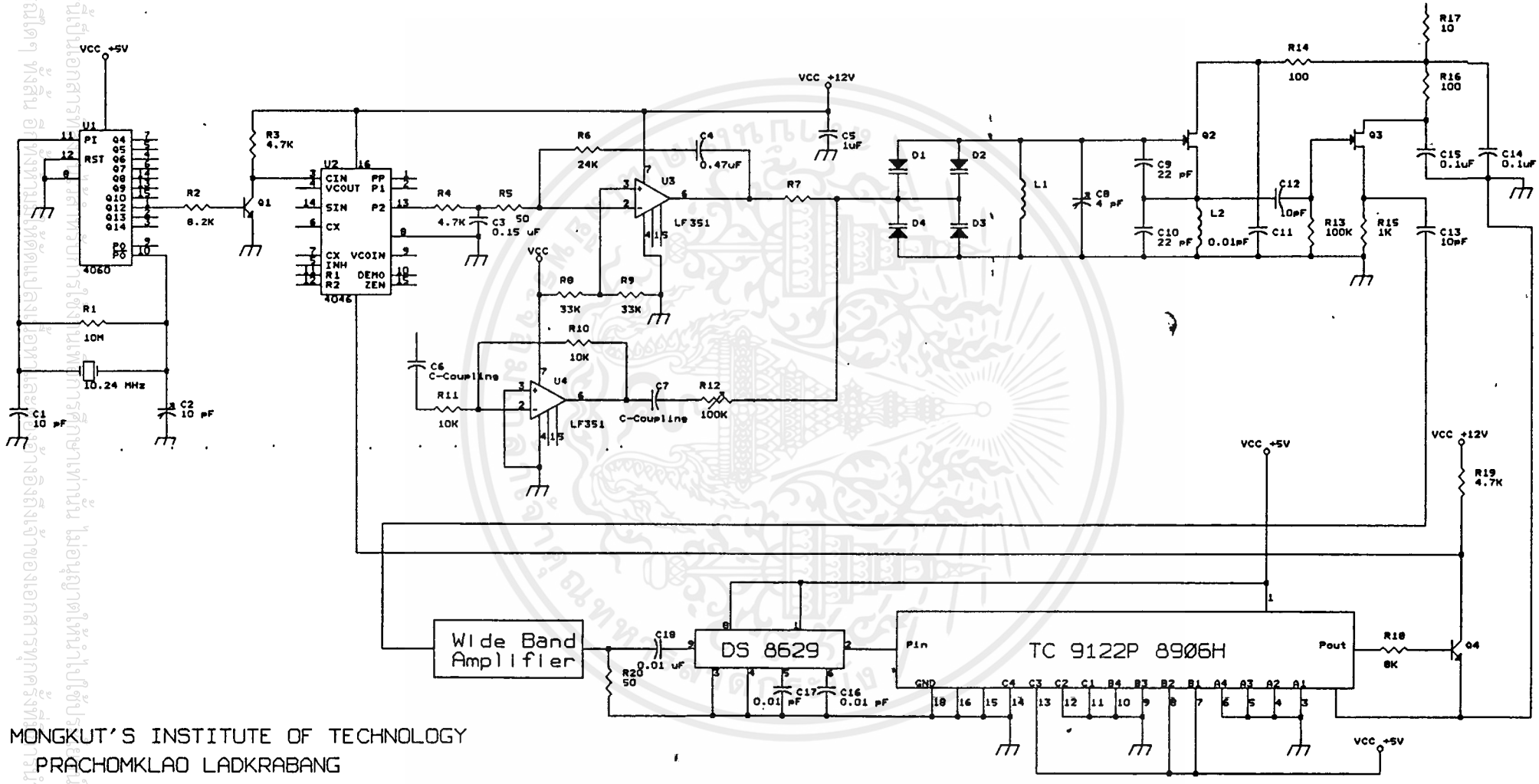
- วงจรขยาย แมทช์ชิ่ง จากการทดลองสามารถให้การขยายสัญญาณได้ดี แต่ความแรงและระยะทางที่ส่งความถี่สูงสุดนั้นไม่ได้ทำการทดลอง

- Power Supply สร้าง Power Supply ขนาด 5~15 V, 8 A.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



WIDE BAND AMP



KING MONGKUT'S INSTITUTE OF TECHNOLOGY
PRACHOMKLAO LADKRABANG
(by Kal , Mee , Mas)

F. M. Broadcast Carrier

ภาคผนวก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

A1

MOTOROLA
SEMICONDUCTOR
TECHNICAL DATA

MRF553

The RF Line

1.5 W 175 MHz

RF LOW POWER TRANSISTOR

NPN SILICON

NPN SILICON RF LOW POWER TRANSISTOR

. . . designed primarily for wideband large signal predriver stages in the VHF frequency range.

- Specified @ 12.5 V, 175 MHz Characteristics
  Output Power = 1.5 W
  Minimum Gain = 11.5 dB
  Efficiency 60% (Typ)
- Cost Effective PowerMacro Package
- Electroless Tin Plated Leads for Improved Solderability

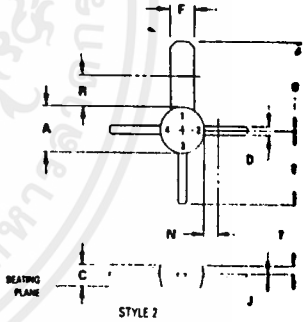
MAXIMUM RATINGS

Rating	Symbol	Value	Unit
Collector-Emitter Voltage	V_{CEO}	16	Vdc
Collector-Base Voltage	V_{CBO}	36	Vdc
Emitter-Base Voltage	V_{EBO}	4.0	Vdc
Collector-Current — Continuous	I_C	500	mAdc
Total Device Dissipation @ T_C = 75°C (1,2) Derate above 75°C	P_D	3.0 40	Watts mW/°C
Storage Temperature Range	T_{stg}	−65 to +150	°C

THERMAL CHARACTERISTICS

Characteristic	Symbol	Max	Unit
Thermal Resistance, Junction to Case	$R_{\theta JC}$	25	°C/W

(1) T_C, Case temperature measured on collector lead immediately adjacent to body of package.
(2) The MRF553 PowerMacro must be properly mounted for reliable operation. AN938, "Mounting Techniques for PowerMacro Transistor," discusses methods of mounting and heatsinking



STYLE 2
PIN 1 COLLECTOR
2 EMITTER
3 BASE
4 EMITTER

NOTES.
1 DIMENSIONING AND TOLERANCING PER ANSI Y14.5M, 1982
2 CONTROLLING DIMENSION: INCH
3 LEAD DIMENSIONS UNCONTROLLED IN ZONE DIMENSION N AND R

DIM	MILLIMETERS MIN	MILLIMETERS MAX	INCHES MIN	INCHES MAX
A	4.45	5.20	0.175	0.205
C	1.91	2.54	0.075	0.100
D	0.84	0.99	0.033	0.039
F	2.46	2.64	0.097	0.104
H	8.94	9.72	0.348	0.383
J	0.21	0.30	0.008	0.012
K	7.24	8.12	0.285	0.320
N	—	1.65	—	0.065
R	—	3.25	—	0.128
T	0.64	1.01	0.025	0.040

CASE 317D-02

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

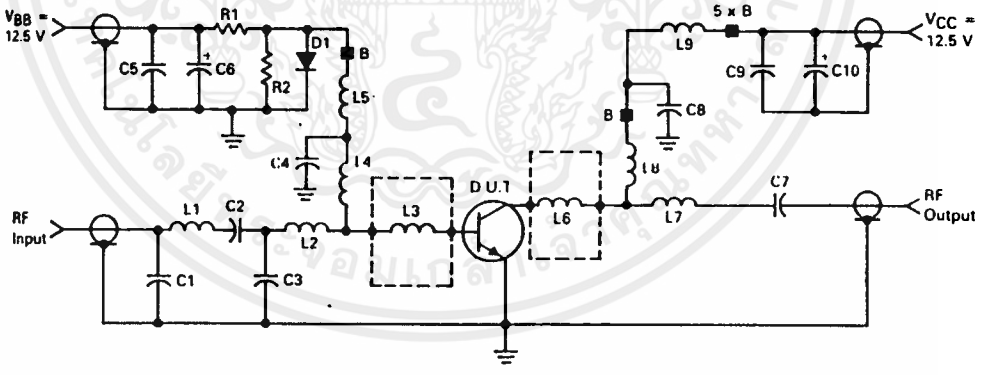
A2

MRF553

ELECTRICAL CHARACTERISTICS (T_C = 25°C unless otherwise noted.)

Characteristic	Symbol	Min	Typ	Max	Unit
OFF CHARACTERISTICS					
Collector-Emitter Breakdown Voltage (I_C = 10 mAdc, I_B = 0)	$V_{(BR)CEO}$	16	—	—	Vdc
Collector-Emitter Breakdown Voltage (I_C = 5.0 mAdc, V_{BE} = 0)	$V_{(BR)CES}$	36	—	—	Vdc
Collector-Base Breakdown Voltage (I_C = 5.0 mAdc, I_E = 0)	$V_{(BR)CBO}$	36	—	—	Vdc
Emitter-Base Breakdown Voltage (I_E = 1.0 mAdc, I_C = 0)	$V_{(BR)EBO}$	4.0	—	—	Vdc
Collector-Cutoff Current (V_{CE} = 15 Vdc, V_{BE} = 0, T_C = 25°C)	I_{CES}	—	—	5.0	mAdc
ON CHARACTERISTICS					
DC Current Gain (I_C = 250 mAdc, V_{CE} = 5.0 Vdc)	h_{FE}	30	—	200	—
DYNAMIC CHARACTERISTICS					
Output Capacitance (V_{CB} = 10 Vdc, I_E = 0, f = 1.0 MHz)	C_{ob}	—	12	20	pF
FUNCTIONAL TESTS					
Common-Emitter Amplifier Power Gain (Figure 1,2) (V_{CC} = 12.5 Vdc, P_{out} = 1.5 W, f = 175 MHz)	G_{pe}	11.5	13	—	dB
Collector Efficiency (Figure 1,2) (V_{CC} = 12.5 Vdc, P_{out} = 1.5 W, f = 175 MHz)	η	50	60	—	%
Load Mismatch Stress (V_{CC} = 12.5 Vdc, P_{out} = 1.5 W, f = 175 MHz, VSWR ≥ 10:1 All Phase Angles)	ψ	No Degradation in Output Power			—

FIGURE 1 — 140–175 MHz BROADBAND CIRCUIT SCHEMATIC



C1 — 36 pF Mini Underwood
C2 — 47 pF Mini Underwood
C3 — 91 pF Mini Underwood
C4 — 68 pF Mini Underwood
C5, C9 — 1.0 μF Erie Red Cap Capacitor
C6, C10 — 0.1 μF, 35 V Tantulum
C7 — 470 pF Chip Capacitor
C8 — 2200 pF Chip Capacitor
R1 — 4.7 kΩ, 1/4 W
R2 — 100 Ω, 1/4 W
D1 — 1N4148 Diode

L1 — 3 Turns, #18 AWG, 0.210" ID, 3/16" Length
L2, L4, L7 — 0.62", #18 AWG Wire Bent into "V"
L3, L6 — 60 x 125 x 250 Mils Copper Pad on 27 Mils Thick Alumina Substrate
L5 — 12 μH Molded Choke
L8 — 7 Turns, #18 AWG, 0.170" ID, 7/16" Length
L9 — 1.0", #18 AWG Wire with 5 Ferrite Beads
B — Ferrite Bead
Board Material — Glass Teflon, ϵ_r = 2.56, t = 0.0625" (See Photomaster, Figure 3)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

A3

FIGURE 4 — TYPICAL PERFORMANCE IN BROADBAND CIRCUIT

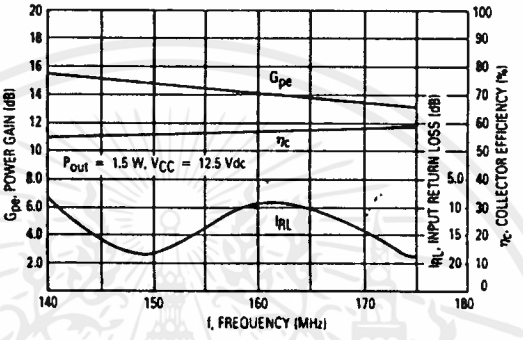


FIGURE 5 — Z_{in} AND Z_{OL} versus COLLECTOR VOLTAGE, INPUT POWER, AND OUTPUT POWER

f Frequency MHz	Z_{in} Ohms						Z_{OL}* Ohms					
	V_{CC} = 7.5 V; P_{in}			V_{CC} = 12.5 V; P_{in}			V_{CC} = 7.5 V; P_{out}			V_{CC} = 12.5 V; P_{out}		
	100 mW	200 mW	300 mW	50 mW	100 mW	150 mW	1.9 W	1.6 W	2.2 W	1.1 W	2.0 W	2.6 W
140	1.65–j3.6	2.0–j2.6	2.3–j1.2	1.7–j4.1	1.8–j3.1	1.9–j2.7	9.9–j11.1	10.6–j5.1	10–j4.9	28.3–j21.5	16–j20.5	16.3–j16.5
175	2.5–j5.6	2.3–j5.9	2.8–j4.0	2.3–j4.6	2.4–j1.2	2.4–j5.7	12.1–j14.9	7.2–j9.8	8.1–j5.4	30.8–j23.3	11.4–j20.9	11.1–j14.3

f Frequency MHz	Z_{in} Ohms						Z_{OL}* Ohms					
	V_{CC} = 7.5 V; P_{in}			V_{CC} = 12.5 V, P_{in}			V_{CC} = 7.5 V; P_{out}			V_{CC} = 12.5 V; P_{out}		
	50 mW	100 mW	200 mW	25 mW	50 mW	100 mW	1.25 W	1.5 W	2.0 W	1.5 W	2.25 W	3.0 W
90	2.5–j9.3	2.5–j6.4	2.5–j4.4	1.6–j10.7	2.5–j7.1	2.2–j1.3	31.8–j9.2	32–j8.9	30.2–j10.7	45.8–j7.2	45.2–j3.9	40–j4.5

*Z_{OL} = Conjugate of the optimum load impedance into which the device operates at a given output power, voltage and frequency.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

A4

MRF553

FIGURE 6 — POWER OUTPUT versus POWER INPUT

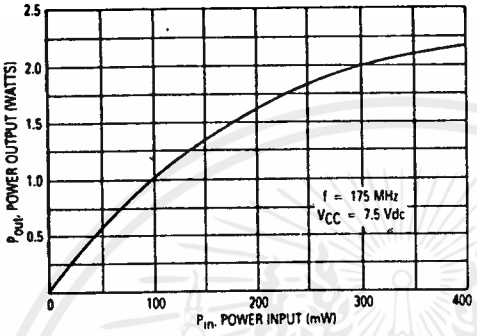


FIGURE 7 — POWER OUTPUT versus POWER INPUT

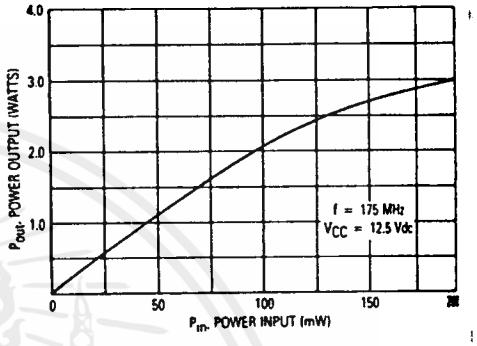


FIGURE 8 — POWER OUTPUT versus FREQUENCY

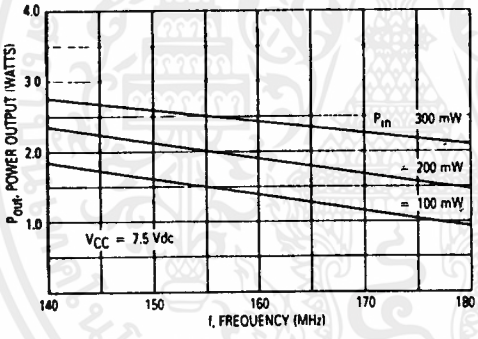


FIGURE 9 — POWER OUTPUT versus FREQUENCY

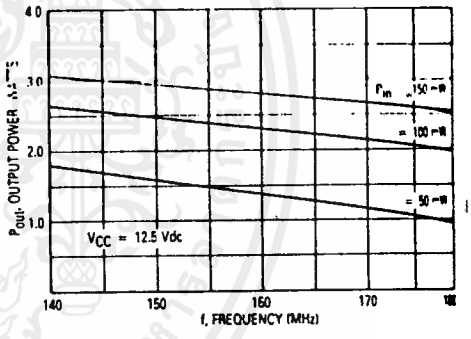


FIGURE 10 — POWER OUTPUT versus COLLECTOR VOLTAGE

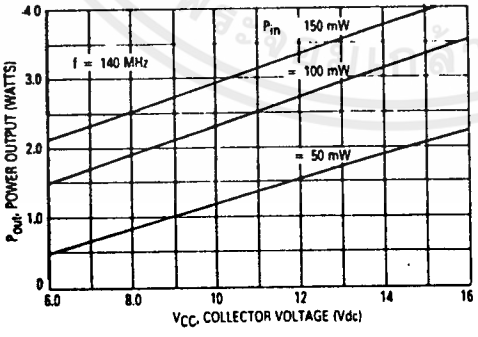
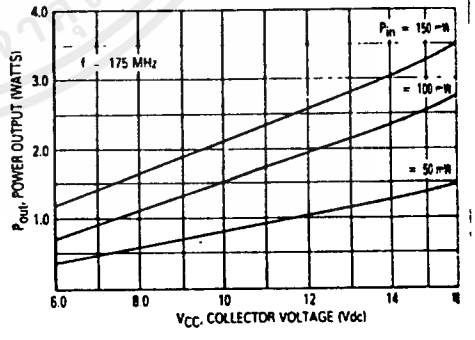


FIGURE 11 — POWER OUTPUT versus COLLECTOR VOLTAGE



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

B1

DS8629

National Semiconductor Corporation

DS8629 120 MHz Divide-by-100 Prescaler

General Description

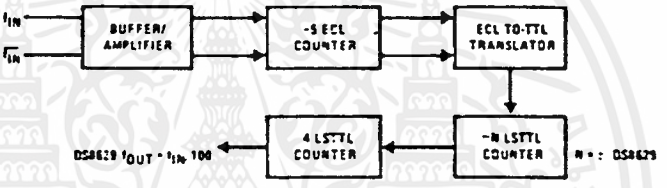
The DS8629 is a fixed ratio counter combining ECL and Low Power Schottky technology on a single monolithic substrate. This provides high frequency capability and TTL compatibility. A single 5.2V ±10% supply is needed.

The device can be operated in a single-ended or differential input mode, with the signal source typically capacitively coupled to the input. An input amplifier is included to allow use of extremely small amplitude, high frequency signals. The output of the device is a square wave of frequency $f_{OUT} = f_{IN}/100$ for the DS8629. The output is standard Low Power Schottky.

Features

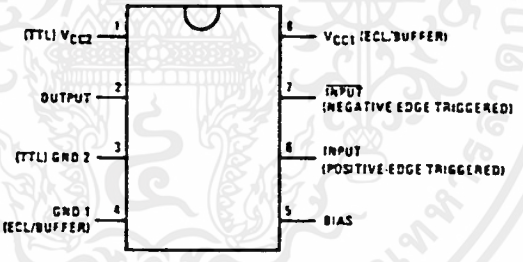
- High Frequency, dc—120 MHz—small input amplitude
- Sine wave input 30 MHz < f_{IN} < 120 MHz
- TTL compatible output
- May be used with TTL input
- Single supply operation 5.2V, ± 10%
- Single ended or differential input modes
- Positive or negative-edge triggered
- Count down sequence avoids broadcast FM IF harmonics

Logic and Connection Diagrams



TL/F/7539–1

Dual-In-Line Package

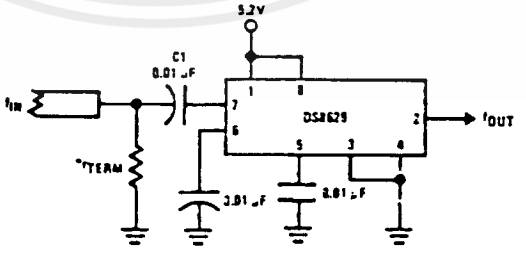


TL/F/7539–2

Order Number DS8629N
See NS Package Number N08E

Typical Applications

High Frequency—Single-Ended Input



TL/F/7539–3

*R_{TERM} is the termination impedance

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Absolute Maximum Ratings (Note 1)

Specifications for Military/Aerospace products are not contained in this datasheet. Refer to the associated reliability electrical test specifications document.

Supply Voltage	7V
Input Voltage	5V
Output Voltage	5.5V
Storage Temperature Range	−65°C to +150°C
Lead Temperature (Soldering, 10 sec.)	300°C

Operating Conditions

	Min	Max	Units
Supply Voltage (V_{CC})	4.58	5.72	V
Temperature (T_A)	0	+70	°C

Electrical Characteristics (Notes 2 and 3)

Symbol	Parameter	Conditions		Min	Typ	Max	Units
$V_{IN(p-p)}$	Input Voltage (Peak-To-Peak)	Single-Ended @ 120 MHz		200		1000	mV
$V_{IN(p-p)}$	Input Voltage (Peak-To-Peak)	Differential @ 120 MHz		100		1000	mV
f_{SINE}	Input Frequency with Sine Wave	V_{IN} = 600 mVp-p		30		120	MHz
f_{TTL}	Input Frequency with TTL Input			0		120	MHz
dV	Minimum Slew Rate of Square Wave Input	V_{IN} = 600 mVp-p				100	V/μs
V_{OH}	Logical "1" Output Voltage	V_{CC} = Min, I_{OH} = −10 μA V_{CC} = Min, I_{OH} = −400 μA V_{CC} = Min, I_{OH} = −1.6 mA		2.9 2.4 2.0			V V V
I_{OS}	Output Short-Circuit Current	V_{CC} = Max		−10		−40	mA
V_{OL}	Logical "0" Output Voltage	V_{CC} = Min	I_{OL} = 8 mA DS8629			0.5	V
I_{CC}	Supply Current	V_{CC} = Max	DS8629		90	135	mA
Z_{IN}	Input Impedance	V_{IN} = 0.1 V_{p-p} to 1 V_{p-p} Freq. = 120 MHz		100	200	350	Ω

Note 1: "Absolute Maximum Ratings" are those values beyond which the safety of the device cannot be guaranteed. They are not meant to imply that the device should be operated at these limits. The table of "Electrical Characteristics" provides conditions for actual device operation.

Note 2: Unless otherwise specified, min/max limits apply across the 0°C to 70°C range. All typical values are for T_A = 25°C and V_{CC} = 5.2V.

Note 3: All currents into device pins shown as positive, out of device pins negative, all voltage referenced to ground unless otherwise noted. All values shown as max or min on absolute value basis.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Application Hints

OPERATING NOTES

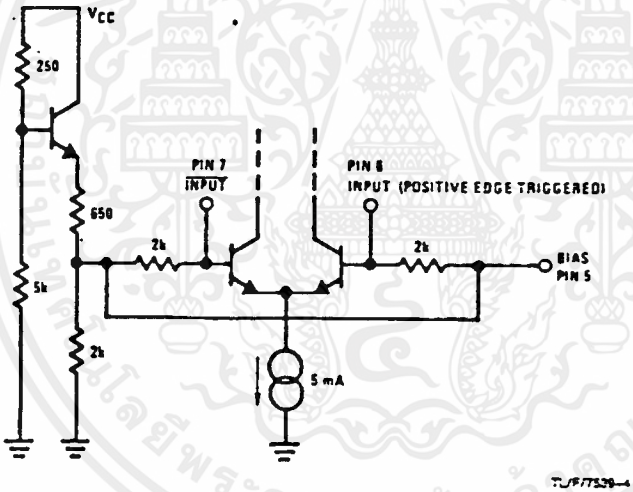
Two ground and two V_{CC} connections are provided separating the ECL and buffer/amplifier stages from the TTL section, isolating the noise transients inherent in the TTL structure. In most cases, shorting the two grounds externally to a good ground plane and the V_{CC}'s to a wide V_{CC} bus will provide sufficient isolation. All components used in the circuit layout should be suitable for the frequencies involved and leads should be kept short to minimize stray inductance. A well by-passed voltage source should be used.

The signal source is usually capacitively coupled to the input. At higher frequencies a 0.01 μF input capacitor (C1) is usually sufficient, with larger values used at the lower frequencies. If the input signal is likely to be interrupted, it may be desirable to connect a 100 kΩ resistor between one input and ground to stabilize the device. In the single-ended mode, it is preferable to connect the resistor to the unused input. In the differential mode, the resistor can be connected to either input. The addition of the 100 kΩ pull-down resistor causes a loss of input sensitivity, but prevents circuit oscillations under no signal (open circuit) conditions. In addition, in the single ended mode, a capacitor of 0.01 μF (C2) should be connected between the unused input and the ground plane to provide a good high frequency bypass. The capacitor should be made larger for lower frequencies.

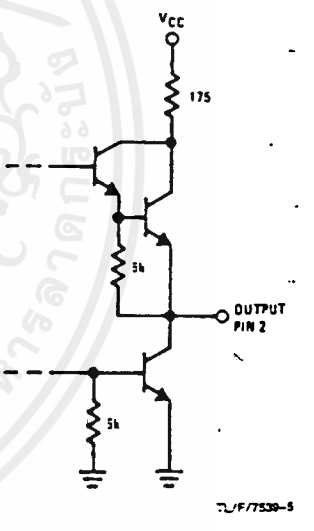
The input waveform may be sinusoidal, but below about 30 MHz the operation of the circuit becomes dependent on the slew rate of the input rather than amplitude. A square wave input with a slew rate of greater than 100 V/μs will permit correct operation down to lower frequencies, provided the proper input coupling capacitor is provided. If it is desired to use a TTL input signal source, the unused input should have a 10 kΩ resistor added to ground and the input coupling capacitor should be eliminated with the TTL source dc coupled to the input.

The device can be used in phase-locked loop applications such as FM radio or other communications bands to prescale the input frequency down to a more usable level. A digital frequency display system can also be derived separately or in conjunction with a phase-locked loop, and it can extend the useful range of many inexpensive frequency counters to 160 MHz (typically).

Input Configuration



Output Configuration



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

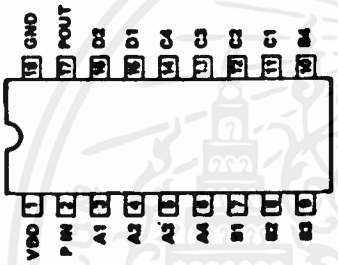
C_1

TC-9122P (BCD PROGRAMMABLE COUNTER)

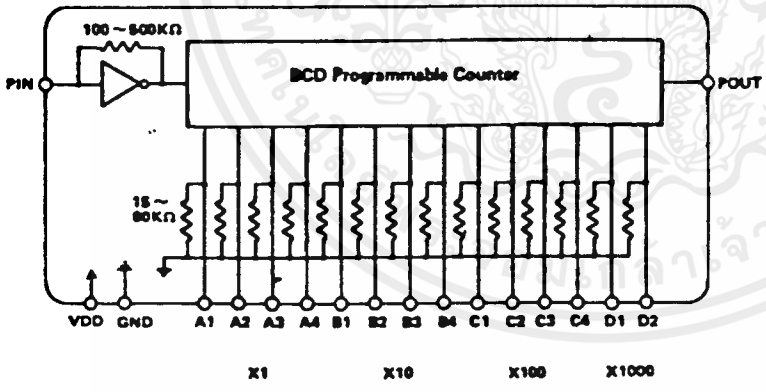
MAXIMUM RATINGS (Ta = 25°C)

SYMBOL	DESCRIPTION	RATINGS	UNIT
V_{DD}	Supply Voltage	10	V
V_{IN}	Input Voltage	−0.3 ~ V_{DD} +0.3	V
T_{OPR}	Operating Temperature	−30 ~ 75	°C
T_{STR}	Storage Temperature	−55 ~ 125	°C

PIN CONNECTION



BLOCK DIAGRAM

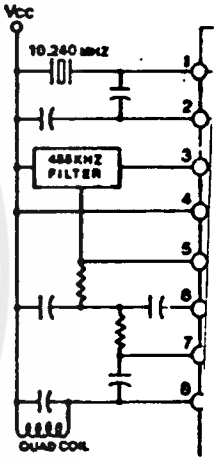


MC-3357 (LOW POWER FM IF)

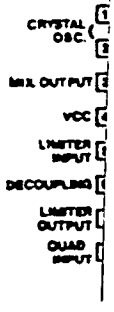
MAXIMUM RATINGS (Ta = 25°C)

SYMBOL	DESCRIPTION
VCC	Supply Voltage (MAX)
VCC	Operating Supply Voltage
VIN	Input Voltage
TOPR	Operating Temperature
TSTG	Storage Temperature

BLOCK DIAGRAM



PIN CONNECTION



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

D1

MOTOROLA
SEMICONDUCTOR
TECHNICAL DATA

2N5109

The RF Line

NPN SILICON HIGH-FREQUENCY TRANSISTOR

. . . designed specifically for broadband applications requiring good linearity. Useable as a high frequency current mode switch to 200 mA.

- Low Noise Figure – @ f = 200 MHz
  NF = 3.0 dB (Typ)
- High Current-Gain – Bandwidth Product –
  f_T = 1200 MHz (Min) @ I_C = 50 mAdc

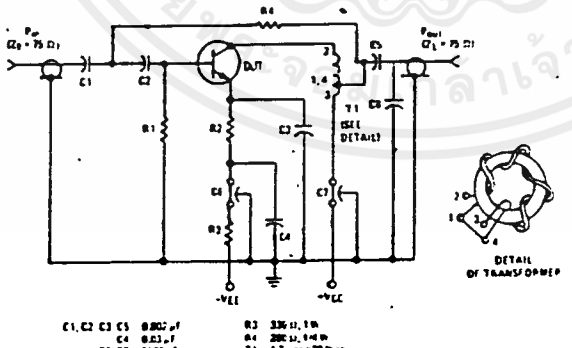
1.2 GHz @ 50 mAdc
HIGH FREQUENCY TRANSISTOR
NPN SILICON

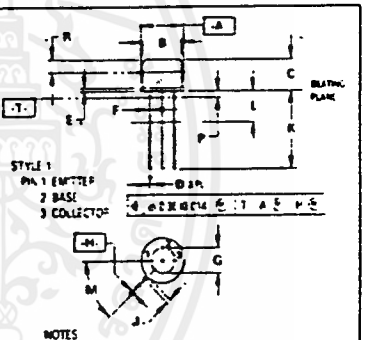
*MAXIMUM RATINGS

Rating	Symbol	Value	Unit
Collector-Emitter Voltage	V_{CEO}	20	Vdc
Collector-Base Voltage	V_{CBO}	40	Vdc
Emitter-Base Voltage	V_{EBO}	3.0	Vdc
Base Current – Continuous	I_B	400	mAdc
Collector Current – Continuous	I_C	400	mAdc
Total Device Dissipation @ T_C = 75°C (1) Derate above 25°C	P_D	2.5 20	Watt mW/°C
Storage Temperature Range	T_{stg}	-65 to +200	°C

(1) Total Device Dissipation at T_A = 25°C is 1.0 Watt.
* Indicates JEDEC Registered Data

FIGURE 1 – RF AMPLIFIER FOR VOLTAGE GAIN TEST CIRCUIT





NOTES
1. DIMENSIONING AND TOLERANCING PER ANSI Y14.5M, 1982.
2. CONTROLLING DIMENSION: INCH.
3. DIMENSION J MEASURED FROM DIMENSION A MAXIMUM.
4. DIMENSION B SHALL NOT VARY MORE THAN 0.25 (0.010) IN ZONE R. THIS ZONE CONTROLLED FOR AUTOMATIC HANDLING.
5. DIMENSION F APPLIES BETWEEN DIMENSION P AND L. DIMENSION D APPLIES BETWEEN DIMENSION L AND E. MINIMUM LEAD DIAMETER IS UNCONTROLLED IN DIMENSION P AND BEYOND DIMENSION E MINIMUM.

DIM	MILLIMETERS MIN	MILLIMETERS MAX	INCHES MIN	INCHES MAX
A	8.51	9.35	0.335	0.370
B	7.75	8.51	0.305	0.335
C	6.15	6.86	0.240	0.270
D	0.41	0.53	0.016	0.021
E	6.22	1.04	0.009	0.041
F	0.41	0.48	0.016	0.019
G	5.08 BSC		0.200 BSC	
H	0.72	0.86	0.028	0.034
J	0.74	1.14	0.029	0.045
K	12.70	19.05	0.500	0.750
L	6.35	—	0.250	—
M	45° BSC		45° BSC	
P	—	1.27	—	0.050
R	2.54	—	0.100	—

CASE 79-04
TO-205AD
(TO-39)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

D_2

2N5109

FIGURE 3 – CURRENT-GAIN – BANDWIDTH PRODUCT

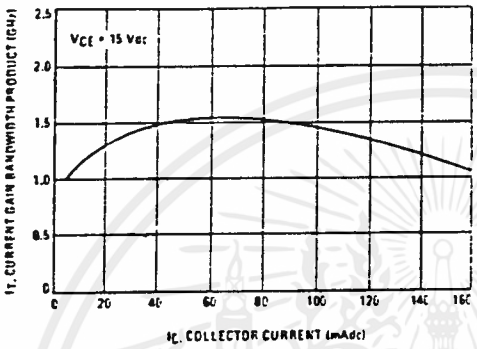


FIGURE 4 – COLLECTOR-BASE TIME CONSTANT

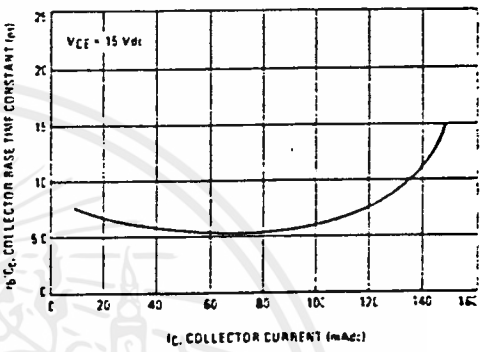


FIGURE 5 – SATURATION VOLTAGES

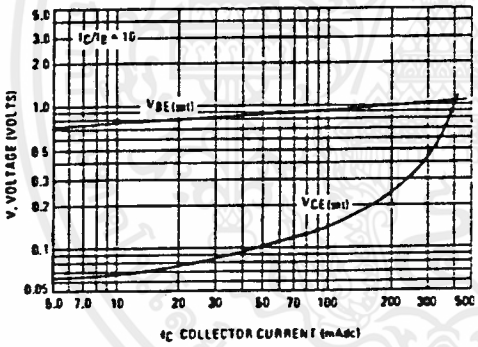
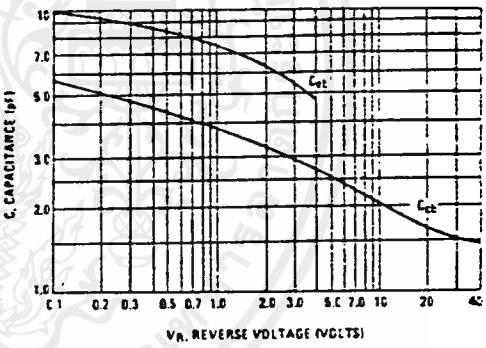


FIGURE 6 – CAPACITANCES versus REVERSE VOLTAGE



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

D3

2N5109

FIGURE 7 – INPUT ADMITTANCE versus FREQUENCY

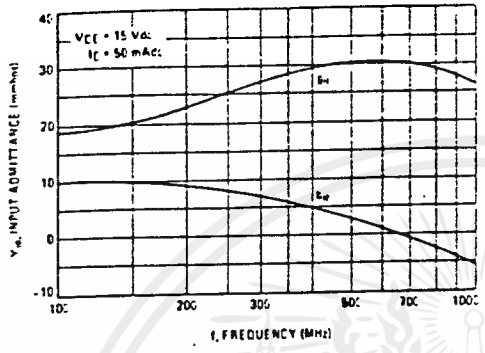


FIGURE 8 – INPUT ADMITTANCE versus COLLECTOR CURRENT

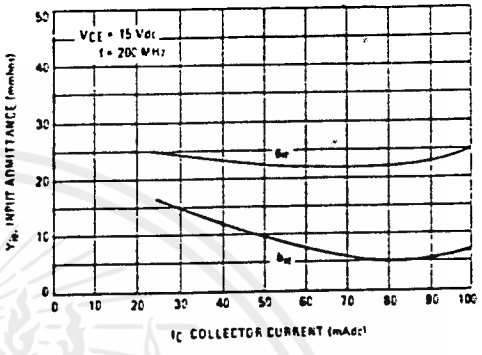


FIGURE 9 – REVERSE TRANSFER ADMITTANCE versus FREQUENCY

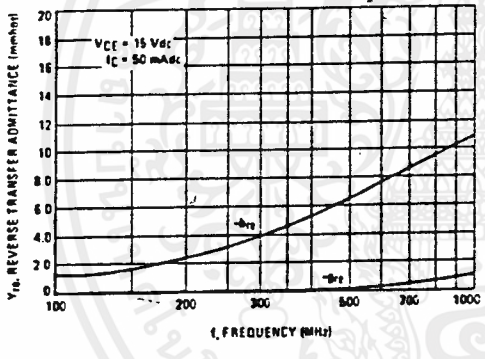


FIGURE 10 – REVERSE TRANSFER ADMITTANCE versus COLLECTOR CURRENT

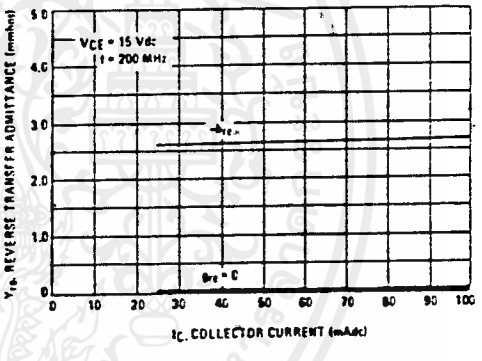


FIGURE 11 – FORWARD TRANSFER ADMITTANCE versus FREQUENCY

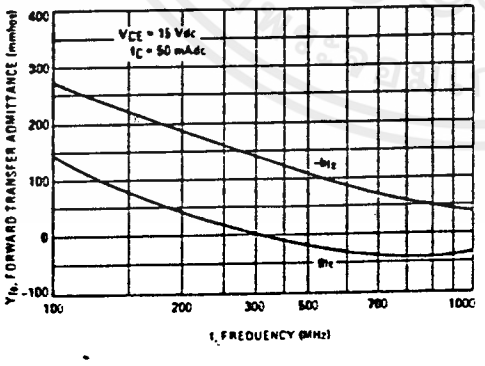
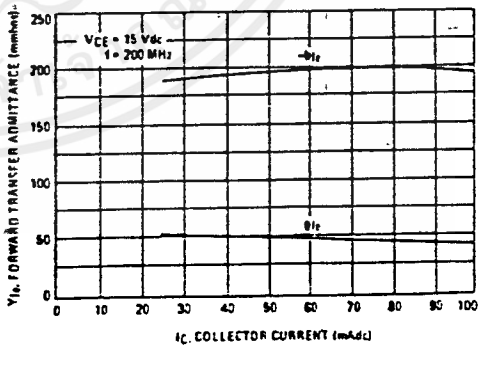


FIGURE 12 – FORWARD TRANSFER ADMITTANCE versus COLLECTOR CURRENT



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2N5109

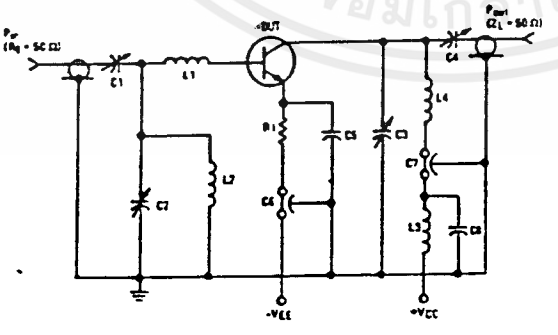
ELECTRICAL CHARACTERISTICS (T_C = 25°C unless otherwise noted)

Characteristic	Symbol	Min	Typ	Max	Unit
*OFF CHARACTERISTICS					
Collector-Emitter Sustaining Voltage (I_C = 5.0 mAdc, I_B = 0)	$V_{CEO(sus)}$	20	–	–	Vdc
Collector-Emitter Sustaining Voltage (1) (I_C = 5.0 mAdc, R_{BE} = 10 Ω)	$V_{CER(sus)}$	40	–	–	Vdc
Collector Cutoff Current (V_{CE} = 15 Vdc, I_B = 0)	I_{CEO}	–	–	20	μAdc
Collector Cutoff Current (V_{CE} = 15 Vdc, V_{BE} = -1.5 V, T_C = 150°C)	I_{CEX}	–	–	5.0	mAdc
(V_{CE} = 35 Vdc, V_{BE} = -1.5 V)		–	–	5.0	mAdc
Emitter Cutoff Current (V_{BE} = 3.0 Vdc, I_C = 0)	I_{EBO}	–	–	100	μAdc
*ON CHARACTERISTICS					
DC Current Gain (I_C = 360 mAdc, V_{CE} = 5.0 Vdc)	h_{FE}	5.0	–	–	–
(I_C = 50 mAdc, V_{CE} = 15 Vdc)		40	–	120	–
DYNAMIC CHARACTERISTICS					
*Current-Gain – Bandwidth Product (I_C = 50 mAdc, V_{CE} = 15 Vdc, f = 200 MHz)	f_T	1200	–	–	MHz
*Collector-Base Capacitance (V_{CB} = 15 Vdc, I_E = 0, f = 1.0 MHz)	C_{cb}	–	1.6	3.5	pF
Noise Figure (I_C = 10 mAdc, V_{CE} = 15 Vdc, f = 200 MHz) (Figure 2)	NF	–	3.0	–	dB
FUNCTIONAL TEST					
*Common-Emitter Amplifier Voltage Gain (Figure 1) (I_C = 50 mAdc, V_{CC} = 15 Vdc, f = 50 to 216 MHz)	G_{ve}	11	–	–	dB
*Power Input (Figure 2) (I_C = 50 mAdc, V_{CC} = 15 Vdc, R_S = 50 ohms, P_{out} = 1.26 mW, f = 200 MHz)	P_{in}	–	–	0.1	mW

*Indicates JEDEC Registered Data

(1) Pulsed thru a 25 mH inductor; 50% Duty Cycle

FIGURE 2 – 200 MHz TEST CIRCUIT



C1, C2, C3 1.8 – 30 pF
C4 1.8 – 20 pF
C5 10,000 pF
C6, C7 1,800 pF
C8 0.01 μF

L1 4-1/2 turns, No. 22 wire, 3/16" I.D.
L4 3-1/2 turns, No. 22 wire, 3/16" I.D.
L2, L3 0.22 μH RFC
B1 240 Ohms, 2 WATTS

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2N5109

FIGURE 13 – OUTPUT ADMITTANCE versus FREQUENCY

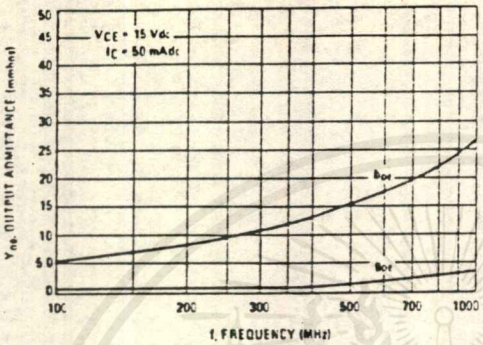


FIGURE 14 – OUTPUT ADMITTANCE versus COLLECTOR CURRENT

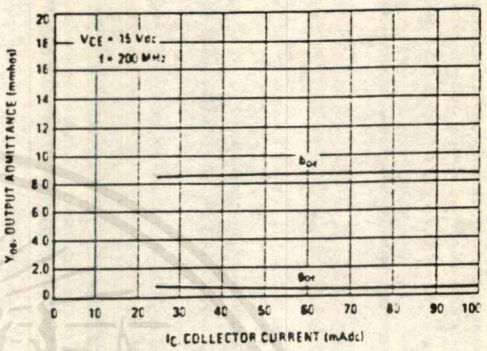


FIGURE 15 – INPUT REFLECTION COEFFICIENT versus FREQUENCY

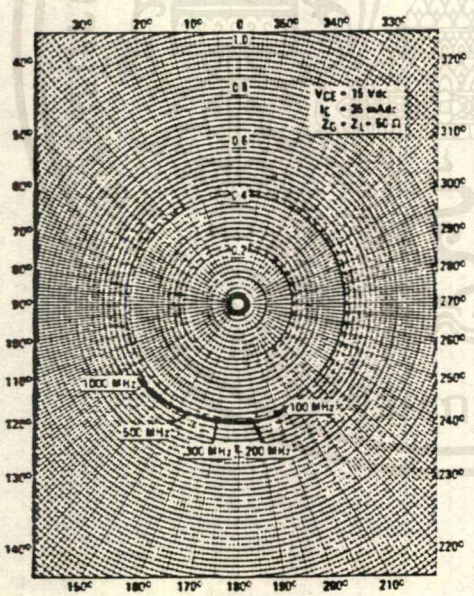
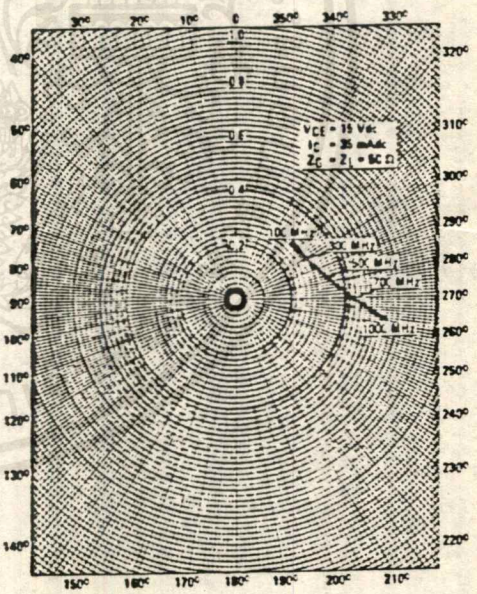


FIGURE 16 – OUTPUT REFLECTION COEFFICIENT versus FREQUENCY



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2N5109

FIGURE 17 – REVERSE TRANSMISSION COEFFICIENT versus FREQUENCY

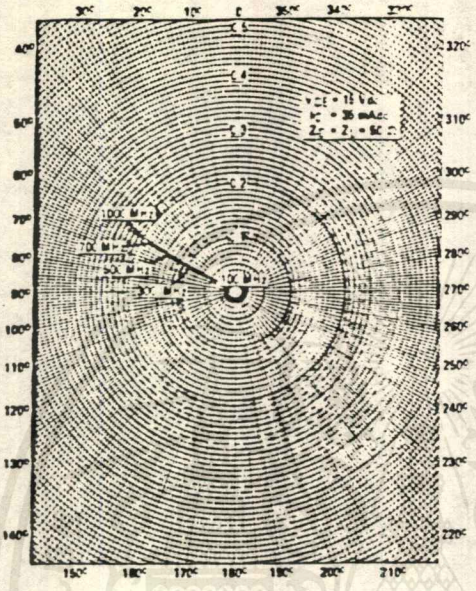


FIGURE 18 – FORWARD TRANSMISSION COEFFICIENT versus FREQUENCY

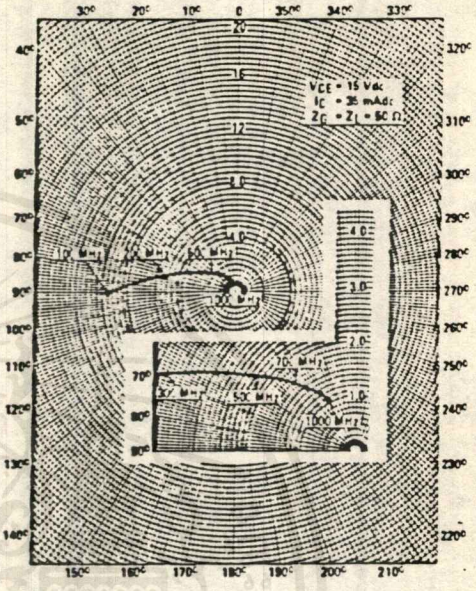
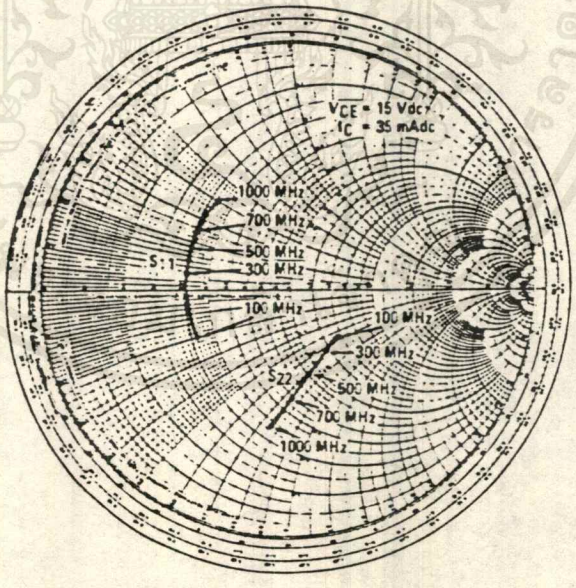


FIGURE 19 – INPUT REFLECTION COEFFICIENT AND OUTPUT REFLECTION COEFFICIENT versus FREQUENCY



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

E1

MOTOROLA
SEMICONDUCTOR
TECHNICAL DATA

2N5179

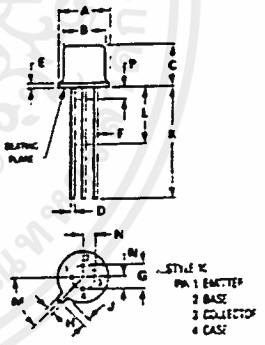
The RF Line

4.5 dB @ 200 MHz
HIGH FREQUENCY TRANSISTOR
NPN SILICON

NPN SILICON RF HIGH FREQUENCY TRANSISTOR

. . . designed primarily for use in high-gain, low-noise amplifier, oscillator, and mixer applications. Can also be used in UHF converter applications.

- High Current-Gain – Bandwidth Product –
  f_T = 1.4 GHz (Typ) @ I_C = 10 mAdc
- Low Collector-Base Time Constant –
  $r_b'C_c$ = 14 ps (Max) @ I_E = 2.0 mAdc
- Characterized with Scattering Parameters
- Low Noise Figure –
  NF = 4.5 dB (Max) @ f = 200 MHz



NOTE: ALL RULES AND NOTES ASSOCIATED WITH TO-72 OUTLINE SHALL APPLY.

DIM	MILLIMETERS MIN	MILLIMETERS MAX	INCHES MIN	INCHES MAX
A	5.31	5.84	0.209	0.230
B	4.52	4.95	0.178	0.195
C	4.32	5.33	0.170	0.210
D	0.41	0.53	0.016	0.021
E	—	0.76	—	0.030
F	0.41	0.48	0.016	0.019
G	2.54 BSC		0.100 BSC	
H	0.91	1.17	0.036	0.046
J	0.71	1.22	0.028	0.048
K	12.70	—	0.500	—
L	6.35	—	0.250	—
M	45° BSC		45° BSC	
N	1.27 BSC		0.050 BSC	
P	—	1.27	—	0.050

CASE 20-03
TO-206AF
(TO-72)

*MAXIMUM RATINGS

Rating	Symbol	Value	Unit
Collector-Emitter Voltage Applicable 1.0 to 20 mAdc	V_{CEO}	12	Vdc
Collector-Base Voltage	V_{CB}	20	Vdc
Emitter-Base Voltage	V_{EB}	2.5	Vdc
Collector Current	I_C	50	mAdc
Total Device Dissipation @ T_A = 25°C Derate above 25°C	P_D	200 1.14	mW mW/°C
Total Device Dissipation @ T_C = 25°C Derate above 25°C	P_D	300 1.71	mW mW/°C
Storage Temperature Range	T_{stg}	−65 to +200	°C

*Indicates JEDEC Registered Data.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

E_2

2N5179

*ELECTRICAL CHARACTERISTICS (T_A = 25°C unless otherwise noted)

Characteristic	Symbol	Min	Max	Unit
OFF CHARACTERISTICS				
Collector-Emitter Sustaining Voltage (I_C = 3.0 mAdc, I_B = 0)	$V_{CEO(sus)}$	12	–	Vdc
Collector-Base Breakdown Voltage (I_C = 0.001 mAdc, I_E = 0)	$V_{(BR)CBO}$	20	–	Vdc
Emitter-Base Breakdown Voltage (I_E = 0.01 mAdc, I_C = 0)	$V_{(BR)EBO}$	2.5	–	Vdc
Collector Cutoff Current (V_{CB} = 15 Vdc, I_E = 0) (V_{CB} = 15 Vdc, I_E = 0, T_A = 150°C)	I_{CBO}	– –	0.02 1.0	μAdc
ON CHARACTERISTICS				
DC Current Gain (I_C = 3.0 mAdc, V_{CE} = 1.0 Vdc)*	h_{FE}	25	250	–
Collector-Emitter Saturation Voltage (I_C = 10 mAdc, I_B = 1.0 mAdc)	$V_{CE(sat)}$	–	0.4	Vdc
Base-Emitter Saturation Voltage (I_C = 10 mAdc, I_B = 1.0 mAdc)	$V_{BE(sat)}$	–	1.0	Vdc
DYNAMIC CHARACTERISTICS				
Current-Gain – Bandwidth Product ① (I_C = 5.0 mAdc, V_{CE} = 6.0 Vdc, f = 100 MHz)	f_T	900	2000	MHz
Collector-Base Capacitance (V_{CB} = 10 Vdc, I_E = 0, f = 0.1 to 1.0 MHz)	C_{cb}	–	1.0	pF
Small-Signal Current Gain (I_C = 2.0 mAdc, V_{CE} = 6.0 Vdc, f = 1.0 kHz)	h_{fe}	25	300	–
Collector-Base Time Constant (I_E = 2.0 mAdc, V_{CB} = 6.0 Vdc, f = 31.9 MHz)	$r_b'C_c$	3.0	14	ps
Noise Figure (See Figure 1) (I_C = 1.5 mAdc, V_{CE} = 6.0 Vdc, R_S = 50 ohms, f = 200 MHz)	NF	–	4.5	dB
FUNCTIONAL TEST				
Common-Emitter Amplifier Power Gain (See Figure 1) (V_{CE} = 6.0 Vdc, I_C = 5.0 mAdc, f = 200 MHz)	G_{pe}	15	–	dB
Power Output (See Figure 2) (V_{CB} = 10 Vdc, I_E = 12 mAdc, f≥500 MHz)	P_{out}	20	–	mW

*Indicates JEDEC Registered Values.

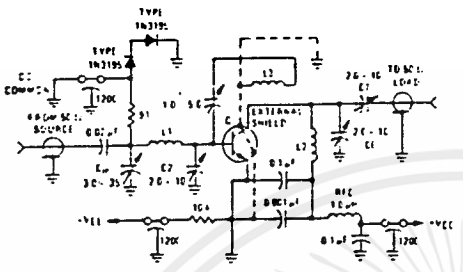
① f_T is defined as the frequency at which $|h_{fe}|$ extrapolates to unity.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

E3

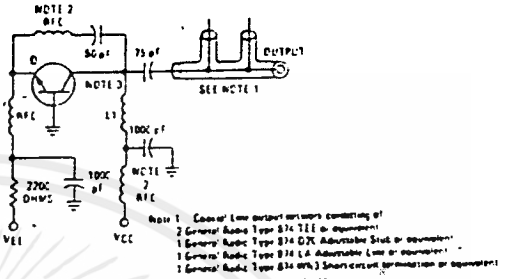
2N5179

FIGURE 1 – 200 MHz AMPLIFIER POWER GAIN AND NOISE FIGURE CIRCUIT



L1 1-3/4 Turns, #18 AWG, 0.5" I.D., 0.5" Diameter
L2 2 Turns, #16 AWG, 0.5" I.D. 0.5" Diameter
L3 2 Turns, #13 AWG, 0.25" I.D., 0.5" Diameter (Position 1/4" from L2)

FIGURE 2 – 500 MHz OSCILLATOR CIRCUIT



Note 1 – Coaxial Line output consists consisting of:
2 General Radio Type 874 TEE or equivalent
1 General Radio Type 874 QTK Adjustable Stub or equivalent
1 General Radio Type 874 LA Adjustable Line or equivalent
1 General Radio Type 874 WN) Short circuit termination or equivalent
Note 2 – RFC = 6.2 μH Ohmite #Z-466 or equivalent
Note 3 – Lead Number 6 Lead Soldered
L1 – 2 turns #16 AWG wire 3/8 inch ID, 1 1/4 inch long
D = 2N5179

FIGURE 3 – NOISE FIGURE versus FREQUENCY

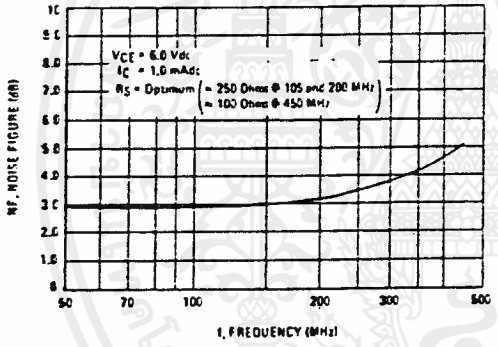


FIGURE 4 – NOISE FIGURE versus SOURCE RESISTANCE and COLLECTOR CURRENT

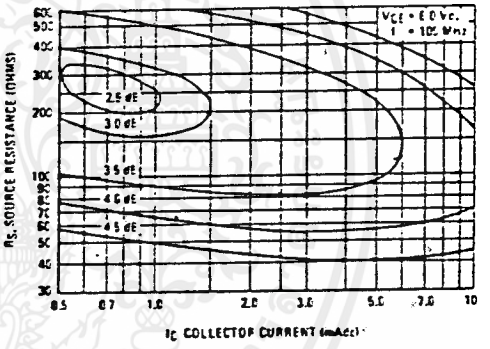
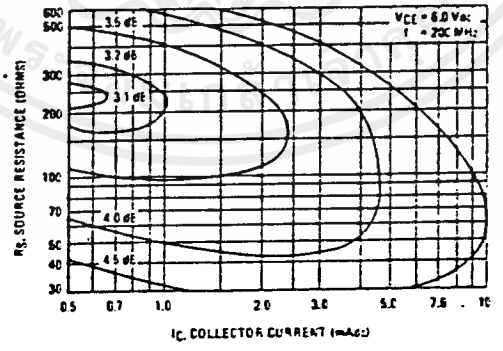


FIGURE 5 – NOISE FIGURE versus SOURCE RESISTANCE and COLLECTOR CURRENT



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

E4

2N5179

FIGURE 6 – CURRENT-GAIN-BANDWIDTH PRODUCT

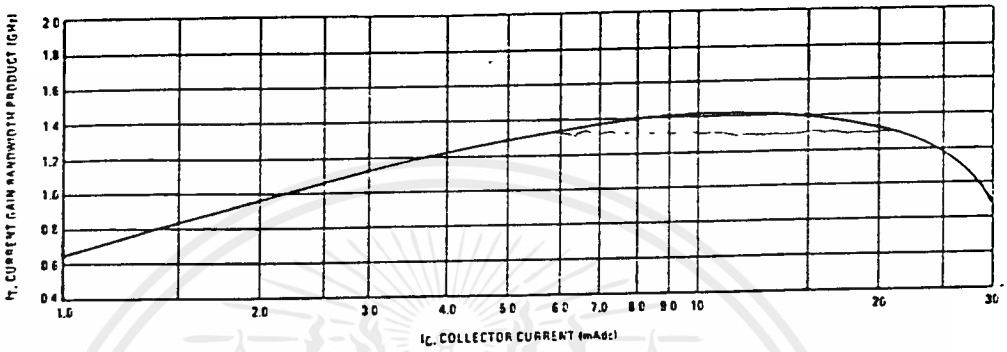


FIGURE 7 – INPUT ADMITTANCE versus FREQUENCY

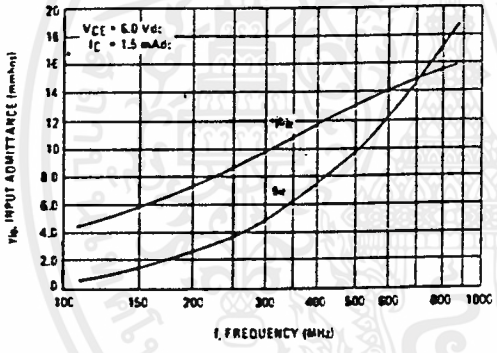


FIGURE 8 – OUTPUT ADMITTANCE versus FREQUENCY

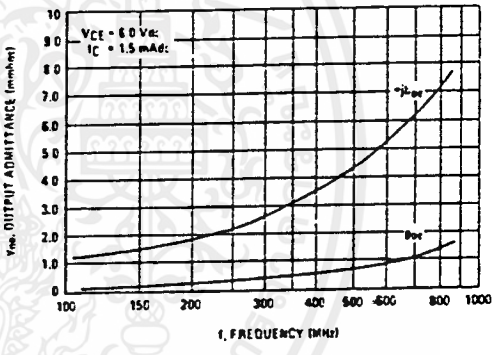


FIGURE 9 – FORWARD TRANSFER ADMITTANCE versus FREQUENCY

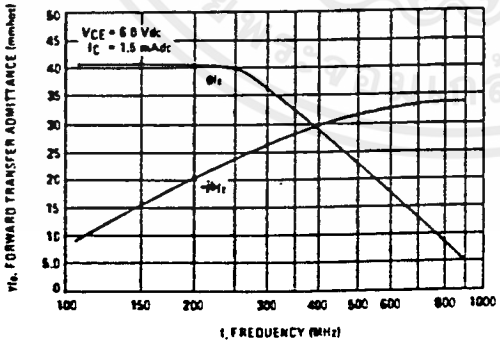
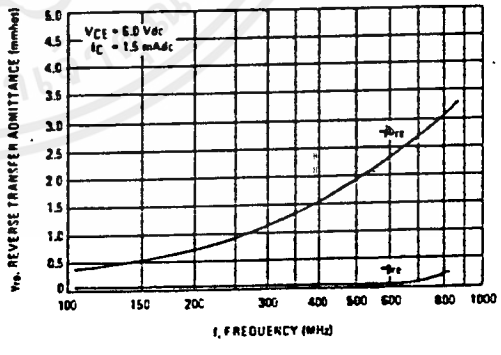


FIGURE 10 – REVERSE TRANSFER ADMITTANCE versus FREQUENCY



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2N5179

FIGURE 11– S_{11}, INPUT REFLECTION COEFFICIENT

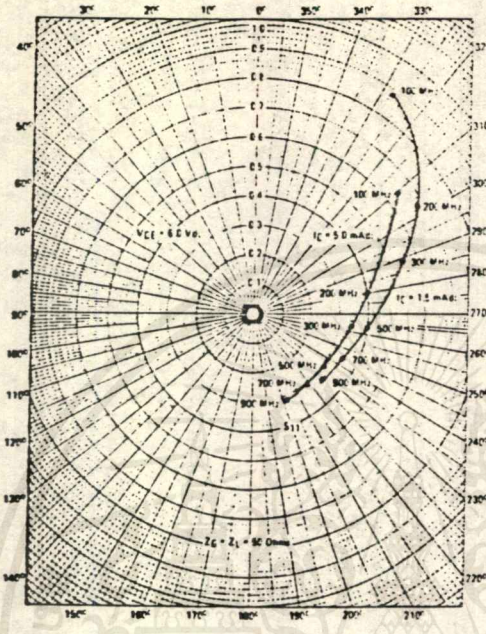


FIGURE 12 – S_{22}, OUTPUT REFLECTION COEFFICIENT

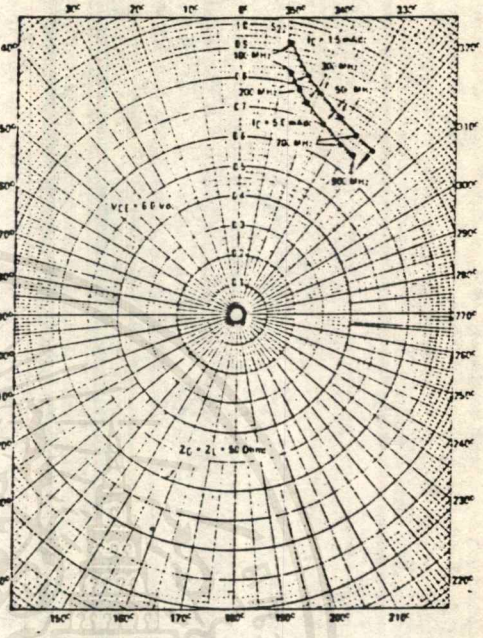


FIGURE 13 – S_{12}, REVERSE TRANSMISSION COEFFICIENT

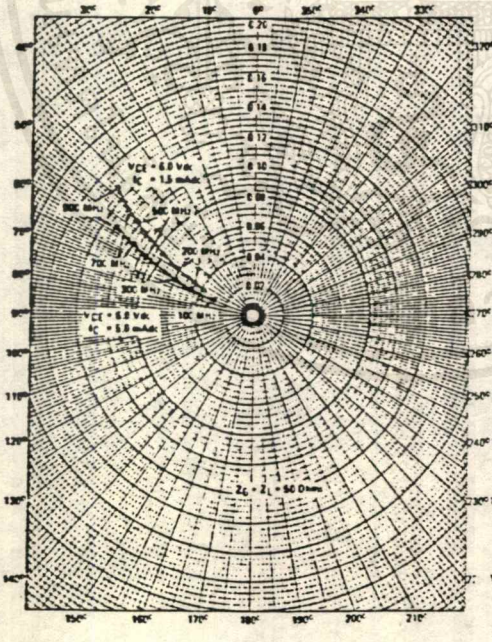
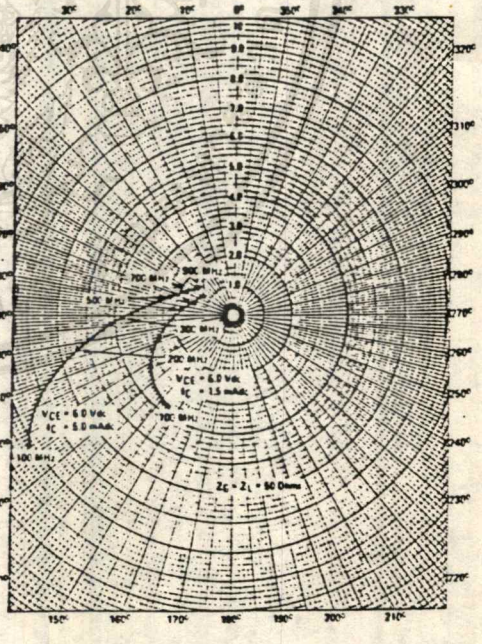


FIGURE 14 – S_{21}, FORWARD TRANSMISSION COEFFICIENT

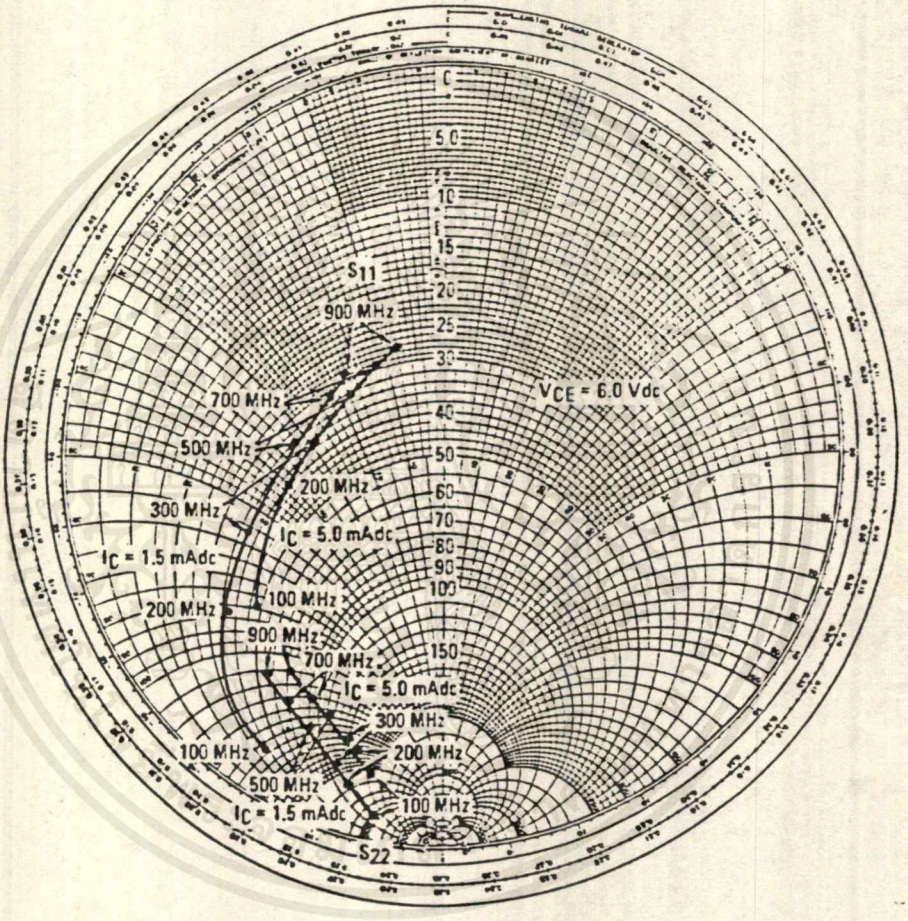


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

E6

2N5179

FIGURE 15 – S_{11}, INPUT REFLECTION COEFFICIENT AND S_{22}, OUTPUT REFLECTION COEFFICIENT



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Inductances

Inductance of a single-layer coil

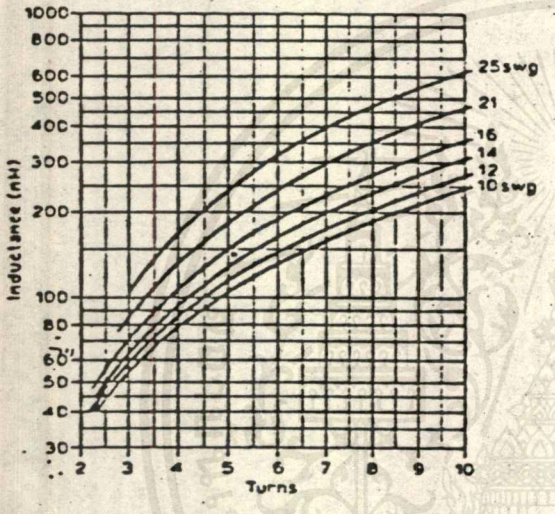
The inductance of a single-layer coil of length at least equal to its radius is given by

$$L = \frac{N^2 r^2}{9r + 10l} \ \mu H$$

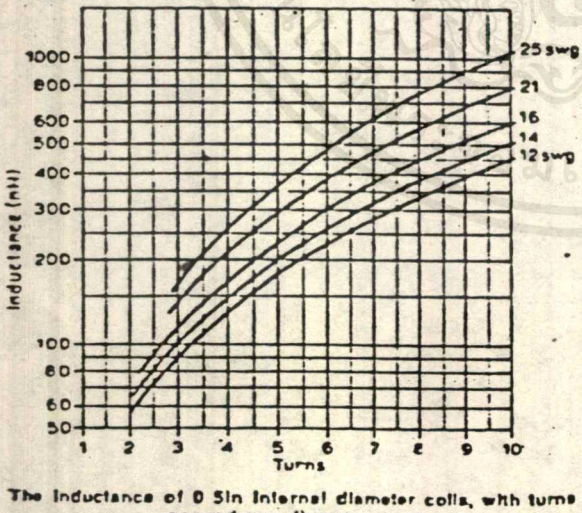
where r = radius of coil (in)
l = length of coil (in)
N = number of turns

This applies to both close-wound and spaced-turn coils. Correspondingly, the number of turns for a given inductance is

$$N = L \sqrt{\frac{9r + 10l}{r^2}}$$



The inductance of 0·375in internal diameter coils with turns spaced one diameter apart



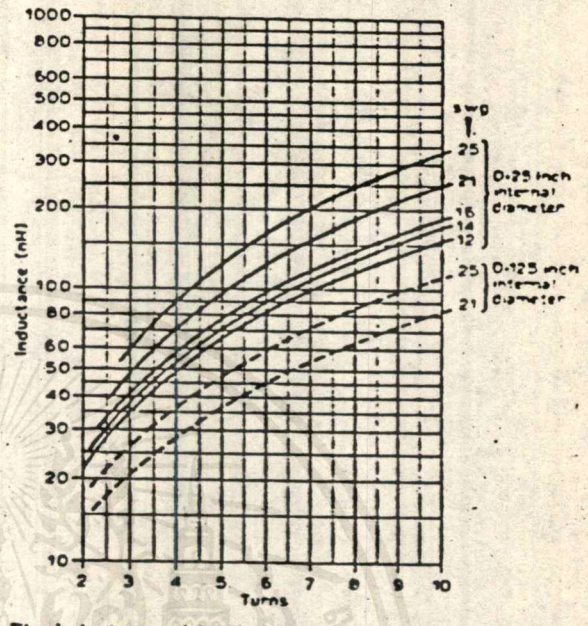
The inductance of 0·5in internal diameter coils, with turns spaced one diameter apart

Self inductance of a straight wire

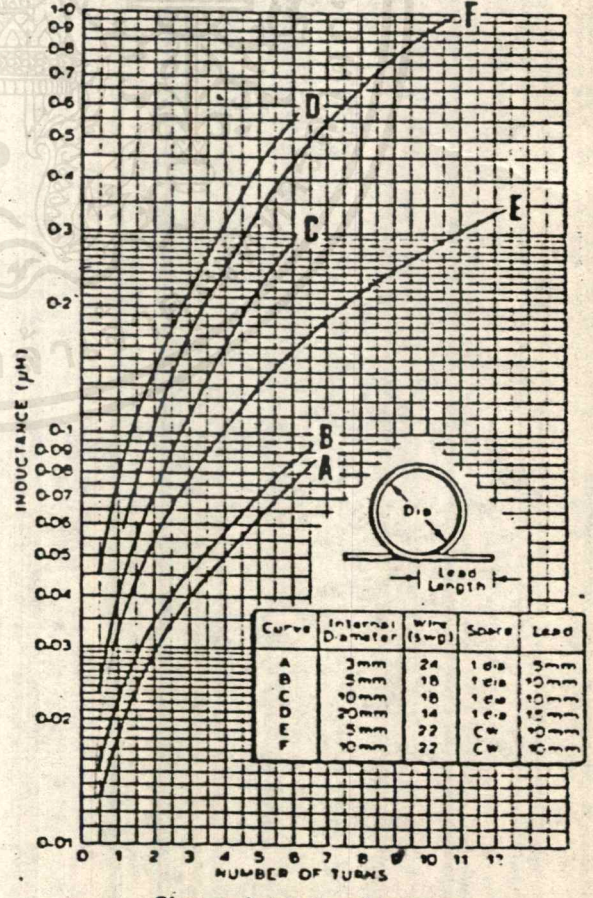
At radio frequencies, the self inductance of a straight round wire is given by

$$L = 0{\cdot}0021 \left(2{\cdot}303 \log_{10} \frac{4l}{d} - 1\right) \mu H$$

where l = length in centimetres
d = dia in centimetres



The inductance of 0·25in internal diameter coils with turns spaced one diameter apart



Characteristics of small inductors

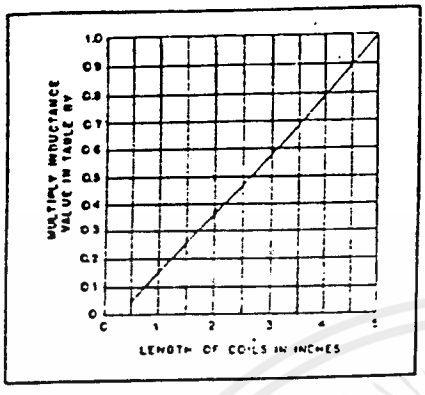
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

F2

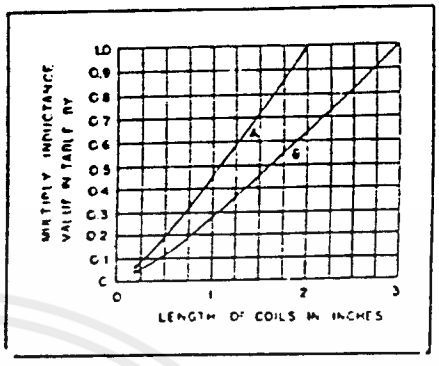
ตารางที่ 1 แสดงคุณสมบัติของลวดเคลือบน้ำยาเบอร์ต่าง ๆ

เบอร์ลวด AWG	เบอร์ลวด SWG ที่ใกล้เคียง	เส้นผ่าศูนย์กลาง (มม.)	จำนวนรอบ/นิ้ว	จำนวนรอบ ต่อ ต.ร นิ้ว	ต้าน Ω/1000 ฟุต ที่ 25 °ซ
1	1	7.348	-	-	0.1264
2	3	6.544	-	-	0.1593
3	4	5.827	-	-	0.2009
4	5	5.189	-	-	0.2533
5	7	4.621	-	-	0.3195
6	8	4.115	-	-	0.4028
7	9	3.665	-	-	0.5080
8	10	3.264	7.6	57	0.6405
9	11	2.906	8.6	72	0.8077
10	12	2.588	9.6	90	1.018
11	13	2.305	10.7	113	1.284
12	14	2.053	12.0	141	1.619
13	15	1.828	13.5	177	2.042
14	16	1.628	15.0	221	2.575
15	17	1.450	16.8	277	3.247
16	18	1.291	18.9	348	4.094
17	18	1.150	21.2	437	5.163
18	19	1.024	23.6	548	6.510
19	20	0.912	26.4	681	8.210
20	21	0.812	29.4	852	10.35
21	22	0.723	33.1	1065	13.05
22	23	0.644	37.0	1340	16.46
23	24	0.573	41.3	1665	20.76
24	25	0.511	46.3	2100	26.17
25	26	0.455	51.7	2630	33.00
26	27	0.405	58.0	3320	41.62
27	29	0.361	64.9	4145	52.48
28	30	0.321	72.7	5250	66.17
29	31	0.286	81.6	6510	83.44
30	33	0.255	90.5	8175	105.2
31	34	0.227	101	10,200	132.7
32	36	0.202	113	12,650	167.3
33	37	0.180	127	16,200	211.0
34	38	0.160	143	19,950	266.0
35	38-39	0.143	158	25,000	335
36	39-40	0.127	175	31,700	423
37	41	0.113	198	39,600	533
38	42	0.101	224	49,100	673
39	43	0.090	248	62,600	848
40	44	0.080	282	77,600	1070

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูป 2



รูป 3
เส้น A สำหรับคอยล์ที่มี (A)
เส้น B สำหรับคอยล์ที่มี (B)

ϕ คอยล์เป็นนิ้ว รอบต่อนิ้ว ค่า L ของคอยล์ยาว 1 นิ้ว

Coil Dia Inches	Turns Per Inch	Inductance In μH
1¼	4	2.75
	6	6.3
	8	11.2
	10	17.5
	16	42.5
1½	4	3.9
	6	8.8
	8	15.6
	10	24.5
	16	63
1¾	4	5.2
	6	11.8
	8	21
	10	33
	16	85
2	4	6.6
	6	15
	8	26.5
	10	42
	16	108
2½	4	10.2
	6	23
	8	41
	10	64
3	4	14
	6	31.5
	8	56
	10	89

ϕ คอยล์เป็นนิ้ว รอบต่อนิ้ว ค่า L ของคอยล์ยาว 1 นิ้ว

Coil Dia Inches	Turns Per Inch	Inductance In μH
½ (A)	4	0.18
	6	0.40
	8	0.72
	10	1.12
	16	2.9
	32	12
5/8 (A)	4	0.28
	6	0.62
	8	1.1
	10	1.7
	16	4.4
	32	18
¾ (B)	4	0.6
	6	1.35
	8	2.4
	10	3.8
	16	9.9
	32	40
1 (B)	4	1.0
	6	2.3
	8	4.2
	10	6.6
	16	16.9
	32	68

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

G1

AN-551

TUNING DIODE DESIGN TECHNIQUES

Prepared by
Doug Johnson

INTRODUCTION

Voltage variable capacitors or tuning diodes are best described as diode capacitors employing the junction capacitance of a reverse biased PN junction. There is a wide range of available capacitances and different device types. The capacitance of these devices varies inversely with the applied reverse bias voltage.

Tuning diodes or Motorola's "Epicaps" have several advantages over the more common variable capacitor. They are much smaller in size and lend themselves to circuit board mounting. They are available in most of the same capacitance values as air variable capacitors. Tuning diodes offer the designer the unique feature of remote tuning.

Epicaps, as opposed to earlier versions of voltage variable capacitors exhibit many new improvements. Lower leakage, significantly higher Q and uniformity are just some of these advantages. However, the capacitance of all tuning diodes inherently varies with temperature and may require compensation. A simple scheme is available for compensation of the temperature drift, resulting in stabilities as good as, or better than, that of air capacitors. This note contains the details for compensating Motorola's Epicap diodes.

SIMPLIFIED THEORY

A tuning diode is a silicon diode with very uniform and stable capacitance versus voltage characteristics when operated in its reverse biased condition. In accordance with semiconductor theory, a depletion region is set up around the PN junction. The depletion layer is devoid of mobile carriers. The width of this depletion region is dependent upon doping parameters and the applied voltage. Figure 1A shows a PN junction with reverse bias applied, while Figure 1B shows the analogy, a parallel plate capacitor. The equation for the capacitance of a parallel plate capacitor given below predicts the capacitance of a tuning diode

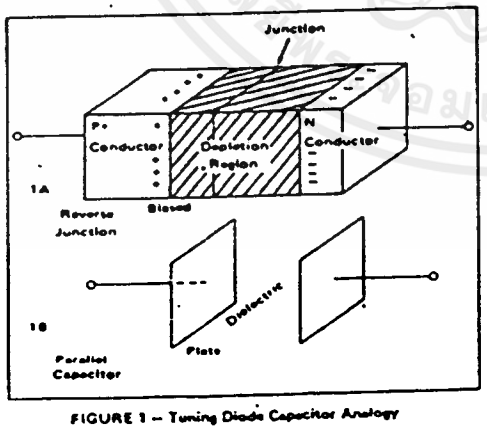


FIGURE 1 – Tuning Diode Capacitor Analogy

$$C = \frac{\epsilon A}{d} \qquad (1)$$

where ϵ = dielectric constant of silicon equal to 11.8 x ϵ_0
$\epsilon_0 = 8.85 \times 10^{-12}$ F/m
A = Device cross sectional area
d = Width of the depletion layer.

The depletion layer width d may be determined from semiconductor junction theory.

The more accepted method of determining tuning diode capacitance is to use the defining formula for capacitance.

$$C = \frac{dQ}{dV} \qquad (2)$$

The charge, Q per unit area, is defined as:

$$Q = \epsilon E \qquad (3)$$

where E = Electric field

So we have capacitance per unit area:

$$c = \frac{C}{A} = \epsilon \frac{dE}{dV} \qquad (4)$$

Norwood and Shatz[1] use these ideas to develop a general formula:

$$c = \left[\frac{q^{m+1}}{(m+2)(V+\phi)} \right]^{1/m+2} \qquad (5)$$

m = Impurity exponent
c = Capacitance per unit area

Lumping all the constant terms together, including the area of the diode, into one constant, C_D, we arrive at:

$$C_J = \frac{C_D}{(V+\phi)^{\gamma}} \qquad (6)$$

where γ = Capacitance Exponent, a function of impurity exponent
ϕ = The junction contact potential (≈ 0.7 Volts)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

The capacitance constant, C_D, can be shown to be a function of the capacitance at zero voltage and the contact potential. At room temperature we have:

$$C_D = C_o(\phi)^{\gamma} \quad (7)$$

C_o = Value of capacitance at zero voltage

The simple formula given in Eq. 6, very accurately predicts the voltage-capacitance relationship of Epicaps. There are many detailed derivations [1,2,3,4,5] of junction capacitance, so further explanation is not necessary in this note.

The capacitance of commercial tuning diodes must be modified by the case capacitance.

The equation then becomes.

$$C = C_c + C_J \quad (8)$$

where

C_c = Case capacitance typically 0.1 to 0.25 pF

C_J = Junction capacitance given by equation 6.

TUNING RATIOS

The tuning or capacitance ratio, TR, denotes the ratio of capacitance obtained with two values of applied bias voltage. This ratio is given by the following expression for the Epicap junction.

$$TR = \frac{C_J(V_2)}{C_J(V_1)} = \left[\frac{V_1+\phi}{V_2+\phi}\right]^{\gamma} \quad (9)$$

where $C_J(V_1)$ = Junction capacitance at V_1

$C_J(V_2)$ = Junction capacitance at V_2

where $V_1 > V_2$

In specifying TR, some Epicap data sheets use four volts for V_2. However, in order to achieve larger tuning ratios, the devices may be operated at slightly lower bias levels with some degradation in the Q specified at four volts. (See the discussion of Q versus voltage in the circuit Q section, later in this note). Furthermore, care must be taken when operating Epicaps at these low reverse bias levels to avoid swinging the diode into forward conduction upon application of large ac signals. These large signals may also produce distortion due to capacitance modulation effects.

Since the effects of ϕ and case capacitance, C_c, are usually small, Eq. 9 may be simplified to the following for most design work:

$$TR = \frac{C(V_{min})}{C(V_{max})} = \left(\frac{V_{max}}{V_{min}}\right)^{\gamma} \quad (10)$$

The frequency ratio is equal to the square root of the tuning ratio. This tunable frequency ratio assumes no stray circuit capacitance.

Another parameter of importance is γ, the capacitance exponent. Physically, γ depends on the doping geometry employed in the diode. Varactor diodes with γ values from 1/3 to 2 can be manufactured by various processing techniques. The types of junctions, their doping profiles, and resulting values of γ are shown in Figure 2. These graphs show the variation of the number of acceptors (N_A) and the number of donors (N_D) with distance from the junction.

Abrupt junctions are the easiest to manufacture and most Epicaps are of this type. This type of junction gives a γ of approximately 1/2 and a tuning ratio on the order 3 with the specified voltage range. Therefore the corresponding frequency range which may be tuned is about 1.7 to 1.0. A typical example is the MV2101:

$C(V_2) = C_{(30\ V)} = 2.5$ pF

$C(V_1) = C_{(4\ V)} = 6.8$ pF

TR = 2.7

$\gamma = 0.47$

The subscripts on the capacitance refer to the bias voltage applied

In many applications, such as tuning the television channels, or the AM broadcast band, a wider frequency range is required. In this event, the designer must use a hyper-abrupt junction Epicap. The hyper-abrupt diode has a γ of 1 or 2, and much larger frequency ranges. Table I shows typical types of tuning diodes available, their tuning ratios, frequency ratios and junction types.

TABLE I SAMPLE TUNING DIODE TYPES

Device Series	Capacitances Available	Tuning Ratio	γ	Frequency Ratio	Junction Type
1N5139	47-6.8 pF	2.7-3.4	0.47	1.6-1.8	Abrupt
MV2101	100-6.8 pF	1.6-3.3	0.47	1.6-1.8	Abrupt
BB105	10 pF	4-6	1.0	2-2.4	Hyper-Abrupt
MV1400	550-120 pF	10-14	2.0	3.2-3.7	Hyper-Abrupt
MV109	30 pF	5.6.5	1.0	2.2 2.6	Hyper-Abrupt

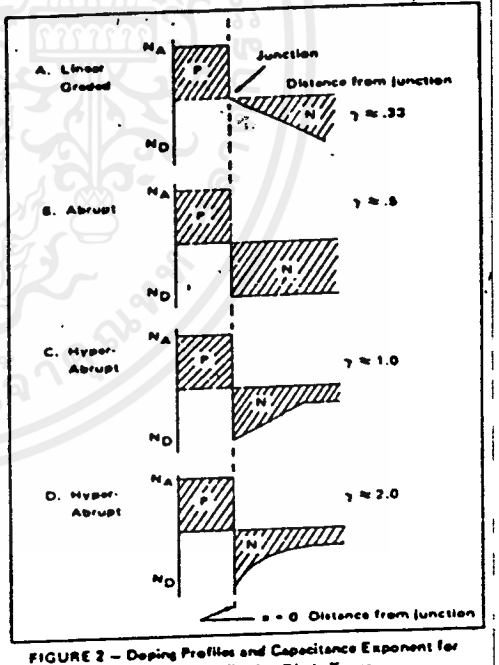


FIGURE 2 – Doping Profiles and Capacitance Exponent for Some Common Tuning Diode Types

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

The hyper-abrupt devices are constructed with special epitaxial growth and diffusion techniques, which creates a doping profile similar to that shown in Figures 2C and 2D. The Q of the BB105 and MV109 series hyper-abrupt diodes is as high as abrupt junction Epicaps. Their capacitance range is from a few picofarads to 10 or 20 pF, and their major application is in television tuners. The MV1400 series are high capacitance devices for applications below 10 MHz. They are suitable for tuning elements in AM broadcast band receivers and similar low frequency applications.

CIRCUIT Q

Popular types of mechanical tuning capacitors often have Q's on the order of a thousand or greater. The Q of tuned circuit using these capacitors is generally dependent only on the coil. When using an Epicap, however, one must be conscious of the tuning diode Q as well. The Q of the tuning diode is not constant being dependent on bias voltage and frequency. The Q of tuning diode capacitors falls off at high frequencies, because of the series bulk resistance of the silicon used in the diode. The Q also falls off at low frequencies because of the back resistance of the reverse-biased diode.

The equivalent circuit of a tuning diode is often described as shown:

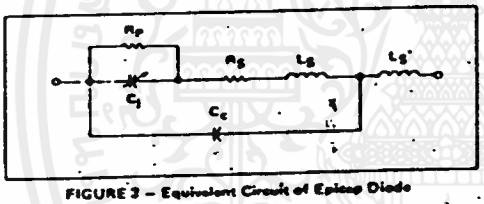


FIGURE 3 – Equivalent Circuit of Epicap Diode

where:

R_p = Parallel resistance or back resistance of the diode
R_S = Bulk resistance of the silicon in the diode
L_S' = External lead inductance
L_S = Internal lead inductance
C_C = Case capacitance

Normally we may neglect the lead inductance and case capacitance. This results in the simplified circuit of Figure 4.

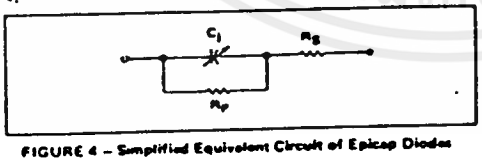


FIGURE 4 – Simplified Equivalent Circuit of Epicap Diodes

The tuning diode Q may be calculated with equation 11.

$$Q = \frac{2\pi f C R_p^2}{R_s + R_p + (2\pi f C)^2 R_s R_p^2} \qquad (11)$$

This rather complicated equation is plotted in Figure 5 for

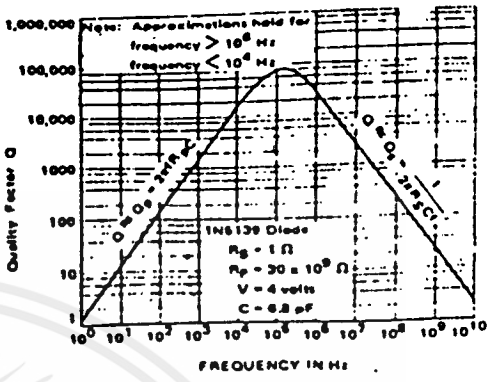


FIGURE 5 – Graph of Q versus Frequency

R_S = 1.0 ohm, R_p = 30 x 10^9 ohms, at V = 4 volts and C = 6.8 pF, typical for a 1N5139 Epicap at room temperature.

At frequencies above several MHz, the Q decreases directly with increasing frequency by the simpler formula given below:

$$Q \approx Q_S = \frac{1}{2\pi f C R_s} \quad \text{(High frequency Q)} \qquad (12)$$

The emphasis today is on decreasing R_S so better high frequency Q can be obtained. At low frequencies Q increases with frequency since only the component resulting from R_p, the back resistance of the diode, is of consequence.

$$Q \approx Q_p = 2\pi f C R_p \text{ (Low frequency Q)}. \qquad (13)$$

Q is also dependent on voltage and temperature. Higher reverse bias voltage yields a lower value of capacitance, and also since R_s decreases with increasing bias voltage, the Q increases with increasing voltages. Similarly, low reverse bias voltages accompany larger capacitances, and lower Q's. Increasing temperature also lowers the Q of tuning diodes. As the junction temperature increases, the leakage current

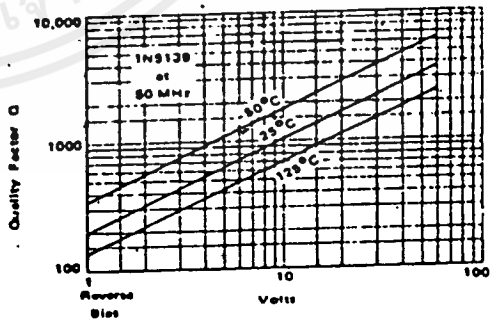


FIGURE 6 – Q versus Reverse Bias and Temperature

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

increases, lowering R_p. There is also a slight decrease in R_s with increasing temperature, but the effects of the decreasing R_p are greater and this causes the Q to decrease. The effects of temperature and voltage on the Q of a 1N5139 at 50 MHz are plotted in Figure 6.

TEMPERATURE

The Q and tuning ratio of Epicaps are parameters that every design engineer must be aware of in his circuits. Another equally important characteristic of tuning diodes is their temperature coefficient. A typical example of the capacitance versus temperature drift is shown in Figure 7.

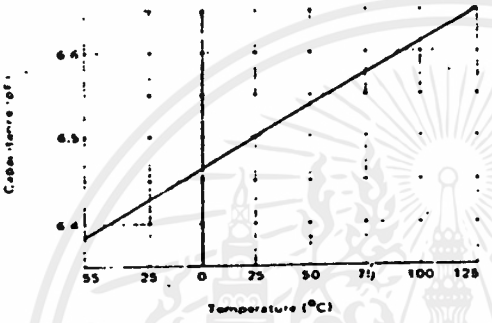


FIGURE 7 – Capacitance versus Temperature for a MV2101 Epicap Biased at 4 Volts

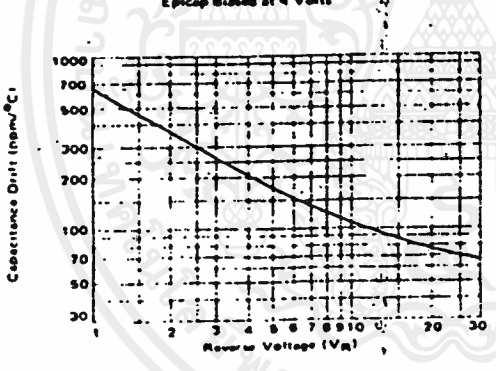


FIGURE 8 – Capacitance Drift in ppm/°C versus Voltage MV2101 Diode

The temperature constant, T_C, is a function of applied bias. Figure 8 shows T_C for a typical Motorola Epicap. Note that for low bias levels, on the order of a volt or two, the T_C is as high as +600 parts per million per degree centigrade (ppm/°C). This represents a frequency change of -300 ppm/°C which at 100 MHz means a frequency shift of 30 kHz per degree. It is obvious that a temperature compensation scheme is desirable for any frequency control not using feedback techniques.

In Figure 9, the actual capacitance drift of a MV2101 per degree centigrade is plotted. The graph illustrates that

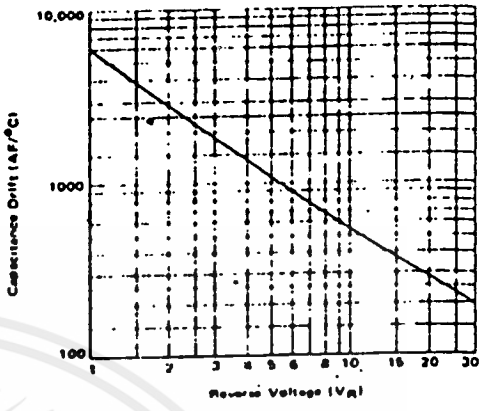


FIGURE 9 – Capacitance Drift in Attofarads/°C versus Voltage for the MV2101 Tuning Diode

Attofarads = (pF × 10^{-6})

a simple negative temperature coefficient compensating capacitor will not compensate for the tuning diode T_C because the change in capacitance is not constant with voltage.

A popular method of temperature compensating Epicaps involves the use of a forward biased diode. The voltage drop of a forward biased diode decreases as the temperature rises, thus applying a changing voltage to the Epicap. In the network shown in Figure 10, an increase in temperature

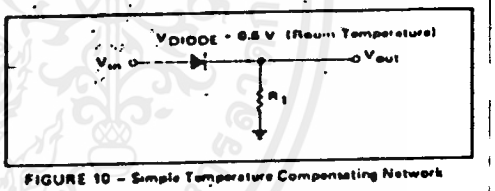


FIGURE 10 – Simple Temperature Compensating Network

will result in a decrease of the diode voltage V_{DIODE} to perhaps 0.5 V. If V_{in} is maintained constant, the available output voltage V_{out} will rise by 0.1 V. This increase in output voltage will lower the capacitance of the tuning diode and partially offset the initial capacitance increase caused by the temperature change. This method has been explored in detail and specific compensating circuits for Epicaps have been designed. The following sections describe the results of this work.

THEORY OF TEMPERATURE CHANGE

Before proceeding further with schemes to correct the temperature drift, it is informative to investigate the physical mechanisms responsible for the changing capacitance. Equations 6 and 8 may be combined to give the basic expression for capacitance below:

$$C = \frac{C_d}{(V+\phi)^{\gamma}} + C_c \qquad (14)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MVAM109, MVAM115, MVAM125

VOLTAGE-VARIABLE CAPACITANCE DIODE DEVICE CONSIDERATIONS

A. Epicap Network Presentation

The equivalent circuit in Figure 1 shows the voltage capacitance and parasitic elements of an EPICAP diode. For design purposes at all but very high and very low frequencies, L_S, R_J, and C_C can be neglected. The simplified equivalent circuit of Figure 2 represents the diode under these conditions.

Definitions

- C_J – Voltage-Variable Junction Capacitance
- R_S – Series Resistance (semiconductor bulk, contact, and lead resistance)
- C_C – Case Capacitance
- L_S – Series Inductance
- R_J – Voltage-Variable Junction Resistance (negligible above 100 kHz)

FIGURE 1

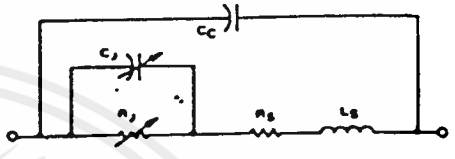


FIGURE 2

B. Epicap Capacitance versus Reverse Bias Voltage

The most important design characteristic of an EPICAP diode is the C_T versus V_R variation as shown in equations 1 and 2. Tuning Ratio, TR, between any two voltage points on curve of equation (2) is determined from equations (3) and (4).

$$C_T = C_C + C_J \tag{1}$$

$$C_T = C_C + \frac{C_o}{\left(1 + \frac{V_R}{\phi}\right)^\gamma} \tag{2}$$

$$TR_{Junction} = \frac{C_{J1}}{C_{J2}} = \left(\frac{V_{R2} + \phi}{V_{R1} + \phi}\right)^\gamma \tag{3}$$

$$TR_{Diode} = \frac{C_{T1}}{C_{T2}} = \frac{C_{J1} + C_C}{C_{J2} + C_C} \tag{4}$$

$C_o = C_J$ at $V_R = 0$
V_R = Reverse Bias (Volts)
γ, Diode Power Law, ≈ 0.44
ϕ, Contact Potential, ≈ 0.8 Volt
$C_C \approx 0.17$ pF

C. Epicap Capacitance versus Frequency

Variations in EPICAP effective capacitance, as a function of operating frequency, can be derived from a simplified equivalent circuit similar to that of Figure 1, but neglecting R_S and R_J. The admittance expression for such a circuit is given in equation 5. Examination of equation 5 yields the following information:

At low frequencies, $C_{eq} \approx C_J$; at very high frequencies ($f \to \infty$) $C_{eq} \to C_C$.

As frequency is increased from 1.0 MHz, C_{eq} increases until it is maximum at $\omega^2 = 1/L_S C_J$; and as ω^2 is increased from $1/L_S C_J$ toward infinity, C_{eq} increases from a very negative capacitance (inductance) toward $C_{eq} = C_C$, a positive capacitance.

Very simple calculations for C_{eq} at higher frequencies indicate the problems encountered when capacity measurements are made above 1.0 MHz. As ω approaches $\omega_0 = 1/\sqrt{L_S C_J}$, small variations in L_S cause extreme variations in measured diode capacitance.

$$Y = j\omega C_{eq} = j\omega C_C + \frac{j\omega C_J}{1 - \omega^2 L_S C_J} \tag{5}$$

D. EPICAP Figure of Merit (Q) and Cutoff Frequency (f_{co})

The efficiency of EPICAP response to an input frequency is related to the Figure of Merit of the device as defined in equation 6. For very low frequencies, equation 7 applies whereas at high frequencies, where R_J can be neglected, equation 8 may be rewritten into the familiar form of equation 8.

Another useful parameter for EPICAP devices is the cutoff frequency (f_{co}), and is the frequency point where Q is equal to 1. Equation 9 gives this relationship.

$$Q = \frac{X_{Seq}}{R_{Seq}} \tag{6}$$

$$Q_{Lf} = \frac{\omega C_J R_J^2}{R_J + R_S(1 + \omega^2 C_J^2 R_J^2)} \tag{7}$$

$$Q_{hf} = \frac{1}{\omega R_S C_{eq}} \tag{8}$$

$$f_{co} = Of_{max} \quad \frac{1}{2\pi R_S C_{BVR}} \tag{9}$$

E. Harmonic Generation Using EPICAPS

Efficient harmonic generation is possible with Motorola EPICAPS because of their high cutoff frequency and breakdown voltage. Since EPICAP junction capacitance varies inversely with the square root of the breakdown voltage, harmonic generator performance can be accurately predicted from various idealized models. Equation 10 gives the level of maximum input power for the EPICAP and equation 11 gives the relationships governing EPICAP circuit efficiency. In these equations, adequate heat sinking has been assumed.

$$P_{in(max)} = \frac{M(BV_R + \phi)^2}{R_S} \frac{f_{in}}{f_{co}} \tag{10}$$

M(n=2) = 0.0285; M(n=3) = 0.0241; M(n=4) = 0.196

$$Eff = 1 - N \frac{f_{out}}{f_{co}} \tag{11}$$

N(n=2) = 20.8; N(n=3) = 34.8; N(n=4) = 62.5

M and N are Constants

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

I_1

MV2101 thru MV2115

MOTOROLA

VVC

SILICON EPICAP DIODES

. . . designed in the popular PLASTIC PACKAGE for high volume requirements of FM Radio and TV tuning and AFC, general frequency control and tuning applications; providing solid-state reliability in replacement of mechanical tuning methods.

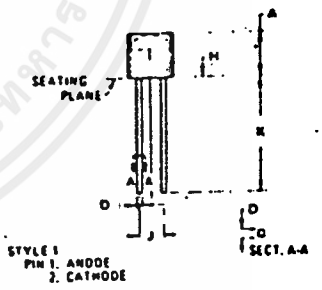
- High Q with Guaranteed Minimum Values
- Controlled and Uniform Tuning Ratio
- Standard Capacitance Tolerance – 10%
- Complete Typical Design Curves

VOLTAGE-VARIABLE CAPACITANCE DIODES

6.8-100 pF
30 VOLTS

MAXIMUM RATINGS

Rating	Symbol	Value	Unit
Reverse Voltage	V_R	30	Volts
Forward Current	I_F	200	mA
Device Dissipation @ T_A = 25°C Derate above 25°C	P_D	280 2.8	mW mW/°C
Junction Temperature	T_J	+125	°C
Storage Temperature Range	T_{stg}	-65 to +150	°C



DIM	MILLIMETERS MIN	MILLIMETERS MAX	INCHES MIN	INCHES MAX
A	4.45	4.70	0.175	0.185
B	0.41	0.48	0.016	0.019
J	2.29	2.79	0.090	0.110
K	12.70	–	0.500	–

CASE 182-03

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MMBV2101 thru MMBV2109 • MV2101 thru MV2115

ELECTRICAL CHARACTERISTICS (T_A = 25°C unless otherwise noted)

Characteristic—All Types	Symbol	Min	Typ	Max	Unit
Reverse Breakdown Voltage (I_R = 10 μAdc)	$V_{(BR)R}$	30	–	–	Vdc
Reverse Voltage Leakage Current (V_R = 25 Vdc, T_A = 25°C)	I_R	–	–	0.10	μAdc
Diode Capacitance Temperature Coefficient (V_R = 4.0 Vdc, f = 1.0 MHz)	TC_C	–	280	—	ppm/°C

	C_T, Diode Capacitance V_R = 4.0 Vdc, f = 1.0 MHz pF			Q, Figure of Merit V_R = 4.0 Vdc, f = 50 MHz	TR, Tuning Ratio C_2/C_{30} f = 1.0 MHz		
Device	Min	Nom	Max	Typ	Min	Typ	Max
MMBV2101 /MV2101	6.1	6.8	7.5	450	2.5	2.7	3.2
MMBV2102 /MV2102	7.4	8.2	9.0	450	2.5	2.8	3.2
MMBV2103 /MV2103	9.0	10.0	11.0	400	2.5	2.9	3.2
MMBV2104 /MV2104	10.8	12.0	13.2	400	2.5	2.9	3.2
MMBV2105 /MV2105	13.5	15.0	16.5	400	2.5	2.9	3.2
MMBV2106 /MV2106	16.2	18.0	19.8	350	2.5	2.9	3.2
MMBV2107 /MV2107	19.8	22.0	24.2	350	2.5	2.9	3.2
MMBV2108 /MV2108	24.3	27.0	29.7	300	2.5	3.0	3.2
MMBV2109 /MV2109	29.7	33.0	36.3	200	2.5	3.0	3.2
MV2110	35.1	39.0	42.9	150	2.5	3.0	3.2
MV2111	42.3	47.0	51.7	150	2.5	3.0	3.2
MV2112	50.4	56.0	61.6	150	2.6	3.0	3.3
MV2113	61.2	68.0	74.8	150	2.6	3.0	3.3
MV2114	73.8	82.0	90.2	100	2.6	3.0	3.3
MV2115	90.0	100.0	110.0	100	2.6	3.0	3.3

PARAMETER TEST METHODS

1. C_T, DIODE CAPACITANCE

(C_T = C_C + C_J). C_T is measured at 1.0 MHz using a capacitance bridge (Boonton Electronics Model 75A or equivalent).

2. TR, TUNING RATIO

TR is the ratio of C_T measured at 2.0 Vdc divided by C_T measured at 30 Vdc.

3. Q, FIGURE OF MERIT

Q is calculated by taking the G and C readings of an admittance bridge at the specified frequency and substituting in the following equations.

$$Q = \frac{2\pi fC}{G}$$

(Boonton Electronics Model 33AS8). Use Lead Length ≈1/16".

4. TC_C, DIODE CAPACITANCE TEMPERATURE COEFFICIENT

TC_C is guaranteed by comparing C_T at V_R = 4.0 Vdc, f = 1.0 MHz, T_A = −65°C with C_T at V_R = 4.0 Vdc, f = 1.0 MHz, T_A = +85°C in the following equation which defines TC_C:

$$TC_C = \frac{C_T(+85^\circ C) - C_T(-65^\circ C)}{85 + 65} \cdot \frac{10^6}{C_R(25^\circ C)}$$

Accuracy limited by measurement of C_T to ± 0.1 pF.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TYPICAL DEVICE PERFORMANCE

FIGURE 1 – DIODE CAPACITANCE versus REVERSE VOLTAGE

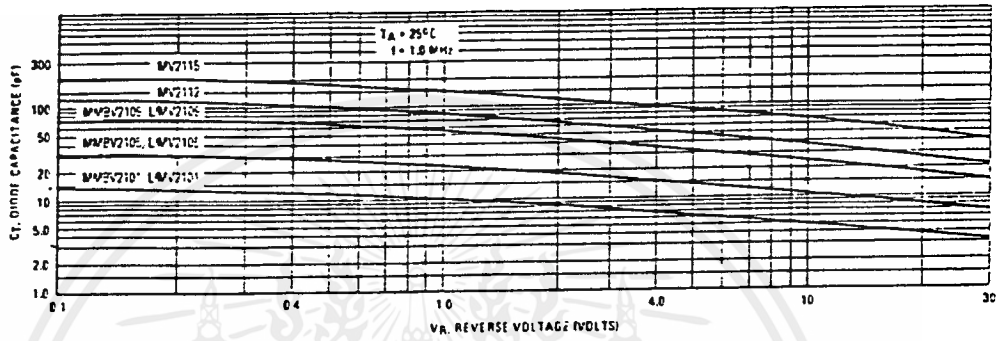


FIGURE 2 – NORMALIZED DIODE CAPACITANCE versus JUNCTION TEMPERATURE

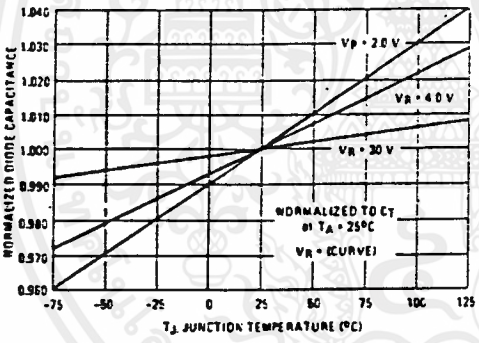


FIGURE 3 – REVERSE CURRENT versus REVERSE BIAS VOLTAGE

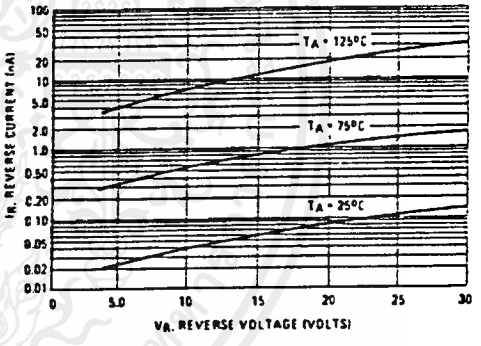


FIGURE 4 – FIGURE OF MERIT versus REVERSE VOLTAGE

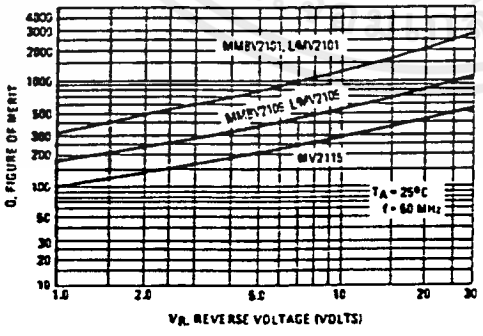
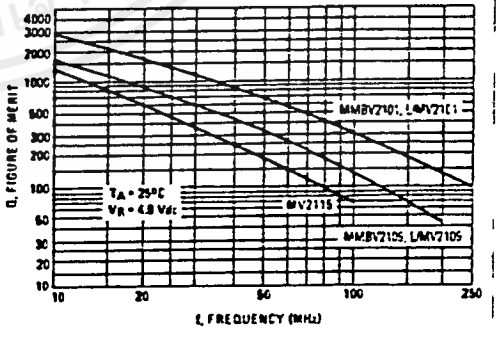


FIGURE 5 – FIGURE OF MERIT versus FREQUENCY



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

J1

SCL4060AB

CMOS 14-STAGE BINARY COUNTER AND OSCILLATOR

FEATURES

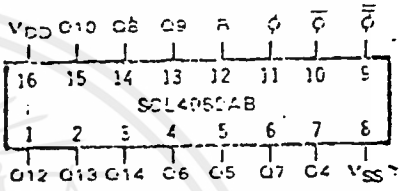
- 14 Fully Static Stages
- 10 Buffered Outputs Available
- Common Reset Line
- 8MHz Counting Rate @ 10Vdc
- All Active Oscillator Components on Chip for R-C or Crystal Control

DESCRIPTION

The SCL4060AB consists of an oscillator section and 14 ripple-carry binary counter stages. The oscillator configuration allows design of either R-C or crystal oscillator circuits. A Reset input is provided which resets the counter to the all-0's state. A high level on the Reset line accomplishes the reset function. The state of the counter is advanced one step in binary order on the negative transition of the Clock input ϕ. All inputs and outputs are fully buffered. Outputs are available from stages 4 through 10 and 12 through 14.

Applications include timers, frequency dividers, delay circuits and counter controls.

CONNECTION DIAGRAM
(all packages)



Add suffix for package:

- C 16-pin Cerdip
- D 16-pin Ceramic
- E 16-pin Epoxy
- F 16-pin Flat
- H Chip

TRUTH TABLE

CLOCK	RESET	OUTPUT STATE
⌐	0	No Change
¬	0	Advance to next state
X	1	All Outputs are low

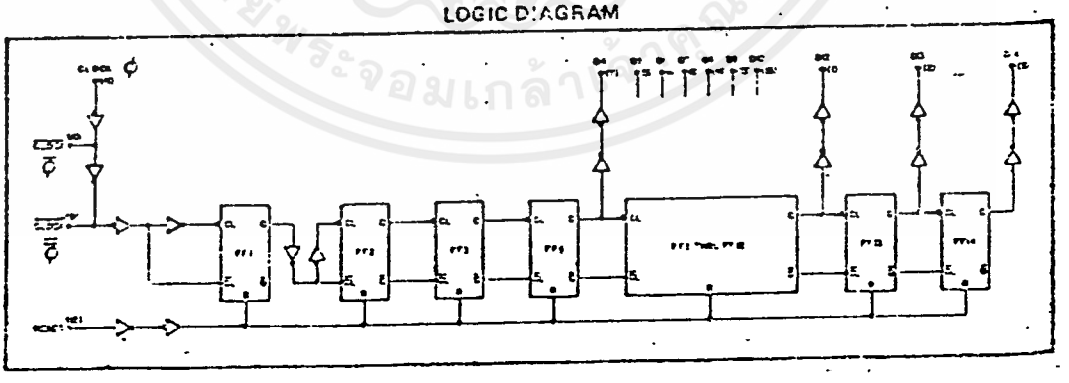
X = Don't Care

RECOMMENDED OPERATING CONDITIONS

For maximum reliability:

DC Supply Voltage	$V_{DD} - V_{SS}$	3 to 15	Vdc
Operating Temperature	T_A		
-C, D, F, H Device		-55 to +125	°C
E Device		-40 to +85	°C

LOGIC DIAGRAM



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

J2

ELECTRICAL CHARACTERISTICS

STATIC CHARACTERISTICS[1]

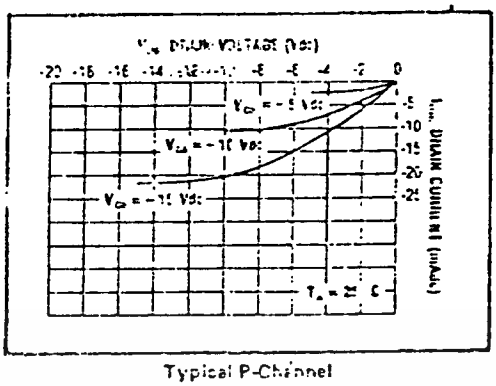
PARAMETER		V_{DD} (Vdc)	CONDITIONS	T_{LOW}[2] Min.	T_{LOW}[2] Max.	+25°C Min.	+25°C Typ	+25°C Max.	T_{HIGH}[3] Min.	T_{HIGH}[3] Max.	Units
QUIESCENT DEVICE CURRENT	I_{DD}	5	$V_{IN}=V_{SS}$ or V_{DD} All valid input combinations	–	5	–	0.05	5	–	150	µAdc
		10		–	10	–	0.1	10	–	300	
		15		–	15	–	0.2	20	–	600	
OUTPUT HIGH (SOURCE) CURRENT C, D, F, H device	I_{OH}	5	$V_{OH}=4.6V$	-0.15	–	-0.12	-0.5	–	-0.05	–	mAdc
		10	$V_{OH}=9.5V$	-0.37	–	-0.3	-1.15	–	-0.21	–	
		15	$V_{OH}=13.5V$	-1.05	–	-1.0	-2.6	–	-0.69	–	
			$V_{IN}=V_{SS}$ or V_{DD}								
E device		5	$V_{OH}=4.6V$	-0.14	–	-0.12	-0.5	–	-0.10	–	mAdc
		10	$V_{OH}=9.5V$	-0.35	–	-0.3	-1.15	–	-0.25	–	
		15	$V_{OH}=13.5V$	-1.2	–	-1.0	-2.6	–	-0.85	–	
			$V_{IN}=V_{SS}$ or V_{DD}								
OUTPUT LOW (SINK) CURRENT C, D, F, H device	I_{OL}	5	$V_{OL}=0.4V$	0.15	–	0.12	0.5	–	0.05	–	mAdc
		10	$V_{OL}=0.5V$	0.37	–	0.3	1.0	–	0.21	–	
		15	$V_{OL}=1.5V$	1.25	–	1.0	5.8	–	0.69	–	
			$V_{IN}=V_{SS}$ or V_{DD}								
E device		5	$V_{OL}=0.4V$	0.14	–	0.12	0.5	–	0.10	–	mAdc
		10	$V_{OL}=0.5V$	0.35	–	0.3	1.0	–	0.25	–	
		15	$V_{OL}=1.5V$	1.2	–	1.0	5.8	–	0.85	–	
			$V_{IN}=V_{SS}$ or V_{DD}								

NOTES: [1] Remaining Static Electrical Characteristics are listed under "SCL4000B Series Family Specifications".
[2] T_{LOW} = -55°C for C, D, F, H device.
= -40°C for E device.
[3] T_{HIGH} = +125°C for C, D, F, H device.
= +85°C for E device.

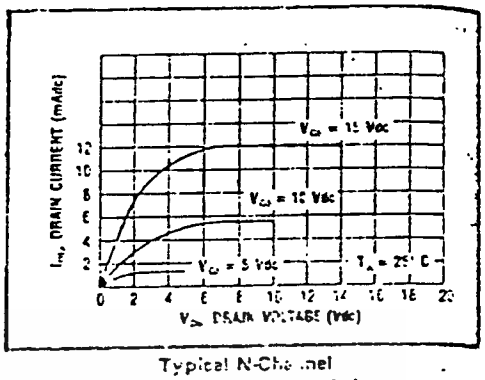
DYNAMIC CHARACTERISTICS (C_L = 50pF, T_A = 25°C)

PARAMETER		V_{DD} (Vdc)	Min.	Typ.	Max.	Units
CLOCKED OPERATION						
PROPAGATION DELAY TIME Clock to Q4	t_{PLH}, t_{PHL}	5	–	650	1300	ns
		10	–	325	650	
		15	–	250	520	
Q_n to Q_{n+1}	t_{PLH}, t_{PHL}	5	–	150	300	ns
		10	–	75	150	
		15	–	60	120	
OUTPUT TRANSITION TIME	t_{TLH}, t_{THL}	5	–	180	360	ns
		10	–	90	180	
		15	–	65	130	
MINIMUM CLOCK PULSE WIDTH	PW_{CL}	5	–	100	200	ns
		10	–	50	100	
		15	–	40	80	
MAXIMUM CLOCK FREQUENCY	f_{CL}	5	2.0	4.0	–	MHz
		10	4.0	8.0	–	
		15	5	10	–	
MAXIMUM CLOCK RISE AND FALL TIME	t_{rCL}, t_{fCL}	5	15	–	–	µs
		10	15	–	–	
		15	5	–	–	
RESET OPERATION						
PROPAGATION DELAY TIME	t_{PHL}	5	–	300	600	ns
		10	–	150	300	
		15	–	120	240	
MINIMUM RESET PULSE WIDTH	PW_R	5	–	150	300	ns
		10	–	75	150	
		15	–	60	120	
RESET REMOVAL TIME	t_{rem}	5	–	250	500	ns
		10	–	125	250	
		15	–	100	200	

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

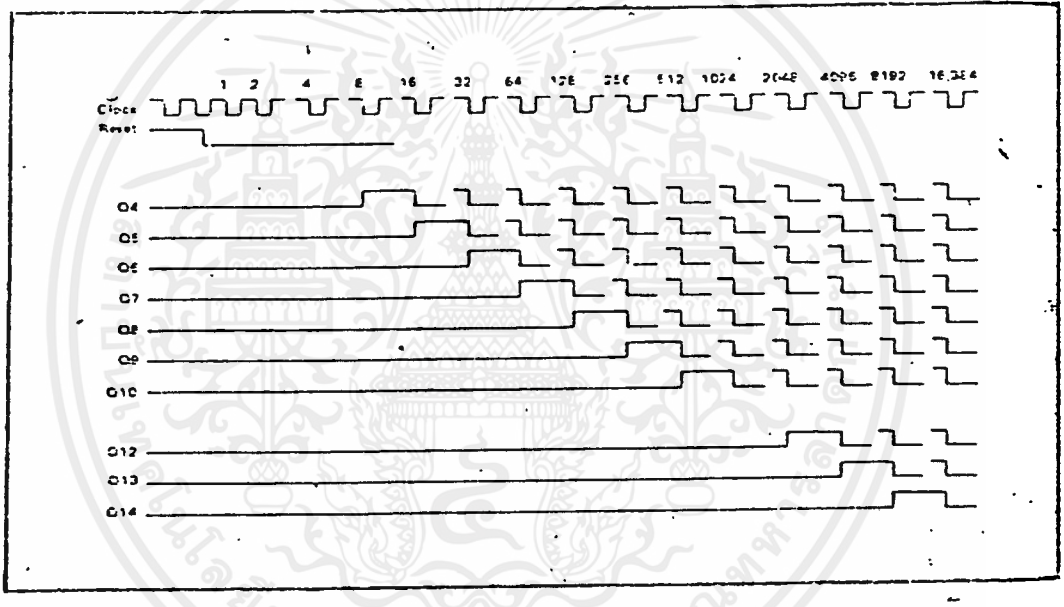


Typical P-Channel
Source Current Characteristics

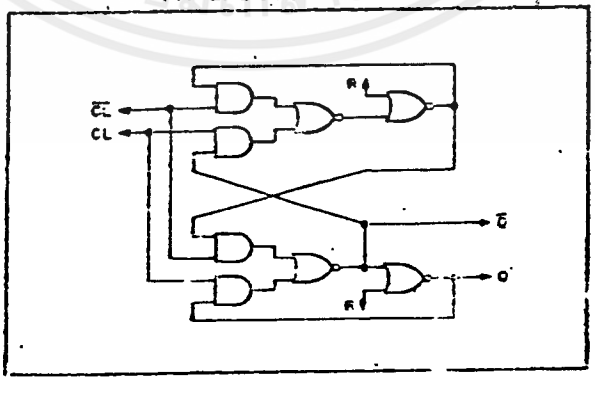


Typical N-Channel
Sink Current Characteristics

TIMING DIAGRAM

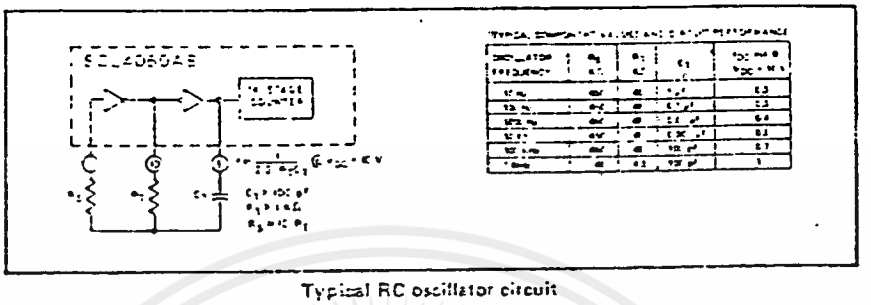


TYPICAL COUNTER STAGE

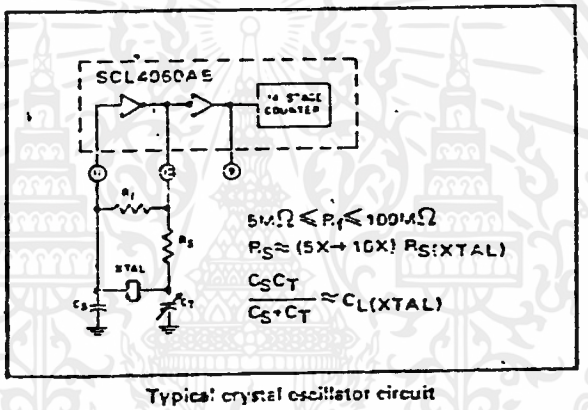


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

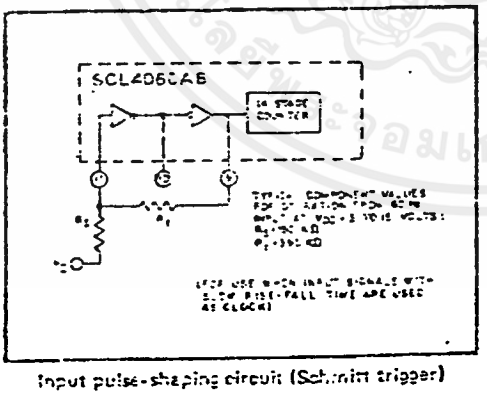
APPLICATIONS INFORMATION



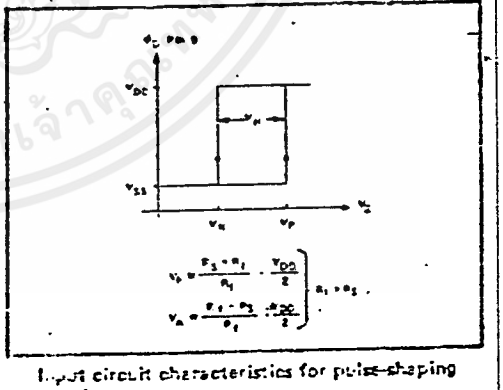
Typical RC oscillator circuit



Typical crystal oscillator circuit



Input pulse-shaping circuit (Schmitt trigger)



Input circuit characteristics for pulse-shaping circuit.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

K1

SCL4046B
SCL4446B

CMOS PHASE-LOCKED LOOPS

FEATURES

- Very low power consumption — 70 μW (typ) @ f_o = 10kHz, 5Vdc
- Operating frequency range (no offset) — Up to 3MHz (typ) @ 10Vdc (SCL4046B) Up to 4MHz (typ) @ 10Vdc (SCL4446B)
- Low frequency drift — 0.04%/°C (typ) @ 10Vdc
- Choice of two phase comparators:
  1. Exclusive-OR network
  2. Edge-controlled memory network with phase-pulse output for lock indication
- VCO Inhibit control for ON-OFF keying and ultra-low standby power consumption
- High VCO linearity 1% (typ)
- Source-follower output of VCO control input (Demodulator Output)
- Zener Diode to assist Supply Regulation
- Balanced Output Drive Current Specifications

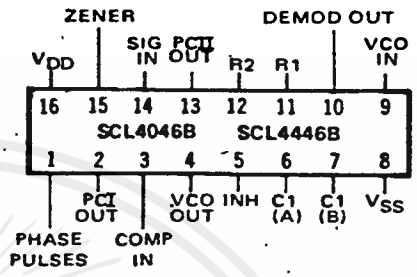
APPLICATIONS

- FM demodulator and modulator
- Frequency synthesis and multiplication
- Frequency discriminator
- Data synchronization
- Voltage-to-frequency conversion
- Tone decoding
- FSK-Modems
- Signal conditioning

DESCRIPTION

The SCL4046B and SCL4446B phase-locked loops contain two phase comparators, a voltage-controlled oscillator (VCO), source follower, and zener diode. The comparators have two common inputs. The Signal input can be used directly coupled to large voltage signals, or indirectly coupled (with a series capacitor) to small voltage signals. The self-bias circuit adjusts small voltage signals in the linear region of the amplifier. Phase comparator I (an exclusive-OR gate) provides a digital error signal PCI_{out}, and maintains 90° phase shift at the center frequency between Signal and Comparator inputs (both at 50% duty cycle). Phase comparator II (with leading edge sensing logic) provides digital error signals $PCII_{out}$ and Phase Pulses, and maintains a 0° phase shift between input signals (duty cycle is immaterial). The linear VCO produces an output signal VCO_{out} whose frequency is determined by the voltage of input VCO_{in} and the capacitor and resistors connected to pins $C1_A$, $C1_B$, R1, and R2. The source follower output, Demod Out, with an external resistor is used where the VCO_{in} signal is needed but no loading can be tolerated. The inhibit input Inh, when high, disables the VCO and source follower to minimize standby power consumption. The zener diode can be used to assist in power supply regulation.

CONNECTION DIAGRAM
(all packages)



Add suffix for package:

C	16-pin Cerdip
D	16-pin Ceramic
E	16-pin Epoxy
F	16-pin Flat
H	Chip

RECOMMENDED OPERATING CONDITIONS

For maximum reliability:

DC Supply Voltage	$V_{DD} - V_{SS}$	3 to 15	V
Operating Temperature	T_A		
C, D, F, H Device		-55 to +125	°C
E Device		-40 to +85	°C

BLOCK DIAGRAM

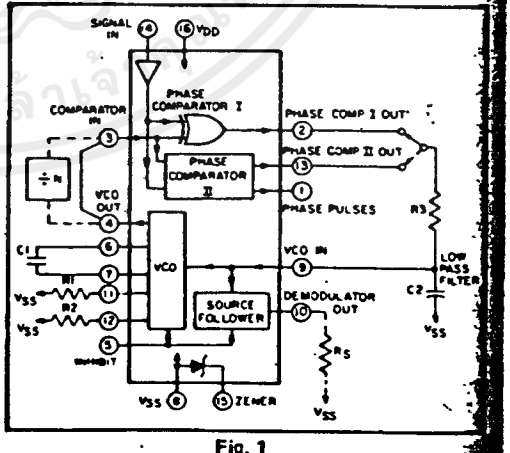


Fig. 1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

K_2

VCO SECTION

The VCO requires one external capacitor (C1) and one to two external resistors (R1 or R1 and R2). Resistor R1 and capacitor C1 determine the frequency range of the VCO and resistor R2 enables the VCO to have a frequency offset if required. The high input impedance ($10^{12}\Omega$) of the VCO simplifies the design of low-pass filters by permitting the designer a wide choice of resistor-to-capacitor ratios. In order not to load the low-pass filter, a source-follower output of the VCO input voltage is provided at terminal 10 (DEMODULATOR OUTPUT). If this terminal is used, a load resistor (R_S) of 50kΩ or more should be connected from this terminal to V_{SS}. If unused, this terminal should be left open. The VCO can be connected directly or through frequency dividers to the comparator input of the phase comparators. A full CMOS logic swing is available at the output of the VCO. A logic 0 on the INHIBIT input "enables" the VCO and the source follower, while a logic 1 "turns off" both to minimize stand-by power consumption.

PHASE COMPARATORS

The phase-comparator signal input (terminal 14) can be direct-coupled provided the signal swing is within CMOS logic levels [logic "0" $\leq$ 30% (V_{DD}-V_{SS}), logic "1" $\geq$ 70% (V_{DD}-V_{SS})]. For smaller swings the signal must be capacitively coupled to the self-biasing amplifier at the signal input.

Phase comparator I is an exclusive-OR network; it operates analogously to an over-driven balanced mixer. To maximize the lock range, the signal and comparator-input frequencies must have a 50% duty cycle. With no signal or noise on the signal input, this phase comparator has an average output voltage equal to $V_{DD}/2$. The low-pass filter connected to the output of phase comparator I supplies the averaged voltage to the VCO input, and causes the VCO to oscillate at the center frequency (f_o).

The frequency range of input signals on which the PLL will lock, if it was initially out of lock, is defined as the frequency capture range ($2f_c$).

The frequency range of input signals on which the loop will stay locked if it was initially in lock is defined as the frequency lock range ($2f_L$). The capture range can not exceed the lock range.

With phase comparator I, the range of frequencies over which the PLL can acquire lock (capture range) is dependent on the low-pass-filter characteristics, and can be made as large as the lock range. Phase-comparator I enables a PLL system to remain in lock in spite of high amounts of noise in the input signal.

One characteristic of this type of phase comparator is that it may lock onto input frequencies that are close to harmonics of the VCO center-frequency. A second characteristic is that the phase angle between the signal and the comparator input varies between 0° and 180°, and is 90° at the center frequency. Figure 2 shows the (typical) triangular phase-to-output response characteristic of phase-comparator I. Typical waveforms for a CMOS phase-locked-loop employing phase comparator I in locked condition is shown in Figure 3.

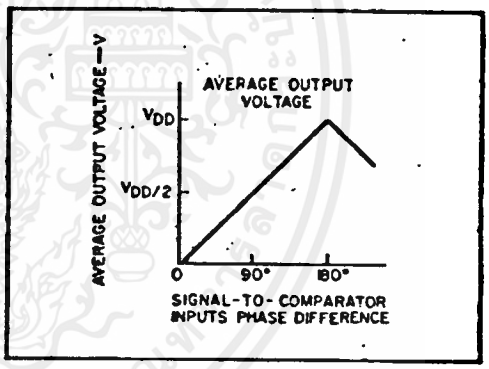


Fig. 2 — Phase-comparator I characteristics at low-pass filter output.

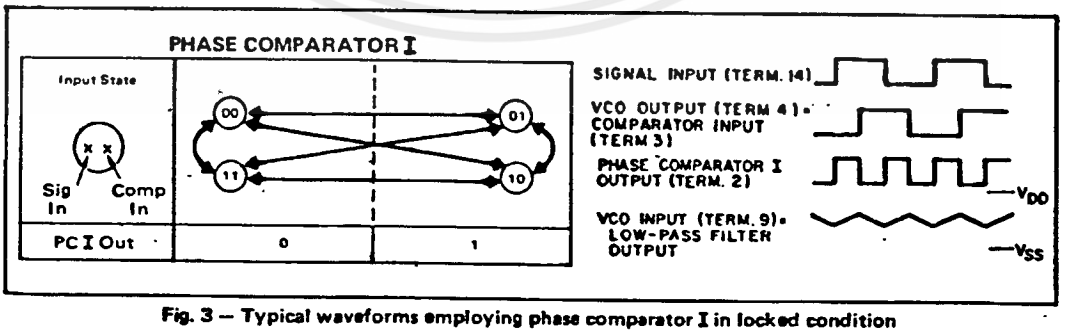


Fig. 3 — Typical waveforms employing phase comparator I in locked condition

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

K3

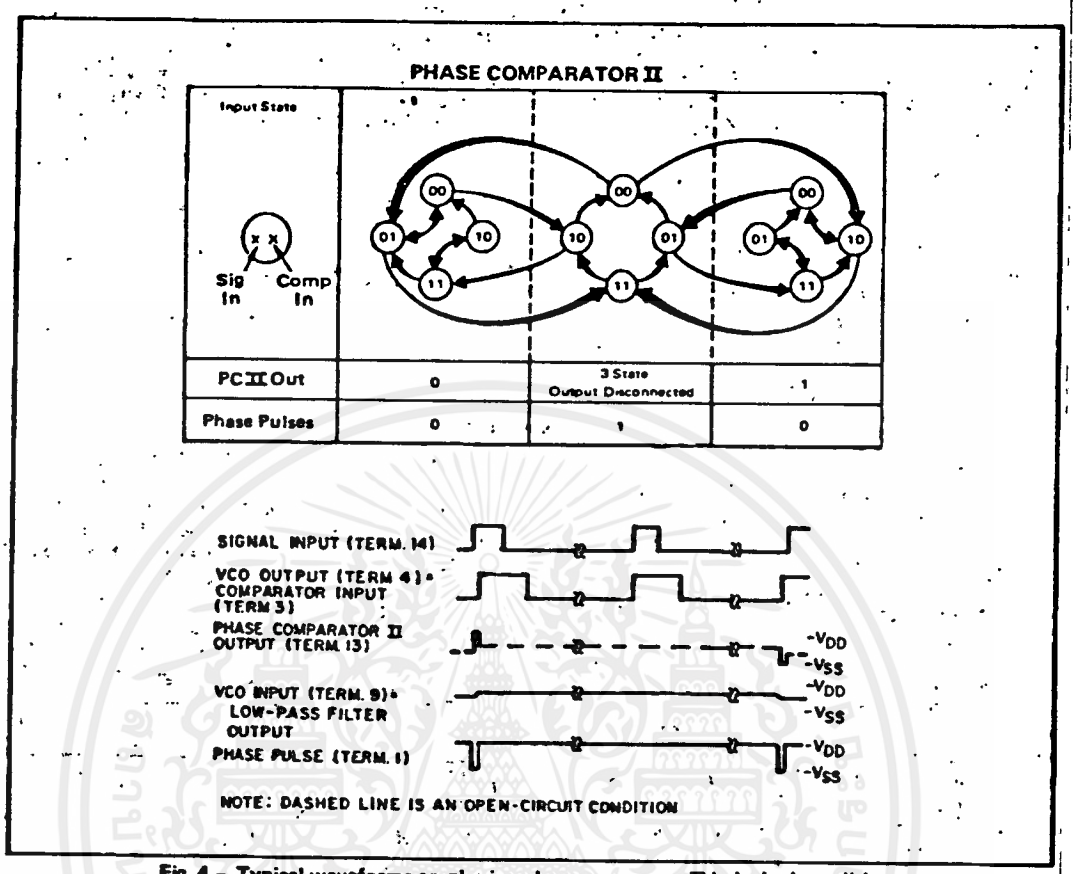


Fig. 4 – Typical waveforms employing phase comparator II in locked condition.

Phase-comparator II is an edge-controlled digital memory network. It consists of several flip-flop stages, control gating, and a three state output circuit comprising p- and n-type drivers having a common output node. When the p-MOS or n-MOS drivers are ON, they pull the output up to V_{DD} or down to V_{SS}, respectively. This type of phase comparator acts only on the positive edges of the signal and comparator inputs. The duty cycles of the signal and comparator inputs are not important since positive transitions control the PLL system utilizing this type of comparator. If the signal lags the comparator input in phase, the n-type output driver is maintained ON for a time corresponding to the phase difference. If the comparator input lags the signal in phase, the p-type output driver is maintained ON for a time corresponding to the phase difference. Subsequently, the capacitor voltage of the low-pass filter connected to this phase comparator is adjusted until the signal and comparator inputs are equal in both phase and frequency. At this stable point, both p- and n-type output drivers remain OFF. Thus, the phase comparator output becomes an open circuit and holds the voltage on the capacitor of the low-pass filter constant. Moreover, the signal at the "phase pulses" output is a high level which can be used for indicating a locked condition. Thus, for phase comparator II, no phase difference exists between signal and comparator input over the full VCO frequency range. Moreover, the power dissipation due to the low-pass filter is reduced when this type of phase comparator is used because both the p- and n-type output drivers are OFF for most of the signal input cycle.

It should be noted that the PLL lock range for this type of phase comparator is equal to the capture range, independent of the low-pass filter. With no signal present at the signal input, the VCO is adjusted to its lowest frequency for phase comparator II. Figure 4 shows typical waveforms for a CMOS PLL employing phase comparator II in a locked condition.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

K4

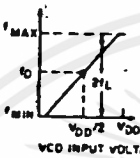
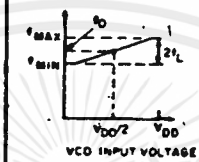
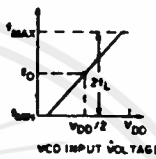
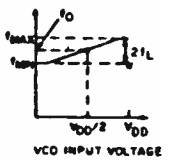
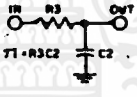
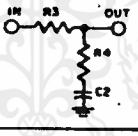
DESIGN INFORMATION

This information is a guide for approximating the values of external components for the SCL4046B and SCL4446B in a Phase-Locked Loop system. The selected external components must be within the following ranges:

$R1, R2 \geq 2k\Omega$, $R_S \geq 10k\Omega$

$C1 \geq 15pF$

In addition to the given design information refer to Figure 5 for R1, R2, and C1 component selections.

CHARACTERISTICS	USING PHASE COMPARATOR I		USING PHASE COMPARATOR II	
	VCO WITHOUT OFFSET $R_2 = \infty$	VCO WITH OFFSET	VCO WITHOUT OFFSET $R_2 = \infty$	VCO WITH OFFSET
VCO Frequency	 VCO INPUT VOLTAGE	 VCO INPUT VOLTAGE	 VCO INPUT VOLTAGE	 VCO INPUT VOLTAGE
For No Signal Input	VCO in PLL system will adjust to center frequency, f_0		VCO in PLL system will adjust to lowest operating frequency, f_{min}	
Frequency Lock Range, $2f_L$	$2f_L$ = full VCO frequency range $2f_L = f_{max} - f_{min}$			
Frequency Capture Range, $2f_C$	 $2f_C \approx \frac{1}{\pi}\sqrt{\frac{2\pi f_L}{T1}}$		$f_C = f_L$	
Loop Filter Component Selection	 For $2f_C$, see Ref.			
Phase Angle between Signal and Comparator	90° at center frequency (f_0), approximating 0° and 180° at ends of lock range ($2f_L$)		Always 0° in lock	
Locks on Harmonics of Center Frequency	Yes		No	
Signal Input Noise Rejection	High		Low	
VCO Component Selection	– Given: f_0 – Use f_0 with Fig.5a to determine R1 and C1	– Given: f_0 and f_L – Calculate f_{min} from the equation $f_{min} = f_0 - f_L$ – Use f_{min} with Fig. 5b to determine R2 and C1 – Calculate $\frac{f_{max}}{f_{min}}$ from the equation $\frac{f_{max}}{f_{min}} = \frac{f_0 + f_L}{f_0 - f_L}$ – Use $\frac{f_{max}}{f_{min}}$ with Fig.5c to determine ratio R2/R1 to obtain R1	– Given: f_{max} – Calculate f_0 from the equation $f_0 = \frac{f_{max}}{2}$ – Use f_0 with Fig.5a to determine R1 and C1	– Given: f_{min} & f_{max} – Use f_{min} with Fig.5b to determine R2 and C1 – Calculate $\frac{f_{max}}{f_{min}}$ – Use $\frac{f_{max}}{f_{min}}$ with Fig.5c to determine ratio R2/R1 to obtain R1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ELECTRICAL CHARACTERISTICS [1,3]

PARAMETER		V_{DD} (Vdc)	CONDITIONS	T_{LOW} [2]		+25°C			T_{HIGH} [2]		Units
				Min.	Max.	Min.	Typ.	Max.	Min.	Max.	
QUIESCENT DEVICE CURRENT	I_{DD}	5	Inhibit = V_{DD}	–	5	–	0.05	5	–	150	μAdc
		10	Signal Input =	–	10	–	0.01	10	–	300	
		15	V_{DD}	–	20	–	0.2	20	–	600	
TOTAL POWER DISSIPATION	P_T		Inh = V_{SS}, $VCO_{IN} = \frac{V_{DD}}{2}$, f_o = 10kHz,								
		5	C_L = 15pF	–	–	–	0.07	–	–	–	mW
		10	R1 = 1MΩ,	–	–	–	0.6	–	–	–	
		15	R2 = R_S = ∞	–	–	–	2.4	–	–	–	

NOTES: [1] Remaining Static Electrical Characteristics are listed under "SCL4000B Series Family Specifications".
[2] T_{LOW} = -55°C for C, D, F, H device.
= -40°C for E device.
T_{HIGH} = +125°C for C, D, F, H device.
= + 85°C for E device.
[3] VCO output (pin 4) and Phase Comparator Outputs (pins 2 and 13) have been designed for balanced output drive current specifications. Consult Family Specifications.

PARAMETER		CONDITIONS		V_{DD}	25°C			UNIT
					Min.	Typ.	Max.	
VCO SECTION								
MAXIMUM OPERATING FREQUENCY	f_{max}							
SCL4046B			R1 C1					
		R2 = ∞, VCO_{IN} = V_{DD}	10k 50pF	5	0.5	0.8	–	MHz
				10	1.0	1.5	–	
				15	1.3	1.9	–	
			5k 50pF	5	0.6	1.0	–	MHz
				10	1.4	2.1	–	
				15	1.8	2.7	–	
			2k 50pF	5	–	1.3	–	MHz
				10	–	2.9	–	
				15	–	3.8	–	
SCL4446B		R2 = ∞	R1 C1					
		VCO_{IN} = V_{DD}	10k 50pF	5	0.7	1.0	–	MHz
				10	1.3	2.0	–	
				15	1.9	2.8	–	
			5k 50pF	5	0.9	1.3	–	MHz
				10	1.9	2.9	–	
				15	2.6	3.9	–	
			2k 50pF	5	–	1.8	–	MHz
				10	–	3.9	–	
				15	–	5.4	–	
LINEARITY		R2 = ∞						
		VCO_{IN} = 2.5±0.3V, R1 ≥ 10kΩ		5	–	1	–	%
		VCO_{IN} = 5.0±2.5V, R1 ≥ 400kΩ		10	–	1	–	
		VCO_{IN} = 7.5±5.0V, R1 ≥ 1MΩ		15	–	1	–	

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ELECTRICAL CHARACTERISTICS (Continued)

PARAMETER		CONDITIONS	V_{DD}	+25°C			UNIT
				Min.	Typ.	Max.	
VCO SECTION (Continued)							
TEMPERATURE-FREQUENCY STABILITY							
No Offset		R2 = ∞	5	–	0.12-0.24	–	%/°C
			10	–	0.04-0.08	–	
			15	–	0.015-0.03	–	
With Offset		R2 ≤ 10X R1	5	–	0.06-0.12	–	%/°C
			10	–	0.05-0.1	–	
			15	–	0.03-0.06	–	
INPUT RESISTANCE (VCO_{IN})	R_{IN}		5, 10, 15	–	10^6	–	MΩ
OUTPUT DUTY CYCLE		All valid input combinations and voltages		–	50	–	%
OUTPUT TRANSITION TIME	t_{TLH}, t_{THL}	C_L = 50pF	5	–	100	200	ns
			10	–	50	100	
			15	–	40	80	
PHASE COMPARATORS							
INPUT RESISTANCE							
Signal Input	R_{IN}		5	1	3	–	MΩ
			10	0.2	0.7	–	
			15	0.1	0.3	–	
Comparator Input	R_{IN}		5, 10, 15	–	10^6	–	MΩ
AC-COUPLED INPUT SENSITIVITY							
Signal Input	V_{IN}		5	–	200	400	mV
			10	–	400	800	
			15	–	700	1400	
OUTPUT TRANSITION TIME							
PCI, PCII Outputs	t_{TLH}, t_{THL}	C_L = 50pF	5	–	100	200	ns
			10	–	50	100	
			15	–	40	80	
Phase Pulses Output	t_{TLH}, t_{THL}		5	–	130	260	ns
			10	–	65	130	
			15	–	50	100	
DEMODULATOR OUTPUT							
OFFSET VOLTAGE	VCO_{IN}-V_{DEM}	R_S ≥ 50kΩ	5	–	1.4	2.2	Vdc
			10	–	1.6	2.2	
			15	–	1.8	2.2	
LINEARITY		R_S ≥ 50kΩ					
		VCO_{IN} = 2.5±0.3V	5	–	0.1	–	%
		VCO_{IN} = 5.0±2.5V	10	–	0.6	–	
		VCO_{IN} = 7.5±5.0V	15	–	0.8	–	
ZENER DIODE							
ZENER VOLTAGE	V_Z	I_Z = 50μA	–	6.3	7.0	7.7	V
DYNAMIC RESISTANCE	R_Z	I_Z = 1mA	–	–	100	–	Ω

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

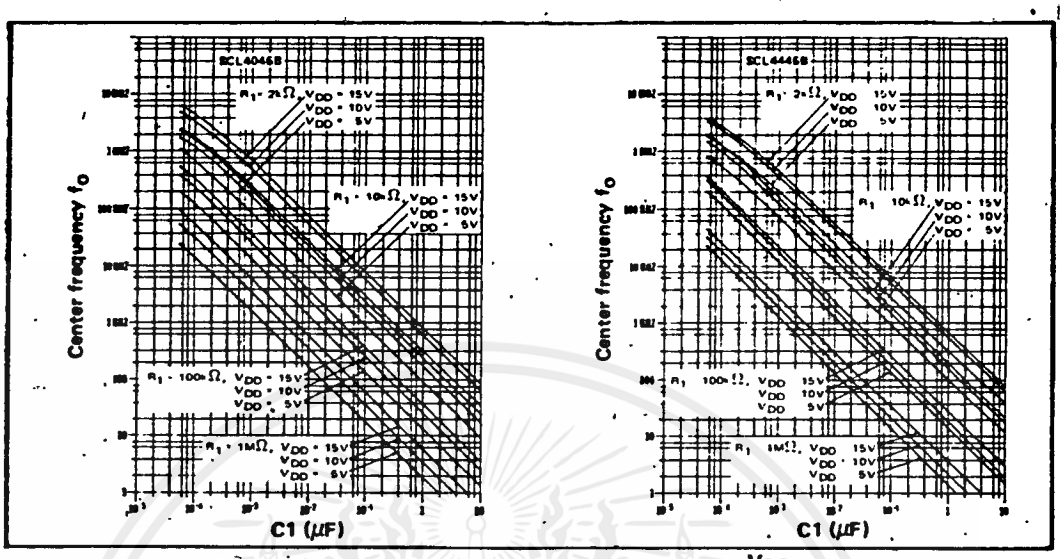


Fig. 5 (a) Typical center frequency (f_o) vs C1 ($R2 = \infty$, $VCO_{IN} = \frac{V_{DD}}{2}$, $T_A = 25°C$)

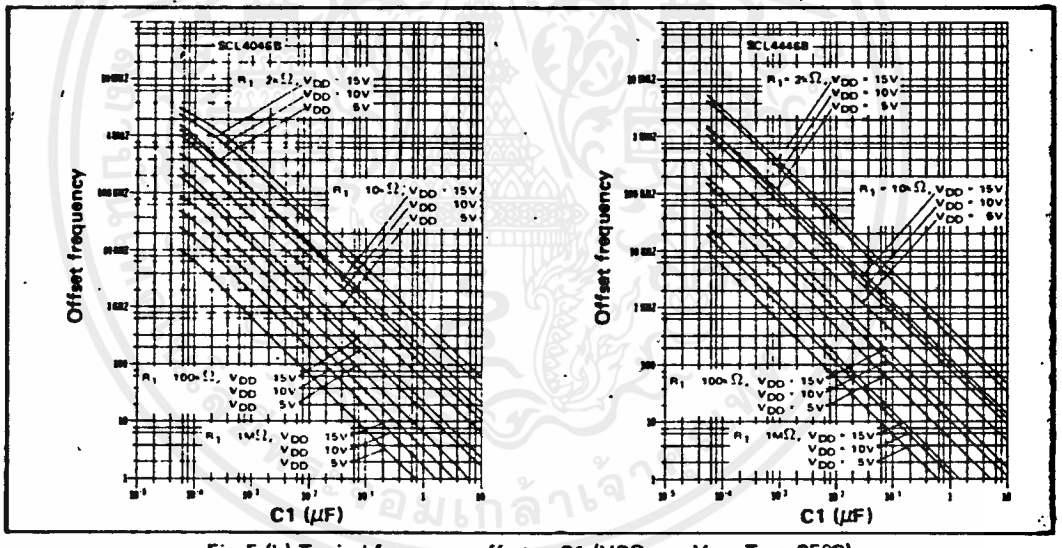


Fig. 5 (b) Typical frequency offset vs C1 ($VCO_{IN} = V_{SS}$, $T_A = 25°C$)

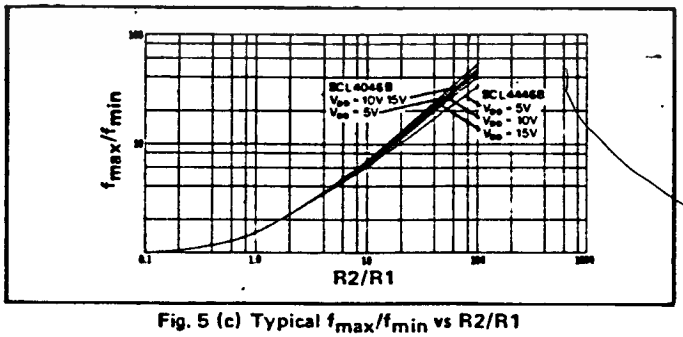


Fig. 5 (c) Typical f_{max}/f_{min} vs R2/R1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

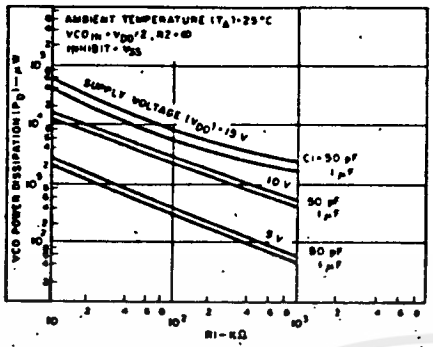


Fig. 6 (a) - Typical VCO power dissipation at center frequency vs R1.

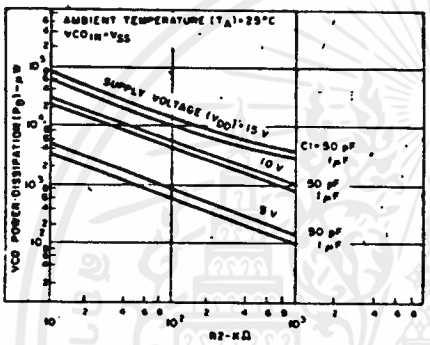


Fig. 6 (b) - Typical VCO power dissipation at f_{min} vs R2.

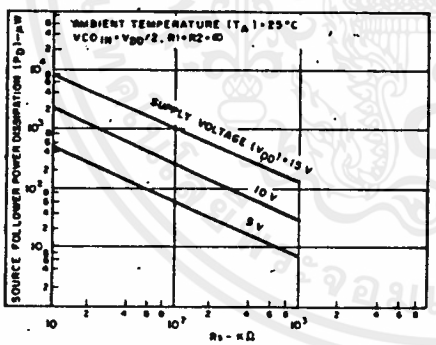


Fig. 6 (c) - Typical source follower power dissipation vs R_S.

NOTE: To obtain approximate total power dissipation of PLL system for no-signal input

P_D (Total) = P_D (f_o) + P_D (f_{MIN}) + P_D (R_S)
— Phase Comparator I

P_D (Total) = P_D (f_{MIN})
— Phase Comparator II

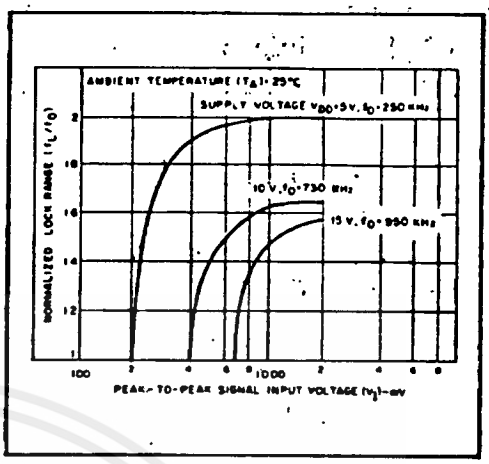


Fig. 7 — Typical lock range vs signal input amplitude

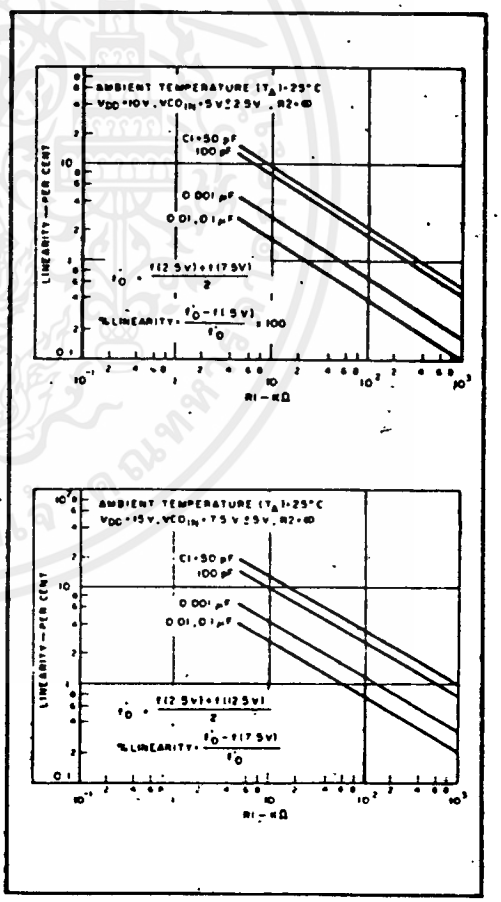


Fig. 8(a, b) — Typical VCO linearity vs R1 and C1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หนังสืออ้างอิง

- " คู่มือไอซี CMOS 400 Series " จัดพิมพ์โดย บริษัท ซีเอ็ดยูเคชั่นจำกัด

- " ศัพท์เทคนิควิศวกรรมไฟฟ้าสื่อสาร " ของวิศวกรรมสถานแห่งประเทศไทย ในพระบรมราชูปถัมภ์. พิมพ์ครั้งที่ 1 มกราคม 2535

- " Digital PLL Frequency Synthesizers Theory and Design " by Ulrich L. Rohde Ph.D, ScD.

- " RF Circuit Design " by Chris Bowick Copyright 1982 First edition , eighth - printing 1990

- " RF Devide data " volume 1 by Motorola

- " Linear Circuits Data Book 1989 " Volume 3 Voltage Regulators and Supervisors.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้