รีโหม่ตเทอร์มินอลยูนิต

Remote Terminal Unit

โดย

นาย ถวัลย์ โหสุวรรณ 34131108

นาย ปรีชา ศรีสะเทือน 34131119

นาย โชติวัฒน์ อุ่นพิกุล 34131151

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาอุตสาหกรรมศาสตร์บัณฑิต

สาขาเทคโนโลยีอิเล็กทรอนิกส์

สถาบันเทคโนโลยีพระจอมเกล้า เจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2535

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

032652

หัวข้อปริญญานิพนธ์ : รีโหมดเทอร์มินอลยูนิต

ผู้จัดทำ : นาย ถวัลย์ โหสุวรรณ
นาย ปรีชา ศรีสะเทือน
นายโชติวัฒน์ อุ่นพิกุล

อาจารย์ที่ปรึกษา : อ.จักรี ทีมภาคย์วิศิษฏ์

ภาควิชา : เทคนิคอุตสาหกรรม

ปีการศึกษา : 2535

คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้า เจ้าคุณทหารลาดกระบัง อนุมัติให้นับปริญญานิพนธ์ฉบับนี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาอุตสาหกรรมศาสตร์บัณฑิต

..... คณบดีคณะวิศวกรรมศาสตร์

( )

คณะกรรมการสอบปริญญานิพนธ์

..... ประธานกรรมการ

( )

..... กรรมการ

( )

..... กรรมการ

( )

..... กรรมการ

( )

..... กรรมการ

( )

ลิขสิทธิ์ของคณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้า เจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2535

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

032652

รีโทมตเทอร์มินอลยูนิต

โดย

นาย ถวัลย์	โทสุวรรณ	34131108
นาย ปรีชา	ศรีสะเทือน	34131119
นาย โชติวัฒน์	อุ่นพิกุล	34131151

อาจารย์ที่ปรึกษา

อ.จักรี ทีฆาภาควัศษ์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ปริญญานิพนธ์ ปีการศึกษา 2535

ภาควิชา เทคนิคอุตสาหกรรม

คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้า เจ้าคุณทหารลาดกระบัง

เรื่อง รีโหมตเทอร์มินอลยูนิต (Remote Terminal Unit)

ผู้จัดทำ

นาย ถวัลย์	โทสุวรรณ	34131108
นาย ปรีชา	ศรีสะเทือน	34131119
นาย โชติวัฒน์	อุ่นพิกุล	34131151

..... อาจารย์ที่ปรึกษา

( )

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หัวข้อปริญญานิพนธ์ : รีโหมดเทอร์มินอลยูนิต
ผู้จัดทำ : นาย ถวัลย์ โทสุวรรณ
นาย ปรีชา ศรีสะเทือน
นายโชติวัฒน์ อุ่นพิทูล
อาจารย์ที่ปรึกษา : อ.จักรี ทีฆาภาคย์วิศิษฏ์
ภาควิชา : เทคนิคอุตสาหกรรม
ปีการศึกษา : 2535

บทคัดย่อ

การควบคุมอุปกรณ์ต่างๆที่อยู่ห่างไกลจากที่ควบคุมโดยไม่มีคนเฝ้าอยู่ที่ปลายทาง ระบบต่างๆ จะต้องมีความแน่นอน และผู้ควบคุมที่อยู่ต้นทางจะต้องสามารถทราบสถานะต่างๆของปลายทางที่ควบคุมได้ สำหรับปริญญานิพนธ์นี้มีจุดมุ่งหมายเพื่อการสั่งงานควบคุมจากสถานีหลักไปยังลูกข่าย โดยจะส่งผ่านทางสาย ซึ่งจะมีการแสดงสถานะของสิ่งที่ถูกควบคุมที่บนจอคอมพิวเตอร์ตัวแม่ เพื่อให้ผู้ใช้สามารถทราบสถานะการควบคุมได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

PROJECT REPORT TITLE : REMOTE TERMINAL UNIT

NAME : MR.TAWAN THOSUWAN
MR.PRECHA SRISATUAN
MR.CHOTIWAT AUNPIKUN

PROJECT REPORT ADVISOR : MR.JAKREE TEEKAPAKVISIT

DEPARTMENT OF : ELECTRONICS TECHNOLOGY

ACADEMIC YEAR : 1992

Abstract

The remote equipment whit out human control. The system must have high reliability and main terminal must be know status of every subscriber terminal.

The propose of this thesis is controlled from main terminal to each subscriber terminal by line link and will display status of controlled equipment. In this paper the main terminal is personal computer

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ

	หน้า
บทนำ	1
การติดต่อสื่อสารแบบอนุกรม	3
รายละเอียดการสร้างโครงงาน	
- Remote Terminal Unit Speacification	18
- Remote Terminal Unit Hardware	20
- วงจรที่ใช้งานจริง	26
- Remote Terminal Unit Software	32
- Program Software ที่ใช้งานจริง	52
ภาคผนวก	

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รีโมตเทอร์มินอลยูนิต (Remote Terminal Unit)

บทนำ

SCADA คืออะไร

SCADA ย่อมาจากคำว่า "Supervisury Control And Data Acquition" ซึ่งหมายถึง ระบบรวบรวม จัดการข้อมูลและควบคุมการทำงานของอุปกรณ์ ระบบนี้จะใช้ในการติดต่อระหว่างศูนย์ควบคุมกับสถานีที่ห่างไกลต่างๆโดยผ่านข่าย และอุปกรณ์การสื่อสาร ตัวอย่างการใช้งาน เช่น สถานีสูบจ่ายน้ำมัน แท่นเจาะน้ำมันกลางทะเล การควบคุมการขนส่งก๊าซธรรมชาติทางท่อ การควบคุมกลไกลอัตโนมัติ

อุปกรณ์หลัก

ที่สถานีที่อยู่ห่างไกลจากศูนย์ควบคุมจะมี RTU หรือ Remote Terminal Units เป็นอุปกรณ์ที่ส่งข้อมูลต่างๆ เช่น ข้อมูลแจ้งเตือนสัญญาณอันตราย และสภาวะการทำงานของเครื่องมือและอุปกรณ์ (Status/Alam Indications) ข้อมูลทางอนาล็อก (Analog Data) ข้อมูลของค่าที่ได้รับจากอุปกรณ์การวัด เช่น มิเตอร์ มายังศูนย์ควบคุมซึ่งมี MTU หรือ Master Terminal Units เป็นตัวนับข้อมูลดังกล่าว ทั้งนี้ MTU ยังสามารถทำหน้าที่ส่งคำสั่ง(Command) ทั้งทางดิจิตอลและอนาล็อกไปควบคุมสถานีที่อยู่หารงไกล ในปัจจุบันทางศูนย์ควบคุมทั่วไปใช้ Digital Computer ทำหน้าที่ในการ supervise Control รวมทั้งการจัดข้อมูลให้อยู่ในรูปที่เหมาะสมพื่อใช้งาน (Data Acquisition)

โดยอาศัยเทคโนโลยีที่ก้าวหน้าในปัจจุบันนี้ RTU จัดเป็น Intelligent Terminal อันหนึ่งกล่าวคือ RTU สามารถที่จะรวบรวมข้อมูลดิบจากขบวนการผลิตมาจัดการ ทำให้เป็นข้อมูลที่สามารถนำไปใช้ได้เป็นประโยชน์ได้อย่างเบ็ดเสร็จในสถานีปลายทางและ/หรือที่ MTU ตลอดจนมีความสามารถพอที่จะตัดสินใจในงานควบคุมในระดับต้นได้

สิ่งที่คล้ายคลึงและสิ่งที่แตกต่างจากการควบคุมและจากการวัดในอุตสาหกรรมทั่วๆไป

สิ่งที่คล้ายคลึงกัน

การวัดไม่ว่าจะเป็นเรื่องของความดัน การไหล กระแสไฟฟ้า แรงดันไฟฟ้า รวมทั้งการการอ่าน อุปกรณ์การอ่าน และระบบการควบคุมของระบบ SCADA จะมีลักษณะเหมือนๆกันกับการอ่านการวัดและการควบคุมในโรงงานทั่วๆไป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สิ่งที่แตกต่างกัน

สิ่งที่แตกต่างกันที่เห็นได้ชัด คือ เรื่องของเวลา และเรื่องของคนควบคุม ในระบบ SCADA การอ่านข้อมูลหนึ่งข้อมูลใดอาจจะกินเวลาตั้งแต่วินาทีจนถึงหลายนาที ทั้งนี้ขึ้นอยู่กับขนาดของระบบและข่ายการสื่อสาร ส่วนคนควบคุมนั้น SCADA ไม่จำเป็นต้องมีคนควบคุมที่สถานีห่างไกล และเมื่อเกิดเหตุผิดปกติขึ้นอาจจะใช้เวลาเป็นชั่งโมง หรือเป็นวันเพื่อส่งเจ้าหน้าที่ไปทำการแก้ไข

เวลาและเรื่องของคนนี้เป็นเรื่องที่แตกต่างกันอย่างเห็นได้ชัด จากการควบคุมในโรงงานอุตสาหกรรมทั่วๆไปการสื่อสารมีความสำคัญมาก ข่ายสื่อสารจะต้องมีความเชื่อถือได้สูง เพื่อให้ Computer ที่ศูนย์กลางสามารถควบคุมสอดส่องดูแลได้ตลอดเวลา แต่ที่สถานีห่างไกล RTU ก็ต้องสามารถที่จะต้องควบคุมการทำงานของมันเองได้ถ้าหากข่ายสื่อสารเกิดมีปัญหาขึ้น

ในการออกแบบการควบคุม SCADA นี้จะมี 2 ลักษณะที่ต้องคำนึงถึง คือ

1.ลักษณะแรกระบบมีหน้าที่การควบคุมที่เบ็ดเสร็จอยู่ในสถานีที่ห่างไกลนั้น

2.ระบบนี้มีหน้าที่การควบคุมที่จะต้องไปสัมพันธ์กับสถานีห่างไกลอื่น ตัวอย่างเช่น การปิด Block Valve ที่สถานีหนึ่งในท่อส่งน้ำประปาโดยไม่ปิดปั๊มในสถานีต้นทาง อาจจะทำให้ท่อน้ำประปาแตกเสียหายได้ ถ้าเป็นน้ำมันจะส่งจากบ่อน้ำมันก็จะอันตรายมากยิ่งขึ้น

โดยทั่วๆไป RTU มาตรฐานในระบบ SCADA จะทำงานเป็น Input และ Output แบบง่ายๆ และไม่มี Closed Loop Control การใช้งานจะจำกัดในที่ๆกระบวนการผลิตที่มีเวลาตอบสนองในกระบวนการผลิตช้ากว่าเวลาที่ใช้ในการสื่อสารข้อมูล การควบคุมที่ยุ่งยากหรือสลับซับซ้อนจะทำพิเศษในสถานีนั้นๆ และเบ็ดเสร็จในสถานีนั้นๆ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ทฤษฎี

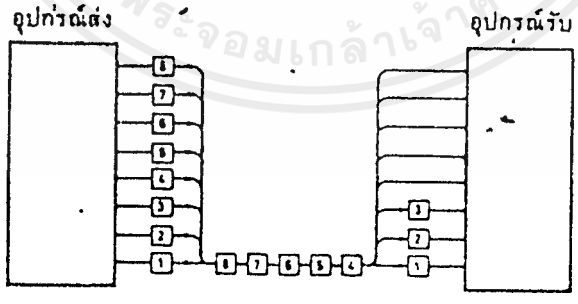
การติดต่อสื่อสารแบบอนุกรม

พอร์ทอนุกรมสื่อสารเป็นส่วนสำคัญส่วนหนึ่งที่อยู่บนไมโครคอมพิวเตอร์ 16 บิท พอร์ทสื่อสารนี้มีชื่อเรียกอีกอย่างหนึ่งว่า คอม-พอร์ท(com port) ผู้ออกแบบพอร์ทสื่อสารต้องการให้เป็นไปตามแบบมาตรฐานการเชื่อมต่อแบบอนุกรมที่เรียกว่า RS232C

วิธีการถ่ายโอนข้อมูล

ก่อนที่จะทำความเข้าใจชิป 8251 และการเชื่อมต่อกับ Z-80 ควรทำความเข้าใจหลักการพื้นฐานเกี่ยวกับการรับส่งข้อมูลของระบบในการติดต่อสื่อสารระหว่างคอมพิวเตอร์กับอุปกรณ์อื่นๆ หรือคอมพิวเตอร์ก่อนว่าเป็นอย่างไร การสื่อสารเพื่อถ่ายโอนข้อมูลแบ่งออกได้เป็นทั้งแบบขนานและแบบอนุกรม แต่สำหรับในกรณีนี้จะกล่าวเฉพาะแบบอนุกรมเท่านั้น

ในการถ่ายโอนข้อมูลแบบอนุกรมนั้น ข้อมูลจะได้รับการส่งออกมาครั้งละ 1 บิทระหว่างจุดส่งและจุดรับ จะเห็นว่าการส่งข้อมูลแบบอนุกรมนี้จะช้ากว่าการส่งข้อมูลแบบขนาน แต่ยังคงใช้การรับส่งแบบนี้อยู่ก็เพราะว่า ตัวกลางการสื่อสารต้องการเพียงช่องเดียวหรือมีสายเพียงคู่เดียว ค่าใช้จ่ายในการใช้ตัวกลาง เช่น สายไฟจะต้องมีราคาถูกกว่าแบบขนานอย่างแน่นอน สำหรับการส่งข้อมูลในระยะทางไกลๆก็จะเป็นเรื่องดี เพราะเรามีระบบสื่อสารทางโทรศัพท์ไว้ใช้งานอยู่แล้ว จึงสามารถนำมาใช้งานการส่งข้อมูลแบบอนุกรมนี้ได้



รูปที่ 8.1 การรับและการส่งข้อมูลแบบอนุกรม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 1 แสดงให้เห็นการส่งแบบอนุกรม ข้อมูลจากจุดส่งจะถูกเปลี่ยนให้เป็นแบบอนุกรมเสียก่อนแล้วค่อยทยอยส่งครั้งละ 1 บิทไปยังจุดรับ ที่จุดรับจะต้องมีกลไกในการเปลี่ยนข้อมูลที่ส่งมาครั้งละ 1 บิทให้เป็นแบบขนาน ซึ่งลงตัวพอดี นั่นคือ บิท 1 ลงที่บัสข้อมูลเส้นที่ 1 พอดี การที่จะทำให้การแปลงข้อมูลจากแบบอนุกรมครั้งละ 1 บิทให้ลงตัวพอดีนั้น จำเป็นต้องมีกลไกที่เหมาะสมเพื่อป้องกันการผิดพลาดในการรับ กลไกที่ว่านี้แบ่งออกเป็น 2 แบบ คือ แบบซิงโครนัส (synchronous) และแบบอะซิงโครนัส (asynchronous)

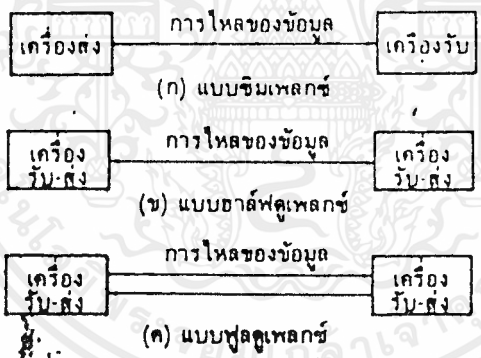
รูปแบบของการติดต่อสื่อสารแบบอนุกรม

การติดต่อแบบอนุกรมอาจจะแบ่งตามรูปลักษณะการส่งข้อมูลได้ 3 แบบ คือ

1.แบบซิมเพล็กซ์ (Simplex) เป็นการส่งข้อมูลได้ทางเดียวเท่านั้น

2.แบบฮาล์ฟดูเพล็กซ์ (Half duplex) เป็นการรับและส่งข้อมูลได้ทั้ง 2 ทาง แต่จะต้องผลัดกันรับและผลัดกันส่ง จะส่งและรับพร้อมกันไม่ได้

3.แบบฟูลดูเพล็กซ์ (Full duplex) ทั้ง 2 สถานีสามารถรับส่งได้ในเวลาเดียวกัน



รูปที่ 6.2 ประเภทของการติดต่อสื่อสารแบบอนุกรม

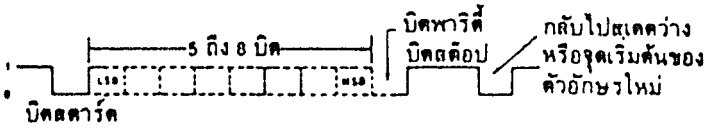
ความเร็วในการถ่ายโอนข้อมูลแบบอนุกรม

ความเร็วในการถ่ายโอนข้อมูลแบบอนุกรมมีหน่วยวัดเป็นบิทต่อวินาที หรือเรียกว่า บีพีเอส (bps) แต่ยังมีหน่วยที่นิยมใช้กันมาก คือ บอดเรท หรืออัตราบอด (baud rate) ซึ่งหมายถึงการเปลี่ยนแปลงของสัญญาณใน 1 วินาที ซึ่งมีความสัมพันธ์กันดังนี้ คือ อัตราการส่งข้อมูลเป็นจำนวนบิทเท่ากับ อัตราบอดคูณกับจำนวนบิทใน 1 บอด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การสื่อสารแบบอะซิงโครนัส

การสื่อสารแบบนี้ประกอบด้วยบิทเริ่มต้นหรือ start bit และบิทสิ้นสุดหรือ stop bit ดังรูป



รูปที่ 8.3 รูปแบบของการสื่อสารแบบอะซิงโครนัส

ขณะที่สถานะของการส่งเป็นแบบว่างหรือไอเด้ล (idle) คือ ยังไม่มีสัญญาณส่งออกมาจะมีสัญญาณหรือมีแรงดันตลอดเวลา เพื่อความแน่ใจว่าผู้รับยังติดต่ออยู่กับผู้ส่ง ผู้ส่งจะเริ่มส่งข้อมูลบอกจุดเริ่มต้น สัญญาณของอะซิงโครนัสจะเป็น "0" หนึ่งช่วงสัญญาณนาฬิกา บิทนี้เรียกว่า บิทสตาร์ท ข้อมูล 1 ตัวอักษรที่ตามมาหลังบิทสตาร์ทจะมีตั้งแต่ 5 บิท จนถึง 8 บิท โดยบิทที่มีค่าน้อยที่สุด (LSB) จะถูกส่งออกมาก่อนและไล่ไปจนถึงบิทที่มีค่ามากที่สุด (MSB) การเข้ารหัสอักษรนี้ส่วนมากจะนิยมใช้รหัสแอสกี้ (ASCII Code)

แรกเริ่มที่เดียวของการส่งข้อมูล จะส่งรหัสโบดอท (Baudot code) ซึ่งใช้ 5 บิทในการแทนรหัส 1 ตัวอักษร ส่วนที่ตามมาหลังตัวอักษรก็จะเป็นพาริตี้บิท ซึ่งอาจจะใช้หรือไม่ใช้ก็ได้ บิทพาริตี้นี้จะทำหน้าที่เป็นตัวตรวจสอบความถูกต้องของสัญญาณที่ได้รับ บิทพาริตี้อาจเป็นแบบคู่(even) หรือแบบคี่ (odd) ก็ได้ หมายความว่า ถ้าหากเป็นพาริตี้คู่บิทที่เป็น 1ในช่วงบิทข้อมูลกับบิทพาริตี้รวมกันแล้วจะต้องเป็นเลขคู่ ผู้ส่งจะทำหน้าที่ตรวจสอบข้อมูลแล้วใส่พาริตี้บิทเอง ผู้รับเมื่อรับสัญญาณแล้วก็จะต้องเป็นจริงดังที่ตั้งไว้หรือไม่ ถ้าหากผิดพลาดก็หมายความว่าสัญญาณที่รับนั้นผิดพลาดไปจากสถานีส่ง ทั้งนี้จะต้องผิดเป็นจำนวนคี่เท่านั้น คือ ผิดไป 1 บิท 3 บิท หรือ 5 บิท พร้อมกันจึงจะตรวจสอบได้ว่าผิด เช่น ถ้าหากผิดเป็นจำนวนคู่ ผลรวมของจำนวนบิทที่เป็น 1 ก็ยังเป็นคู่อยู่ดี

ทั้งนี้ทั้งนั้นไม่ได้หมายความว่า พาริตี้จะตรวจสอบการผิดพลาดเป็นจำนวนคู่ได้ ความจริงแล้วสามารถตรวจสอบความผิดพลาดได้เหมือนพาริตี้คู่ แต่แทนที่จะตรวจสอบดูว่าเป็นสัญญาณที่รับเข้ามามีเป็นจำนวนคู่ ก็ตรวจสอบดูว่าเป็นจำนวนคี่หรือไม่ อย่างไรก็ตาม โอกาสที่จะผิดพลาดเป็น 2,4,6 หรือ 8 บิทพร้อมกันมีน้อยมาก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หลังจากตรวจสอบพาริตี้บิทแล้วก็จะต้องมีบิทสต็อปซึ่งเป็น "1" ความกว้างของสต็อปบิทอาจจะเป็น 1, 1.5 หรือ 2 บิทของสัญญาณนาฬิกา

การเริ่มต้นใช้พอร์ทอนุกรมจึงจำเป็นต้องตั้งค่าต่างๆสำหรับการสื่อสาร ซึ่งมีดังต่อไปนี้ คือ

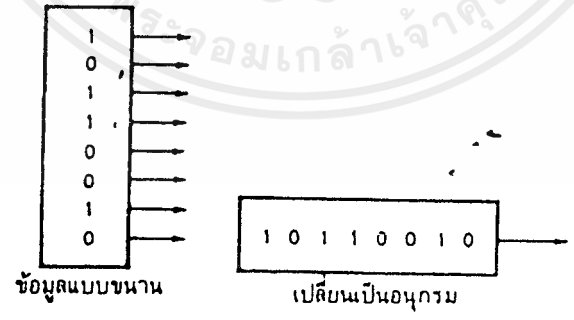
1. ความเร็วของการส่ง
2. ความยาวของรหัส 1 ตัวอักษร
3. บิทตรวจสอบ
4. จำนวนบิทสต็อป

การสื่อสารแบบซิงโครนัส

ข้อแตกต่างระหว่างวงจรการส่งข้อมูลแบบซิงโครนัสและแบบอะซิงโครนัส คือ ความต่อเนื่องของข้อมูลที่ส่ง ในแบบซิงโครนัสข้อมูลที่ส่งมาเป็นแบบต่อเนื่อง ไม่มีบิทสตาร์ทและสต็อปบิท หรือแม้กระทั่งพาริตี้บิท รูปแบบที่ใช้ในการส่งข้อมูลแบบซิงโครนัสจึงแตกต่างไปจากการส่งข้อมูลแบบอะซิงโครนัส เช่น รูปแบบของบริษัทไอบีเอ็ม ใช้รูปแบบไบซิงก์หรือ bisync (binary synchronous transmission)

ระยะเวลาและอัตราการส่งข้อมูล

ตัวอย่างของการส่งข้อมูลที่มีขนาด 8 บิทจากระบบไมโครโปรเซสเซอร์ส่งออกที่ช่องสื่อสารแบบอนุกรมแสดงได้ดังรูป 8.4

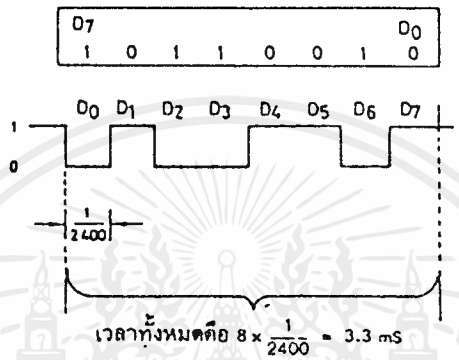


รูปที่ 8.4 ลักษณะของข้อมูลแบบขนานเมื่อถูกเปลี่ยนเป็นแบบอนุกรม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในการส่งข้อมูลแบบอนุกรมมีสิ่งสำคัญที่ต้องพิจารณา คือ ความเร็วของข้อมูลในการส่งซึ่งเรียกว่า อัตราบิท (bit rate) ตามที่ได้กล่าวมาแล้ว และในกรณีที่ให้อัตราการเปลี่ยนแปลงของสัญญาณ 1 ครั้งต่อข้อมูล 1 บิท จะได้อัตราบิทเท่ากับอัตราบอด

อัตราบอดที่ใช้ในการส่งข้อมูลโดยทั่วๆไป คือ 110, 150, 300, 1200, 2400, 4800 และ 9600 สมมุติว่า ต้องการส่งข้อมูลด้วยอัตราบอด 2400 บอด



รูปที่ 8.5 ช่วงเวลาของสัญญาณเมื่อส่งด้วยอัตรา 2400 ไบต์

จากรูป 8.5 แสดงให้เห็นช่วงเวลาของการส่ง ซึ่งในช่วงเวลาของแต่ละบิทจะมีขนาดช่วงเวลาเท่ากับ 1/2400 เท่ากับ 0.000416 วินาที หรือ 416 ไมโครวินาที ดังนั้นถ้าต้องการข้อมูลที่มีขนาด 8 บิท ก็จะใช้เวลาทั้งสิ้น 8*416 ไมโครวินาที หรือเท่ากับ 3328 ไมโครวินาที ซึ่งเมื่อเทียบกับการส่งข้อมูลแบบขนานจะใช้เวลาน้อยกว่า 1 ไมโครวินาที

การแปลงข้อมูลแบบขนานเป็นอนุกรม

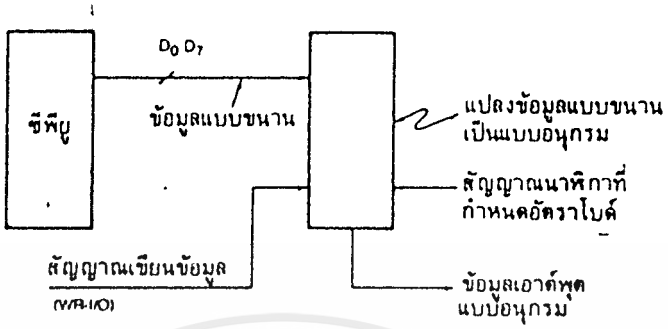
ในการสื่อสารแบบอนุกรมนั้น ต้องแปลงข้อมูลแบบขนานมาเป็นแบบอนุกรมก่อน โดยปกติจะใช้ไมโครโปรเซสเซอร์ส่งข้อมูลมายังรีจิสเตอร์แล้วจะแปลงข้อมูลเป็นแบบอนุกรม กระบวนการในการแปลงข้อมูลมีดังนี้

1. ทำการเก็บข้อมูลขนาด 8 บิทไว้ในรีจิสเตอร์

2. เลื่อนข้อมูลจากชิปรีจิสเตอร์ไปทีละบิทตามการกำหนดด้วยช่วงเวลา โดยอัตราบอดจะเป็นตัวกำหนด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

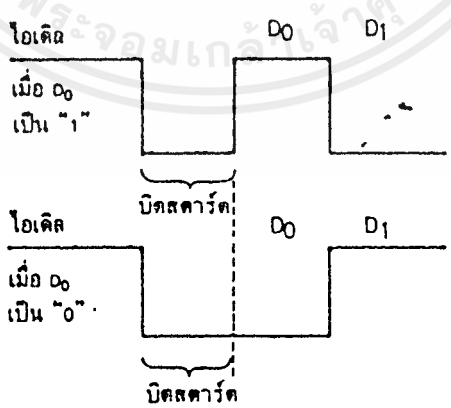
ลักษณะการทำงานจะเป็นไปตามบล็อกไดอะแกรมดังรูปที่ 8.6 โดยให้ซีพียูส่งข้อมูลเอาท์พุทที่มีขนาด 8 บิท ออกมาเป็นแบบขนานมายังชิปรีจิสเตอร์ แล้วให้มีการเลื่อนออกไป



รูปที่ 8.6 แผนผังของการส่งข้อมูลแบบอนุกรม

<u>บิทสตาร์ทและบิทสต็อป</u>

การรับส่งข้อมูลแบบอะซิงโครนัสจะต้องมีการบอกจุดเริ่มต้นและจุดสิ้นสุดของเฟรม (frame) ข้อมูลเสมอ โดยปกติจะให้มีสภาวะเป็นไอเดิ้ลเหมือนเช่นบิทสต็อป ดังนั้นส่วนของบิทสตาร์ทจะตรงข้ามกับไอเดิ้ล โดยทั่วไปของการส่งข้อมูลจะใช้ 2 บิทเป็นตัวบอกสตาร์ท และใช้โลจิก "0" เป็นตัวบอกบิทสตาร์ทดังรูป 8.7 ส่วนบิทสต็อปจะยาวกว่าที่กำหนดก็ได้ก่อนที่จะเริ่มต้นเฟรมใหม่



รูปที่ 8.7 ลักษณะการทำงานของบิตสตาร์ต

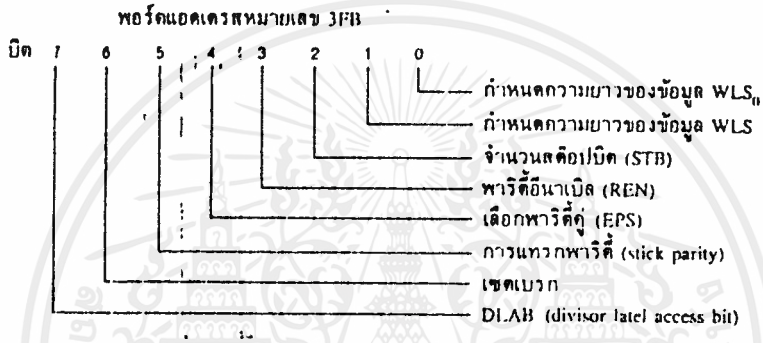
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การใช้งานบอร์ดสื่อสารบน PC

บอร์ดสื่อสารใน PC จะใช้ชิปที่ compatible กับ 8250 ในการใช้งานเราต้องโปรแกรมค่าให้กับรีจิสเตอร์ต่างๆดังนี้

รีจิสเตอร์ควบคุมสายสื่อสาร (Line Control Registor)

ในการควบคุมรูปแบบของข้อมูลแบบอะซิงโครนัสนั้น เราจะต้องกำหนดค่าให้กับรีจิสเตอร์นี้ซึ่งจะมี 8 บิท โดยแต่ละบิทมีความหมายดังนี้



บิท 0 และ 1 เป็นตัวกำหนดความยาวของข้อมูลในการรับส่งโดยที่

บิต 0	บิต 1	ความหมาย
0	0	หมายถึงข้อมูลขนาด 5 บิต
0	1	หมายถึงข้อมูลขนาด 6 บิต
1	0	หมายถึงข้อมูลขนาด 7 บิต
1	1	หมายถึงข้อมูลขนาด 8 บิต

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

03265

บิท 2 เป็นบิทที่ใช้ในการกำหนดจำนวนของ stop bit ถ้าเป็น "0" หมายถึงมี stop bit จำนวน 1 บิทแต่ถ้าเป็น "1" ในกรณีที่ส่งแบบ 5 บิทจะหมายถึงมี stope bit จำนวน 1 บิทแต่ถ้าส่งแบบ 6,7 บิทจะหมายถึงมี stop bit จำนวน 2 บิท

บิท 3 เป็นบิทที่ใช้แสดงการอินาเบิ้ลการตรวจสอบพาริตี้ โดยถ้าเป็น "1" จะมีการตรวจสอบพาริตี้

บิท 4 มีค่าเป็น "1" จะเป็นพาริตี้คี่ แต่ถ้าเป็น "0" จะเป็นพาริตี้คู่

บิท 5 เมื่อมีค่าเป็น "1" และบิท 3 เป็น "1" และบิท 4 เป็น "1" จะมีการแทรกพาริตี้ด้วยเงื่อนไขที่เป็น "0" และถ้าบิท 4 เป็น "0" บิท 3,5 เป็น "1" จะแทรกพาริตี้เป็น "1"

บิท 6 ใช้ควบคุมการเบรก เมื่อเป็น "1" ส่วนของ SOUT จะเป็น "0" ตลอด

บิท 7 ทำหน้าที่เป็น DLAB ซึ่งจะหมายถึงการส่งตัวหารเพื่อกำหนดอัตราบอด

การโปรแกรมอัตราบอด (Boud Rate Registor)

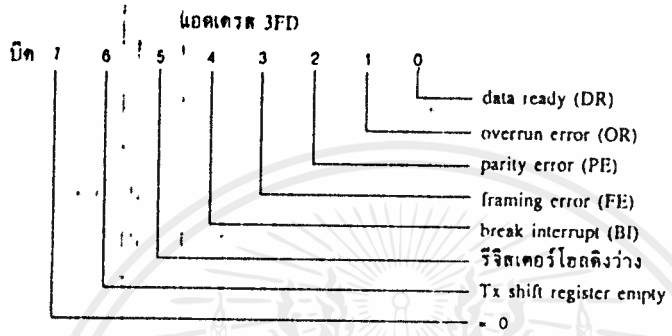
อัตราบอดจะใช้สัญญาณนาฬิกาความถี่ 1.8432 MHz โดยค่าของตัวหารจะมีค่าเท่ากับความถี่ของสัญญาณนาฬิกา/(อัตราบอด*16) การกำหนดค่าอัตราบอดจะต้องโปรแกรมค่าของตัวหารลงในรีจิสเตอร์ซึ่งจะต้องกำหนดให้ DLAB เป็น "1" จากนั้นก็ส่งค่าของ LSB ของตัวหารไปยังพอร์ทหมายเลข 3F8 และส่งค่าของ MSB ไปยังพอร์ทหมายเลข 3F9 ซึ่งค่าของตัวหารจะมีค่าดังนี้

อัตราบอด	ตัวหาร		ค่าผิดพลาด
	ฐานสิบ	ฐานสิบหก	
50	2304	900	–
75	1536	600	–
110	1047	417	0.026
134.5	857	359	0.058
150	768	300	–
300	384	180	–
600	192	0C0	–
1200	96	060	–
1800	64	040	–
2000	58	03A	0.69
2400	48	030	–
3600	32	020	–
4800	24	018	–
7200	16	010	–
9600	12	00C	–

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รีจิสเตอร์แสดงสถานะสายสื่อสาร (Line Status Registor)

ใช้แสดงสถานะของสายสื่อสารโดยบิทต่างๆจะมีความหมายดังนี้



บิท 0 ถ้าเป็น "1" แสดงว่ามีข้อมูลเข้ามาในรีจิสเตอร์และบิทนี้จะเป็น "0" เมื่อ CPU อ่านข้อมูลไปแล้ว

บิท 1 ถ้าเป็น "1" แสดงว่าเกิด overrun error คือ CPU ยังไม่ได้อ่านข้อมูลไปแต่มีข้อมูลใหม่เข้ามา

บิท 2 ถ้าเป็น "1" แสดงว่าเกิด parity error ขึ้น

บิท 3 ถ้าเป็น "1" แสดงว่าเกิด framing error ขึ้น

บิท 4 เรียกว่า break interrupt ซึ่งจะเป็น "1" เมื่อรับข้อมูลเข้ามาเป็น "0" ยาวนานกว่าเวิร์ดของสื่อสาร

บิท 5 จะเป็นบิทที่ใช้บอกว่าพร้อมที่จะรับข้อมูลจากสายสื่อสาร บิทนี้จะถูกเซ็ทให้เป็น "1" เมื่อมีการส่งถ่ายข้อมูลจากโฮลดิ้งรีจิสเตอร์ไปยังชิปรีจิสเตอร์เพื่อพร้อมที่จะส่ง

บิท 6 จะเป็น "1" เมื่อชิปรีจิสเตอร์ว่างเปล่าเพื่อบอกว่าพร้อมส่งแล้ว

บิท 7 จะเป็น "0" ตลอด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รีจิสเตอร์อินเตอร์รัพท์ (IIR-Interrupt Identification Registor)

จะมีการกำหนดความสำคัญอยู่ 4 ระดับ คือ

1 สถานะการรับข้อมูลจากสายสื่อสาร

2 การพร้อมรับข้อมูล

3 ขณะรีจิสเตอร์โฮลดิ้งสำหรับส่งข่าว

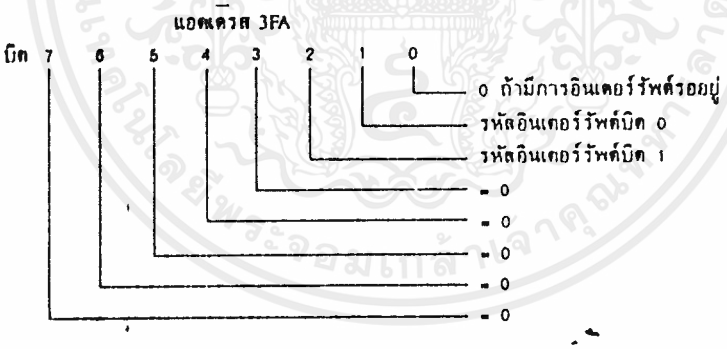
4 สถานะของโมเด็ม

ในขณะที่มีความต้องการอินเตอร์รัพท์เข้ามาพร้อมกันจะให้ระดับที่มีความสำคัญน้อยกว่ารอก่อนความหมายของแต่ละบิทมีดังนี้

บิท 0 ใช้แสดงว่ามีการอินเตอร์รัพท์หรือไม่ ถ้าเป็น "1" หมายถึงไม่มีการอินเตอร์รัพท์

บิท 1-2 แสดงความหมายว่าอินเตอร์รัพท์ที่เกิดขึ้นนั้นมาจากฟังก์ชั่นใด

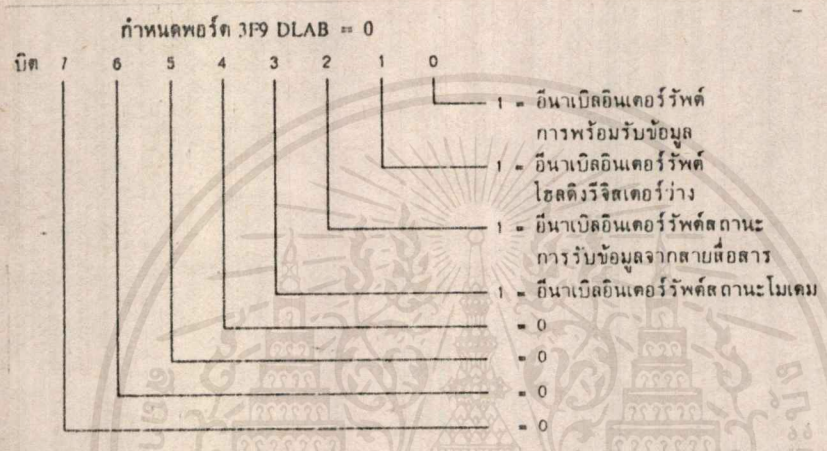
บิท 3-7 มีค่าเป็น "0"



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รีจิสเตอร์อีนาเบิ้ลการอันเตอร์รัพท์ (INTRPT-Interrupt Enable Registor)

ใน COM1เมื่อให้ DLAB เป็น "0" พอร์ท 3F9 จะเป็นรีจัสเตอร์อีนาเบิ้ลการอันเตอร์รัพท์ เราสามารถกำหนดให้มีการอันเตอร์รัพท์หรือไม่ก็ได้ โดยการกำหนดค่าในรีจิสเตอร์นี้ซึ่งความหมายในแต่ละบิทมีดังนี้



บิต 2	บิต 1	บิต 0	ระดับความสำคัญ	ชนิดของอินเตอร์รัพต์	แหล่งเกิดอินเตอร์รัพต์	การรีเซตควบคุมอินเตอร์รัพต์
0	0	1	สูงสุด	ไม่เกิด	ไม่เกิด	อ่านข้อมูลจากรีจิสเตอร์
1	1	0		สถานะการรับข้อมูลจากสายส่งสื่อสาร	overrun error parity error framming error break interrupt	สถานะ สายสื่อสาร
1	0	0	ที่สอง	การพร้อมรับข้อมูล	มีข้อมูลที่ตัวรับ	การอ่านข้อมูลจากบัฟเฟอร์
0	1	0	ที่สาม	โฮลดิงรีจิสเตอร์สำหรับส่งข่าว	โฮลดิงรีจิสเตอร์สำหรับส่งข่าว	อ่านรีจิสเตอร์กำหนดอินเตอร์รัพต์ IIR หรือเขียนลงไปยังโฮลดิงรีจิสเตอร์สำหรับส่ง

บิต 2	บิต 1	บิต 0	ระดับความสำคัญ	ชนิดของอินเตอร์รัพต์	แหล่งเกิดอินเตอร์รัพต์	การรีเซตควบคุมอินเตอร์รัพต์
0	0	0	ที่สี่	สถานะโมเดม	CIS DSR RI ตรวจสอบสายส่งโดยตรง	อ่านรีจิสเตอร์แสดงสถานะของโมเดม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บิท 0 เซ็ทให้เป็น "1" เมื่อต้องการอินาเบิ้ลอินเตอร์รัพท์การพร้อมรับข้อมูล

บิท 1 เซ็ทให้เป็น "1" เมื่อต้องการอินาเบิ้ลอินเตอร์รัพท์รีจิสเตอร์โฮลดิ้งว่าง

บิท 2 เซ็ทให้เป็น "1" เมื่อต้องการอินาเบิ้ลอินเตอร์รัพท์จากสถานะการรับข้อมูลจากสายสื่อสาร

บิท 3 เซ็ทให้เป็น "1" เมื่อต้องการอินาเบิ้ลอินเตอร์รัพท์จากสถานะโมเด็ม

บิท 4-7 กำหนดให้เป็น "0" เสมอ

รีจิสเตอร์ควบคุมโมเด็ม (modem control register)

รีจิสเตอร์ตัวนี้มีไว้เพื่อให้ซีพียูส่งข้อมูลมาเพื่อเก็บเป็นรหัสสำหรับควบคุมการทำงานของโมเด็ม การกำหนดพอร์ทของรีจิสเตอร์ตัวนี้ คือ 3FC ข้อมูลต่างๆที่มีในรีจิสเตอร์ตัวนี้มีความหมายดังนี้

บิท 0 บิทนี้มีความหมายถึงการควบคุมสัญญาณ DTR เมื่อบิทนี้มีค่าเป็น "1" เอาท์พุทที่ DTR จะได้รับการกำหนดให้เป็น "0" และถ้าที่บิทนี้มีค่าเป็น "0" เอาท์พุทที่ DTR จะได้รับการกำหนดให้เป็น "1"

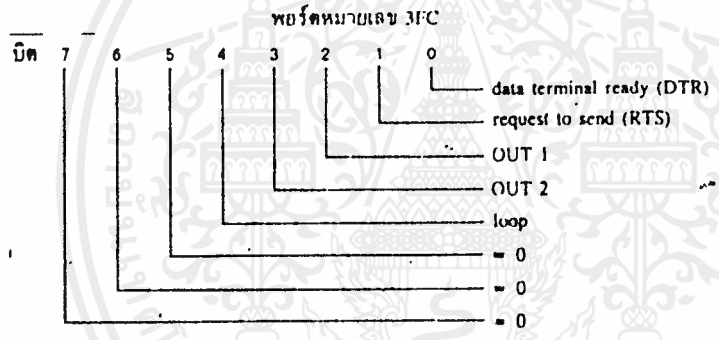
บิท 1 บิทนี้มีความหมายถึงสัญญาณ RTS ในกรณีของ DTR

บิท 2 บิทนี้ใช้ควบคุมขาเอาท์พุท 1 (OUT 1) ซึ่งจะมีผลเหมือนกับบิท 0

บิท 3 บิทนี้ใช้ควบคุมขาเอาท์พุท 1 (OUT 1) ซึ่งจะมีผลเหมือนกับบิท 0

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

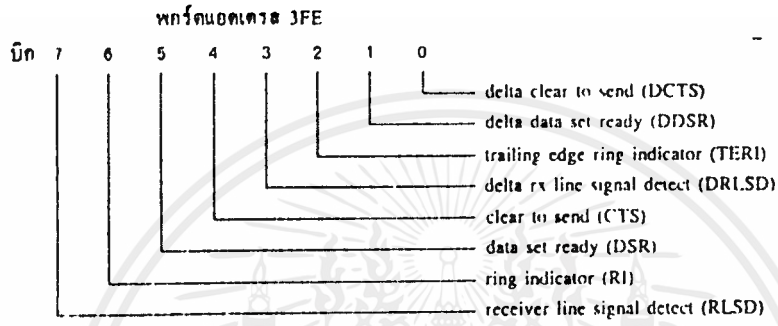
บิท 4 บิทนี้จะใช้สำหรับการกำหนดวงรอบสำหรับการตรวจสอบ 8250 เมื่อบิท 4 นี้ได้รับการเซ็ทเป็น "1" สิ่งที่จะเกิดขึ้นเป็นดังนี้คือ ข้อมูลที่ SOUT จะได้รับการเซ็ทใช้เป็นลอจิก "1" ขาข้อมูลอินพุท SIN จะได้รับการแยกตัวออก ข้อมูลของเอาท์พุทชิปรีจิสเตอร์จะได้รับการป้อนกลับมายังรีจิสเตอร์ข้อมูลอินพุท ส่วนสัญญาณCTS,DSR,RLSD และ RI จะได้รับการแยกออกจากระบบแต่สัญญาณควบคุมโมเด็ม คือ DTR, RTS, OUT1 และ OUT2 จะต่อเข้ากับสัญญาณทั้งสี่ที่เป็นอินพุท ดังนั้นจึงตรวจสอบระบบได้



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รีจิสเตอร์แสดงสถานะโมเด็ม

รีจิสเตอร์ตัวนี้จะเป็นตัวที่แสดงสถานะจากโมเด็มมาเก็บไว้ เพื่อให้ซีพียูสามารถอ่านตรวจสอบดูได้ สถานะของข้อมูลจะแอกทีฟเมื่อมีข้อมูลเป็น "1" และจะได้รับการรีเซ็ทเมื่อซีพียูอ่านข้อมูลในรีจิสเตอร์นี้ไป พอร์ทที่ใช้กำหนดเป็นพอร์ทหมายเลข 3FE ข้อมูลภายในรีจิสเตอร์นี้เป็นดังนี้



บิท 0 บิทนี้ใช้สำหรับแสดงการเปลี่ยนแปลงของสัญญาณ CTS กล่าวคือ เมื่อขา CTS ของ 8250 ได้เปลี่ยนสถานะหลังจากที่ซีพียูได้อ่านสถานะนี้ไปแล้ว บิทนี้ก็จะบอกด้วยเซ็ทและเมื่อซีพียูอ่านก็จะได้รับการรีเซ็ท "0" และจะได้รับการเซ็ท "1" เมื่อมีการเปลี่ยนสถานะที่สาขา CTS

บิท 1 เหมือนบิท 0 แต่เป็นบิทที่แสดงสถานะการเปลี่ยนแปลงของขา DSR

บิท 2 บิทนี้เป็นบิทแสดงว่าสัญญาณ RI ซึ่งเป็นอันพุทของ 8250 ได้รับการเปลี่ยนแปลงจากออน "1" มาเป็นออฟ "0"

บิท 3 บิทนี้เหมือนบิท 0 แต่เป็นบิทแสดงสถานะการเปลี่นแปลงของ line signal detector ซึ่งเป็นขาอินพุท RLSD

บิท 4 บิทนี้เก็บสัญญาณคอมพลีเมนท์กับสัญญาณที่ขา CTS

บิท 5 บิทนี้เก็บสัญญาณคอมพลีเมนท์กับสัญญาณที่ขา DSR

บิท 6 บิทนี้เก็บสัญญาณคอมพลีเมนท์กับสัญญาณที่ขา RI

บิท 7 บิทนี้เก็บสัญญาณคอมพลีเมนท์กับสัญญาณที่ขา RLSD

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

อนึ่งถ้าบิท 4 ของ MCR ได้รับการเซ็ทหรือทำให้ลูป (loop) ตรวจสอบข้อมูลในบิท 4 จะเหมือนกับ RTS ใน MRS ข้อมูลในบิท 5 จะเหมือนกับ DTR ใน MCR ข้อมูลในบิท 6 จะเหมือนกับ OUT_1 ใน MCR ข้อมูลในบิท 7 จะเหมือนกับ OUT_2 ใน MCR

รีจิสเตอร์บัฟเฟอร์สำหรับตัวรับข้อมูล (RECEIVER BUHHER REGISTER) เป็นรีจิสเตอร์สำหรับการรับข้อมูลที่มาจากสายสื่อสารสัญญาณ พอร์ทที่กำหนดคือ หมายเลขแอดเดรส 3F8 ขณะที่ DLAB = 0 หากซีพียูอ่านข้อมูลที่มาจากสายสัญญาณสื่อสารนั่นเอง

รีจิสเตอร์โฮลดิ้งสำหรับตัวส่งข้อมูล (TRANSMITTER HOLDING REGISTER) เป็นรีจิสเตอร์บัฟเฟอร์สำหรับส่งข้อมูล รีจิสเตอร์นี้จะรับข้อมูลจากซีพียู โดยกำหนดพอร์ทเป็นหมายเลข 3F8 เมื่อ DLAB = 0 ที่เอาท์พุทมาที่พอร์ทนี้ก็เพื่อจะส่งต่อออกไปยังสายสื่อสารข้อมูล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รายละเอียดการสร้างโครงงาน

RTU Speacification

Port List

1.8253 Time

: Watch Dog Timer Port Address 44H

: Diagnostic Time Port Address 45-46H

: Control Timer Port Address 47H

2.8251 Serial

: Data In/Out Port Address 40H

: Control Port Port Address 41H

: Se-Counter Port Address 42H

: Se-Status Port Address 43H

3.Analog To Digital Converter

: Multiplex Switch Port Address 4CH

: Analog to digital Port Address 4DH

: Digital to Analog Port Address 4EH

4.Control System

: Reset CPU Port Address 50H

: OFF System Port Address 51H

: RTU Address Port Address FFH

: Set RAM Port Address FEH

5.Monitor

: Out RTU Status Port Address 48H

: In RTU Status Port Address 49H

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

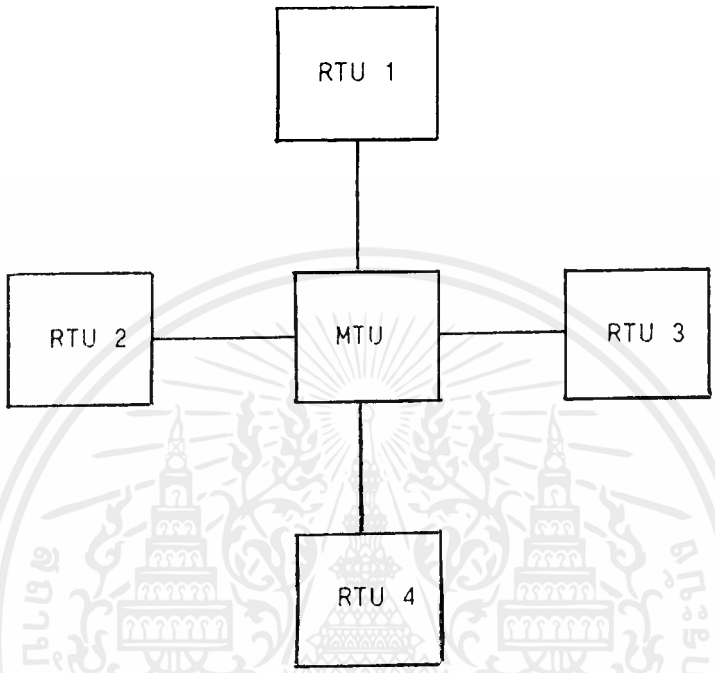
Memory Program

1.Intitial Program	Address	0000-07FFH
2.Function Address		
: Function 0	Address	1000-17FFH
: Function 1	Address	1800-1FFFH
: Function 2	Address	2000-27FFH
: Function 3	Address	2800-2FFFH
: Function 4	Address	3000-27FFH
: Function 5	Address	3800-3FFFH
3.Function Buffer		
: Function 0	Address	6100-62FFH
: Function 1	Address	6300-64FFH
: Function 2	Address	6500-66FFH
: Function 3	Address	6700-68FFH
: Function 4	Address	6900-6AFFH
: Function 5	Address	6B00-6CFFH
4.Communication Buffer		
: Communication-Buffer	Address	6D00-6E10H
: Communication-Buffer1	Address	6000-6DFFH
5.Stack	Address	FD00-7EF0H
6.Set Function	Address	8000H
7.Function Data		
: Function 0	Address	7FFFH
: Function 1	Address	7FFEH
: Function 2	Address	7FFDH
: Function 3	Address	7FFCH
: Function 4	Address	7FFBH
: Function 5	Address	7FFAH

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

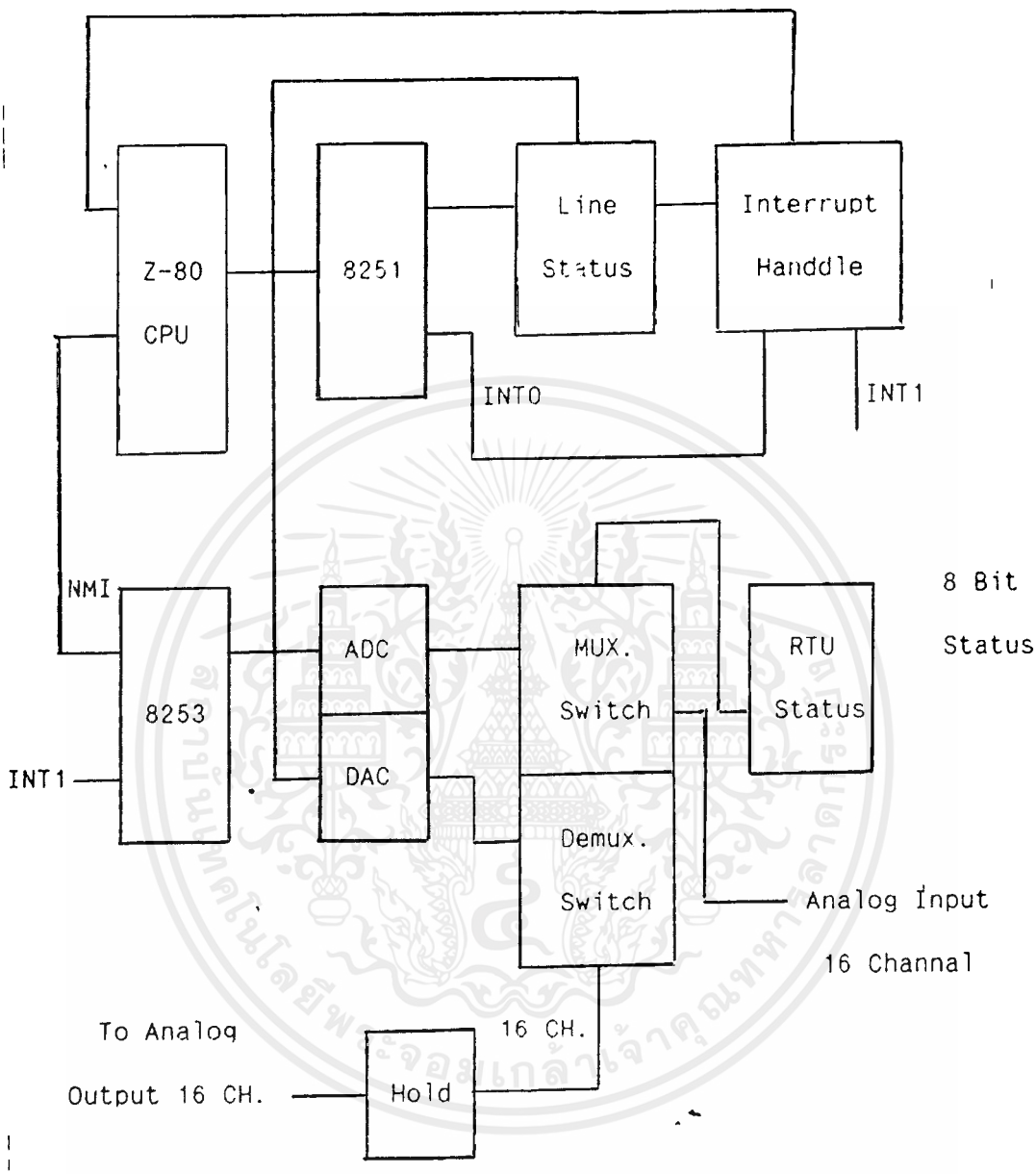
RTU Hardware

ลักษณะการต่อ RTU กับ MTU



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

RTU Blockdiagram



จาก blockdiagram อธิบายได้ดังนี้

1.CPU

ใช้ Z-80 เป็น CPU System 4 MH_Z 16 Kbyte RAM และ 16 Kbyte ROM โดย ROM จะเริ่มจาก Address 0000-3FFFH และ RAM จะมี 2 ช่วง คือ Address 6000H-8000H และ E000-F7FFH

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.8253 (Port 44-47H)

ใช้เป็น timer จะประกอบด้วย 2 ส่วน คือ

- Watch Dog Timer จะตั้งเวลาไว้เพื่อไป Intrerupt CPU นี้จะเป็นแบบ Non Maskable Interrupt เพื่อให้ CPU ตอบสนองทันทีที่เสร็จสิ้นคำสั่งที่กำลังทำอยู่ Watch Dog Timer นี้จะต้องถูก CPU Reset ภายใน 16 Machine cycle(M1) หลังจากที่สัญญาณ Wctch Dog Timer จาก 8253 Active ถ้าหาก CPU ไม่ Reset Wctch Dog Timer ภายใน 16 Machine (M1) สัญญาณจาก Counter จาก IC 74193 จะส่ง WDT ไปตัดแหล่งจ่ายไฟออกจากวงจร เนื่องจาก CPU ไม่สามารถ Reset WDT ได้ทัน แสดงว่า CPU อาจจะเสียหรือ ROM อาจจะเสียก็ได้ ซึ่งเป็นอันตรายต่อระบบภายนอกได้

อีกส่วนหนึ่งจะตั้งเวลาไว้เพื่อทำการ Interrupt ให้ CPU มาทำการ Test ระบบต่างๆ เช่น Test RAM, ADC-DAC การทำ Interrupt นี้จะเป็นแบบ Maskable Interrupt เพื่อให้ CPU สามารถ disable ได้ในขณะที่กำลังอยู่ในการติดต่อกับ MTU อยู่ เนื่องจากการทำ Diagnostic test นี้จะกินเวลามาก ถ้าหากไปขัดจังหวะการติดต่อกับ MTU จะทำให้เสียเวลาของ RTU ตัวอื่นที่ต้องการใช้ช่องทางสื่อสาร

3.8251 (Port 40-41H)

ใช้เป็น Serial Port เพื่อติดต่อกับ MTU โดยจะส่ง Rx Ready ไปยัง interrupt handle เพื่อให้ส่งสัญญาณ INT ไปบอก CPU เมื่อมีข้อมูลส่งข้อมูลส่งเข้ามาทางสายสื่อสาร เมื่อ CPU ตอบรับการ interrupt แล้วจะ disable interrupt จนกว่าจะจบขบวนการติดต่อสื่อสาร และถ้า Address ที่รับเข้ามาไม่ตรงกับ Address ของ RTU แล้ว CPU อ่านจำนวนข้อมูลที่จะทำการรับส่งก่อนแล้วไป set ให้ Status ทำเป็น Counter 16 bit แล้วจะเข้าสู่การทำงานปกติ เมื่อ Line Status ถูก set 8251 จะถูกตัดขาดจาก CPU จนกว่า Line Status จะถูก count จนหมดจำนวนข้อมูลที่รับส่ง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.Line Status

จะเป็น Counter 16 bit ซึ่งถูก set โดย CPU เมื่อ CPU อ่าน Address ที่ MTU ส่งเข้ามาแล้วไม่ตรงกับ Address ของตน จากนั้นจะอ่านข้อมูลจนกว่าจะถึง control ที่จะเป็นจำนวนของข้อมูลที่จะรับส่ง เมื่อ Line Status ถูก set สัญญาณ output จะเป็น "1"ซึ่งจะไป Enable mono stable ให้ทำการสร้างสัญญาณ RD,CS,C/D ไปทำการอ่าน 8251 เมื่อ 8251 ได้รับข้อมูลจากสายสื่อสาร และสัญญาณ monostable ที่จะส่งไปเป็น clock ของ counter 16 bit เพื่อใช้ counter ทำการนับจำนวนข้อมูลที่ส่งเข้ามาว่าหมดหรือยัง ในช่วงนี้ 8251 จะถูกตัดออกจาก CPU จนกระทั่ง counter นับจนเป็น "0" จะส่ง pulse ออกไป Reset line status เพื่อบอก CPU ว่าสายสื่อสารว่างอยู่ เมื่อ CPU ต้องการส่งข้อมูลไปยัง MTU จะต้องตรวจสอบที่ line status ก่อนว่าสายสื่อสารว่างหรือไม่

5.Interrupt Handle

เป็นตัวจัดการการส่งสัญญาณ interrupt จากอุปกรณ์ต่างๆไปยัง CPU โดยจะจัดลำดับความสำคัญไปในตัวซึ่งการ interrupt จะมาจาก 2 แหล่งด้วยกัน คือ

1.จาก 8251 ไป Data มาจาก MTU (เฉพาะ byte แรกเท่านั้น)

2.จาก 8253 ถึงเวลาที่จะต้องทำการ test ระบบแล้ว

ซึ่งจะให้ความสำคัญเรียงตามลำดับ

6.RTU Status

จะเป็น Port ที่ใช้แสดงสถานะการทำงานต่างๆซึ่งประกอบด้วย LED 8 bit ใช้แสดงสถานะต่างๆดังนี้

D_0 แสดง Communication Error

D_1 แสดง RAM Fail

D_2 แสดง ADC-DAC Error

D_3 แสดง Reserve

D_4 แสดง Function Fail

D_5 แสดง Function Fail

D_6 แสดง Function Fail

D_7 แสดง Watch Dog Timer Fail

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ซึ่งถ้าไม่มีตัวใด Error ทุก bit จะเป็น "1" เสมอ Port นี้จะถูก set จากการทำ Diagnostic test และในขบวนการตัดต่อสื่อสาร และ Port นี้จะต่อกับแหล่งจ่ายไฟแยกต่างหากจากระบบ เมื่อระบบเกิด Error ขึ้นแหล่งจ่ายไฟที่จ่ายให้ระบบจะถูกตัดออก แต่ status เหล่านี้ยังคงแสดงอยู่เพื่อประโยชน์ในการตรวจซ่อมแก้ไข

7.Analog to Digital Converter and Digital to Analog Converter

เป็น Port ที่ใช้ควบคุมอุปกรณ์ต่างๆโดย CPU จะอ่านข้อมูลจาก ADC Port เพื่อนำข้อมูลมาประมวลผล และจะ out ข้อมูลออกทาง DAC Port เพื่อนำไปควบคุมอุปกรณ์ที่เป็น Analog โดยก่อนที่จะทำการติดต่อกับอุปกรณ์ที่เป็น Analog นั้น CPU จะต้องเลือก channal ก่อน โดยการส่งข้อมูลไปยัง Multiplex Switch เมื่อต้องการอ่านข้อมูลจากอุปกรณ์ Analog และส่งข้อมูลไปยัง Demultiplex switch เมื่อต้องการส่งข้อมูลออกไปควบคุมอุปกรณ์ Analog

8.Multiplex and Demultiplex Switch

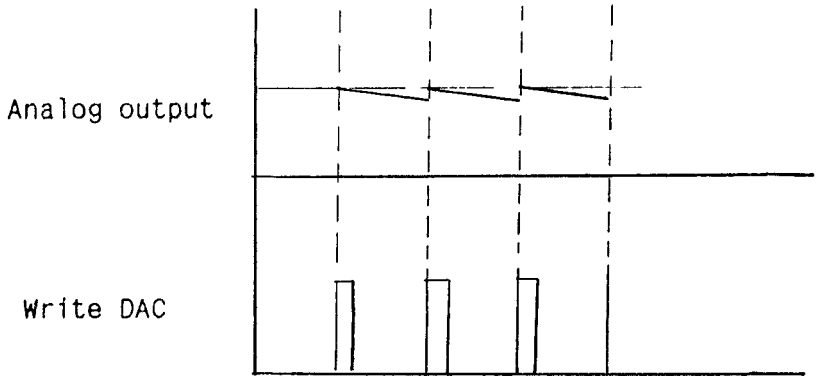
ประกอบด้วย Analog Switch ซึ่งจะถูกควบคุมโดย CPU เมื่อ CPU ต้องการจะตัดต่อกับอุปกรณ์ Analog จะต้องส่งข้อมูลออกมาเลือกค่าว่าจะติดต่อกับ channal ใด multiplex Switch จะนำเอาสัญญาณ Analog จาก channal ที่ถูกเลือกไปใช้กับ ADC เพื่อแปลงให้เป็น Digital เพื่อให้ CPU มาอ่านออกไป และ Demultiplex Switch จะนำเอาสัญญาณ Analog ที่มาจาก DAC ออกไปให้กับอุปกรณ์ Analog ที่ถูกเลือก

Multiplex และ Demultiplex Switch ที่ถูกควบคุมโดย 74154 โดย 4 bit ล่างจะควบคุม Multiplex switch และ 5 bit บนจะควบคุมโดย Demultiplex Switch

9.Hold

จะนำเอาสัญญาณ Analog จาก Demultiplex Switch มา hold ไว้ เพื่อ latch แรงดันที่เป็น analog ไว้ เมื่อ CPU ไปทำงานอื่นเพื่อประโยชน์ในการควบคุมต่อเนื่อง ซึ่งการ hold จะมีลักษณะคล้ายกับการประจุของ capaciter คือ เมื่อ CPU ส่งแรงดันออกมา hold Hold จะนำแรงดันนั้นมา hold แล้วแรงดันจะค่อยๆลดลงเรื่อยๆ ดังนั้นเมื่อ CPU ส่งแรงดันออกมาควบคุมออกมาควบคุมอุปกรณ์ analog แล้วก็จะสามารถไปทำงานอื่นได้ และเมื่อ CPU วนรอบกลับมาก็จะส่งข้อมูลออกมาอีก ทำให้มีลักษณะการควบคุมที่ต่อเนื่องดังรูป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

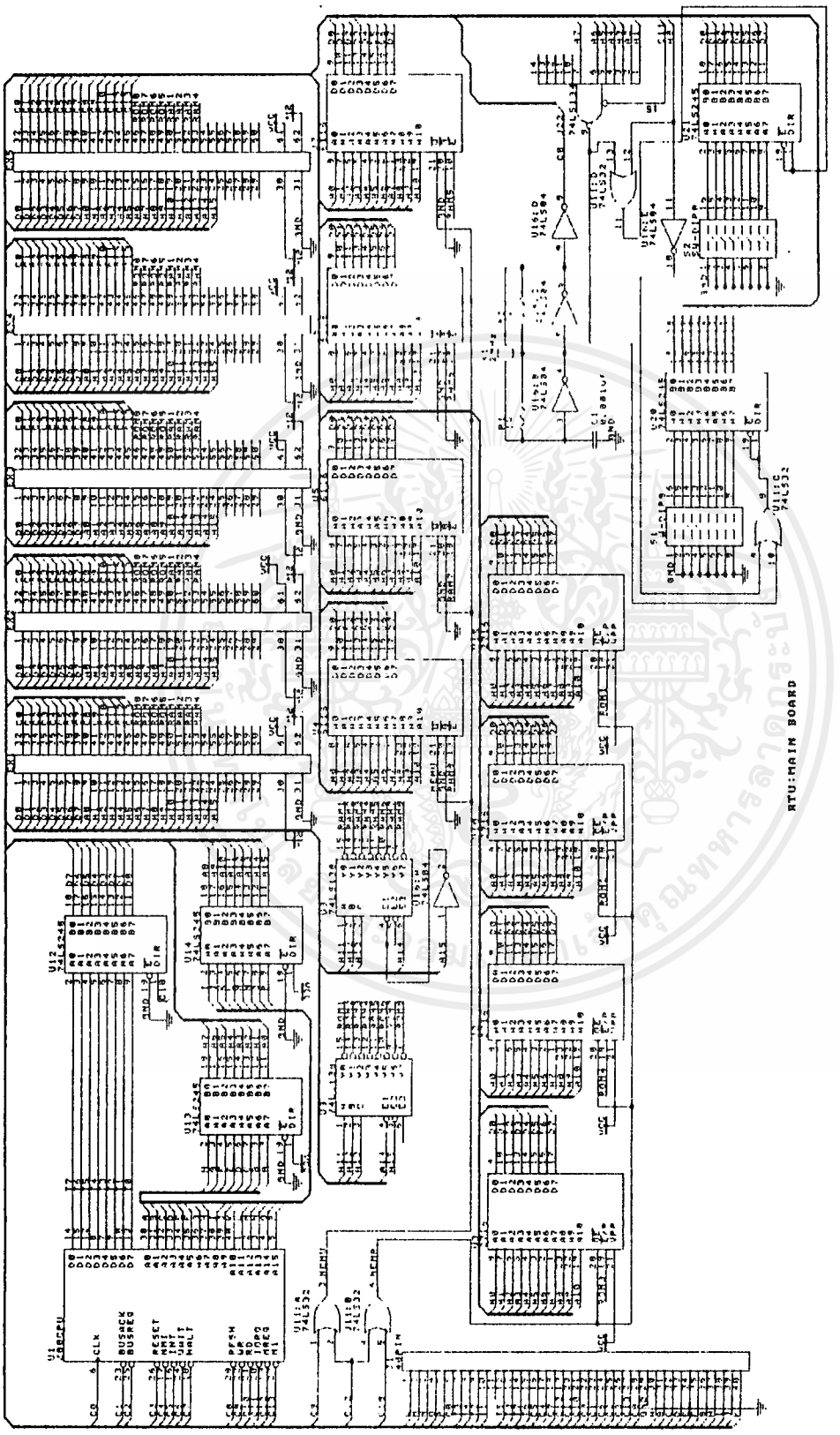


ตารางค่าตัวหารสำหรับกำหนดค่า Boud Rate

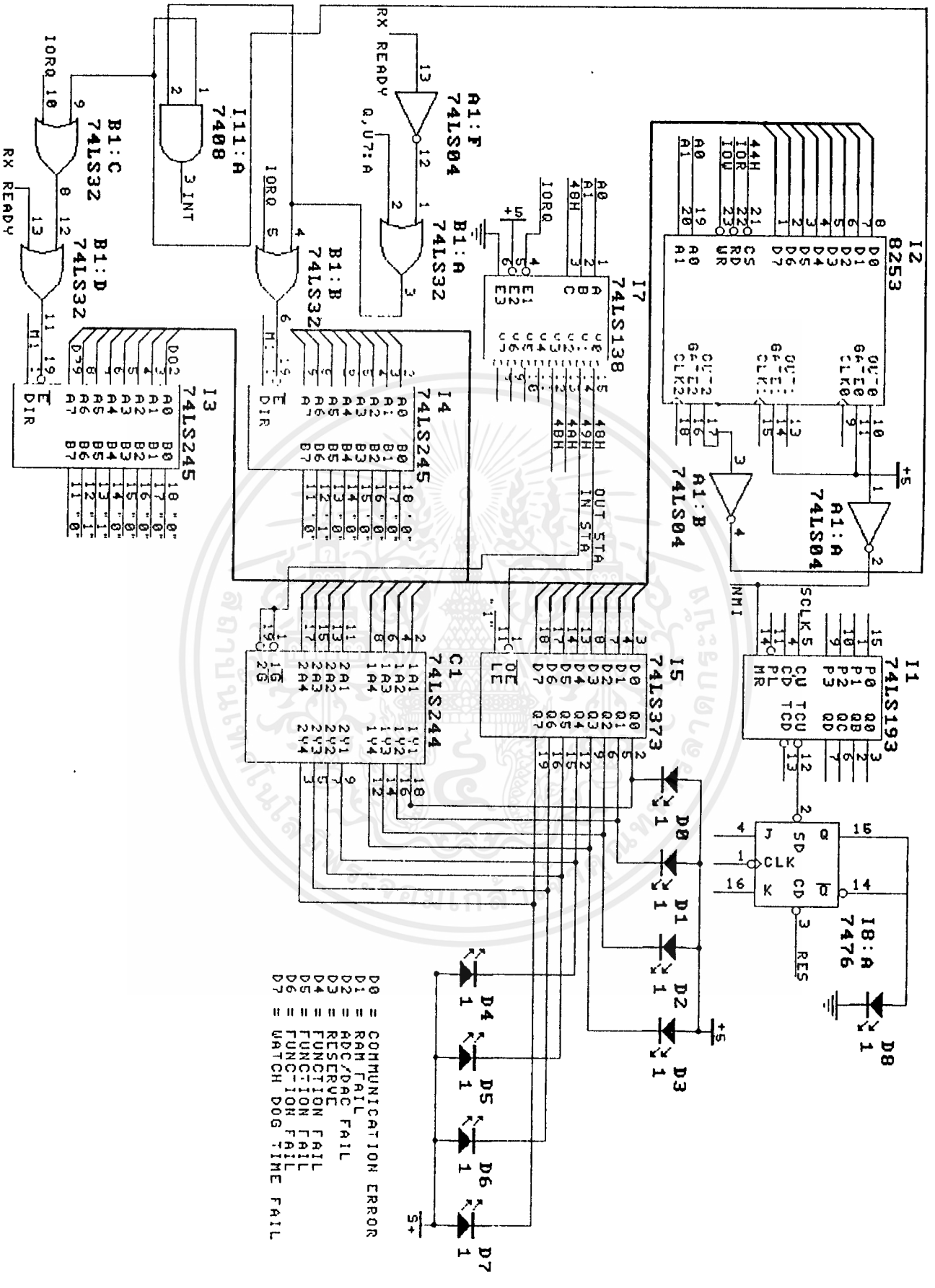
Baud Rate	ตัวหาร ฐานสิบหก	ค่าผิดพลาด	Dip. Switch 1								Dip. Switch 2							
			8	7	6	5	4	3	2	1	8	7	6	5	4	3	2	1
600	0C0	-	1	1	0	0	0	0	0	0	1	0	0	0	0	0	0	0
1200	060	-	0	1	1	0	0	0	0	0	0	1	0	0	0	0	0	0
1800	040	-	0	0	1	0	0	0	0	0	0	0	1	0	0	0	0	0
2000	03A	0.69	0	0	1	1	1	0	1	0	0	0	1	0	0	0	0	0
2400	030	-	0	0	1	1	0	0	0	0	0	0	1	0	0	0	0	0
3600	020	-	0	0	1	0	0	0	0	0	0	0	1	0	0	0	0	0
4800	018	-	0	0	0	1	1	0	0	0	0	0	0	1	0	0	0	0
7200	010	-	0	0	0	1	0	0	0	0	0	0	0	1	0	0	0	0
9600	00C	-	0	0	0	0	1	1	0	0	0	0	0	0	1	0	0	0

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

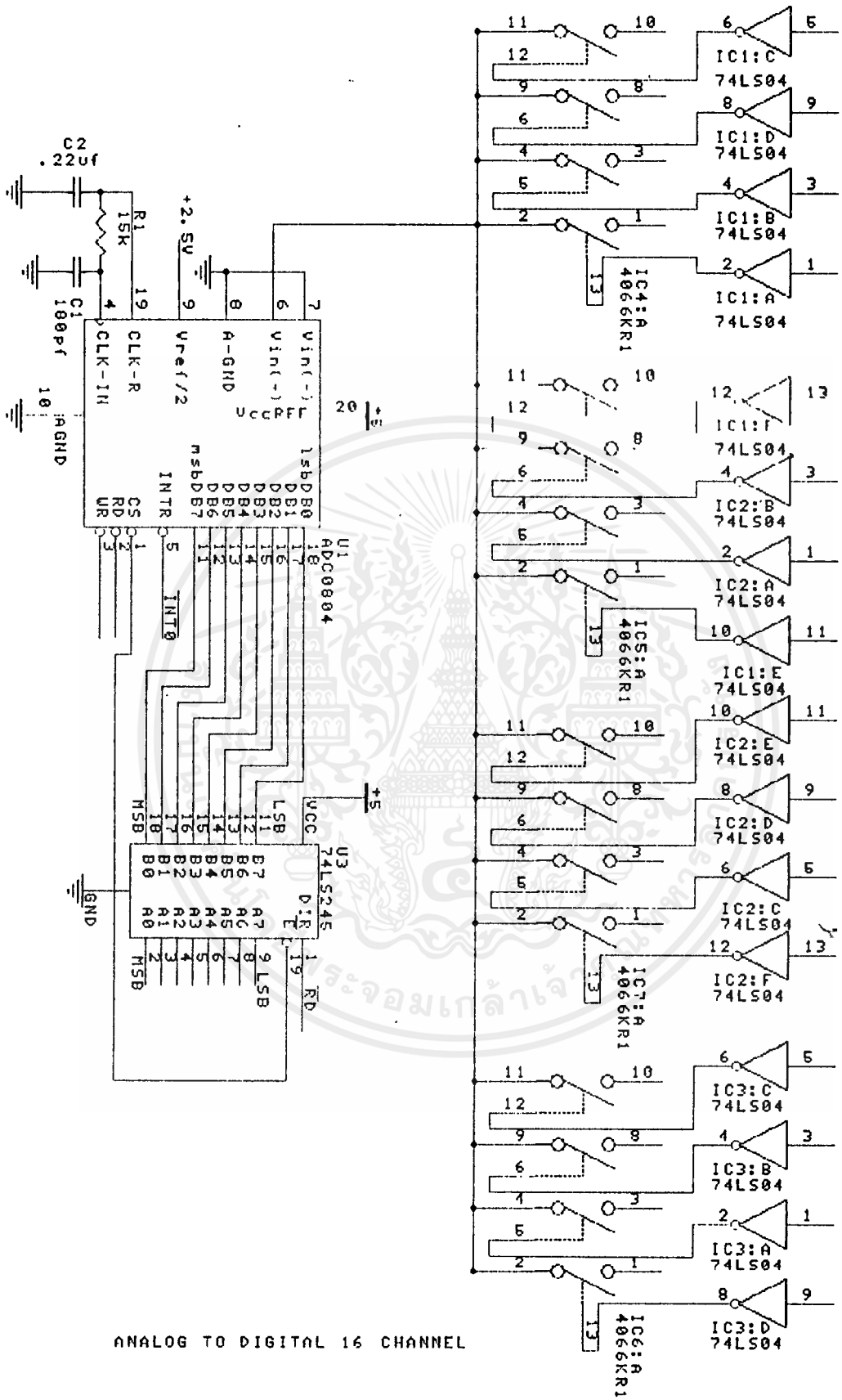
วงจรที่ใช้งานจริง



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

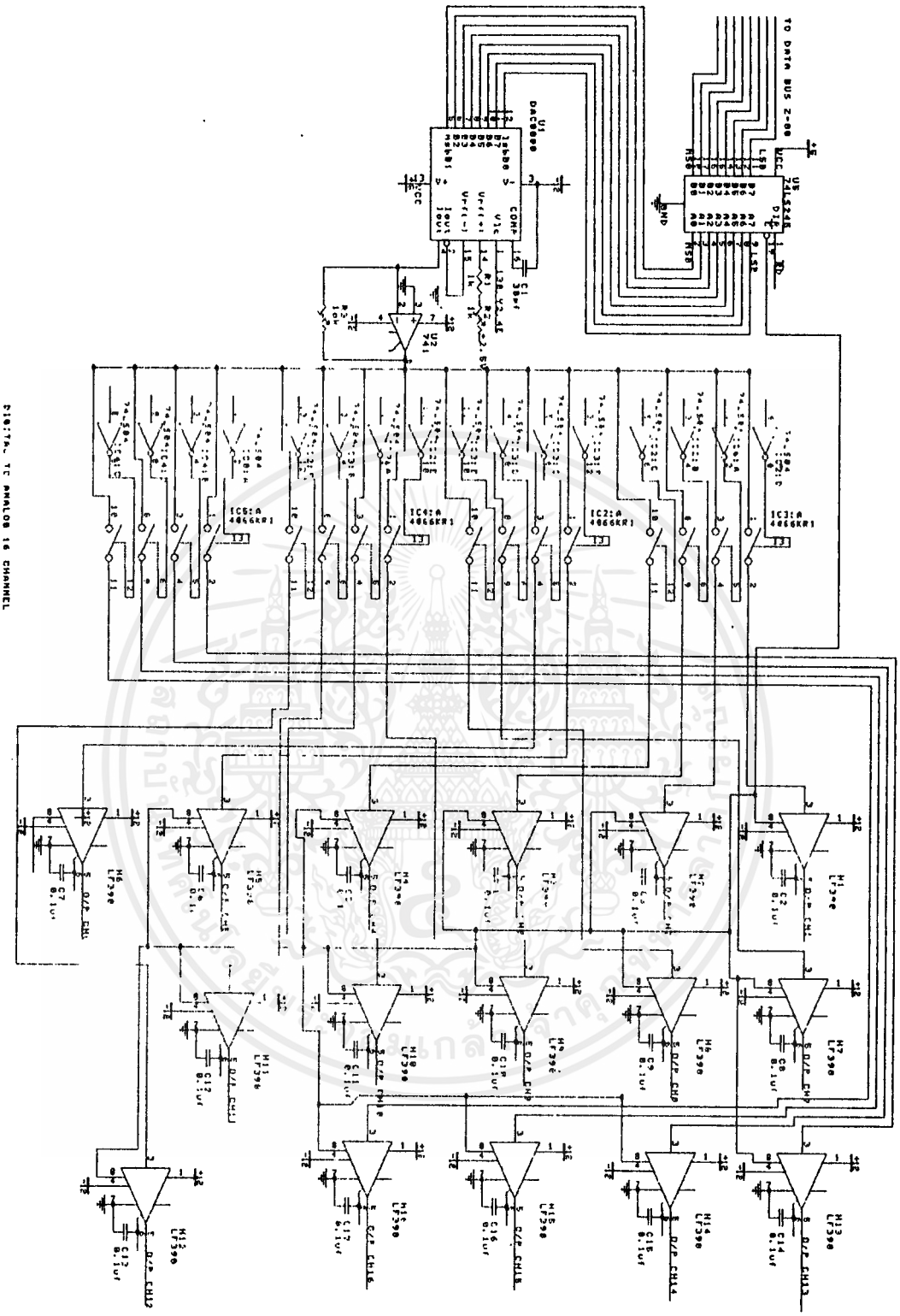


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

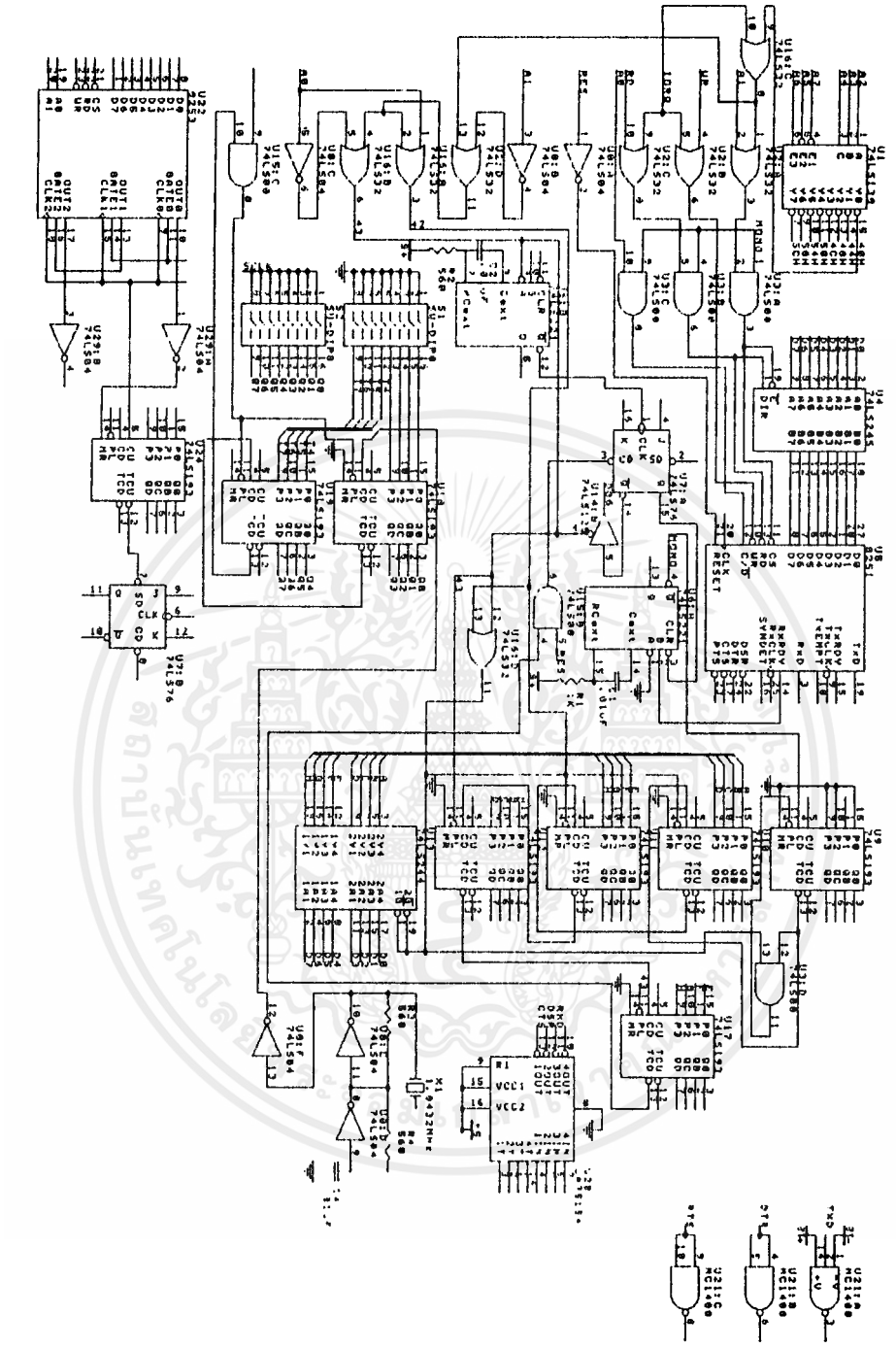


ANALOG TO DIGITAL 16 CHANNEL

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

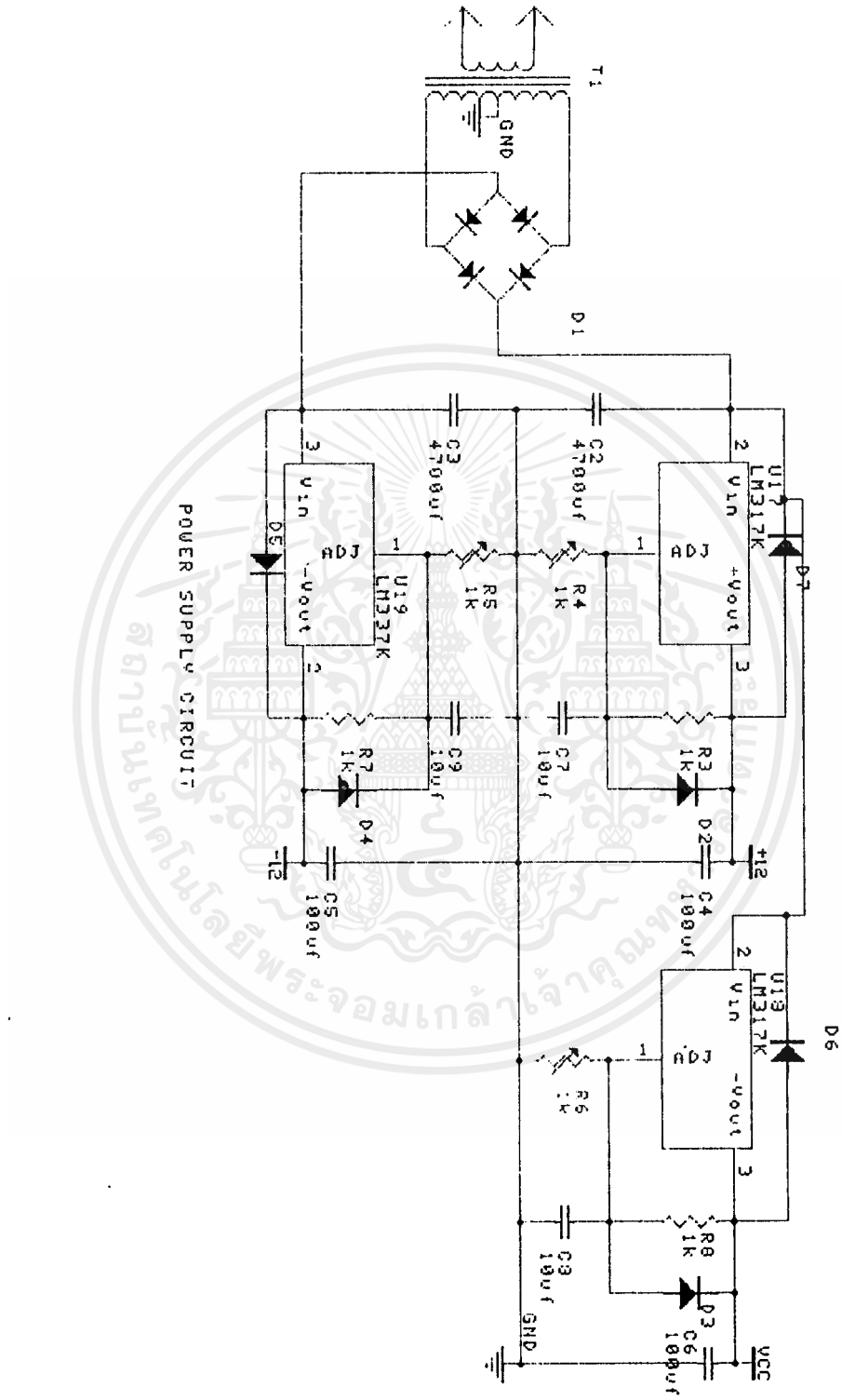


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



COMMUNICATION CIRCUIT

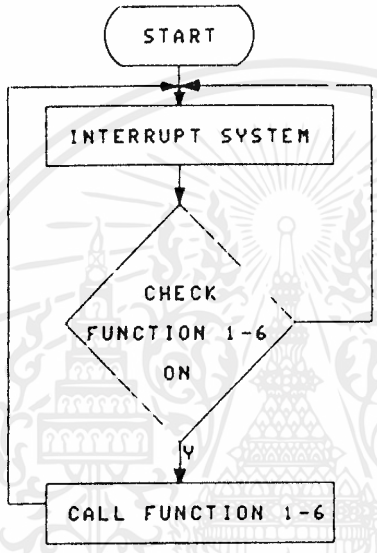
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

RTU Software

MAIN PROGRAM

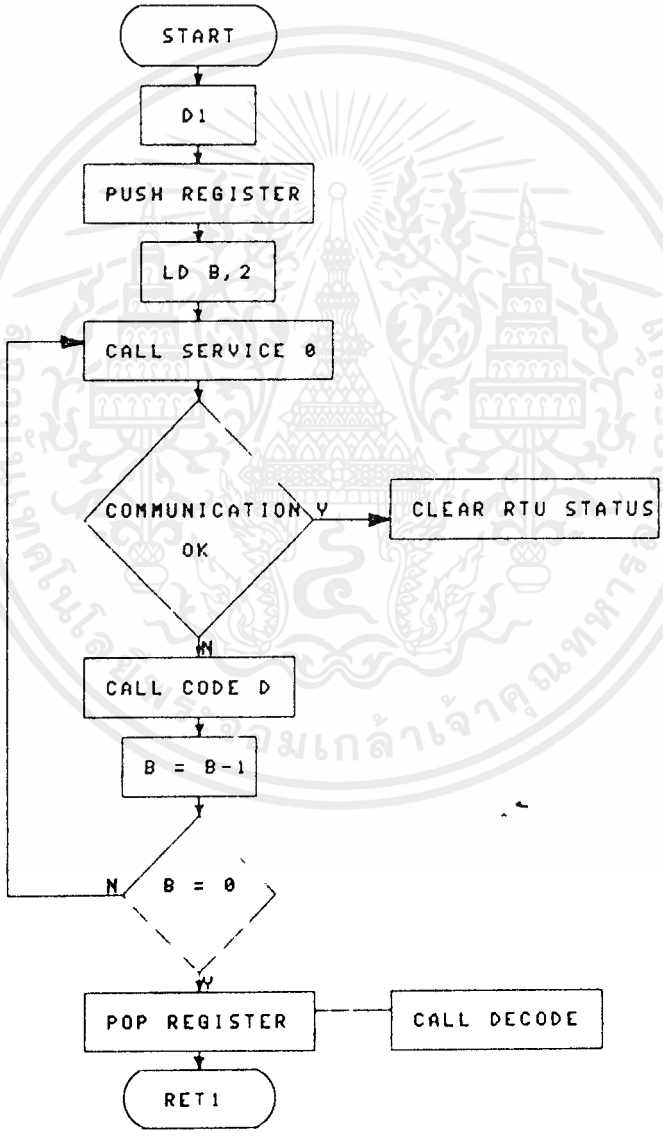


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Interrupt routine

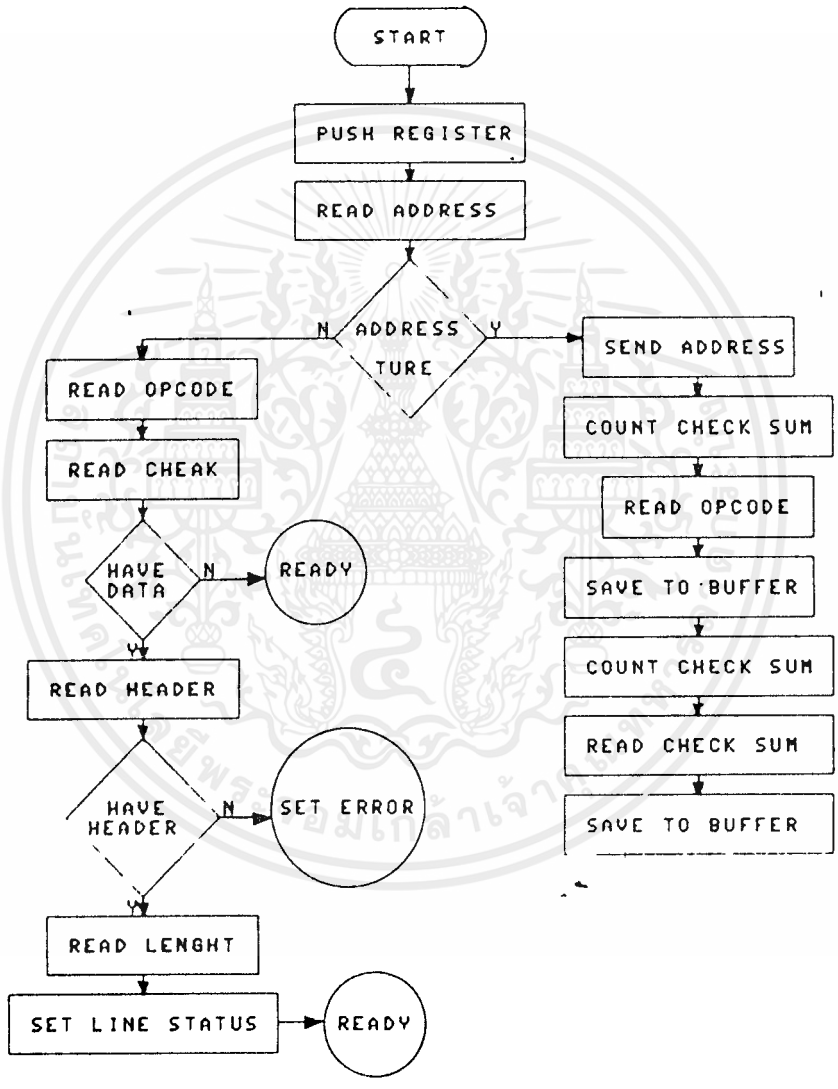
Interrupt for Communication

INTERRUPT FOR
COMMUNICATION

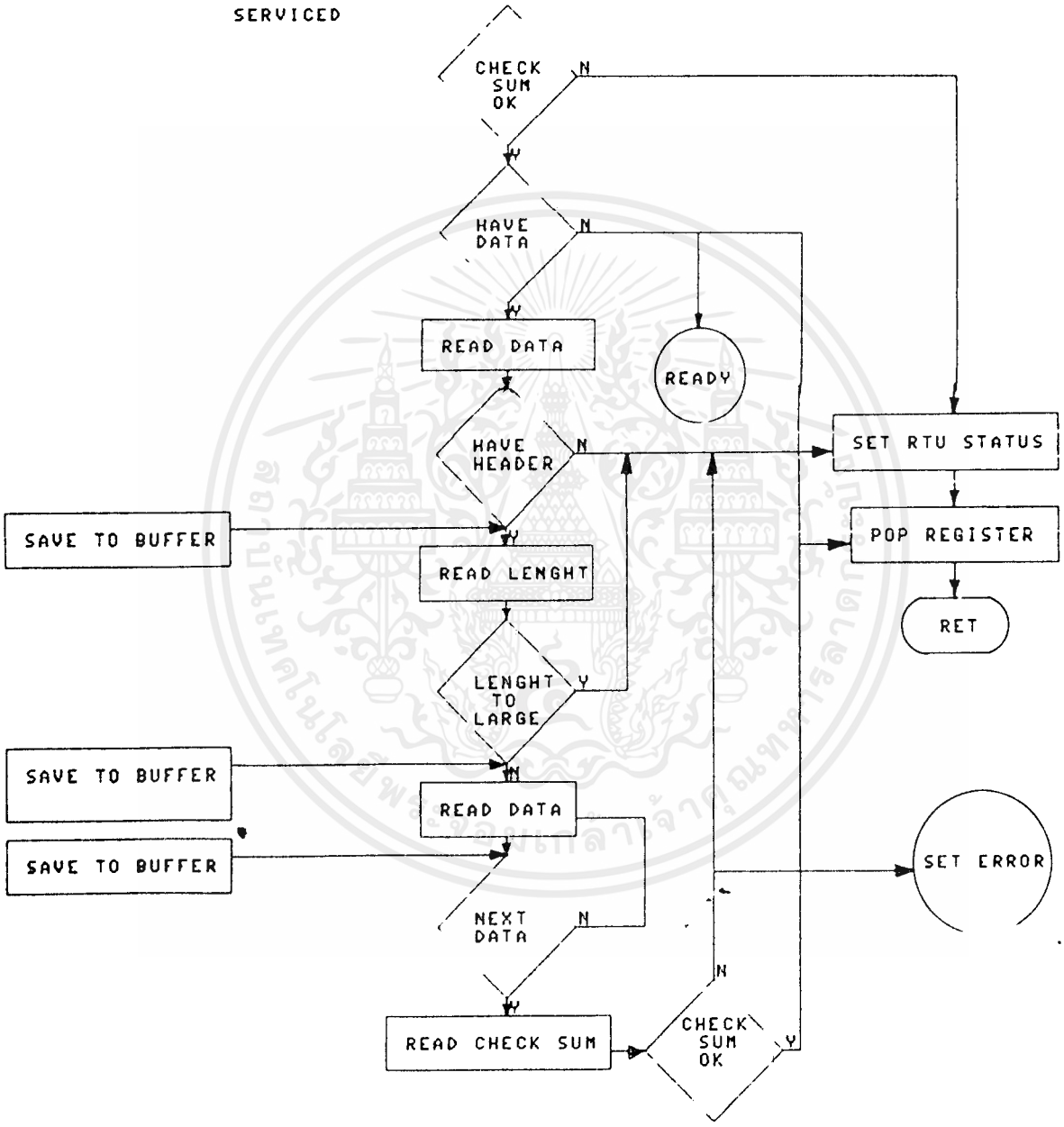


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

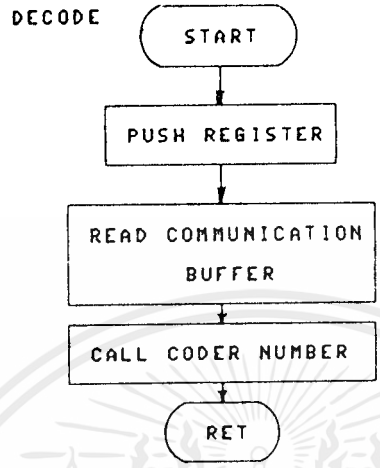
SERVICED

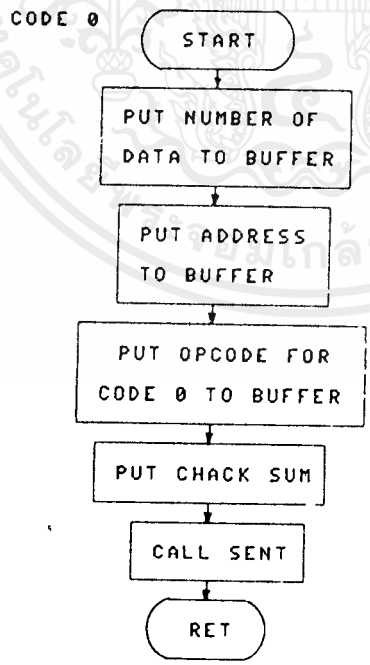


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

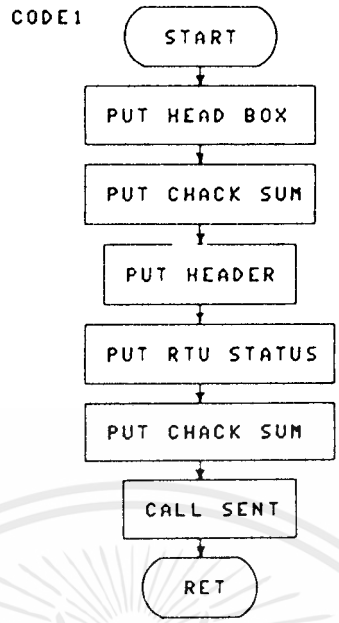


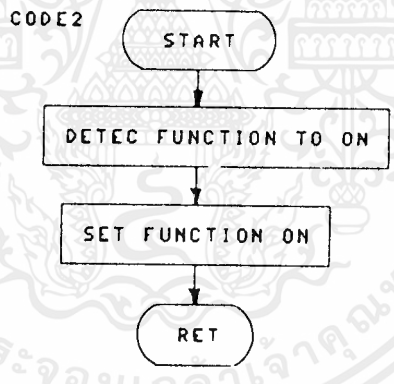
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

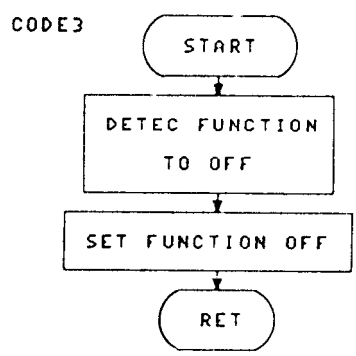




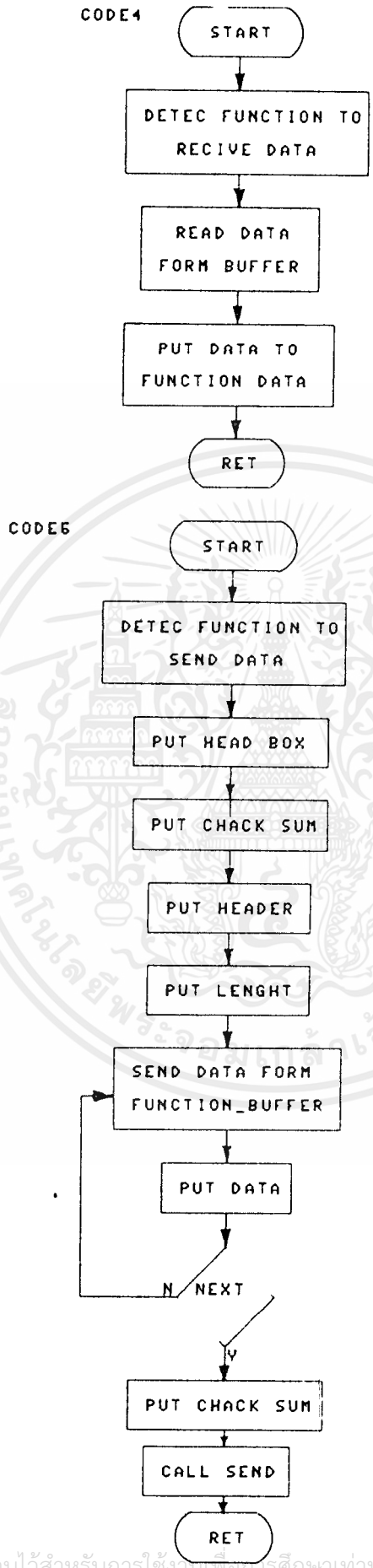
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้





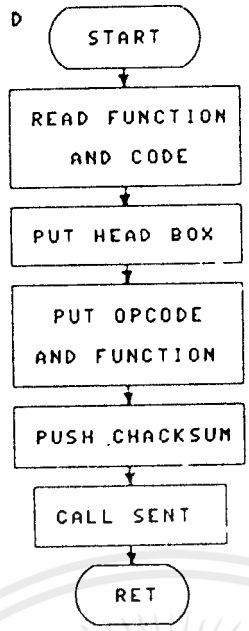


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

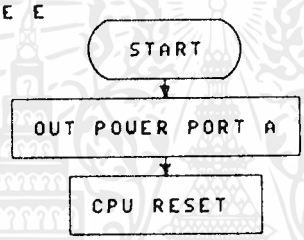


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

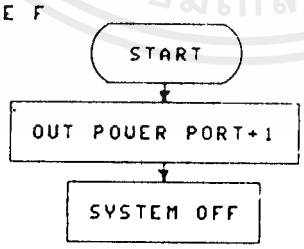
CODE D



CODE E

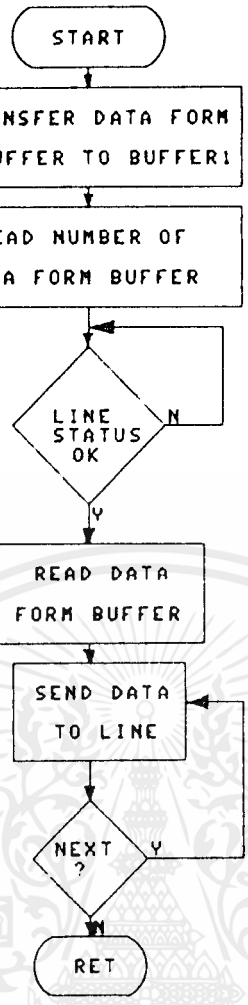


CODE F

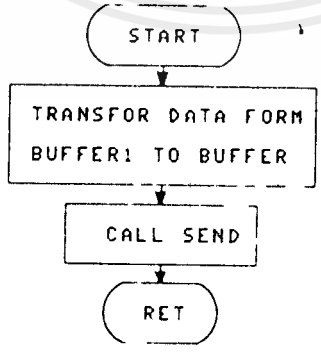


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

SEND

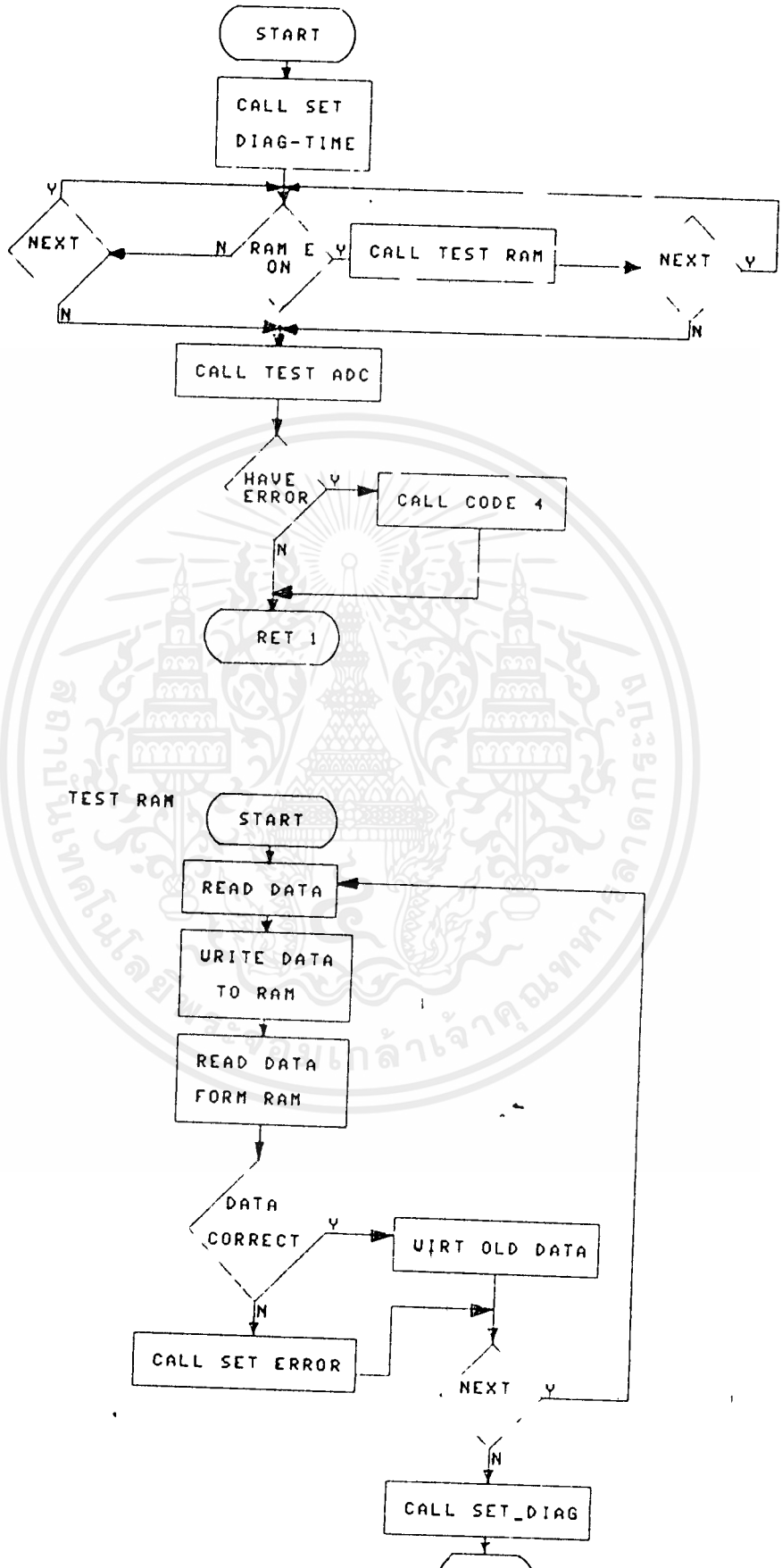


DO-CODED



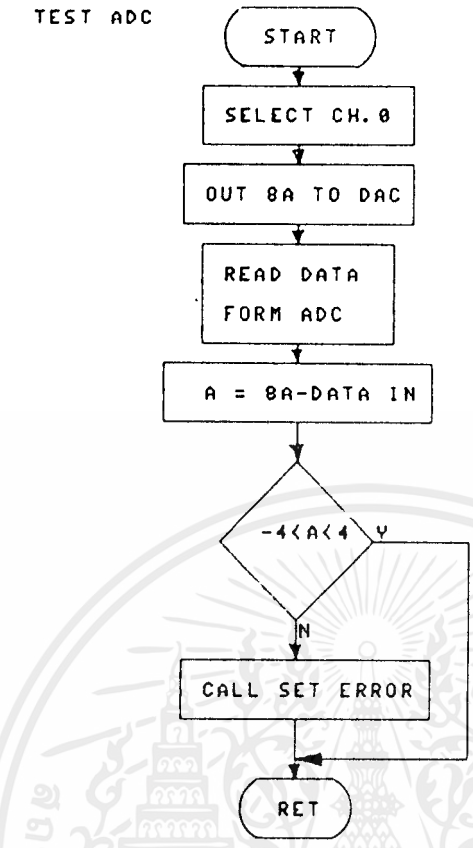
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

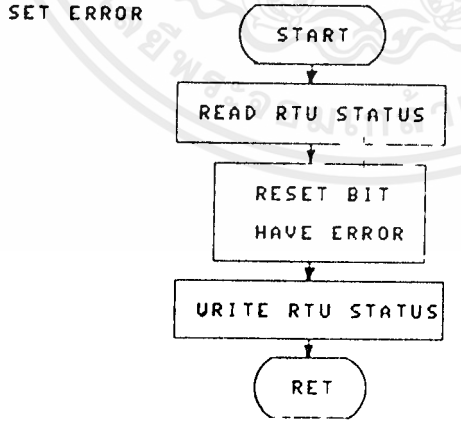
INTERRUPT FOR DIAGNOSTIC TEST



TEST RAM

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้





เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Communication Protocol

Start of Text 1 Bit	Address 7 Bit	Opcode 4 Bit	Function 4 Bit	Have Data 1 Bit	Check Sum 7 Bit
Header 7E	Lenght 16 Bit	Data Field		Check Sum 8 Bit	

-Start of Text

เป็นบิทแรกที่ส่งไปเพื่อบอกว่าเป็นการเริ่มต้นการติดต่อ

-Address

มีทั้งหมด 7 บิท เป็น address ของ RTU ในกรณีที่ MTU เป็นผู้ติดต่อไป และเป็น address ของ RTU เพื่อบอกว่าข้อมูลมาจาก RTU ตัวใดในกรณีที่ RTU เป็นผู้ติดต่อ

-Opcode

มีทั้งหมด 4 บิท ซึ่งจะเป็นตัวกำหนด code ที่ต้องการให้ MTU หรือ RTU ทำ

-Function

มีทั้งหมด 4 บิท ซึ่งเป็นตัวบอกว่าจะให้ทำใน function ใด หรือเป็น data ของ function ใด ในกรณีที่บาง code ไม่ได้กระทำใน function จะให้เป็น "0" ทั้งหมด

-Have Data

มี 1 บิท ถ้าเป็น "0" แสดงว่าไม่มี data ตามมา ถ้าเป็น "1" แสดงว่ามี data ตามมาใน data field

-Check Sum

จะนำข้อมูลที่ส่งไปจาก start of taxt ถึง have data มาบวกกัน แล้วนำผลลัพธ์ 7 บิทสุดท้ายส่งไปเพื่อตรวจสอบความถูกต้องของ data

-Header

เป็นข้อมูลที่ส่งไปเพื่อกำหนดต้น block ของ data field

-Lenght

มีทั้งหมด 16 บิท เป็นตัวบอกจำนวนข้อมูลทั้งหมดที่ส่งมา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

-Data Field

จะมีจำนวนเท่ากับ lenght

-Check Sum

จะนำข้อมูลใน data field ทั้งหมดมาบวกกันแล้วส่ง 8 บิทสุดท้ายไปเพื่อตรวจสอบความถูกต้อง

Opcode List

1.Code"0" Check how much RTU และ check address ของ RTU ส่งไปเพื่อตรวจสอบความพร้อมของ RTU เมื่อ RTU ได้รับ code"0" ก็จะส่ง code"0" กลับมาพร้อมกับส่ง address ตอบกลับมาด้วย

2.Code"1" Report own status RTU อาจส่ง code นี้มาเพื่อทำการรายงานสถานะการทำงาน โดยจะเอาข้อมูลจาก RTU Status ส่งมาให้ หรือ MTU อาจจะถามไปเพื่อตรวจสอบสถานะการทำงาน

3.Code"2" Command ON MTU จะส่ง code นี้ไปพร้อมกับ function ที่ต้องการให้ RTU ทำ เมื่อ RTU ได้รับก็จะทำการ set ให้สถานะของ function นั้น ON

4.Code"3" Command OFF MTU จะส่ง code นี้ไปพร้อมกับ function ที่ไม่ต้องการให้ RTU ทำ เมื่อ RTU ได้รับก็จะทำการ set สถานะของ function นั้นให้ OFF

5.Code"4" command data MTU จะให้ data ของแต่ละ function โดยส่งผ่าน code นี้ เมื่อ MTU set ให้ function ให้ ON แล้ว MTU ก็จะต้องให้ data แก่ function นั้นตามไป

6.Code"5" Scan RTU's result เมื่อ MTU ต้องการ data จาก RTU MTU จะต้องส่ง code นี้ไปพร้อมกับ function ว่าต้องการ data จาก function ใด โดย data ที่ได้มานี้จะเป็นผลการทำงานของ RTU ในแต่ละ function เมื่อได้ data มาแล้วจะทำการ plot curve ออกทางหน้าจอ เพื่อให้ผู้ใช้สามารถตรวจสอบความถูกต้องของการทำงานของ RTU ได้สะดวกยิ่งขึ้น

7.Code"6-C" จะสำรองไว้ใช้

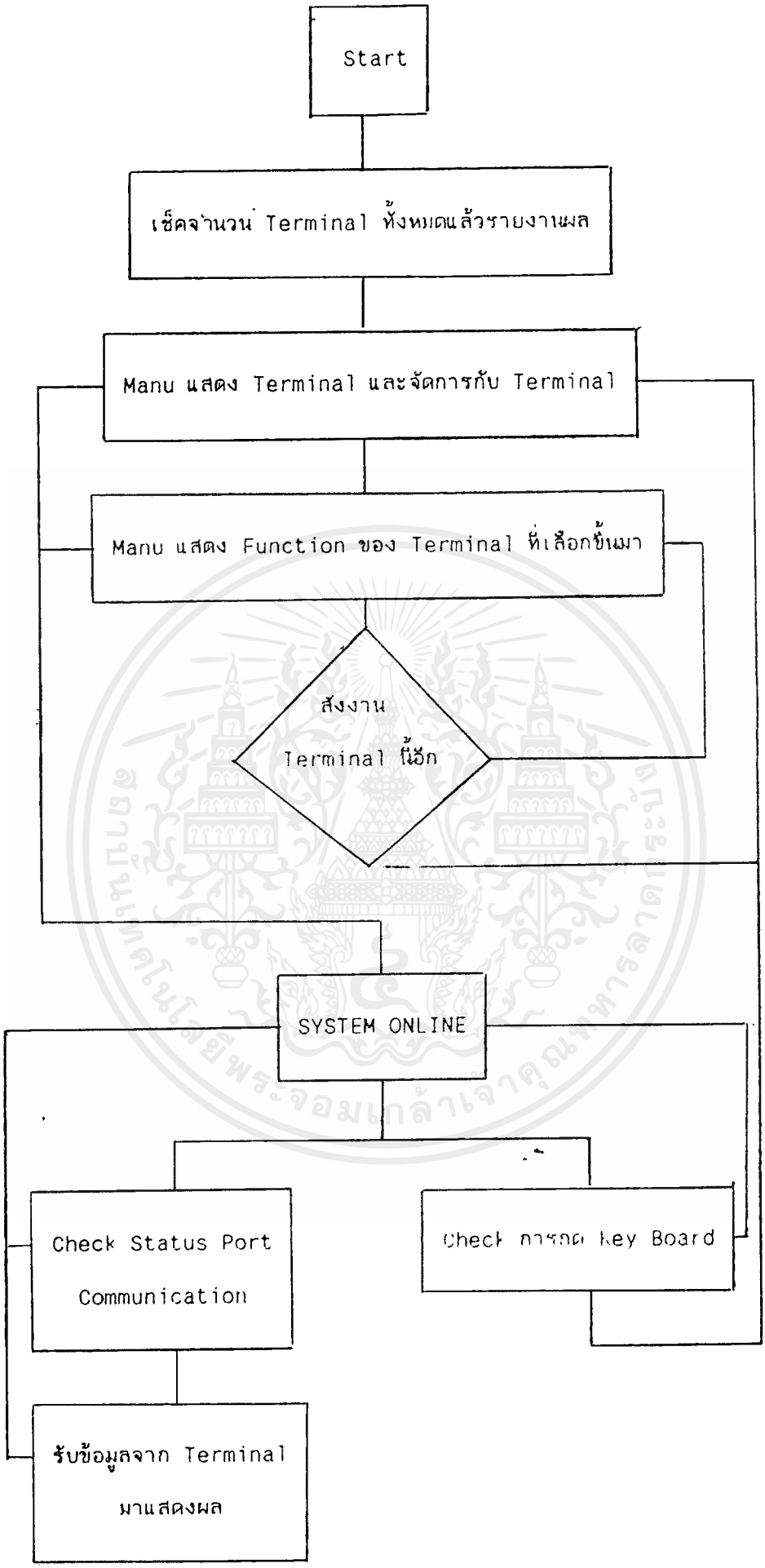
8.Code"D" Reques data check sum MTu หรือ RTU จะส่ง code นี้มา เมื่อตรวจสอบข้อมูลจาก check sum แล้วไม่ถูกต้อง เพื่อทำการส่งข้อมูลซ้ำอีกครั้งหนึ่ง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

9.Code"E" reset RTU MTU จะส่ง code นี้ไปเมื่อต้องการเริ่มต้นการทำงานของ RTU ใหม่

10.Code"F" OFF system MTU จะส่ง code นี้ไปเมื่อต้องการตัด RTU ตัวนั้นออกจากระบบในกรณีที่เกิด error ที่จะทำความเสียหายเกิดขึ้นได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

1. เช็คจำนวน Terminal ทั้งหมดแล้วรายงานผล

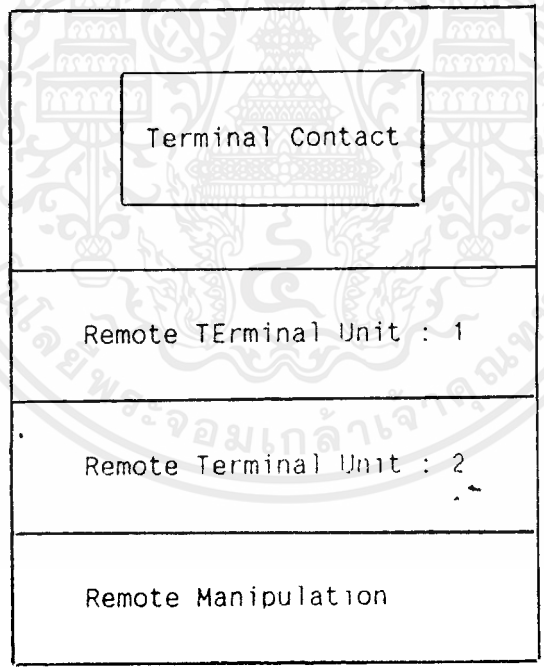
การทำงานแบบนี้จะทำการเช็คจำนวน Terminal ที่ใช้งานได้จริงทั้งหมดจาก Address Terminal ทั้งหมด คือ 127 Address เพื่อให้ทราบว่าระบบของเรามี Terminal จำนวนเท่าใด โดยแสดงรูปแบบดังนี้

Total Terminal : 127

Total Terminal Workable :

2. Manu แสดง Terminal และจัดการกับ Terminal

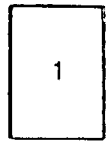
ในระบบที่ทำงานจริงๆแล้วจะมีเพียง Terminal เดียว แต่ใน Manu มีถึง 2 Treminal เพราะต้องเผื่อไว้หากว่าการทำเพียง Terminal เดียวเสร็จเร็วและมีเวลาพอที่จะทำ Treminal ตัวที่สอง ซึ่งใน Manu นี้มี Function ให้เลือกกระทำดังนี้



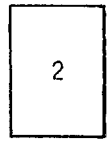
-การเลือก Remote Terminal 1 หรือ 2 จะเป็นการติดต่อสื่อสารกับ Terminal นั้นๆ ซึ่งรายละเอียดดูได้จากการเลือก function

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

-การเลือก Terminal Manipulation จะเป็นการจัดการกับตัว Terminal นั้นๆ



Remote Terminal Unit 1

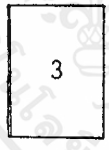


Remote Terminal Unit 2

ทำการเลือก Terminal ว่าจะจัดการกับ Terminal ใดโดยใช้ Arrow Key Up-Down เมื่อเลือก Terminal แล้วก็จะขึ้น Manu

Status Terminal

Reset Terminal



OFF System (Terminal)

การเลือก Function

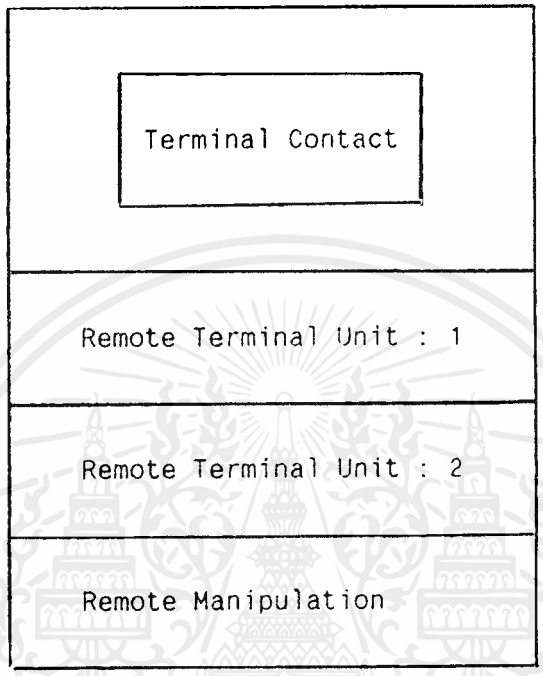
1.เลือกหมายเลข 1 จะเป็นการขอดู Status ของ Terminal นั้นๆ เช่น Status Communication, ROM หรือ Watch Dog Timer ซึ่งเมื่อเครื่องพบปัญหาจากการทำงาน หรือตรวจเจอความผิดพลาดจากการทำงาน Terminal ก็จะ Set ค่าไว้ เพื่อรอแจ้งให้กับ Main Terminal (Computer) รับทราบ (เรียกดูได้โดยการกด "1")

2.Reset Terminal เป็นการ Reset Main Board ของ Terminal นั้นๆ โดยให้เริ่มทำงานใหม่ คือ รอรับคำสั่ง ซึ่งกรณีที่ Function ต่างๆของ Terminal ยังทำงานอยู่ การ Reset Terminal จะไม่มีผลต่อการทำงานของ Function นั้นๆแต่อย่างใด

3.OFF System เป็นการ OFF Terminal นั้นๆทั้งระบบเลย ซึ่งหมายความถึงว่าทั้ง Main Borad และทุก Function ใน Terminal นั้นจะต้อง OFF ด้วย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

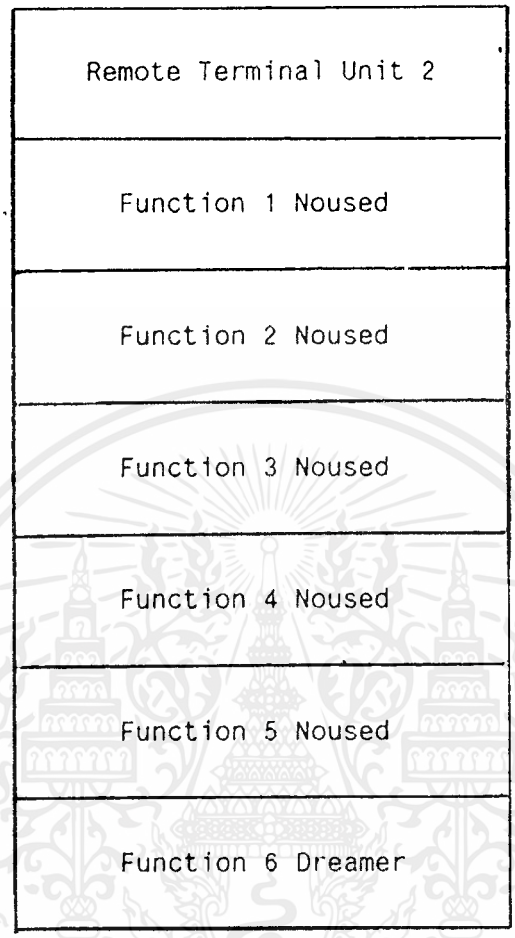
หากเกิดเปลี่ยนใจเมื่อเลือก Terminal Manipulation แล้วก็สามารถใช้การกด Key ESC การทำงานของ Program ก็จะออกจากคำสั่งดังกล่าว และไปรออยู่ที่ Manu การเลือก Terminal คือ



หรือไม่เข้าใจการใช้งานก็สามารถกด Key Help ซึ่งจะแสดงถึงวิธีการใช้งานในแต่ละ Function มีความละเอียดพอสมควรที่ Manu ดังกล่าว

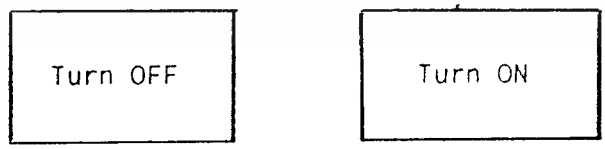
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3. Manu แสดง Function ของ Terminal ที่เลือกขึ้นมา



แต่ละ Function จะแสดงถึงขอบข่ายการรับผิดชอบของ Function นั้นๆ แบ่งเป็น 2 กลุ่ม คือ

1. Function 1-4 คำสั่งในกลุ่มนี้จะมี 2 คำสั่งให้เลือก คือ



Function Turn ON จะเป็นการ OFF Function นั้นเท่านั้น ถ้าหากเราสั่ง Turn ON ค่าของ Status of Terminal for Function Communication เก็บไว้ซึ่งเป็นตัวบ่งบอกว่า Function ของ Terminal Function ใดบ้างที่ ON อยู่ขณะนี้ซึ่งดูจาก Status Communication แต่ถ้าเลือก Turn OFF ค่าที่ Set ไว้ดังกล่าวจะถูก clear

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2. Function 5-6 คำสั่งในกลุ่มนี้ คือ

Data Command	Scan Function Terminal

- การเลือก Data Command จะเป็นการส่งข้อมูลไปให้ Function ของ Terminal นั้นๆ โดยข้อมูลดังกล่าวรับมาจาก Key Board ขนาด 1 Byte

- Scan Function Terminal จะเป็นคำสั่งให้ Terminal ส่งข้อมูลของ Function ตามคำสั่งมายัง Main Terminal ว่าจะส่งขนาดเท่าไร ซึ่ง Terminal จะกำหนดความยาวของ Block Data ดังกล่าวใน Lenght of Data ใน Format ของการส่ง Data ซึ่งจะมีขนาดตั้งแต่ 256 Byte ถึง 1 Kbyte

4. Online System

เมื่อเราสั่งงานกับ Function ของแต่ละ Terminal เสร็จแล้วและไม่ต้องการสั่งอะไรอีกระยะหนึ่ง ก็สามารถเลือก Online System เพื่อว่า Program จะได้ออกจาก Loop ของชุดคำสั่งมาทำการรอรับข้อมูลจาก Port สื่อสารที่ Terminal จะส่งมา หากมีการทำงานผิดพลาดใน Function ของ Terminal นั้นๆเกิดขึ้น และ Check การกด Key ถ้าหากว่าอยากจะสั่ง Terminal อีก อธิบายได้ดังนี้

1.Status Port Communication จะเป็นการทำงานของ Program โดยเริ่ม Check Status Port ถ้าหากว่ามีข้อมูลเข้ามา (Terminal ส่งมา) ก็จะรับข้อมูลดังกล่าวมาแสดงบนจอภาพ ทำให้ผู้ควบคุม Terminal เครื่องนั้นรู้ได้ ถ้าหากไม่มีข้อมูลเข้ามาก็จะไปเช็คการกด Key Board

2.Check การกด Kek Board เป็นการทำงานของ Program โดยหากว่าถ้ามีการกด Key ก็จะเป็นการแสดงถึงว่าจะมีการสั่งงานอะไรเพิ่มเติมอีก หน้าจอของ Computer ก็จะแสดง Manu Terminal ขึ้นมาว่าต้องการติดต่อกับ Terminal ใด หากไม่มีการกด Key ก็จะกลับไป Check Status Port Communication อีก

การทำงานของ Function Online System จะวน Loop ไปเรื่อยๆ หากว่ามีการกด Key ก็จะแสดง Manu เพื่อรอรับคำสั่งต่อไป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Program softwave ที่ใช้งานจริง

RTU SOFTWARE

```
1   0000                            ORG   0000H
2   0000   F3                       DI
3   0001   AF                       XOR   A
4   0002   3D            DELAY:     DEC   A
5   0003   00                       NOP
6   0004   00                       NOP
7   0005   20 FB                    JR    NZ,DELAY
8   0007   C3 6D 00                 JP    INIT
9
10
11          00FF          WDTL TIM   EQU   0FFH
12          00FF          WDTH TIM   EQU   0FFH
13          00FF          DIAG0 TIM  EQU   0FFH
14          00FF          DIAG1 TIM  EQU   0FFH
15          00FF          DIAG2 TIM  EQU   0FFH
16          00FF          DIAG3 TIM  EQU   0FFH
17          0031          WDT MODE   EQU   31H
18          0071          DIAG0 MODE EQU   71H
19          00B1          DIAG1 MODE EQU   B1H
20
21          8000          FUNC ADD   EQU   8000H
22                        ;DATA FOR EACH FUNCTION STORE BELOW
23                        ;FUNC 0 IN 7FFF
24                        ;FUNC 1 IN 7FFE
25                        ;FUNC 5 IN 7FFA
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
                        ;USE TO SAVE ADDRESS OF
                        ;BUFFER FOR EACH FUNCTION
26      7FF8            FUNC0 STA   EQU   7FF8H
27      7FF6            FUNC1 STA   EQU   7FF6H
28      7FF4            FUNC2 STA   EQU   7FF4H
29      7FF2            FUNC3 STA   EQU   7FF2H
30      7FF0            FUNC4 STA   EQU   7FF0H
31      7FEE            FUNC5 STA   EQU   7FEEH
32                      ;PORT LIST
33      0040            SE PORT     EQU   40H
34      0043            SE STATUS   EQU   43H
35      0042            SE COUNT    EQU   42H
36      004D            ADC PORT    EQU   4DH
                        ;PORT FOR DIAG AND WDT TIMER
37      0044            TI PORT     EQU   44H
                        ;PORT FOR IO STA,INT PORT,RAM
38      0048            RTU STA     EQU   48H
                        ;PORT FOR READ ADDRESS RTU,ROM
39      00FF            RTU ADD     EQU   0FFH
40      004E            DAC PORT    EQU   4EH
41      004F            SW PORT     EQU   4FH
                        ;50 FOR RESET CPU
42                      ;51 FOR TURN  OFF SYSTEM
43      0050            POWER PORT  EQU   50H
44
                        :INTERRUPT VECTOR
45      0000            INT VEC     EQU   00H
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
46                      ;MEMORY LIST
47      1000            FUNC0 ADD   EQU  1000H
48      6100            FUNC1 BUF   EQU  06100H
49      1800            FUNC1 ADD   EQU  1800H
50      6300            FUNC1 BUF   EQU  06300H
51      2000            FUNC2 ADD   EQU  2000H
52      6500            FUNC2 BUF   EQU  06500H
53      2800            FUNC3 ADD   EQU  2800H
54      6700            FUNC3 BUF   EQU  06700H
55      3000            FUNC4 ADD   EQU  3000H
56      6900            FUNC4 BUF   EQU  06900H
57      3800            FUNC5 ADD   EQU  03800H
58      6B00            FUNC5 BUF   EQU  06B00H
59      6D00            COMMU BUF   EQU  06D00H
60      6000            COMMU BUF1  EQU  06000H
61
                        ;MEMORY MAP FOR RAM
62      C000            RAM1 ADD    EQU  0C000H
63      C800            RAM2 ADD    EQU  0C800H
64      D000            RAM3 ADD    EQU  0D000H
65      D800            RAM4 ADD    EQU  0D800H
66      E000            RAM5 ADD    EQU  0E000H
67      E800            RAM6 ADD    EQU  0E800H
68      F000            RAM7 ADD    EQU  0F000H
69      F800            RAM8 ADD    EQU  0F800H
70
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
71 ;***************INTERRUPT VECTOR TABLE*****************
                              ;ADDRESS OF COMMUICATION
72  0010                                ORG  0010H
73  0010   00                           DB   00
74  0011   06                           DB   06H
75
                              :ADDRESS OF DIAGNOSTIC
76  0012   00                           DB   00
77  0013   07                           DB   07H
78
79  ;******************INTERRUPT MODE 1*********************
80  0038                                ORG  0038H                81
82
83  ;******************RESET WDT TIMER**********************
                                        ;NON MASKABLE
                                        ;INTERRUPT ROUTINE
84  0066                                ORG  0066H
85  0066   D3 44                        OUT  (TI PORT),A
86  0068   CD E1 00                     CALL SET WDT
87  006B   ED 4D                        RETI
88
89  ;*********************INITIAL***************************
90  006D   31 E0 7F          INIT:      LD   SP,07FE0H
91  0070   3E FF                        LD   A,0FFH
                                        ;RESET FUNCTION
92  0072   32 00 80                     LD   (FUNC ADD),A
93  0075   D3 48                        OUT  (RTU STA),A
94
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
                                        ;INITAIN DATA FOR
                                        ;EACH FUNCTION TO '0'
 95  0077   AF                          XOR   A
 96  0078   32 FF 7F                    LD    (FUNC ADD-1),A
 97  007B   32 FE 7F                    LD    (FUNC ADD-2),A
 98  007E   32 FD 7F                    LD    (FUNC ADD-3),A
 99  0081   32 FC 7F                    LD    (FUNC ADD-4),A
100  0084   32 FB 7F                    LD    (FUNC ADD-5),A
101  0087   32 FA 7F                    LD    (FUNC ADD-6),A
102
                                        ;SAVE START OF
                                        ;BUFFER FOR
                                        ;EACH FUNCTION
103  008A   21 00 61                    LD    HL,FUNC0 BUF
104  008D   22 F8 7F                    LD    (FUNC0 STA),HL
105  0090   21 00 63                    LD    HL,FUNC1 BUF
106  0093   22 F6 7F                    LD    (FUNC1 STA),HL
107  0096   21 00 65                    LD    HL,FUNC2 BUF
108  0099   22 F4 7F                    LD    (FUNC2 STA),HL
109  009C   21 00 67                    LD    HL,FUNC3 BUF
110  009F   22 F2 7F                    LD    (FUNC3 STA),HL
111  00A2   21 00 69                    LD    HL,FUNC4 BUF
112  00A5   22 F0 7F                    LD    (FUNC4 STA),HL
113  00A8   21 00 6B                    LD    HL,FUNC5 BUF
114  00AB   22 EE 7F                    LD    (FUNC5 STA),HL
115
                                        ;SET SERIAL PORT
116  00AE   CD F0 00                    CALL  SET SE
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
                                                    ;SET WDT TIMER
117  00B1   CD E1 00                               CALL  SET WDT
                                                    ;SET DIAGNOSTIC
118  00B4   CD FB 00                               CALL  SET DIAG
                                                    ;SET INT VECTOR
119  00B7      3E 00                               LD     A,INT VEC
120  00B9   ED 47                                  LD    I,A
121  00BB   ED 5E                                  IM    2
122  00BD   FB                                     EI
123  00BE   3A 00 80          LOOP:                LD    A,(FUNC ADD)
124  00C1   CB 47                                  BIT   0,A
125  00C3   CC 00 10                               CALL  Z,FUNC0 ADD
126  00C6   CB 4F                                  BIT   1,A
127  00C8   CC 00 18                               CALL  Z,FUNC1 ADD
128  00CB   CB 57                                  BIT   2,A
129  00CD   CC 00 20                               CALL  Z,FUNC2 ADD
130  00D0   CB 5F                                  BIT   3,A
131  00D2   CC 00 28                               CALL  Z,FUNC3 ADD
132  00D5   CB 67                                  BIT   4,A
133  00D7   CC 00 30                               CALL  Z,FUNC4 ADD
134  00DA   CB 6F                                  BIT   5,A
135  00DC   CC 00 38                               CALL  Z,FUNC5 ADD
136  00DF   18 DD                                  JR    LOOP
137 ;*********************END MAIN*****************************
138  00E1   F5                SET WDT:             PUSH  AF
139  00E2   3E 31                                  LD    A,WDT MODE
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
                                        ;SET WDT MODE 0
140  00E4  D3 47                        OUT   (TI PORT+3),A
141  00E6  3E FF                        LD    A,WDTL TIM
                                        ;LSB
142  00E8  D3 44                        OUT   (TI PORT),A
143  00EA  3E FF                        LD    A,WDTH TIM
                                        ;MSB
144  00EC  D3 44                        OUT   (TI PORT),A
145  00EE  F1                           POP   AF
146  00EF  C9                           RET
147  00F0  F5              SET SE:      PUSH  AF
148  00F1  3E CE                        LD    A,0CEH
149  00F3  D3 41                        OUT   (SE PORT+1),A
150  00F5  3E 37                        LD    A,37H
151  00F7  D3 41                        OUT   (SE PORT+1),A
152  00F9  F1                           POP   AF
153  00FA  C9                           RET
154  00FB  F5              SET DIAG:    PUSH  AF
155  00FC  3E 71                        LD    A,DIAG0 MODE
                                        ;SET DIAG TIMER
                                        ;LOW MODE 0
156  00FE  D3 47                        OUT   (TI PORT+3),A
157  0100  3E FF                        LD    A,DIAG0 TIM
                                        ;LSB
158  0102  D3 45                        OUT   (TI PORT+1),A
159  0104  3E FF                        LD    A,DIAG1 TIM
                                        ;MSB
160  0106  D3 45                        OUT   (TI PORT+1),A
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
161  0108  3E B1                    LD    A,DIAG1 MODE
                                    ;SET DIAG TIMER HI
                                    ;MODE 0
162  010A  D3 47                    OUT   (TI PORT+3),A
163  010C  3E FF                    LD    A,DIAG2 TIM
                                    ;LSB
164  010E  D3 46                    OUT   (TI PORT+2),A
165  0110  3E FF                    LD    A,DIAG3 TIM
                                   ;MSB
166  0112  D3 46                    OUT   (TI PORT+2),A
167  0114  F1                       POP   AF
168  0115  C9                       RET
169  0116  DB 41          WAIT IN:  IN    A,(SE PORT+1)
170  0118  CB 4F                    BIT   1,A
171  011A  CA 16 01                 JP    Z,WAIT IN
172  011D  DB 40                    IN    A,(SE PORT)
173  011F  C9                       RET
174  0120  C5             WAIT OUT: PUSH BC
175  0121  47                       LD    B,A
176  0122  DB 41          WAIT O:   IN    A,(SE PORT+1)
177  0124  CB 47                    BIT   0,A
178  0126  28 FA                    JR    Z,WAIT O
179  0128  78                       LD    A,B
180  0129  D3 40                    OUT   (SE PORT),A
181  012B  C1                       POP   BC
182  012C  C9                       RET
183  012D  C5             DECODE:   PUSH  BC
184  012E  F5                       PUSH  AF
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
185  012F  3A 00 60                    LD    A,(COMMU BUF1)
186  0132  4F                          LD    C,A
187  0133  06 04                       LD    B,4
188  0135  CB 39          DET OP:      SRL   C
189  0137  10 FC                       DJNZ  DET OP
190  0139  AF                          XOR   A
191  013A  B9                          CP    C
                                       ;CHECK HOW MUST RTU
192  013B  CC AC 01                    CALL  Z,CODE0
193  013E  28 69                       JR    Z,END DECODE
194  0140  3C                          INC   A
195  0141  B9                          CP    C
                                       ;CHECK RTU STATUS
196  0142  CC D7 01                    CALL  Z,CODE1
197  0145  28 62                       JR    Z,END DECODE
198  0147  3C                          INC   A
199  0148  B9                          CP    C
                                       ;ON FUNCTION
200  0149  CC 19 02                    CALL  Z,CODE2
201  014C  28 5B                       JR    Z,END DECODE
202  014E  3C                          INC   A
203  014F  B9                          CP    C
                                       ;OFF FUNCTION
204  0150  CC 82 02                    CALL  Z,CODE3
205  0153  28 54                       JR    Z,END DECODE
206  0155  3C                          INC   A
207  0156  B9                          CP    C
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
                                        ;COMMAND DATA
208  0157  CC  EB  02                   CALL  Z,CODE4
209  015A   28 4D                       JR    Z,END DECODE
210  015C   3C                          INC   A
211  015D   B9                          CP    C
                                        ;SCAN RTU'S RESULT
212  015E   CC 0D 03                    CALL    Z,CODE5
213  0161   28 46                       JR    Z,END DECODE
214  0163   3C                          INC   A
215  0164   B9                          CP    C
                                        ;CHECK ROM
216  0165   CC 8C 03                    CALL  Z,CODE6
217  0168   28 3F                       JR    Z,END DECODE
218  016A   3C                          INC   A
219  016B   B9                          CP    C
                                        ;ON LINE SYSTEM
220  016C   CC 8E 03                    CALL  Z,CODE7
221  016F   28 38                       JR    Z,END DECODE
222  0171   3C                          INC   A
223  0172   B9                          CP    C
224  0173   CC 90 03                    CALL  Z,CODE8
225  0176   28 31                       JR    Z,END DECODE
226  0178   3C                          INC   A
227  0179   B9                          CP    C
228  017A   CC 92 03                    CALL  Z,CODE9
229  017D   28 2A                       JR    Z,END DECODE
230  017F   3C                          INC   A
231  0180   B9                          CP    C
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
232  0181   CC 94 03                    CALL  Z,CODEA
233  0184   28 23                       JR    Z,END DECODE
234  0186   3C                          INC   A
235  0187   B9                          CP    C
236  0188   CC 96 03                    CALL    Z,CODEB
237  018B   28 1C                       JR    Z,END DECODE
238  018D   3C                          INC   A
239  018E   B9                          CP    C
240  018F   CC 98 03                    CALL  Z,CODE
241  0192   28 15                       JR    Z,END DECODE
242  0194   3C                          INC   A
243  0195   B9                          CP    C
244  0196   CC 9A 03                    CALL  Z,DO CODED
                                        ;REQURIES DATA
                                        ;CHKSUM FAULT
245  0199   28 0E                       JR    Z,END DECODE
246  019B   3C                          INC   A
247  019C   B9                          CP    C
248  019D   CC C4 03                    CALL  Z,CODEE
                                        :RESET RTU
249  01A0   28 07                       JR    Z,END DECODE
250  01A2   3C                          INC   A
251  01A3   B9                          CP    C
252  01A4   CC C6 03                    CALL  Z,CODEF
                                       :OFF SYSTEM
253  01A7   28 00                       JR    Z,END DECODE
254  01A9   F1              END DECODE: POP   AF
255  01AA   C1                          POP   BC
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
256  01AB   C9                          RET
257  ;************CODE FOR CHECK RTU WORK*********************
258  01AC   F5              CODE0:      PUSH  AF
259  01AD   DD E5                       PUSH  IX
260  01AF   DD 21 00 6D                 LD    IX,COMMU BUF
261  01B3   3E 03                       LD    A,3
262  01B5   DD 77 00                    LD    (IX+0),A
263  01B8   AF                          XOR   A
264  01B9   DD 77 01                    LD    (IX+1),A
265  01BC   DB FF                       IN    A,(RTU ADD)
266  01BE   DD 77 02                    LD    (IX+2),A
267  01C1   AF                          XOR   A
268  01C2   DD 77 03                    LD    (IX+3),A
269  01C5   DD 7E 02                    LD    A,(IX+2)
270  01C8   DD 86 03                    ADD   A,(IX+3)
271  01CB   CB BF                       RES   7,A
272  01CD   DD 77 04                    LD    (IX+4),A
273  01D0   CD C8 03                    CALL  SEND
274  01D3   DD E1                       POP   IX
275  01D5   F1                          POP   AF
276  01D6   C9                          RET
277  ;***************CODE FOR REPORT RTU STATUS***************
278  01D7   F5              CODE1:      PUSH  AF
279  01D8   DD E5                       PUSH  IX
280  01DA   DD 21 00 6D                 LD    IX,COMMU BUF
281  01DE   3E 08                       LD    A,8
282  01E0   DD 77 00                    LD    (IX+0),A
283  01E3   AF                          XOR   A
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
284  01E4   DD 77 01                      LD    (IX+1),A
285  01E7   DB FF                         IN    A,(RTU ADD)
286  01E9   DD 77 02                      LD    (IX+2),A
287  01EC   3E 10                         LD    A,10H
288  01EE   DD 77 03                      LD    (IX+3),A
289  01F1   DD 7E 02                      LD    A,(IX+2)
290  01F4   DD 86 03                      ADD   A,(IX+3)
291  01F7   CB FF                         SET   7,A
292  01F9   DD 77 04                      LD    (IX+4),A
293  01FC   3E 7E                         LD    A,7EH
294  01FE   DD 77 05                      LD    (IX+5),A
295  0201   AF                            XOR   A
296  0202   DD 77 06                      LD    (IX+6),A
297  0205   3E 01                         LD    A,1
298  0207   DD 77 07                      LD    (IX+7),A
299  020A   DB 49                         IN    A,(RTU STA+1)
300  020C   DD 77 08                      LD    (IX+8),A
301  020F   DD 77 09                      LD    (IX+9),A
302  0212   CD C8 03                      CALL  SEND
303  0215   DD E1                         POP   IX
304  0217   F1                           POP   AF
305  0218   C9                           RET
306  ;**************CODE FOR SET FUNCTION ON****************
307  0219   F5              CODE2:       PUSH  AF
308  021A   C5                           PUSH  BC
309  021B   06 04                        LD    B,4
310  021D   3A 00 60                     LD    A,(COMMU BUF1)
311  0220   CB 27            CHK FUN1:    SLA   A
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
312  0222   10 FC                        DJNZ   CHK FUN1
313  0224   06 04                        LD     B,4
314  0226   CB 3F          CHK FUN2:     SRL    A
315  0228   10 FC                        DJNZ   CHK FUN2
316  022A   47                          LD     B,A
317  022B   AF                          XOR    A
318  022C   B8                          CP     B
319  022D   28 17                       JR     Z,FUN0 ON
320  022F   3C                          INC    A
321  0230   B8                          CP     B
322  0231   28 1D                       JR     Z,FUN1 ON
323  0233   3C                          INC    A
324  0234   B8                          CP     B
325  0235   28 23                       JR     Z,FUN2 ON
326  0237   3C                          INC    A
327  0238   B8                          CP     B
328  0239   28 29                       JR     Z,FUN3 ON
329  023B   3C                          INC    A
330  023C   B8                          CP     B
331  023D   28 2F                       JR     Z,FUN4 ON
332  023F   3C                          INC    A
333  0240   B8                          CP     B
334  0241   28 35                       JR     Z,FUN5 ON
335  0243   C1          END CODE2:      POP    BC
336  0244   F1                          POP    AF
337  0245   C9                          RET
338  0246   3A 00 80    FUN0 ON:        LD     A,(FUNC ADD)
339  0249   CB 87                       RES    0,A
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
340  024B  32 00 80                    LD    (FUNC ADD),A
341  024E  18 F3                       JR    END CODE2
342  0250  3A 00 80        FUN1 ON:   LD    A,(FUNC ADD)
343  0253  CB 8F                       RES   1,A
344  0255  32 00 80                    LD    (FUNC ADD),A
345  0258  18 E9                       JR    END CODE2
346  025A  3A 00 80        FUN2 ON:   LD    A,(FUNC ADD)
347  025D  CB 97                       RES   2,A
348  025F  32 00 80                    LD    (FUNC ADD),A
349  0262  18 DF                       JR    END CODE2
350  0264  3A 00 80        FUN3 ON:   LD    A,(FUNC ADD)
351  0267  CB 9F                       RES   3,A
352  0269  32 00 80                    LD    (FUNC ADD),A
353  026C  18 D5                       JR    END CODE2
354  026E  3A 00 80        FUN4 ON:   LD    A,(FUNC ADD)
355  0271  CB A7                       RES   4,A
356  0273  32 00 80                    LD    (FUNC ADD),A
357  0276  18 CB                       JR    END CODE2
358  0278  3A 00 80        FUN5 ON:   LD    A,(FUNC ADD)
359  027B  CB AF                       RES   5,A
360  027D  32 00 80                    LD    (FUNC ADD),A
361  0280  18 C1                       JR    END CODE2
362  ;***************CODE FOR SET FUNCTION OFF***************
363  0282  F5              CODE3:      PUSH  AF
364  0283  C5                          PUSH  BC
365  0284  06 04                       LD    B,4
366  0286  3A 00 60                    LD    A,(COMMU BUF1)
367  0289  CB 27           CHK FUN3:   SLA   A
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
368  028B  10 FC              DJNZ  CHK FUN3
369  028D  06 04              LD    B,4
370  028F  CB 3F    CHK FUN4: SRL   A
371  0291  10 FC              DJNZ  CHK_FUN4
372  0293  47                 LD    B,A
373  0294  AF                 XOR   A
374  0295  B8                 CP    B
375  0296  28 17              JR    Z,FUN0_OFF
376  0298  3C                 INC   A
377  0299  B8                 CP    B
378  029A  28 1D              JR    Z,FUN1_OFF
379  029C  3C                 INC   A
380  029D  B8                 CP    B
381  029E  28 23              JR    Z,FUN2_OFF
382  02A0  3C                 INC   A
383  02A1  B8                 CP    B
384  02A2  28 29              JR    Z,FUN3_OFF
385  02A4  3C                 INC   A
386  02A5  B8                 CP    B
387  02A6  28 2F              JR    Z,FUN4_OFF
388  02A8  3C                 INC   A
389  02A9  B8                 CP    B
390  02AA  28 35              JR    Z,FUN5_OFF
391  02AC  C1       END CODE3: POP   BC
392  02AD  F1                 POP   AF
393  02AE  C9                 RET
394  02AF  3A 00 80 FUN0 OFF: LD    A,(FUNC_ADD)
395  02B2  CB C7              SET   0,A
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
396  02B4   32 00 80                    LD    (FUNC ADD),A
397  02B7   18 F3                       JR    END CODE3
398  02B9   3A 00 80          FUN1 OFF: LD    A,(FUNC ADD)
399  02BC   CB CF                       SET   1,A
400  02BE   32 00 80                    LD    (FUNC ADD),A
401  02C1   18 E9                       JR    END CODE3
402  02C3   3A 00 80          FUN2 OFF: LD    A,(FUNC ADD)
403  02C6   CB D7                       SET   2,A
404  02C8   32 00 80                    LD    (FUNC ADD),A
405  02CB   18 DF                       JR    END CODE3
406  02CD   3A 00 80          FUN3 OFF: LD    A,(FUNC ADD)
407  02D0   CB DF                       SET   3,A
408  02D2   32 00 80                    LD    (FUNC ADD),A
409  02D5   18 D5                       JR    END CODE3
410  02D7   3A 00 80          FUN4 OFF: LD    A,(FUNC ADD)
411  02DA   CB E7                       SET   4,A
412  02DC   32 00 80                    LD    (FUNC ADD),A
413  02DF   18 CB                       JR    END CODE3
414  02E1   3A 00 80          FUN5 OFF: LD    A,(FUNC ADD)
415  02E4   CB EF                       SET   5,A
416  02E6   32 00 80                    LD    (FUNC ADD),A
417  02E9   18 C1                       JR    END CODE3
418  ;**************CODE FOR COMMAND DATA*********************
419  02EB   F5                CODE4:    PUSH  AF
420  02EC   C5                          PUSH  BC
421  02ED   D5                          PUSH  DE
422  02EE   06 04                       LD    B,4
423  02F0   3A 00 60                    LD    A,(COMMU BUF1)
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
424  02F3  CB 27          CHK FUN7:  SLA   A
425  02F5  10 FC                     DJNZ  CHK FUN7
426  02F7  06 04                     LD    B,4
427  02F9  CB 3F          CHK FUN8:  SRL   A
428  02FB  10 FC                     DJNZ  CHK FUN8
429  02FD  47                        LD    B,A
430  02FE  04                        INC   B
431  02FF  11 00 80                  LD    DE,FUNC ADD
432  0302  7B                        LD    A,E
433  0303  90                        SUB   B
434  0304  5F                        LD    E,A
435  0305  3A 05 60                  LD    A,(COMMU BUF1+5)
436  0308  12                        LD    (DE),A
437  0309  D1                        POP   DE
438  030A  C1                        POP   BC
439  030B  F1                        POP   AF
440  030C  C9                        RET
441  ;**************CODE FOR SCAN RTU'S RESULT*************
442  030D  F5             CODE5:     PUSH  AF
443  030E  C5                        PUSH  BC
444  030F  D5                        PUSH  DE
445  0310  E5                        PUSH  HL
446  0311  11 00 6D                  LD    DE,COMMU BUF
447  0314  06 04                     LD    B,4
448  0316  3A 00 60                  LD    A,(COMMU BUF1)
449  0319  CB 27          CHK FUN5:  SLA   A
450  031B  10 FC                     DJNZ  CHK FUN5
451  031D  06 04                     LD    B,4
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
452  031F  CB 3F          CHK FUN6:  SRL   A
453  0321  10 FC                     DJNZ  CHK FUN6
454  0323  47                        LD    B,A
455  0324  AF                        XOR   A
456  0325  B8                        CP    B
                                     ;PUT FUNCTION 0
457  0326  21 00 61                  LD    HL,FUNC0 BUF
458  0329  28 23                     JR    Z,DO CODE5
459  032B  3C                        INC   A
460  032C  B8                        CP    B
                                     ;PUT FUNCTION 1
461  032D  21 00 63                  LD    HL,FUNC1_BUF
462  0330  28 1C                     JR    Z,DO CODE5
463  0332  3C                        INC   A
464  0333  B8                        CP    B
                                     ;PUT FUNCTION 2
465  0334  21 00 65                  LD    HL,FUNC2_BUF
466  0337  28 15                     JR    Z,DO CODE5
467  0339  3C                        INC   A
468  033A  B8                        CP    B
                                     ;PUT FUNCTION 3
469  033B  21 00 67                  LD    HL,FUNC3_BUF
470  033F  28 0E                     JR    Z,DO CODE5
471  0340  3C                        INC   A
472  0341  B8                        CP    B
                                     ;PUT FUNCTION 4
473  0342  21 00 69                  LD    HL,FUNC4_BUF
474  0345  28 07                     JR    Z,DO CODE5
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
475  0347  3C                        INC   A
476  0348  B8                        CP    B
                                     ;PUT FUNCTION 5
477  0349  21 00 6B                  LD    HL,FUNC5_BUF
478  034C  28 00                     JR    Z,DO_CODE5
479  034E  3E 06          DO CODE5:  LD    A,06
480  0350  12                        LD    (DE),A
481  0351  13                        INC   DE
482  0352  3E 02                     LD    A,02
483  0354  12                        LD    (DE),A
484  0355  13                        INC   DE
                                     ;PUT RTU ADD
485  0356  DB FF                     IN    A,(RTU_ADD)
486  0358  12                        LD    (DE),A
487  0359  13                        INC   DE
                                     ;PUT OPCODE
488  035A  78                        LD    A,B
489  035B  F6 50                     OR    50H
490  035D  12                        LD    (DE),A
                                     ;PUT CHKSUM
491  035E  1B                        DEC   DE
492  035F  47                        LD    B,A
493  0360  1A                        LD    A,(DE)
494  0361  80                        ADD   A,B
495  0362  13                        INC   DE
496  0363  13                        INC   DE
497  0364  12                        LD    (DE),A
498  0365  13                        INC   DE
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
                                    ;PUT HEADER
499  0366   3E 7F                  LD    A,7EH
500  0368   12                     LD    (DE),A
501  0369   13                     INC   DE
                                    ;PUT LENGHT MSB
502  036A   3E 01                  LD    A,01
503  036C   12                     LD    (DE),A
504  036D   47                     LD    B,A
505  036E   13                     INC   DE
                                    ;PUT LENGHT LSB
506  036F   3E FF                  LD    A,0FFH
507  0371   4F                     LD    C,A
508  0372   12                     LD    (DE),A
509  0373   13                     INC   DE
510  0374   AF                     XOR   A
511  0375   F5                     PUSH  AF
                                    ;PUT  DATA AND
                                    ;COUNT CHKSUM
512  0376   F1          STORE D:   POP   AF
513  0377   86                     ADD   A,(HL)
514  0378   ED A0                  LDI
515  037A   F5                     PUSH  AF
516  037B   AF                     XOR   A
517  037C   B9                     CP    C
518  037D   20 F7                  JR    NZ,STORE D
519  037F   B8                     CP    B
520  0380   20 F4                  JR    NZ,STORE D
521  0382   F1                     POP   AF
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
                                                    ;PUT CHKSUM
522  0383   12                                      LD    (DE),A
523  0384   CD C8 03                                CALL  SEND
524  0387   E1                                      POP   HL
525  0388   D1                                      POP   DE
526  0389   C1                                      POP   BC
527  038A   F1                                      POP   AF
528  038B   C9                                      RET
529  ;***************CODE FOR CHECK ROM************************
530  038C   00                  CODE6:              NOP
531  038D   C9                                      RET
532  ;***************CODE FOR ON LINE SYSTEM*******************
533  038E   00                  CODE7:              NOP
534  038F   C9                                      RET
535  ;******************CODE FOR RESERVE************************
536  0390   00                  CODE8:              NOP
537  0391   C9                                      RET
538  ;***************CODE FOR RESERVE*************************
539  0392   00                  CODE9:              NOP
540  0393   C9                                      RET
541  ;***************CODE FOR RESERVE*************************
542  0394   00                  CODEA:              NOP
543  0395   C9                                      RET
544  ;***************CODE FOR RESERVE*************************
545  0396   00                  CODEB:              NOP
546  0397   C9                                      RET
547  ;***************CODE FOR RESERVE*************************
548  0398   00                  CODEC:              NOP
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
549  0399   C9                              RET
550  ;***************CODE FOR RETRY AGAIN*******************
551  039A                    DO CODED:
552  039A   CD C8 03                        CALL  SEND
553  039D   C9                              RET
554  039E   F5              CODED:          PUSH  AF
555  039F   C5                              PUSH  BC
556  03A0   D5                              PUSH  DE
557  03A1   11 00 6D                        LD    DE,COMMU BUF
558  03A4   3A 00 60                        LD    A,(COMMU BUF1)
559  03A7   4F                              LD    C,A
560  03A8   06 00                           LD    B,0
561  03AA   3E 03                           LD    A,03
562  03AC   12                              LD    (DE),A
563  03AD   13                              INC   DE
                                            ;PUT ADDRESS
564  03AE   DB FF                           IN    A,(RTU ADD)
565  03B0   12                              LD    (DE),A
566  03B1   80                              ADD   A,B
567  03B2   47                              LD    B,A
568  03B3   13                              INC   DE
                                            ;PUT OPCODE AND
                                            : FUNCTION
569  03B4   79                              LD    A,C
570  03B5   E6 0F                           AND   0FH
571  03B7   F6 D0                           OR    0D0H
572  03B9   12                              LD    (DE),A
573  03BA   13                              INC   DE
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
                                                    ;PUT CHKSUM
574  03BB   80                                     ADD   A,B
575  03BC   12                                     LD    (DE),A
576  03BD   CD C8 03                               CALL  SEND
577  03C0   D1                                     POP   DE
578  03C1   C1                                     POP   BC
579  03C2   F1                                     POP   AF
580  03C3   C9                                     RET
581  ;***************CODE FOR RESET RTU**********************
582  03C4   D3 50              CODEE:               OUT   (POWER PORT),A
583  ;***************CODE FOR OFF SYSTEM*********************
584  03C6   D3 51              CODEF:               OUT   (POWER PORT+1),A
585  ;******************SEND DATA TO MTU**********************
586  03C8   E5                 SEND:                PUSH  HL
587  03C9   F5                                      PUSH  AF
588  03CA   C5                                      PUSH  BC
589  03CB   D5                                      PUSH  DE
590  03CC   21 00 6D                                LD    HL,COMMU BUF
591  03CF   4E                                      LD    C,(HL)
592  03D0   23                                      INC   HL
593  03D1   46                                      LD    B,(HL)
594  03D2   23                                      INC   HL
595  03D3   DB 43              SEND D:              IN    A,(SE STATUS)
596  03D5   CB 47                                   BIT   0,A
597  03D7   28 FA                                   JR    Z,SEND D
598  03D9   7E                 SEND D1:             LD    A,(HL)
599  03DA   CD 20 01                                CALL  WAIT OUT
600  03DD   CD 16 01                                CALL  WAIT IN
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
601  03E0  23                          INC   HL
602  03E1  AF                          XOR   A
603  03E2  0B                          DEC   BC
604  03E3  B9                          CP    C
605  03E4  20 F3                       JR    NZ,SEND D1
606  03E6  B8                          CP    B
607  03E7  20 F0                       JR    NZ,SEND D1
608  03E9  D1                          POP   DE
609  03EA  C1                          POP   BC
610  03EB  F1                          POP   AF
611  03EC  E1                          POP   HL
612  03ED  C9                          RET
613  ;************INTERRUPT FOR COMMUNICATION****************
614  0600                              ORG   0600H
615  0600  F3                          DI
616  0601  F5                          PUSH  AF
617  0602  C5                          PUSH  BC
618  0603  D5                          PUSH  DE
619  0604  E5                          PUSH  HL
620  0605  06 02                       LD    B,2
621  0607  CD 25 06        RECEPT:     CALL  SERVICE0
622  060A  CB 47                       BIT   0,A
623  060C  20 07                       JR    NZ,EXECUTE
624  060E  CD 9E 03                    CALL  CODED
625  0611  10 F4                       DJNZ  RECEPT
626  0613  18 09                       JR    RETU 0
627  0615  DB 49           EXECUTE:    IN    A,(RTU STA+1)
628  0617  CB C7                       SET   0,A
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
629  0619  D3 48                      OUT   (RTU STA),A
630  061B  CD 2D 01                   CALL  DECODE
631  061E  E1            RETU 0:     POP   HL
632  061F  D1                        POP   DE
633  0620  C1                        POP   BC
634  0621  F1                        POP   AF
635  0622  FB                        EI
636  0623  ED 4D                     RETI
637  0625  F5            SERVICE0:   PUSH  AF
638  0626  C5                        PUSH  BC
639  0627  D5                        PUSH  DE
640  0628  E5                        PUSH  HL
641  0629  21 00 60                  LD    HL,COMMU BUF1
642  062C  16 00                     LD    D,0
643  062E  CD 16 01                  CALL  WAIT IN
644  0631  0E FF                     LD    C,RTU ADD
645  0633  ED 40                     IN    B,(C)
                                     ;RTU ADDRESS TURE ?
646  0635  B8                        CP    B
647  0636  C2 C6 06                  JP    NZ,BUSY
648  0639  CD 20 01                  CALL  WAIT OUT
649  063C  82                        ADD   A,D
650  063D  57                        LD    D,A
                                     ;READ OPCODE
651  063E  CD 16 01                  CALL  WAIT IN
652  0641  77                        LD    (HL),A
653  0642  23                        INC   HL
654  0643  CD 20 01                  CALL  WAIT OUT
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
655  0646  82                        ADD   A,D
656  0647  57                        LD    D,A
                                     ;READ CHKSUM
657  0648  CD 16 01                   CALL  WAIT IN
658  064B  CD 20 01                   CALL  WAIT OUT
659  064E  77                        LD    (HL),A
660  064F  23                        INC   HL
661  0650  5F                        LD    E,A
662  0651  CB BF                     RES   7,A
663  0653  CB BA                     RES   7,D
                                     ;CHECKSUM
664  0655  BA                        CP    D
665  0656  28 09                     JR    Z,RED DATA
                                     ;SET COMMU ERROR
666  0658  DB 49                     IN    A,(RTU STA+1)
667  065A  CB 87                     RES   0,A
668  065C  D3 48                     OUT   (RTU STA),A
669  065E  C3 F3 06                  JP    READY
670  0661  7B              RED DATA: LD    A,E
                                     ;HAVE DATA FIELD ?
671  0662  CB 7F                     BIT   7,A
672  0664  CA F3 06                  JP    Z,READY
                                     ;READ HEADER
673  0667  CD 16 01                   CALL  WAIT IN
674  066A  77                        LD    (HL),A
675  066B  23                        INC   HL
676  066C  CD 20 01                   CALL  WAIT OUT
677  066F  FE 7E                     CP    7EH
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
678  0671  28 08                        JR    Z,HEAD OK
                                        ;SET COMMU ERROR
679  0673  DB 49                        IN    A,(RTU STA+1)
680  0675  CB 87                        RES   0,A
681  0677  D3 48                        OUT   (RTU STA),A
682  0679  18 78                        JR    READY
                                        ;READ LENGHT
683  067B  CD 16 01        HEAD OK:     CALL  WAIT_IN
684  067E  77                          LD    (HL),A
685  067F  23                          INC   HL
686  0680  CD 20 01                    CALL  WAIT OUT
687  0683  57                          LD    D,A
688  0684  CD 16 01                    CALL  WAIT_IN
689  0687  77                          LD    (HL),A
690  0688  23                          INC   HL
691  0689  CD 20 01                    CALL  WAIT OUT
692  068C  5F                          LD    E,A
693  068D  3E 02                       LD    A,2
694  068F  4A                          LD    C,D
695  0690  06 02                       LD    B,2
696  0692  CB 39           CHK LENG:   SRL   C
697  0694  10 FC                       DJNZ  CHK LENG
698  0696  B9                          CP    C
699  0697  30 08                       JR    NC,LENG OK
                                        ;SET COMMU ERROR
700  0699  DB 49                        IN    A,(RTU STA+1)
701  069B  CB 87                        RES   0,A
702  069D  D3 48                        OUT   (RTU STA),A
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
703  069F  18 52                    JR    READY
704  06A1  0E 00          LENG OK:  LD    C,0
705  06A3  CD 16 01       LENG O:   CALL  WAIT IN
706  06A6  77                       LD    (HL),A
707  06A7  23                       INC   HL
708  06A8  CD 20 01                 CALL  WAIT_OUT
709  06AB  81                       ADD   A,C
710  06AC  4F                       LD    C,A
711  06AD  1B                       DEC   DE
712  06AE  AF                       XOR   A
713  06AF  BB                       CP    E
714  06B0  20 F1                    JR    NZ,LENG_O
715  06B2  BA                       CP    D
716  06B3  20 EE                    JR    NZ,LENG O
717  06B5  CD 16 01                 CALL  WAIT IN
718  06B8  CD 20 01                 CALL  WAIT OUT
719  06BB  B9                       CP    C
720  06BC  28 35                    JR    Z,READY
                                    ;SET COMMU ERROR
721  06BE  DB 49                    IN    A,(RTU STA+1)
722  06C0  CB 87                    RES   0,A
723  06C2  D3 48                    OUT   (RTU_STA),A
724  06C4  18 2D                    JR    READY
725  06C6  CD 16 01       BUSY:     CALL  WAIT IN
                                    ;READ OPCODE
726  06C9  CD 16 01                 CALL  WAIT IN
727  06CC  CD 16 01                 CALL  WAIT IN
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
                                        ;READ CHKSUM
728  06CF   CD 16 01                    CALL  WAIT IN
729  06D2   CD 16 01                    CALL  WAIT IN
                                        ;HAVE DATA FIELD ?
730  06D5   CB 7F                       BIT   7,A
731  06D7   28 1A                       JR    Z,READY
                                        ;READ HEADER
732  06D9   CD 16 01                    CALL  WAIT_IN
733  06DC   CD 16 01                    CALL  WAIT IN
734  06DF   FE 7E                       CP    7EH
                                        ;HEADER NOT FOUND
735  06E1   20 10                       JR    NZ,READY
736  06E3   CD 16 01                    CALL  WAIT IN
                                        ;READ LENGH OF DATA
737  06E6   CD 16 01                    CALL  WAIT_IN
                                        ;SET LINE BUSY
738  06E9   D3 43                       OUT   (SE_STATUS),A
739  06EB   CD 16 01                    CALL  WAIT_IN
740  06EE   CD 16 01                    CALL  WAIT_IN
                                        ;SET LINE BUSY
741  06F1   D3 42                       OUT   (SE COUNT),A
742  06F3   E1              READY:      POP   HL
743  06F4   D1                          POP   DE
744  06F5   C1                          POP   BC
745  06F6   F1                          POP   AF
746  06F7   C9                          RET
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
747  ;**************INTERRUPT FOR DIAGNOSTIC TEST*************
748  0700                          ORG   0700H
749  0700  F3                      DI
750  0701  F5                      PUSH  AF
751  0702  C5                      PUSH  BC
752  0703  D5                      PUSH  DE
753  0704  E5                      PUSH  HL
                                   ;PORT SET RAM
754  0705  DB FE                   IN    A,(0FEH)
755  0707  CB 47                   BIT   0,A
756  0709  21 00 C0                LD    HL,RAM1_ADD
757  070C  CC 5B 07                CALL  Z,TEST_RAM
758  070F  CB 4F                   BIT   1,A
759  0711  21 00 C8                LD    HL,RAM2 ADD
760  0714  CC 5B 07                CALL  Z,TEST RAM
761  0717  CB 57                   BIT   2,A
762  0719  21 00 D0                LD    HL,RAM3_ADD
763  071C  CC 5B 07                CALL  Z,TEST_RAM
764  071F  CB 5F                   BIT   3,A
765  0721  21 00 D8                LD    HL,RAM4 ADD
766  0724  CC 5B 07                CALL  Z,TEST RAM
767  0727  CB 67                   BIT   4,A
768  0729  21 00 E0                LD    HL,RAM5 ADD
769  072C  CC 5B 07                CALL  Z,TEST_RAM
770  072F  CB 6F                   BIT   5,A
771  0731  21 00 E8                LD    HL,RAM6_ADD
772  0734  CC 5B 07                CALL  Z,TEST RAM
773  0737  CB 77                   BIT   6,A
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
774  0739  21 00 F0                    LD    HL,RAM7_ADD
775  073C  CC 5B 07                    CALL  Z,TEST RAM
776  073F  CB 7F                       BIT   7,A
777  0741  21 00 F8                    LD    HL,RAM8_ADD
778  0744  CC 5B 07                    CALL  Z,TEST_RAM
779  0747  CD 85 07                    CALL  TEST_ADC
780  074A  DB 49                       IN    A,(RTU STA+1)
781  074C  FE FF                       CP    0FFH
782  074E  C4 D7 01                    CALL  NZ,CODE1
783  0751  CD FB 00                    CALL  SET_DIAG
784  0754  FB                          EI
785  0755  E1                          POP   HL
786  0756  D1                          POP   DE
787  0757  C1                          POP   BC
788  0758  F1                          POP   AF
789  0759  ED 4D                       RETI
790  ;**********************TEST RAM************************
791  075B  F5              TEST RAM:   PUSH  AF
792  075C  C5                          PUSH  BC
793  075D  D5                          PUSH  DE
794  075E  1E FF                       LD    E,0FFH
795  0760  01 00 04                    LD    BC,400H
796  0763  3E 80           TEST:       LD    A,80H
797  0765  56                          LD    D,(HL)
798  0766  77                          LD    (HL),A
799  0767  BE                          CP    (HL)
800  0768  28 05                       JR    Z,NEXT_BYTE
801  076A  CB 8B                       RES   1,E
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
802  076C  CD 7D 07                    CALL  SET ERR
803  076F  72            NEXT BYTE:    LD    (HL),D
804  0770  23                          INC   HL
805  0771  0B                          DEC   BC
806  0772  AF                          XOR   A
807  0773  B9                          CP    C
808  0774  20 ED                       JR    NZ,TEST
809  0776  B8                          CP    B
810  0777  20 EA                       JR    NZ,TEST
811  0779  D1                          POP   DE
812  077A  C1                          POP   BC
813  077B  F1                          POP   AF
814  077C  C9                          RET
815  077D  F5            SET ERR:      PUSH  AF
816  077E  DB 49                       IN    A,(RTU STA+1)
817  0780  A3                          AND   E
818  0781  D3 48                       OUT   (RTU STA),A
819  0783  F1                          POP   AF
820  0784  C9                          RET
821  0785  F5            TEST ADC:     PUSH  AF
822  0786  D5                          PUSH  DE
823  0787  1E FF                       LD    E,0FFH
824  0789  AF                          XOR   A
825  078A  D3 4F                       OUT   (SW PORT),A
826  078C  16 89                       LD    D,89H
827  078E  7A                          LD    A,D
828  078F  D3 4E                       OUT   (DAC PORT),A
829  0791  CD B1 07                    CALL  WAIT ADC
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
830  0794  92                          SUB   D
831  0795  28 0B                       JR    Z,ADC GOOD
832  0797  30 0D                       JR    NC,MORE
833  0799  FE FD                       CP    0FDH
834  079B  30 05                       JR    NC,ADC_GOOD
835  079D  CB 93                       RES   2,E
836  079F  CD 7D 07                    CALL  SET ERR
837  07A2  D1              ADC GOOD:   POP   DE
838  07A3  C1                          POP   BC
839  07A4  F1                          POP   AF
840  07A5  C9                          RET
841  07A6  FE 04           MORE:       CP    4
842  07A8  38 F8                       JR    C,ADC_GOOD
843  07AA  CB 93                       RES   2,E
844  07AC  CD 7D 07                    CALL  SET ERR
845  07AF  18 F1                       JR    ADC_GOOD
846  07B1  D3 4D           WAIT ADC:   OUT   (ADC_PORT),A
847  07B3  DB 43           WAIT ADC1:  IN    A,(SE STATUS)
848  07B5  CB 4F                       BIT   1,A
849  07B7  20 FA                       JR    NZ,WAIT ADC1
850  07B9  DB 4D                       IN    A,(ADC PORT)
851  07BB  C9                          RET
852
853
Lines Assembled :  853          Assembly Errors :  0
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Absolute Maximum Ratings (Notes 1 & 2)

If Military/Aerospace specified devices are required, contact the National Semiconductor Sales Office/ Distributors for availability and specifications.

Supply Voltage (V_{CC}) (Note 3)	6.5V
Voltage	
Logic Control Inputs	−0.3V to +18V
At Other Input and Outputs	−0.3V to (V_{CC} + 0.3V)
Lead Temp. (Soldering, 10 seconds)	
Dual-In-Line Package (plastic)	260°C
Dual-In-Line Package (ceramic)	300°C
Surface Mount Package	
Vapor Phase (60 seconds)	215°C
Infrared (15 seconds)	220°C
Storage Temperature Range	−65°C to +150°C
Package Dissipation at T_A = 25°C	875 mW
ESD Susceptibility (Note 10)	800V

Operating Ratings (Notes 1 & 2)

Temperature Range	$T_{MIN} \le T_A \le T_{MAX}$
ADC0801/02LJ	−55°C ≤ T_A ≤ +125°C
ADC0801/02/03/04LCJ	−40°C ≤ T_A ≤ +85°C
ADC0801/02/03/05LCN	−40°C ≤ T_A ≤ +85°C
ADC0804LCN	0°C ≤ T_A ≤ +70°C
ADC0802/03/04LCV	0°C ≤ T_A ≤ +70°C
ADC0802/03/04LCWM	0°C ≤ T_A ≤ +70°C
Range of V_{CC}	4.5 V_{DC} to 6.3 V_{DC}

Electrical Characteristics

The following specifications apply for V_{CC} = 5 V_{DC}, $T_{MIN} \le T_A \le T_{MAX}$ and f_{CLK} = 640 kHz unless otherwise specified.

Parameter	Conditions	Min	Typ	Max	Units
ADC0801: Total Adjusted Error (Note 8)	With Full-Scale Adj. (See Section 2.5.2)			± ¼	LSB
ADC0802: Total Unadjusted Error (Note 8)	$V_{REF}/2$ = 2.500 V_{DC}			± ½	LSB
ADC0803: Total Adjusted Error (Note 8)	With Full-Scale Adj. (See Section 2.5.2)			± ½	LSB
ADC0804: Total Unadjusted Error (Note 8)	$V_{REF}/2$ = 2.500 V_{DC}			± 1	LSB
ADC0805: Total Unadjusted Error (Note 8)	$V_{REF}/2$ = No Connection			± 1	LSB
$V_{REF}/2$ Input Resistance (Pin 9)	ADC0801/02/03/05 ADC0804 (Note 9)	2.5 0.75	8.0 1.1		kΩ kΩ
Analog Input Voltage Range	(Note 4) V(+) or V(−)	Gnd−0.05		V_{CC} + 0.05	V_{DC}
DC Common-Mode Error	Over Analog Input Voltage Range		± 1/16	± ⅛	LSB
Power Supply Sensitivity	V_{CC} = 5 V_{DC} ± 10% Over Allowed V_{IN}(+) and V_{IN}(−) Voltage Range (Note 4)		± 1/16	± ⅛	LSB

AC Electrical Characteristics

The following specifications apply for V_{CC} = 5 V_{DC} and T_A = 25°C unless otherwise specified.

Symbol	Parameter	Conditions	Min	Typ	Max	Units
T_C	Conversion Time	f_{CLK} = 640 kHz (Note 6)	103		114	μs
T_C	Conversion Time	(Note 5, 6)	66		73	$1/f_{CLK}$
f_{CLK}	Clock Frequency Clock Duty Cycle	V_{CC} = 5V, (Note 5) (Note 5)	100 40	640	1460 60	kHz %
CR	Conversion Rate in Free-Running Mode	$\overline{INTR}$ tied to $\overline{WR}$ with $\overline{CS}$ = 0 V_{DC}, f_{CLK} = 640 kHz	8770		9708	conv/s
$t_{W(\overline{WR})L}$	Width of $\overline{WR}$ Input (Start Pulse Width)	$\overline{CS}$ = 0 V_{DC} (Note 7)	100			ns
t_{ACC}	Access Time (Delay from Falling Edge of $\overline{RD}$ to Output Data Valid)	C_L = 100 pF		135	200	ns
t_{1H}, t_{0H}	TRI-STATE Control (Delay from Rising Edge of $\overline{RD}$ to Hi-Z State)	C_L = 10 pF, R_L = 10k (See TRI-STATE Test Circuits)		125	200	ns
t_{WI}, t_{RI}	Delay from Falling Edge of $\overline{WR}$ or $\overline{RD}$ to Reset of $\overline{INTR}$			300	450	ns
C_{IN}	Input Capacitance of Logic Control Inputs			5	7.5	pF
C_{OUT}	TRI-STATE Output Capacitance (Data Buffers)			5	7.5	pF
CONTROL INPUTS (Note: CLK IN (Pin 4) is the input of a Schmitt trigger circuit and is therefore specified separately)						
V_{IN}(1)	Logical "1" Input Voltage (Except Pin 4 CLK IN)	V_{CC} = 5.25 V_{DC}	2.0		15	V_{DC}

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

AC Electrical Characteristics (Continued)

The following specifications apply for V_{CC} = 5V_{DC} and $T_{MIN} \le T_A \le T_{MAX}$, unless otherwise specified.

Symbol	Parameter	Conditions	Min	Typ	Max	Units
CONTROL INPUTS [Note: CLK IN (Pin 4) is the input of a Schmitt trigger circuit and is therefore specified separately]						
V_{IN} (0)	Logical "0" Input Voltage (Except Pin 4 CLK IN)	V_{CC} = 4.75 V_{DC}			0.8	V_{DC}
I_{IN} (1)	Logical "1" Input Current (All Inputs)	V_{IN} = 5 V_{DC}		0.005	1	μA_{DC}
I_{IN} (0)	Logical "0" Input Current (All Inputs)	V_{IN} = 0 V_{DC}	−1	−0.005		μA_{DC}
CLOCK IN AND CLOCK R						
V_T+	CLK IN (Pin 4) Positive Going Threshold Voltage		2.7	3.1	3.5	V_{DC}
V_T-	CLK IN (Pin 4) Negative Going Threshold Voltage		1.5	1.8	2.1	V_{DC}
V_H	CLK IN (Pin 4) Hysteresis $(V_T+)-(V_T-)$		0.6	1.3	2.0	V_{DC}
V_{OUT} (0)	Logical "0" CLK R Output Voltage	I_O = 360 μA V_{CC} = 4.75 V_{DC}			0.4	V_{DC}
V_{OUT} (1)	Logical "1" CLK R Output Voltage	I_O = −360 μA V_{CC} = 4.75 V_{DC}	2.4			V_{DC}
DATA OUTPUTS AND $\overline{INTR}$						
V_{OUT} (0)	Logical "0" Output Voltage Data Outputs $\overline{INTR}$ Output	I_{OUT} = 1.6 mA, V_{CC} = 4.75 V_{DC} I_{OUT} = 1.0 mA, V_{CC} = 4.75 V_{DC}			0.4 0.4	V_{DC} V_{DC}
V_{OUT} (1)	Logical "1" Output Voltage	I_O = −360 μA, V_{CC} = 4.75 V_{DC}	2.4			V_{DC}
V_{OUT} (1)	Logical "1" Output Voltage	I_O = −10 μA, V_{CC} = 4.75 V_{DC}	4.5			V_{DC}
I_{OUT}	TRI-STATE Disabled Output Leakage (All Data Buffers)	V_{OUT} = 0 V_{DC} V_{OUT} = 5 V_{DC}	−3		3	μA_{DC} μA_{DC}
I_{SOURCE}		V_{OUT} Short to Gnd, T_A = 25°C	4.5	6		mA_{DC}
I_{SINK}		V_{OUT} Short to V_{CC}, T_A = 25°C	9.0	16		mA_{DC}
POWER SUPPLY						
I_{CC}	Supply Current (Includes Ladder Current) ADC0801/02/03/04LCJ/05 ADC0804LCN/LCV/LCWM	f_{CLK} = 640 kHz, $V_{REF}/2$ = NC, T_A = 25°C and $\overline{CS}$ = 5V		 1.1 1.9	 1.8 2.5	 mA mA

Note 1: Absolute Maximum Ratings indicate limits beyond which damage to the device may occur. DC and AC electrical specifications do not apply when operating the device beyond its specified operating conditions.

Note 2: All voltages are measured with respect to Gnd, unless otherwise specified. The separate A Gnd point should always be wired to the D Gnd.

Note 3: A zener diode exists, internally, from V_{CC} to Gnd and has a typical breakdown voltage of 7 V_{DC}.

Note 4: For $V_{IN}(-) \ge V_{IN}(+)$ the digital output code will be 0000 0000. Two on-chip diodes are tied to each analog input (see block diagram) which will forward conduct for analog input voltages one diode drop below ground or one diode drop greater than the V_{CC} supply. Be careful, during testing at low V_{CC} levels (4.5V), as high level analog inputs (5V) can cause this input diode to conduct—especially at elevated temperatures, and cause errors for analog inputs near full-scale. The spec allows 50 mV forward bias of either diode. This means that as long as the analog V_{IN} does not exceed the supply voltage by more than 50 mV, the output code will be correct. To achieve an absolute 0 V_{DC} to 5 V_{DC} input voltage range will therefore require a minimum supply voltage of 4.950 V_{DC} over temperature variations, initial tolerance and loading.

Note 5: Accuracy is guaranteed at f_{CLK} = 640 kHz. At higher clock frequencies accuracy can degrade. For lower clock frequencies, the duty cycle limits can be extended so long as the minimum clock high time interval or minimum clock low time interval is no less than 775 ns.

Note 6: With an asynchronous start pulse, up to 8 clock periods may be required before the internal clock phases are proper to start the conversion process. The start request is internally latched, see *Figure 2* and section 2.0.

Note 7: The $\overline{CS}$ input is assumed to bracket the $\overline{WR}$ strobe input and therefore timing is dependent on the $\overline{WR}$ pulse width. An arbitrarily wide pulse width will hold the converter in a reset mode and the start of conversion is initiated by the low to high transition of the $\overline{WR}$ pulse (see timing diagrams).

Note 8: None of these A/Ds requires a zero adjust (see section 2.5.1). To obtain zero code at other analog input voltages see section 2.5 and *Figure 5*.

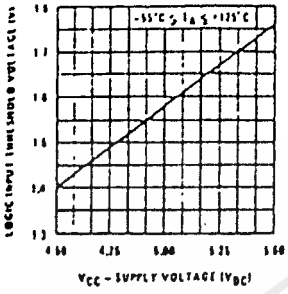
Note 9: The $V_{REF}/2$ pin is the center point of a two resistor divider connected from V_{CC} to ground. Each resistor is 2.2k, except for the ADC0804LCJ where each resistor is 16k. Total ladder input resistance is the sum of the two equal resistors.

Note 10: Human body model, 100 pF discharged through a 1.5 kΩ resistor.

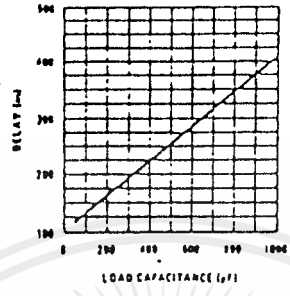
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Performance Characteristics

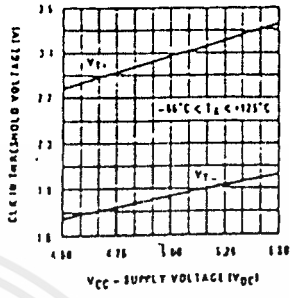
Logic Input Threshold Voltage vs. Supply Voltage



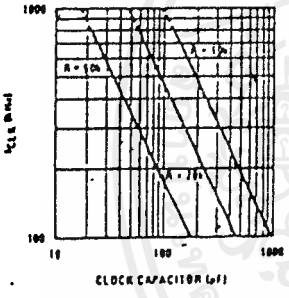
Delay From Falling Edge of $\overline{RD}$ to Output Data Valid vs. Load Capacitance



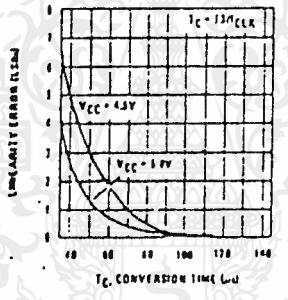
CLK IN Schmitt Trip Levels vs. Supply Voltage



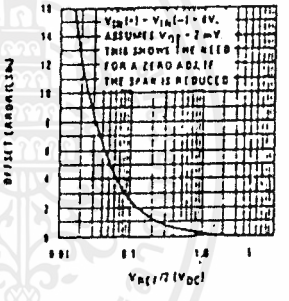
f_{CLK} vs. Clock Capacitor



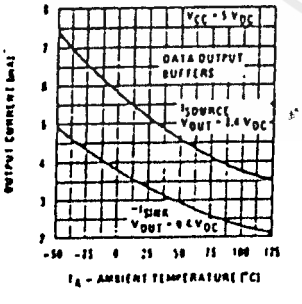
Full-Scale Error vs Conversion Time



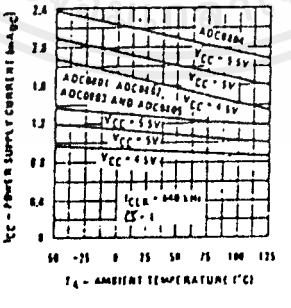
Effect of Unadjusted Offset Error vs. $V_{REF}/2$ Voltage



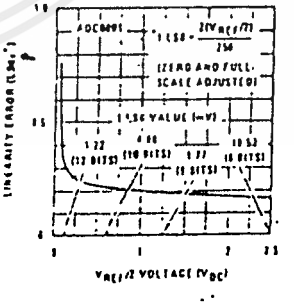
Output Current vs Temperature



Power Supply Current vs Temperature (Note 9)



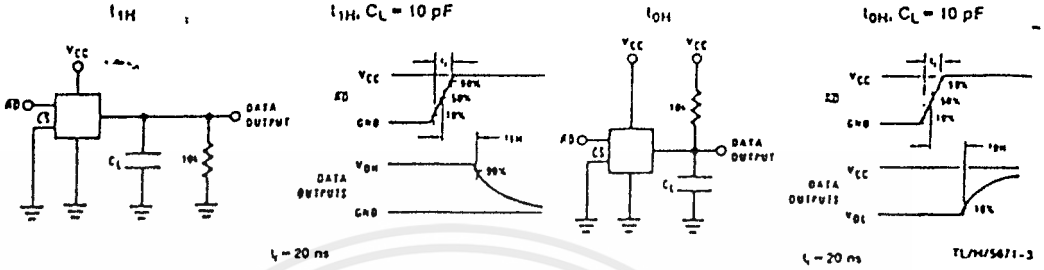
Linearity Error at Low $V_{REF}/2$ Voltages



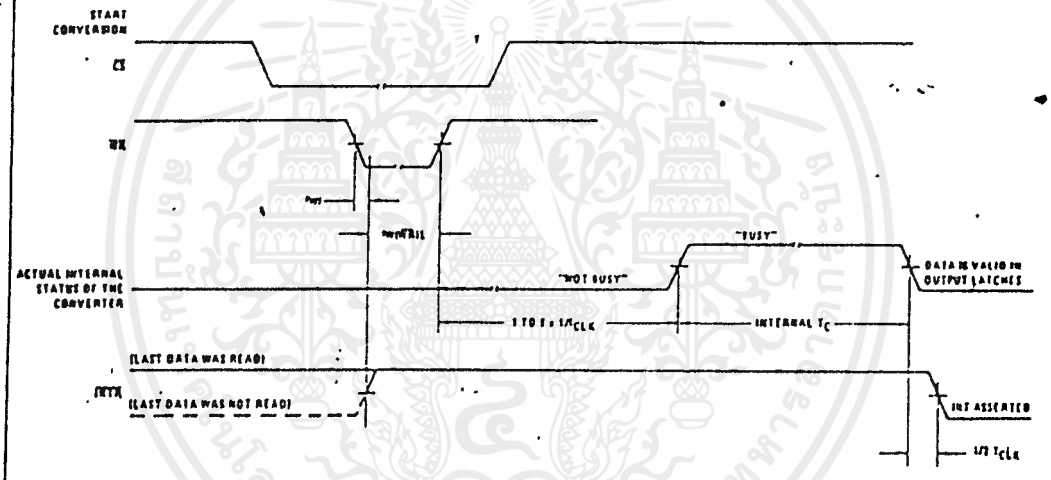
TL/H/5671–2

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

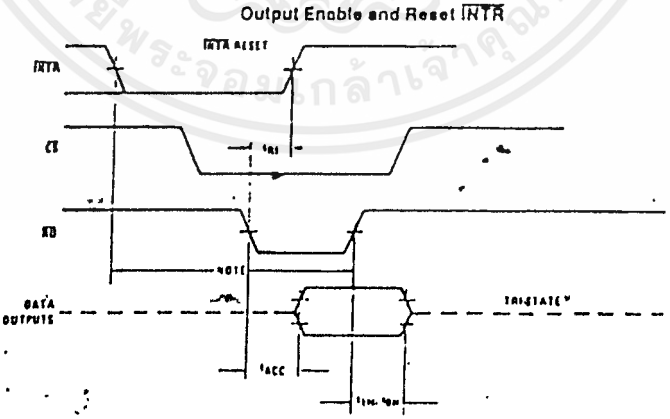
TRI-STATE Test Circuits and Waveforms



Timing Diagrams (All timing is measured from the 50% voltage points)



Output Enable and Reset $\overline{INTR}$



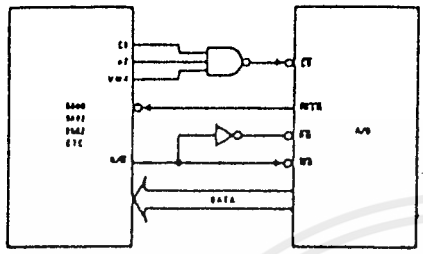
Note: Read strobe must occur 8 clock periods ($8/f_{CLK}$) after assertion of interrupt to guarantee reset of $\overline{INTR}$.

TL/H/5671-4

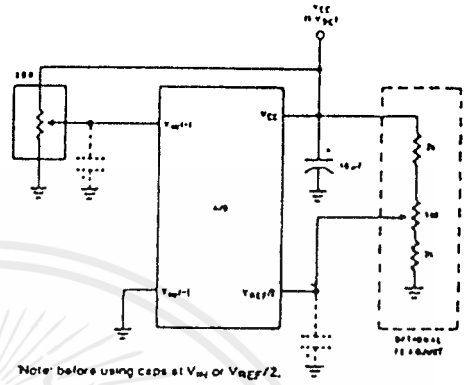
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Applications (Continued)

6800 Interface

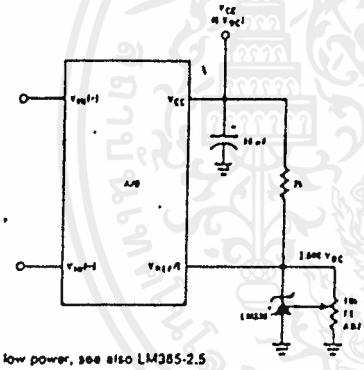


Ratiometric with Full-Scale Adjust



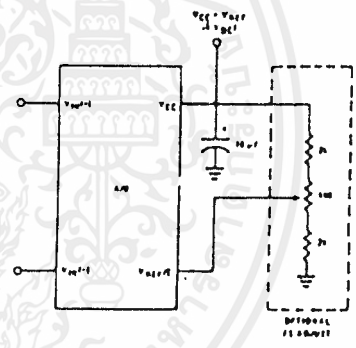
*Note: before using caps at V_{IN} or $V_{REF}/2$, see section 2.3.2 Input Bypass Capacitors.

Absolute with a 2.500V Reference

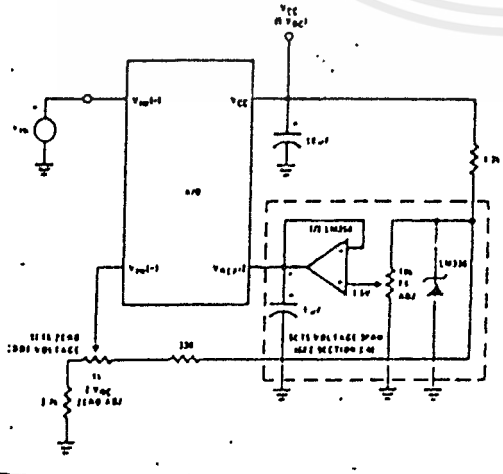


*For low power, see also LM385-2.5

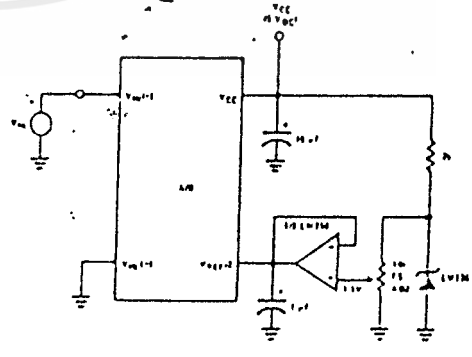
Absolute with a 5V Reference



Zero-Shift and Span Adjust: $2V \leq V_{IN} \leq 5V$



Span Adjust: $0V \leq V_{IN} \leq 3V$

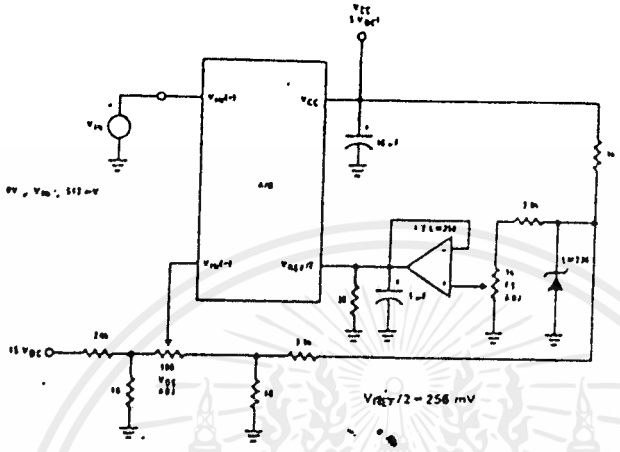


TL/H/5671-5

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

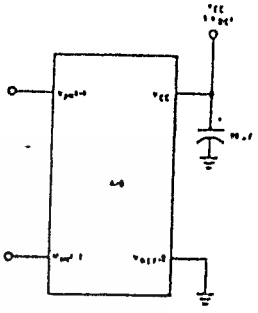
Typical Applications (Continued)

Directly Converting a Low-Level Signal



$V_{REF}/2 = 256$ mV

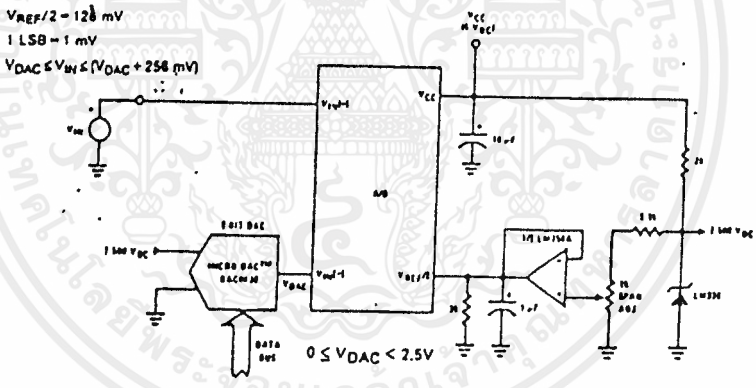
A µP Interfaced Comparator



For: $V_{IN}(+) > V_{IN}(-)$
Output = FF_{HEX}
For: $V_{IN}(+) < V_{IN}(-)$
Output = 00_{HEX}

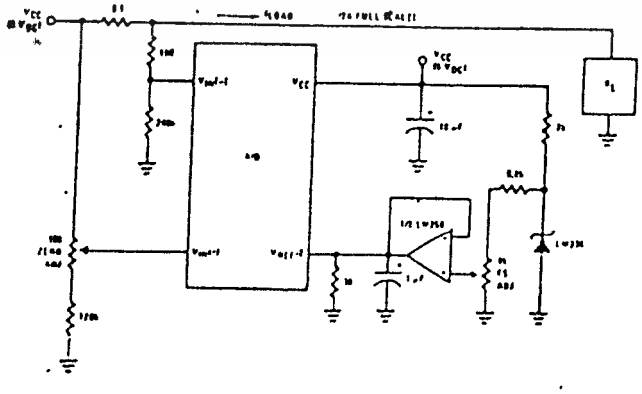
1 mV Resolution with µP Controlled Range

$V_{REF}/2 = 128$ mV
1 LSB = 1 mV
$V_{DAC} \leq V_{IN} \leq (V_{DAC} + 256$ mV)



$0 \leq V_{DAC} < 2.5V$

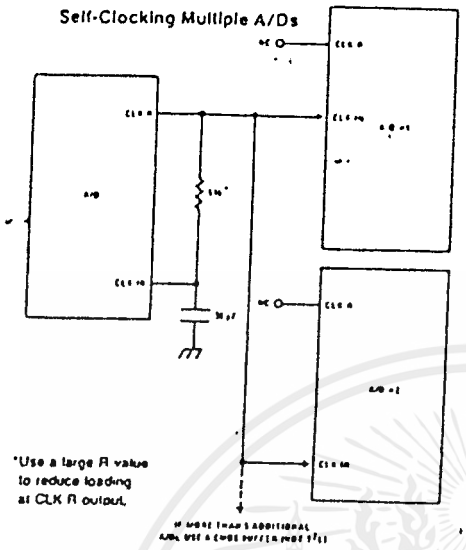
Digitizing a Current Flow



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

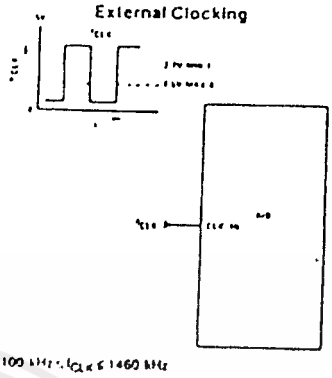
Typical Applications (Continued)

Self-Clocking Multiple A/Ds



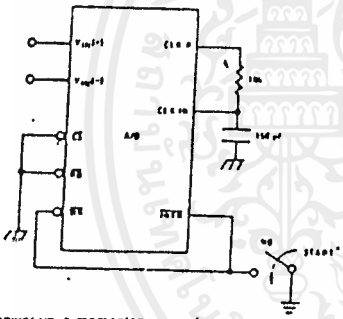
*Use a large R value to reduce loading at CLK R output.

External Clocking



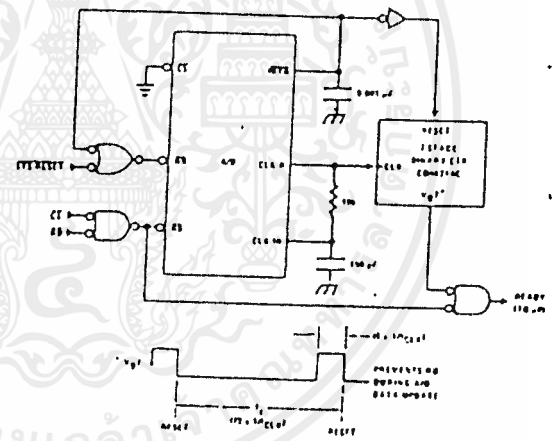
100 kHz ≤ f_{CLK} ≤ 1460 kHz

Self-Clocking in Free-Running Mode

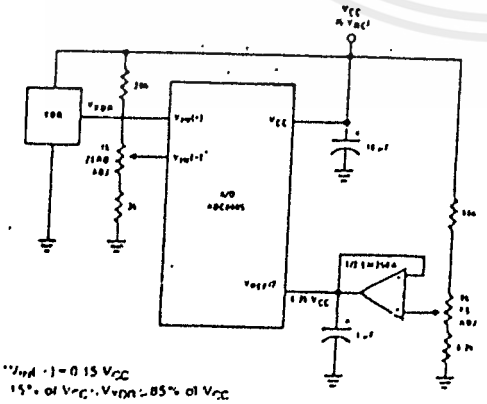


*After power-up, a momentary grounding of the $\overline{WR}$ input is needed to guarantee operation.

µP Interface for Free-Running A/D

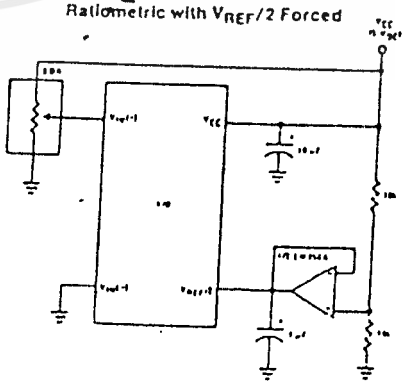


Operating with "Automotive" Ratiometric Transducers



**V_{mid} (-) = 0.15 V_{CC}
15% of V_{CC} < V_{FSR} < 85% of V_{CC}

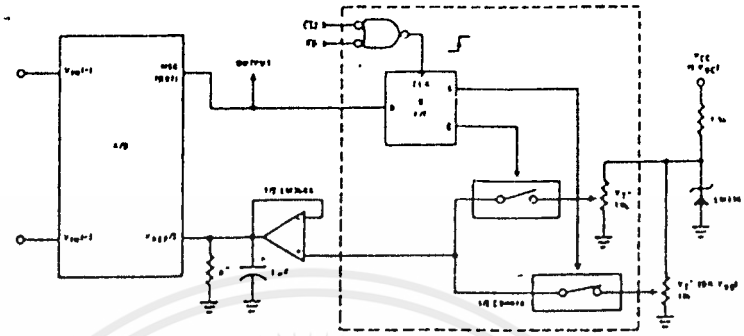
Ratiometric with $V_{REF}/2$ Forced



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Applications (Continued)

μP Compatible Differential-Input Comparator with Pre-Set V_{OS} (with or without Hysteresis)

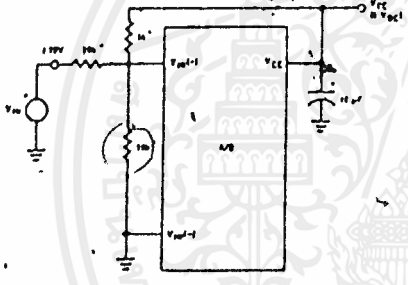


*See *Figure 5* to select R value

†DB7 = "1" for $V_{IN}(+) > V_{IN}(-) + (V_{REF}/2)$

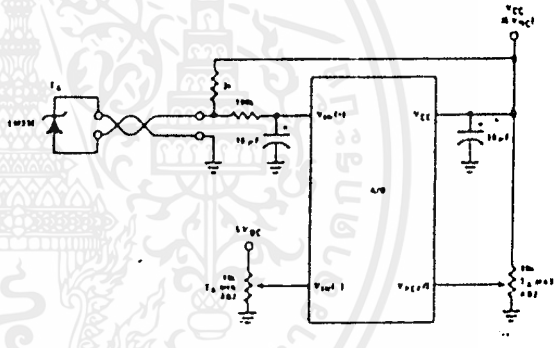
Omit circuitry within the dotted area if hysteresis is not needed

Handling ± 10V Analog Inputs

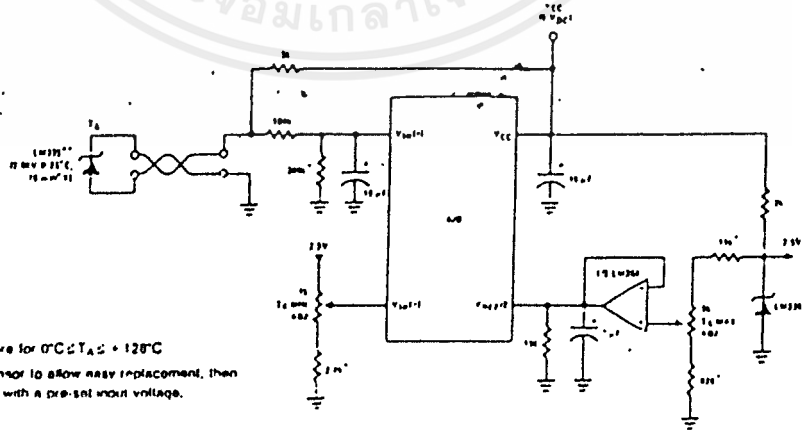


*Beckman Instruments #694-3-R10K resistor array

Low-Cost, μP Interfaced, Temperature-to-Digital Converter



μP Interfaced Temperature-to-Digital Converter



*Circuit values shown are for $0°C \leq T_A \leq +128°C$

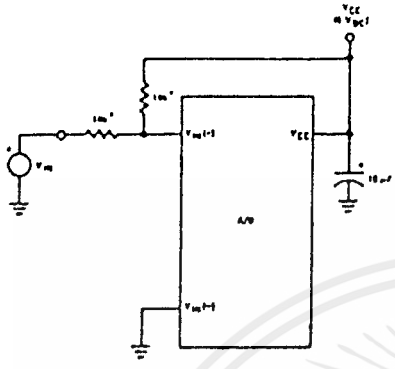
**Can calibrate each sensor to allow easy replacement, then A/D can be calibrated with a pre-set input voltage.

TL/H/5471-6

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Applications (Continued)

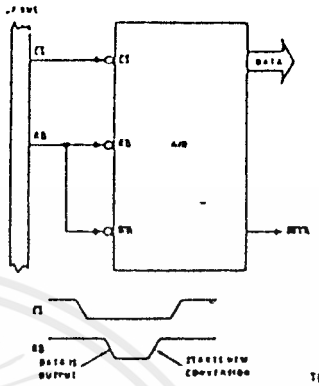
Handling ± 5V Analog Inputs



TL/H/5671-33

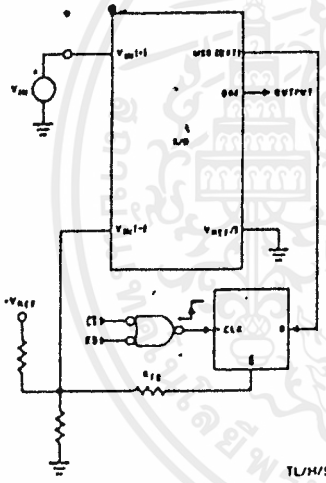
*Beckman Instruments #694-3-R10K resistor array

Read-Only Interface



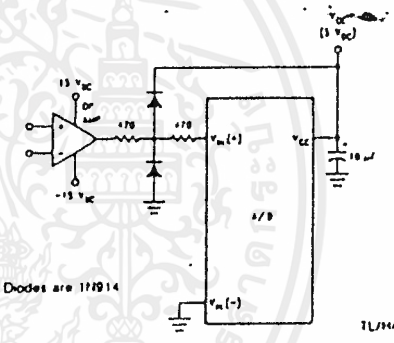
TL/H/5671-34

µP Interfaced Comparator with Hysteresis



TL/H/5671-35

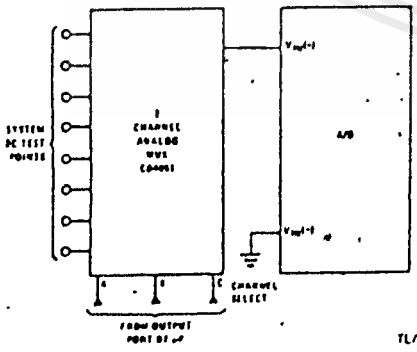
Protecting the Input



Diodes are 1N914

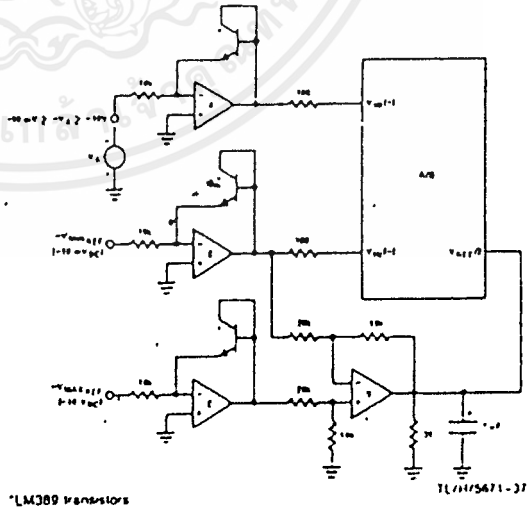
TL/H/5671-9

Analog Self-Test for a System



TL/H/5671-36

A Low-Cost, 3-Decade Logarithmic Converter



TL/H/5671-37

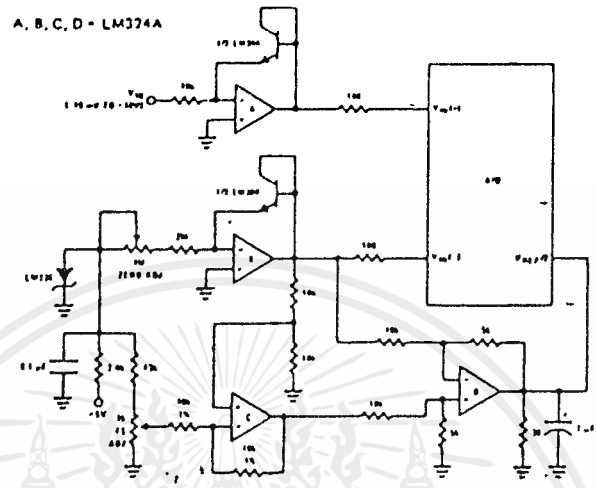
*LM389 transistors

A, B, C, D = LM324A quad op amp

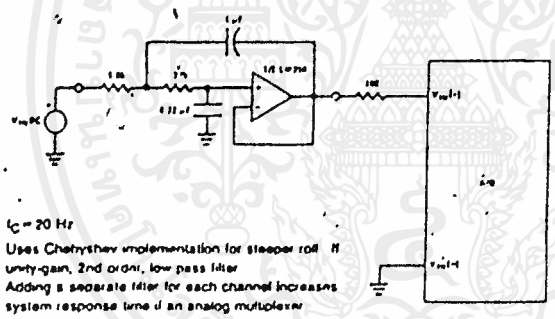
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Applications (Continued)

3-Decade Logarithmic A/D Converter

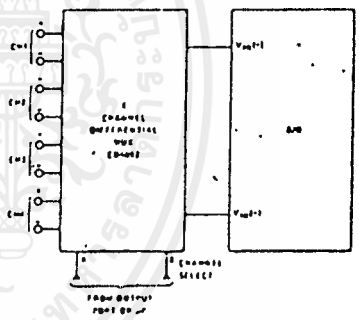


Noise Filtering the Analog Input

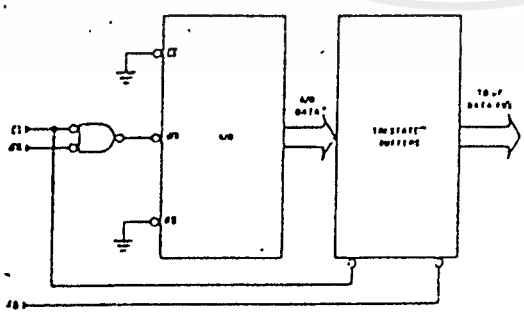


f_C = 20 Hz
Uses Chebyshev implementation for steeper roll-off
unity-gain, 2nd order, low pass filter
Adding a separate filter for each channel increases system response time if an analog multiplexer is used

Multiplexing Differential Inputs

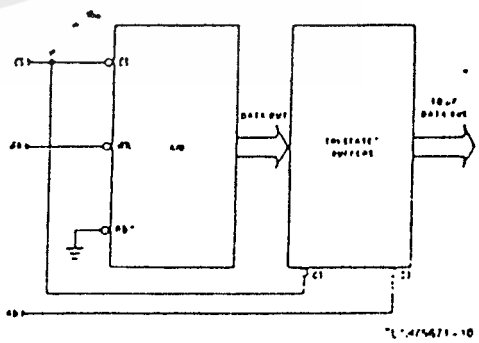


Output Buffers with A/D Data Enabled



*A/D output data is updated 1 CLK period prior to assertion of INTR

Increasing Bus Drive and/or Reducing Time on Bus

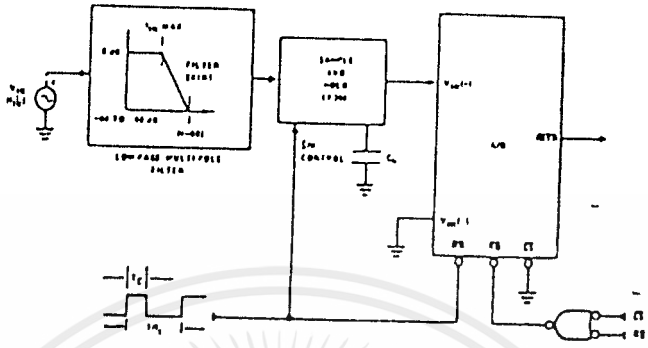


*Allows output data to set-up at falling edge of RD

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Applications (Continued)

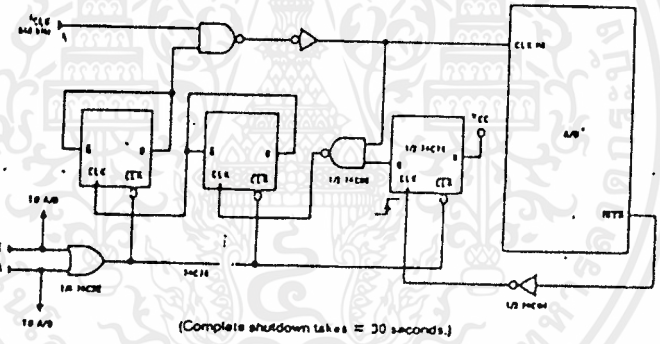
Sampling an AC Input Signal



Note 1: Oversample whenever possible (keep $f_S > 2(f - 60)$) to eliminate input frequency folding (aliasing) and to allow for the start response of the filter.

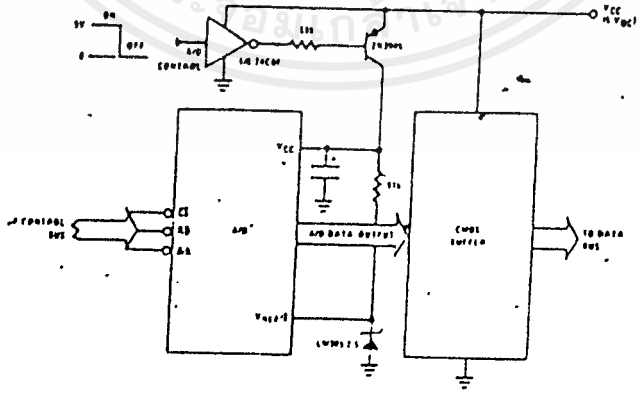
Note 2: Consider the amplitude errors which are introduced within the passband of the filter.

70% Power Savings by Clock Gating



(Complete shutdown takes = 30 seconds.)

Power Savings by A/D and V_{REF} Shutdown



*Use ADC0801, 02, 03 or 05 for lowest power consumption

Note: Logic inputs can be driven to V_{CC} with A/D supply at zero volts

Buffer prevents data bus from overdriving output of A/D when in shutdown mode

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Functional Description

1.0 UNDERSTANDING A/D ERROR SPECS

A perfect A/D transfer characteristic (staircase waveform) is shown in *Figure 1a*. The horizontal scale is analog input voltage and the particular points labeled are in steps of 1 LSB (19.53 mV with 2.5V tied to the $V_{REF}/2$ pin). The digital output codes that correspond to those inputs are shown as D − 1, D, and D + 1. For the perfect A/D, not only will center-value (A − 1, A, A + 1, ...) analog inputs produce the correct output digital codes, but also each riser (the transitions between adjacent output codes) will be located ± ½ LSB away from each center-value. As shown, the risers are ideal and have no width. Correct digital output codes will be provided for a range of analog input voltages that extend ± ½ LSB from the ideal center-values. Each tread (the range of analog input voltage that provides the same digital output code) is therefore 1 LSB wide.

Figure 1b shows a worst case error plot for the ADC0801. All center-valued inputs are guaranteed to produce the correct output codes and the adjacent risers are guaranteed to be no closer to the center-value points than ± ¼ LSB. In other words, if we apply an analog input equal to the center-value ± ¼ LSB, *we guarantee* that the A/D will produce the correct digital code. The maximum range of the position of the code transition is indicated by the horizontal arrow and it is guaranteed to be no more than ½ LSB.

The error curve of *Figure 1c* shows a worst case error plot for the ADC0802. Here we guarantee that if we apply an analog input equal to the LSB analog voltage center-value the A/D will produce the correct digital code.

Next to each transfer function is shown the corresponding error plot. Many people may be more familiar with error plots than transfer functions. The analog input voltage to the A/D is provided by either a linear ramp or by the discrete output steps of a high resolution DAC. Notice that the error is continuously displayed and includes the quantization uncertainty of the A/D. For example the error at point 1 of *Figure 1a* is + ½ LSB because the digital code appeared ½ LSB in advance of the center-value of the tread. The error plots always have a constant negative slope and the abrupt upside steps are always 1 LSB in magnitude.

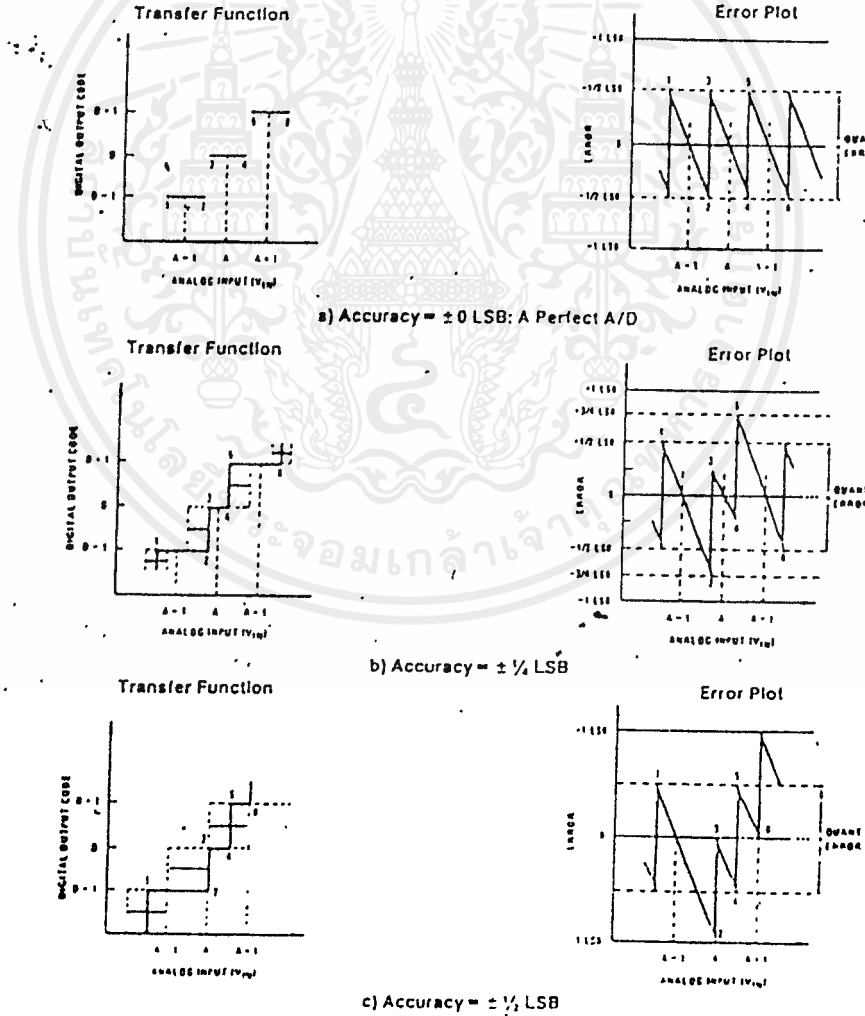


FIGURE 1. Clarifying the Error Specs of an A/D Converter

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Functional Description (Continued)

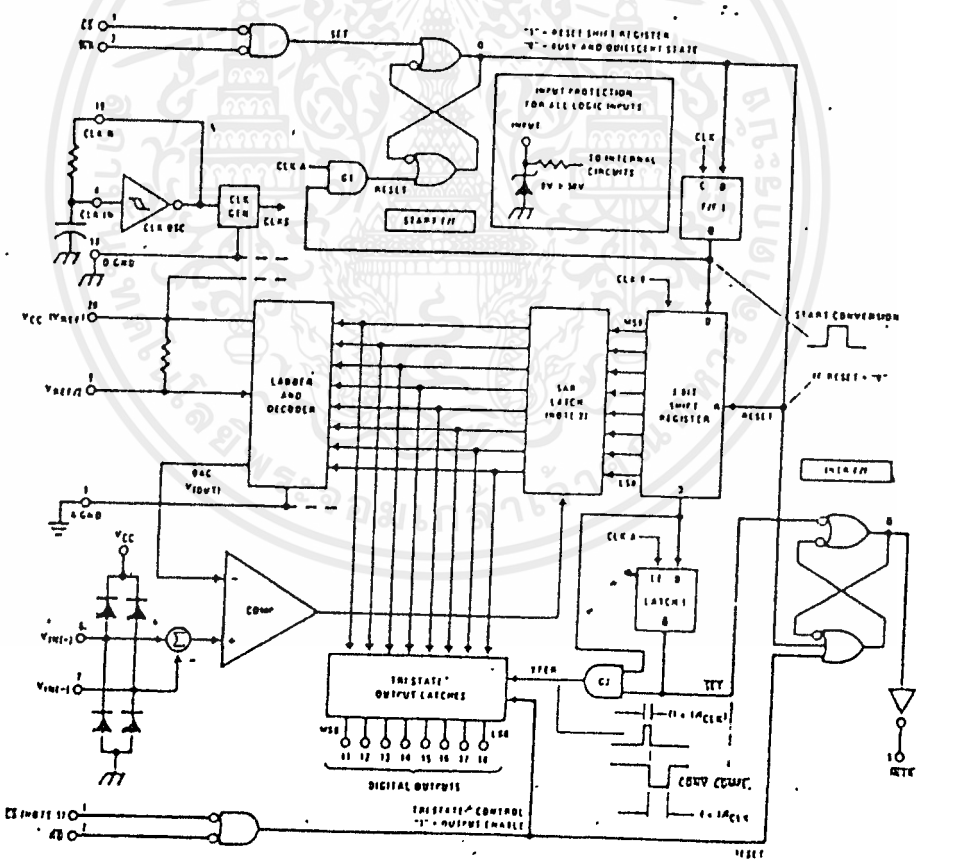
2.0 FUNCTIONAL DESCRIPTION

The ADC0801 series contains a circuit equivalent of the 256R network. Analog switches are sequenced by successive approximation logic to match the analog difference input voltage $[V_{IN}(+) - V_{IN}(-)]$ to a corresponding tap on the R network. The most significant bit is tested first and after 8 comparisons (64 clock cycles) a digital 8-bit binary code (1111 1111 = full-scale) is transferred to an output latch and then an interrupt is asserted ($\overline{INTR}$ makes a high-to-low transition). A conversion in process can be interrupted by issuing a second start command. The device may be operated in the free-running mode by connecting $\overline{INTR}$ to the $\overline{WR}$ input with $\overline{CS} = 0$. To ensure start-up under all possible conditions, an external $\overline{WR}$ pulse is required during the first power-up cycle.

On the high-to-low transition of the $\overline{WR}$ input the internal SAR latches and the shift register stages are reset. As long as the $\overline{CS}$ input and $\overline{WR}$ input remain low, the A/D will remain in a reset state. *Conversion will start from 1 to 8 clock periods after at least one of these inputs makes a low-to-high transition.*

A functional diagram of the A/D converter is shown in *Figure 2*. All of the package pinouts are shown and the major logic control paths are drawn in heavier weight lines.

The converter is started by having $\overline{CS}$ and $\overline{WR}$ simultaneously low. This sets the start flip-flop (F/F) and the resulting "1" level resets the 8-bit shift register, resets the interrupt ($\overline{INTR}$) F/F and inputs a "1" to the D flop, F/F1, which is at the input end of the 8-bit shift register. Internal clock signals then transfer this "1" to the Q output of F/F1. The AND gate, G1, combines this "1" output with a clock signal to provide a reset signal to the start F/F. If the set signal is no longer present (either $\overline{WR}$ or $\overline{CS}$ is a "1") the start F/F is reset and the 8-bit shift register then can have the "1" clocked in, which starts the conversion process. If the set signal were to still be present, this reset pulse would have no effect (both outputs of the start F/F would momentarily be at a "1" level) and the 8-bit shift register would continue to be held in the reset mode. This logic therefore allows for wide $\overline{CS}$ and $\overline{WR}$ signals and the converter will start after at least one of these signals returns high and the internal clocks again provide a reset signal for the start F/F.



Note 1: $\overline{CS}$ shown twice for clarity.

Note 2: SAR = Successive Approximation Register.

TL/H/5671-13

FIGURE 2. Block Diagram

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Functional Description (Continued)

After the "1" is clocked through the 8-bit shift register (which completes the SAR search) it appears as the input to the D-type latch, LATCH 1. As soon as this "1" is output from the shift register, the AND gate, G2, causes the new digital word to transfer to the TRI-STATE output latches. When LATCH 1 is subsequently enabled, the Q output makes a high-to-low transition which causes the INTR F/F to set. An inverting buffer then supplies the $\overline{INTR}$ input signal.

Note that this $\overline{SET}$ control of the INTR F/F remains low for 8 of the external clock periods (as the internal clocks run at 1/8 of the frequency of the external clock). If the data output is continuously enabled ($\overline{CS}$ and $\overline{RD}$ both held low), the $\overline{INTR}$ output will still signal the end of conversion (by a high-to-low transition), because the $\overline{SET}$ input can control the Q output of the INTR F/F even though the RESET input is constantly at a "1" level in this operating mode. This $\overline{INTR}$ output will therefore stay low for the duration of the $\overline{SET}$ signal, which is 8 periods of the external clock frequency (assuming the A/D is not started during this interval).

When operating in the free-running or continuous conversion mode ($\overline{INTR}$ pin tied to $\overline{WR}$ and $\overline{CS}$ wired low—see also section 2.8), the START F/F is SET by the high-to-low transition of the $\overline{INTR}$ signal. This resets the SHIFT REGISTER which causes the input to the D-type latch, LATCH 1, to go low. As the latch enable input is still present, the $\overline{Q}$ output will go high, which then allows the INTR F/F to be RESET. This reduces the width of the resulting $\overline{INTR}$ output pulse to only a few propagation delays (approximately 300 ns).

When data is to be read, the combination of both $\overline{CS}$ and $\overline{RD}$ being low will cause the $\overline{INTR}$ F/F to be reset and the TRI-STATE output latches will be enabled to provide the 8-bit digital outputs.

2.1 Digital Control Inputs

The digital control inputs ($\overline{CS}$, $\overline{RD}$, and $\overline{WR}$) meet standard T^{2}L logic voltage levels. These signals have been renamed when compared to the standard A/D Start and Output Enable labels. In addition, these inputs are active low to allow an easy interface to microprocessor control busses. For non-microprocessor based applications, the $\overline{CS}$ input (pin 1) can be grounded and the standard A/D Start function is obtained by an active low pulse applied at the $\overline{WR}$ input (pin 3) and the Output Enable function is caused by an active low pulse at the $\overline{RD}$ input (pin 2).

2.2 Analog Differential Voltage Inputs and Common-Mode Rejection

This A/D has additional applications flexibility due to the analog differential voltage input. The $V_{IN}(-)$ input (pin 7) can be used to automatically subtract a fixed voltage value from the input reading (tare correction). This is also useful in 4 mA–20 mA current loop conversion. In addition, common-mode noise can be reduced by use of the differential input.

The time interval between sampling $V_{IN}(+)$ and $V_{IN}(-)$ is 4-1/2 clock periods. The maximum error voltage due to this slight time difference between the input voltage samples is given by:

$$\Delta V_e(MAX) = (V_P)(2\pi f_{cm})\left(\frac{4.5}{f_{CLK}}\right),$$

where:

ΔV_e is the error voltage due to sampling delay

V_P is the peak value of the common-mode voltage

f_{cm} is the common-mode frequency

As an example, to keep this error to 1/4 LSB (~ 5 mV) when operating with a 60 Hz common-mode frequency, f_{cm}, and using a 640 kHz A/D clock, f_{CLK}, would allow a peak value of the common-mode voltage, V_P, which is given by:

$$V_P = \frac{[\Delta V_{e(MAX)}(f_{CLK})]}{(2\pi f_{cm})(4.5)}$$

or

$$V_P = \frac{(5 \times 10^{-3})(640 \times 10^3)}{(6.28)(60)(4.5)}$$

which gives

$V_P \simeq 1.9V$.

The allowed range of analog input voltages usually places more severe restrictions on input common-mode noise levels.

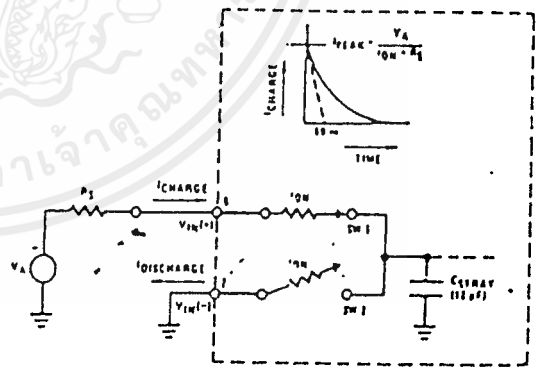
An analog input voltage with a reduced span and a relatively large zero offset can be handled easily by making use of the differential input (see section 2.4 Reference Voltage).

2.3 Analog Inputs

2.3.1 Input Current

Normal Mode

Due to the internal switching action, displacement currents will flow at the analog inputs. This is due to on-chip stray capacitance to ground as shown in *Figure 3*.



TL/H/5671–14

r_{ON} of SW 1 and SW 2 = 5 kΩ

$\tau = r_{ON} C_{STRAY} = 5\ k\Omega \cdot 12\ pF = 60\ ns$

FIGURE 3. Analog Input Impedance

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Functional Description (Continued)

The voltage on this capacitance is switched and will result in currents entering the $V_{IN}(+)$ input pin and leaving the $V_{IN}(-)$ input which will depend on the analog differential input voltage levels. These current transients occur at the leading edge of the internal clocks. They rapidly decay and *do not cause errors* as the on-chip comparator is strobed at the end of the clock period.

Fault Mode

If the voltage source applied to the $V_{IN}(+)$ or $V_{IN}(-)$ pin exceeds the allowed operating range of V_{CC} + 50 mV, large input currents can flow through a parasitic diode to the V_{CC} pin. If these currents can exceed the 1 mA max allowed spec, an external diode (1N914) should be added to bypass this current to the V_{CC} pin (with the current bypassed with this diode, the voltage at the $V_{IN}(+)$ pin can exceed the V_{CC} voltage by the forward voltage of this diode).

2.3.2 Input Bypass Capacitors

Bypass capacitors at the inputs will average these charges and cause a DC current to flow through the output resistances of the analog signal sources. This charge pumping action is worse for continuous conversions with the $V_{IN}(+)$ input voltage at full-scale. For continuous conversions with a 640 kHz clock frequency with the $V_{IN}(+)$ input at 5V, this DC current is at a maximum of approximately 5 μA. Therefore, *bypass capacitors should not be used at the analog inputs or the $V_{REF}/2$ pin* for high resistance sources (> 1 kΩ). If input bypass capacitors are necessary for noise filtering and high source resistance is desirable to minimize capacitor size, the detrimental effects of the voltage drop across this input resistance, which is due to the average value of the input current, can be eliminated with a full-scale adjustment while the given source resistor and input bypass capacitor are both in place. This is possible because the average value of the input current is a precise linear function of the differential input voltage.

2.3.3 Input Source Resistance

Large values of source resistance where an input bypass capacitor is not used, *will not cause errors* as the input currents settle out prior to the comparison time. If a low pass filter is required in the system, use a low valued series resistor (≤ 1 kΩ) for a passive RC section or add an op amp RC active low pass filter. For low source resistance applications, (≤ 1 kΩ), a 0.1 μF bypass capacitor at the inputs will prevent noise pickup due to series lead inductance of a long wire. A 100Ω series resistor can be used to isolate this capacitor—both the R and C are placed outside the feedback loop—from the output of an op amp, if used.

2.3.4 Noise

The leads to the analog inputs (pin 6 and 7) should be kept as short as possible to minimize input noise coupling. Both noise and undesired digital clock coupling to these inputs can cause system errors. The source resistance for these inputs should, in general, be kept below 5 kΩ. Larger values of source resistance can cause undesired system noise pickup. Input bypass capacitors, placed from the analog inputs to ground, will eliminate system noise pickup but can create analog scale errors as these capacitors will average the transient input switching currents of the A/D (see section 2.3.1.). This scale error depends on both a large source resistance and the use of an input bypass capacitor. This error can be eliminated by doing a full scale adjustment of the A/D (adjust $V_{REF}/2$ for a proper full scale reading—see section 2.5.2 on Full-Scale Adjustment) with the source resistance and input bypass capacitor in place.

2.4 Reference Voltage

2.4.1 Span Adjust

For maximum applications flexibility, these A/Ds have been designed to accommodate a 5 V_{DC}, 2.5 V_{DC} or an adjusted voltage reference. This has been achieved in the design of the IC as shown in *Figure 4*.

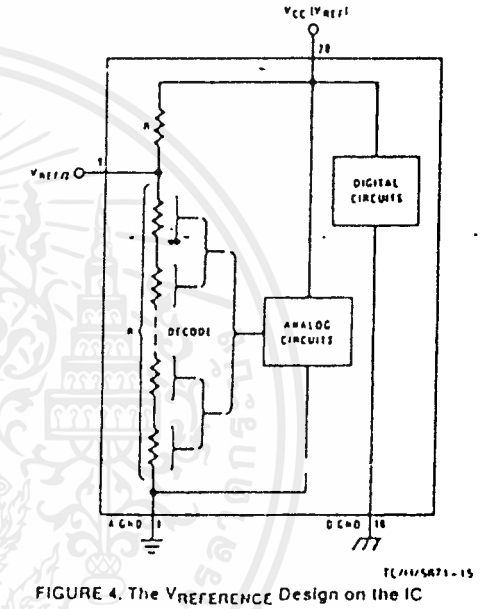


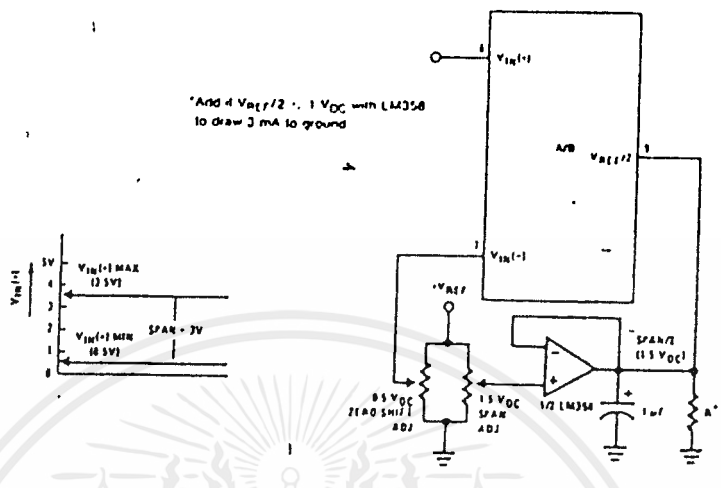
FIGURE 4. The $V_{REFERENCE}$ Design on the IC

Notice that the reference voltage for the IC is either ½ of the voltage applied to the V_{CC} supply pin, or is equal to the voltage that is externally forced at the $V_{REF}/2$ pin. This allows for a ratiometric voltage reference using the V_{CC} supply, a 5 V_{DC} reference voltage can be used for the V_{CC} supply or a voltage less than 2.5 V_{DC} can be applied to the $V_{REF}/2$ input for increased application flexibility. The internal gain to the $V_{REF}/2$ input is 2, making the full-scale differential input voltage twice the voltage at pin 9.

An example of the use of an adjusted reference voltage is to accommodate a reduced span—or dynamic voltage range—of the analog input voltage. If the analog input voltage were to range from 0.5 V_{DC} to 3.5 V_{DC}, instead of 0V to 5 V_{DC}, the span would be 3V as shown in *Figure 5*. With 0.5 V_{DC} applied to the $V_{IN}(-)$ pin to absorb the offset, the reference voltage can be made equal to ½ of the 3V span or 1.5 V_{DC}. The A/D now will encode the $V_{IN}(+)$ signal from 0.5V to 3.5 V with the 0.5V input corresponding to zero and the 3.5 V_{DC} input corresponding to full-scale. The full 8 bits of resolution are therefore applied over this reduced analog input voltage range.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Functional Description (Continued)



a) Analog Input Signal Example

b) Accommodating an Analog Input from 0.5V (Digital Out = 00_{HEX}) to 3.5V (Digital Out = FF_{HEX})

FIGURE 5. Adapting the A/D Analog Input Voltages to Match an Arbitrary Input Signal Range

2.4.2 Reference Accuracy Requirements

The converter can be operated in a ratiometric mode or an absolute mode. In ratiometric converter applications, the magnitude of the reference voltage is a factor in both the output of the source transducer and the output of the A/D converter and therefore cancels out in the final digital output code. The ADC0805 is specified particularly for use in ratiometric applications with no adjustments required. In absolute conversion applications, both the initial value and the temperature stability of the reference voltage are important factors in the accuracy of the A/D converter. For $V_{REF}/2$ voltages of 2.4 V_{DC} nominal value, initial errors of ±10 mV_{DC} will cause conversion errors of ±1 LSB due to the gain of 2 of the $V_{REF}/2$ input. In reduced span applications, the initial value and the stability of the $V_{REF}/2$ input voltage become even more important. For example, if the span is reduced to 2.5V, the analog input LSB voltage value is correspondingly reduced from 20 mV (5V span) to 10 mV and 1 LSB at the $V_{REF}/2$ input becomes 5 mV. As can be seen, this reduces the allowed initial tolerance of the reference voltage and requires correspondingly less absolute change with temperature variations. Note that spans smaller than 2.5V place even tighter requirements on the initial accuracy and stability of the reference source.

In general, the magnitude of the reference voltage will require an initial adjustment. Errors due to an improper value of reference voltage appear as full-scale errors in the A/D transfer function. IC voltage regulators may be used for references if the ambient temperature changes are not excessive. The LM336B 2.5V IC reference diode (from National Semiconductor) has a temperature stability of 1.8 mV typ (6 mV max) over $0°C \leq T_A \leq +70°C$. Other temperature range parts are also available.

2.5 Errors and Reference Voltage Adjustments

2.5.1 Zero Error

The zero of the A/D does not require adjustment. If the minimum analog input voltage value, $V_{IN(MIN)}$, is not ground, a zero offset can be done. The converter can be made to output 0000 0000 digital code for this minimum input voltage by biasing the A/D $V_{IN}(-)$ input at this $V_{IN(MIN)}$ value (see Applications section). This utilizes the differential mode operation of the A/D.

The zero error of the A/D converter relates to the location of the first riser of the transfer function and can be measured by grounding the $V_{IN}(-)$ input and applying a small magnitude positive voltage to the $V_{IN}(+)$ input. Zero error is the difference between the actual DC input voltage that is necessary to just cause an output digital code transition from 0000 0000 to 0000 0001 and the ideal ½ LSB value (½ LSB = 9.8 mV for $V_{REF}/2 = 2.500$ V_{DC}).

2.5.2 Full-Scale

The full-scale adjustment can be made by applying a differential input voltage that is 1½ LSB less than the desired analog full-scale voltage range and then adjusting the magnitude of the $V_{REF}/2$ input (pin 9 or the V_{CC} supply if pin 9 is not used) for a digital output code that is just changing from 1111 1110 to 1111 1111.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Functional Description (Continued)

2.5.3 Adjusting for an Arbitrary Analog Input Voltage Range

If the analog zero voltage of the A/D is shifted away from ground (for example, to accommodate an analog input signal that does not go to ground) this new zero reference should be properly adjusted first. A $V_{IN}(+)$ voltage that equals this desired zero reference plus ½ LSB (where the LSB is calculated for the desired analog span, 1 LSB = analog span/256) is applied to pin 6 and the zero reference voltage at pin 7 should then be adjusted to just obtain the 00_{HEX} to 01_{HEX} code transition.

The full-scale adjustment should then be made (with the proper $V_{IN}(-)$ voltage applied) by forcing a voltage to the $V_{IN}(+)$ input which is given by:

$$V_{IN}(+)\text{fs adj} = V_{MAX} - 1.5\left[\frac{(V_{MAX} - V_{MIN})}{256}\right],$$

where:

V_{MAX} = The high end of the analog input range

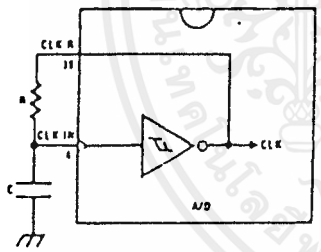
and

V_{MIN} = the low end (the offset zero) of the analog range. (Both are ground referenced.)

The $V_{REF}/2$ (or V_{CC}) voltage is then adjusted to provide a code change from FE_{HEX} to FF_{HEX}. This completes the adjustment procedure.

2.6 Clocking Option

The clock for the A/D can be derived from the CPU clock or an external RC can be added to provide self-clocking. The CLK IN (pin 4) makes use of a Schmitt trigger as shown in *Figure 6.*



$$f_{CLK} \approx \frac{1}{1.1\,RC}$$

$R \geq 10\ k\Omega$

TL/H/5671–17

FIGURE 6. Self-Clocking the A/D

Heavy capacitive or DC loading of the clock R pin should be avoided as this will disturb normal converter operation. Loads less than 50 pF, such as driving up to 7 A/D converter clock inputs from a single clock R pin of 1 converter, are allowed. For larger clock line loading, a CMOS or low power TTL buffer or PNP input logic should be used to minimize the loading on the clock R pin (do not use a standard TTL buffer).

2.7 Restart During a Conversion

If the A/D is restarted ($\overline{CS}$ and $\overline{WR}$ go low and return high) during a conversion, the converter is reset and a new conversion is started. The output data latch is not updated if the conversion in process is not allowed to be completed therefore the data of the previous conversion remains in this latch. The $\overline{INTR}$ output simply remains at the "1" level.

2.8 Continuous Conversions

For operation in the free-running mode an initializing pulse should be used, following power-up, to ensure circuit operation. In this application, the $\overline{CS}$ input is grounded and the $\overline{WR}$ input is tied to the $\overline{INTR}$ output. This $\overline{WR}$ and $\overline{INTR}$ node should be momentarily forced to logic low following a power-up cycle to guarantee operation.

2.9 Driving the Data Bus

This MOS A/D, like MOS microprocessors and memories, will require a bus driver when the total capacitance of the data bus gets large. Other circuitry, which is tied to the data bus, will add to the total capacitive loading, even in TRI-STATE (high impedance mode). Backplane bussing also greatly adds to the stray capacitance of the data bus.

There are some alternatives available to the designer to handle this problem. Basically, the capacitive loading of the data bus slows down the response time, even though DC specifications are still met. For systems operating with a relatively slow CPU clock frequency, more time is available in which to establish proper logic levels on the bus and therefore higher capacitive loads can be driven (see typical characteristics curves).

At higher CPU clock frequencies time can be extended for I/O reads (and/or writes) by inserting wait states (8080) or using clock extending circuits (6800).

Finally, if time is short and capacitive loading is high, external bus drivers must be used. These can be TRI-STATE buffers (low power Schottky such as the DM74LS240 series is recommended) or special higher drive current products which are designed as bus drivers. High current bipolar bus drivers with PNP inputs are recommended.

2.10 Power Supplies

Noise spikes on the V_{CC} supply line can cause conversion errors as the comparator will respond to this noise. A low inductance tantalum filter capacitor should be used close to the converter V_{CC} pin and values of 1 μF or greater are recommended. If an unregulated voltage is available in the system, a separate LM340LAZ-5.0, TO-92, 5V voltage regulator for the converter (and other analog circuitry) will greatly reduce digital noise on the V_{CC} supply.

2.11 Wiring and Hook-Up Precautions

Standard digital wire wrap sockets are not satisfactory for breadboarding this A/D converter. Sockets on PC boards can be used and all logic signal wires and leads should be grouped and kept as far away as possible from the analog signal leads. Exposed leads to the analog inputs can cause undesired digital noise and hum pickup, therefore shielded leads may be necessary in many applications.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Functional Description (Continued)

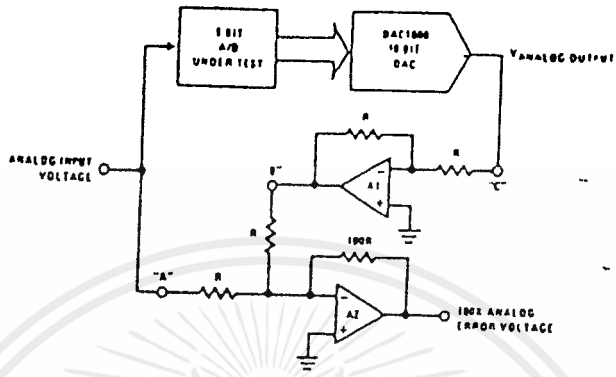


FIGURE 8. A/D Tester with Analog Error Output

TL/H/5671-19

FIGURE 9. Basic "Digital" A/D Tester

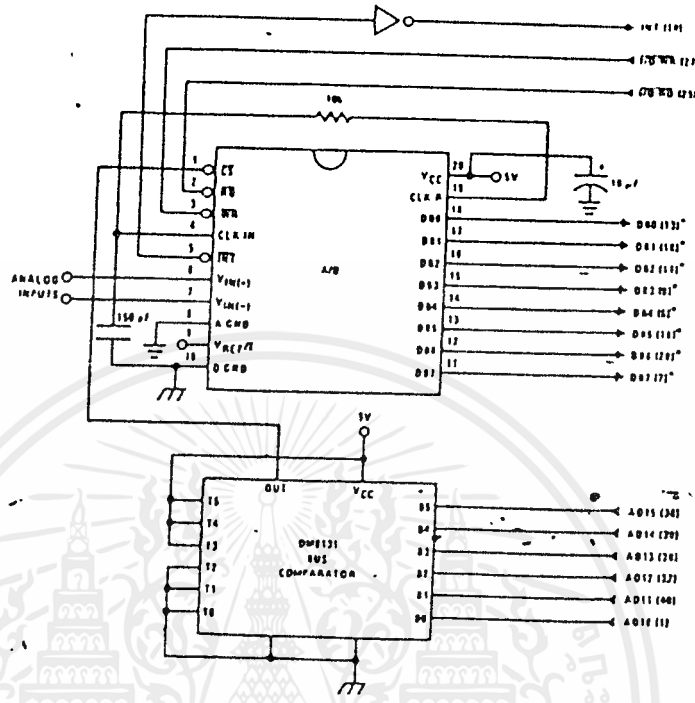
TABLE I. DECODING THE DIGITAL OUTPUT LEDs

HEX	BINARY	FRACTIONAL BINARY VALUE FOR MS GROUP	FRACTIONAL BINARY VALUE FOR LS GROUP	OUTPUT VOLTAGE CENTER VALUES WITH $V_{REF}/2 = 2.560\ V_{DC}$ VMS GROUP*	OUTPUT VOLTAGE CENTER VALUES WITH $V_{REF}/2 = 2.560\ V_{DC}$ VLS GROUP*
F	1 1 1 1	15/16	15/256	4.800	0.300
E	1 1 1 0	7/8	7/128	4.480	0.280
D	1 1 0 1	13/16	13/256	4.160	0.260
C	1 1 0 0	3/4	3/64	3.840	0.240
B	1 0 1 1	11/16	11/256	3.520	0.220
A	1 0 1 0	5/8	5/128	3.200	0.200
9	1 0 0 1	9/16	9/256	2.880	0.180
8	1 0 0 0	1/2	1/32	2.560	0.160
7	0 1 1 1	7/16	7/256	2.240	0.140
6	0 1 1 0	3/8	3/128	1.920	0.120
5	0 1 0 1	5/16	2/256	1.600	0.100
4	0 1 0 0	1/4	1/64	1.280	0.080
3	0 0 1 1	3/16	3/256	0.960	0.060
2	0 0 1 0	1/8	1/128	0.640	0.040
1	0 0 0 1	1/16	1/256	0.320	0.020
0	0 0 0 0			0	0

*Display Output = VMS Group + VLS Group

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Functional Description (Continued)



Note 1: *Pin numbers for the DP8228 system controller, others are INS8080A

Note 2: Pin 23 of the INS8228 must be tied to + 12V through a 1 kΩ resistor to generate the RST 7 instruction when an interrupt is acknowledged as required by the accompanying sample program.

FIGURE 10. ADC0801–INS8080A CPU Interface

SAMPLE PROGRAM FOR *FIGURE 10* ADC0801–INS8080A CPU INTERFACE

```
0038    C3 00 03    RST 7:          JMP     LD DATA
   .        .           .
   .        .           .
0100    21 00 02    START:          LXI H 0200H     ;HL pair will point to
                                                    ;data storage locations
0103    31 00 04    RETURN:         LXI SP 0400H    ;Initialize stack pointer (Note 1)
0106    7D                          MOV A, L        ;Test # of bytes entered
0107    FE 0F                       CPI 0F H        ;If # = 16, JMP to
0109    CA 13 01                    JZ CONT         ;user program
010C    D3 E0                       OUT E0 H        ;Start A/D
010E    FB                          EI              ;Enable interrupt
010F    00          LOOP:           NOP             ;Loop until end of
0110    C3 0F 01                    JMP LOOP        ;conversion
0113       .        CONT:              .
   .       .           .               .
   .       .        (User program to   .
   .       .        process data)      .
   .       .           .               .
   .       .           .               .
0300    DB E0       LD DATA:        IN E0 H         ;Load data into accumulator
0302    77                          MOV M, A        ;Store data
0303    23                          INX H           ;Increment storage pointer
0304    C3 03 01                    JMP RETURN
```

Note 1: The stack pointer must be dimensioned because a RST 7 instruction pushes the PC onto the stack.

Note 2: All address used were arbitrarily chosen.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Functional Description (Continued)

The standard control bus signals of the 8080 $\overline{CS}$, $\overline{RD}$ and $\overline{WR}$) can be directly wired to the digital control inputs of the A/D and the bus timing requirements are met to allow both starting the converter and outputting the data onto the data bus. A bus driver should be used for larger microprocessor systems where the data bus leaves the PC board and/or must drive capacitive loads larger than 100 pF.

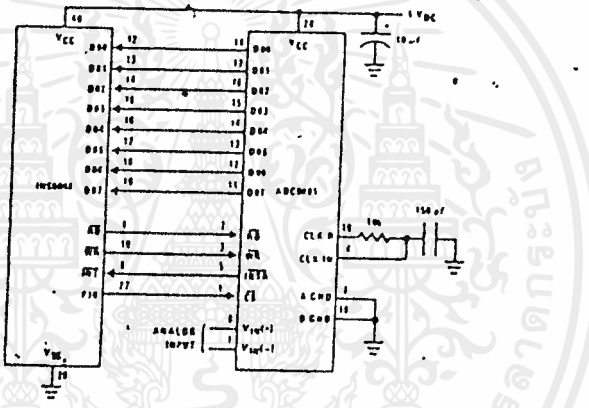
4.1.1 Sample 8080A CPU Interfacing Circuitry and Program

The following sample program and associated hardware shown in *Figure 10* may be used to input data from the converter to the INS8080A CPU chip set (comprised of the INS8080A microprocessor, the INS8228 system controller and the INS8224 clock generator). For simplicity, the A/D is controlled as an I/O device, specifically an 8-bit bi-directional port located at an arbitrarily chosen port address, E0. The TRI-STATE output capability of the A/D eliminates the need for a peripheral interface device, however address decoding is still required to generate the appropriate $\overline{CS}$ for the converter.

It is important to note that in systems where the A/D converter is 1-of-8 or less I/O mapped devices, no address decoding circuitry is necessary. Each of the 8 address bits (A0 to A7) can be directly used as $\overline{CS}$ inputs—one for each I/O device.

4.1.2 INS8048 Interface

The INS8048 interface technique with the ADC0801 series (see *Figure 11*) is simpler than the 8080A CPU interface. There are 24 I/O lines and three test input lines in the 8048. With these extra I/O lines available, one of the I/O lines (bit 0 of port 1) is used as the chip select signal to the A/D, thus eliminating the use of an external address decoder. Bus control signals $\overline{RD}$, $\overline{WR}$ and $\overline{INT}$ of the 8048 are tied directly to the A/D. The 16 converted data words are stored at on-chip RAM locations from 20 to 2F (Hex). The $\overline{RD}$ and $\overline{WR}$ signals are generated by reading from and writing into a dummy address, respectively. A sample interface program is shown below.



TL/H/5671–21

FIGURE 11. INS8048 Interface

SAMPLE PROGRAM FOR *FIGURE 11* INS8048 INTERFACE

```
04 10                    JMP     10H          ;Program starts at addr 10
                         ORG     3H
04 50                    JMP     50H          ;Interrupt jump vector
                         ORG     10H          ;Main program
99 FE                    ANL     P1, #0FEH    ;Chip select
81                       MOVX    A, @R1       ;Read in the 1st data
                                              ;to reset the intr
89 01          START:    ORL     P1, #1       ;Set port pin high
B8 20                    MOV     R0, #20H     ;Data address
B9 FF                    MOV     R1, #0FFH    ;Dummy address
BA 10                    MOV     R2, #10H     ;Counter for 16 bytes
23 FF          AGAIN:    MOV     A, #0FFH     ;Set ACC for intr loop
99 FE                    ANL     P1, #0FEH    ;Send CS (bit 0 of P1)
91                       MOVX    @R1, A       ;Send WR out
05                       EN      I            ;Enable interrupt
96 21          LOOP:     JNZ     LOOP         ;Wait for interrupt
EA 1B                    DJNZ    R2, AGAIN    ;If 16 bytes are read
00                       NOP                  ;go to user's program
00                       NOP
                         ORG     50H
91             INDATA:   MOVX    A, @R1       ;Input data, CS still low
A0                       MOV     @R0, A       ;Store in memory
18                       INC     R0           ;Increment storage counter
89 01                    ORL     P1, #1       ;Reset CS signal
27                       CLR     A            ;Clear ACC to get out of
93                       RETR                 ;the interrupt loop
```


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Functional Description (Continued)

4.2 Interfacing the Z-80

The Z-80 control bus is slightly different from that of the 8080. General $\overline{RD}$ and $\overline{WR}$ strobes are provided and separate memory request, $\overline{MREQ}$, and I/O request, $\overline{IORQ}$, signals are used which have to be combined with the generalized strobes to provide the equivalent 8080 signals. An advantage of operating the A/D in I/O space with the Z-80 is that the CPU will automatically insert one wait state (the $\overline{RD}$ and $\overline{WR}$ strobes are extended one clock period) to allow more time for the I/O devices to respond. Logic to map the A/D in I/O space is shown in *Figure 13*.

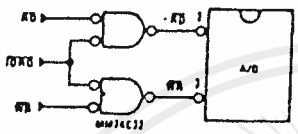


FIGURE 13. Mapping the A/D as an I/O Device for Use with the Z-80 CPU

Additional I/O advantages exist as software DMA routines are available and use can be made of the output data transfer which exists on the upper 8 address lines (A8 to A15) during I/O input instructions. For example, MUX channel selection for the A/D can be accomplished with this operating mode.

4.3 Interfacing 6800 Microprocessor Derivatives (6502, etc.)

The control bus for the 6800 microprocessor derivatives does not use the $\overline{RD}$ and $\overline{WR}$ strobe signals. Instead it employs a single R/$\overline{W}$ line and additional timing, if needed, can be derived from the $\phi 2$ clock. All I/O devices are memory mapped in the 6800 system, and a special signal, VMA, indicates that the current address is valid. *Figure 14* shows an interface schematic where the A/D is memory mapped in the 6800 system. For simplicity, the $\overline{CS}$ decoding is shown using ½ DM8092. Note that in many 6800 systems, an already decoded $\overline{475}$ line is brought out to the common bus at pin 21. This can be tied directly to the $\overline{CS}$ pin of the A/D, provided that no other devices are addressed at HX ADDR: 4XXX or 5XXX.

The following subroutine performs essentially the same function as in the case of the 8080A interface and it can be called from anywhere in the user's program.

In *Figure 15* the ADC0801 series is interfaced to the M6800 microprocessor through (the arbitrarily chosen) Port B of the MC6820 or MC6821 Peripheral Interface Adaptor, (PIA). Here the $\overline{CS}$ pin of the A/D is grounded since the PIA is already memory mapped in the M6800 system and no $\overline{CS}$ decoding is necessary. Also notice that the A/D output data lines are connected to the microprocessor bus under program control through the PIA and therefore the A/D $\overline{RD}$ pin can be grounded.

A sample interface program equivalent to the previous one is shown below *Figure 15*. The PIA Data and Control Registers of Port B are located at HEX addresses 8006 and 8007, respectively.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

National Semiconductor Corporation

DAC0800/DAC0801/DAC0802 8-Bit Digital-to-Analog Converters

General Description

The DAC0800 series are monolithic 8-bit high-speed current-output digital-to-analog converters (DAC) featuring typical settling times of 100 ns. When used as a multiplying DAC, monotonic performance over a 40 to 1 reference current range is possible. The DAC0800 series also features high compliance complementary current outputs to allow differential output voltages of 20 Vp-p with simple resistor loads as shown in *Figure 1*. The reference-to-full-scale current matching of better than ±1 LSB eliminates the need for full-scale trims in most applications while the nonlinearities of better than ±0.1% over temperature minimizes system error accumulations.

The noise immune inputs of the DAC0800 series will accept TTL levels with the logic threshold pin, V_{LC}, grounded. Changing the V_{LC} potential will allow direct interface to other logic families. The performance and characteristics of the device are essentially unchanged over the full ±4.5V to ±18V power supply range; power dissipation is only 33 mW with ±5V supplies and is independent of the logic input states.

The DAC0800, DAC0802, DAC0800C, DAC0801C and DAC0802C are a direct replacement for the DAC-08, DAC-08A, DAC-08C, DAC-08E and DAC-08H, respectively.

Features

- Fast settling output current — 100 ns
- Full scale error — ±1 LSB
- Nonlinearity over temperature — ±0.1%
- Full scale current drift — ±10 ppm/°C
- High output compliance — −10V to +18V
- Complementary current outputs
- Interface directly with TTL, CMOS, PMOS and others
- 2 quadrant wide range multiplying capability
- Wide power supply range — ±4.5V to ±18V
- Low power consumption — 33 mW at ±5V
- Low cost

Typical Applications

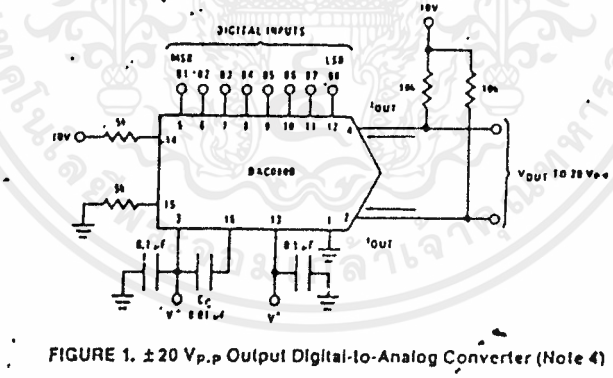


FIGURE 1. ±20 V_{p-p} Output Digital-to-Analog Converter (Note 4)

Ordering Information

Non-Linearity	Temperature Range	Order Numbers				
		J Package (J16A)*		N Package (N16A)*		SO Package (M16A)
±0.1% FS	−55°C ≤ T_A ≤ +125°C	DAC0802LJ	DAC-08AO			
±0.1% FS	0°C ≤ T_A ≤ +70°C	DAC0802LCJ	DAC-08HO	DAC0802LCN	DAC-08HP	DAC0802LCM
±0.19% FS	−55°C ≤ T_A ≤ +125°C	DAC0800LJ	DAC-08O			
±0.19% FS	0°C ≤ T_A ≤ +70°C	DAC0800LCJ	DAC-08EO	DAC0800LCN	DAC-08EP	DAC0800LCM
±0.39% FS	0°C ≤ T_A ≤ +70°C	DAC0801LCJ	DAC-08CO	DAC0801LCN	DAC-08CP	DAC0801LCM

*Devices may be ordered by using either order number.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Absolute Maximum Ratings (Note 1)

If Military/Aerospace specified devices are required, contact the National Semiconductor Sales Office/ Distributors for availability and specifications.

Supply Voltage ($V^+ - V^-$)	± 18V or 36V
Power Dissipation (Note 2)	500 mW
Reference Input Differential Voltage (V14 to V15)	V to V^+
Reference Input Common-Mode Range (V14, V15)	V to V^+
Reference Input Current	5 mA
Logic Inputs	V^- to V^- plus 36V
Analog Current Outputs ($V_S^- = -15V$)	4.25mA
ESD Susceptibility (Note 3)	800V
Storage Temperature	−65°C to +150°C
Lead Temp. (Soldering, 10 seconds)	
Dual-In-Line Package (plastic)	260°C
Dual-In-Line Package (ceramic)	300°C
Surface Mount Package	
Vapor Phase (60 seconds)	215°C
Infrared (15 seconds)	220°C

Operating Conditions (Note 1)

	Min	Max	Units
Temperature (T_A)			
DAC0802L	−55	+125	°C
DAC0800L	−55	+125	°C
DAC0800LC	0	+70	°C
DAC0801LC	0	+70	°C
DAC0802LC	0	+70	°C

Electrical Characteristics The following specifications apply for $V_S = \pm 15V$, $I_{REF} = 2$ mA and $T_{MIN} \le T_A \le T_{MAX}$ unless otherwise specified. Output characteristics refer to both I_{OUT} and $\overline{I_{OUT}}$.

Symbol	Parameter	Conditions	DAC0802L/ DAC0802LC			DAC0800L/ DAC0800LC			DAC0801LC			Units
			Min	Typ	Max	Min	Typ	Max	Min	Typ	Max	
	Resolution		8	8	8	8	8	8	8	8	8	Bits
	Monotonicity		8	8	8	8	8	8	8	8	8	Bits
	Nonlinearity				±0.1			±0.19			±0.39	%FS
	Settling Time	To ± ½ LSB, All Bits Switched "ON" or "OFF", $T_A = 25°C$		100	135					100	150	ns
		DAC0800L					100	135				ns
		DAC0800LC					100	150				ns
t_{PLH}, t_{PHL}	Propagation Delay Each Bit	$T_A = 25°C$		35	60		35	60		35	60	ns
	All Bits Switched			35	60		35	60		35	60	ns
TC_{FS}	Full Scale Tempco			±10	±50		±10	±50		±10	±80	ppm/°C
V_{OC}	Output Voltage Compliance	Full Scale Current Change < ½ LSB, $R_{OUT} > 20$ MΩ Typ	−10		18	−10		18	−10		18	V
I_{FS}	Full Scale Current	$V_{REF} = 10.000V$, R14 = 5.000 kΩ, R15 = 5.000 kΩ, $T_A = 25°C$	1.984	1.992	2.000	1.94	1.99	2.04	1.94	1.99	2.04	mA
I_{FSS}	Full Scale Symmetry	$I_{FS4} - I_{FS2}$		±0.5	±4.0		±1	±8.0		±2	±16	μA
I_{ZS}	Zero Scale Current			0.1	1.0		0.2	2.0		0.2	4.0	μA
V_{FSR}	Output Current Range	$V^- = -5V$	0	2.0	2.1	0	2.0	2.1	0	2.0	2.1	mA
		$V^- = -8V$ to $-18V$	0	2.0	4.2	0	2.0	4.2	0	2.0	4.2	mA
	Logic Input Levels											
	Logic "0"	$V_{LC} = 0V$			0.8			0.8			0.8	V
	Logic "1"		2.0			2.0			2.0			V
	Logic Input Current	$V_{LC} = 0V$										
	Logic "0"	$-10V \le V_{IN} \le +0.8V$		−2.0	−10		−2.0	−10		−2.0	−10	μA
	Logic "1"	$2V \le V_{IN} \le +18V$		0.002	10		0.002	10		0.002	10	μA
	Logic Input Swing	$V^- = -15V$	−10		18	−10		18	−10		18	V
V_{THR}	Logic Threshold Range	$V_S = \pm 15V$	−10		13.5	−10		13.5	−10		13.5	V
	Reference Bias Current			−1.0	−3.0		−1.0	−3.0		−1.0	−3.0	μA
$I_{REF}dI$	Reference Input Slew Rate	*(Figure 12)*	4.0	8.0		4.0	8.0		4.0	8.0		mA/μs
$PSSI_{FS+}$	Power Supply Sensitivity	$4.5V \le V^+ \le 18V$		0.0001	0.01		0.0001	0.01		0.0001	0.01	%/%
$PSSI_{FS-}$		$-4.5V \le V^- \le 18V$, $I_{REF} = 1mA$		0.0001	0.01		0.0001	0.01		0.0001	0.01	%/%
	Power Supply Current	$V_S = \pm 5V$, $I_{REF} = 1$ mA		2.3	3.8		2.3	3.8		2.3	3.8	mA
				−4.3	−5.8		−4.3	−5.8		−4.3	−5.8	mA
		$V_S = 5V$, $-15V$, $I_{REF} = 2$ mA		2.4	3.8		2.4	3.8		2.4	3.8	mA
				−6.4	−7.8		−6.4	−7.8		−6.4	−7.8	mA
		$V_S = \pm 15V$, $I_{REF} = 2$ mA		2.5	3.8		2.5	3.8		2.5	3.8	mA
				−6.5	−7.8		−6.5	−7.8		−6.5	−7.8	mA

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Electrical Characteristics (Continued)

The following specifications apply for $V_S = \pm 15V$, $I_{REF} = 2$ mA and $T_{MIN} \le T_A \le T_{MAX}$ unless otherwise specified. Output characteristics refer to both I_{OUT} and $\overline{I_{OUT}}$.

Symbol	Parameter	Conditions	DAC0802L/ DAC0802LC			DAC0800L/ DAC0800LC			DAC0801LC			Units
			Min	Typ	Max	Min	Typ	Max	Min	Typ	Max	
P_D	Power Dissipation	$\pm 5V$, $I_{REF} = 1$ mA		33	48		33	48		33	48	mW
		$5V, -15V$, $I_{REF} = 2$ mA		108	136		108	136		108	136	mW
		$\pm 15V$, $I_{REF} = 2$ mA		135	174		135	174		135	174	mW

Note 1: Absolute Maximum Ratings indicate limits beyond which damage to the device may occur. DC and AC electrical specifications do not apply when operating the device beyond its specified operating conditions.

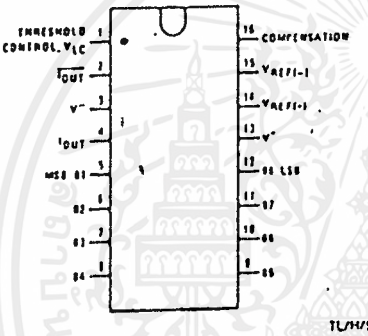
Note 2: The maximum junction temperature of the DAC0800, DAC0801 and DAC0802 is 125°C. For operating at elevated temperatures, devices in the Dual-In-Line J package must be derated based on a thermal resistance of 100°C/W, junction-to ambient, 175°C/W for the molded Dual-In-Line N package and 100°C/W for the Small Outline M package.

Note 3: Human body model, 100 pF discharged through a 1.5 kΩ resistor.

Note 4: Pin-out numbers for the DAC080X represent the Dual-In-Line package. The Small Outline package pin-out differs from the Dual-In-Line package.

Connection Diagrams

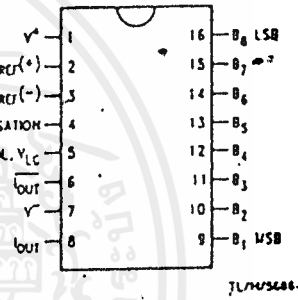
Dual-In-Line Package



TL/H/5686-13

Top View

Small Outline Package

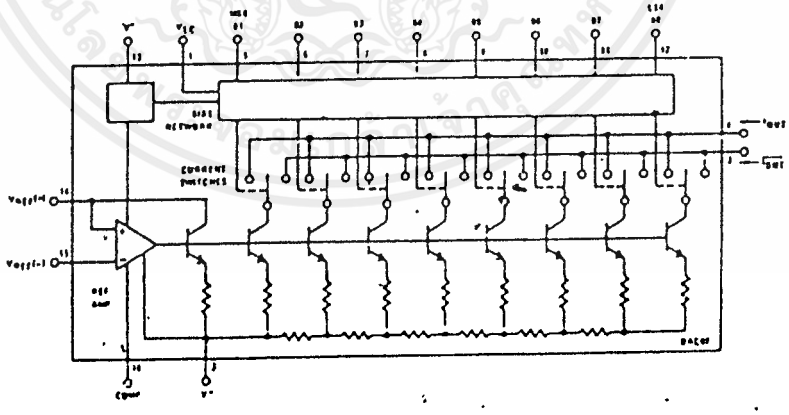


TL/H/5686-14

Top View

See Ordering Information

Block Diagram (Note 4)

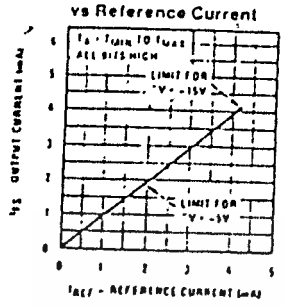


TL/H/5686-2

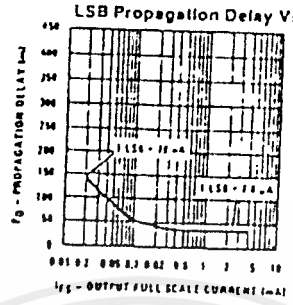
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Performance Characteristics

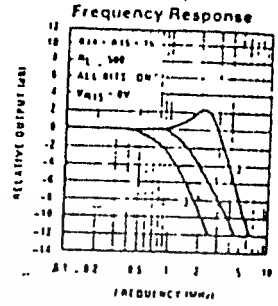
Full Scale Current vs Reference Current



LSB Propagation Delay Vs I_{FS}



Reference Input Frequency Response

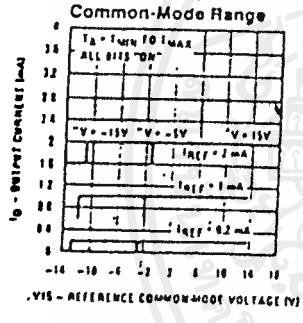


Curve 1: C_C = 15 pF, V_{IN} = 2 Vp-p centered at 1V.

Curve 2: C_C = 15 pF, V_{IN} = 50 mVp-p centered at 200 mV

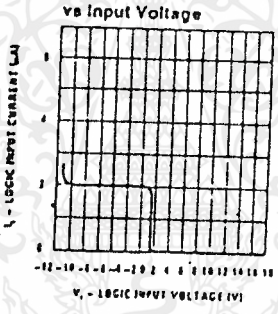
Curve 3: C_C = 0 pF, V_{IN} = 100 mVp-p at 0V and applied through 50 Ω connected to pin 14 2V applied to R14

Reference Amp Common-Mode Range

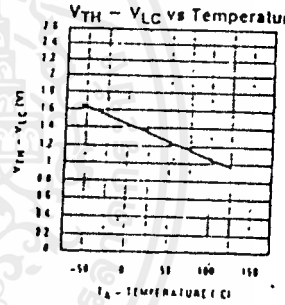


Note. Positive common-mode range is always (V+) − 1.5V

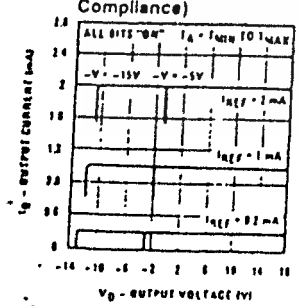
Logic Input Current vs Input Voltage



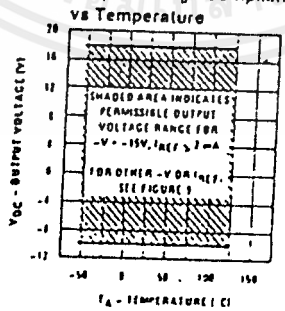
$V_{TH} - V_{LC}$ vs Temperature



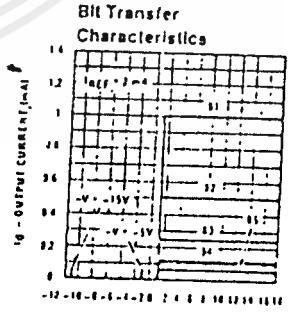
Output Current vs Output Voltage (Output Voltage Compliance)



Output Voltage Compliance vs Temperature



Bit Transfer Characteristics



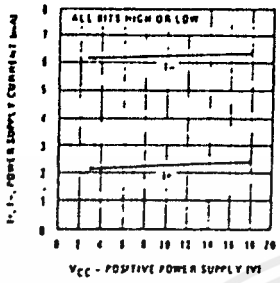
TL/H/5686-3

Note. B1–B8 have identical transfer characteristics. B4s are fully switching with less than ± ½ LSB error, at less than ± 100 mV from actual threshold. These switching points are guaranteed to be between 0.8 and 2V over the operating temperature range (V_{LC} = 0V).

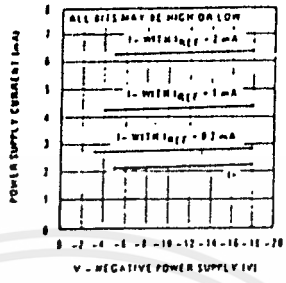
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Performance Characteristics (Continued)

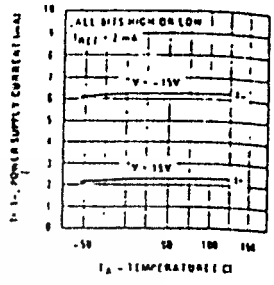
Power Supply Current vs + V



Power Supply Current vs - V

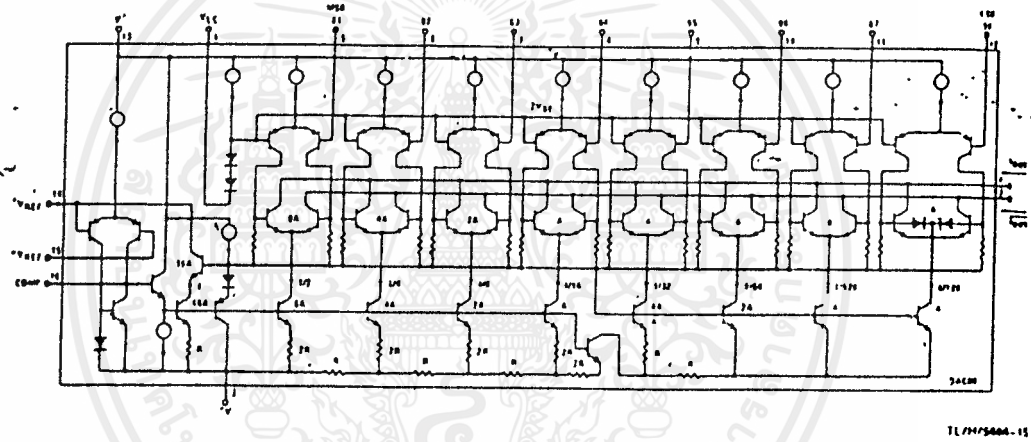


Power Supply Current vs Temperature



TL/H/5686-4

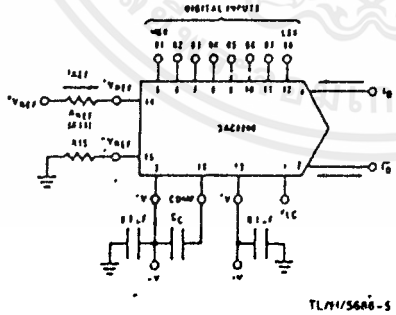
Equivalent Circuit



TL/H/5686-15

FIGURE 2

Typical Applications (Continued)



$$I_{FS} = \frac{+V_{REF}}{R_{REF}} \cdot \frac{255}{256}$$

$I_O + \overline{I_O} = I_{FS}$ for all logic states

For fixed reference, TTL operation, typical values are:

$V_{REF} = 10.000V$,

$R_{REF} = 5.000k$

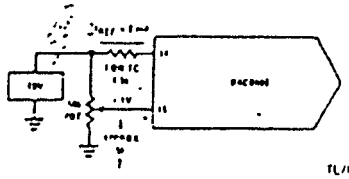
$R15 = R_{REF}$

$C_C = 0.01\ \mu F$

$V_{LC} = 0V$ (Ground)

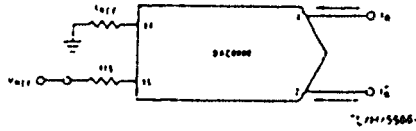
TL/H/5686-5

FIGURE 3. Basic Positive Reference Operation (Note 4)



TL/H/5686-21

FIGURE 4. Recommended Full Scale Adjustment Circuit (Note 4)



TL/H/5686-16

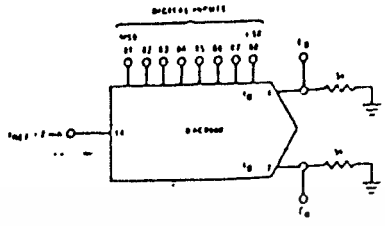
$$I_{FS} = \frac{+V_{REF}}{R_{REF}} \cdot \frac{255}{256}$$

Note: R_{REF} sets I_{FS}, R15 is for bias current cancelation

FIGURE 5. Basic Negative Reference Operation (Note 4)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Applications (Continued)

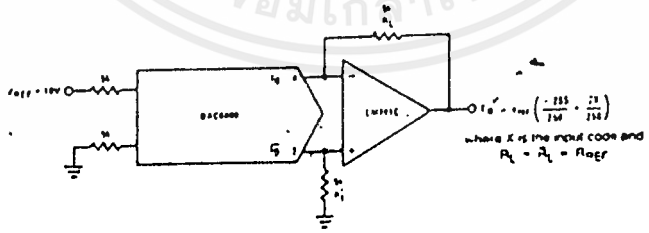


	B1	B2	B3	B4	B5	B6	B7	B8	I_O mA	$\overline{I_O}$ mA	E_O	$\overline{E_O}$
Full Scale	1	1	1	1	1	1	1	1	1.992	0.000	−9.960	0.000
Full Scale − LSB	1	1	1	1	1	1	1	0	1.984	0.008	−9.920	−0.040
Half Scale + LSB	1	0	0	0	0	0	0	1	1.008	0.984	−5.040	−4.920
Half Scale	1	0	0	0	0	0	0	0	1.000	0.992	−5.000	−4.960
Half Scale − LSB	0	1	1	1	1	1	1	1	0.992	1.000	−4.960	−5.000
Zero Scale + LSB	0	0	0	0	0	0	0	1	0.008	1.984	−0.040	−9.920
Zero Scale	0	0	0	0	0	0	0	0	0.000	1.992	0.000	−9.960

FIGURE 6. Basic Unipolar/Negative Operation (Note 4)

	B1	B2	B3	B4	B5	B6	B7	B8	E_O	$\overline{E_O}$
Pos. Full Scale	1	1	1	1	1	1	1	1	−9.920	+10.000
Pos. Full Scale − LSB	1	1	1	1	1	1	1	0	−9.840	+9.920
Zero Scale + LSB	1	0	0	0	0	0	0	1	−0.080	+0.160
Zero Scale	1	0	0	0	0	0	0	0	0.000	+0.080
Zero Scale − LSB	0	1	1	1	1	1	1	1	+0.080	0.000
Neg. Full Scale + LSB	0	0	0	0	0	0	0	1	+9.920	−9.840
Neg. Full Scale	0	0	0	0	0	0	0	0	+10.000	−9.920

FIGURE 7. Basic Bipolar Output Operation (Note 4)



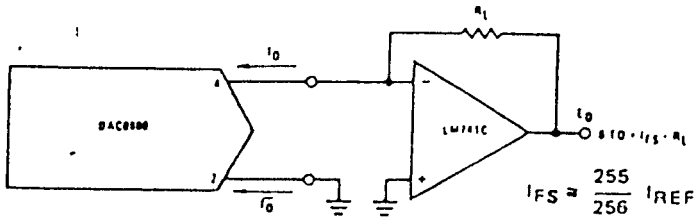
If $R_L = \overline{R_L}$ within ±0.05%, output is symmetrical about ground

	B1	B2	B3	B4	B5	B6	B7	B8	E_O
Pos. Full Scale	1	1	1	1	1	1	1	1	+9.960
Pos. Full Scale − LSB	1	1	1	1	1	1	1	0	+9.880
(+)Zero Scale	1	0	0	0	0	0	0	0	+0.040
(−)Zero Scale	0	1	1	1	1	1	1	1	−0.040
Neg. Full Scale + LSB	0	0	0	0	0	0	0	1	−9.880
Neg. Full Scale	0	0	0	0	0	0	0	0	−9.960

FIGURE 8. Symmetrical Offset Binary Operation (Note 4)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

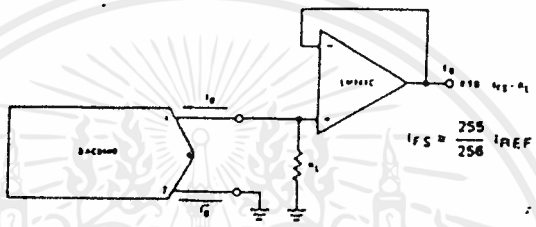
Typical Applications (Continued)



TL/H/5806-19

For complementary output (operation as negative logic DAC), connect inverting input of op amp to $\overline{I_O}$ (pin 2), connect I_O (pin 4) to ground

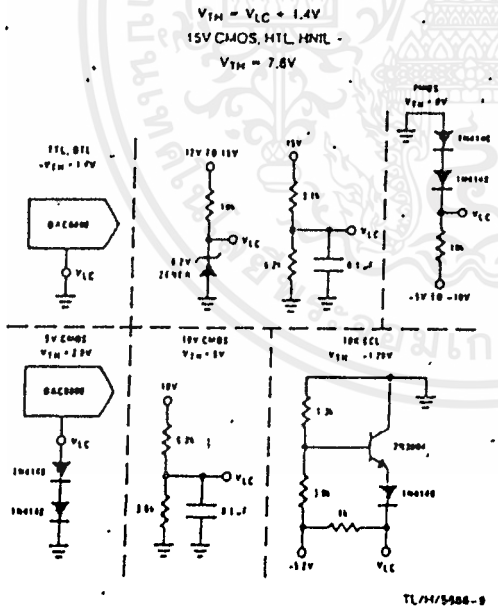
FIGURE 9. Positive Low Impedance Output Operation (Note 4)



TL/H/5806-20

For complementary output (operation as a negative logic DAC) connect non-inverting input of op amp to $\overline{I_O}$ (pin 2); connect I_O (pin 4) to ground.

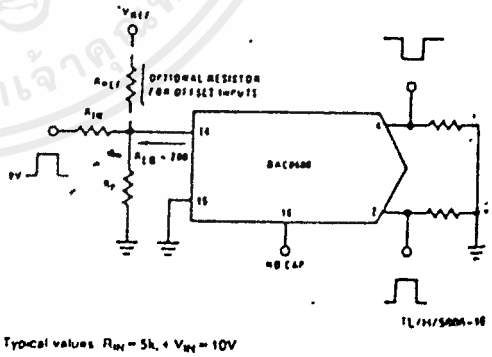
FIGURE 10. Negative Low Impedance Output Operation (Note 4)



TL/H/5806-9

Note. Do not exceed negative logic input range of DAC.

FIGURE 11. Interfacing with Various Logic Families



TL/H/5806-10

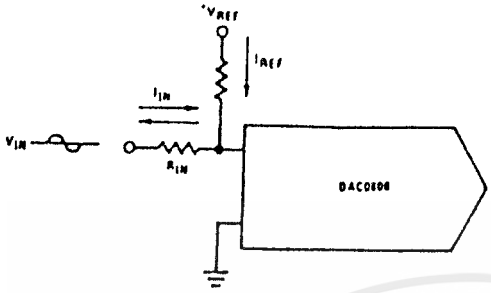
Typical values $R_{IN} = 5k, + V_{IN} = 10V$

FIGURE 12. Pulsed Reference Operation (Note 4)

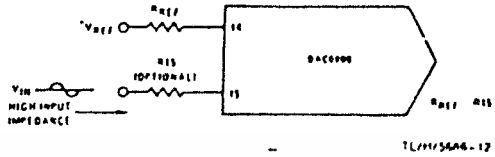
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Applications (Continued)

(a) I_{REF} ≥ peak negative swing of I_{IN}



(b) + V_{REF} must be above peak positive swing of V_{IN}



TL/H/5686-11

FIGURE 13. Accommodating Bipolar References (Note 4)

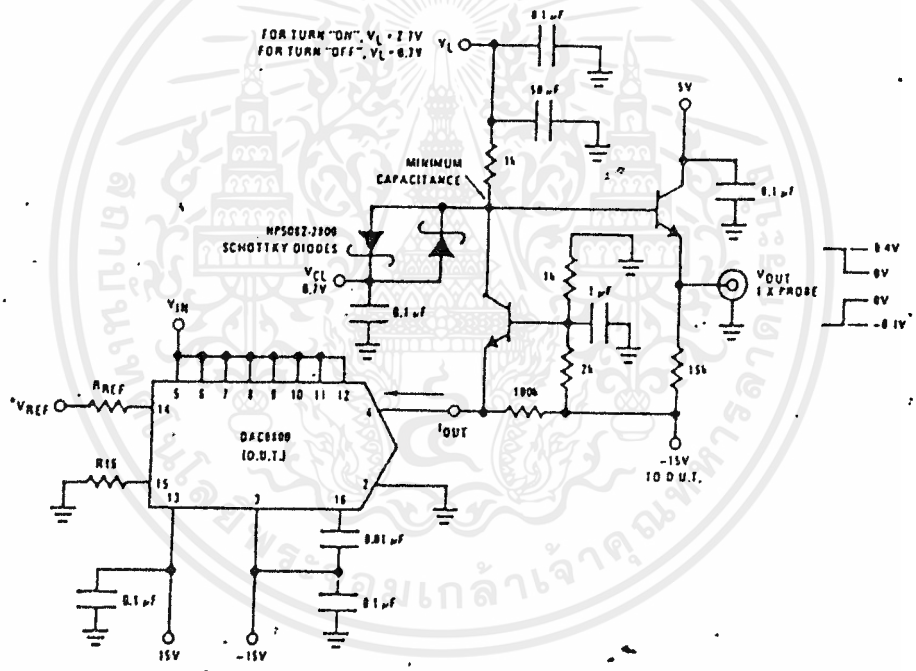


FIGURE 14. Settling Time Measurement (Note 4)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กิตติกรรมประกาศ

ในการทำปริญญานิพนธ์เรื่อง "รีโหมดเทอร์มินอลยูนิตคอนโทรลลิ่ง" ต้องขอขอบพระคุณท่านอาจารย์ จักรี ทีฆาภาควิศิษฏ์ ที่ได้ให้ความรู้ คำแนะนำ และหลักการต่างๆที่เป็นประโยชน์แก่การทดลอง และยังเป็นอาจารย์ที่ควบคุมในการทำปริญญานิพนธ์ครั้งนี้ด้วย พร้อมทั้งขอขอบคุณอาจารย์ทุกท่านที่ได้ให้คำแนะนำ และช่วยแนะแนวทางในการทดลองทำให้การปริญญานิพนธ์ครั้งนี้เสร็จตามเป้าหมายที่ได้กำหนดไว้

คณะผู้จัดทำ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บรรณานุกรม

1.ชูชัย ชนสารตั้งเจริญ และคณะ, "การใช้งาน Z-80", ศูนย์ภาษาคอมพิวเตอร์; 2533

2.ประทีป บัญชุ้ติพรัตน์, "การเขียนโปรแกรมภาษาแอซแซมบลี้ Z-80", ภาควิชาวิศวกรรมคอมพิวเตอร์ สถาบันเทคโนโลยีพระจอมเกล้า เจ้าคุณทหารลาดกระบัง; 2533

3.ยืน ภู่วรวรรณ, "เทคโนโลยีฮาร์ดแวร์ IBM PC", บริษัท ซีเอ็ดยูเคชั่น จำกัด; 2533

4.บริษัท ซีเอ็ดยูเคชั่น จำกัด, "คู่มือเทียบเบอร์ไอซี TTL", บริษัท ซีเอ็ดยูเคชั่น จำกัด ; 2532

5.Acer Company,"MPF-1P USER'S MANUAL"

6.National Semiconductor, "Special Purpose Linear Devices Data Book", Chapter 8-1 - 8-9; 1988

7.Ben Ezzell, "Graphics Programming in Turbo C2.0"; 1988

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้