เครื่องจำลองรูปคลื่นสัญญาณไฟฟ้าหัวใจ
(Electrocardiogram Simulator)

โดย

นายอติชาติ บุญเลี่ยม

นายอุดม ลิ่วลมไพศาล

ปริญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรวิศวกรรมศาสตร์บัณฑิต

สาขาวิศวกรรมการวัดคุมทางอุตสาหกรรม

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2535

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

032626

ภาควิชาเทคโนโลยีการวัดคุมทางอุตสาหกรรม
คณะวิศวกรรมศาสตร์
สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง
เรื่อง เครื่องจำลองรูปคลื่นสัญญาณไฟฟ้าหัวใจ
(ELECTROCARDIOGRAM SIMULATOR)

ผู้จัดทำ

นายอติชาติ บุญเลี่ยม ระหัส 321409
นายอุดม ลิ่วลมไพศาล ระหัส 331013

.....
(อาจารย์วิริยะ กองรัตน์)
อาจารย์ที่ปรึกษา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

032626

สารบัญ

บทคัดย่อ

ABSTRACT

บทที่ 1 บทนำ 1

1.1 ความเป็นมาของหัวข้อการวิจัย 1

1.2 วัตถุประสงค์ของงานวิจัย 1

1.3 ขอบเขตของวิทยานิพนธ์ 1

1.4 เนื้อหาของวิทยานิพนธ์ 1

บทที่ 2 คลื่นไฟฟ้าหัวใจและความผิดปกติของจังหวะการเต้นของหัวใจ 3

2.1 ปรากฏการณ์ไฟฟ้าของเซล 3

2.2 การทำงานของหัวใจ 7

2.3 ระบบนำไฟฟ้าของหัวใจ 9

2.4 คลื่นไฟฟ้าหัวใจ 11

2.5 การวิเคราะห์คลื่นไฟฟ้าหัวใจ 14

2.6 ความผิดปกติของจังหวะการเต้นของหัวใจ 15

บทที่ 3 การออกแบบและสร้างเครื่องจำลองรูปคลื่นไฟฟ้าหัวใจ 35

3.1 บทนำ 35

3.2 บล็อกไดอะแกรมของเครื่องจำลองรูปคลื่นไฟฟ้าหัวใจ 35

บทที่ 4 โปรแกรมการทำงานของเครื่องจำลองสัญญาณไฟฟ้าหัวใจ 48

4.1 ลำดับการทำงานของโปรแกรมบริการอินเทอรัพท์มาสเอเบิ้ล 49

4.2ลำดับขั้นการทำงานของโปรแกรมหลัก 54

บทที่ 5 ผลการทดลอง 75

บทที่ 6 สรุปผลการทดลอง 83

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เครื่องจำลองรูปคลื่นสัญญาณไฟฟ้าหัวใจ

นายอติชาติ บุญเลี่ยม 321409
นายอุดม ลิ่วลมไพศาล 331013
อาจารย์ที่ปรึกษา:
อ.วิริยะ กองรัตน์
ปีการศึกษา 2/2535

บทคัดย่อ

ในวงการแพทย์นั้นมีการนำรูปคลื่นไฟฟ้าที่ได้จากการวัดการเต้นของหัวใจมาใช้ในการประกอบการวินิจฉัยความผิดปกติในการทำงานของหัวใจได้ ซึ่งในปัจจุบันนี้เครื่องตรวจวัดคลื่นไฟฟ้าหัวใจ (ECG MONITOR) สามารถวินิจฉัยความผิดปกติของหัวใจได้แล้ว ซึ่งโครงงานนี้จะเกี่ยวกับการสร้างรูปคลื่นไฟฟ้าหัวใจรูปแบบต่าง ๆโดยใช้ CPU เป็นตัวควบคุม เพื่อใช้ในการตรวจสอบการทำงานของเครื่องตรวจวัดคลื่นไฟฟ้าหัวใจ ในส่วนของการวินิจฉัยโรคว่าทำงานได้ถูกต้องหรือไม่ และยังสามารถนำไปใช้เป็นเครื่องมือช่วยในการพัฒนาการสร้างเครื่องมือทางการแพทย์ที่เกี่ยวกับหัวใจได้อีกด้วย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ELECTROCARDIOGRAM SIMULATOR

Mr.Atichat Boonliam 321409

Mr.Udom Lewlompaisarn 331013

Advisor:

Mr.Virlya Kongratt

Semester 2/1992

Abstract

In medical science , the physicians use Electrocardiogram (ECG) to analyze Arrhythmias Cardiac. Now a days ECG Monitor can analyze Arrhythmias Cardiac. This project is about synthesizing various types of ECG , which is controlled by CPU. The signals from ECG simulator use in checking function of ECG Monitor. In the other ways , this project can be used for developing the invention of ECG instrument.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 1

บทนำ

(Introduction)

1.1 ความเป็นมาของหัวข้อการวิจัย

ปัจจุบันประเทศเราได้นำเข้าเทคโนโลยีและอุปกรณ์เครื่องมือต่างๆ จากต่างประเทศเป็นจำนวนมากเครื่องมือทางการแพทย์ก็เป็นส่วนหนึ่งที่มีความจำเป็นต้องสั่งซื้อเพื่อใช้ในการบำบัดรักษาผู้ป่วยตามโรงพยาบาลต่างๆ ภายในประเทศ ด้วยมูลค่าของเครื่องมือที่สูงมากทำให้ในปีหนึ่งๆ ประเทศชาติต้องสูญเสียเงินตราต่างประเทศเป็นจำนวนมาก ในการนำเข้าเครื่องมือต่างๆ เหล่านี้ ยิ่งไปกว่านั้นยังประสบปัญหาการซ่อมแซมบำรุงรักษาเครื่องมือเหล่านี้ให้คงสภาพการใช้งานอยู่ได้สมกับมูลค่าของเครื่องที่สูญเสียไป เนื่องจากการขาดแคลนบุคลากรที่มีความรู้ความชำนาญในสาขานี้ ด้วยเหตุผลดังกล่าวมานี้ การส่งเสริมให้มีการสร้างเทคโนโลยีและบุคลากรในสาขานี้ จึงเป็นหนทางในการแก้ปัญหาที่เกิดขึ้น

1.2 วัตถุประสงค์ของงานวิจัย

1.2.1 ศึกษาลักษณะความผิดปกติของจังหวะการเต้นของหัวใจ

1.2.2 ออกแบบและสร้างเครื่องแสดงความผิดปกติของจังหวะการเต้นของหัวใจ

1.3 ขอบเขตของการวิจัย

การวิจัยนี้เป็นการออกแบบ และสร้างเครื่องแสดงความผิดปกติของจังหวะการเต้นของหัวใจ โดยการทดลองได้สร้างวงจรจำลองรูปคลื่นไฟฟ้าหัวใจ (ECG Simulator) โดยใช้ไมโครโปรเซสเซอร์ เบอร์ Z84C11 เป็นตัวประมวลผล

1.4 เนื้อหาของการวิจัย

เพื่อความเข้าใจในเนื้อหาของการวิจัยได้ชัดเจนยิ่งขึ้น จึงได้แบ่งรายละเอียดเนื้อหาเป็นบทต่าง ๆ ซึ่งสามารถสรุปเนื้อหาได้ดังต่อไปนี้

บทที่ 2 เป็นการศึกษาปรากฏการณ์ไฟฟ้าและการนำไฟฟ้าของเซลซึ่งเป็นที่มาของสัญญาณไฟฟ้า ภายในร่างกายของมนุษย์ และนำไปถึงระบบนำไฟฟ้าของหัวใจ ซึ่งเป็นจุดกำเนิดของคลื่นไฟฟ้าหัวใจ ต่อมาจะกล่าวถึงลักษณะของคลื่นไฟฟ้าหัวใจปกติและสุดท้ายก็จะกล่าวถึงความผิดปกติของจังหวะการเต้นของหัวใจในลักษณะต่างๆ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 3 เป็นการออกแบบเครื่องจำลองรูปคลื่นไฟฟ้าหัวใจ ซึ่งจะกล่าวโดยสรุปถึงโครงสร้างการทำงานของเครื่องในส่วนฮาร์ดแวร์ ต่อมาก็จะกล่าวถึงรายละเอียดการทำงานของส่วนฮาร์ดแวร์ทั้งหมด ซึ่งประกอบด้วยวงจรที่ใช้ในการประมวลผลต่าง ๆ โดยแบ่งเป็นส่วน ๆ ได้ดังนี้ คือ วงจรในส่วนอนาล็อก วงจรในส่วนของไมโครคอมพิวเตอร์ และวงจรในส่วนการแสดงผล

บทที่ 4 กล่าวถึงการออกแบบ ในส่วนซอฟท์แวร์ของเครื่องแสดงความผิดปกติของจังหวะการเต้นของหัวใจ ซึ่งเป็นโปรแกรมควบคุมการทำงานทั้งหมด

บทที่ 5 กล่าวถึง ผลการทดสอบการทำงานของเครื่องจำลองรูปคลื่นไฟฟ้าหัวใจ โดยให้เครื่องกำเนิดสัญญาณไฟฟ้าหัวใจที่มีความผิดปกติของจังหวะการเต้นของหัวใจในลักษณะต่างๆ ออกมา

บทที่ 6 เป็นการสรุปผลการทดสอบและข้อเสนอแนะ เพื่อเป็นแนวทางในการวิจัยและพัฒนาระบบของเครื่องที่มีศักยภาพในรุ่นต่อ ๆ ไปรวมทั้งความสามารถในการประยุกต์ใช้งานร่วมกับเครื่องอื่นๆ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 2

คลื่นไฟฟ้าหัวใจและความผิดปกติของจังหวะการเต้นของหัวใจ

(Electrocardiogram and Arrhythmias)

ในบทนี้เป็นการศึกษาความเป็นมาของคลื่นไฟฟ้าหัวใจและความผิดปกติของจังหวะการเต้นของหัวใจ โดยในส่วนของคลื่นไฟฟ้าหัวใจจะกล่าวถึงการเกิดปรากฏการณ์ไฟฟ้าภายในเซล การทำงานของหัวใจ การนำไฟฟ้าภายในหัวใจและลักษณะของสัญญาณคลื่นไฟฟ้าหัวใจที่บันทึกได้ ตลอดจนแนวทางในการพิจารณาและวิเคราะห์คลื่นไฟฟ้าหัวใจ ส่วนของความผิดปกติของจังหวะการเต้นของหัวใจ เป็นการศึกษาลักษณะและรูปแบบของความผิดปกติของจังหวะการเต้นต่างๆ จากคลื่นไฟฟ้าหัวใจที่ได้ถูกบันทึกไว้เป็นตัวอย่างอยู่แล้ว

2.1 ปรากฏการณ์ไฟฟ้าของเซล

การทำงานของอวัยวะต่างๆ ในร่างกายของมนุษย์อยู่ภายใต้การควบคุมของระบบประ-สาท โดยคำสั่งจากระบบประสาทจะถูกส่งไปตามเส้นประสาทต่างๆ เข้าสู่เซลของกล้ามเนื้อหรือจากอวัยวะรับความรู้สึก ซึ่งถูกกระตุ้นจากภายนอกผ่านเส้นประสาทกลับเข้าสู่ระบบประสาท การส่งข้อมูลของคำสั่งจากระบบประสาทไปยังกล้ามเนื้อ หรือจากอวัยวะรับความรู้สึกกลับเข้าสู่ระบบประสาทนี้ เป็นการส่งในรูปของสัญญาณไฟฟ้าและเคมี โดยข้อมูลที่ส่งผ่านเซลจะเป็นการส่งผ่านด้วยไฟฟ้าและที่จุดต่อระหว่างเซลจะเป็นการส่งผ่านแบบเคมี สัญญาณไฟฟ้าในการส่งผ่านข้อมูลนี้ เกิดจากการเปลี่ยนแปลงศักดาไฟฟ้าภายในเซล ดังนั้นศักดาไฟฟ้าของสิ่งมีชีวิต (Bioelectric Potentials) จึงถือกำเนิดมาจากเซลหรืออาจกล่าวได้ว่า เซลเป็นเสมือนจุดกำเนิดของศักดาไฟฟ้าทั้งหมดภายในร่างกาย

การเกิดศักดาไฟฟ้าขึ้นภายในเซลเนื่องจากบริเวณรอบๆ เซลประกอบด้วยของเหลวซึ่งมีไอออนต่างๆ ปะปนอยู่ ไอออนที่มีบทบาทสำคัญต่อกลไกการเกิดศักดาไฟฟ้าภายในเซลก็คือ โซเดียมไอออน (Na+) โปตัสเซียมไอออน (K+) และคลอไรด์ไอออน (Cl-) โดยแต่ละเซลจะมีผนังเซลหรือเซลเมมเบรน (Cell Membrance) ซึ่งมีคุณสมบัติต่อไอออนเป็นแบบ Semipermeable คือ จะยอมให้อนุภาคหรือไอออนบางชนิดผ่านผนังเซลได้ ในขณะที่ไอออนอีกส่วนหนึ่งไม่สามารถผ่านไปได้ โดยปกติแล้วผนังเซลจะยอมให้เฉพาะโปตัสเซียมไอออนและคลอไรด์ไอออนผ่านไปได้ ส่วนโดยเดียมไอออนจะไม่สามารถผ่านผนังเซลได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เมื่อความเข้มข้นของไอออนที่รอยต่อของผนังเซลเกิดความลาดเอียง ของความเข้มข้น (Concentration gradient) คือ ไอออนบริเวณด้านใดด้านหนึ่งของผนังเซล มีความเข้มข้นมากกว่าอีกด้านหนึ่ง ก็จะมีการแพร่ของไอออนจากด้านที่มีความเข้มข้นมากกว่า ไปยังด้านที่มีความเข้มข้นน้อยกว่า เมื่อไอออนผ่านผนังเซลไปแล้ว ก็จะทำให้เกิดความไม่สมดุลย์ของประจุไฟฟ้า เป็นผลให้เกิดสนามไฟฟ้าด้านการแพร่ของไอออน ทำให้ไอออนเคลื่อนผ่านผนังเซลลดลง จนกระทั่งถึงสภาวะสมดุล (Equillibrium) เมื่อแรงต้านการเคลื่อนที่ของไอออน เนื่องจากสนามไฟฟ้าและแรงที่เกิดจากความแตกต่างของปริมาณความเข้มข้นของไอออนมีค่าเท่ากัน ก็จะทำให้ ไอออนหยุดการแพร่ผ่านผนังเซล

ในเซลของสัตว์เลี้ยงลูกด้วยนมนั้น ปริมาณความเข้มข้นของโปตัสเซียมไอออนภายในเซล จะมีค่ามากกว่าความเข้มข้นของไอออนภายนอกเซลอยู่ประมาณ 30 เท่า ไอออนและความเข้มข้นของโซเดียมไอออนภายนอกเซล จะมีค่ามากกว่าความเข้มข้นภายในเซลอยู่ประมาณ 10 เท่า เนื่องจากคุณสมบัติของผนังเซลที่ยอมให้โปตัสเซียมไอออนผ่านไปได้ จึงทำให้เกิดการแพร่ของโปตัสเซียมไอออนจากภายในออกสู่ภายนอกเซล ส่วนคลอไรด์ไอออนจะมีอัตราการแพร่น้อยกว่าโปตัสเซียมไอออน เนื่องจากแรงดึงดูดของประจุไฟฟ้าภายในเซลทำให้เกิดการสูญเสียประจุไฟฟ้าบวกขึ้นภายในเซล เป็นผลให้ศักดาไฟฟ้าภายในเซลมีค่าเป็นลบเมื่อเทียบกับภายนอกเซล เมื่อสภาวะสมดุลมาถึงความต่างศักย์ระหว่างภายในเซลกับภายนอกเซล มีค่า ระหว่าง -50 มิลลิโวลท์ ถึง -100 มิลลิโวลท์ โดยขึ้นอยู่กับชนิดของเซล ค่าของความต่างศักย์นี้ เรียกว่า ศักดาไฟฟ้าขณะอยู่นิ่ง (Resting Potential) ซึ่งศักดาไฟฟ้านี้จะมีค่าคงที่อยู่เสมอ ตราบที่เซลนั้นยังไม่ถูกกระตุ้น เซลที่อยู่ในสภาวะนี้เรียกว่าเซลอยู่ในสภาวะโพลาไรซ์(Polarized)และการสูญเสียสภาวะของศักดาไฟฟ้าขณะอยู่นิ่ง เรียกปรากฏการณ์นี้ว่า ดีโพลาไรเซชั่น (Depolarization) ที่สภาวะสมดุลย์นี้ ค่าของศักดาไฟฟ้าขณะอยู่นิ่งสามารถประมาณค่าได้ตามสมการาของเนิรสท์ (Nernst Equation) ซึ่งเป็นฟังก์ชันของความเข้มข้นของไอออน ในแต่ละด้านของเซลได้ดังนี้

$$E = (\frac{RT}{ZF}) \ln(\frac{C_0}{C_1})$$

โดยที่ E คือ ค่าความต่างศักย์ของเซล (หน่วยเป็นโวลท์)

R คือ ค่าคงที่ของก๊าซ (เท่ากับ 8.314 จูล/โมล-เคลวิน)

T คือ ค่าของอุณหภูมิสัมบูรณ์ (หน่วยเป็นองศาเคลวิน)

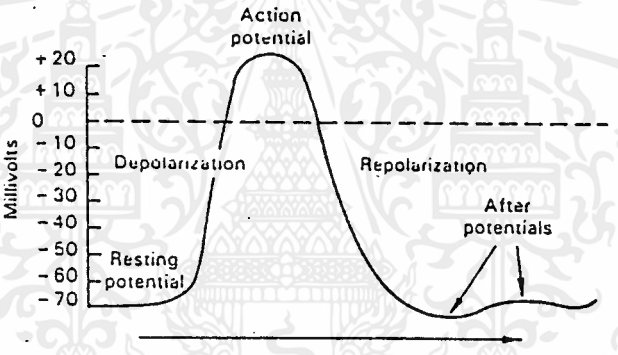
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Z คือ ค่าวาเลนซีของไอออน

F คือ ค่าคงที่ของฟาราเดย์ (เท่ากับ 1 ฟาราเดย์ หรือ 96,500 คูลอมบ์/โมล)

C_0 ,C_1 คือค่าความเข้มข้นของไอออนภายนอกและภายในเซล ตามลำดับ (หน่วย เป็นโมล)

เซลที่อยู่ในสภาวะโพลาไรซ์ สามารถถูกกระตุ้นด้วยสิ่งเร้าหลายประเภทขึ้นอยู่กับชนิดของเซลนั้น เช่น ความร้อน แสง และรูปแบบอื่นๆ ซึ่งการกระตุ้นของสิ่งเร้าอย่างน้อยต้องมีแรงกระตุ้นเพียงพอ ที่จะทำให้เกิดการเปลี่ยนแปลงศักดาไฟฟ้าภายในของเซล โดยไม่คำนึงถึงระยะเวลาของการกระตุ้นว่านานเพียงใด คุณสมบัติของเซลในลักษณะนี้ เป็นไปตามกฎการเกิดขึ้นหรือไม่เกิดขึ้น (All-or-Nothing Law) ค่าของแรงกระตุ้นน้อยที่สุด ที่ทำให้เกิดการเปลี่ยนแปลงภายในเซล เรียกว่า ค่าวิกฤตของการกระตุ้น (Threshold Value)

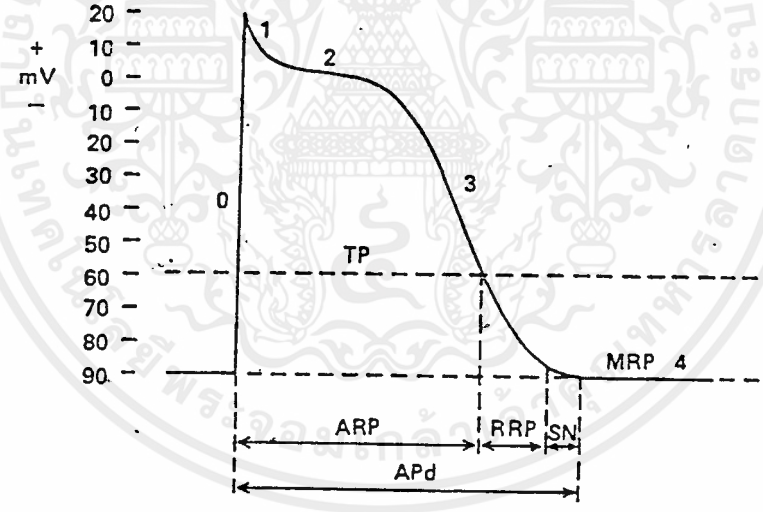


รูป 2.1 ศักดาไฟฟ้าทำงาน

เมื่อเซลถูกกระตุ้นคุณสมบัติของผนังเซลจะเปลี่ยนแปลงไปชั่วขณะ โดยจะยอมให้โซเดียมไอออนผ่านเข้าภายในเซลอย่างรวดเร็ว ทำให้ความต่างศักย์ระหว่างภายในเซลกับภายนอกเซลมีค่าเพิ่มขึ้นจนถึงประมาณบวก 20 มิลลิโวลท์ ศักดาไฟฟ้าขณะนี้เรียกว่าศักดาไฟฟ้าทำงาน (Action Potential) และจะกลับคืนสู่ศักดาไฟฟ้าขณะอยู่นิ่ง ดังรูป 2.1 ขณะที่เกิดศักดาไฟฟ้าทำงานนี้ เซลจะอยู่ในสภาพดีโพลาไรซ์ (Depolarized) และการเปลี่ยนแปลงของศักดาไฟฟ้าจากศักดาไฟฟ้าขณะอยู่นิ่ง ไปเป็นศักดาไฟฟ้าทำงาน เรียกว่า ดีโพลาไรเซชั่น (Depolarization) หลังจากนี้คุณสมบัติของผนังเซลจะกลับคืนสู่สภาพเดิม คือยอมให้โปตัส-เซียมไอออนผ่านผนังเซลไปได้ส่วนโซเดียมไอออนก็จะถูกขบวนการที่เรียกว่า โซเดียมปั๊ม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

(Sodium Pump) นำออกจากเซลอย่างช้าๆ ซึ่งขบวนการนี้จะใช้พลังงานจากการสันดาบของเซล (Metabolisem) เพื่อนำโซเดียมไอออนออกจากเซล ศักดาไฟฟ้าของเซลก็จะคืนสู่ศักดาไฟฟ้าขณะอยู่นิ่งตามเดิม ซึ่งเรียกปรากฏการณ์นี้ว่า รีโพลาไรเซชั่น (Repolarization) เซลก็จะกลับสู่สภาวะปกติ จนกว่าจะมีการกระตุ้นใหม่ ช่วงเวลาที่ศักดาไฟฟ้าของเซลเปลี่ยนจากศักดาไฟฟ้าขณะอยู่นิ่ง ไปเป็นศักดาไฟฟ้าทำงาน แล้วกลับมาสู่ศักดาไฟฟ้าขณะอยู่นิ่งตามเดิมนั้นจะมีระยะเวลาแตกต่างกันขึ้นอยู่กับชนิดของเซล ดังรูป 2.2 แสดงช่วงเวลาต่างๆ ของการเปลี่ยนแปลงศักดาไฟฟ้าของเซลกล้ามเนื้อหัวใจเมื่อถูกกระตุ้น โดยที่แนวแกนตั้งเป็นขนาดของศักดาไฟฟ้าและแนวแกนนอนเป็นเวลาตัวอักษรย่อต่างๆ ใช้อธิบายการเปลี่ยนแปลงของศักดาไฟฟ้าที่เกิดขึ้นดังนี้คือ 0 = Depolarization; 1,2,3 = Phases of Repolarization; 4 = Diastolic Phases = MRP; MRP = Membrane Resting Potential; DAP = Duration of Action Potential; TP= Threshold Potential; ARP = Absolute Refractory Period; RRP = Relative Refractory Period; SN = Supernormal Period.



รูป 2.2 ช่วงเวลาต่างๆ ของการเปลี่ยนแปลงศักดาไฟฟ้าของเซลกล้ามเนื้อหัวใจเมื่อถูกกระตุ้น

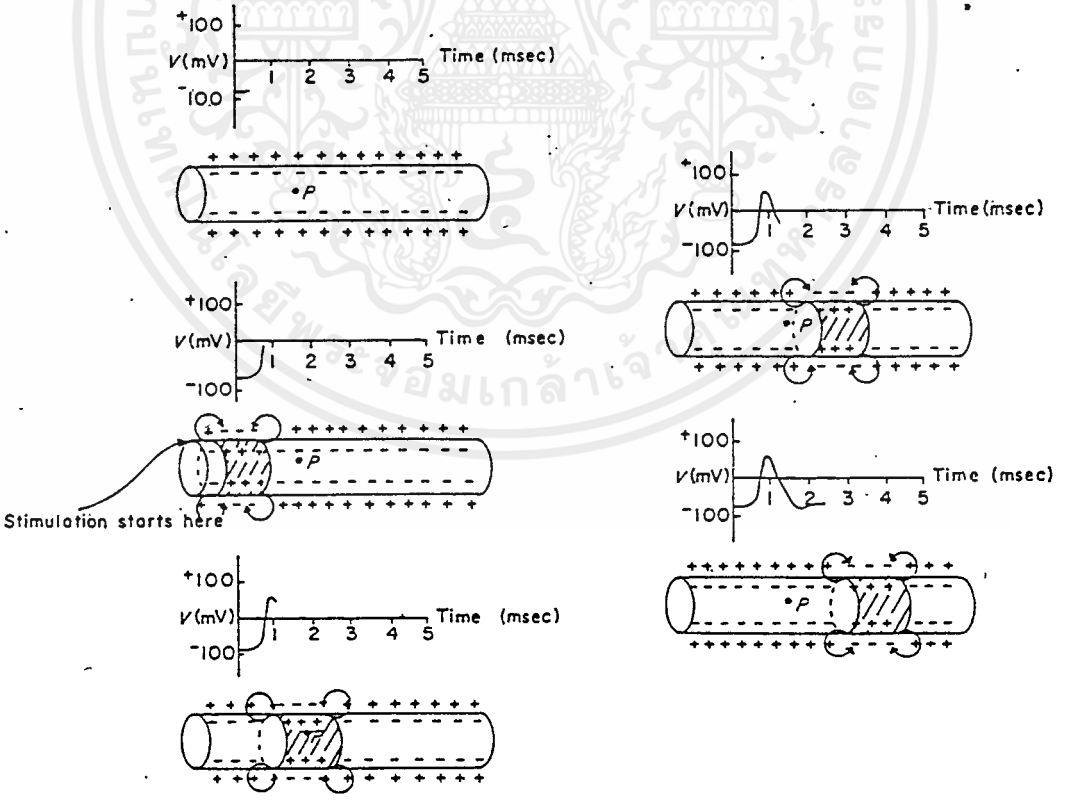
ศักดาไฟฟ้าทำงานของเซลที่ถูกกระตุ้น ทำให้เกิดความลาดเอียงของศักย์ไฟฟ้า (Potential gradient) เป็นผลให้เกิดกระแสไหลไปกระตุ้นเซลอื่นๆ ที่อยู่ใกล้เคียง ซึ่งถ้าการกระตุ้นเป็นไปตามกฎการเกิดขึ้นและไม่เกิดขึ้นของเซล ก็จะทำให้เกิดศักดาไฟฟ้าทำงานต่อกันไปเรื่อยๆ ลักษณะเช่นนี้เป็นการนำไฟฟ้าของศักดาไฟฟ้าทำงาน ดังรูป 2.3 ซึ่งแสดงการนำ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ไฟฟ้าภายในเซลประสาทและกราฟของศักดาไฟฟ้าที่จุด P ตามเวลาที่เกิดขึ้น ถ้าการนำไฟฟ้านี้เกิดขึ้นที่เซลประสาท ศักดาไฟฟ้าทำงานของเซลประสาทก็คือคำสั่งของระบบประสาทต่อเซลกล้ามเนื้อ ซึ่งศักดาไฟฟ้าทำงานนี้จะส่งจากเซลประสาทเซลหนึ่งไปยังเซลที่อยู่ถัดไปเรื่อยๆ ตามเส้นประสาท จนถึงเซลกล้ามเนื้อ ซึ่งจะทำให้เกิดการหดตัวของกล้ามเนื้อและเกิดศักดาไฟฟ้าทำงานขึ้นด้วย ในทางตรงข้าม เมื่อเซลของอวัยวะรับความรู้สึกถูกกระตุ้นจากพลังงานภายนอกจะเกิดศักดาไฟฟ้าทำงานขึ้น แล้วส่งผ่านเส้นประสาทกลับไปยังระบบประสาท

2.2 การทำงานของหัวใจ

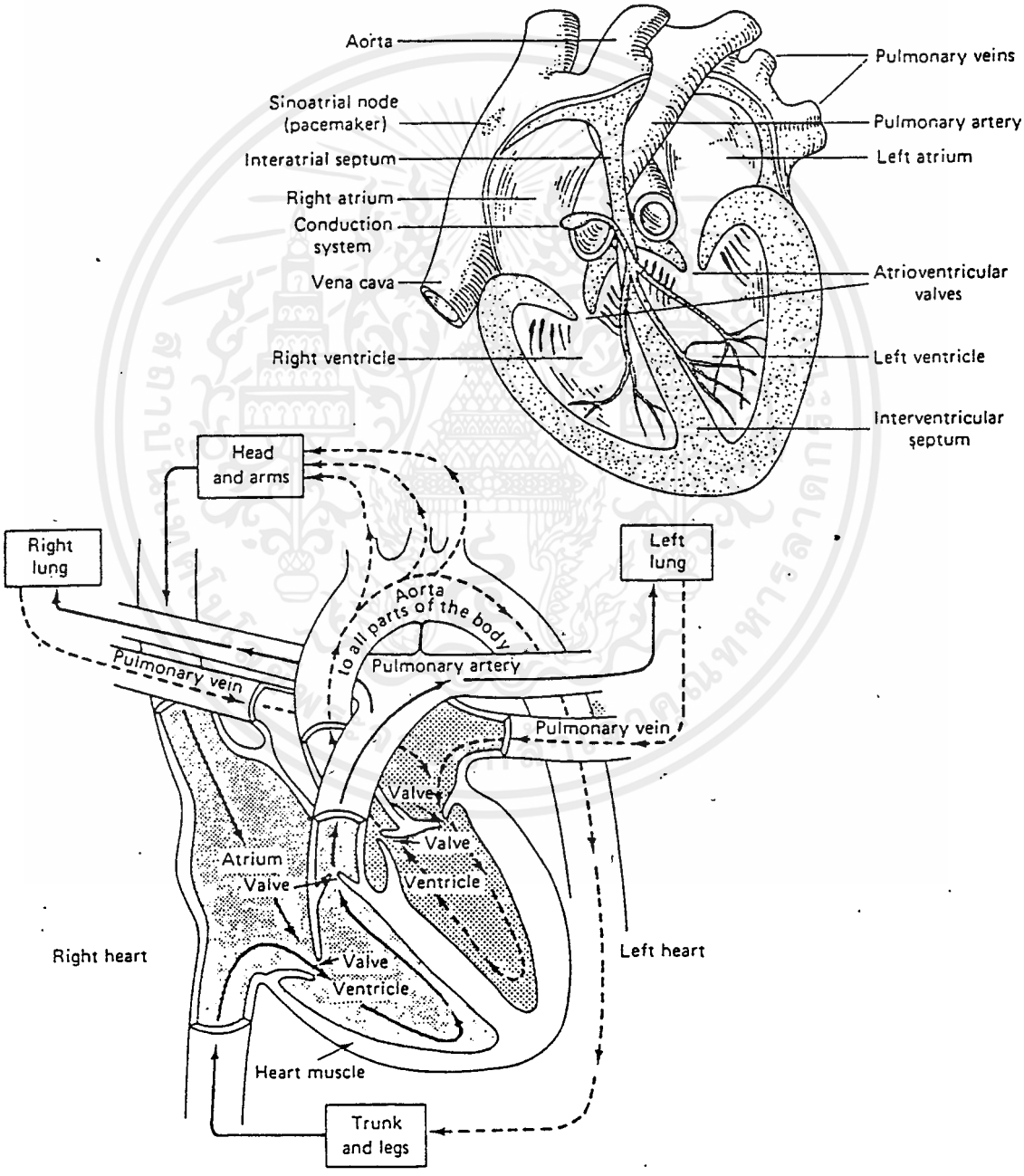
หัวใจทำหน้าที่เสมือนลูกสูบที่จะสูบจ่ายโลหิตไปเลี้ยงเซลต่างๆ ในร่างกายรวมทั้งเซลของกล้ามเนื้อหัวใจเอง หัวใจตั้งอยู่ในทรวงอกเหนือกระบังลมค่อนมาทางด้านซ้าย ภายในหัวใจแบ่งเป็น 4 ห้องมีผนังกั้นระหว่างซีกซ้ายและซีกขวา เรียกว่า เซบตั้ม (Septum) โดยห้องหัวใจที่อยู่ทางด้านขวาทำหน้าที่รับโลหิตดำจากส่วนต่างๆ ของร่างกาย การบีบตัวของกล้ามเนื้อหัวใจเพื่อส่งโลหิตออกไป จะกระทำพร้อมกันทั้งทางซีกขวาและซีกซ้าย ห้องหัวใจที่อยู่ด้านบน



รูป 2.3 การนำไฟฟ้าของศักดาไฟฟ้าทำงานภายในเซล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เรียกว่า หัวใจห้องบน (Atrium) และห้องหัวใจที่อยู่ด้านล่างเรียกว่า หัวใจห้องล่าง (Ventricle) โลหิตดำจากร่างกายจะไหลกลับเข้าสู่หัวใจทางหลอดโลหิตดำใหญ่ซุปพีเรียเวนาคาวา (Superior vena cava) และอินฟีเรียเวนาคาวา (Inferior vena cava) เข้าสู่ห้องหัวใจบนขวา โลหิตแดงที่ได้รับออกซิเจนจากปอดจะเข้าสู่หัวใจทางหลอดโลหิตแดงพัลโมนารีเวน (Pulmonary veins) เข้าสู่ห้องหัวใจบนซ้ายหัวใจห้องบนทั้งขวาและซ้ายจะบีบตัวส่งโลหิตไปยังหัวใจห้องล่างซึ่งมีลิ้นหัวใจกั้นอยู่ หลังจากที่หัวใจห้องบนหดตัวส่งโลหิตมายังหัวใจห้องล่าง ชั่วครู่ หัวใจห้องล่างจะหดตัวส่งโลหิตออกไปพร้อมกันทั้งซ้ายและขวา หัวใจห้องล่างขวาจะส่ง



รูป 2.4 แผนผังของหัวใจและระบบการสูบฉีดโลหิตของหัวใจ

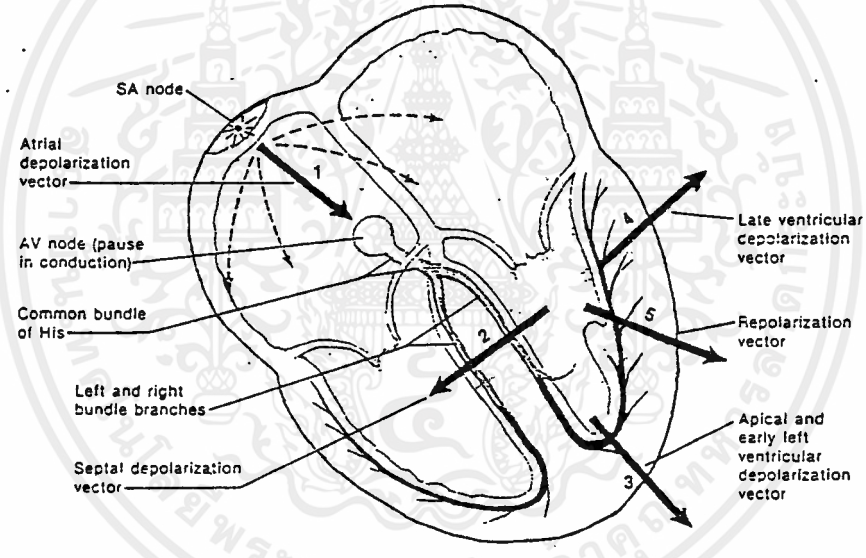
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตราประทับ

โลหิตดำไปยังปอดเพื่อรับออกซิเจน โดยผ่านทางหลอดโลหิตดำใหญ่พัลโมนารีอาเตอรี (Pulmonary Artery) และห้องล่างซ้ายจะส่งโลหิตไปเลี้ยงร่างกาย โดยผ่านหลอดโลหิตแดงใหญ่เออออร์ตาร์ (Aorta) ซึ่งการทำงานทั้งหมดที่ได้กล่าวมานี้แสดงในรูป 2.4

2.3 ระบบนำไฟฟ้าของหัวใจ

การทำงานของกล้ามเนื้อหัวใจก็จะเป็นไปในลักษณะเดียวกันกับกล้ามเนื้ออื่นๆ คือ จะถูกกระตุ้นด้วยศักดาไฟฟ้าทำงาน แต่การกระตุ้นนี้มิได้มาจากระบบประสาทส่วนกลาง หรือสมอง เป็นการกระตุ้นต่อเซลกล้ามเนื้อหัวใจที่เกิดขึ้นจากกายในตัวหัวใจเอง โดยประกอบด้วยกลุ่มเซลกลุ่มหนึ่งที่ทำหน้าที่ผลิตพัลส์ทำหน้าที่คล้ายกับเส้นประสาท โดยระบบนำไฟฟ้านี้จะนำพัลส์ไฟฟ้าไปกระตุ้นต่อเซลกล้ามเนื้อหัวใจ ดังรูป 2.5

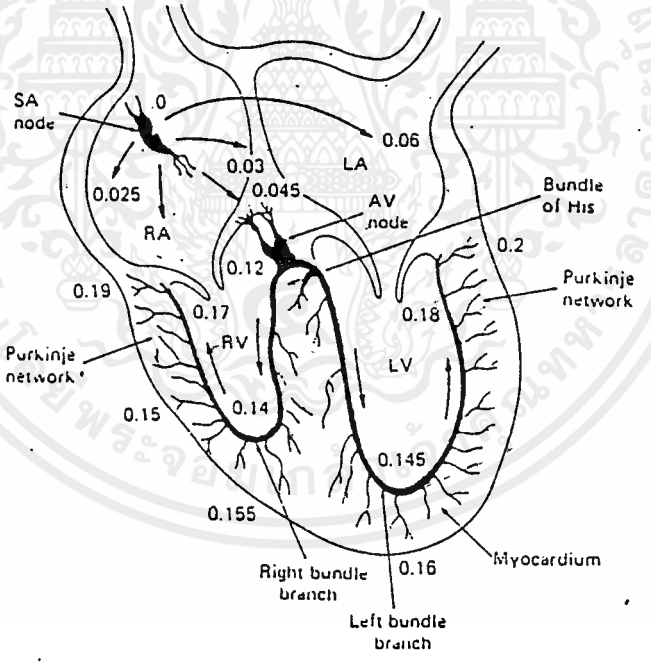


รูป 2.5 การนำไฟฟ้าภายในหัวใจ

บริเวณผนังด้านในของหัวใจระหว่างหลอดโลหิตใหญ่ซุปพีเรียเวนาคาวาและอินฟีเรียเวนาคาวาจะมีเซลอยู่กลุ่มหนึ่งที่มีคุณสมบัติพิเศษ เซลกลุ่มนี้จะสร้างพัลส์ไฟฟ้าเพื่อกระตุ้นเซลกล้ามเนื้อหัวใจ ซึ่งเซลกลุ่มนี้ เรียกว่า SA node (Sinoatrial node) หรือไซนัสโหนด (Sinus node) หรือเพสเมคเกอร์ (Pacemaker) โดยความถี่ของพัลส์ที่ SA node สร้างขึ้นจะมีอิทธิพลในการกำหนดอัตราการเต้นของหัวใจ ซึ่งโดยปกติแล้วค่าของอัตราการเต้นของหัวใจจะเท่ากับความถี่ของพัลส์ที่ SA node นี้ปล่อยออกมา พัลส์ไฟฟ้านี้จะแผ่กระจายจาก SA node ผ่านหัวใจ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้
032626

ห้องบนทั้งซ้ายและขวาไปสู่ AV node (Atrioventricular node) โดยที่ AV node นี้จะอยู่ที่ผนังกั้นหัวใจทางด้านขวาระหว่างห้องบนขวาและห้องล่างขวา พัลส์ไฟฟ้าที่ผ่านหัวใจห้องบนจะทำให้หัวใจห้องบนหดตัวบีบโลหิตลงมายังห้องล่างเส้นทางนำไฟฟ้าจาก SA node ไปสู่ AV node ดังรูป 2.5 ที่ AV node นี้ประกอบด้วยเซลประสาทที่ทำหน้าที่หน่วงเวลาประมาณ 70 ms เพื่อให้การทำงานของหัวใจห้องบนและห้องล่างสัมพันธ์กันจาก AV node จะมีระบบนำไฟฟ้าในการนำพัลส์ไฟฟ้าไปสู่กล้ามเนื้อหัวใจในส่วนของบันเดิ้ลออฟฮิส (Bundle of His) ซึ่งจะแยกออกเป็น 3 เส้นทาง โดยจะไปสู่ห้องล่างซ้ายสองสาขาและห้องล่างขวาอีกหนึ่งสาขา แต่ละสาขาก็จะนำพัลส์ไฟฟ้าไปกระตุ้นเซลกล้ามเนื้อหัวใจห้องล่าง โดยผ่านกล้ามเนื้อหัวใจในส่วนของเพอรุกิจเจไฟเบอร์ (Purkinje fibers) รูป 2.6 แสดงให้เห็นถึงช่วงเวลาที่ใช้ในการส่งพัลส์ไฟฟ้าขึ้นมาเช่นเดียวกับที่ SA node ไปยังส่วนต่างๆ ของหัวใจ ซึ่งที่ AV node นี้มีการผลิตพัลส์ไฟฟ้าขึ้นมาเช่นเดียวกับที่ SA node แต่สำหรับคนปกติแล้วความถี่ของพัลส์ไฟฟ้าที่ AV node ผลิตขึ้นจะมีอัตราต่ำกว่าของ SA node



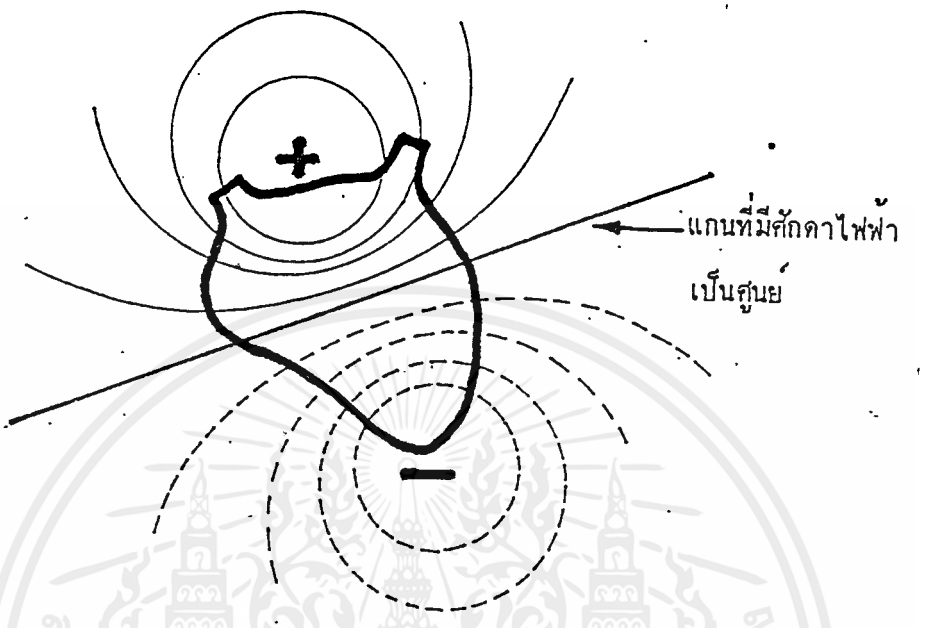
รูป 2.6 ช่วงเวลาที่ใช้ในการส่งพัลส์ไฟฟ้าจาก SA node ไปยังส่วนต่างๆ ของหัวใจ

AV node จะถูกกระตุ้นด้วยพัลส์จาก SA node ทำให้อัตราการเต้นของหัวใจมีค่าเท่ากับความถี่ของ SA node แต่ถ้าเส้นทางนำไฟฟ้าจาก SA node ไปสู่ AV node ผิดปกติหรือถูกสกัดกั้น (AV Block) หัวใจก็จะเต้นด้วยพัลส์ที่ AV node สร้างขึ้น ซึ่งจะมีค่าประมาณ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

40-55 ครั้งต่อนาที

2.4 คลื่นไฟฟ้าหัวใจ (Electrocardiogram : ECG)



รูป 2.7 การกระจายของศักดาไฟฟ้าบนผิวหนังมีลักษณะเสมือนเป็นอิเล็กตริดไดโพล

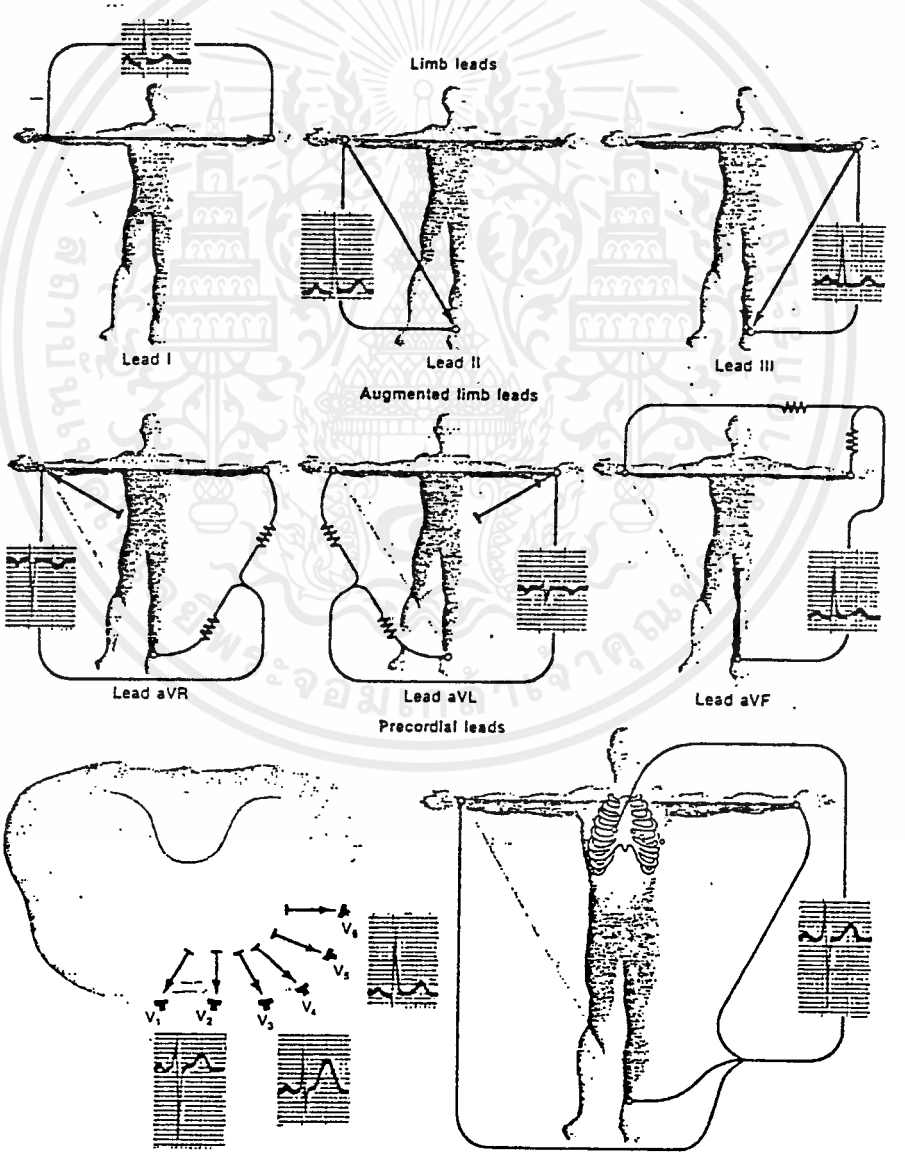
จากที่ได้กล่าวมาแล้วในหัวข้อที่ผ่านมา การทำงานของกล้ามเนื้อเกิดจากการที่มีพัลส์ไฟฟ้า มากระตุ้นทำให้กล้ามเนื้อเกิดการหดตัวและเกิดศักดาไฟฟ้าทำงานขึ้นด้วย ซึ่งกล้ามเนื้อหัวใจ ก็เป็นเช่นเดียวกันการเคลื่อนที่ของไอออนภายในเซลกล้ามเนื้อ ทำให้เกิดศักดาไฟฟ้าทำงานและทำให้หัวใจเต้น การเคลื่อนที่ของไอออนภายในเซลกล้ามเนื้อหัวใจ จะรวมตัวเป็นการไหลของกระแสไฟฟ้า และเป็นผลทำให้เกิดความต่างศักดาไฟฟ้าภายนอกเนื้อเยื่อและที่บริเวณผิวหนังของร่างกาย การไหลของกระแสจะเกิดขึ้นเฉพาะเวลาที่เกิดการกระจายของศักดาไฟฟ้าทำงานเท่านั้น ดังนั้นเราอาจจะพิจารณาได้ว่าหัวใจเป็นเสมือนแหล่งกำเนิดไฟฟ้าซึ่งบรรจุอยู่ภายในก้อนตัวนำร่างกาย ศักดาไฟฟ้าที่เกิดขึ้นจะมีการกระจายออกจากขั้วบวกและขั้วลบไปตามส่วนต่างๆ ของร่างกาย เหมือนกับเป็นอิเล็คตริดไดโพล (Electric dipole) ดังแสดงในรูป 2.7 และสามารถวัดศักดาไฟฟ้าตกคร่อมระหว่างจุดใด ๆ ที่อยู่บนผิวหนังของร่างกายได้ ซึ่งศักดาไฟฟ้าที่วัดได้นี้เรียกว่า สัญญาณคลื่นไฟฟ้าหัวใจ (Electrocardiogram) เรียกย่อๆ ว่า ECG โดยคลื่นไฟฟ้าหัวใจที่วัดได้ระหว่างจุดต่างๆ จะไม่เหมือนกัน ขึ้นอยู่กับมุมและระยะทางของตำแหน่งที่วัดกระทำต่อแกนหัวใจ (Heart axis) ดังรูป 2.8 สัญญาณ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

คลื่นไฟฟ้าหัวใจที่วัดได้จากคนปกติจะเป็นดังในรูป 2.9 แต่ละช่วงของสัญญาณจะมีชื่อเรียกแทนด้วยตัวอักษร P,Q,R,S,T,U ซึ่งจะมีความสัมพันธ์กับการทำงานของหัวใจในช่วงต่างๆ ภายในหนึ่งรอบของการเต้นของหัวใจ แต่ละช่วงของสัญญาณจะมีความหมายดังต่อไปนี้

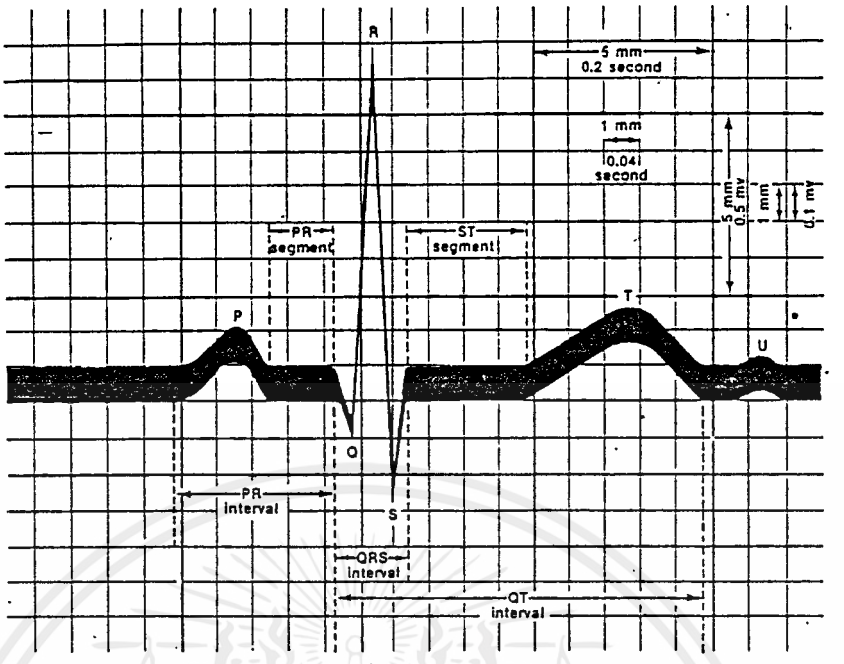
- สัญญาณ P เกิดจากการทำงานของหัวใจห้องบน จะมีคาบเวลาประมาณ 80-120 ms
- สัญญาณรวม QRS เกิดจากการทำงานของหัวใจห้องล่าง จะมีคาบเวลาประมาณ 80-100 ms และสัญญาณ R จะมีขนาดสูงที่สุด เนื่องจากหัวใจห้องล่างจะต้องบีบโลหิตส่งไปยังทุกส่วนของร่างกายผ่านผนังของหัวใจห้องล่างจึงมีความหนามากกว่าส่วนอื่นๆ

โดยการนำขั้วไฟฟ้าไปติดที่แขนขวาและแขนซ้ายหรือที่เรียกว่าลีด I (Lead I) การที่สัญญาณ R มีขนาดสูงเป็นเพราะผลรวมของศักดาไฟฟ้าทำงานของเซลเป็นจำนวนมาก



รูป 2.8 แสดงตำแหน่งการวัดคลื่นไฟฟ้าหัวใจทั้ง 12 ลีดมาตราฐาน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูป 2.9 องค์ประกอบต่างๆ ของคลื่นไฟฟ้าหัวใจ (ลีด I)

- สัญญาณ T เกิดจากการคลายตัวของกล้ามเนื้อห้องล่าง มีคาบเวลาประมาณ 200 ms และมีขนาดประมาณ 30% ของสัญญาณ R

- สัญญาณ U ยังไม่ทราบสาเหตุแน่นอน แต่สันนิษฐานกันว่าเกิดจากการกลับคืนสู่ระดับศักดาไฟฟ้าขณะอยู่นิ่งอย่างช้าๆ ของเซลกล้ามเนื้อหัวใจห้องล่างหรือที่เรียกว่า ศักดาไฟฟ้าตามหลัง (After potential)

ช่วงเวลาต่าง ๆ ของคลื่นไฟฟ้าหัวใจ	ช่วงเวลาปกติ (วินาที)	
	ค่าเฉลี่ย	ช่วงเวลา
ช่วงเวลาของ PR*	0.18	0.12 – 0.20
ช่วงเวลาของ QRS	0.08	ถึง 0.10
ช่วงเวลาของ QT	0.40	ถึง 0.43
ช่วงเวลาของ ST (คือ QT – QRS)	0.32	------

<u>หมายเหตุ</u> * ช่วงเวลาของ PR วัดได้จากเวลาของสัญญาณ P ถึงเวลาเริ่มของสัญญาณรวม QRS

ตาราง 2.1 ช่วงเวลาต่างๆ ของคลื่นไฟฟ้าหัวใจ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เวลาในแต่ละช่วงของคลื่นไฟฟ้าหัวใจ แสดงถึงการส่งสัญญาณไฟฟ้าไปยังเนื้อเยื่อของกล้ามเนื้อหัวใจที่จุดต่างๆ ซึ่งเวลาในแต่ละช่วงของสัญยาณปกติสรุปไว้ในตาราง 2.1

2.5 การวิเคราะห์คลื่นไฟฟ้าหัวใจ

คลื่นไฟฟ้าหัวใจเป็นการบันทึกสภาพการทำงานของหัวใจที่วัดได้บนผิวหนังของร่างกายด้วยเครื่องวัดและแสดงสัญญาณไฟฟ้าหัวใจ (Electrocardiograph) จึงถือได้ว่าคลื่นไฟฟ้าหัวใจเป็นพารามิเตอร์ของร่างกาย (Physiological parameter) ที่นำมาใช้ประโยชน์ในการวินิจฉัยอาการ ความผิดปกติและประเมินสภาวะของหัวใจได้เป็นอย่างดี การวิเคราะห์และแปลผลคลื่นไฟฟ้าหัวใจที่บันทึกได้จึงเป็นข้อมูลที่สำคัญในการประกอบการรักษาโรคต่างๆ ของผู้ป่วย โดยเฉพาะโรคที่เกี่ยวกับหัวใจและหลอดเลือด การวิเคราะห์คลื่นไฟฟ้าหัวใจจะทำการบันทึกคลื่นไฟฟ้าหัวใจลงบนกระดาษกราฟ ซึ่งมีแกนนอนเป็นฐานเวลา (หน่วยเป็นวินาที) ส่วนแกนตั้งเป็นความสูงของคลื่น (หน่วยเป็นมิลลิโวลท์) แล้วอาศัยแพทย์หรือผู้เชี่ยวชาญในการแปลผลมาทำการอ่านและวัดพารามิเตอร์ต่างๆ เช่น รูปคลื่นความสูงของคลื่น ระยะเวลาในช่วงต่างๆ ระดับของเส้นฐาน เป็นต้น แล้วทำการสรุปรวบรวมวิเคราะห์ และคาดคะเนว่าผู้ป่วยมีสภาวะของหัวใจเป็นเช่นใด โดยอาจทำการวิเคราะห์ทั้ง 12 ลีด มาตราฐาน หรือเพียงลีดใดลีดหนึ่งขึ้นอยู่กับความสามารถและความชำนาญในการวิเคราะห์ผลของผู้เชี่ยวชาญนั้น ข้อจำกัดของวิธีการแบบนี้ อยู่ที่เวลาที่ใช้ในการวิเคราะห์ผล เนื่องจากภาระกิจประจำของแพทย์หรือผู้เชี่ยวชาญ ทำให้การทราบผลที่วิเคราะห์ไม่ทันต่อการดูแลรักษาผู้ป่วย ดังนั้นในปัจจุบัน ด้วยความเจริญก้าวหน้าทางเทคโนโลยี่ ทำให้สามารถนำคอมพิวเตอร์เข้ามาช่วยในการวิเคราะห์คลื่นไฟฟ้าหัวใจแทนคน โดยการแปลงสัญญาณไฟฟ้าหัวใจ ให้อยู่ในรูปของข้อมูลดิจิตอลแล้วส่งต่อไปยังคอมพิวเตอร์ ซึ่งมีโปรแกรมที่ทำหน้าที่วิเคราะห์ข้อมูลดิจิตอลของสัญญาณไฟฟ้าหัวใจที่เข้ามา เพื่อทำการแปลผลและรายการผลให้ทราบ ซึ่งวิธีนี้เป็นการแก้ปัญหาบางส่วนของวิธีการวิเคราะห์ในแบบเดิมได้ เช่น กรณีไม่มีแพทย์หรือผู้เชี่ยวชาญมีภาระกิจที่ไม่สามารถทำการวิเคราะห์ผลได้ ทั้งยังให้ผลลัพธ์ที่รวดเร็ว แม่นยำและถูกต้อง ทันต่อการรักษาอาการของผู้ป่วย ดังนั้นคอมพิวเตอร์จึงมีบทบาทสำคัญที่เข้ามาช่วยลดภาระของบุคลากรหรือทดแทนการขาดบุคลากร โดยที่ผลการวิเคราะห์ยังคงความเชื่อถือได้อยู่ การวิเคราะห์คลื่นไฟฟ้าหัวใจสามารถพิจารณาได้ 5 หัวข้อ [1][2] คือ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.5.1 อัตราการเต้นของหัวใจ (Rate)

2.5.2 จังหวะการเต้นของหัวใจ (Rhythm)

2.5.3 แนวแกนของหัวใจ (Axis)

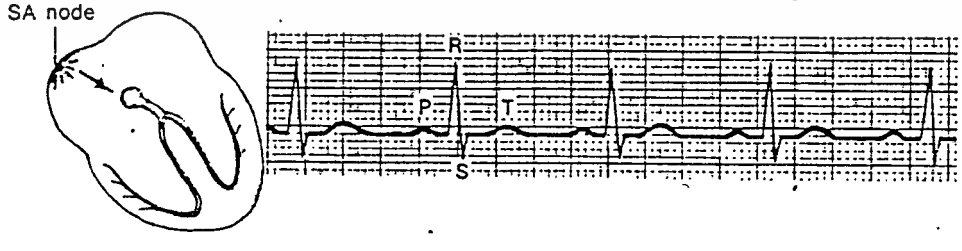
2.5.4 กล้ามเนื้อของหัวใจพองโต (Hypertrophy)

2.5.5 กล้ามเนื้อหัวใจตาย (Infarction)

การวิเคราะห์ทั้ง 5 หัวข้อนี้เป็นการพิจารณาความผิดปกติที่เกิดขึ้นกับหัวใจ โดยสามารถสังเกตุได้จากคลื่นไฟฟ้าหัวใจ โดยแต่ละหัวข้อจะมีวิธีการสังเกตุที่แตกต่างกันไป ซึ่งสามารถศึกษาวิธีการต่างๆ นี้จากเอกสารอ้างอิง [1][3]

2.6 ความผิดปกติของจังหวะการเต้นของหัวใจ (Arrhythmia)

จังหวะการเต้น (Rhythm) เป็นคุณสมบัติสำคัญอย่างหนึ่งของหัวใจที่แสดงถึงความสามารถในการทำงานของหัวใจอย่างสม่ำเสมอตลอดเวลา ซึ่งคุณสมบัตินี้เองจะเป็นสิ่งที่แสดงความเป็นปกติของหัวใจโดยจะสามารถทราบได้จากการบันทึกสัญญาณไฟฟ้าหัวใจ (หรือคลื่นไฟฟ้าหัวใจนั่นเอง) จังหวะการเต้นของหัวใจปกติเป็นไปอย่างสม่ำเสมอแน่นอนตามความถี่ของ SA node ที่กระตุ้นเซลของหัวใจ เพราะว่าทุกๆ ส่วนของกล้ามเนื้อหัวใจและระบบนำไฟฟ้าทำงานอย่างเป็นปกติ ดังรูป 2.10 แต่เมื่อบางส่วนของหัวใจเกิดการกระตุ้นที่ผิดปกติขึ้นในบางสถานการณ์ ก็จะทำให้จังหวะการเต้นผิดแปลกไปจากจังหวะปกติ ซึ่งผลของความผิดปกตินี้ ก็จะสะท้อนออกมาทางคลื่นไฟฟ้าหัวใจให้เห็นได้ ความผิดปกติของจังหวะการเต้นมีศัพท์ทางการแพทย์ เรียกกันว่า "Arrhythmia" โดยความหมายของศัพท์คำนี้ แปลว่าไม่มีจังหวะ แต่ที่ใช้กันอยู่นี้ หมายถึง ความผิดปกติของจังหวะ (abnormal rhythm) ซึ่งมีศัพท์ที่มีความหมายในทำนองเดียวกันนี้ที่พบบ่อย ๆ เช่น rhythm disturbance และ dysrhythmia



รูป 2.10 สัญญาณไฟฟ้าหัวใจที่มีลักษณะรูปร่างและจังหวะการเต้นเป็นปกติ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ความผิดปกติของจังหวะการเต้นของหัวใจอาจจะแบ่งเป็น 4 กลุ่มใหญ่ ๆ ทำให้สามารถจำแนกลักษณะอาการและเข้าใจกลไกของความผิดปกติที่เกิดขึ้นได้ง่ายและรวดเร็วขึ้น ดังต่อไปนี้

2.6.1 Varying Ryhthm เป็นลักษณะความผิดปกติของจังหวะการเต้นของหัวใจกลุ่มหนึ่ง ซึ่งมีลำดับของสัญญาณ คือ P-QRS-T เป็นปกติธรรมดา แต่จังหวะการเต้น (คือช่วงเวลาระหว่างสัญญาณ P-QRS-T ในแต่ละรอบ) นั้นเกิดการเปลี่ยนแปลงอย่างต่อเนื่องไม่สม่ำเสมอ ลักษณะอาการที่จัดอยู่ในกลุ่มดังกล่าวนี้ ได้แก่

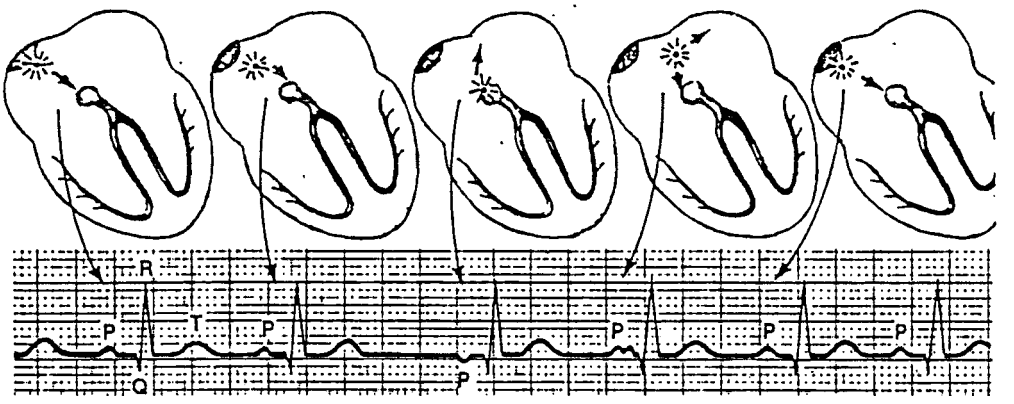
2.6.1.1 Sinus Arrhythmia เป็นลักษณะความผิดปกติของจังหวะการเต้นที่จัดอยู่ในกลุ่มของ Vary Rhythm ซึ่งบ่อยครั้งที่สาเหตุมาจากโรคหัวใจ Sick Sa Node disease ลักษณะความผิดปกติของคลื่นไฟฟ้าหัวใจในประเภทนี้ จะมีข้อสังเกตุได้ คือสัญญาณ P-QRS-

รูปที่ 2.11 Sinus Arrhythmia

T มีลักษณะเป็นปกติทั้งขนาดและรูปร่าง แต่ช่วงเวลาระหว่างแต่ละรอบของสัญญาณเหล่านี้จะไม่สม่ำเสมอ ซึ่งเป็นลักษณะที่ผิดปกติไปจากธรรมดา ดังรูป 2.11 เนื่องจากการกระตุ้น (pacemaker) ทุกครั้งจะเกิดขึ้นที่บริเวณ SA node (สังเกตุได้จากสัญญาณ P) แต่การกระตุ้นที่เกิดขึ้นจะไม่สม่ำเสมอ ทำให้สัญญาณที่ส่งออกไปกระตุ้นเซลอื่นคลาดเคลื่อนจากช่วงเวลาปกติ เป็นผลให้จังหวะการเต้นของหัวใจไม่สม่ำเสมอเหมือนปกติ

2.6.2 Wandering Pacemaker เป็นลักษณะความผิดปกติของจังหวะการเต้นประเภทหนึ่ง ในกลุ่มของ Vary Rhythm ที่มีสาเหตุมาจากการเปลี่ยนตำแหน่งของการกระตุ้นภายในหัวใจ ซึ่งสามารถสังเกตุได้จากการเปลี่ยนแปลงรูปร่างของสัญญาณ P การเปลี่ยนตำแหน่งของการกระตุ้นนี้ส่งผลให้ผลรวมของจังหวะการเต้นของหัวใจผิดปกติไป ดังรูป 2.12 เนื่องจากตำแหน่งของการกระตุ้นเปลี่ยนจากจุดหนึ่งไปยังอีกจุดหนึ่งในบริเวณหัวใจห้องบน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



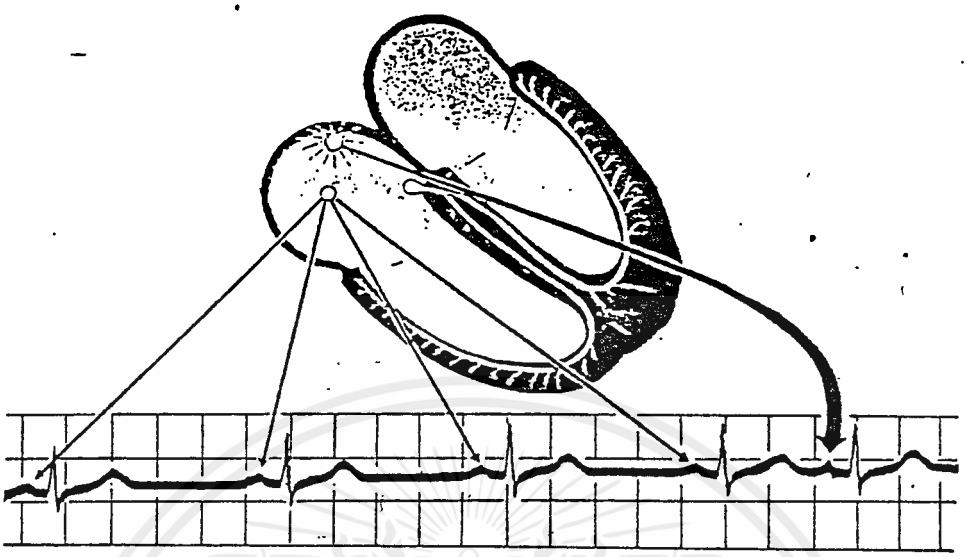
รูป 2.12 Wandering Pacemaker

2.6.2 Extra Beats and Skips เป็นลักษณะความผิดปกติของจังหวะการเต้นของหัวใจกลุ่มหนึ่งที่สามารถจำแนกลักษณะความผิดปกตินั้นด้วยสายตาได้โดยง่าย ศัพท์คำว่า "Extra Beats" หมายถึง สัญญาณไฟฟ้าหัวใจที่เกิดขึ้นก่อนกำหนดที่คาดไว้ ส่วนศัพท์คำว่า "Skips" หมายถึงสัญญาณไฟฟ้าหัวใจที่ขาดหายไปจากเวลาที่คาดว่าจะพบสัญญาณนี้ ทำให้เกิดพื้นที่ของ baseline ที่ว่างไว้ การจำแนกความผิดปกติในลักษณะนี้ สามารถสังเกตุความแตกต่าง ระหว่างสัญญาณไฟฟ้าหัวใจปกติและผิดปกติได้จากสัญญาณรวม QRS และช่วงเวลาระหว่างสัญญาณไฟฟ้าหัวใจลูกหนึ่งไปอีกลูกหนึ่ง (pause)

2.6.2.1 Premature Beats เป็นผลเนื่องจากการเกิดสัญญาณกระตุ้นก่อนที่จะถึงรอบการทำงานของหัวใจ ทำให้เกิดสัญญาณไฟฟ้าหัวใจปรากฏขึ้นก่อนเวลาปกติ ในแต่ละรอบการทำงานดังรูป 2.13 ซึ่งความผิดปกติในลักษณะนี้ สัญญาณไฟฟ้าหัวใจอาจดูเหมือนสัญญาณปกติหรือมีรูปแบบที่ผิดแปลกแตกต่างออกไป แต่สัญญาณที่ผิดปกตินี้จะเกิดก่อนเวลาในแต่ละรอบการทำงานของหัวใจ โดยความผิดปกติในลักษณะนี้สามารถจำแนกย่อยตามบริเวณที่เกิดการกระตุ้นได้ ดังนี้

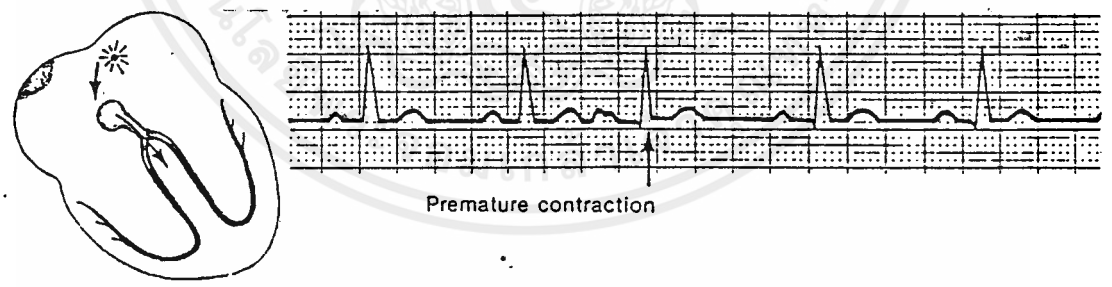
- Atrial Premature เป็นลักษณะความผิดปกติของจังหวะการเต้นของหัวใจที่เกิดขึ้นบริเวณหัวใจห้องบน เนื่องจากเกิดการกระตุ้นก่อนกำหนดในบริเวณนี้ ทำให้เกิดสัญญาณ P ก่อนเวลา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูป 2.13 สัญญาณไฟฟ้าหัวใจที่มี premature beat เกิดขึ้น

ปกติและสัญญาณ P นี้จะมีรูปร่างผิดแปลกไปไม่เหมือนสัญญาณ P ที่วัดได้ด้วยลีดเดียวกัน เนื่องจากสัญญาณกระตุ้นไม่ได้เกิดจาบริเวณ SA node แต่ก็จะเกิดการนำไฟฟ้าภายในหัวใจเช่นเดียว กับการกระตุ้นที่บริเวณ SA node ปกติ ดังรูป 2.14

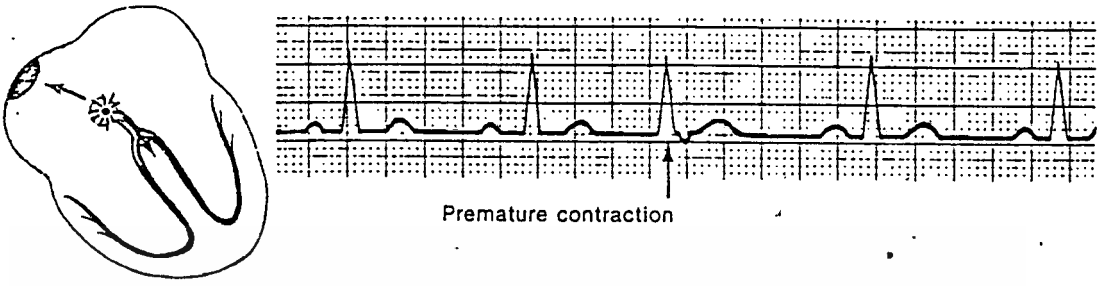


รูป 2.14 Atrial Premature Contractions

- AV Nodal Premature เป็นลักษณะความผิดปกติของจังหวะการเต้น เนื่องจากเกิดการกระตุ้นที่ผิดปกติบริเวณ AV node ก่อนที่จะเริ่มรอบการทำงานของหัวใจ ลักษณะเช่นนี้ทำให้เกิดสัญญาณรวม QRS ขึ้นก่อน โดยไม่มีสัญญาณ P ปรากฏขึ้นก่อนหรืออาจจะเกิดหลังจากสัญญาณรวม QRS เนื่องจากเกิดการกระตุ้นย้อนกลับไปยังบริเวณหัวใจห้องบนได้ ดังรูป 2.15

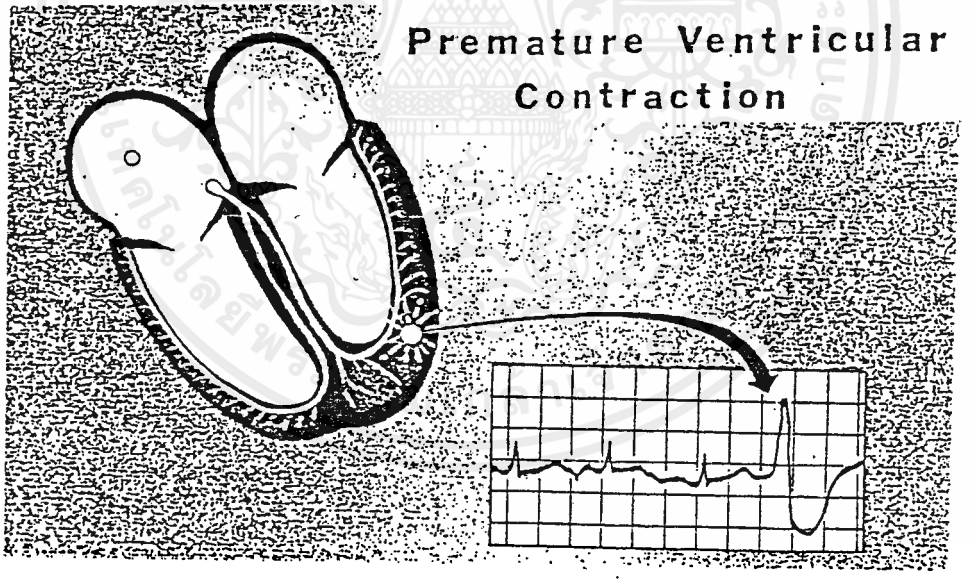
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- Premature Ventricular Contractions (ใช้ชื่อย่อว่า PVCs หรือ PVC) เป็นลักษณะความผิดปกติของจังหวะการเต้น เนื่องจากเกิดการกระตุ้นที่ผิดปกติบริเวณหนึ่งบริเวณใด



รูป 2.15 AV Nodal Premature Contractions

ของหัวใจห้องล่าง ซึ่งลักษณะการเกิดสัญญาณผิดปกติก็จะเกิดก่อนกำหนดของรอบการทำงานของหัวใจที่คาดไว้ โดยจะสังเกตุจากคลื่นไฟฟ้าหัวใจได้โดยง่ายที่บริเวณสัญญาณรวม QRS ดังรูป 2.16

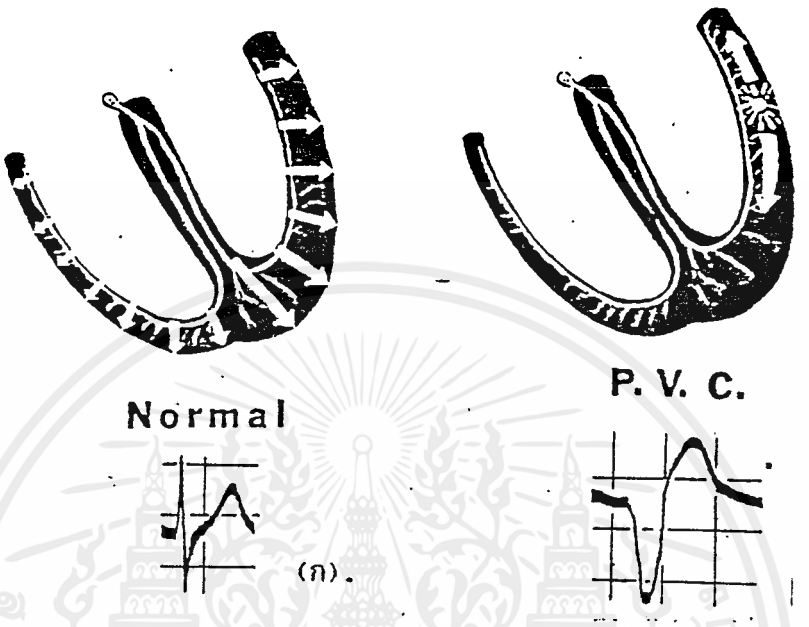


รูป 2.16 Premature Ventricular Contractions

ซึ่งมีลักษณะแตกต่างจากสัญญาณไฟฟ้าหัวใจปกติอย่างเห็นได้ชัด เนื่องจากการกระตุ้นก่อนกำหนดของ PVC ทำให้การนำไฟฟ้าต่อไปยังระบบนำไฟฟ้าของ Bundle Branch ช้าลง เป็นผลให้ช่วงกว้างของสัญญาณรวม QRS เพิ่มมากขึ้น ดังรูป 2.17 ในระหว่างการนำไฟฟ้า

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

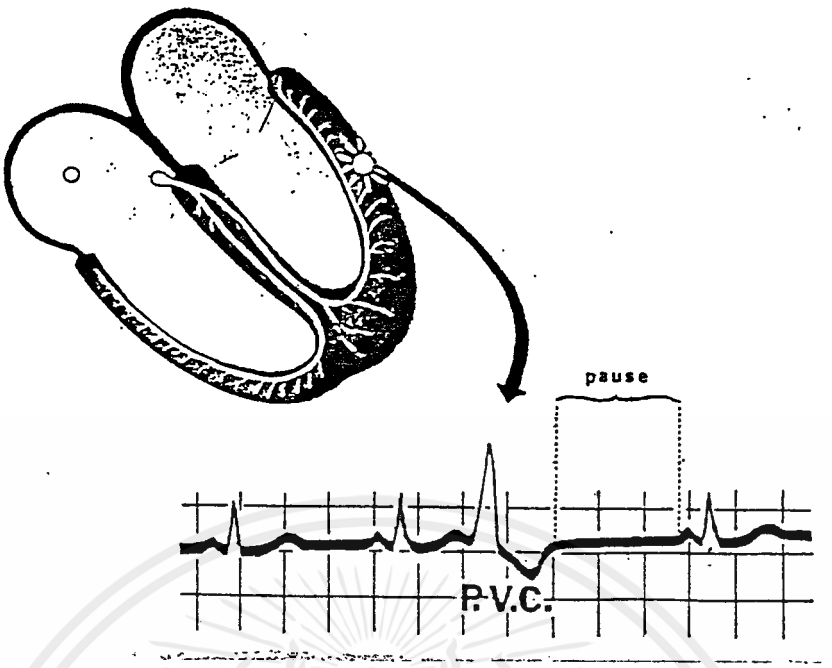
ปกติบริเวณหัวใจห้องล่างนั้น จะเกิดการ Depolarization ทันทีทั้งด้านซ้ายและด้านขวา โดยมีทิศทางพุ่งออกตามทิศทางของด้านนั้นหรือตามทิศทางของลูกศร ดังรูป 2.17 (ก). เป็นผลให้ช่วงกว้างของสัญญาณรวม QRS แคบมาก



รูป 2.17 เปรียบเทียบสัญญาณ QRS ของสัญญาณไฟฟ้าหัวใจปกติกับสัญญาณที่เกิด PVC
(ก). สัญญาณไฟฟ้าหัวใจปกติ (ข). สัญญาณที่เกิด PVC

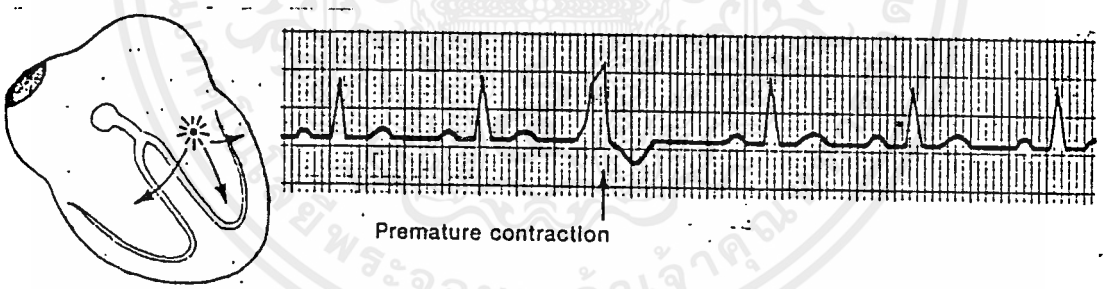
แต่ถ้าเกิด PVC ขึ้นบริเวณด้านหนึ่งด้านใดของหัวใจห้องล่างจะทำให้เกิด Depolarization ก่อนอีกด้านหนึ่ง เป็นผลให้สัญญาณรวม QRS มีขนาดใหญ่และกว้างมากขึ้น ดังรูป 2.17(ข). หลังจากเกิด PVC ขึ้นแล้วจะมีช่วงเวลาหนึ่งที่หัวใจจะหยุดการนำไฟฟ้าชั่วขณะหนึ่ง เรียกว่า Compensatory Pause ดังรูป 2.18

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูป 2.18 ลักษณะของ Compensatory pause หลังจากเกิด PVC

ลักษณะของ PVC ที่เกิดขึ้นนั้นมีหลายรูปแบบ ซึ่งแต่ละรูปแบบก็จะมีศัพท์ทางการแพทย์ที่ใช้เรียกแตกต่างกันไปตามรูปแบบนั้นๆ ที่เกิดขึ้นได้แก่



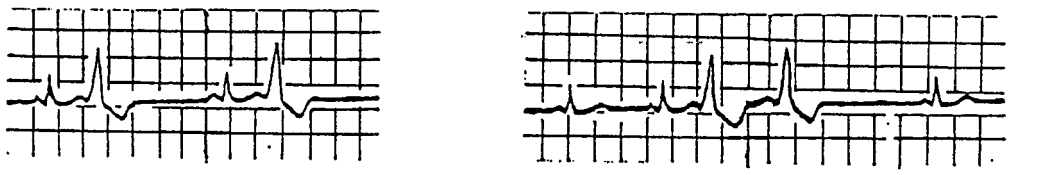
รูป 2.19 Interpolated PVCs

- Interpolated PVCs เป็น PVC ประเภทหนึ่งที่เกิดควบคู่กับสัญญาณไฟฟ้าหัวใจปกติ แต่ลักษณะของ PVC นี้จะไม่มี Compensatory pause เกิดขึ้น และไม่รบกวนจังหวะการเต้นของหัวใจปกติด้วย ดังรูป 2.19

Bigeminy เป็น PVC ประเภทหนึ่งที่เกิดสัญญาณไฟฟ้าหัวใจปกติหนึ่งลูก ควบคู่กับสัญญาณ Premature Beat หนึ่งลูก และเกิดลักษณะเช่นนี้ซ้ำๆ กันขึ้น ดังรูป 2.20 (ก).

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Trigeminy เป็น PVC ประเภทหนึ่งที่เกิดสัญญาณไฟฟ้าหัวใจปกติหนึ่งลูก ควบคู่กับสัญญาณ Premature Beats สองลูกติดกัน และเกิดลักษณะเช่นนี้ซ้ำๆ กันขึ้น ดังรูป 2.20 (ข).



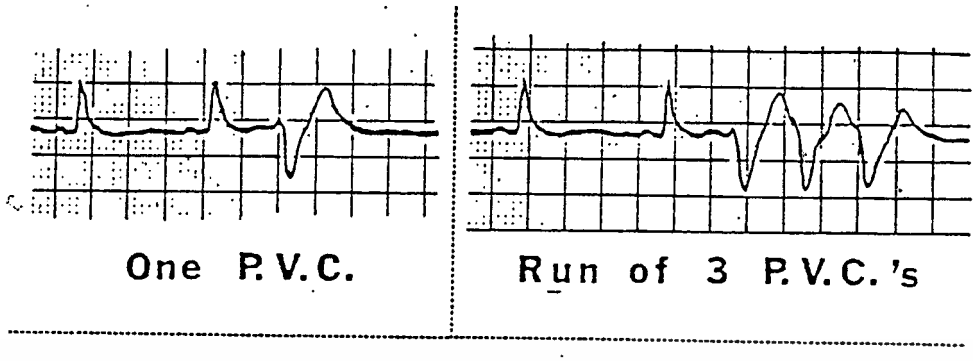
รูป 2.20 (ก). Bigeminy (ข). Trigeminy

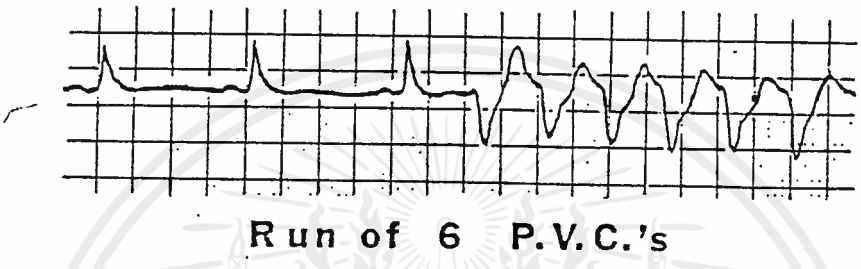
Run of n. PVCs เป็น PVC ประเภทหนึ่งที่เกิดจากการกระตุ้นก่อนกำหนด หนึ่งครั้งเป็นผลให้การกระตุ้นตามมาอีกหลายครั้ง (n = จำหนวนครั้งที่เกิดความผิดปกติ) ดังรูป 2.21

Multifocal PVCs เป็น PVC ประเภทหนึ่ง ที่เกิดจากการกระตุ้นก่อนกำหนดที่บริเวณหัวใจห้องล่างหลายๆ จุด เป็นผลให้เกดการกระตุ้นลุกลามต่อไปจนถึงขั้น Ventricular Tachycardia หรือ Ventricular Fibrillation ดังรูป 2.22

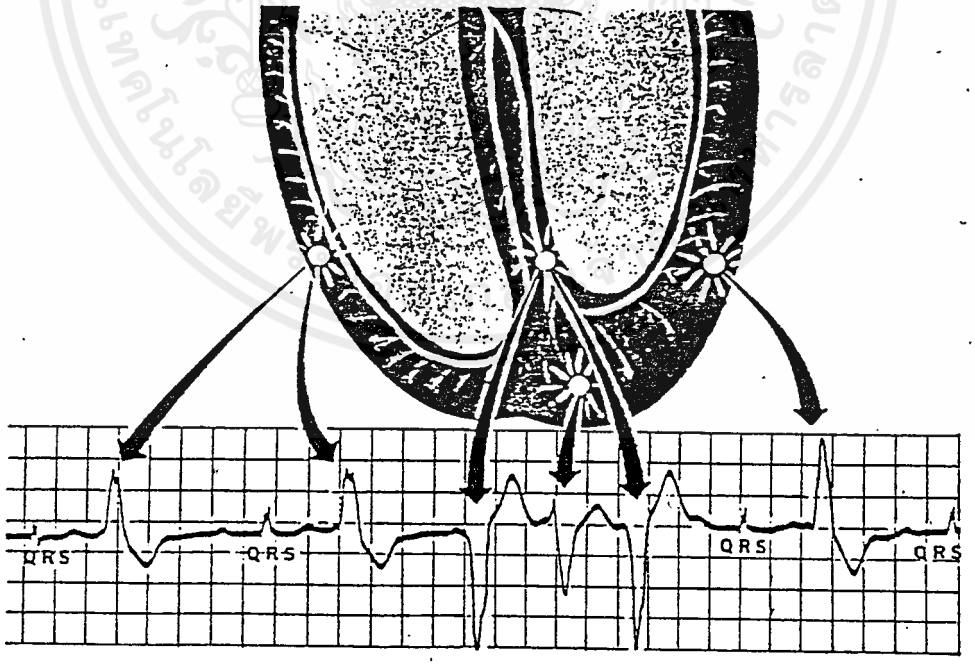
R-on-T Phenomenon เป็น PVC ประเภทหนึ่งที่เกิดขึ้นในช่วงเวลาที่เกิดสัญญาณ T ซึ่งเป็นช่วงเวลาที่หัวใจเกิด Rpolarization ดังรูป 2.23 ซึ่งถือได้ว่าเป็นลักษณะความผิดปกติที่รุนแรงอีกประเภทหนึ่ง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



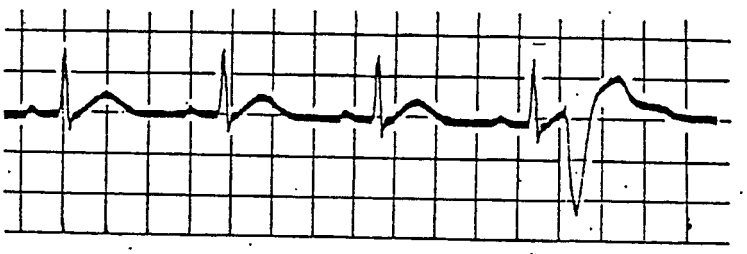


รูป 2.21 Run of n. PVCs



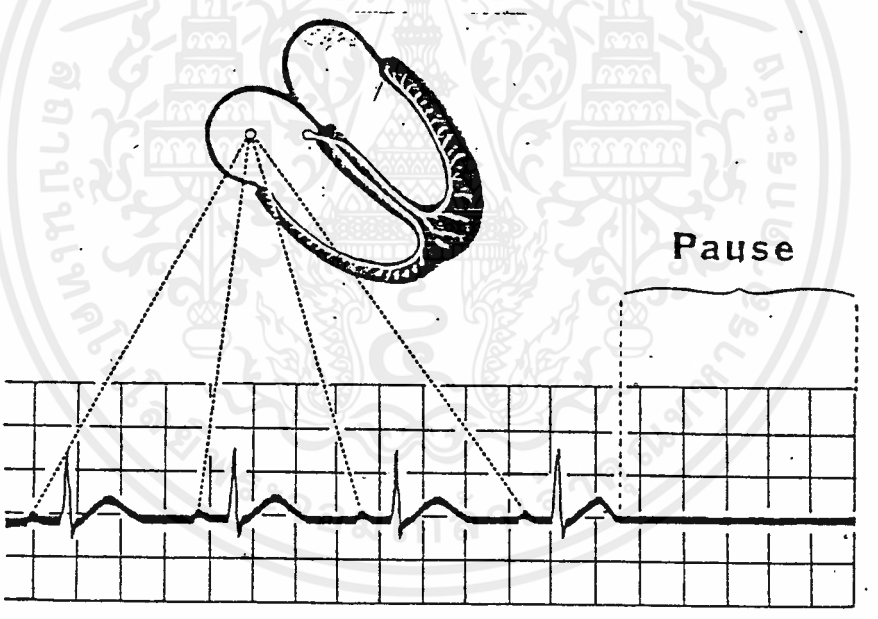
รูป 2.22 Multifocal PVCs

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูป 2.23 R-on-T Phenomenono

2.6.2.2 Escape Beats เกิดขึ้นเมื่อการกระตุ้นปกติล้มเหลว ทำให้การกระตุ้นหยุดไปหนึ่งหรือมากกว่าหนึ่งรอบการทำงาน เป็นผลให้เกิดการขาดช่วงของสัญญาณไป ดังรูป 2.24 ความผิดปกติในลักษณะนี้สามารถจำแนกตามบริเวณที่เกิดความผิดปกติได้ดังนี้

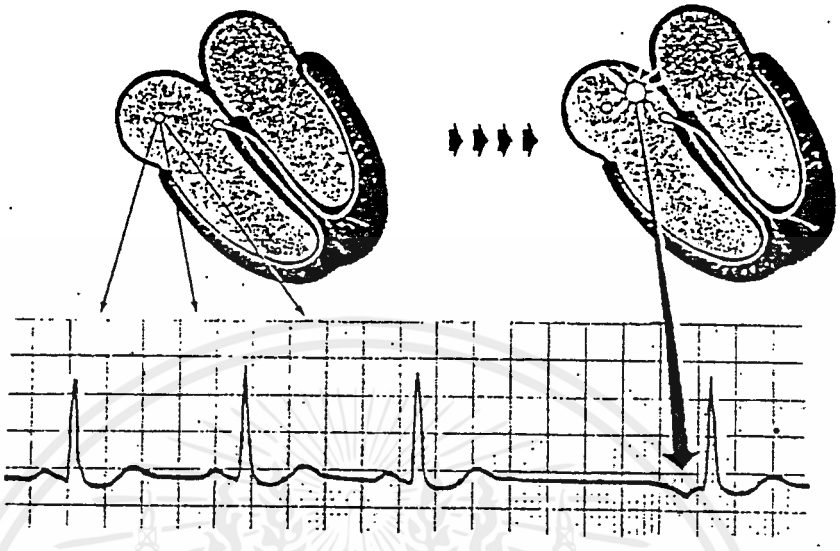


รูป 2.24 สัญญาณไฟฟ้าหัวใจที่เกิด Excape Beat ขึ้น

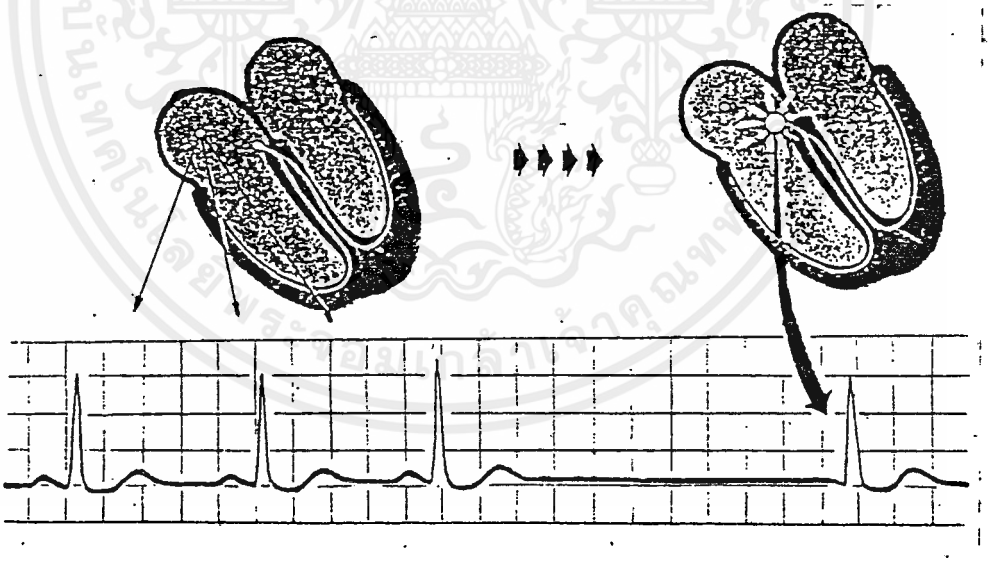
- Atrial Escape เป็นความผิดปกติที่มีลักษณะเหมือนกับ Atrial Premature แต่เกิดขึ้นหลังจากการขาดช่วงสัญญาณ (pause) มาแล้ว ดังรูป 2.25

- AV Nodal Escape เป็นความผิดปกติที่มีลักษณะเหมือนกับ AV Nodal Premature แต่เกิดขึ้นหลังจากการขาดช่วงสัญญาณ (pause) มาแล้ว ดังรูป 2.26

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูป 2.25 Atrial Escape

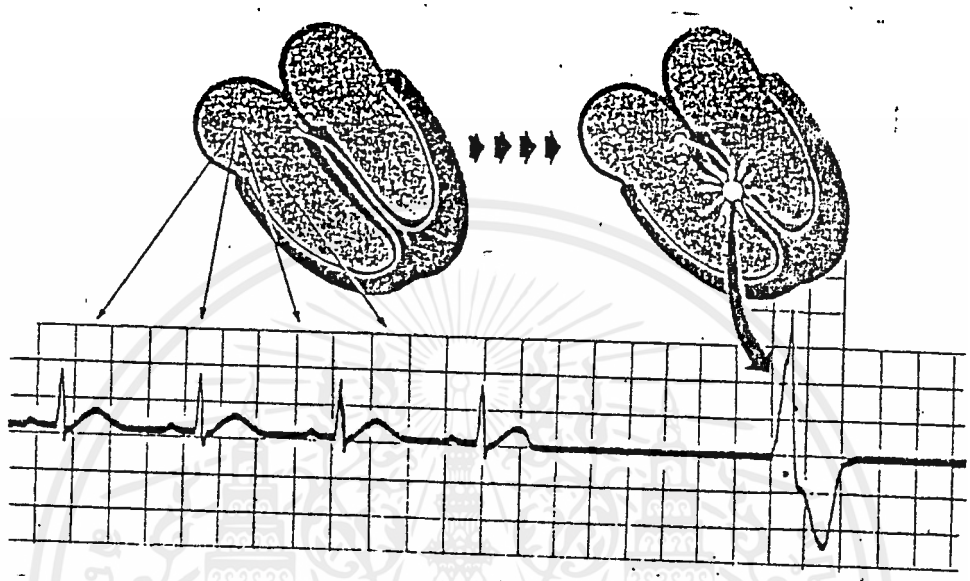


รูป 2.26 AV Nodal Escape

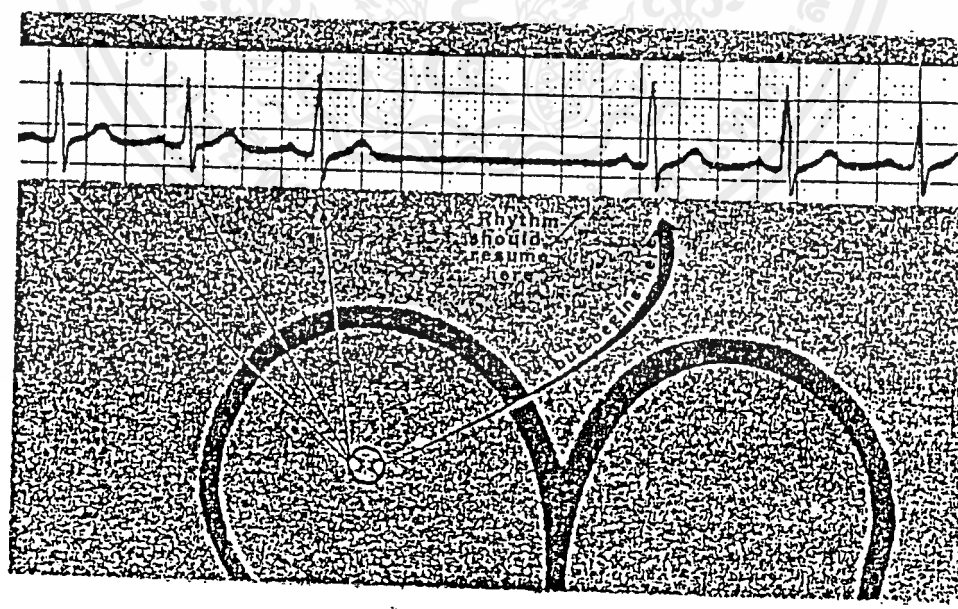
- Ventricular Escape เป็นความผิดปกติที่มีลักษณะเหมือนกับ Premature Ventricular Contractions แต่เกิดขึ้นหลังจากการขาดช่วงสัญญาณ (pause) มาแล้ว ดังรูป 2.27

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.6.2.3 Sinus Arrest เกิดขึ้นเมื่อบริเวณกระตุ้นของ SA node หยุดการทำงานไปชั่วขณะหนึ่ง ทำให้ไม่สามารถส่งสัญญาณกระตุ้นออกมาได้ หลังจากการขาดช่วงการกระตุ้นนี้ก็จะเกิดการกระตุ้นของบริเวณ SA node ใหม่ทำให้เกิดการเต้นของหัวใจด้วยอัตราการเต้นของ หัวใจใหม่ ดังรูป 2.28

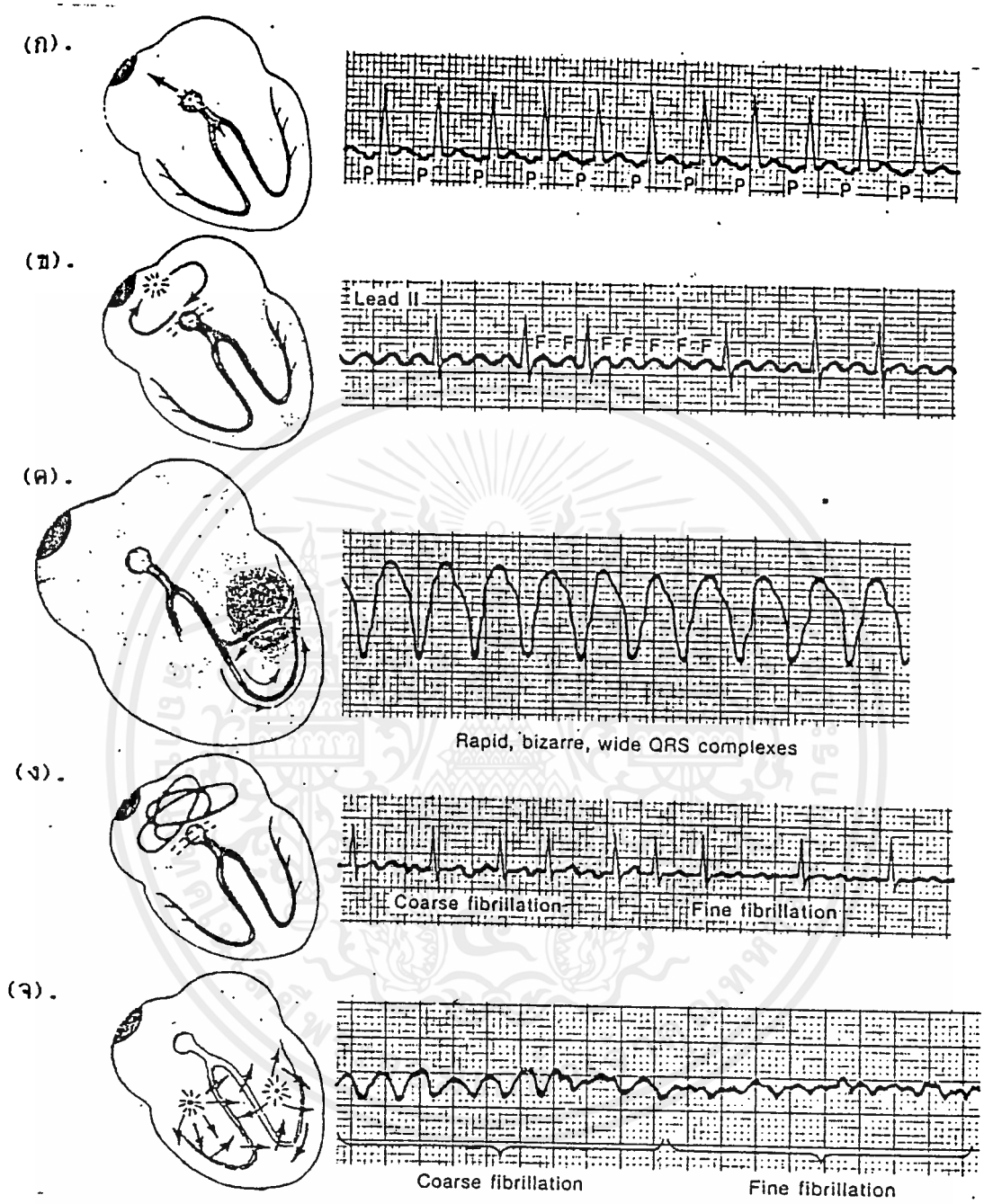


รูป 2.27 Ventricular Escape



รูป 2.28 Sinus Arrest

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูป 2.29 Rapic Rhythm

(ก). Paroxysmal Tachycardia

(ข). Atrial Fultter

(ค). Ventricular Flutter

(ง). Atrial Fibrillation

(จ). Ventricular Fibrillation

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.6.3.1 Paroxysmal (Sudden) Tachycardia

2.6.3.2 Atrial Flutter

2.6.3.3 Ventricular Flutter

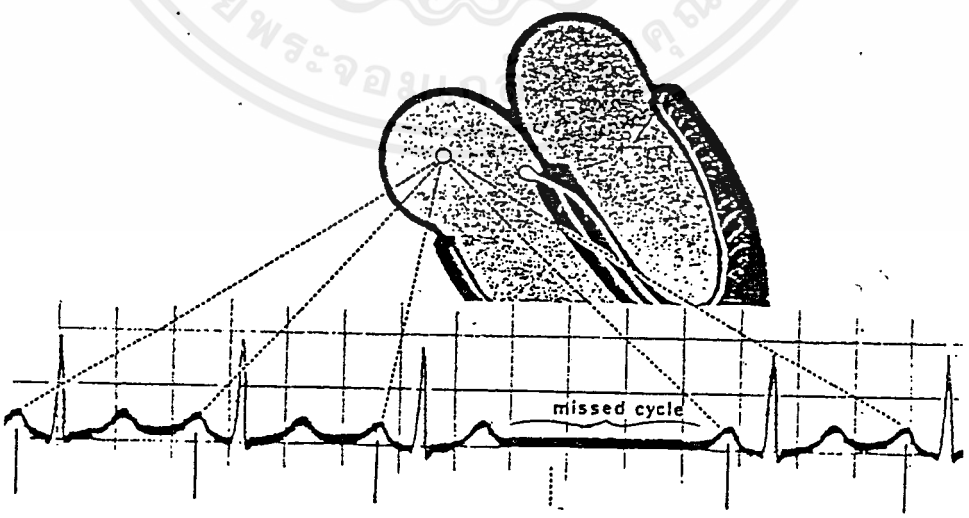
2.6.3.4 Atrial fibrillation

2.6.3.5 Ventricular Fibrillation

2.6.3 Rapid Rhythm เป็นลักษณะความผิดปกติที่มีสาเหตุจากการมีอัตราการเต้นของหัวใจเร็วมาก โดยที่รูปร่างและลักษณะของสัญญาณไฟฟ้าหัวใจอาจจะผิดปกติหรือไม่ขึ้นอยู่กับบริเวณที่เกิดความผิดปกตินั้น ซึ่งลักษณะความผิดปกติประเภทนี้มีความแตกต่างกันในเรื่องของรูปร่างของสัญญาณ เนื่องจากบริเวณที่เกิดความผิดปกติต่างกัน แต่ข้อสังเกตุหลักอยู่ที่การมีอัตราการเต้นของหัวใจที่เร็วมาก ดังนั้นจึงจะขอขยายความในบางหัวข้อเท่านั้น ซึ่งลักษณะความผิดปกติในแต่ละประเภทสามารถจำแนกได้จากรูป 2.29 โดยมีหัวข้อย่อยดังต่อไปนี้

2.6.4 Heart Blocks เป็นการปิดกั้นการนำไฟฟ้าภายในหัวใจ ซึ่งพื้นที่ภายในหัวใจที่จะเกิด การปิดกั้นของสัญญาณกระตุ้นได้มีด้วยกัน 3 บริเวณคือ SA node , AV node และ Bundle Branch

2.6.4.1 SA Block มีสาเหตุมาจากการที่ SA node หยุดการกระตุ้นชั่วคราวเป็นเวลาอย่างน้อยหนึ่งรอบการทำงานของหัวใจ แล้วกลับมาทำงานเป็นปกติเหมือนเดิม ดังรูป 2.30



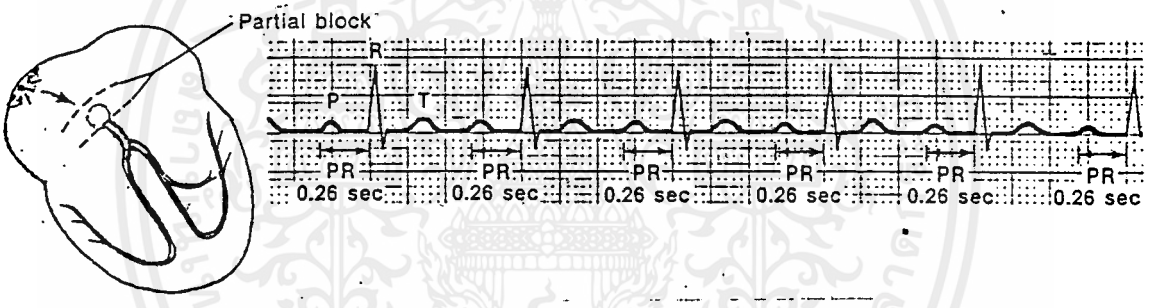
รูป 2.30 SA Block

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ซึ่งจะเห็นได้ว่าสัญญาณไฟฟ้าหัวใจเกิดขาดช่วงขึ้น โดยจะปรากฏให้เห็นเพียง baseline เท่านั้น

2.6.4.2 AV Block เป็นความผิดปกติของจังหวะการเต้น ที่จะทำให้เกิดการหน่วงเวลาของสัญญาณกระตุ้นจากหัวใจห้องบนที่บริเวณ AV node ให้นานยิ่งขึ้น ก่อนที่จะส่งต่อไปยังหัวใจห้องล่าง เวลาที่หน่วงนี้สามารถสังเกตุได้จากสัญญาณไฟฟ้าหัวใจในช่วงเวลา PR ซึ่งเป็นเวลาตั้งแต่เริ่มต้นของสัญญาณ P (เริ่มเกิดการกระตุ้นบริเวณ SA node) จนกระทั่งถึงเวลาเริ่มต้นของสัญญาณรวม QRS (สัญญาณถึงหัวใจห้องล่าง) โดยมีค่าเฉลี่ยอยู่ระหว่าง 0.12-0.20 วินาที ถ้าช่วงเวลา PR มากกว่า 0.20 วินาทีแล้ว ก็สามารถสันนิษฐานได้ว่าเกิด AV Block ขึ้นอย่างแน่นอน ลักษณะของ AV Block สามารถจำแนกได้ 3 ลักษณะดังนี้ คือ

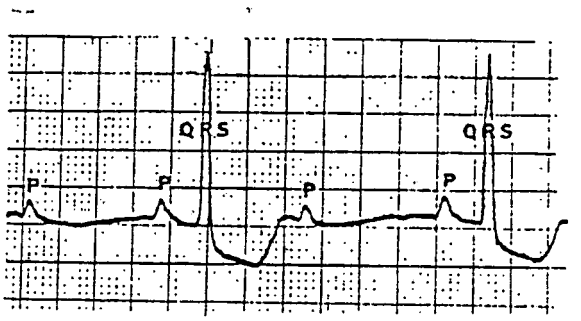
- First degree AV Block มีลักษณะความผิดปกติที่สังเกตุได้จากสัญญาณไฟฟ้าหัวใจ คือ ช่วงเวลา PR มากกว่า 0.20 วินาที ดังรูป 2.31



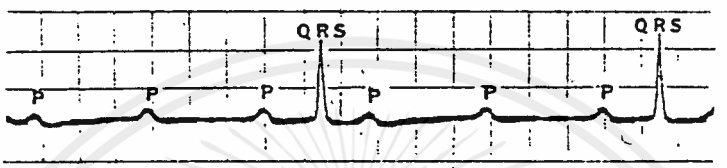
รูป 2.31 First degree AV Block

- Second degree AV Block มีลักษณะความผิดปกติที่สังเกตุได้จากสัญญาณไฟฟ้าหัวใจ คือ จะเกิดสัญญาณ P หนึ่งหรือสองครั้งก่อนที่จะมีสัญญาณรวม QRS เพียงครั้งเดียว (2:1 หรือ 3:1 AV Block) ดังรูป 2.32 ซึ่งมีลักษณะความผิดปกติ 2 อาการที่สำคัญ คือ Wenckebach Phenomenon (หรือ Mobitz I) เกิดขึ้นเมื่อช่วงเวลา PR มีความกว้างเพิ่มมากขึ้นจนกระทั่ง AV node ไม่เกิดการกระตุ้นขึ้น ซึ่งทำให้ไม่เกิดสัญญาณรวม QRS ดังรูป 2.33 และ Mobitz II เกิดขึ้นเมื่อสัญญาณไฟฟ้าหัวใจเกิดการขาดหาย (Dropped Beat) ไปของสัญญาณรวม QRS โดยที่ช่วงเวลา PR ยังคงมีความกว้างเป็นปกติอยู่ ดังรูป 2.34

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

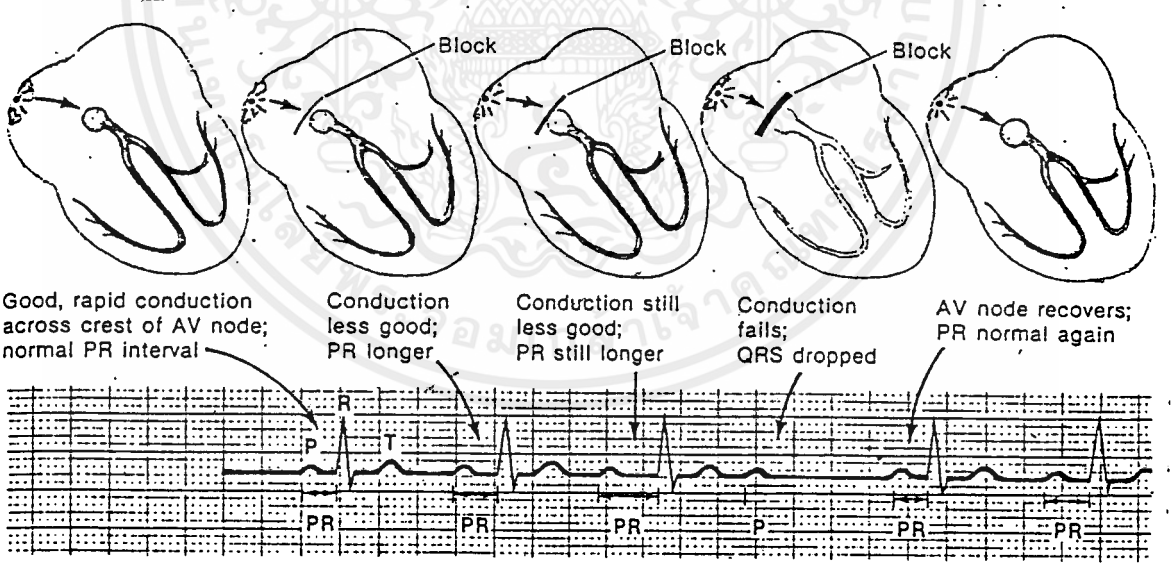


2:1 AV Block



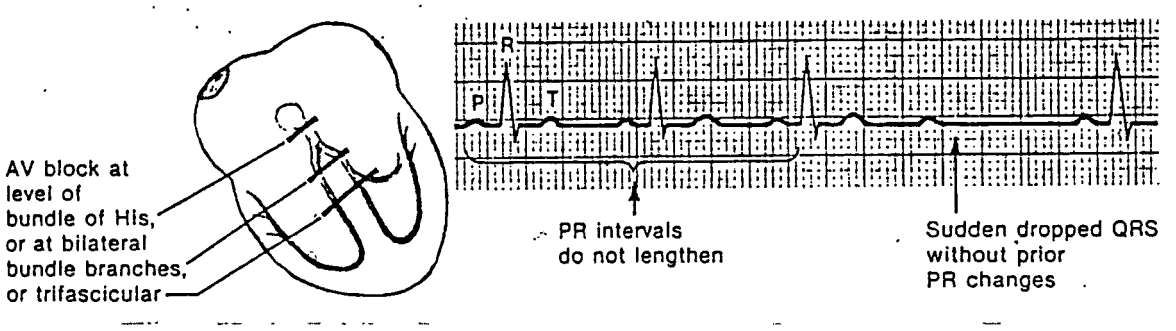
3:1 AV Block

รูป 2.32 2:1 และ 3:1 AV Block



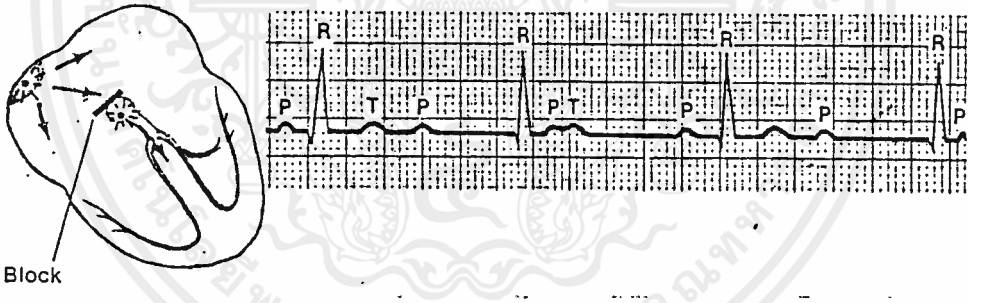
รูป 2.33 Wenckebach Phenomenon (Mobitz I)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูป 2.34 Mobitz II

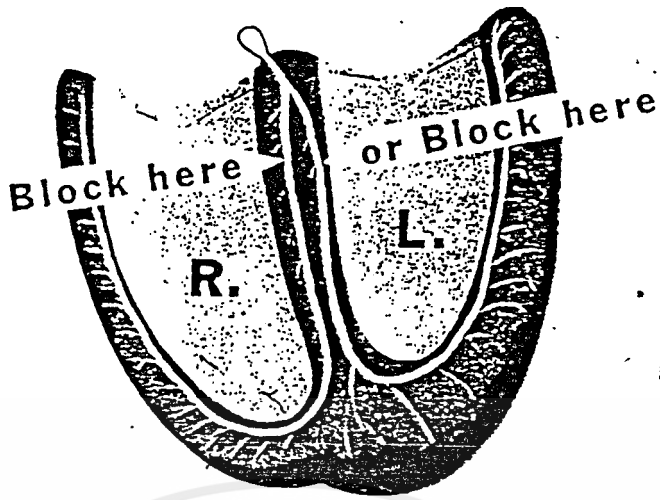
- Third degree AV Block (Complete AV Block) เกิดขึ้นเมื่อไม่มีสัญญาณกระตุ้นจากหัวใจห้องบนมายัง AV node ทำให้ไม่เกิดการตอบสนองของหัวใจห้องล่างและบริเวณหัวใจห้องล่างจะเกิดการกระตุ้นขึ้นเองอย่างอิสระ ดังรูป 2.35 ซึ่งมีข้อสังเกตุได้ว่าความถี่ของหัวใจห้องบน (สัญญาณ P) มีค่าค่อนข้างแน่นอน และความถี่ของหัวใจห้องล่าง (สัญญาณรวม QRS) เป็นไปอย่างอิสระและมีค่าช้าลงไปมาก



รูป 2.35 Third degree AV Block (Complete AV Block)

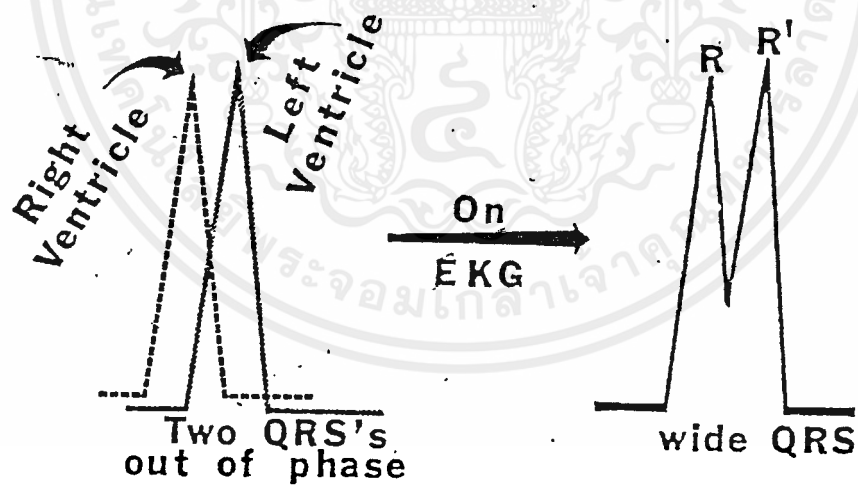
2.6.4.3 Bundle Branch Block มีสาเหตุมาจากการปิดกั้นการนำไฟฟ้าบริเวณด้านซ้ายและด้านขวาของ Bundle Branch ดังรูป 2.36 โดยปกติแล้ว การนำไฟฟ้าไปยังกล้ามเนื้อหัวใจห้องล่างทั้งด้านซ้ายและด้านขวา โดยผ่าน Bundle Branch จะใช้เวลาเท่าๆ กัน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูป 2.36 ลักษณะการปิดกั้นการนำไฟฟ้า (Block) บริเวณ Bundle Branch

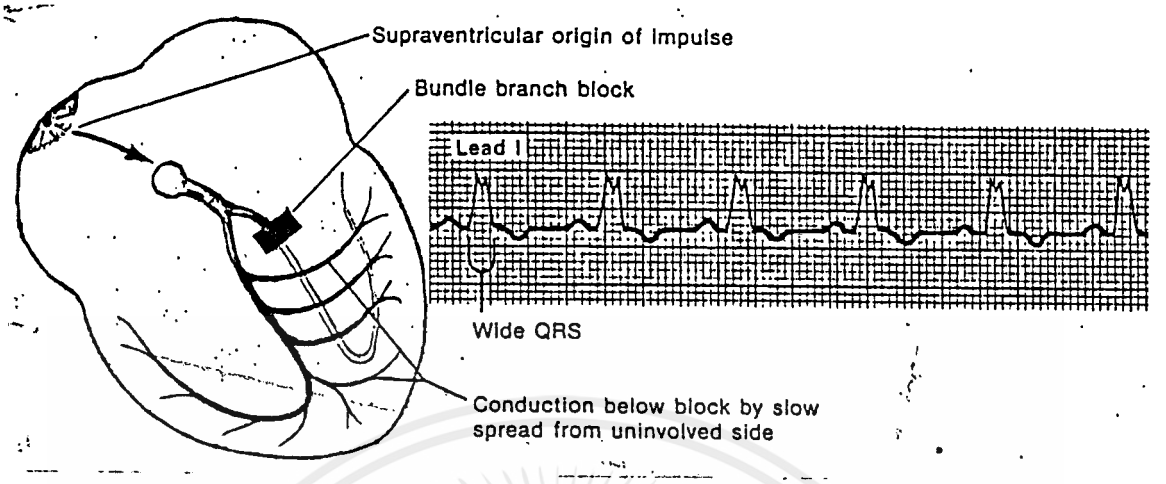
ถ้าเกิดการปิดกั้นการนำไฟฟ้าขึ้นด้านใดด้านหนึ่งก็จะทำให้เกิดการหน่วงเวลาของสัญญาณด้านนั้นออกไป เป็นผลให้สัญญาณ QRS รวมแตกออกเป็น 2 ส่วนดังรูป 2.37 โดยให้สัญลักษณ์เป็น R และ R แทนจุดสูงสุดของสัญญาณ QRS ที่เกิดจากการนำไฟฟ้าของหัวใจห้องล่างแต่ละด้าน



รูป 2.37 ลักษณะของสัญญาณ QRS รวมที่เกิด Bunble Branch ที่แยกเป็น 2 ส่วน

ซึ่งผลรวมของสัญญาณ QRSนี้จะทำให้ความกว้างของสัญญาณ QRS รวมกว้างมากขึ้น (widened QRS) รูป 2.38 แสดงลักษณะของสัญญาณไฟฟ้าหัวใจที่เกิด Bundle Branch Block

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูป 2.38 ลักษณะของสัญญาณไฟฟ้าหัวใจที่เกิด Bundle Branch Block

Asytole และ Ventricular Fibrillation

มีลักษณะของสัญญาณไฟฟ้าหัวใจที่เกิดการขาดหายของสัญญารเป็นระยะเวลานาน กรณีของ Asystole ส่วน Ventricular Fibrillation มีลักษณะ สัญญาณที่มีรูปร่างไม่แน่นอน ซึ่งทั้งสองนี้ไม่สามารถที่จะตรวจสอบสัญญาณ R ได้

Bradycardia มีลักษณะของสัญญาณไฟฟ้าหัวใจ ที่มีอัตราการเต้นของหัวใจ ช้ากว่าค่าพิกัดมาตราฐาน

Tachycardia มีลักษณะของสัญญาณไฟฟ้าหัวใจ ที่มีอัตราการเต้นของหัวใจเร็วกว่าค่าพิกัดมาตราฐาน

Dropped Beat มีลักษณะของสัญญาณไฟฟ้าหัวใจ ที่เกิดการขาดช่วงของสัญญาณไป ซึ่งช่วงเวลาไม่เกิดค่าพิกัดของ Asystole และไม่เกิด Premature Beat ตามมา

Premature Ventricular Contractions (PVCs) เป็นลักษณะของสัญญาณไฟฟ้าหัวใจที่เกิดก่อนกำหนดเวลาที่คาดไว้และตาม Compensatory Pause

R-on-T Phenomenon เป็นลักษณะของ PVCs ที่เกิดขึ้นในช่วงเวลาที่เกิดสัญญาณ T

- Bigeminy เป็นลักษณะของ PVCs ที่เกิดสัญญาณไฟฟ้าหัวใจปกติหนึ่งลูกควบคู่กับ premature Beat หนึ่งลูก
- Trigeminy เป็นลักษณะของ PVC ที่เกิดสัญญาณไฟฟ้าหัวใจปกติหนึ่งลูกควบคู่กับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Premature Beat 2 ลูกติดกัน

Interpolated PVCs เป็นลักษณะของ PVCs ที่ไม่ได้ตามด้วย Compensatory Pause

Atrial Premature Beats (APBs) เป็นลักษณะของสัญญาณไฟฟ้าหัวใจที่มี Premature Beat เป็นสัญญาณ P ดังนั้นการตรวจสอบ ในลักษณะของช่วงเวลา R-R จึงเป็นการตรวจสอบช่วงเวลาของ Compensatory Pause ซึ่งจะมีค่าอยู่ระหว่าง Compensatory Pause ของ PVCs กับของ Interpolated PVCs

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 3

การออกแบบและสร้างเครื่องจำลองรูปคลื่นไฟฟ้าหัวใจ

(Design and Construction ECG Simulater)

3.1 บทนำ

การออกแบบและสร้างเครื่องจำลองรูปคลื่นไฟฟ้าหัวใจ มีความมุ่งหมายให้เครื่องที่สร้างขึ้นมานี้ สามารถทำการจำลองสัญญาณคลื่นไฟฟ้าหัวใจได้ ซึ่งเครื่องนี้จะทำหน้าที่ส่งสัญญาณไฟฟ้าหัวใจที่เป็นข้อมูลแบบอนาลอกไปยังเครื่อง Arrhythmia Monitor เพื่อใช้ทดสอบในส่วนของการตรวจจับความผิดปกติของเครื่อง Arrhythmia Monitor

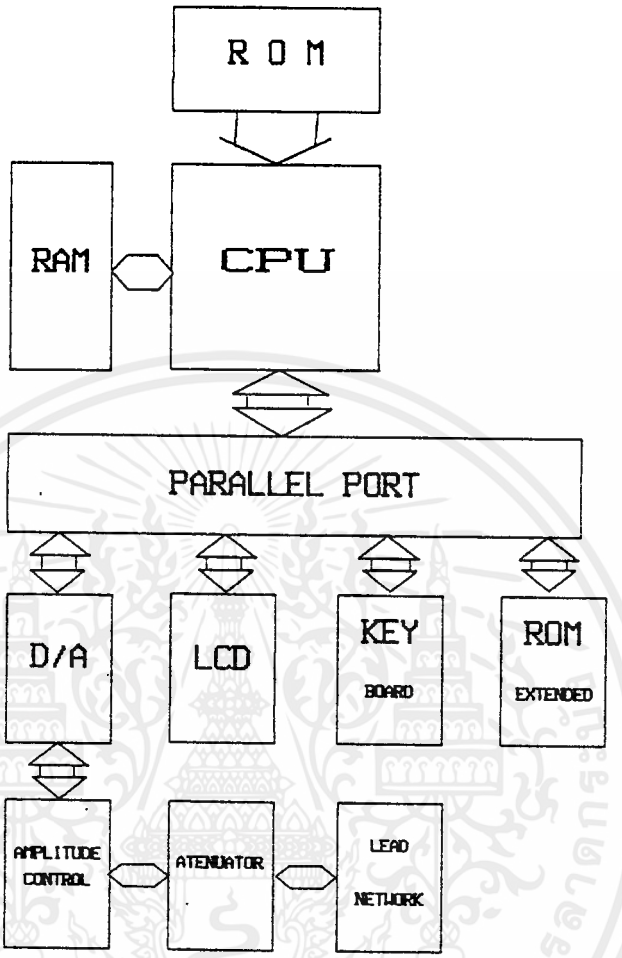
เครื่องที่ออกแบบและสร้างขึ้นนี้อาศัยการทำงานของไมโครคอมพิวเตอร์เข้ามาช่วยในการประมวลผล ดังนั้นการทำงานจึงแบ่งได้เป็น 2 ส่วน คือ ส่วนฮาร์ดแวร์และส่วนซอฟท์แวร์ ในบทนี้จะกล่าวถึงบล็อกไดอะแกรมของเครื่องแสดงความผิดปกติของจังหวะการเต้นของหัวใจในส่วนฮาร์ดแวร์ เพื่อให้เข้าใจระบบของเครื่อง ซึ่งประกอบด้วยวงจรอิเล็กทรอนิกส์ต่าง ๆ จึงแบ่งการทำงานเป็นบล็อกไดอะแกรม

3.2 บล็อกไดอะแกรมของเครื่องจำลองรูปคลื่นไฟฟ้าหัวใจ

รูป 3.1 แสดงส่วนฮาร์ดแวร์ของเครื่องจำลองรูปคลื่นไฟฟ้าหัวใจ ซึ่งประกอบด้วยระบบไมโครคอมพิวเตอร์ที่มีไมโครโปรเซสเซอร์ Z84C11 เป็น CPU หน่วยความจำและวงจรในส่วนอินพุทเอาท์พุท ได้แก่ วงจรลดทอน วงจรรับข้อมูลจากคีย์บอร์ด วงจรแปลงสัญญาณดิจิตอลเป็นอนาลอกและส่วนแสดงผลทางจอแอลซีดี โดยสามารถสรุป การทำงานของแต่ละส่วนได้ดังต่อไปนี้

3.2.1 ระบบไมโครคอมพิวเตอร์ เป็นส่วนที่ทำหน้าที่ประมวลสัญญาณไฟฟ้าหัวใจโดยจะโหลดข้อมูลจากหน่วยความจำแบบรอม (ROM) มาไว้ที่หน่วยความจำแบบแรม (RAM) แล้วจึงให้ส่งเอาท์พุทออกไปตามจังหวะของ ซีทีซี (CTC) และในเวลาที่ว่างก็ใช้ในการแสดงผลและรับข้อมูลจากคีย์บอร์ดด้วย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

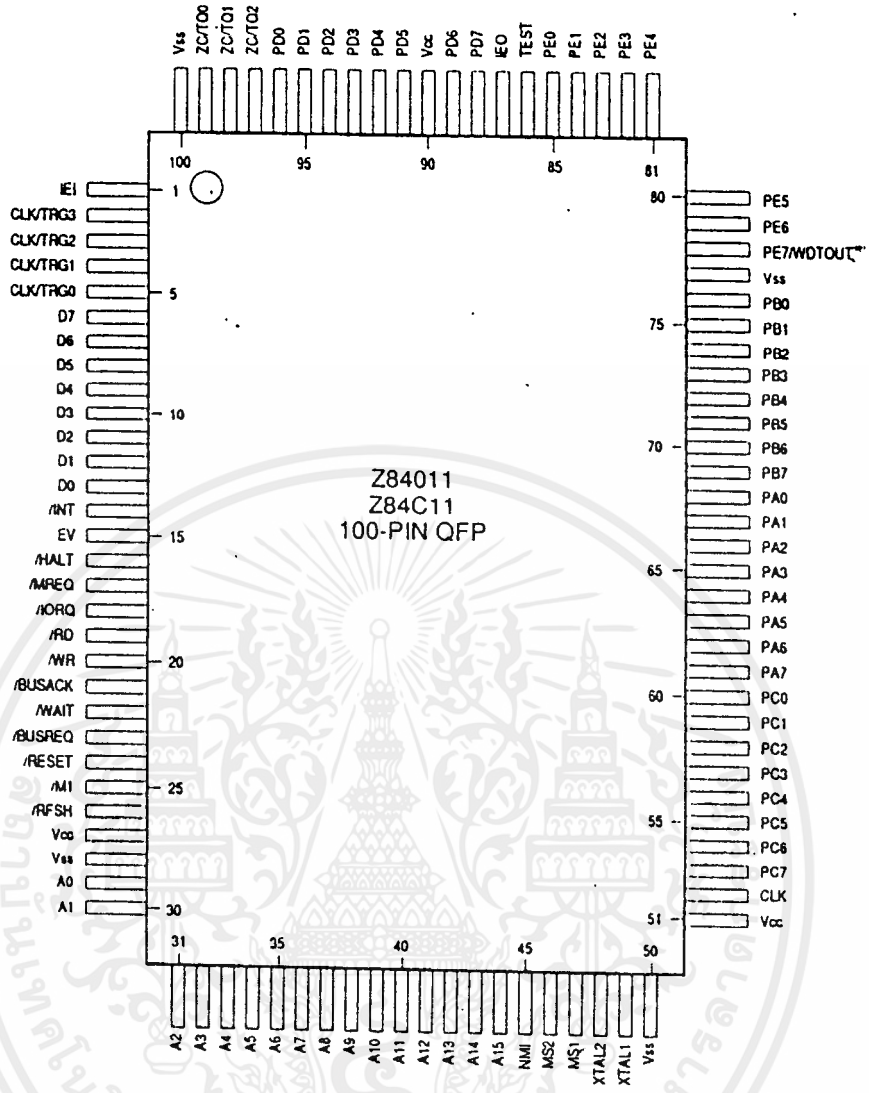


รูป 3.1 บล็อกไดอะแกรมแสดงส่วนฮาร์ดแวร์ของเครื่องจำลองรูปคลื่นไฟฟ้าหัวใจ

หน่วยประมวลผลกลาง (CPU)

CPU Z84C11 ของ Zilog เป็นไมโครโปรเซสเซอร์แบบ PIC (Parallel I/O Controller) เป็น CPU แบบ CMOS ขนาด 8 บิท ซึ่งรวม CTC (Counter TimerController) และพอร์ตแบบขนานจำนวน 40 บิท ในตัวถังแบบ QFP (Quard Flat Pack) ขนาด 100 ขา ดังแสดงในรูป 3.2

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

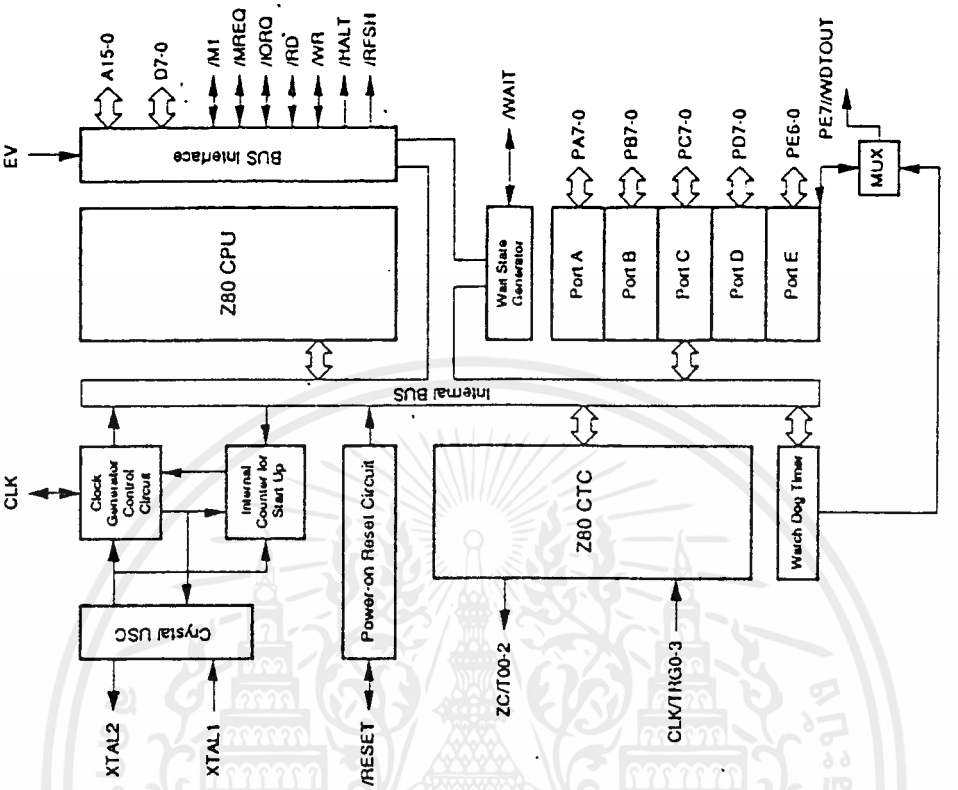


รูป 3.2 ลักษณะของ Z84C11

Z84C11 CPU เป็นไมโครโปรเซสเซอร์ขนาด 8 บิท ซึ่งขบวนการสร้างเป็นเทคโนโลยี แบบ CMOS ทำงานได้ด้วยไฟเลี้ยงเดี่ยว บวก5 โวลท์ และสัญญาณทั้งหมดเป็น แบบ TTL-Compatible สามารถทำงานด้วยสัญญาณนาฬิกาสูงสุด 10 MHz (100ns)โดยสิ้นเปลืองพลังงานต่ำมากในขณะที่ Set ให้อยู่ในโหมด Stop จะกินกระแสเพียง 50 uA เท่านั้นเอง และสามารถ Set ในทำงานที่ความถี่เพียงครึ่งเดียวคือ 5 MHz ได้ด้วย โดยเมื่อเริ่มเปิดเครื่อง CPU จะทำงานที่ความถี่เพียง 5 MHz ก่อนและสามารถสั่งให้ทำงานที่ความถี่ 10 MHz ได้จากโปรแกรม จากรูป 3.2 จะเห็นได้ว่า Z84C11 นี้มีส่วนภายในเป็น CPU เบอร์ Z80 ที่รวมเอา Z80 CTC , Clock Generator Parellel Port ขนาด 40 บิท , Watch Dog Timer และในส่วนของ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

BUS Interface รวมเข้าด้วยกัน และยังใช้ภาษา Assembly ของ CPU Z80 ด้วย จึงทำให้มีความ Compatible กับ Z80



รูป 3.3 ลักษณะขาสัญญาณของ Z80 CPU

โดยตัวของ Z84C11 ประกอบด้วยสัญญาณแอดเดสบัส 16 เส้นสามารถอ้างแอดเดรสได้ทั้งหมด 65536 ไบท์ หรือ 64 Kbytes สัญญาณดาต้าบัส 8 เส้น สัญญาณควบคุมหน่วยความจำและสัญญาณควบคุมของ CPU 12 เส้น สัญญาณควบคุมระบบ 9 เส้น สัญญาณ CTC 7 เส้น I/O พอร์ต 40 เส้น นอกจากนั้นอีก 8 เส้น คือ จุดทดสอบไฟเลี้ยงและกราวด์ รูปที่ 3.2 (ค) แสดงรีจิสเตอร์ของ Z80 ซึ่งประกอบด้วย รีจิสเตอร์ขนาด 8 บิท 18 ตัว ซึ่งใช้เป็นริจีสเตอร์ทั่วไป 12 ตัว หรือ ใช้เป็นคู่รีจีสเตอร์ (register pairs) ขนาด 16 บิทได้ 6 ตัว โดยรีจีสเตอร์หลักและสำรอง (main and alternate register) ใช้ในกรณีของการอินเตอร์รัพท์ในโหมด 2 และรีจีสเตอร์ R (memory refresh register) ใช้ refresh หน่วยความจำอัตโนมัติ โดยไม่ต้องมีวงจรภายนอกมาช่วย และมีรีจีสเตอร์ ขนาด 16 บิท 6 ตัวได้แก่ อินเด็กซ์รีจีสเตอร์ (Index register) 2 ตัว ใช้ในกรณีการอ้างตารางข้อมูลของหน่วยความจำ สแต็กพอยเตอร์ (Stack pointer : SP) เป็นตัวชี้ ตำแหน่งของเนื้อที่ของ stack ซึ่งมีลักษณะเป็นแบบ last-in-first-out และโปรแกรมเคาท์เตอร์ (Program counter :

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

PC) เป็นตัวชี้ตำแหน่งปัจจุบันของคำสั่งที่จะถูกทำการ execute

หน่วยความจำ (Memory)

หน่วยความจำ (Memory) แบ่งตามชนิดของหน่วยความจำที่ใช้ได้ 2 ชนิด คือ

1. หน่วยความจำ ROM มีขนาด 64 Kbytes แบ่งเป็น 2 ส่วน คือ

- ส่วนที่เก็บโปรแกรมการทำงานของเครื่อง เรียกว่า มอนิเตอร์โปรแกรม (Monitor Program)และข้อมูลของสัญญาณไฟฟ้าหัวใจบางส่วน เป็นหน่วยความจำ ROM ที่อยู่บนบอร์ดอยู่แล้ว

- ส่วนที่เก็บข้อมูลของสัญญาณไฟฟ้าหัวใจที่เหลือ ซึ่งจะถูกเรียกใช้จากมอนิเตอร์โปรแกรมอีกที่หนึ่งมีขนาด 32 Kbytes ซึ่งเป็นหน่วยความจำที่ต่อขยายเพิ่มทางพอร์ตขนาน PA1-PA7 , PB1-PB7 , PC1-PC7 รวม 18 เส้น ข้อมูลในหน่วยความจำจะมีทั้งข้อมูลของรูปคลื่นและรวมทั้งชื่อด้วย

2. หน่วยความจำชนิด RAM มีขนาด 8 Kbytes แบ่งได้เป็น 2 ส่วน คือ

- ส่วนที่เก็บข้อมูลของสัญญาณไฟฟ้าหัวใจที่โหลดมาจากหน่วยความจำ ROM ภายนอกที่ต่อขยายเพิ่มทางพอร์ต เพื่อที่จะเตรียมเอาไว้ให้สามารถเอาท์ค่าออกไปได้

- ส่วนของหน่วยความจำใช้เก็บตัวแปรต่างๆ จากการทำงานของโปรแกรมและเนื้อที่การทำงานของ stack

ส่วนอินพุทและเอาท์พุท (Input/Output)

ส่วนอินพุทและเอาท์พุทเป็นส่วนที่เชื่อมต่ออยู่ระหว่าง CPU กับวงจรภายนอกต่าง ๆ โดยผ่านทางพอร์ตของไมโครโปรเซสเซอร์ ซึ่งสามารถแบ่งเป็นส่วน ๆ ได้ดังนี้

1. ส่วนของวงจรคีย์บอร์ดใช้ไอซี 74C922 เป็นตัวช่วยในการสแกนคีย์บอร์ดและส่งผลที่ได้จากการกดคีย์มายังพอร์ต E ของ Z84C11 โดยใช้เพียง 5 บิทในการสแกนคีย์บอร์ด 16 คีย์ ขาเอาท์พุท 4 บิทแรกจะเป็นตัวส่งข้อมูลจากการกดคีย์ และบิทที่ 5 จะเป็นขา Data Available 74C922 เป็นไอซีวีมอส ตัวถังแบบ DIP ขนาด 18 ขา ใช้แรงดันได้กว้าง 3-15 โวลท์ สามารถสแกนคีย์บอร์ดได้สูงสุด 16 คีย์ เลือกความถี่ในการสแกนและเวลาในการ Debounce ได้จากการเปลี่ยนค่าตัวเก็บประจุ (ในคู่มือไอซีจะให้มาเป็นตาราง)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2. วงจรแปลงสัญญาณดิจิตอลเป็นสัญญาณอนาลอก ในการวิจัยเลือกใช้ ไอซีเบอร์ DAC 0808 เป็นตัวแปลงสัญญาณดิจิตอลเป็นสัญญาณอนาลอกขนาด 8บิท ตัวถังแบบ 16ขา ของ เอาท์พุทของ DAC 0808 จะให้ออกมาเป็นกระแส เราจะใช้ ไอซี LM348 ตัวที่หนึ่งเป็นตัวแปลงกระแสให้ออกมาเป็นแรงดัน ตัวไอซีเอง ต้องการไฟเลี้ยงบวก 9 โวลท์ และไฟลบ 9 โวลท์ ที่ขา 13 และขา 3 ตามลำดับและลงกราวด์ที่ขา 2 แรงดันอ้างอิงขนาด 5 โวลท์ ได้จากไอซี LM336-5.0 ทางขา 14 ผ่านตัวต้านทาน เพื่อให้ได้เอาท์พุทขนาด 0-5 โวลท์ เราสามารถคำนวณค่าความต้านทานได้จากสมการ

$$E_O = \frac{V_{REF}}{R_{14}} \cdot R_F \left(\frac{A_1}{2}+\frac{A_2}{4}+\frac{A_3}{8}+....\frac{A_8}{256}\right)$$

เลือกใช้ความต้านทานขนาด 5 K จะได้ E = 5 โวลท์ที่ฟลูสเกล

3. วงจรกรองความถี่ เลือกใช้วงจรตามความถี่แบบอาร์ซีที่ให้ความถี่ต่ำผ่านวงจรเป็นฟิลเตอร์แบบ 2 ออร์เดอร์ตัดที่ความถี่ 40 เฮิรซ์ หมายถึง ให้ความถี่ต่ำกว่า 40 เฮิรซ์ผ่านได้ ส่วนความถี่ที่สูงกว่า 40 เฮิรซ์จะถูกลดทอนด้วยอัตรา -12 dB / Octave
สามารถคำนวณค่าความต้านทานได้ดังสมการ

$$C = \frac{1}{2 \cdot \pi \cdot R \cdot f}$$

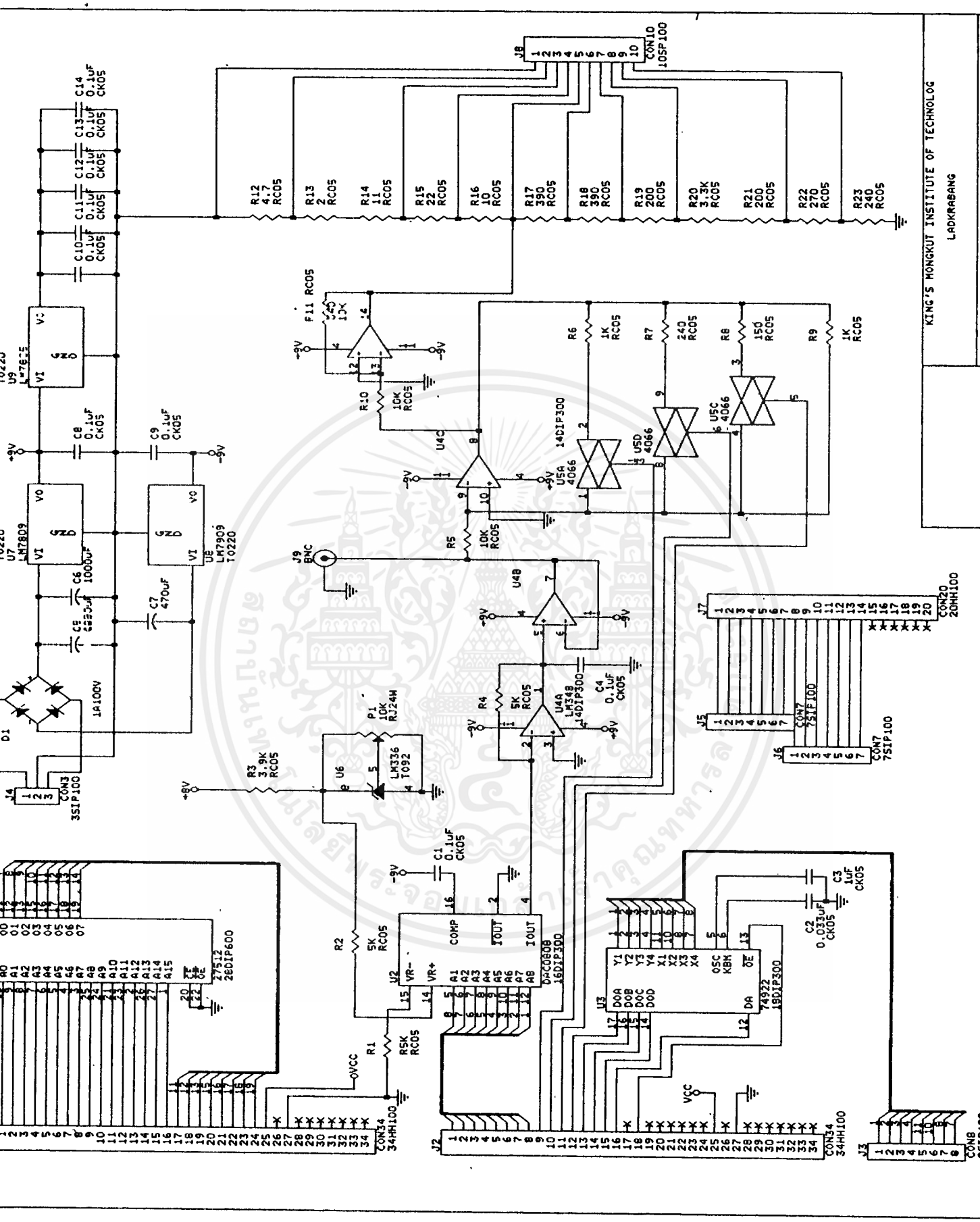
เลือกใช้ความต้านทาน R = 10K

จะได้ค่าของตัวเก็บประจุ = 0.39 uF ที่ความถี่ 40 เฮิรซ์

จากการทดลองพบว่า ความถี่ช่วงประมาณ 100 เฮิรซ์ จะเข้ามารบกวนสัญญาณอนาลอกที่ได้จากการแปลงอย่างมากความถี่ 100 เฮิรซ์นี้น่าจะมาจากแหล่งจ่ายไฟ เนื่องจากวงจรต่าง ๆ รวมกันอยู่บนแผ่นวงจรพิมพ์เดียวกัน

4. แรงดันอ้างอิงใช้ไอซี LM 336-5.0 ซึ่งเป็นไอซีที่ใช้เป็นแรงดันอ้างอิงขนาด 5 โวลท์ บนตัวถังแบบ TO-92 สามารถปรับแรงดันได้ ตั้งแต่ 4-6 โวลท์ จ่ายกระแสได้ตั้งแต่ 600 uA จนถึง 10 mA ตามวงจรเลือกใช้ความต้านทานจากกฎของโอห์ม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.4 แสดงวงจรทั้งหมด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$R = \frac{E}{I}$$

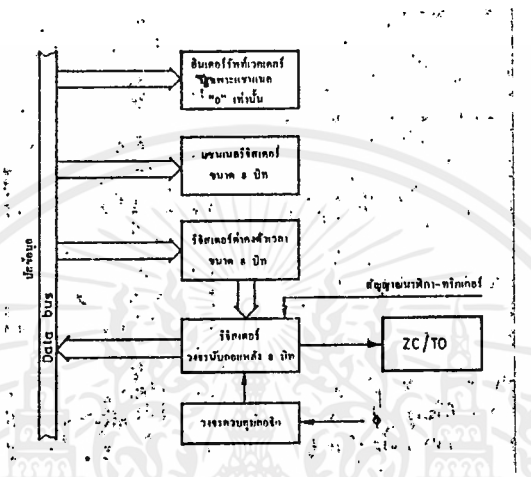
ที่กระแสประมาณ 7mA (ที่ขา 14 ของไอซี DAC 0808)

จะได้ค่าความต้านทานประมาณ 680 โอห์ม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

<u>วงจรนับ-ตั้งเวลา (Counter Timer Controler)</u>

เป็นวงจรนับที่เราสามารถควบคุมได้โดยโปรแกรมเป็นวงจรที่สำคัญวงจรหนึ่งในระบบไมโครคอมพิวเตอร์ที่มี CPU เป็น Z80 ภายในจะมีวงจรนับอยู่ทั้งสิ้น 4 ชุดแยกกันทั้ง 4 ชุด สามารถทำงานได้ทั้งเป็นวงจรนับหรือวงจรตั้งเวลา แต่ละชุดจะมีวงจรนับและวงจรอื่นๆ ประกอบดังรูปที่ 3.5 วงจรนับและตั้งเวลาในแต่ละชุดเรียกว่าแชนแนล ตามรูปจะเห็นว่าแต่ละชุดจะมีรีจิสเตอร์ ทั้งหมด 3 ตัวแยกจากกันยกเว้นแชนแนล 0 มีอินเทอรัพท์เวคเตอร์รีจิสเตอร์เพิ่มอีก 1 ตัว



รูปที่ 3.5 แสดงส่วนประกอบของวงจรนับและตั้งเวลาในแต่ละชุด

<u>อินเทอรัพท์เวคเตอร์รีจีสเตอร์ (Interrupt Vector Registor)</u>

Interrupt Vector Registor เป็นรีจีสเตอร์สำหรับเก็บค่าเวคเตอร์ของอินเทอรัพท์ของวงจร CTC นี้

ไม่ว่าทั้ง 4 แชนแนลจะทำงานเป็นวงจรตั้งเวลาหรือวงจรนับ เมื่อหมดเวลาที่ได้ตั้งไว้(ในโหมดวงจรตั้งเวลา) หรือนับถึงจำนวนนับที่ตั้งไว้ CTC จะส่งสัญญาณอินเทอรัพท์ (INT = 0)ไปยังCPU เมื่อ CPU ตอบรับสัญญาณ INT นี้ด้วยขบวนการตอบสนองต่อการอินเทอรัพท์ CTC ต้องส่งอินเทอรัพท์เวคเตอร์ไปให้ อินเทอรัพท์เวคเตอร์มีขนาด 8 บิท

รีจิสเตอร์ควบคุมขนาด 8 บิท เป็นที่เก็บคำสั่งจาก CPU ว่าต้องการให้แชนแนลนี้ทำหน้าที่อย่างไร โดยมีรายละเอียดอยู่ในแต่ละบิท ตามความหมายของมัน

รีจิสเตอร์เก็บค่าคงตัวเวลา (Time Constant) ขนาด 8 บิ ท เป็นที่เก็บค่าตัวเลขฐานเวลาที่ใช้ในการจับเวลา(ในโหมดตั้งเวลา) และเป็นจำนวนนับสูงสุดที่เราตั้งไว้(ในโหมดวงจรนับ)

วงจรนับถอยหลังขนาด 8 บิท เป็นวงจรนับภอยหลัง เริ่มจากตัวเลขในรีจิสเตอร์ค่าคงตังเวลานับถอยหลังด้วยความถี่ของสัญญาณที่เราเลือกได้นับจนเป็น 0 แล้วเริ่มรอบใหม่เรื่อย ๆจนกว่าจะถูกโปรแกรมสั่งให้หยุด

ZC/TO (Zero Count/Time Out) มีเฉพาะแชนแนล 0,1 และ 2 เท่านั้น แชลแนล 3 ไม่มีวงจรตรวจจับจำนวนนับเมื่อเป็น 0 จะส่งสัญญาณพัลซ์บวกออกไปที่ขา ZC/TO ของแชนแนลนั้นๆ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รีเซท (Reset) เป็นการหยุดวงจรนับแต่ตัวเลขในวงจรไม่เปลี่ยนแปลง

การใช้งาน CTC

เราสามารถเลือกให้แต่ละแชนแนล ทำงานเป็นวงจรนับ หรือวงจรตั้งเวลาก็ได้โดยโปรแกรมก่อนใช้งาน ถ้ายังไม่พูดถึงเรื่องโปรแกรมการใช้งานของการตั้งเวลา จะแตกต่างจากวงจรนับคือ

ใช้ CTC เป็นตัวตั้งเวลา

วงจรตั้งเวลาหรืออาจจะเรียกว่าวงจรจับเวลาก็คือการนับเวลาที่ผ่านไปทางอิเลคทรอนิคส์ ทำได้โดยวงจรนับสัญญาณที่มีคาบเวลาคงที่ จำนวนคาบเวลาที่นับได้ก็คือ จำนวนเวลาที่ผ่านไป เมื่อกำหนดจำนวนจำนวนนับสุงสุดไว้แล้ว เริ่มนับถอยหลัง (Down Counter) จนเป็น 0 ถือว่าครบกำหนด ถือว่าหมดเวลาหรือ Time Out (TO) และจำนวนนับที่เราตั้งไว้ตอนเริ่มเรียกว่า Time Constant การควบคุมการทำงานทำได้ 2 ทางคือ

1. ทางโปรแกรม
2. ทางสัญญาณภายนอก

ทางโปรแกรม

เมื่อแชนแนลนั้นถูกตั้งให้เป็นวงจรจับเวลาแล้ว (โดยการโปรแกรม) แล้วจะต้องมีคำสั่งซึ่งเป็นโปรแกรมเช่นกัน มากระตุ้นให้วงจรตั้งเวลาทำงานเริ่มนับเวลา

ทางสัญญาณภายนอก

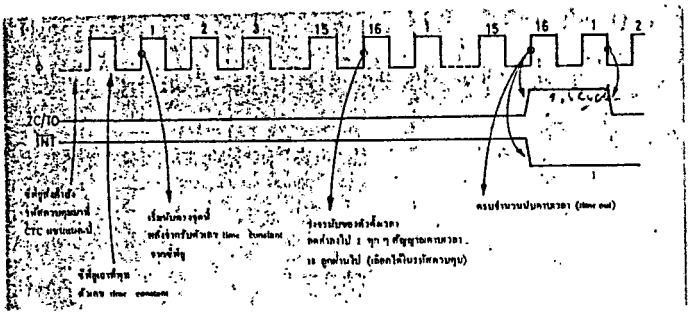
เมื่อแชนแนลนั้นถูกตั้งให้เป็นวงจรจับเวลาแล้ว (โดยการโปรแกรม) มาและจะรอค้างอยู่จนกว่าจะได้สัญญาณ CLK/TRG

ทั้งทางโปรแกรมและทางสัญญาณภายนอก สัญญาณนาฬิกาที่นับคือ หรือสัญญาณนาฬิกาทั้งคู่

ตารางเวลาการนับเริ่มจับเวลาด้วยโปรแกรม

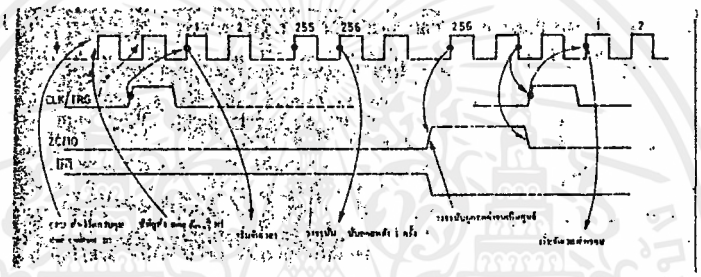
CPU ส่งคำสั่งเลือกโหมดมาที่แชนแนลนี้และตามด้วยตัวเลข Time Constant ตัวเลข Time Constant จะถูกเก็บไว้ใน Time Constant Register ตลอดเวลา ตัวเลขนี้จะถูกใส่ไปในวงจรนับและเริ่มนับถอยหลังทันที ตามรูปแชนแนลนี้ถูกเลือกให้นับสัญญาณคาบเวลา โดยวงจรนับจะถูกนับถอยหลัง 1 ครั้ง เมื่อสัญญาณ ผ่านไป 16 คาบ จนวงจรนับเป็น 0 แชนแนลนี้จะให้พัลส์ TO บอกหมดเวลาและถ้า CPU ให้หยุดมันจะเริ่มจับเวลาใหม่อีกรอบไปเรื่อย ๆ โดยแต่ละรอบจะเอาค่าฐานเวลามาจากตัวเลขใน Time Constant Register

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.6

ตารางเวลากการนับเริ่มจับเวลาด้วยสัญญาณภายนอก



รูปที่ 3.7

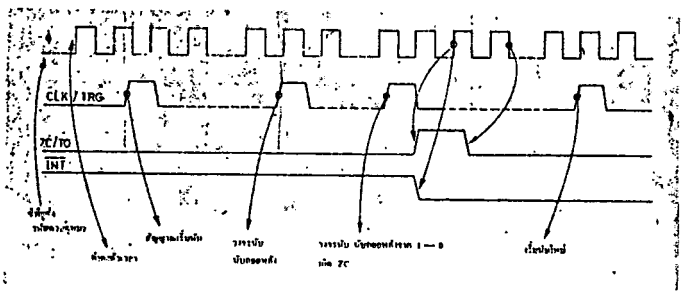
ตามรูป CPU ต้องส่งคำสั่งเลือกให้วงจรจับเวลารอจนได้รับสัญญาณ CLK/TRG จึงเริ่มจับ และรูปนี้แสดงการเลือกให้วงจรนับถอยหลัง 1 ครั้งเมื่อสัญญาณ ผ่านไป 256 ลูก

การใช้ CTC เป็นวงจรนับ

วงจรนับก็คือวงจรนับจำนวนครั้งของสัญญาณอินพุทว่าผ่านไปกี่ครั้งแล้ว โดยที่คาบของสัญญาณอินพุทไม่จำเป็นต้องแน่นอน เรานับ จำนวนครั้ง โดยทั่วไปวงจรนับเราจะใช้วงจรนับขึ้น (Up- จาก 0 - 1 -2...) แต่ใน CTC นี้ เนื่องจากใช้วงจรนับตัวเดียวกับ Time Counter ซึ่งเป็นการนับลง (Down Counter) การนับในโหมดวงจรนับจึงเป็นการนับลงด้วยและนับลงจากจำนวนที่ตั้งไว้ จนเป็น 0 นับเป็นศูนย์ หรือ ZC และจำนวนนับที่เราตั้งไว้แต่เริ่มท เรียกว่าค่าคงตัวเวลาเช่นกัน จะเห็นว่าแต่ละแชนแนลเป็นได้ทั้งวงจรนับหรือวงจรตั้งเวลา สัญญาณ ZC และ TO ของแต่ละแชนแนลจึงเป็นขาเดียวกัน ถ้าทำหน้าที่เป็นวงจรตั้งเวลาขานี้ก็แสดงว่าเป็น TO และถ้าเป็นวงจรนับ ขานี้ก็แสดง ZC นั่นเอง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตารางแสดงเวลาการนับเมื่อเป็นวงจรนับ



ในการทำงานโหมดนี้สัญญาณที่นับจะเป็นสัญญาณจากภายนอกคือ CLK/TRG ทุกครั้งที่มีอพัลส์ CLK/TRG มา วงจรนับจะถูกนับถอยหลัง เมื่อนับเป็น 0 จะส่งสัญญาณพัลส์ ZC มาที่ขา ZC/TO ตัวเลขค่าคงตัวเวลาที่ CPU ส่งมาจะถูกเก็บไว้ในรีจิสเตอร์ ค่าคงตัวเวลาเสมอและจะถูกนำมาใส่ในวงจรนับตอนเริ่มนับหมายเหตุ เราสามารถเปลี่ยนค่าในรีจิสเตอร์ค่าคงตัวเวลา Time Constant Register เป็นค่าใหม่ได้ โดยการนับยังดำเนินต่อไป Time Constant ค่าใหม่จะเป็นผลหลังจาก Time Out หรือ Zero Count หมดไปแล้วเริ่มรอบใหม่

สัญญาณอินเตอร์รัพท์ของ CTC

Z 80 CTC ทุกช่อง (Channel) มีวงจรอินเตอร์รัพท์ประจำอยู่ และจะส่งสัญญาณอินเตอร์รัพท์ เมื่อเกิดนับลงเป็น 0 เสมอ (ไม่ว่าจะเป็นใน Timer Mode หรือ Counter Mode) สัญญาณอินเตอร์รัพท์ของทุก ๆ ช่องจะมารวมกันออกที่ขา INT อันเดียว CPU สามารถแยกแยะว่าสัญญาณอินเตอร์รัพท์มาจากช่องไหนใน CTC ชิพ โดยอาศัยอินเตอร์รัพท์เวคเตอร์ซึ่งแต่ละตัวมีค่าตามที่จะโปรแกรมไว้ตอนเริ่มใช้งาน (ดูการโปรแกรม CTC) เนื่องจากในตัว CTC เองมีถึง 4 ช่องและช่องมีอินเตอร์รัพท์ของตัวเองและมีสัญญาณส่งอินเตอร์รัพท์ได้ทางเดียว โครงสร้างภายในเกี่ยวกับอินเตอร์รัพท์ถูกออกแบบไว้ให้มีลำดับความสำคัญสูงต่ำระหว่างช่องต่าง ๆ โดยเรียงจากสูงมาต่ำคือ

แชนแนล 0 ลำดับความสำคัญสูงสุด
แชนแนล 1 ลำดับความสำคัญสูงสุด
แชนแนล 2 ลำดับความสำคัญสูงสุด
แชนแนล 3 ลำดับความสำคัญต่ำสุด

กลไกการอินเตอร์รัพท์

ลำดับการอินเตอร์รัพท์มีดังนี้

1. CTC แชนแนล ที่มีสัญญาณอินเตอร์รัพท์และมีลำดับความสำคัญสูงสุด ตอนนั้นส่ง INT = 0 ไป CPU และ IEO = 0

2. CPU ตอบรับรู้สัญญาณอินเตอร์รัพท์ โดยขบวนการตอบอินเตอร์รัพท์ โดยส่ง M1 และ IORQ ออกมา CTC จะตอบรับโดยการส่งอินเตอร์รัพท์เวคเตอร์ของแชนแนลที่มีอินเตอร์รัพท์ไปที่บัสข้อมูล D0 - D1 (สมมติว่า CPU อยู่ในอินเตอร์รัพท์โหมด 2)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3. เมื่อ CPU ทำคำสั่ง RETI CTC จะให้ IEO = 1 เหมือนเดิม

การโปรแกรม CTC

ตามรูปที่ 3.5 จะเห็นว่ามีส่วนที่ CPU จะติดต่อได้ 4 ส่วนคือ

1. Interrupt Vector Register 1 ตัว
2. Control Rgister 4 ตัว Channel ละ 1 ตัว
3. Time Constant Register 4 ตัว Channel ละ 1 ตัว
4. Count Down REgister 4 ตัว Channel ละ 1 ตัว

ตัวเลขที่ถูกเก็บไว้ใน Time Constant Register จะเป็นค่านั้นตลอดไปจนกว่าจะถูกเปลี่ยนแปลงใหม่ ตัวเลขที่ถูกถ่ายเทมาจาก Time Constant Register ไปยัง Counter Register ตอนเริ่มนับจะถูกนับถอยหลังลงจนเป็น 0 และจะได้รับตัวเลขจาก Time Constane Register ใหม่เพื่อเริ่มนับอีก

การเลือก Timer/Counter แชนแนลต่าง ๆ

CPU ใช้ CS0 และ CS1 เป็นตัวเลือกแชนแนลต่างๆ และ CE เป็นตัวเลือก CTC ตัวใดตัวหนึ่งจากหลาย ๆ ตัว โดย CS0 และ CS1 เลือกแชนแนลใด ๆ ดังตาราง

สายเลือก CS0	สายเลือก CS1	แชนแนลเลือก
0	0	0
0	1	1
1	0	2
1	1	3

คำสั่งควบคุม CTC

คำสั่งที่จะตั้ง CTC แชนแนลไหนให้อยู่โหมดไหนมี 2 ชนิดคือ

1. Interrupt Vector ขนาด 8 บิท มีบิท 0 = 0 ตามรูป

CTC รับ Interupt Vector ผ่านทางแชนแนล 0 เท่านั้น (ต้องเลือก CS0 = 0 , CS1 = 0 ตอนส่ง Interrupt Vector ใหเ CTC) CPU ต้องให้ V3 ถึง V7 ส่วนบิท 1 และ 2 ไม่ต้องวงจรภายใน CTC จะเติมให้เอง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 4
โปรแกรมการทำงานของเครื่องจำลองสัญญาณไฟฟ้าหัวใจ
(Software Design for ECG Simulator)

เนื่องจากเครื่องจำลองรูปคลื่นสัญญาณไฟฟ้าหัวใจ อาศัยการทำงานของไมโครโปรเซสเซอร์ในการประมวลผลโดยมีสัญญาณอินเทอรัพท์จาก CTC เป็นตัวกำหนดฐานเวลาในการส่งข้อมูลให้กับวงจรแปลงสัญญาณดิจิตอลไปเป็นอนาลอก ดังนั้นการออกแบบส่วนซอฟท์แวร์ควบคุม จึงจำเป็นต้องคำนึงถึงการตอบสนองต่อสัญญาณนี้อย่างเหมาะสมจึงสามารถแบ่งได้ตามลักษณะความจำเป็นในการตอบสนองต่อสัญญาณดังกล่าวได้ 2 ระดับคือ

1. โปรแกรมบริการอินเทอรัพท์แบบมาสเอเบิ้ลโหมด 2 เพื่อให้ง่ายต่อการกำหนดแอดแดรสของโปรแกรมบริการอินเทอรัพท์ว่าจะให้อยู่ที่ตำแหน่งใด ซึ่งการทำงานของโปรแกรมบริการอินเทอรัพท์จะเกิดขึ้นเมื่อมีการอินเทอรัพท์จาก CTC ซึ่งเป็นตัวกำหนดคาบเวลาในการส่งข้อมูลให้กับ วงจรแปลงสัญญาณดิจิตอลไปเป็นอนาลอก ซึ่งเมื่อเกิดการอินเทอรัพท์ขึ้น CTC จะทำการส่งอินเทอรัพท์เวคเตอร์รีจีสเตอร์มาให้กับ CPU เพื่อที่จะนำมาต่อกับค่าในรีจีสเตอร์ I เพื่อเป็นตัวชี้ตำแหน่งเริ่มต้นของโปรแกรมบริการอินเทอรัพท์ จากนั้น CPU จะกระโดดมาทำงานตามโปรแกรมบริการอินเทอรัพท์นี้ต่อไป โดยโปรแกรมบริการอินเทอรัพท์ จะทำการส่งข้อมูลของรูปคลื่นสัญญาณไฟฟ้าหัวใจ (ECG) ออกไปยังพอร์ทซึ่งต่อกับวงจรแปลงสัญญาณดิจิตอลเป็นอนาลอก

2. โปรแกรมหลัก เป็นโปรแกรมที่ CPU ทำงานขณะที่ไม่มีสัญญาณอินเทอรัพท์จากภายนอก แต่เมื่อมีสัญญาณอินเทอรัพท์เกิดขึ้นแล้ว CPU จะกระโดดไปทำงานตามโปรแกรมบริการอินเทอรัพท์ เมื่อเสร็จแล้วจึงกลับมาทำงานที่โปรแกรมหลักเดิมต่อไป จึงถือได้ว่าโปรแกรมหลักมีลำดับการตอบสนองต่ำสุด ขั้นตอนการทำงานของโปรแกรมหลักจะทำงานอยู่ภายในลูป โดยมีการทำงานของโปรแกรมบริการอินเทอรัพท์แบบมาสเอเบิ้ลแฝงตัวอยู่ ซึ่งการทำงานของโปรแกรมหลักนี้จะแบ่งการทำงานได้เป็น 2 ส่วนย่อยๆคือ การแสดงสถานะต่างของรูปคลื่นบนจอแสดงผลแบบผลึกเหลว (LCD) , การตอบสนองต่อการกดคีย์,การย้ายข้อมูลจาก EPROM ที่เก็บข้อมูลของ ECG

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ลำดับการทำงานของโปรแกรมบริการอินเทอรัพท์มาสเอเบิ้ล

(Maskable Interrupt Service Routine)

รายละเอียดของโปรแกรมนี้เป็นการตอบสนองต่อสัญญาณที่เข้ามาอินเทอรัพท์ CPU ที่ขา INT สำหรับโปรแกรมนี้ได้ออกแบบให้ใช้อินเทอรัพท์มาสเอเบิ้ลโหมด 2 ซึ่งจะมีตำแหน่งเริ่มต้นที่แอดแดรส ซึ่งได้เก็บไว้ ณ.ตำแหน่งซึ่งชี้โดยค่าของรีจีสเตอร์ I นำมาต่อกับอินเทอรัพท์เวคเตอร์จาก CTC ซึ่งเมื่อมีการอินเทอรัพท์เกิดขึ้น CPU จะตอบสนองต่อสัญญาณนี้ด้วยการทำงานตามแอดแดรสที่ได้กล่าวไว้ข้างต้น

ลำดับการทำงานของโปรแกรมเป็นไปตามโฟลว์ชาร์ทในรูปซึ่งมีรายละเอียดขั้นตอนการทำงานดังต่อไปนี้

ขั้นตอนที่ 1

เก็บค่าของรีจีสเตอร์ทั่วไปของ CPU โดยการใช้การสลับค่าระหว่าง xx และ xx'ทั้งหมดและรีจี-สเตอร์ IX จะเก็บลงในพื้นที่สแตก

ขั้นตอนที่ 2

ทำการรีเซตการทำงานของ CTC เพื่อหยุดการนับของ CTC

ขั้นตอนที่ 3

หน่วงเวลาการทำงานของ CTC เนื่องจากการโปรแกรมค่า TIME CONSTANT ให้ CTC ยังละเอียดไม่พอ

ขั้นตอนที่ 4

เริ่มต้นให้ CTC ทำงานอีกครั้งหนึ่ง

ขั้นตอนที่ 5

คืนค่าตัวชี้ตำแหน่งข้อมูลจาก DATA BUFFER

ขั้นตอนที่ 6

ส่งข้อมูลดิจิตอลของสัญญาณไฟฟ้าหัวใจออกไปที่พอร์ท ที่ต่ออยู่กับวงจรแปลงสัญญาณดิจิตอลเป็นอนาลอก

ขั้นตอนที่ 7

คืนค่าตัวนับข้อมูล (DATA COUNTER) จาก COUNTER BUFFER

ขั้นตอนที่ 8

ลดค่าตัวนับข้อมูลลงหนึ่ง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ขั้นตอนที่ 9

ตรวจสอบตัวนับข้อมูลว่าเท่ากับศูนย์หรือไม่ ถ้าไม่เท่ากับศูนย์ให้ทำงานในขั้นตอนที่ 10 ต่อไป ถ้าเท่ากับศูนย์ให้กระโดดไปทำงานที่ขั้นตอนที่ 14

ขั้นตอนที่ 10

เก็บค่าตัวนับเริ่มต้นของข้อมูลลงในบัฟเฟอร์

ขั้นตอนที่ 11

เพิ่มค่าตัวชี้ข้อมูลขึ้นหนึ่ง

ขั้นตอนที่ 12

เก็บค่าตัวชี้ข้อมูลลงในบัฟเฟอร์ เพื่อใช้ในการส่งข้อมูลถัดไป

ขั้นตอนที่ 13

สลับค่ารีจีสเตอร์ xx กับ xx' เพื่อคืนค่าเดิมให้กับรีจีสเตอร์ และคืนค่าจากสแตกให้กับรีจีสเตอร์ IX ด้วยจากนั้นอนุญาตให้เกิดการอินเทอรัพท์แบบมาสเอเบิ้ลได้และกลับไปทำงานยังโปรแกรมหลักต่อไป

ขั้นตอนที่ 14

กำหนดค่าเริ่มต้นใหม่ให้กับตัวนับข้อมูล(DATA COUNTER)

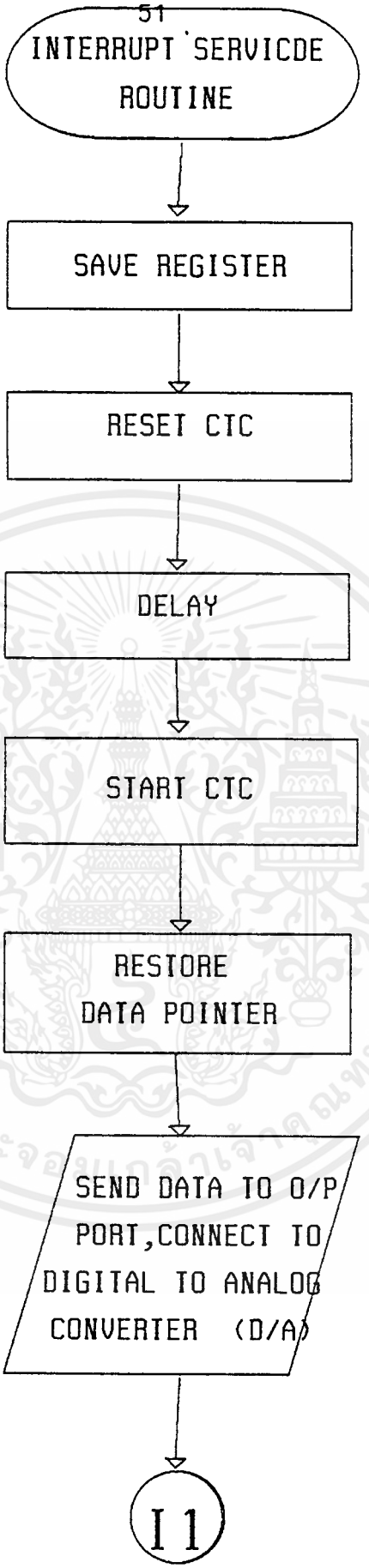
ขั้นตอนที่ 15

เก็บค่าตัวนับข้อมูลลงในบัฟเฟอร์ เพื่อใช้ในการส่งข้อมูลครั้งถัดไป

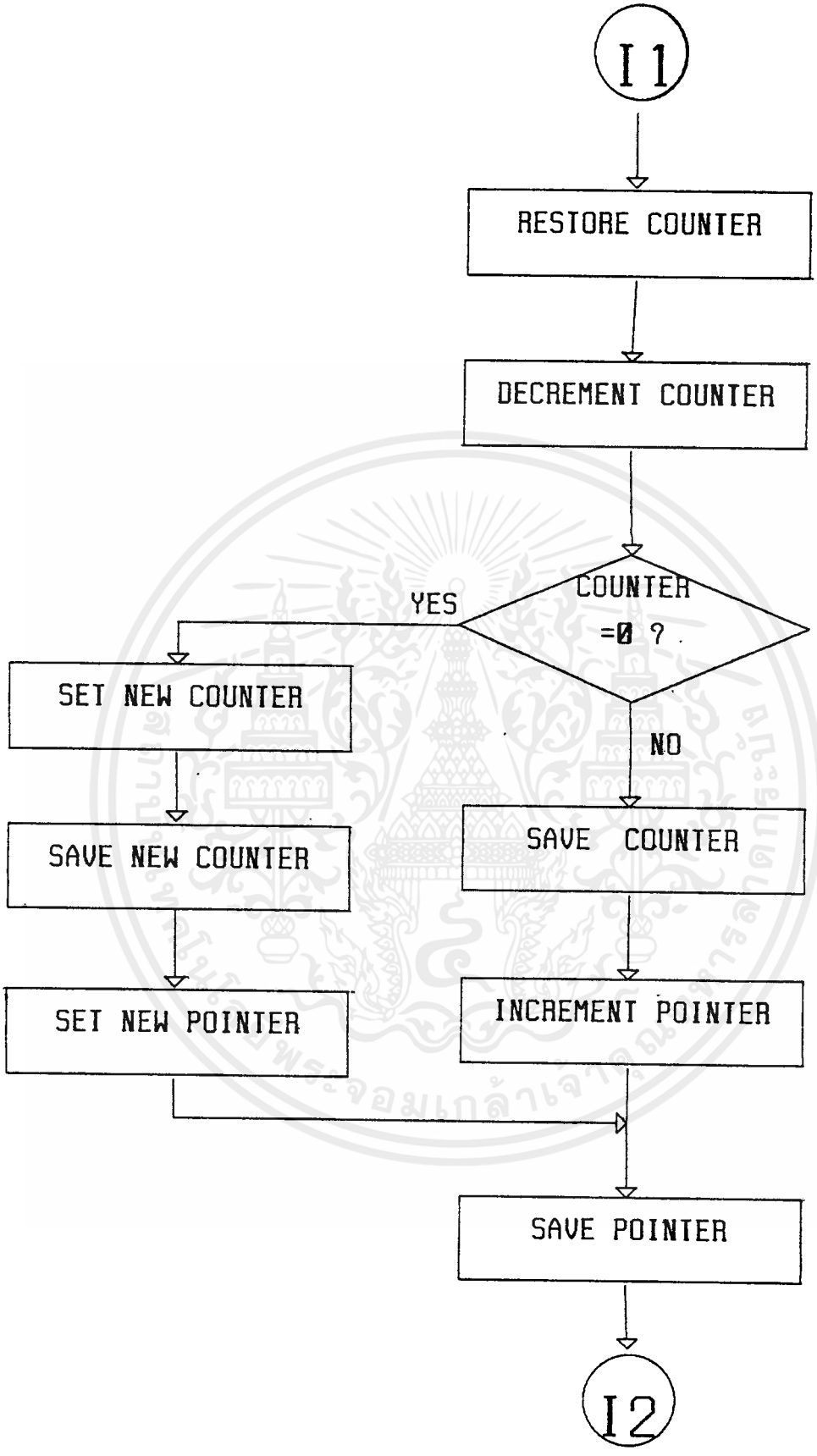
ขั้นตอนที่16

กำหนดค่าเริ่มต้นใหม่ให้กับตัวชี้ข้อมูล (DATA POINTER) แล้วกลับไปทำงานที่ขั้นตอนที่ 12

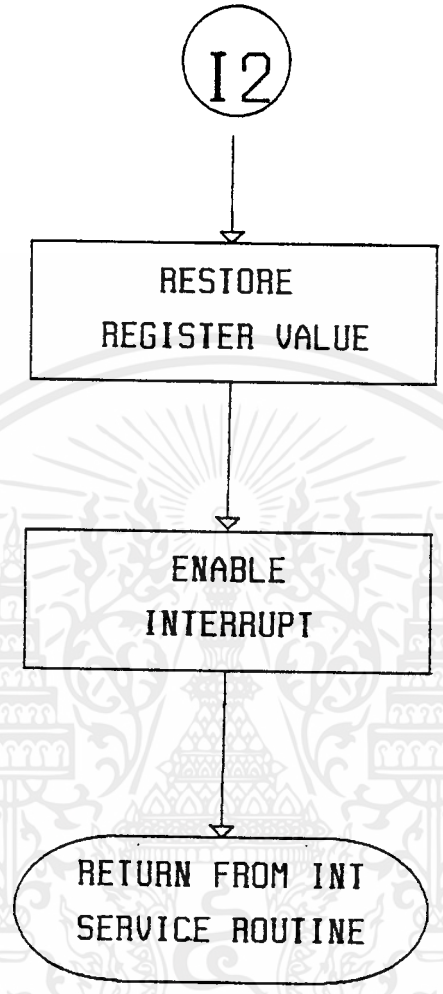
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ลำดับขั้นการทำงานของโปรแกรมหลัก (Main Loop Program)

โปรแกรมหลักคือส่วนของโปรแกรมที่ CPU ทำงานอยู่โดยไม่มีสัญญาณอินเทอรัพท์จากภายนอกและลักษณะของโปรแกรมจะวนทำงานอยู่ภายในลูปตลอดเวลา การทำงานส่วนใหญ่จะเป็นการแสดงสถานะต่างๆของ ECG บนจอ LCD MODULE ,การย้ายข้อมูล จาก EPROM ,การประมวลผลคีย์ที่กดว่าต้องการให้ทำงานอะไร

ลำดับขั้นการทำงานของโปรแกรมหลักเป็นไปตามโฟลว์ชาท์ ซึ่งมีรายละเอียดขั้นตอนการทำงานดังนี้

ขั้นตอนที่ 1

ทำการกำหนดค่าเนื้อที่ของหน่วยความจำให้เป็นสแตกของ CPU

ขั้นตอนที่ 2

ทำการหน่วยเวลาเพื่อให้ ฮาร์ดแวร์อยู่ในเสถียรภาพพร้อมที่จะทำงานได้

ขั้นตอนที่ 3

กำหนดค่าให้กับรีจีสเตอร์ I ให้เป็นไบต์สูงของพอยน์เตอร์สำหนับชี้ตำแหน่งของหน่วยความจำ ที่เก็บแอดเดรสของโปรแกรมบริการอินเทอรัพท์มาสเอเบิ้ลโหมด 2

ขั้นตอนที่ 4

กำหนดค่าอินเทอรัพท์เวคเตอร์ให้กับอินเทอรัพท์เวคเตอร์รีจีสเตอร์ของ CTC

ขั้นตอนที่ 5

กำหนดทิศทางของพอร์ทแบบขนานว่าจะให้บิทใดเป็นเอาท์พุทหรือเป็นอินพุต

ขั้นตอนที่ 6

เริ่มต้นกำหนดการทำงานของ LCD MODULE

ขั้นตอนที่ 7

กำหนดค่าเริ่มต้นของสถานะต่างๆคือค่าเริ่มต้นที่จะแสดงบนจอ LCD MODULE ระดับขั้นของสัญญาณเอาท์พุต,ตัวนับข้อมูล,ตัวชี้ข้อมูล

ขั้นตอนที่ 8

กำหนดให้มีการเกิดการอินเทอรัพท์มาสเอเบิ้ลโหมด 2

ขั้นตอนที่ 9

อนุญาตให้มีเกิดการอินเทอรัพท์ได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ขั้นตอนที่ 10

คำนวนค่าแอดแดรสเริ่มต้นของข้อมูลของโรคที่ได้เลือก เพื่อใช้ในการย้ายข้อมูลสำหรับโรคนั้นๆจาก EPROM มาไว้ใน พื้นที่ RAM

ขั้นตอนที่ 11

กำหนดแอดแดรสเริ่มต้นของ memory ที่จะทำการย้ายข้อมูลมาเก็บไว้

ขั้นตอนที่ 12

กำหนดค่าตัวนับข้อมูล(data counter) ซึ่งจะมีค่าเท่ากับจำนวนของข้อมูลที่จะทำการย้ายมาจาก EPROM

ขั้นตอนที่ 13

ย้ายข้อมูลจาก EPROM มาไว้ยัง RAM DATA AREA

ขั้นตอนที่ 14

แสดง BEAT RATEของ ECG นั้นๆบนจอ LCD MODULE

ขั้นตอนที่ 15

แสดงชื่อของ ECG นั้นๆตามที่ได้เลือกไว้บนจอ LCD MODULE

ขั้นตอนที่ 16

คำนวนค่าแอดแดรสเริ่มต้นที่เก็บค่า TIME CONSTANT สำหรับ CTC เพื่อใช้กำหนดช่วงเวลาในการอินเทอรัพท์

ขั้นตอนที่ 17

เริ่มต้นให้ CTC ทำการนับโดยเมื่อ CTC ทำการนับจนครบตาม TIME CONSTANT ที่ได้กำหนไว้ CTC ก็จะทำการอินเทอร์รัพท์ CPU

ขั้นตอนที่18

ทำการตรวจสอบการปล่อยคีย์ว่ามีการปล่อยแล้วหรือยังถ้ายังถ้ายังให้ทำการวนรอให้มีการปล่อยคีย์เดิมก่อนที่จะรับค่าคีย์ถัดไป

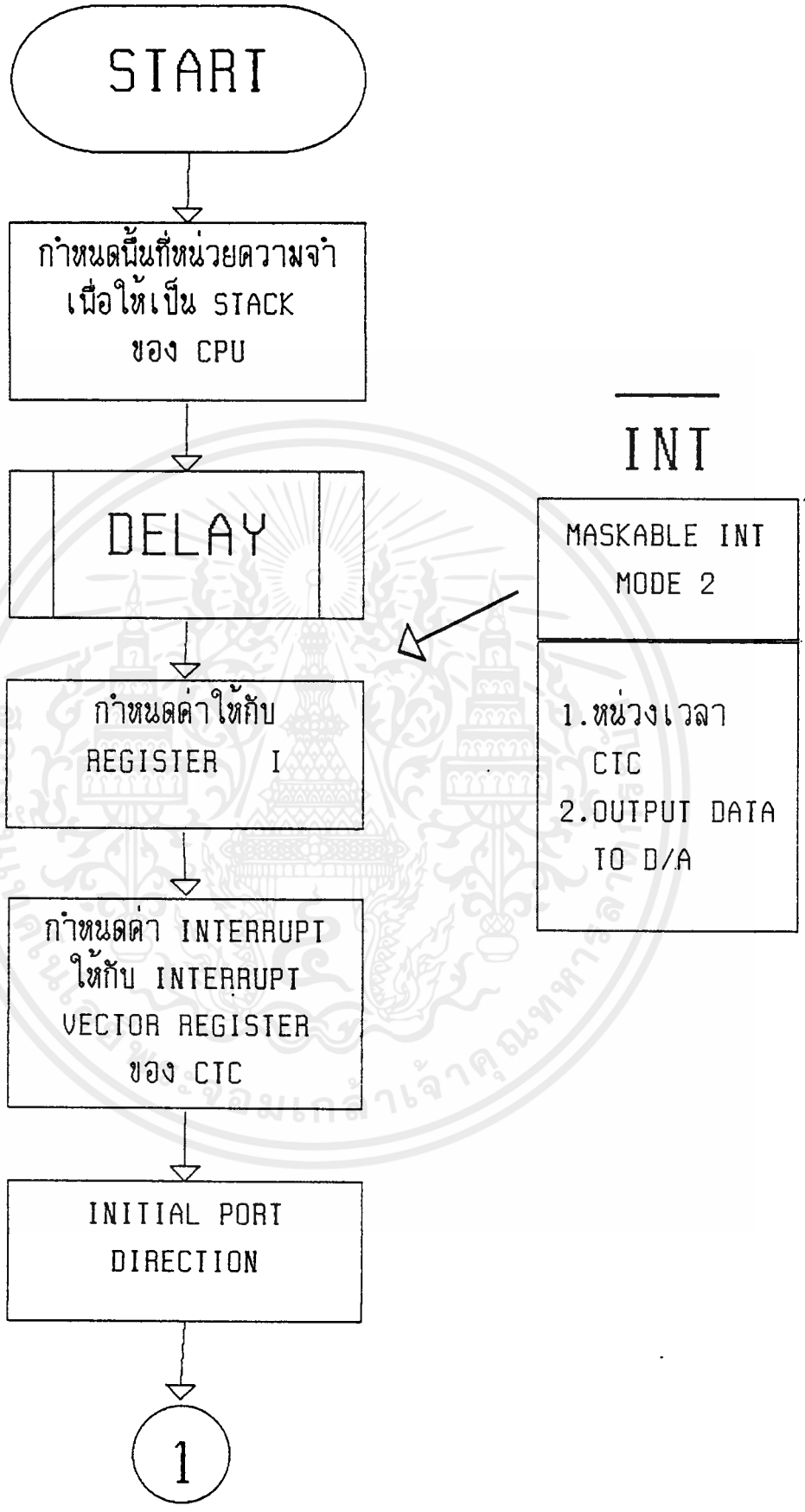
ขั้นตอนที่ 19

ทำการวนลูปเพื่อรอรับค่าคีย์ต่อไป

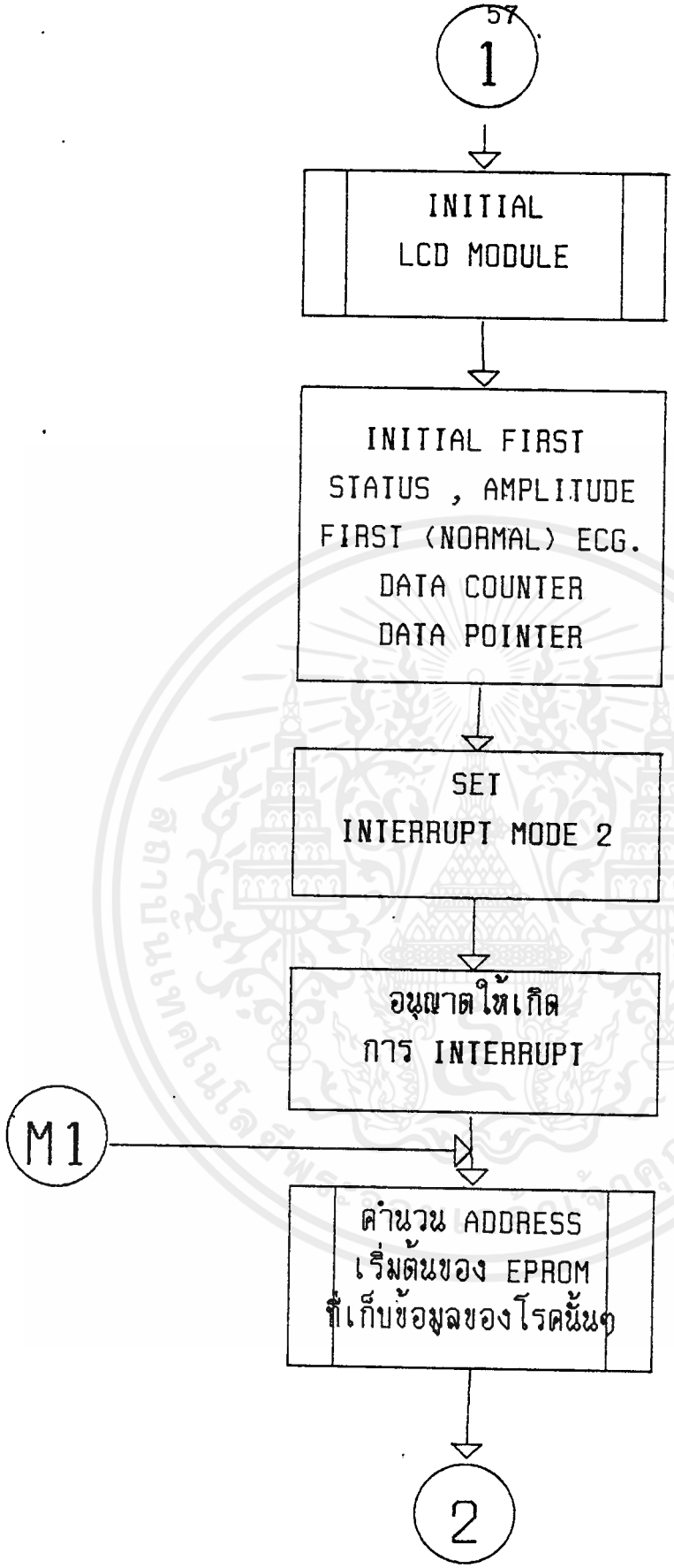
ขั้นตอนที่ 20

ตรวจสอบว่าคีย์ที่กดนั้นอยู่ในกลุ่มคีย์ใด ซึ่งการออกแบบได้ออกแบบไว้ให้มีอยู่ 4 กลุ่ม คือ กลุ่มคีย์ 0 ถึง 9 ,กลุ่มคีย์เพิ่มหรือลดค่า NO.,กลุ่มคีย์เพิ่มหรือลดค่า BEAT RATE กลุ่มคีย์เพิ่มหรือลดค่าระดับชั้นสัญญาณเอาท์พุท

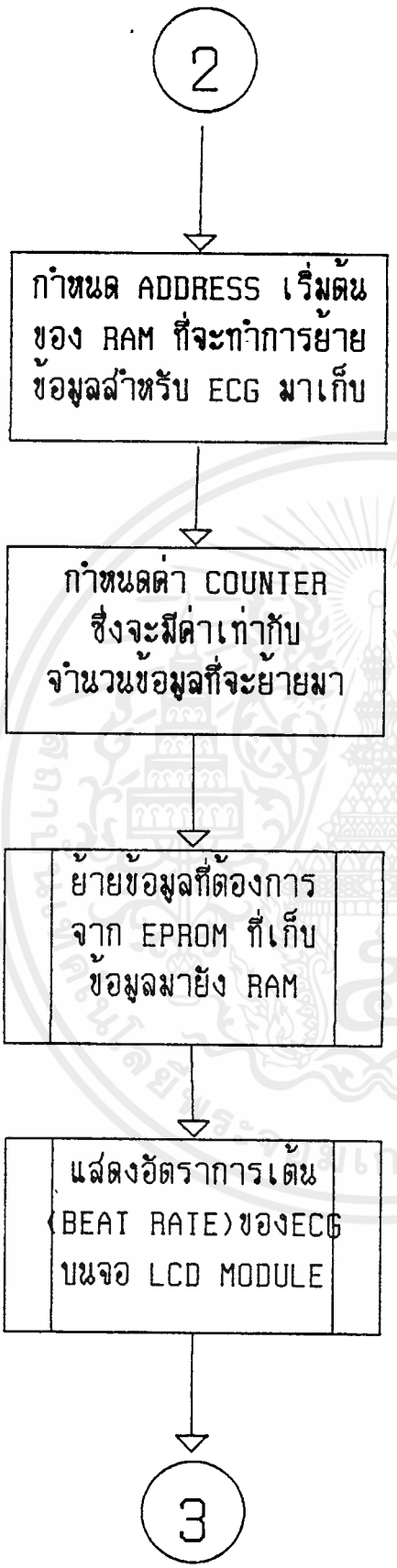
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



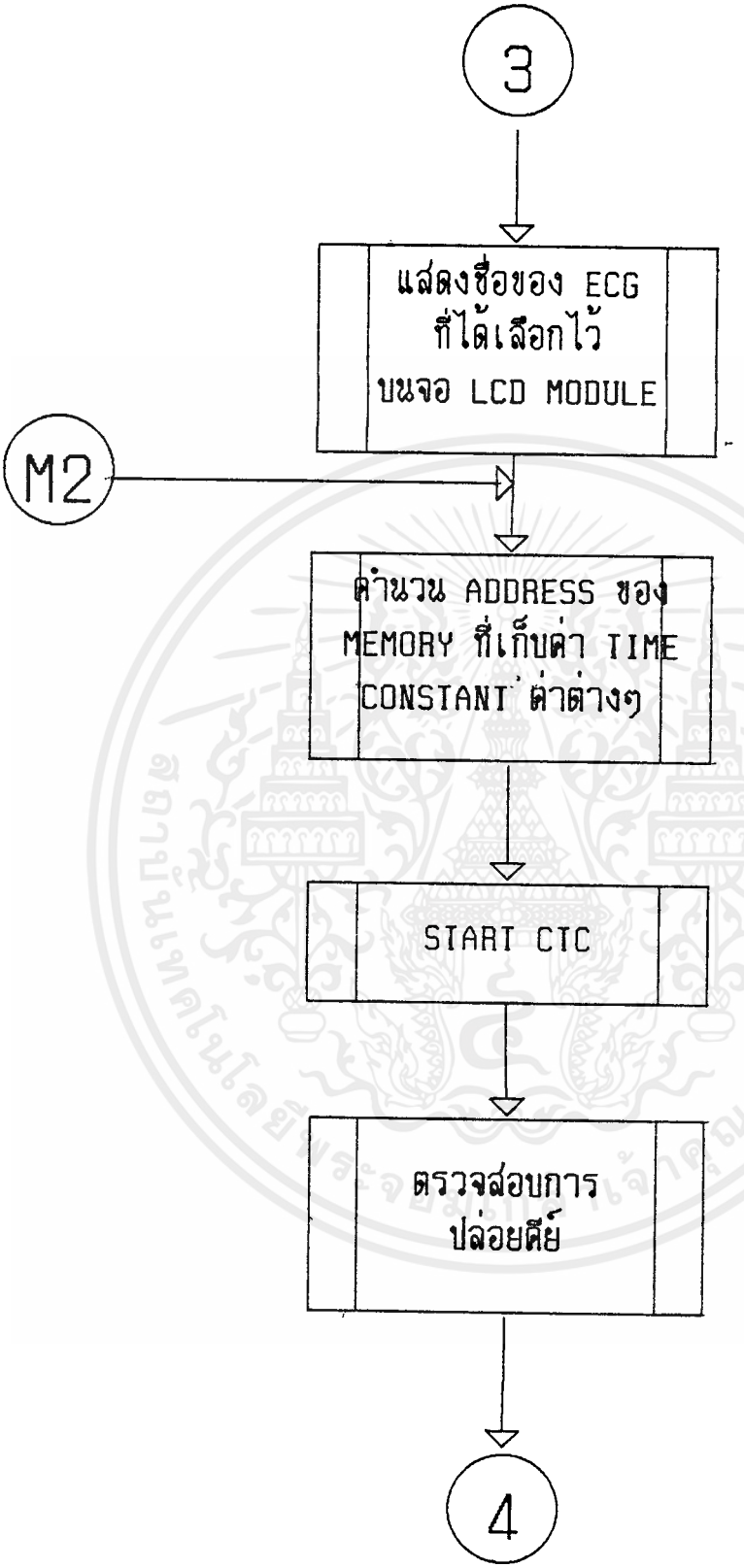
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



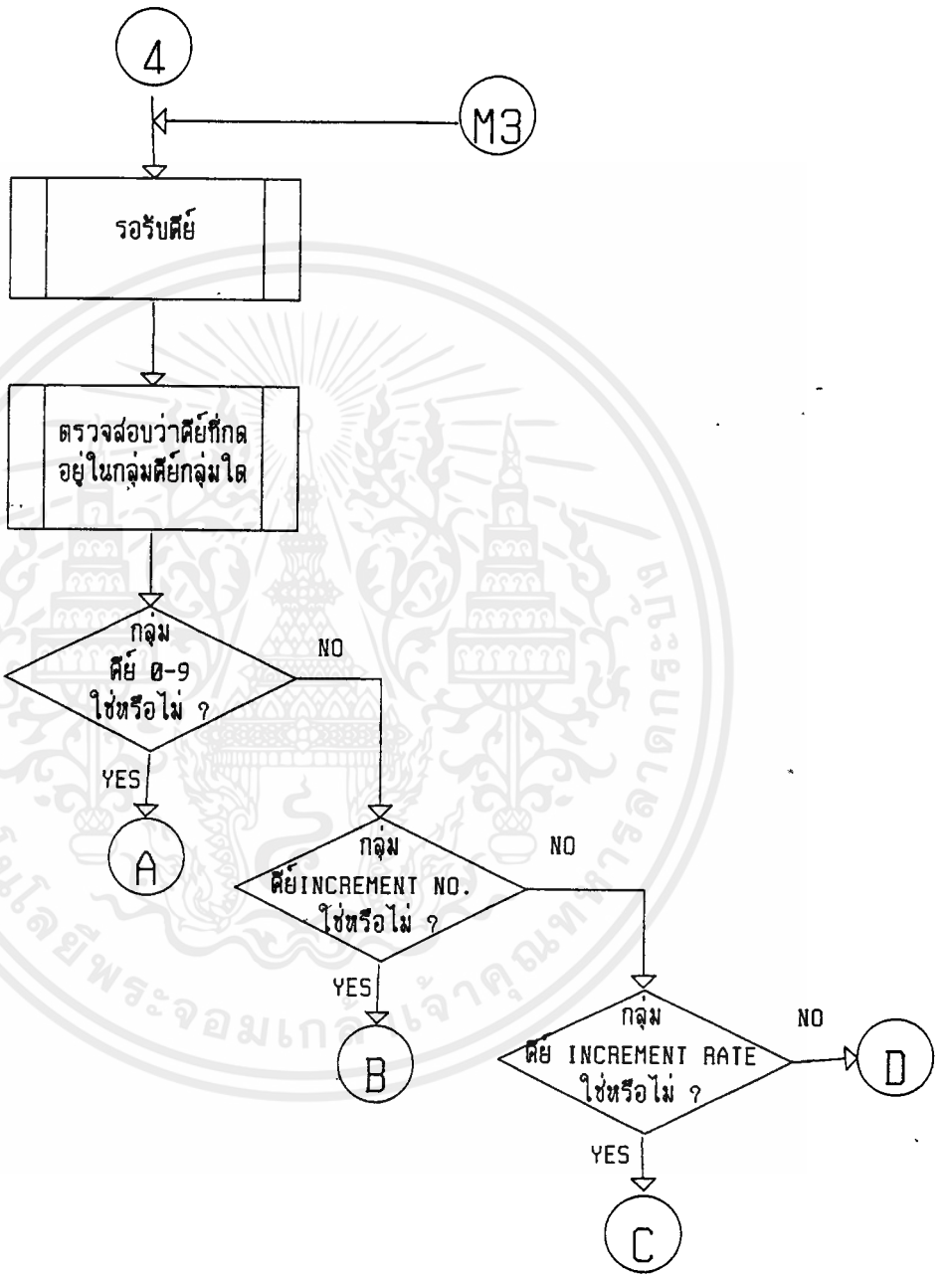
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ถ้าเป็นคีย์ 0 ถึง 9 จะกระโดดมาทำงานตามขั้นตอนดังต่อไปนี้

ขั้นตอนที่ 1.1

เลื่อนตำแหน่งเคอร์เซอร์ของจอ LCD MODULE ไปยังตำแหน่งหลักหน้าสุดของค่า NO.

ขั้นตอนที่ 1.2

แสดงค่าของตัวเลขบนจอ LCD MODULE ตามคีย์ที่ได้กดไป

ขั้นตอนที่ 1.3

เลื่อนเคอร์เซอร์ไปยังตำแหน่งถัดไปหนึ่งตำแหน่ง

ขั้นตอนที่ 1.4

ทำการตรวจสอบการปล่อยคีย์ว่ามีการปล่อยแล้วหรือยังถ้ายัง ถ้ายังให้ทำการวนรอให้มีการปล่อยคีย์เดิมก่อนที่จะรับค่าคีย์ถัดไป

ขั้นตอนที่ 1.5

ทำการวนลูปเพื่อรอรับค่าคีย์ต่อไป ซึ่งเมื่อมาถึงขั้นตอนนี้ถ้ากดคีย์อื่นๆที่ไม่ใช่กลุ่มคีย์ 0 ถึง 9 จะไม่รับค่าคีย์อื่น แต่จะรอรับคีย์ 0 ถึง 9 จนครบสามหลัก

ขั้นตอนที่ 1.6

ตรวจสอบว่าคีย์ที่กดครบสามหลักแล้วหรือไม่ ถ้าไม่ให้กลับไปทำขั้นตอนที่ 1.2 ถ้าครบสามคีย์แล้วให้ทำขั้นตอนถัดไป

ขั้นตอนที่ 1.7

อ่านค่า NO. จำนวนสามหลักจากจอ LCD MODULE ซึ่งค่าที่ได้นี้จะเป็นค่า DECIMAL ASCII สามหลัก

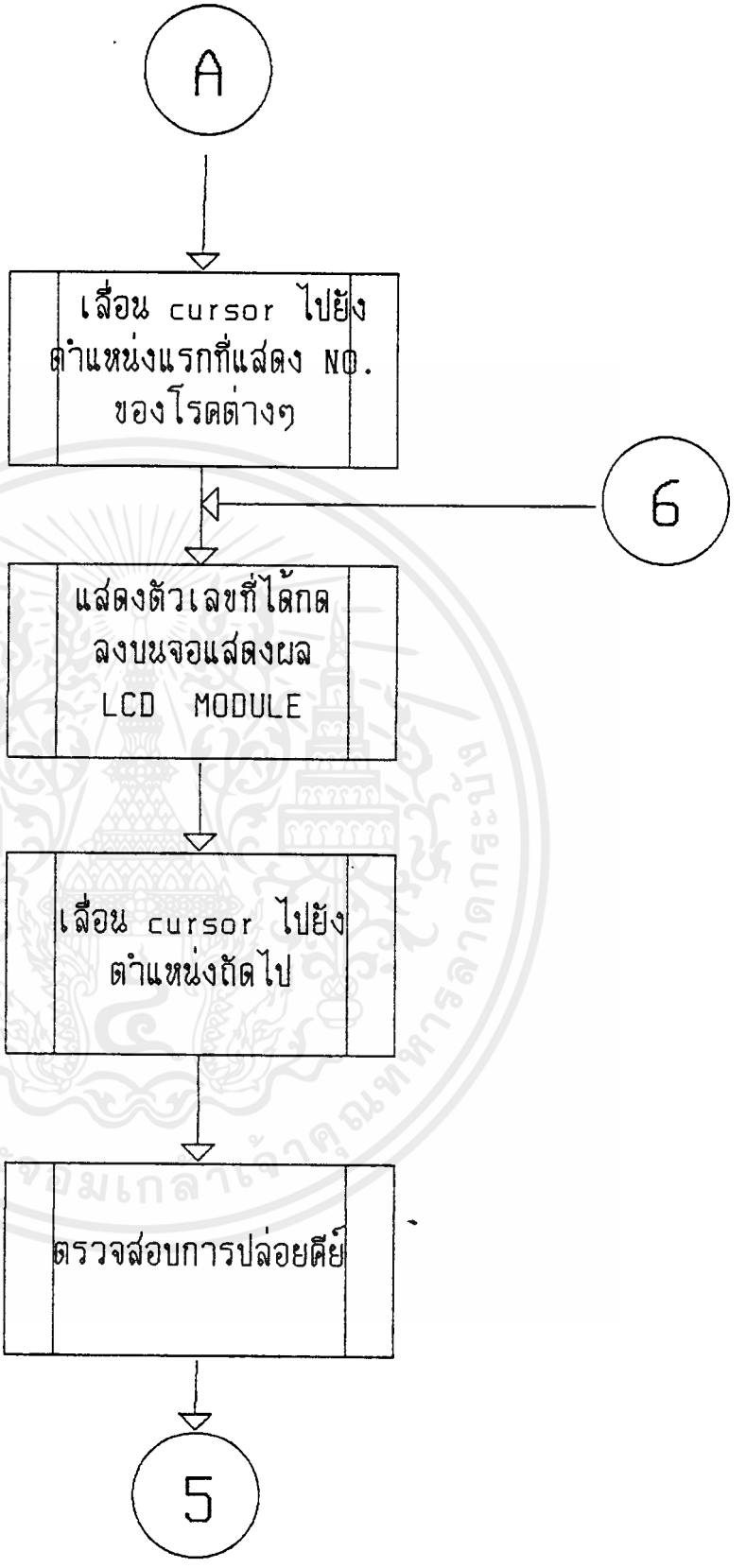
ขั้นตอนที่ 1.8

ทำการแปลงค่าที่ DECIMAL ASCII ได้จากขั้นตอนที่แล้วไปเป็นค่า BINARY

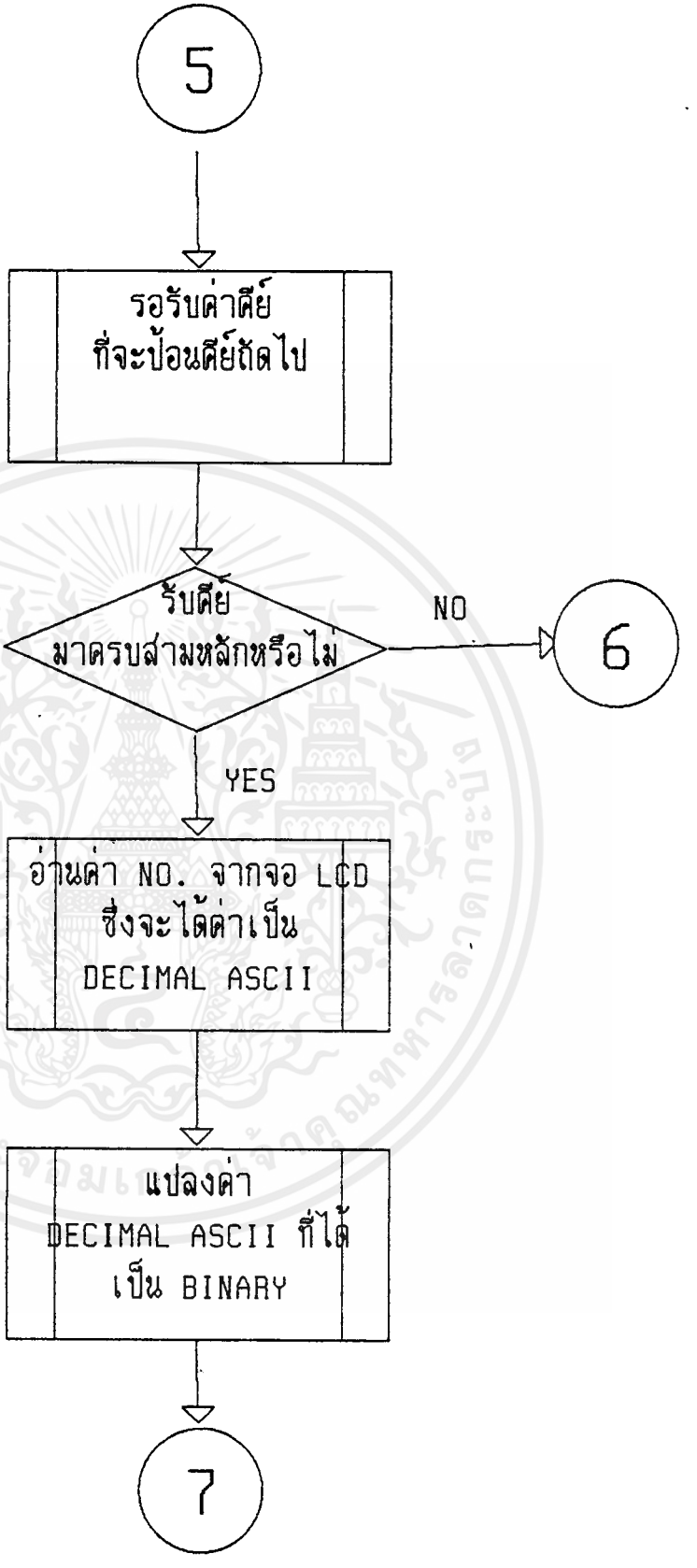
ขั้นตอนที่ 1.9

นำค่า BINARY ที่ได้จากขั้นตอนที่แล้วมาทำการตรวจสอบว่าเกินจำนวนที่กำหนดไว้หรือไม่ ถ้าเกินให้ทำการแสดงข้อความเตือนบนจอ LCD MODULE แล้วกลับไปทำขั้นตอนที่ 19 ถ้าไม่เกินให้กลับไปทำงานขั้นตอนที่ 10

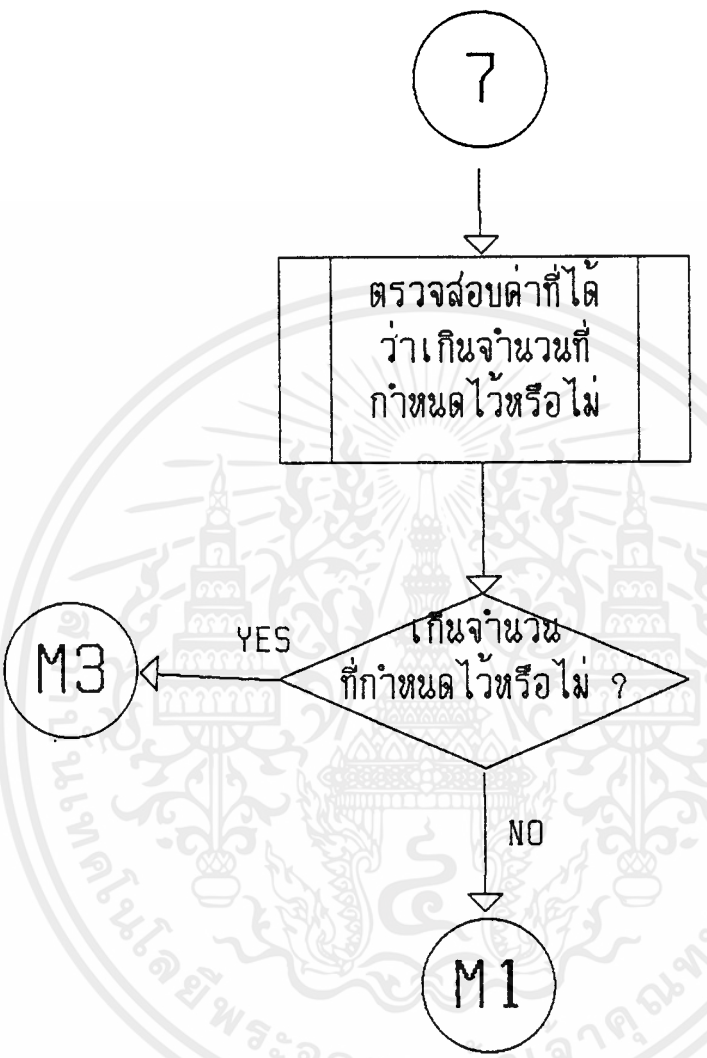
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ถ้าเป็นคีย์เพิ่มหรือลดค่า NO. จะกระโดดมาทำงานตามขั้นตอนดังต่อไปนี้

ขั้นตอนที่ 2.1

อ่านค่า NO. จำนวนสามหลักจากจอ LCD MODULE ซึ่งค่าที่ได้นี้จะเป็นค่า DECIMAL ASCII สามหลัก

ขั้นตอนที่ 2.2

ทำการแปลงค่าที่ DECIMAL ASCII ได้จากขั้นตอนที่แล้วไปเป็นค่า BINARY

ขั้นตอนที่ 2.3

นำค่า BINARY ที่ได้จากขั้นตอนที่แล้วมาทำการตรวจสอบว่าเป็นคีย์เพิ่มหรือลดค่าแล้วทำการเพิ่มหรือลดค่าตามคีย์ที่ได้เลือกไว้

ขั้นตอนที่ 2.4

ตรวจสอบค่า BINARY ที่ได้ว่ามีค่าเกิน 999 หรือไม่ ถ้าเกินให้ไปทำขั้นตอนที่ 2.10 ถ้าไม่ให้ทำขั้นตอนถัดไป

ขั้นตอนที่ 2.5

ทำการแปลงค่า BINARY ที่ได้จากขั้นตอนที่ 2.3 ไปเป็นค่า DECIMAL ASCII

ขั้นตอนที่ 2.6

นำข้อมูลที่ได้จากขั้นตอนที่ 2.5 มาทำการเขียนลงจอ LCD MODULE

ขั้นตอนที่ 2.7

ตรวจสอบแฟลกของสถานะการเกิด OVER RANGE ถ้าเท่ากับหนึ่งให้ไปทำงานที่ขั้นตอน 2.11 ถ้าไม่ให้ทำขั้นตอนถัดไป

ขั้นตอนที่ 2.8

ทำการตรวจสอบว่าค่า BINARY ที่ได้เกินจำนวนสูงสุดที่กำหนดไว้หรือไม่ ถ้าเกินให้กำหนดค่า NO.เป็น 0 แทน ถ้าน้อยกว่า 0 ให้ NO. เท่ากับค่าสูงสุดที่กำหนดไว้แทน

ขั้นตอนที่ 2.9

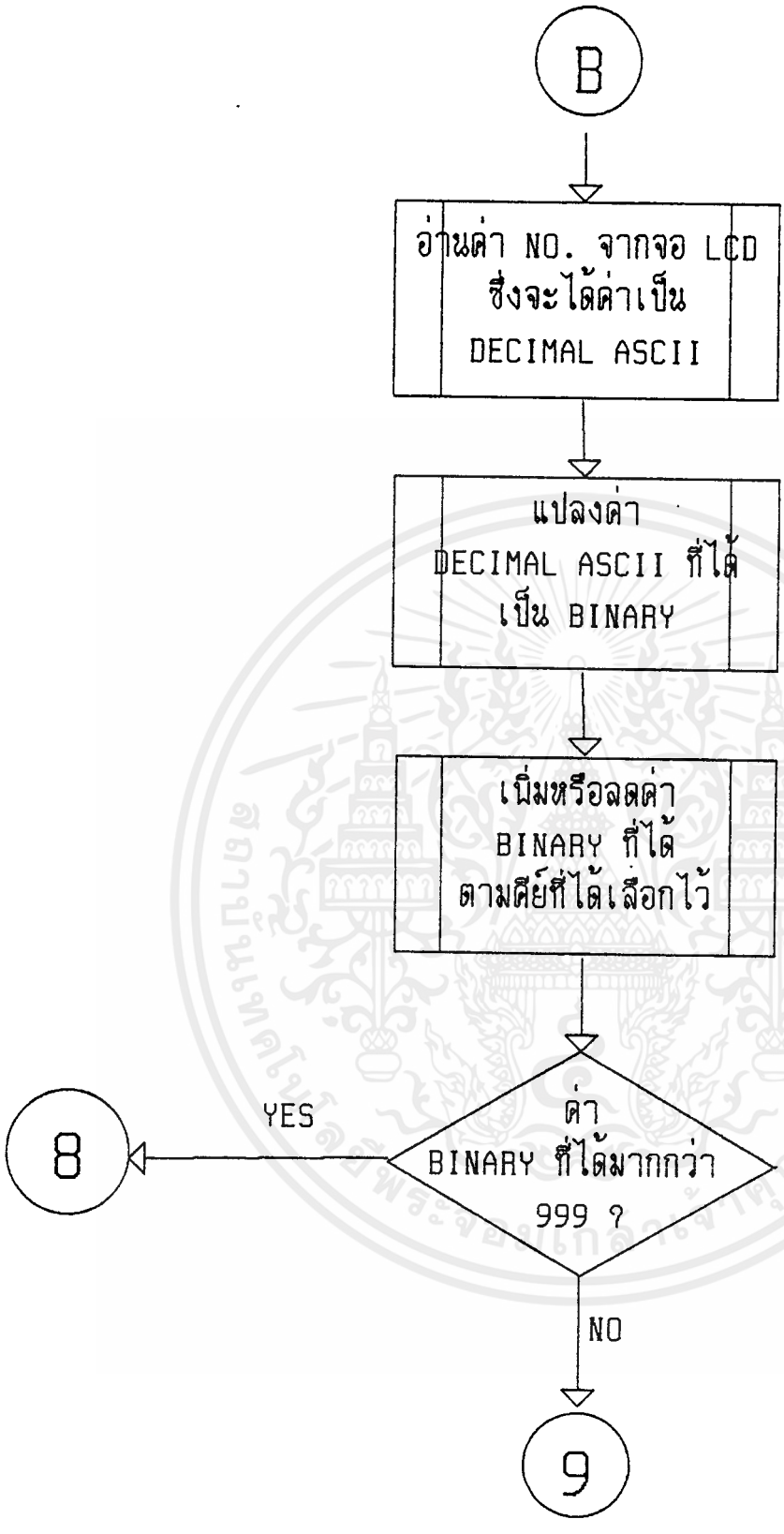
แสดง NO.ที่ได้บนจอ LCD MODULE แล้วให้กลับไปทำงานที่ขั้นตอนที่ 10

ขั้นตอนที่ 2.10

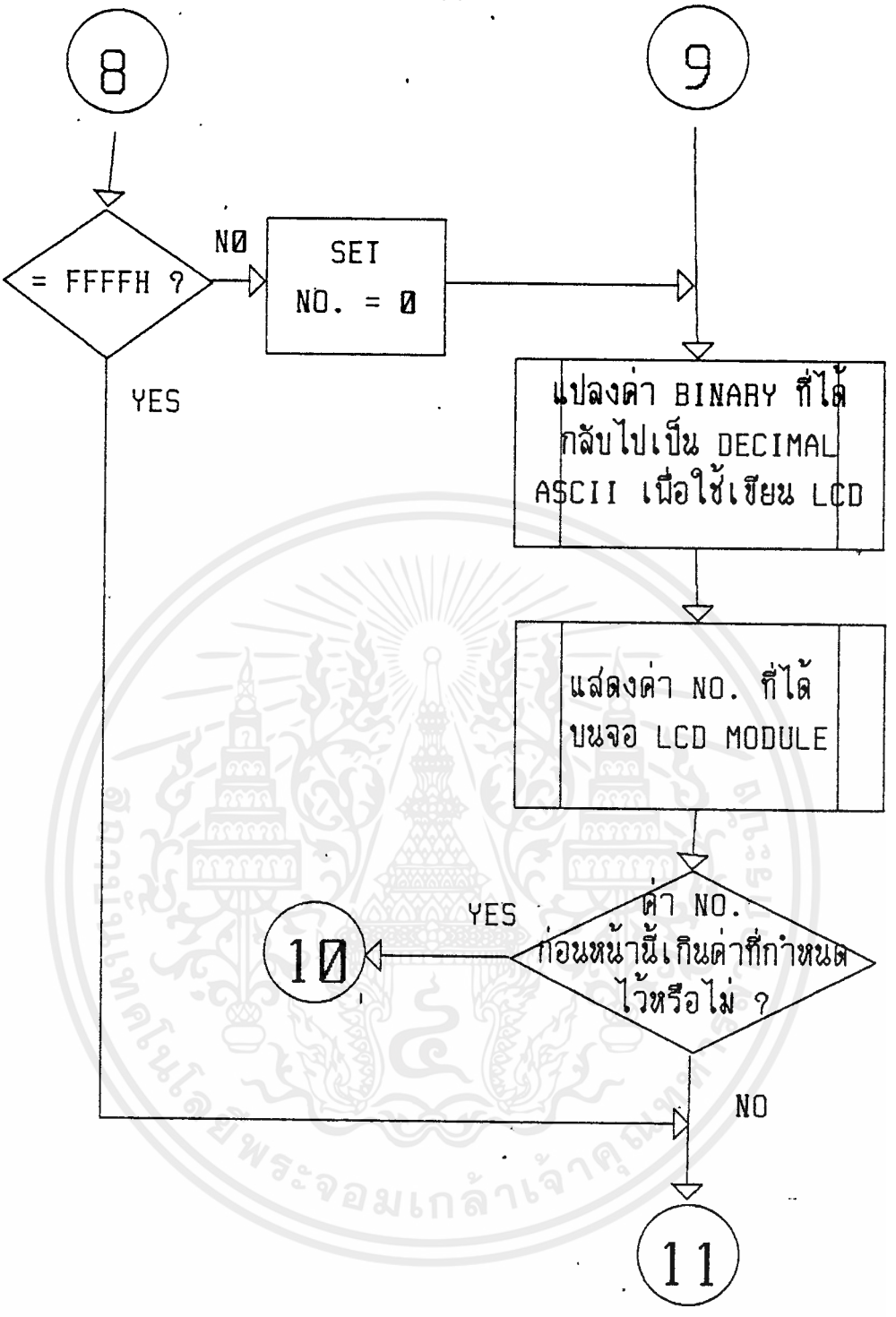
ตรวจสอบว่าค่า BINARY ที่ได้เท่ากับ FFFFH หรือไม่ ถ้าไม่ ให้ NO.เท่ากับ 0 แล้วกลับไปทำงานที่ขั้นตอนที่ 2.8

ขั้นตอนที่ 2.11 ตรวจสอบว่าค่า NO.ที่ได้ยังเกินค่าสูงสุดที่กำหนดไว้หรือไม่ถ้าเกินให้กลับไปทำงานขั้นตอนที่ 19 ถ้าไม่ให้กลับไปทำงานที่ขั้นตอน 10

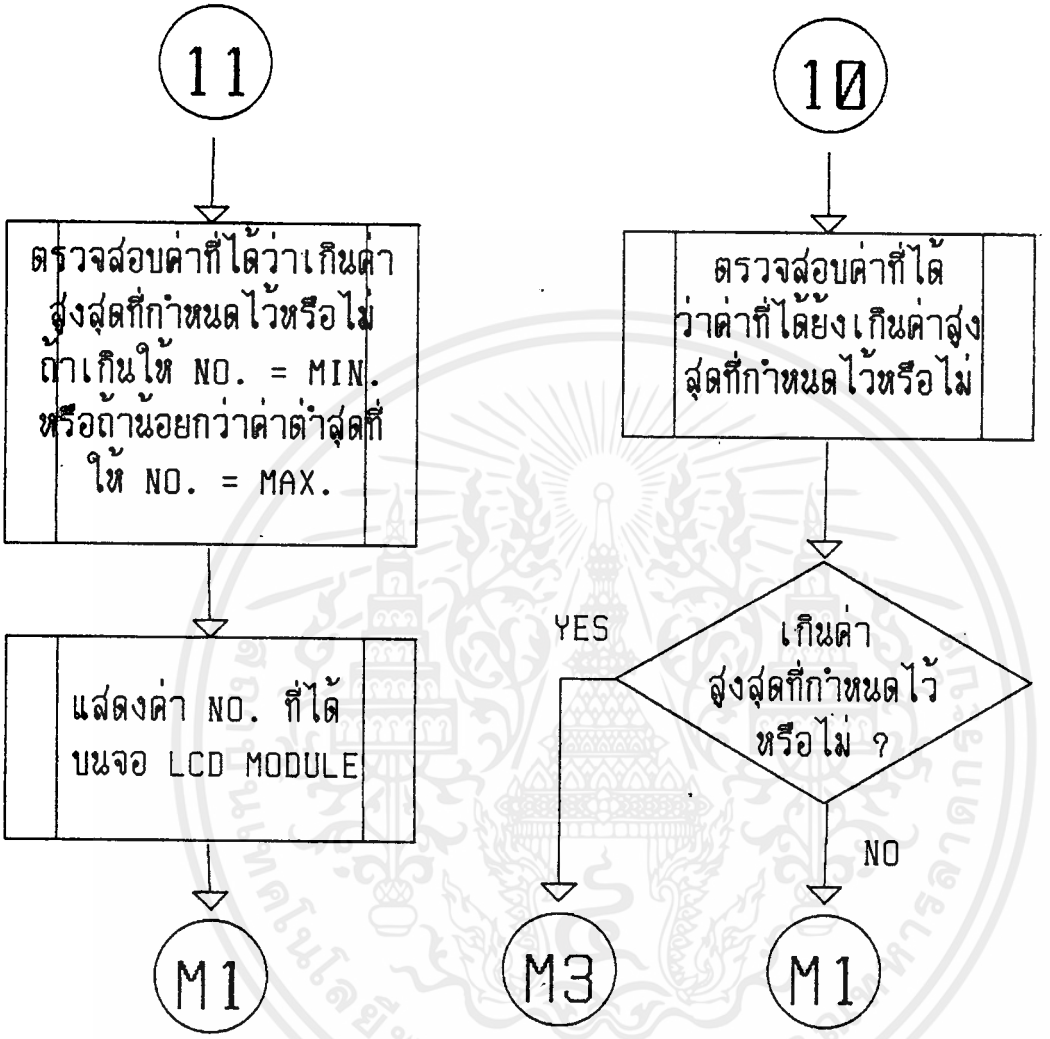
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ถ้าเป็นคีย์เพิ่มหรือลดค่า BEAT RATE จะกระโดดมาทำงานตามขั้นตอนดังต่อไปนี้

ขั้นตอนที่ 3.1

อ่านค่า BEAT RATE จำนวนสองหลักจากจอ LCD MODULE ซึ่งค่าที่ได้นี้จะเป็นค่า DECIMAL ASCII สองหลัก

ขั้นตอนที่ 3.2

ทำการแปลงค่าที่ DECIMAL ASCII ได้จากขั้นตอนที่แล้วไปเป็นค่า BINARY

ขั้นตอนที่ 3.3

นำค่า BINARY ที่ได้จากขั้นตอนที่แล้วมาทำการตรวจสอบว่าเป็นคีย์เพิ่มหรือลดค่าแล้วทำการเพิ่มหรือลดค่าตามคีย์ที่ได้เลือกไว้

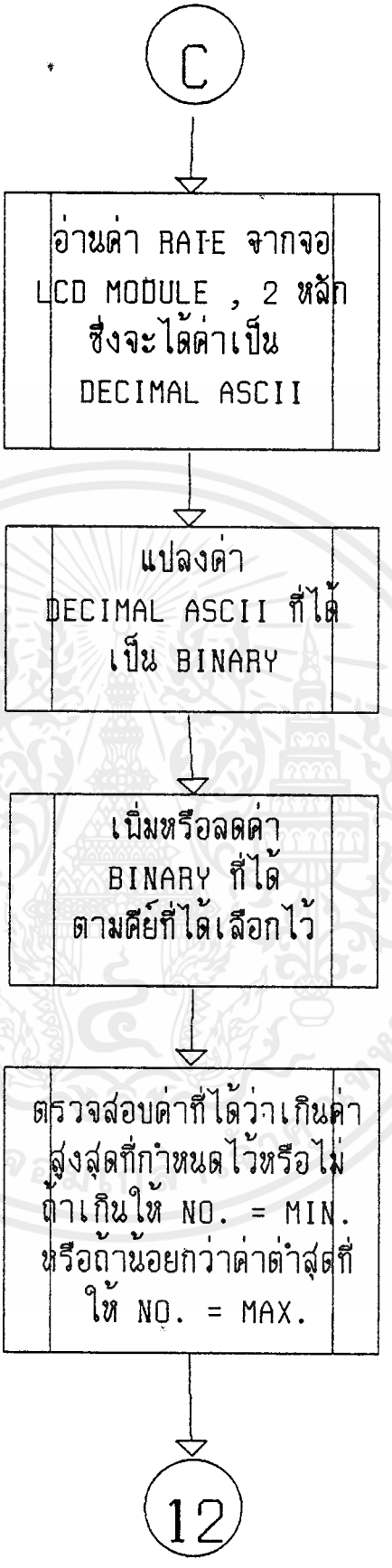
ขั้นตอนที่ 3.4

ทำการแปลงค่า BINARY ที่ได้จากขั้นตอนที่ 3.3 ไปเป็นค่า DECIMAL ASCII

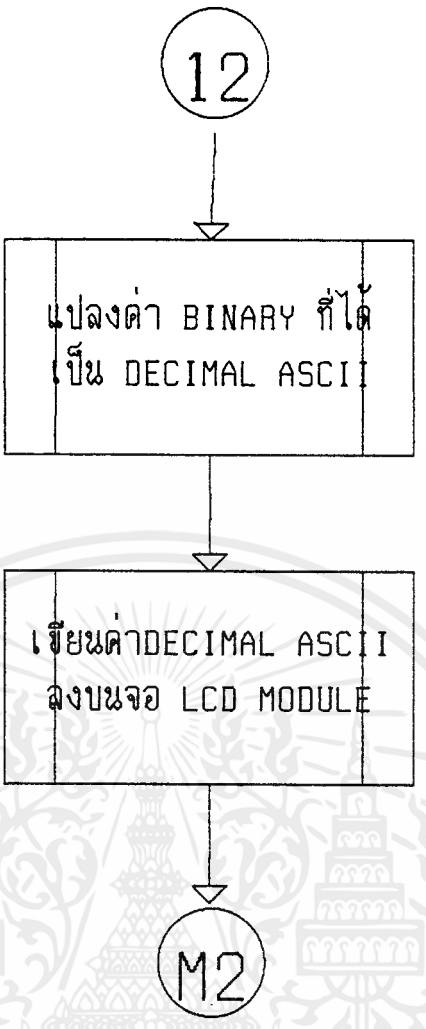
ขั้นตอนที่ 3.5

นำข้อมูลที่ได้จากขั้นตอนที่ 3.4 มาทำการเขียน BEAT RATE ลงจอ LCD MODULE แล้วกลับไปทำงานตามขั้นตอนที่ 10

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ถ้าเป็นคีย์เพิ่มหรือลดค่า ระดับขั้นสัญญาณเอาท์พุต จะกระโดดมาทำงานตามขั้นตอนดังต่อไปนี้

ขั้นตอนที่ 4.1

อ่านค่า ระดับขั้นสัญญาณเอาท์พุต จำนวนหนึ่งหลักจากจอ LCD MODULE ซึ่งค่าที่ได้นี้จะเป็นค่า DECIMAL ASCII สองหลัก

ขั้นตอนที่ 4.2

ทำการแปลงค่าที่ DECIMAL ASCII ได้จากขั้นตอนที่แล้วไปเป็นค่า BINARY

ขั้นตอนที่ 4.3

นำค่า BINARY ที่ได้จากขั้นตอนที่แล้วมาทำการตรวจสอบว่าเป็นคีย์เพิ่มหรือลดค่า แล้วทำการเพิ่มหรือลดค่าตามคีย์ที่ได้เลือกไว้

ขั้นตอนที่ 4.4

ทำการแปลงค่า BINARY ที่ได้จากขั้นตอนที่ 4.3 ไปเป็นค่า DECIMAL ASCII

ขั้นตอนที่ 4.5

นำข้อมูลที่ได้จากขั้นตอนที่ 4.4 มาทำการเขียน ค่าระดับ ลงจอ LCD MODULE

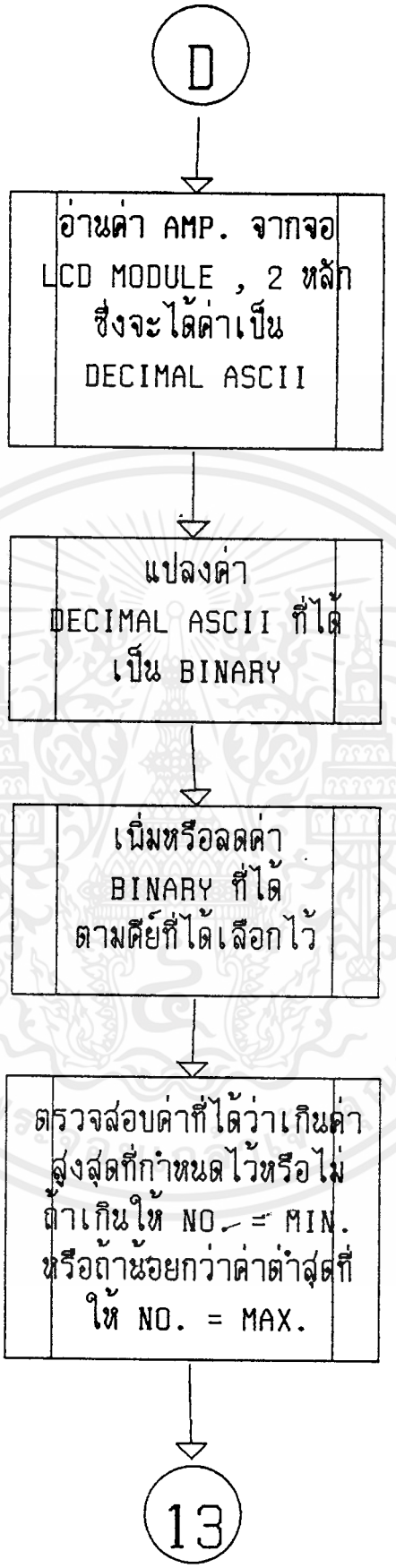
ขั้นตอนที่ 4.6

ทำการส่งข้อมูลซึ่งใช้เป็นตัวควบคุม ระดับขั้นสัญญาณเอาท์พุต ของ ECG ขนาด 3 บิตไปยังพอร์ต ที่ต่ออยู่กับวงจรควบคุมระดับขั้นสัญญาณเอาท์พุต

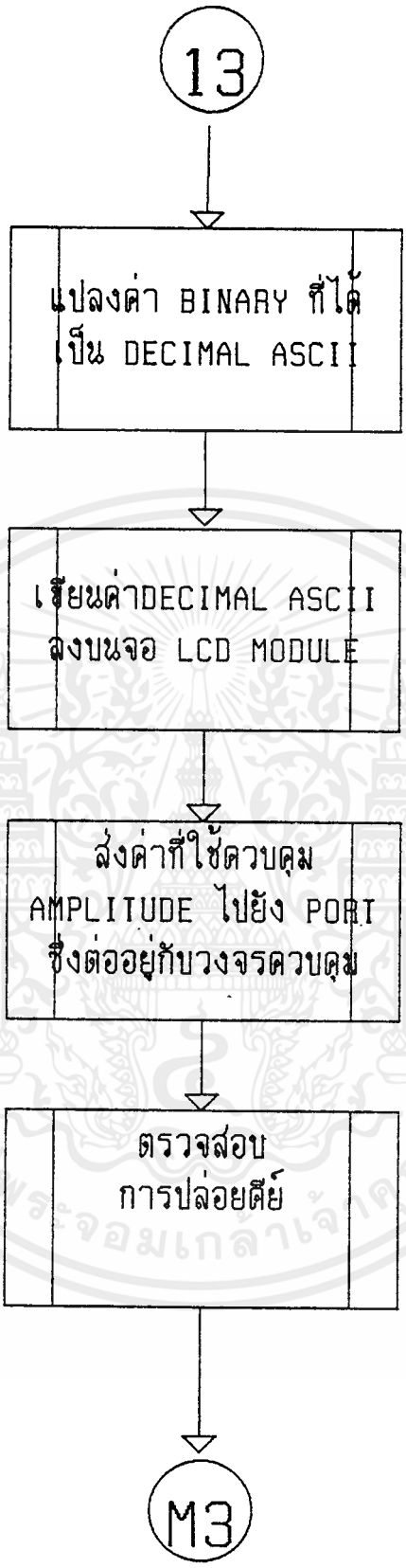
ขั้นตอนที่ 4.7

ทำการตรวจสอบการปล่อยคีย์ว่ามีการปล่อยแล้วหรือยัง ถ้ายังถ้ายังให้ทำการวนรอให้มีการปล่อย คีย์เดิมก่อนที่จะรับค่าคีย์ถัดไป แล้วกลับไปทำงานตามขั้นตอนที่ 10

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



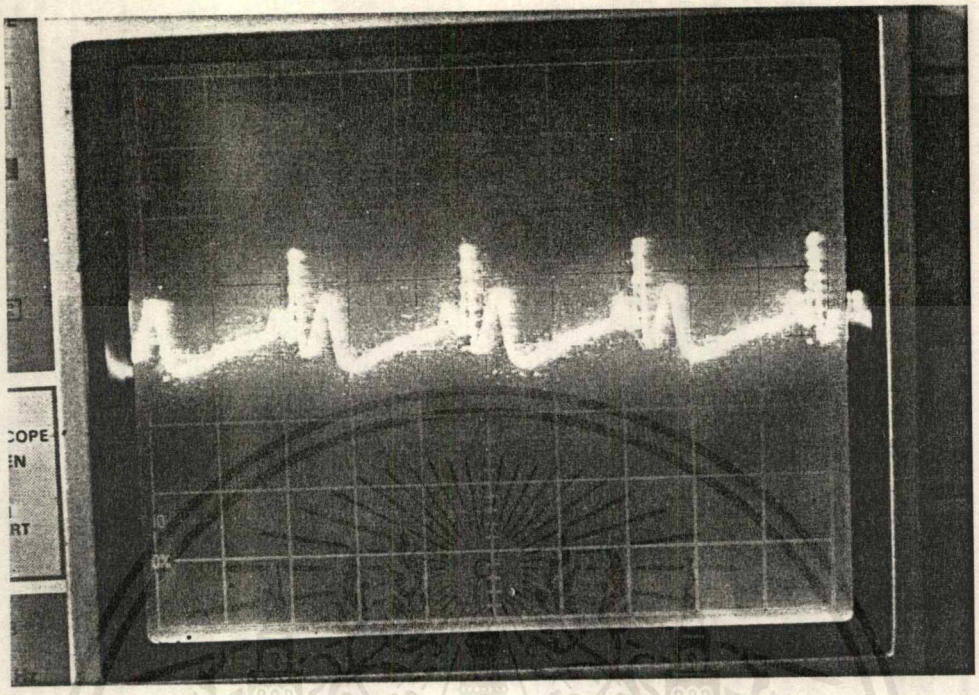
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 5

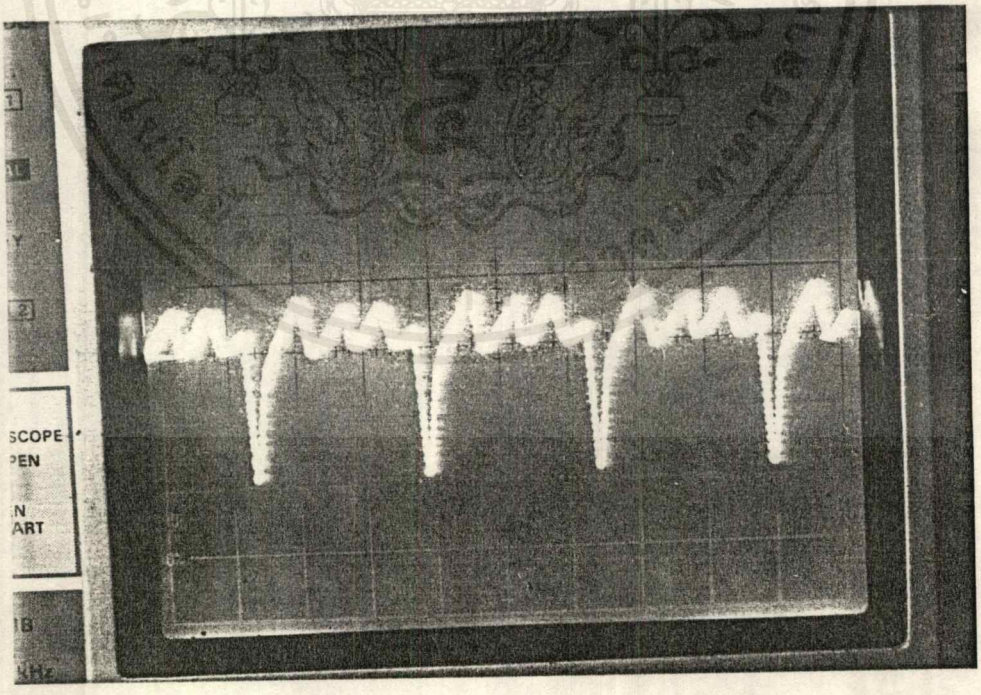
ผลการทดลอง

เนื่องจากโอกาสที่จะพบบผู้ป่วยที่มีลักษณะความผิดปกติของสัญญาณไฟฟ้าหัวใจตามที่ได้กล่าวมานั้น มีและไม่สะดวกในการเก็บสัญญาณไฟฟ้าหัวใจในขณะนั้นเพราะผู้ป่วยในกรณีนี้จะต้องได้รับการดูแลอย่างใกล้ชิดจากเจ้าหน้าที่พยาบาลอยู่ตลอดเวลาจึงไม่สามารถเก็บข้อมูลในส่วนนี้มาได้แต่เราก็ได้พยายามเลียนแบบลักษณะความผิดปกติของสัญญาณไฟฟ้าหัวใจให้มีลักษณะเหมือน กับลักษณะของสัญญาณที่มีความผิดปกติจริงมากที่สุดทั้งขนาดและรูปร่างของสัญญาณ หลังจากที่ได้สร้างเครื่องเสร็จแล้ว ได้ทำการทดสอบเครื่องที่สร้างขึ้น และเนื่องจากสัญญาณที่ได้มีความถี่ประมาณ 40 ถึง 350 ครั้งต่อนาที ทำให้ไม่สามารถมองเห็นรูปสัญญาณได้จากออสซิลโลสโคปแบบธรรมดา จึงจำเป็นต้องใช้สตอเรจออสซิลโลสโคป ในการดูรูปสัญญาณแทน ซึ่งรูปต่างๆที่เก็บได้แสดงดังรูปต่อไปนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

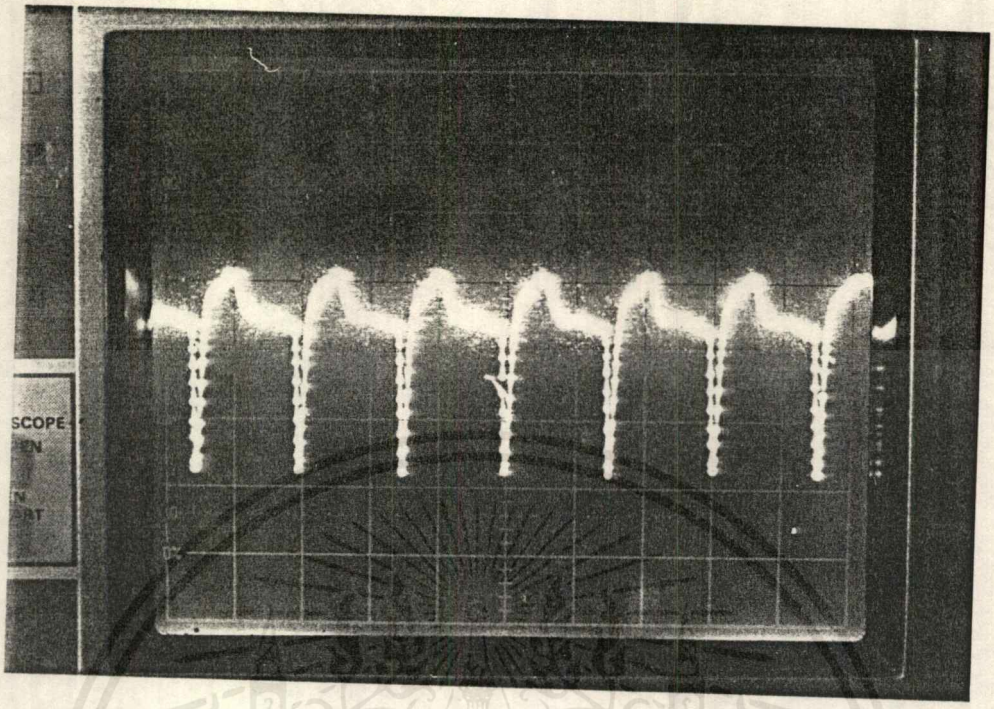


รูปที่ 5.1 Sinus Bradycardia (With wide QRS)

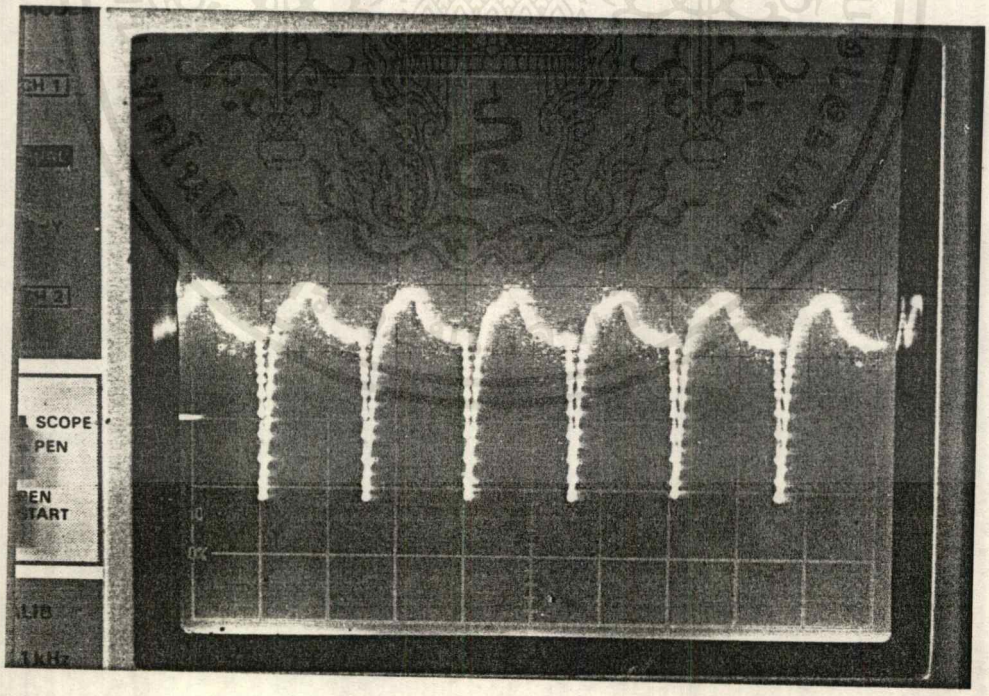


รูปที่ 5.2 Atrial Flutter with 4:1 response

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

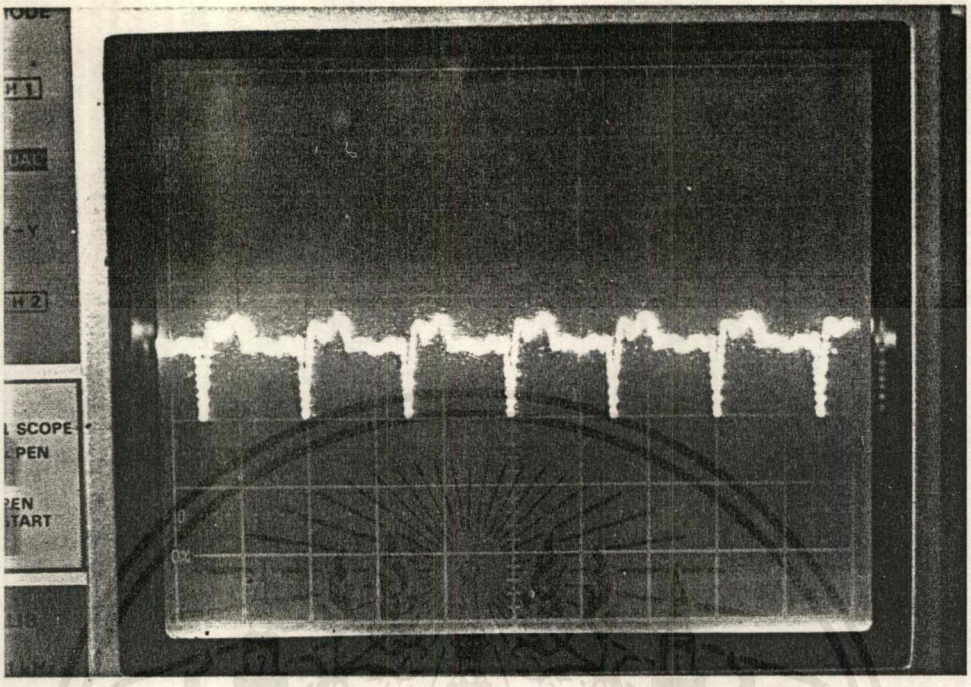


รูปที่ 5.3 Sinus Tachycardia

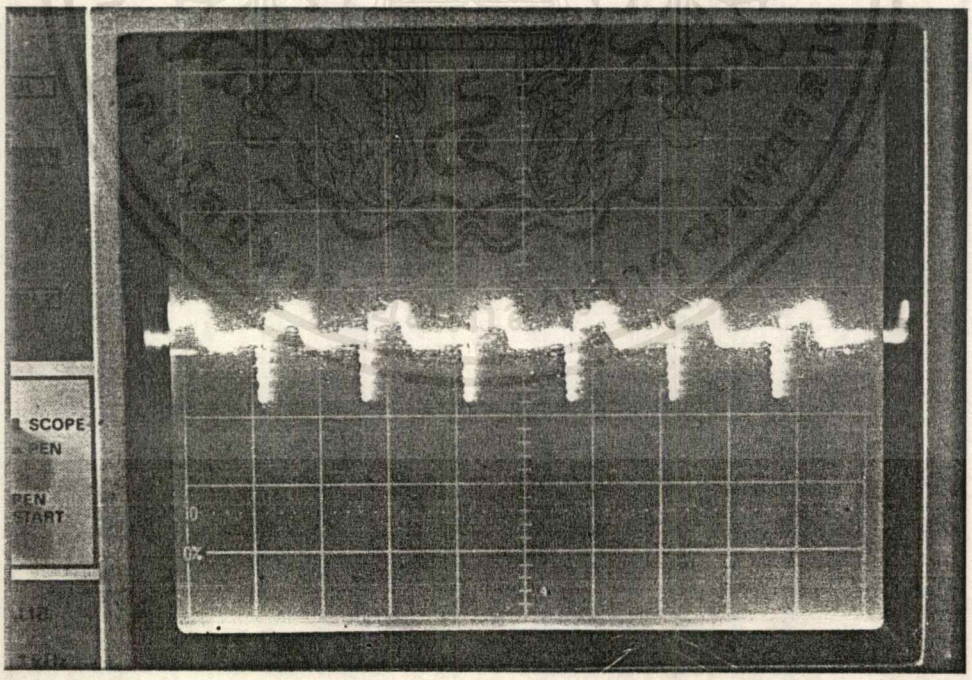


รูปที่ 5.4 Accelerated Junctional Rhythm

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

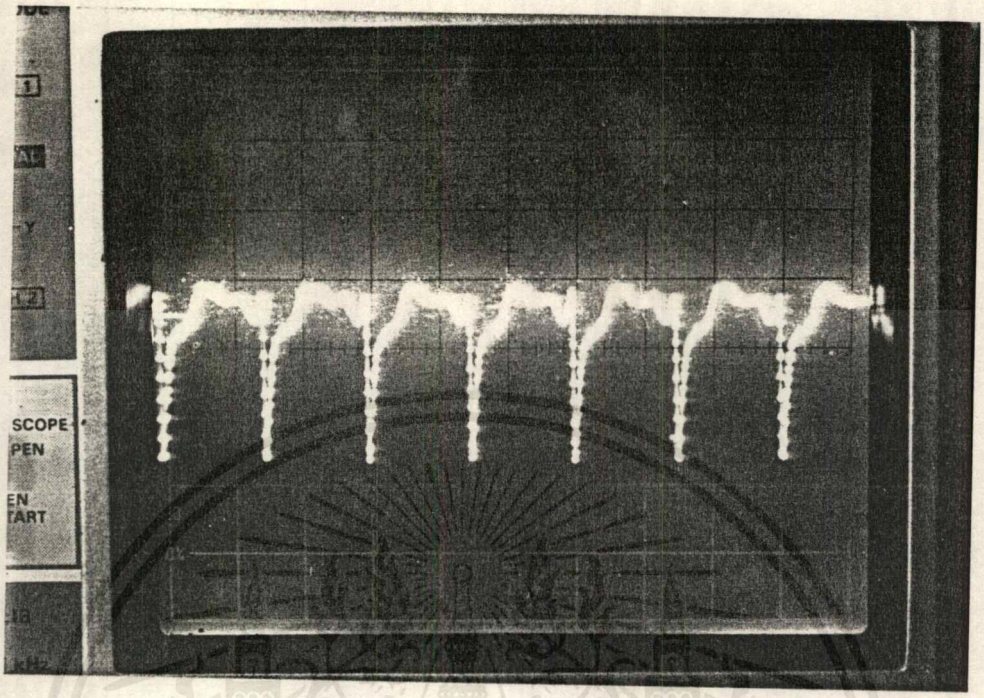


รูปที่ 5.5 Uncontrolled Atrial Fibrillation

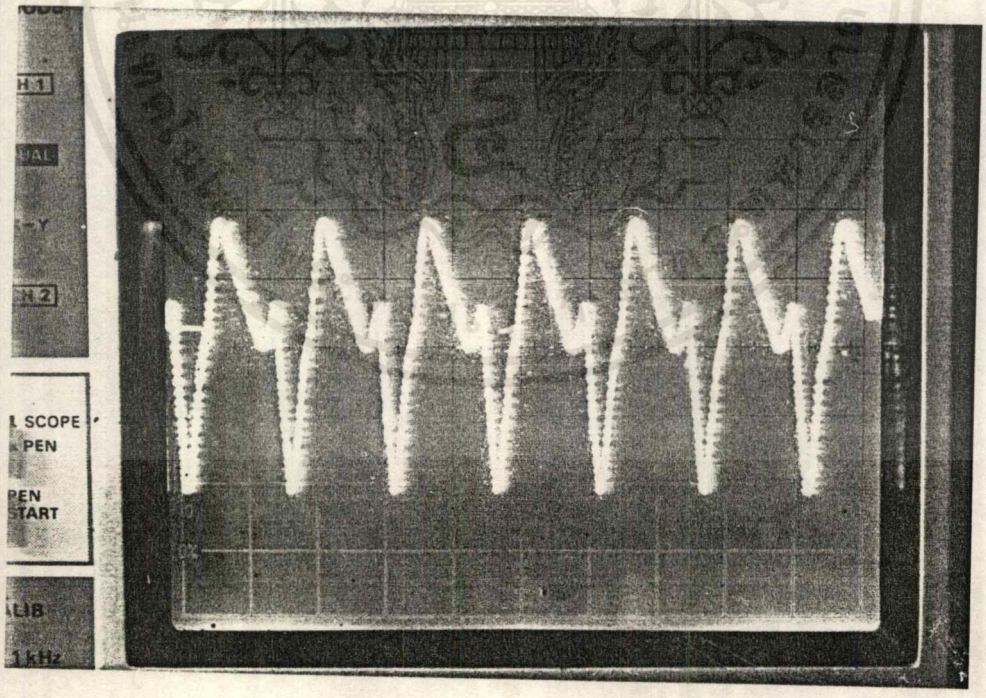


รูปที่ 5.6 Normal Sinus Rhythm

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

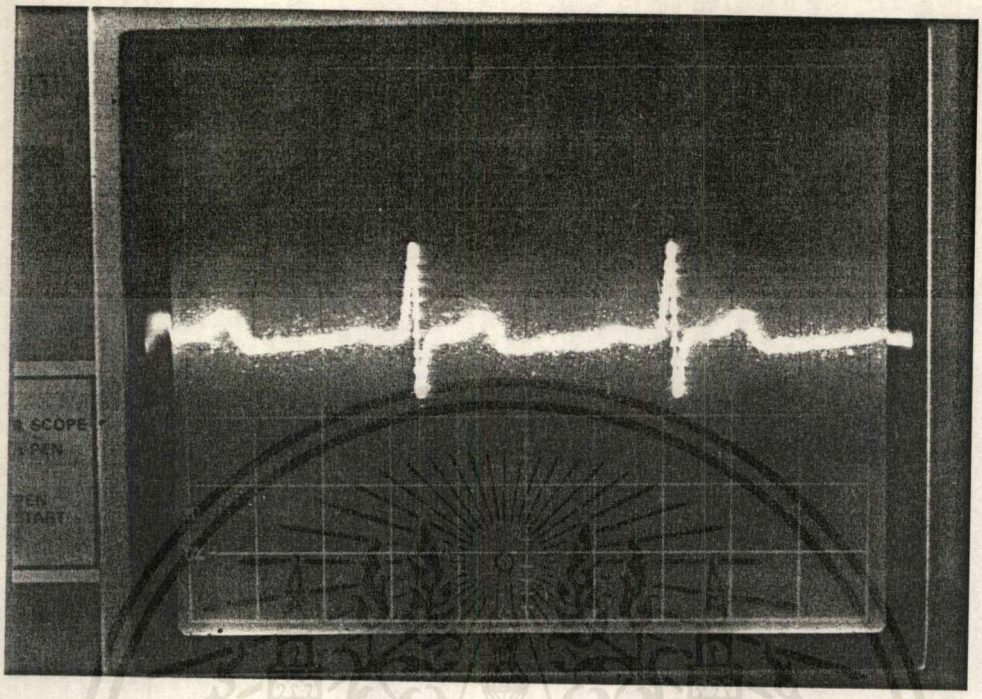


รูปที่ 5.7 Sinus Tachycardia with two Pacs

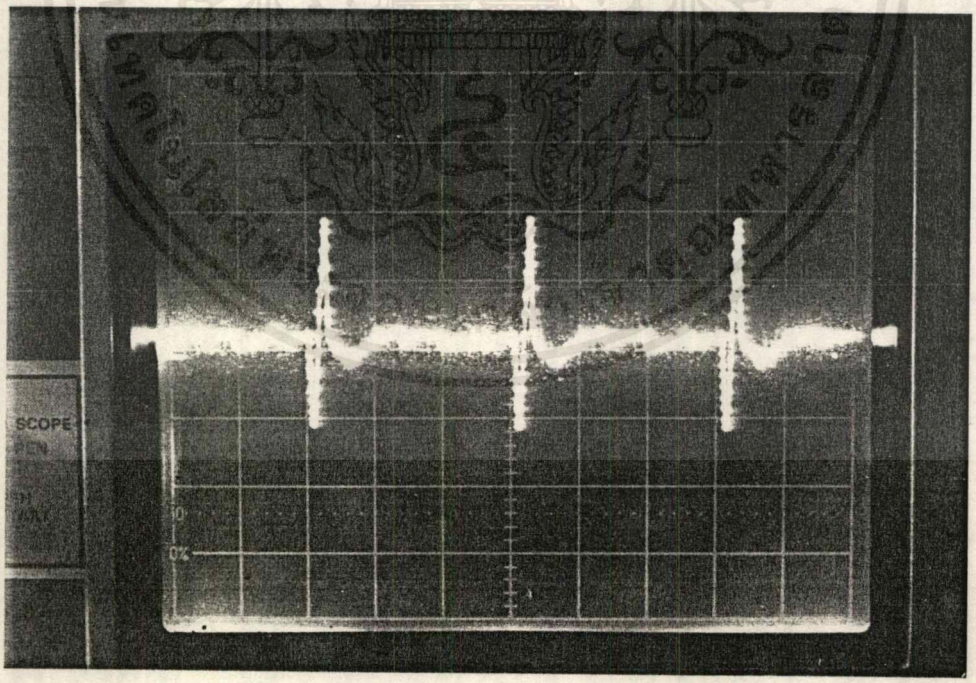


รูปที่ 5.8 Slow Ventricular Tachycardia

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

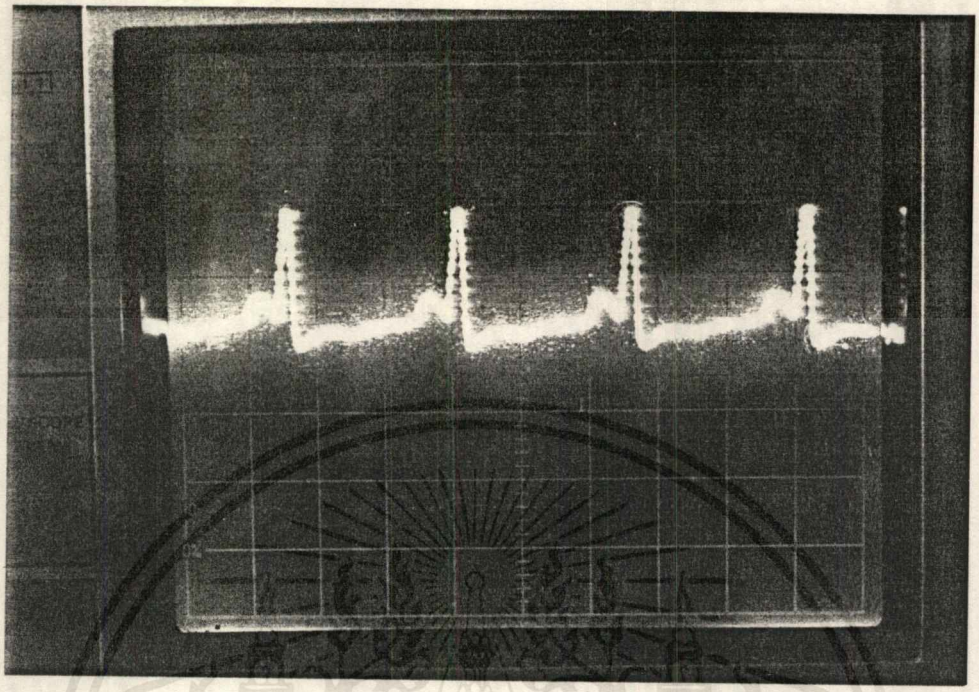


รูปที่ 5.9 Sinus Bradycardia with First Degree Heart Block

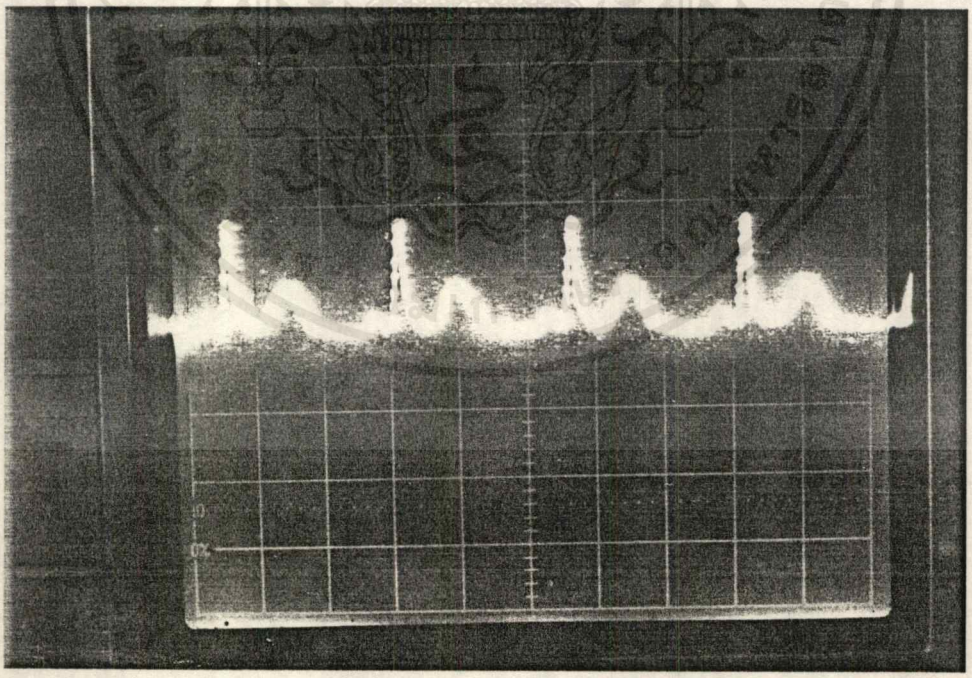


รูปที่ 5.10 Third Degree Heart Block (CHB) with Ventricular escape focus

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

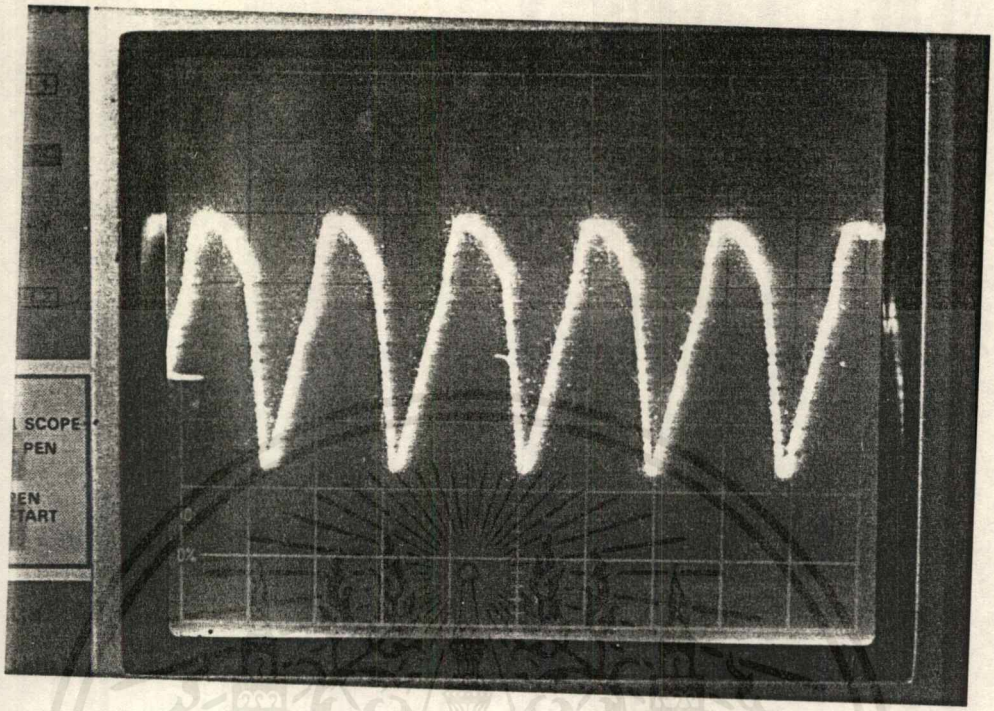


รูปที่ 5.11 Sinus Bradycardia



รูปที่ 5.12 Premature Junctional Contraction

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 5.13 Ventricular Tachycardia

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 6
สรุปผลการทดลอง

โครงงานในหัวข้อเรื่องนี้เป็นการสร้างสัญญาณไฟฟ้าหัวใจโดยใช้ไมโครโปรเซสเซอร์เป็นตัวควบคุม ซึ่งจะทำการเก็บข้อมูลของรูปคลื่นสัญญาณไฟฟ้าหัวใจเป็นข้อมูลแบบดิจิตอลไว้แล้ว ทำการแปลงจากดิจิตอลไปเป็นอนาลอกซึ่งจะมีตัว CTC เป็นตัวกำหนดฐานเวลาในการส่งข้อมูลให้ได้ตามความถี่ที่ต้องการ ดังที่ได้กล่าวมาแล้วข้างต้น ซึ่งได้ออกแบบไว้ให้สามารถเก็บรูปคลื่นได้มาก และจากผลการทดลองที่ได้จะได้รูปคลื่นสัญญาณไฟฟ้าหัวใจใกล้เคียงกับรูปคลื่นจริง ซึ่งความถี่ที่ได้จะมีค่า Error ประมาณ 0.5 %

โครงงานนี้เป็นแนวทางในการศึกษาและพัฒนาเครื่องมือทางการแพทย์ขึ้นภายในประเทศและเป็นการเพิ่มศักยภาพของงานวิจัยให้ก้าวหน้าต่อไป โครงงานนี้ใช้ไมโครโปรเซสเซอร์มาเป็นตัวประมวลผล ซึ่งปัจจุบันความก้าวหน้าทางเทคโนโลยีทางคอมพิวเตอร์เข้ามามีบทบาทในชีวิตประจำวันมากยิ่งขึ้นการนำไมโครโปรเซสเซอร์มาใช้ในโครงงานนี้จึงเป็นสิ่งที่ดีเพราะข้อมูลของสัญญาณไฟฟ้าหัวใจที่อยู่ในระบบยังสามารถที่จะส่งผ่านระบบคอมพิวเตอร์อื่นๆได้ ซึ่งข้อมูลเหล่านี้จะมีความสำคัญต่อการฝึกฝนและการเรียนรู้ของบุคคลากรทางการแพทย์ได้เป็นอย่างดี

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กิตติกรรมประกาศ

ผู้จัดทำขอขอบคุณ อาจารย์วิริยะ ที่ได้ให้คำปรึกษาที่เป็นประโยชน์ และให้การสนับสนุนทางด้านอุปกรณ์ในการทำงาน ขอบคุณ อาจารย์ประภาษ อาจารย์เกษตร ที่ได้ให้คำแนะนำที่มีค่าอย่างยิ่งในการทำโครงงานนี้ รวมทั้งอาจารย์สุพรรณ ที่ได้อนุญาตให้ใช้ห้องสำหรับการทำโครงงานชิ้นนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บรรณานุกรม

(REFERENCE)

1.Dale dubin ,"Rapid Interpretation of EKG's a programed course".

2.Mervin J.Goldman,"Principles of Clinical Electrocardiography",Maruzen Asia Edition.Lange Medical Pubkications, Maruzen Company Limited,1976.

3.Jame W.Coffon,"Z80 Applications",SYBEX Inc.,1983

4.Lance A.Leventhal,"Z80 Assembly Language Programming".

5.Lance A.Leventhal,"Z80 Assembly Subroutine".

6.วิสุทธิ์ พิบูลวรางกูร,"เครื่องแสดงความผิดปกติของจังหวะการเต้นของหัวใจ", วิทยานิพนธ์, บัณฑิตวิทยาลัย,สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

7.ฤษณพงศ์ พานิชเจริญ, การตรวจจับและวิเคราะห์ความผิดปกติของสัญญาณไฟฟ้าหัวใจ,ปริญญานิพนธ์ ปีการศึกษา 2533

8.ชูศักดิ์ เวชแพทย์ (2534),"วิชาอุปกรณ์การแพทย์สำหรับหอผู้ป่วยหนัก",พิมพ์ครั้งที่ 2,ภาควิชาสรีรวิทยา คณะแพทย์ศาสตร์ศิริราชพยาบาล มหาวิทยาลัยมหิดล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก ก.

โปรแกรมการทำงานของเครื่องจำลองรูปคลื่นไฟฟ้าหัวใจ

เขียนด้วยภาษา Assembly Z80

```
SMODE   EQU 80H
WMODE   EQU 82H
RBSF    EQU 84H
RMODE   EQU 86H
;
CH0     EQU 10H
CH1     EQU 11H
CH2     EQU 12H
CH3     EQU 13H
;
PA      EQU 50H
PB      EQU 51H
PC      EQU 52H
PD      EQU 30H
PE      EQU 40H
;
PAC     EQU 54H
PBC     EQU 55H
PCC     EQU 56H
PDC     EQU 34H
PEC     EQU 44H
;
NUMADR  EQU 03H
RATEADR EQU 09H
AMPADR  EQU 0FH
MAXCDIAC EQU 25    ;NUMBER OF CARDIAC
DLNG    EQU 444
SAMPLE  EQU 400
SYSSTK  EQU 9E00H

        ORG 0000H
        DI
        LD  SP,SYSSTK
        CALL POWER1
        LD  HL,AISR
        LD  (ISRTAB),HL
        LD  HL,ISRTAB
        LD  A,H
        LD  I,A
        LD  A,L
        OUT (CH0),A
        LD  A,0FFH
        OUT (PAC),A
        OUT (PBC),A
        OUT (PDC),A
        LD  A,00H
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
        OUT (PCC),A
        LD  A,07H
        OUT (PEC),A
        CALL INITLCD
        LD  A,00H
        CALL GOTO
        LD  HL,DPSTART
        CALL WRLM
        LD  A,07H
        OUT (PE),A
        LD  HL,00H
        LD  (BINBUFF),HL
        LD  HL,DTABL
        LD  (DPBUF),HL
        LD  DE,SAMPLE
        LD  (CNTBUF),DE
        IM  2
        EI
        JP  INRNG
BEGIN:  CALL KEYRD
        CALL KEYCHK
        JP  (IX)
KEY0_9: LD  A,NUMADR
        CALL GOTO
        CALL WRLCD
        LD  B,02H
DIGIT2_3: LD  A,03H
        SUB B
        LD  C,A
        LD  A,NUMADR
        ADD A,C
        CALL GOTO
        CALL RELEASE
        CALL DG2_3
        DJNZ DIGIT2_3
        LD  D,3
        LD  A,NUMADR
        CALL RDVAL
        LD  A,03H
        LD  (BUFFER),A

        LD  HL,BUFFER
        CALL DEC2BN
        LD  (BINBUFF),HL

        CALL OVRNG
        JP  (IX)
INRNG:  LD  A,0H
        LD  (ERRFLAG),A
        CALL CALNUM
        LD  DE,DTABL
        LD  BC,DLNG
        CALL MVDAT
        CALL WRRATE
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
        CALL WRNAME

        LD  HL,(DTABL+400+42)
        LD  H,00H
        LD  (TCPTR),HL
CHGRATE: CALL CALRATE
        CALL STARTNEW
        LD  A,NUMADR
        CALL GOTO
        CALL RELEASE
        JP  BEGIN
KEYNUM:  LD  (KEYBUFF),HL
        LD  D,3
        LD  A,NUMADR
        CALL RDVAL
        LD  HL,BUFFER
        CALL DEC2BN
        LD  (BINBUFF),HL
        LD  HL,(KEYBUFF)
        LD  A,0CH
        CALL CHECKID
        LD  (BINBUFF),HL
        LD  DE,999+1
        CALL CMP16
        JP  C,NOTMAX
        LD  HL,(BINBUFF)
        LD  DE,0FFFFH
        CALL CMP16
        JP  Z,MINMAX
        LD  HL,00H
        LD  (BINBUFF),HL
NOTMAX:  LD  HL,(BINBUFF)
        LD  E,L
        LD  D,H
        LD  HL,BUFFER
        CALL BN2DEC
        LD  HL,BUFFER
        CALL INSERT0
        CALL WRNUM
        LD  HL.ERRFLAG
        BIT 0,(HL)
        JP  Z,MINMAX
        CALL OVRNG
        JP  (IX)
MINMAX:  CALL MMNUM
        CALL WRNUM
        JP  INRNG
KEYRATE: LD  (KEYBUFF),HL
        LD  D,02H
        LD  A,RATEADR
        CALL RDVAL
        LD  A,02H
        LD  (BUFFER),A
        LD  HL,BUFFER
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
        CALL DEC2BN
        LD  (BINBUFF),HL
        LD  HL,(KEYBUFF)
        LD  A,0AH
        CALL CHECKID
        LD  (BINBUFF),HL
        CALL MMRATE
        LD  (BINBUFF),HL
        LD  (TCPTR),HL
        LD  E,L
        LD  D,H
        LD  HL,BUFFER
        CALL BN2DEC
        LD  HL,BUFFER
        CALL INSERT0R
        CALL WRR
        JP  CHGRATE
KEYAMP: LD  (KEYBUFF),HL
        LD  D,01H
        LD  A,AMPADR
        CALL RDVAL
        LD  A,01H
        LD  (BUFFER),A
        LD  HL,BUFFER
        CALL DEC2BN
        LD  (BINBUFF),HL
        LD  HL,(KEYBUFF)
        LD  A,0EH
        CALL CHECKID
        LD  (BINBUFF),HL
        CALL MMAMP
        LD  (BINBUFF),HL
        LD  E,L
        LD  D,H
        LD  HL,BUFFER
        CALL BN2DEC
        LD  A,AMPADR
        CALL GOTO
        CALL WRCHAR
        LD  A,NUMADR
        CALL GOTO
        LD  HL,(BINBUFF)
        CALL AMP
        LD  A,L
        OUT (PE),A
        CALL RELEASE
        JP  BEGIN
;-------------------------------
;  SUB ROUTINE
;-------------------------------
AMP:    LD  A,01H
        CP  L
        JP  NZ,CHK02
        LD  HL,07H
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
      RET
CHK02:  LD  A,02
      CP  L
      JP  NZ,CHK03
      LD  HL,06H
      RET
CHK03:  LD  A,03
      CP  L
      JP  NZ,CHK04
      LD  HL,05H
      RET
CHK04:  LD  A,04
      CP  L
      JP  NZ,CHK05
      LD  HL,04H
      RET
CHK05:  LD  A,05
      CP  L
      JP  NZ,CHK06
      LD  HL,03H
      RET
CHK06:  LD  A,06
      CP  L
      JP  NZ,CHK07
      LD  HL,02H
      RET
CHK07:  LD  A,07
      CP  L
      JP  NZ,CHK08
      LD  HL,01H
      RET
CHK08:  LD  HL,00H
      RET
;-------------------------
POWER1:  LD  B,04H
POWER2:  LD  HL,0FFFFH
POWER3:  DEC HL
      LD  A,H
      OR  L
      JR  NZ,POWER3
      DJNZ POWER2
      RET
;-----------------------------
INITLCD: LD  A,00111000B
      OUT (SMODE),A
      CALL DLY
      CALL DLY
      CALL DLY
      CALL DLY
      CALL DLY
      CALL READ
      LD  A,00001111B
      OUT (SMODE),A
      CALL READ
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
        LD  A,00000110B
        OUT (SMODE),A
        CALL READ
        LD  A,00000001B
        OUT (SMODE),A
        CALL READ
        RET
;-------------------------
DLY:    LD  B,0
DL:     NOP
        NOP
        DJNZ DL
        RET
;-------------------------
KEYRD:  IN  A,(PE)
        BIT 7,A
        JP  Z,KEYRD
        NOP         ;WAIT FOR VALID DATA
        NOP
        IN  A,(PE)
        SRL A
        SRL A
        SRL A
        AND 0FH
        LD  BC,10H
        LD  HL,KBTABL
        CPIR
        LD  BC,0FH
        ADD HL,BC
        RET
;-------------------------
KEYCHK: LD  A,0DH
        LD  IX,KEYAMP
        SUB (HL)
        RET M
        LD  A,0BH
        LD  IX,KEYNUM
        SUB (HL)
        RET M
        LD  A,09H
        LD  IX,KEYRATE
        SUB (HL)
        RET M
        LD  IX,KEY0_9
        RET
;-------------------------
WRLCD:  LD  E,(HL)
        LD  D,00H
        LD  HL,BUFFER
        CALL BN2DEC
        CALL WRCHAR
        RET
;-------------------------
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
WRCHAR:  LD  HL,BUFFER+1
         LD  D,(HL)
         CALL WRBYTE
         LD  A,NUMADR
         CALL GOTO
         RET
;------------------------
GOTO:    SET 7,A
         OUT (SMODE),A
         CALL READ
         RET
;------------------------
WRBYTE:  LD  A,D
         OUT (WMODE),A
         CALL READ
         RET
;------------------------
READ:    IN  A,(RBSF)
         BIT 7,A
         JR  NZ,READ
         RET
;------------------------
DG2_3:   PUSH BC
DG:      CALL KEYRD
         LD  A,09H
         CP  (HL)
         CALL M,RELEASE
         LD  A,09H
         CP  (HL)
         JP  M,DG
         CALL WRLCD
         POP BC
         RET
;------------------------
RELEASE: IN  A,(PE)
         BIT 7,A
         JP  NZ,RELEASE
         RET
;------------------------
RDLCD:   CALL RDBYTE
         LD  (HL),D
         INC HL
         DJNZ RDLCD
         LD  A,NUMADR
         CALL GOTO
         RET
;------------------------
RDVAL:   CALL GOTO
         LD  A,D
         LD  (BUFFER),A
         LD  B,A
         LD  HL,BUFFER+1
         CALL RDLCD
         RET
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
;-------------------------
RDBYTE: IN  A,(RMODE)
        LD  D,A
        CALL READ
        RET
;-------------------------
OVRNG:  LD  HL,(BINBUFF)
        LD  DE,MAXCDIAC+1
        LD  IX,INRNG
        LD  A,00H
        LD  (ERRFLAG),A
        CALL CMP16
        RET C
        LD  HL,ERRTABL
        CALL DP3LN
        LD  A,NUMADR
        CALL GOTO
        CALL RELEASE
        LD  A,01H
        LD  (ERRFLAG),A
        LD  IX,BEGIN
        RET
;-------------------------
DP3LN:  LD  A,40H
        CALL GOTO
        CALL WRLM
        CALL DP2LN
        RET
;-------------------------
DP2LN:  LD  A,10H
        CALL GOTO
        CALL WRLM
        LD  A,50H
        CALL GOTO
        CALL WRLM
        RET
;-------------------------
WRLM:   LD  B,16
        CALL WRL
        RET
;-------------------------
WRL:    LD  D,(HL)
        CALL WRBYTE
        INC HL
        DJNZ WRL
        LD  A,NUMADR
        CALL GOTO
        RET
;-------------------------
CALNUM: LD  HL,(BINBUFF)
        LD  DE,DLNG
        CALL MUL16
        LD  (DADR),HL
        RET
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
;-------------------------
MVDAT:  LD  HL,(DADR)
MV:     LD  A,H
        OUT (PB),A
        NOP
        LD  A,L
        OUT (PA),A
        NOP
        NOP
        NOP
        NOP
        NOP
        NOP
        IN  A,(PC)
        LD  (DE),A
        INC HL
        INC DE
        DEC BC
        LD  A,B
        OR  C
        JP  NZ,MV
        RET
;-------------------------
WRNAME: LD  HL,NASCII
        LD  A,40H
        CALL GOTO
        LD  B,6
        CALL WRL
        LD  HL,DTABL+400
        LD  A,46H
        CALL GOTO
        LD  B,10
        CALL WRL
        LD  HL,DTABL+400+10
        CALL DP2LN
        RET
;-------------------------
WRRATE: LD  DE,(DTABL+400+42)
        LD  D,00H
        LD  HL,BUFFER
        CALL BN2DEC
        LD  HL,BUFFER
        CALL INSERT0R
WRR:    LD  HL,BUFFER+1
        LD  A,RATEADR
        CALL GOTO
        LD  B,2
        CALL WRL
        RET
;-------------------------
INSERT0R: LD  A,02H
        CP  (HL)
        RET Z
        LD  BC,01H
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
        LD  HL,BUFFER+1
        LD  DE,BUFFER+2
        LDIR
        LD  A,'0'
        LD  (BUFFER+1),A
        LD  A,02H
        LD  (BUFFER),A
        RET
;-------------------------
CHECKID: CP  (HL)
        JP  NZ,DECRE
        LD  HL,(BINBUFF)
        INC HL
        RET
DECRE:  LD  HL,(BINBUFF)
        DEC HL
        RET
;-------------------------
INSERT0: LD  A,02H
        CP  (HL)
        JP  Z,TWO
        RET M
ONE:    LD  BC,01H
        INC HL
        LD  DE,BUFFER+3
        LDI
        LD  A,'0'
        LD  (BUFFER+1),A
        LD  (BUFFER+2),A
        LD  A,03H
        LD  (BUFFER),A
        RET
TWO:    LD  BC,02H
        LD  HL,BUFFER+2
        LD  DE,BUFFER+3
        LDDR
        LD  A,'0'
        LD  (BUFFER+1),A
        LD  A,03H
        LD  (BUFFER),A
        RET
;-------------------------
WRNUM:  LD  HL,BUFFER+1
        LD  A,NUMADR
        CALL GOTO
        LD  B,03H
        CALL WRL
        RET
;-------------------------
MMNUM:  LD  DE,MAXCDIAC+1
        LD  HL,(BINBUFF)
        CALL CMP16
        JP  NZ,CMINNUM
        LD  A,03H
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
        LD  (BUFFER),A
        LD  BC,03H
        LD  DE,BUFFER+1
        LD  HL,MINASCII
        LDIR
        LD  HL,00H
        LD  (BINBUFF),HL
        RET
CMINNUM: LD  DE,0FFFFH
        LD  HL,(BINBUFF)
        CALL CMP16
        RET NZ
        LD  HL,BUFFER
        LD  DE,MAXCDIAC
        CALL BN2DEC
        LD  HL,BUFFER
        CALL INSERT0
        LD  HL,MAXCDIAC
        LD  (BINBUFF),HL
        RET
;-------------------------
MMRATE:  LD  HL,DTABL+400+42+1
        LD  A,(HL)
        LD  HL,(BINBUFF)
        CP  L
        JP  NC,CMINRATE
        LD  HL,(DTABL+400+42)
        LD  H,00H
        RET
CMINRATE: LD  HL,DTABL+400+42
        LD  A,(HL)
        DEC A
        LD  HL,(BINBUFF)
        CP  L
        RET C
        LD  HL,(DTABL+400+42+1)
        LD  H,00H
        RET
;-------------------------
MMAMP:  LD  HL,(BINBUFF)
        LD  A,09H
        CP  L
        JP  NZ,CMINAMP
        LD  HL,01H
        RET
CMINAMP: LD  A,00H
        CP  L
        RET NZ
        LD  HL,08H
        RET
;-------------------------
CALRATE: LD  HL,TCPTR
        LD  DE,MINRATE
        LD  B,02H
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
        CALL MPBSUB
        LD  HL,(TCPTR)
        LD  DE,03H
        CALL MUL16
        LD  (TCPTR),HL
        LD  HL,TCPTR
        LD  DE,TIMADD
        LD  B,02H
        CALL MPBADD
        RET
;-------------------------
STARTNEW: LD  A,0C7H
        OUT (CH0),A
        LD  HL,(TCPTR)
        LD  A,(HL)
        OUT (CH0),A
        LD  A,07H
        OUT (CH1),A
        LD  HL,(TCPTR)
        INC HL
        LD  A,(HL)
        OUT (CH1),A
        RET
;-------------------------
;-------------------------
; INTERRUPT SERVICE ROUTINE
;-------------------------
AISR:   EX  AF,AF'
        EXX
        PUSH IX
        LD  A,0C7H
        OUT (CH0),A
        LD  A,07H
        OUT (CH1),A
        LD  HL,(TCPTR)
        INC HL
        INC HL
        LD  B,(HL)
DELAY:  DJNZ DELAY
        DEC HL
        DEC HL
        LD  A,(HL)
        OUT (CH0),A
        INC HL
        LD  A,(HL)
        OUT (CH1),A
        LD  HL,(DPBUF)
        LD  A,(HL)
        OUT (PD),A
        LD  DE,(CNTBUF)
        DEC DE
        LD  A,D
        OR  E
        JP  NZ,OLD
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
        LD  DE,SAMPLE
        LD  (CNTBUF),DE
        LD  HL,DTABL
        JP  RETURN
OLD:    LD  (CNTBUF),DE
        INC HL
RETURN: LD  (DPBUF),HL
        POP IX
        EXX
        EX  AF,AF'
        EI
        RETI
;
;
;
;
;       Title       Binary to decimal ASCII
;       Name:       BN2DEC
;
;
;
;       Purpose:    Convert a 16-bit signed binary number
;                   to ASCII data
;
;       Entry:      Register H = High byte of output buffer address
;                   Register L = Low  byte of output buffer address
;                   Register D = High byte of value to convert
;                   Register E = Low  byte of value to convert
;
;       Exit:       The first byte of the buffer is the length,
;                   followed by the characters.
;
;       Registers used: AF,BC,DE,HL
;
;       Time:       Approximately 7,200 cycles
;
;       Size:       Program 107 bytes
;                   Data    4 bytes
;
;
BN2DEC:
        ;SAVE PARAMETERS
        LD  (BUFPTR),HL     ;STORE THE BUFFER POINTER
        EX  DE,HL
        LD  A,0
        LD  (CURLEN),A      ;CURRENT BUFFER LENGTH IS 0
        LD  A,H
        LD  (NGFLAG),A      ;SAVE SIGN OF VALUE
        OR  A               ;SET FLAGS FROM VALUE
        JP  P,CNVERT        ;JUMP IF VALUE IS POSITIVE
        EX  DE,HL           ;ELSE TAKE ABSOLUTE VALUE (0 - VALUE)
        LD  HL,0
        OR  A               ;CLEAR CARRY
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
        SBC  HL,DE          ;SUBTRACT  VALUE FROM 0
        ;CONVERT VALUE TO A STRING
CNVERT:
        ;HL := HL DIV 10 (DIVIDEND,QUOTIENT)
        ;DE := HL MOD 10 (REMAINDER)
        LD   E,0            ;REMAINDER = 0
        LD   B,16           ;16 BITS IN DIVIDEND
        OR   A              ;CLEAR CARRY TO START
DVLOOP:
        ;SHIFT THE NEXT BIT OF THE QUOTIENT INTO BIT 0 OF THE DIVIDEND
        ;SHIFT NEXT MOST SIGNIFICANT BIT OF DIVIDEND INTO
        ; LEAST SIGNIFICANT BIT OF REMAINDER
        ;HL HOLDS BOTH DIVIDEND AND QUOTIENT. QUOTIENT IS SHIFTED
        ; IN AS THE DIVIDEND IS SHIFTED OUT.
        ;E IS THE REMAINDER.

        ;DO A 24-BIT SHIFT LEFT, SHIFTING
        ; CARRY TO L, L TO H, H TO E
        RL   L              ;CARRY (NEXT BIT OF QUOTIENT) TO BIT 0
        RL   H              ;SHIFT HIGH BYTE
        RL   E              ;SHIFT NEXT BIT OF DIVIDEND
        ;IF REMAINDER IS 10 OR MORE, NEXT BIT OF
        ; QUOTIENT IS 1 (THIS BIT IS PLACED IN CARRY)
        LD   A,E
        SUB  10             ;SUBTRACT 10 FROM REMAINDER
        CCF                 ;COMPLEMENT CARRY
                            ; (THIS IS NEXT BIT OF QUOTIENT)
        JR   NC,DECCNT      ;JUMP IF REMAINDER IS LESS THAN 10
        LD   E,A            ;OTHERWISE REMAINDER = DIFFERENCE
                            ; BETWEEN PREVIOUS REMAINDER AND 10
DECCNT:
        DJNZ DVLOOP         ;CONTINUE UNTIL ALL BITS ARE DONE

        ;SHIFT LAST CARRY INTO QUOTIENT
        RL   L              ;LAST BIT OF QUOTIENT TO BIT 0
        RL   H
        :INSERT THE NEXT CHARACTER IN ASCII
CHINS:
        LD   A,E
        ADD  A,'0'          ;CONVERT 0...9 TO ASCII '0'...'9'
        CALL INSERT
        ;IF QUOTIENT IS NOT 0 THEN KEEP DIVIDING
        LD   A,H
        OR   L
        JR   NZ,CNVERT
EXIT:
        LD   A,(NGFLAG)
        OR   A
        JP   P,POS          ;BRANCH IF ORIGINAL VALUE WAS POSITIVE
        LD   A,'-'          ;ELSE
        CALL INSERT         ; PUT A MINUS SIGN IN FRONT
POS:
        RET                 ;RETURN
        ;-------------------------------
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
        ;SUBROUTINE:    INSERT
        ;PURPOSE:       INSERT THE CHARACTER IN REGISTER A AT THE
        ;               FRONT OF THE BUFFER
        ;ENTRY:         CURLEN = LENGTH OF BUFFER
        ;               BUFPTR = CURRENT ADDRESS OF LAST CHARACTER
        ;               IN BUFFER
        ;EXIT:          REGISTER A INSERTED IMMEDIATELY AFTER
        ;               LENGTH BYTE
        ;REGISTERS USED: AF,B,C,D,E
        ;--------------------------------
INSERT:
        PUSH HL             ;SAVE HL
        PUSH AF             ;SAVE CHRACTER TO INSERT
        ;MOVE ENTIRE BUFFER UP 1 BYTE IN MEMORY
        LD  HL,(BUFPTR)     ;GET BUFFER POINTER
        LD  D,H             ;HL = SOUTCE (CURRENT END OF BUFFER)
        LD  E,L
        INC DE              ;DE = DESTINATION (CURRENT END + 1)
        LD  (BUFPTR),DE     ;STORE NEW BUFFER POINTER
        LD  A,(CURLEN)
        OR  A               ;TEST FOR CURLEN = 0
        JR  Z,EXITMR        ;JUMP IF ZERO (NOTHING TO MOVE,
                            ; JUST STORE THE CHARACTER)
        LD  C,A             ;BC = LOOP COUNTER
        LD  B,0
        LDDR                ;MOVE ENTIRE BUFFER UP 1 BYTE
EXITMR:
        LD  A,(CURLEN)      ;INCREMENT CURRENT LENGTH BY 1
        INC A
        LD  (CURLEN),A
        LD  (HL),A          ;UPDATE LENGTH BYTE OF BUFFER
        EX  DE,HL           ;HL POINTS TO FIRST CHARACTER IN BUFFER
        POP AF              ;GET CHARACTER TO INSERT
        LD  (HL),A          ;INSERT CHARACTER AT FRONT OF BUFFER
        POP HL              ;RESTORE HL
        RET
;
;       Title       Decimal ASCII to binary
;       Name:       DCE2BN
;       Purpose:    Convert ASCII Characters to two bytes of binary
;                   data
;       Entry:      Register HL = Base address of input buffer
;       Exit:       HL = Binary value
;                   if no errors then
;                     Carry = 0
;                   else
;                     Carry = 1
;       Registers used: AF,BC,DE,HL
;       Time:       Approximately 152 cycles per byte plus
;                   a maximum of 186 cycles overhead
;       Size:       Program  79 bytes
;                   Data     1 bytes
DEC2BN:
    ;INITIALIZE - SAVE LENGTH, CLEAR SIGN AND VALUE
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
        LD  A,(HL)          ;SAVE LENGTH IN B
        LD  B,A
        INC HL              ;POINT TO BYTE AFTER LENGTH
        SUB A
        LD  (NGFLAG1),A     ;ASSUME NUMBER IS POSITIVE
        LD  DE,0            ;START WITH VALUE = 0
        ;CHECK FOR EMPTY BUFFER
        OR  B               ;IS BUFFER LENGTH ZERO?
        JR  Z,EREXIT        ;YES EXIT WITH VALUE = 0
        ;CHECK FOR MINUS OR PLUS SIGN IN FRONT
INIT1:
        LD  A,(HL)          ;GET FIRST CHARACTER
        CP  '-'             ;IS IT A MINUS SIGN?
        JR  NZ,PLUS         ;NO, BRANCH
        LD  A,0FFH
        LD  (NGFLAG1),A     ;YES, MAKE SIGN OF NUMBER NEGATIVE
        JR  SKIP            ;SKIP OVER MINUS SIGN
PLUS:
        CP  '+'             ;IS FIRST CHARACTER A PLUS SIGN?
        JR  NZ,CHKDIG       ;NO, START CONVERSION
SKIP:   INC HL              ;SKIP OVER THE SIGN BYTE
        DEC B               ;DECREMENT COUNT
        JR  Z,EREXIT        ;ERROR EXIT IF ONLY A SIGN IN BUFFER
        ;CONVERSION LOOP
        ; CONTINUE UNTIL THE BUFFER IS EMPTY
        ; OR A NON-NUMERIC CHARACTER IS FOUND
CNVERT1:
        LD  A,(HL)          ;GET NEXT CHARACTER
CHKDIG: SUB '0'
        JR  C,EREXIT        ;ERROR IF < '0' (NOT A DIGIT)
        CP  9+1
        JR  NC,EREXIT       ;ERROR IF > '9' (NOT A DIGIT)
        LD  C,A             ;CHARACTER IS DIGIT, SAVE IT
        ;VALID DECIMAL DIGIT SO
        ; VALUE := VALUE * 10
        ;  = VALUE * (8+2)
        ;  = (VALUE * 8) + (VALUE * 2)
        PUSH HL             ;SAVE BUFFER  POINTER
        EX  DE,HL           ;HL = VALUE
        ADD HL,HL           ; * 2
        LD  E,L             ;SAVE TIMES 2 IN DE
        LD  D,H
        ADD HL,HL           ; * 4
        ADD HL,HL           ; * 8
        ADD HL,DE           ; VALUE = VALUE * (8+2)
        ;ADD IN THE NEXT DIGIT
        ; VALUE := VALUE + DIGIT
        LD  E,C             ;MOVE NEXT DIGIT TO E
        LD  D,0             ; HIGH BYTE IS 0
        ADD HL,DE           ;ADD DIGIT TO VALUE
        EX  DE,HL           ;DE = VALUE
        POP HL              ;POINT TO NEXT CHARACTER
        INC HL
        DJNZ CNVERT1        ;CONTINUE CONVERSION
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
        ;CONVERSION IS COMPLETE, CHECK SIGN
        EX  DE,HL           ;HL = VALUE
        LD  A,(NGFLAG1)
        OR  A
        JR  Z,OKEXIT        ;JUMP IF THE VALUE WAS POSITIVE
        EX  DE,HL           ;ELSE REPLACE VALUE WITH - VALUE
        LD  HL,0
        OR  A               ;CLEAR CARRY
        SBC HL,DE           ;SUBTRACT VALUE FROM 0
        ;NO ERRORS, EXIT WITH CARRY CLEAR
OKEXIT:
        OR  A               ;CLEAR CARRY
        RET
        ;AN ERROR, EXIT WITH CARRY SET
EREXIT:
        EX  DE,HL           ;HL = VALUE
        SCF                 ;SET CARRY TO INDICATE ERROR
        RET
;
;       Title       Multiple-Precision Binary Addition
;       Name:       MPBADD
;       Purpose:    Add 2 arrays of binary bytes
;                   Array1 = Array1 + Array2
;       Entry:      Register pair HL = Base address of array1
;                   Register pair DE = Base address of array2
;                   Register B = Length of the arrays
;                   The arrays are unsigned binary numbers with a
;                   maximum length of 255 bytes, ARRAY[0] is the
;                   least significant byte,and ARRAY[LENGTH-1]
;                   the most significant byte.
;       Exit:       Array1 := Array1 + Array2
;       Registers used: AF,B,DE,HL
;       Time:       46 cycles per byte plus 18 cycles overhead
;       Size:       Program 11 bytes
MPBADD:
        ;CLEAR CARRY,EXIT IF ARRAY LENGTH IS 0
        LD  A,B
        AND A               ;CLEAR CARRY, TEST ACCUMULATOR
        RET Z               ;RETURN IF LENGTH = ZERO
LOOP:
        LD  A,(DE)          ;GET NEXT BYTE
        ADC A,(HL)          ;ADD BYTES
        LD  (HL),A          ;STORE SUM
        INC HL              ;INCREMENT ARRAY1 POINTER
        INC DE              ;INCREMENT ARRAY2 POINTER
        DJNZ LOOP           ;CONTINUE UNTIL COUNTER = 0
        RET
;       Title       16-BIT Binary Comparison
;       Name:       CMP16
;       Purpose:    Compare 2 16-BIT signed or unsigned words and
;                   return C,Z,S flags set or cleared
;       Entry:      Register L = Low byte of minuend
;                   Register H = High byte of minuend
;                   Register E = Low byte or subtrahend
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
;                Register D =  High byte or subtrahend
;       Exit:      Flags returned based on minuend - subtrahend
;                If both the minuend and subtrahend are  2's
;                 complement numbers, then use the Z and S
;                 flags;
;                Else use the Z and C flags
;                IF minuend = subtrahend THEN
;                 Z=1,S=0,C=0
;                IF minuend > subtrahend THEN
;                 Z=0,S=0,C=0
;                IF minuend < subtrahend THEN
;                 Z=0,S=1,C=1
;       Registers used: AF,DE,HL
;       Time:       30 cycles if no overflow, else 57 cycles
;
;       Size:       Program 11 bytes
CMP16:
        OR  A             ;CLEAR CARRY
        SBC  HL,DE          ;SUBTRACT SUBTRAHEND FROM MINUEND
        RET  PO           ;RETURN IF NO OVERFLOW
        LD  A,H           ;OVERFLOW - INVERT SIGN FLAG
        RRA               ;SAVE CARRY IN BIT 7
        XOR  01000000B        ;COMPLEMENT BIT 6 (SIGN BIT)
        SCF               ;ENSURE A NON-ZETO RESULT
        ADC  A,A            ;RESTORE CARRY, COMPLEMENTED SIGN
                          ; ZERO FLAG = 0 FOR SURE
        RET
;       Title       Multiple-Precision Binary Subtraction
;       Name:        MPBSUB
;       Purpose:     Subtract 2 arrays of binary bytes
;                  Minuend := minuend - ,subtrahend
;       Entry:       Register pair HL = Base address of minuend
;                  Register pair DE = Base address of subtrahend
;                  Register B = Length of the arrays
;                   The arrays are unsigned binary numbers with a
;                   maximum length of 255 bytes. ARRAY[0] is the
;                   least significant byte,and ARRAY[LENGTH-1]
;                   the most significant byte.
;       Exit:       Minuend := minuend - subtrahend
;       Registers used: AF,B,DE,HL
;       Time:        46 cycles per byte plus 22 cycles overhead
;       Size:       Program 12 bytes
MPBSUB:
        ;CLEAR CARRY,EXIT IF ARRAY LENGTH IS 0
        LD  A,B
        AND  A              ;CLEAR CARRY, TEST ACCUMULATOR
        RET  Z            ;RETURN IF LENGTH = ZERO
        EX  DE,HL           ;SWITCH ARRAY POINTERS
                        ; SO HL POINTS TO SUBTRAHEND
LOOP2:
        LD  A,(DE)          ;GET NEXT BYTE OF MINUEND
        SBC  A,(HL)          ;SUBTRACT BYTES
        LD  (DE),A          ;STORE DIFFERECE
        INC  DE           ;INCREMENT MINUEND POINTER
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
        INC  HL             ;INCREMENT SUBTRAHEND POINTER
        DJNZ LOOP2          ;CONTINUE UNTIL COUNTER = 0
        RET
;       Title       16-bit Multiplication
;       Name:       MUL16
;       Purpose:    Multiply 2signed or unsigned 16-bit words and
;                   return a 16 bit signed or unsigned product
;                   Answers needing more than 16 bits : bits higher
;                   than bit 15 are lost
;                   Mutiply unsigned product maximum 65535 (0FFFFH)
;       Entry:      Register H = High byte of multiplicand
;                   Register L = Low  byte of multiplicand
;                   Register D = High byte of multiplier
;                   Register E = Low  byte of multiplier
;       Exit:       Product = Multiplocand * Multiplier
;                   Register H = High byte of product
;                   Register L = Low  byte of product
;       Registers used: AF,BC,DE,HL
;       Time:       Approximately 865 to 965 cycles
;       Size:       Program 22 bytes
        ;INITIALIZE PARTIAL PRODUCT, BIT COUNT
MUL16:
        LD  C,L             ;BC = MULTIPLIER
        LD  B,H
        LD  HL,0            ;PRODUCT = 0
        LD  A,15            ;COUNT = BIT LENGTH - 1
        ;SHIFT-AND-ADD ALGORITHM
        ; IF MSB OF MULTIPLIER IS 1, ADD MULTIPLICAND TO PARTIAL
        ; PRODUCT
        ; SHIFT PARTIAL PRODUCT, MULTIPLIER LEFT 1 BIT
MLP:
        SLA E               ;SHIFT MULTIPLIER LEFT 1 BIT
        RL  D
        JR  NC,MLP1         ;JUMP IF MSB OF MULTIPLIER = 0
        ADD HL,BC           ;ADD MULTIPLICAND TO PARTIAL PRODUCT
MLP1:
        ADD HL,HL           ;SHIFT PARTIAL PRODUCT LEFT
        DEC A
        JR  NZ,MLP          ;CONTINUE UNTIL COUNT = 0
        ;ADD MULTIPLICAND ONE LAST TIME IF MSB OF MULTIPLIER IS 1
        OR  D               ;SIGN FLAG = MSB OF MULTIPLIER
        RET P               ;EXIT IF MSB OF MULTIPLIER IS 0
        ADD HL,BC           ;ADD MULTIPLICAND TO PRODUCT
        RET
KBTABL  DB  00H,01H,02H,03H,04H,05H,06H,07H
        DB  08H,09H,0AH,0BH,0CH,0DH,0EH,0FH
        DB  0FH,0EH,0BH,0AH,0DH,09H,06H,03H
        DB  00H,08H,05H,02H,0CH,07H,04H,01H
MINASCII DB '000'
MAXASCII DB '025'  ;SET FOLLOWING MAXCDIAC (EQU)
ERRTABL  DB ' OUT OF RANGE '
        DB  ' INPUT NEW  '
        DB  '  NUMBER   '
DPSTART  DB 'NO.000 R. 0 A.1'
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

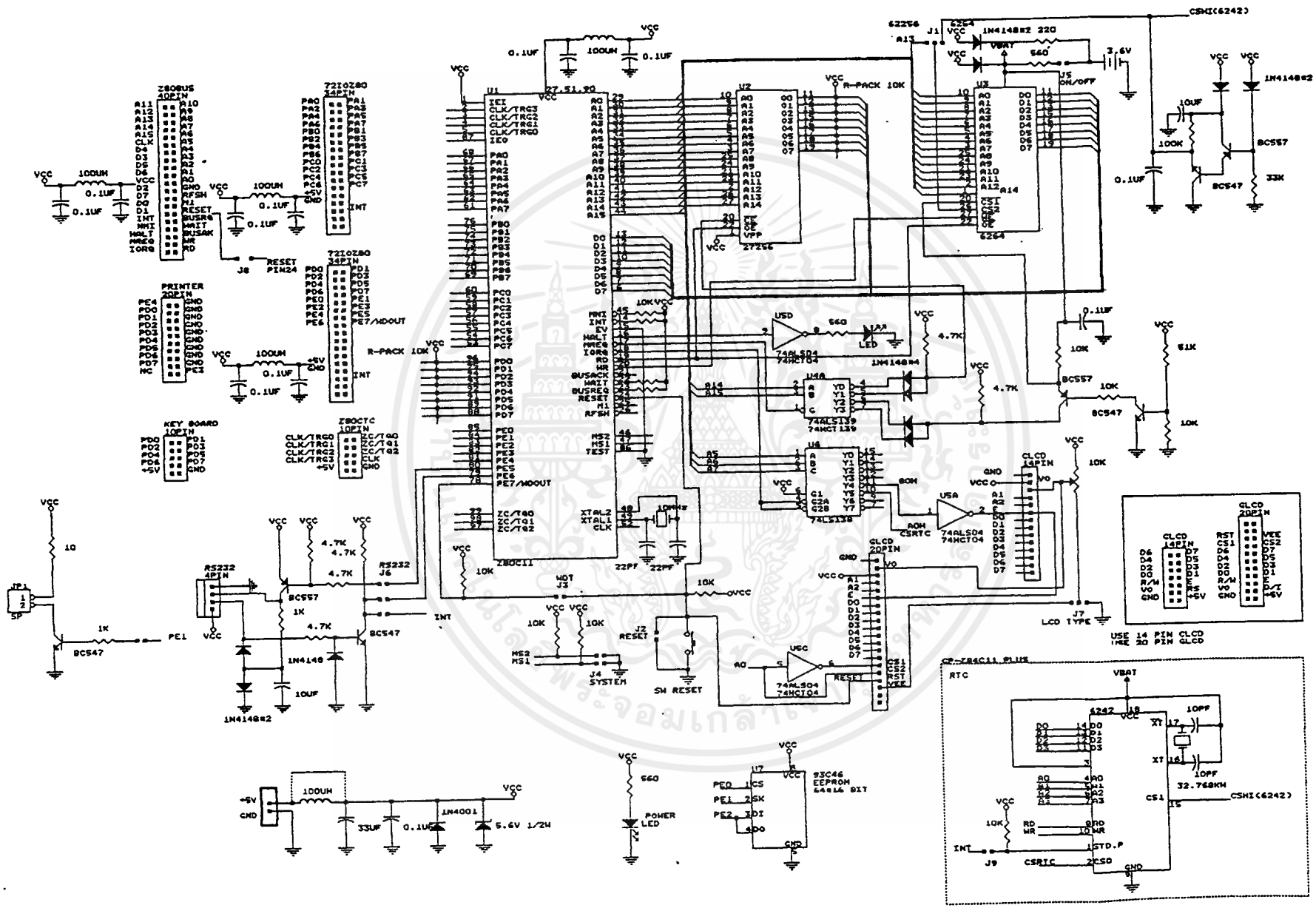
```
MINRATE  DW  4
DTIME    DB  228,05,28
         DB  228,04,20
         DB  189,04,20
         DB  217,03,12
         DB  189,03,12
         DB  167,03,13
         DB  228,02,05
         DB  207,02,04
         DB  189,02,05
         DB  174,02,04
         DB  161,02,05
         DB  150,02,04
         DB  140,02,05
         DB  131,02,06
         DB  124,02,04
         DB  236,01,02
         DB  224,01,02
         DB  213,01,02
         DB  203,01,01
         DB  193,01,02
         DB  185,01,02
         DB  177,01,02
         DB  170,01,02
         DB  163,01,02
         DB  157,01,02
         DB  151,01,02
         DB  146,01,02
         DB  141,01,02
         DB  136,01,02
         DB  132,01,01
         DB  127,01,02
         DB  123,01,02

TIMADD   DW  DTIME

NASCII   DB  'NAME.'

         ORG 9000H
DPBUF    DS  2
BUFFER   DS  7
KEYBUFF  DS  2
ERRFLAG  DS  1
CNTBUF   DS  2
DADR     DS  2
ISRTAB   DS  2
BINBUFF  DS  2
TCPTR    DS  2
DTABL    DS  DLNG
BUFPTR:  DS  2          ;ADDRESS OF LAST CHARACTER IN BUFFER
CURLEN   DS  1          ;CURRENT LENGTH OF BUFFER
NGFLAG   DS  1          ;SIGN OF ORGINAL VALUE
NGFLAG1: DS  1          ;SIGN OF NUMBER
         END
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



Title	ETT CO.,LTD.	
Size C	Document Number CP-Z84C11 PLUS	REV 1
Date: March 24, 1992	Sheet	of

The following are numbers for the above calculations:

	8 MHz Min	8 MHz Max	10 MHz Min	10 MHz Max	12.5 MHz Min	12.5 MHz Max
Input Buffer delay	10 ns		10 ns		10 ns	
Output Buffer delay	10 ns		10 ns		10 ns	

8 MHz	PIO part Min	PIO part Max	CTC part Min	CTC part Max	SIO part Min	SIO part Max
TdM1(IEO)	60 ns		80 ns		120 ns	
TsIEI(IO)	70 ns		70 ns		70 ns	
TdIEI(IEOf)		50 ns		50 ns		40 ns
TdIEI(IEOr)		50 ns		50 ns		40 ns

10 MHz	PIO part Min	PIO part Max	CTC part Min	CTC part Max	SIO part Min	SIO part Max
TdM1(IEO)	60 ns		60 ns		90 ns	
TsIEI(IO)	50 ns		70 ns		50 ns	
TdIEI(IEOf)		50 ns		50 ns		30 ns
TdIEI(IEOr)		50 ns		50 ns		30 ns

12.5 MHz	PIO part Min	PIO part Max	CTC part Min	CTC part Max	SIO part Min	SIO part Max
TdM1(IEO)	50 ns		50 ns		70 ns	
TsIEI(IO)	40 ns		60 ns		40 ns	
TdIEI(IEOf)		40 ns		40 ns		25 ns
TdIEI(IEOr)		40 ns		40 ns		25 ns

Note [4] (Continued)

When using an interrupt from only a portion of the Z80 KIO, these numbers are smaller than the values shown above.

For more details about the "Z80 daisy-chain structure", please refer to the application note "Z80 Family Interrupt Structure," which is included in the Z80 Data Book.

Z84011/C11

PARALLEL I/O CONTROLLER

FEATURES

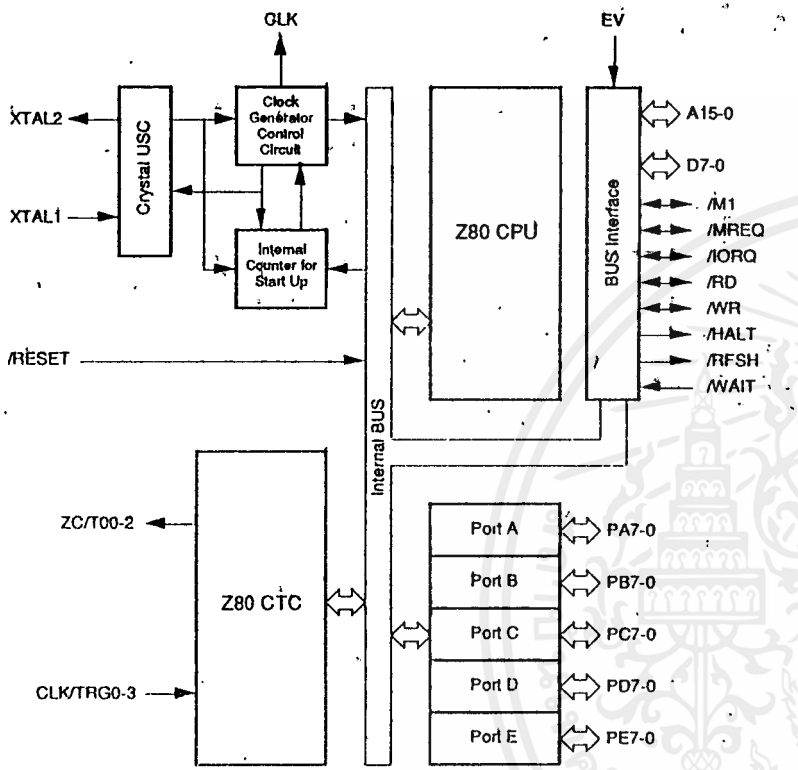
- Z84C00 Z80 CPU with CGC, Z84C30 Z80 CTC, five 8-bit parallel ports.
- High speed operation (6/10 MHz).
- Low power consumption in four operation modes:
  - 45 mA Typ. (Run mode).
  - 6 mA Typ. (Idle1 mode).
  - 9 mA Typ. (Idle2 mode; Not applicable to Z84011).
  - 1 µA Typ. (Stop mode).

  Wide operational voltage range (5V ± 10%).
- TTL/CMOS compatible.
- Z84011 features:
  - Z84C00 Z80 CPU
  - On-chip four channel Counter Timer Controller (Z80 CTC).
  - Built-in Clock Generator Controller (CGC).
  - Five 8-bit parallel ports.
  - 100-pin QFP Package
  - Noise filter to CLK/TRG inputs of theZ80 CTC
- Z84C11 features:
  - All Z84011 features.
  - Support of Idle 2 Mode.
  - Built-in Watch Dog Timer (WDT).
  - Power-on Reset and Reset Extension
  - Wait State Generator
  - Simplified EV Mode Selection
  - Crystal Divide-by-One Option.
  - External Clock Input Option.

GENERAL DESCRIPTION

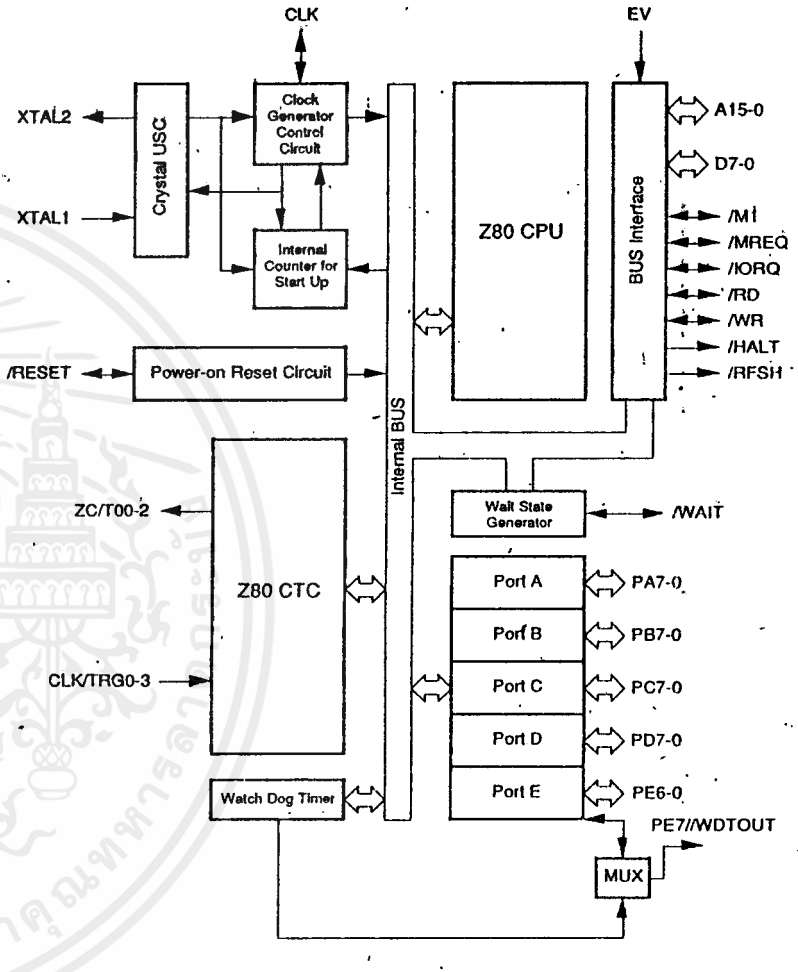
The Z84011 and Z84C11 Parallel I/O Controllers (PIC) are CMOS 8-bit microprocessors. They are integrated with the CTC and five 8-bit parallel ports into a single 100-pin QFP (Quad Flat Pack) package. The Z84C11 is an upward compatible version of the Z84011. Figure 1(a) shows the block diagram of Z84011, and Figure 1(b) shows the block diagram of the Z84C11. Figure 2 has pin assignments for both versions. These high end superintegrated Parallel I/O Controllers are targeted for a broad range of applications ranging from embedded controller to enhancement/cost reductions of existing hardware using Z80 based discrete peripherals.

Hereinafter, the word PIC on the description covering both versions (Z84C11 and Z84011) is used. Use Z84C11 on the description which applies only to the Z84C11, and use Z84011 which applies only to the Z84011.



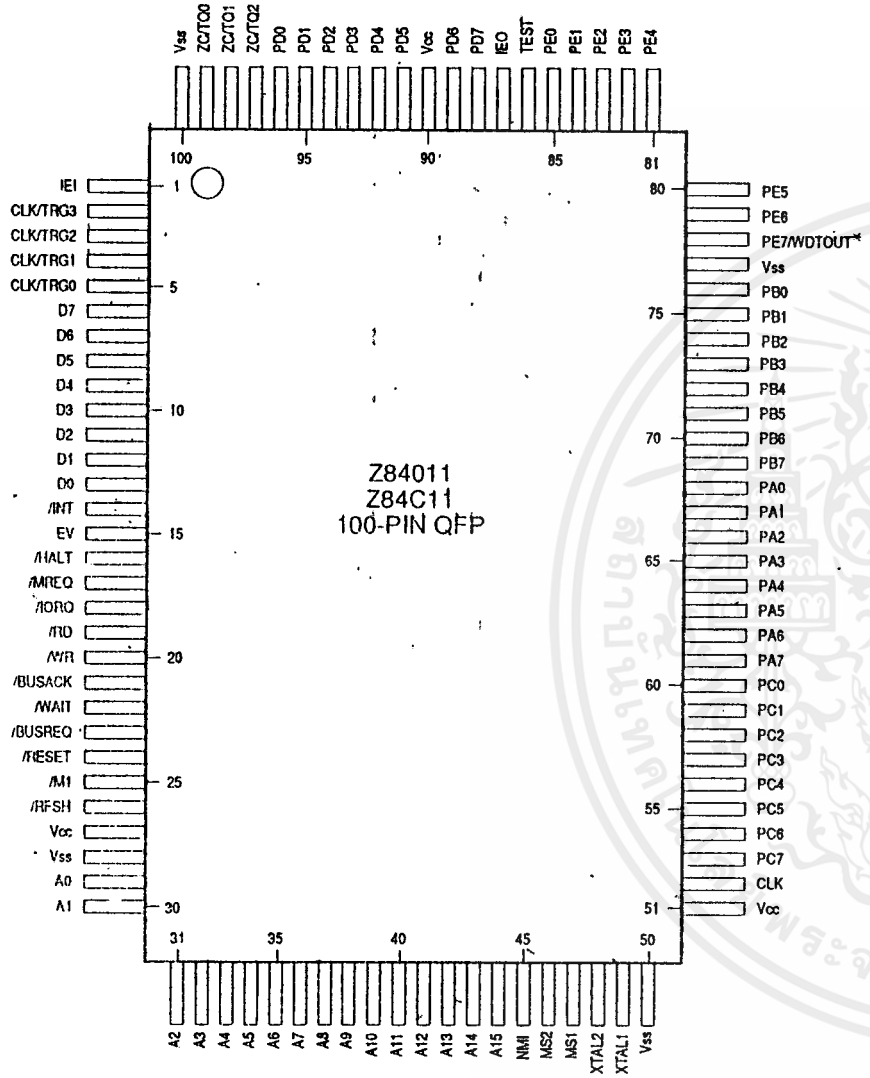
(a) Z84011 Functional Block Diagram

Figure 1. PIC Functional Block Diagram



(b) Z84C11 Functional Block Diagram

Figure 1. PIC Functional Block Diagram (Continued)



* PE7 for Z84011

Figure 2. PIC Pin Assignment

PIN DESCRIPTION

The pin assignment is shown in Figure 2. Following is the description on each pin. For the description and the pin number, if stated as "X11", it applies to both the Z84C11/Z84011. Otherwise, C11 for Z84C11 and 011 for Z84011.

CPU SIGNALS

Signal Name	# of Pins	Pin #	I/O, 3-State	Description
A15-A0	16	(29-44)	I/O	16-bit address bus. Specifies I/O and memory addresses to be accessed. During the refresh period, addresses for refreshing are output. The bus is an input when the external bus is accessing the on-chip peripherals.
D7-D0	8	(6-13)	I/O	8-bit bidirectional data bus. When the on-chip CPU is accessing on-chip peripherals, these lines are set to output and hold the data to/from on-chip peripherals.
/RD	1	(19)	I/O	Read signal. CPU read signal for accepting data from a memory or I/O device. When an external master is accessing the on-chip peripherals, it is an input signal.
/WR	1	(20)	I/O	Write Signal. This signal is output when data, to be stored in a specified memory or peripheral LSI, is on the MPU data bus. When an external master is accessing the on-chip peripherals, it is an input signal.
/MREQ	1	(17)	Output, 3-State	Memory request signal. When an effective address for memory access is on the address bus, "0" is output. When an external master controls the bus, this signal is tri-stated.
/IORQ	1	(18)	I/O	I/O request signal. When addresses for I/O are on the lower 8 bits (A7-A0) of the address bus in the I/O operation, "0" is output. In addition, the /IORQ signal is output with the /M1 signal at the time of the interrupt acknowledge cycle. This informs peripheral LSI of the interrupt response vector state when on the data bus. When an external master controls the bus, it is an input signal.
/M1	1	(25)	I/O	Machine Cycle "1" /MREQ and "0" are output together in the operation code fetch cycle. /M1 is output for every op-code fetch when a two byte op-code is executed. In the maskable interrupt acknowledge cycle, this signal is output together with /IORQ. When an external master controls the bus, it is an input signal.

CPU SIGNALS

Signal Name	# of Pins	Pin #	I/O, 3-State	Description
/RFSH	1	(26)	Output(011), Output/3-State (C11)	The refresh signal. When the dynamic memory refresh address is on the low order byte on the address bus, this pin goes active along with /MREQ signal.

Note:
For the Z84011 the /RFSH is not tri-stated during EV mode.

Note:
For the Z84C11 the /RFSH is tri-stated during EV mode.

/INT	1	(14)	I/O (Open Drain)	Maskable interrupt request signal. Interrupt is generated by peripheral LSI. This signal is accepted if the Interrupt enable Flip-Flop (IFF) is set to "1". The /INT signal of the CTC is internally wired-OR without pull-up resistors and requires external pull-up. The interrupts from on-chip CTC go out from this pin
/NMI	1	(45)	Input	Non-maskable interrupt request signal. This interrupt request has a higher priority than the maskable interrupt request and does not rely upon the state of the Interrupt enable Flip-Flop (IFF).
/HALT	1	(16)	Output, 3-State	Halt signal. Indicates that the CPU has executed a HALT instruction. This signal is tri-stated in EV mode.
/BUSREQ	1	(23)	Input	Bus request signal. /BUSREQ requests placement of the address bus, data bus, /MREQ, /IORQ, /RD and /WR signals into the high impedance state. /BUSREQ is normally wired-OR and a pull-up resistor is externally connected.
/BUSACK	1	(21)	Output(011), Output, 3-State (C11)	Bus acknowledge signal. In response to /BUSREQ signal, /BUSACK informs a peripheral LSI that the address bus, data bus, /MREQ, /IORQ, /RD, and /WR signals have been placed in the high impedance state.

Note:
For the Z84011 the /BUSACK will not be tri-stated during EV mode. For the Z84C11 the /BUSACK will be tri-stated during EV mode.

/WAIT	1	(22)	Input(011), I/O(C11)	Wait signal. /WAIT informs the CPU that specified memory or peripheral is not ready for data transfer. As long as /WAIT signal is active, MPU is continuously kept in the wait state

Note:
For the Z84C11, the /WAIT pin becomes an output to bring out on-chip Wait State Generator during EV mode

CTC SIGNALS

Signal Name	# of Pins	Pin #	I/O, 3-State	Description
CLK/TRG0 - CLK/TRG3	4	(2-5)	Input	External Clock/Trigger input. These four CLK/TRG pins correspond to four Counter/Timer Channels. In the counter mode, each active edge causes the downcounter to decrement by one. In timer mode, an active edge starts the timer. It is program selectable whether the active edge is rising or falling.
/ZC/TO0 - /ZC/TO2	3	(97-99)	Output	Zero count/timer out signal. In either timer or counter mode, pulses are output when the down counter has reached zero. The Counter/Timer Channel 3 does not have this output.

GENERAL PURPOSE I/O PORT

Signal Name	# of Pins	Pin #	I/O, 3-State	Description
PA7-PA0	8	(61-68)	I/O	General purpose I/O port (Port A). These lines are configured as an input or an output, bit by bit. On Reset, set as "all input."
PB7-PB0	8	(69-76)	I/O	General purpose I/O port (Port B). These lines are configured as an input or an output, bit by bit. On Reset, set as "all input."
PC7-PC0	8	(53-60)	I/O	General purpose I/O port (Port C). These lines are configured as an input or an output, bit by bit. On Reset, set as "all input."
PD7-PD0	8	(88, 89, 91-96)	I/O	General purpose I/O port (Port D). These lines are configured as an input or an output, bit by bit. On Reset, set as "all input."
PE6-PE0	7	(85-79)	I/O	General purpose I/O port (Port E). These lines are configured as an input or an output, bit by bit. On Reset, set as "all input."
PE7 (011 Only)	1	(3)	I/O	General purpose I/O port (Port E 7). This pin is configured as an input or an output. On Reset, set as "input."
PE7/WDTOUT (C11 Only)	1	(78)	I/O (Open-drain I/O when /WDTOUT)	Port E 7/Watchdog Timer Output (Multiplexed). This pin is configured as a Watch Dog output pin, or as a general purpose input or an output pin. When Watch Dog Timer is enabled, this pin becomes /WDTOUT regardless of the programming as an I/O port, and also becomes an Open-drain output. If /WDTOUT is connected other than a /RESET pin, an external pull-up resistor may be required. On Power-on Reset, this pin is set as PE 7 and "Input."

SYSTEM CONTROL SIGNALS

Signal Name	# of Pins	Pin #	I/O, 3-State	Description
IEI	1	(1)	Input	Z80 CTC interrupt enable input signal. This signal is used with the IEO to form an interrupt priority daisy chain when there is more than one interrupt-driven peripheral
IEO	1	(87)	Output	Z80 CTC interrupt enable output signal. In the daisy chain interrupt control, IEO controls the interrupt of external peripherals. IEO is active when IEI is "1" and the CPU is not servicing an interrupt from the on-chip peripherals
/RESET	1	(24)	Input (011), I/O (Open Drain) on C11	Reset signal. /RESET signal is used for initializing MPU and other devices in the system. Also used to return from the steady state in the STOP or IDLE modes

Note:
For the Z84011 the /RESET is kept in active state for a period of at least three system clock cycles

Note:
For the Z84C11, during the power-up sequence, the /RESET becomes Open-drain output and the Z84C11 will drive this pin to "0" for 25 to 75 msec after the power supply passes through approx. 2.2V and then reverts to input. If it receives the /RESET signal after power-on sequence, it will drive the /RESET pin for 16-processor clock cycles depending on the status of the Reset Output Disable bit in the Watch Dog Timer Master Register. If this Reset output is disabled, it must be kept in an active state for a period of at least three system clock cycles. Note, that if using Z84C11 in the Z84011 socket, modification may be required on the Reset circuit since this pin is a "pure input pin" on the Z84011. The /RESET pin does not have internal pull-up resistors and requires external pull-up. For more details of the function, refer to "Functional Description."

Signal Name	# of Pins	Pin #	I/O, 3-State	Description
XTAL1	1	(49)	Input	Crystal oscillator connecting terminal. A parallel resonant crystal is recommended. If an external clock source is used as an input to the CGC unit, supply clock goes into this terminal

Note:
For the Z84C11, a crystal presence is automatically detected by the Z84C11, oscillator and divide-by-two circuits are activated. The single phase clock generated is output on the CLK pin if the external clock is not applied on CLK pin

Signal Name	# of Pins	Pin #	I/O, 3-State	Description
XTAL2	1	(48)	Output	Crystal oscillator connecting terminal
CLK	1	(52)	Output (011), I/O(C11)	System Clock

Note:
For the Z84011, CLK provides Single Phase system clock generated by CGC. For the Z84C11, if the clock is applied on this pin, the internal oscillator and divide-by-two circuits are bypassed. Otherwise, CLK provides System Clock to the system

SYSTEM CONTROL SIGNALS

Signal Name	# of Pins	Pin #	I/O, 3-State	Description
MS1, MS2	2	(47,46)	I	Mode select 1 and 2. The mode select input pins. The status on these pins determine one of four power save modes (Run, Idle1, Idle2 or STOP)
EV	1	(15)	Input	Evaluator signal. When "1" is applied to this pin, PIC is put in Evaluation mode. For details, refer to "Functional Description" on EV mode.

Note:
For the Z84011, together with /BUSREQ, the EV signal puts the Z84011 into the evaluation mode. When this signal becomes active, the status of /M1, /HALT and /RFSH change to input. When using Z84011 as an evaluator chip, the CPU is electrically disconnected after one machine cycle is executed with the EV signal "1" and the /BUSREQ signal "0". It follows the instructions from the other CPU (of ICE). Upon receiving /BUSREQ, A15-A0, /MREQ, /IORQ, /RD and /WR are changed to input and D7-D0 changes its direction. /BUSACK is NOT tri-stated so it should be disconnected by an externally connected circuit.

Note:
For the Z84C11, to access on-chip resources from the CPU (e.g., ICE CPU), the CPU is electrically disconnected. A15-A0, /MREQ, /IORQ, /RD and /WR are changed to input, D7-D0 changes its direction. /M1, /HALT and /RFSH are put into the high impedance state when the EV pin is set to "1." Also, /BUSACK is tri-stated.

Signal Name	# of Pins	Pin #	I/O, 3-State	Description
V_{cc}	3	(27, 51, 90)	Power	+5 Volts
V_{ss}	4	(28, 50, 77, 100)	GND	0 Volts
TEST	1	(86)	Input	Test pin. This pin should be tied to "0"

Note:
The following pins have different functions between Z84011 and Z84C11

Pin Name	Pin #	Function
/RESET	24	Functionality is different
/WAIT	22	Functionality is different in EV mode
EV	15	Functionality is different
PE7	78	(Port E 7) on Z84011, PE7//WDTOUT on Z84C11.
/BUSACK	21	In EV mode, tri-stated on Z84C11, remains active on Z84011.

FUNCTIONAL DESCRIPTION

As shown in Figure 1(a), the Z84011 has a Z80 CPU, CTC, Clock Generator/Controller and Five 8-bit General Purpose I/Os. In addition to these, the Z84C11 has a Watch Dog Timer, Wait State Generator, and Power-on Reset circuit (Figure 1b).

Functionally, the on-chip Z80 CPU and the Z80 CTC are the same as the discrete devices. Therefore, for detailed description of each individual unit, refer to the Product Specification/Technical Manual of each discrete product.

The following subsections describe each individual functional unit of the PIC.

Z84C00/01 Logic Unit

The CPU unit provides all the capabilities and pins of the Zilog Z80 CPU. This allows 100% software compatibility with existing Z80 software. Refer to "Z84C01 Z80 CPU with CGC" Product Specification.

Z84C30 Counter/Timer Logic Unit

This logic unit provides the user with four individual 8-bit Counter/Timer Channels that are compatible with the Z84C30 CTC (Figure 3). The Counter/Timers are programmed by the CPU for a broad range of counting and timing applications. Typical applications include event counting, interrupt and interval counting, and serial baud rate clock generation.

Each of the Counter/Timer Channels, designated Channels 0-3, have an 8-bit prescaler (when used in timer mode) and its own 8-bit counter to provide a wide range of count resolution. Each of the channels have their own Clock/Trigger input to quantify the counting process and an output to indicate zero crossing/timeout conditions. Note that Channel 3 doesn't have its output pin. With only one interrupt vector programmed into the logic unit, each channel can generate a unique interrupt vector in response to the interrupt acknowledge cycle.

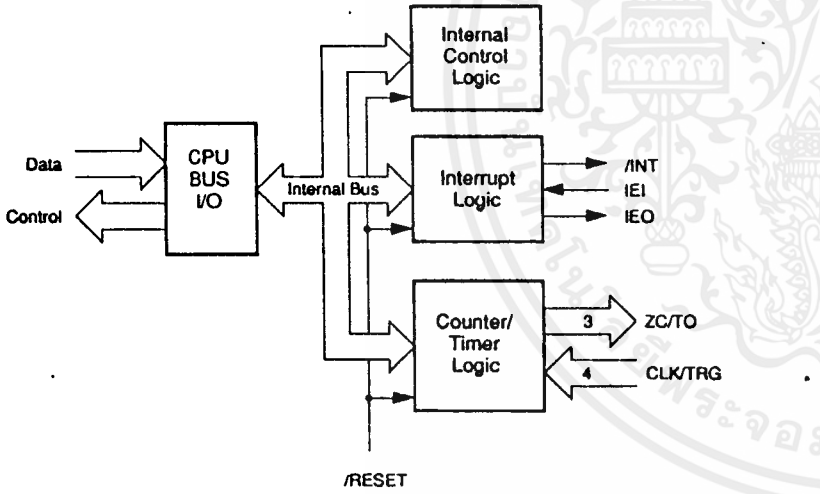


Figure 3. CTC Block Diagram

General Purpose I/O Ports

The PIC has five 8-bit General Purpose I/O ports (a total of 40 I/O lines). Each bit is configured as input or output individually. Figure 4 has the block diagram for General Purpose I/O ports. Each port has 2 associated registers. One is the Port Data Port, which latches the data to the port, and the other is the Data Direction Register, which defines the direction of data flow for the individual bits of its port. While the port bit is assigned as output, the contents of Port Data register can be read back through I/O instructions. For the addresses of these registers, refer to Table 1.

Note: For Z84C11, Port 7 bit 7 is multiplexed with Watch Dog Timer Output (WDTOUT). When enabling the Watch Dog Timer, the /WDTOUT is overriding the function as an I/O port. When used as /WDTOUT, a write to Port Data Register has no effect on the PL7/WDTOUT pin, but changes the contents of the Port L data register. A read to this bit returns the status of the /WDTOUT. For more details about Watch Dog Timer, refer to the "Watch Dog Timer" Section.

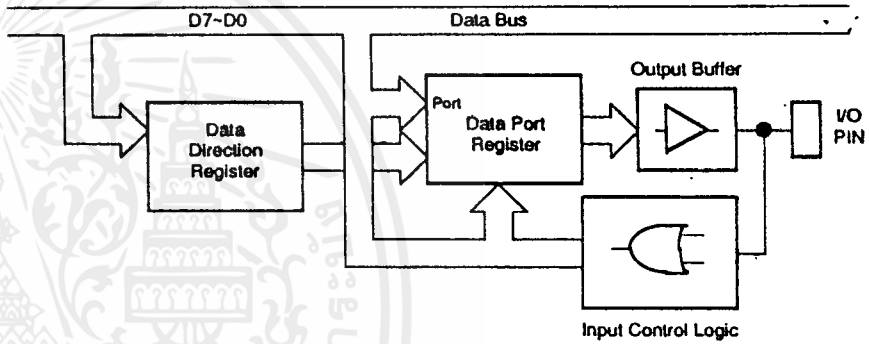


Figure 4. I/O Port Block Diagram

Watch Dog Timer (WDT) Logic Unit (Z84C11 Only)

This logic unit is being superintegrated into the Z84C11 as an enhanced feature to the Z84011. It detects an operation error, caused by the program runaway, and returns to normal operation. Figure 5, shows the block diagram of the WDT. While WDT is enabled, the signal PE7//WDTOUT acts as /WDTOUT. During power down mode of operation (either IDLE 1/2 or Stop), Watch Dog Timer is halted. Upon Power-on Reset, it is disabled.

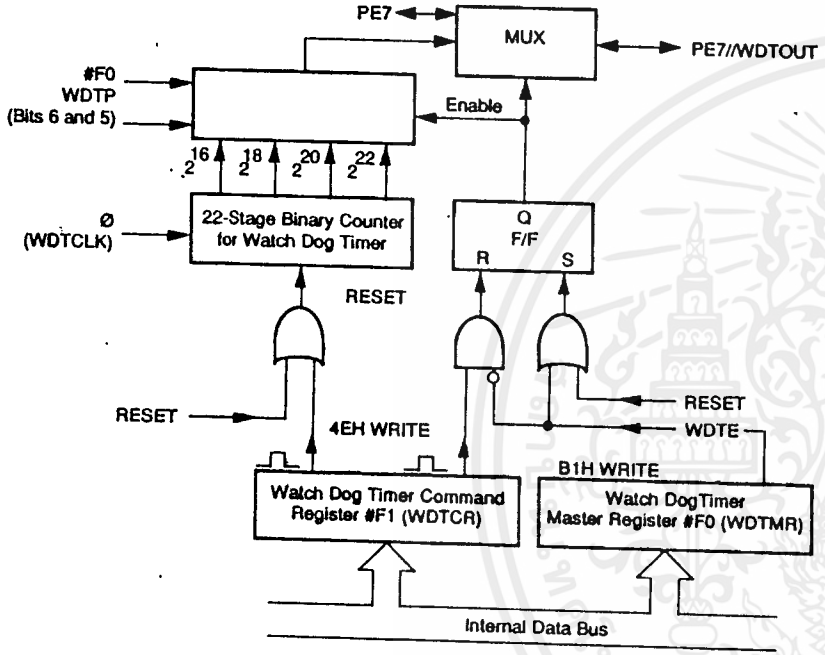


Figure 5. Watch Dog Timer Block Diagram

WDT Output (PE7//WDTOUT)

Since the Z84C11 doesn't have a dedicated WDT output pin, the WDT output is multiplexed with Port E bit 7. When enabling the Watch Dog Timer, the WDTOUT function overrides PE7 function.

When the WDT is used, the "0" level signal is output from the PE7//WDTOUT pin after a duration of time specified in the WDTP in the WDTMR. The output pulse width is one of the following, depending on the PE7//WDTOUT pin connection.

The PE7//WDTOUT is connected to the /RESET pin: The "0" level is pulsed for 51cC (System Clock cycles).

The PE7//WDTOUT is connected to a pin other than the /RESET pin. The "0" level is kept until the Watch Dog timer is cleared by software, or reset by /RESET pin.

CGC Logic Unit

The PIC has a CGC (Clock Generator/Controller) unit. The PIC allows crystal input (XTAL1, XTAL2) or System Clock input on the XTAL1 pin. It has clock divide-by-two circuits and generates half-speed clock to the input.

Z84011 Only. The CGC unit is not supporting "Idle 2" mode of operation.

Z84C11 Only. External clock can be also applied from CLK pin. If external clock is provided on the CLK pin, the oscillator and the divide-by-two circuit are bypassed. On Power-on Reset, it comes up in divide-by-two mode. If the external clock or crystal input is provided on the XTAL pins, the internal oscillator is used and the divide-by-two circuit is activated depending upon bit D4 of the WDTMR (See "Programming" section). Power Down modes of the Z84C11 vary based on whether the clock is input on the XTAL1 pin or the CLK pin. If the clock is input on the crystal pin, all of the modes in "Halt" state are available. If the system clock is provided from the CLK pin, only the IDLE 2 mode is applicable (CTC is kept on running) but the internal CPU and Watch Dog Timer are stopped.

Generating the System Clock

The PIC has a built-in oscillator circuit and the required clock is easily generated by connecting a crystal to the external terminals (XTAL1, XTAL2). Clock output is the half speed of the clock source. Example of an oscillator connection is shown in Figure 6.

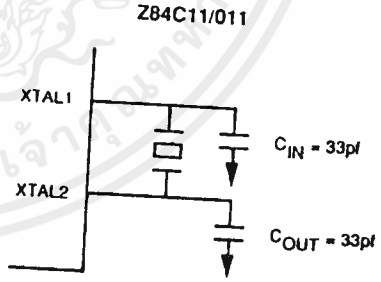


Figure 6. Circuit Configuration for Crystal

Z84C11. Clock speed is the same, or half, the frequency of the clock source.

Recommended characteristics of the crystal and the values for the capacitor are as follows. (The values will change with crystal frequency.)

- Type of crystal. Fundamental, parallel type crystal (AT cut is recommended).
- Frequency tolerance: Application dependent.
- CL, Load capacitance. Approximately 22pf. (Acceptable range is 20-30pf.)
- Rs, equivalent-series resistance: ≤ 60 ohms
- Drive level 10mW (for ≤ 10MHz crystal)
  5mW (for ≥ 10MHz crystal)
- CIN = COUT = 33pf

Power-on Reset Logic Unit (Z84C11 Only)

The Z84C11 has the enhanced feature of a Power-on Reset circuit. During the power-up sequence, the Open-drain gate of the on-chip Power-on Reset circuit drives /RESET pin to "0" for 25 to 75 msec after the power supply passes through approx. 2.2V. After the termination of the "Power-on Reset" cycle, the Open-drain gate of the on-chip Power-on Reset circuit stops to drive the /RESET pin. It is required to have external pull-up resistor on the /RESET pin.

If it receives /RESET input from outside after the power-on sequence, and while Reset Output Disable bit in Watch Dog Master Register is cleared to "0", it drives the /RESET pin for 16 processor clock cycles from the falling edge of external /RESET input. Otherwise, /RESET pin must be kept in active state for a period of at least 3 system clock cycles.

If there are power-on reset circuits outside of this device, drive this pin with OPEN-DRAIN type gates and pull-up resistors because the /RESET signal is driven low for the period mentioned above during the Power-on sequence. If the external Power-on Reset circuit has push-pull type drivers and they drive the /RESET pin to "1" during that period, it may cause damage. In particular, when using Z84C11 in the Z84011 socket, modification may be required on the external reset circuit.

Wait State Generator Unit (Z84C11 Only)

The Z84C11 has the enhanced feature of a Wait State Generator circuit. It is capable of generating /WAIT signals to the CPU internally. The status of the External /WAIT input line is sampled after the insertion of software wait states, except the wait states insertion for Interrupt Daisy Chain Wait (for this cycle, insertion of a wait state is complex). The Wait State Control Register can be programmed to generate multiple Wait states during different CPU cycles as listed as follows.

Memory Wait and Op-code Wait
The Wait State Generator can put 0 to 3 wait states in memory accesses. Additionally, one added wait state can be inserted during an /M1 (Op-code fetch) cycle, because /M1 cycles' timing requirement is tighter than memory Read/Write cycles. It generates wait states to the Memory Access in a specified address range, which is programmed in Memory Wait Boundary Register.

I/O Wait
The Wait State Generator can put 0, 2, 4 or 6 wait states to I/O accesses. Regardless of the programming of this field, no I/O wait states are inserted for accesses to on-chip peripherals.

Interrupt Vector Wait
During interrupt acknowledge cycle, the Wait State Generator can insert one wait state after /IORQ goes active, to extend the time between /IORQ fall to vector fetch by CPU. It allows a slow vector response device.

Interrupt Daisy Chain Wait and RETI Sequence Extension
During interrupt acknowledge cycle, the Wait State Generator can insert 0, 2, 4 or 6 wait states between /M1 falling to the /IORQ falling edge. This extends the time required to settle the daisy chain. This also allows a longer daisy chain. Further, this field controls the number of wait states inserted during RETI (Return From Interrupt) cycle. If specified to insert 4 or 6 wait states during Interrupt Acknowledge cycle, the Wait State Generator also inserts wait states during the RETI fetch sequence. This sequence is generated with two op-code fetch cycles (Op-code is EDh followed by 4Dh). It inserts 2 or 4 wait states, respectively, if op-code followed by EDh is 4Dh. One wait state if the following op-code is not 4Dh.

Other Functional Features (Z84C11 Only)

For more system design flexibility, the Z84C11 has the following unique features. These features are controlled by WDTMR (Watch Dog Master Register, Address:FOh). For more details, refer to "Programming section."

- Clock Divide-By-One option
- Reset Output Disable
- Control Register Initialize Option

Clock Divide-by-One Option
This feature is programmed through Bit D4 of WDTMR. Upon Power-on Reset, the Clock from on-chip CGC is passed through a divide-by-two circuit. By setting this bit to one, the divide-by-two circuit is bypassed so that the system clock is equal to XTAL input. If the clock is applied to the CLK pin from external clock source, the status of this bit is ignored. Upon power-on reset, it is cleared to 0. For details, refer to "Programming" section.

Reset Output Disable
This feature is programmed by Bit D3 of WDTMR. If this bit is cleared to "0", the /RESET pin is driven to "0" for 16 clock cycles from the falling edge of /RESET input. This feature is for the cases where /RESET is used to get out from the "HALT" state. If this bit has been set to one, the on-chip reset circuit will not drive the /RESET pin except during power-on sequence.

Control Register Initialize Option
This feature is programmed by Bit D2 of WDTMR. This bit determines whether or not to initialize system control registers to initial value on /RESET. An ideal application for using the Watch Dog Timer.

Evaluation Mode

The PIC has a built-in evaluation (or development) mode feature which allows the users to utilize standard Z80 development systems conveniently. This mode virtually replaces the on-chip Z80 CPU with the external CPU. In this mode, the on-chip CPU is electrically disconnected from the internal bus and all tri-state signals 15-A0, D7-D0, /MREQ, /IORQ, /RD, /WR, /HALT, /M1, (for C11, /RESET and /BUSREQ as well) as they are tri-stated, or changed to input. This allows the development system CPU to take over and use the internal I/O registers of the PIC (like the CPU was on-chip).

Z84011 Only. When the LV pin is active, the /M1 and /HALT pins are put in the high-impedance state. In using the Z84011 as an evaluator chip, the CPU is electrically disconnected (put in high-impedance state) after one machine cycle is executed with the LV signal being "1" and the /BUSREQ signal being "0". Then, on-chip resources are accessed from outside. /BUSACK and /RESET are disconnected by an externally connected circuit.

Z84C11 Only. If the EV pin is tied to Vcc on power-up, the Z84C11 enters into an evaluation mode. In this mode, the internal CPU is immediately disconnected from the internal bus and all tri-state signals listed above, and /BUSACK and /RFSH signals are tri-stated, or changed to input. Note that the /WAIT pin became the OUTPUT pin in EV mode, and Wait State Generator generates wait states only as programmed. If the target application board has a separate wait state generator, modification of the target may be required.

The Z84C11 acts like regular operation where the /BUSREQ signal is asserted by an external master. This causes all tri-state signals to be tri-stated by the Z84C11 after one clock delay. For this case, /RFSH, /M1, /HALT and /BUSREQ remain active. The /BUSREQ approach was not used for the evaluation mode. This avoided significant external circuitry to work around the time period before the external CPU uses the bus for the Z84C11 accesses.

PROGRAMMING

I/O Address Assignment

The PIC's on-chip peripherals' I/O addresses are listed in Table 1. They are fully decoded from A7-A0 and have no image. The registers with Z84C11 located at I/O Address EEh, EFh, F0h and F1h control enhanced features to the Z84C11, and are not assigned on Z84011.

Table 1. I/O Control Register Address

Address	Device	Channel	Register
10h	CTC	Ch 0	Control Register
11h	CTC	Ch 1	Control Register
12h	CTC	Ch 2	Control Register
13h	CTC	Ch 3	Control Register
50h	PIA	Port A	Port A Data Port (PADP)
54h	PIA	Port A	Port A Data Direction Register (PADR)
51h	PIA	Port B	Port B Data Port (PBDP)
55h	PIA	Port B	Port B Data Direction Register (PBDR)
52h	PIA	Port C	Port C Data Port (PCDP)
56h	PIA	Port C	Port C Data Direction Register (PCDR)
30h	PIA	Port D	Port D Data Port (PDDP)
34h	PIA	Port D	Port D Data Direction Register (PDDR)
40h	PIA	Port E	Port E Data Port (PEDP)
44h	PIA	Port E	Port E Data Direction Register (PEDR)
F0h	WDT		Watch Dog Timer Master Register (WDTMR; Not with Z84011)
F1h	WDT		Watch Dog Timer Control Register (WDTCR; Not with Z84011)
EEh	Misc		System Control Register Pointer (SCRP, Not with Z84011)
EFh	Misc		System Control Data Port (SCDP, Not with Z84011) Through SCRP and SCDP: Control Register 00 - Wait State Control register (WCR); Control Register 01 - Memory Wait state Boundary Register (MWBR)

CTC Control Registers

For more detailed information, refer to the CTC Technical Manual.

Channel Control Word

This word sets the operating modes and parameters as described below. Bit D0 is a "1" to indicate that this is a Control Word (Figure 7).

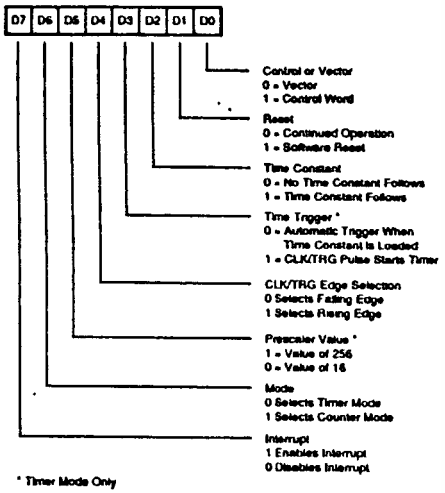


Figure 7. CTC Channel Control Word

Bit D7. *Interrupt Enable* This bit enables the interrupt logic so that an internal INT can be generated at zero count. Interrupts are programmed in either mode and may be enabled or disabled at any time.

Bit D6. *Mode Bit* This bit selects either Timer Mode or Counter Mode.

Bit D5. *Prescaler Factor* This bit selects the prescaler factor for use in the timer mode. Either divide-by-16 or divide-by-256 is available.

Bit D4. *Clock/Trigger Edge Selector.* This bit selects the active edge of the CLK/TRG input pulses.

Bit D3. *Timer Trigger.* This bit selects the trigger mode for timer operation. Either automatic or external trigger is selected.

Bit D2. *Time Constant.* This bit indicates that the next word programmed is time constant data for the downcounter.

Bit D1. *Software Reset.* Writing 1 to this bit indicates a software reset operation, which stops counting activities until another time constant word is written.

Time Constant Word

Before a channel starts counting, it must receive a time constant word. The time constant value is anywhere between 1 and 256, with "0" being accepted as a count of 256 (Figure 8).

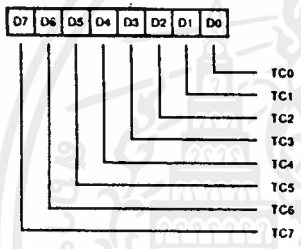


Figure 8. CTC Time Constant Word

Interrupt Vector Word

If one or more of the CTC channels have interrupt enabled, then the Interrupt Vector Word must be programmed. Only the five most significant bits of this word are programmed, and bit D0 must be "0". Bits D2-D1 are automatically modified by the CTC channels when it responds with an interrupt vector (Figure 9).

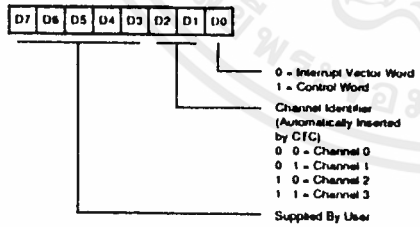


Figure 9. CTC Interrupt Vector Word

PIA Registers

Port Direction Registers

The PIA ports can be configured for any combination of input and output bits. The direction is controlled by writing to the Port Direction Registers (PADR, PBDR, PCDR, PDDR, PEDR). A "1" written to a bit position indicates that the respective bit is an Output. All bits are inputs on reset. This register is write only (Figure 10).

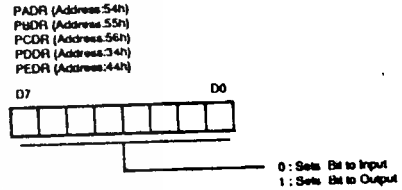


Figure 10. Port Direction Register

Port Data Port

This register holds the data to the port bit assigned as output. It holds the data until modified by the CPU. If the bit is assigned as an output, a read to this register gives the current value on the port pin, or reads back the contents of this register (Figure 11).

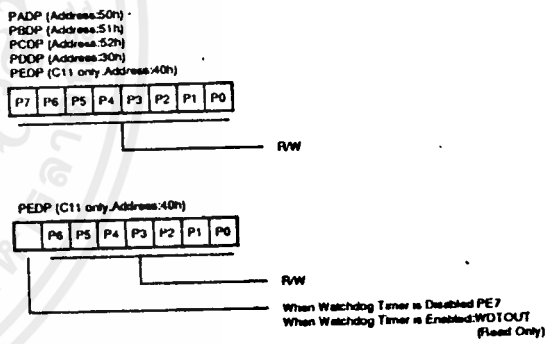


Figure 11. Port Data Port

Writing a Port Data Port. If the bit location is assigned as an input, A write to the bit location, assigned as an input, changes the contents of the Port Data Port Register without affecting the port's operation.

If the bit location is assigned as an output. A write to the bit location, assigned as an output, latches the data into the Port Data Port register, and the content of the register is output on the pin.

Z84C11 Only. If Port E bit 7 has been assigned as Watch Dog Timer Output (/WDTOUT), a write to PE7 location will not change the status of the PE7, but changes the bit 7 of PLDR.

Reading a Port Data Port. If the bit location is assigned as an input, a read to the bit location, assigned as an input reads the data on the port directly. The contents of the Port Data Port Register are not changed.

If the bit is assigned as an output. A read to the bit location, assigned as an output, reads back the contents of the Port Data Port Register.

Z84C11 Only. If Port E bit.7 has been assigned as Watch Dog Timer Output (/WDTOUT), a read to PE7 location returns the status of WDTOUT.

As mentioned above, a write to the bit location assigned as input, will not affect the port's operation. When changing its mode to output from input, write data to be output into port data port before programming Data Direction Register to Output, or there may be a glitch in the port pin.

Watch Dog Timer Control Registers (Z84C11 Only)

There are two registers to control Watch Dog Timer operations; Watch Dog Timer Master Register (WDTMR; I/O Address F0h) and the WDT Command Register (WDTCR, I/O Address F1h). Watch Dog Timer Logic has a "double key" structure to prevent the WDT disabling error which could lead to WDT operation stop page due to program runaway. Also, these registers program the power-down mode of operation. The "Second Key" is needed when turning off the Watch Dog Timer.

Enabling the WDT. The WDT is enabled by setting the WDT Enable Bit (D7:WDTE) to "1" and the WDT Periodic field (D5,D6:WDTP) to the desired time period. These command bits are in the Watch Dog Timer Master Register (WDTMR; I/O Address F0h).

Disabling the WDT. The WDT is disabled by clearing WDT Enable bit (WDTE) in the WDTMR to "0" followed by writing "B1h" to the WDT Command Register (WDTCR, I/O Address F1h).

Clearing the WDT. The WDT can be cleared by writing "4Eh" into the WDTCR.

Watch Dog Timer Master Register
(WDTMR; I/O address F0h)
This register controls the activities of the Watch Dog Timer and system functions (Figure 12).

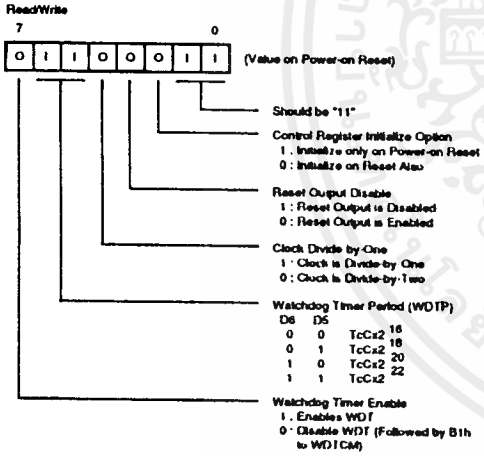


Figure 12. Watch Dog Timer Master Register

Bit D7. *Watch Dog Timer Enable* (WDTE). This bit controls the activities of Watch Dog Timer. The WDT is enabled by setting this bit to "1". To disable WDT, write "0" to this bit followed by writing "B1h" in the WDT Command Register. Watch Dog Timer Logic has a "double key" structure to prevent the WDT disabling error which may lead to WDT operation stop page, due to program runaway. Upon Power-On Reset, this bit is cleared to "0" and the WDT is disabled.

Bit D6-D5. *WDT Periodic field* (WDTP). This two bit field determines the desired time period. Upon Power-on reset, this field is set to "11" and the time period is (TcC x 222).

00 - Period is (TcC x 2^{16})
01 - Period is (TcC x 2^{18})
10 - Period is (TcC x 2^{20})
11 - Period is (TcC x 2^{22})

Bit D4. *Clock Divide-by-one option.* "0"-Disable ."1"-enable. On-chip CGC unit has a divide-by-two circuit. By setting this bit to one, this circuit is bypassed and clock on CLK pin is equal to XTAL oscillation frequency (or external clock input on the XTAL1 pin). This bit has no effect when the on-chip CGC unit is not in use and external system clock is fed from CLK pin. Upon Power-on reset, this bit is cleared to "0" and the clock is divided by two.

Bit D3. *Reset Output Disable.* "0"-Reset output is enabled. "1"-Reset output is disabled. This bit controls the /RESET signal and is driven out when /RESET input is used to take the Z84C11 out of the "Halt" state. The reset pulse is driven out for 16-clock cycles from the falling edge of /RESET input, unless this bit is set. Upon Power-on reset, this bit is cleared to "0".

Bit D2. *Control Register Initialize Option.* "0"- Initialize control registers on Reset; "1"- Initialize control registers only on Power-on Reset. D2 determines whether to initialize system control registers to initial values on /RESET. If this bit is cleared to 0, contents of control registers are initialized at /RESET. If this bit is set to 1, contents of control registers are initialized ONLY on Power-on Reset (/RESET will not initialize the control registers). Upon Power-on Reset, this bit is cleared to "0".

Bit D1-D0. *Reserved.* These two bits are reserved and are programmed as "11". A read to these bits returns "11".

Watch Dog Timer Command Register
(WDTCR, I/O address F1h)
In conjunction with the WDTMR, this register works as a "Second Key" for the Watch Dog Timer. This register is write only (Figure 13).

Write B1h after clearing WDTE to "0" - Disable WDT
Write 4Eh - Clear WDT

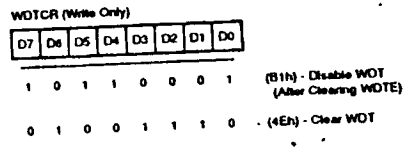


Figure 13. Watch Dog Timer Command Register

Registers for the Wait State Generator

(The following registers are not available on Z84011).

There are two indirectly accessible registers to program wait states; Wait State Control Register (WCR, Control Register 00h) and Memory Wait Boundary Register (MWBR, Control Register 01h). To access these registers, Z84C11 writes "register number to be accessed" to the System Control Register Pointer (SCRP, I/O address E0h), and then accesses the target register through System Control Data Port (SCDP, I/O address E1h). The pointer which writes into SCRP is kept until modified.

System Control Register Pointer
(SCRP, I/O address E0h)
This register stores the pointer to access WCR and MWBR. This register is Read/Write and it holds the pointer value until modified. Upon Power-on reset, all bits are cleared to zero. The pointer value other than 00h and 01h, is reserved and not written. Upon Power-on reset, this register is set to "00h" and points to WCR (Figure 14).

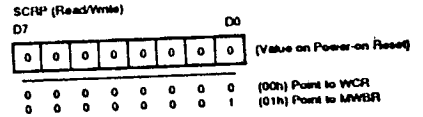


Figure 14. System Control Register Pointer

System Control Data Port
(SCDP, I/O address EFh)
This register accesses WCR and MWBR (Figure 15)

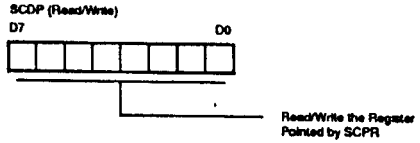


Figure 15. System Control Data Port

Wait State Control Register
(WCR, register number 00h)
This register accessed through SCDP with the pointer value 00h in SCRP (Figure 16). To maintain compatibility with the Z84011, the Z84C11 inserts the maximum number of wait states (set all bits of this register to one) for sixteen/M1 cycles after Power-on Reset. It automatically clears the contents of this register (move to no-wait state insertion) on the trailing edge of the 16th /M1 signal unless software has programmed a value. If automatic wait state insertion is needed, the wait state is programmed within this time period. A read to WCR during this period will return FFh, unless programmed

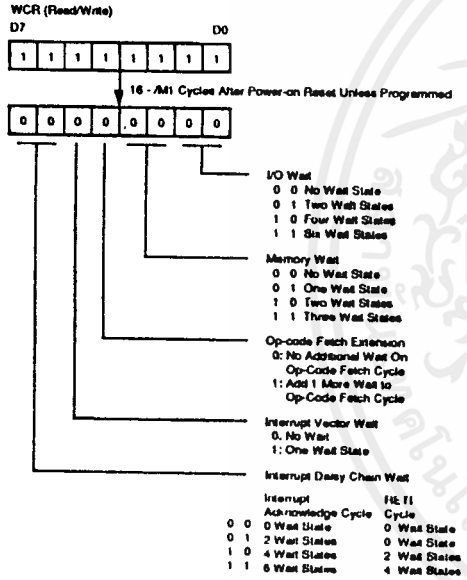


Figure 16. Wait State Control Register

The Wait State Control register has the following fields:

Bit 7-6. *Interrupt Daisy Chain Wait.* This 2-bit field specifies the number of wait states to be inserted during an Interrupt Daisy Chain settle period of the Interrupt Acknowledge cycle. Which means /IORQ goes low after the settling period from /M1 going active. Also, this field controls the number of wait states inserted during the RETI (Return From Interrupt) cycle. If specified to insert four or six wait states during Interrupt Acknowledge cycle, the Wait State Generator also inserts wait states during the RETI fetch sequence. This sequence is formed with two op-code fetch cycles (Op-code is EDh followed by 4Dh). It inserts one wait state if op-code followed by EDh is NOT 4Dh, and inserts two or four wait states, respectively, if the following op-code is 4Dh.

Interrupt Acknowledge	RETI cycle
00 - No Wait states	No wait states
01 - 2 Wait states	No wait states
10 - 4 Wait states	2 Wait states
11 - 6 Wait states	4 Wait states

For sixteen /M1 cycles from Power-on Reset, bits 7-6 are set to "11". They clear to "00" on the trailing edge of the 16th /M1 signal unless programmed.

Bit 5. *Interrupt Vector Wait.* While this bit is set to one, the wait state generator inserts one wait state after the /IORQ signal goes active during the Interrupt Acknowledge cycle. This gives more time for the vector read cycle. While this bit is clear to zero, no wait state is inserted (Standard timing). For sixteen /M1 cycles from Power-on Reset, this bit is set to "1." It then clears to "0" on the trailing edge of the 16th /M1 signal, unless programmed.

Bit 4. *Op-code fetch Extension.* If this bit is set to "1", one additional wait state is inserted during the Op-code fetch cycle in addition to the number of wait states programmed in the Memory Wait field. For sixteen /M1 cycles from Power-on Reset, this bit is set to "1", then clear to "0" on the trailing edge of the 16th /M1 signal, unless programmed.

Bit 3-2. *Memory Wait states.* This 2-bit field specifies the number of wait states inserted during I/O transactions.

00 - No Wait states
01 - 1 Wait states
10 - 2 Wait states
11 - 3 Wait states

For sixteen /M1 cycles from Power-on Reset, these bits are set to "11", then cleared to "00" on the trailing edge of the 16th /M1 signal, unless programmed.

Bit 1-0. *I/O Wait states.* This 2-bit field specifies the number of wait states inserted during I/O transactions.

00 - No Wait states
01 - 2 Wait states
10 - 4 Wait states
11 - 6 Wait states

For sixteen /M1 cycles from Power-on Reset, these bits are set to "11", then cleared to "00" on the trailing edge of the 16th /M1 signal, unless programmed. For the accesses to the on-chip I/O registers, no Wait states are inserted regardless of the programming of this field.

Memory Wait Boundary Register
(MWBR, register number 01h)
This register specifies the address range to insert memory wait states. When accessed memory addresses are within this range, the Wait State Generator inserts Memory Wait States specified in the Memory Wait field in WCR. (Figure 17). This register controls the Memory Wait insertions only for normal Memory Read/Write and Op-Code fetch cycle.

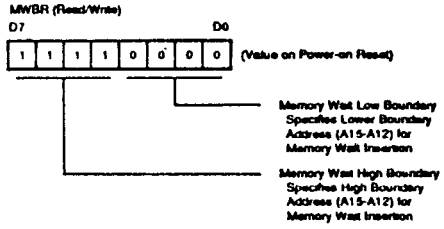


Figure 17. Memory Wait Boundary Register

Bit D7-D4. *Memory Wait High Boundary.* This field specifies A15-A12 of the upper address boundary for Memory wait

Bit D3-D0. *Memory Wait Low Boundary.* This field specifies A15-A12 of the lower address boundary for Memory wait.

Memory wait states are inserted for the address range:

(D7-D4 of MWBR) ≥ A15-A12 ≥ (D3-D0 of MWBR)

This register is set to "F0h" on Power-on Reset, which specifies the address range for Memory wait as "0000h to FFFFh"

OPERATION MODES

There are four kinds of operation modes available for the PIC in connection with clock generation; RUN Mode, IDLE1/2 Modes and STOP Mode.

The Operation mode is effective when the halt instruction executes. Restart of MPU from the stopped state under IDLE1/2 Mode or STOP mode is effected by inputting either /RESET or interrupt (/NMI or /INT). The mode selection of these power-down modes is made by two external pins (MS1/MS2).

Note: Z84011 is not supporting IDLE 2 mode of operation. Do not use the MS1/MS2 combination of 0 1 with Z84011.

Operation Mode	MS1	MS2	Description at HALT State
RUN Mode	1	1	The PIC continues the operation. If CLK is an output, it supplies clocks to the outside, continuously.
IDLE1 Mode	0	0	The internal oscillator's operation is continued and supplies clocks to the outside, continuously. Clock output (CLK) (and internal clock to the CTC and the Watch Dog Timer) is stopped at "0" level of T4 state in the halt instruction operation code fetch cycle. This mode is not supported with Z84C11 when external clock is applied to the CLK pin.
IDLE2 Mode (C11 Only)	0	1	The internal oscillator and the CTC's operation continues. If the CLK pin has been selected as output, it supplies clock to the outside continuously. But the internal clock to the CPU and the Watch Dog Timer is stopped at "0" level of the T4 state. This is in the cycle immediately after the halt instruction op-code fetch cycle. This mode is also valid when external clock is applied to the CLK pin.
STOP Mode	1	0	All operations of the internal oscillator, clock (CLK) output, internal clock to the CTC, and the Watch Dog Timer are stopped at the "0" level of the T4 state. This is in the cycle immediately after the halt instruction op-code fetch cycle.

Table 2. Device Status In Halt State
(When clock is supplied by on-chip CGC unit)

Mode	CGC	CPU	CTC	WDT	CLK	Note
IDLE1	O	X	X	X	X	
IDLE2	O	X	O	X	O	[1]
STOP	X	X	X	X	X	
RUN	O	O	O	O	O	

O: Operating
X: Stop

Note:
[1] Not supported on 011.

011 Only. All operating modes, except IDLE 2 (Table 2), are valid with Crystal Input (Crystal connected between XTAL1/2 or external Clock input on XTAL1).

C11 Only. All the operating modes in Table 3 are valid with crystal input (Crystal connected between XTAL1/2 or external clock input on XTAL1). For the external clock on the CLK pin, only the IDLE2 and RUN modes are applicable.

TIMING

Basic Timing

The basic timing is explained here with emphasis placed on the halt function relative to the on-chip Clock Generator. The following items are identical to those for the Z84C00 For details, refer to the data sheet of the Z84C00.

- Operation Code Fetch Cycle
- Memory Read/Write Operation
- Input/Output Operation
- Bus Request/Acknowledge Operation
- Maskable Interrupt Request Operation
- Non-Maskable Interrupt Request Operation
- Reset Operation

Operation When HALT Instruction is Executed

When the CPU fetches a halt instruction in the op-code fetch cycle, /HALT goes active (Low). This is in synchronization with the falling edge of T4 state before the peripheral LSI and CPU stops the operation. After this, the system clock generation differs, depending upon the operation mode (RUN Mode, IDLE1/2 Mode or STOP Mode). If the internal system clock is running, the CPU continues to execute NOP instructions even in the halt state.

RUN Mode (MS1=1, MS2=1)
Shown in Figure 18 is the basic timing when the halt instruction is executed in RUN Mode.

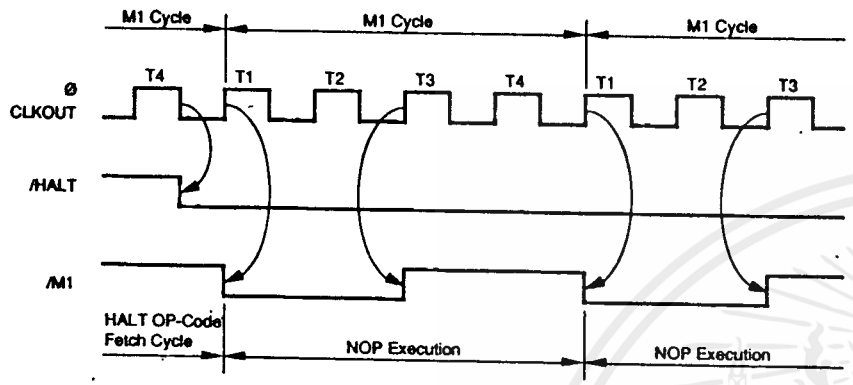


Figure 18. Timing of RUN Mode
(At Halt Instruction Command Execution)

In RUN Mode, internal system clock (Ø) and clock output (CLK) continues even after the halt instruction is executed. Therefore, until the halt state is released by the interrupt signal (/NMI or /INT) or /RESET signal, MPU continues to execute HALT instruction (internally executing NOP instructions).

IDLE1 Mode (MS1=0, MS2=0)
Shown in Figure 19 is the basic timing when the halt instruction is executed in IDLE1 Mode.

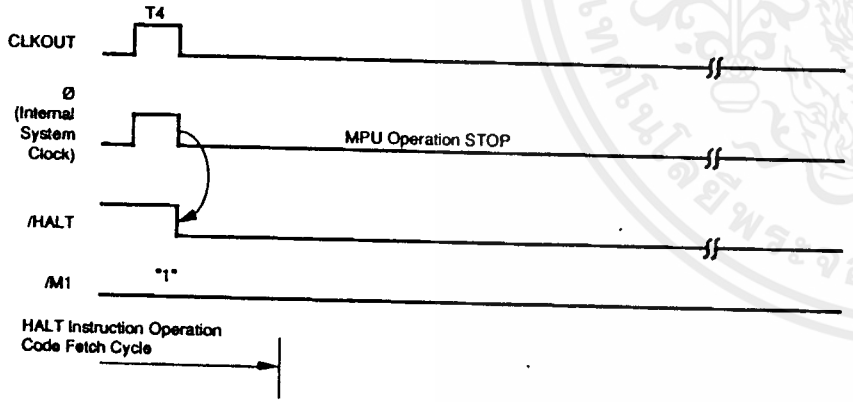


Figure 19. IDLE1 Mode Timing
(At Halt Instruction Execution)

In IDLE1 Mode, the internal oscillator continues to operate, but system clock (Ø) in MPU and clock output (CLK) is stopped at T4 Low state of HALT instruction execution. Then all components in the MPU stop their operation. This mode is not supported when the CGC unit is inactive and the external clock is fed from CLK pin.

IDLE2 Mode (C11 Only; MS1=0, MS2=1)
Shown in Figure 20 is the basic timing when the halt instruction is executed in IDLE2 Mode. This mode is not supported on 011, and not with C11 when external clock is applied onto the CLK pin.

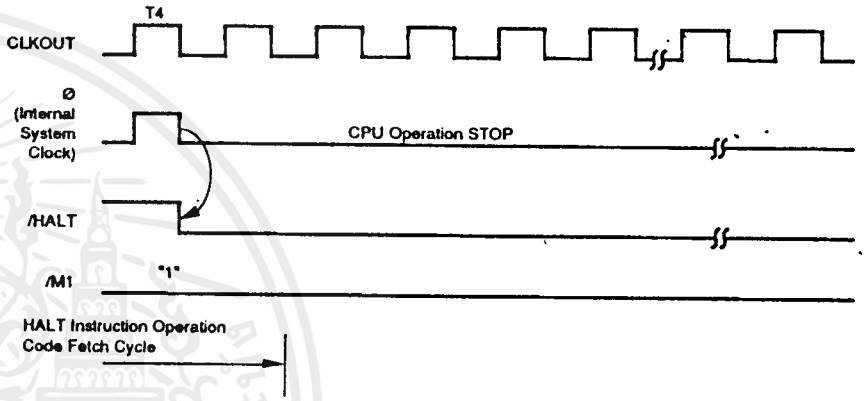


Figure 20. IDLE2 Mode Timing
(At Halt Instruction Execution)

In IDLE2 Mode, the internal oscillator, clock to CTC and clock output (CLK) to the outside of Z84C11, continues to operate. System Clock (Ø) in the Z84C11 is stopped at the T4 Low state of HALT instruction execution. Then the CPU and Watch Dog Timer stop their operation.

STOP Mode (MS1=1, MS2=0)

Shown in Figure 21 is the basic timing when the halt instruction is executed in STOP Mode.

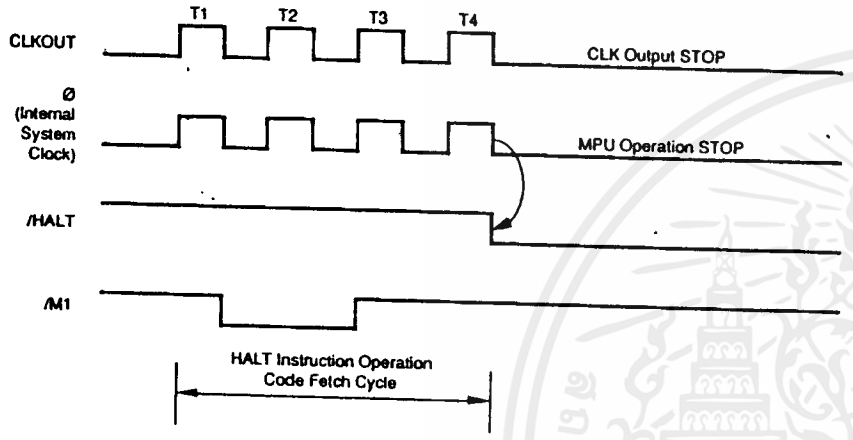


Figure 21. STOP Mode Timing
(At Halt Instruction Execution)

In STOP Mode, the on-chip CGC unit is stopped at T4 Low state of HALT instruction execution. Therefore, System Clock (Ø) in the IPC, operation of Watch Dog timer, CPU, CTC and clock output (CLK) to the outside of the IPC are stopped.

Release From Halt State

The halt state of the CPU is released when "0" is input to the /RESET signal and the MPU is reset or an interrupt request is accepted. An interrupt request signal is sampled at the leading edge of the last clock cycle (T4 state) of NOP instruction. In the case of maskable interrupt, interrupt is accepted by an active /INT signal ("0" level). Also, the interrupt enable flip-flop is set to "1". The accepted interrupt process is started from the next cycle.

Further, when the internal system clock is stopped (IDLE1/2 Mode, STOP Mode), it is necessary first to restart the internal system clock. The internal system clock is restarted when /RESET or interrupt signal (/NMI or /INT) is asserted.

RUN Mode (MS1, MS2=1)

The halt release operation by acceptance of interrupt request in RUN Mode is shown in Figure 22.

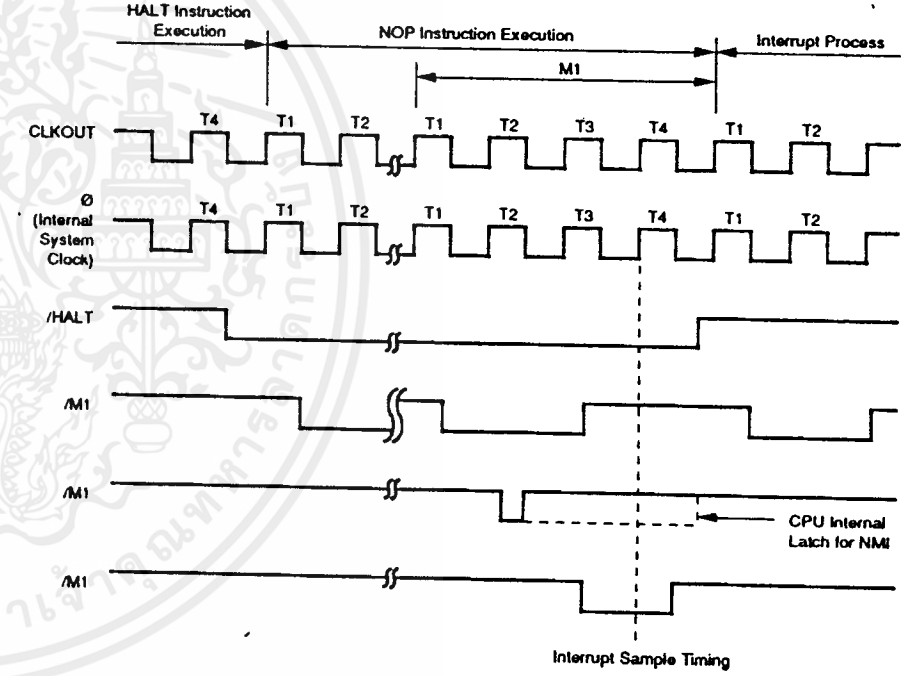


Figure 22. Halt Release Operation Timing By Interrupt Request Signal In RUN Mode

In RUN Mode the internal system clock is not stopped. If the interrupt signal is recognized on the rising clock edge of T4 of the continued NOP instruction, the CPU will execute the interrupt process from the next cycle.

The halt release operation by resetting the CPU in RUN Mode is shown in Figure 23. After Reset, the CPU executes an instruction starting from address 0000H. However, in order to reset CPU, it is necessary to keep /RESET signal at "0" for at least three system clock cycles (for Z84C11: three clock cycles if Reset output is disabled.) In addition, if the /RESET signal becomes "1", after the dummy cycle for at least two T states, the CPU executes an instruction from address 0000H.

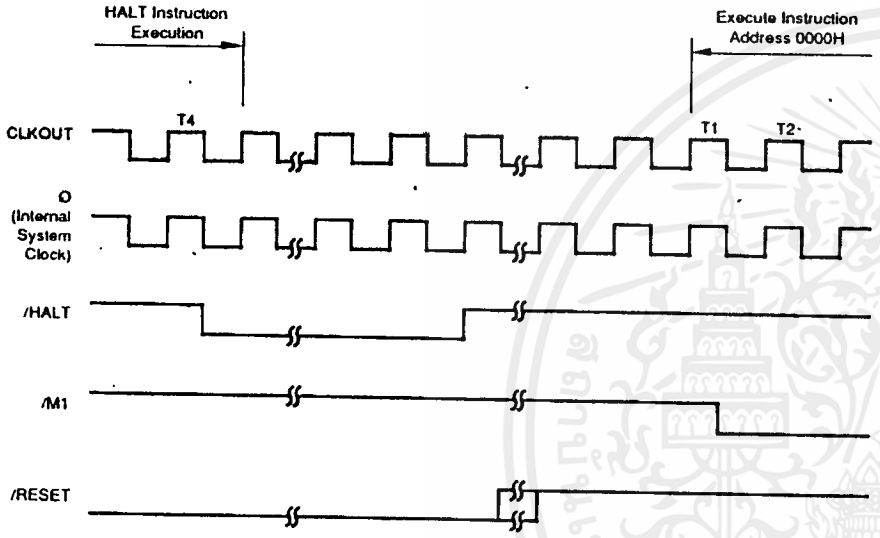
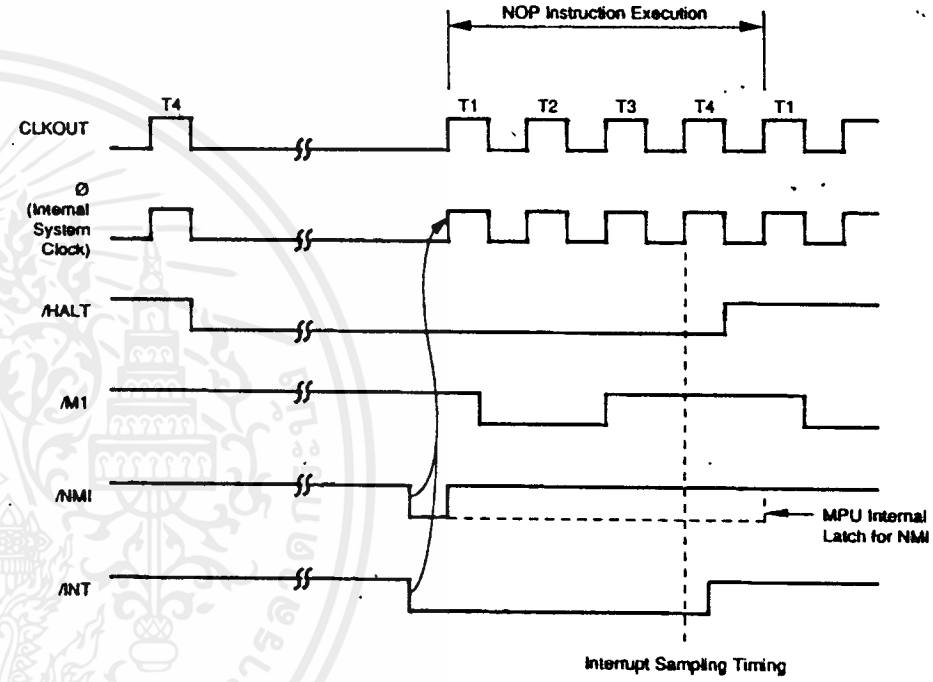


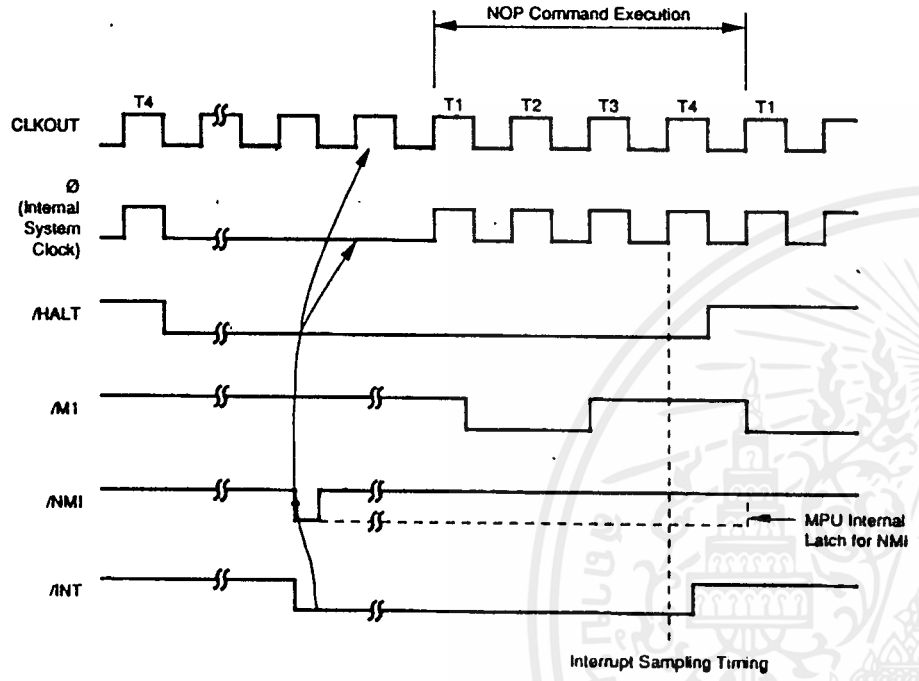
Figure 23. Halt Release Operation Timing By Reset in RUN Mode

IDLE1 Mode (MS1=0, MS2=0)
IDLE2 Mode (MS1=0, MS2=1)
The halt release operation by interrupt signal in IDLE1 Mode is shown in Figure 24(a) and in IDLE2 Mode in Figure 24(b).



(a) IDLE1 Mode

Figure 24. Halt Release Operation Timing By Interrupt Request Signal in IDLE1/2 Mode



(b) IDLE2 Mode

Figure 24. Halt Release Operation Timing By Interrupt Request Signal in IDLE1/2 Mode (Continued)

When receiving /NMI or /INT signal, the stopped internal system clock starts to feed. In IDLE1 Mode, the PIC starts clock output to the outside at the same time.

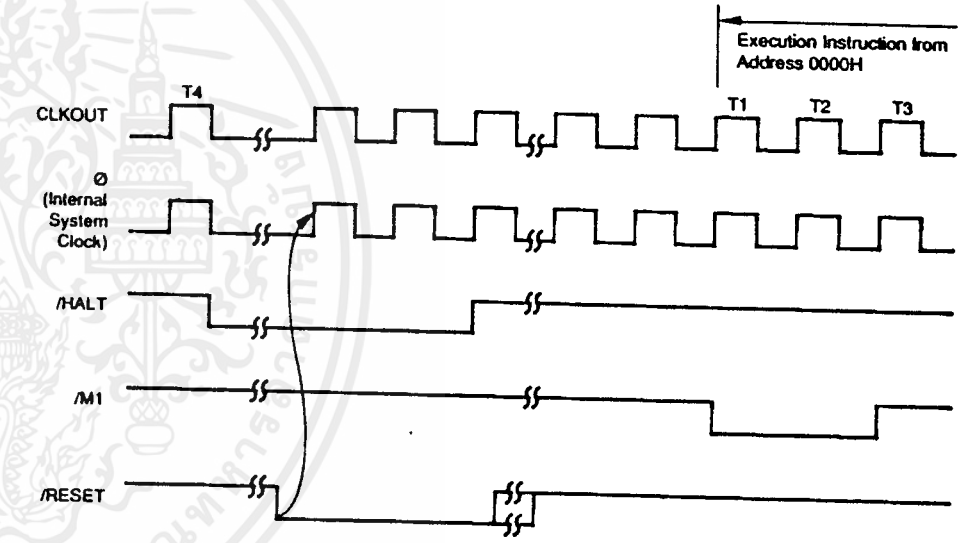
The operation stop of CPU in IDLE2 mode is taking place at "0" level during T4 state in the halt instruction op-code fetch cycle. Therefore, after being restarted by the interrupt signal, CPU executes one NOP instruction and samples an interrupt signal at the rise of T4 state during the execution of this NOP instruction. It then executes the interrupt process from the next cycle.

If no interrupt signal is accepted during the execution of the first NOP instruction after the internal system clock is restarted, CPU is not released from the halt state. It is placed in IDLE1/2 Mode again at "0" level during T4 state of the NOP instruction, stopping the internal system clock. If /INT signal is not at "0" level at the rise of T4 state, no interrupt request is accepted.

The Halt Release Operation By RESET in IDLE1/2 Modes

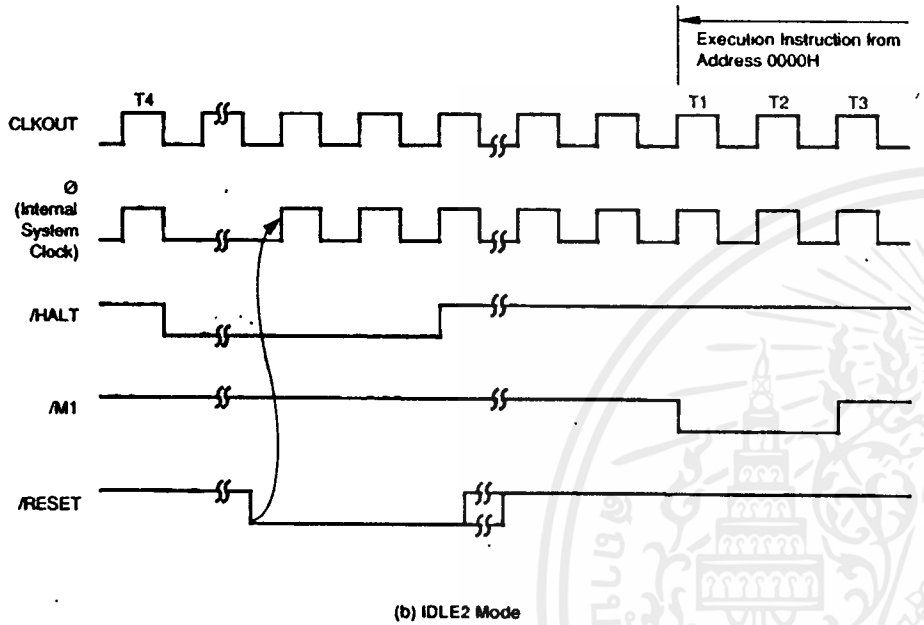
When /RESET signal at "0" level is input into the PIC, the internal system clock is restarted and the PIC will execute an instruction stored in address 0000H.

At time of /RESET signal input, it is necessary to take the same care as that in resetting the PIC in RUN Mode (Figures 25a and 25b).



(a) IDLE1 Mode

Figure 25. Halt Release Operation Timing By Reset in IDLE1/2 Mode



(b) IDLE2 Mode

Figure 25. Halt Release Operation Timing By Reset In IDLE1/2 Mode (Continued)

Halt Release in STOP Mode (MS1=1, MS2=0) By Interrupt

The halt release operation by interrupt signal in STOP Mode is shown in Figure 26

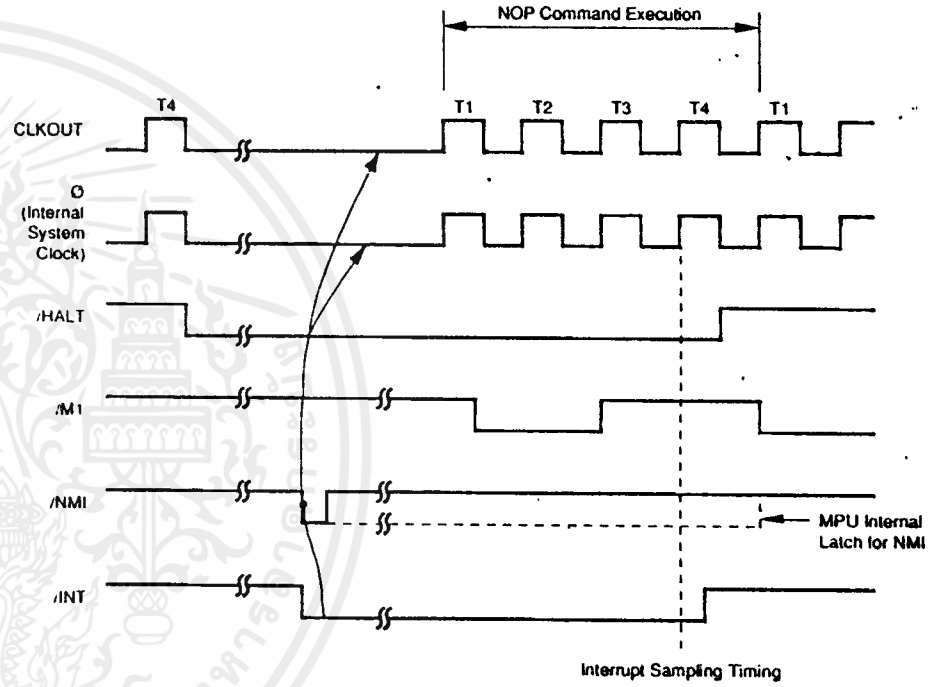


Figure 26. Halt Release Operation Timing By Interrupt Request Signal In STOP Mode

When the PIC receives an interrupt signal, the internal oscillator is restarted. To obtain stabilized oscillation, the internal system clock and clock output (CLK) to the outside are started after a start-up time of (2^{14}+2.5) TcC (TcC Clock Cycle) by the internal counter.

CPU executes one NOP instruction after the internal system clock is restarted. At the same time, it samples an interrupt signal at the rise of T4 state during the execution of this NOP instruction. If the interrupt signal is accepted, CPU executes the interrupt process operation from the next cycle.

Note: During interrupt signal input, care should be taken like the case of the interrupt signal input in IDLE1/2 Mode.

The halt release operation by the Z84C11 resetting in STOP Mode is shown in Figure 27.

Halt Release in STOP Mode (MS2=0, MS1=1) By /RESET

When /RESET at "0" level is input into the PIC, the internal oscillator is restarted. However, the internal clock counter for warm-up does not operate. Therefore, the operation is not carried out properly due to unstable clock oscillation. It is necessary to hold the /RESET signal at "0" level for sufficient time. The halt release operation by the PIC resetting in STOP Mode is shown in Figure 27.

Z84C11 Only. The /RESET pulse is stretched to a minimum of 16 cycles and driven out of the Z84C11 on the /RESET pin if Reset output is enabled (bit D3 of WDTMR is cleared to "0"). Setting bit D2 disables the driving out of /RESET. If the Control Initialization Option has not been selected (cleared bit D2 of WDTMR), the values programmed in the control registers (WDTMR, SCRP, WCR and MWBR) are not initialized on /RESET. Otherwise, contents of these registers are initialized to the default value.

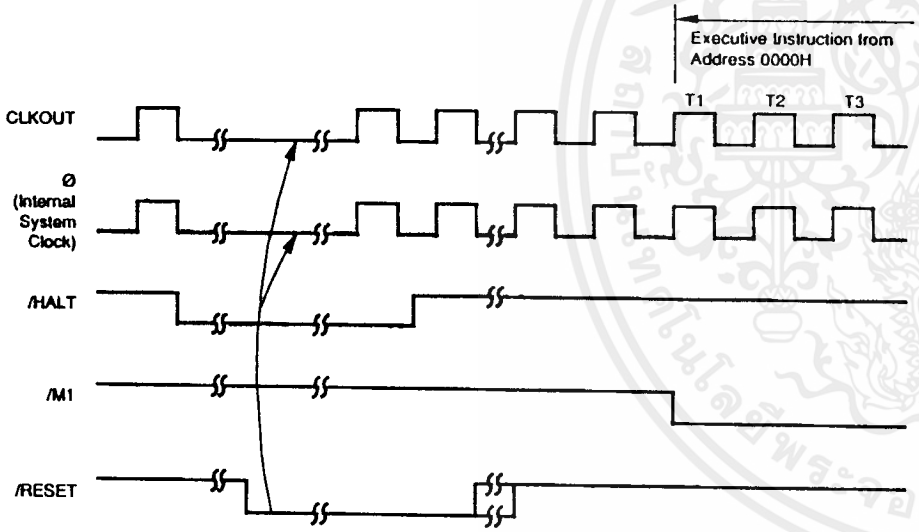


Figure 27. Halt Release Operation Timing By Reset In STOP Mode

Start-up Time At Time of Restart (STOP Mode). When the MPU is released from the halt state by accepting an interrupt request, it executes an interrupt service routine. Therefore, when an interrupt request is accepted, it starts the generating clock on the CLK pin (after a start-up time), by the internal counter [(2^{14}+2.5) TcC (TcC Clock Cycle)]. This obtains a stabilized oscillation for operation. Further, in case of restart by the /RESET signal, the internal counter does not operate.

Evaluation Operation

Each of the CPU signals (15-A0, 7-D0, /MREQ, /IORQ, /RD, /WR, /HALT, /M1) can be tri-stated by activating the /TS pin. The Z84C11 enhances the counter part by eliminating the requirement of activating /BUSREQ.

Instruction set. The instruction set of the PIC is the same for the Z84C00. For details, refer to the Data Sheet/Technical Manual of the Z84C00.

AC TIMING

The following section describes the timing of the PIC. The numbers appearing in the figures refer to the parameters on the Table A - 7.

CPU Timing

The PIC's CPU executes instructions by proceeding through the following specific sequence of operations:

- Memory read or write
- I/O device read or write
- Interrupt Acknowledge

The basic clock period is referred to as a Time or Cycle and three or more T cycles make up a machine cycle (e.g., M1, M2 or M3). Machine cycles are extended either by the CPU automatically inserting one or more wait states or by the insertion of one or more wait states by the user.

Instruction Op-code Fetch

The CPU places the contents of the Program Counter (PC) on the address bus at the start of the cycle (Figure 28). Approximately one-half clock cycle later, /MREQ goes active. When active, /RD indicates that the memory data can be enabled onto the CPU data bus.

The CPU samples the /WAIT input with the falling edge of clock state 2. During clock states 3 and 4 of an M1 cycle, dynamic RAM refresh can occur while the CPU starts decoding and executing the instruction.

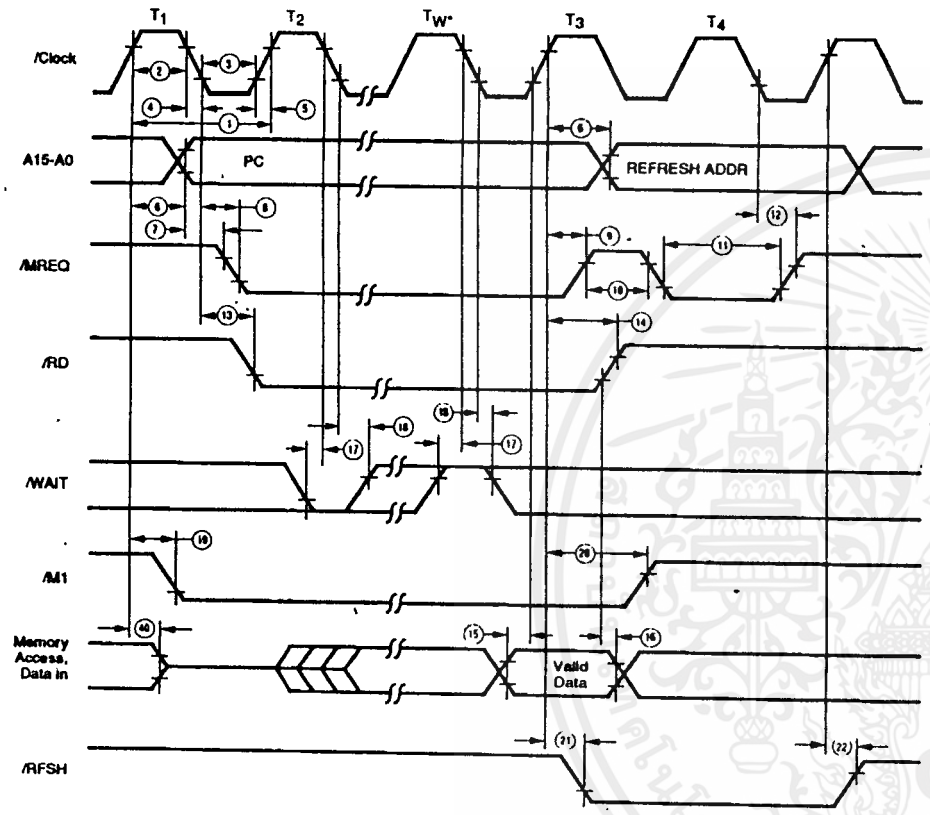


Figure 28. Instruction Op-code Fetch
(See Table A)

Memory Read or Write Cycles

Figure 29 shows the timing of memory read or write cycles other than an Op-code fetch (/M1) cycle. The /MREQ and /RD signals function like the Op-code fetch cycle.

In a memory write cycle, /MREQ also becomes active when the Address Bus is stable. The /WR line is active when the Data Bus is stable, so that it is used directly as an R/W pulse to most semiconductor memories.

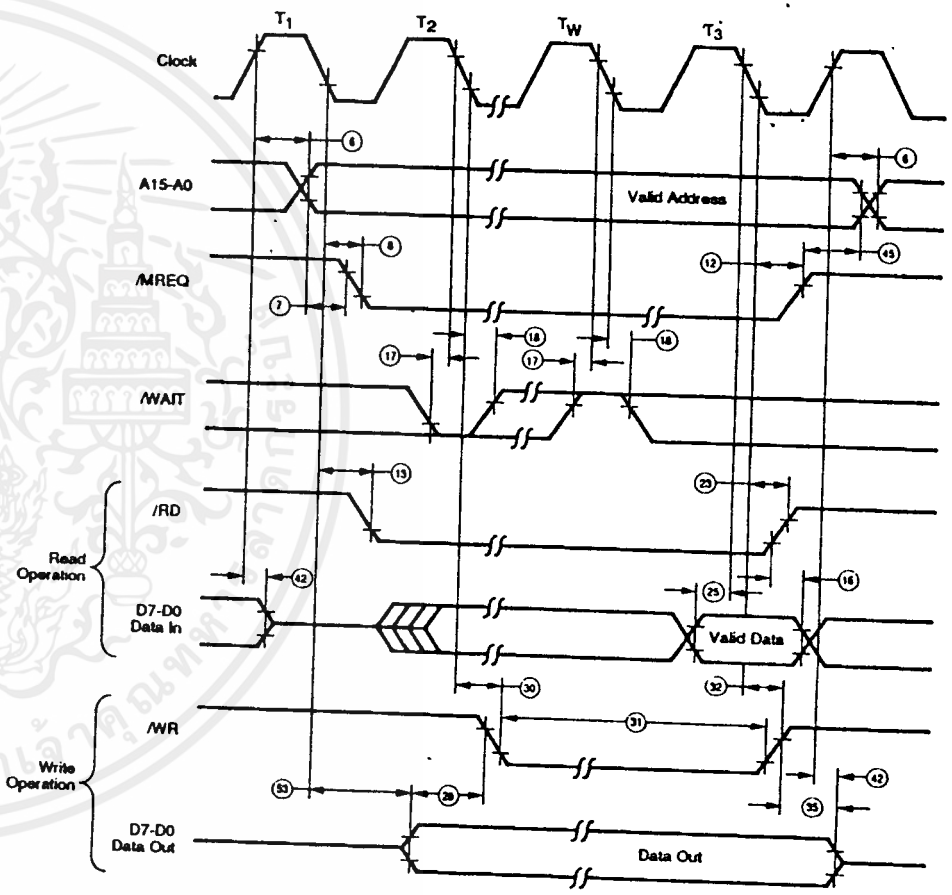
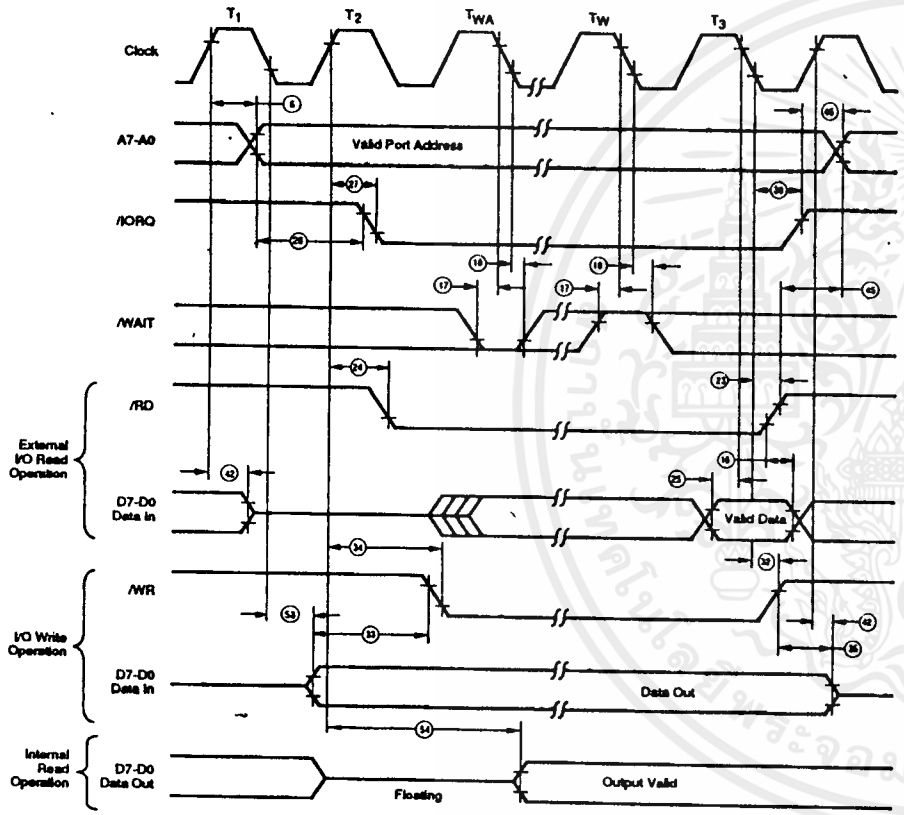


Figure 29. Memory Read or Write Cycle
(See Table A)

Input or Output Cycles

Figure 30 shows the timing for an I/O read or I/O write operation. During I/O operations, the CPU automatically inserts a single wait state (TWA). This extra wait state allows sufficient time for an I/O port to decode the address from the port address lines.

When the CPU is accessing the on-chip I/O registers (CTC, PIA and system control registers), the data from/to these registers also appears on the data bus, or data bus is output during an I/O cycle.



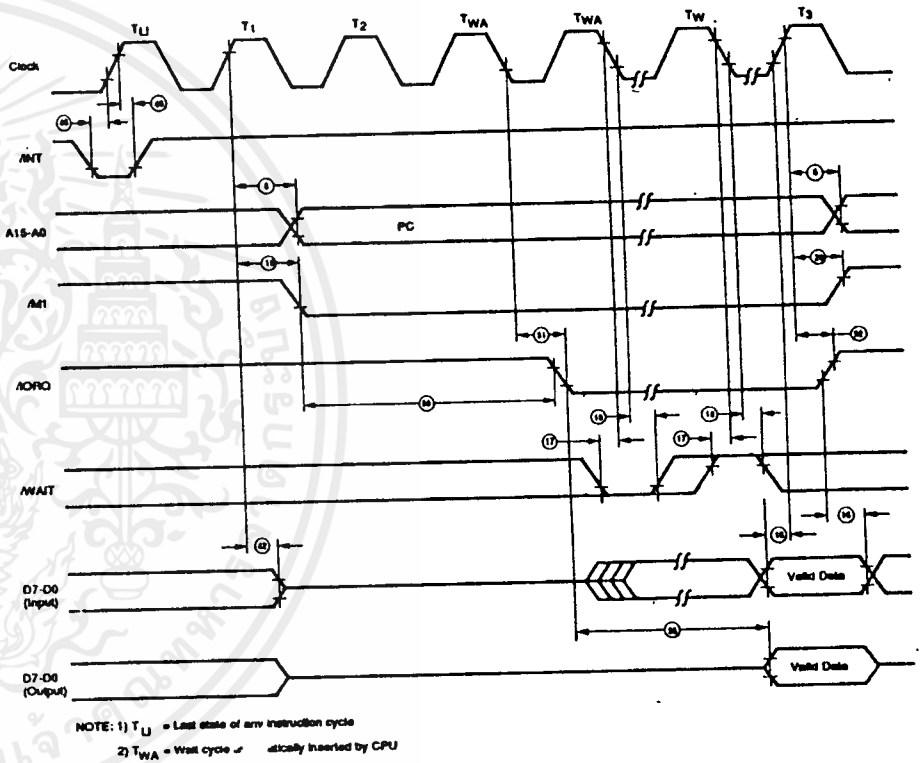
Note: T_{WA} = One wait cycle automatically inserted by CPU

Figure 30. Input or Output Cycle
(See Table A)

Interrupt Request/Acknowledge Cycle

The CPU samples the interrupt signal with the rising edge of the last clock cycle at the end of any instruction (Figure 31). When an interrupt is accepted, a special /M1 cycle is generated.

During this special /M1 cycle, /IORQ becomes active (instead of /MREQ) to indicate that the interrupting device can place an 8-bit vector on the data bus. The CPU automatically adds two wait states to this cycle.

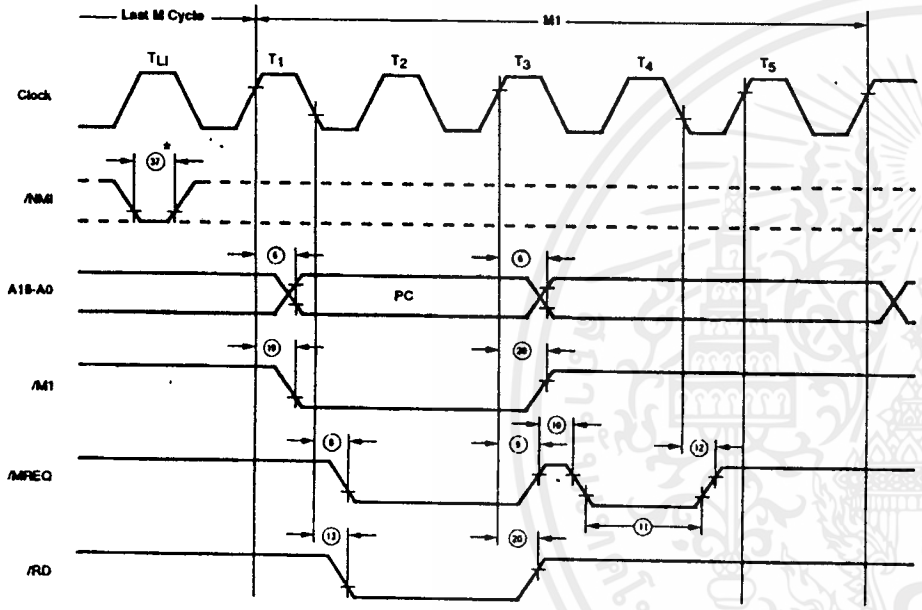


NOTE: 1) T_{LI} = Last state of any instruction cycle
2) T_{WA} = Wait cycle automatically inserted by CPU

Figure 31. Interrupt Request/Acknowledge Cycle
(See Table A)

Non-Maskable Interrupt Request Cycle

/NMI is sampled at the same time as the maskable interrupt input /INT, but has higher priority and cannot be disabled under software control. The subsequent timing is similar to that of a normal memory read operation except that data put on the bus by the memory is ignored. Instead the CPU executes a restart (RST) operation and jumps to the /NMI service routine located at address 0066H (Figure 32).

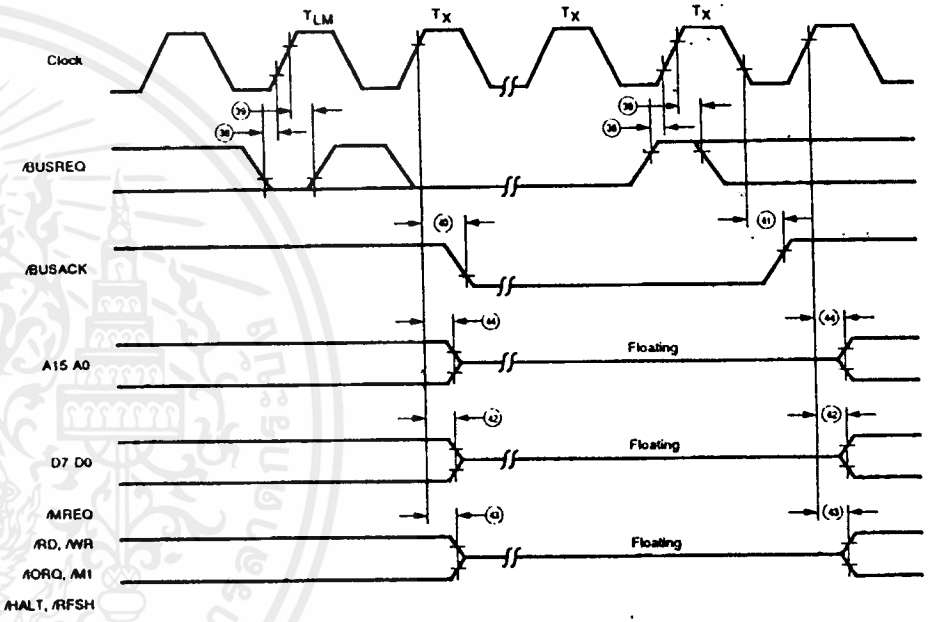


* Although /NMI is an asynchronous input, to guarantee its being recognized on the following machine cycle, /NMI's falling edge must occur no later than the rising edge of the clock cycle preceding the last state of any instruction cycle (T_{LI}).

Figure 32. Non-Maskable Interrupt Request Operation
(See Table A)

Bus Request/Acknowledge Cycle

The CPU samples /BUSRQ with the rising edge of the last clock period of any machine cycle (Figure 33). If /BUSRQ is active, the CPU sets its address, data, and /MREQ to a high-impedance state. The /IORQ, /RD and /WR lines are set to an input for on-chip peripheral access from external bus master with the rising edge of the next clock pulse. At that time, any external device can take control of these lines, usually to transfer data between memory and I/O devices.

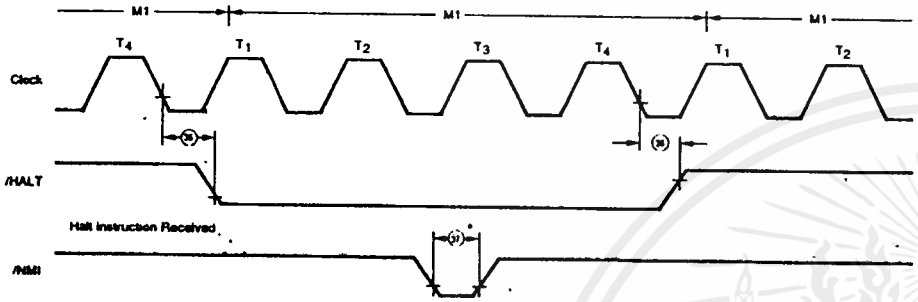


Notes: 1) T_{LM} = Last state of any M cycle
2) T_X = An arbitrary clock cycle used by requesting device

Figure 33. BUS Request/Acknowledge Cycle
(See Table A)

Halt Acknowledge Cycle

Figure 34 shows the timing for the Halt acknowledge cycle



* Although /NMI is an asynchronous input, to guarantee its being recognized on the following machine cycle, /NMI's falling edge must occur no later than the rising edge of the clock preceding the last state of any instruction cycle (T_{LI}).

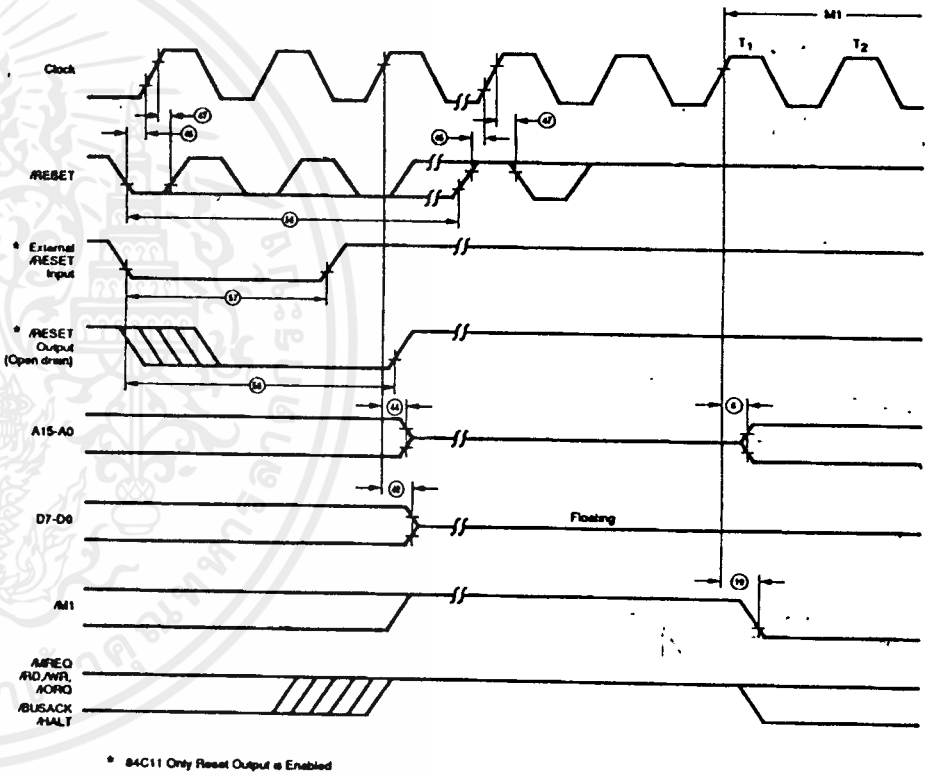
Figure 34. Halt Acknowledge
(See Table A)

Reset Cycle

/RESET must be active for at least three clock cycles for the CPU to properly accept it. As long as /RESET remains active, the address and data buses float, and the control outputs are inactive.

Once /RESET goes inactive, two internal T cycles are consumed before the CPU resumes normal processing operation. /RESET clears the PC register, so the first op-code fetch location is 0000H (Figure 35).

Z84C11 Only. If Reset output is disabled, /RESET must be active for at least three clock cycles for the CPU to properly accept it. Otherwise, /RESET must be active for at least two clock cycles and the on-chip reset circuit extends /RESET signal to at least a minimum of 16 clock cycles.



* 84C11 Only Reset Output is Enabled

Figure 35. Reset Cycle
(See Table A)

CGC Timing

Figures 36-39 show the timing related CGC and Power-on Reset circuits. Idle 2 mode of operation is not supported on the Z84011.

Parameters referenced in Figures 36-39 appear in Table B

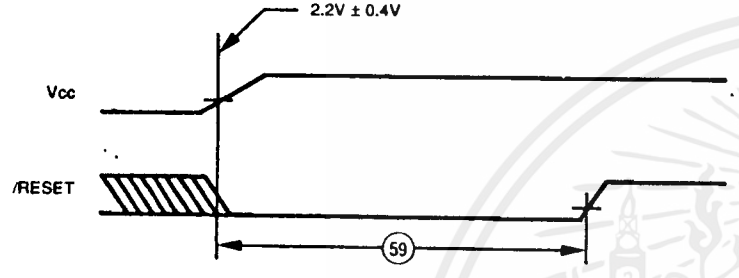


Figure 36. Reset On Power-up
(Applies Only for Z84C11)

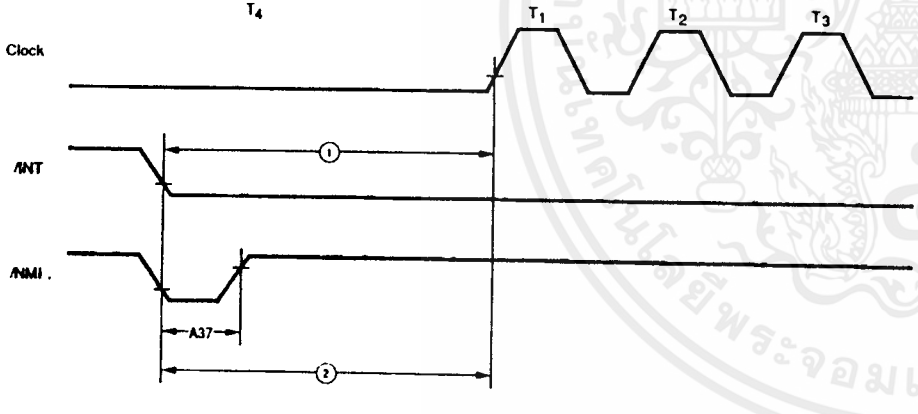
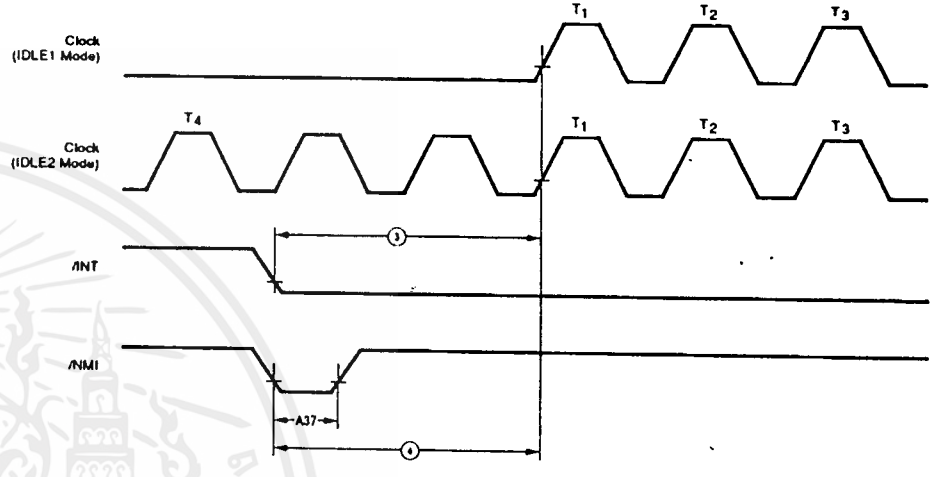
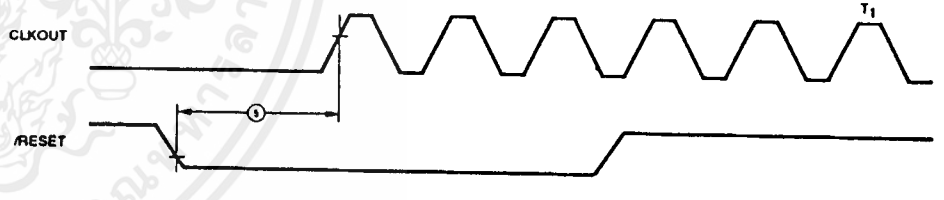


Figure 37. Clock Restart Timing (STOP Mode)
(See Table B)

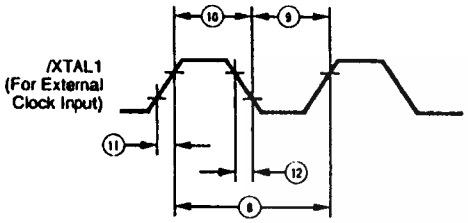


(a) Clock Restart Timing By /INT, /NMI (IDLE1/2 Mode)

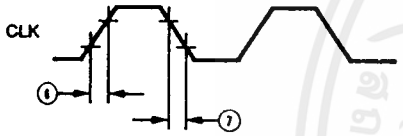


(b) Clock Restart Timing By /RESET (IDLE1/2 Mode)

Figure 38. Clock Restart Timing (IDLE1/2 Mode)
(See Table B)



(a) XTAL1 Timing for External Clock Input

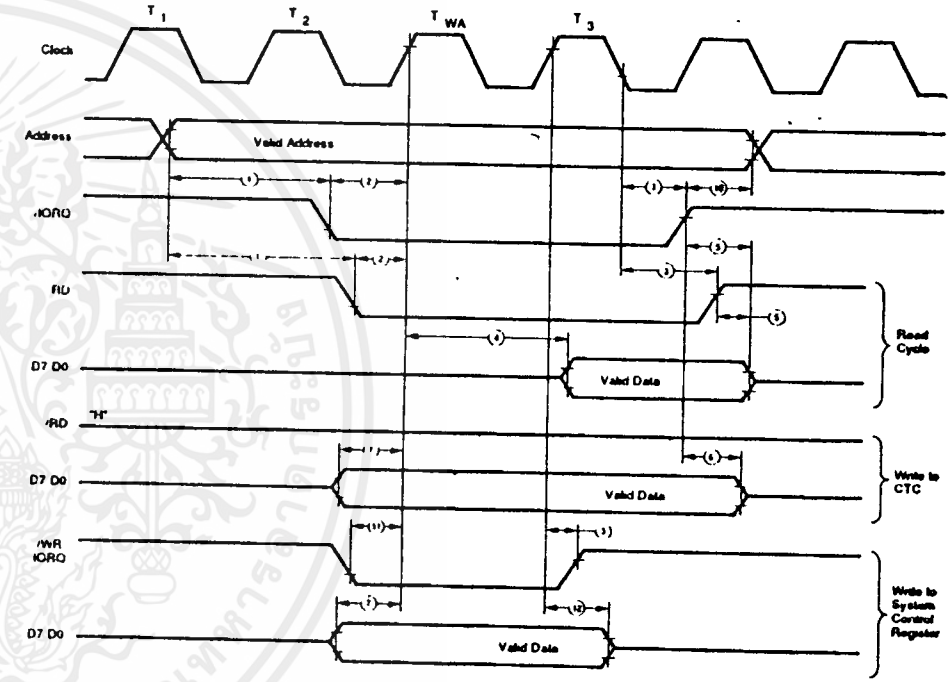


(b) CLK Timing (011 and C11 CLK Pin as Output)

Figure 39. Clock Timing
(See Table B)

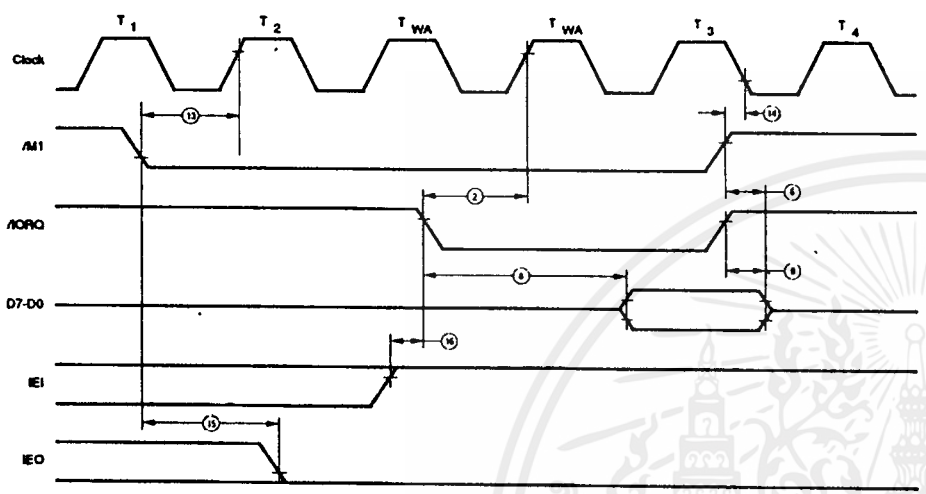
On-chip Peripheral Access From External Bus Master

The timing for the on-chip I/O device access from the external bus master is shown in Figure 40. This timing also applies to the timing during L.V mode of operation.



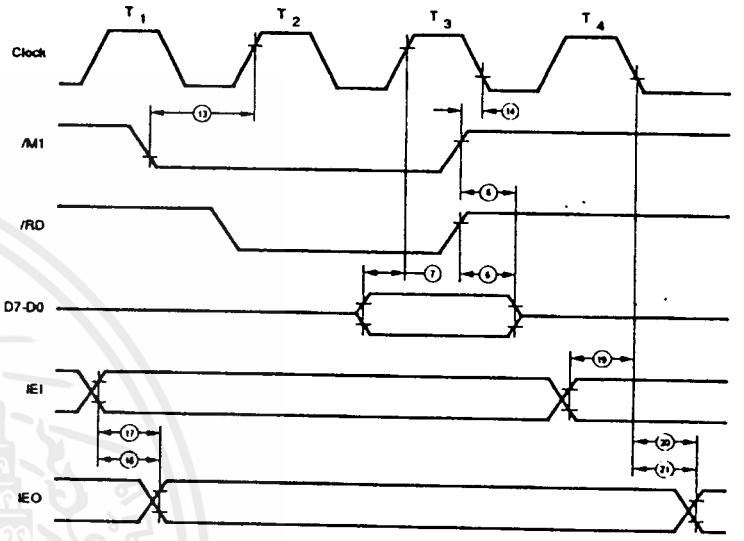
(a) On-chip Peripheral I/O Access From External Bus Master (See Table C)

Figure 40. On-chip Peripheral Timing From External Bus Master



(b) Interrupt Acknowledge Cycle Timing
For On-chip peripheral From External Bus Master
(See Table C)

Figure 40. On-chip Peripheral Timing From External Bus Master (Continued)



(c) Op-code Fetch Cycle Timing for On-chip Peripheral
From External Bus Master (See Table C)

Figure 40. On-chip Peripheral Timing From External Bus Master (Continued)

CTC Timing

Figure 41 shows the timing for on-chip CTC.

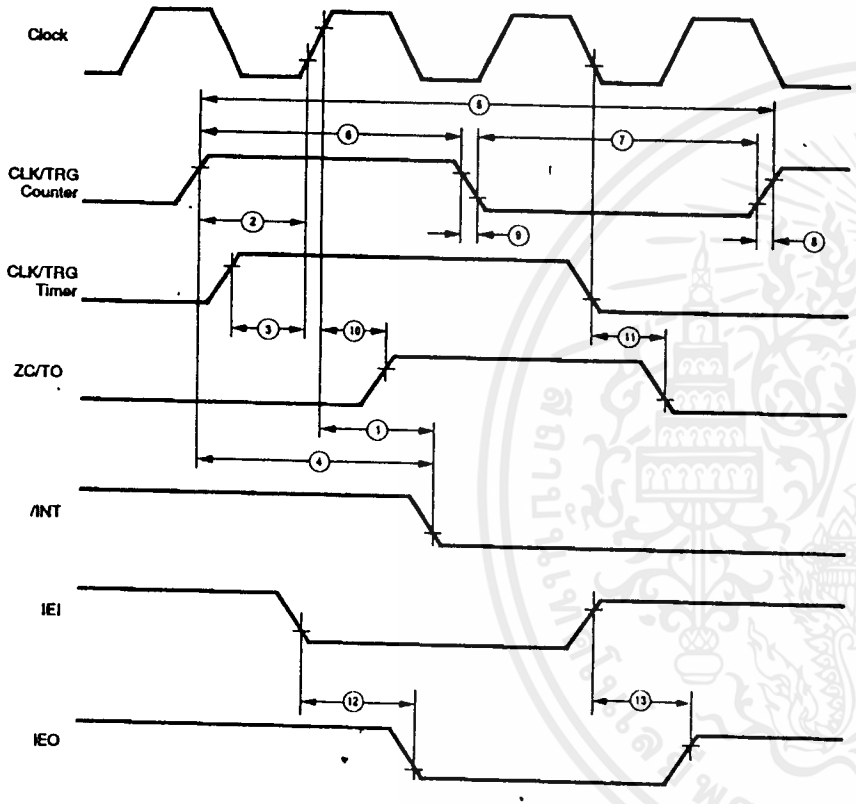
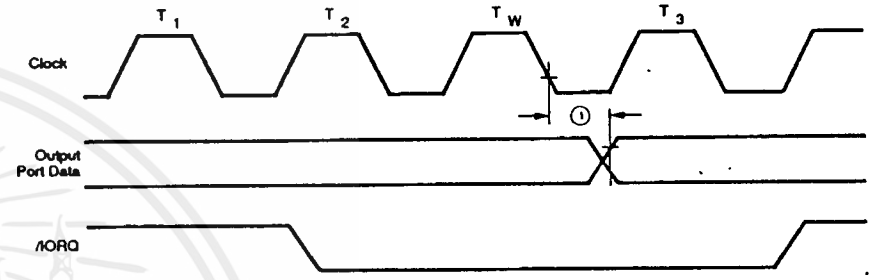


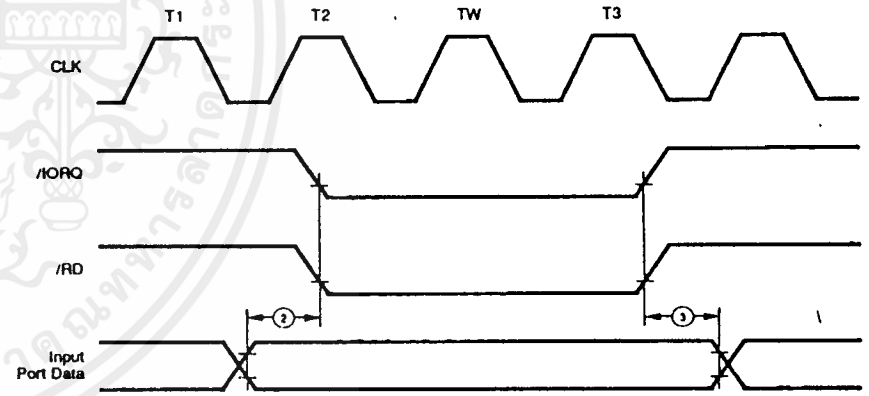
Figure 41. Counter/Timer Timing
(See Table D)

General I/O Port Timing

Figure 42(a) has the Output timing for General I/O port timing while Figure 42(b) has the Input timing



(a) I/O Port Output Timing
(See Table E)



(b) I/O Port Input Timing
(See Table E)

Figure 42. I/O Port Timing

Watch Dog Timer Timing (Z84C11 Only)

Figure 43 shows the timing for Watch Dog Timer

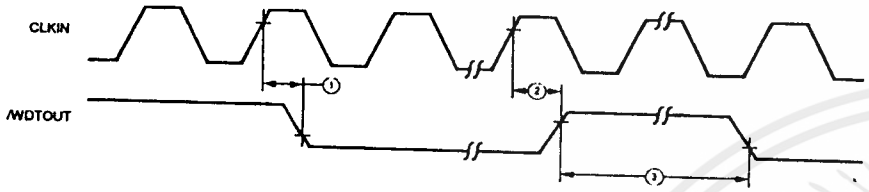


Figure 43. Watch Dog Timer Timing
(See Table F)

Precautions

(1) To release the HALT state by /RESET signal in STOP Mode, hold the /RESET signal at "0" until the output from the internal oscillator stabilizes

Z84011 Only. To reset MPU, it is necessary to hold /RESET signal input at "0" level for at least three clocks

Z84C11 Only. If Reset output is disabled, /RESET must be active for at least three clock cycles for the CPU to properly accept it. Otherwise, the on-chip Reset circuit extends /RESET signal to at least a minimum of 16 clock cycles

(2) Releasing the MPU from the HALT state by an interrupt signal in IDLE 1/2 Mode and STOP Mode, does not release the MPU from the HALT state. The internal system clock will stop again unless an interrupt signal is accepted during the execution of a NOP instruction (even when the internal system clock is restarted by the interrupt signal input). Be careful when using /INT

Other precautions are identical to those for the Z84C00. Refer to the data sheet for the Z84C00

ELECTRICAL CHARACTERISTICS

Absolute Maximum Ratings

Voltage on Vcc with respect to Vss ... -0.3V to +7.0V
Voltages on all inputs
with respect to Vss ... .-0.3V to Vcc +0.3V

Operating Ambient

Temperature .... See Ordering Information
Storage Temperature..... .-65 °C to + 150 °C

Stresses greater than those listed under Absolute Maximum Ratings may cause permanent damage to the device. This is a stress rating only; operation of the device at any condition above those indicated in the operational sections of these specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

STANDARD TEST CONDITIONS

The DC Characteristics and capacitance sections below apply for the following standard test conditions, unless otherwise noted. All voltages are referenced to GND (0V). Positive current flows into the referenced pin.

Available operating temperature range is:

E = -40°C to 100°C
Voltage Supply Range.
+4.50V ≤ Vcc ≤ + 5.50V

All AC parameters assume a load capacitance of 100 pf. Add 10 ns delay for each 50 pf increase in load up to a maximum of 150 pf for the data bus and 100 pf for address and control lines. AC timing measurements are referenced to 1.5 volts (except for clock, which is referenced to the 10% and 90% points). Maximum capacitive load for CLK is 125 pf.

The Ordering Information section lists temperature ranges and product numbers. Package drawings are in the Package Information section. Refer to the Literature List for additional documentation.

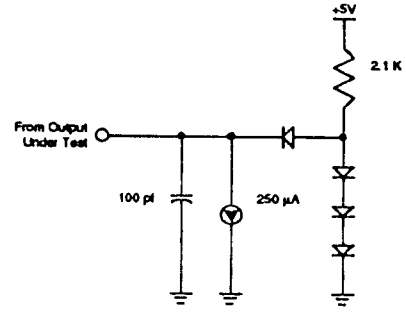


Figure 44. Standard Test Load

CAPACITANCE

Guaranteed by design and characterization.

Symbol	Parameter	Min	Max	Unit
C_{CLOCK}	Clock Capacitance		10	pf
C_{IN}	Input Capacitance		10	pf
C_{OUT}	Output Capacitance		10	pf

DC CHARACTERISTICS

Z84011/Z84C11

V_{CC}=5.0V ±10% unless otherwise specified

Symbol	Parameter	Min	Max	Unit	Condition
V_{CLC}	Clock Output High Voltage	V_{CC}-0.6	V_{CC}	V	-2.0mA
V_{CHC}	Clock Output Low Voltage		0 4	V	+2.0mA
V_{IL}	Input High Voltage	2.2	V_{CC}	V	
V_{IH}	Input Low Voltage	-0.3	0.8	V	
V_{ILC}	XTAL Input Low Voltage	-0.3	0.8	V	
V_{IHC}	XTAL1 Input High Voltage	V_{CC}-1	V_{CC}	V	
V_{OL}	Output Low Voltage		0.4 [5]	V	I_{LO} =2.0mA
V_{OH1}	Output High Voltage	2 4 [4]		V	I_{OH} =-1 6mA
V_{OH2}	Output High-Voltage	V_{CC}-0 8 [5]		V	I_{OH} =-250µA
I_{CC1}	Power Supply Current				V_{CC} =5V
	XTALIN= 10MHz		60	mA	V_{IH} =V_{CC}-0 2V
	XTALIN= 6MHz		30	mA	V_{IL} =0.2V
I_{CC2}	Power Supply Current (STOP Mode)		50	µA	V_{CC} =5V
I_{CC3}	Power Supply Current (IDLE1 Mode)				V_{CC} =5V
	XTALIN= 10MHz		8	mA	V_{IH} =V_{CC}-0.2V
	XTALIN= 6MHz		4	mA	V_{IL} =0.2V
I_{CC4}	Power Supply Current (IDLE2 Mode; C11 only)				V_{CC} =5V
	XTALIN= 10MHz		12 [1]	mA	V_{IH} =V_{CC}-0 2V
	XTALIN= 6MHz		10 [1]	mA	V_{IL} =0.2V
I_{LI}	Input Leakage Current	-10	10 [4]	µA	V_{IN} =0.4V to V_{CC}
I_{LO}	Tri-state Output Leakage Current in Float	-10	10 [2]	µA	V_{OUT} =0.4V to V_{CC}
I_{OHD}	CTC ZC/TO Darlington Drive Current	-1.5		mA	V_{OH} = 1.5 V
					R_{EXT} = 1 1 K Ω

Notes:

[1] Measurements made with outputs floating

[2] A15-A0, D7-D0, /MREQ, /IORQ, /RD and /WR.

[3] I_{CC} Standby Current is guaranteed when the halt pin is low in STOP mode

[4] All Pins except XTAL1, where I_{LI} = ±25µA

[5] A15-A0, D7-D0, /MREQ, /IORQ, /RD, /WR, /HALT, /M1 and /BUSACK.

AC CHARACTERISTICS

Z84011/Z84C11

Table A. CPU Timing (Figure 28 to 36)

No	Symbol	Parameter	Z84x1106 Min	Z84x1106 Max	Z84x1110 Min	Z84x1110 Max	Unit	Note
1	TcC	Clock Cycle Time	162**	DC	100**	DC	ns	[A1]
2	TwCh	Clock Pulse Width (high)	65	DC	40	DC	ns	[A1]
3	TwCl	Clock Pulse Width (low)	65	DC	40	DC	ns	[A1]
4	TfC	Clock Fall Time		20		10	ns	[A1]
5	TrC	Clock Rise Time		20		10	ns	[A1]
6	TdCr(A)	Address Valid From Clock Rise		90		65	ns	
7	TdA(MREQf)	Address Valid To /MREQ Fall	35**		5**		ns	
8	TdCf(MREQf)	Clock Fall To /MREQ Fall Delay		70		55	ns	
9	TdCr(MREQr)	Clock Rise To /MREQ Rise Delay		70		55	ns	
10	TwMREQh	/MREQ Pulse Width (high)	65**		30**		ns	[A2]
11	TwMREQl	/MREQ Pulse Width (low)	132**		75**		ns	[A2]
12	TdCf(MREQr)	Clock Fall To /MREQ Rise Delay		70		55	ns	
13	TdCf(RDf)	Clock Fall To /RD Fall Delay		80		65	ns	
14	TdCr(RDr)	Clock Rise To /RD Rise Delay		70		55	ns	
15	TsD(Cr)	Data Setup Time To Clock Rise	30		25		ns	
16	ThD(RDr)	Data Hold Time After /RD Rise	0		0		ns	
17	TsWAIT(Cf)	/WAIT Setup Time To Clock Fall	60		10		ns	
18	ThWAIT(Cf)	/WAIT Hold Time After Clock Fall	15		15		ns	
19	TdCr(M1f)	Clock Rise To /M1 Fall Delay		80		65	ns	
20	TdCr(M1r)	Clock Rise To /M1 Rise Delay		80		65	ns	
21	TdCr(RFSHf)	Clock Rise To /RFSH Fall Delay		110		80	ns	
22	TdCr(RFSHr)	Clock Rise To /RFSH Rise Delay		100		80	ns	
23	TdCf(RDr)	Clock Fall To /RD Rise Delay		70		55	ns	
24	TdCr(RDf)	Clock Rise To /RD Fall Delay		70		55	ns	
25	TsD(Cf)	Data Setup To Clock Fall During M2, M3, M4 Or M5 Cycles	40		25		ns	
26	TdA(IORQf)	Address Stable Prior To /IORQ Fall	107**		50**		ns	
27	TdCr(IORQf)	Clock Rise To /IORQ Fall Delay		65		60	ns	
28	TdCf(IORQr)	Clock Fall To /IORQ Rise Delay		70		65	ns	
29	TdD(WRf)Mw	Data Stable Prior To /WR Fall	22**		40**		ns	
30	TdCf(WRf)	Clock Fall To /WR Fall Delay		70		55	ns	
31	TwWR	/WR Pulse Width	132**		75**		ns	
32	TdCf(WRr)	Clock Fall To /WR Rise Delay		70		55	ns	
33	TdD(WRf)IO	Data Stable Prior To /WR Fall	-55**		-10**		ns	
34	TdCr(WRf)	Clock Rise To /WR Fall Delay		60		50	ns	
35	TdWRr(D)	Data Stable From /WR Rise	30**		10**		ns	
36	TdCf(HALT)	Clock Fall to /HALT '0' or '1'		260		90	ns	
37	TwNMI	/NMI Pulse Width	60		60		ns	
38	TsBUSRQ (Cr)	/BUSRQ Setup Time To Clock Rise	50		30		ns	

Table A. CPU Timing (Figure 28 to 36) (Continued)

No	Symbol	Parameter	Z84x1106 Min	Z84x1106 Max	Z84x1110 Min	Z84x1110 Max	Unit	Note
39	ThBUSREQ (Cr)	/BUSREQ Hold Time After Clock Rise	10		10		ns	
40	TdCr (BUSACKf)	Clock Rise To /BASACK Fall Delay		90		75	ns	
41	TdCf (BUSACKr)	Clock Fall To /BASACK Rise Delay		90		75	ns	
42	TdCr(Dz)	Clock Rise To Data Float Delay		80		65	ns	
43	TdCr(CTz)	Clock Rise To Control Outputs Float Delay (/MREQ, /IORQ, /RD And /WR)		70		65	ns	
44	TdCr(Az)	Clock Rise To Address Float Delay		80		75	ns	
45	TdCTr(A)	Address Hold Time From /MREQ, /IORQ, /RD Or /WR	35**		20**		ns	
46	TsRESET(Cr)	/RESET To Clock Rise Setup Time	60		40		ns	
47	ThRESET(Cr)	/RESET To Clock Rise Hold Time	10		10		ns	
48	TsINTf(Cr)	/INT Fall To Clock Rise Setup Time	70		50		ns	
49	ThINTr(Cr)	/INT Rise To Clock Rise Hold Time	10		10		ns	
50	TdM1f (IORQf)	/M1 Fall To /IORQ Fall Delay	359**		220**		ns	
51	TdCf(IORQf)	Clock Fall To /IORQ Fall Delay		70		65	ns	
52	TdCf(IORQr)	Clock Rise To /IORQ Rise Delay		70		65	ns	
53	TdCf(D)	Clock Fall To Data Valid Delay		130		110	ns	
54	TdCf(D)	Clock Fall To Data Valid Delay (Internal Port Read)		120		120	ns	
55	TdIORQf(D)	/IORQ Fall To Data Out Delay (Interrupt Acknowledge Cycle)		80		80	ns	
56	TwRESET	/RESET Pulse Width 011, Or C11 With RESET Output Disabled	3TcC		3TcC		ns	[A3]
57	TwRESETce	/RESET Pulse Width C11 Only, RESET Output Enabled	2TcC		2TcC		ns	[A3]
58	TwRESETdo	/RESET Drive Duration C11 Only; RESET Output Enabled	16TcC		16TcC		ns	[A3]
59	TwRESETpor	/RESET Drive Duration On Power-On Sequence (C11 Only)	10	75	10	75	ms	[A3]

Note for Table A.
** For clock period other than the minimum shown, calculate parameters using the formula on Footnotes to Table A

[A1] These parameters apply to C11 and the external Clock input on CLK pin
For cases where external Clock is fed from XTAL1, please refer to Table B
[A2] For loading ≥ 50pf Decrease width by 10nS for each additional 50pf
[A3] Apply to Z84C11 only

Footnotes to Table A

Number	Symbol	General Parameter	Z84x1106	Z84x1110
1	TcC	TwCh + TwCl + TrC + TfC		
7	TdA(MREQf)	TwCh + TfC	-50	-45
10	TwMREQh	TwCh + TfC	-20	-20
11	TwMREQl	TcC	-30	-25
26	TdA(IORQf)	TcC	-55	-50
29	TdD(WRf)	TcC	-140	-60
31	TwWR	TcC	-30	-25
33	TdD(WRf)	TwCl + TrC	-140	-60
35	TdWRr(D)	TwCl + TrC	-55	-40
45	TdCTr(A)	TwCl + TrC	-50	-30
50	TdM1f(IORQf)	2TcC + TwCh + TfC	-50	-30

Table B. CGC Timing (Figure 36 to 39)

No	Symbol	Parameter	Z84x1106 Min	Z84x1106 Max	Z84X1110 Min	Z84X1110 Max	Unit	Note
1	TRST(INT)S	Clock Restart Time By /INT (STOP Mode)	(Typ) (2[14]+2.5) TcC		(Typ) (2[14]+2.5) TcC		ns	
2	TRST(MNI)S	Clock Restart Time By /NMI (STOP Mode)	(Typ) (2[14]+2.5) TcC		(Typ) (2[14]+2.5) TcC		ns	
3	TRST(INT)I	Clock Restart Time By /INT (IDLE Mode)	(Typ) 2.5TcT		(Typ) 2.5TcT		ns	
4	TRST(MNI)I	Clock Restart Time By /NMI (IDLE Mode)	(Typ) 2.5TcT		(Typ) 2.5TcT		ns	
5	TRST (RESET)I	Clock Restart Time By /RESET (IDLE Mode)	(Typ)11cC		(Typ)11cC		ns	
6	TfCl KOUT	CLK Rise Time		15		10	ns	[B1]
7	TrCl KOUT	CLK Fall Time		15		10	ns	[B1]
8	TcX1	XTAL1 Cycle Time (For External Clock Input On XTAL1) Divide-By-Two Mode	81		50		ns	
		Divide-By-One Mode (C11 Only)	162		100		ns	[B2]
9	TwlX1	XTAL1 Low Pulse Width (For External Clock Input On XTAL1) Divide-By-Two Mode	35		20		ns	
		Divide-By-One Mode (C11 Only)	65		40		ns	[B2]
10	TwhX1	XTAL1 High Pulse Width (For External Clock Input On XTAL1) Divide-By-Two Mode	35		20		ns	
		Divide-By-One Mode (C11 Only)	65		40		ns	
11	TrX1	XTAL1 Rise Time (For External Clock Input On XTAL1)		25		25	ns	[B3]
12	TfX1	XTAL1 Fall Time (For External Clock Input On XTAL1)		25		25	ns	[B3]

Note for Table B.
[B1] These parameters apply for 011 CLK pin (as System Clock Output), and C11 when the CLK pin outputs the system clock.
[B2] Not applicable to Z84011
[B3] If the parameters B8 and B9 are not met, adjust parameters B11 and B12 to satisfy parameters 8 and 9

Table C. Timing for On-chip Peripheral Access from External Bus Master and Daisy Chain Timing (See Figure 40)

No	Symbol	Parameter	Z84x1106 Min	Z84x1106 Max	Z84X1110 Min	Z84X1110 Max	Unit	Note
1	TsA(Rf)	Address Setup Time To /RD, /IORQ Fall	50		40		ns	
2	TsRl(Cr)	/RD, /IORQ Rise To Clock Rise Setup	60		50		ns	
3	Th	Hold Time For Specified Setup	15		15		ns	
4	TdCr(DO)	Clock Rise To Data Out Delay		100		80	ns	
5	TdRlr(DOz)	/RD, /IORQ Rise To Data Out Float Delay		75		60	ns	
6	ThRDr(D)	/M1, /RD, /IORQ Rise To Data Hold	15	40	15	30	ns	[C1]
7	TsD(Cr)	Data In to Clock Rise Setup Time	30		25		ns	
8	TdIOl(DOf)	/IORQ Fall To Data Out Delay (INTACK Cycle)		95		95	ns	
9	ThIOr(D)	/IORQ Rise To Data Hold	15		15		ns	
10	ThIOr(A)	/IORQ Rise To Address Hold	15		15		ns	
11	ThWl(Cr)	/IORQ, /WR Setup Time To Clock Rise	20		20		ns	[C2]
12	ThWRr(Cr)	Clock Rise To /IORQ, /WR Rise Hold Time	0		0		ns	[C2]
13	TsM1l(Cr)	/M1 Fall To Clock Rise Setup Time	40		40		ns	
14	TsM1r(Cl)	/M1 Rise To Clock Rise Setup Time (/M1 Cycle)	-15		-15		ns	
15	TdM1l(IEOf)	/M1 Fall To IEO Fall Delay (Interrupt Immediately Preceding /M1 Fall)		130		70	ns	
16	TsIEl(IOf)	IEI To /IORQ Fall Setup Time (INTACK Cycle)	100		70		nS	
17	TdIEl(IEOf)	IEI Fall To IFO Fall Delay		100		85	ns	
18	TdILlr(ILOr)	IEI Rise To ILO Rise Delay (After ED Decode)		110		70	ns	
19	TsIEl(Cr)	IEI to Clock Fall Setup (For 4D Decode)		160		150	ns	
20	TdCl(IEOr)	Clock Fall To IEO Rise Delay	50		40		ns	
21	TdCl(ILOf)	Clock Fall To IEO Rise Delay		90		75	ns	

Note to Table C.
[C1] For I/O write to CTC
[C2] For I/O Write to system control registers.

AC CHARACTERISTICS (Continued)
Z84011/Z84C11

Table D. CTC Timing (Figure 42)

No	Symbol	Parameter	Z84x1106 Min	Z84x1106 Max	Z84X1110 Min	Z84X1110 Max	Unit	Note
1	TdCr(INTf)	Clock Rise To /INT Fall Delay		(TcC+100)		(TcC+80)	ns	[D1]
2	TsCTRr (Cr)c	CLK/TRG Rise To Clock Rise Setup Time For Immediate Count	90		90		ns	[D2]
3	TsCTR(Cf)	CLK/TRG Rise To Clock Rise Setup Time For Enabling Of Prescaler On Following Clock Rise	90		90		ns	[D1]
4	TdCTRr (INTf)	CLK/TRG Rise To /INT Fall Delay TsCTR(C) Satisfied TsCTR(C) Not Satisfied		(1)+(2) TcC + (1)+(2)		(1)+(2) TcC + (1)+(2)	ns ns	[D2] [D2]
5	TcCTR	CLK/TRG Cycle Time	(2TcC)	DC	(2TcC)	DC	ns	[D3]
6	TwCTRh	CLK/TRG Width (low)	90	DC	90	DC	ns	
7	TwCTRl	CLK/TRG Width (high)	90	DC	90	DC	ns	
8	TrCTR	CLK/TRG Rise Time		30		30	ns	
9	TfCTR	CLK/TRG Fall Time		30		30	ns	
10	TdCr(ZCr)	Clock Rise To ZC/TO Rise Delay		80		80	ns	
11	TdCf(ZCf)	Clock Fall To ZC/TO Fall Delay		80		80	ns	
12	TdIEf(IEOf)	IEI Fall To IEO Fall Delay		100		70	ns	
13	TdIEr(IEOr)	IEI Rise To IEO Rise Delay		100		70	ns	

Notes for Table D.
[D1] Timer Mode
[D2] Counter Mode
[D3] Counter Mode Only. When using a cycle time less than 3TcC, parameter D2 must be met.

Table E. General Purpose I/O Port Timing (Figure 43)

No	Symbol	Parameter	Z84x1106 Min	Z84x1106 Max	Z84X1110 Min	Z84X1110 Max	Unit	Note
1	TdCf(Pout)	Clock Fall to Port Data Valid Delay		300		300	ns	
2	TsPin (IORDf)	Port Data to /IORQ and /RD Fall Setup Time	0		0		ns	
3	ThPin	Port Input to /IORQ and /RD Fall Hold Time	0		0		ns	

Table F. Watchdog Timer Timing (C11 Only; Figure 44)

No	Symbol	Parameter	Z84x1106 Min	Z84x1106 Max	Z84X1110 Min	Z84X1110 Max	Unit	Note
1	TdC(WDTf)	Clock Rise To /WDTOUT Fall Delay		160		160	ns	
2	TwPI	Clock Rise To /WDTOUT Rise Delay		165		165	ns	
3	TcWDT	/WDTOUT Cycle Time						
		WDTP = 00	(Typ) 2^{15}TcC		(Typ) 2^{15}TcC		ns	
		WDTP = 01	(Typ) 2^{18}TcC		(Typ) 2^{18}TcC		ns	
		WDTP = 10	(Typ) 2^{20}TcC		(Typ) 2^{20}TcC		ns	
		WDTP = 11	(Typ) 2^{22}TcC		(Typ) 2^{22}TcC		ns	

National Semiconductor Corporation

DAC0808, DAC0807, DAC0806 8-Bit D/A Converters

General Description

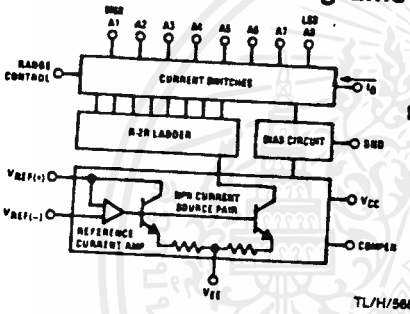
The DAC0808 series is an 8-bit monolithic digital-to-analog converter (DAC) featuring a full scale output current settling time of 150 ns while dissipating only 33 mW with ±5V supplies. No reference current (I_{REF}) trimming is required for most applications since the full scale output current is typically ±1 LSB of 255 I_{REF}/ 256. Relative accuracies of better than ±0.19% assure 8-bit monotonicity and linearity while zero level output current of less than 4 μA provides 8-bit zero accuracy for $I_{REF} \geq 2$ mA. The power supply currents of the DAC0808 series are independent of bit codes, and exhibits essentially constant device characteristics over the entire supply voltage range.

The DAC0808 will interface directly with popular TTL, DTL or CMOS logic levels, and is a direct replacement for the MC1508/MC1408. For higher speed applications, see DAC0800 data sheet.

Features

- Relative accuracy: ±0.19% error maximum (DAC0808)
- Full scale current match: ±1 LSB typ
- 7 and 6-bit accuracy available (DAC0807, DAC0806)
- Fast settling time: 150 ns typ
- Noninverting digital inputs are TTL and CMOS compatible
- High speed multiplying input slew rate: 8 mA/μs
- Power supply voltage range: ±4.5V to ±18V
- Low power consumption: 33 mW @ ±5V

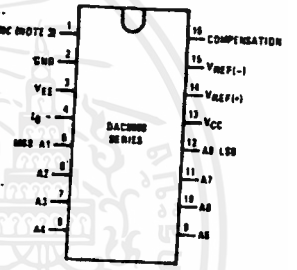
Block and Connection Diagrams



TL/H/5687-1

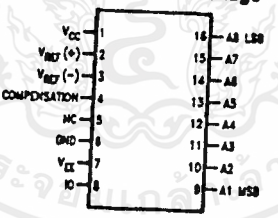
Order Number DAC0808, DAC0807, or DAC0806
See NS Package Number J16A, M16A or N16A

Dual-In-Line Package



TL/H/5687-2

Small-Outline Package



Top View

TL/H/5687-13

Ordering Information

ACCURACY	OPERATING TEMPERATURE RANGE	ORDER NUMBERS				
		J PACKAGE (J16A)*		N PACKAGE (N16A)*		SO PACKAGE (M16A)
8-bit	−55°C ≤ T_A ≤ +125°C	DAC0808LJ	MC1508L8			
8-bit	0°C ≤ T_A ≤ +75°C	DAC0808LCJ	MC1408L8	DAC0808LCN	MC1408P8	DAC0808LCM
7-bit	0°C ≤ T_A ≤ +75°C	DAC0807LCJ	MC1408L7	DAC0807LCN	MC1408P7	DAC0807LCM
6-bit	0°C ≤ T_A ≤ +75°C	DAC0806LCJ	MC1408L6	DAC0806LCN	MC1408P6	DAC0806LCM

*Note. Devices may be ordered by using either order number.

Absolute Maximum Ratings (Note 1)

If Military/Aerospace specified devices are required, contact the National Semiconductor Sales Office/ Distributors for availability and specifications.

Power Supply Voltage	
V_{CC}	+ 18 V_{DC}
V_{EE}	− 18 V_{DC}
Digital Input Voltage, V5–V12	− 10 V_{DC} to + 18 V_{DC}
Applied Output Voltage, V_O	− 11 V_{DC} to + 18 V_{DC}
Reference Current, I_{14}	5 mA
Reference Amplifier Inputs, V14, V15	V_{CC}, V_{EE}
Power Dissipation (Note 3)	1000 mW
ESD Susceptibility (Note 4)	TBD
Storage Temperature Range	−65°C to +150°C
Lead Temp. (Soldering, 10 seconds)	
Dual-In-Line Package (Plastic)	260°C
Dual-In-Line Package (Ceramic)	300°C
Surface Mount Package	
Vapor Phase (60 seconds)	215°C
Infrared (15 seconds)	220°C

Operating Ratings

Temperature Range	$T_{MIN} \le T_A \le T_{MAX}$
DAC0808L	−55°C ≤ T_A ≤ +125°C
DAC0808LC Series	0 ≤ T_A ≤ +75°C

Electrical Characteristics

(V_{CC} = 5V, V_{EE} = −15 V_{DC}, V_{REF}/R14 = 2 mA, DAC0808: T_A = −55°C to +125°C, DAC0808C, DAC0807C, DAC0806C, T_A = 0°C to +75°C, and all digital inputs at high logic level unless otherwise noted.)

Symbol	Parameter	Conditions	Min	Typ	Max	Units
E_r	Relative Accuracy (Error Relative to Full Scale I_O)	*(Figure 4)*				%
	DAC0808L (LM1508-8), DAC0808LC (LM1408-8)				±0.19	%
	DAC0807LC (LM1408-7), (Note 5)				±0.39	%
	DAC0806LC (LM1408-6), (Note 5)				±0.78	%
	Settling Time to Within ½ LSB (Includes t_{PLH})	T_A = 25°C (Note 6), *(Figure 5)*		150		ns
t_{PLH}, t_{PHL}	Propagation Delay Time	T_A = 25°C, *(Figure 5)*		30	100	ns
TCI_O	Output Full Scale Current Drift			±20		ppm/°C
MSB	Digital Input Logic Levels	*(Figure 3)*				
V_{IH}	High Level, Logic "1"		2			V_{DC}
V_{IL}	Low Level, Logic "0"				0.8	V_{DC}
MSB	Digital Input Current	*(Figure 3)*				
	High Level	V_{IH} = 5V		0	0.040	mA
	Low Level	V_{IL} = 0.8V		−0.003	−0.8	mA
I_{15}	Reference Input Bias Current	*(Figure 3)*		−1	−3	μA
	Output Current Range	*(Figure 3)*				
		V_{EE} = −5V	0	2.0	2.1	mA
		V_{EE} = −15V, T_A = 25°C	0	2.0	4.2	mA
I_O	Output Current	V_{REF} = 2.000V, R14 = 1000Ω, *(Figure 3)*	1.9	1.99	2.1	mA
	Output Current, All Bits Low	*(Figure 3)*		0	4	μA
	Output Voltage Compliance (Note 2)	E_r ≤ 0.19%, T_A = 25°C				
	V_{EE} = −5V, I_{REF} = 1 mA				−0.55, +0.4	V_{DC}
	V_{EE} Below −10V				−5.0, +0.4	V_{DC}

Electrical Characteristics (Continued)

(V_{CC} = 5V, V_{EE} = −15 V_{DC}, $V_{REF}/R14$ = 2 mA, DAC0808: T_A = −55°C to +125°C, DAC0808C, DAC0807C, DAC0806C, T_A = 0°C to +75°C, and all digital inputs at high logic level unless otherwise noted.)

Symbol	Parameter	Conditions	Min	Typ	Max	Units
SRI_{REF}	Reference Current Slew Rate	*(Figure 6)*	4	8		mA/μs
	Output Current Power Supply Sensitivity	$-5V \le V_{EE} \le -16.5V$		0.05	2.7	μA/V
	Power Supply Current (All Bits Low)	*(Figure 3)*				
I_{CC}				2.3	22	mA
I_{EE}				−4.3	−13	mA
	Power Supply Voltage Range	T_A = 25°C, *(Figure 3)*				
V_{CC}			4.5	5.0	5.5	V_{DC}
V_{EE}			−4.5	−15	−16.5	V_{DC}
	Power Dissipation					
	All Bits Low	V_{CC} = 5V, V_{EE} = −5V		33	170	mW
		V_{CC} = 5V, V_{EE} = −15V		106	305	mW
	All Bits High	V_{CC} = 15V, V_{EE} = −5V		90		mW
		V_{CC} = 15V, V_{EE} = −15V		160		mW

Note 1: Absolute Maximum Ratings indicate limits beyond which damage to the device may occur. DC and AC electrical specifications do not apply when operating the device beyond its specified operating conditions.

Note 2: Range control is not required.

Note 3: The maximum power dissipation must be derated at elevated temperatures and is dictated by T_{JMAX}, θ_{JA}, and the ambient temperature, T_A. The maximum allowable power dissipation at any temperature is $P_D = (T_{JMAX} - T_A)/\theta_{JA}$ or the number given in the Absolute Maximum Ratings, whichever is lower. For this device, T_{JMAX} = 125°C, and the typical junction-to-ambient thermal resistance of the dual-in-line J package when the board mounted is 100°C/W. For the dual-in-line N package, this number increases to 175°C/W and for the small outline M package this number is 100°C/W.

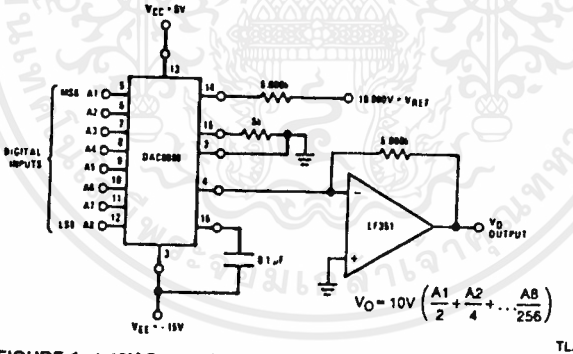
Note 4: Human body model, 100 pF discharged through a 1.5 kΩ resistor.

Note 5: All current switches are tested to guarantee at least 50% of rated current.

Note 6: All bits switched.

Note 7: Pin-out numbers for the DAL080X represent the dual-in-line package. The small outline package pinout differs from the dual-in-line package.

Typical Application



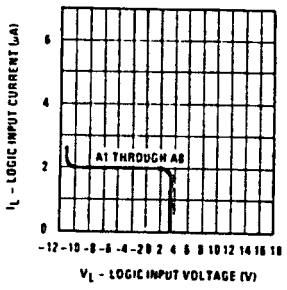
TL/H/5687–3

FIGURE 1. + 10V Output Digital to Analog Converter (Note 7)

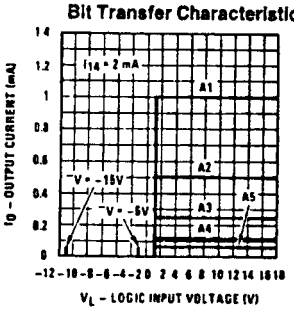
Typical Performance Characteristics

V_{CC} = 5V, V_{EE} = −15V, T_A = 25°C, unless otherwise noted

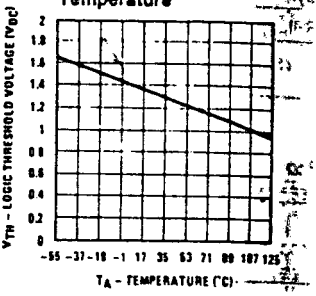
Logic Input Current vs Input Voltage



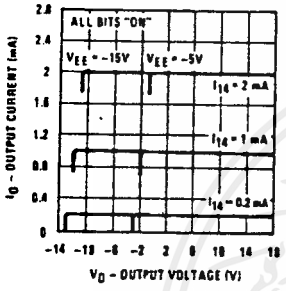
Bit Transfer Characteristics



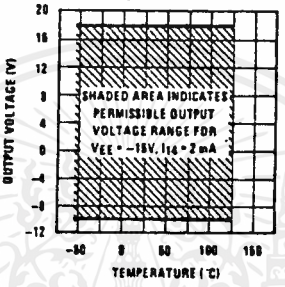
Logic Threshold Voltage vs Temperature



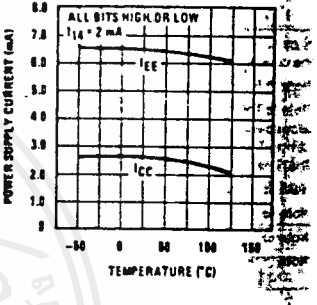
Output Current vs Output Voltage (Output Voltage Compliance)



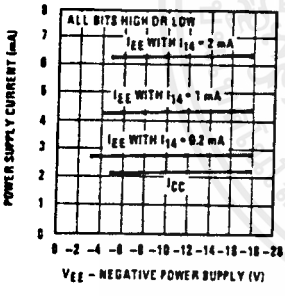
Output Voltage Compliance vs Temperature



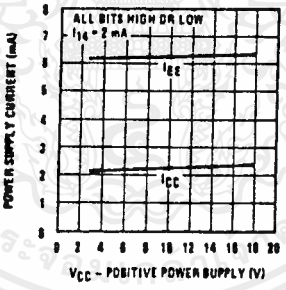
Typical Power Supply Current vs Temperature



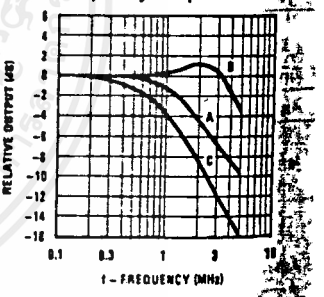
Typical Power Supply Current vs V_{EE}



Typical Power Supply Current vs V_{CC}



Reference Input Frequency Response



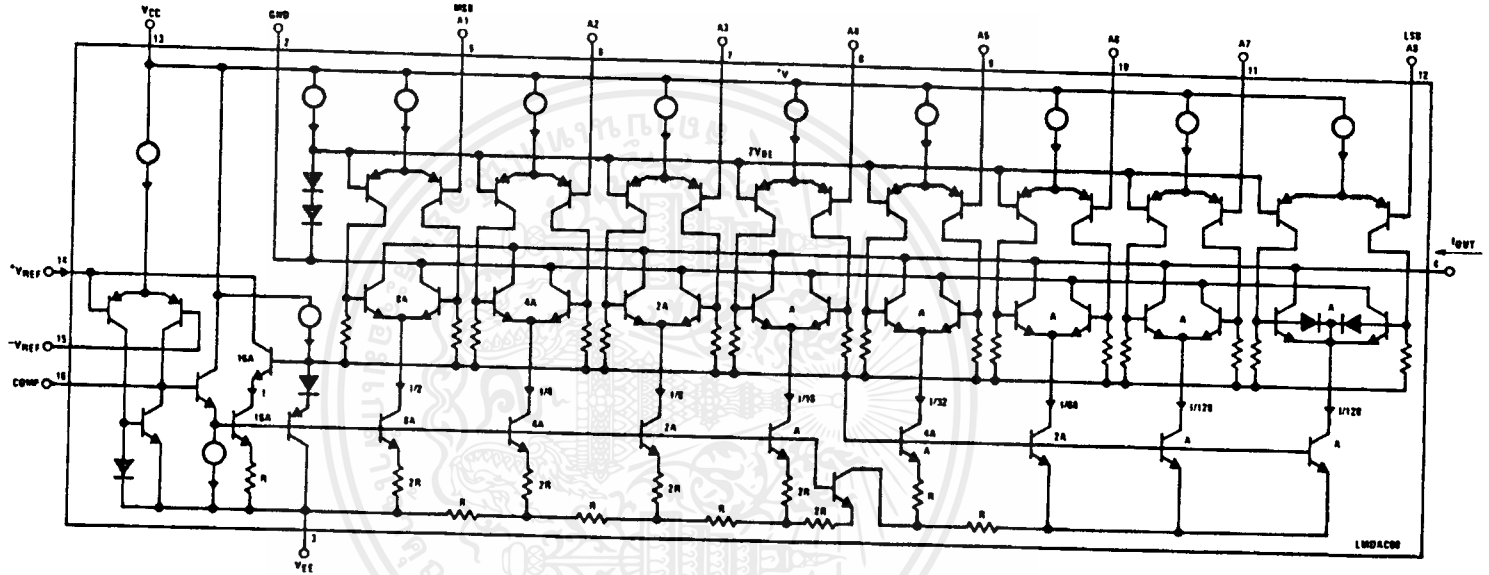
TL/H/5807-5

Unless otherwise specified: R14 = R15 = 1 kΩ, C = 15 pF, pin 16 to V_{EE}; R_L = 50Ω, pin 4 to ground.

Curve A: Large Signal Bandwidth Method of *Figure 7*, V_{REF} = 2 V, offset 1 V above ground.

Curve B: Small Signal Bandwidth Method of *Figure 7*, R_L = 250Ω, V_O = 50 mVp-p offset 200 mV above ground.

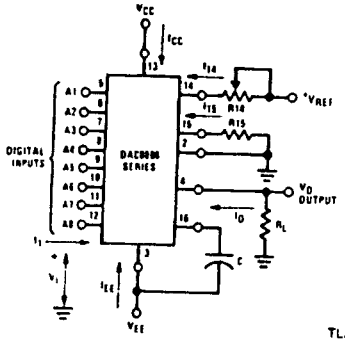
Curve C: Large and Small Signal Bandwidth Method of *Figure 9* (741 amp, R_L = 50Ω), R_S = 50Ω, V_{REF} = 2V, V_S = 100 mVp-p centered



TL/H/5687–4

FIGURE 2. Equivalent Circuit of the DAC0808 Series (Note 7)

Test Circuits



V_I and I_1 apply to inputs A1–A8.

The resistor tied to pin 15 is to temperature compensate the bias current and may not be necessary for all applications.

$$I_O = K\left(\frac{A1}{2} + \frac{A2}{4} + \frac{A4}{16} + \frac{A5}{32} + \frac{A6}{64} + \frac{A7}{128} + \frac{A8}{256}\right)$$

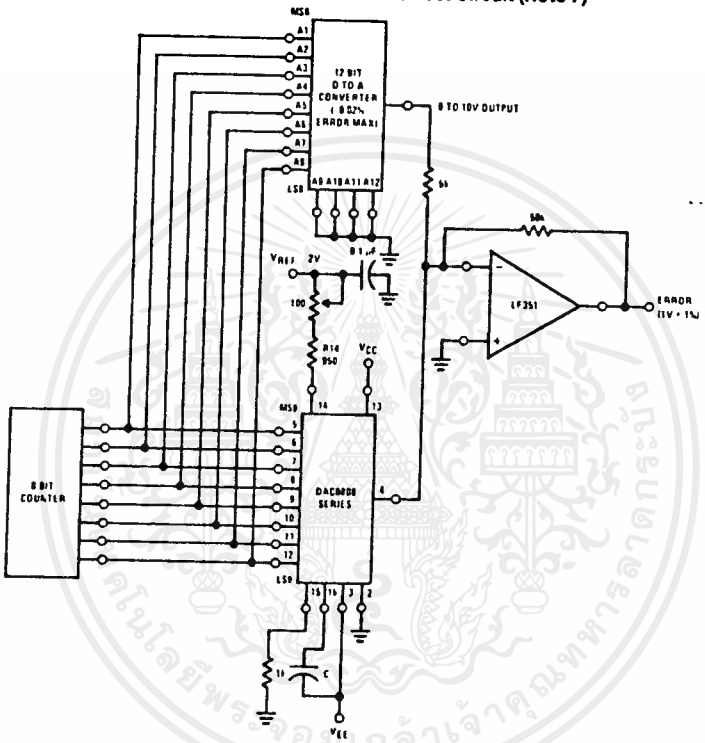
where $K \cong \frac{V_{REF}}{R14}$

and A_N = "1" if A_N is at high level

A_N = "0" if A_N is at low level

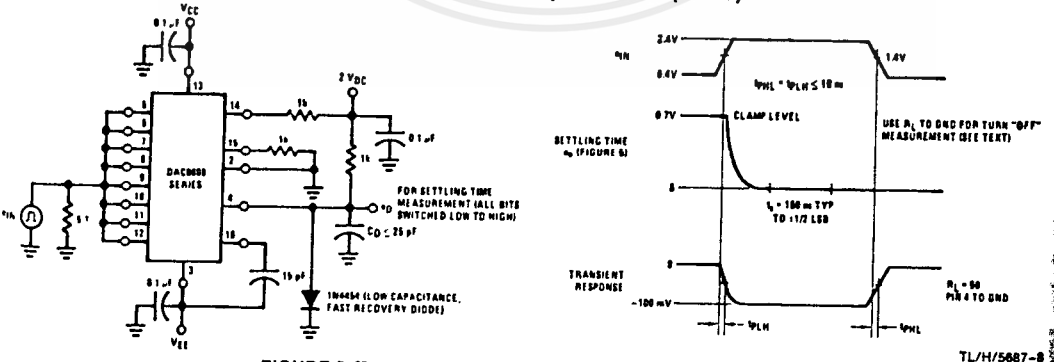
TL/H/5687–6

FIGURE 3. Notation Definitions Test Circuit (Note 7)



TL/H/5687–7

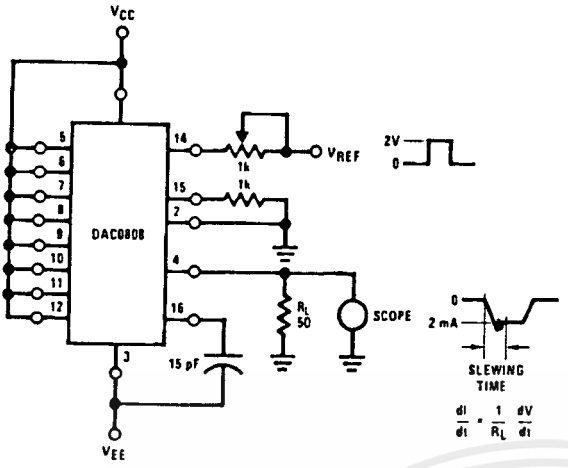
FIGURE 4. Relative Accuracy Test Circuit (Note 7)



TL/H/5687–8

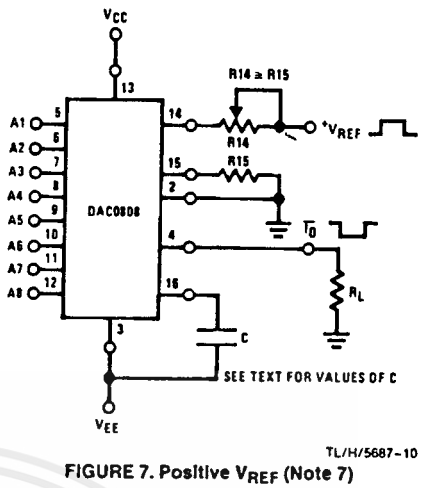
FIGURE 5. Transient Response and Settling Time (Note 7)

Test Circuits (Continued)



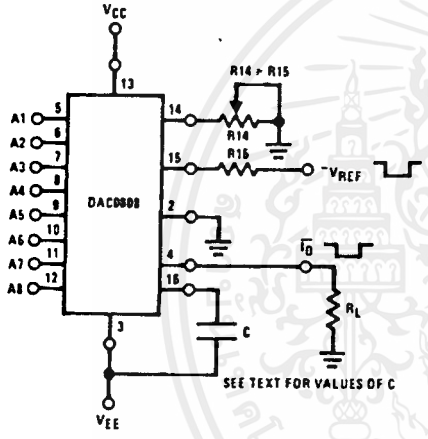
TL/H/5687-9

FIGURE 6. Reference Current Slew Rate Measurement (Note 7)



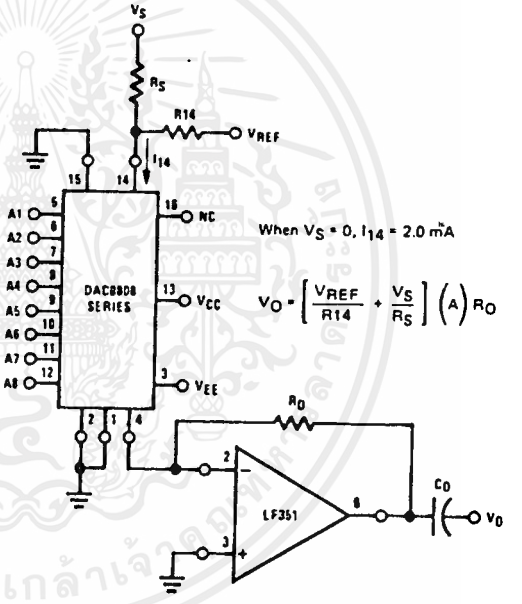
TL/H/5687-10

FIGURE 7. Positive V_{REF} (Note 7)



TL/H/5687-11

FIGURE 8. Negative V_{REF} (Note 7)



TL/H/5687-12

FIGURE 9. Programmable Gain Amplifier or Digital Attenuator Circuit (Note 7)

Application Hints

REFERENCE AMPLIFIER DRIVE AND COMPENSATION

The reference amplifier provides a voltage at pin 14 for converting the reference voltage to a current, and a turn-around circuit or current mirror for feeding the ladder. The reference amplifier input currrent, I_{14}, must always flow into pin 14, regardless of the set-up method or reference voltage polarity.

Connections for a positive voltage are shown in *Figure 7*. The reference voltage source supplies the full current I_{14}. For bipolar reference signals, as in the multiplying mode, R15 can be tied to a negative voltage corresponding to the minimum input level. It is possible to eliminate R15 with only a small sacrifice in accuracy and temperature drift.

The compensation capacitor value must be increased with increases in R14 to maintain proper phase margin; for R14 values of 1, 2.5 and 5 kΩ, minimum capacitor values are 15, 37 and 75 pF. The capacitor may be tied to either V_{EE} or ground, but using V_{EE} increases negative supply rejection.

Application Hints (Continued)

A negative reference voltage may be used if R14 is grounded and the reference voltage is applied to R15 as shown in *Figure 8*. A high input impedance is the main advantage of this method. Compensation involves a capacitor to V_{EE} on pin 16, using the values of the previous paragraph. The negative reference voltage must be at least 4V above the V_{EE} supply. Bipolar input signals may be handled by connecting R14 to a positive reference voltage equal to the peak positive input level at pin 15.

When a DC reference voltage is used, capacitive bypass to ground is recommended. The 5V logic supply is not recommended as a reference voltage. If a well regulated 5V supply which drives logic is to be used as the reference, R14 should be decoupled by connecting it to 5V through another resistor and bypassing the junction of the 2 resistors with 0.1 μF to ground. For reference voltages greater than 5V, a clamp diode is recommended between pin 14 and ground.

If pin 14 is driven by a high impedance such as a transistor current source, none of the above compensation methods apply and the amplifier must be heavily compensated, decreasing the overall bandwidth.

OUTPUT VOLTAGE RANGE

The voltage on pin 4 is restricted to a range of -0.55 to 0.4V when $V_{EE} = -5V$ due to the current switching methods employed in the DAC0808.

The negative output voltage compliance of the DAC0808 is extended to $-5V$ where the negative supply voltage is more negative than $-10V$. Using a full-scale current of 1.992 mA and load resistor of 2.5 kΩ between pin 4 and ground will yield a voltage output of 256 levels between 0 and $-4.980V$. Floating pin 1 does not affect the converter speed or power dissipation. However, the value of the load resistor determines the switching time due to increased voltage swing. Values of R_L up to 500Ω do not significantly affect performance, but a 2.5 kΩ load increases worst-case settling time to 1.2 μs (when all bits are switched ON). Refer to the subsequent text section on Settling Time for more details on output loading.

OUTPUT CURRENT RANGE

The output current maximum rating of 4.2 mA may be used only for negative supply voltages more negative than $-8V$, due to the increased voltage drop across the resistors in the reference current amplifier.

ACCURACY

Absolute accuracy is the measure of each output current level with respect to its intended value, and is dependent upon relative accuracy and full-scale current drift. Relative accuracy is the measure of each output current level as a fraction of the full-scale current. The relative accuracy of the DAC0808 is essentially constant with temperature due to the excellent temperature tracking of the monolithic resistor ladder. The reference current may drift with temperature, causing a change in the absolute accuracy of output current. However, the DAC0808 has a very low full-scale current drift with temperature.

The DAC0808 series is guaranteed accurate to within $\pm \frac{1}{2}$ LSB at a full-scale output current of 1.992 mA. This corresponds to a reference amplifier output current drive to the ladder network of 2 mA, with the loss of 1 LSB (8 μA) which is the ladder remainder shunted to ground. The input current to pin 14 has a guaranteed value of between 1.9 and 2.1 mA, allowing some mismatch in the NPN current source pair. The accuracy test circuit is shown in *Figure 4*. The 12-bit converter is calibrated for a full-scale output current of 1.992 mA. This is an optional step since the DAC0808 accuracy is essentially the same between 1.5 and 2.5 mA. Then the DAC0808 circuits' full-scale current is trimmed to the same value with R14 so that a zero value appears at the error amplifier output. The counter is activated and the error band may be displayed on an oscilloscope, detected by comparators, or stored in a peak detector.

Two 8-bit D-to-A converters may not be used to construct a 16-bit accuracy D-to-A converter. 16-bit accuracy implies a total error of $\pm \frac{1}{2}$ of one part in 65,536 or $\pm 0.00076\%$, which is much more accurate than the $\pm 0.019\%$ specification provided by the DAC0808.

MULTIPLYING ACCURACY

The DAC0808 may be used in the multiplying mode with 8-bit accuracy when the reference current is varied over a range of 256:1. If the reference current in the multiplying mode ranges from 16 μA to 4 mA, the additional error contributions are less than 1.6 μA. This is well within 8-bit accuracy when referred to full-scale.

A monotonic converter is one which supplies an increase in current for each increment in the binary word. Typically, the DAC0808 is monotonic for all values of reference current above 0.5 mA. The recommended range for operation with a DC reference current is 0.5 to 4 mA.

SETTLING TIME

The worst-case switching condition occurs when all bits are switched ON, which corresponds to a low-to-high transition for all bits. This time is typically 150 ns for settling to within $\pm \frac{1}{2}$ LSB, for 8-bit accuracy, and 100 ns to $\frac{1}{2}$ LSB for 7 and 6-bit accuracy. The turn OFF is typically under 100 ns. These times apply when $R_L \leq 500\Omega$ and $C_O \leq 25$ pF.

Extra care must be taken in board layout since this is usually the dominant factor in satisfactory test results when measuring settling time. Short leads, 100 μF supply bypassing for low frequencies, and minimum scope lead length are all mandatory.

LM136-5.0/LM236-5.0/LM336-5.0, 5.0V Reference Diode

General Description

The LM136-5.0/LM236-5.0/LM336-5.0 integrated circuits are precision 5.0V shunt regulator diodes. These monolithic IC voltage references operate as a low temperature coefficient 5.0V zener with 0.6Ω dynamic impedance. A third terminal on the LM136-5.0 allows the reference voltage and temperature coefficient to be trimmed easily.

The LM136-5.0 series is useful as a precision 5.0V low voltage reference for digital voltmeters, power supplies or op amp circuitry. The 5.0V makes it convenient to obtain a stable reference from low voltage supplies. Further, since the LM136-5.0 operates as a shunt regulator, it can be used as either a positive or negative voltage reference.

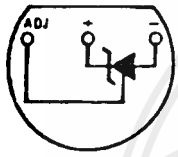
The LM136-5.0 is rated for operation over −55°C to +125°C while the LM236-5.0 is rated over a −25°C to +85°C temperature range. Both are packaged in a TO-46 package. The LM336-5.0 is rated for operation over a 0°C to +70°C temperature range and is available in a TO-92 plastic package. For applications requiring 2.5V see LM136-2.5.

Features

- Adjustable 4V to 6V
- Low temperature coefficient
- Wide operating current of 600 μA to 10 mA
- 0.6Ω dynamic impedance
- ± 1% initial tolerance available
- Guaranteed temperature stability
- Easily trimmed for minimum temperature drift
- Fast turn-on
- Three lead transistor package

Connection Diagrams

TO-92
Plastic Package

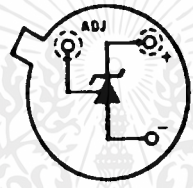


TL/H/5716-4

Bottom View

Order Number LM336Z-5.0 or LM336BZ-5.0
See NS Package Number Z03A

TO-46
Metal Can Package

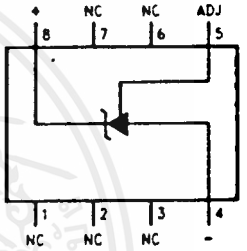


TL/H/5716-5

Bottom View

Order Number LM136H-5.0, LM236H-5.0, LM136AH-5.0 or LM236AH-5.0
See NS Package Number H03H

SO Package

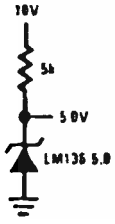


TL/H/5716-7

Order Number LM336M-5.0 or LM236BM-5.0
See NS Package Number H03H

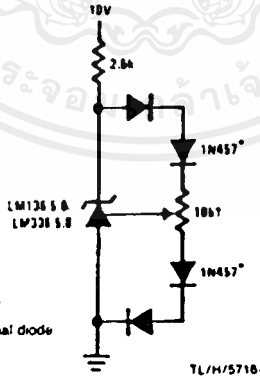
Typical Applications

5.0V Reference



TL/H/5716-1

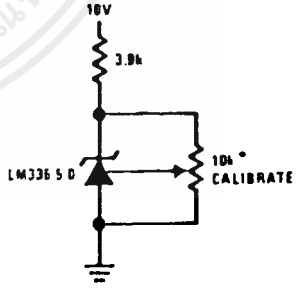
5.0V Reference with Minimum Temperature Coefficient



†Adjust to 5.00V
*Any silicon signal diode

TL/H/5716-15

Trimmed 4V to 6V Reference with Temperature Coefficient Independent of Breakdown Voltage



TL/H/5716-3

*Does not affect temperature coefficient

If Military/Aerospace specified devices are required, contact the National Semiconductor Sales Office/ Distributors for availability and specifications.

Reverse Current	15mA
Forward Current	10mA
Storage Temperature	−60°C to +150°C
Operating Temperature Range	
LM136-5.0	−55°C to +150°C
LM236-5.0	−25°C to +85°C
LM336-5.0	0°C to +70°C

Soldering Information

TO-92 Package (10 sec.)	260°C
TO-46 Package (10 sec.)	300°C
SO Package	
Vapor Phase (60 sec.)	215°C
Infrared (15 sec.)	220°C

See AN-450 "Surface Mounting Methods and Their Effect on Product Reliability" (appendix D) for other methods of soldering surface mount devices.

Electrical Characteristics (Note 1)

Parameter	Conditions	LM136A-5.0/LM236A-5.0 LM136-5.0/LM236-5.0			LM336B-5.0 LM336-5.0			Units
		Min	Typ	Max	Min	Typ	Max	
Reverse Breakdown Voltage	$T_A = 25°C$, $I_R = 1$ mA							
	LM136-5.0/LM236-5.0/LM336-5.0	4.9	5.00	5.1	4.8	5.00	5.2	V
	LM136A-5.0/LM236A-5.0, LM336B-5.0	4.95	5.00	5.05	4.90	5.00	5.1	V
Reverse Breakdown Change With Current	$T_A = 25°C$, $600\ \mu A \le I_R \le 10$ mA		6	12		6	20	mV
Reverse Dynamic Impedance	$T_A = 25°C$, $I_R = 1$ mA		0.6	1.2		0.6	2	Ω
Temperature Stability	V_R Adjusted 5.00V, $I_R = 1$ mA, (*Figure 2*)							
	$0°C \le T_A \le 70°C$ (LM336-5.0)					4	12	mV
	$-25°C \le T_A \le +85°C$ (LM236-5.0)		7	18				mV
	$-55°C \le T_A \le +125°C$ (LM136-5.0)		20	36				mV
Reverse Breakdown Change With Current	$600\ \mu A \le I_R \le 10$ mA		6	17		6	24	mV
Adjustment Range	Circuit of *Figure 1*		±1			±1		V
Reverse Dynamic Impedance	$I_R = 1$ mA		0.8	1.6		0.8	2.5	Ω
Long Term Stability	$T_A = 25°C \pm 0.1°C$, $I_R = 1$ mA		20			20		ppm

Note 1: Unless otherwise specified the LM136-5.0 is specified from $-55°C \le T_A \le +125°C$, the LM236-5.0 from $-25°C \le T_A \le +85°C$ and the LM336-5.0 from $0°C \le T_A \le +70°C$.

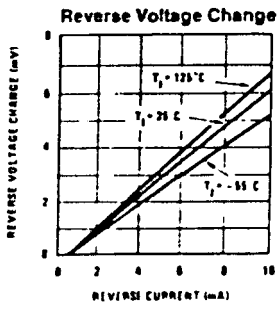
Note 2: Temperature stability for the LM336 and LM236 family is guaranteed by design. Design limits are guaranteed (but not 100% percent production tested) over the indicated temperature and supply voltage ranges. These limits are not used to calculate outgoing quality levels. Stability is defined as the maximum change in V_{REF} from 25°C to T_A(min) or T_A(max).

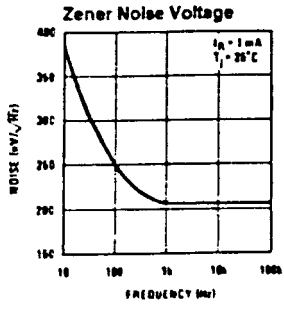
Note 3. For elevated temperature operation, T_j max is

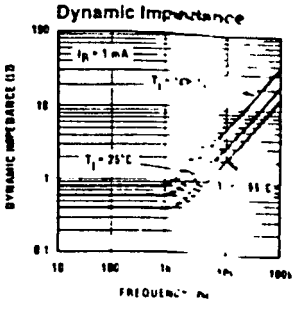
LM136	150°C
LM236	125°C
LM336	100°C

Thermal Resistance	TO-92	TO-46	SO-8
θ_{ja} (Junction to Ambient)	180°C/W (0.4" Leads) 170°C/W (0.125" Leads)	440°C/W	165°C/W
θ_{jc} (Junction to Case)	N/A	80°C/W	N/A

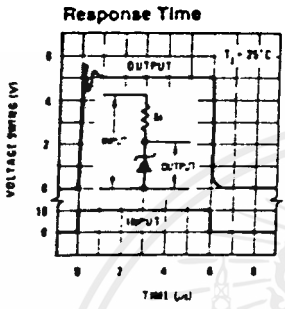
Typical Performance Characteristics

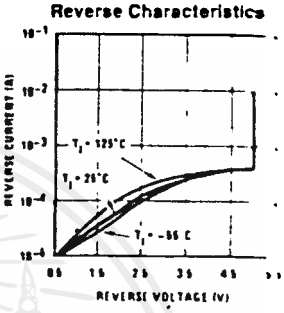


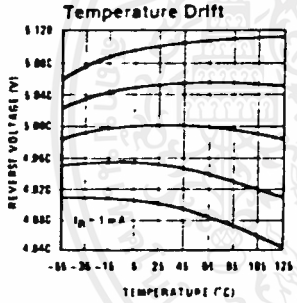


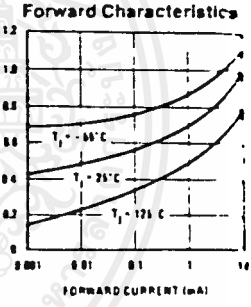


TL H/5716









Application Hints

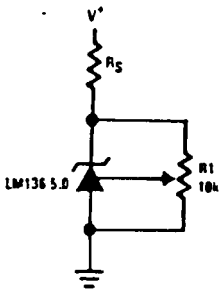
The LM136-5.0 series voltage references are much easier to use than ordinary zener diodes. Their low impedance and wide operating current range simplify biasing in almost any circuit. Further, either the breakdown voltage or the temperature coefficient can be adjusted to optimize circuit performance.

Figure 1 shows an LM136-5.0 with a 10k potentiometer for adjusting the reverse breakdown voltage. With the addition of R1 the breakdown voltage can be adjusted without affecting the temperature coefficient of the device. The adjustment range is usually sufficient to adjust for both the initial device tolerance and inaccuracies in buffer circuitry.

If minimum temperature coefficient is desired, two diodes can be added in series with the adjustment potentiometer as shown in *Figure 2*. When the device is adjusted to 5.00V the temperature coefficient is minimized. Almost any silicon signal diode can be used for this purpose such as a 1N914, 1N4148 or a 1N457. For proper temperature compensation the diodes should be in the same thermal environment as the LM136-5.0. It is usually sufficient to mount the diodes near the LM136-5.0 on the printed circuit board. The absolute resistance of the network is not critical and any value from 2k to 20k will work. Because of the wide adjustment range, fixed resistors should be connected in series with the pot to make pot setting less critical.

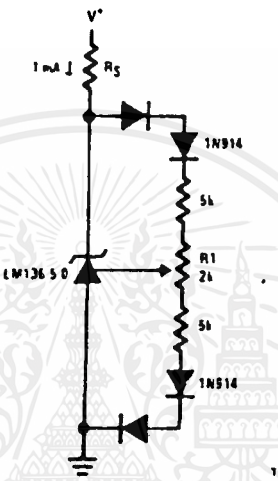
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการ

Application Hints (Continued)



TL/H/5716-9

FIGURE 1. LM136-5.0 with Pot for Adjustment of Breakdown Voltage (Trim Range = ± 1.0V Typical)

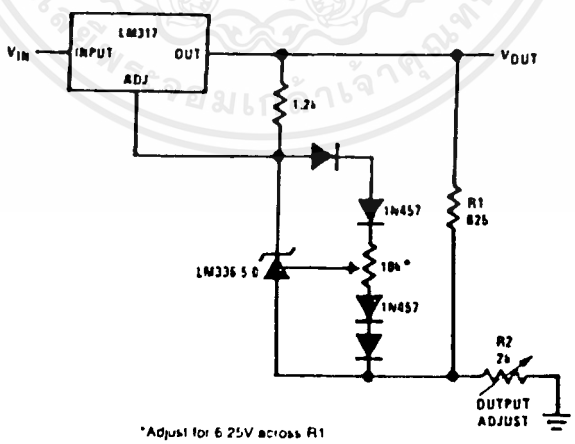


TL/H/5716-10

FIGURE 2. Temperature Coefficient Adjustment (Trim Range = ± 0.5V Typical)

Typical Applications (Continued)

Precision Power Regulator with Low Temperature Coefficient

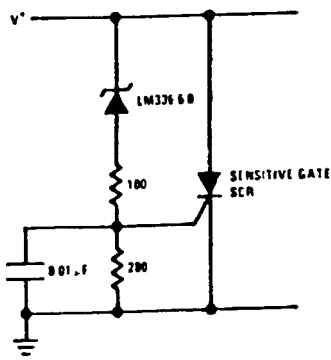


*Adjust for 6.25V across R1

TL/H/5716-11

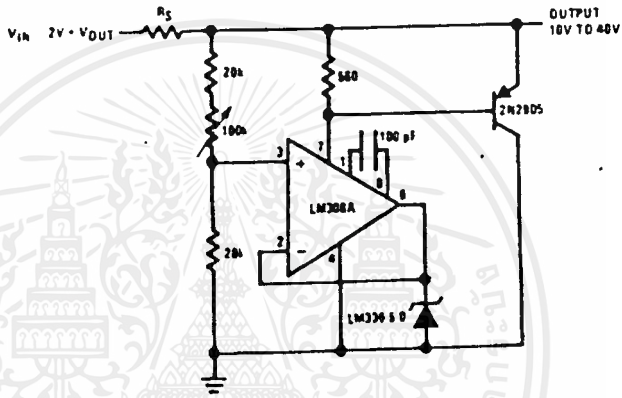
Typical Applications (Continued)

5V Crowbar



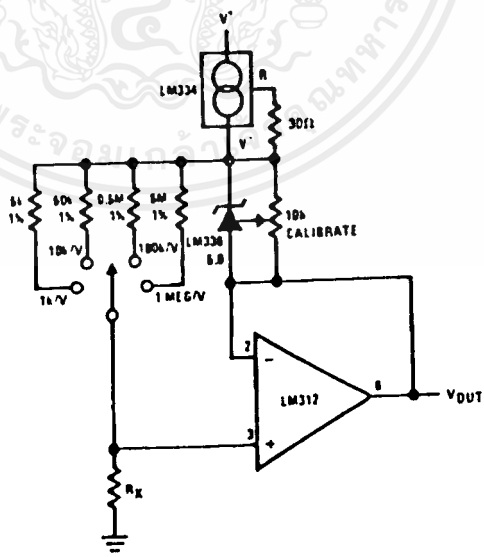
TL/H/5716-12

Adjustable Shunt Regulator



TL/H/5716-13

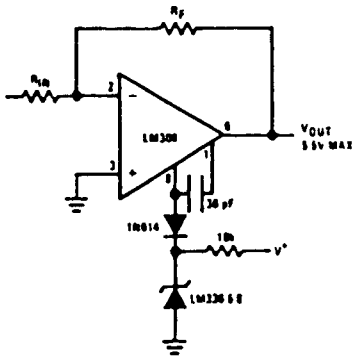
Linear Ohmmeter



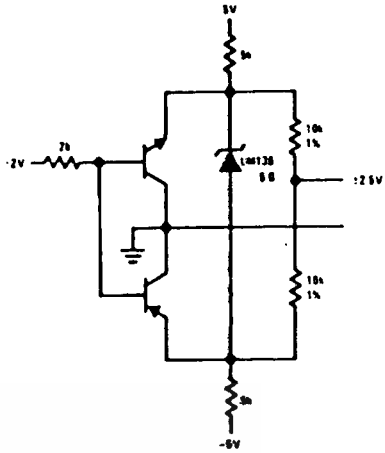
TL/H/5716-14

Typical Applications (Continued)

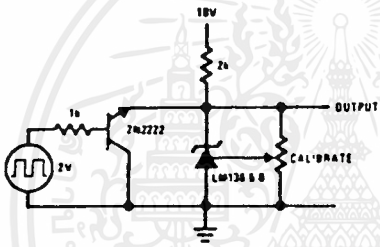
Op Amp with Output Clamped



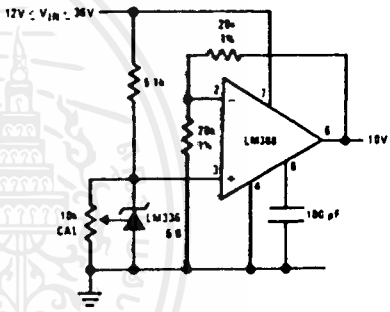
Bipolar Output Reference



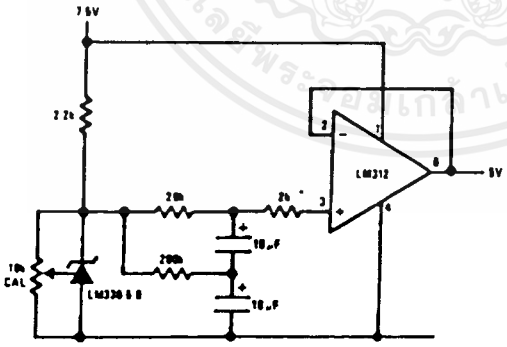
5.0V Square Wave Calibrator



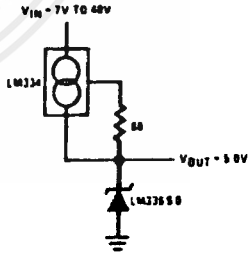
10V Buffered Reference



Low Noise Buffered Reference



Wide Input Range Reference



TL/H/571