เครื่องทดสอบเพาเวอร์ซัพพลายอัตโนมัติ

AUTOMATIC POWER SUPPLY TESTER

นาย ประวิทย์ รักพรหมพันธุ์ รหัส 34131158

นาย ปานเทพ สังข์สกุล รหัส 34131160

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษา

ตามหลักสูตรอุตสาหกรรมศาสตร์บัณฑิต

ภาควิชาเทคนิคอุตสาหกรรม คณะวิศวกรรมศาสตร์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2535

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

032615

เครื่องทดสอบเพาเวอร์ซัพพลายอัตโนมัติ

AUTOMATIC POWER SUPPLY TESTER

ได้รับอนุมัติให้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรอุตสาหกรรมศาสตร์บัณฑิต

ปีการศึกษา 2535

คณะวิศวกรรมศาสตร์ ภาควิชาเทคเนิดอุตสาหกรรม สาขาวิชาเทคโนโลยีอิเล็กทรอนิคส์

สถาบันเทคโนโลยีพระจอมเกล้า เจ้าคุณทหารลาดกระบัง

คณะกรรมการตรวจปริญญานิพนธ์

..... ประธานกรรมการ

(.....)

..... กรรมการ

(.....)

..... กรรมการ

(.....)

..... กรรมการ

(.....)

..... กรรมการ

(.....)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

AUTOMATIC POWER SUPPLY TESTER

นายปานเทพ สังข์สกุล 34131160

นายประวิทย์ รักพรหมพันธุ์ 34131158

อาจารย์ที่ปรึกษา

อาจารย์ ผศ.ดร.กนก เจนจิระพงศ์เวช

อาจารย์ ประภากร สุวรรณะ

บทคัดย่อ

ปัจจุบันอุปกรณ์ทางอิเลคทรอนิคส์ถูกสร้างขึ้นมากมาย แต่มีอุปกรณ์อย่างหนึ่งที่จำเป็นที่ต้องใช้ในวงการอิเลคทรอนิคส์คือ POWER SUPPLY โดยที่ศึกดาไฟฟ้าส่วนใหญ่นิยมใช้ REGULATED IC และ POWER SUPPLY เนื่องจากมีการใช้งานอย่างกว้างขวาง ดังนั้น จึงต้องมีอุปกรณ์ที่ใช้ทดสอบประสิทธิภาพในการทำงานในโรงงานผลิต

ปริญญานิพนธ์ฉบับนี้ได้นำเสนอโครงงานเกี่ยวกับเครื่องมือตรวจสอบ POWER SUPPLY ในที่นี้ใช้ชื่อว่า AUTOMATIC POWER SUPPLY TESTER ซึ่งเป็นอุปกรณ์ตรวจสอบ POWER SUPPLY และ REGULATED IC ว่าสามารถจ่ายกระแสไฟฟ้าตามที่เราต้องการหรือไม่ ซึ่งการตรวจสอบจะมีการตรวจสอบอยู่ 2 ลักษณะ คือ เมื่อจ่ายกระแสเป็น CONTINUOUS CURRENT และ PULSE CURRENT ซึ่งในโครงการนี้จะใช้ PC (PERSONAL COMPUTER) มาใช้เป็นตัวควบคุมการทำงาน (CONTROL) ของเครื่องที่ใช้ตรวจสอบและแสดงผลการทำตรวจสอบที่จอเครื่อง PC (MONITORING) ซึ่งจะทำให้ง่ายต่อการตรวจสอบ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

032615

AUTOMATIC POWER SUPPLY TESTER

Mr. PARNTAPE SANGSAKUN 34131160

Mr. PRAVIT LUXPHOMPHAM 34131158

ADVISOR

Dr. KANOK JANCHITRAPONGVEJ

Mr. PRAPAKORN SUWANNA

ABSTRACT

In this day, many of electronic equipments are made. But a part that is necessary is power supply or voltage source which is always a regulated IC and power supply. Because of many using of power supply or regulate IC so there must have an equipment that using to test the efficient.

This thesis present a project,name AUTOMATIC POWER SUPPLY TESTER, which is used for tester current that can provide. In this a project use personal computer for control and display thus it easy for testing.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ

บทที่ 1 บทนำ.....1

บทที่ 2 หลักการของเครื่อง AUTOMATIC POWER SUPPLY TESTER.....2

2.1 หลักการทำงานของมอสเฟต (MOSFET).....2

2.2 หลักการ DRIVE POWER MOSFET.....10

2.3 หลักการของ TL494 ตัวกำเนิดพัลส์.....11

2.4 หลักการและการออกแบบ LF398.....14

2.5 PROCESS CONTROL SYSTEM.....15

2.6 การจัดโครงสร้างบนไมโครคอมพิวเตอร์.....16

2.7 8255 พอร์ทแบบขนานที่โปรแกรมได้.....20

บทที่ 3 การออกแบบเครื่อง AUTOMATIC POWER SUPPLY TESTER.....28

3.1 ส่วนดึงกระแสไฟฟ้าคงที่ (CONTINUOUS CURRENT SINK).....28

3.2 ส่วนควบคุมและบับรีเลย์ (RELAY CONTROL).....31

3.3 ส่วนดึงกระแสไฟฟ้าชั่วขณะ (PLUSE CURRENT SINK).....33

3.4 การ INTERFACE.....40

บทที่ 4 การทดลองและผลการทดลอง.....50

บทที่ 5 วิจารณ์และสรุปผล.....51

ภาคผนวก คุณสมบัติและการใช้งานของเครื่อง AUTOMATIC POWER SUPPLY TESTER...52

คุณสมบัติทั่วไป (SPECIFICATION).....52

การใช้งานของเครื่อง AUTOMATIC POWER SUPPLY TESTER.....53

กิตติกรรมประกาศ.....59

หนังสืออ้างอิง.....60

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 1

บทนำ

เครื่องตรวจสอบ POWER SUPPLY (AUTOMATIC POWER SUPPLY TESTER) เป็นเครื่องที่ใช้ในการตรวจสอบ POWER SUPPLY หรือ REGULATED IC ว่าสามารถจ่ายกระแสไฟฟ้าได้ตาม SPEC หรือไม่ โดยสามารถตรวจสอบได้ 2 ลักษณะ คือ

1. กระแสไฟฟ้าคงที่ (CONTINUOUS CURRENT)

2.กระแสไฟฟ้าชั่วขณะ (PULSE CURRENT) ซึ่งสามารถเลือกความถี่ได้ 4 ความถี่ คือ 1 KHz, 10KHz, 50KHz และ100 KHz และสามารถปรับค่าความกว้างของพัลส์ (DUTY CYCLE) คือ 50%, 45%, 40%, 35%, 30%, 25%, 20% และ 15%

เครื่องตรวจสอบ POWER SUPPLY นี้ใช้หลักการของวงจรแปลงค่าศักดาไฟฟ้าเป็นกระแสไฟฟ้า (VOLTAGE TO CURRENT CONVERTER) ซึ่งเอาท์พุทจะเป็น SINK CURRENT คือจะเป็นการดึงกระแสไฟฟ้าจาก POWER SUPPLY หรือ REGULATED IC ที่จะทำการตรวจสอบโดยจะมีตัวช่วยดึงกระแสไฟฟ้าในโครงการนี้ใช้ POWER MOSFET ในการดึงกระแสไฟฟ้าคงที่ และดึงกระแสไฟฟ้าชั่วขณะ

ในการตรวจสอบกระแสไฟฟ้าที่ POWER SUPPLY หรือ REGULATED IC สามารถจ่ายได้นั้นอาจใช้โหลดความต้านทานที่มีค่าความต้านทานน้อยๆหลายๆ วัตต์มาเป็นโหลดแล้ววัดกระแสไฟฟ้าที่จ่ายออกมาว่าได้ตาม SPEC หรือไม่ แต่วิธีนี้มีข้อจำกัดคือ เมื่อเปลี่ยนค่าศักดาไฟฟ้าที่ POWER SUPPLY หรือเปลี่ยนค่ากระแสไฟฟ้าที่ต้องการจะตรวจสอบก็จะต้องทำการเปลี่ยนค่าความต้านทานของโหลดความต้านทานด้วย ซึ่งจะเป็นการไม่สะดวกและการใช้โหลดความต้านทานก็ไม่สามารถตรวจสอบกระแสไฟฟ้าชั่วขณะที่ POWER SUPPLY สามารถจ่ายได้

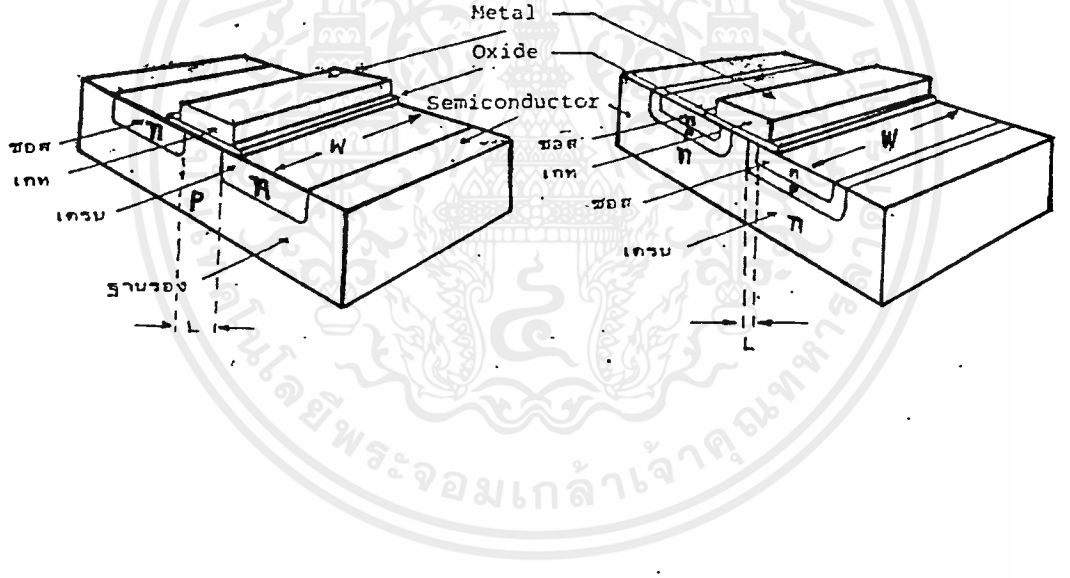
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 2

หลักการของเครื่อง AUTOMATIC POWER SUPPLY TESTER

2.1 หลักการทำงานของมอสเฟท (MOSFET)

ในอดีตอุปกรณ์ประเภทกำลังส่วนมากจะเป็นอุปกรณ์ประเภทไบโพลาร์ได้แก่ ไบโพลาร์ทรานซิสเตอร์, SCRs , triace เป็นต้น เทคโนโลยีของมอสเฟตยังคงจำกัดอยู่ที่โวลท์เตจและกระแสต่ำอยู่ อย่างไรก็ตามปัจจุบันอุปกรณ์กำลังที่นิยมใช้ได้มีการเปลี่ยนรูปโฉมไป



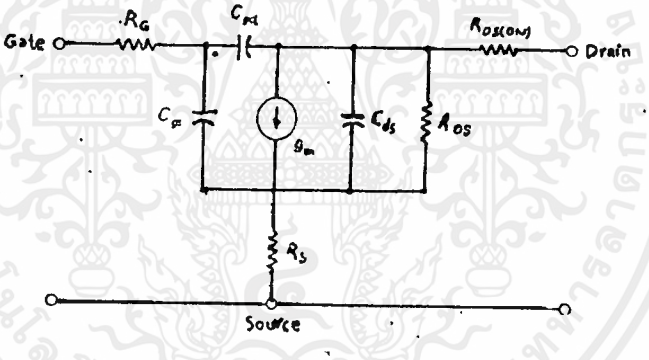
(ก) มอสเฟทธรรมดา (ข) มอสเฟทชนิดดีมอส

รูปที่ 2.1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากรูปที่ 2.1 (ข) จะเห็นได้ว่า ดีมอสเป็นมอสเฟทที่ต้องมีการแพร่สารเจือ 2 ครั้ง เช่นเดียวกับไบโพลาร์ทรานซิสเตอร์ กระแสที่ไหลในดีมอสจะไหลทั้งในแนวดิ่งและแนวนอน ซึ่งต่างจากมอสเฟทธรรมดาที่มีกระแสไหลในแนวนอนเท่านั้น ทำให้ดีมอสทนกำลังสูงๆ ได้

การใช้งานของดีมอสที่พบบ่อย ๆ ได้แก่ การใช้งานเป็นสวิทช์และการใช้ในวงจรขยาย ในการใช้งานเป็นสวิทช์จะเกิดพลังงานสูญเสียไม่มากนักแต่ในการนำไปใช้งานในวงจรขยายจะมีการสูญเสียพลังงานสูงมาก ดังนั้นจึงต้องคำนึงถึงขอบเขตความปลอดภัย(SOA)ของดีมอสด้วย การใช้วงจรสมมูลของดีมอส อธิบายการทำงานและปรากฏการณ์ที่เกิดขึ้นนั้น จะพบว่าวงจรสมมูลที่ใช้จะมีลักษณะที่แตกต่างกันออกไปตามการใช้งานไม่มีวงจรสมมูลใดที่สามารถอธิบายการทำงานได้หมด ถึงจะมีก็จะต้องมีความซับซ้อนมากยากต่อการเข้าใจ วงจรสมมูลแบบง่ายๆของดีมอสสามารถแสดงได้ดังรูปที่ 2.2

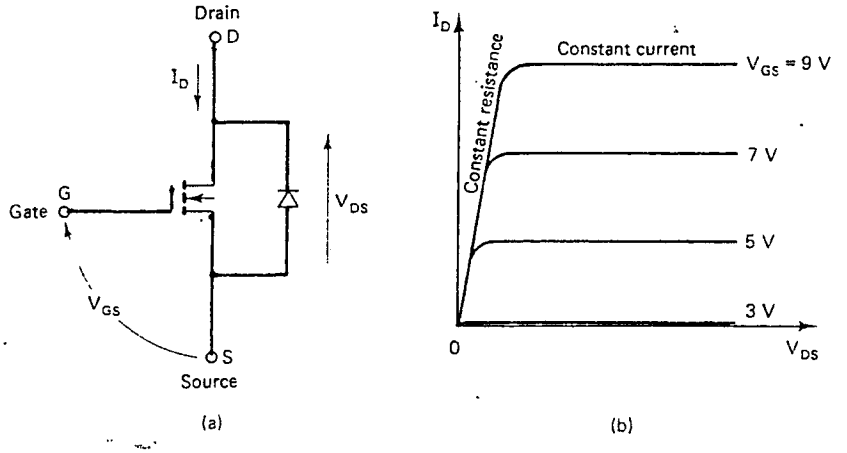


รูปที่ 2.2 วงจรสมมูลแบบง่าย ๆ ของดีมอส

2.1.1 <u>คุณสมบัติทางเอ้าท์พุท</u>

คุณสมบัติทางเอ้าท์พุทจะให้ข้อมูลที่สำคัญกับเรามากมาย คุณสมบัติดังกล่าวจะพิจารณาความสัมพันธ์ ระหว่างกระแสเดรนและศักดาที่เดรนสามารถแสดงความสัมพันธ์ได้ ดังรูปที่ 2.3 ขณะศักดาที่เดรนมีค่าต่ำๆ กระแสเดรนจะแปรผันตามศักดาที่เดรนเรียกว่า ช่วงเชิงเส้นส่วนช่วงที่กระแสเดรนมีค่าค่อนข้างคงที่ไม่แปรผันตามศักดาที่เดรนจะเรียกว่าช่วงอิ่มตัว

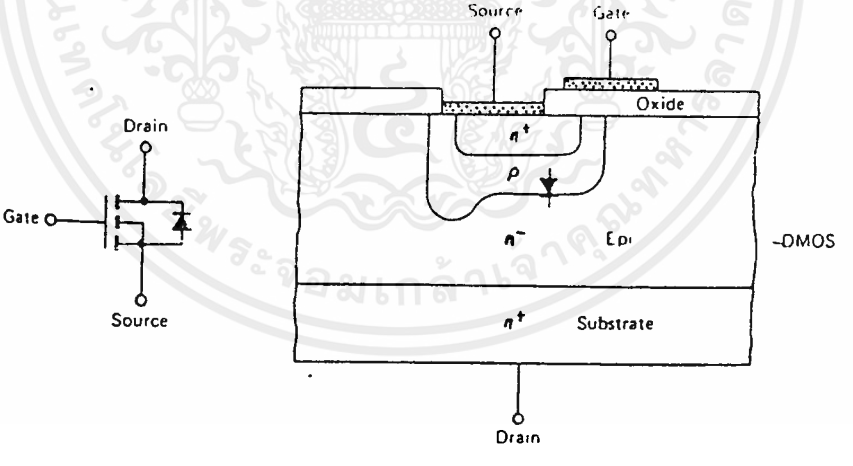
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.3 กราฟคุณสมบัติของดีมอส

2.1.2 ลักษณะแฝงในดีมอส

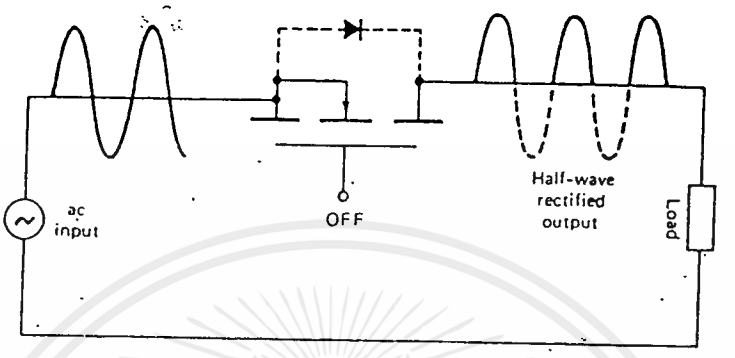
ไดโอดแฝง ไดโอดแฝงได้รับการไบอัสตรง กระแสจะสามารถไหลผ่านรอยต่อนี้ได้อย่างมากมาย แต่ถ้าศักดาไบอัสกลับขั้วอย่างทันทีทันใดจะทำให้ไดโอดได้รับการไบอัสย้อนกลับ มีผลทำให้ประจุพาหะที่บริเวณรอยต่อถูกกวาดออกจากบริเวณปลอดพาหะ เวลาที่ใช้ในการกวาดประจุพาหะนี้จะมีความสำคัญต่อการทำงานของดีมอส



รูปที่ 2.4 ไดโอดแฝงในดีมอส

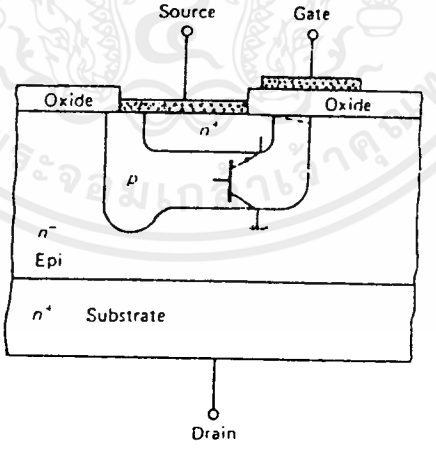
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ปัญหาอีกอย่างหนึ่งของไดโอดแฝงในดีมอส คือ เมื่อเราใช้ดีมอสเป็นอนาล็อกสวิทช์ (analog switch) จะทำให้ดีมอสแสดงคุณสมบัติของการเร็คติไฟร์ (Rectified) ดังแสดงในรูปที่ 2.5 ทำให้ดีมอสไม่ได้แสดงคุณสมบัติของการสวิทช์อย่างแท้จริง



รูปที่ 2.5 ผลกระทบของไดโอดแฝง

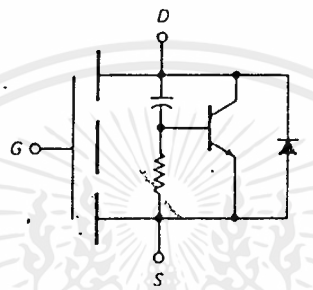
<u>ทรานซิสเตอร์แฝง</u> ในเอ็นแชนแนลดีมอสจะพบว่าทรานซิสเตอร์แฝงเป็น NPN ทรานซิสเตอร์ ส่วนในพีแชนแนลดีมอสจะมีทรานซิสเตอร์แฝงเป็น PNP ทรานซิสเตอร์ ในรูปที่ 2.6 แสดงให้เห็นทรานซิสเตอร์แฝงดังกล่าว



รูปที่ 2.6 ทรานซิสเตอร์แฝงในดีมอส

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ทรานซิสเตอร์แฝงดังกล่าวจะต่ออยู่ในลักษณะขนานกับดีมอส เพื่อลดผลกระทบของทรานซิสเตอร์แฝงดังกล่าวจึงมีการช็อตระหว่างขั้วซอสกับบอดี้ อย่างไรก็ตามผลของทรานซิสเตอร์แฝงดังกล่าวยังไม่หมดไปเลยทีเดียว ดังนั้นในการใช้งานดีมอส จึงควรระมัดระวังผลดังกล่าวด้วย จากที่กล่าวมาจะสามารถแสดงวงจรสมมูลย์ของดีมอสได้ดังรูปที่ 2.7



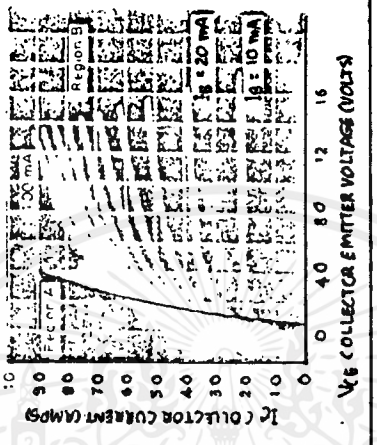
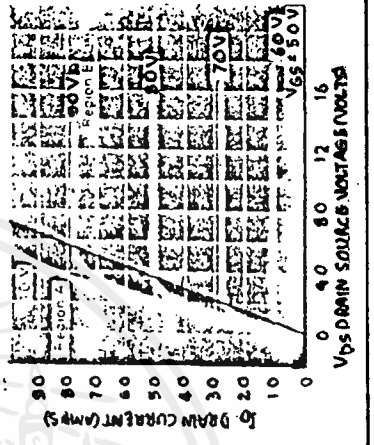
รูปที่ 2.7 วงจรสมมูลย์ของดีมอส

2.1.3 ข้อเปรียบเทียบระหว่างไบโพลาร์เพาเวอร์ทรานซิสเตอร์กับเพาเวอร์มอสเฟท

เพาเวอร์มอสเฟทเป็นอุปกรณ์ที่อาศัยการทำงานของประจุพาหะส่วนมาก ทำให้ไม่มีเวลาหน่วงที่เกิดจากประจุพาหะส่วนน้อย ดังนั้นจึงมีความเร็วในการสวิทช์ที่ดีกว่าไบโพลาร์ทรานซิสเตอร์ เพาเวอร์มอสเฟทจะมีค่าทรานคอนดัคแตนซ์ที่คงที่ในช่วงของกระแสและโวลท์ใช้งาน

ไบโพลาร์ทรานซิสเตอร์จะพบปัญหาของ thermal runaway และ Secondary breakdown ทำให้การใช้งานมีข้อจำกัดลงไป แต่ในเพาเวอร์มอสเฟทกระแสจะมีค่าลดลงเมื่ออุณหภูมิมีค่าสูงขึ้น มีผลทำให้ลดปัญหาของ thermal runaway เพราะว่าเพาเวอร์มอสเฟทมีสัมประสิทธิ์ของอุณหภูมิเป็นลบ ทำให้เพาเวอร์มอสเฟทสามารถนำมาต่อขนานกันได้อย่างง่ายดายเพื่อเพิ่มกำลังทางเอาท์พุทให้สูงขึ้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

คุณสมบัติ	ไบโพลาร์เพาเวอร์ ทรานซิสเตอร์	เพาเวอร์มอสเฟท
คุณสมบัติทางเอ้าท์พุท		
ราคา	ตั้งแต่ต่ำจนสูง	โครงสร้างซับซ้อนกว่าราคาจึงยังสูงกว่า
DRIVE	ยุ่งยาก, มีผลต่อความเร็วและพื้นที่ปลอดภัย (SOA)	ง่าย, อิสระจากกระแสโหลด, ภาคขับไม่มีผลต่อพื้นที่ปลอดภัย
ความเร็ว	ถูกจำกัดด้วย Storage Time และค่า C ภายในที่สูงกว่า	เร็วกว่าเพราะไม่มี Storage Time, ไม่ไวต่ออุณหภูมิ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

คุณสมบัติ	ไบโพลาร์เพาเวอร์ ทรานซิสเตอร์	เพาเวอร์มอสเฟท
พื้นที่ปลอดภัย (SOA)	ถูกจำกัดอยู่ที่ Second breakdown	กำลังงานถูกจำกัดที่ I_{DM}/V_{DSS} ในสภาวะ"on"
blocking voltage	2 เท่าของ V_{CEO}	จำกัดอยู่ที่ BV_{DSS} ทุกเงื่อนไข
On-voltage	มีค่าต่ำลงสำหรับอุปกรณ์ที่ใช้กับแรงดันสูง มีสัมประสิทธิ์ทางอุณหภูมิเป็นบวก	สัมประสิทธิ์อุณหภูมิเป็นลบมีค่าต่ำลงได้สำหรับอุปกรณ์ใช้แรงดันต่ำ
การต่อขนาน	ซับซ้อนกว่า	ต่อขนานกันได้โดยตรงโดยมีการป้องกันเล็กน้อย
เสถียรภาพทางอุณหภูมิ	ต้องมีการป้องกันไว้ล่วงหน้า	ไม่ไวต่อการเกิด thermal runaway

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เปรียบเทียบพารามิเตอร์

COLLECTOR	DRAIN
EMITTER	SOURCE
BASE	GATE
$V_{(BR)CES}$	$V_{(BR)DSS}$
V_{CBO}	V_{DGO}
I_C	I_D
I_{CES}	I_{DSS}
I_{EBO}	I_{GSS}
V_{BE}(ON)	V_{GS}(th)
V_{CE}(sat)	V_{DS}(on)
C_{ib}	C_{iss}
C_{ob}	C_{oss}
h_{fe}	g_{fs}

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

032615

2.2 หลักการ DRIVE POWER MOSFET

POWER MOSFET มีคุณลักษณะสมบัติหลายประการแตกต่างไปจากอุปกรณ์ไบโพลาร์ซึ่งปกติต้องการสัญญาณขับในลักษณะแรงดันต่ำแต่กระแสสูง ในขณะที่ POWER MOSFET ต้องการสัญญาณแรงดันสูงโดยดึงกระแสอินพุทต่ำ ซึ่งในการออกแบบวงจรที่ขับ POWER MOSFET นั้น จะต้องพิจารณาถึงสิ่งต่าง ๆ ต่อไปนี้

1. ความต้านทานเอาท์พุทของวงจรขับ POWER MOSFET ต้องมีค่าต่ำ เนื่องจากPOWER MOSFET ใช้พื้นที่ชิปค่อนข้างใหญ่ดังนั้นการ DRIVE POWER MOSFET จึงเสมือนการขับวงจร CAPACITIVE REACTANCE NETWORK เนื่องจาก C ที่ขาเกทของตัวอุปกรณ์นั่นเอง

2. แรงดันไฟฟ้าที่ป้อนเข้าที่ขาเกทต้องมีค่าไม่เกิน 10 หรือ 20 โวลท์ ขึ้นอยู่กับอุปกรณ์ เนื่องจากชั้นฉนวนที่ทำเป็นเกทนั้นใช้สารออกไซด์ที่มีความหนาน้อยกว่า 0.001 นิ้วจึงอาจจะขาดในได้หากป้อนแรงดันเข้าระหว่างเกทกับซอร์สเกิน 10 หรือ 20 โวลท์

3. ค่าPOWER LOSS ที่ POWER MOSFET (P_D) ต้องมีค่าเป็นไปตามสมการ

$$T_c + P_D * r(t) * R_{\theta jc} < T_{jmax}$$

ค่า $T_{jmax.}$, $R_{\theta jc}$ ดูจาก DATA BOOK

r(t) ดูจาก THERMAL RESPONSE CURVE

สำหรับการเลือก POWER MOSFET ในการใช้งานต่าง ๆ นั้นมีข้อพิจารณาดังนี้

1. ค่าศักดาไฟฟ้าสูงสุดระหว่างเดรนกับวอร์ส ซึ่งในการใช้งานจริงนั้นจะต้องระวังTRANSIENT VOLTAGE จาก POWER SUPPLY โดยส่วนมากแล้วจะนิยมเผื่อค่าใน SPEC ไว้ประมาณ 3 เท่าเมื่อเทียบกับค่าที่ใช้งานจริง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2. ศักดาสูงสุดของกระแสเดรน ซึ่งมีค่าขึ้นกับค่าความกว้างของพัลส์ คุณสมบัติของอุปกรณ์และ THERMAL RESISTANCE

3. ค่าความต้านทานขณะทำงานระหว่างขาเดรนกับซอร์ส(DRAIN-TO-SOURCE RERSISTANCE)ซึ่งเป็นตัวจำกัดกระแสไฟฟ้าเมื่อศักดาไฟฟ้าระหว่างขาเดรนกับซอร์สมีค่าต่ำ

4. อุณหภูมิที่ตัวถัง

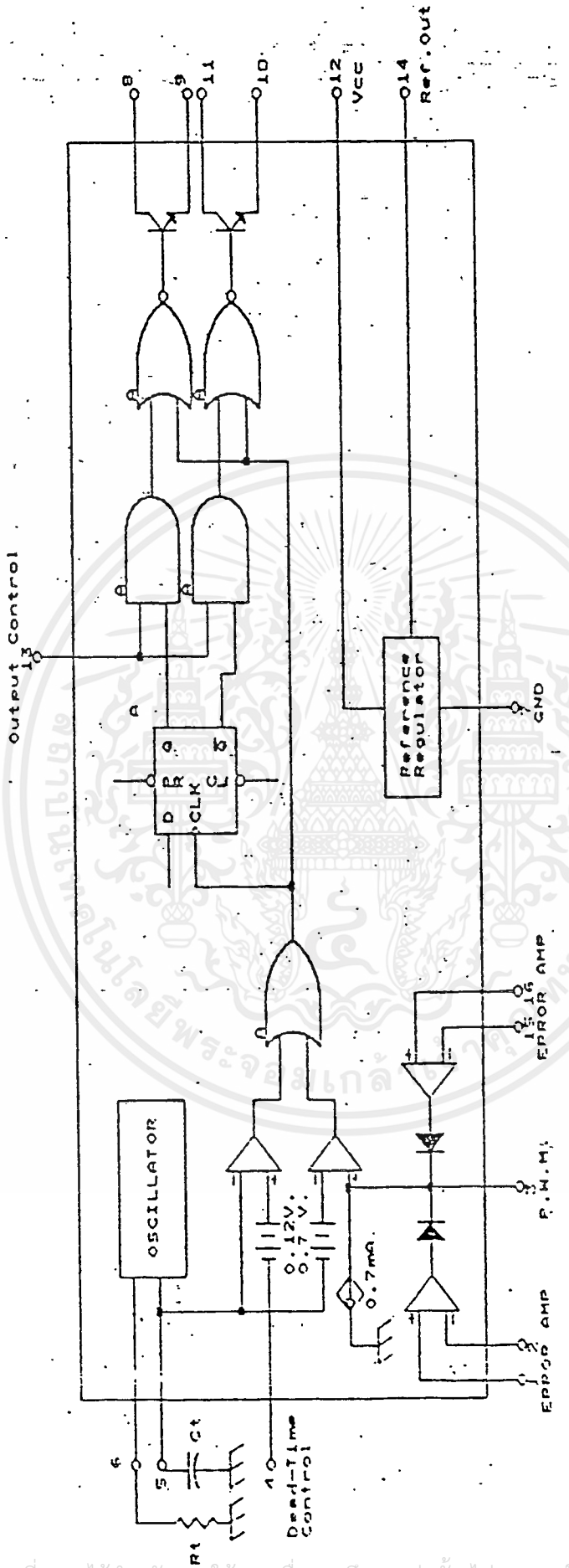
2.3 TL 494 ตัวกำเนิดพลัลส์

TL 494 เป็นวงจรควบคุม PULSE WIDTH MODULATION โดยความถี่ไม่เปลี่ยนแปลง ซึ่งเป็นส่วนประกอบที่สำคัญใน SWITCHING POWER SUPPLY ภายในจะมีวงจรกำเนิดสัญญาณ SAW TOOTH โดยสามารถเลือกค่าความถี่ของสัญญาณได้จากค่า R_t และ C_t ที่ต่อจากภายนอกโดยค่าความถี่ของสัญญาณ SAW TOOTH จะเท่ากับ

$$Fosc = 1.1 / (Rt*Ct)$$

BLOCK DIAGRAM ของ TL 494 แสดงได้ดังรูปที่ 2.8 ซึ่งสามารถอธิบายได้ดังนี้เทียบขนาดของสัญญาณ SAW TOOTH ด้านบวกกับสัญญาณควบคุม 2 สัญญาณ ได้แก่ สัญญาณ FEEDBACK / P.W.M. COMPARATOR INPUT และ สัญญาณ DEAD-TIME CONTROL โดยเมื่อใดที่ขนาดของสัญญาณ SAW TOOTH มีค่ามากกว่าขนาดของสัญญาณควบคุม 2 สัญญาณนี้แล้ว ก็จะทำให้มีสัญญาณเอาท์พุทเกิดขึ้น คือ ทรานซิสเตอร์ Q1 ทำงาน (ทรานซิสเตอร์ Q1 และ Q2 จะสลับช่วงการทำงานกัน) ซึ่งการเพิ่มขนาดของสัญญาณควบคุม 2 สัญญาณนี้จะทำให้เกิดการลดลงของความกว้างของสัญญาณพัลส์เอาท์พุทอย่าง LINEAR

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.8 BLOCK DIAGRAM ของ TL 494

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สัญญาณควบคุม 2 สัญญาณนี้ เป็นสัญญาณที่ป้อนจากภายนอก โดยสามารถป้อนเข้าทางขา DEADTIME CONTROL (ขา 4) , ขา ERROR AMPLIFER INPUT (ขา 1,2,15,16) หรือขา FEEDBACK INPUT (ขา 3) เนื่องจาก DEAD TIME CONTROL COMPARATOR มีค่าออฟเซ็ทประมาณ 120 mV ซึ่งจะทำให้ค่าสูงสุดของ DUTY CYCLE ของสัญญาณเอาท์พุทมีค่าไม่ถึง 100 เปอร์เซนต์ คือ จะมีค่าประมาณ 96 เปอร์เซนต์เมื่อขา OUTPUT CONTROL (ขา 13) ต่อกับกราวน์ และเป็น 48 เปอร์เซนต์ เมื่อขา OUTPUT CONTROL ต่อกับ REFERENCE LINE (Verf) นอกจากนี้ค่า DEAD TIME ของสัญญาณเอาท์พุทของ TL 494 อาจถูกควบคุมด้วยสัญญาณอินท์พุทที่ป้อนที่ขา DAED TIME CONTROL โดยตั้งค่าศักดาไฟฟ้าที่ป้อนเข้าที่ขานี้ให้มีค่าอยู่ในช่วง 0 ถึง 3.5 VOLT

เอาท์พุทของ PWM COMPARATOR จะเป็นค่าเฉลี่ยของเอาท์พุทของ ERROR AMP ซึ่งค่าศักดาไฟฟ้าที่จุดนี้จะมีผลต่อค่าความกว้างของพัลส์เอาท์พุท ซึ่งการปรับค่าเวลา ON TIME จากค่าสูงสุดถึงศูนย์ทำได้โดยปรับค่าศักดาไฟฟ้าที่ขา FEEDBACK INPUT ให้มีค่าจาก 0.5 ถึง 3.5 โวลท์ โดยที่ ERROR AMPLIFIER 2 ตัวนี้ สามารถ SENSE เอาท์พุทได้ทั้งศักดาไฟฟ้าเอาท์พุทและกระแสไฟฟ้าเอาท์พุท วงจร TL 494 นี้สามารถทำงานได้ 2 ลักษณะ คือ

1. PUSH-PULL MODE

เป็นลักษณะการทำงานที่ทรานซิสเตอร์ Q1 และ Q2 สลับกันทำงาน ซึ่งจะให้ค่า DUTY CYCLE สูงสุดของสัญญาณเอาท์พุทมีค่าประมาณ 50 เปอร์เซนต์ และความถี่ของสัญญาณ เอาท์พุทจะเป็นครึ่งหนึ่งของความถี่ของสัญญาณ SAW TOOTH นั่นคือ สัญญาณเอาท์พุทจะมีความถี่เท่ากับ

$$Fo = 1.1 / (2*Rt*Ct)$$

ซึ่งทำได้โดยการต่อขา OUTPUT CONTROL (ขา 13) เข้าที่ Verf

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2. SINGLE-END MODE

เป็นลักษณะการทำงานที่ทรานซิสเตอร์ Q1 และ Q2 แยกกันทำงาน คือ จะเอาสัญญาณเอาท์พุทออกจากทรานซิสเตอร์ตัวใดก็ได้ แต่ลักษณะของสัญญาณเอาท์พุทที่ได้จะกลับเฟสกัน ค่าความถี่ของสัญญาณเอาท์พุทจะเท่ากับความถี่ของสัญญาณ SAW TOOTH นั่นคือสัญญาณเอาท์พุทจะมีความถี่เท่ากับ

$$Fo = 1.1 / (Rt*Ct)$$

ซึ่งค่า DUTY CYCLE สูงสุดของสัญญาณจะมีค่าประมาณ 50 เปอร์เซนต์ ซึ่งทำได้โดยการต่อขา OUTPUT CONTROL ลงกราวน์ในลักษณะการทำงานแบบ SINGLE-END นี้สามารถเพิ่มปริมาณกระแสไฟฟ้าที่จ่ายได้ และสามารถเพิ่มค่าสูงสุดของ DUTY CYCLE เป็นประมาณ 90 % ได้โดยการนำทรานซิสเตอร์ Q1 และ Q2 มาต่อขนานกัน

2.4 หลักการและการออกแบบ LF398

สำหรับการแสดงกระแสไฟฟ้าชั่วขณะ สัญญาณเอาท์พุทที่ออกมามีลักษณะเป็น PULSE ด้วย สำหรับส่วนแสดงผลของส่วนดึงกระแสไฟฟ้าชั่วขณะจะต้องมีส่วนที่ทำการคงค่า PEAK CURRENT ไว้ในช่วงที่ไม่ได้ดึงกระแสไฟฟ้า (PULSE ที่ช่วง OFF) เพื่อให้ศักดาไฟฟ้าก่อนที่เข้าตัวแสดงผลมีลักษณะเป็นระดับไฟฟ้าคงที่

ในโครงการนี้ใช้ไอซี LF 398 ซึ่งภายในเป็นวงจร SAMPLE AND HOLD โดย LF398 แสดงค่า PEAK VOLTAGE (PEAK CURRENT * Rs) ของสัญญาณอินท์พุทซึ่งมีลักษณะเป็นพัลส์ออกเป็นระดับศักดาไฟฟ้าที่คงที่ โดยหลักการทำงาน 2 ช่วง คือ

1. ช่วง SAMPLE จะอ่านศักดาไฟฟ้าอินท์พุทเข้าที่ขา 3 ของ LF398 แสดงออกที่ เอาท์พุท (ขา5)

2. ช่วง HOLD ช่วงนี้ LF 398 จะทำหน้าที่คงค่าศักดาไฟฟ้าอินท์พุทที่อ่านมาไว้ใน ช่วง SAMPLE แล้วแสดงออกที่เอาท์พุท

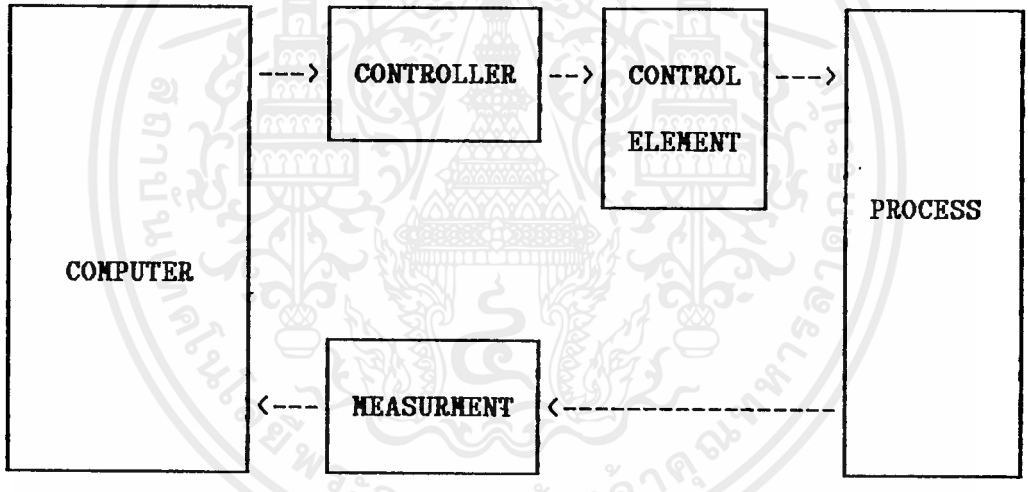
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ข้อจำกัดของ LF 398 คือจะใช้ไม่ได้ที่เมื่อสัญญาณอินท์พุทมีค่า DUTY CYCLE ลดลงถึง 0 เปอร์เซนต์

การทำงานของ LF 398 นั้นต้องป้อนสัญญาณ LOGIC ซึ่งมีลักษณะเหมือนหรือกลับเฟสกับสัญญาณอินท์พุท (คือต้องมีความถี่เท่ากัน) เข้าที่ขา 8 หรือขา 7 ของ LF398 ตามลำดับเพื่อให้ได้เอาท์พุทแสดงค่า PEAK VOLTAGE INPUT

LF 398 สามารถกำหนดการอ่านค่า จากสัญญาณอินท์พุท (ACQUISITION TIME) ได้จากค่า HOLD CAPACITOR (C_H) ซึ่งต่อกับขา 6 ขา LF 398 ซึ่งค่า C_H น้อย ค่าเวลาในการอ่านก็น้อย แต่ถ้า C_H มีค่ามากเวลาในการอ่านก็มาก โดยปกติเพื่อป้องกันความผิดพลาดจากสาเหตุ HOLD CAPACITOR ชนิดที่ใช้เป็นพวก POLYASTYENE, POLYPROPYLENE หรือ TEFLON

2.5 PROCESS CONTROL SYSTEM



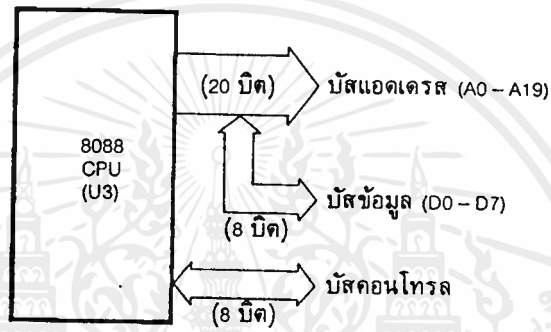
รูปที่ 2.9 แสดง BLOCK DIAGRAM ของ PROCESS CONTROL SYSTEM

Process	process block จะแสดงถึง process ทั้งหมด
Measurment	measurement block จะแสดงถึงการกระทำที่จำเป็นในการกำหนดการแสดงค่า output ของ process นี้จะเป็น voltage,current or digital signal ก็ได้
Control Element	เป็นส่วนที่ส่งสัญญาณควบคุม process

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.6 การจัดโครงสร้างบนไมโครคอมพิวเตอร์

8088 เป็นซีพียูที่ได้รับการพัฒนาให้มีการรับส่งข้อมูลผ่านบัสข้อมูลเพียง 8 bit โครงสร้างบัสที่ออกจากซีพียูจะแยกกลุ่มออกเป็น 3 กลุ่มคือบัสข้อมูล(Databus) บัสแอดเดรสและบัสควบคุมบัส ข้อมูลแยกออกมาจากแอเดรสดดยมีขนาดเพียง 8 bit ส่วนบัสควบคุมก็มี 8 bit เช่นกัน แต่สำหรับแอเดรสจะมีทั้งสิ้น 20 bit

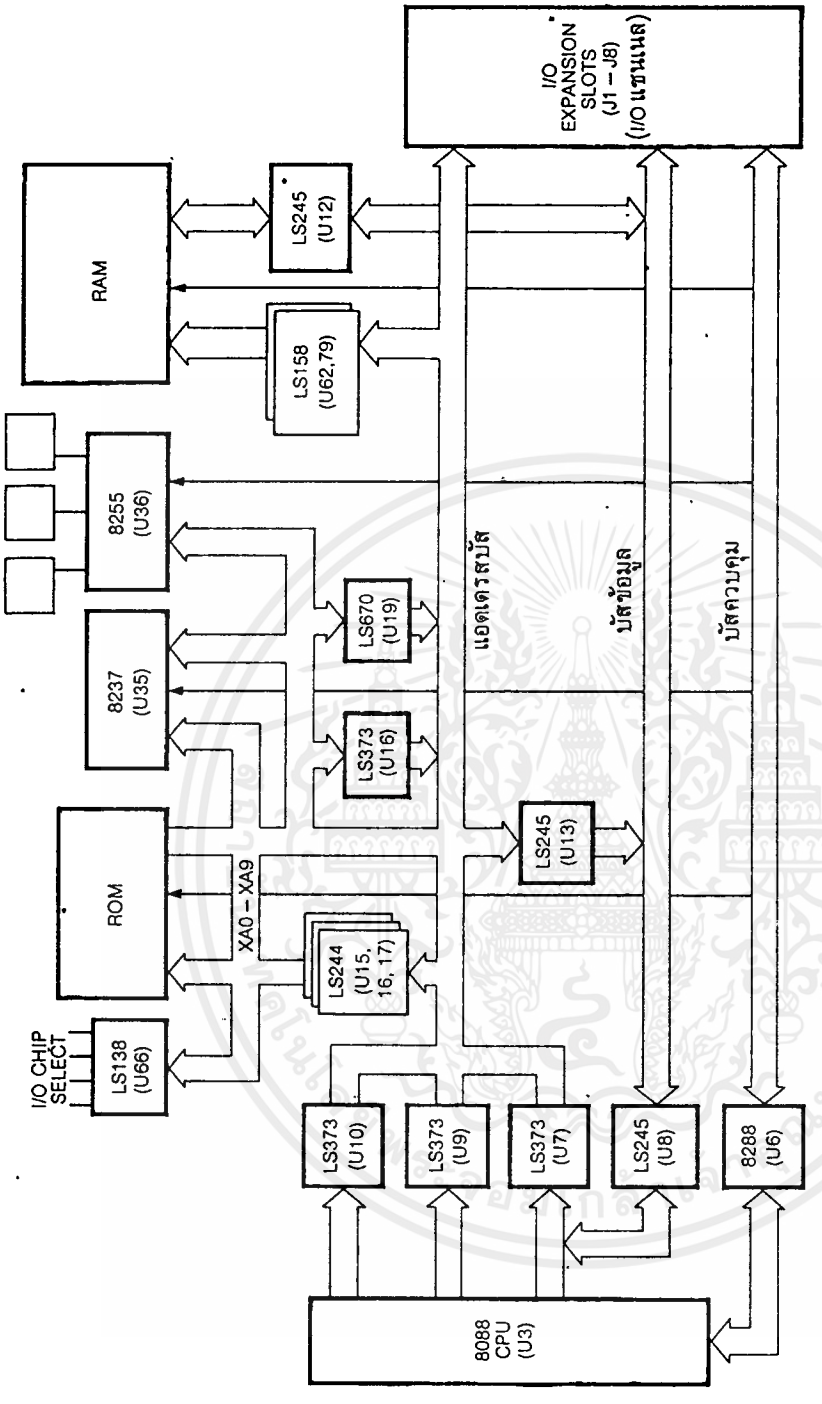


รูปที่ 2.10 โครงสร้างระบบบัสของ CPU 8088

ระบบบัสทั้งหมดของเครื่อง IBM PC ทุกเครื่องจะมีการผ่านบัฟเฟอร์อีกครั้ง โครงสร้างของบัสเมื่อเขียนเป็นไดอะแกรมได้ดังรูป 2.11

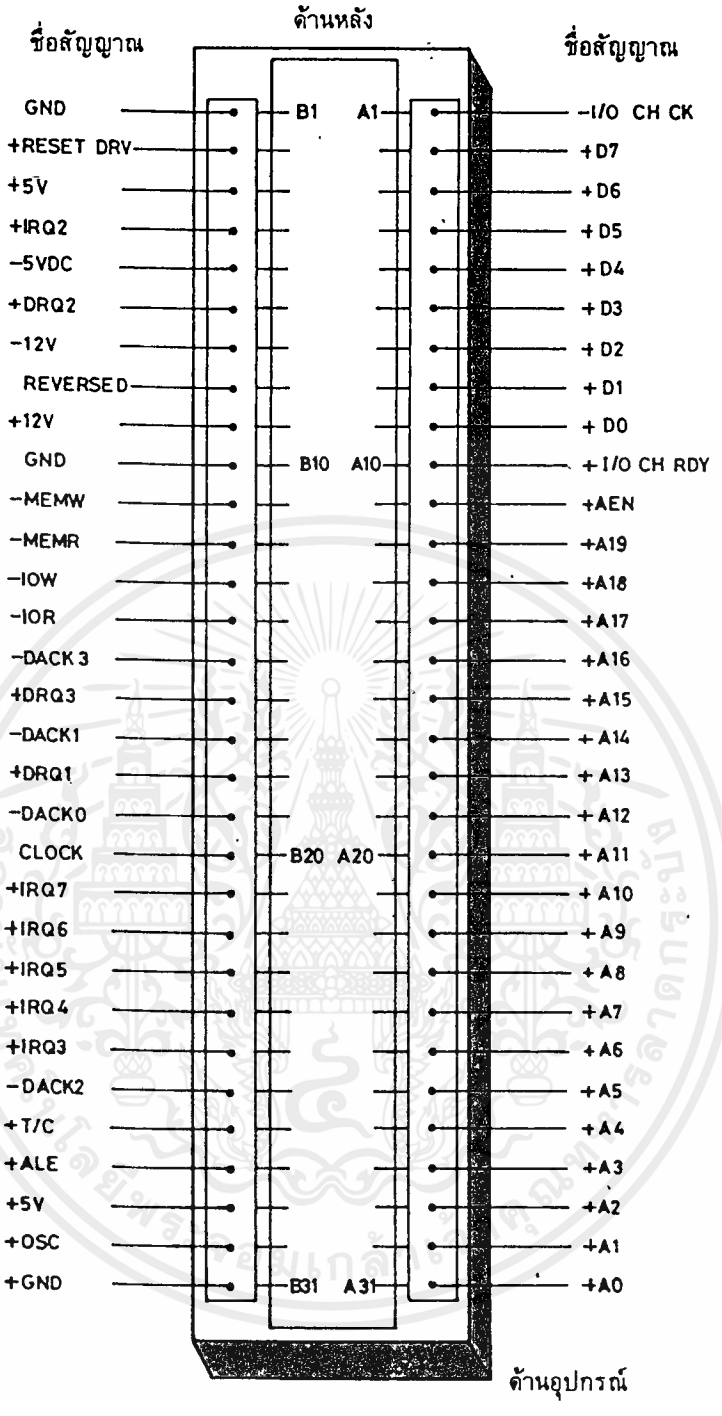
โครงสร้างของบัสจะเชื่อมต่อเพื่อให้ผู้ใช้สามารถขยายเพิ่มเติมได้ โดยมีการต่อเชื่อมกับสล็อต โครงสร้างของสล็อตที่ออกแบบโดยไอบีเอ็มนี้เน้นรูปแบบให้อินพุตเอาต์พุตเชื่อมเข้ากับระบบได้ง่าย โดยมีบัสข้อมูลแบบสองทิศทาง 8 bit แอดเดรส 20 bit มีอินเตอร์รัพต์ 6 ระดับ มีส่วนสัญญาณควบคุม สำหรับการเขียน อ่าน อินพุตเอาต์พุต และหน่วยความจำ มีสัญญาณนาฬิกาและสายสัญญาณกำหนดเวลา มีแชนเนลการกำหนด DMA มีสัญญาณการควบคุมการรีเฟรชหน่วยความจำ มีสายตรวจสอบสล็อต สายไฟเลี้ยง ขนาดของสล็อตเป็นสล็อตขนาด 62 ขาโดยมีการจัดเรียงตำแหน่งขาดังรูป 2.12

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.11 โครงสร้างระบบบัสของไอบีเอ็มพีซี

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.12 แสดงสายสัญญาณเชื่อมต่อที่สล็อต

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตารางที่ 2.1 ความหมายของสัญญาณต่างๆ

ชื่อสัญญาณ	i/o	ความหมาย
OSC	o	สัญญาณนาฬิกามีความกว้าง70 ns ความถี่ 14.31818 MHz
CLK	o	สัญญาณนาฬิกาของระบบ มีความถี่ 4.77 MHz มีช่วงคาบ 210 ns
RESET DRV	o	สายสัญญาณนี้ใช้ในการรีเซตระบบ ในขณะเริ่มเปิดเครื่อง
A0-A19	o	แอดเดรสบัส A0-A19
D0-D7	I/o	บัสข้อมูลบิต 0-7
ALE	o	ทำการแลทช์แอดเดรสเป็นสัญญาณที่กำหนดค่าแอดเดรส
I/O CHCK	I	เป็นสัญญาณตรวจสอบแชนเนล I/O สัญญาณนี้จะมีผลต่อเนื่องมา เพื่อควบคุมระบบโดยส่งผลมาในลักษณะParity Error
I/O CHARD	I	สัญญาณนี้ปกติเป็น"0" สัญญาณนี้จะทำให้เกิดการชิงโครไนซ์อุปกรณ์อินพุตเอาต์พุตที่ทำงานช้าให้เข้ากับระบบได้
IRQ2-IRQ7	I	เป็นสัญญาณของอินเตอร์รัพต์ 2 ถึง 7
IOR	o	สัญญาณอ่านอินพุต เอาต์พุต
IOW	o	สัญญาณการเขียนอินพุต เอาต์พุต
MEMR	o	สัญญาณอ่านหน่วยความจำ
MEMW	o	สัญญาณการเขียนหน่วยความจำ
DRQ1-DRQ3	I	สัญญาณตอบรับการขอ DMA 1 ถึง 3
DACK0-DACK3	o	สัญญาณตอบรับการขอ DMA 0 ถึง 3
AEN	o	สัญญาณการอีนาเบิลแอดเดรส
T/C	o	สัญญาณการนับเทอร์มินัล
CARD SLCTD	I	สัญญาณเลือกการ์

สายสัญญาณที่เหลือคือ สายสัญญาณไฟเลี้ยงที่จ่ายให้กับระบบที่จะเชื่อมต่อและสายกราวนด์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

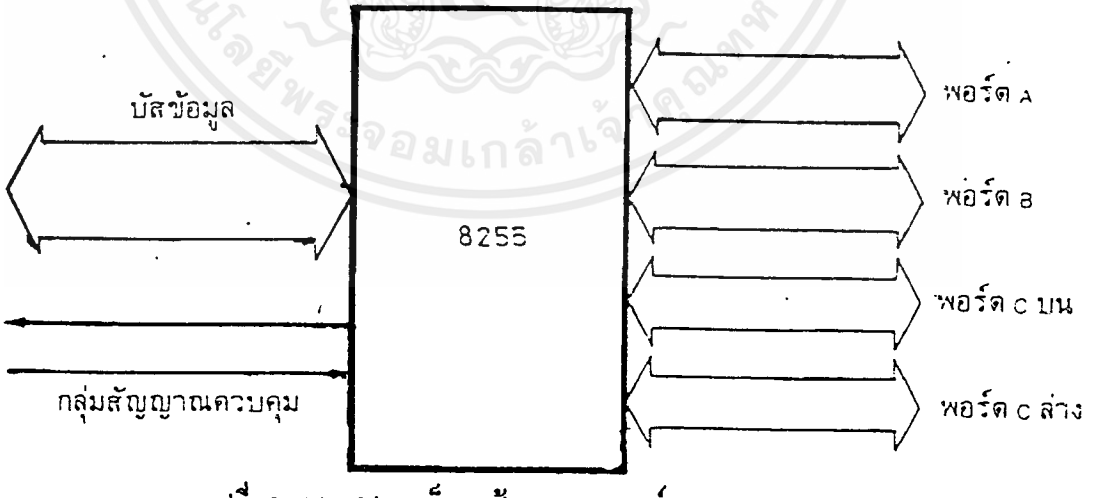
2.7 8255 พอร์ทแบบขนานที่โปรแกรมได้

ในการนำเอาไมโครโปรเซสเซอร์ไปใช้งานนั้น จำเป็นต้องให้ไมโครโปรเซสเซอร์สามารถติดต่อกับโลกภายนอกได้ ซึ่งก็คือ ให้มันสามารถส่งสัญญาณมาควบคุมอุปกรณ์ต่าง ๆ ได้ เช่นเสต็ปปิ้งมอเตอร์, ควบคุมอุปกรณ์ไฟฟ้าต่าง ๆ ส่วนที่ทำได้ไมโครโปรเซสเซอร์สามารถติดต่อกับโลกภายนอกได้ที่รู้จักกันดี คือพอร์ท (Port) มีบริษัทต่างๆ เล็งเห็นความสำคัญของการติดต่อระหว่าง CPU กับอุปกรณ์ภายนอกนี้จึงได้ทำไอซีสำเร็จรูปขึ้นหลายเบอร์ และที่จะขอนำมากล่าวในที่นี้ก็คือไอซีเบอร์ 8255 ซึ่งเป็นของบริษัทอินเทล ซึ่งได้ออกแบบมาใช้ CPU เบอร์ 8080 แต่เราสามารถนำมาประยุกต์ใช้กับเบอร์อื่น ๆ ได้โดยไม่ยาก

สาเหตุที่ 8255 เป็นที่นิยมมากก็เพราะว่ามันสามารถถูกโปรแกรมให้ทำงานในลักษณะต่าง ๆ ไม่ว่าจะเป็น อินพุท, เอ้าพุท หรือแม้แต่แบบ แฮนด์เชคกิ้ง (Handshaking) ได้ทั้งยังราคาถูกอีกต่างหาก

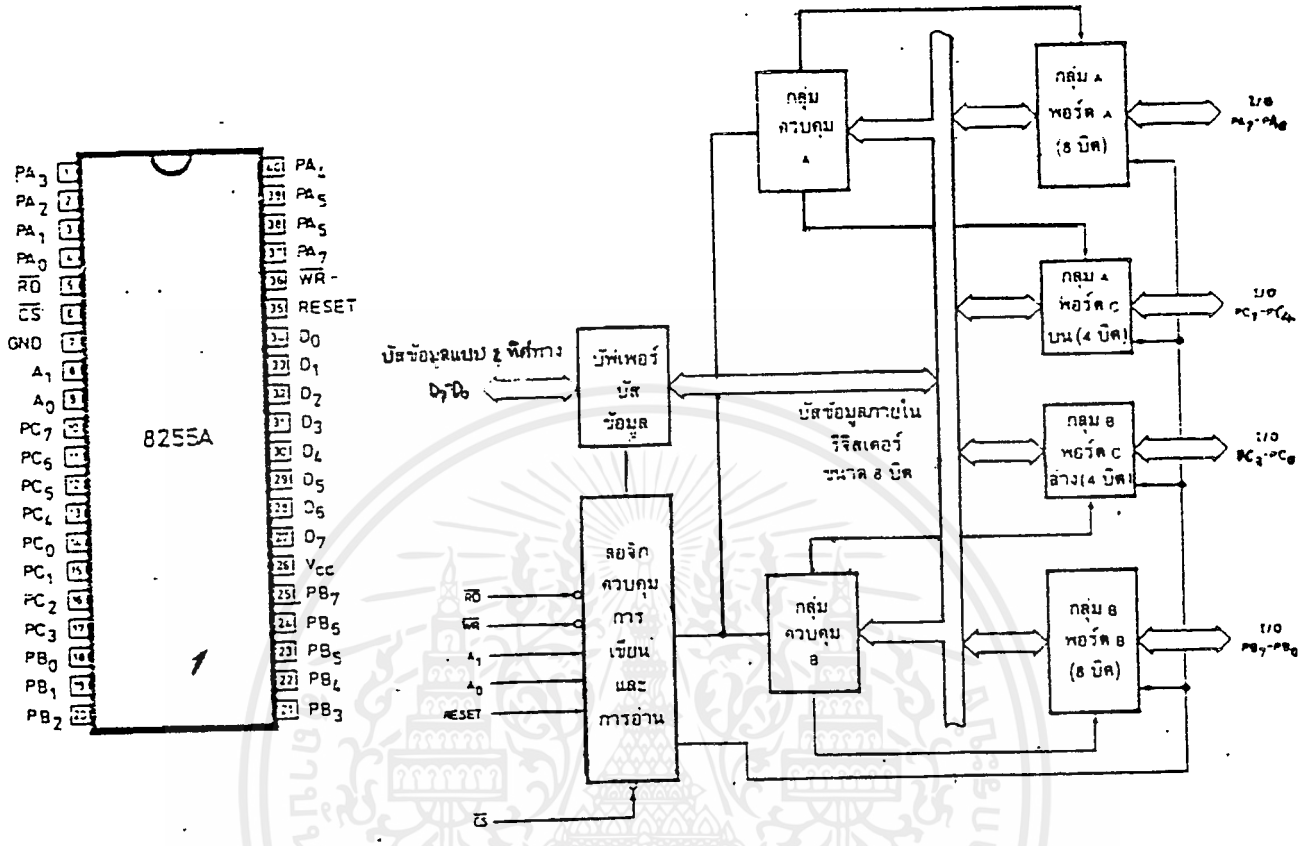
2.7.1 ลักษณะทั่วๆไปของ 8255

เป็นไอซีขนาด 40 ขา ตัวแบน โดยแยกเป็นลักษณะของบล็อกง่าย ๆ ดังรูปที่2.13 คือจะมีพอร์ทให้ใช้งานได้ถึง 3 พอร์ท (เป็นขนาด 8 บิท) พอร์ท A, พอร์ท B, พอร์ท Cโดยพอร์ท C นี้สามารถแยกได้เป็น 2 ส่วน คือพอร์ท C บน ตั้งแต่ PC_4-C_7 จำนวน 4 บิท และอร์ท C ล่างตั้งแต่ PC_0-PC_3 โดยพอร์ททุกอร์ท (A,B,C) สามารถโปรแกรมได้ให้เป็น อินพุทหรือเอ้าพุท ซึ่งจะได้กล่าวถึงการโปรแกรมในรายละเอียดต่อไป



รูปที่ 2.13 แสดงบล็อกเส้นทางของพอร์ท 8255

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.14 แผนผังวงจรภายในและการจัดขาของ IC8255

ในรูปที่ 2.14 จะเห็นโครงสร้างภายในที่แสดงถึงกลุ่มควบคุมที่มีอยู่ 3 กลุ่มคือ

-กลุ่มควบคุมชุด A จะควบคุมพอร์ท A และพอร์ท C บน

-กลุ่มควบคุมชุด B จะควบคุมพอร์ท B และพอร์ท C ล่าง

-กลุ่มควบคุมโลจิกการเขียนและอ่าน

การทำงานของ 8255 จะใช้สัญญาณควบคุมจากตัวไมโครโปรเซสเซอร์มาควบคุมโดยจะมีการส่งคำสั่ง (Control word) มาที่กลุ่มควบคุมชุด A,B แล้วกลุ่ม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เป็นอินพุท พอร์ท B เป็นเอ้าพุทเหล่านี้เป็นต้น ส่วนกรณีเมื่อมีการอ่านเขียนพอร์ทจาก CPU นั้น กลุ่มควบคุมโลจิกการเขียนอ่านจะเป็นตัวที่ส่งสัญญาณไปบอกแก่กลุ่มควบคุมชุด ในแต่ละชุดอีกที ทั้งนี้แล้วแต่ว่า CPU จะมีการอ่านเขียนพอร์ทของกลุ่มควบคุมชุดใด

ต่อไปเรามาดูถึงความหมายของ ขาต่าง ๆ ของไอซี 8255 เพื่อจะได้ต่อใช้งานได้อย่างถูกต้องต่อไป

DO-D7 เป็นขาข้อมูลของ 8255 ที่ใช้ติดต่อกับตัวไมโครโปรเซสเซอร์ซึ่งข้อมูลที่จะ เข้าออกสู่พอร์ทต่าง ๆ ของ 8255 จะต้องผ่านขาข้อมูลนี้

CS เป็นขาอินพุทที่รับสัญญาณโลจิก "0" จากภายนอกเพื่อแสดงว่าต้องการเลือกใช้ไอซีเบอร์หากได้รับโลจิก "1" ก็จะทำให้ไอซีตัวนี้ไม่ทำ งานคือไม่รับรู้สัญญาณใด ๆ ทั้งสิ้น

RD เป็นขาอินพุทที่รับสัญญาณจากตัวไมโครโปรเซสเซอร์โดยหากมีโลจิกเป็น "0" จะเป็นการแสดงว่า CPU ต้องการที่จะอ่านข้อมูลจากตัว 8255

WR เป็นขาอินพุทที่รับสัญญาณจากตัวไมโครโปรเซสเซอร์โดยหากมีโลจิกเป็น "0"ก็ จะเป็นการแสดง CPU ต้องการที่จะเขียนข้อมูลจากตัว 8255

A0-A1 เป็นอินพุทที่รับแอดเดรสจาก ตัวไมโครโปรเซสเซอร์ที่ถอดระหัสตำแหน่งของ 8255เรียบร้อยแล้วโดยจะมีตำแหน่งใช้งาน 4 ตำแหน่ง เพื่ออ่านเขียนรีจีสเตอร์ (พอร์ท)ของ 8255 ที่มีอยู่ด้วยกัน 4 ตัว

RESET เป็นขาอินพุทที่รับสัญญาณจากภายนอกเข้ามาทำการรีเซทตัว 8255 โดยหาก ได้รับโลจิก "1" จะทำให้พอร์ททุกพอร์ทเป็นอินพุทพอร์ทหมดทั้งนี้เพื่อไม่ต้อง การให้มีสัญญาณออกไปกวนต่อระบบภายนอกเมื่อ 8255ได้รับสัญญาณรีเซท

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

PA_0-PA_7 เป็นขาสัญญาณพอร์ท A ที่ใช้ติดต่อกับโลกภายนอก

PB_0-PB_7 เป็นขาสัญญาณพอร์ท B ที่ใช้ติดต่อกับโลกภายนอก

PC_0-PC_7 เป็นขาสัญญาณพอร์ท C ที่ใช้ติดต่อกับโลกภายนอก ซึ่งพอร์ทนี้จะแบ่งออกเป็น 2กลุ่มคือ PC_0-PC_3 และ PC_4-PC_7ซึ่งสามารถโปรแกรมแยกกันได้อีกต่างหาก

2.72 การโปรแกรม 8255

ตัว CPU มอง 8255 เป็น 4 พอร์ท หากมีการอ่านเขียนจะใช้ร่วมกับสัญญาณ RD,WR โดย WR หมายถึงเอ้าพุทข้อมูล และ RD หมายถึง อินพุทข้อมูล

ตารางที่ 2.2 แสดงโลจิกเมื่อติดต่อกับ 8255

RD	WR	A1	A2	ความหมาย
1	0	0	0	เขียนพอร์ต A ซึ่งเป็นข้อมูล
0	1	0	0	อ่านพอร์ต A ซึ่งเป็นข้อมูล
1	0	0	1	เขียนพอร์ต B ซึ่งเป็นข้อมูล
0	1	0	1	อ่านพอร์ต B ซึ่งเป็นข้อมูล
1	0	1	0	เขียนพอร์ต C ซึ่งเป็นข้อมูล
0	1	1	0	อ่านพอร์ต C ซึ่งเป็นข้อมูล
1	0	1	1	เขียนข้อมูล ซึ่งเป็นรหัสควบคุม
0	1	1	1	อ่านเข้ามา ซึ่งไม่มีความหมาย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รหัสควบคุม(control code) ไปยังพอร์ทควบคุม

D_7	D_6	D_5	D_4	D_3	D_2	D_1	D_0

บิต D7 เป็นบิตที่แสดงว่าในไบท์นี้เป็นระหัสควบคุม ถ้าเป็น "1" โดยแต่ละบิตจะมีผลต่อการเปลี่ยนแปลงโหมดต่าง ๆ ของ 8255 หากเป็น "0" จะเป็นการเซตบิทของพอร์ท C

บิต D6, D5 เป็นการเลือกโหมดของพอร์ท A ซึ่งจะมีอยู่ด้วยกัน 3 โหมด คือ0,1,2

บิต D4 เป็นการกำหนดให้พอร์ท A ให้เป็นอินพุทหรือเอ้าพุท โดยหากเป็น "1" ก็จะเป็น อินพุท หากเป็น "0" ก็แสดงว่าให้เป็น เอ้าพุท

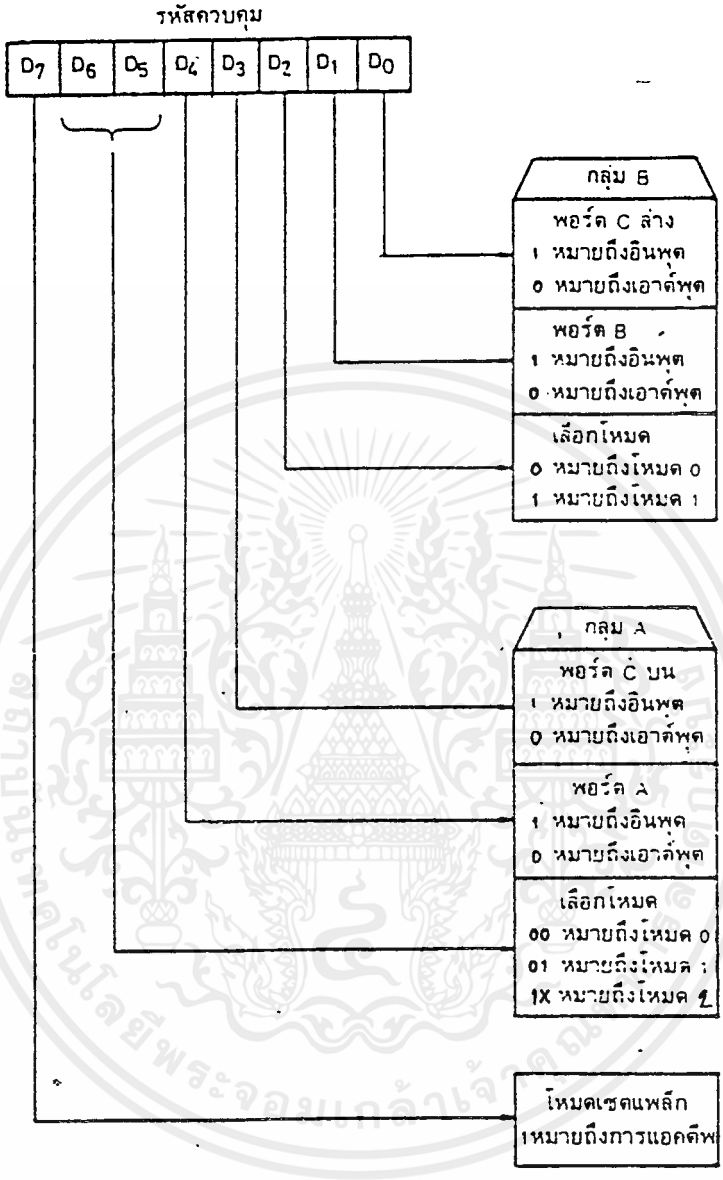
บิต D3 เป็นการกำหนดให้พอร์ท C บน ให้เป็นอินพุทหรือเอ้าพุท โดยหากเป็น"1" ก็จะเป็นอินพุท หากเป็น "0" ก็แสดงว่าให้เป็นเอ้าพุท

บิต D2 เป็นการกำหนดโหมดการทำงานของ พอร์ท B โดยหากเป็น "0"หมายถึงเลือกให้พอร์ท B ทำงานในโหมด 0 หากเป็น "1' เป็นการเลือกให้พอร์ท B ทำงานในโหมด 1

บิต D1 เป็นการกำหนดให้พอร์ท B ให้เป็นอินพุทหรือเอ้าพุท โดยหากเป็น "1" ก็จะเป็นอินพุท หากเป็น "0" ก็แสดงว่าให้เห็นเป็นเอ้าพุท

บิต D0 เป็นการกำหนดให้พอร์ท C ล่างให้เป็นอินพุทหรือเอ้าพุท โดยหากเป็น "1"ก็จะเป็นอินพุท หากเป็น "0" ก็แสดงว่าให้เป็น เอ้าพุท

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

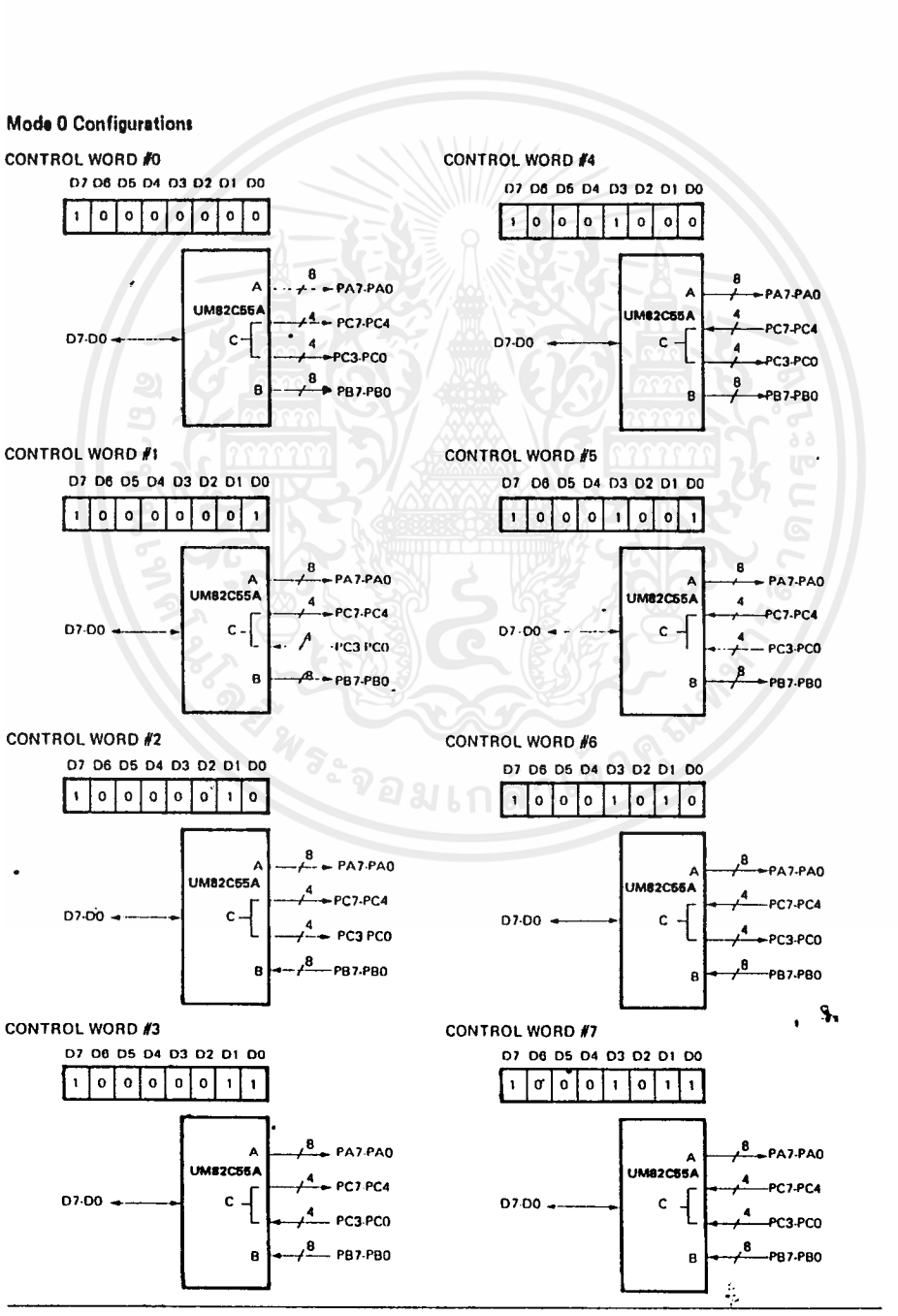


รูปที่ 2.15 ความหมายของแต่ละบิตในระหัสควบคุม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

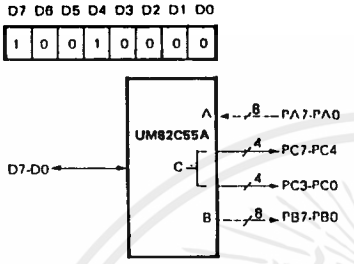
การใช้งาน IC 8255

IC 8255 นี้จะเป็น IC ซึ่งประกอบด้วย PORT ใช้งาน 3 PORT และอีก 1 PORT ควบคุมก่อนที่จะใช้งาน 8255 เราจะต้องส่งข้อมูลไปให้ยัง PORT ควบคุมก่อนว่าจะให้ PORT ทั้ง 3 PORT ของ 8255 ที่เหลือนั้นทำหน้าที่อะไร เป็น INPUT หรือ OUTPUT PORT เราจะต้องเป็นผู้กำหนด CONTROL,CODE PORT ควบคุมดังรูป

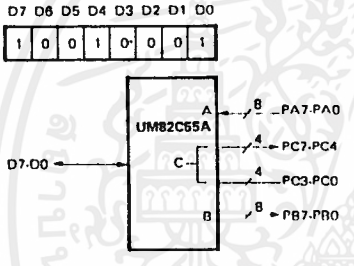


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

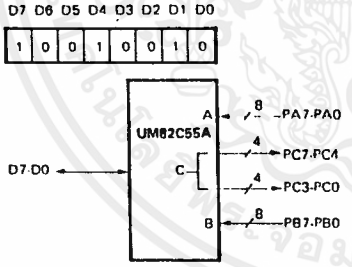
CONTROL WORD #8



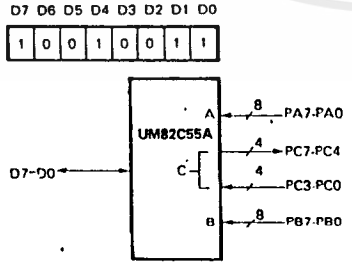
CONTROL WORD #9



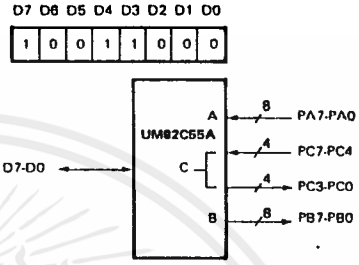
CONTROL WORD #10



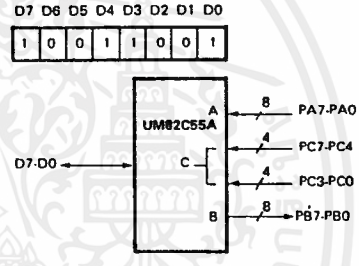
CONTROL WORD #11



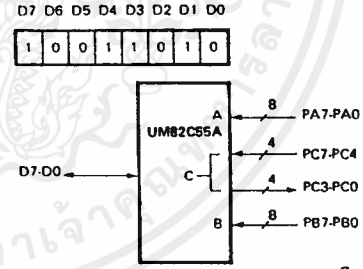
CONTROL WORD #12



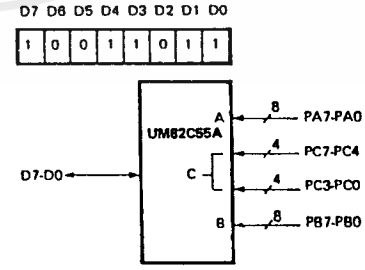
CONTROL WORD #13



CONTROL WORD #14



CONTROL WORD #15



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 3

การออกแบบเครื่อง AUTOMATIC POWER SUPPLY TESTER

การออกแบบเครื่อง AUTOMATIC POWER SUPPLY TESTER นี้ มีด้วยกันทั้งหมด 4 ส่วนคือ

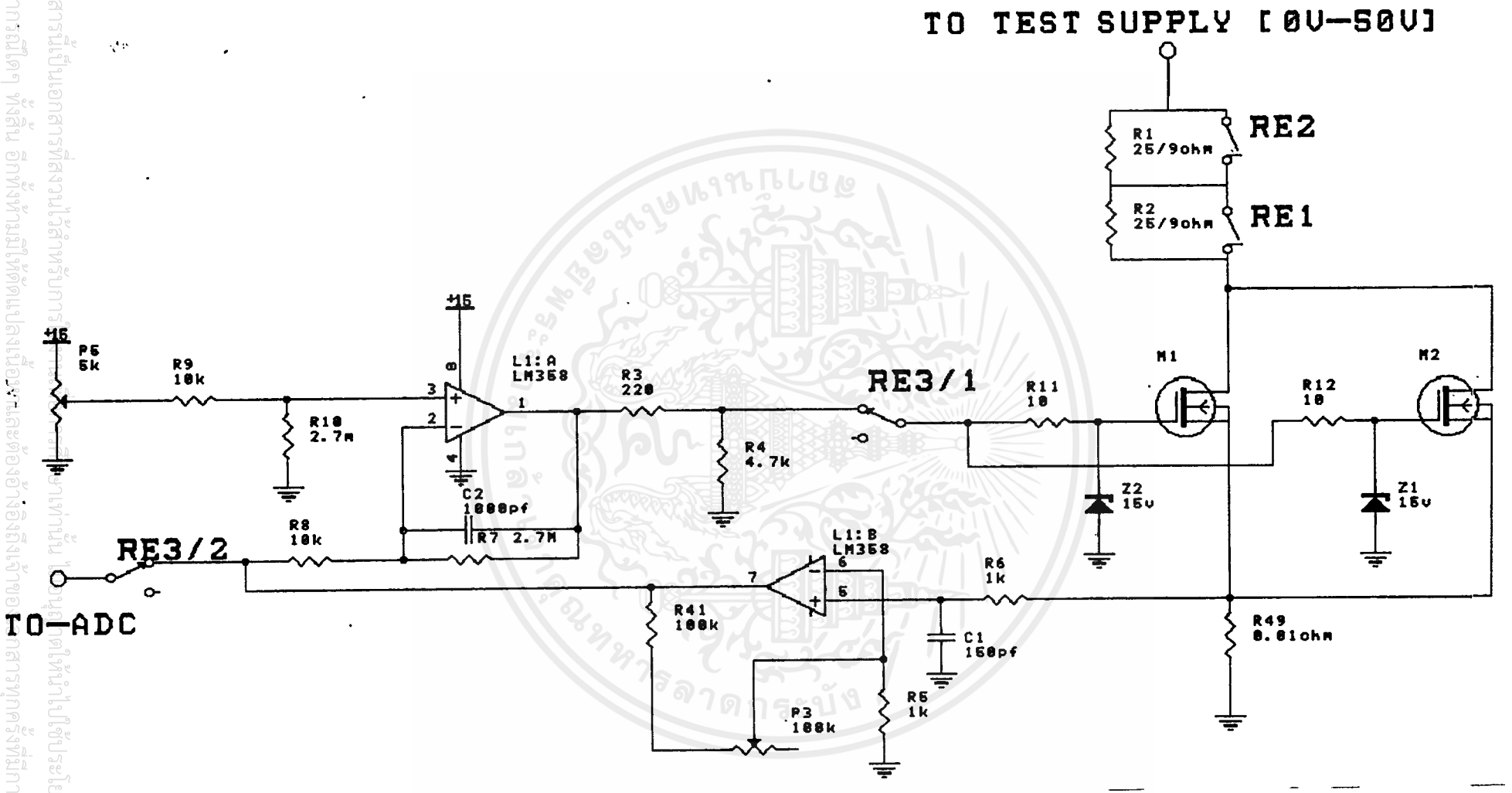
1. ส่วนดึงกระแสไฟฟ้าคงที่ (CONTINUOUS CURRENT SINK)
2. ส่วนควบคุมรีเลย์(RELAY CONTROL)
3. ส่วนดึงกระแสไฟฟ้าชั่วขณะ(PLUS CURRENT SINK)
4. ส่วนการ INTERFACE กับคอมพิวเตอร์

3.1 ส่วนดึงกระแสไฟฟ้าคงที่ (CONTINUOUS CURRENT SINK)

ตัวดึงกระแสไฟฟ้านี้ จะใช้ลักษณะ วงจรตามรูปที่ 3.1 ซึ่งจากรูปศักย์ดาไฟฟ้าของ POWER SUPPLY ที่จะนำมา TEST ได้ 0 - 50 V. และสามารถดึงกระแสได้ 0 - 5 A. ซึ่งจากรูปเราจะใช้ OPAMP L1.A (LM 358)เป็นตัว DRIVE POWER MOSFET ซึ่ง POWER MOSFET เราจะใช้เบอร์ IRF250 จำนวน 2 ตัว ที่เราใช้ POWER MOSFET 2 ตัว เพื่อให้ใช้ได้กับ POWER ที่สูงขึ้น โดย P5 เป็น VR ปรับค่าได้จ่ายแรงดันให้กับขา 3 ของ OPAMP เพื่อให้ได้ค่ากระแสต่าง ๆ ที่เหมาะสมในการ TEST POWER SUPPLY VOLTAGE ที่ตกคร่อม R49(Rsense) จะสัมพันธ์กับ LOAD CURRENT ซึ่งจะถูกนำไปใช้กับ OPAMP L1:B(LM 358) และ OUTPUT ของ L1:B นี้จะ FEED BACK ไปที่ L1:A ซึ่งความสัมพันธ์ ที่ VOLTAGE ที่ตกคร่อม R49 เปลี่ยนไปทำให้เกิดการเปลี่ยนแปลง INPUT (-) ของ L1:A ทำให้ LOAD CURRENT มีค่าคงที่ ส่วน P3 (VR100K) ใช้สำหรับควบคุม VOLT/AMP ของการ FEED BACK เพื่อให้ได้ OUTPUT ที่เหมาะสมกับภาคแสดงผล

เนื่องจากเครื่องตรวจสอบ POWER SUPPLY นี้สามารถดึงกระแสไฟฟ้าถึง 5 แอมป์ และใช้งานที่ระดับศักย์ดาไฟฟ้าอินพุท (จาก POWER SUPPLY ที่ทำการ TEST มีค่า 0 - 50 โวลท์ จะเห็นได้ว่าจะเกิด POWER LOSS ที่ POWER MOSFET ในกรณีที่ไม่มี R1 และ R2(R คร่อมรีเลย์) ซึ่งอาจทำให้ POWER MOSFET เสียหายได้ ดังนั้น จึงต้องนำความต้านทาน มาช่วยแบ่งแรงดันที่ตกคร่อม POWER MOSFET เพื่อที่จะสามารถ TEST POWER SUPPLY ที่มีค่าศักย์ดาสูง ๆ ได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.1 แสดงวงจรการดึงกระแสไฟฟ้าคงที่ (CONTINUOUS CURRENT SINK)

ในที่นี้ความต้านทาน (R1 และ R2) ต่อคร่อม CONTACT ของ RELAY โดยเมื่อถึงค่าระดับแรงดันไฟฟ้าที่กำหนดก็ให้ CONTACT ของ RELAY เปิดออก ให้กระแสไหลผ่านตัวความต้านทานแทน ในที่นี้ออกแบบ RELAY ON หรือ OFF ในช่วง ศักย์ดา INPUT ต่าง ๆ ดังนี้

ศักดาไฟฟ้าอินพุท	RELAY1	RELAY2
น้อยกว่า 20 V	OFF	OFF
20 - 35 V	OFF	ON
35 - 50 V	ON	ON

หมายเหตุ 1. OFFในที่นี้หมายถึง CONTACTปิดและ ON หมายถึง CONTACT เปิด

2. CONTACT ของ RELAY มีลักษณะ NORMALLY CLOSE

จากช่วง ON และ OFF ของ RELAY ที่แสดงจะเห็นว่าความค่าความต้านทานที่ เหมาะสมที่จะใช้จะต้องมีค่าประมาณ 25/9 OHM โดยจะเห็นว่าเมื่อ RELAY ตัวที่ 2 ON ที่ระดับไฟฟ้า 20 VOLT จะเกิดศักย์ดาไฟฟ้าคร่อมความต้านทาน 25/9 OHM มากที่สุด 13.89 โวลท์ ขณะที่ดึงกระแสไฟฟ้า 5 แอมป์ นั่นคือ ยังมีศักย์ดาตกคร่อม FET และ R 49 เพียงพอที่จะทำให้ FET ดึงกระแสไฟฟ้าต่อไปโดยค่ากระแสไฟฟ้าที่ดึงไม่ตกเช่นกันเนื่องจากความต้านทาน R 25/9 OHM นี้ต้องทนกระแสไฟฟ้าสูงสุด 5 แอมป์ ดังนั้น ค่าความต้านทาน 25/9 OHM นี้ ต้องทนกำลังไฟฟ้าได้ประมาณ 69 WATT (5^2*25/9 =69WATT)แต่เพื่อเป็นการป้องกันจึงควรเผื่อค่ากำลังไฟฟ้าที่ตัวความต้านทานทนได้ ให้มีค่ามากกว่านี้ ในที่นี้ใช้ความต้านทานที่ทนกำลังไฟฟ้าได้ 90วัตต์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โดยใช้ตัวความต้านทาน 25 OHM 10 WATT มาต่อขนานกัน 9 ตัว สำหรับค่า R_{SENSE}(R49) จะต้องใช้ค่าความต้านทานที่มีค่าต่ำที่สุด เพื่อ ทำให้ค่าศักย์ดาไฟฟ้าคร่อมตัวมันมีค่าน้อย ๆ ซึ่งจะทำให้ค่าศักย์ดาไฟฟ้า INPUT (จาก POWER SUPPLY) ที่สามารถ TEST ได้มีค่าต่ำที่สุด ในที่นี้ใช้ R_s หรือ R49 เท่ากับ 0.01 OHM

3.2 ส่วนควบคุมและขับรีเลย์(RELAY CONTROL)

หลักการของวงจรในส่วนที่แสดง ในรูปที่ 3.2 ในโครงงานนี้ใช้ COMPARATOR (L311) เป็นตัวควบคุมการทำงานของ RELAY เนื่องจากเป็น COMPARATOR ที่ใช้ ไฟเลี้ยงบวกเพียงอย่างเดียว (ใช้ไฟเลี้ยงบวก 5 V.) และมีราคาถูกในที่นี้ได้ออกแบบไว้ ให้ RELAY ON หรือ OFF ที่ระดับศักย์ดาไฟฟ้าอินพุทต่าง ๆ ดังแสดงไว้ในหัวข้อ 3.1.1 ซึ่งการกำหนดระดับศักย์ดาไฟฟ้าที่ RELAY จะ ON หรือ OFF นี้กำหนดโดยพิจารณาถึงค่า POWER LOSS ที่ FET ซึ่งเราสามารถคำนวณหาค่า POWERLOSS ที่ FET ในแต่ละช่วง ดังนี้

$$VIN = < 20 \; ; \; P = (Vin - 0.01*I)*I = VIN*I - 0.01*I^2$$

$$20 < VIN = < 35 \; ; \; P = (VIN - 2.7878*I)*I = VIN*I - 2.7878*I^2$$

$$35 < VIN = < 50 \; ; \; P = (VIN - 5.5656*I)*I = VIN*I - 5.5656*I^2$$

จะได้ Pmax ของ POWER MOSFET ในแต่ละช่วง ดังนี้

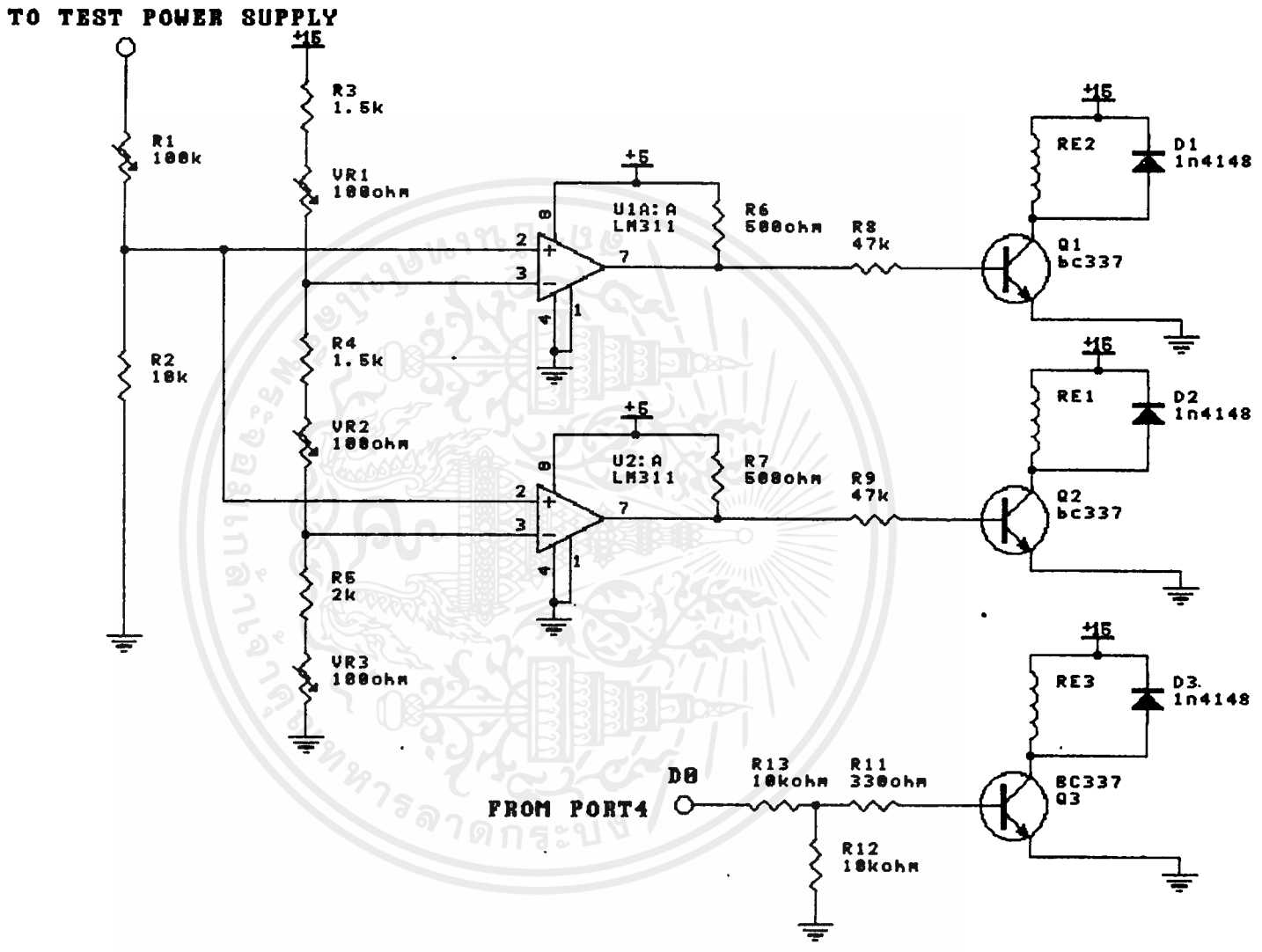
VIN = < 20 ; Pmax = 99.75 W

20<VIN=<35 ; Pmax = 105.305 W

35 <VIN =<50 ; Pmax = 110.86 W

จาก DATASHEET ของ POWER MOSFER นั้น FET แต่ละตัวสามารถทนกำลังได้ 150 WATT ซึ่งในวงจรเราให้ Pmax ของ FET 2 ตัว เท่ากับ 110.86 WATT เพราะฉะนั้น FET 1 ตัว Pmax = 55.43 WATT ซึ่งก็สามารถแน่ใจได้ว่า FET จะไม่เกิดความเสียหายในการใช้งาน จากการเขียน SOFTWARE เมื่อ VOLTAGE เกิน 50 V. จะมีสัญญาณเตือน จากเครื่องคอมพิวเตอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.2 ส่วนควบคุมและขับรีเลย์(RELAY CONTROL)

จากรูป 3.2 จะเห็นว่าเราน่าศักย์ดาไฟฟ้า 5 V. มาทำการ DEVIDER แล้วป้อนเข้าขา INVERTING ของ COMPARATOR เพื่อเป็น Vref นั้นเพราะว่าในการใช้ งาน วงจร COMPARATOR นั้นค่า Vref จะมีค่ามากกว่าไฟเลี้ยงไม่ได้ (ไฟเลี้ยง CoMPARATOR มีค่า 5 V.) ซึ่งถ้า Vref มีค่ามากกว่าไฟเลี้ยงที่จ่ายให้แก่ COMPARATOR จะทำให้ COMPARATOR ตัวนั้นไม่ทำงานหรือทำงานผิดพลาดในวงจรจะมีค่าความต้านทาน R2 และ R1 ซึ่งมีค่า 10 KHOM และ 90 KHOM ตามลำดับมาเป็นตัว DEVIDER ศักย์ดาไฟฟ้า INPUT และป้อนเข้าที่ขา NONINVERTING ของ COMPARATOR ทุกตัว โดยเมื่อใดก็ตามที่ศักย์ดาไฟฟ้า INPUT ที่ขา NONINVERTING นี้มีค่ามากกว่าระดับศักย์ดาไฟฟ้าที่ขา INVERTING ของ COMPARATOR (Vref) ก็จะทำให้ RELAY ตัวนั้น ๆ ทำงาน

สำหรับส่วนขับ RELAY ก็มีลักษณะเหมือนทั่ว ๆ ไป คือ มี TRANSISTER เป็นตัวขับกระแสไฟฟ้าให้แก่ขดลวดของ RELAY โดยที่ไดโอดต่อคร่อมขดลวด RELAY เพื่อป้องกันกระแสไฟฟ้าไหลกลับเป็นตัวป้องกันตัว RELAY ไม่ให้เกิดความเสียหาย และมีตัวความต้านทานR6, R7 และ R8 ซึ่งมีค่าประมาณ 47 KOHM เป็นตัวจำกัดกระแสไฟฟ้าที่ไหลผ่านขดลวด RELAY

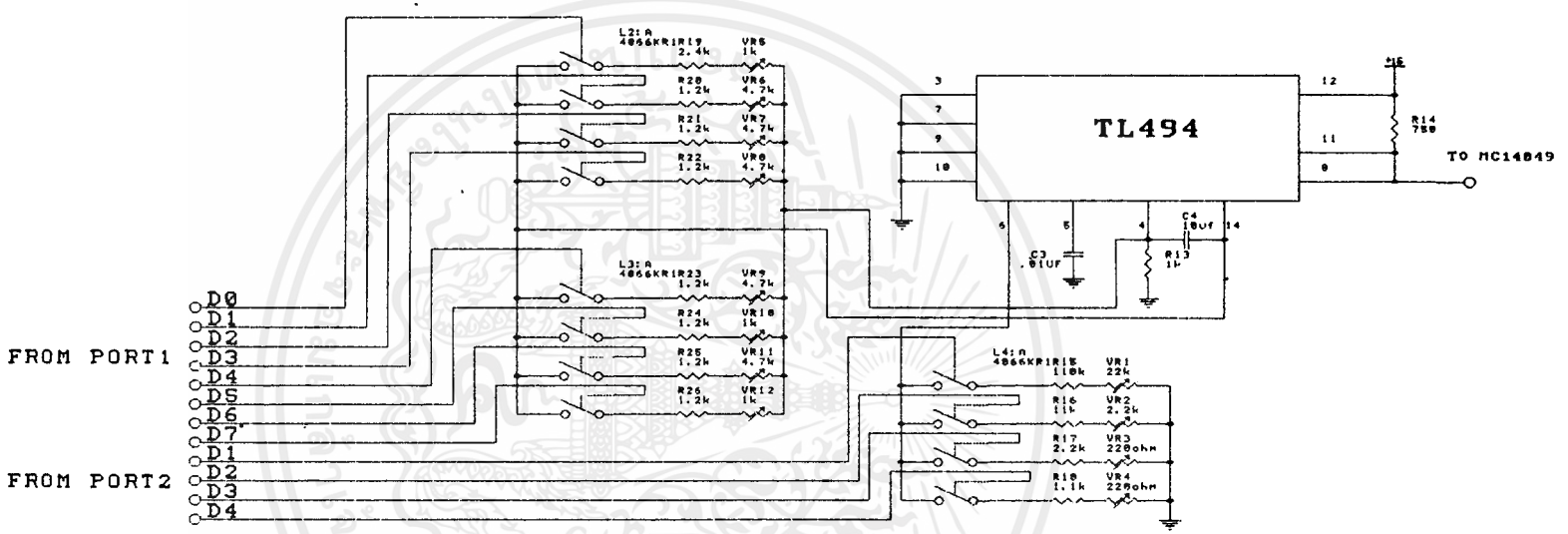
3.3 การออกแบบวงจรส่วนดิงกระแสชั่วขณะ

จากรูป 3.3 เป็นวงจรใช้งานของวงจรกำเหนิด PLUSE โดยใช้ TL494 เป็นตัวกำเหนิดความถี่โดยให้มีความถี่ 4 ความถี่ จากสูตรความถี่ของสัญญาณพัลส์ ONPUT ของ TL494 (เมื่อมีการใช้งานในลักษณะ SINGLE-END ที่เอาท์พุททรานซิสเตอร์ต่อขนานกัน)

$$FO = 1.1/(Rt * Ct)$$

จากสูตรจะเห็นว่าค่าความถี่ของสัญญาณนั้นถูกกำหนดโดยอุปกรณ์ที่ต่อจากภายนอก คือ Rt และ Ct ในที่นี้กำหนดให้ค่า Ct คงที่แล้วเปลี่ยนค่าความถี่ โดยเปลี่ยนค่า Rt ซึ่งใช้ความต้านทานปรับค่าได้มาต่ออนุกรมกับตัวต้านทานคงที่เพื่อให้ความถี่ถูกต้องแน่นอน โดยกำหนด Ct = 0.01 uF

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.3 วงจรกำเนิด PLUSE

จากสูตรข้างต้น จะได้ค่าความต้านทาน (Rt) มีความถี่ต่าง ๆ ดังนี้

RT = 110 KOHM ที่ความถี่สัญญาณเอ้าท์พุท 1 KHz

RT = 11 KOHM ที่ความถี่สัญญาณเอ้าท์พุท 10 KHz

RT = 2.2 KOHM ที่ความถี่สัญญาณเอ้าท์พุท 50 KHz

RT = 1.1 KOHM ที่ความถี่สัญญาณเอ้าท์พุท 100 KHz

หมายเหตุ RT คือ R ที่ ขา 6 กับ GND

โดยใช้ ELECTRONIC SWITCH IC เบอร์ 4066(L4:A) เป็นตัวเลือกความถี่ โดยใช้สัญญาณจากPORT2 เป็นตัวควบคุม ส่วน DUTYCYCLE จะแบ่งออกเป็น 8ช่วง คือ 50%, 45%, 40%, 35%, 30%, 25%, 20%, 15% โดยใช้ELECTRONIC SWITCH L2:A และ L3:A เป็นตัวเลือก โดยใช้สัญญาณจาก PORT1 เป็นตัวควบคุม

ในการปรับ DUTY CYCLE นั้นใช้การปรับค่าศักย์ดาไฟฟ้าที่ขา 4 (ขา DEAD TIME CONTROL) โดยใช้รูปแบบการใช้งาน TL494 ในลักษณะวงจร DEAD TIME CONTROL ซึ่ง จะได้ว่า

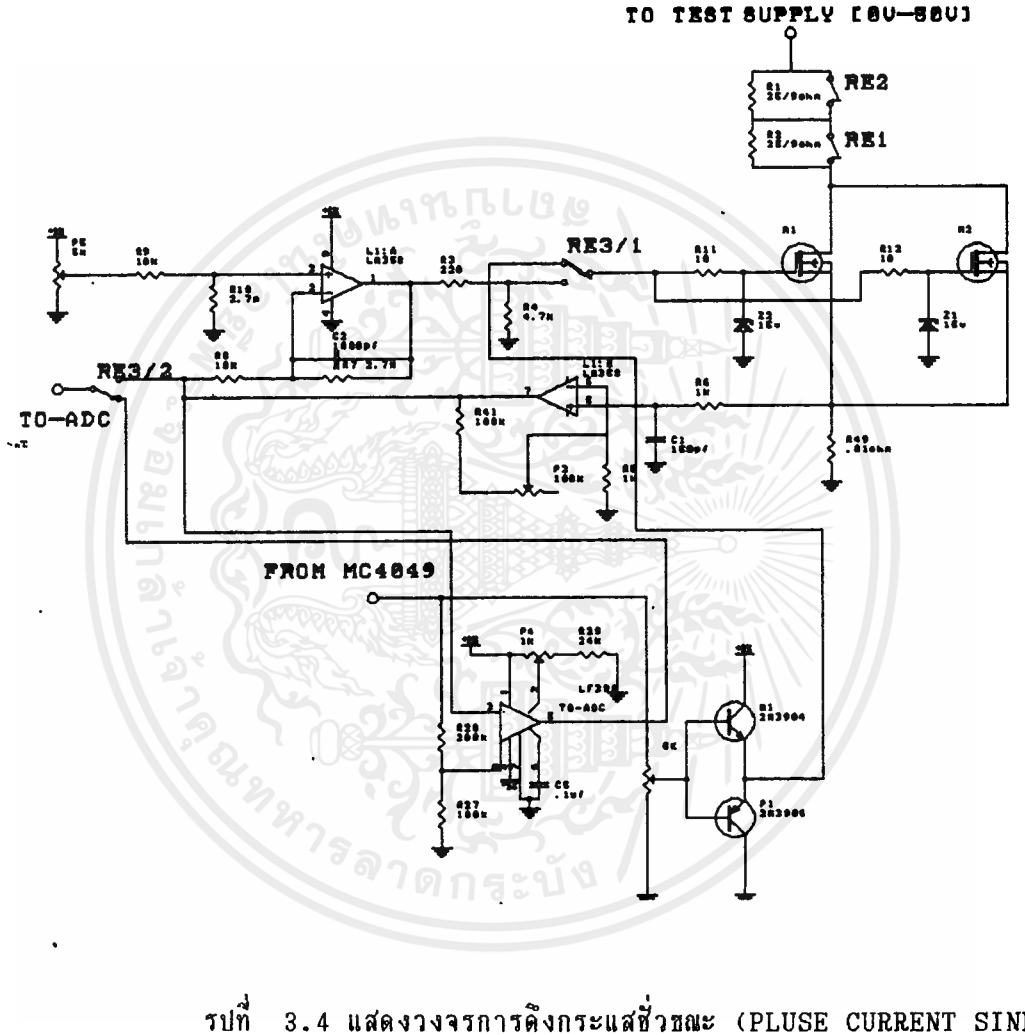
$$\text{MAXIMUM ON TIME} = 90 - [80/1-(R1/R2))]$$

หมายเหตุ จากวงจร R1 คือค่า R ที่ต่อระหว่างขา 4 กับขา 14 ส่วน R2 คือ R13 ที่ต่อขา 4 กับ GND ซึ่งเรากำหนดคงที่ไว้ 1 KOHM

ดังนั้น เมื่อปรับค่า DUTY CYCLE จะต้องให้ R1เป็นความต้านทานที่สามารถปรับค่าได้ และจะต้องมีค่ามากกว่า R2 มาก ๆ เมื่อต้องการให้ DUTY CYCLE มีค่าเข้าใกล้ 90 เปอร์เซ็นต์ แต่ในที่นี้เราออกแบบให้วงจรมี DUTY CLCLE สูงสุดที่ 50% เนื่องจากถ้าให้ DUTY CYCLE สูง ๆ กระแสเฉลี่ยจะสูงตามจะทำให้เครื่องไม่สามารถ TEST ได้ถึง 10 แอมป์

จากรูป 3.4 เป็นวงจรขณะทีเราเลือกดึงกระแสแบบชั่วขณะ ซึ่งวงจรนี้สามารถดึงกระแส ชั่วขณะได้ถึง 10 แอมป์ ที 50 โวลท์ วงจรนี้จะใช้ IC เบอร์ TL494 เป็นตัวกำเนิดพัลส์ที่ความถี่ 1KHz, 10KHz, 50KHz และ 100KHz และมี Duty CYCLE 85%, 80%, 75%, 70%, 65%, 60%, 55%, 50% จากนั้นนำสัญญาณ PLUSEจาก TL494 มาผ่าน BUFFER MC 4049 ซึ่งเป็น INVERTER จะทำให้ DUTY CYCLE เปลี่ยนเป็น 15%, 20%, 25%, 30%, 35%, 40%, 45%, 50%

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.4 แสดงวงจรการดึงกระแสชั่วขณะ (PLUSE CURRENT SINK)

- 36 -

และMC14049 ยังทำการ DRIVE ให้สัญญาณ PLUSE มีกระแสสูงขึ้นเพื่อไม่ให้เกิดการ LOAD สัญญาณจาก TL494 จากวงจรอื่นที่นำมาต่อ จาก MC 4049 ส่ง PLUSE เข้าไปที่ VR 5KOHM เพื่อปรับระดับ VOLTAGEก่อนที่จะมาเข้าขา BASE ของ TRANSISTOR N1 และ P1 ซึ่งต่อแบบ COMPEMENTARY ซึ่งเป็นวงจรที่มี OUTPUT IMPEPANCE ต่ำ เนื่องจากขา GATE ของ POWER MOSFET เปรียบเสมือนเป็นตัว CAPACITOR

ดังนั้น ในการ DRIVE POWER MOSFET จึงเปรียบเสมือนการ CHARGE และ DISCHARGE CAPACITOR นั่นเอง ดังนั้นเมื่อส่วนขับ POWER MOSFET มีค่า OUTPUT IMPEDANCE ต่ำ แล้วจะทำให้การ CHARGE และ DISCHARGE เป็นไปได้อย่างรวดเร็ว ทำให้รูปสัญญาณ ออกมาดีและขยายกระแสที่จ่ายให้ POWER MOSFET มีค่าสูงขึ้นด้วย และนำ VOLTAGE ที่ Rs หรือ R49 มาผ่าน LF398 เพื่อให้ได้ VOLTAGE เฉลี่ยเพื่อที่จะส่งไปภาคแสดงผล โดยที่LF398ภายในจะประกอบด้วยวงจร SAMPLEAND HOLDโดย LF398 จะ แสดงค่า PEAK VOLTAGE (PEAKCURRENT * Rs) ของสัญญาณอินพุทซึ่งมีลักษณะเป็นพัลส์ ออกเป็นระดับศักย์ดาไฟฟ้าคงที่ โดยจะแบ่งการทำงานออกเป็น 2 ช่วง คือ

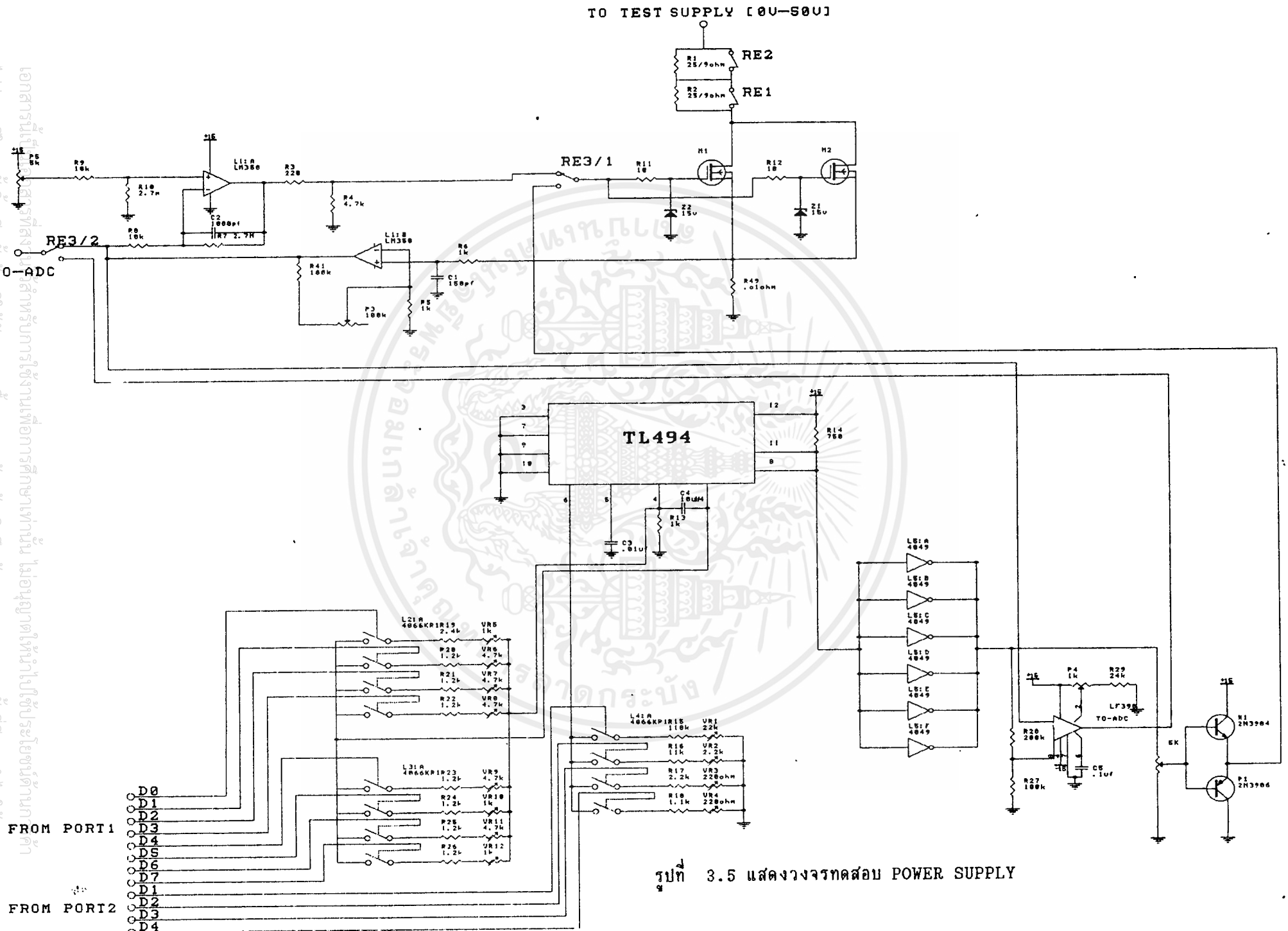
1.ช่วงSAMPLE ช่วงนี้LF398จะอ่านศักย์ดาไฟฟ้าอินพุทที่ป้อนเข้าที่ขา 3 ของ LF398 มาแสดงออกที่เอ้าท์พุท (ขา5)

2. ช่วง HOLD ช่วงนี้ LF398 จะทำหน้าที่คงค่าศักย์ดาไฟฟ้าอินพุทที่อ่านมาไว้ใน ช่วง SAMPLE แล้วแสดงออกที่เอ้าท์พุท

จากนั้นนำค่าศักย์ดาที่ขา 5 เข้าไปที่วงจร ADC เพื่อที่จะทำการแสดงผลออกทาง จอMONITOR ของคอมพิวเตอร์ต่อไป

จากรูปที่ 3.5 เป็นวงจร TEST POWER SUPPLY ทั้งกระแสคงที่และกระแสชั่วขณะ ในสภาวะปกติ RELAY3 จะต่ออยู่ดังรูป ซึ่งอยู่ในลักษณะที่ใช้ TEST กระแสดงที่เริ่มจาก เมื่อเรานำ POWER SUPPLY มา TEST เราจะต้องทำให้ FET ดึงกระแส ได้โดยปรับค่า P5 (VR5K) เพื่อให้ได้ VOLTAGE ที่เหมาะสมเข้ามาขยายเข้าไป DRIVE POWER MOSFET ซึ่งเราใช้ OPAMP เบอร์ LM 358 และจะ นำ VOLTAGE ที่ตกคร่อม RS หรือ R49 ที่มีความสัมพันธ์กับ LOAD CURRENT ซึ่งจะถูกนำไปใช้กับ OPAMP L1:B และ OUTPUT L1:B นี้จะ FEED BACK ไปที่ L1:A ซึ่งความสัมพันธ์ที่ VOLTAGE ที่ตกคร่อมR49 เปลี่ยนไปทำให้เกิดการเปลี่ยนแปลง INPUT (-) ของ L1:A ทำให้ LOAD CURRENT มีค่าคงที่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



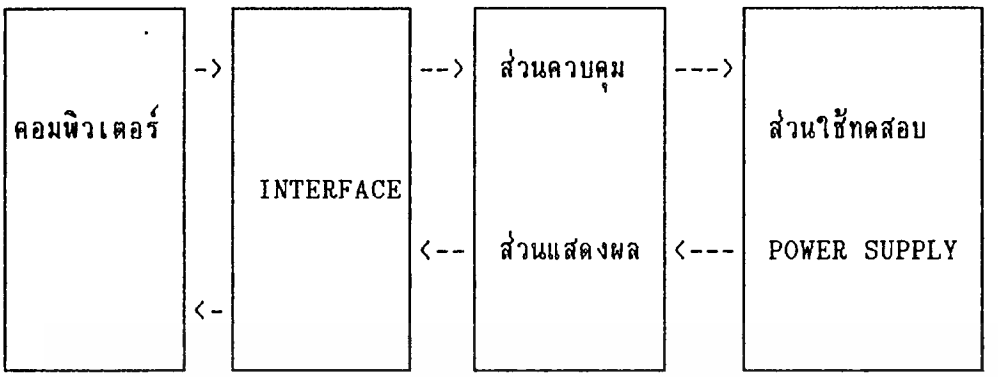
รูปที่ 3.5 แสดงวงจรทดสอบ POWER SUPPLY

ส่วน P3 (VR100K) ใช้สำหรับควบคุม VOLT/AMP ของการ FEED BACK เพื่อให้ได้ OUTPUT ที่เหมาะสม เพื่อที่จะส่งไป ADC เพื่อแสดงผลที่ MONITOR ต่อไป

ในช่วงที่ต้องการดึงกระแสแบบชั่วขณะ transistor Q3 จะถูกทริกโดยกระโดยกรแสจาก D0ทำให้RELAY3 ON ทำให้ RELAY RE3/1 SWITCH มาต่อที่ขา 3 ของ LF 398 และ RE3/2 จะ SWITCH มาต่อที่ขา 5 ของ LF 398 ซึ่ง TL 494 จะเป็นตัวกำเหนิดความถี่ในที่นี้ใช้ความถี่ 1K, 10K, 50K, 100K โดย R ที่ขา 6 ของ TL494 จะเป็นตัวกำหนดความถี่ ซึ่งมีค่า R110K ,11 K, 2.2K, 1.1K, โดยเลือกความถี่โดยใช้ ELECTRONIC SWITCH L4:A ในที่นี้ใช้เบอร์ 4066 โดยใช้สัญญาณจาก PORT2 เป็นตัวควบคุม ส่วน DUTY CYCLE ในที่นี้ใช้ 85%, 80%, 75%, 70% 65% 60% 55% 50% โดยใช้ ELECTRONIC SWITCH L2:A และ L3:A เป็นตัวเลือก โดยใช้สัญญาณจาก PORT1 มาควบคุม TL 494 จะส่งสัญญาณพัลซ์มาเข้า BUFFER (MC14049)ซึ่งเป็น INVERTERเพื่อทำให้ DUTY CYCLE เปลี่ยนเป็น 15%, 20%, 25%, 30%, 35%, 40%, 45%, 50% และทำการ DRIVE กระแสส่งเข้า VR5K เพื่อปรับ VOLTAGE ให้เหมาะสมส่งเข้าขา BASE ของ P1 และ N1 เพื่อไป DRIVE ให้ FET ดึงกระแสและ VRS จะส่งเข้ามาขยายที่ OPAMP LM358 L1:B เพื่อขยายสัญญาณให้เหมาะสมส่งเข้าขา 3 ของ LF398 ส่วน VR 1K ที่ LF 398 เป็นตัวปรับ OFSET ให้เหมาะสมและ OUTPUT ที่ขา 5 ส่งไปADC เพื่อแสดงผลทาง MONITOR

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.4 การ INTERFACE



รูปที่ 3.6 แสดงบล็อกไดอะแกรมของเครื่อง AUTOMATIC POWER SUPPLY TESTER

CARD INTERFACE ประกอบไปด้วย 2 ส่วนใหญ่ๆก็คือ ส่วน IC 8255 ซึ่งเป็น IC ทำหน้าที่เป็น INPUT,OUTPUT PORT และส่วนของวงจร IC DECODE(เลือกตำแหน่งของ PORT 8255) คือ IC 74LS688,74LS139 และ DIP SW.

การ DECODE PORT

DECODE PORT 8255 บน CARD เราจะใช้ IC TTL 74LS688,IC TTL 74LS139 และ DIP SW. 8 PIN เป็นวงจร DECODE เพื่อให้สามารถปรับ SET DIP SW. ตั้งตำแหน่งเบอร์ PORT ของ CARD ได้โดยในการปรับ DIP SW. นั้นจะต้องไม่ตรงกับตำแหน่ง PORT ของเครื่องคอมพิวเตอร์ PC ด้วยดังรูป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Hex Range	Usage
000-00F	DMA Chip 8237A-5
020-021	Interrupt 8259A
040-043	Timer 8253-5
060-063	PPI 8255A-5
080-083	DMA Page Registers
0AX*	NMI Mask Register
0CX	Reserved
0EX	Reserved
200-20F	Game Control
210-217	Expansion Unit
220-24F	Reserved
278-27F	Reserved
2F0-2F7	Reserved
2F8-2FF	Asynchronous Communications (Secondary)
300-31F	Prototype Card
320-32F	Fixed Disk
378-37F	Printer
380-38C**	SDLC Communications
380-389**	Binary Synchronous Communications (Secondary)
3A0-3A9	Binary Synchronous Communications (Primary)
3B0-3BF	IBM Monochrome Display/Printer
3C0-3CF	Reserved
3D0-3DF	Color/Graphics
3E0-3E7	Reserved
3F0-3F7	Diskette
3F8-3FF	Asynchronous Communications (Primary)

* At power-on time, the Non Mask Interrupt into the 8088 is masked off. This mask bit can be set and reset through system software as follows:

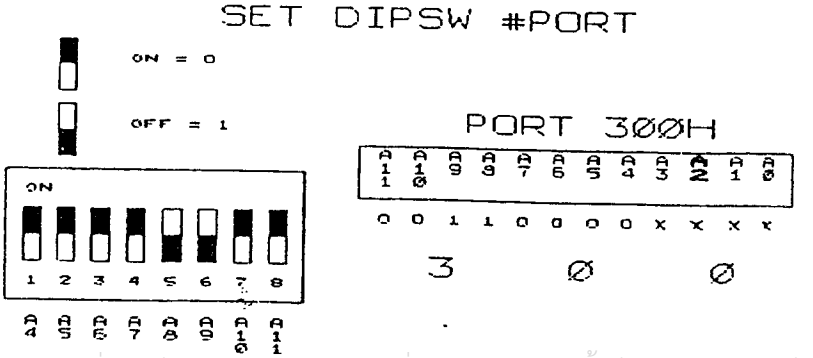
Set mask: Write hex 80 to I/O Address hex A0 (enable NMI)

Clear mask: Write hex 00 to I/O Address hex A0 (disable NMI)

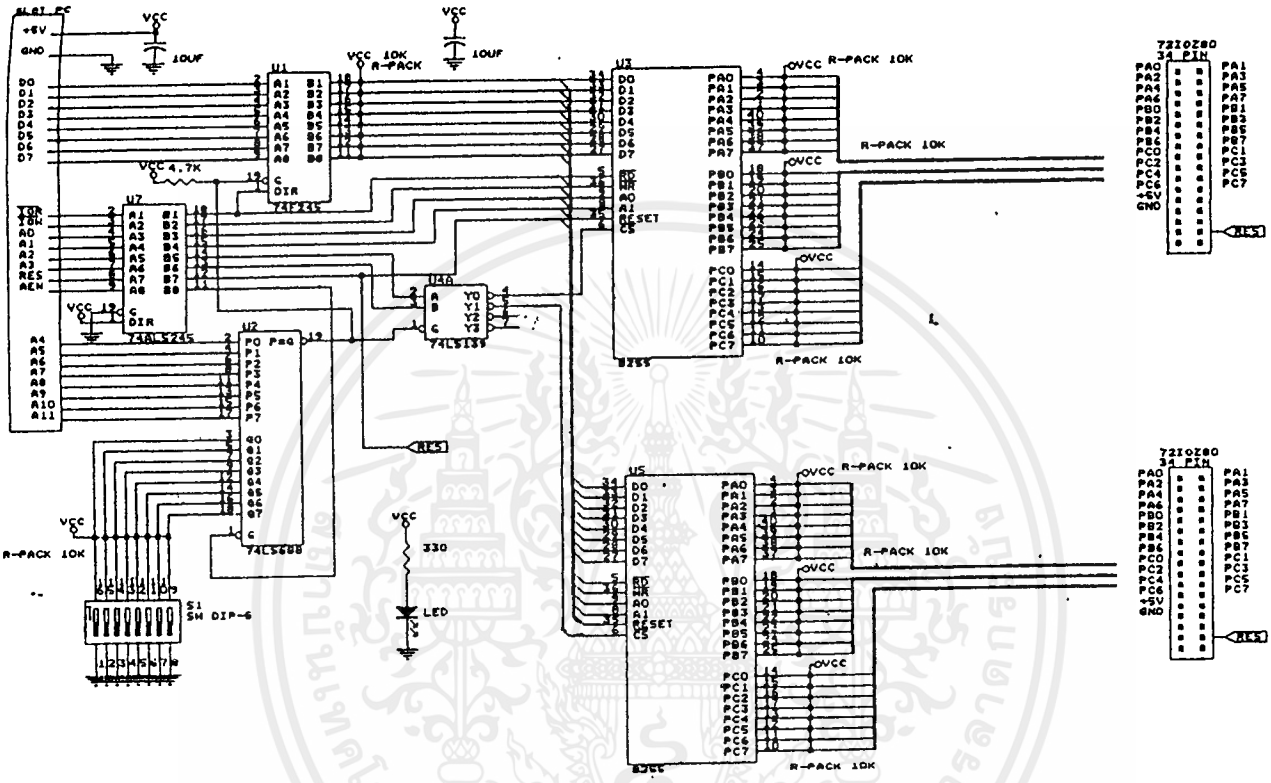
** SDLC Communications and Secondary Binary Synchronous Communications cannot be used together because their hex addresses overlap.

รูปที่ 3.7 I/O ADDRESS MAP

เราตั้งเบอร์ DECODE PORT ได้โดยการปรับ DIP SW. ซึ่งมีค่าเท่ากับค่า ADDRESS นั้นๆ เช่นเราตั้งตำแหน่ง 300H จะ SET DIP SW.ดังนี้



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.8 แสดงวงจรของ CARD INTERFACE

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การควบคุมและการแสดงผล

วงจรเปลี่ยนสัญญาณอนาล็อกเป็นดิจิตอล (Analog to Digital Converter)

วงจรนี้จะใช้ IC #ADC 0809 ซึ่งจะทำการแปลงสัญญาณอนาล็อก 0-5 โวลต์ เป็นสัญญาณดิจิตอลขนาด 8 บิต เพื่อนำสัญญาณนี้มาใช้กับคอมพิวเตอร์ ในการเปลี่ยนแปลง Analog Input แต่ละค่าให้ทำการ Active ที่ขา Output Enable (OE) เพื่อที่จะอ่านค่า Output ที่ออกจากตัว IC #ADC 0809 ซึ่งเป็นสัญญาณ Digital แล้วเราสามารถทำการตรวจสอบว่า Voltage ที่ออกไปทางด้าน Output D0-D7 ที่เป็น Digital ได้โดยการนำสัญญาณ Digital ที่ออกมาเป็นเลขฐานสิบหก แปลงให้เป็นเลขฐานสิบ แล้วจึงนำไปคำนวนหาค่า ดังตัวอย่างต่อไปนี้

เมื่อป้อนค่า Analog Input = 5 Volt ผล Digital Output อ่านค่าได้ FFH

FFH เมื่อทำเป็นเลขฐานสิบ = 255

Digital Output Converse to Analog = (255*5)/255

=5.00 Volt

ตารางที่ 1 แสดงการเลือก Channel Input

SECLECTED ANALOG CHANNEL	ADDRESS LINE		
	A	B	C
IN0	L	L	L
IN1	L	L	H
IN2	L	H	L
IN3	L	H	H
IN4	L	L	L
IN5	L	L	H
IN6	L	H	L
IN7	L	H	H

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การทำงานของตัว ADC0809 จะให้ระดับสัญญาณดิจิตอลได้ 8 Bit ซึ่งจะกำหนดเป็นการเปลี่ยนของระดับข้อมูลได้ถึง 256 ระดับ ซึ่งแสดงว่าระดับสัญญาณ 8 Bit นี้จะแปรค่ามีความสัมพันธ์กับสัญญาณอนาล็อกได้ถึง 256 ระดับ ซึ่งระดับค่าของแรงดันอินพุทที่จ่ายให้กับ ADC0809 ซึ่งจะสามารถกำหนดช่วงของสัญญาณ(Spand) ได้โดยกำหนดจากระดับแรงดันอ้างอิงทางบวก(REF+) และระดับอ้างอิงทางลบ(REF-) จากลักษณะของวงจรที่รับสัญญาณแรงดัน 0-5 โวลต์ เพื่อเปลี่ยนเป็นสัญญาณดิจิตอล(00H-FFH) ในรูปของเลขฐานสิบ ดังนั้นจะกำหนด ค่าอ้างอิงทางบวกที่ระดับไฟ 5 โวลต์ และค่าอ้างอิงทางลบที่ระดับไฟ 0 โวล์ต ในการหาค่าการเปลี่ยนแต่ละครั้งต่อการเปลี่ยนของสัญญาณอินพุท จะคำนวนได้จากสมการ

ระดับสัญญาณที่เปลี่ยน={ V(I/P)-V(REF-)}/{V(REF+)-V(REF-)}*255

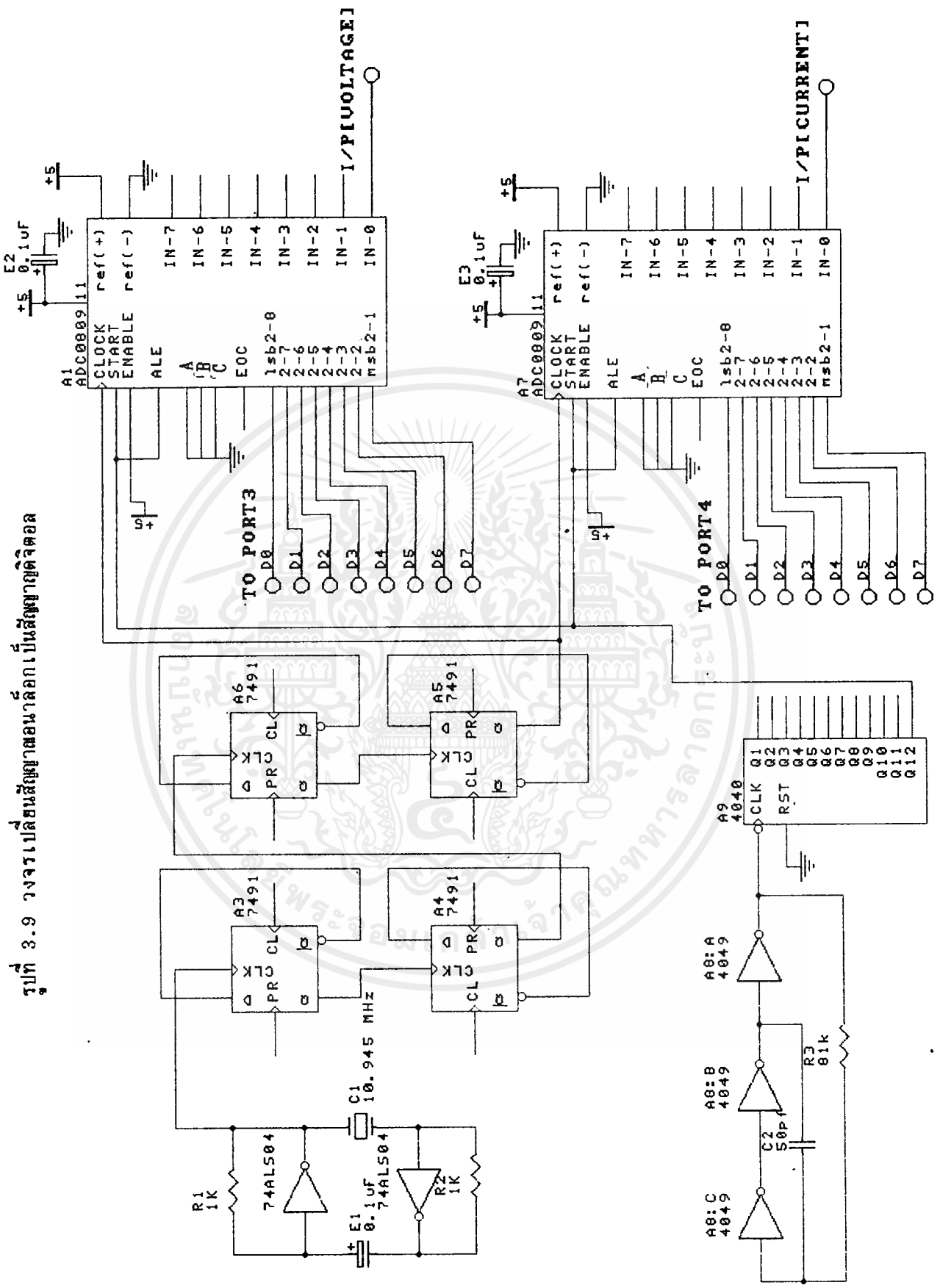
จากการคำนวนได้จะเป็นค่าระดับการเปลี่ยนแปลงต่อการเปลี่ยนแปลงของสัญญาณอินพุท ซึ่งจะเป็นค่าของเลขที่อยู่ฐานสิบ เมื่อแปลงเป็นเลขฐานสิบหก หรือฐานสอง ก็จะทำให้รู้ระดับสัญญาณดิจิตอลที่เข้าสู่คอมพิวเตอร์

ช่วงการทำงานในการแปลงสัญญาณของตัว ADC0809 จะใช้สัญญาณนาฬิกาในการแปลงสัญญาณ สัญญาณนาฬิกาที่ใช้จะอยู่ในช่วง 10 กิโลเฮิร์ด ถึง1.28เม็กกะเฮิร์ท (slot)ของเครื่องคอมพิวเตอร์ จากการออกแบบเพื่อไม่ให้รบกวนสัญญาณนาฬิกาของเครื่องคอมพิวเตอร์ จึงสร้างวงจรนาฬิกาความถี่ 1 เม็กกะเฮิร์ดให้ตัว ADC0809 ทำงานได้

จากลักษณะวงจรการทำงานของตัว ADC0809 เมื่อเริ่มให้ทำการแปลงสัญญาณ ในกรณีแรกจะต้องกำหนด(Set) สัญญาณSTART และ ALE โดยจะพิจราณาได้จากไทม์มิ่งไดอะแกรม (Timing Diagram) ของตัว ADC0809 ในรูป (เอกสารอ้างอิงของอุปกรณ์) ในการกำหนดสัญญาณ START และ ALE เราจะใช้การกำหนดทาง HARDWARE ในการเริ่ม START โดยการป้อนความถี่ 25 Hz จากวงจร RING OSCILLATOR และ IC หารความถี่ (4040)

จากลักษณะที่บรรยายได้วงจรดังรูป 3.9

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



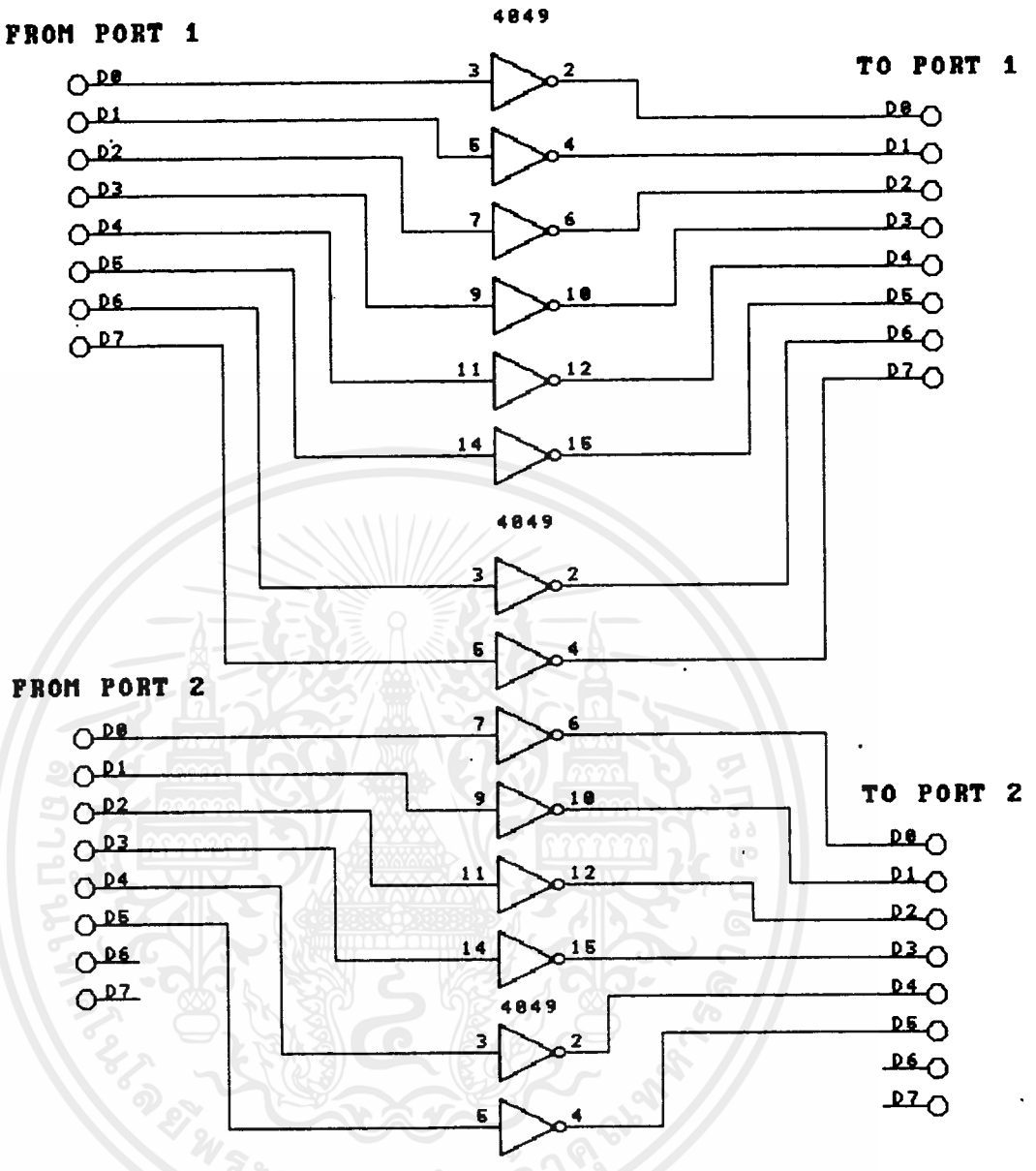
รูปที่ 3.9 วงจรเปลี่ยนสัญญาณอนาล็อกเป็นสัญญาณดิจิตอล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 3.9 แสดงวงจรเปลี่ยนสัญญาณอนาล็อกเป็นสัญญาณดิจิตอลซึ่งรับสัญญาณอนาล็อกจาก วงจรรูปที่ 3.2 และรูปที่ 3.5 โดยจะนำโวลท์เตจจากวงจรรูปที่ 3.2 จากการ DIVIDER VOLTAGE ให้ได้ 0-5 โวลท์ มาเข้าวงจรเปลี่ยนสัญญาณอนาล็อกเป็นสัญญาณดิจิตอล ออกที่พอร์ต 3 จะแสดงเป็นโวลท์เตจ ในช่วง 0-50 โวลท์ ส่วนที่จะนำมาแสดงกระแสที่ดึงได้ โดยจะนำโวลท์เตจ 0-5 โวลท์ จากวงจรรูปที่ 3.5 มาเข้าวงจรเปลี่ยนสัญญาณอนาล็อกเป็นสัญญาณดิจิตอลออกที่พอร์ต 4 จะแสดงกระแสที่เครื่อง AUTOMATIC POWER SUPPLY ทำการดึง 0-10 แอมป์

ในการควบคุมอิเล็คทรอนิกส์สวิทช์จาก 8255 นั้น ต้องมีโวลท์เตจ 12 โวลท์ สำหรับควบคุมการทำงานของอิเล็คทรอนิกส์สวิทช์ ดังนั้นจึงต้องทำโวลท์เตจจาก 8255 ซึ่งมีโวลท์เตจ 5 โวลท์ เป็น 12 โวลท์ โดยผ่าน BUFFER ในที่นี้ใช้เบอร์ MC14049 ซึ่งเป็นอินเวทเตอร์ดังแสดงในรูปที่ 3.10 ในการนำข้อมูลที่ออกไปควบคุมการทำงานของอิเลคโทรนิคส์สวิทช์ในการเลือกดึงกระแสแบบพัลส์หรือแบบคงที่ และเลือกความถี่ , DUTY CYCLE ในการดึงกระแสแบบพัลส์ ซึ่งข้อมูลที่ออกมาควบคุมจะนำไปควบคุมรูปที่ 3.5 ดังแสดงในตารางที่ 2 แสดงข้อมูลออกที่พอร์ต 1เพื่อไปควบคุมอิเลคโทรนิคส์สวิทช์ เพื่อปรับ duty cycle และในตารางที่ 3 แสดงข้อมูลออกที่พอร์ต 2 ไปควบคุมอิเลคโทรนิคส์สวิทช์ เพื่อเลือกความถี่ นำไปควบคุมวงจรรูปที่ 3.5 และควบคุม RELAY 3 ในวงจรรูปที่ 3.2

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลง และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.10 แสดงการนำข้อมูลผ่าน BUFFER เพื่อนำไปควบคุมอิเล็คทรอนิคส์สวิทส์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตารางที่ 2 แสดงข้อมูลออกที่พอร์ต 1 เพื่อไปควบคุมอิเลคโทรนิคส์สวิทช์ เพื่อปรับ duty cycle

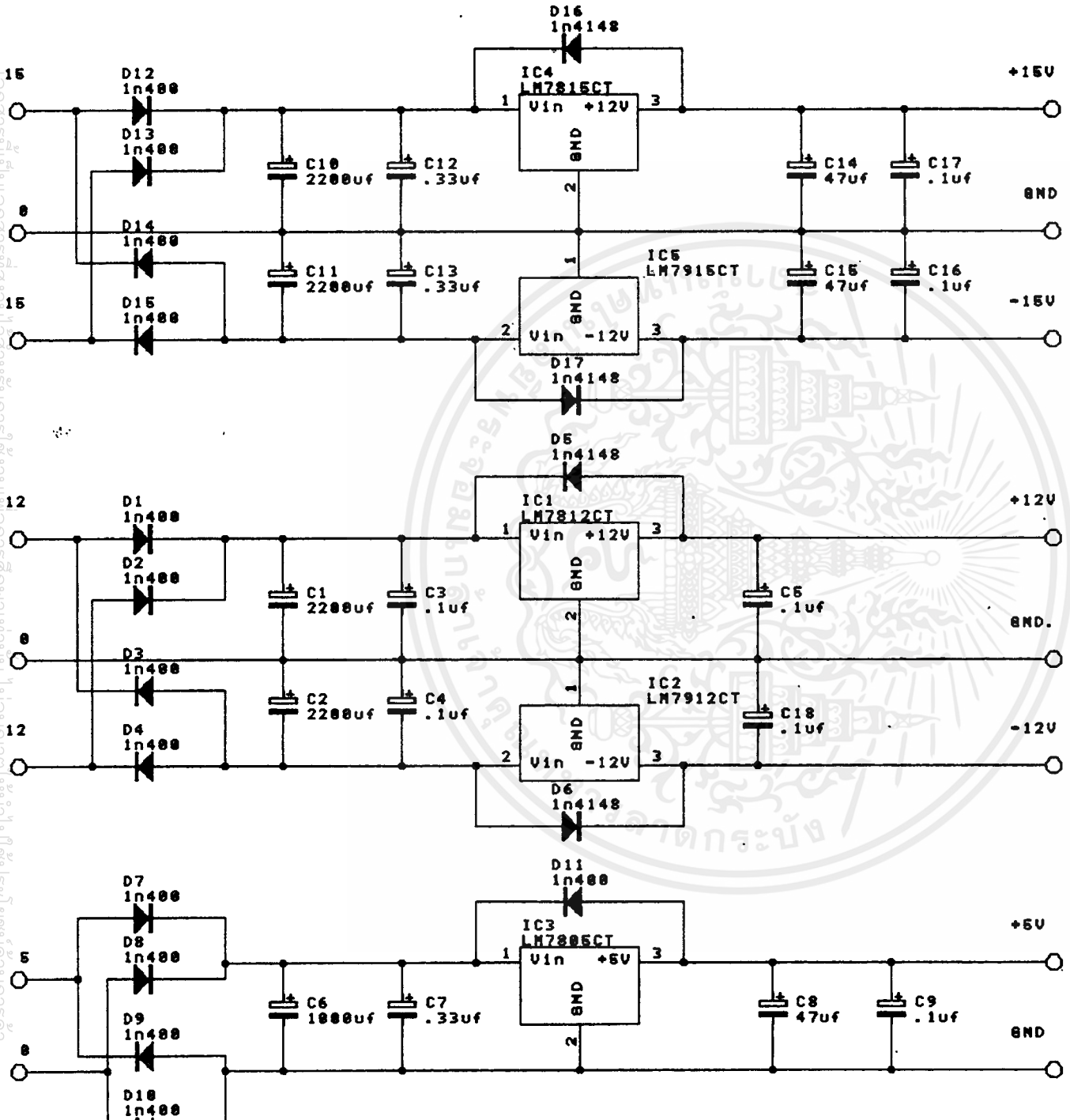
duty cycle	D7	D6	D5	D4	D3	D2	D1	D0
50%	1	0	0	0	0	0	0	0
45%	1	1	0	0	0	0	0	0
40%	1	1	1	0	0	0	0	0
35%	1	1	1	1	0	0	0	0
30%	1	1	1	1	1	0	0	0
25%	1	1	1	1	1	1	0	0
20%	1	1	1	1	1	1	1	0
15%	1	1	1	1	1	1	1	1

ตารางที่ 3 ข้อมูลออกที่พอร์ต 2 เพื่อไปควบคุมอิเลคโทรนิคส์สวิทช์ เพื่อเลือกความถี่

ความถี่(Hz)	D7	D6	D5	D4	D3	D2	D1	D0
เลือกแบบupluse								
1k	0	0	0	0	0	0	1	1
10k	0	0	0	0	0	1	0	1
50k	0	0	0	0	1	0	0	1
100k	0	0	0	1	0	0	0	1
เลือกแบบ dc	1	1	1	1	1	1	1	1

หมายเหตุ D0 นำไปควบคุม Relay3 เพื่อเลือกว่าจะดึงกระแสแบบต่อเนื่องหรือดึงกระแสแบบชั่วขณะ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



POWER SUPPLY

บทที่ 4

การทดลองและผลการทดลอง

1) จากการทดลองใช้เครื่อง AUTOMATIC POWER SUPPLY TESTER เพื่อตรวจสอบ SUPPLY นั้น จะได้กระแสและค่าศักย์ดาที่ตรวจสอบ

- CONTINUOUS CURRENT TESTER MODE

สามารถดึงกระแสได้ตั้งแต่ 0 - 5 แอมป์

สามารถตรวจสอบได้ที่ศักย์ดาอินพุทตั้งแต่ 5 - 50 โวลท์

- PULSE CURRENT TESTER MODE

สามารถดึงกระแสไฟฟ้าได้ตั้งแต่ 0 - 10 แอมป์

สามารถตรวจสอบได้ที่ศักย์ดาอินพุทตั้งแต่ 5 - 50 โวลท์

2) ในการใช้ลักษณะการดึงแบบ CURRENT PLUSE เป็นดังนี้.-

- สามารถเลือกความถี่ของ CURRENT PLUSE ได้ 4 ความถี่

1KHz, 10KHz, 50KHz และ 100KHz

- สามารถปรับค่าความกว้างของ DUTY CYCLE ได้

50%, 45%, 40%. 35%, 30%, 25%, 20%, 15%

3) จากการทดลองวัดค่าของกระแส ที่ทำการดึงจาก POWER SUPPLY โดยเทียบกับค่าแสดงที่ จอคอมพิวเตอร์ พบว่ามีค่าใกล้เคียงกันแต่ที่จอคอมพิวเตอร์ตัวเลขจะเปลี่ยนแปลงไปมาเล็กน้อยอาจเนื่องมาจาก NOISE

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 5

วิจารณ์และสรุปผล

1) สามารถเพิ่มกระแสสูงสุดในการดึงกระแส โดยลดค่าความต้านทานที่ช่วยป้องกัน POWER LOSS ที่ POWER MOSFET ที่มีค่ามากเกินไป และใช้ POWER MOSFET มาขนานอีกตัว เพื่อป้องกัน POWER LOSS ที่เกิดขึ้นที่ตัว POWER MOSFET มีค่ามากเกินไป ซึ่งจะทำให้เกิด ความเสียหายกับตัวอุปกรณ์ได้

2) ในการปรับ DUTY CYCLE นั้น เราสามารถเพิ่มการปรับ DUTY CYCLE ให้เพิ่มมากกว่านี้ได้โดยเพิ่มความต้านทานในตัวปรับ DUTY CYCLE ของตัว TL494 แต่ต้องดูถึง POWER ที่ตกคร่อมในวงจรดึงกระแสด้วยว่าที่ตกคร่อม POWER ที่ตกคร่อม POWER MOSFET และความต้านทานที่ช่วยป้องกันว่าสามารถทนได้หรือไม่

3) ในการเพิ่มความถี่ในการดึงกระแสแบบพัลส์นั้นสามารถเพิ่มความถี่ได้ในวงจรของ TL494(ในรูปที่ 3.3) แต่ต้องทดสอบว่า POWER MOSFET จะได้ค่า POWER LOSS สูงสุดที่เกิดที่ตัว POWER MOSFET เท่าใด ดังสมการ

$$P_{Dmax} = I_M * V_M * T_{ONmax} * F/2$$

จะต้องทำให้ POWER LOSS ที่ตัว POWER MOSFET มีค่าต่ำกว่า อัตราทนกำลังสูงสุดที่ยอมรับได้

4) ในวงจรเปลี่ยนสัญญาณอนาล็อกเป็นดิจิตอล โครงการนี้ได้ใช้เบอร์ ADC0809 ซึ่งมีอุปกรณ์ร่วมมากทำให้วงจรมีขนาดใหญ่ แต่ที่ใช้เบอร์นี้เพราะราคาในท้องตลาดมีราคาถูกกว่าเบอร์อื่น ๆมาก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก

คุณสมบัติและการใช้งานของเครื่อง AUTOMATIC POWER SUPPLY TESTER

คุณสมบัติทั่วไป (SPECIFICATION)

หลักการทำงาน : หลักการแปลงค่าศักดาไฟฟ้าเป็นกระแสไฟฟ้า

ฟังก์ชั่น : 1. CONTINUOUS CURRENT TESTING MODE

2. PULSE CURRENT TESTING MODE เลือกได้ 4 ความถี่

- 1 KHz
- 10 KHz
- 50 KHz
- 100 KHz

ความกว้างของพัลส์ (DUTY CYCLE)

- 50%, 45%, 40%, 35%, 30%, 25%, 20%, 15%

ช่วงการวัด : ค่าศักดาไฟฟ้าอินพุท (Vin)

- CONTINUOUS CURRENT : 5-50 โวลท์
- PULSE CURRENT : 5-50 โวลท์

ค่าที่วัดได้สูงสุด : ค่ากระแสไฟฟ้าที่สามารถตรวจสอบได้

- CONTINUOUS CURRENT : 0-5 แอมป์
- PULSE CURRENT : 0-10 แอมป์

ส่วนแสดงผล : แสดงที่ MONITOR ของเครื่อง PERSONAL COMPUTER

แหล่งจ่ายไฟ : 220 VOLT 50Hz

การป้องกัน (OVER RANGE) : มีสัญญาณเตือนจากเครื่องคอมพิวเตอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การใช้งานเครื่อง AUTOMATIC POWER SUPPLY TESTER

ในการใช้งานเครื่อง AUTOMATIC POWER SUPPLY TESTER มีข้อแนะนำและคำอธิบายดังนี้

1) ใส่การ์ดอินเตอร์เฟสที่เครื่องคอมพิวเตอร์ เรียกโปรแกรม (APS) จะแสดงดังรูปที่ 1 แสดงหน้าจอคอมพิวเตอร์เมื่อเรียกโปรแกรมใช้งาน (APS)

2) ป้อนศักย์ดาไฟฟ้าจากแหล่งจ่ายที่จะทำการ TEST เข้าที่ขั้วอินพุทของเครื่อง AUTOMATIC POWER SUPPLY TESTER โดยที่ค่าศักย์ดาอินพุทต้องมีค่าไม่มากกว่า 50 โวลท์ ซึ่งถ้าค่าศักย์ดามากกว่า 50 โวลท์ เมื่อทำการดิงกระแสไฟฟ้าโดยใช้โปรแกรมคอมพิวเตอร์จะมีสัญญาณเตือน

3) ในโปรแกรมมีการเรียกการดิงกระแส 2 โหมดคือ

- CONTINUOUS CURRENT TESTING MODE จะแสดงดังรูปที่ 2 แสดงหน้าจอคอมพิวเตอร์เมื่อเลือกการกระแสแบบต่อเนื่อง

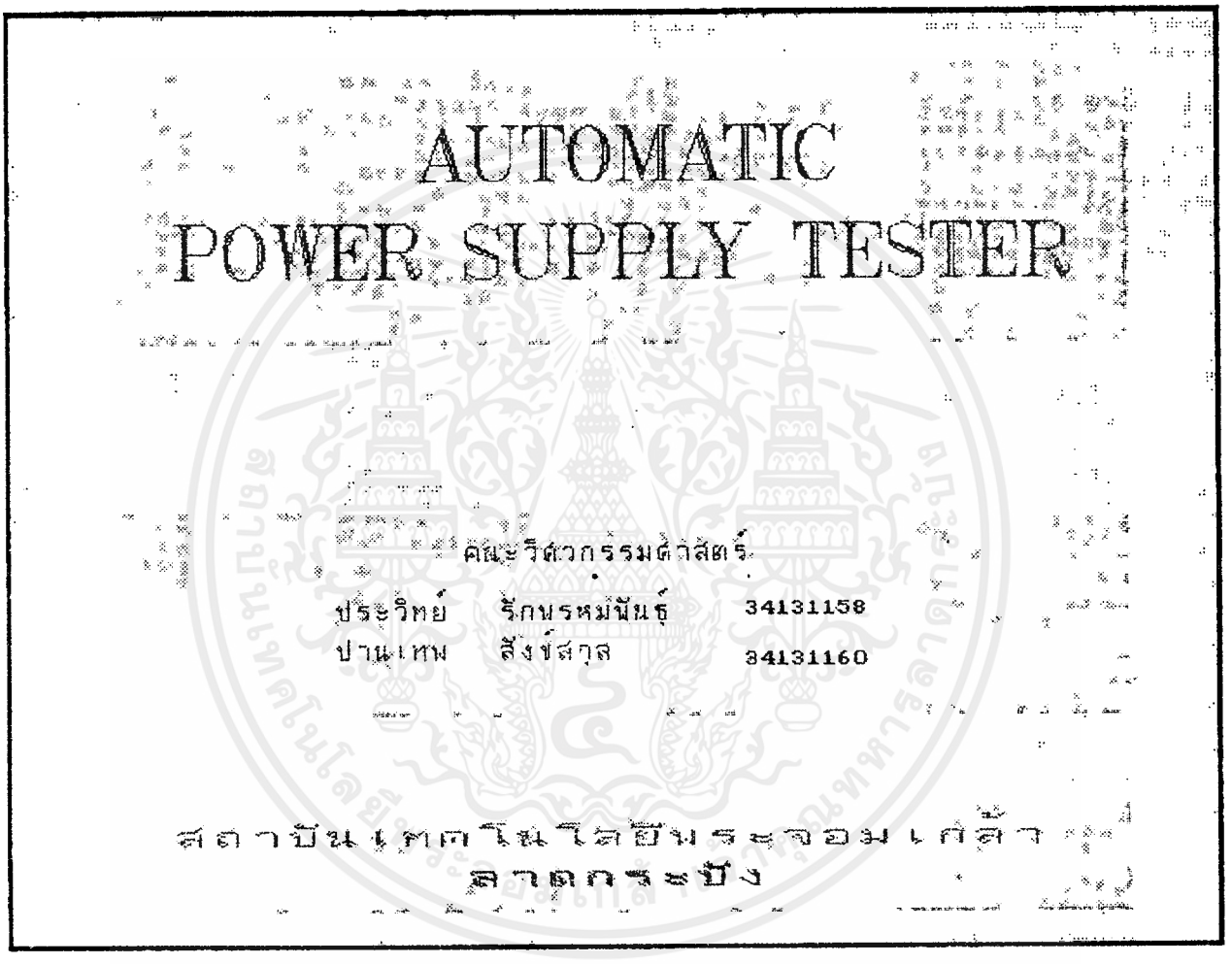
- PLUSE CURRENT TESTING MODE จะแสดงดังรูปที่ 3 แสดงหน้าจอคอมพิวเตอร์เมื่อเลือกการกระแสแบบพัลส์

4) หากเลือก PLUSE CURRENT TESTING MODE จะมีการเลือกใช้ความถี่และ DUTY CYCLE โดยความถี่ที่ให้เลือกคือ 1 KHz, 10 KHz, 50 KHz, 100 KHz ส่วน DUTY CYCLE คือ 50%, 45%, 40%, 35%, 30%, 25%, 20%, 15% ดังรูปที่ 4 แสดงหน้าจอคอมพิวเตอร์เมื่อเลือก ความถี่ และ DUTY CYCLE

5) สามารถเพิ่มการดิงกระแสโดยใช้ VALUME VARIABLE RESISTOR มี 2 โหมด คือ DC (CONTINUOUS CURRENT TESTER) และ PLUSE (PLUSE CURRENT TESTE) ซึ่งแยกกัน

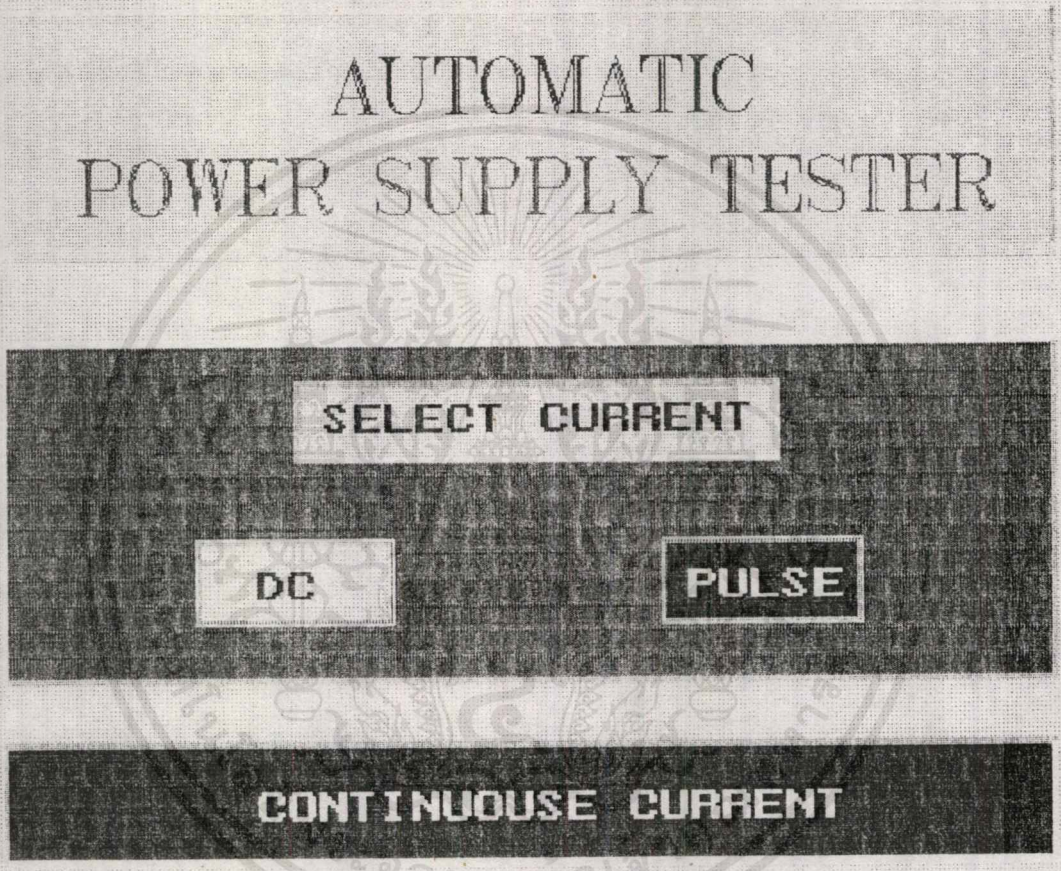
6) ค่าแสดงบนคอมพิวเตอร์จะแสดงบนโวลเทจต์และกระแสของ POWER SUPPLY ที่ถูกทดสอบและแสดงเป็นกราฟเพื่อทำให้สังเกตการเปลี่ยนแปลงได้ง่ายดังแสดงในรูปที่ 5 แสดงหน้าจอคอมพิวเตอร์เพื่อดูการดิงกระแสเมื่อเทียบกับโวลท์เตจ หากต้องการเปลี่ยนโหมดการทำงานสามารถทำได้โดยกด ARROW KEY หรือต้องการออกจากโปรแกรมโดยกด Esc

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



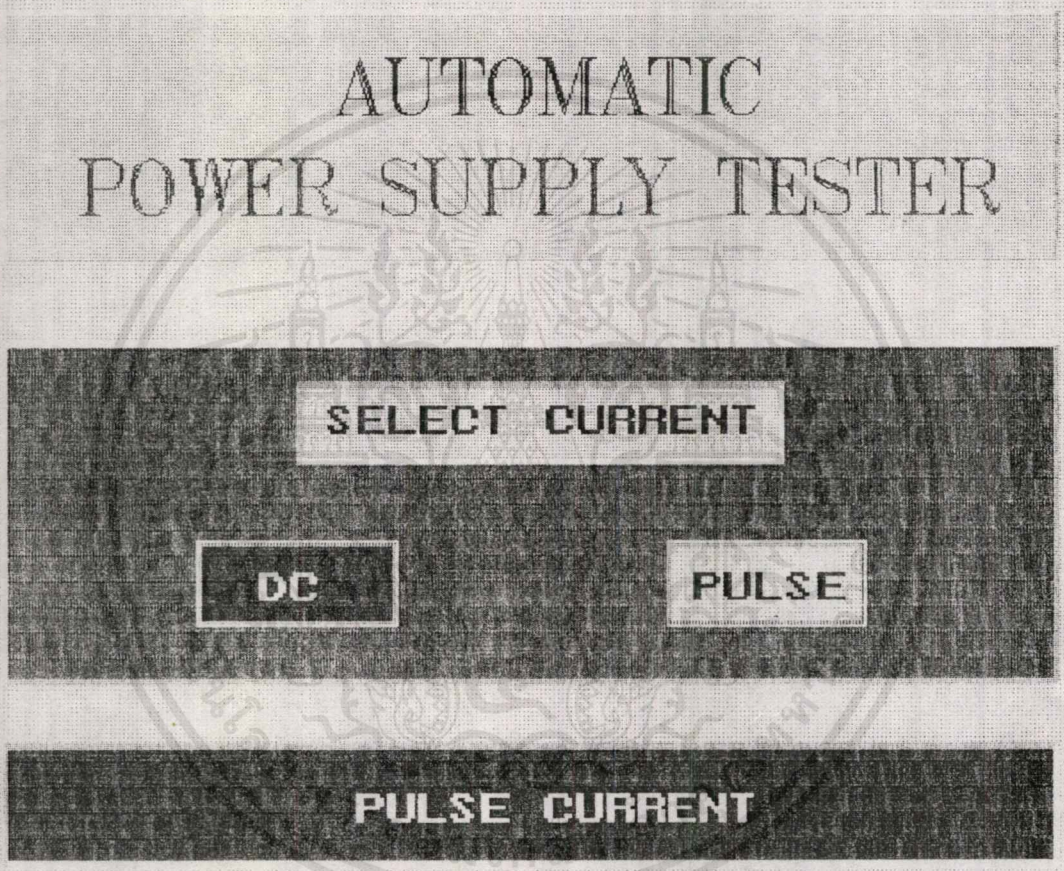
รูปที่ 1 แสดงหน้าจอคอมพิวเตอร์เมื่อเรียกโปรแกรมใช้งาน (APS)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



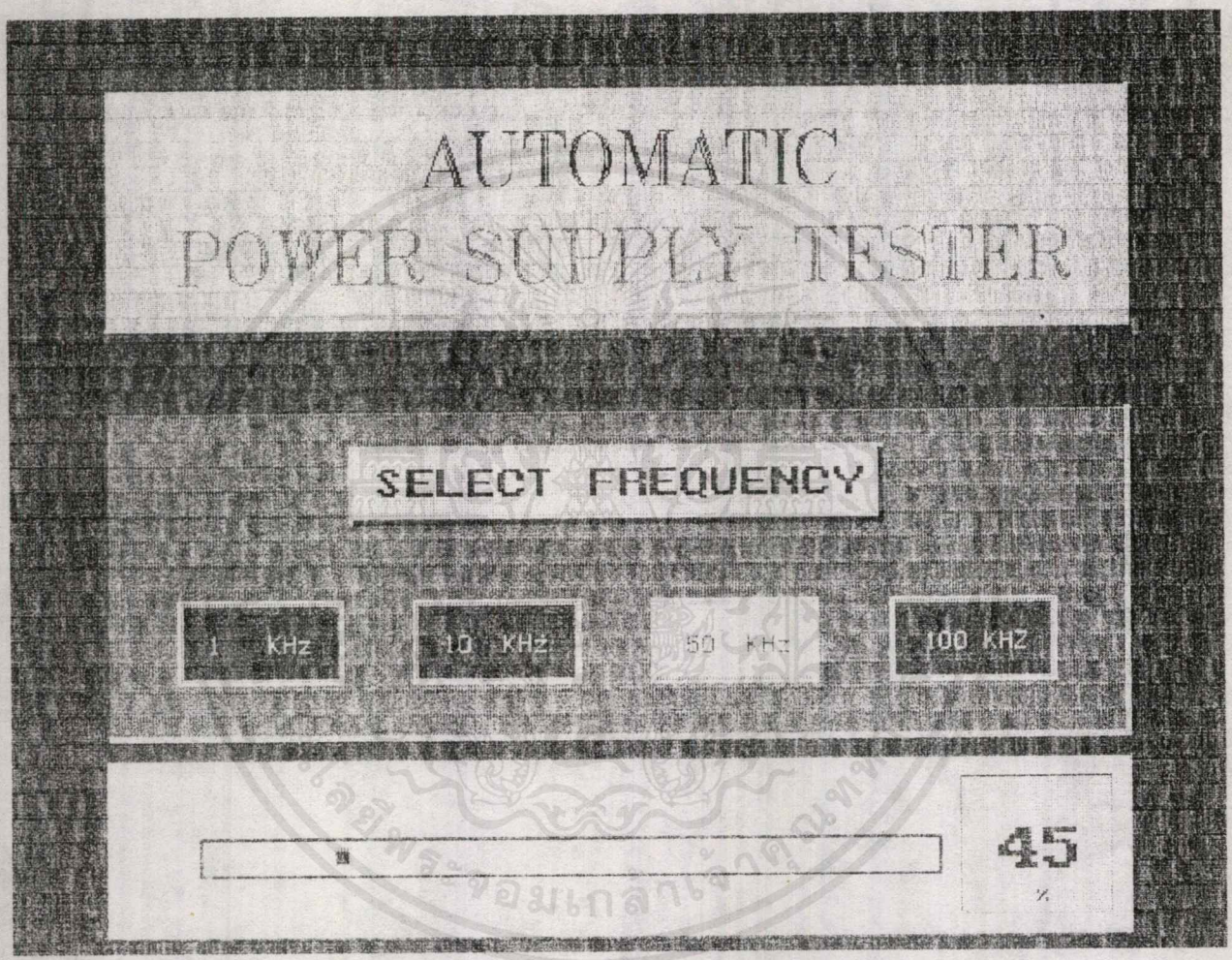
รูปที่ 2 แสดงหน้าจอคอมพิวเตอร์เมื่อเลือกการกระแสแบบต่อเนื่อง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



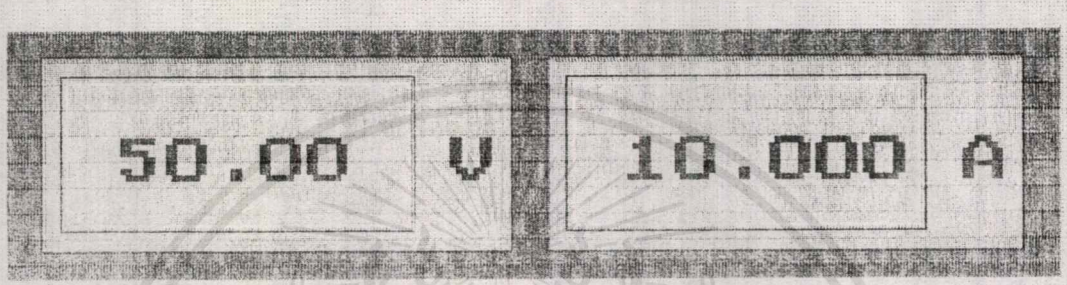
รูปที่ 3 แสดงหน้าจอคอมพิวเตอร์เมื่อเลือกการกระแสแบบพัลส์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4 แสดงหน้าจอคอมพิวเตอร์เมื่อเลือก ความถี่ และ DUTY CYCLE

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 5 แสดงหน้าจอคอมพิวเตอร์เพื่อดูการดึงกระแสเมื่อเทียบกับโวลท์เตจ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กิตติกรรมประกาศ

โครงงานปริญญานิพนธ์นี้สำเร็จไปได้ เนื่องจากได้รับความอนุเคราะห์จากท่านอาจารย์ที่ปรึกษาปริญญานิพนธ์คณาจารย์ประจำภาควิชาเทคนิคอุตสาหกรรมและเพื่อนๆ ซึ่งได้ให้ความอนุเคราะห์ในด้านคำปรึกษา เครื่องมือ อุปกรณ์ และสถานที่เป็นอย่างดี ซึ่งเป็นประโยชน์ต่อการจัดทำในครั้งนี้ คณะผู้จัดทำใคร่ขอขอบพระคุณทุกท่านเป็นอย่างสูงมา ณ.โอกาสนี้ด้วย

นาย ประวิทย์ รักษรหมพันธุ์

นาย ปานเทพ สังข์สกุล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หนังสืออ้างอิง

1. Edwin S. Oxner,"Power FETs and Their Application",Prentice-Hall Inc.,Englewood Cliffs , 1982.

2. Gopal K. Dubey,"Power Semiconductor Controlled Drives"

3. George Chryssis, Hight Freqency Switching Power Supply: Theory And Design",1984.

4. LeWis C. Eggebrecht, "Interfacing to the IBM Personal Computer ",Harvard W. Sams&Co.,Inc.,พิมพ์ครั้งที่ 1,1983.

5. ยืน ภู่วรวรรณ, ดร. ชัยยงค์ วงค์ชัยสุวัฒน์ ,ดร.ไพศาล สงวนหมู่," เทคโนโลยีไมโครคอมพิวเตอร์ 16 บิต ", บริษัท ซีเอ็ดยูเคชั่น จำกัดมพิมครั้งที่ 2,2530.

6. Power Mosfet Transister DaTa , Motorla ., 1984

7. Data Conversion/Aquisition Databook,National Semiconductor.

8. Liner Data Book, National Semiconductor.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
/*************************************************************************
                    King Mongkut's Institute of Technology
                                    KMITL
                        AUTOMATIC POWER SUPPLY TESTER
-------------------------------------------------------------------------
-------------------------------------------------------------------------
FILE NAME :  APS.C

Create    :  25 / Feb / 1992
Update    :  19 / may / 1992
Purpose   :  Prototype function for AUTOMATIC POWER SUPPLY TESTER


Copyright (c) 1993 King Mongkut's Institute of Technology Ladkrabang
*************************************************************************

#include <graphics.h>
#include <stdlib.h>
#include <stdio.h>
#include <conio.h>
#include <dos.h>
#include <math.h>
#include "allkey.h"

char     *kmit[2] = {"สถาบันเทคโนโลยีพระจอมเกล้า","ลาดกระบัง"};
char     *name[4] = {"ประวิทย์","รักพรหมพันธุ์",
                     "ปานเทพ","สังข์สกุล"
};
char     *engineering[] = {"คณะวิศวกรรมศาสตร์"};

char     *infor[2] = {
         "CONTINUOUSE CURRENT",
         "PULSE CURRENT"
};

char     *bang[8] = {"50","45","40","35","30","25","20","15"
};
char     *jit2[4] = {"1   KHz","10  KHz","50  KHz","100 KHZ"
};
int      lad[8] = {120,170,220,270,320,370,420,470
};
int      jit1[4] = {107,232,357,484
};
int      tong[4] = { 90,215,340,465
};
unsigned  int C,D,tm3,tm4;
double    tm1,tm2,kmit1,kmit2;

int      begin,start,go;
int      X,Y;
int      A[8] = {127,63,31,15,7,3,1,0
};
int      B[6] = {225,254,252,250,246,238
};

main( )
{
         opengraph( );                          /*  initial graphics mode
         aps_test( );
         closegraph( );                         /*  retrn to text mode
}
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
aps_test( )
{
        int keyhit;
/*      fontthai( );*/
        bbx(0,0,639,479,11,11,1);
        bbx1(50,25,590,170,15,8,7);
        bbx1(50,405,590,460,15,8,7);
        bbx1(50,255,590,360,15,8,7);
        writethai(165,295,14,1,name[0] );
        writethai(251,295,14,1,name[1] );
        writethai(165,315,14,1,name[2] );
        writethai(251,315,14,1,name[3] );
        writetext(220,50,0,1,0,5,"AUTOMATIC");
        writetext(90,100,5,1,0,5,"POWER SUPPLY TESTER");
        writethai(226,431,5,2,kmit[1] );
        writethai(225,430,5,2,kmit[1] );
        writethai(70,410,6,2,kmit[0] );
        writetext(390,302,9,0,0,1,"34131158");
        writetext(390,328,9,0,0,1,"34131160");
        writethai(233,265,10,1,engineering[0] );
        keyhit = getch( );
        if(keyhit == 27) {
                bbxesci(5,5);   bbxesci(618,5);
                delay(500);
                closegraph( );
                exit(1);
        }
        else
        wee( );
}

wee( )
{
        bbx(0,0,639,479,7,7,7);
        bbx1(50,35,590,160,15,8,1);
        writetext(220,50,14,1,0,5,"AUTOMATIC");
        writetext(90,100,5,1,0,5,"POWER SUPPLY TESTER");
        bbx(50,200,590,370,15,8,6);
        bbx(200,220,449,260,8,15,9);
        writetext(215,232,14,0,0,2,"SELECT CURRENT");
        botton1(150,300,250,340);
        botton(390,300,490,340);
        writetext(180,315,14,0,0,2,"DC");
        writetext(403,315,0,0,0,2,"PULSE");
        bbx(50,400,590,460,8,15,14);
        writetext(180,425,0,0,0,2,infor[0] );
        select( );
}

select( )
{
        int key;
        begin = 0;
        do{
                moveto(640,480);
                key = getch( );
                if(key==0) {
                        key=getch( );
                        if(( key==75) || (key==77)) {
                                check(key);
                        }
                }
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
                if(key == 27) {
                        bbxesci(5,5);   bbxesci(618,5);
                        delay(500);
                        aps_test();
                        break;
                }
                else {
                        if(key==13) {
                        delay(200);
                        switch(begin) {
                                case  0 :  dc();          break;

                                case  1 :  pulse();       break;

                                }
                        }
                }

        } while((key != 13));
        setcolor(15);
}

/* checking key when the button is pressed */
int check(int key)
{
        if(key==75) {
        speaker(1000,10);
                botton1(150,300,250,340);
                writetext(180,315,14,0,0,2,"DC");
                botton(390,300,490,340);
                writetext(403,315,0,0,0,2,"PULSE");
                bbx(55,405,585,455,14,14,14);
                writetext(180,425,0,0,0,2,infor[0]);
                begin=0;
        }
        if(key==77) {
        speaker(1000,10);
                botton1(390,300,490,340);
                writetext(403,315,14,0,0,2,"PULSE");
                botton(150,300,250,340);
                writetext(180,315,0,0,0,2,"DC");
                bbx(55,405,585,455,14,14,14);
                writetext(230,425,0,0,0,2,infor[1]);
                begin=1;
        }
}

botton(int sx,int sy,int ex,int ey)
{
        setfillstyle(1,3);
        bar(sx,sy,ex,ey);
        setfillstyle(1,11);
        bar(sx,sy,sx+1,ey);
        bar(sx,sy,ex,sy+1);
        setfillstyle(1,8);
        bar(sx+1,ey-1,ex,ey);
        bar(ex-1,sy+1,ex,ey);
        setcolor(0);
        rectangle(sx-1,sy-1,ex+1,ey+1);
}

botton1(int sx,int sy,int ex,int ey)
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
{
        setfillstyle(1,7);
        bar(sx,sy,ex,ey);
        setfillstyle(1,8);
        bar(sx,sy,sx+1,ey);
        bar(sx,sy,ex,sy+1);
        setfillstyle(1,11);
        bar(sx+1,ey-1,ex,ey);
        bar(ex-1,sy+1,ex,ey);
        setcolor(0);
        rectangle(sx-1,sy-1,ex+1,ey+1);
}

dc( )
{
        bbx0(0,0,639,479,15,15,1);
        X=00;
        Y=B[0];
        port( );
}

pulse( )
{
        bbx0(0,0,639,479,15,15,3);
        bbx1(50,35,590,160,15,8,1);
        writetext(220,50,14,1,0,5,"AUTOMATIC");
        writetext(90,100,5,1,0,5,"POWER SUPPLY TESTER");
        bbx(50,200,590,370,15,8,6);
        bbx(180,220,460,260,8,15,9);
        writetext(195,232,14,0,0,2,"SELECT FREQUENCY");
        botton1(90,300,175,340);
        botton(215,300,300,340);
        botton(340,300,425,340);
        botton(465,300,550,340);
        writetext(107,315,14,2,0,5,"1   KHz");
        writetext(232,315, 0,2,0,5,"10  KHz");
        writetext(357,315, 0,2,0,5,"50  KHz");
        writetext(482,315, 0,2,0,5,"100 KHz");
        bbx0(50,380,590,470,15,8,7);
        writetext(285,395,1,2,0,5,"DUTY CYCLE");
        bbx0(500,390,580,460,15,8,9);
        bbx1(100,420,490,440,15,15,0);
        writetext(520,417,14,0,0,3,"00");
        writetext(540,448,14,0,0,1,"%");
        mode( );
}

mode( )
{
        int key;
        start = 0;
        do{
                moveto(640,480);
                key = getch( );
                if(key==0) {
                        key=getch( );
                        if((key==75) || (key==77)) {
                                answer(key);
                        }
                }
                if(key == 27) {
                        bbxesci(5,5);   bbxesci(618,5);
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
                        delay(500);
                        pulse( );
                        break;
                }
                else {
                        if(key==13) {
                        delay(200);
                        switch(start) {
                                case  0 :  k1( );          break;

                                case  1 :  k2( );          break;

                                case  2 :  k3( );          break;

                                case  3 :  k4( );         break;

                                }
                        }
                }

        } while((key != 13));
        setcolor(15);
        duty( );
}

/* checking key when the button is pressed */
int answer(int key)
{
        if(key==75) {
                speaker(1000,10);
                botton(tong[start],300,tong[start]+85,340);
                writetext(jit1[start],315,0,2,0,5,jit2[start]);
                start = (start == 0 ) ? 3 : start - 1;
                botton1(tong[start],300,tong[start]+85,340);
                writetext(jit1[start]+ 1,316,14,2,0,5,jit2[start]);
        }
        if(key==77) {
                speaker(1000,10);
                botton(tong[start],300,tong[start]+85,340);
                writetext(jit1[start],315,0,2,0,5,jit2[start]);
                start = (start == 3 ) ? 0 : start + 1;
                botton1(tong[start],300,tong[start]+85,340);
                writetext(jit1[start]+1,316,14,2,0,5,jit2[start]);
        }
}

k1( )
{
        Y=252;
}

k2( )
{
        Y=250;
}

k3( )
{
        Y=246;
}

k4( )
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
{
        Y=238;
}

duty( )
{
        botton(120,425,130,435);
        bbx(505,395,575,440,9,9,9);
        writetext(520,417,14,0,0,3,"50");
        control( );
}

control( )
{
        int arrow;
        go = 0;
        do{
                moveto(640,480);
                arrow = getch( );
                if(arrow==0) {
                        arrow=getch( );
                        if((arrow==75) || (arrow==77)) {
                                kmitlad(arrow);
                        }
                }
                if(arrow == 27) {
                        bbxesci(5,5);   bbxesci(618,5);
                        delay(500);
                        wee( );
                        break;
                }
                else {
                        if(arrow==13) {
                        delay(200);
                        switch(go) {
                                case  0 :  c1( );          break;
                                case  1 :  c2( );          break;
                                case  2 :  c3( );          break;
                                case  3 :  c4( );          break;
                                case  4 :  c5( );          break;
                                case  5 :  c6( );          break;
                                case  6 :  c7( );          break;
                                case  7 :  c8( );          break;
                                }
                        }
                }

        } while((arrow != 13));
        setcolor(15);
}

c1( )
{
        X=A[0];
        port( );
}

c2( )
{
        X=A[1];
        port( );
}
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
c3( )
{
        X=A[2];
        port( );
}

c4( )
{
        X=A[3];
        port( );
}

c5( )
{
        X=A[4];
        port( );
}

c6( )
{
        X=A[5];
        port( );
}

c7( )
{
        X=A[6];
        port( );
}

c8( )
{
        X=A[7];
        port( );
}

/* checking key when the button is pressed */
int kmitlad(int arrow)
{
        if(arrow==75) {
                speaker(1000,10);
                go = (go == 0 ) ? 7 : go - 1;
                bbx(105,422,482,436,0,0,0);
                botton(lad[go],425,lad[go]+10,435);
                bbx(505,395,575,440,9,9,9);
                writetext(520,417,14,0,0,3,bang[go]);
        }
        if(arrow==77) {
                speaker(1000,10);
                go = (go == 7 ) ? 0 : go + 1;
                bbx(105,422,482,436,0,0,0);
                botton(lad[go],425,lad[go]+10,435);
                bbx(505,395,575,440,9,9,9);
                writetext(520,417,14,0,0,3,bang[go]);
        }
}

port( )
{
        int count=0;
        outportb(0x303,0x80);
        outportb(0x307,0x92);
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
        bbx0(0,0,639,479,15,15,7);
        bbx0(50,35,590,160,15,8,6);
        botton(70,50,310,145);
        botton(330,50,570,145);
        writetext(280,90,0,0,0,3,"V");
        writetext(540,90,0,0,0,3,"A");
        botton1(80,60,260,135);
        botton1(340,60,520,135);
        bbx(50,200,590,460,15,8,2);
        bbx1(55,205,585,455,8,15,1);
        do {
                outportb(0x300,X);
                outportb(0x301,Y);
                C = inportb(0x304);
                D = inportb(0x305);
                bbx0(83,63,257,132,3,3,3);
                bbx0(343,63,517,132,3,3,3);
                tm1=C*50.000/255.000;
                tm2=D*10.000/255.000;
                writetextxy(110,90,14,0,0,3,"%2.2f",tm1);
                writetextxy(370,90,4,0,0,3,"%2.3f",tm2);
                if(count==0) {
                        bbx1(58,208,582,452,1,1,1);
                        moveto(60,320);
                }
                count = (count == 520) ? 0 : count + 1;
                delay(100);

                kmit1 = (255.0000-tm3)*240.0000/255.0000 + 210.0000;
                kmit2 = (255.0000-C)*240.0000/255.0000 + 210.0000;
                moveto(count+60,kmit1);
                setcolor(14);
                lineto(count+61,kmit2);
                tm3=C;

                kmit1 = (255.0000-tm4)*240.0000/255.0000 + 210.0000;
                kmit2 = (255.0000-D)*240.0000/255.0000 + 210.0000;
                moveto(count+60,kmit1);
                setcolor(12);
                lineto(count+61,kmit2);
                tm4=D;

                if(C == 255 || D == 255) {
                        speaker(1000,100);
                }

        }while(!kbhit());
        wee();
}

writetextxy(int xloc, int yloc, int color, char font, int direct,
                int size, char *fmt, ...)
{
        va_list argptr;
        char str[140];
        struct textsettingstype textinfo;
        va_start(argptr, format);
        vsprintf(str, fmt, argptr);
        gettextsettings(&textinfo);
        settextstyle(font,direct,size);
        setcolor(color);
        outtextxy(xloc, yloc, str);
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

IRF250
IRF251
IRF252
IRF253

MOTOROLA

Advance Information

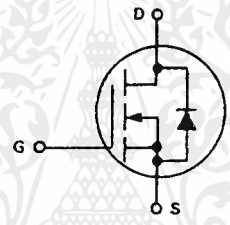
Part Number	V_{DS}	$r_{DS(on)}$	I_D
IRF250	200 V	0.085 Ω	30 A
IRF251	150 V	0.085 Ω	30 A
IRF252	200 V	0.120 Ω	25 A
IRF253	150 V	0.120 Ω	25 A

N-CHANNEL ENHANCEMENT MODE SILICON GATE TMOS POWER FIELD EFFECT TRANSISTOR

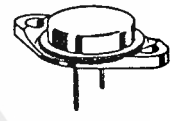
These TMOS Power FETs are designed for high voltage, high speed power switching applications such as switching regulators, converters, solenoid and relay drivers.

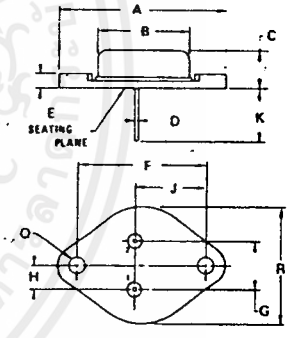
- Silicon Gate for Fast Switching Speeds
- Rugged — SOA is Power Dissipation Limited
- Source-to-Drain Diode Characterized for Use With Inductive Loads

TMOS™



IRF250
IRF251
IRF252
IRF253





STYLE 3:
PIN 1. GATE
2. SOURCE
CASE DRAIN

DIM	MILLIMETERS MIN	MILLIMETERS MAX	INCHES MIN	INCHES MAX
A	38.35	39.37	1.510	1.550
B	19.30	21.08	0.760	0.830
C	6.35	7.62	0.250	0.300
D	1.45	1.60	0.057	0.063
E	–	3.43	–	0.135
F	29.90	30.48	1.177	1.197
G	10.67	11.18	0.420	0.440
H	5.21	5.72	0.205	0.225
J	16.64	17.15	0.655	0.675
K	11.18	12.19	0.440	0.480
Q	3.84	4.09	0.151	0.161
R	24.89	26.67	0.980	1.050

CASE 197-01
TO-204AE
(TO-3 TYPE)

MAXIMUM RATINGS

Rating	Symbol	IRF 250	IRF 251	IRF 252	IRF 253	Unit
Drain-Source Voltage	V_{DSS}	200	150	200	150	Vdc
Drain-Gate Voltage (R_{GS} = 1.0 MΩ)	V_{DGR}	200	150	200	150	Vdc
Gate-Source Voltage	V_{GS}	± 20				Vdc
Continuous Drain Current T_C = 25°C	I_D	30	30	25	25	Adc
Continuous Drain Current T_C = 100°C	I_D	19	19	16	16	Adc
Pulsed Drain Current	I_{DM}	120	120	100	100	Adc
Gate Current — Pulsed	I_{GM}	1.5				Adc
Total Power Dissipation @ T_C = 25°C	P_D	150				Watts
Derate above 25°C		1.2				W/°C
Operating and Storage Temperature Range	T_J, T_{stg}	−55 to 150				°C

THERMAL CHARACTERISTICS

Thermal Resistance Junction to Case	$R_{\theta JC}$	0.83	°C/W
Maximum Lead Temp. for Soldering Purposes, 1/8" from case for 5 seconds	T_L	300	°C

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ELECTRICAL CHARACTERISTICS (T_C = 25°C unless otherwise noted)

Characteristic		Symbol	Min	Typ	Max	Unit
OFF CHARACTERISTICS						
Drain-Source Breakdown Voltage (V_{GS} = 0, I_D = 250 μA)	IRF250,252 IRF251,253	$V_{(BR)DSS}$	200 150	— —	— —	Vdc
Zero Gate Voltage Drain Current (V_{GS} = 0 V, V_{DS} = Rated V_{DSS}) (V_{GS} = 0 V, V_{DS} = 0.8 Rated V_{DSS}, T_C = 125°C)		I_{DSS}	— —	— —	0.25 1.00	mAdc
Forward Gate-Body Leakage Current (V_{GS} = 20 V, V_{DS} = 0)		I_{GSSF}	—	—	100	nAdc
Reverse Gate-Body Leakage Current (V_{GS} = −20 V, V_{DS} = 0)		I_{GSSR}	—	—	−100	nAdc
ON CHARACTERISTICS*						
Gate Threshold Voltage (V_{DS} = V_{GS}, I_D = 250 μA)		$V_{GS(th)}$	2.0	—	4.0	Vdc
On-State Drain Current (V_{DS} = 25 V, V_{GS} = 10 V)	IRF250,251 IRF252,253	$I_{D(on)}$	30 25	— —	— —	Adc
Static Drain-Source On-Resistance (V_{GS} = 10 V, I_D = 16 A)	IRF250,251 IRF252,253	$r_{DS(on)}$	— —	— —	0.085 0.120	Ohm
Forward Transconductance (V_{DS} = 15 V, I_D = 16 A)		g_{fs}	8.0	—	—	mhos
DYNAMIC CHARACTERISTICS						
Input Capacitance	(V_{DS} = 25 V, V_{GS} = 0, f = 1.0 MHz)	C_{iss}	—	—	3000	pF
Output Capacitance		C_{oss}	—	—	1200	
Reverse Transfer Capacitance		C_{rss}	—	—	500	
SWITCHING CHARACTERISTICS* (T_J = 100°C)						
Turn-On Delay Time	V_{DD} = 95 V, I_D = 16 A Z_o = 4.7 Ω	$t_{d(on)}$	—	—	35	ns
Rise Time		t_r	—	—	100	
Turn-Off Delay Time		$t_{d(off)}$	—	—	125	
Fall Time		t_f	—	—	100	

SOURCE DRAIN DIODE CHARACTERISTICS*

Characteristic		Symbol	Typ	Unit
Forward On-Voltage	I_S = Rated I_D, V_{GS} = 0	V_{SD}	1.8	Vdc
Reverse Recovery Time		t_{rr}	750	ns

*Pulse Test: Pulse Width ≤ 300 μs, Duty Cycle ≤ 2.0 %.

RESISTIVE SWITCHING

FIGURE 1 — SWITCHING TEST CIRCUIT

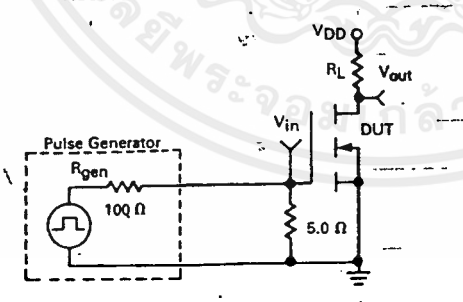
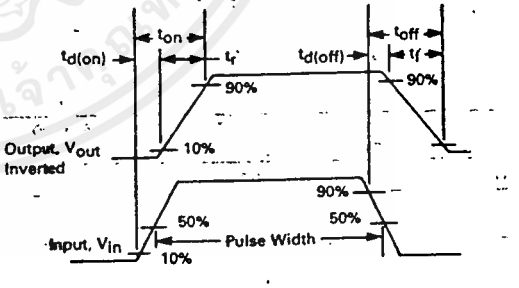


FIGURE 2 — SWITCHING WAVEFORMS



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Table 1 — Plastic TMOS Power MOSFETs
TO-220AB, TO-225AA and TO-218AC (continued)

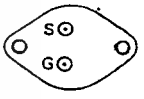
CASE 221A-02, CASE 77-04 CASE 340-01

$V_{(BR)DSS}$ Volts Min	$r_{DS(on)}$ @ I_D (Ohms) Max	Amps	Device	I_D Cont Amps Max	P_D @ T_C = 25°C Watts
60	0.8	2.0	IRF513	3.5	20
	0.6		IRF511	4.0	
		2.5	MTP5N06	5.0	50
	0.4	3.5	MTA7N06	7.0	30
		4.0	IRF523		40
	0.3		IRF521	8.0	
	0.28	5.0	MTP10N06	10	75
	0.25	8.0	IRF533	12	
	0.20	6.0	MTP12N06		
	0.18	8.0	IRF531	14	
	0.16	7.5	MTP15N06	15	
	0.11	15	IRF543	24	125
	0.085		IRF541	27	
	0.08	12.5	MTP25N06	25	100
	0.055	17.5	MTH35N06	35	150
50	0.8	2.5	MTP5N05	5.0	50
	0.4	3.5	MTA7N05	7.0	30
	0.28	5.0	MTP10N05	10	75
	0.20	6.0	MTP12N05	12	
	0.16	7.5	MTP15N05	15	
	0.10	6.0	BUZ10	12	
	0.08	12.5	MTP25N05	25	100
	0.055	17.5	MTH35N05	35	150

Table 2 — Metal TMOS Power MOSFETs
TO-204 (Formerly TO-3)

CASE 1-04 and CASE 1-05

Drain connected to case



$V_{(BR)DSS}$ Volts Min	$r_{DS(on)}$ @ I_D (Ohms) Max	Amps	Device	I_D Cont Amps Max	P_D @ T_C = 25°C Watts
1000	10	0.5	MTM1N100	1.0	75
950			MTM1N95		
900	8.0	1.0	MTM2N90	2.0	
850			MTM2N85		
600	2.5	1.5	MTM3N60	3.0	
	1.2	3.0	MTM6N60	6.0	150
550	2.5	1.5	MTM3N55	3.0	75
	1.2	3.0	MTM6N55	6.0	150
500	6.0	1.0	MTM2P50*	2.0	75
	4.0		MTM2N50		
	2.0	2.5	IRF432	4.0	
	1.5		IRF430	4.5	
		2.0	MTM4N50	4.0	
		3.0	2N6762	4.5	
	0.8	3.5	MTM7N50	7.0	150
	0.4	7.5	MTM15N50	15	250
450	6.0	1.0	MTM2P45*	2.0	75
	4.0		MTM2N45		
	2.0	2.5	IRF433, 2N6761	4.0	
	1.5		IRF431	4.5	
		2.0	MTM4N45	4.0	
	0.8	3.5	MTM7N45	7.0	150
	0.40	7.5	MTM15N45	15	250
400	3.3	1.5	MTM3N40	3.0	75
	1.5	3.0	IRF332	4.5	
	1.0		IRF330	5.5	
		2.5	MTM5N40	5.0	
		3.5	2N6760	5.5	
	0.55	4.0	MTM8N40	8.0	150
	0.30	7.5	MTM15N40	15	250

*Indicates P-Channel

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Table 2 — Metal TMOS Power MOSFETs
TO-204 (Formerly TO-3) (continued)

$V_{(BR)DSS}$ Volts Min	$r_{DS(on)}$ @ I_D (Ohms) Max	Amps	Device	I_{DCont} Amps Max	P_D @ T_C = 25°C Watts
350	3.3	1.5	MTM3N35	3.0	75
	1.5	3.0	IRF333, 2N6759	4.5	
	1.0		IRF331	5.5	
		2.5	MTM5N35	5.0	
	0.55	4.0	MTM8N35	8.0	150
	0.30	7.5	MTM15N35	15	250
250	0.50	5.0	MTM10N25	10	100
200	1.2	2.5	IRF222	4.0	40
	1.0		MTM5N20	5.0	75
	0.8		IRF220		
	0.7	3.5	MTM7N20	7.0	
	0.6	5.0	IRF232	8.0	
	0.4		IRF230	9.0	
		6.0	2N6758		
		4.0	MTM8N20	8.0	
	0.35	6.0	MTM12N20	12	100
	0.22	10	IRF242	16	125
	0.18		IRF240	18	
	0.16	7.5	MTM15N20	15	150
	0.12	16	IRF252	25	
	0.085		IRF250	30	
	0.06	20	MTM40N20	40	250
180	1.0	2.5	MTM5N18	5.0	75
	0.70	3.5	MTM7N18	7.0	
	0.40	4.0	MTM8N18	8.0	
	0.35	6.0	MTM12N18	12	100
	0.16	7.5	MTM15N18	15	150
	0.06	20	MTM40N18	40	250
150	1.2	2.5	IRF223	4.0	40
	0.8		IRF221	5.0	
	0.7	3.5	MTM7N15	7.0	75
	0.6	5.0	2N6757	8.0	
			IRF233		
	0.5	4.0	MTM8N15		
	0.4	5.0	IRF231	9.0	
	0.3		MTM10N15	10	
	0.25	7.5	MTM15N15	15	150
	0.22	10	IRF243	16	125
	0.18		IRF241	18	
	0.12		MTM20N15	20	150
		16	IRF253	25	
	0.085		IRF251	30	
	0.06	22.5	MTM45N15	45	250
120	0.70	3.5	MTM7N12	7.0	75
	0.50	4.0	MTM8N12	8.0	
	0.30	5.0	MTM10N12	10	
	0.25	7.5	MTM15N12	15	150
	0.12	10	MTM20N12	20	
	0.06	22.5	MTM45N12	45	250
100	0.5	4.0	MTM8N10	8.0	75
	0.4		MTM6P10*		
			IRF122	7.0	40
	0.33	5.0	MTM10N10	10	
	0.3	4.0	IRF120	8.0	40
	0.25	8.0	IRF132	12	75
	0.18		IRF130	14	
		6.0	MTM12N10	12	
		9.0	2N6756	14	
	0.15	10	MTM20N10	20	100
	0.11	15	IRF142	24	125
	0.085		IRF140	27	
	0.06	20	IRF152	33	150
	0.07	12.5	MTM25N10	25	
	0.055	20	IRF150	40	
	0.04	27.5	MTM55N10	55	250

*Indicates P-Channel

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MOTOROLA

TL494
TL495

Specifications and Applications Information

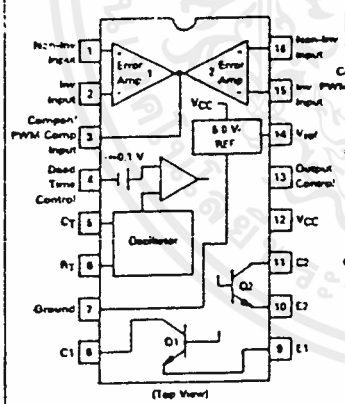
SWITCHMODE PULSE WIDTH MODULATION CONTROL CIRCUITS

The TL494 and TL495 are fixed frequency, pulse width modulation control circuits designed primarily for Switchmode power supply control. These devices feature:

- Complete Pulse Width Modulation Control Circuitry
- On-Chip Oscillator With Master Or Slave Operation
- On-Chip Error Amplifiers
- On-Chip 5 Volt Reference
- Adjustable Dead-Time Control
- Uncommitted Output Transistors For 200 mA Source Or Sink
- Output Control For Push-Pull Or Single-Ended Operation
- On-Chip 39 Volt Zener (TL495 Only)
- Output Steering Control (TL495 Only)

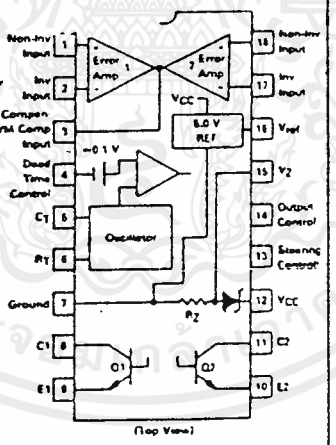
PIN CONNECTIONS

TL494



(Top View)

TL495



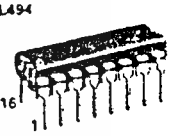
(Top View)

The TL494C/495C are specified over the commercial operating range of 0°C to 70°C. The TL494I/495I are specified over the industrial range of −25°C to 85°C. The TL494M is specified over the full military range of −55°C to 125°C.

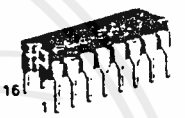
SWITCHMODE PULSE WIDTH MODULATION CONTROL CIRCUITS

SILICON MONOLITHIC INTEGRATED CIRCUITS

TL494



N SUFFIX
PLASTIC PACKAGE
CASE 648-05



J SUFFIX
CERAMIC PACKAGE
CASE 620-02

TL495

N SUFFIX
PLASTIC PACKAGE
CASE 707-02

J SUFFIX
CERAMIC PACKAGE
CASE 726-01

ORDERING INFORMATION

Device	Temperature Range	Package
TL494CN	0 To 70°C	Plastic DIP
TL494CJ	0 To 70°C	Ceramic DIP
TL494IN	−25 To 85°C	Plastic DIP
TL494IJ	−25 To 85°C	Ceramic DIP
TL494MJ	−55 To 125°C	Ceramic DIP
TL495CN	0 To 70°C	Plastic DIP
TL495CJ	0 To 70°C	Ceramic DIP
TL495IN	−25 To 85°C	Plastic DIP
TL495IJ	−25 To 85°C	Ceramic DIP

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ELECTRICAL CHARACTERISTICS (V_{CC} = 15 V, f_{osc} = 10 kHz unless otherwise noted.)
For typical values T_A = 25°C, for min/max values T_A is the operating ambient temperature range that applies unless otherwise noted

Characteristic	Symbol	TL494/TL495 Min	TL494/TL495 Typ	TL494/TL495 Max	Unit
PWM COMPARATOR SECTION (Test Circuit Figure 12)					
Input Threshold Voltage (Zero duty cycle)	V_{TH}	—	3.5	4.5	V
Input Sink Current ($V_{(Pin\ 3)}$ = 0.7 V)	I_{I-}	0.3	0.7	—	mA
DEAD-TIME CONTROL SECTION (Test Circuit Figure 12)					
Input Bias Current (Pin 4) (V_{in} = 0 to 5.25 V)	I_{IB} (DT)	—	-2.0	-10	μA
Maximum Duty Cycle, Each Output, Push-Pull Mode (V_{in} = 0 V, C_T = 0.1 μF, R_T = 12 kΩ) (V_{in} = 0 V, C_T = 0.001 μF, R_T = 30 kΩ)	DC_{max}	45 —	48 45	50 50	%
Input Threshold Voltage (Pin 4) (Zero Duty Cycle) (Maximum Duty Cycle)	V_{TH}	— 0	2.8 —	3.3 —	V
OSCILLATOR SECTION					
Frequency (C_T = 0.001 μF, R_T = 30 kΩ)	f_{osc}	—	40	—	kHz
Standard Deviation of Frequency* (C_T = 0.001 μF, R_T = 30 kΩ)	σf_{osc}	—	3.0	—	%
Frequency Change with Voltage (V_{CC} = 7.0 V to 40 V, T_A = 25°C)	Δf_{osc} (ΔV)	—	0.1	—	%
Frequency Change with Temperature (ΔT_A = T_{low} to T_{high}) (C_T = 0.01 μF, R_T = 12 k)	Δf_{osc} (ΔT)	—	—	12	%

Characteristic	Symbol	TL495 Min	TL495 Typ	TL495 Max	Unit
STEERING CONTROL					
Input Current Low ($V_{(Pin\ 13)}$ = 0.4 V)	I_{STL}	—	-25	-200	μA
Input Current High ($V_{(Pin\ 13)}$ = 2.4 V) ($V_{(Pin\ 13)}$ = V_{ref})	I_{STH}	— —	25 75	200 —	μA
ZENER CHARACTERISTICS					
Zener Breakdown Voltage (I_Z = 2.0 mA)	V_Z	—	39	—	V
Sink Current ($V_{(Pin\ 15)}$ = 1.0 V)	I_{RZ}	—	0.3	—	mA
TOTAL DEVICE					
Standby Supply Current (Pin 6 at V_{ref}, All Other Inputs and Outputs Open) (V_{CC} = 15 V) (V_{CC} = 40 V)	I_{CC}	— —	5.5 7.0	10 15	mA
Average Supply Current ($V_{(Pin\ 4)}$ = 2.0 V) (See Figure 12.) (C_T = 0.001, R_T = 12 kΩ, V_{CC} = 15-V)	—	—	7.0	—	mA

* Standard deviation is a measure of the statistical distribution about the mean as derived from the formula, $\sigma = \sqrt{\frac{\sum_{n=1}^{N} (x_n - \bar{x})^2}{N-1}}$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MAXIMUM RATINGS (Full operating ambient temperature range applies unless otherwise noted.)

Rating	Symbol	TL494M	TL494I/TL495I	TL494C/TL495C	Unit
Power Supply Voltage	V_{CC}	42	42	42	V
Collector Output Voltage	V_{C1}, V_{C2}	42	42	42	V
Collector Output Current (each transistor)	I_{C1}, I_{C1}	250	250	250	mA
Amplifier Input Voltage	V_{in}	V_{CC} + 3.0	V_{CC} + 3.0	V_{CC} + 3.0	V
Power Dissipation @ T_A = 45°C	P_D	1000	1000	1000	mW
Operating Junction Temperature	T_J	150	150	150	°C
Operating Ambient Temperature Range	T_A	– 55 to 125	– 25 to 85	0 to 70	°C
Storage Temperature Range	T_{stg}	– 65 to + 150	– 65 to + 150	– 65 to + 150	°C

THERMAL CHARACTERISTICS

Characteristics	Symbol	J Suffix Ceramic Package	N Suffix Plastic Package	Unit
Thermal Resistance, Junction to Ambient	$R_{\theta JA}$	100	80	°C/W
Power Derating Factor	$1/R_{\theta JA}$	10.0	12.5	mW/°C
Derating Ambient Temperature	T_A	50	45	°C

RECOMMENDED OPERATING CONDITIONS

Condition/Value	Symbol	TL494/TL495			Unit
		Min	Typ	Max	
Power Supply Voltage	V_{CC}	7.0	15	40	V
Collector Output Voltage	V_{C1}, V_{C2}	—	30	40	V
Collector Output Current (each transistor)	I_{C1}, I_{C2}	—	—	200	mA
Amplifier Input Voltage	V_{in}	– 0.3	—	V_{CC} – 2.0	V
Current Into Feedback Terminal	$I_{f.b.}$	—	—	0.3	mA
Reference Output Current	I_{ref}	—	—	10	mA
Timing Resistor	R_T	1.8	30	500	kΩ
Timing Capacitor	C_T	0.47	1.0	10,000	nF
Oscillator Frequency	f_{osc}	1.0	40	200	kHz

ELECTRICAL CHARACTERISTICS (V_{CC} = 15 V, f_{osc} = 10 kHz unless otherwise noted.)
For typical values T_A = 25°C, for min/max values T_A is the operating ambient temperature range that applies unless otherwise noted.

Characteristic	Symbol	TL494M			TL494C, I/TL495C,I			Unit
		Min	Typ	Max	Min	Typ	Max	
REFERENCE SECTION								
Reference Voltage (I_O = 1.0 mA)	V_{ref}	4.75	5.0	5.25	4.75	5.0	5.25	V
Reference Voltage Change with Temperature (ΔT_A = Min to Max)	ΔV_{ref} (ΔT)	—	0.2	2.0	—	1.3	2.6	%
Input Regulation (V_{CC} = 7.0 V to 40 V)	Regline	—	2.0	25	—	2.0	25	mV
Output Regulation (I_O = 1.0 mA to 10 mA)	Regload	—	3.0	15	—	3.0	15	mV
Short-Circuit Output Current (V_{ref} = 0 V, T_A = 25°C)	I_{SC}	10	35	50	—	35	—	mA

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ELECTRICAL CHARACTERISTICS (V_{CC} = 15 V, f_{osc} = 10 kHz unless otherwise noted)
For typical values T_A = 25°C, for min/max values T_A is the operating ambient temperature range that applies unless otherwise noted

Characteristic	Symbol	TL494M			TL494C, (TL495C,)			Unit
		Min	Typ	Max	Min	Typ	Max	
OUTPUT SECTION								
Collector Off-State Current (V_{CC} = 40 V, V_{CE} = 40 V)	$I_{C(off)}$	—	2.0	100	—	2.0	100	μA
Emitter Off-State Current (V_{CC} = 40 V, V_C = 40 V, V_E = 0 V)	$I_{E(off)}$	—	—	−150	—	—	−100	μA
Collector-Emitter Saturation Voltage Common-Emitter (V_E = 0 V, I_C = 200 mA)	$V_{sat(C)}$	—	1.1	1.5	—	1.1	1.3	V
Emitter-Follower (V_C = 15 V, I_E = −200 mA)	$V_{sat(E)}$	—	1.5	2.5	—	1.5	2.5	V
Output Control Pin Current Low State (V_{OC} ≤ 0.4 V)	I_{OCL}	—	10	—	—	10	—	μA
High State (V_{OC} = V_{ref})	I_{OCH}	—	0.2	3.5	—	0.2	3.5	mA
Output Voltage Rise Time (T_A = 25°C) Common-Emitter (See Figure 13)	t_r	—	100	200	—	100	200	ns
Emitter-Follower (See Figure 14)		—	100	200	—	100	200	ns
Output Voltage Fall Time (T_A = 25°C) Common-Emitter (See Figure 13)	t_f	—	25	100	—	25	100	ns
Emitter-Follower (See Figure 14)		—	40	100	—	40	100	ns

Characteristic	Symbol	TL494/TL495			Unit
		Min	Typ	Max	
ERROR AMPLIFIER SECTIONS					
Input Offset Voltage (V_O (Pin 3) = 2.5 V)	V_{IO}	—	2.0	10	mV
Input Offset Current (V_O (Pin 3) = 2.5 V)	I_{IO}	—	5.0	250	nA
Input Bias Current (V_O (Pin 3) = 2.5 V)	I_{IB}	—	0.1	1.0	μA
Input Common-Mode Voltage Range (V_{CC} = 7.0 V to 40 V)	V_{ICR}	−0.3	—	V_{CC} − 2.0	V
Open-Loop Voltage Gain (ΔV_O = 3.0 V, V_O = 0.5 to 3.5 V, R_L = 2.0 kΩ)	A_{VOL}	70	95	—	dB
Unity-Gain Crossover Frequency (V_O = 0.5 to 3.5 V, R_L = 2.0 kΩ)	f_C	—	350	—	kHz
Phase Margin at Unity-Gain (V_O = 0.5 to 3.5 V, R_L = 2.0 kΩ)	ϕ_m	—	65	—	deg
Common-Mode Rejection Ratio (V_{CC} = 40 V)	CMRR	65	90		dB
Power Supply Rejection Ratio (ΔV_{CC} = 33 V, V_O = 2.5 V, R_L = 2.0 kΩ)	PSRR	—	100	—	dB
Output Sink Current (V_O (Pin 3) = 0.7 V)	I_O^-	0.3	0.7	—	mA
Output Source Current (V_O (Pin 3) = 3.5 V)	I_O^+	−2.0	−4.0	—	mA

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Description

The TL494/495 are fixed-frequency pulse width modulation control circuit, incorporating the primary building blocks required for the control of a switching power supply. (See Figure 1.) An internal-linear sawtooth oscillator is frequency-programmable by two external components, R_T and C_T. The oscillator frequency is determined by:

$$f_{osc} \approx \frac{1.1}{R_T \bullet C_T}$$

Output pulse width modulation is accomplished by comparison of the positive sawtooth waveform across capacitor C_T to either of two control signals. The NOR gates, which drive output transistors Q1 and Q2, are enabled only when the flip-flop clock-input line is in its low state. This happens only during that portion of time when the sawtooth voltage is greater than the control signals. Therefore, an increase in control-signal amplitude causes a corresponding linear decrease of output pulse width. (Refer to the timing diagram shown in Figure 2.)

The control signals are external inputs that can be fed into the dead-time control, the error amplifier inputs, or the feedback input. The dead-time control comparator has an effective 120 mV input offset which limits the minimum output dead time to approximately the first 4% of the sawtooth-cycle time. This would result in a maximum duty cycle on a given output of 96% with the output control grounded, and 48% with it connected to the reference line. Additional dead time may be imposed on the output by setting the dead time-control input to a fixed voltage, ranging between 0 to 3.3 V.

The pulse width modulator comparator provides a means for the error amplifiers to adjust the output pulse width from the maximum percent on-time, established by the dead time control input, down to zero, as the voltage at the feedback pin varies from 0.5 to 3.5 V. Both error amplifiers have a common-mode input range from −0.3 V to (V_{CC} − 2 V), and may be used to sense power-supply output voltage and current. The error-amplifier outputs are active high and are ORed together at the non-inverting input of the pulse-width modulator comparator. With this configuration, the amplifier that demands minimum output on time, dominates control of the loop.

When capacitor C_T is discharged, a positive pulse is generated on the output of the dead-time comparator, which clocks the pulse-steering flip-flop and inhibits the output transistors, Q1 and Q2. With the output-control connected to the reference line, the pulse-steering flip-flop directs the modulated pulses to each of the two output transistors alternately for push-pull operation. The output frequency is equal to half that of the oscillator. Output drive can also be taken from Q1 or Q2, when single-ended operation with a maximum on-time of less than 50% is required. This is desirable when the output transformer has a ringback winding with a catch diode used for snubbing. When higher output-drive currents are required for single-ended operation, Q1 and Q2 may be connected in parallel, and the output-mode pin must be tied to ground to disable the flip-flop. The output frequency will now be equal to that of the oscillator.

The TL494 495 has an internal 5.0 V reference capable of sourcing up to 10 mA of load current for external bias circuits. The reference has an accuracy of ±5% with a thermal drift of less than 50 mV over an operating temperature range of 0 to 70°C.

The TL495 contains an on-chip 39 volt zener diode for high voltage applications where V_{CC} is greater than 40 volts, and an output steering control that overrides the internal control of the pulse-steering flip-flop. (Refer to the functional table shown in Figure 3.)

FIGURE 3 — FUNCTIONAL TABLE

Inputs		Output Function	$\frac{f_{out}}{f_{osc}}$ =
Output Control	Steering Control		
Grounded	Open	Single-ended P.W.M. at Q1 and Q2	1
At V_{ref}	Open	Push-pull operation	0.5
At V_{ref}	V1 < 0.4 V	Single-ended P.W.M. at Q1 only	1
At V_{ref}	V1 > 2.4 V	Single-ended P.W.M. at Q2 only	1

See Engineering Bulletin EB100 for further information

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

FIGURE 4 — OSCILLATOR FREQUENCY versus TIMING RESISTANCE

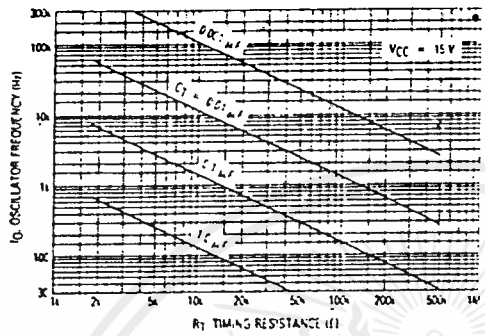


FIGURE 5 — OPEN LOOP VOLTAGE GAIN AND PHASE versus FREQUENCY

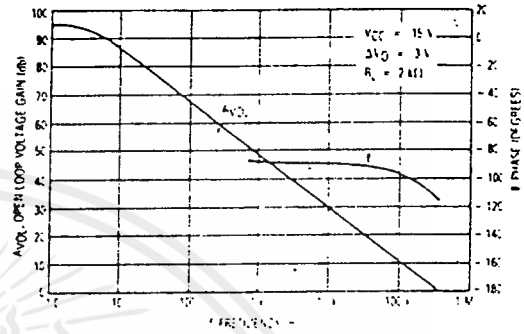


FIGURE 6 — PERCENT DEAD TIME versus OSCILLATOR FREQUENCY

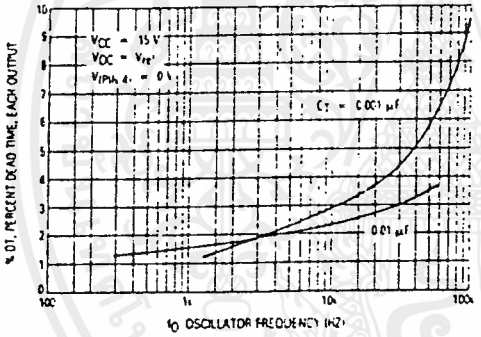


FIGURE 7 — PERCENT DUTY CYCLE versus DEAD-TIME CONTROL VOLTAGE

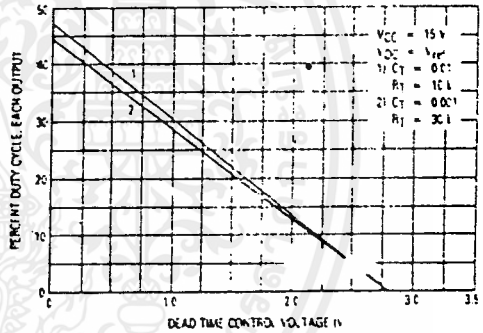


FIGURE 8 — EMITTER-FOLLOWER CONFIGURATION, OUTPUT-SATURATION VOLTAGE versus EMITTER CURRENT

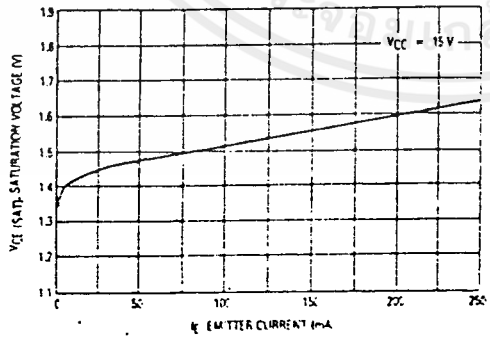
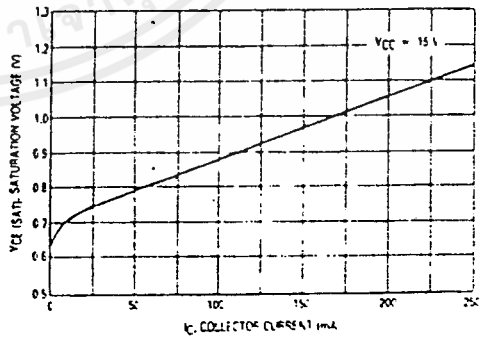


FIGURE 9 — COMMON-EMITTER CONFIGURATION OUTPUT-SATURATION VOLTAGE versus COLLECTOR CURRENT



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

FIGURE 10 — STANDBY-SUPPLY CURRENT versus SUPPLY VOLTAGE

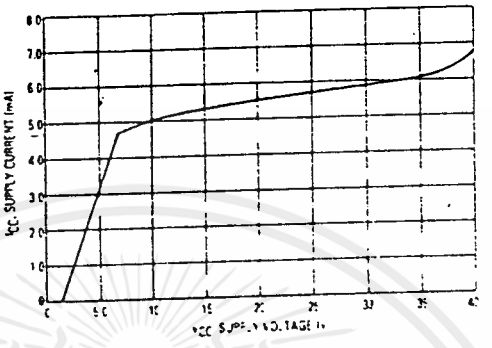


FIGURE 11 — ERROR AMPLIFIER CHARACTERISTICS

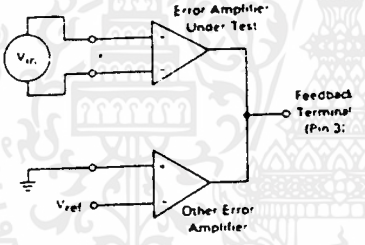


FIGURE 12 — DEAD-TIME AND FEEDBACK CONTROL TEST CIRCUIT

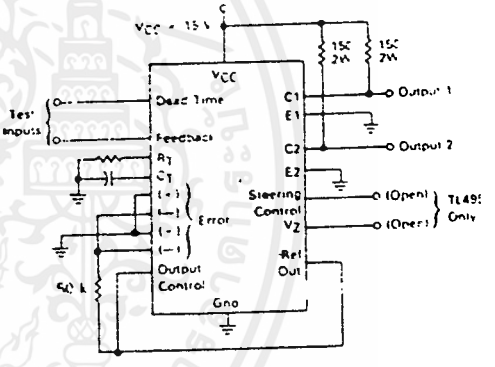


FIGURE 13 — COMMON-EMITTER CONFIGURATION TEST CIRCUIT AND WAVEFORM

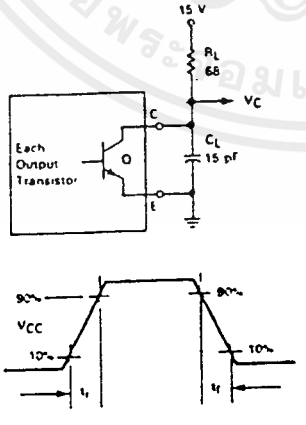
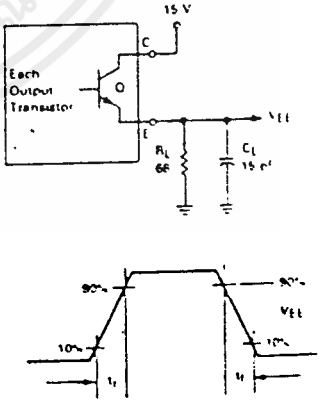


FIGURE 14 — EMITTER-FOLLOWER CONFIGURATION TEST CIRCUIT AND WAVEFORM



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MONOLITHIC SAMPLE AND HOLD CIRCUITS — LF198/LF298/LF398

DESCRIPTION

The Signetics LF198/LF298/LF398 are monolithic sample and hold circuits which utilize high-voltage Ion Implant JFET technology to obtain ultra-high DC accuracy with fast acquisition of signal and low droop rate. Operating as a unity gain follower, DC gain accuracy is 0.002% typical and acquisition time is as low as 6μs to 0.01%. A bipolar input stage is used to achieve low offset voltage and wide bandwidth. Input offset adjust is accomplished with a single pin and does not degrade input offset drift. The wide bandwidth allows the LF198 to be included inside the feedback loop of 1MHz op amps without having stability problems. Input impedance of $10^{10}\Omega$ allows high source impedances to be used without degrading accuracy.

P-channel junction FET's are combined with bipolar devices in the output amplifier to give droop rates as low as 5mV/min with a 1μF hold capacitor. The JFET's have much lower noise than MOS devices used in previous designs and do not exhibit high temperature instabilities. The overall design guarantees no feed-through from input to output in the hold mode even for input signals equal to the supply voltages.

Logic inputs are fully differential with low input current, allowing direct connection to TTL, PMOS, and CMOS. Differential threshold is 1.4V. The LF198/LF298/LF398 will operate from ± 5V to ± 18V supplies. They are available in an 8-lead TO-5 package, or an 8-pin plastic DIP.

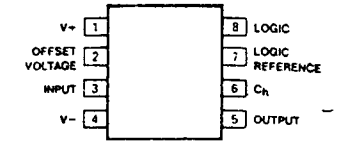
FEATURES

- Operates from ± 5V to ± 18V supplies
- Less than 10μs acquisition time
- TTL, PMOS, CMOS compatible logic input
- 0.5mV typical hold step at C_h = 0.01μF
- Low input offset
- 0.002% gain accuracy
- Low output noise in hold mode
- Input characteristics do not change during hold mode
- High supply rejection ratio in sample or hold
- Wide bandwidth

APPLICATIONS

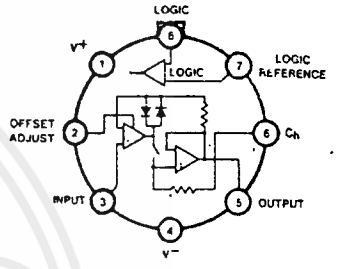
- The LF198/LF298/LF398 are ideally suited for a wide variety of sample and hold applications including data acquisition, analog-to-digital conversion, synchronous demodulation, and automatic test setup.

F,N PACKAGE



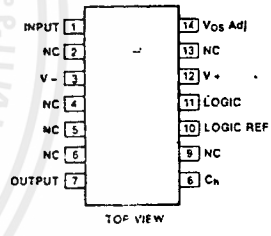
TOP VIEW
ORDER NUMBERS
LF198F, LF298F, LF398F
LF198N, LF298N, LF398N

H PACKAGE



TOP VIEW
ORDER NUMBERS
LF198H, LF298H, LF398H

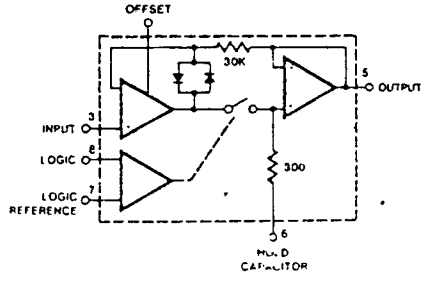
D[3] PACKAGE



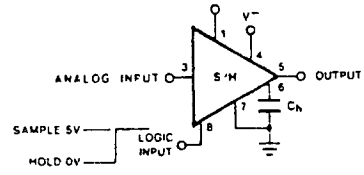
TOP VIEW
ORDER NUMBER
LF398D

NOTES:
1. SOL - Released in Large SO package only.
2. SOL and non-standard pinout.
3. SO and non-standard pinouts.

FUNCTIONAL DIAGRAM



TYPICAL APPLICATIONS



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MONOLITHIC SAMPLE AND HOLD CIRCUITS — LF198/LF298/LF398

ABSOLUTE MAXIMUM RATINGS

PARAMETER	RATING	UNIT
Supply voltage	± 18	V
Power dissipation (package limitation)[1]	500	mW
Operating ambient temperature range		
LF198	−55 to +125	°C
LF298	−25 to +85	°C
LF398	0 to +70	°C
Storage temperature range	−65 to +150	°C
Input voltage	Equal to supply voltage	
Logic to logic reference differential voltage[2]	+7, −30	V
Output short circuit duration	Indefinite	
Hold capacitor short circuit duration	10	sec
Lead temperature (soldering, 10sec)	300	°C

DC ELECTRICAL CHARACTERISTICS

Unless otherwise specified, the following conditions apply. Unit is in "sample" mode, $V_S = \pm 15V$, $T_j = 25°C$, $-11.5V \leq V_{IN} \leq +11.5V$, $C_h = 0.01\mu F$, and $R_L = 10k\Omega$. Logic reference voltage = OV and logic voltage = 2.5V.

PARAMETER	TEST CONDITIONS	LF198/LF298			LF398			UNIT
		Min	Typ	Max	Min	Typ	Max	
Input offset voltage[6]	$T_j = 25°C$		1	3 5		2	7 10	mV mV
Input bias current[6]	$T_j = 25°C$ Full temperature range		5	25 75		10	50 100	nA nA
Input impedance	$T_j = 25°C$		10^{10}			10^{10}		Ω
Gain error	$T_j = 25°C$, $R_L = 10K$ Full temperature range		0.002	0.005 0.02		0.004	0.01 0.02	% %
Feedthrough attenuation ratio at 1kHz	$T_j = 25°C$, $C_h = 0.01\mu F$	86	96		80	90		dB
Output impedance	$T_j = 25°C$, "HOLD" mode Full temperature range		0.5	2 4		0.5	4 6	Ω Ω
"HOLD" step[4]	$T_j = 25°C$, $C_h = 0.01\mu F$, $V_{OUT} = 0$		0.5	2.0		1.0	2.5	mV
Supply current[6]	$T_j \leq 25°C$		4.5	5.5		4.5	6.5	mA
Logic and logic reference input current	$T_j = 25°C$		2	10		2	10	μA
Leakage current into hold capacitor[6]	$T_j = 25°C$[5], Hold mode		30	100		30	200	pA
Acquisition time to 0.1%	$\Delta V_{OUT} = 10V$, $C_h = 1000pF$ $C_h = 0.01\mu F$		4 20			4 20		μs μs
Hold capacitor charging current	$V_{IN} - V_{OUT} = 2V$		5			5		mA
Supply voltage rejection ratio	$V_{OUT} = 0$	80	110		80	110		dB
Differential logic threshold	$T_j = 25°C$	0.8	1.4	2.4	0.8	1.4	2.4	V

NOTES

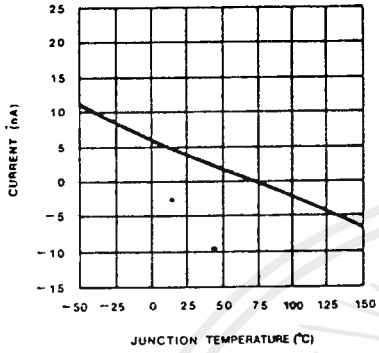
1. The maximum junction temperature of the LF398 is 150°C. When operating at elevated ambient temperature, the TO-5 and plastic DIP packages must be derated based on a thermal resistance (θjA) of 150°C/W.
2. Although the differential voltage may not exceed the limits given, the common-mode voltage on the logic pins may be equal to the supply voltages without causing damage to the circuit. For proper logic operation, however, one of the logic pins must always be at least 2V below the positive supply and 3V above the negative supply.
3. Unless otherwise specified, the following conditions apply. Unit is in "sample" mode, $V_S = \pm 15V$, $T_j = 25°C$, $-11.5V \leq V_{IN} \leq +11.5V$, $C_h = 0.01\mu F$, and $R_L = 10k$. Logic reference voltage = OV and logic voltage = 2.5V.
4. Hold step is sensitive to stray capacitive coupling between input logic signals and the hold capacitor. 1pF, for instance, will create an additional 0.5mV step with a 5V logic swing and a 0.01μF hold capacitor. Magnitude of the hold step is inversely proportional to hold capacitor value.
5. Leakage current is measured at a junction temperature of 25°C. The effects of junction temperature rise due to power dissipation or elevated ambient can be calculated by doubling the 25°C value for each 11°C increase in chip temperature. Leakage is guaranteed over full input signal range.
6. The parameters guaranteed over a supply voltage of ± 5 to ± 18V

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

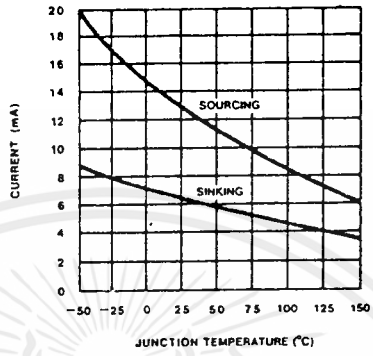
MONOLITHIC SAMPLE AND HOLD CIRCUITS

TYPICAL DC PERFORMANCE CHARACTERISTICS

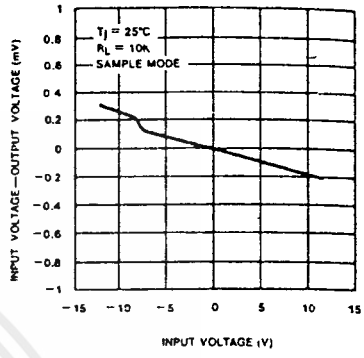
INPUT BIAS CURRENT



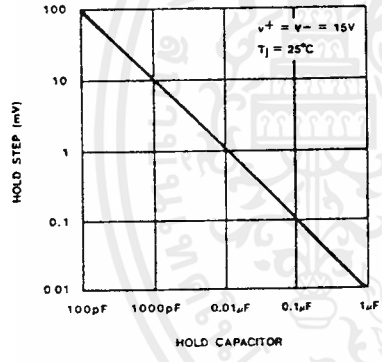
OUTPUT SHORT CIRCUIT CURRENT



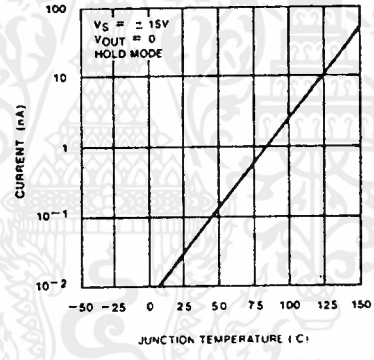
GAIN ERROR



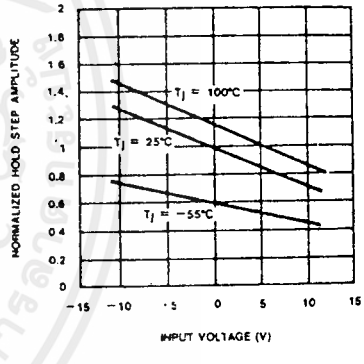
HOLD STEP



LEAKAGE CURRENT INTO HOLD CAPACITOR

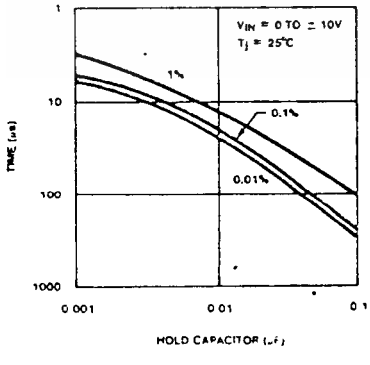


HOLD STEP INPUT VOLTAGE

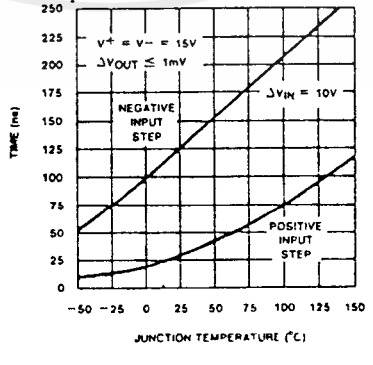


TYPICAL AC PERFORMANCE CHARACTERISTICS

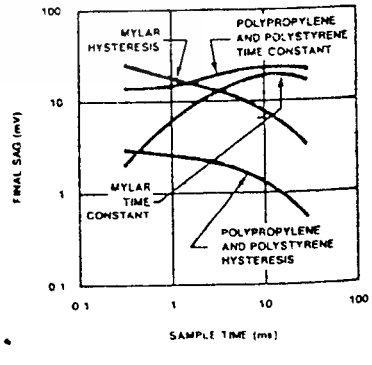
ACQUISITION TIME



APERTURE TIME



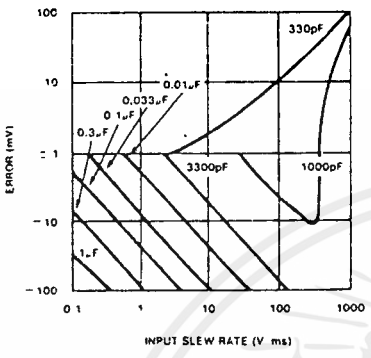
CAPACITOR HYSTERESIS



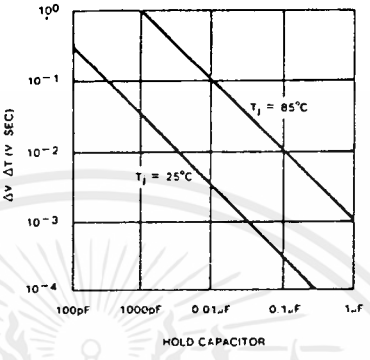
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TYPICAL AC PERFORMANCE CHARACTERISTICS (cont'd)

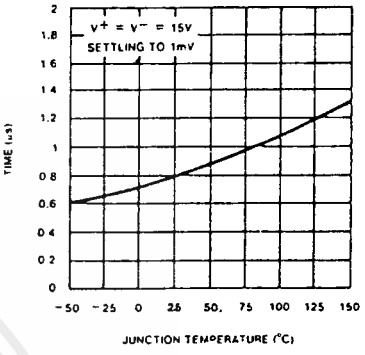
DYNAMIC SAMPLING ERROR



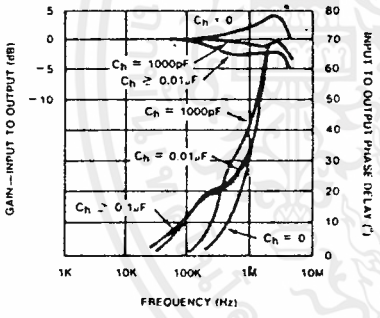
OUTPUT DROOP RATE



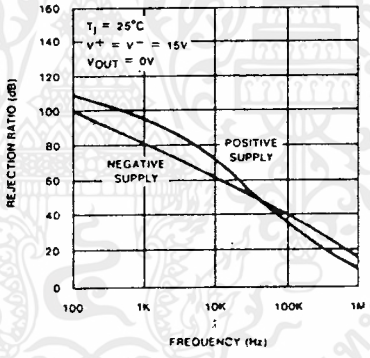
"HOLD" SETTLING TIME



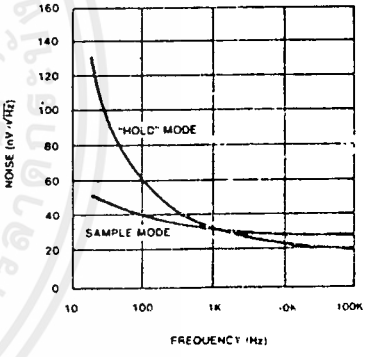
PHASE AND GAIN (INPUT TO OUTPUT, SMALL SIGNAL)



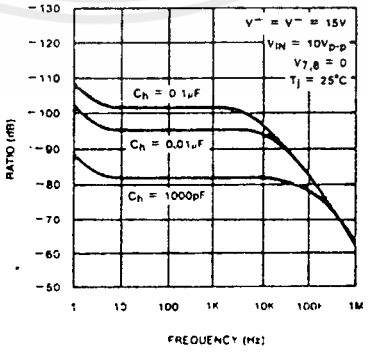
POWER SUPPLY REJECTION



OUTPUT NOISE



FEEDTHROUGH REJECTION RATIO (HOLD MODE)



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

National Semiconductor

ADC0808, ADC0809 8-Bit μP Compatible A/D Converters With 8-Channel Multiplexer

General Description

The ADC0808, ADC0809 data acquisition component is a monolithic CMOS device with an 8-bit analog-to-digital converter, 8-channel multiplexer and microprocessor compatible control logic. The 8-bit A/D converter uses successive approximation as the conversion technique. The converter features a high impedance chopper stabilized comparator, a 256R voltage divider with analog switch tree and a successive approximation register. The 8-channel multiplexer can directly access any of 8-single-ended analog signals.

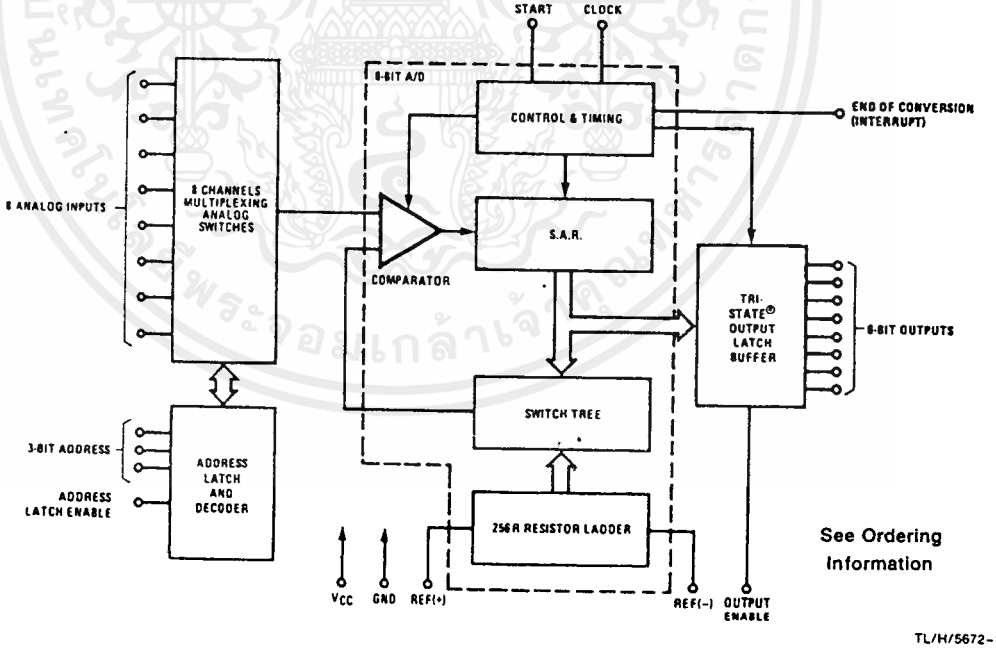
The device eliminates the need for external zero and full-scale adjustments. Easy interfacing to microprocessors is provided by the latched and decoded multiplexer address inputs and latched TTL TRI-STATE® outputs.

The design of the ADC0808, ADC0809 has been optimized by incorporating the most desirable aspects of several A/D conversion techniques. The ADC0808, ADC0809 offers high speed, high accuracy, minimal temperature dependence, excellent long-term accuracy and repeatability, and consumes minimal power. These features make this device ideally suited to applications from process and machine control to consumer and automotive applications. For 16-channel multiplexer with common output (sample/hold port) see ADC0816 data sheet. (See AN-247 for more information.)

Features

- Resolution—8-bits
- Total unadjusted error—±½ LSB and ±1 LSB
- No missing codes
- Conversion time—100 μS
- Single supply—5 V_{DC}
- Operates ratiometrically or with 5 V_{DC} or analog span adjusted voltage reference
- 8-channel multiplexer with latched control logic
- Easy interface to all microprocessors, or operates "stand alone"
- Outputs meet T^2L voltage level specifications
- 0V to 5V analog input voltage range with single 5V supply
- No zero or full-scale adjust required
- Standard hermetic or molded 28-pin DIP package
- Temperature range −40°C to +85°C or −55°C to +125°C
- Low power consumption—15 mW
- Latched TRI-STATE® output

Block Diagram



See Ordering Information

TL/H/5672–1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Absolute Maximum Ratings

(Notes 1 and 2)

Supply Voltage (V_{CC}) (Note 3)	6.5V
Voltage at Any Pin Except Control Inputs	−0.3V to (V_{CC} + 0.3V)
Voltage at Control Inputs (START, OE, CLOCK, ALE, ADD A, ADD B, ADD C)	−0.3V to +15V
Storage Temperature Range	−65°C to +150°C
Package Dissipation at T_A = 25°C	875 mW
Lead Temperature (Soldering, 10 seconds)	300°C

Operating Ratings (Notes 1 and 2)

Temperature Range (Note 1)	$T_{MIN} \le T_A \le$
ADC0808CJ	−55°C ≤ T_A ≤ +1
ADC0808CCJ, ADC0808CCN, ADC0809CCN	−40°C ≤ T_A ≤
Range of V_{CC} (Note 1)	4.5 V_{DC} to 6.0

Electrical Characteristics

Converter Specifications: V_{CC} = 5 V_{DC} = V_{REF+}, $V_{REF(-)}$ = GND, $T_{MIN} \le T_A \le T_{MAX}$ and f_{CLK} = 640 kHz unless otherwise stated.

Symbol	Parameter	Conditions	Min	Typ	Max	Units
	ADC0808					
	Total Unadjusted Error	25°C			±½	LSB
	(Note 5)	T_{MIN} to T_{MAX}			±¾	LSB
	ADC0809					
	Total Unadjusted Error	0°C to 70°C			±1	LSB
	(Note 5)	T_{MIN} to T_{MAX}			±1¼	LSB
	Input Resistance	From Ref(+) to Ref(−)	1.0	2.5		kΩ
	Analog Input Voltage Range	(Note 4) V(+) or V(−)	GND−0.10		V_{CC}+0.10	V_{DC}
$V_{REF(+)}$	Voltage, Top of Ladder	Measured at Ref(+)		V_{CC}	V_{CC}+0.1	V
$\frac{V_{REF(+)} + V_{REF(-)}}{2}$	Voltage, Center of Ladder		V_{CC}/2-0.1	V_{CC}/2	V_{CC}/2+0.1	V
$V_{REF(-)}$	Voltage, Bottom of Ladder	Measured at Ref(−)	−0.1	0		V
I_{IN}	Comparator Input Current	f_c = 640 kHz, (Note 6)	−2	±0.5	2	μA

Electrical Characteristics

Digital Levels and DC Specifications: ADC0808CJ 4.5V ≤ V_{CC} ≤ 5.5V, −55°C ≤ T_A ≤ +125°C unless otherwise noted ADC0808CCJ, ADC0808CCN, and ADC0809CCN 4.75 ≤ V_{CC} ≤ 5.25V, −40°C ≤ T_A ≤ +85°C unless otherwise noted

Symbol	Parameter	Conditions	Min	Typ	Max	Units
ANALOG MULTIPLEXER						
$I_{OFF(+)}$	OFF Channel Leakage Current	V_{CC} = 5V, V_{IN} = 5V, T_A = 25°C		10	200	nA
		T_{MIN} to T_{MAX}			1.0	μA
$I_{OFF(-)}$	OFF Channel Leakage Current	V_{CC} = 5V, V_{IN} = 0, T_A = 25°C	−200	−10		nA
		T_{MIN} to T_{MAX}	−1.0			μA
CONTROL INPUTS						
$V_{IN(1)}$	Logical "1" Input Voltage		V_{CC}−1.5			V
$V_{IN(0)}$	Logical "0" Input Voltage				1.5	V
$I_{IN(1)}$	Logical "1" Input Current (The Control Inputs)	V_{IN} = 15V			1.0	μA
$I_{IN(0)}$	Logical "0" Input Current (The Control Inputs)	V_{IN} = 0	−1.0			μA
I_{CC}	Supply Current	f_{CLK} = 640 kHz		0.3	3.0	mA

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Electrical Characteristics (Continued)

Digital Levels and DC Specifications: ADC0808CJ $4.5V \le V_{CC} \le 5.5V$, $-55°C \le T_A \le +125°C$ unless otherwise noted ADC0808CCJ, ADC0808CCN, and ADC0809CCN $4.75 \le V_{CC} \le 5.25V$, $-40°C \le T_A \le +85°C$ unless otherwise noted

Symbol	Parameter	Conditions	Min	Typ	Max	Units
DATA OUTPUTS AND EOC (INTERRUPT)						
$V_{OUT(1)}$	Logical "1" Output Voltage	$I_O = -360\ \mu A$	$V_{CC}-0.4$			V
$V_{OUT(0)}$	Logical "0" Output Voltage	$I_O = 1.6$ mA			0.45	V
$V_{OUT(0)}$	Logical "0" Output Voltage EOC	$I_O = 1.2$ mA			0.45	V
I_{OUT}	TRI-STATE® Output Current	$V_O = 5V$ $V_O = 0$	 -3		3	μA μA

Electrical Characteristics

Timing Specifications $V_{CC} = V_{REF(+)} = 5V$, $V_{REF(-)} = GND$, $t_r = t_f = 20$ ns and $T_A = 25°C$ unless otherwise noted.

Symbol	Parameter	Conditions	Min	Typ	Max	Units
t_{WS}	Minimum Start Pulse Width	*(Figure 5)*		100	200	ns
t_{WALE}	Minimum ALE Pulse Width	*(Figure 5)*		100	200	ns
t_S	Minimum Address Set-Up Time	*(Figure 5)*		25	50	ns
t_H	Minimum Address Hold Time	*(Figure 5)*		25	50	ns
t_D	Analog MUX Delay Time From ALE	$R_S = 0\Omega$ *(Figure 5)*		1	2.5	μS
t_{H1}, t_{H0}	OE Control to Q Logic State	$C_L = 50$ pF, $R_L = 10$k *(Figure 8)*		125	250	ns
t_{1H}, t_{0H}	OE Control to Hi-Z	$C_L = 10$ pF, $R_L = 10$k *(Figure 8)*		125	250	ns
t_C	Conversion Time	$f_C = 640$ kHz, *(Figure 5)* (Note 7)	90	100	116	μS
f_C	Clock Frequency		10	640	1280	kHz
t_{EOC}	EOC Delay Time	*(Figure 5)*	0		$8 + 2\ \mu S$	Clock Periods
C_{IN}	Input Capacitance	At Control Inputs		10	15	pF
C_{OUT}	TRI-STATE® Output Capacitance	At TRI-STATE® Outputs, (Note 12)		10	15	pF

Note 1: Absolute maximum ratings are those values beyond which the life of the device may be impaired.

Note 2: All voltages are measured with respect to GND, unless otherwise specified.

Note 3: A zener diode exists, internally, from V_{CC} to GND and has a typical breakdown voltage of 7 V_{DC}.

Note 4: Two on-chip diodes are tied to each analog input which will forward conduct for analog input voltages one diode drop below ground or one diode drop greater than the V_{CC} supply. The spec allows 100 mV forward bias of either diode. This means that as long as the analog V_{IN} does not exceed the supply voltage by more than 100 mV, the output code will be correct. To achieve an absolute $0V_{DC}$ to $5V_{DC}$ input voltage range will therefore require a minimum supply voltage of 4.900 V_{DC} over temperature variations, initial tolerance and loading.

Note 5: Total unadjusted error includes offset, full-scale, linearity, and multiplexer errors. See *Figure 3*. None of these A/Ds requires a zero or full-scale adjust. However, if an all zero code is desired for an analog input other than 0.0V, or if a narrow full-scale span exists (for example: 0.5V to 4.5V full-scale) the reference voltages can be adjusted to achieve this. See *Figure 13*.

Note 6: Comparator input current is a bias current into or out of the chopper stabilized comparator. The bias current varies directly with clock frequency and has little temperature dependence *(Figure 6)*. See paragraph 4.0.

Note 7: The outputs of the data register are updated one clock cycle before the rising edge of EOC.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Functional Description

Multiplexer. The device contains an 8-channel single-ended analog signal multiplexer. A particular input channel is selected by using the address decoder. Table I shows the input states for the address lines to select any channel. The address is latched into the decoder on the low-to-high transition of the address latch enable signal.

TABLE I.

SELECTED ANALOG CHANNEL	ADDRESS LINE		
	C	B	A
IN0	L	L	L
IN1	L	L	H
IN2	L	H	L
IN3	L	H	H
IN4	H	L	L
IN5	H	L	H
IN6	H	H	L
IN7	H	H	H

CONVERTER CHARACTERISTICS

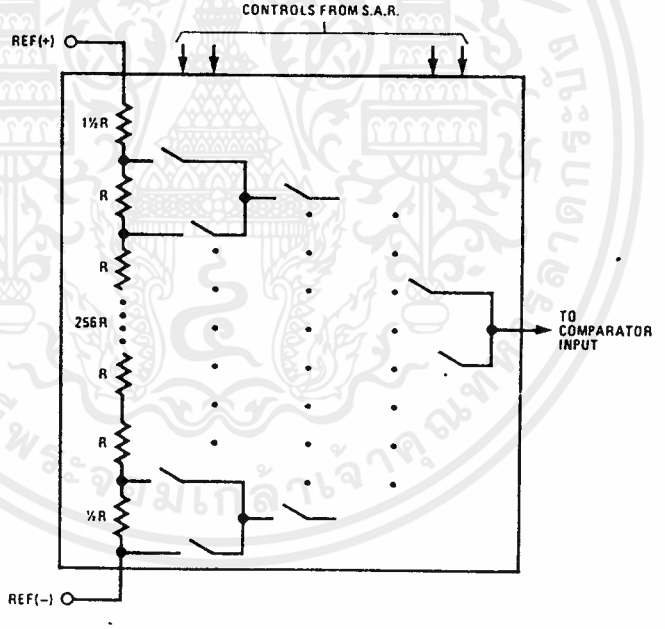
The Converter

The heart of this single chip data acquisition system is its 8-bit analog-to-digital converter. The converter is designed to give fast, accurate, and repeatable conversions over a wide range of temperatures. The converter is partitioned into 3 major sections: the 256R ladder network, the successive approximation register, and the comparator. The converter's digital outputs are positive true.

The 256R ladder network approach *(Figure 1)* was chosen over the conventional R/2R ladder because of its inherent monotonicity, which guarantees no missing digital codes. Monotonicity is particularly important in closed loop feedback control systems. A non-monotonic relationship can cause oscillations that will be catastrophic for the system. Additionally, the 256R network does not cause load variations on the reference voltage.

The bottom resistor and the top resistor of the ladder network in *Figure 1* are not the same value as the remainder of the network. The difference in these resistors causes the output characteristic to be symmetrical with the zero and full-scale points of the transfer curve. The first output transition occurs when the analog signal has reached +½ LSB and succeeding output transitions occur every 1 LSB later up to full-scale.

The successive approximation register (SAR) performs 8 iterations to approximate the input voltage. For any SAR type converter, n-iterations are required for an n-bit converter. *Figure 2* shows a typical example of a 3-bit converter. In the ADC0808, ADC0809, the approximation technique is extended to 8 bits using the 256R network.



TL/H/5672–2

FIGURE 1. Resistor Ladder and Switch Tree

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Functional Description (Continued)

The A/D converter's successive approximation register (SAR) is reset on the positive edge of the start conversion (SC) pulse. The conversion is begun on the falling edge of the start conversion pulse. A conversion in process will be interrupted by receipt of a new start conversion pulse. Continuous conversion may be accomplished by tying the end-of-conversion (EOC) output to the SC input. If used in this mode, an external start conversion pulse should be applied after power up. End-of-conversion will go low between 0 and 8 clock pulses after the rising edge of start conversion.

The most important section of the A/D converter is the comparator. It is this section which is responsible for the ultimate accuracy of the entire converter. It is also the comparator drift which has the greatest influence on the repeatability of the device. A chopper-stabilized comparator provides the most effective method of satisfying all the converter requirements.

The chopper-stabilized comparator converts the DC input signal into an AC signal. This signal is then fed throught a high gain AC amplifier and has the DC level restored. This technique limits the drift component of the amplifier since the drift is a DC component which is not passed by the AC amplifier. This makes the entire A/D converter extremely insensitive to temperature, long term drift and input offset errors.

Figure 4 shows a typical error curve for the ADC0808 as measured using the procedures outlined in AN-179.

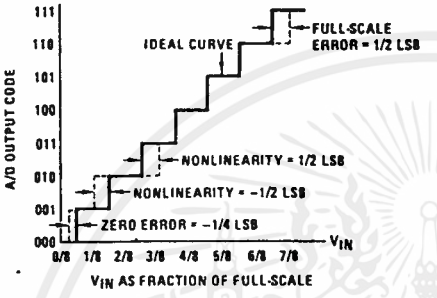


FIGURE 2. 3-Bit A/D Transfer Curve

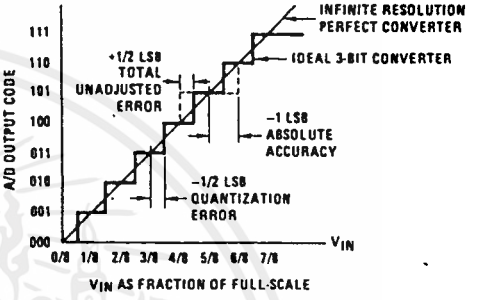


FIGURE 3. 3-Bit A/D Absolute Accuracy Curve

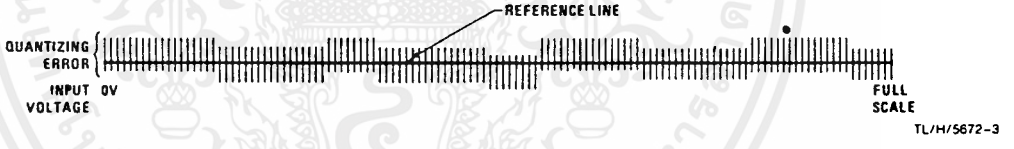
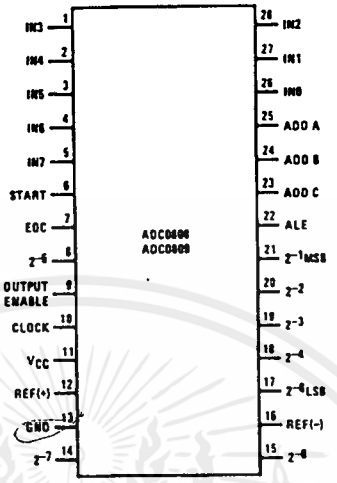


FIGURE 4. Typical Error Curve

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

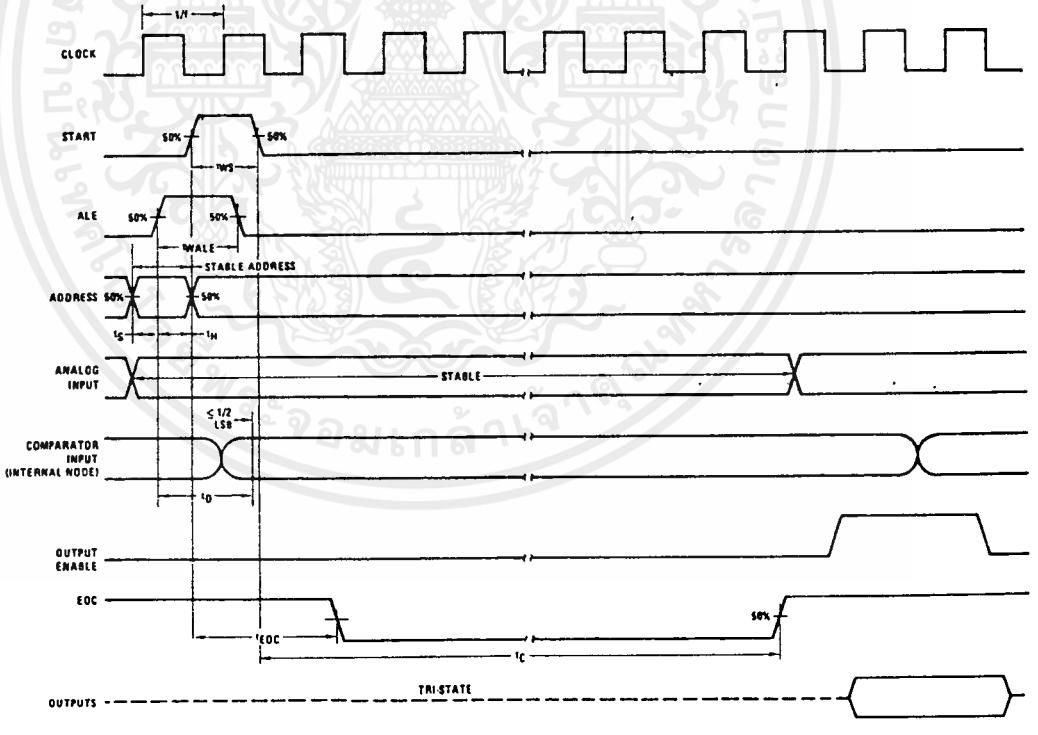
Connection Diagram

Dual-In-Line Package



TOP VIEW

Timing Diagram



TL/H/5672–4

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Performance Characteristics

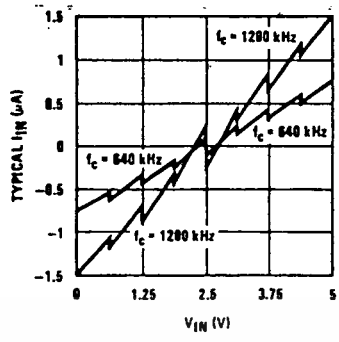


FIGURE 6. Comparator I_{IN} vs V_{IN} ($V_{CC} = V_{REF} = 5V$)

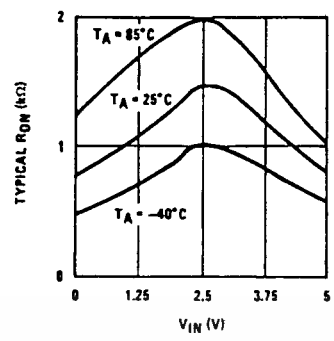
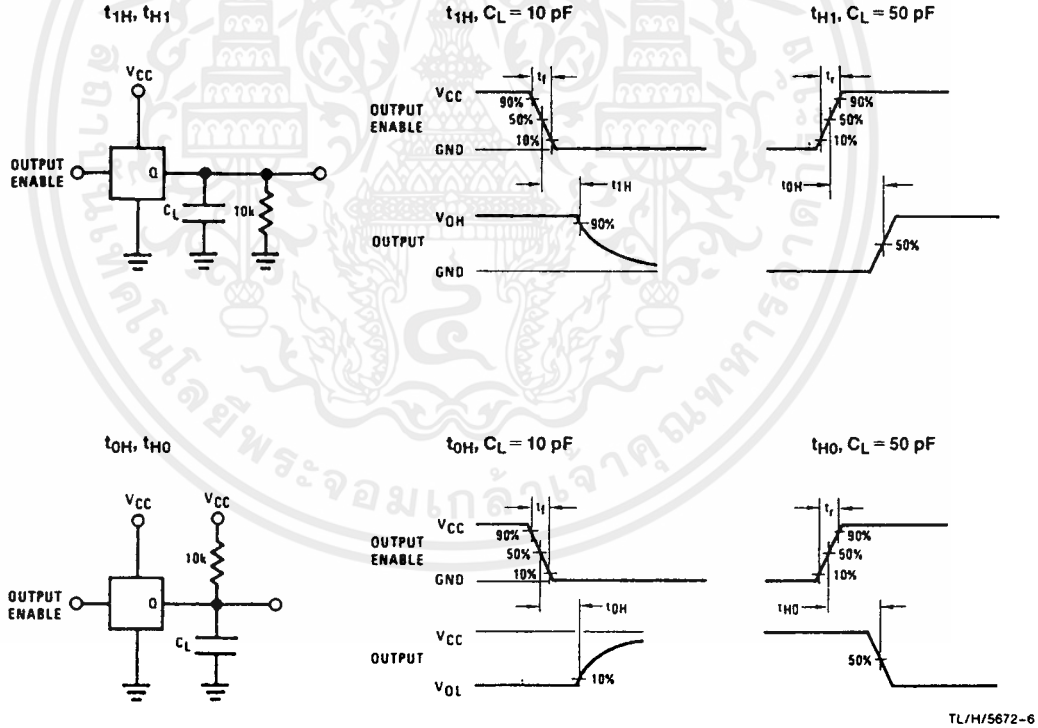


FIGURE 7. Multiplexer R_{ON} vs V_{IN} ($V_{CC} = V_{REF} = 5V$)

TL/H/5672–5

TRI-STATE® Test Circuits and Timing Diagrams



TL/H/5672–6

FIGURE 8

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Applications Information

OPERATION

1.0 RATIOMETRIC CONVERSION

The ADC0808, ADC0809 is designed as a complete Data Acquisition System (DAS) for ratiometric conversion systems. In ratiometric systems, the physical variable being measured is expressed as a percentage of full-scale which is not necessarily related to an absolute standard. The voltage input to the ADC0808 is expressed by the equation

$$\frac{V_{IN}}{V_{fs}-V_Z}=\frac{D_X}{D_{MAX}-D_{MIN}} \quad (1)$$

V_{IN} = Input voltage into the ADC0808

V_{fs} = Full-scale voltage

V_Z = Zero voltage

D_X = Data point being measured

D_{MAX} = Maximum data limit

D_{MIN} = Minimum data limit

A good example of a ratiometric transducer is a potentiometer used as a position sensor. The position of the wiper is directly proportional to the output voltage which is a ratio of the full-scale voltage across it. Since the data is represented as a proportion of full-scale, reference requirements are greatly reduced, eliminating a large source of error and cost for many applications. A major advantage of the ADC0808, ADC0809 is that the input voltage range is equal to the supply range so the transducers can be connected directly across the supply and their outputs connected directly into the multiplexer inputs, *(Figure 9)*.

Ratiometric transducers such as potentiometers, gauges, thermistor bridges, pressure transducers, etc., suitable for measuring proportional relationships; however many types of measurements must be referred to an absolute standard such as voltage or current. This means a system reference must be used which relates the full-scale voltage to the standard volt. For example, if $V_{CC}=V_{REF}=5.12V$, then the full-scale range is divided into 256 standard steps. The smallest standard step is 1 LSB which is then 20 mV.

2.0 RESISTOR LADDER LIMITATIONS

The voltages from the resistor ladder are compared to the selected into 8 times in a conversion. These voltages are coupled to the comparator via an analog switch tree which is referenced to the supply. The voltages at the top, center and bottom of the ladder must be controlled to maintain proper operation.

The top of the ladder, Ref(+), should not be more positive than the supply, and the bottom of the ladder, Ref(−), should not be more negative than ground. The center of the ladder voltage must also be near the center of the supply because the analog switch tree changes from N-channel switches to P-channel switches. These limitations are automatically satisfied in ratiometric systems and can be easily met in ground referenced systems.

Figure 10 shows a ground referenced system with a separate supply and reference. In this system, the supply must be trimmed to match the reference voltage. For instance, if a 5.12V is used, the supply should be adjusted to the same voltage within 0.1V.

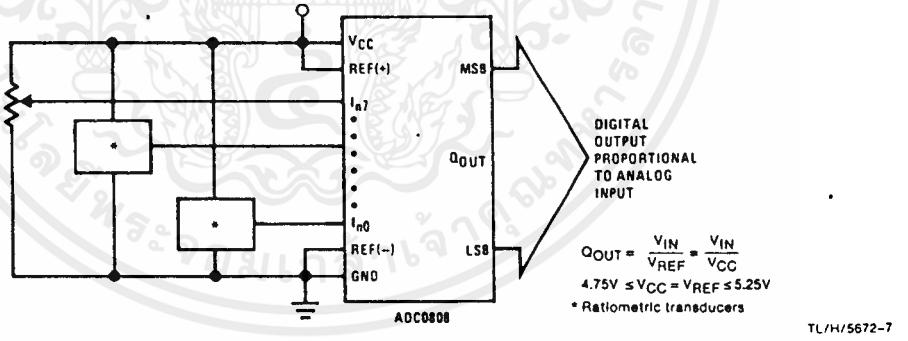


FIGURE 9. Ratiometric Conversion System

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Applications Information (Continued)

The ADC0808 needs less than a milliamp of supply current so developing the supply from the reference is readily accomplished. In *Figure 11* a ground referenced system is shown which generates the supply from the reference. The buffer shown can be an op amp of sufficient drive to supply the milliamp of supply current and the desired bus drive, or if a capacitive bus is driven by the outputs a large capacitor will supply the transient supply current as seen in *Figure 12*. The LM301 is overcompensated to insure stability when loaded by the 10 μF output capacitor.

The top and bottom ladder voltages cannot exceed V_{CC} and ground, respectively, but they can be symmetrically less than V_{CC} and greater than ground. The center of the ladder voltage should always be near the center of the supply. The sensitivity of the converter can be increased, (i.e., size of the LSB steps decreased) by using a symmetrical reference system. In *Figure 13*, a 2.5V reference is symmetrically centered about $V_{CC}/2$ since the same current flows in identical resistors. This system with a 2.5V reference allows the LSB bit to be half the size of a 5V reference system.

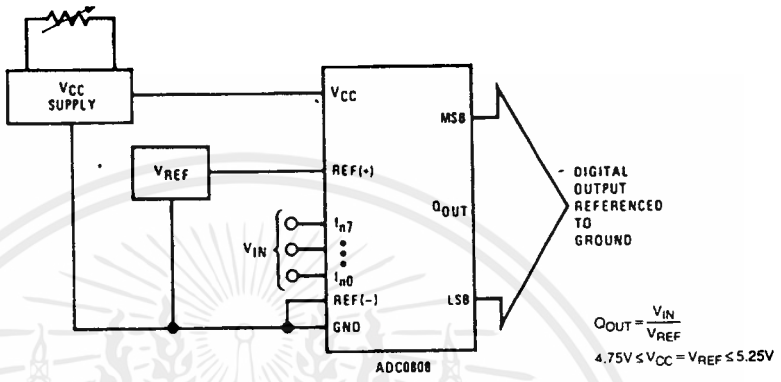


FIGURE 10. Ground Referenced Conversion System Using Trimmed Supply

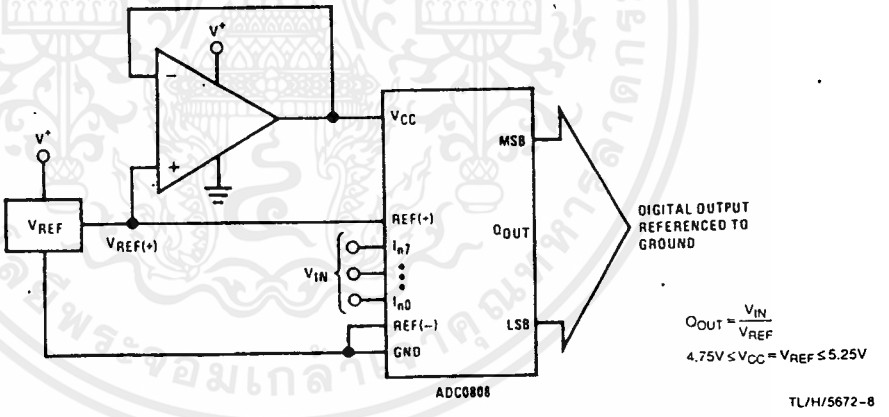


FIGURE 11: Ground Referenced Conversion System with Reference Generating V_{CC} Supply

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Applications Information (Continued)

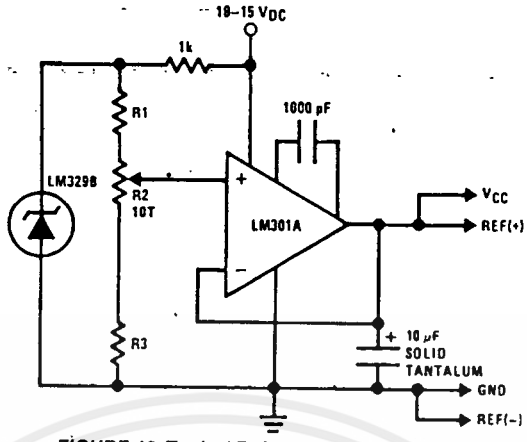
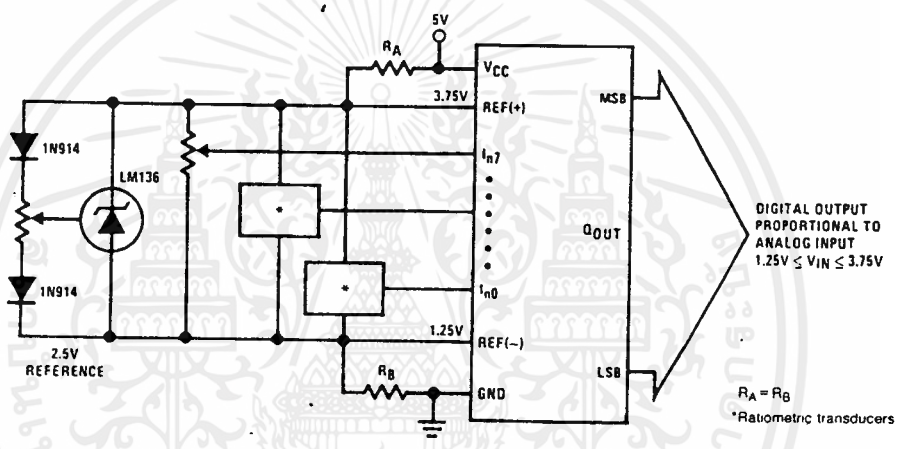


FIGURE 12. Typical Reference and Supply Circuit



TL/H/5672-8

FIGURE 13. Symmetrically Centered Reference

3.0 CONVERTER EQUATIONS

The transition between adjacent codes N and N + 1 is given by:

$$V_{IN} = \left\{(V_{REF(+)} - V_{REF(-)})\left[\frac{N}{256} + \frac{1}{512}\right] \pm V_{TUE}\right\} + V_{REF(-)} \quad (2)$$

The center of an output code N is given by:

$$V_{IN}\left\{(V_{REF(+)} - V_{REF(-)})\left[\frac{N}{256}\right] \pm V_{TUE}\right\} + V_{REF(-)} \quad (3)$$

The output code N for an arbitrary input are the integers within the range:

$$N = \frac{V_{IN} - V_{REF(-)}}{V_{REF(+)} - V_{REF(-)}} \times 256 \pm \text{Absolute Accuracy} \quad (4)$$

where: V_{IN} = Voltage at comparator input

$V_{REF(+)}$ = Voltage at Ref(+)

$V_{REF(-)}$ = Voltage at Ref(−)

V_{TUE} = Total unadjusted error voltage (typically $V_{REF(+)} \div 512$)

4.0 ANALOG COMPARATOR INPUTS

The dynamic comparator input current is caused by the periodic switching of on-chip stray capacitances. These are connected alternately to the output of the resistor ladder/switch tree network and to the comparator input as part of the operation of the chopper stabilized comparator.

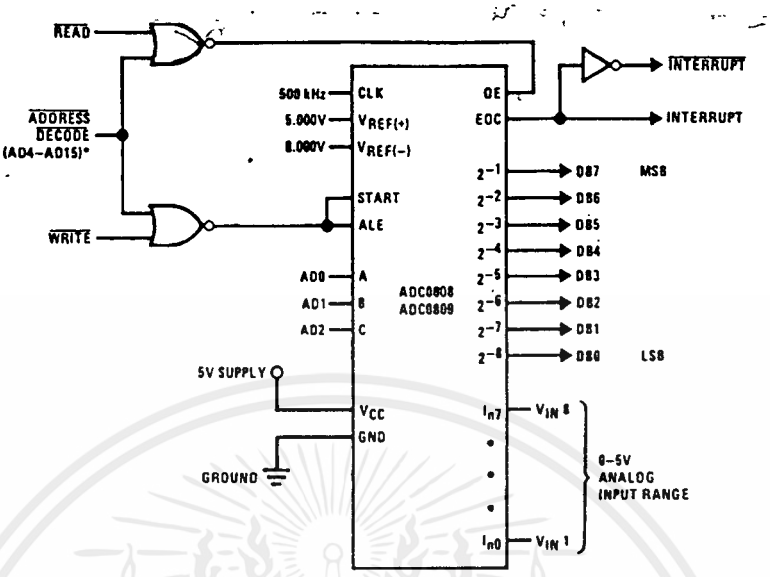
The average value of the comparator input current varies directly with clock frequency and with V_{IN} as shown in *Figure 6.*

If no filter capacitors are used at the analog inputs and the signal source impedances are low, the comparator input current should not introduce converter errors, as the transient created by the capacitance discharge will die out before the comparator output is strobed.

If input filter capacitors are desired for noise reduction and signal conditioning they will tend to average out the dynamic comparator input current. It will then take on the characteristics of a DC bias current whose effect can be predicted conventionally.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Application



TL/H/5672–10

*Address latches needed for 8085 and SC/MP interfacing the ADC0808 to a microprocessor

MICROPROCESSOR INTERFACE TABLE

PROCESSOR	READ	WRITE	INTERRUPT (COMMENT)
8080	MEMR	MEMW	INTR (Thru RST Circuit)
8085	RD	WR	INTR (Thru RST Circuit)
Z-80	RD	WR	INT (Thru RST Circuit, Mode 0)
SC/MP	NRDS	NWDS	SA (Thru Sense A)
6800	VMA•φ2•R/W	VMA•φ•R/W	IRQA or IRQB (Thru PIA)

Ordering Information

TEMPERATURE RANGE		−40°C to +85°C		−55°C to +125°C
Error	±½ Bit Unadjusted	ADC0808CCN	ADC0808CCJ	ADC0808CJ
	±1 Bit Unadjusted	ADC0809CCN		
Package Outline		N28A Molded DIP	J28A Hermetic DIP	J28A Hermetic DIP

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

SCL4066B

CMOS QUAD ANALOG SWITCH

FEATURES

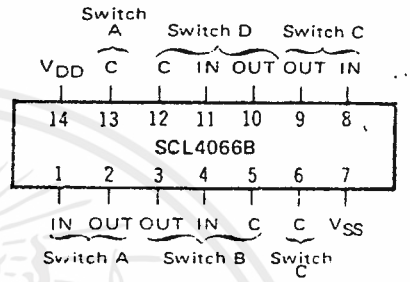
- Transmission or Multiplexing of Analog or Digital Signals
- 80Ω Typical ON-Resistance for 15-Volt operation
- Switch ON-Resistance Matched to within 5Ω over 15-Volt Signal-Input Range
- ON-Resistance Flat over Full Peak-to-Peak Signal Range
- High Degree of Linearity:
  ≤0.5% Distortion (typ) @ f_{is} = 1kHz,
  V_{is} = 5V_{p-p}, V_{DD}-V_{SS} ≥10V, R_L = 10kΩ
- Extremely Low OFF switch Leakage Resulting in very Low Offset Current and High Effective OFF Resistance:
  10pA (typ) @ V_{DD}-V_{SS}= 10V, T_A = 25°C
- Extremely High Control Input Impedance (Control Circuit Isolated from Signal Circuit):
  10^{12}Ω (typ)
- Low Crosstalk between Switches:
  -50dB (typ) @ f_{is} = 0.9MHz, R_L = 1kΩ
- Matched Control-Input to Signal-Output Capacitance Reduces Output Signal Transients
- Frequency Response, Switch ON = 40MHz (typ)

DESCRIPTION

The SCL4066B is a Quad Bilateral Switch intended for the transmission or multiplexing of analog or digital signals. It is pin-for-pin compatible with the SCL4016B, but exhibits a much lower ON-resistance. In addition, the ON-resistance is relatively constant over the full input signal range. The SCL4066 consists of four independent bilateral switches. A single control signal is required per switch. Both the P and the N device in a given switch are biased ON or OFF simultaneously by the control signal. As shown below, the well of the N-channel device on each switch is either tied to the input when the switch is ON or to V_{SS} when the switch is OFF. This configuration minimizes the variation of the switch-transistor threshold voltage with input-signal, and thus keeps the ON-resistance low over the full operating range.

The advantages over single-channel switches include peak input-signal voltage swings equal to the full supply voltage, and more constant ON-impedance over the input-signal range. For sample-and-hold applications, however, the SCL4016 is recommended.

CONNECTION DIAGRAM
(all packages)



Add suffix for package:

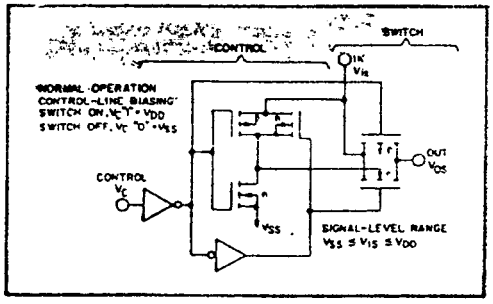
C	14-pin Cerdip	F	14-pin Flat
D	14-pin Ceramic	H	Chip
E	14-pin Epoxy		

RECOMMENDED OPERATING CONDITIONS

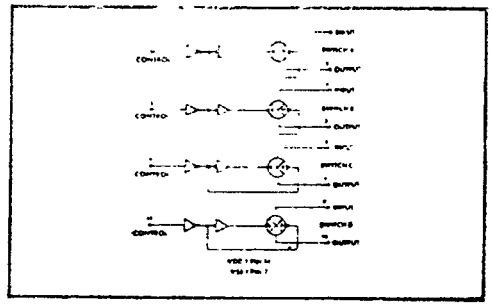
For maximum reliability:

DC Supply Voltage	V_{DD} - V_{SS}	3 to 15	Vdc
Operating Temperature	T_A		
C, D, F, H Device		-55 to +125	°C
E Device		-40 to +85	°C

SCHEMATIC DIAGRAM (one of four switches)



LOGIC DIAGRAM



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ELECTRICAL CHARACTERISTICS

STATIC CHARACTERISTICS [1,3]

PARAMETER		CONDITIONS	V_{SS} (Vdc)	V_{DD} (Vdc)	T_{LOW}[2] Min.	T_{LOW}[2] Max.	25°C Min.	25°C Typ.	25°C Max.	T_{HIGH}[2] Min.	T_{HIGH}[2] Max.	Units
QUIESCENT DEVICE CURRENT	I_{DD}	$V_{IN} = V_{SS}$ or V_{DD}	0	5	–	0.05	–	0.0005	0.05	–	1.5	μAdc
		All valid input combinations	0	10	–	0.1	–	0.001	0.1	–	3.0	
			0	15	–	0.2	–	0.002	0.2	–	6.0	
MINIMUM INPUT HIGH VOLTAGE (Control Input)	V_{IH}	$V_{IS} = V_{SS}$ $V_{OS} = V_{DD}$ $I_{OS} = 10\mu A$	0	5	–	4.0	–	2.75	4.0	–	4.0	Vdc
			0	10	–	8.0	–	5.5	8.0	–	8.0	
			0	15	–	12.0	–	8.25	12.0	–	12.0	
MAXIMUM INPUT LOW VOLTAGE (Control Input)	V_{IL}	$V_{IS} = V_{SS}$ $V_{OS} = V_{DD}$ $I_{OS} = 10\mu A$	0	5	1.0	–	1.0	2.25	–	1.0	–	Vdc
			0	10	2.0	–	2.0	4.5	–	2.0	–	
			0	15	3.0	–	3.0	6.75	–	3.0	–	
SWITCH INPUT/OUTPUT LEAKAGE	I_{OFF}	$V_C = V_{CC}$ $V_{IS} = \pm 7.5$Vdc	-7.5	+7.5	–	±100	–	±0.01	±100	–	±200	nAdc
ON-RESISTANCE C,D,F,H device	R_{ON}	$V_C = V_{DD}$ $V_{SS} \leq V_{IS} \leq V_{DD}$ $R_L = 10k\Omega$	-7.5	+7.5	–	220	–	80	280	–	320	Ω
			0	+15								
			-5	+5	–	310	–	120	400	–	550	Ω
			0	+10								
			-2.5	+2.5	–	2000	–	270	2500	–	3500	Ω
			0	+5								
E device	R_{ON}	$V_C = V_{DD}$ $V_{SS} \leq V_{IS} \leq V_{DD}$ $R_L = 10k\Omega$	-7.5	+7.5	–	250	–	80	280	–	300	Ω
			0	+15								
			-5	+5	–	330	–	120	400	–	520	Ω
			0	+10								
			-2.5	+2.5	–	2100	–	270	2500	–	3200	Ω
			0	+5								
ON-RESISTANCE MATCH (Same package)	ΔR_{ON}	$V_C = V_{DD}$ $V_{SS} \leq V_{IS} \leq V_{DD}$ $R_L = 10k\Omega$	-7.5	+7.5	–	–	–	5	–	–	–	Ω
			0	+15								
			-5	+5	–	–	–	10	–	–		Ω
			0	+10								
			-2.5	+2.5	–	–	–	10	–	–		Ω
			0	+5								

NOTES: [1] Remaining Static Electrical Characteristics are listed under "SCL4000B Series Family Specifications"

[2] T_{LOW} = -55°C for C, D, F, H device.
= -40°C for E device.
T_{HIGH} = +125°C for C, D, F, H device.
= +85°C for E device.

[3] This device has been designed for balanced output drive current specifications. Consult Family Specifications

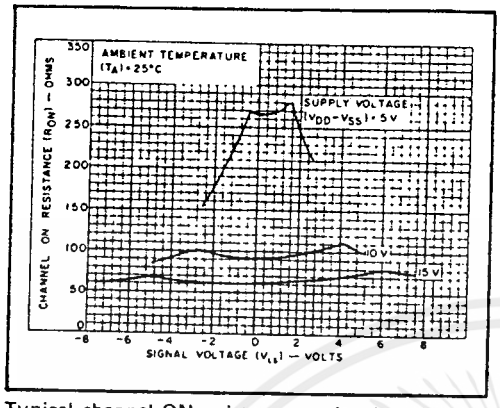
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ELECTRICAL CHARACTERISTICS (Continued)

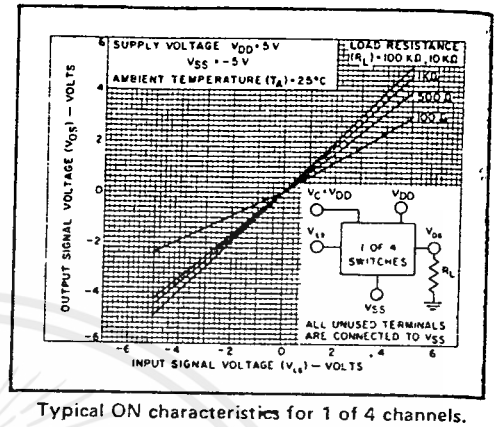
DYNAMIC CHARACTERISTICS (C_L = 50pF, T_A = 25°C)

PARAMETER		CONDITIONS	V_{SS} (Vdc)	V_{DD} (Vdc)	Min.	Typ.	Max.	Units
SIGNAL INPUTS (V_{is}) AND OUTPUTS (V_{os})								
PROPAGATION DELAY TIME Signal Input to Signal Output	t_{PLH}, t_{PHL}	V_c=V_{DD} V_{is}=Square Wave R_L = 10kΩ	0 0 0	5 10 15	– – –	20 10 7.5	40 20 15	ns
BANDWIDTH (-3dB) (Sine Wave)	BW	V_c=V_{DD} R_L V_{is}=5V_{p-p} 1kΩ centered 10kΩ @ 0.0Vdc 100kΩ 1MΩ	-5	+5	– – – –	54 40 38 37	– – – –	MHz
INSERTION LOSS (=20 $\log_{10}\frac{V_{os}}{V_{is}}$)		V_c=V_{DD} R_L V_{is}=5V_{p-p} 1kΩ centered 10kΩ @ 0.0Vdc 100kΩ 1MΩ	-5	+5	– – – –	2.3 0.2 0.1 0.05	– – – –	dB
SIGNAL DISTORTION (Sine Wave)		V_c=V_{DD} V_{is}=5V_{p-p} centered @ 0.0Vdc f_{is}=1.0kHz R_L = 10kΩ	-5	+5	–	0.16	–	%
FEEDTHROUGH (-50dB)		V_c=V_{SS} R_L V_{is}=5V_{p-p} 1kΩ centered 10kΩ @ 0.0Vdc 100kΩ 1MΩ	-5	+5	– – – –	1250 140 18 2	– – – –	kHz
CROSSTALK (-50dB) Between two switches		V_c(A)=V_{DD} V_c(B)=V_{SS} V_{is}(A)=5V_{p-p} centered @0.0Vdc R_L = 10kΩ	-5	+5	–	0.9	–	MHz
CAPACITANCE Input Output Feedthrough	C_{is} C_{os} C_{ios}	V_C = V_{SS}	-5	+5	– – –	8 8 0.5	– – –	pF pF pF
CONTROL INPUT (V_C)								
PROPAGATION DELAY TIME Turn on	t_{PC}	V_{SS}≤V_{is}≤V_{DD} R_L = 10kΩ	0 0 0	5 10 15	– – –	50 25 20	100 50 40	ns
MAXIMUM INPUT FREQUENCY	f_c	V_{SS}≤V_{is}≤V_{DD} R_L = 1.0kΩ	0 0 0	5 10 15	– – –	5 10 12	– – –	MHz
CROSSTALK (To signal port)		V_c = Square Wave R_L = 10kΩ R_{in} = 1.0kΩ	0 0 0	5 10 15	– – –	30 50 100	– – –	mV

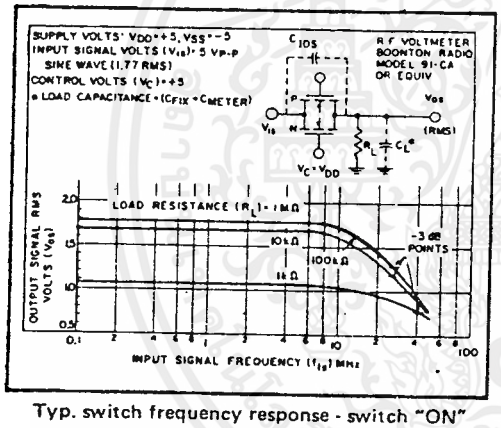
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



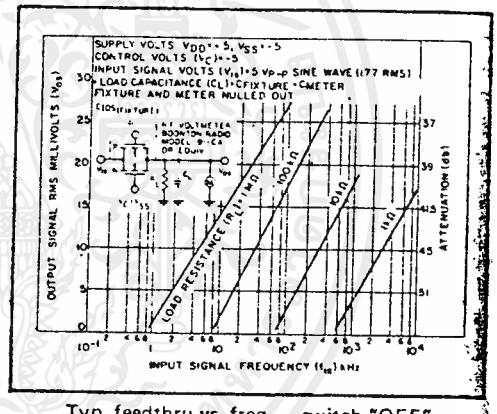
Typical channel ON resistance vs. signal voltage for three values of supply voltage (V_{DD}-V_{SS})



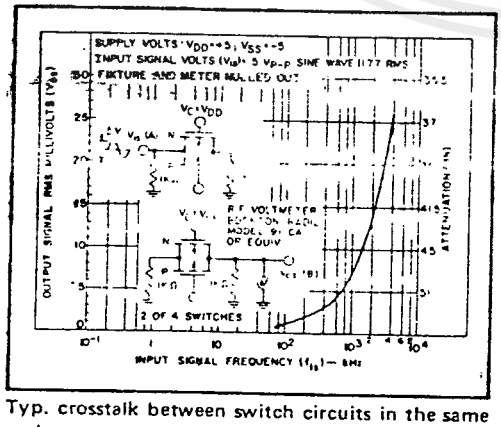
Typical ON characteristics for 1 of 4 channels.



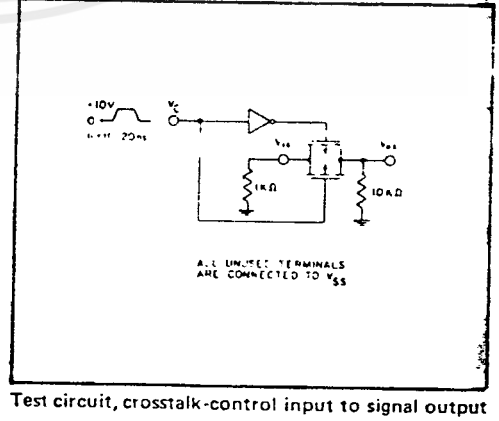
Typ. switch frequency response - switch "ON"



Typ. feedthru vs. freq. — switch "OFF"



Typ. crosstalk between switch circuits in the same package



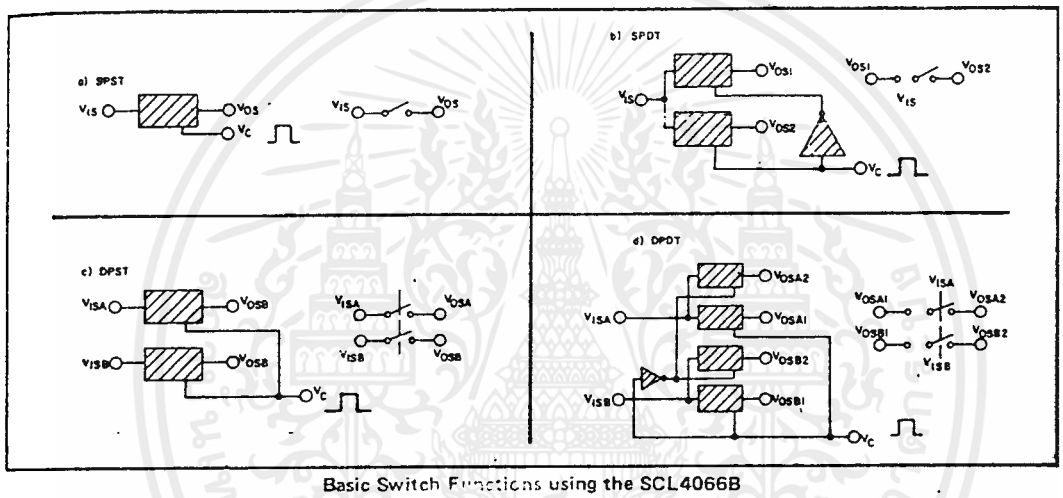
Test circuit, crosstalk-control input to signal output

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

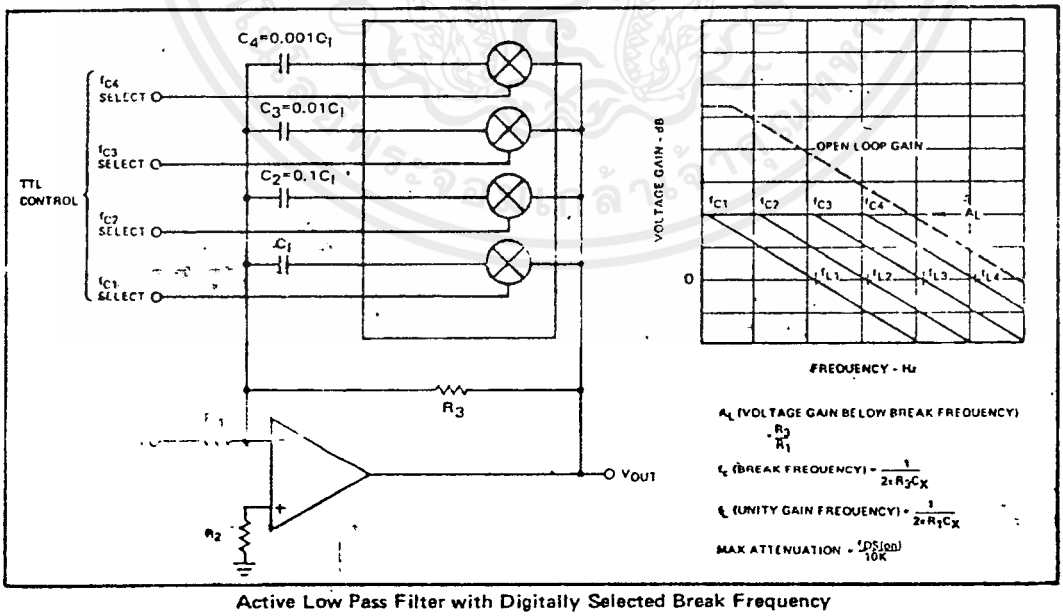
SPECIAL CONSIDERATIONS – SCL4066B

1. In applications where separate power sources are used to drive V_{DD} and the signal inputs, the V_{DD} current capability should exceed V_{DD}/R_L (R_L = effective external load of the 4 SCL4066B bilateral switches). This provision avoids any permanent current flow or clamp action on the V_{DD} supply when power is applied or removed from SCL4066B.
2. In certain applications, the external load-resistor current may include both V_{DD} and signal-line components. To avoid drawing V_{DD} current when switch current flows into terminals 1, 4, 8, or 11, the voltage drop across the bidirectional switch must not exceed 0.8 volt (calculated from R_{ON} values shown).
   No V_{DD} current will flow through R_L if the switch current flows into terminals 2, 3, 9, or 10. Failure to observe this condition may result in distortion of the signal.

APPLICATIONS INFORMATION



Basic Switch Functions using the SCL4066B



Active Low Pass Filter with Digitally Selected Break Frequency

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

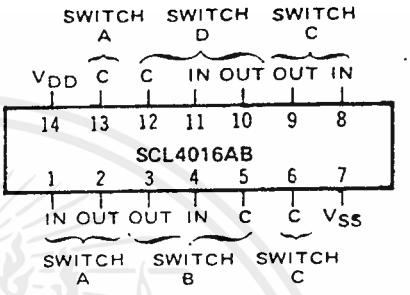
SCL4016AB

CMOS QUAD ANALOG SWITCH

FEATURES

- Wide Range of Digital and Analog Signal Levels- Digital or Analog Signals to 18 Volts peak
- Low ON Resistance — 200 Ω typ. over 15Vp-p Signal Input Range, @ 15Vdc
- Matched Switch Characteristics - 10Ω typ. Difference between R_{ON} Values at a Fixed Bias Point over 15Vp-p Signal Input Range @ 15Vdc
- High On/Off Output Voltage Ratio – 65 dB typ. @ f_{is} = 10kHz, R_L = 10KΩ
- High degree of Linearity - ⩽ 0.4% Distortion typ. @ f_{is} = 1kHz, V_{is} = 5V_{p-p}, V_{DD}-V_{SS}⩾10V, R_L = 10kΩ
- Extremely Low OFF Switch Leakage Resulting in Very Low Offset Current and High Effective OFF resistance - 10pA typ. @ V_{DD}-V_{SS} = 10V, T_A = 25°C
- Extremely High Control Input Impedance (Control Circuit Isolated from Signal Circuit) - 10^{12}Ω typ.
- Low Crosstalk between Switches - -50dB typ. @ f_{is} = 0.9MHz, R_L = 1kΩ
- Matched Control-Input to Signal-Output Capacitances - Reduces Output Signal Transients
- Transmits Frequencies up to 40MHz

CONNECTION DIAGRAM
(all packages)



Add suffix for package:

C	14-pin Cerdip
D	14-pin Ceramic
E	14-pin Epoxy
F	14-pin Flat
H	Chip

DESCRIPTION

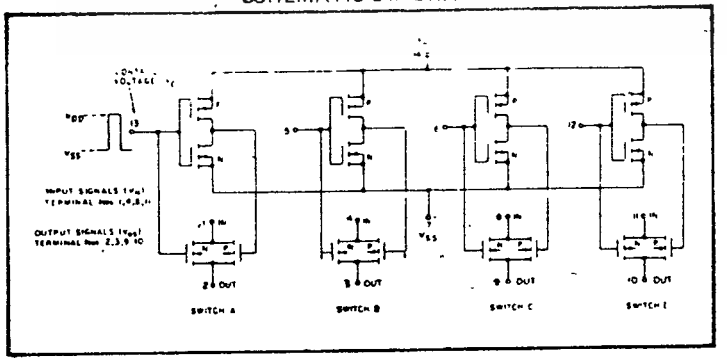
The SCL4016AB is a single-chip monolithic silicon integrated circuit containing eight N-channel and eight P-channel enhancement-mode MOS transistors connected to form four independent bilateral signal switches. Each switch consists of both P- and N-channel devices with common source and drain connections. A single control signal is required per switch. Both P and N devices in a given switch are biased ON or OFF by the control signal. The CMOS switch permits peak input-signal voltage swings equal to the full supply voltage, a considerable advantage over single-channel types.

RECOMMENDED OPERATING CONDITIONS

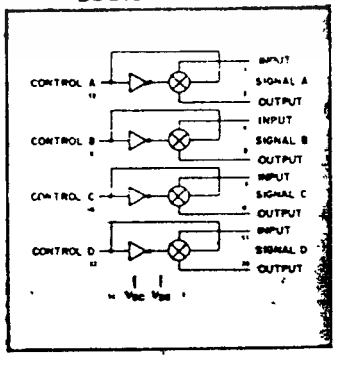
For maximum reliability:

DC Supply Voltage	V_{DD} - V_{SS}	3 to 15 V
Operating Temperature	T_A	
C, D, F, H Device		-55 to +125 °C
E Device		-40 to +85 °C

SCHEMATIC DIAGRAM



LOGIC DIAGRAM



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ELECTRICAL CHARACTERISTICS

STATIC CHARACTERISTICS[1,3]

PARAMETER		CONDITIONS	V_{SS} (Vdc)	V_{DD} (Vdc)	T_{LOW}[2] Min.	T_{LOW}[2] Max.	25°C Min.	25°C Typ.	25°C Max.	T_{HIGH}[2] Min.	T_{HIGH}[2] Max.	Units
QUIESCENT DEVICE CURRENT	I_{DD}	$V_{IN} = V_{SS}$ or V_{DD} All valid input combinations	0	5	–	0.05	–	0.0005	0.05	–	1.5	µAdc
			0	10	–	0.1	–	0.001	0.1	–	3.0	
			0	15	–	0.2	–	0.002	0.2	–	6.0	
MINIMUM INPUT HIGH VOLTAGE (Control Input)	V_{IH}	$V_{IS} = V_{SS}$ $V_{OS} = V_{DD}$ $I_{OS} = 10\mu A$	0	5	–	2.9	–	1.5	2.9	–	2.4	Vdc
			0	10	–	2.9	–	1.5	2.7	–	2.4	
			0	15	–	2.9	–	1.5	2.7	–	2.4	
MAXIMUM INPUT LOW VOLTAGE (Control Input)	V_{IL}	$V_{IS} = V_{SS}$ $V_{OS} = V_{DD}$ $I_{OS} = 10\mu A$	0	5	0.9	–	0.7	1.5	–	0.4	–	Vdc
			0	10	0.9	–	0.7	1.5	–	0.4	–	
			0	15	0.9	–	0.7	1.5	–	0.4	–	
SWITCH INPUT/OUTPUT LEAKAGE (Switch off)	I_{OFF}	$V_C = V_{SS}$	V_{IS}									
			±7.5	-7.5	+7.5	–	±250	–	±0.1	±250	–	±2500	nAdc
			±5	-5	+5	–	±125	–	±0.01	±125	–	±1250	
ON-RESISTANCE C, D, F, H device	R_{ON}	$V_C = V_{DD}$ $R_L = 10k\Omega$	V_{IS} (Vdc)									
			+7.5	-7.5	+7.5	–	360	–	200	400	–	600	Ω
			-7.5			–	360	–	200	400	–	600	
			±0.25			–	775	–	280	850	–	1230	
			+5	-5	+5	–	600	–	250	660	–	960	Ω
			-5			–	600	–	250	660	–	960	
			±0.25			–	1870	–	580	2000	–	2600	
			+15	0	+15	–	360	–	200	400	–	600	Ω
			+0.25			–	360	–	200	400	–	600	
			+9.3			–	775	–	300	850	–	1230	
			+10	0	+10	–	600	–	250	660	–	960	Ω
			+0.25			–	600	–	250	660	–	960	
			+5.6			–	1870	–	560	2000	–	2600	
E device	R_{ON}	$V_C = V_{DD}$ $R_L = 10k\Omega$	V_{IS} (Vdc)									
			+7.5	-7.5	+7.5	–	370	–	200	400	–	520	Ω
			-7.5			–	370	–	200	400	–	520	
			±0.25			–	790	–	280	850	–	1080	
			+5	-5	+5	–	610	–	250	660	–	840	Ω
			-5			–	610	–	250	660	–	840	
			±0.25			–	1900	–	580	2000	–	2380	
			+15	0	+15	–	370	–	200	400	–	520	Ω
			+0.25			–	370	–	200	400	–	520	
			+9.3			–	790	–	300	850	–	1080	
			+10	0	+10	–	610	–	250	660	–	840	Ω
			+0.25			–	610	–	250	660	–	840	
			+5.6			–	1900	–	560	2000	–	2380	
ON-RESISTANCE MATCH (Same package)	ΔR_{ON}	$V_C = V_{DD}$ $R_L = 10k\Omega$	V_{IS} (Vdc)									
			±7.5	-7.5	+7.5	–	–	–	10	–	–	–	Ω
			±5	-5	+5	–	–	–	15	–	–	–	

NOTES: [1] Remaining Static Electrical Characteristics are listed under "SCL4000B Series Family Specifications"

[2] $T_{LOW} = -55°C$ for C, D, F, H device.
$= -40°C$ for E device
$T_{HIGH} = +125°C$ for C, D, F, H device.
$= +85°C$ for E device.

[3] This device has been designed for balanced output drive current specifications. Consult Family Specifications.

DYNAMIC CHARACTERISTICS (C_L = 50 pF, T_A = 25°C)

PARAMETER		CONDITIONS		V_{SS} (Vdc)	V_{DD} (Vdc)	Min.	Typ.	Max.	UNIT
SIGNAL INPUTS (V_{IS}) AND OUTPUTS (V_{OS})									
PROPAGATION DELAY TIME Signal input to signal output	t_{PLH}, t_{PHL}	$V_C = V_{DD}$ V_{IS} = square wave $R_L = 10k\Omega$		0	5	–	20	40	ns
				0	10	–	10	20	
				0	15	–	7.5	15	
BANDWIDTH (-3dB) (Sine Wave)	BW	$V_C = V_{DD}$ $V_{IS} = 5V_{p-p}$ centered @0.0Vdc	R_L	-5	+5				MHz
			1kΩ			–	64	–	
			10kΩ			–	40	–	
			100kΩ			–	38	–	
			1MΩ			–	37	–	

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ELECTRICAL CHARACTERISTICS (Continued)

DYNAMIC CHARACTERISTICS (C_L = 50 pF, T_A = 25°C) (Continued)

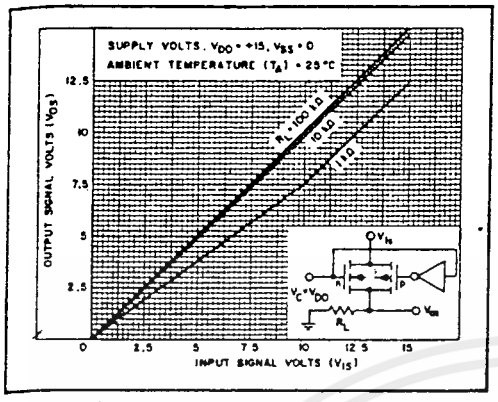
PARAMETER		CONDITIONS	V_{SS} (Vdc)	V_{DD} (Vdc)	Min.	Typ.	Max.	Units
SIGNAL INPUTS (V_{IS}) AND OUTPUTS (V_{OS}) (Continued)								
INSERTION LOSS ($= 20 \log_{10} \frac{V_{OS}}{V_{IS}}$)		$V_C = V_{DD}$, V_{IS} = $5V_{p-p}$ centered @0.0Vdc; R_L = 1kΩ	5	+5	–	2.3	–	dB
		R_L = 10kΩ			–	0.2	–	
		R_L = 100kΩ			–	0.1	–	
		R_L = 1MΩ			–	0.05	–	
SIGNAL DISTORTION (Sine Wave)		$V_C = V_{DD}$, V_{IS} = $5V_{p-p}$ centered @0.0Vdc, f_{IS} = 1.0kHz, R_L = 10kΩ	-5	+5	–	0.4	–	%
FEEDTHROUGH (-50dB)		$V_C = V_{SS}$, V_{IS} = $5V_{p-p}$ centered @0.0Vdc; R_L = 1kΩ	-5	+5	–	1250	–	kHz
		R_L = 10kΩ			–	140	–	
		R_L = 100kΩ			–	18	–	
		R_L = 1MΩ			–	2	–	
CROSSTALK (-50dB) (Between two switches)		V_C (A) = V_{DD}, V_C (B) = V_{SS}, V_{IS} (A) = $5V_{p-p}$ centered @0.0Vdc, R_L = 1.0k	-5	+5	–	0.9	–	MHz
CAPACITANCE								
Input	C_{IS}				–	4	–	pF
Output	C_{OS}	$V_C = V_{SS}$	-5	+5	–	4	–	pF
Feedthrough	C_{IOS}				–	0.2	–	pF
CONTROL INPUT (V_C)								
PROPAGATION DELAY TIME Turn on	t_{PLH}, t_{PHL}	$V_{SS} \le V_{IS} \le V_{DD}$, R_L = 10kΩ	0	5	–	40	80	ns
			0	10	–	20	40	
			0	15	–	15	30	
MAXIMUM INPUT FREQUENCY	f_C	$V_{SS} \le V_{IS} \le V_{DD}$, R_L = 1.0kΩ	0	5	–	5	–	MHz
			0	10	–	10	–	
			0	15	–	12	–	
CROSSTALK (To signal port)		V_C = Square wave, R_L = 10kΩ, R_{IN} = 1.0kΩ	0	5	–	30	–	mV
			0	10	–	50	–	
			0	15	–	100	–	

TYPICAL ON-RESISTANCE CHARACTERISTICS

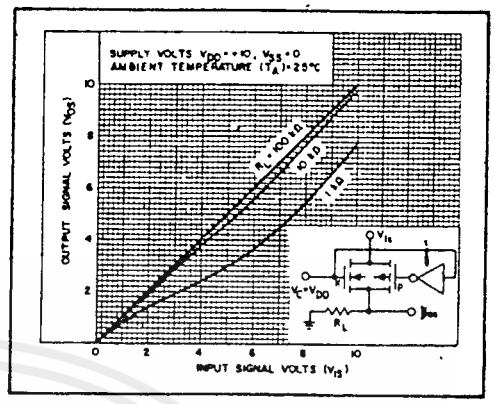
CHARACTERISTIC*	SUPPLY CONDITIONS		LOAD CONDITIONS					
			R_L = 1kΩ		R_L = 10kΩ		R_L = 100kΩ	
	V_{DD} (V)	V_{SS} (V)	VALUE (Ω)	V_{is} (V)	VALUE (Ω)	V_{is} (V)	VALUE (Ω)	V_{is} (V)
R_{ON}	+15	0	200	+15	200	+15	180	+15
			200	0	200	0	200	0
R_{ON}(max.)	+15	0	300	+13	300	+0.3	320	+5.0
R_{ON}	+10	0	290	+10	250	+10	240	+10
			290	0	250	0	300	0
R_{ON}(max.)	+10	0	500	+7.4	560	+5.0	610	+5.5
R_{ON}	+5	0	860	+5	470	+5	450	+5
			600	0	580	0	800	0
R_{ON}(max.)	+5	0	1.7k	+4.2	7k	+2.9	33k	+2.7
R_{ON}	+7.5	−7.5	200	+7.5	200	+7.5	180	+7.5
			200	−7.5	200	−7.5	180	−7.5
R_{ON}(max.)	+7.5	−7.5	290	±0.25	280	±25	400	±0.25
R_{ON}	+5	−5	260	+5	250	+5	240	+5
			310	−5	250	−5	240	−5
R_{ON}(max.)	+5	−5	600	±0.25	580	±0.25	780	±0.25
R_{ON}	+2.5	−2.5	590	+2.5	450	+2.5	490	+2.5
			720	−2.5	520	−2.5	520	−2.5
R_{ON}(max.)	+2.5	−2.5	232k	±0.25	300k	±0.25	870k	±0.25

* Variation from a perfect switch. R_{ON} = 0Ω.

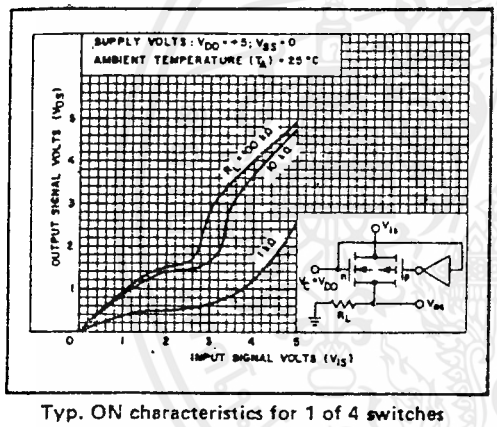
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



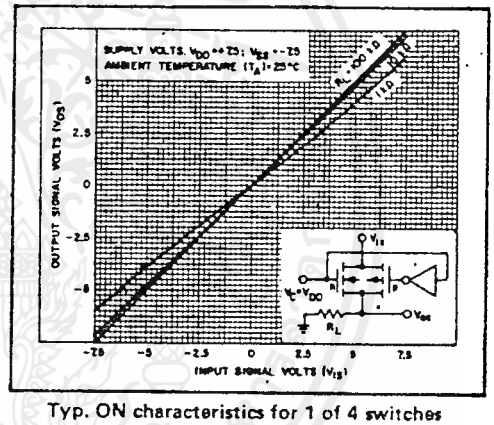
Typ. ON characteristics for 1 of 4 switches with V_{DD}=+15V, V_{SS}=0V



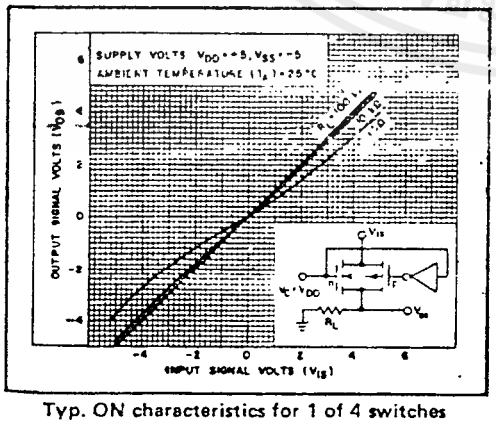
Typ. ON characteristics for 1 of 4 switches with V_{DD}=+10V, V_{SS}=0V



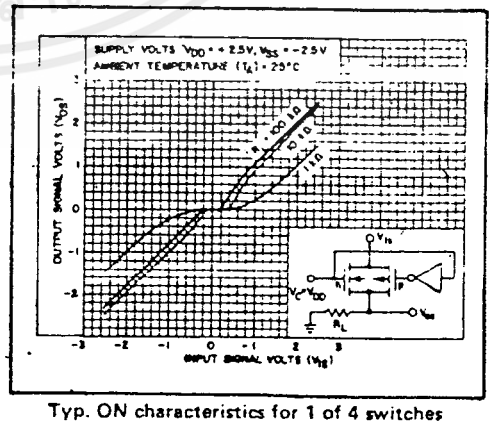
Typ. ON characteristics for 1 of 4 switches with V_{DD}=+5V, V_{SS}=0V



Typ. ON characteristics for 1 of 4 switches with V_{DD}=+7.5V, V_{SS}=−7.5V

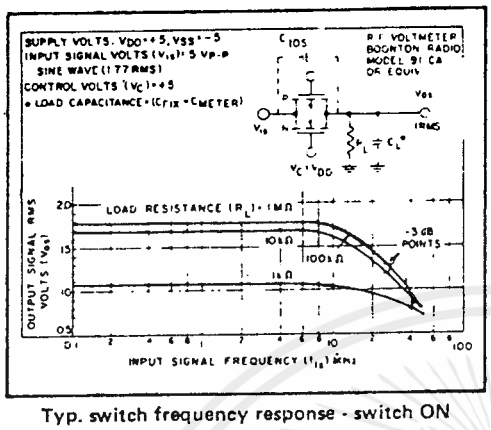


Typ. ON characteristics for 1 of 4 switches with V_{DD}=+5V, V_{SS}=−5V

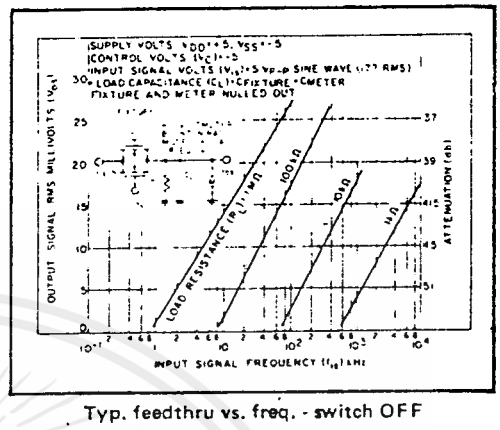


Typ. ON characteristics for 1 of 4 switches with V_{DD}=+2.5V, V_{SS}=−2.5V

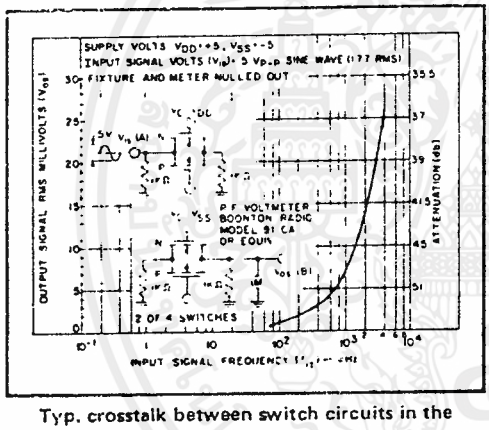
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



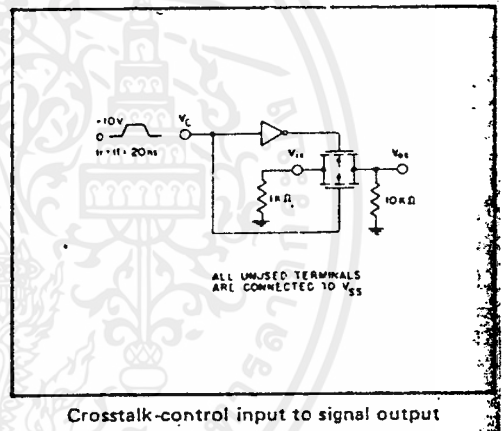
Typ. switch frequency response - switch ON



Typ. feedthru vs. freq. - switch OFF



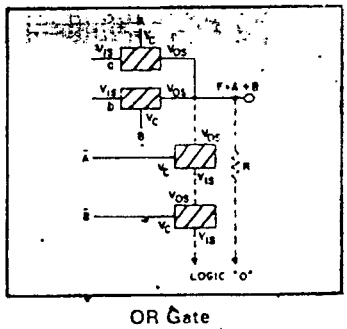
Typ. crosstalk between switch circuits in the same package



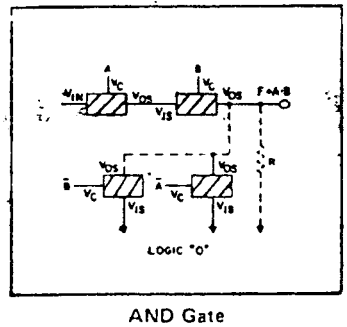
Crosstalk-control input to signal output

APPLICATIONS INFORMATION

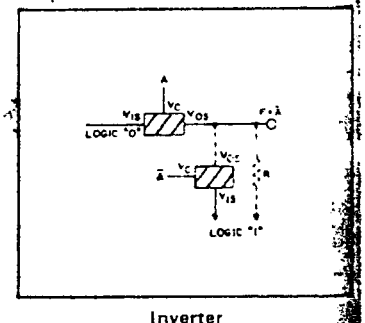
LOGIC FUNCTIONS USING THE SCL4016AB



OR Gate



AND Gate



Inverter

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

SCL4049UB Inverting
SCL4050B Non-Inverting

CMOS
HEX BUFFERS/CONVERTERS

FEATURES

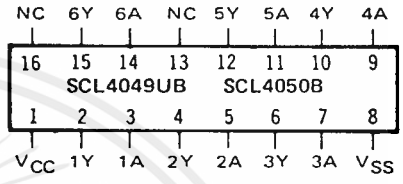
- Direct Drive of 2 TTL/DTL Loads
- Operation from Single Supply
- Pin-for Pin Replacements for SCL4009B, SCL4010B

DESCRIPTION

The SCL4049UB and SCL4050B are Inverting and Non-Inverting Hex Buffers, respectively, and feature logic-level conversion using only one supply voltage (V_{CC}). The Input-signal high level (V_{IH}) can exceed the V_{CC} supply voltage when these devices are used for logic-level conversions. These devices are intended for use as CMOS-to-DTL/TTL converters and can drive directly two DTL/TTL Loads.

The SCL4049UB and SCL4050B are interchangeable with SCL4009UB and SCL4010B devices, respectively. In these applications the SCL4049UB and SCL4050B are pin-compatible with the SCL4009UB and SCL4010B, respectively, and can be substituted for these devices in existing as well as in new designs. Terminal No. 16 is not connected internally on the SCL4049UB or SCL4050B; therefore, connection to this terminal is of no consequence to circuit operation.

CONNECTION DIAGRAM
(all packages)



Add suffix for package:

C	16-pin Cerdip
D	16-pin Ceramic
E	16-pin Epoxy
F	16-pin Flat
H	Chip

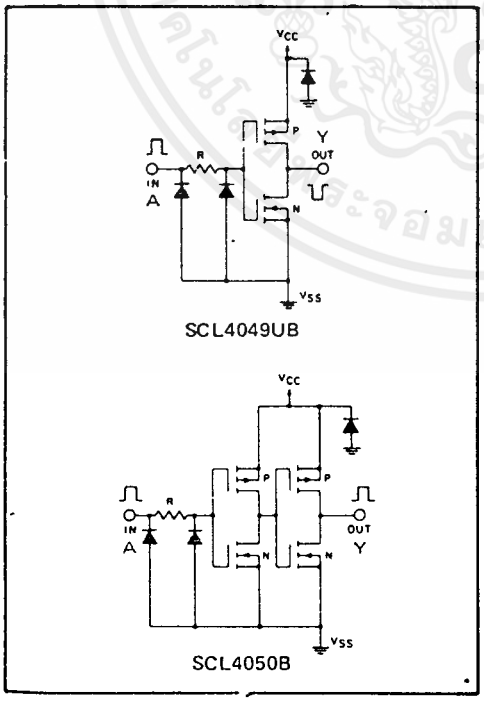
RECOMMENDED OPERATING CONDITIONS

For maximum reliability:

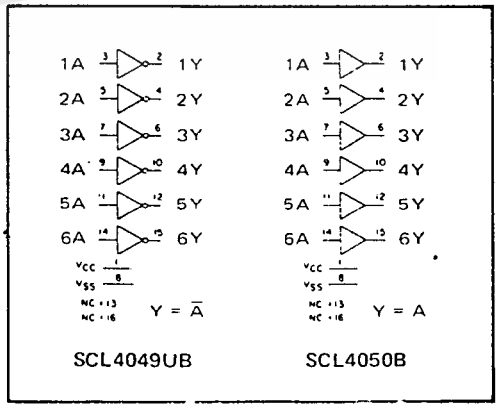
DC Supply Voltage	$V_{CC} - V_{SS}$	3 to 15	Vdc
Operating Temperature	T_A		
C, D, F, H Device		-55 to +125	°C
E Device		-40 to +85	°C

Note: These devices contain input protection networks to V_{SS} only. Therefore, V_{IH} (max) may exceed V_{CC} without damage (subject to absolute maximum ratings).

SCHEMATIC DIAGRAMS



LOGIC DIAGRAMS



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ELECTRICAL CHARACTERISTICS

STATIC CHARACTERISTICS [1,3]

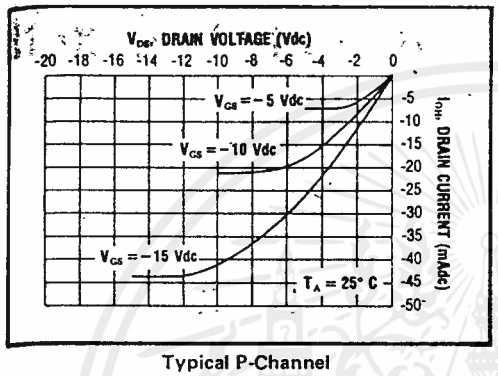
PARAMETER		V_{CC} (Vdc)	CONDITIONS	T_{LOW} [2]		+25°C			T_{HIGH} [2]		Units
				Min.	Max.	Min.	Typ.	Max.	Min.	Max.	
QUIESCENT DEVICE CURRENT	I_{CC}	5	$V_{IN}=V_{SS}$ or V_{DD}	–	1.0	–	0.005	1.0	–	30	μAdc
		10	All valid input	–	2.0	–	0.01	2.0	–	60	
		15	combinations	–	4.0	–	0.02	4.0	–	120	
MINIMUM INPUT HIGH VOLTAGE SCL4049UB	V_{IH}	5	V_{OL} =0.5V	–	4.0	–	2.75	4.0	–	4.0	Vdc
		10	V_{OL} =1.0V	–	8.0	–	5.5	8.0	–	8.0	
		15	V_{OL} =1.5V	–	12.0	–	8.25	12.0	–	12.0	
MAXIMUM INPUT LOW VOLTAGE SCL4049UB	V_{IL}	5	V_{OH} = 3.6V	1.0	–	1.0	2.25	–	1.0	–	Vdc
		10	V_{OH} = 7.2V	2.0	–	2.0	4.5	–	2.0	–	
		15	V_{OH} = 10.8V	3.0	–	3.0	6.75	–	3.0		
OUTPUT LOW (SINK) CURRENT C, D, F, H devices	I_{OL}	5	V_{OL} =0.4V	4.0	–	3.2	6.4	–	2.4	–	mAdc
		10	V_{OL} =0.5V	10	–	8.0	16	–	5.6	–	
		15	V_{OL} =1.5V	30	–	24.0	40	–	16.8	–	
			$V_{IN}=V_{SS}$ or V_{DD}								
E device		5	V_{OL} =0.4V	3.8	–	3.2	6.4	–	2.6	–	mAdc
		10	V_{OL} =0.5V	9.6	–	8.0	16	–	6.4	–	
		15	V_{OL} =1.5V	28	–	24.0	40	–	19	–	
			$V_{IN}=V_{SS}$ or V_{DD}								

NOTES: [1] Remaining Static Electrical Characteristics are listed under "SCL4000B Series Family Specifications".
[2] T_{LOW} = -55°C for C, D, F, H device.
= -40°C for E device.
T_{HIGH} = +125°C for C, D, F, H device.
= + 85°C for E device.
[3] These devices have been designed to meet the balanced output drive current specifications for Output High (Source) Current. Consult Family Specifications.

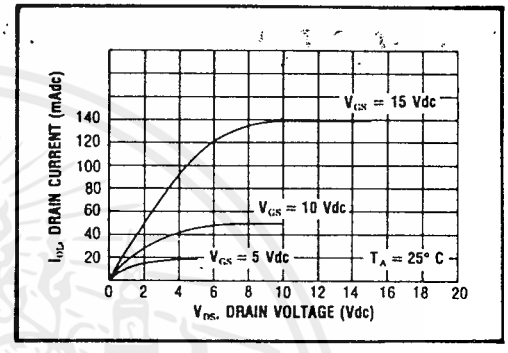
DYNAMIC CHARACTERISTICS (C_L = 50pF, T_A = 25°C)

PARAMETER		V_{IN} (Vdc)	V_{CC} (Vdc)	Min.	Typ.	Max.	Units
PROPAGATION DELAY TIME SCL4049UB	t_{PLH}	5	5	–	60	120	ns
		10	10	–	32	65	
		15	15	–	25	50	
		10	5	–	45	90	ns
		15	5	–	45	90	
SCL4050B		5	5	–	70	140	ns
		10	10	–	40	80	
		15	15	–	30	60	
		10	5	–	45	90	ns
		15	5	–	40	80	
SCL4049UB	t_{PHL}	5	5	–	32	65	ns
		10	10	–	20	40	
		15	15	–	15	30	
		10	5	–	15	30	ns
		15	5	–	10	20	
SCL4050B		5	5	–	55	110	ns
		10	10	–	27	55	
		15	15	–	15	30	
		10	5	–	50	100	ns
		15	5	–	50	100	
OUTPUT TRANSITION TIME	t_{TLH}	5	5	–	80	160	ns
		10	10	–	40	80	
		15	15	–	30	60	
	t_{THL}	5	5		30	60	ns
		10	10		20	40	
		15	15	-	15	30	
INPUT CAPACITANCE SCL4049UB	C_{IN}	–	–	-	15	22.5	pF

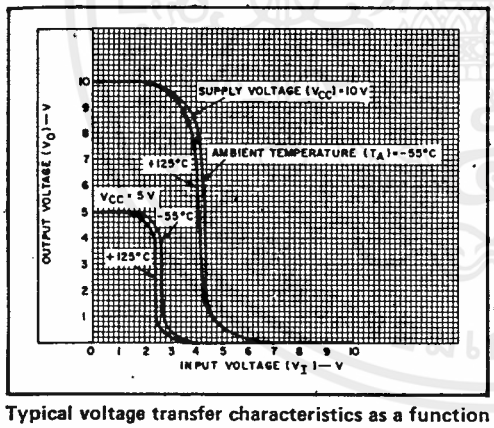
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



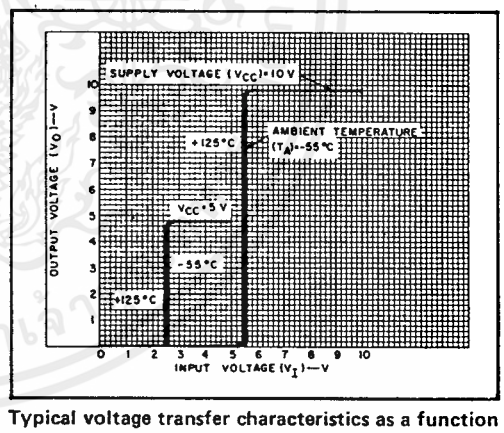
Typical P-Channel
Source Current Characteristics



Typical N-Channel
Sink Current Characteristics



Typical voltage transfer characteristics as a function of temperature for SCL4049UB.



Typical voltage transfer characteristics as a function of temperature for SCL4050B.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

National Semiconductor

MM54HC139/MM74HC139
Dual 2-To-4 Line Decoder

General Description

This decoder utilizes advanced silicon-gate CMOS technology, and is well suited to memory address decoding or data routing applications. It possesses the high noise immunity and low power consumption usually associated with CMOS circuitry, yet has speeds comparable to low power Schottky TTL logic.

The MM54HC139/MM74HC139 contain two independent one-of-four decoders each with a single active low enable input (G1, or G2). Data on the select inputs (A1, and B1 or A2, and B2) cause one of the four normally high outputs to go low.

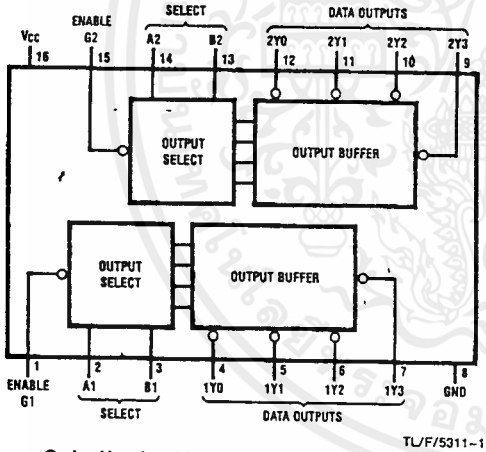
The decoder's outputs can drive 10 low power Schottky TTL equivalent loads, and are functionally as well as pin equivalent to the 54LS139/74LS139. All inputs are protected from damage due to static discharge by diodes to V_{CC} and ground.

Features

- Typical propagation delays —
  Select to outputs (4 delays): 18 ns
  Select to output (5 delays): 28 ns
  Enable to output: 20 ns
- Low power: 40 μW quiescent supply power
- Fanout of 10 LS-TTL devices
- Input current maximum 1 μA, typical 10 pA

Connection Diagram

Dual-In-Line Package



TL/F/5311–1

Order Number MM54HC139* or MM74HC139*

*Please look into Section 8, Appendix D for availability of various package types.

Truth Table

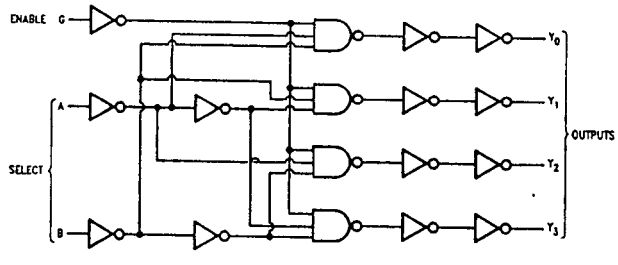
'HC139

Inputs			Outputs			
Enable	Select					
G	B	A	Y0	Y1	Y2	Y3
H	X	X	H	H	H	H
L	L	L	L	H	H	H
L	L	H	H	L	H	H
L	H	L	H	H	L	H
L	H	H	H	H	H	L

H = high level, L = low level, X = don't care

Logic Diagram

MM54HC139/MM74HC139



TL/F/5311–2

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Absolute Maximum Ratings (Notes 1 & 2)

If Military/Aerospace specified devices are required, contact the National Semiconductor Sales Office/ Distributors for availability and specifications.

Supply Voltage (V_{CC})	−0.5 to +7.0V
DC Input Voltage (V_{IN})	−1.5 to V_{CC} +1.5V
DC Output Voltage (V_{OUT})	−0.5 to V_{CC} +0.5V
Clamp Diode Current (I_{IK}, I_{OK})	±20 mA
DC Output Current, per pin (I_{OUT})	±25 mA
DC V_{CC} or GND Current, per pin (I_{CC})	±50 mA
Storage Temperature Range (T_{STG})	−65°C to +150°C
Power Dissipation (P_D)	
(Note 3)	600 mW
S.O. Package only	500 mW
Lead Temp. (T_L) (Soldering 10 seconds)	260°C

Operating Conditions

	Min	Max	Units
Supply Voltage (V_{CC})	2	6	V
DC Input or Output Voltage (V_{IN}, V_{OUT})	0	V_{CC}	V
Operating Temp. Range (T_A)			
MM74HC	−40	+85	°C
MM54HC	−55	+125	°C
Input Rise or Fall Times (t_r, t_f) V_{CC} = 2.0V		1000	ns
V_{CC} = 4.5V		500	ns
V_{CC} = 6.0V		400	ns

DC Electrical Characteristics (Note 4)

Symbol	Parameter	Conditions	V_{CC}	T_A = 25°C	74HC T_A = −40 to 85°C	54HC T_A = −55 to 125°C	Units
				Typ	Guaranteed Limits		
V_{IH}	Minimum High Level Input Voltage		2.0V		1.5	1.5	1.5	V
			4.5V		3.15	3.15	3.15	V
			6.0V		4.2	4.2	4.2	V
V_{IL}	Maximum Low Level Input Voltage**		2.0V		0.5	0.5	0.5	V
			4.5V		1.35	1.35	1.35	V
			6.0V		1.8	1.8	1.8	V
V_{OH}	Minimum High Level Output Voltage	V_{IN} = V_{IH} or V_{IL} $\|I_{OUT}\| \le 20\ \mu A$	2.0V	2.0	1.9	1.9	1.9	V
			4.5V	4.5	4.4	4.4	4.4	V
			6.0V	6.0	5.9	5.9	5.9	V
		V_{IN} = V_{IH} or V_{IL} $\|I_{OUT}\| \le 4.0$ mA	4.5V	4.2	3.98	3.84	3.7	V
		$\|I_{OUT}\| \le 5.2$ mA	6.0V	5.7	5.48	5.34	5.2	V
V_{OL}	Maximum Low Level Output Voltage	V_{IN} = V_{IH} or V_{IL} $\|I_{OUT}\| \le 20\ \mu A$	2.0V	0	0.1	0.1	0.1	V
			4.5V	0	0.1	0.1	0.1	V
			6.0V	0	0.1	0.1	0.1	V
		V_{IN} = V_{IH} or V_{IL} $\|I_{OUT}\| \le 4.0$ mA	4.5V	0.2	0.26	0.33	0.4	V
		$\|I_{OUT}\| \le 5.2$ mA	6.0V	0.2	0.26	0.33	0.4	V
I_{IN}	Maximum Input Current	V_{IN} = V_{CC} or GND	6.0V		±0.1	±1.0	±1.0	μA
I_{CC}	Maximum Quiescent Supply Current	V_{IN} = V_{CC} or GND I_{OUT} = 0 μA	6.0V		8.0	80	160	μA

Note 1: Absolute Maximum Ratings are those values beyond which damage to the device may occur.

Note 2: Unless otherwise specified all voltages are referenced to ground.

Note 3: Power Dissipation temperature derating — plastic "N" package: −12 mW/°C from 65°C to 85°C; ceramic "J" package: −12 mW/°C from 100°C to 125°C.

Note 4: For a power supply of 5V ±10% the worst case output voltages (V_{OH}, and V_{OL}) occur for HC at 4.5V. Thus the 4.5V values should be used when designing with this supply. Worst case V_{IH} and V_{IL} occur at V_{CC} = 5.5V and 4.5V respectively. (The V_{IH} value at 5.5V is 3.85V.) The worst case leakage current (I_{IN}, I_{CC}, and I_{OZ}) occur for CMOS at the higher voltage and so the 6.0V values should be used.

**V_{IL} limits are currently tested at 20% of V_{CC}. The above V_{IL} specification (30% of V_{CC}) will be implemented no later than Q1, CY'89.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

AC Electrical Characteristics

V_{CC} = 5V, T_A = 25°C, C_L = 15 pF, $t_r = t_f$ = 6 ns

Symbol	Parameter	Conditions	Typ	Guaranteed Limit	Units
t_{PHL}, t_{PLH}	Maximum Propagation Delay, Binary Select to any Output 4 levels of delay		18	30	ns
t_{PHL}, t_{PLH}	Maximum Propagation Delay, Binary Select to any Output 5 levels of delay		28	38	ns
t_{PHL}, t_{PLH}	Maximum Propagation Delay, Enable to any Output		19	30	ns

AC Electrical Characteristics C_L = 50 pF, $t_r = t_f$ = 6 ns (unless otherwise specified)

Symbol	Parameter	Conditions	V_{CC}	T_A = 25°C	74HC T_A = −40 to 85°C	54HC T_A = −55 to 125°C	Units
				Typ	Guaranteed Limits		
t_{PHL}, t_{PLH}	Maximum Propagation Delay Binary Select to any Output 4 levels of delay	(Note 6)	2.0V	110	175	219	254	ns
			4.5V	22	35	44	51	ns
			6.0V	18	30	38	44	ns
t_{PHL}, t_{PLH}	Maximum Propagation Delay Binary Select to any Output 5 levels of delay	(Note 7)	2.0V	165	220	275	320	ns
			4.5V	33	44	55	64	ns
			6.0V	28	38	47	54	ns
t_{PHL}, t_{PLH}	Maximum Propagation Delay Enable to any Output		2.0V	115	175	219	254	ns
			4.5V	23	35	44	51	ns
			6.0V	19	30	38	44	ns
t_{TLH}, t_{TLH}	Maximum Output Rise and Fall Time		2.0V	30	75	95	110	ns
			4.5V	8	15	19	22	ns
			6.0V	7	13	16	19	ns
C_{IN}	Maximum Input Capacitance			3	10	10	10	pF
C_{PD}	Power Dissipation Capacitance (Note 5)	(Note 5)		75				pF

Note 5: C_{PD} determines the no load dynamic power consumption, $P_D = C_{PD} V_{CC}^2 f + I_{CC} V_{CC}$, and the no load dynamic current consumption, $I_S = C_{PD} V_{CC} f + I_{CC}$.

Note 6: 4 levels of delay are A to Y1, Y3 and B to Y2, Y3.

Note 7: 5 levels of delay are A to Y0, Y2 and B to Y0, Y1.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

National Semiconductor

MM54HC147/MM74HC147
10-to-4 Line Priority Encoder

General Description

This high speed 10-to-4 Line Priority Encoder utilizes advanced silicon-gate CMOS technology. It possesses the high noise immunity and low power consumption of standard CMOS integrated circuits. This device is fully buffered, giving it a fanout of 10 LS-TTL loads.

The MM54HC147/MM74HC147 features priority encoding of the inputs to ensure that only the highest order data line is encoded. Nine input lines are encoded to a four line BCD output. The implied decimal zero condition requires no input condition as zero is encoded when all nine data lines are at a high logic level. All data inputs and outputs are active at the low logic level.

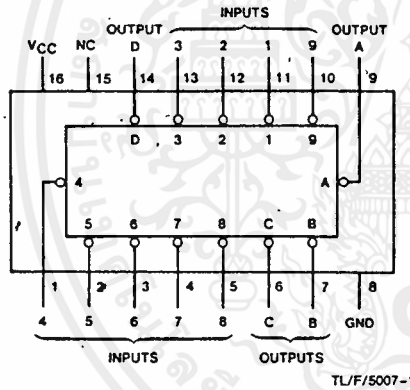
The 54HC/74HC logic family is functionally as well as pinout compatible with the standard 54LS/74LS logic family. All inputs are protected from damage due to static discharge by internal diode clamps to V_{CC} and ground.

Features

- Low quiescent power consumption: 40 μW maximum at 25°C
- High speed: 31 ns propagation delay (typical)
- Low input current: 1 μA maximum
- Wide supply range: 2V to 6V

Connection and Logic Diagrams

Dual-In-Line Package

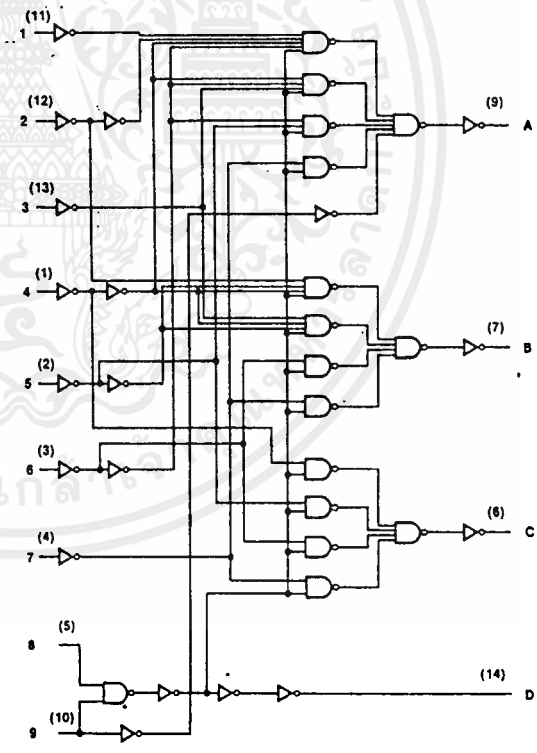


TL/F/5007–1

Top View

Order Number MM54HC147* or MM74HC147*

*Please look into Section 8, Appendix D for availability of various package types.



TL/F/5007–2

Truth Table

Inputs									Outputs			
1	2	3	4	5	6	7	8	9	D	C	B	A
H	H	H	H	H	H	H	H	H	H	H	H	H
X	X	X	X	X	X	X	X	L	L	H	H	L
X	X	X	X	X	X	X	L	H	L	H	H	H
X	X	X	X	X	X	L	H	H	H	L	L	L
X	X	X	X	X	L	H	H	H	H	L	L	H
X	X	X	X	L	H	H	H	H	H	L	H	L
X	X	X	L	H	H	H	H	H	H	L	H	H
X	X	L	H	H	H	H	H	H	H	H	L	L
X	L	H	H	H	H	H	H	H	H	H	L	H
L	H	H	H	H	H	H	H	H	H	H	H	L

H = High Logic Level, L = Low Logic Level, X = Irrelevant

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Absolute Maximum Ratings (Notes 1 & 2)

If Military/Aerospace specified devices are required, contact the National Semiconductor Sales Office/ Distributors for availability and specifications.

Supply Voltage (V_{CC})	−0.5 to +7.0V
DC Input Voltage (V_{IN})	−1.5 to V_{CC} +1.5V
DC Output Voltage (V_{OUT})	−0.5 to V_{CC} +0.5V
Clamp Diode Current (I_{IK}, I_{OK})	±20 mA
DC Output Current, per pin (I_{OUT})	±25 mA
DC V_{CC} or GND Current, per pin (I_{CC})	±50 mA
Storage Temperature Range (T_{STG})	−65°C to +150°C
Power Dissipation (P_D)	
(Note 3)	600 mW
S.O. Package only	500 mW
Lead Temp. (T_L) (Soldering 10 seconds)	260°C

Operating Conditions

	Min	Max	Units
Supply Voltage (V_{CC})	2	6	V
DC Input or Output Voltage (V_{IN}, V_{OUT})	0	V_{CC}	V
Operating Temp. Range (T_A)			
MM74HC	−40	+85	°C
MM54HC	−55	+125	°C
Input Rise or Fall Times (t_r, t_f) V_{CC} = 2.0V		1000	ns
V_{CC} = 4.5V		500	ns
V_{CC} = 6.0V		400	ns

DC Electrical Characteristics (Note 4)

Symbol	Parameter	Conditions	V_{CC}	T_A = 25°C	74HC T_A = −40 to 85°C	54HC T_A = −55 to 125°C	Units
				Typ	Guaranteed Limits		
V_{IH}	Minimum High Level Input Voltage		2.0V		1.5	1.5	1.5	V
			4.5V		3.15	3.15	3.15	V
			6.0V		4.2	4.2	4.2	V
V_{IL}	Maximum Low Level Input Voltage**		2.0V		0.5	0.5	0.5	V
			4.5V		1.35	1.35	1.35	V
			6.0V		1.8	1.8	1.8	V
V_{OH}	Minimum High Level Output Voltage	V_{IN} = V_{IH} or V_{IL} $\|I_{OUT}\| \le 20\ \mu A$	2.0V	2.0	1.9	1.9	1.9	V
			4.5V	4.5	4.4	4.4	4.4	V
			6.0V	6.0	5.9	5.9	5.9	V
		V_{IN} = V_{IH} or V_{IL} $\|I_{OUT}\| \le 4.0$ mA	4.5V	4.7	3.98	3.84	3.7	V
		$\|I_{OUT}\| \le 5.2$ mA	6.0V	5.2	5.48	5.34	5.2	V
V_{OL}	Maximum Low Level Output Voltage	V_{IN} = V_{IH} or V_{IL} $\|I_{OUT}\| \le 20\ \mu A$	2.0V	0	0.1	0.1	0.1	V
			4.5V	0	0.1	0.1	0.1	V
			6.0V	0	0.1	0.1	0.1	V
		V_{IN} = V_{IH} or V_{IL} $\|I_{OUT}\| \le 4.0$ mA	4.5V	0.2	0.26	0.33	0.4	V
		$\|I_{OUT}\| \le 5.2$ mA	6.0V	0.2	0.26	0.33	0.4	V
I_{IN}	Maximum Input Current	V_{IN} = V_{CC} or GND	6.0V		±0.1	±1.0	±1.0	μA
I_{CC}	Maximum Quiescent Supply Current	V_{IN} = V_{CC} or GND I_{OUT} = 0 μA	6.0V		8.0	80	160	μA

Note 1: Absolute Maximum Ratings are those values beyond which damage to the device may occur.

Note 2: Unless otherwise specified all voltages are referenced to ground.

Note 3: Power Dissipation temperature derating — plastic "N" package: −12 mW/°C from 65°C to 85°C; ceramic "J" package: −12 mW/°C from 100°C to 125°C.

Note 4: For a power supply of 5V ±10% the worst case output voltages (V_{OH}, and V_{OL}) occur for HC at 4.5V. Thus the 4.5V values should be used when designing with this supply. Worst case V_{IH} and V_{IL} occur at V_{CC} = 5.5V and 4.5V respectively. (The V_{IH} value at 5.5V is 3.85V.) The worst case leakage current (I_{IN}, I_{CC}, and I_{OZ}) occur for CMOS at the higher voltage and so the 6.0V values should be used.

**V_{IL} limits are currently tested at 20% of V_{CC}. The above V_{IL} specification (30% of V_{CC}) will be implemented no later than Q1, CY'89.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

AC Electrical Characteristics $V_{CC}=5V$, $T_A=25°C$, $C_L=15$ pF, $t_r=t_f=6$ ns

Symbol	Parameter	Conditions	Typ	Guaranteed Limit	Units
t_{PHL}, t_{PLH}	Maximum Propagation Delay		31	38	ns

AC Electrical Characteristics $V_{CC}=2.0V$ to $6.0V$, $C_L=50$ pF, $t_r=t_f=6$ ns (unless otherwise specified)

Symbol	Parameter	Conditions	V_{CC}	$T_A=25°C$	74HC $T_A=-40$ to $85°C$		54HC $T_A=-55$ to $125°C$	Units
				Typ	Guaranteed Limits			
t_{PHL}, t_{PLH}	Maximum Propagation Delay		2.0V	181	220	275	319	ns
			4.5V	36	44	55	64	ns
			6.0V	31	37	47	54	ns
t_{TLH}, t_{THL}	Maximum Output Rise and Fall Time		2.0V	30	75	95	110	ns
			4.5V	8	15	19	22	ns
			6.0V	7	13	16	19	ns
C_{PD}	Power Dissipation Capacitance (Note 5)	(per package)		180				pF
C_{IN}	Maximum Input Capacitance			5	10	10	10	pF

Note 5: C_{PD} determines the no load dynamic power consumption, $P_D = C_{PD} V_{CC}^2 f + I_{CC} V_{CC}$, and the no load dynamic current consumption, $I_S = C_{PD} V_{CC} f + I_{CC}$.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

National Semiconductor

MM54HC245A/MM74HC245A Octal TRI-STATE® Transceiver

General Description

This TRI-STATE bidirectional buffer utilizes advanced silicon-gate CMOS technology, and is intended for two-way asynchronous communication between data buses. It has high drive current outputs which enable high speed operation even when driving large bus capacitances. This circuit possesses the low power consumption and high noise immunity usually associated with CMOS circuitry, yet has speeds comparable to low power Schottky TTL circuits.

This device has an active low enable input $\overline{G}$ and a direction control input, DIR. When DIR is high, data flows from the A inputs to the B outputs. When DIR is low, data flows from the B inputs to the A outputs. The MM54HC245A/MM74HC245A transfers true data from one bus to the other.

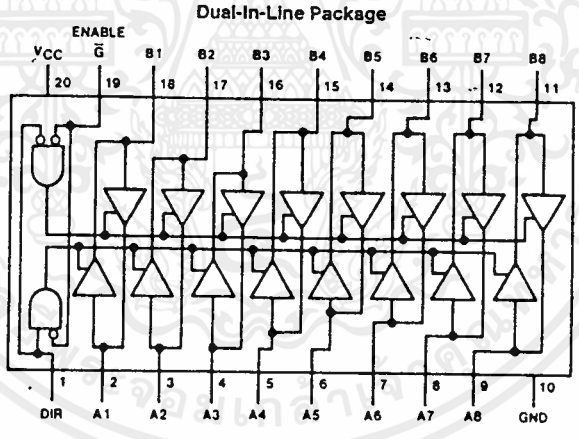
This device can drive up to 15 LS-TTL Loads, and does not have Schmitt trigger inputs. All inputs are protected from damage due to static discharge by diodes to V_{CC} and ground.

Features

- Typical propagation delay: 13 ns
- Wide power supply range: 2–6V
- Low quiescent current: 80 μA maximum (74 HC)
- TRI-STATE outputs for connection to bus oriented systems
- High output drive: 6 mA (minimum)
- Same as the '645

Connection Diagram

Dual-In-Line Package



TL/F/5165–1

Top View

Order Number MM54HC245A* or MM74HC245A*

*Please look into Section 8, Appendix D for availability of various package types.

Truth Table

Control Inputs		Operation
$\overline{G}$	DIR	
L	L	B data to A bus
L	H	A data to B bus
H	X	Isolation

H = high level, L = low level, X = irrelevant

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Absolute Maximum Ratings (Notes 1 & 2)

If Military/Aerospace specified devices are required, contact the National Semiconductor Sales Office/ distributors for availability and specifications.

Supply Voltage (V_{CC})	−0.5 to +7.0V
DC Input Voltage DIR and $\overline{G}$ pins (V_{IN})	−1.5 to V_{CC} +1.5V
DC Input/Output Voltage (V_{IN}, V_{OUT})	−0.5 to V_{CC} +0.5V
Clamp Diode Current (I_{CD})	±20 mA
DC Output Current, per pin (I_{OUT})	±35 mA
DC V_{CC} or GND Current, per pin (I_{CC})	±70 mA
Storage Temperature Range (T_{STG})	−65°C to +150°C
Power Dissipation (P_D) (Note 3)	600 mW
S.O. Package only	500 mW
Lead Temp. (T_L) (Soldering 10 seconds)	260°C

Operating Conditions

	Min	Max	Units
Supply Voltage (V_{CC})	2	6	V
DC Input or Output Voltage (V_{IN}, V_{OUT})	0	V_{CC}	V
Operating Temp. Range (T_A)			
MM74HC	−40	+85	°C
MM54HC	−55	+125	°C
Input Rise/Fall Times (t_r, t_f) V_{CC} = 2.0V		1000	ns
V_{CC} = 4.5V		500	ns
V_{CC} = 6.0V		400	ns

DC Electrical Characteristics (Note 4)

Symbol	Parameter	Conditions	V_{CC}	T_A = 25°C	74HC T_A = −40 to 85°C	54HC T_A = −55 to 125°C	Units
				Typ	Guaranteed Limits		
V_{IH}	Minimum High Level Input Voltage		2.0V		1.5	1.5	1.5	V
			4.5V		3.15	3.15	3.15	V
			6.0V		4.2	4.2	4.2	V
V_{IL}	Maximum Low Level Input Voltage**		2.0V		0.5	0.5	0.5	V
			4.5V		1.35	1.35	1.35	V
			6.0V		1.8	1.8	1.8	V
V_{OH}	Minimum High Level Output Voltage	V_{IN} = V_{IH} or V_{IL} $\lvert I_{OUT}\rvert \le 20\ \mu A$	2.0V	2.0	1.9	1.9	1.9	V
			4.5V	4.5	4.4	4.4	4.4	V
			6.0V	6.0	5.9	5.9	5.9	V
		V_{IN} = V_{IH} or V_{IL} $\lvert I_{OUT}\rvert \le 6.0$ mA	4.5V	4.2	3.98	3.84	3.7	V
		$\lvert I_{OUT}\rvert \le 7.8$ mA	6.0V	5.7	5.48	5.34	5.2	V
V_{OL}	Maximum Low Level Output Voltage	V_{IN} = V_{IH} or V_{IL} $\lvert I_{OUT}\rvert \le 20\ \mu A$	2.0V	0	0.1	0.1	0.1	V
			4.5V	0	0.1	0.1	0.1	V
			6.0V	0	0.1	0.1	0.1	V
		V_{IN} = V_{IH} or V_{IL} $\lvert I_{OUT}\rvert \le 6.0$ mA	4.5V	0.2	0.26	0.33	0.4	V
		$\lvert I_{OUT}\rvert \le 7.8$ mA	6.0V	0.2	0.26	0.33	0.4	V
I_{IN}	Input Leakage Current ($\overline{G}$ and DIR)	V_{IN} = V_{CC} to GND	6.0V		±0.1	±1.0	±1.0	μA
I_{OZ}	Maximum TRI-STATE Output Leakage Current	V_{OUT} = V_{CC} or GND Enable $\overline{G}$ = V_{IH}	6.0V		±0.5	±5.0	±10	μA
I_{CC}	Maximum Quiescent Supply Current	V_{IN} = V_{CC} or GND I_{OUT} = 0 μA	6.0V		8.0	80	160	μA

Note 1: Maximum Ratings are those values beyond which damage to the device may occur.

Note 2: Unless otherwise specified all voltages are referenced to ground.

Note 3: Power Dissipation temperature derating — plastic "N" package: −12 mW/°C from 65°C to 85°C; ceramic "J" package: −12 mW/°C from 100°C to 125°C.

Note 4: For a power supply of 5V ±10% the worst case output voltages (V_{OH}, and V_{OL}) occur for HC at 4.5V. Thus the 4.5V values should be used when designing with this supply. Worst case V_{IH} and V_{IL} occur at V_{CC} = 5.5V and 4.5V respectively. (The V_{IH} value at 5.5V is 3.85V.) The worst case leakage current (I_{IN}, I_{CC}, and I_{OZ}) occur for CMOS at the higher voltage and so the 6.0V values should be used.

**V_{IL} limits are currently tested at 20% of V_{CC}. The above V_{IL} specification (30%) of V_{CC}) will be implemented no later than Q1, CY'89. O = V_{IL}.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

AC Electrical Characteristics $V_{CC}=5V$, $T_A=25°C$, $t_r=t_f=6$ ns

Symbol	Parameter	Conditions	Typ	Guaranteed Limit	Units
t_{PHL}, t_{PLH}	Maximum Propagation Delay	C_L = 45 pF	12	17	ns
t_{PZH}, t_{PZL}	Maximum Output Enable Time	R_L = 1 kΩ C_L = 45 pF	24	35	ns
t_{PHZ}, t_{PLZ}	Maximum Output Disable Time	R_L = 1 kΩ C_L = 5 pF	18	25	ns

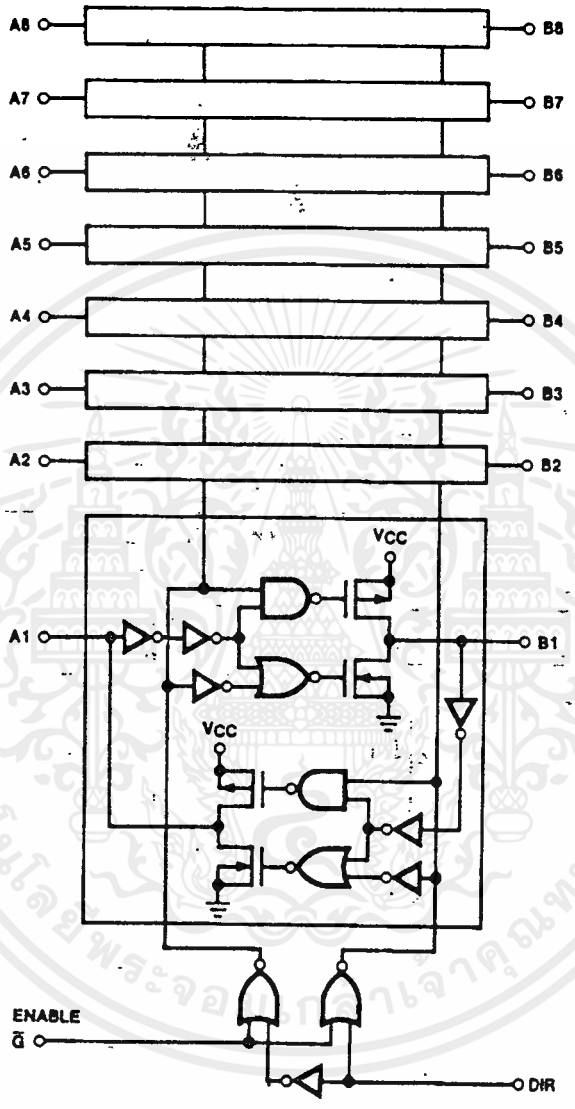
AC Electrical Characteristics $V_{CC}=2.0V$ to $6.0V$, $C_L=50$ pF, $t_r=t_f=6$ ns (unless otherwise specified)

Symbol	Parameter	Conditions	V_{CC}	$T_A=25°C$	74HC $T_A=-40$ to $85°C$		54HC $T_A=-55$ to $125°C$		Units
				Typ	Guaranteed Limits				
t_{PHL}, t_{PLH}	Maximum Propagation Delay	C_L = 50 pF	2.0V	31	90	113	135		ns
		C_L = 150 pF	2.0V	41	96	116	128		ns
		C_L = 50 pF	4.5V	13	18	23	27		ns
		C_L = 150 pF	4.5V	17	22	28	33		ns
		C_L = 50 pF	6.0V	11	15	19	23		ns
		C_L = 150 pF	6.0V	14	19	23	28		ns
t_{PZH}, t_{PZL}	Maximum Output Enable Time	R_L = 1 kΩ							
		C_L = 50 pF	2.0V	71	190	240	285		ns
		C_L = 150 pF	2.0V	81	240	300	360		ns
		C_L = 50 pF	4.5V	26	38	48	57		ns
		C_L = 150 pF	4.5V	31	48	60	72		ns
		C_L = 50 pF	6.0V	21	32	41	48		ns
		C_L = 150 pF	6.0V	25	41	51	61		ns
t_{PHZ}, t_{PLZ}	Maximum Output Disable Time	R_L = 1 kΩ C_L = 50 pF	2.0V	39	135	169	203		ns
			4.5V	20	27	34	41		ns
			6.0V	18	23	29	34		ns
t_{TLH}, t_{THL}	Output Rise and Fall Time	C_L = 50 pF	2.0V	20	60	75	90		ns
			4.5V	6	12	15	18		ns
			6.0V	5	10	13	15		ns
C_{PD}	Power Dissipation Capacitance (Note 5)	$\overline{G}=V_{IL}$		50					pF
		$\overline{G}=V_{IH}$		5					pF
C_{IN}	Maximum Input Capacitance			5	10	10	10		pF
$C_{IN/OUT}$	Maximum Input/Output Capacitance, A or B			15	20	20	20		pF

Note 5: C_{PD} determines the no load dynamic power consumption, $P_D=C_{PD}V_{CC}^2f+I_{CC}V_{CC}$, and the no load dynamic current consumption, $I_S=C_{PD}V_{CC}f+I_{CC}$.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Logic Diagram



TL/F/5165–2

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

National Semiconductor

MM54HC688/MM74HC688
8-Bit Magnitude Comparator (Equality Detector)

General Description

This equality detector utilizes advanced silicon-gate CMOS technology to compare bit for bit two 8-bit words and indicates whether or not they are equal. The $\overline{P=Q}$ output indicates equality when it is low. A single active low enable is provided to facilitate cascading of several packages and enable comparison of words greater than 8 bits.

This device is useful in memory block decoding applications, where memory block enable signals must be generated from computer address information.

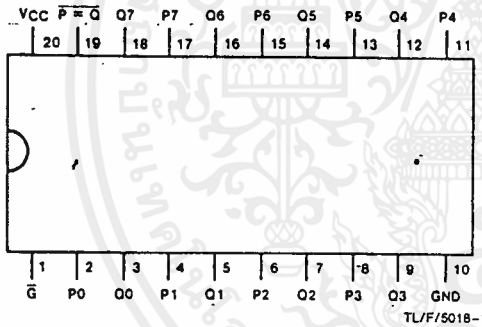
The comparator's output can drive 10 low power Schottky equivalent loads. This comparator is functionally and pin compatible to the 54LS688/74LS688. All inputs are protected from damage due to static discharge by diodes to V_{CC} and ground.

Features

- Typical propagation delay: 20 ns
- Wide power supply range: 2–6V
- Low quiescent current: 80 μA (74 Series)
- Large output current: 4 mA (74 Series)
- Same as 'HC521

Connection and Logic Diagrams

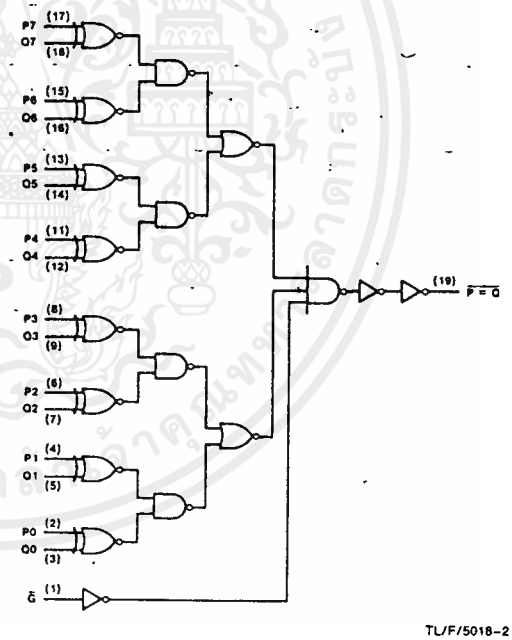
Dual-In-Line Package



Top View

Order Number MM54HC688* or MM74HC688*

*Please look into Section 8, Appendix D for availability of various package types.



Truth Table

Inputs		
Data P,Q	Enable $\overline{G}$	$\overline{P=Q}$
P = Q	L	L
P > Q	L	H
P < Q	L	H
X	H	H

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Absolute Maximum Ratings (Notes 1 and 2)

If Military/Aerospace specified devices are required, contact the National Semiconductor Sales Office/ Distributors for availability and specifications.

Supply Voltage (V_{CC})	−0.5 to +7.0V
DC Input Voltage (V_{IN})	−1.5 to V_{CC} +1.5V
DC Output Voltage (V_{OUT})	−0.5 to V_{CC} +0.5V
Clamp Diode Current (I_{IK}, I_{OK})	±20 mA
DC Output Current, per pin (I_{OUT})	±25 mA
DC V_{CC} or GND Current, per pin (I_{CC})	±50 mA
Storage Temperature Range (T_{STG})	−65°C to +150°C
Power Dissipation (P_D)	
(Note 3)	600 mW
S.O. Package only	500 mW
Lead Temp. (T_L) (Soldering 10 seconds)	260°C

Operating Conditions

	Min	Max	Units
Supply Voltage (V_{CC})	2	6	V
DC Input or Output Voltage (V_{IN}, V_{OUT})	0	V_{CC}	V
Operating Temp. Range (T_A)			
MM74HC	−40	+85	°C
MM54HC	−55	+125	°C
Input Rise or Fall Times (t_r, t_f) V_{CC} = 2.0V		1000	ns
V_{CC} = 4.5V		500	ns
V_{CC} = 6.0V		400	ns

DC Electrical Characteristics (Note 4)

Symbol	Parameter	Conditions	V_{CC}	T_A = 25°C	74HC T_A = −40 to 85°C	54HC T_A = −55 to 125°C	Units
				Typ	Guaranteed Limits		
V_{IH}	Minimum High Level Input Voltage		2.0V		1.5	1.5	1.5 V
			4.5V		3.15	3.15	3.15 V
			6.0V		4.2	4.2	4.2 V
V_{IL}	Maximum Low Level Input Voltage**		2.0V		0.5	0.5	0.5 V
			4.5V		1.35	1.35	1.35 V
			6.0V		1.8	1.8	1.8 V
V_{OH}	Minimum High Level Output Voltage	V_{IN} = V_{IH} or V_{IL} $\lvert I_{OUT}\rvert \le 20\ \mu A$	2.0V	2.0	1.9	1.9	1.9 V
			4.5V	4.5	4.4	4.4	4.4 V
			6.0V	6.0	5.9	5.9	5.9 V
		V_{IN} = V_{IH} or V_{IL} $\lvert I_{OUT}\rvert \le 4.0$ mA	4.5V	4.2	3.98	3.84	3.7 V
		$\lvert I_{OUT}\rvert \le 5.2$ mA	6.0V	5.7	5.48	5.34	5.2 V
V_{OL}	Maximum Low Level Output Voltage	V_{IN} = V_{IH} or V_{IL} $\lvert I_{OUT}\rvert \le 20\ \mu A$	2.0V	0	0.1	0.1	0.1 V
			4.5V	0	0.1	0.1	0.1 V
			6.0V	0	0.1	0.1	0.1 V
		V_{IN} = V_{IH} or V_{IL} $\lvert I_{OUT}\rvert \le 4.0$ mA	4.5V	0.2	0.26	0.33	0.4 V
		$\lvert I_{OUT}\rvert \le 5.2$ mA	6.0V	0.2	0.26	0.33	0.4 V
I_{IN}	Maximum Input Current	V_{IN} = V_{CC} or GND	6.0V		±0.1	±1.0	±1.0 μA
I_{CC}	Maximum Quiescent Supply Current	V_{IN} = V_{CC} or GND I_{OUT} = 0 μA	6.0V		8.0	80	160 μA

Note 1: Absolute Maximum Ratings are those values beyond which damage to the device may occur.

Note 2: Unless otherwise specified all voltages are referenced to ground.

Note 3: Power Dissipation temperature derating — plastic "N" package: −12 mW/°C from 65°C to 85°C; ceramic "J" package: −12 mW/°C from 100°C to 125°C.

Note 4: For a power supply of 5V ±10% the worst case output voltages (V_{OH} and V_{OL}) occur for HC at 4.5V. Thus the 4.5V values should be used when designing with this supply. Worst case V_{IH} and V_{IL} occur at V_{CC} = 5.5V and 4.5V respectively. (The V_{IH} value at 5.5V is 3.85V.) The worst case leakage current (I_{IN}, I_{CC}, and I_{OZ}) occur for CMOS at the higher voltage and so the 6.0V values should be used.

**V_{IL} limits are currently tested at 20% of V_{CC}. The above V_{IL} specification (30% of V_{CC}) will be implemented no later than Q1, CY'89.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

AC Electrical Characteristics

V_{CC} = 5V, T_A = 25°C, C_L = 15 pF, $t_r = t_f$ = 6 ns

Symbol	Parameter	Conditions	Typ	Guaranteed Limit	Units
t_{PHL}, t_{PLH}	Maximum Propagation Delay, any P or Q to Output		21	30	ns
t_{PLH}, t_{PHL}	Maximum Propagation Delay, Enable to any Output		14	20	ns

AC Electrical Characteristics

V_{CC} = 2.0V to 6.0V, C_L = 50 pF, $t_r = t_f$ = 6 ns (unless otherwise specified)

Symbol	Parameter	Conditions	V_{CC}	T_A = 25°C	74HC T_A = −40 to 85°C	54HC T_A = −55 to 125°C	Units
				Typ	Guaranteed Limits		
t_{PHL}, t_{PLH}	Maximum Propagation Delay, P or Q to Output		2.0V	60	175	220	263	ns
			4.5V	22	35	44	53	ns
			6.0V	19	30	38	45	ns
t_{PHL}, t_{PLH}	Maximum Propagation Delay, Enable to Output		2.0V	45	120	150	180	ns
			4.5V	15	24	30	36	ns
			6.0V	13	20	25	30	ns
t_{THL}, t_{TLH}	Maximum Output Rise and Fall Time		2.0V	30	75	95	110	ns
			4.5V	8	15	19	22	ns
			6.0V	7	13	16	19	ns
C_{PD}	Power Dissipation Capacitance (Note 5)			45				pF
C_{IN}	Maximum Input Capacitance			5	10	10	10	pF

Note 5: C_{PD} determines the no load dynamic power consumption, $P_D = C_{PD} V_{CC}^2 f + I_{CC} V_{CC}$, and the no load dynamic current consumption, $I_S = C_{PD} V_{CC} f + I_{CC}$.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

National Semiconductor

54AC/74AC244 • 54ACT/74ACT244
Octal Buffer/Line Driver with TRI-STATE® Outputs

General Description

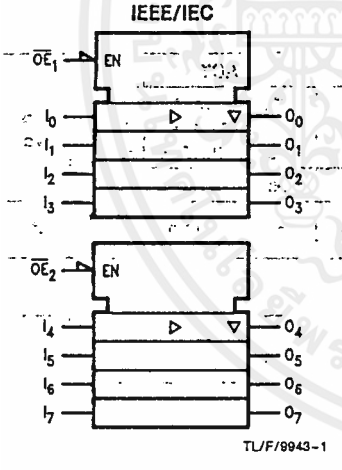
The 'AC/'ACT244 is an octal buffer and line driver designed to be employed as a memory address driver, clock driver and bus-oriented transmitter/receiver which provides improved PC board density.

Features

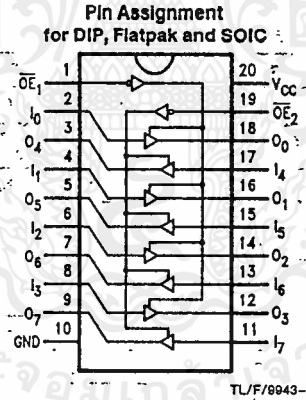
- TRI-STATE outputs drive bus lines or buffer memory address registers
- Outputs source/sink 24 mA
- 'ACT244 has TTL-compatible inputs
- Standard Military Drawing (SMD)
  - — 'AC244: 5962-87552
  - — 'ACT244: 5962-87760

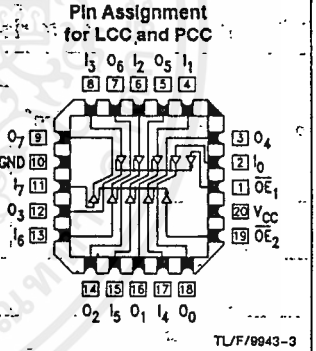
Ordering Code: See Section 8

Logic Symbol



Connection Diagrams





Pin Names	Description
$\overline{OE}_1$, $\overline{OE}_2$	TRI-STATE Output Enable Inputs
I_0–I_7	Inputs
O_0–O_7	Outputs

Truth Tables

Inputs		Outputs (Pins 12, 14, 16, 18)
$\overline{OE}_1$	I_n	
L	L	L
L	H	H
H	X	Z

Inputs		Outputs (Pins 3, 5, 7, 9)
$\overline{OE}_2$	I_n	
L	L	L
L	H	H
H	X	Z

H = HIGH Voltage Level
L = LOW Voltage Level
X = Immaterial
Z = High Impedance

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้