



ระบบแหล่งจ่ายไฟต่อเนื่อง

UNINTERRUPTIBLE POWER SUPPLY

๓.



โดย

นาย จีรเกติ รุ่งโรจน์

นาย วิชัย ต้นคงจาร์สกุล

น.ส. ศศิกานต์ เกษมสันต์ ฅ อยุธยา

ปริญญา นีพนธ์นี้ เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรบัณฑิต

สาขา วิศวกรรมระบบควบคุม

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2535

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

032612

ปฏิทินพันธกิจการศึกษา 2535

ภาควิชา ระบบควบคุม

คณะ วิศวกรรมศาสตร์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหาร ลาดกระบัง

เรื่อง แหล่งจ่ายไฟฟ้าต่อเนื่อง

Uninterruptible Power Supply

ผู้จัดทำ

1. นาย จิรเกติ รุ่งโรจน์ เลขประจำตัว 311038
2. นาย วิชัย ตันคงจาว์สกุล 321297
3. นส. ศศิกานต์ เกษมสันต์ ณ อยุธยา 321327

อ. เกียรติศักดิ์ ศิมวัชร อาจารย์ที่ปรึกษา

(*เกษมสันต์ ณ อยุธยา*)

สารบัญ

หน้า

บทคัดย่อ	i
Abstract	ii
กิตติกรรมประกาศ	iii
บทที่ 1 บทนำ	1
บทที่ 2 ทฤษฎีและหลักการ UPS	3
บทที่ 3 การออกแบบ Inverter	7
บทที่ 4 การออกแบบหม้อแปลง	58
บทที่ 5 การเลือก Battery	58
บทที่ 6 ผลการทดลอง	66
บทที่ 7 สรุปผลและวิจารณ์	67
อ้างอิง	68
ภาคผนวก ก 555	
ภาคผนวก ข CD 40106.BM	69
ภาคผนวก ค 4N 25	79
ภาคผนวก ง MC 14017	91
จ MC 14040	96
ฉ MC 14050	99
ช BD 139, BD 140	102
ซ MTP 2N 35, MTP 5P 20	106

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ

	หน้า
รูปที่ 1. แผนผังบล็อกการทำงานของ UPS.	2
2. แสดงความเพี้ยนของสัญญาณ	5
3. แผนผังบล็อก, โครงสร้างของ UPS ที่ออกแบบ	6
4. โครงสร้างของอินเวอร์เตอร์ที่ออกแบบ	8
5. วงจรกำลัง	10
6. วิธีการขานาน Power mosfet	10
7. วงจรขับ Power mosfet	12
8. วงจร Delay	15
9. วงจรควบคุม Q ₁ , Q ₂	15
10. วงจร Astable timer circuit ที่สามารถปรับ Duty cycle ได้	17
11. วงจรสร้างความถี่ 60KHz	19
12. รูป บล็อกภายใน TL494	19
13. บล็อกไดอะแกรมของระบบควบคุม Inverter	20
14. รูปคลื่น PWM แบบ 2 ระดับ และ 3 ระดับ	21
15. รูปแบบการเปรียบเทียบสัญญาณ เพื่อสร้างสัญญาณ PWM.	23
16. การสร้างรูปคลื่น แบบเนเทอรอลแชนบิ้ลิ่งชนิด 2 ระดับ	24
17. การสร้างรูปคลื่น แบบเนเทอรอลแชนบิ้ลิ่งชนิด 3 ระดับ	25
18. การสร้างรูปคลื่น แบบเรกูลาร์แชนบิ้ลิ่งชนิด 2 ระดับ	26
19. การสร้างรูปคลื่น แบบเรกูลาร์แชนบิ้ลิ่งชนิด 3 ระดับ	26
20. วงจรสร้าง PWM ให้กับ Inverter	27
21. กราฟแสดงการเปรียบเทียบสัญญาณ เพื่อสร้างสัญญาณ PWM.	28
22. วงจรสร้าง clock	29
23. แสดงการประมาณเป็นเส้นตรง การกรองประจุผ่าน C.	53
24. แสดงสัญญาณเปรียบเทียบเมื่อมี snubber.	56
25. แสดงภาพการถ่ายทอดพลังแม่เหล็กไฟฟ้า	58

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญตาราง

	หน้า
ตารางที่ 1 ข้อมูลสร้างสัญญาณ PWM เมื่อ $m_a = 1.15$	32
ตารางที่ 2 ข้อมูลสร้างสัญญาณ PWM เมื่อ $m_a = 1.25$	33
ตารางที่ 3 ข้อมูลสร้างสัญญาณ PWM เมื่อ $m_a = 1$	34
ตารางที่ 4 แกนเฟอร์ไวต์ของบริษัทต่าง ๆ	64
ตารางที่ 5 แสดงแผนข้อมูลของสายที่ใช้พื้นที่หม้อแปลง	65

แหล่งกระจายไฟฟ้าต่อเนื่อง (Uninterruptible Power Supplies)

นาย จิรเกติ รุ่งโรจน์

นาย วิชัย ต้นคงจำรัสกุล

นส. ศศิกานต์ เกษมสันต์ ๗ อยุธา

อาจารย์ที่ปรึกษา

อ. เกียรติศักดิ์ คมวิริยะ

บทคัดย่อ

โครงการนี้เป็นการศึกษาการสร้างแหล่งจ่ายไฟฟ้าต่อเนื่อง หรือ UPS ซึ่งเป็น Power Supply ที่สามารถจ่ายไฟได้อย่างต่อเนื่อง ซึ่งลักษณะการทำงานจะเป็นตัวปรับสภาพของไฟฟ้าที่รับมาจากระบบจ่ายไฟ และแก้ไขปัญหาที่เกิดจากไฟเกิน หรือไฟตก โดยใช้หลักการถ่ายทอดพลังงานผ่านหม้อแปลงความถี่สูง เพื่อลดขนาดของหม้อแปลง และ UPS

นอกจากนี้เราจะใช้หลักการ PWM (PULSEwidth Modulation) เพื่อทำการควบคุมการเปิดของขาเกทของ Power mosfet และควบคุม inverter เพื่อผล output ของ inverter จะมีสัณฐานรบกวนน้อยที่สุด

Uninterruptible Power Supply.

By

Mr. Jiraket Roongrod

Mr. Wichai Tonkongchamradkul

Miss. Sasikarn Kasemsantana Na Ayudhaya

Advisor :

Mr. Kittisak Komwattchara

Abstract

This thesis is studying about how to design to create UPS which uses for supplying critical load. These provide protection against power outages, as well as voltage regulation during power line overvoltage and undervoltage condition. We use high frequency transformer for transferring energy. So we can decrease the size of transformer and the size of UPS. And we use the concept of pulse width Modulation for controlling inverter and controlling mosfet's gate. Then it results in lower noise in output voltage.

กิตติกรรมประกาศ

ขอขอบคุณ อาจารย์ เกียรติศักดิ์ คมวิระ เป็นอย่างยิ่ง ที่ท่านได้ให้คำปรึกษาและคำแนะนำต่าง ๆ ในการแก้ปัญหาตลอด การทำงาน ขอขอบคุณ อาจารย์ นนทวัฒน์ ที่ได้ให้คำแนะนำต่าง ๆ ทำให้ผู้เขียนเข้าใจปัญหาต่าง ๆ และหาทางแก้ไขได้

ขอขอบคุณ สว่าง เน้นสูง ที่ให้ความช่วยเหลือมากมายทั้งคำแนะนำ และอุปกรณ์เครื่องมือต่าง ๆ ขอขอบคุณ เพื่อน ๆ น้อง ๆ ที่คอยเป็นห่วงและให้กำลังใจ

ขอขอบคุณ คุณพ่อ คุณแม่ ที่คอยเป็นห่วงและคอยให้กำลังใจตลอด



บทนำ

UPS (Uninterruptible Power Supply) เป็นแหล่งจ่ายไฟ แบบต่อเนื่อง ซึ่งแหล่งจ่ายไฟภายนอกนั้นจะไม่มีอิทธิพลกับสัญญาณที่ออกมา ซึ่งทำให้ได้สัญญาณออกที่ค่อนข้างจะคงที่ และ ทำให้ระบบที่ใช้งาน เช่น คอมพิวเตอร์นั้น ยังคงสามารถทำงานได้แค่จะอยู่ในช่วงเวลาหนึ่ง ซึ่งจะเห็นได้ว่าในงานที่ข้อมูลมีความสำคัญมาก ๆ นั้นมีความจำเป็นที่ต้องใช้อย่างยิ่ง

บทบาท และหน้าที่หลักของ UPS

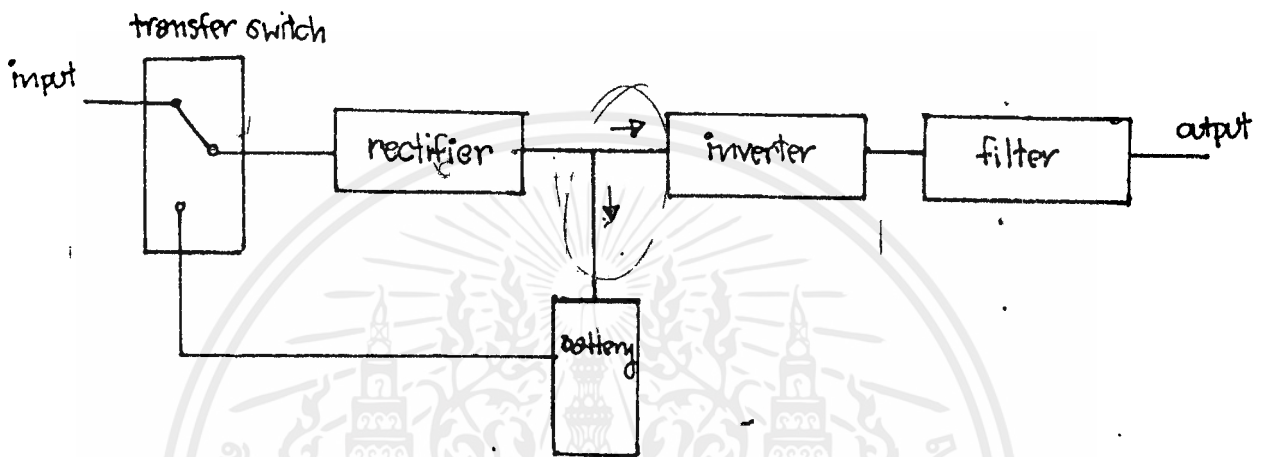
UPS แก่เซมิคอนดักเตอร์ให้กำเนิดไฟฟ้าได้สมบูรณ์แบบที่สุก ครอบคลุมภาระหน้าที่หลักแล้ว UPS จะมีภาระหน้าที่หลักอยู่ 3 ประการ คือ

1. ทำให้แรงดัน และความถี่ที่ออกจาก UPS คงที่ไม่ว่าแรงดันที่จ่ายให้ UPS จะเปลี่ยนแปลงไปมากน้อยเพียงใด ลักษณะ เช่นนี้ เรียกว่า ครอบคลุมกับชื่อที่เรียกว่า CVCF (CONSTANT VOLTAGE AND CONSTANT FREQUENCY)

2. ป้องกันสัญญาณรบกวนทางไฟฟ้า ทำให้สัญญาณรบกวนในระบบสายส่งของการไฟฟ้าเข้าสู่เอาต์พุต (OUTPUT) ของ UPS ได้ ด้วยเหตุนี้เอง UPS จึงถูกออกแบบให้ সরออกจากระบบไฟฟ้า ดังนั้น เครื่องมือที่เข้าไฟฟ้าผ่านระบบ UPS จึงไม่ได้รับผลกระทบกระเทือนจากสัญญาณรบกวนที่เกิดขึ้น

3. แก่เซมิคอนดักเตอร์ ครอบคลุม UPS จะจ่ายไฟต่อเนื่อง เมื่อไฟดับ ครอบคลุมมีช่วงของการขาดคอนดิทชั่น

UPS นั้นมีเทคนิคการหาได้หลายวิธี เช่นแบบวิธี PWM , ควอดซี่ และ sine-step. เป็นคั่นซึ่งแต่ละวิธีนั้นจะมีข้อดี ข้อเสียต่าง ๆ กันและ เอาต์พุต ที่ได้นั้นจะมีความบริสุทธิ์ไม่เหมือนกัน ซึ่งในงานบางชนิดก็ใช้ได้ ซึ่งต้องเลือกให้เหมาะสมกับงานนั้นว่างานที่นำเอาวิธี PWM ซึ่งมีข้อดีคือ น้ำหนักเบา, มีขนาดเล็ก, ให้สัญญาณที่ดี. ส่วนข้อเสียคือ มีความยุ่งยากในการหา, ให้อายุการใช้งานไม่มากนัก, มีสัญญาณรบกวนรบกวนต่ออุปกรณ์อื่น บทความนี้อธิบาย ถึงการหาส่วนประกอบ ของ UPS และ การออกแบบส่วนของอินเวอร์เตอร์



รูป : 1 บล็อกโครงสร้าง UPS

UPS จะประกอบด้วยส่วนประกอบแบบหลัก ๆ 5 ส่วน คือ

1. Rectifier
2. filter
3. แบตเตอรี่ (Battery)
4. อินเวอร์เตอร์
5. สวิตช์โอนย้าย (Transfer switch)

หลักการทำงานของ UPS

การทำงานของ UPS จะสามารถแบ่งออกได้ตามสภาวะต่าง

ดังนี้ คือ

1. การทำงานของ UPS ในสภาวะปกติ ในรูปที่

เมื่อมีกระแสไฟฟ้าสลับจากระบบจ่ายไฟที่จ่ายให้กับ UPS ตามปกติ อุปกรณ์เรกติไฟเออร์/เครื่องอัตรากำลังจะทำหน้าที่แปลงกระแสสลับดังกล่าวให้เป็นกระแสตรงที่คงที่และสม่ำเสมอปราศจากสัญญาณรบกวนหรือฮาร์โมนิกส์ เพื่อจ่ายให้กับอุปกรณ์อินเวอร์เตอร์และอัตรากำลังไฟให้กับแบคเคอร์รี่ เพื่อให้อยู่ในสภาวะเต็มตลอดเวลา และที่อินเวอร์เตอร์นั้นหลังจากได้รับกระแสไฟฟ้าตรงแล้วจะทำหน้าที่แปลงกระแสตรงให้กลับเป็นกระแสสลับอย่างเต็ม เพื่อจ่ายให้กับอุปกรณ์ให้ไฟหรือโหลดต่อไปโดยผ่านทางสายหาลาสวิตช์ จากลักษณะการแปลงกระแสสลับไปเป็นกระแสไฟตรงหรือไฟตรงเป็นไฟสลับของระบบ UPS ดังกล่าวนี้อาจเปรียบเสมือนกับเป็นเกาะป้องกันไม่ให้กระแสไฟสลับจากระบบจ่ายไฟปกติ ซึ่งมีสัญญาณรบกวนเกิดขึ้นมากนั้น ผ่านเข้ามาถึงอุปกรณ์ให้ไฟหรือโหลดได้ ดังนั้นกระแสไฟสลับจากอินเวอร์เตอร์จึงมีคุณภาพที่ปราศจากสิ่งรบกวนต่าง ๆ

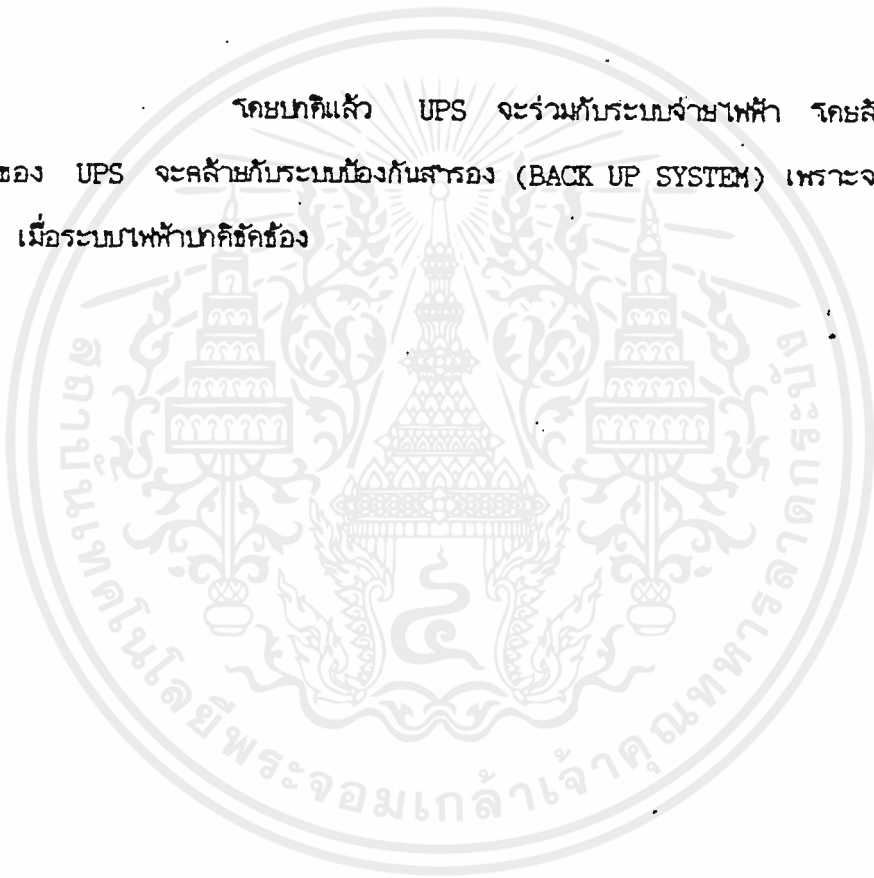
2. การทำงานของ UPS ในสภาวะฉุกเฉิน

จากรูปที่ 1 เมื่อกระแสไฟสลับจากระบบจ่ายไฟปกติเกิดขัดข้อง หรือดับลง อุปกรณ์เรกติไฟเออร์/เครื่องอัตรากำลังจะหยุดทำงานเป็นผลทำให้ไม่มีกระแสไฟตรงจ่ายออกมา ดังนั้นในช่วงขณะนั้นแบคเคอร์รี่ จะทำการจ่ายกระแสไฟตรงสำรองออกมา ให้กับอุปกรณ์อินเวอร์เตอร์ เป็นการทดแทนทันที จึงทำให้อินเวอร์เตอร์ สามารถทำการจ่ายกระแสไฟสลับออกมาได้ตลอดเวลา โดยไม่หยุดชะงักและในสถานการณ์นี้ ระบบ UPS จะสามารถจ่ายกระแสไฟสลับให้กับโหลดได้นานเพียงใดนั้น ขึ้นอยู่กับขนาดและจำนวนของแบคเคอร์รี่ที่ใช้เก็บสำรอง (BACK UP) กระแสไฟตรงนั้นอยู่

การทำงานของ UPS ในสภาวะบายพาสสวิทช์

จากรูปที่ 1 เมื่อระบบ UPS ทำงานชั้ช้องหรือเกิดการรั่วกระแสเฟเกินกำลัง หรือเกิดการเสี้ยนรื้อสูงมากขึ้น อุปกรณ์บายพาสสวิทช์ย้ายจุดต่อจากอินเวอร์เตอร์ไปค่อเข้ากับแหล่งจ่ายไฟแบบสลับทางโดยอัตโนมัติ ซึ่งทำงานอย่างอัตโนมัติและไม่ขาดคอน และเมื่อเหตุการณ์ปกติบายพาสสวิทช์จะทำการย้ายสวิทช์มาค่อเข้ากับอินเวอร์เตอร์เคอ์คัง เริ่มโดยอัตโนมัติและไม่ขาดคอนเช่นกัน

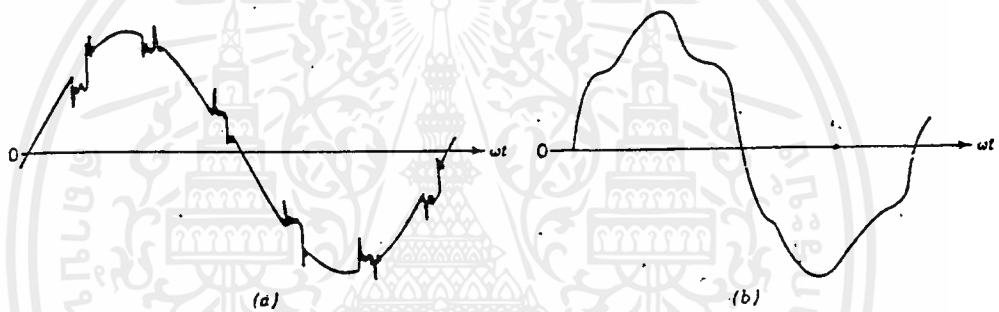
โดยปกติแล้ว UPS จะร่วมกับระบบจ่ายไฟฟ้า โดยลักษณะการดำเนินงานของ UPS จะคล้ายกับระบบป้องกันสำรอง (BACK UP SYSTEM) เพราะจะทำหน้าที่จ่ายไฟ เมื่อระบบไฟฟ้าปกติชั้ช้อง



รูปแบบความผิดปกติของแหล่งจ่ายไฟ (POWER LINE DISTURBANCE)

ในอุดมคติ เครื่องกำเนิดไฟฟ้าจะกำเนิดคลื่นไซน์ (sine wave) โดยมีฮาร์โมนิก 1 ครั้ง และความถี่ของสัญญาณคือ 50 Hz และขนาดของสัญญาณคือ 220 Vac สำหรับระบบไฟฟ้าแบบ 3 เฟส ระบบเหล่านี้จะส่งสัญญาณด้วยการถูกควบคุมให้มีความต่างเฟสของแต่ละคู่สายมีค่า = 120 องศา ตามลำดับ

ถึงอย่างไรก็ตาม ในทางปฏิบัติแล้ว ความถี่ของสัญญาณย่อมเกิดขึ้น และรูปแบบของความถี่ก็คือ



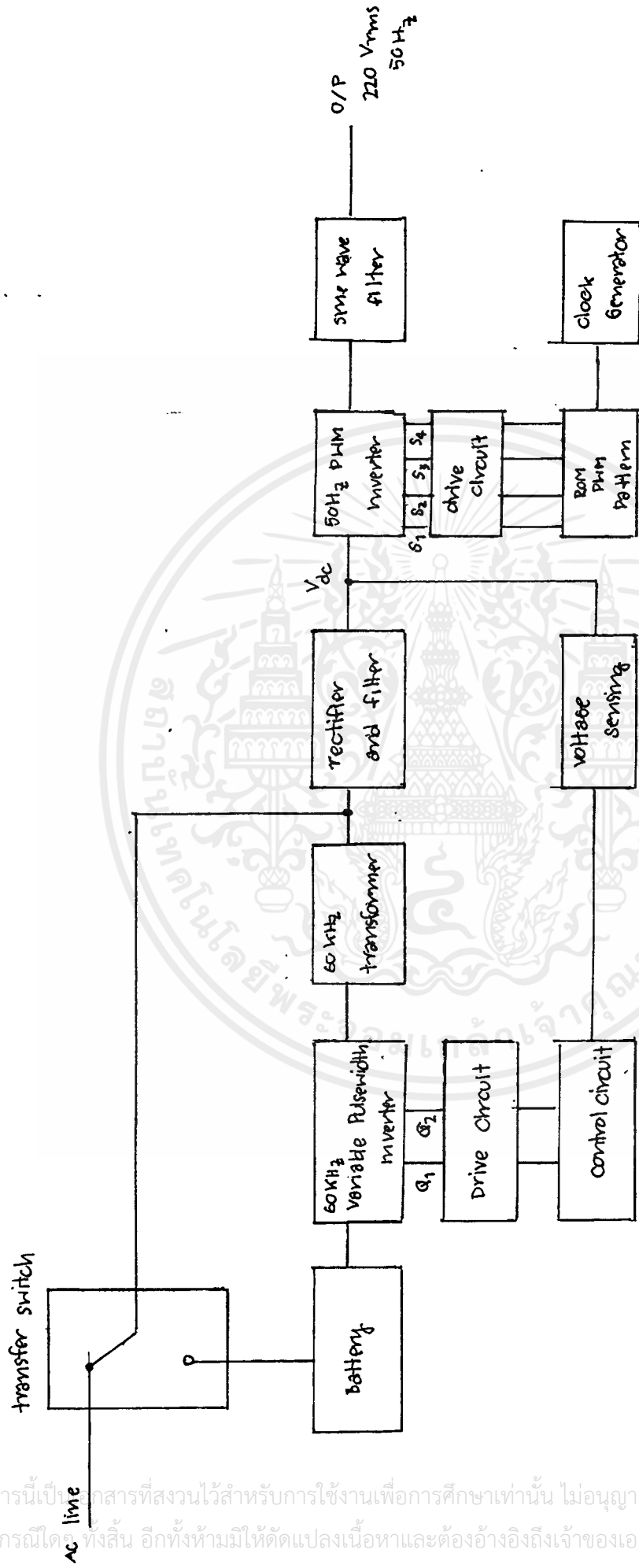
(a) รูปความถี่สัญญาณการถูกชอร์ตวงจร

(b) รูปความถี่ของสัญญาณเนื่องจากฮาร์โมนิก

รูป 2 แสดงความถี่ของสัญญาณ

สาเหตุความผิดปกติของแหล่งจ่ายไฟฟ้า:

OVER VOLTAGE มีสาเหตุมาจากการลดลงของโวลต์อย่างรวดเร็ว และในทางตรงกันข้ามก็จะเกิด UNDER VOLTAGE ขึ้น การ CHOPPED VOLTAGE การลัดวงจร (SHORT CIRCUIT) มีโอกาสมากที่จะเกิด โวลต์ตก สาเหตุ 1 ครั้งมาก เนื่องจากระบบสวิทช์ (SWITCHING SYSTEM) หรือความเกี่ยวข้องกับ POWER FACTOR ของชดลวดเหนี่ยวนำนานพวก PUMP / COMPRESSOR MOTERS การเกิดฮาร์โมนิก เกิดจากการเปลี่ยนแปลงของค่าแหล่งจ่ายเอง หรือเกิดจากการยึดตัวของหม้อแปลงไฟฟ้า การรบกวนของระบบสวิทช์กับแหล่งจ่ายไฟ



รูปที่ 3 แผนผัง block โครงสร้างของ UPS ทำเองแบบ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
 ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หลักการทางานของ UPS ที่เรวออกแบบ

ในกรณีทีไฟจาก POWER LINE บกดี ไฟ 220 V 50 H จาก POWER LINE จะถูกบ้อนเข้า RECTIFIER เพื่อทำการแปลงสัญญาณจากไฟสลับเป็นไฟตรง ทีมีค่า $V_{max} (rms) = 311 V$. ซึงจะเข้าสู่ 50 H PWM inverter เพื่อแปลงกลับเป็นไฟสลับอีกรั้ง โดยสัญญาณทีได้จะเรียบขึ้นเนื่องจากการกำจัดสัญญาณรบกวนจากการใช้ PWM และ วงจรกรองต่างๆ หากเป็นกรณีที POWER LINE เกิดขัดข้อง บายพาสสวิตช์ จะสับมาทีแบตเตอรี่ เพื่อแบตเตอรี่ จะบ้อนไฟให้กับ inverter แทน แต่เราจะต้องทำการ step up คักดาให้สูงขึ้นก่อน ไฟตรงจากแบตเตอรี่จะถูกบ้อนเข้า push-Pull inverter ทีใช้ chip TL494 ควบคุมได้ เป็น pulse ซึ่เหลี่ยมขนาด 60 KH ผ่านหม้อแปลงความถี่สูง step up คักดาให้ได้ เพื่อแปลงสัญญาณเป็นไฟตรง เพื่อบ้อนเข้า inverter 50 H PWM ต่อไป เช่นเดียวกับ กรณีเนื่องจก UPS โดยทั่วไป ไฟตรงจากแบตเตอรี่ จะบ้อนเข้า inverter 50 H PWM ก่อนแล้วจึง step up ผ่าน หม้อแปลง 50 H ซึงการส่งผ่านพลังงาน โดยหม้อแปลงทีความถี่ต่ำ จะทำให้หม้อแปลงมีขนาดใหญ่ และ วงจรกรองก็มีขนาดใหญ่ด้วยเช่นกัน ดังนั้นการส่งผ่านพลังงานโดยหม้อแปลงความถี่สูง จะสามารถลดขนาดหม้อแปลงและวงจรกรองได้

ระบบอินเวอร์เตอร์

1. ระบบ Inverter

ระบบอินเวอร์เตอร์ เป็นการเปลี่ยนกำลังไฟฟ้าทางด้านอินพุต ซึ่งเป็นไฟกระแสตรง (dc) จากแหล่งจ่ายไฟให้เป็นกำลังไฟสลับ (ac) ที่มีแรงดันและความถี่ตามต้องการ ซึ่งมีความถี่ 50 Hz แรงดันไฟ AC จะเป็นสัญญาณใกล้เคียงกับรูปไซน์ และมีขนาด 220 โวลต์ ในโครงการนี้ใช้ MOSFET เป็นอุปกรณ์ switching

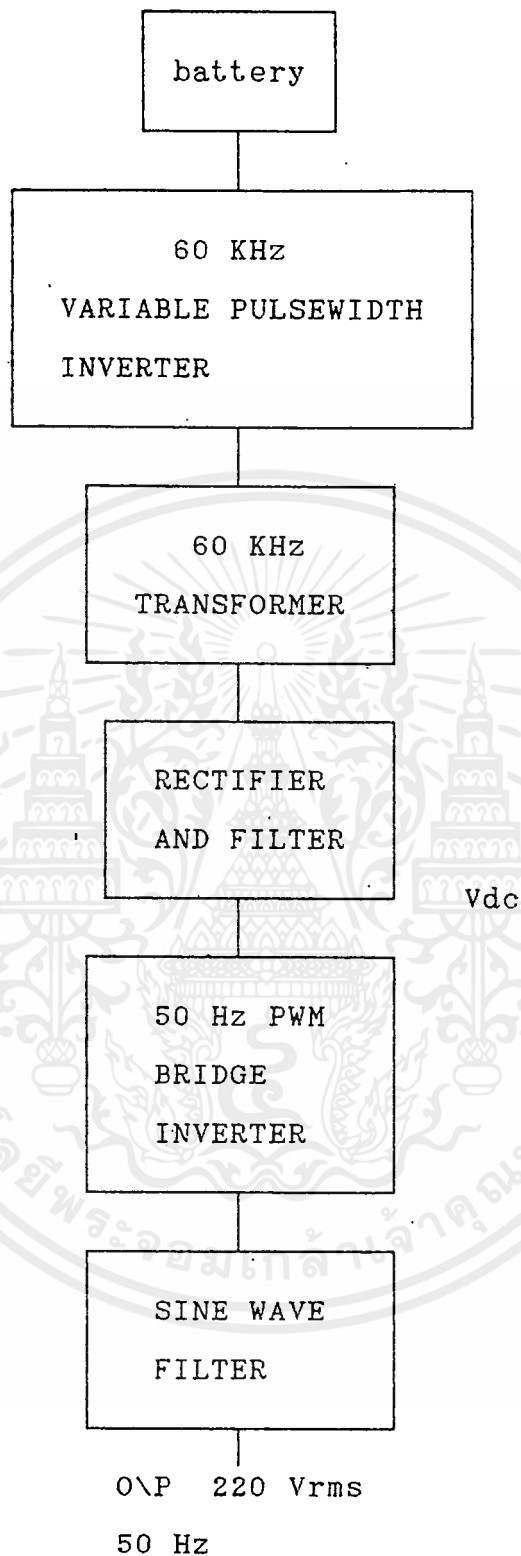
2. การออกแบบและการทำงาน

จากรูปที่ 4. แบตเตอรี่จ่ายไฟตรง 24 โวลต์นำมาแปลงเป็นไฟสลับความถี่ 60 KHz ลักษณะเป็นคลื่นสี่เหลี่ยม แล้วป้อนผ่านหม้อแปลงความถี่สูง เพื่อแปลงให้เป็นไฟสลับคิกดาสูงความถี่ 60 KHz เพื่อผ่านเข้าวงจรเรียงกระแสและวงจรกรองตามลำดับ จะได้ไฟตรงคิกดาสูงจากนั้นผ่านเข้าวงจรบริดจ์อินเวอร์เตอร์ที่ควบคุมการสวิทช์ เพื่อให้สัญญาณที่ได้เป็นลักษณะของการผสมตามความกว้างของพัลส์จากคลื่นไซน์ ที่มีความถี่มูลฐาน 50 Hz ขนาด 220 Vrms

โดยการทำงานของหม้อแปลงที่ความถี่สูงและการสร้างสัญญาณ PWM จากคลื่นพาร์ที่มีความถี่สูง ทำให้ขนาดและน้ำหนักของหม้อแปลงและตัวกรองลดลงไปได้มาก จึงทำให้ระบบอินเวอร์เตอร์นี้มีขนาดเล็กและน้ำหนักเบา

เพื่อให้คิกดาที่เอาต์พุตมีขนาด 220 โวลต์คงที่ จึงต้องมีการป้อนกลับเพื่อไปควบคุมความกว้างของพัลส์ของอินเวอร์เตอร์ที่สร้างควมถี่ 60 KHz โดยที่ความถี่ยังคงไม่เปลี่ยนแปลง ส่วนของการสร้างอินเวอร์เตอร์ 60 KHz นี้ สามารถควบคุมได้ด้วยชิพสำเร็จรูปเป็นหลัก จึงทำให้จำนวนชิพไอซีและราคาลดต่ำลงมากสำหรับรายละเอียดในแต่ละส่วนจะนำมากล่าวต่อไป

รูป 4 โครงสร้างของอินเวอร์เตอร์ที่ออกแบบ



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

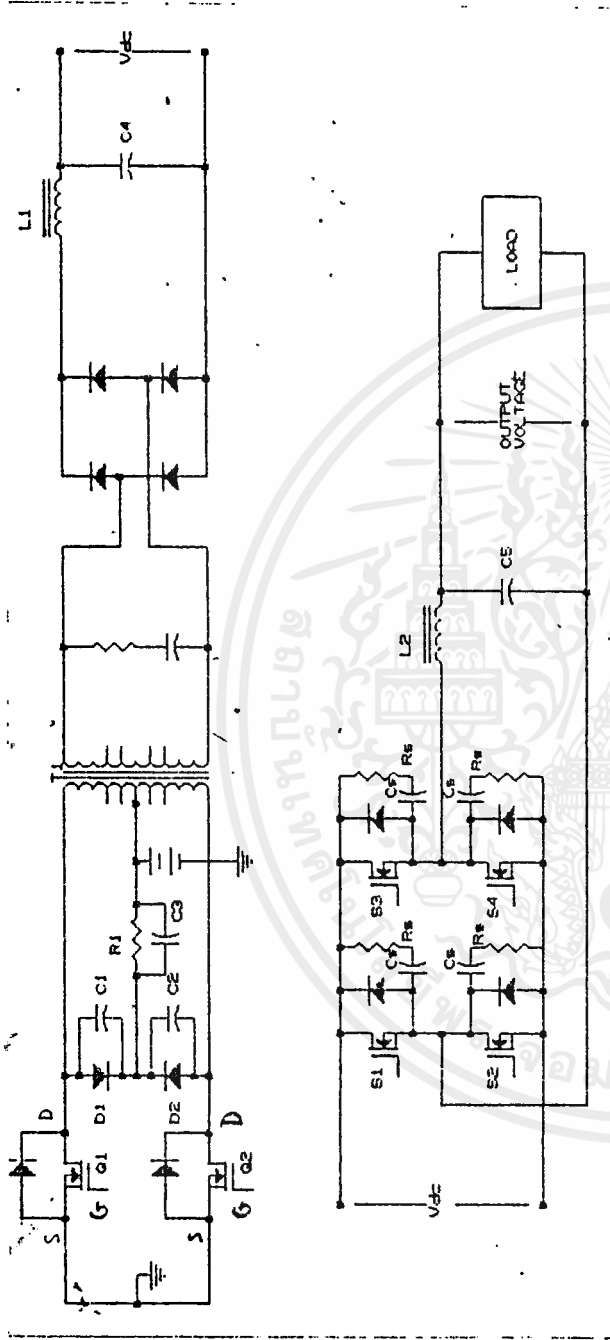


3. วงจรกำลัง

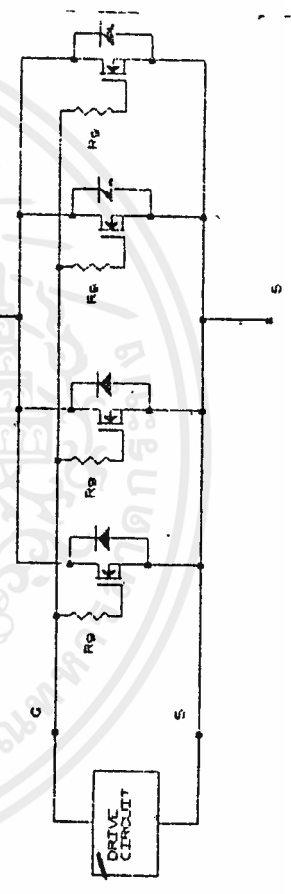
ส่วนวงจรกำลัง แสดงในรูปที่ 5 ซึ่งประกอบด้วย วงจรพุ่ม-พูล, หม้อแปลงความถี่สูง, วงจรเรียงกระแส, วงจรกรองไฟตรง, วงจรบริดจ์, และ วงจรกรองคลื่นไซน์ นอกจากนี้ยังได้แสดงวงจร สนิบเบอร์ป้องกันมอสเฟ็ทกำลังต่างๆ รวมทั้งไดโอดในวงจรเรียงกระแส เพื่อให้ได้เอาท์พุทตามต้องการจะต้องควบคุมสวิทช์ซึ่งมอสเฟ็ทกำลัง S1-S4 และ Q1-Q2 โดยวงจรควบคุมผ่านทางวงจรขับ ลักษณะสัญญาณที่จุดต่างๆ ในวงจรกำลัง แสดงรูปที่ 4 สัญญาณควบคุม Q1-Q2 สามารถปรับเปลี่ยนความกว้างพัลส์ได้ซึ่งจะส่งผลให้ V_{dc} เปลี่ยนแปลงศักดาได้ เพื่อให้เอาท์พุทที่คร่อมโหลดมีขนาดศักดาตามที่ต้องการ

ในขณะที่ Q1 (หรือ Q2) มีการหยุดนำกระแสอย่างรวดเร็ว ผลของค่าอินดักแตนซ์รั่วไหล (Leakage Inductance) ของหม้อแปลงความถี่สูง ศักดาสไปค์ (Spike voltage) ตกคร่อม Q1 (Q2) ซึ่งอาจเป็นอันตรายต่อ Q1 (Q2) ได้ ดังนั้น จึงต้องมีวงจรสนิบเบอร์เพื่อลดผลของศักดาสไปค์ดังกล่าว โดยการให้กระแสไหลผ่านทางไดโอด D_1 (D_2), R1 และ C3 แต่เนื่องจากการเริ่มนำกระแสของไดโอด ต้องใช้เวลาช่วงหนึ่ง จึงต่อ C1 (C2) ซึ่งมีค่าเล็กๆคร่อม D_1 (D_2) เพื่อให้กระแสไหลชั่วคราวก่อนที่จะไหลผ่านไดโอด จากการทดลองพบว่า ศักดาสไปค์ลดต่ำลงมาก ส่วหรับสนิบเบอร์ของวงจรเรียงกระแสและวงจรบริดจ์อินเวอเตอร์ใช้ สนิบเบอร์ชนิด RC ธรรมดา ดังในรูปที่ 5

มอสเฟ็ทกำลัง Q1-Q2 นั้นต้องทนกระแสได้สูง แต่เนื่องจากมอสเฟ็ทกำลังเดี่ยวยังมีพิกัดกระแสสูง มีราคาแพงและหายาก จึงจำเป็นต้องนำมอสเฟ็ทกำลังที่มีพิกัดกระแสต่ำกว่ามาขนานกันการขนานมอสเฟ็ทกำลังสามารถทำได้ง่าย ดังรูปที่ 4 จากรูป RC ทำหน้าที่ลดการออสซิลเลตที่อาจเกิดขึ้นจากค่าอินดักแตนซ์แฝงในขาเดรนและ CDG ภายในมอสเฟ็ทกำลัง



รูป 5 วงจรกำลัง



รูป 6 ทรานซีสเตอร์ Mosfet

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

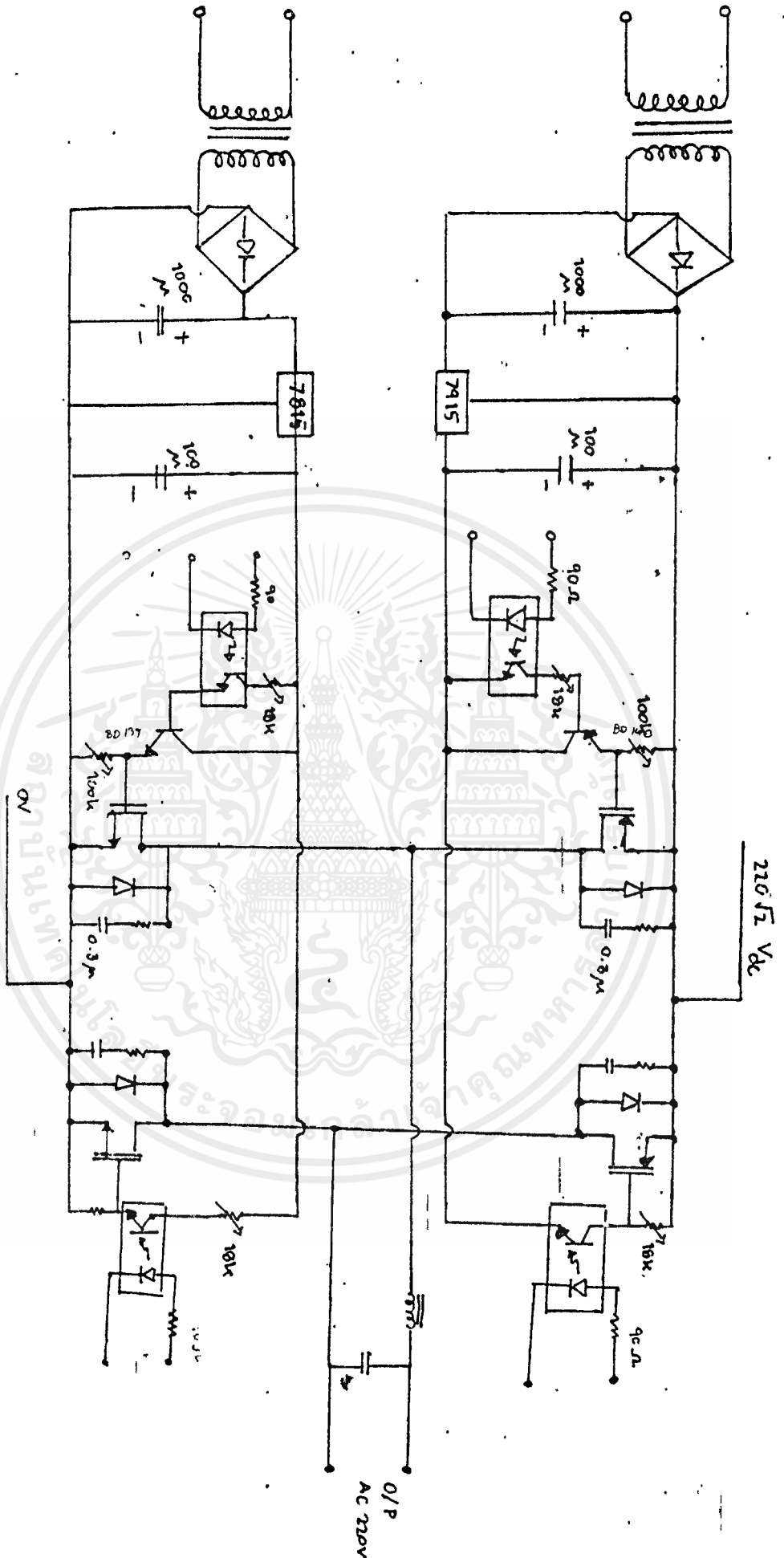
4. วงจรขับ

มอสเฟ็ทกำลังควบคุมการสวิตช์ด้วยตักดาคร่อม G-S ของมอสเฟ็ทกำลังซึ่งควบคุมได้ง่ายกว่าทรานซิสเตอร์กำลังที่ควบคุมด้วยกระแสเนื่องจากอินพุทอิมพีแดนซ์ระหว่าง G-S ของมอสเฟ็ทกำลังมีลักษณะเป็นคาปาซิทีฟ ดังนั้นวงจรขับควรมีเอาต์พุทอิมพีแดนซ์ต่ำเพื่อให้มีการสวิตช์ที่รวดเร็ว ขนสัดสัญญาณขับ ควรมีขนาดพอเหมาะด้วย (โดยทั่วไปไม่เกิน $\pm 20V$)

ลักษณะของวงจรขับที่สร้างขึ้นมี 2 วงจร รูปที่ 7 แสดงวงจรขับมอสเฟ็ทกำลังทางด้านปฐมภูมิของหม้อแปลงความถี่สูง (Q1-Q2) สำหรับวงจรขับทางด้านทุติภูมิของหม้อแปลงความถี่สูง จะต้องแยกกราวด์ออก (ISOLATE) ระหว่างส่วนควบคุมและมอสเฟ็ทกำลังด้วยวงจรขับที่แสดงในรูปที่

5. การควบคุมและวงจรควบคุม

รูปที่ แสดงโครงสร้างย่อยของระบบอินเวอร์เตอร์นี้ จากรูปมีการตรวจวัดขนาดตักดา 2 จุด คือตักดาเอาต์พุท วงจรควบคุมจะเพิ่มหรือลดตักดา V_{dc} โดยการควบคุมความกว้างพัลส์ของอินเวอร์เตอร์ 60 KHz เพื่อให้ตักดาเอาต์พุทมีขนาดตามตักดาอ้างอิง V_{ref} และต้องควบคุมไม่ให้ตักดา V_{dc} มีการกระเพื่อมมากเพื่อลดความเพี้ยนของคลื่นไซน์ที่เอาต์พุท บล็อกไดอะแกรมระบบควบคุมของอินเวอร์เตอร์นี้แสดงในรูปที่ สำหรับการสร้าง PWM คลื่นไซน์ของวงจรบริดจ์อินเวอร์เตอร์ควบคุมจากวงจรสร้างรูปแบบ PWM คลื่นไซน์ โดยใช้วงจรอิเล็กทรอนิกส์



รูป 7 วงจรทิว Mosfet

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
 ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ส่วนวงจรควบคุม

1. วงจรควบคุม inverter (โดยการควบคุม MOSFET)

จากวงจรควบคุม inverter ตามรูป จะเห็นว่าเราจะใช้ MOSFET ทำงานแทน transistor เนื่องจากคุณสมบัติของ MOSFET ที่เราสามารถควบคุมการทำงานได้โดยการควบคุม voltage ที่ป้อนเข้าขา gate. โดย MOSFET จะทำงานก็ต่อเมื่อ ขา gate เปิดโดยมีเงื่อนไขการทำงานเมื่อ voltage ที่ป้อนระหว่างขา gate และขา source ต้องมากกว่า $V_{GS(th)}$ ในวงจรการทำงาน $V_{GS(th)} < V_{GS}$ จากส่วนแรกของวงจรคือส่วนวงจร regulator ที่จะทำหน้าที่ป้อน DC ให้กับ MOSFET โดยไฟกระแสสลับ 220V จะผ่านเข้าหม้อแปลงขนาด 0-12V ผ่านเข้าวงจร Diode full bridge เพื่อทำการเปลี่ยนเป็นไฟกระแสตรงโดยมีค่า output voltage rms เท่ากับ $12 \cdot \sqrt{2} = 16 \text{ V}$ และผ่านเข้าสู่ 78L05 ซึ่งทำหน้าที่จำกัด voltage ให้มีค่า output voltage เท่ากับ -5V ส่วน 78L05 จะจำกัด voltage ให้มี output voltage เท่ากับ 5V โดยมี C 1000uf และ 100uf ทำหน้าที่ช่วยลด ripple ของ voltage โดยที่ C ทั้งสองต้องทน voltage ได้มากกว่า 16V ดังนั้นตอนนี้เราได้ส่วน regulator ที่จะป้อน voltage ให้กับส่วนที่ 2 คือส่วนวงจร Drive MOSFET ซึ่งประกอบกันเป็น Inverter เนื่องจากเราต้องป้องกันไม่ให้เกิดการ short ของวงจร เราจึงจะทำการแยก ground และ isolate ส่วน inverter กับส่วน regulator ออกโดยเราจะใช้ opto transistor isolator (4N25) โดยคุณสมบัติของ 4N25 เมื่อมี voltage ป้อนเข้าที่ขา photo diode เมื่อได้รับ voltage จะส่งแสงไปยังขา BASE ของ transistor โดย voltage ที่เราป้อนเข้า opto transistor isolation จะมาจากสัญญาณ PWM ที่เราสร้าง การที่เราใช้สัญญาณ PWM ควบคุมการทำงานของ Inverter เนื่องจากเราต้องการลดสัญญาณรบกวน อันเนื่องมาจากองค์ประกอบ harmonic ต่างๆ ของ voltage, voltage ที่ได้จาก PWM ค่า 5v ป้อนเข้า OPTO ISOLATOR โดยมีความต้านทานต่อที่ขา เพื่อจำกัดกระแสที่ไหลเข้า PHOTO DIODE ไม่ให้เกิดพิทัก โดยคำนวณค่า R จาก $V_{PWM}(5V)$ ซึ่งเราคิดมาได้ 83.3Ω เราประมาณค่าที่ 90Ω ส่วน ความต้านทานที่ขา collector ของ transistor เราใส่เพื่อจำกัด

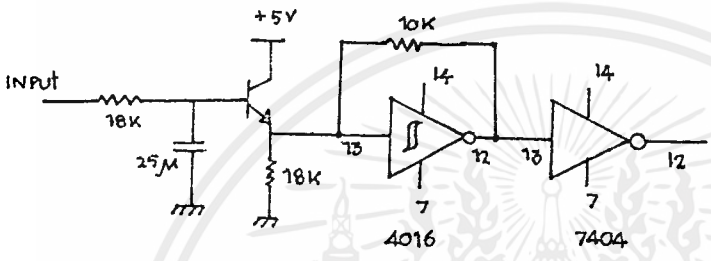
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กระแส collector และ Emitter นอกจากนี้ความต้านทานชนิดปรับค่าได้ที่ใส่
 ที่ขา ~~collector~~^{Emitter} ที่ transistor ชนิด ~~BD139~~^{BD 140} และที่ขา Emitter ของ
 transistor เบอร์ BD 140 เพื่อปรับให้ voltage ตกคร่อมขา gate
 source มีค่าเท่ากันหรือมากกว่า 6V (Vgsth) โดยที่เมื่อ regulator จ่าย
 voltage ให้ opto isolator เกิดกระแส collector ไหลผ่าน
 transistor ใน opto isalation และกระแส collector นี้คือกระแส
 Base ของ transistor BD139 และ BD 140 เมื่อมีกระแส Base ก็จะมีกระแส
 กระแส collector ไหลทำให้ transistor เสมือน short circuit และ
 voltage ต่อกคร่อมตัวต้านทานชนิดปรับค่าได้ ก็คือ voltage ตกคร่อมขา gate
 และขา source ของ MOSFET นั้นเอง และ MOSFET ก็จะทำงาน แต่เนื่องจาก
 เราจะให้ MOSFET ทำงานสลับกันโดยที่ MOSFET 1 และ 3 จะทำงานพร้อมกัน
 และทำงานสลับกัน MOSFET ตัวที่ 2 และ 4 แต่สัญญาณ PWM ที่เราใช้ CONTROL
 MOSFET เราไม่สามารถบ่อนสัญญาณสลับโดยใช้ inverter เลยร์ได้ เนื่องจาก
 จากคุณสมบัติ MOSFET เมื่อ off แล้ว จะยังคงมีกระแสหลงเหลืออยู่ หาก
 เราใช้ inverter สลับสัญญาณ MOSFET 1,3 ไปบ่อน MOSFET 2,4 จะทำให้
 เกิดการ short วงจรและเกิดความเสียหาย เราจึงต้องใช้วงจร Delay โดย
 ใช้ตัวต้านทานและตัวเก็บประจุ โดยมีค่า Delay time RC จะได้สัญญาณเป็นรูป
 ส่วนโค้ง อันเกิดจากการ charge และ discharge ตัวเก็บประจุ ซึ่งสัญญาณ
 นี้เรายังนำไปใช้งานไม่ได้ ต้องทำเป็นสัญญาณรูปสี่เหลี่ยมมาก่อน โดยใช้
 schmitt trigger ซึ่งมีคุณสมบัติทำให้สัญญาณ input ที่เป็นรูปต่างๆ ให้เป็น
 สัญญาณ output ที่เป็นสัญญาณสี่เหลี่ยม โดยมีความถี่สัญญาณสี่เหลี่ยม $= \frac{1}{1.7RC}$

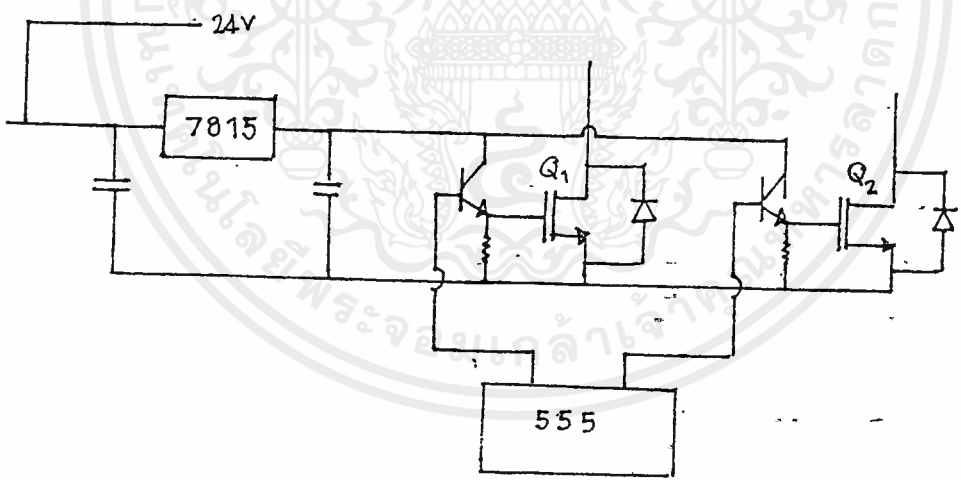
เราจะได้สัญญาณที่เป็นสัญญาณ Delay เพื่อบ่อน MOSFET 2,4 เมื่อ inverter
 ทำงานก็จะแปลงสัญญาณ voltage ไฟตรงจาก converter คือวงจร full
 bridge เป็นสัญญาณไฟสลับที่มีค่า voltage ที่เราต้องการ และสามารถลดสัญญาณ
 ปรบกวนอันเกิดจากส่วน harmonic ต่างๆ เนื่องจากการใช้สัญญาณ PWM และ
 เมื่อได้สัญญาณไฟสลับที่ต้องการแล้วเราจะทำการกรองสัญญาณอีกครั้ง โดยใช้วงจร
 low pass filter ประกอบจากตัวเกิดประจุ และขดลวดเหนี่ยวนำ (L) เพื่อ
 กรองเอาสัญญาณความถี่สูงๆ ออกไปเหลือเพียงความถี่สูงๆ ออกไปเหลือ
 เพียงความถี่ต่ำที่เราต้องการใช้งาน คือ 50 Hz นอกจากนี้ เราจะต้องมีวงจร

ปิดวงกันด้วย

เอกสารนี้เป็นเอกสารที่เผยแพร่ไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้拿去ไปใช้ประโยชน์ด้านการค้า
 ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูป 8 วงจร Delay

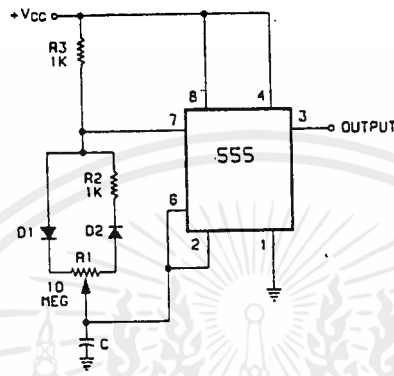


รูป 9 วงจรควบคุม Q1 และ Q2

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ic 555 Astable Mode ที่สามารถปรับความถี่ และ Duty cycle

วงจร 555 ที่สามารถปรับค่าความถี่ และ Duty cycleได้จากรูป



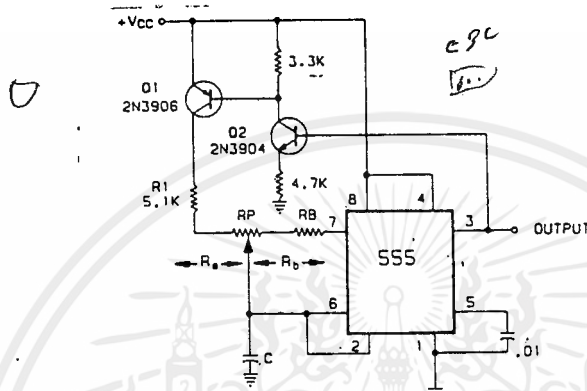
เมื่อ R_1 เปลี่ยนไป ขณะที่ช่วงเวลาที่ลดลงอีกช่วงเวลาหนึ่งจะเพิ่มขึ้นเท่า ๆ กันกับช่วงเวลาที่ลดลง เช่น R_1 มีค่า 10 M Ω และ R_2 R_3 มีค่า 1 K Ω Duty cycle จะสามารถเปลี่ยนแปลงได้ในช่วง 0.01 % ถึง 99.99 % โดยที่ความถี่จะเปลี่ยนแปลงเพียงเล็กน้อย ในวงจรนี้จะเกิด voltage drop ที่ไดโอด ซึ่งจะลดประสิทธิภาพของ voltage ตกคร่อมที่ RC timing network ถ้า voltage drop ที่ไดโอดมีค่า 0.6 v เราจะได้ช่วงเวลาที่ output มีค่า high เป็น

$$t_1 = RC \ln \frac{V_{CC} - 1/3 V_{CC} - 0.6}{V_{CC} - 2/3 V_{CC} - 0.6}$$

$$t_1 = RC \ln \frac{2/3 V_{CC} - 0.6}{1/3 V_{CC} - 0.6}$$

ดังนั้นถ้าค่า voltage supply ลดลง ก็จะเกิดผลกระทบจาก voltage drop ที่ Diode มากขึ้น

* ส่วนวงจรที่ช่วง Period คงที่แต่สามารถปรับค่า Duty cycle ได้ ของ astable timer ดังรูป วงจร 10



Reprinted from *Electronic Design*, July 5, 1975.

Variable duty-cycle astable timer circuit. (Copyright © Hayden Publishing Company, Inc., 1975.)

รูป 10 วงจร astable timer ปรับค่า Duty Cycle ได้

เราจะใช้ transistor แทนที่ ไดโอด Q1 และ Q2 จะ saturation ทั้งคู่ เมื่อ output ของ 555 มีค่า high ช่วงเวลาดังกล่าว C จะถูก charge โดยวงจร โดยผ่าน Q1 = R1 และ Ra และเมื่อ voltage คร่อม C มีค่าเท่ากับ 2/3 Vcc output ของ 555 จะมีค่าต่ำ ขณะนี้ตัวเก็บประจุ C จะ discharge ผ่าน R2 และ Rb จนกระทั่ง voltage คร่อม C ลดลงเท่ากับ 1/3 Vcc output ของ 555 จะมีค่า high และ วงจรการทำงานจะเริ่มอีกครั้ง

เวลาที่ค่า output มีค่า high ระหว่างช่วงเวลา charge C จะมีค่า

$$t_1 = 0.693 (R_1 + R_a) C$$

และช่วงเวลาที่มีค่า low ช่วงเวลา Discharge C

$$t_2 = 0.693 (R_2 + R_b) C$$

ดังนั้นช่วงเวลาทั้งหมด

$$T = 0.693 (R_1 + R_2 + R_a + R_b) C$$

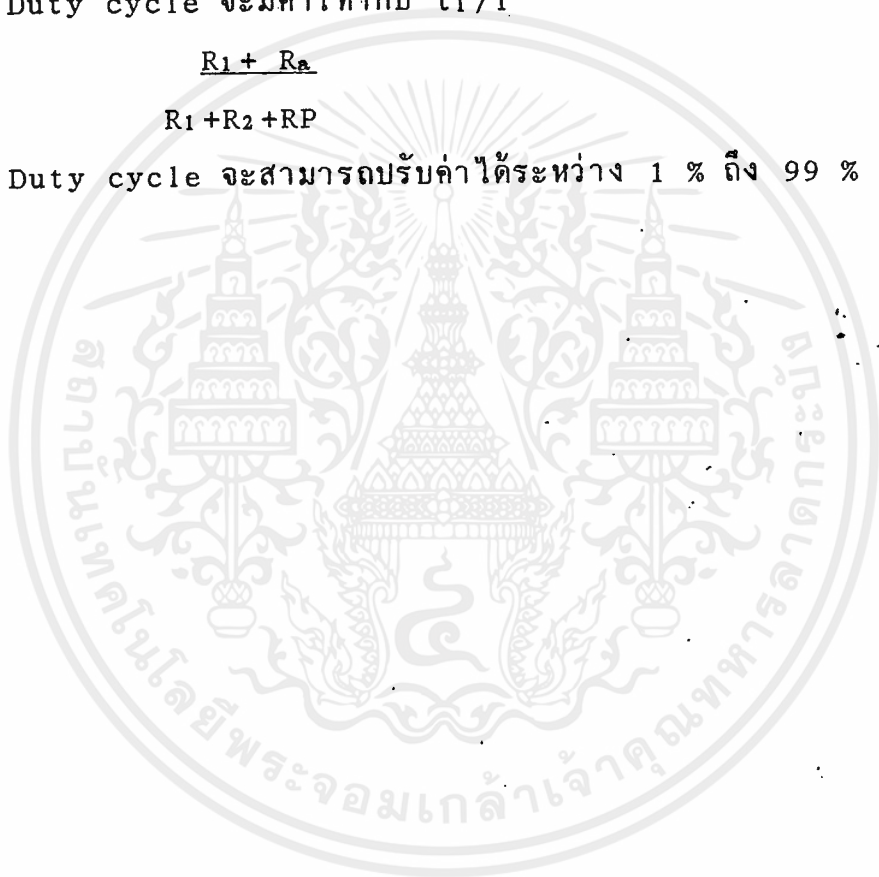
เพราะประมาณ $R_a + R_b$ มีค่าเท่ากับความต้านทาน ของ potentiometer RP

$$T \approx 0.693 (R_1 + R_2 + RP) C$$

ดังนั้น Duty cycle จะมีค่าเท่ากับ t_i/T

$$\frac{R_1 + R_a}{R_1 + R_2 + RP}$$

ซึ่งค่า Duty cycle จะสามารถปรับค่าได้ระหว่าง 1 % ถึง 99 %

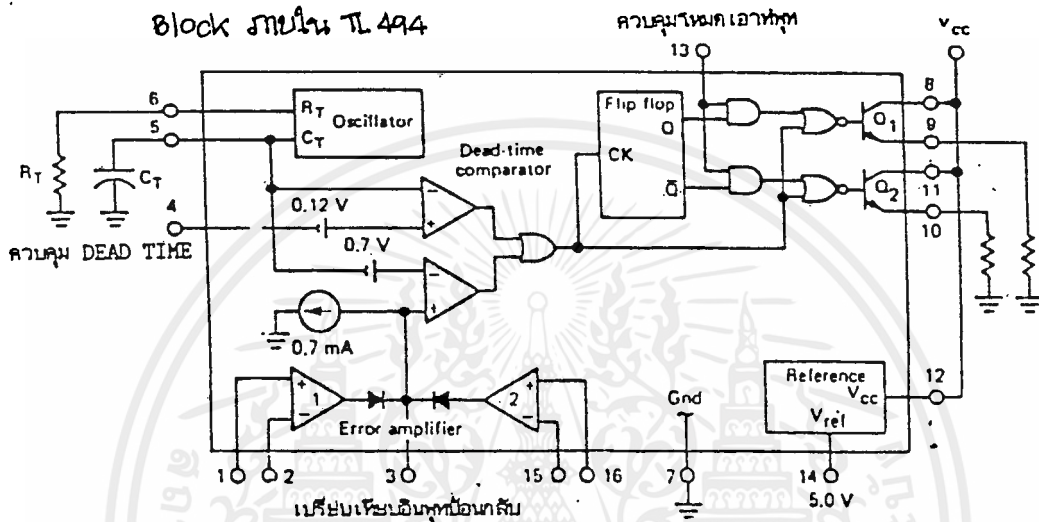


ส่วนสร้างความถี่ 60 K Hz

เราจะใช้ TL 494 ทำหน้าที่สร้างความถี่ 60 KHz เพื่อทำการสวิตช์

Power; Mosfet

รูป ๗



สูตรความถี่ออสซิลเลเตอร์ (fosc)

$$f_{osc} = \frac{1.1}{C_T * R_T}$$

ให้ค่า $C_T = 0.001 \text{ Mf}$ จะได้ $R_T = 18.3 \text{ k}$
และค่า Dead time คำนวณจาก

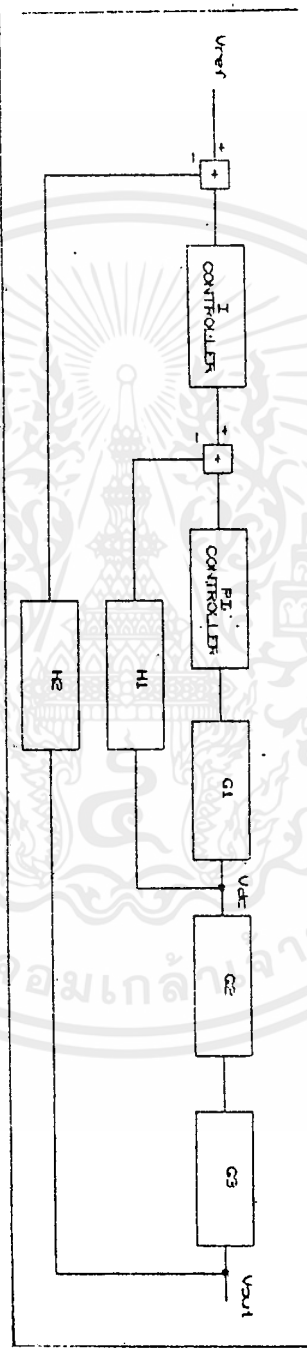
$$4.5 - \frac{80}{(1 - R_1) R_2}$$

การใช้ TL494 ควบคุม Mosfet Q1 และ Q2

TL 494 เป็น chip สำเร็จรูปที่ใช้สร้างสัญญาณ PWM จากวงจรภายใน เราจะเห็นว่า มี error amplifier 2 ตัว เป็นตัวเปรียบเทียบสัญญาณที่ feedback กลับมาจาก V_{dc} กับ V ที่เราย้อนให้ เพื่อให้เกิด Pulse PWM จากการต่อต้านทานภายนอกเราจะเห็นว่า ERROR AMP ตัวแรกเราจะต่อตัวต้านทานและตัวเก็บประจุ ซึ่งทำให้เป็นการใช้ PI control ในขณะที่ตัวที่ 2 เราต่อต้านทานเท่านั้น ซึ่งเป็น P control สัญญาณที่เราได้จากขา 8 และขา 11 จะเป็น pulse สี่เหลี่ยมที่สามารถรับความกว้างได้ เราจะเห็นว่าสัญญาณจากขา 8 และขา 11 จะไม่มีการเกิด OVERLAP กัน เพื่อป้องกันการ short สัญญาณขา 8 จะไปควบคุม Mosfet Q1 ซึ่งเมื่อ Q1 ON จะได้ศักดา 24V และเมื่อ off จะได้ศักดา 0V ดังนั้นสัญญาณที่ออกจาก Q1 จะเป็น pulse สี่เหลี่ยม 60 KH ที่มีศักดาอยู่ระหว่าง 0-24V เพื่อทำการควบคุม V_{dc} (ที่ออกจาก rectifier) นั้นคือถ้า V_{dc} มีค่าสูงเกินสัญญาณที่จะไป ซึ่งจะมีผลให้ค่า Duty cycle ของสัญญาณที่ขา 8 และ 11 ต่ำลงด้วย ทำให้ Duty cycle ของ Pulse ที่ออกจาก Q1 และ Q2 ต่ำลงด้วย ทำให้ศักดาที่ด้านขดลวดปฐมภูมิลดลง ซึ่งจะไปยังคัปให้ V_{dc} ต่ำลง เช่นเดียวกับกรณีที่ V_{dc} ต่ำลง แต่จะทำให้ duty cycle สูงขึ้นแทน นั่นคือเราสามารถควบคุม V_{dc} ให้มีค่าคงที่ โดยการควบคุมค่า Duty cycle นั้นเอง

หมายเหตุ เดิมเราใช้ 555 ในการสร้างสัญญาณควบคุม Q1 กับ Q2 โดยผ่านสัญญาณจาก 555 เข้า transistor เพื่อให้เกิดศักดาตกร่วม ขา เกท กับ ขา source ของ mosfet แต่ปรากฏว่าไม่ได้ผลดีนัก เราจึงใช้ TL494 แทน ซึ่งได้ผลดีกว่า

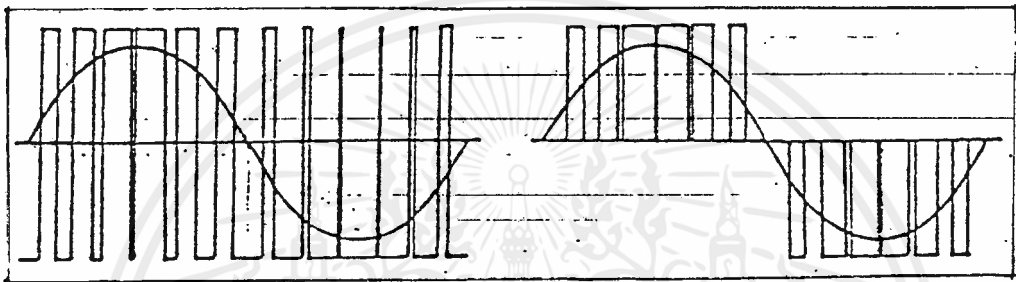
รูป 13 บล็อกโปรแกรมของระบบควบคุม Inverter



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ความรู้พื้นฐานเกี่ยวกับพัลส์วิดมอดูเลชั่น

การมอดูเลตความกว้างพัลส์ เป็นเทคนิคการแบ่งรูปคลื่นใน 1 คาบ ออกเป็นพัลส์ย่อยหลาย ๆ พัลส์ โดยที่แต่ละพัลส์อาจมีความกว้างของพัลส์ไม่เท่ากัน ในหัวข้อนี้จะกล่าวถึงรูปคลื่น PWM ชนิดต่าง ๆ รวมทั้งเทคนิคในการสร้างรูปคลื่น PWM ในแนวความคิดต่าง ๆ



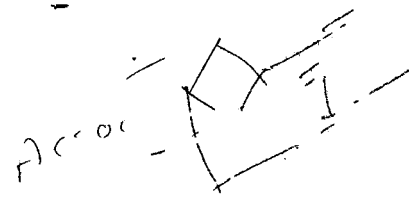
รูปที่ 14 รูปคลื่น PWM แบบ 2 ระดับและ 3 ระดับ

รูปคลื่น PWM มีอยู่ด้วยกันหลายชนิด แต่ชนิดที่นำมาใช้มากที่สุด และเป็นชนิดพื้นฐานที่สุดได้แก่ แบบ 2 ระดับ และ แบบ 3 ระดับ

- PWM 2 ระดับ เป็นรูปคลื่นที่มีการสวิตช์ ระหว่างระดับอ้างอิง 2 ระดับคือ E, -E
- PWM 3 ระดับ เป็นรูปคลื่นที่มีการสวิตช์ ระหว่างระดับอ้างอิง 3 ระดับคือ E, 0, -E

ในรูปที่ 14 เป็นการแสดงรูปคลื่น PWM เปรียบเทียบกับคลื่นความถี่ Fundamental

วิธีการสร้างรูปคลื่น PWM

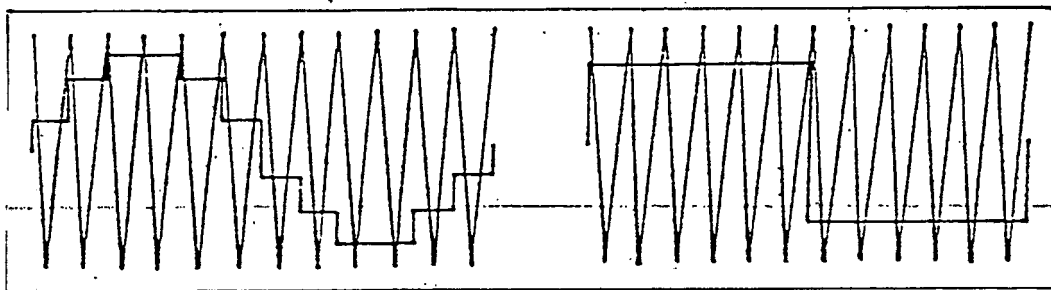
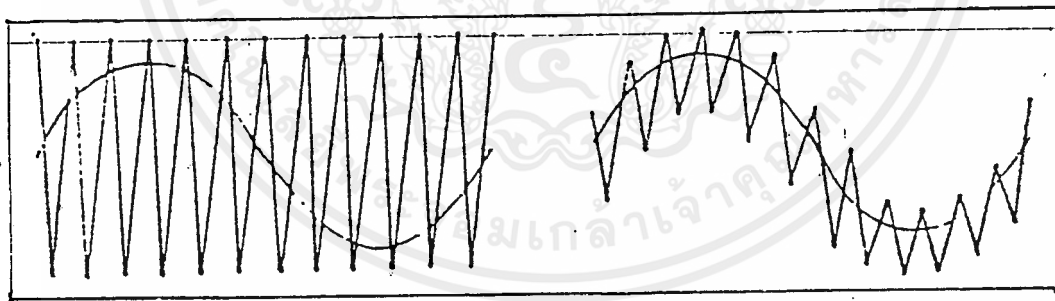


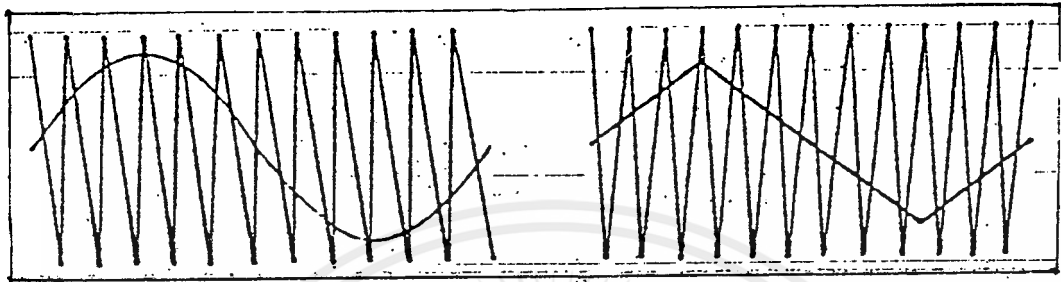
1. การใช้ไมโครโปรเซสเซอร์

สามารถกระทำได้โดยการโปรแกรมให้ไมโครโปรเซสเซอร์ ส่งสัญญาณซึ่งสอดคล้องกับมุมสวิทช์ซึ่ง มุมต่าง ๆ ออกมาเสียก่อน แล้วจึงเก็บข้อมูลไว้ในหน่วยความจำ ไมโครโปรเซสเซอร์จะอาศัยข้อมูลในหน่วยความจำนั้นเพื่อสร้างรูปแบบ สัญญาณ PWM ขึ้นมาแล้วจึงส่งผ่านพอร์ตเอาต์พุตออกมา

2. การใช้วงจรอิเล็กทรอนิกส์

การสร้าง PWM จากวงจรอิเล็กทรอนิกส์นี้ วิธีที่สะดวกที่สุดคือใช้วงจรเปรียบเทียบ เช่น IC LM339, LM 311 ซึ่งสามารถทำได้โดยป้อนสัญญาณอินพุต 2 สัญญาณเข้าสู่วงจรเปรียบเทียบ คือ สัญญาณอ้างอิง กับ สัญญาณแคร์เรียร์ สัญญาณอ้างอิงจะมีความถี่เท่ากับรูปคลื่น PWM ส่วนสัญญาณแคร์เรียร์จะมีความถี่สูงกว่า ในการนี้จะใช้มุมสวิทช์ของรูปคลื่น PWM เป็นจุดตัดของสัญญาณทั้งสองการสร้างโดยอาศัยวงจรเปรียบเทียบนี้สามารถเลือกสัญญาณที่ใช้เปรียบเทียบได้หลายลักษณะ ดังรูปที่ 15





รูปที่ 15 ตัวอย่างการใช้ PWM โดยใช้วงจรเปรียบเทียบ

การสร้างรูปคลื่น PWM แบบเนเทอรอลและแบบเรกูลาร์

การสร้างรูปคลื่น PWM โดยการใช้วงจรเปรียบเทียบ จะมีองค์ประกอบ 2 ประการที่จะเป็นตัวกำหนดลักษณะรูปคลื่น PWM คือ

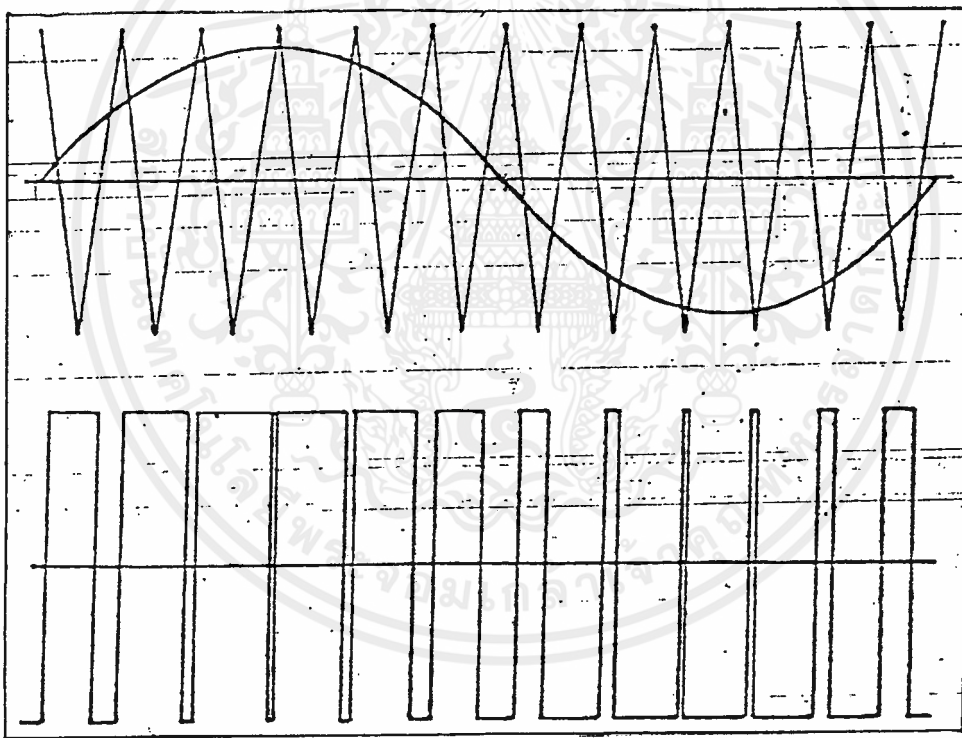
1. อัตราส่วนความถี่ของสัญญาณแคร์เรียร์ ต่อสัญญาณอ้างอิง ; Frequency Ratio(N)
2. อัตราส่วนแอมพลิจูด ของสัญญาณอ้างอิงต่อสัญญาณแคร์เรียร์; Modulation Ratio(K)

จากทฤษฎีและข้อมูลเก่าที่มีการคำนวณและศึกษามา ได้นำค่า K,N ไปวิเคราะห์หองค์ประกอบฮาร์โมนิกส์ ได้ว่า โดยปกติแล้ว K จะใช้ค่าอยู่ในช่วงไม่เกิน 1 ค่านี้จะ

เป็นตัวกำหนดความกว้างของพัลส์ โดยความกว้างจะมากขึ้นถ้าค่า K มากขึ้น ส่วนค่า N เป็นตัวกำหนดจำนวนพัลส์ มีจำนวนเท่ากับ N และจำนวนมุมสวิทช์ซึ่งจะมีจำนวน $2N$ มุม ทั้งนี้ ต้องอยู่ในกรณีค่า K ไม่เกิน 1.

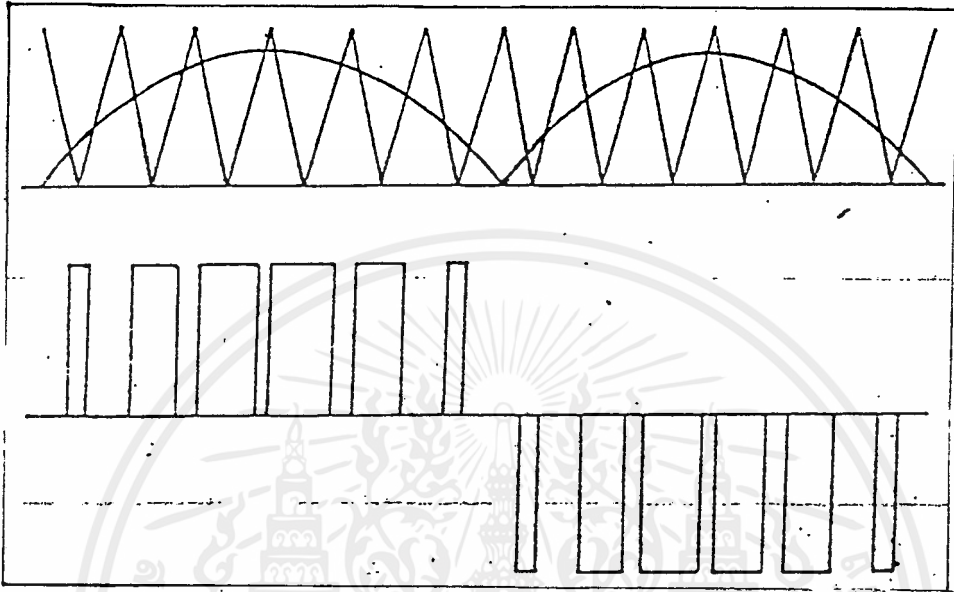
การสร้างรูปคลื่นแบบเนเทอรอลแซมพลิง

การสร้างแบบนี้จะใช้คลื่นไซน์เป็นสัญญาณอ้างอิง และคลื่นสามเหลี่ยมเป็นสัญญาณแคร์เรียร์ โดยสามารถสร้างได้ทั้งแบบ 2 ระดับ และ แบบ 3 ระดับ การสร้างแบบ 2 ระดับจะใช้คลื่นไซน์และคลื่นสามเหลี่ยมเต็มรูปคลื่น ช่วงที่ไซน์มากกว่าสามเหลี่ยมจะเป็นบวก และช่วงที่ไซน์มีขนาดน้อยกว่า จะเป็นลบ วิธีนี้ใช้ในส่วนวงจรปรับจูนแอมพลิจูดของโครงการที่ทดลอง



รูปที่ 16 การสร้างรูปคลื่นแบบเนเทอรอลแซมพลิงชนิด 2 ระดับ

สำหรับการเปรียบเทียบแบบ 3 ระดับนั้น จะใช้คลื่นซายน์ที่เรกติฟายขึ้นไปเป็นคลื่น พูลเวฟ เปรียบเทียบกับคลื่นสามเหลี่ยมที่ถูกยกระดับขึ้นไปเหนือเส้นกราวด์ ช่วงที่คลื่นพูลเวฟ มีขนาดมากกว่าในครึ่งคาบแรก การสวิตช์จะมีค่าเป็นบวก และเป็นลบในครึ่งคาบหลัง ส่วนช่วงที่คลื่นพูลเวฟมีขนาดน้อยกว่าการสวิตช์จะมีค่าเป็นศูนย์

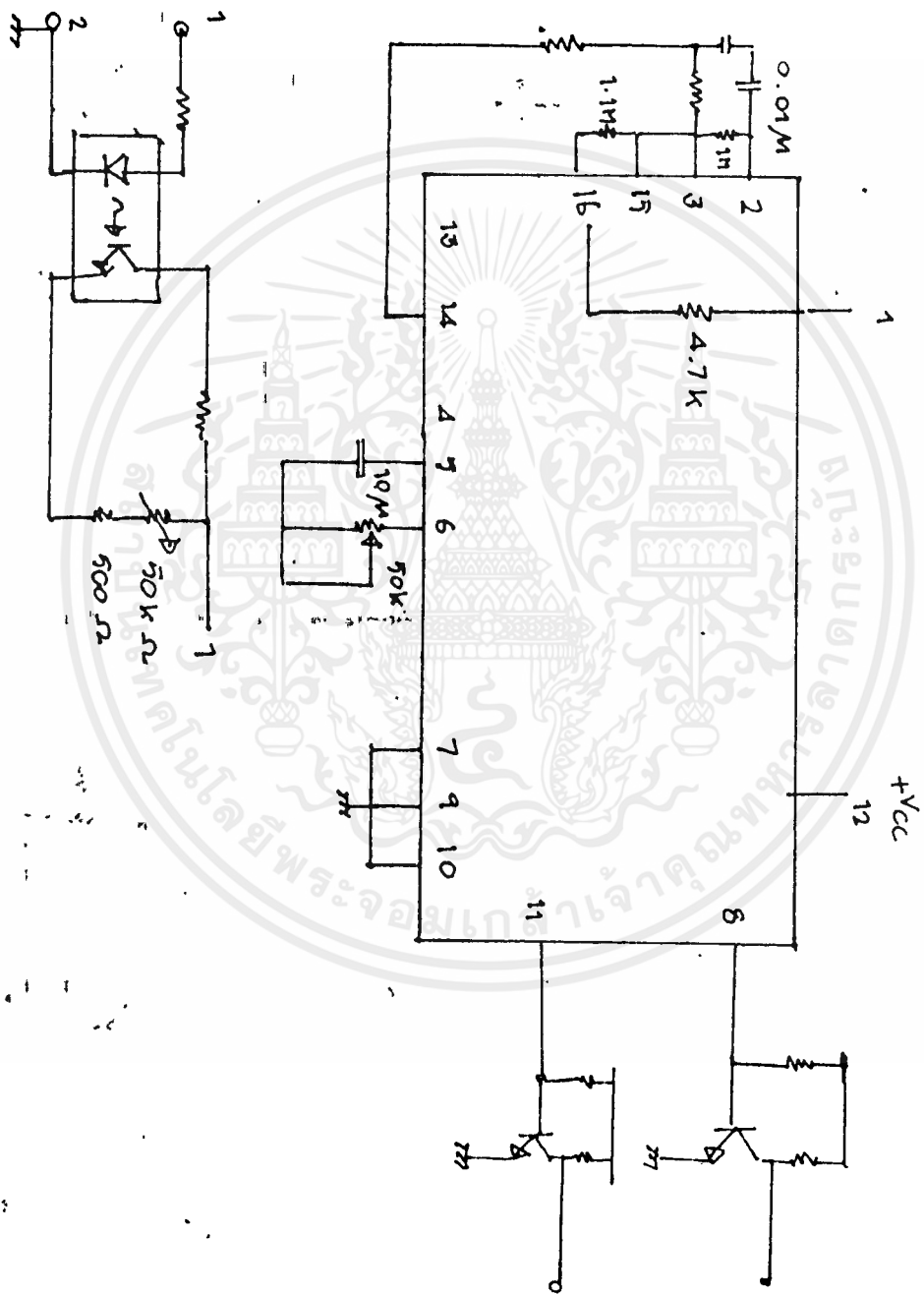


รูปที่ 17 การสร้างรูปคลื่นแบบเนเทอรอลแซมพลิงชนิด 3 ระดับ

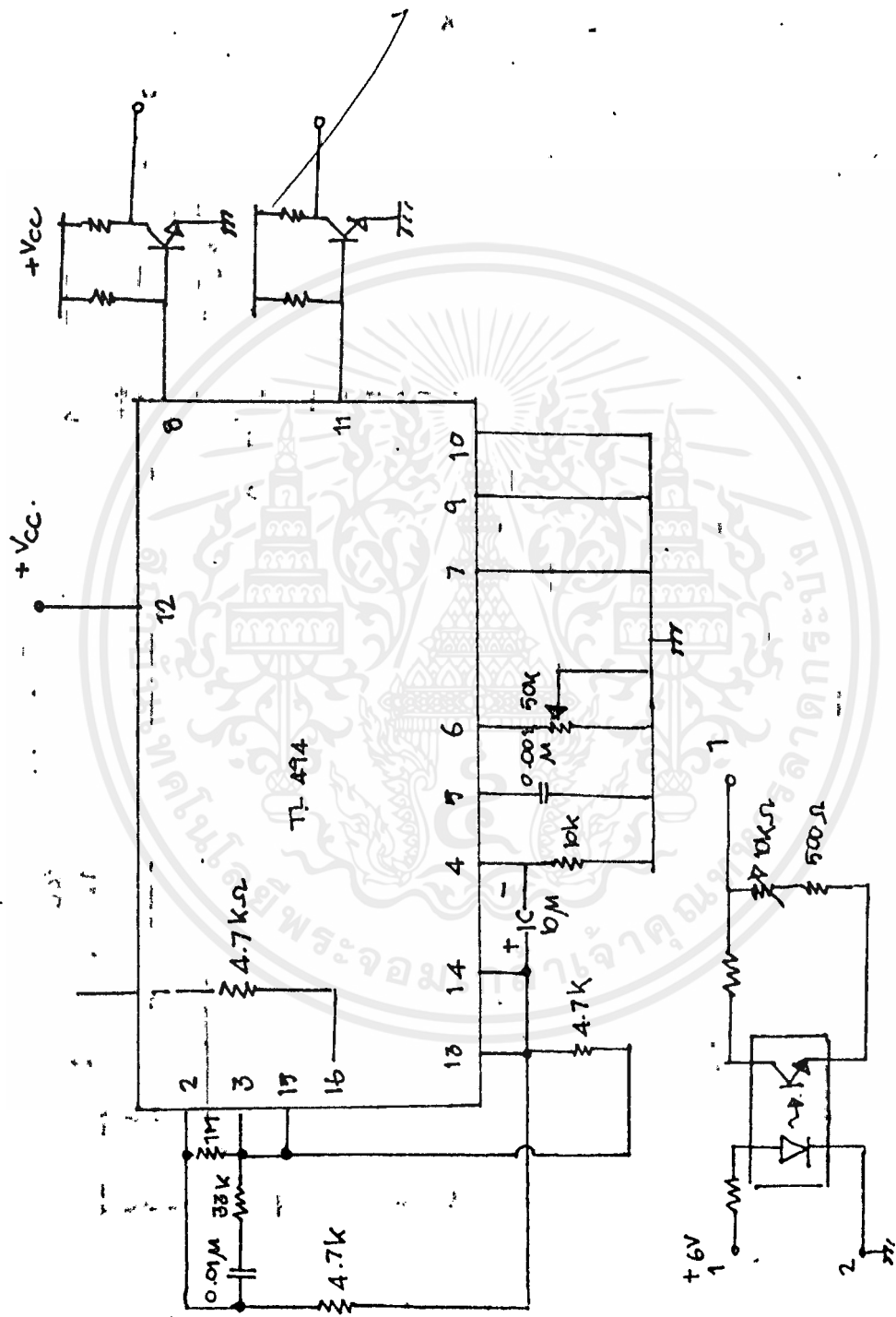
การสร้างรูปคลื่นแบบเรกูลาร์แซมพลิง

การสร้างแบบนี้ใช้หลักการแบบเดียวกันกับแบบแรก โดยดัดแปลงมาจากแบบแรกเนื่อง จากการเปรียบเทียบแบบแรกนั้น ระหว่างเปรียบเทียบแต่ละครึ่งส่วนของซายน์จะไม่เป็นเชิง เส้นการเปรียบเทียบแบบนี้จะนำคลื่นซายน์ผ่านวงจรมอดูเลชันและไฮลด์ ที่ความถี่การแซมพลิงเท่า กับความถี่ของคลื่นสามเหลี่ยม ซึ่งเห็นได้ว่า ระหว่างการเปรียบเทียบแต่ละช่วงจะเป็นเชิง เส้น

การเปรียบเทียบแบบเรกูลาร์สามารถทำได้ทั้งแบบ 2 ระดับ และแบบ 3 ระดับ

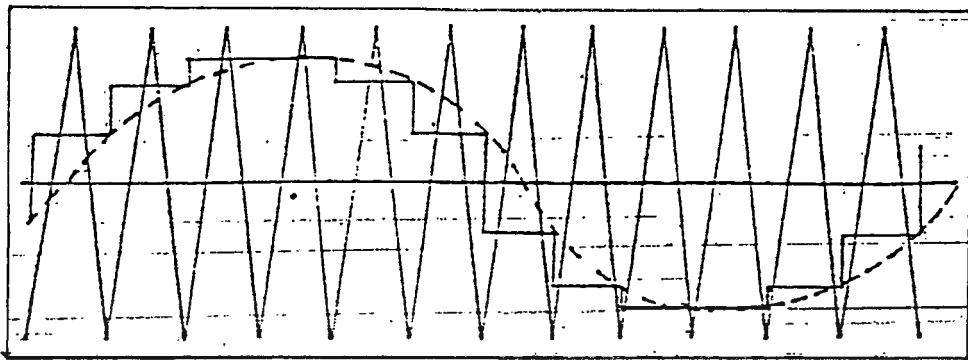


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

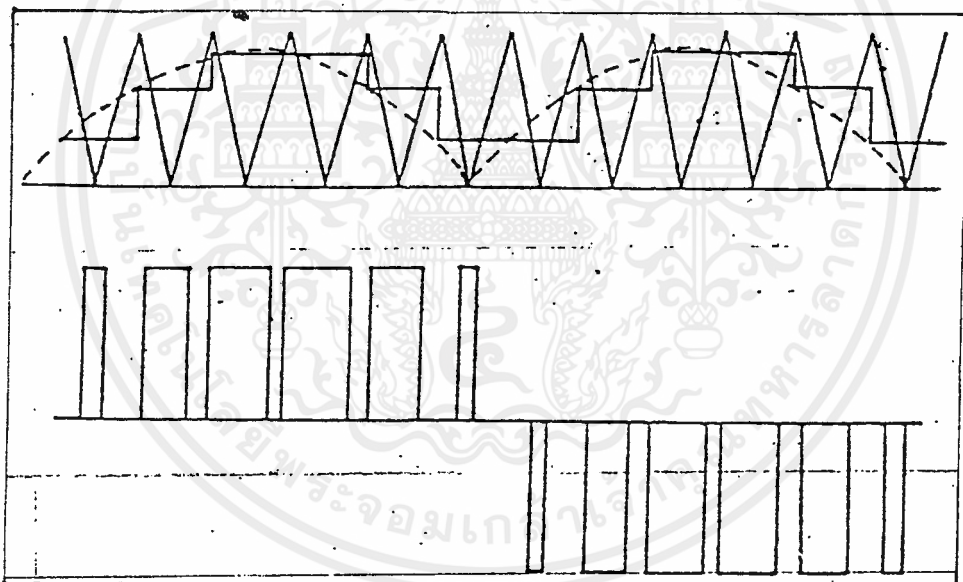


รูป. 11 Pulse Width Modulation Push - Pull inverter

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

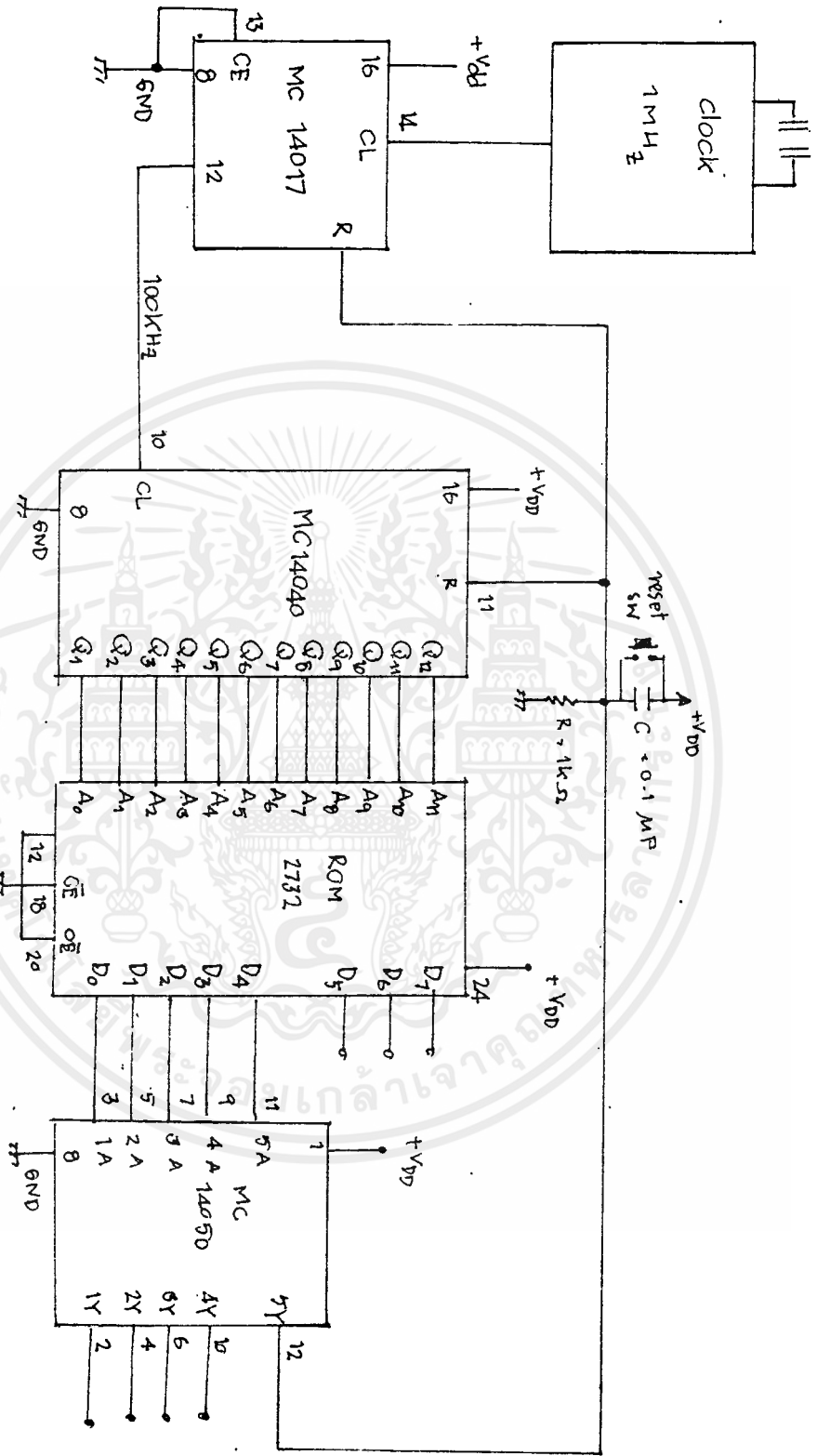


รูปที่ 18 การสร้างรูปคลื่นแบบเรกูลาร์แซมปริง ชนิด 2 ระดับ



รูปที่ 19 การสร้างรูปคลื่นแบบเรกูลาร์แซมปริง ชนิด 3 ระดับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูป 20 วงจรสร้างสัญญาณ PWM ให้ Inverter

$$m+ = +2 \times 10^3$$

$$m- = -2 \times 10^3$$

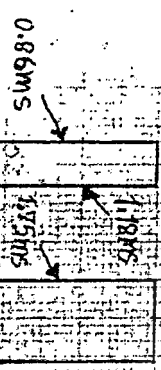
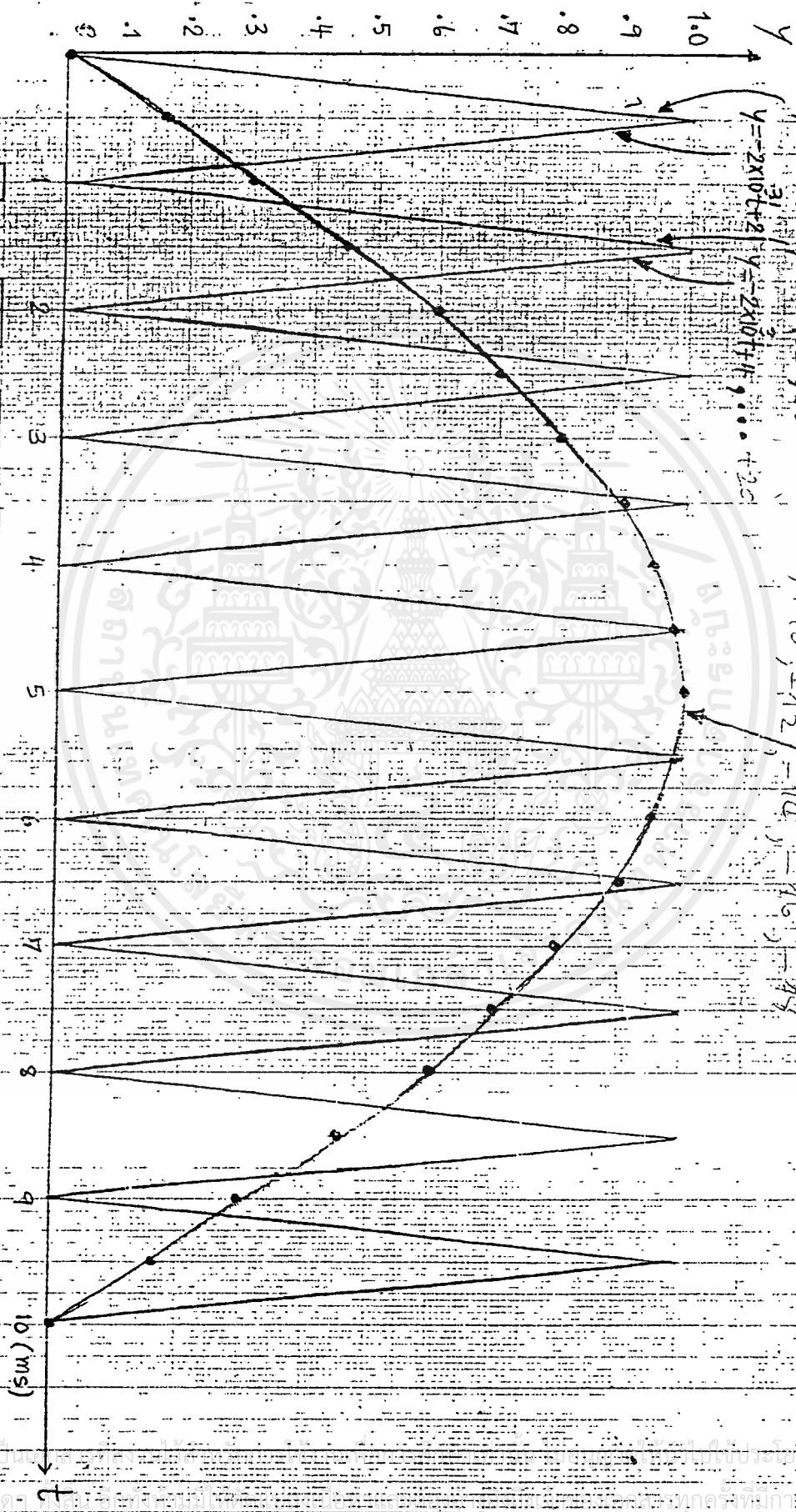
การเคลื่อนที่ reaction

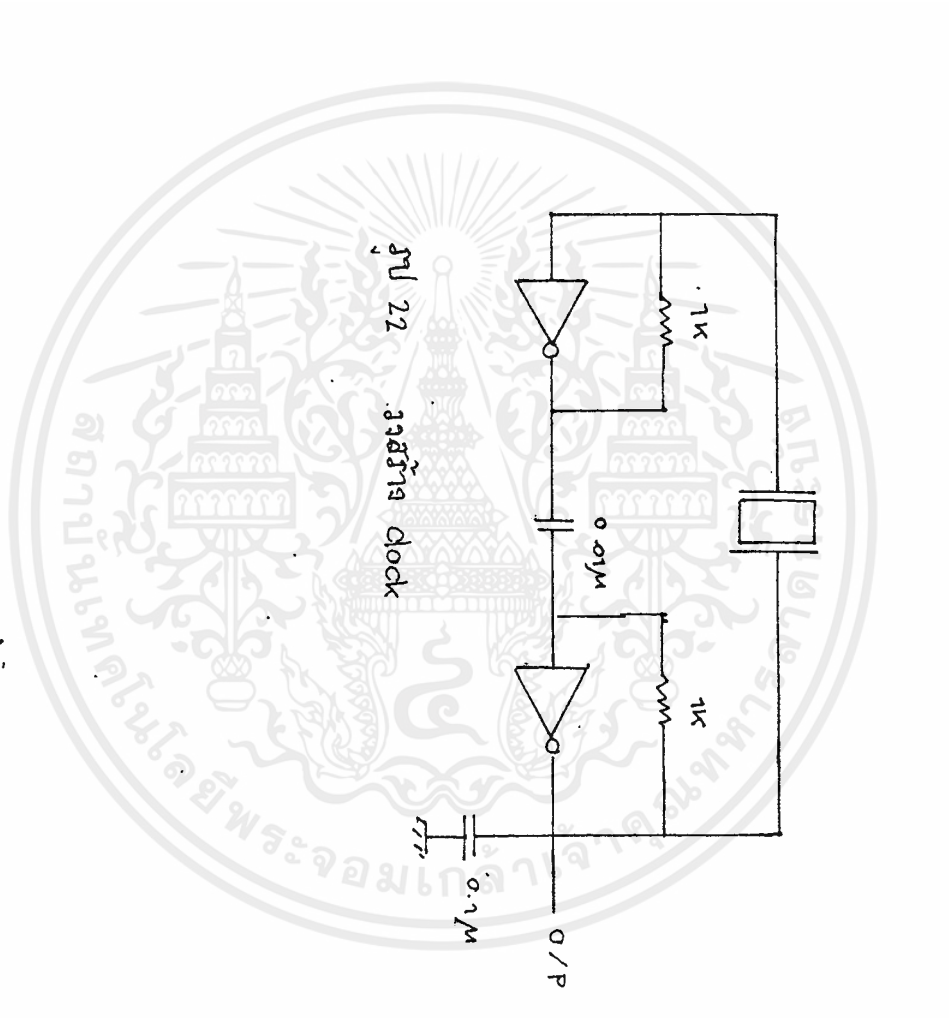
$$y = 1 \sin(2\pi f t) = \sin[2\pi(50) t]$$

การเคลื่อนที่

$$f(\Delta) = f(\sin \omega t)$$

① $y = 2 \times 10^3 t$
 $y = -2 \times 10^3 t + 2$
 $y = 2 \times 10^3 t - 2$
 $y = -2 \times 10^3 t + 4$
 $y = 2 \times 10^3 t - 6$
 $y = -2 \times 10^3 t + 8$
 $y = 2 \times 10^3 t - 10$
 $y = -2 \times 10^3 t + 12$
 $y = 2 \times 10^3 t - 14$
 $y = -2 \times 10^3 t + 16$
 $y = 2 \times 10^3 t - 18$
 $y = -2 \times 10^3 t + 20$





เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วงจรสร้าง สัญญาณ PWM

จากรูป 20 เป็นวงจรสร้างสัญญาณ PWM ส่วนแรกคือส่วนวงจร Clock ที่เราใช้ crystal เป็นตัวสร้างสัญญาณ clock ให้กับวงจร ซึ่งจะมีความถี่ clock เท่ากับ 100 kHz เพื่อป้อน clock ให้กับ Decade counter MC 14017 และ Decade counter จะเปลี่ยนแปลงครั้งละ 1 เท่ากับ 0.01 ms จากนั้นสัญญาณ

100 kHz

output จาก decade counter ที่มีความถี่ 100 kHz เพื่อป้อนให้ ic ที่ทำหน้าที่แปลงเลขฐานสิบเป็นเลขฐานสอง ซึ่งเราใช้ ic MC 14040 ที่มี output 12 stage ป้อนเป็น input ให้ ROM 2732 และได้ output จาก ROM 5 สาย ป้อนเข้า Buffer MC 1405 เพื่อไปเป็นสัญญาณ PWM ให้กับ single phase inverter โดยที่ output ของ MC 14050 เพียง 4 สายเท่านั้นที่เป็นสัญญาณ PWM ส่วนสัญญาณอีก 1 สาย ซึ่งเป็นข้อมูลค่าสุดท้ายออกมาเป็น (10)₁₆ เพื่อเข้า 12 ไป reset counter ของ ic MC 14040 และ MC 14017 ส่วนโปรแกรมที่เราจะป้อนให้ ROM 2732 เพื่อสร้างสัญญาณรูป PWM จากรูป เป็นการเปรียบเทียบสัญญาณสามเหลี่ยมกับสัญญาณรูป sine wave เราต้องหาจุดตัดของสัญญาณทั้ง 2 เพื่อสร้างสัญญาณ Pulse ของ PWM โดยที่ sine wave จะมีสมการรูปสัญญาณ $y = \sin(2\pi f)t$ แต่เราใช้ที่ $f = 50$ Hz ดังนั้น $y = \sin(314.16)t$ และสัญญาณ Δ จะมีสมการสำหรับคลื่นที่ 1 ช่วงกราฟที่มี slope เพิ่มขึ้น (จากรูป คือเส้น 1) $y = 2 \times 10^3 t$ และช่วง slope ลง $y = 2 \times 10^3 t + 2$ ที่ 2 ช่วง slope ขึ้น $y = 2 \times 10^3 t - 2$ และช่วง slope ลง $y = -2 \times 10^3 t + 4$ นั่นคือ ที่สัญญาณ ที่ n ช่วง slope ขึ้น $y_n = 2 \times 10^3 t - (2n - 2)$ และช่วง slope ลง $y_n = -2 \times 10^3 t + 2n$ ซึ่งเราจะหาจุดที่ $f(\Delta) = f(\text{sine})$ แล้วหาค่า t ซึ่งเมื่อเราให้ $m_a (= \frac{V_{\text{control}}}{V_{\text{tri}}})$

$= 1$, $= 0.67$ และ $= 0.8$ ได้ข้อมูลป้อนเข้า ROM เพื่อสร้างสัญญาณ PWM เมื่อป้อน inverter เมื่อเราต้องการ A+, B- เราจะให้ Q₁ และ Q₃ ทำงาน โดยที่ Q₁ จะ ON ตลอด และให้ Q₃ เปลี่ยนเมื่อไม่ต้องการให้มีสัปดาห์ที่ load เมื่อเกิด free-wheeling ดังนั้นจะมีอยู่ 2 กรณี เมื่อมี voltage ที่ load

$$\begin{array}{cccc} Q_1 & Q_3 & Q_2 & Q_4 \\ 1 & 1 & 0 & 0 \end{array} = 0C$$

และเมื่อไม่มี voltage ที่ load โดย

$$\begin{array}{cccc} Q_1 & Q_3 & Q_2 & Q_4 \\ 1 & 0 & 0 & 0 \end{array} = 08$$

และเช่นเดียวกัน เมื่อเราต้องการ A-, B+ เราจะให้ Q4 ON ตลอดและเปลี่ยน Q2 เมื่อมี voltage ที่ load

$$\begin{array}{cccc} Q_1 & Q_3 & Q_2 & Q_4 \\ 0 & 0 & 1 & 1 \end{array} = 03$$

ไม่มี voltage ที่ load

$$\begin{array}{cccc} Q_1 & Q_3 & Q_2 & Q_4 \\ 0 & 0 & 0 & 1 \end{array} = 01$$

ดังนั้นโปรแกรมจะได้

$$08 = \text{off}$$

$$0C = \text{ON}$$

และ

$$01 = \text{off}$$

$$03 = \text{ON}$$

ตารางที่ 1
 จำนวนที่สร้างสัญญาณ PHM เก็บค่า 1.15

t (ms)	γ
0	0
0.90636325	0.28091025
1.1143227	0.34296807
1.8196565	0.54903050
2.2135675	0.64070238
2.7467523	0.75974295
3.2861743	0.85852291
3.6943186	0.91704430
4.3258862	0.97765849
4.6684730	0.99458105
5.3315270	0.99458105
5.0741138	0.97765849
6.3050814	0.91704430
6.7138257	0.85852291
7.2532477	0.75974295
7.7864325	0.64070238
8.1803435	0.54903050
8.8856773	0.34296807
9.0936367	0.28091025
10.000000	0

$$m_0 = \frac{V_{tri}}{V_{control}}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
 ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตารางที่ 2

วงจรที่ใช้สร้างสัญญาณ PWM เพื่อ $m_a = 1.25$

t (ms)	V_c
0	0
0.88965279	0.27586804
1.1402422	0.35060559
1.7870455	0.53238615
2.2608107	0.65202686
2.6999590	0.75010255
3.3472833	0.86820834
3.6361579	0.90960515
4.3927430	0.98185750
4.6081054	0.99223650
5.3968946	0.99223650
5.6072570	0.98185750
6.3638421	0.90960515
6.6527167	0.86820834
7.3000410	0.75010255
7.7391893	0.65202686
8.2129545	0.53238615
8.8597576	0.35060559
9.1103472	0.27586804
10.0000000	0

m_a , V_{tri}
 $V_{control}$

ตารางที่ 3

ข้อมูลที่ใช้สร้างสัญญาณ PWM เมื่อ $m_a = 1$

$t(ms)$	V
0	0
0.86568814	0.26862372
1.1813328	0.36266560
1.7400805	0.51983890
2.3347281	0.66945617
2.6320843	0.73583142
3.4412370	0.88247409
3.5509225	0.89815504
4.4936881	0.98737620
4.5060091	0.98798190
5.4939909	0.98798190
5.5063119	0.98737620
6.4490775	0.89815504
6.5587630	0.88247409
7.3679157	0.73583142
7.6652719	0.66945617
8.2599195	0.51983890
8.8186672	0.36266560
9.1343119	0.26862372
10.0000000	0

$$m_a = \frac{V_{tri}}{V_{control}}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โปรแกรมทฤษฎีวงสนาม PIM $m_2 = 1$

ORG 00H

DB 08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H
 DB 08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H
 DB 08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H
 DB 08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H
 DB 08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H

DB 0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH
 DB 0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH

DB 08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H
 DB 08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H
 DB 08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H
 DB 08H,08H,08H,08H,08H,08H,08H,08H,08H,08H

DB 0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH
 DB 0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH
 DB 0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH

DB 08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H
 DB 08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H
 DB 08H,08H,08H,08H,08H,08H

DB 0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH
 DB 0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH
 DB 0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH
 DB 0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH

DB 08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

DB 08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H

DB 0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH

DB 0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH

DB 0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH

DB 0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH

DB 0CH,0CH,0CH,0CH

DB 08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H

DB 08H,08H,08H

DB 0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH

DB 0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH

DB 0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH

DB 0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH

DB 0CH,0CH,0CH,0CH,0CH,0CH,0CH

DB 08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H

DB 08H,08H,08H

DB 0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH

DB 0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH

DB 0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH

DB 0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH

DB 0CH,0CH,0CH,0CH

DB 08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H

DB 08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H

DB 0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

DB 0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH
 DB 0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH
 DB 0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH

DB 08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H
 DB 08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H
 DB 08H,08H,08H,08H,08H,08H,08H

DB 0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH
 DB 0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH
 DB 0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH

DB 08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H
 DB 08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H
 DB 08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H
 DB 08H,08H,08H,08H,08H,08H,08H,08H,08H,08H

DB 0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH
 DB 0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH

DB 08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H
 DB 08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H
 DB 08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H
 DB 08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H
 DB 08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H

DB 01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H
 DB 01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H
 DB 01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H
 DB 01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
 ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

DB 01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H

DB 03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H

DB 03H,03H,03H,03H,03H,03H,03H,03H

DB 01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H

DB 01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H

DB 01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H

DB 01H,01H,01H,01H,01H,01H,01H,01H,01H,01H

DB 03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H

DB 03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H

DB 03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H

DB 01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H

DB 01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H

DB 01H,01H,01H,01H,01H,01H,01H

DB 03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H

DB 03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H

DB 03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H

DB 03H,03H,03H,03H,03H,03H,03H,03H,03H,03H

DB 01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H

DB 01H,01H,01H,01H,01H,01H,01H,01H,01H,01H

DB 03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H

DB 03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H

DB 03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H

DB 03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

DB 03H,03H,03H,03H

DB 01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H

DB 01H,01H,01H

DB 03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H

DB 03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H

DB 03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H

DB 03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H

DB 03H,03H,03H,03H,03H,03H,03H

DB 01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H

DB 01H,01H,01H

DB 03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H

DB 03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H

DB 03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H

DB 03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H

DB 03H,03H,03H,03H

DB 01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H

DB 01H,01H,01H,01H,01H,01H,01H,01H,01H,01H

DB 03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H

DB 03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H

DB 03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H

DB 03H,03H,03H,03H,03H,03H,03H,03H,03H,03H

DB 01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H

DB 01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

DB 01H,01H,01H,01H,01H,01H,01H

DB 03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H

DB 03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H

DB 03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H

DB 01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H

DB 01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H

DB 01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H

DB 01H,01H,01H,01H,01H,01H,01H,01H,01H,01H

DB 03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H

DB 03H,03H,03H,03H,03H,03H,03H,03H

DB 01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H

DB 01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H

DB 01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H

DB 01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H

DB 01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H

DB 10H,10H,10H,10H,10H,10H,10H,10H,10H,10H,10H,10H,10H,10H,10H,10H,10H,10H,10H

END

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โปรแกรม ทดสอบฮาร์ดแวร์ P/M ท. 1.15

ORG 00H

DB 08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H

DB 08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H

DB 08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H

DB 08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H

DB 08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H

DB 0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH

DB 0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH

DB 08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H

DB 08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H

DB 08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H

DB 08H,08H

DB 0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH

DB 0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH

DB 0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH

DB 0CH,0CH,0CH,0CH,0CH

DB 08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H

DB 08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H

DB 0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH

DB 0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH

DB 0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH

DB 0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH

DB 0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

DB 08H,08H,08H,08H,08H,08H,08H,08H,08H,08H

DB 0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH

DB 0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH

DB 0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH

DB 0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH

DB 0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH

DB 0CH,0CH,0CH,0CH

DB 08H

DB 0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH

DB 0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH

DB 0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH

DB 0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH

DB 0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH

DB 0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH

DB 08H

DB 0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH

DB 0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH

DB 0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH

DB 0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH

DB 0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH

DB 0CH,0CH,0CH,0CH

DB 08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H

DB 0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

DB 0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH
DB 0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH
DB 0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH
DB 0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH

DB 08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H
DB 08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H

DB 0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH
DB 0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH
DB 0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH
DB 0CH,0CH,0CH,0CH,0CH

DB 08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H
DB 08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H
DB 08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H
DB 08H,08H

DB 0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH
DB 0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH

DB 08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H
DB 08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H
DB 08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H
DB 08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H
DB 08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H

DB 01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H
DB 01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H
DB 01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

DB 01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H
DB 01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H

DB 03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H
DB 03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H

DB 01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H
DB 01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H
DB 01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H
DB 01H,01H

DB 03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H
DB 03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H
DB 03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H
DB 03H,03H,03H,03H,03H

DB 01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H
DB 01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H

DB 03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H
DB 03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H
DB 03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H
DB 03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H
DB 03H,03H,03H,03H,03H,03H,03H,03H,03H

DB 01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H

DB 03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H
DB 03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H
DB 03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

DB 03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H
DB 03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H
DB 03H,03H,03H,03H

DB 01H

DB 03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H
DB 03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H
DB 03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H
DB 03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H
DB 03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H
DB 03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H
DB 03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H

DB 01H

DB 03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H
DB 03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H
DB 03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H
DB 03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H
DB 03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H
DB 03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H
DB 03H,03H,03H,03H

DB 01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H

DB 03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H
DB 03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H
DB 03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H
DB 03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H
DB 03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

DB 01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H

DB 01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H

DB 03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H

DB 03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H

DB 03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H

DB 03H,03H,03H,03H,03H

DB 01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H

DB 01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H

DB 01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H

DB 01H,01H

DB 03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H

DB 03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H

DB 01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H

DB 01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H

DB 01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H

DB 01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H

DB 01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H

DB 10H,10H,10H,10H,10H,10H,10H,10H,10H,10H,10H,10H,10H,10H,10H,10H,10H,10H,10H

END

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ORG 00H โปรแกรมการสร้างสัญญาณ PWM มา 1.25

DB 08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H
DB 08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H
DB 08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H
DB 08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H
DB 08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H

DB 0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH
DB 0CH,0CH,0CH

DB 08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H
DB 08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H
DB 08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H
DB 08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H

DB 0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH
DB 0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH
DB 0CH,0CH,0CH,0CH

DB 08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H
DB 08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H
DB 08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H

DB 0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH
DB 0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH
DB 0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH

DB 08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H
DB 08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่นอนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

DB 08H,08H,08H,08H,08H

DB 0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH

DB 0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH

DB 0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH

DB 0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH

DB 08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H

DB 08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H

DB 0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH

DB 0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH

DB 0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH

DB 0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH

DB 08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H

DB 08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H

DB 0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH

DB 0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH

DB 0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH

DB 0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH

DB 08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H

DB 08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H

DB 08H,08H,08H,08H

DB 0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH

DB 0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH

DB 0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

DB 08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H

DB 08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H

DB 08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H

DB 0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH

DB 0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH

DB 0CH,0CH,0CH,0CH

DB 08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H

DB 08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H

DB 08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H

DB 08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H

DB 0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH,0CH

DB 0CH,0CH,0CH

DB 08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H

DB 08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H

DB 08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H

DB 08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H

DB 08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H,08H

DB 01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H

DB 01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H

DB 01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H

DB 01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H

DB 01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H

DB 03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

DB 03H,03H,03H

DB 01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H

DB 01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H

DB 01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H

DB 01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H

DB 03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H

DB 03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H

DB 03H,03H,03H,03H

DB 01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H

DB 01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H

DB 01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H

DB 03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H

DB 03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H

DB 03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H

DB 01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H

DB 01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H

DB 01H,01H,01H,01H,01H

DB 03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H

DB 03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H

DB 03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H

DB 03H,03H,03H,03H,03H,03H,03H,03H

DB 01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H

DB 01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

DB 03H, 03H, 03H, 03H, 03H, 03H, 03H, 03H, 03H, 03H, 03H, 03H, 03H, 03H, 03H, 03H, 03H, 03H
DB 03H, 03H, 03H, 03H, 03H, 03H, 03H, 03H, 03H, 03H, 03H, 03H, 03H, 03H, 03H, 03H, 03H, 03H
DB 03H, 03H, 03H, 03H, 03H, 03H, 03H, 03H, 03H, 03H, 03H, 03H, 03H, 03H, 03H, 03H, 03H, 03H
DB 03H, 03H, 03H, 03H, 03H, 03H, 03H, 03H, 03H, 03H, 03H, 03H, 03H

DB 01H, 01H, 01H, 01H, 01H, 01H, 01H, 01H, 01H, 01H, 01H, 01H, 01H, 01H, 01H, 01H, 01H, 01H
DB 01H, 01H, 01H, 01H, 01H, 01H, 01H, 01H, 01H, 01H, 01H, 01H, 01H, 01H, 01H, 01H

DB 03H, 03H, 03H, 03H, 03H, 03H, 03H, 03H, 03H, 03H, 03H, 03H, 03H, 03H, 03H, 03H, 03H, 03H
DB 03H, 03H, 03H, 03H, 03H, 03H, 03H, 03H, 03H, 03H, 03H, 03H, 03H, 03H, 03H, 03H, 03H, 03H
DB 03H, 03H, 03H, 03H, 03H, 03H, 03H, 03H, 03H, 03H, 03H, 03H, 03H, 03H, 03H, 03H, 03H, 03H
DB 03H, 03H, 03H, 03H, 03H, 03H, 03H, 03H, 03H

DB 01H, 01H, 01H, 01H, 01H, 01H, 01H, 01H, 01H, 01H, 01H, 01H, 01H, 01H, 01H, 01H, 01H, 01H
DB 01H, 01H, 01H, 01H, 01H, 01H, 01H, 01H, 01H, 01H, 01H, 01H, 01H, 01H, 01H, 01H, 01H, 01H
DB 01H, 01H, 01H, 01H, 01H

DB 03H, 03H, 03H, 03H, 03H, 03H, 03H, 03H, 03H, 03H, 03H, 03H, 03H, 03H, 03H, 03H, 03H, 03H
DB 03H, 03H, 03H, 03H, 03H, 03H, 03H, 03H, 03H, 03H, 03H, 03H, 03H, 03H, 03H, 03H, 03H, 03H
DB 03H, 03H, 03H, 03H, 03H, 03H, 03H, 03H, 03H, 03H, 03H, 03H, 03H, 03H, 03H, 03H, 03H, 03H

DB 01H, 01H, 01H, 01H, 01H, 01H, 01H, 01H, 01H, 01H, 01H, 01H, 01H, 01H, 01H, 01H, 01H, 01H
DB 01H, 01H, 01H, 01H, 01H, 01H, 01H, 01H, 01H, 01H, 01H, 01H, 01H, 01H, 01H, 01H, 01H, 01H
DB 01H, 01H, 01H, 01H, 01H, 01H, 01H, 01H, 01H, 01H, 01H, 01H, 01H, 01H, 01H, 01H, 01H, 01H

DB 03H, 03H, 03H, 03H, 03H, 03H, 03H, 03H, 03H, 03H, 03H, 03H, 03H, 03H, 03H, 03H, 03H, 03H
DB 03H, 03H, 03H, 03H, 03H, 03H, 03H, 03H, 03H, 03H, 03H, 03H, 03H, 03H, 03H, 03H, 03H, 03H
DB 03H, 03H, 03H, 03H

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

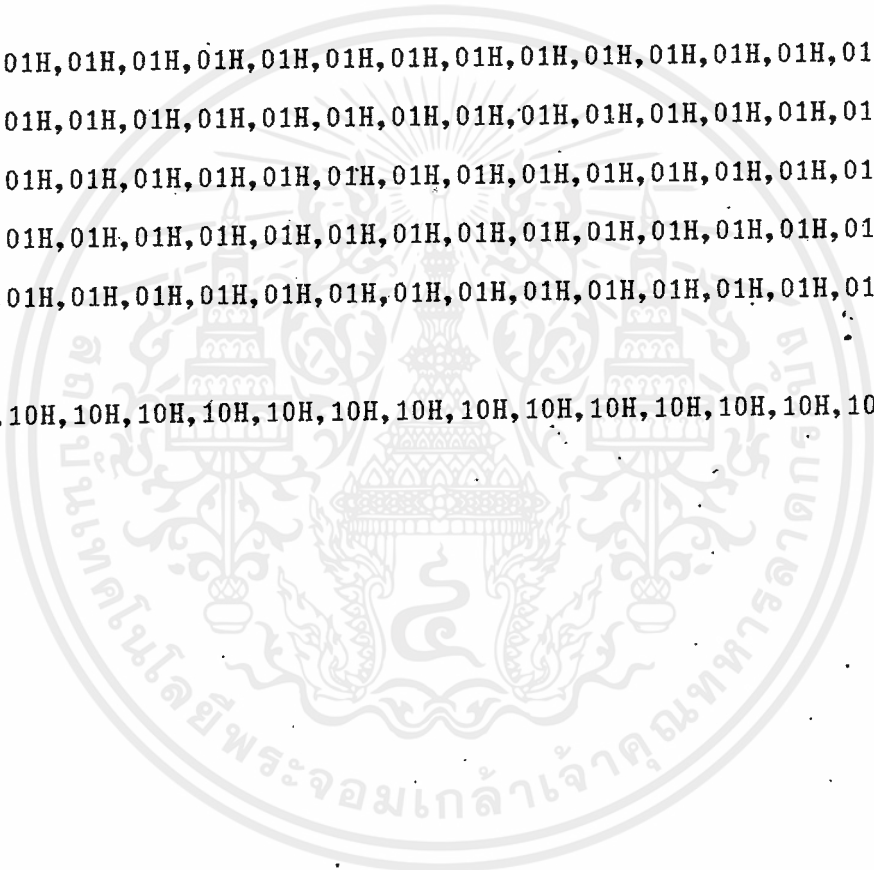
DB 01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H
 DB 01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H
 DB 01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H
 DB 01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H

DB 03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H,03H
 DB 03H,03H,03H

DB 01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H
 DB 01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H
 DB 01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H
 DB 01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H
 DB 01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H,01H

DB 10H,10H,10H,10H,10H,10H,10H,10H,10H,10H,10H,10H,10H,10H,10H,10H,10H,10H,10H

END



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
 ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การออกแบบ ฟิลเตอร์

ฟิลเตอร์ที่จะเป็น LC ฟิลเตอร์

- ตัวเหนี่ยวนำ

ในส่วนที่เป็นกระแสตรง DC

$$NI = HL$$

$$NI = nBI$$

ถ้าต้องการให้ตัวเหนี่ยวนำมีลักษณะของ B-H Curve เป็นเส้นตรง (Linear) จะต้องการให้ ศักย์แม่เหล็ก (Magnetic Potential) มากดคร่อมที่ช่องอากาศ (Air Gap) คือ เพิ่มจุดอิมิตัวหิมะค่าสูงขึ้น

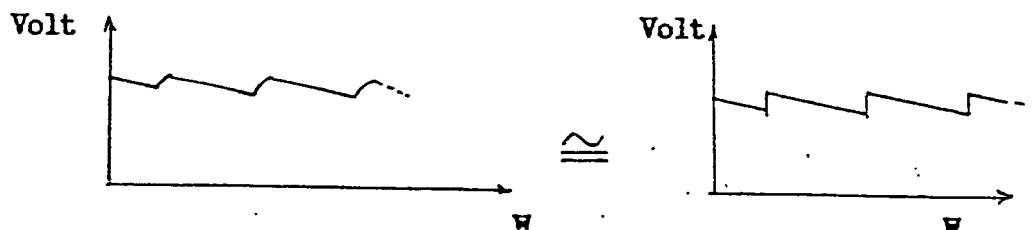
ในส่วนที่เป็นกระแสสลับ AC

$$V = 4.44fNBA$$

ในทาง AC ค่าความหนาแน่นฟลักซ์แม่เหล็ก จะขึ้นอยู่กับแรงดัน ที่ตกคร่อมแคปซอร์ของ DC ค่าความหนาแน่นฟลักซ์จะขึ้นอยู่กับปริมาณของกระแสที่ไหลผ่านจากขั้วนำทศทั้งสอง สามารถออกแบบตัวเหนี่ยวนำให้มีค่าเท่ากับ 0.5 mH (มิลลิเฮนรี่)

- ตัวเก็บประจุ

สำหรับการหาค่าของตัวเก็บประจุนั้น เราจะทำการ ประมาณช่วงที่ทำการประจุ และกิสซาร์ตัวเก็บประจุ ในลักษณะของเส้นตรง ดังรูป



รูป 23 แสดงการประมาณเป็นเส้นตรงการกรองประจุผ่าน C

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โดยที่ $Q (RL) =$ ประจุที่จ่ายให้กับโหลด ในรูปของกระแส

$T =$ คาบเวลาที่(คิสซาร์จ)

ในการประจุตัวเก็บประจุด้วยค่า แรงดันกระเพื่อม(RippleVoltage) จา
 นานประจุที่ได้รับคือ

$$Q_c = C * V_R$$

และ Q_c จะจ่ายให้กับโหลดดังนี้

$$Q_c = Q(R_L)$$

จากสมการทั้งหมดจะได้

$$I_c * T_{on} = C * V_R$$

$$= Q_c$$

$$\text{ดังนั้น } C = \frac{I_c * T_{on}}{V_R}$$

จากการคำนวณ จะได้ค่า

$$C = 1.1 \text{ uf}$$

แต่ในทางปฏิบัติ จะใช้

$$C = 2 \text{ uf}$$

โดยลักษณะการออกแบบ จะต้องมีค่าทั้งสองตัว จะต้องรับได้ดังนี้

$$E = 1/2 (C * V^2) \quad \text{และ} \quad E = 1/2 (L * I^2)$$

E คือ ค่าพลังงานที่สะสมอยู่ (Joule)

V คือ ค่าศักย์ไฟฟ้า (Volt)

L คือ ค่าตัวเหนี่ยวนำ (Henry)

I คือ ค่ากระแส (Amphere)

C คือ ค่าตัวเก็บประจุ (Farad)

สูตรการหา L & C

$$t_{on} = \frac{1}{2} \left(\frac{1 - (E_o/E_u)}{f} \right)$$

$$L = \frac{E_o t_{on}}{0.25 I_o}$$

$$C = \frac{I_o}{f \cdot V}$$



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
 ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

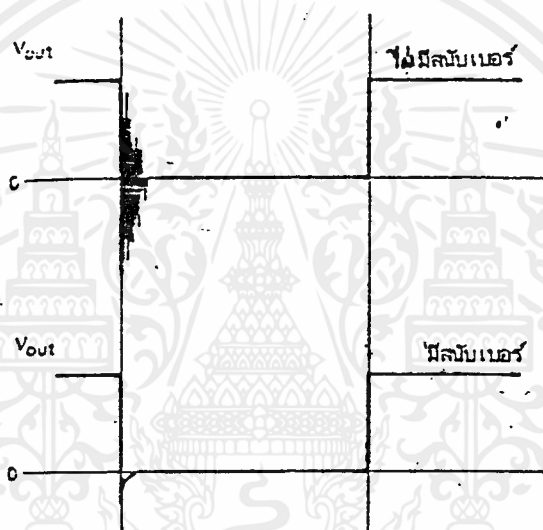
วงจรป้องกันอัตราการเปลี่ยนแปลงแรงดันไฟฟ้าสูง (Snubber circuit)

เพื่อเป็นการป้องกันจากอัตราการเพิ่มของแรงดันไฟฟ้าที่

น้อยกว่า $(di/dt)_{max}$ สูงสุดที่พบได้ สำหรับ อินดักทีฟโหลด

$$C_S = (2/9)I_m * t_{if} / V_s \quad \text{----- (ฟารัด)}$$

$$R_S = t_{on} / 5C_S \quad \text{----- (โอห์ม)}$$



รูป 24. แสดงสัญญาณเปรียบเทียบเมื่อมีวงจร snubber

ส่วนวงจรแยกกราวด์เพื่อความปลอดภัย

เอาท์พุทของคอมพาราเตอร์ที่ได้จากวงจรป้องกันกระแสเกิน

วงจรป้องกันแรงดันไฟฟ้านี้จะนำมา ขับทรานซิสเตอร์ เพื่อให้เอาต์พุตขับเปิดทางานอีกที่
 ทรานซิสเตอร์ที่แยกกราวด์ระหว่างวงจรตรวจวัดความผิดปกติ ซึ่งมีการกราวด์ร่วมกับวงจรกำลัง
 และวงจรควบคุมการทำงานของมอเตอร์ซึ่งเป็นวงจรกำลังค่า

แบตเตอรี่

แบตเตอรี่เป็นแหล่งพลังงานสะสมของ UPS ช่วงเวลาแบ็กอัพขึ้นอยู่กับโหลดของ UPS และขนาดของแบตเตอรี่ แบตเตอรี่ที่นิยมใช้มี 2 แบบ คือนิกเกิล-แคดเมียม และชนิดตะกั่ว-สังกะสี ชนิดนิกเกิลแคดเมียมมีอัตราการอัดประจุ/คายประจุดีกว่า มีช่วงอุณหภูมิใช้งานที่กว้าง และอายุการใช้งานสูงกว่า แต่ก็มีราคาสูงกว่าด้วย ชนิดตะกั่ว-สังกะสีมีข้อดีขยในแง่ความปลอดภัยต่อผู้ใช้ และการผูกเรือนของอุปกรณ์มากกว่า ปัจจุบันมีแบตเตอรี่ชนิดที่ไม่ต้องเติมน้ำกลั่น และไม่ต้องบำรุงรักษา (maintenance-free) ซึ่งนิยมใช้กับ UPS กันอย่างแพร่หลาย

แบตเตอรี่ทั้ง 2 ชนิด แบ่งตามอัตราการอัดประจุ/คายประจุได้ 3 ประเภทคือ สูง (H) กลาง (M) ต่ำ (L) ประเภทที่ต้องการกระแสสูงในระยะเวลายันสั้น ส่วนประเภทอัตราต่ำเหมาะกับงานที่ต้องจ่ายกระแสต่ำเป็นเวลานาน

การกำหนดขนาดของแบตเตอรี่ มักกำหนดจากผลคูณของกระแสที่แบตเตอรี่จ่ายออกมากับเวลาที่แบตเตอรี่จ่ายกระแส มีหน่วยเป็น แอมป์-ชั่วโมง หรือ Ah (Ampere-hours) ซึ่งขึ้นอยู่กับขนาด และอัตราประจุ/คายประจุของแบตเตอรี่ การเลือกแบตเตอรี่ต้องเลือกชนิดก่อน แล้วจึงเลือกขนาด ชนิดของแบตเตอรี่ยังต้องคำนึงถึงความเหมาะสม ประสิทธิภาพ อายุการใช้งาน ตลอดจนการบำรุงรักษา สำหรับการเลือกขนาดจำเป็นต้องมีข้อมูลดังต่อไปนี้ คือ :

- กำลังของโหลด (P)
- ช่วงเวลาแบ็กอัพ (tb)
- เพาเวอร์แฟคเตอร์ของโหลด (PF)
- ประสิทธิภาพของอินเวอร์เตอร์ (η_{in})
- แรงดันต่ำสุดของอินเวอร์เตอร์ (V_{min})
- แรงดันต่ำสุดของแบตเตอรี่คือ เซลล์ (end voltage หรือ

final voltage $V_{min}/cell$) แล้วจึงนำมาคำนวณตามขั้นตอนดังกล่าวต่อไปนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กระแสออกสูงสุดของแบตเตอรี่ (1b)

$$(1a) = \frac{P \times PF}{N \times V_{min}} \text{ แอมแปร์}$$

จำนวนเซลล์ของแบตเตอรี่ ที่ต้องนำมาต่ออนุกรมกับ

$$N = \frac{V_{min}}{V_{min}/cell} \text{ เซลล์}$$

กำลังวัตต์ของแบตเตอรี่แต่ละตัว ที่ต้องจ่าย

$$\text{Wattles/cell} = \frac{P \times PF}{n \times n} \text{ วัตต์}$$

การใช้ 1b ในการเลือกขนาดแบตเตอรี่ เป็นการชดเชยความจุที่ลดลงของแบตเตอรี่ เมื่ออายุใช้งานมากขึ้นแล้ว เนื่องจากแรงดันแบตเตอรี่ตอนจ่ายโหลดมีค่าสูงกว่าแรงดันต่ำสุดที่ใช้คำนวณ แต่ถ้าไม่ต้องการเพื่อขนาดแบตเตอรี่ก็สามารถใช้กำลังวัตต์ต่อเซลล์ในการเลือกได้

* ตรวจสอบขบวนการแปลงความถี่สูง
ทฤษฎีแม่เหล็กไฟฟ้า

รูปที่ 25 แสดงการนำลวดตัวนำมาพันเป็นขดลวด มีแหล่งจ่ายไฟส่งกำลังผ่านสวิตช์ เมื่อสวิตช์ต่อวงจรกระแสไฟฟ้าผ่านขดลวด ทำให้เกิดสนามแม่เหล็กรอบตัวนำ สนามแม่เหล็กรอบขดลวดนี้เรียกว่า ฟลักซ์ (flux)

รูปที่แสดงการพันขดลวดรอบแท่งวัสดุ ที่กลายเป็นแม่เหล็กได้ (เช่น เหล็ก, นิกเกิล, โคบอลต์ เรียกรวมว่า เพอโรแมกเนติก) แท่งวัสดุนี้ทำให้เกิดการเหนี่ยวนำสนามแม่เหล็กผล จึงทำให้ฟลักซ์หนาแน่นกว่า ฟลักซ์จะวิ่งอยู่ในแท่งวัสดุต่อถึงกันตลอดการเหนี่ยวนำแม่เหล็กจะสูงขึ้น ดังแสดงในรูปที่

ปกติฟลักซ์แม่เหล็กจะถูกระบุเป็นความหนาแน่น (flux density) มีสัญลักษณ์เป็น B มีหน่วยเป็นเกาส์ (ปัจจุบันนิยมใช้เวเบอร์ต่อตารางเมตร) และความเข้มของสนามแม่เหล็ก (magnetic field intensity) มีสัญลักษณ์เป็น H มีหน่วยเป็นเออร์สเตล (ปัจจุบันนิยมใช้แอมป์ต่อเมตร) โดย

$$H = \frac{0.4}{4} NI \quad \dots 1$$

เมื่อ N คือ จำนวนรอบของขดลวด

1 คือ กระแสที่ไหลผ่านขดลวด

1 คือ ความยาวของแกน

ความสัมพันธ์ระหว่างความหนาแน่นของฟลักซ์ ต่อความเข้มของสนามแม่เหล็กจะเป็น

$$H = \frac{B}{\mu} \quad \dots 2$$

μ (มิว) คือค่ายอมรับ (permeability) ของแกนหมายถึง คุณสมบัติของวัสดุในอันที่ยอมให้อานาแม่เหล็กผ่านไปได้มากหรือน้อย สำหรับอากาศมี $\mu=1$

ทฤษฎีหม้อแปลง

จากที่ได้กล่าวมาแล้วว่า เมื่อมีกระแสไหลผ่านขดลวดที่พันรอบแกนปิด จะเกิดฟลักซ์เหนี่ยวนำในแกน ถ้ากระแสที่จ่ายให้มีการเปลี่ยนแปลงไปมา ฟลักซ์จะเปลี่ยนแปลงไปด้วย ถ้าเรานำขดลวดอีกขดมาพันรอบแกนนี้จะเกิดแรงดัน และกระแสเหนี่ยวนำเราเรียกว่า หม้อแปลง

รูปที่แสดงลักษณะหม้อแปลงแบบง่าย ๆ ขดลวดทางอินพุตเรียกว่าขดปฐมภูมิ และทางเอาต์พุตเรียกว่าทุติยภูมิ ความสัมพันธ์ของจำนวนรอบขดลวด และแรงดันจะมีอัตราส่วนคงที่คือ

$$N_p = \frac{V_p}{V_s} \dots\dots 3$$

$$N_s = \frac{V_s}{V_p}$$

N_p และ V_p คือ จำนวนรอบขดลวด และแรงดันด้านปฐมภูมิ

N_s และ V_s คือ จำนวนรอบขดลวด และแรงดันด้านทุติยภูมิ

แรงดันเหนี่ยวนำจะเป็นไปตามการเปลี่ยนแปลงของความหนาแน่นของฟลักซ์ ถ้าเราให้ B อยู่ในช่วงที่เป็นเส้นตรงเราจะได้

$$B_{max} = \frac{V_p \times 10^8}{K_f N_p A_e} \dots\dots 4$$

เมื่อ B_{max} คือ ความหนาแน่นของฟลักซ์ สูงสุด

V_p คือ แรงดันด้านปฐมภูมิเป็นโวลต์

f คือ ความถี่เป็นเฮิรตซ์

N_p คือ จำนวนรอบขดลวดปฐมภูมิ

A_e คือ พื้นที่หน้าตัดของแกน เป็นตารางเซนติเมตร

K คือ ค่าคงที่มีค่า 4.44 สำหรับแรงดันรูปไซน์ และ 4.0 สำหรับแรงดันรูปสี่เหลี่ยม

ปกติค่า B_{max} จะเลือกที่ค่า $B_{sat}/2$ เพื่อให้แน่ใจว่าทำงานในช่วงที่เป็นเส้นตรง

ตัวประกอบที่สำคัญอีกสิ่งหนึ่ง คือ พื้นที่สำหรับการวางเส้นลวดตัวนำ ซึ่งปกติจะพันอยู่บนตัวบ็อบบิน (Bobbin) ค่านี้จะต้องเลือกให้เหมาะสมด้วย สำหรับความสามารถในการจ่ายกำลังของแกนเหล็กคำนวณจาก

$$P_{out} = (1.16 B_{max} f d A_e A_c) \times 10^{-9}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เมื่อ P_{out} คือ กำลังที่จ่ายให้เป็นวัตต์

d คือ ความหนาแน่นของกระแสไฟในลวดตัวนำเป็นแอมป์ต่อตารางเมตร

A_e คือ พื้นที่หน้าตัดของแกน เป็นตารางเซนติเมตร

A_c คือ พื้นที่สำหรับพันขดลวดบนขีบบิ้น เป็นตารางเซนติเมตร

บางบริษัทพื้นที่ของขีบบิ้นใช้สัญลักษณ์ w_a หรือหน้าค่าขีบบิ้น และ ความหนาแน่นของกระแสในสายใช้หน่วย เซอร์คูลาร์มิลล์ต่อแอมป์ (c.m./A) ใช้สัญลักษณ์ D โดย

$$d = \frac{1.27 \times 10^e}{D} \dots 6$$

นำค่า d แทนลงในสมการ 5 จะได้

$$P_{out} = \frac{(1.47fB_{max}A_eA_c)}{D} \times 10^{-3} \dots 7$$

ค่า D จะเทียบกับค่า 1000 เซอร์คูลาร์มิลล์ต่อแอมป์ ในทางปฏิบัติจะใช้ค่าเพียง 200-400 เพื่อความปลอดภัยของสาย

สมการที่ 7 นี้ใช้สำหรับคำนวณ และเลือกหาขนาดของแกนที่จะใช้พัน

ขดลวด

การเลือกลักษณะแกนและชนิดของวัสดุ

วัสดุที่ทำเป็นแกนหม้อแปลงทั่วไป สามารถทำเป็นแกนหม้อแปลงความถี่สูงได้ แต่ที่นิยมใช้มากที่สุดคือ วัสดุเฟอร์ไรต์ เพราะความหนาแน่นของฟลักซ์อยู่ในช่วง เพราะความหนาแน่นของฟลักซ์อยู่ในช่วง -3000-5000 เกาส์ มีการสูญเสียต่ำ ประกอบง่าย แกนเฟอร์ไรต์มีรูปร่าง และขนาดมากมายมีทั้งลักษณะแกนที่เป็น EE, EI, EC ซึ่งใช้กับกำลังไฟสูงๆ และแกนพอด (POT) เหมาะสำหรับใช้กับกำลังไฟปานกลาง (20-200 วัตต์) ตารางที่ 1 แสดงแกนเฟอร์ไรต์ของบริษัทต่างๆ ตารางที่ 2 แสดงขนาดของสายที่ใช้พันตามมาตรฐาน AWG (American Wire Gauge)

ขั้นตอนการออกแบบ

1. เลือกวัสดุที่ใช้ทำแกนและลักษณะแกน
2. เลือก B_{max} จากแผ่นข้อมูลของวัสดุที่เราเลือก โดยจากแผ่นข้อมูล เราจะได้ค่า B_{sat} ที่ 100 C เราจะเลือกค่า B_{max} ที่แรงดันโวลต์ต่ำสุดที่อยู่ในช่วงทำงานให้มีค่าน้อยกว่า B_{sat} เล็กน้อย

Z

3. คำนวณหากระแสสูงสุดของหม้อแปลงด้านปฐมภูมิ (I_p) ขณะที่แรงดันโวลต์ต่ำสุด

$$I_p = \frac{P_{out}}{V_{in}}$$

4. เลือกขนาดของแกน และ Bobbin จากสมการที่ 7 การเลือกพื้นที่หน้าตัดของแกน ในการทำงานจริง และพื้นที่หน้าตัด Bobbin ปกติจะให้สูงกว่าค่าที่คำนวณไว้อย่างน้อย 50%

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5. เลือกขนาดของสาย และจำนวนรอบด้านปฐมภูมิ

ขนาดของสาย = ความหนาแน่นของกระแสในสาย x Ip

ในทางปฏิบัติขดลวดปฐมภูมิ จะกินพื้นที่ 30% ของ Bobbin ถ้าพันแล้ว ขดลวดปฐมภูมิต่ำกว่า 60 รอบ ขนาดของ Bobbin จะใช้ได้

จำนวนรอบ Np = Vin, min (DC) / (4 Bmax ΔV Ae)

โดย Vin, min = 2 * Vmin (ac)

ΔV แรงดันกระเพื่อมหลังจากการกรอง

6. คำนวณหา Bmax ที่ vin ค่าสูงสุด

B max = Vp x 10^8 / (4fNpAe)

7. คำนวณจำนวนรอบด้านทุติยภูมิ

Ns = NpVs / Vs

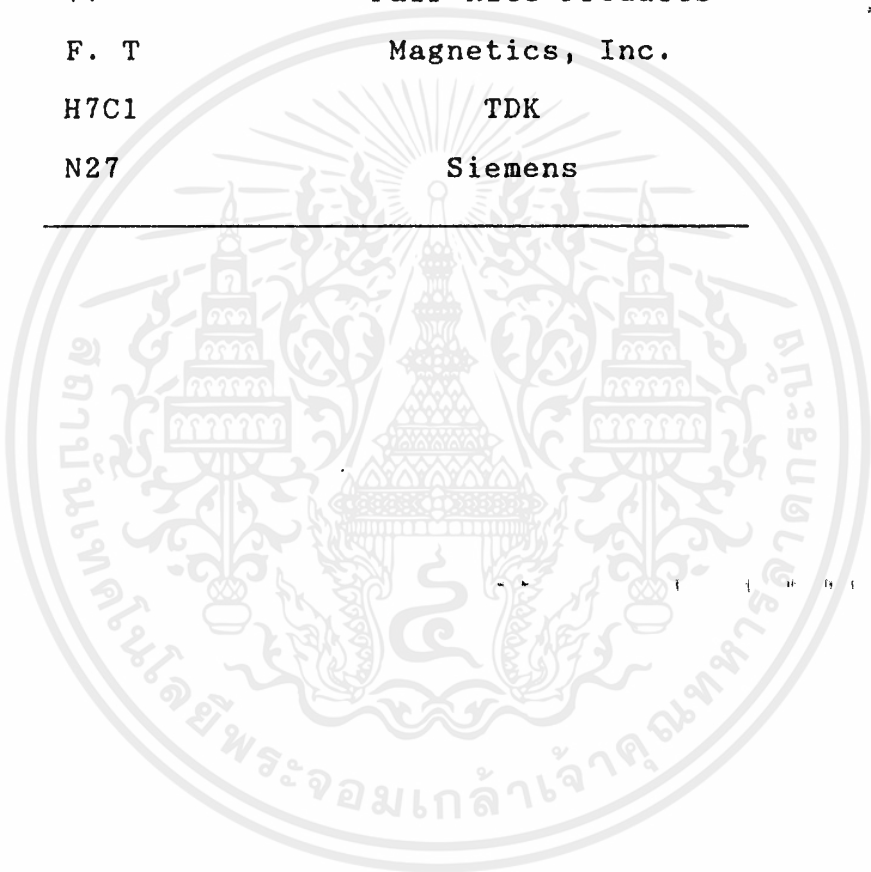
8. คำนวณหาขนาดของด้านทุติยภูมิ ซึ่งมีค่าเท่ากับ ความหนาแน่นของ กระแสด้านทุติยภูมิ กับกระแสทุติยภูมิ เทียบตารางหาขนาดด้วย

9. ตรวจสอบความแน่นพอดี ของการพันขดลวดปฐมภูมิ และทุติยภูมิโดย คัดจากความกว้างของ Bobbin หั้วด้วยเส้นผ่านศูนย์กลางของสาย เพื่อหา จำนวนชั้นได้ ก็หาความหนาของชั้น โดยเท่ากับจำนวนชั้น คูณขนาดสาย หาทั้ง ทางปฐมภูมิ และทุติยภูมิ แล้วนำมาบวกกัน พิจารณาว่าความหนาน้อยกว่าความสูง ของ Bobbin หรือไม่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตารางที่ 4: แกนเฟอร์ไรต์บริษัทต่างๆ

Material	Manufacturer
3C8	Ferroxcube
24B	Stackpole
77	Fair-Rite Products
F. T	Magnetics, Inc.
H7C1	TDK
N27	Siemens



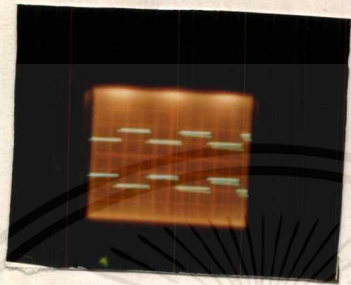
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตารางที่ 5 แสดงแผ่นข้อมูลของสายที่ใช้พันหม้อแปลง

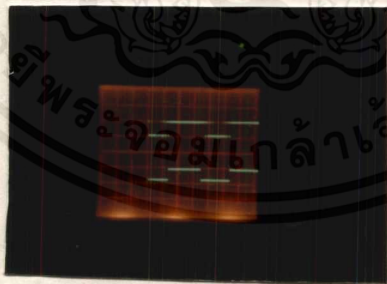
AWC	Diameter over insulation (inches)		Nominal conductor mil area	Resistance per 1000 ft	Current capacity in	AWC
	Min	Max.			Miliamperes	
					based on 1000 c.m.JA	
8	0.130	0.133	16510	0.6281	16510	8
9	0.166	0.199	13090	0.7925	13090	9
10	0.104	0.106	10380	0.9955	10380	10
11	0.0928	0.0948	8230	1.261	8226	11
12	0.0829	0.0847	6530	1.585	6529	12
13	0.0741	0.0757	5180	2.001	5184	13
14	0.0667	0.0682	4110	2.524	4109	14
15	0.0595	0.0609	3260	3.181	3260	15
16	0.0532	0.0545	2880	4.020	2581	16
17	0.0476	0.0488	2050	5.054	2052	17
18	0.0425	0.0437	1620	6.385	1624	18
19	0.0380	0.0391	1290	8.045	1289	19
20	0.0340	0.0351	1020	10.13	1024	20
21	0.0302	0.0314	812	12.77	812.3	21
22	0.0271	0.0281	640	16.20	640.1	22
23	0.0244	0.0253	511	20.30	510.8	23
24	0.0218	0.0227	404	25.67	404	24
25	0.0195	0.0203	320	32.37	320.4	25
26	0.0174	0.0182	253	41.20	252.8	26
27	0.0157	0.0164	202	51.44	201.6	27
28	0.0141	0.0147	159	65.31	158.8	28
29	0.0127	0.0133	125	81.21	127.7	29
30	0.0113	0.0119	100	103.7	100	30
31	0.0101	0.0108	79.2	103.9	79.21	31
32	0.0091	0.0098	64	162	64	32
33	0.0081	0.0088	50.4	205.7	50.41	33
34	0.0072	0.0078	39.7	261.3	39.69	34
35	0.0064	0.0070	31.4	330.7	31.36	35

เอกสารนี้เป็นเอกสารที่สงวนลิขสิทธิ์สำหรับการใช้งานเพื่อการศึกษาเท่านั้น มิใช่ผูกขาดให้นำไปใช้ประโยชน์ทางการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น ยกเว้นหม้อแปลงเหนี่ยวนำและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

พจนานุกรม

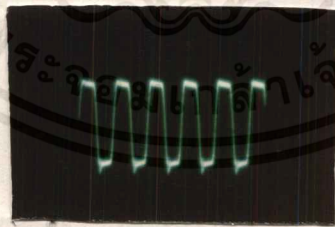
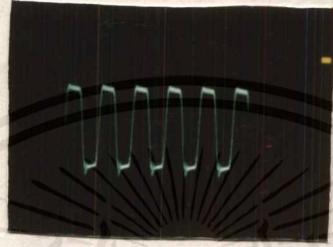


สัญญาณ triq σ_1, σ_3 ใน หมท inverter



สัญญาณ triq σ_2, σ_4 MOSFET ใน หมท inverter

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

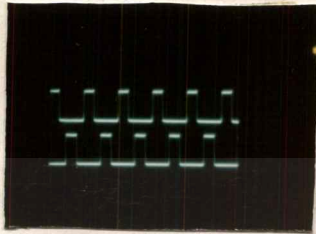


สัญญาณที่วัดได้ที่จุดสมมติบน บลูมทูลี

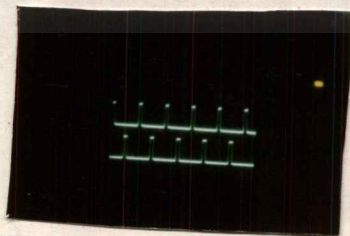
จว นพ้อมแปลง 60kHz ที่ออกพาสก

Push Pull inverter

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



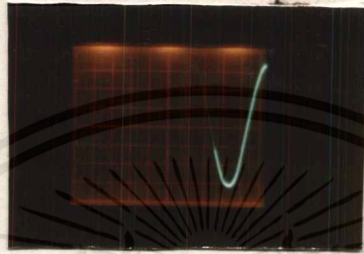
4
ปรับ duty cycle ได้กว้างสุด
เพื่อ Vdc feedback มีค่าเท่า



5
ปรับ duty cycle ได้แคบ กรณี V feedback
มีค่าสูง

สัญญาณที่ออกจากขา 11 ของ TL494

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



สัญญาณ sine wave 220 V_{rms} 50 Hz

ที่ออกจก 50 Hz PWM inverter

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับกาใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สรุปผลและวิจารณ์

จากการตรวจสอบสัญญาณที่ขา output ของ inverter และผ่านวงจรกรองความถี่แล้ว เมื่อป้อน power line เข้าไป จะได้สัญญาณรูป sine wave $220\text{ V}_{\text{rms}}$ 50 H ตามที่ต้องการนั่นคือ วงจร inverter ของเราใช้งานได้ เมื่อลองใช้ Battery ดูเราพบว่า เมื่อจับสัญญาณที่หม้อแปลงจะเกิดศักดาสไปค์สูงมาก เนื่องจากเราพันหม้อแปลงไม่ดี เกิดฟลักซ์ตกค้างอันเป็นสาเหตุของ leakage inductance ทำให้เกิดศักดาสไปค์ ดังนั้นเราจึงต้องพันหม้อแปลงใหม่ โดยการพันขดลวดทั้ง 2 ของด้านปฐมภูมิไปพร้อมกัน เพื่อให้ฟลักซ์ที่เกิดขึ้นที่ขดลวดทั้ง 2 โกล้เคียงกัน และฟลักซ์ตกค้างมีค่าน้อย ศักดาสไปค์ไม่สูงมาก ซึ่งเราสามารถใช้งานวงจรสับเบอร์ป้องกันได้ และเมื่อวัดสัญญาณที่ขดลวดทุติยภูมิ และที่ inverter ก็จะได้สัญญาณ sine wave 50 H $220\text{ V}_{\text{rms}}$ ตามทฤษฎีที่เราต้องการ

หนังสืออ้างอิง

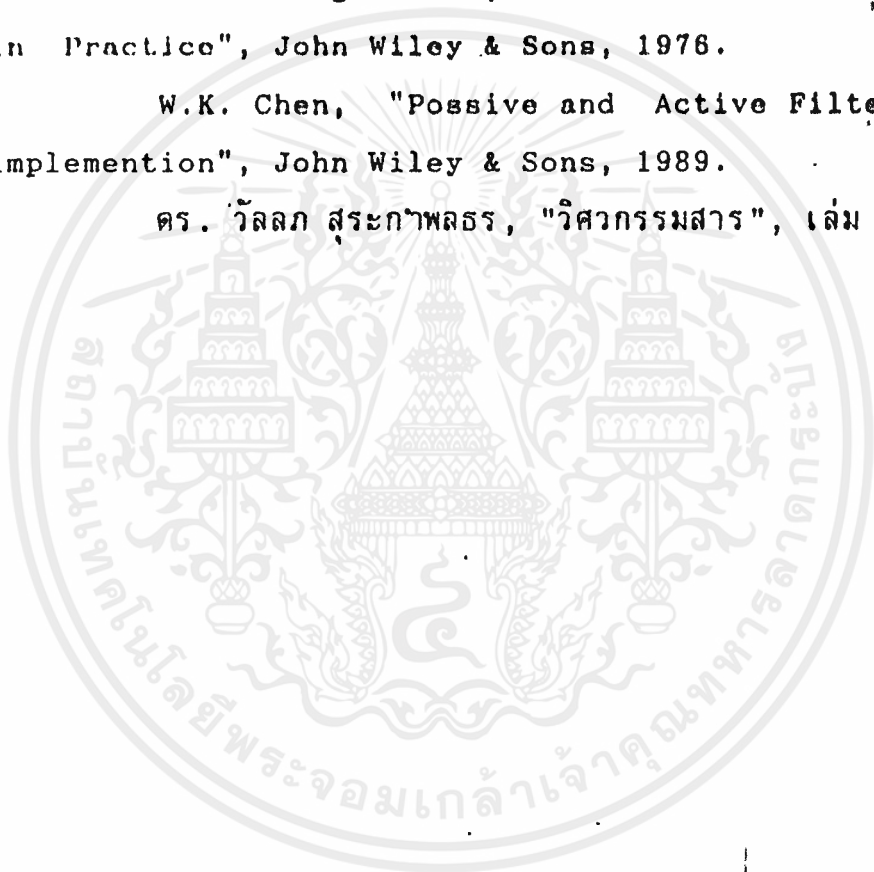
George Chryssis, "High frequency switching power supply Theong and Desion", Mcgraw-Hill, 1984.

Net Mohan, "Power Electronics: Converter Application and Desion", John Wiley & Sons, 1989.

Otmar Kilgenstein, "Switched-Mode Power Supplies in Practico", John Wiley & Sons, 1976.

W.K. Chen, "Possive and Active Filter Theory and implementation", John Wiley & Sons, 1989.

ดร. วิมล สุธะภาพลธร, "วิศวกรรมสาร", เล่ม 4 2531



CD40106BM/CD40106BC Hex Schmitt Trigger

CD40106BM/CD40106BC

General Description

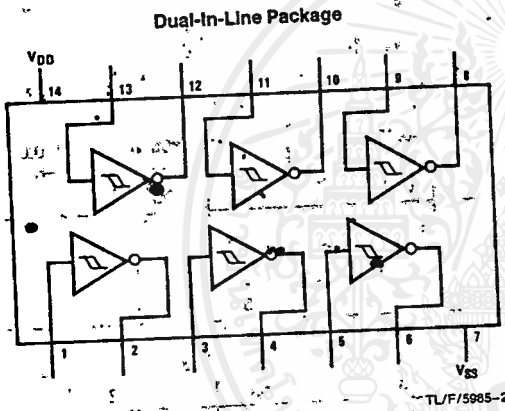
The CD40106B Hex Schmitt Trigger is a monolithic complementary MOS (CMOS) integrated circuit constructed with N and P-channel enhancement transistors. The positive and negative-going threshold voltages, V_{T+} and V_{T-} , show low variation with respect to temperature (typ 0.0005V/°C at $V_{DD} = 10V$), and hysteresis, $V_{T+} - V_{T-} \geq 0.2 V_{DD}$ is guaranteed.

All inputs are protected from damage due to static discharge by diode clamps to V_{DD} and V_{SS} .

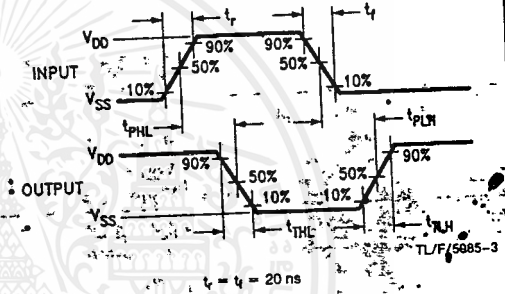
Features

- Wide supply voltage range 3V to 15V
- High noise immunity 0.7 V_{DD} (typ.)
- Low power Fan out of 2 driving 74L or 1 driving 74LS
- Hysteresis 0.4 V_{DD} (typ.)
0.2 V_{DD} guaranteed
- Equivalent to MM54C14/MM74C14
- Equivalent to MC14584B

Connection Diagram

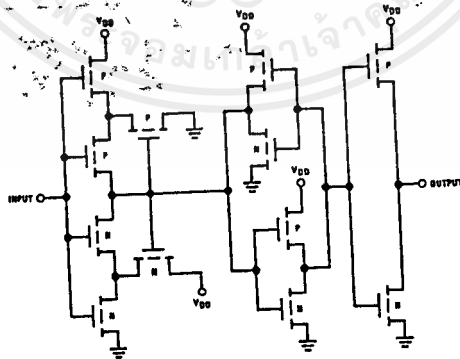


Switching Time Waveforms



Order Number CD40106B*
*Please look into Section 8, Appendix D for availability of various package types.

Schematic Diagram



Absolute Maximum Ratings (Notes 1 & 2)

If Military/Aerospace specified devices are required, contact the National Semiconductor Sales Office/Distributors for availability and specifications.

DC Supply Voltage (V_{DD})	-0.5 to $\pm 18 V_{DC}$
Input Voltage (V_{IN})	-0.5 to $V_{DD} + 0.5 V_{DC}$
Storage Temperature Range (T_S)	-65°C to +150°C
Power Dissipation (P_D)	
Dual-In-Line	700 mW
Small Outline	500 mW
Lead Temperature (T_L)	
(Soldering, 10 seconds)	260°C

Recommended Operating Conditions (Note 2)

DC Supply Voltage (V_{DD})	-3 to 15 V_{DC}
Input Voltage (V_{IN})	0 to $V_{DD} V_{DC}$
Operating Temperature Range (T_A)	
CD40106BM	-55°C to +125°C
CD40106BC	-40°C to +85°C

DC Electrical Characteristics CD40106BM (Note 2)

Symbol	Parameter	Conditions	-55°C		+25°C			+125°C		Units
			Min	Max	Min	Typ	Max	Min	Max	
I_{DD}	Quiescent Device Current	$V_{DD} = 5V, V_{IN} = V_{DD} \text{ or } V_{SS}$		1.0			1.0		30	μA
		$V_{DD} = 10V, V_{IN} = V_{DD} \text{ or } V_{SS}$		2.0			2.0		60	μA
		$V_{DD} = 15V, V_{IN} = V_{DD} \text{ or } V_{SS}$		4.0			4.0		120	μA
V_{OL}	Low Level Output Voltage	$ I_O < 1 \mu A, V_{DD} = 5V$		0.05			0.05		0.05	V
		$V_{DD} = 10V$		0.05			0.05		0.05	V
		$V_{DD} = 15V$		0.05			0.05		0.05	V
V_{OH}	High Level Output Voltage	$ I_O < 1 \mu A, V_{DD} = 5V$	4.95		4.95	5		4.95		V
		$V_{DD} = 10V$	9.95		9.95	10		9.95		V
		$V_{DD} = 15V$	14.95		14.95	15		14.95		V
V_{T-}	Negative-Going Threshold Voltage	$V_{DD} = 5V, V_O = 4.5V$	0.7	2.0	0.7	1.4	2.0	0.7	2.0	V
		$V_{DD} = 10V, V_O = 9V$	1.4	4.0	1.4	3.2	4.0	1.4	4.0	V
		$V_{DD} = 15V, V_O = 13.5V$	2.1	6.0	2.1	5.0	6.0	2.1	6.0	V
V_{T+}	Positive-Going Threshold Voltage	$V_{DD} = 5V, V_O = 0.5V$	3.0	4.3	3.0	3.6	4.3	3.0	4.3	V
		$V_{DD} = 10V, V_O = 1V$	6.0	8.6	6.0	6.8	8.6	6.0	8.6	V
		$V_{DD} = 15V, V_O = 1.5V$	9.0	12.9	9.0	10.0	12.9	9.0	12.9	V
V_H	Hysteresis ($V_{T+} - V_{T-}$)	$V_{DD} = 5V$	1.0	3.6	1.0	2.2	3.6	1.0	3.6	V
		$V_{DD} = 10V$	2.0	7.2	2.0	3.6	7.2	2.0	7.2	V
		$V_{DD} = 15V$	3.0	10.8	3.0	5.0	10.8	3.0	10.8	V
I_{OL}	Low Level Output Current (Note 3)	$V_{DD} = 5V, V_O = 0.4V$	0.64		0.51	0.88		0.36		mA
		$V_{DD} = 10V, V_O = 0.5V$	1.6		1.3	2.25		0.9		mA
		$V_{DD} = 15V, V_O = 1.5V$	4.2		3.4	8.8		2.4		mA
I_{OH}	High Level Output Current (Note 3)	$V_{DD} = 5V, V_O = 4.6V$	-0.64		-0.51	-0.88		-0.36		mA
		$V_{DD} = 10V, V_O = 9.5V$	-1.6		-1.3	-2.25		-0.9		mA
		$V_{DD} = 15V, V_O = 13.5V$	-4.2		-3.4	-8.8		-2.4		mA
I_{IN}	Input Current	$V_{DD} = 15V, V_{IN} = 0V$		-0.10		-10^{-5}	-0.10		-1.0	μA
		$V_{DD} = 15V, V_{IN} = 15V$		0.10		10^{-5}	0.10		1.0	μA

Note 1: "Absolute Maximum Ratings" are those values beyond which the safety of the device cannot be guaranteed. They are not meant to imply that the devices should be operated at these limits. The table of "Recommended Operating Conditions" and "Electrical Characteristics" provides conditions for actual device operation.

Note 2: $V_{SS} = 0V$ unless otherwise specified.

Note 3: I_{OH} and I_{OL} are tested one output at a time.

CD40106BM/CD40106BC

DC Electrical Characteristics CD40106BC (Note 2)

Symbol	Parameter	Conditions	-40°C		+25°C			+85°C		Units
			Min	Max	Min	Typ	Max	Min	Max	
I _{DD}	Quiescent Device Current	V _{DD} = 5V		4.0			4.0		30	μA
		V _{DD} = 10V		8.0			8.0		60	μA
		V _{DD} = 15V		16.0			16.0		120	μA
V _{OL}	Low Level Output Voltage	I _{OL} < 1 μA								
		V _{DD} = 5V		0.05			0.05		0.05	V
		V _{DD} = 10V		0.05			0.05		0.05	V
		V _{DD} = 15V		0.05			0.05		0.05	V
V _{OH}	High Level Output Voltage	I _{OH} < 1 μA								
		V _{DD} = 5V	4.95		4.95	5		4.95		V
		V _{DD} = 10V	9.95		9.95	10		9.95		V
		V _{DD} = 15V	14.95		14.95	15		14.95		V
V _{T-}	Negative-Going Threshold Voltage	V _{DD} = 5V, V _O = 4.5V	0.7	2.0	0.7	1.4	2.0	0.7	2.0	V
		V _{DD} = 10V, V _O = 9V	1.4	4.0	1.4	3.2	4.0	1.4	4.0	V
		V _{DD} = 15V, V _O = 13.5V	2.1	6.0	2.1	5.0	6.0	2.1	6.0	V
V _{T+}	Positive-Going Threshold Voltage	V _{DD} = 5V, V _O = 0.5V	3.0	4.3	3.0	3.6	4.3	3.0	4.3	V
		V _{DD} = 10V, V _O = 1V	6.0	8.6	6.0	6.8	8.6	6.0	8.6	V
		V _{DD} = 15V, V _O = 1.5V	9.0	12.9	9.0	10.0	12.9	9.0	12.9	V
V _H	Hysteresis (V _{T+} - V _{T-}) Voltage	V _{DD} = 5V	1.0	3.6	1.0	2.2	3.6	1.0	3.6	V
		V _{DD} = 10V	2.0	7.2	2.0	3.6	7.2	2.0	7.2	V
		V _{DD} = 15V	3.0	10.8	3.0	5.0	10.8	3.0	10.8	V
I _{OL}	Low Level Output Current (Note 3)	V _{DD} = 5V, V _O = 0.4V	0.52		0.44	0.88		0.36		mA
		V _{DD} = 10V, V _O = 0.5V	1.3		2.25		0.9			mA
		V _{DD} = 15V, V _O = 1.5V	3.6		3.0	8.8		2.4		mA
I _{OH}	High Level Output Current (Note 3)	V _{DD} = 5V, V _O = 4.5V	-0.52		-0.44	-0.88		-0.36		mA
		V _{DD} = 10V, V _O = 9.5V	-1.3		-1.1	-2.25		-0.9		mA
		V _{DD} = 15V, V _O = 13.5V	-3.6		-3.0	-8.8		-2.4		mA
I _{IN}	Input Current	V _{DD} = 15V, V _{IN} = 0V		-0.30		-10 ⁻⁵	-0.30		-1.0	μA
		V _{DD} = 15V, V _{IN} = 15V		0.30		10 ⁻⁵	0.30		1.0	μA

AC Electrical Characteristics*

T_A = 25°C, C_L = 50 pF, R_L = 200k, t_r and t_f = 20 ns, unless otherwise specified

Symbol	Parameter	Conditions	Min	Typ	Max	Units
t _{PHL} or t _{PLH}	Propagation Delay Time from Input to Output	V _{DD} = 5V		220	400	ns
		V _{DD} = 10V		80	200	ns
		V _{DD} = 15V		70	160	ns
t _{THL} or t _{TLH}	Transition Time	V _{DD} = 5V		100	200	ns
		V _{DD} = 10V		50	100	ns
		V _{DD} = 15V		40	80	ns
C _{IN}	Average Input Capacitance	Any Input		5	7.5	pF
C _{PD}	Power Dissipation Capacity	Any Gate (Note 4)		14		pF

*AC Parameters are guaranteed by DC correlated testing.

Note 1: "Absolute Maximum Ratings" are those values beyond which the safety of the device cannot be guaranteed; they are not meant to imply that the devices should be operated at these limits. The table of "Recommended Operating Conditions" and "Electrical Characteristics" provides conditions for actual device operation.

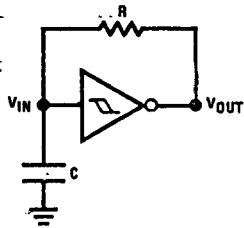
Note 2: V_{SS} = 0V unless otherwise specified.

Note 3: I_{OH} and I_{OL} are tested one output at a time.

Note 4: C_{PD} determines the no load ac power consumption of any CMOS device. For complete explanation see 54C/74C Family Characteristics Application Note, AN-90.

Typical Applications

Low Power Oscillator



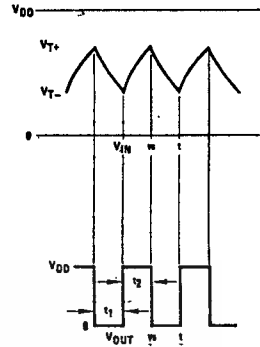
$$t_1 \approx RC \ln \frac{V_{T+}}{V_{T-}}$$

$$t_2 \approx RC \ln \frac{V_{DD} - V_{T-}}{V_{DD} - V_{T+}}$$

$$f \approx \frac{1}{RC \ln \frac{V_{T+}(V_{DD} - V_{T-})}{V_{T-}(V_{DD} - V_{T+})}}$$

Note: The equations assume $t_1 + t_2 \gg t_{PHL} + t_{PLH}$

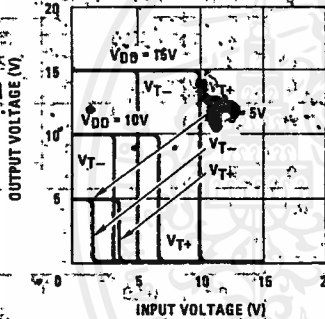
TL/F/5985-4



TL/F/5985-5

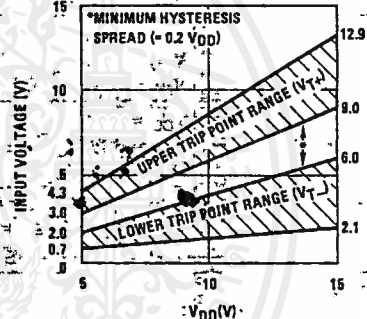
Typical Performance Characteristics

Typical Transfer Characteristics

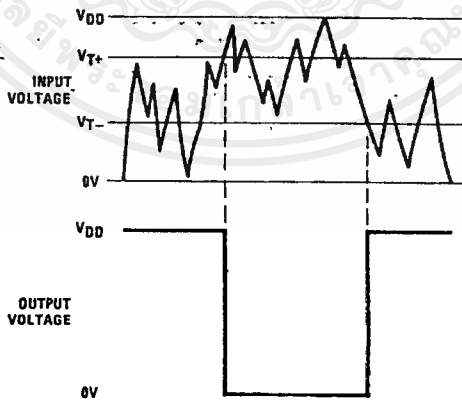


TL/F/5985-6

Guaranteed Trip Point Range



TL/F/5985-7



TL/F/5985-8

CMOS Schmitt Trigger —a Uniquely Versatile Design Component

National Semiconductor
Application Note 140
Gerald Buurma



INTRODUCTION

The Schmitt trigger has found many applications in numerous circuits, both analog and digital. The versatility of a TTL Schmitt is hampered by its narrow supply range, limited interface capability, low input impedance and unbalanced output characteristics. The Schmitt trigger could be built from discrete devices to satisfy a particular parameter, but this is a careful and sometimes time-consuming design.

The CMOS Schmitt trigger, which comes six to a package, uses CMOS characteristics to optimize design and advance into areas where TTL could not go. These areas include: interfacing with op amps and transmission lines, which operate from large split supplies, logic level conversion, linear operation, and special designs relying on a CMOS characteristic. The CMOS Schmitt trigger has the following advantages:

- High impedance input ($10^{12}\Omega$ typical)
- Balanced input and output characteristics
 - Thresholds are typically symmetrical to $1/2 V_{CC}$
 - Outputs source and sink equal currents
 - Outputs drive to supply rails
- Positive and negative-going thresholds show low variation with respect to temperature
- Wide supply range (3–15V), split supplies possible
- Low power consumption, even during transitions
- High noise immunity, 0.70 V_{CC} typical

Applications demonstrating how each of these characteristics can become a design advantage will be given later in the application note.

ANALYZING THE CMOS SCHMITT

The input of the Schmitt trigger goes through a standard input protection and is tied to the gates of four stacked devices. The upper two are P-channel and the lower two are N-channel. Transistors P3 and N3 are operating in the source follower mode and introduce hysteresis by feeding back the output voltage, out' , to two different points in the stack.

When the input is at 0V, transistors P1 and P2 are ON, and N1, N2 and P3 are OFF. Since out' is high, N3 is ON and acting as a source follower, the drain of N1, which is the source of N2, is at $V_{CC} - V_{TH}$. If the input voltage is ramped up to one threshold above ground transistor N1 begins to turn ON, N1 and N3 both being ON form a voltage divider network biasing the source of N2 at roughly half the supply. When the input is a threshold above $1/2 V_{CC}$, N2 begins to turn ON and regenerative switching is about to take over. Any more voltage on the input causes out' to drop. When out' drops, the source of N3 follows its gate, which is out' , the influence of N3 in the voltage divider with N1 rapidly diminishes, bringing out' down further yet. Meanwhile P3 has started to turn ON, its gate being brought low by the rapidly dropping out' , P3 turning ON brings the source of P2 low and turns P2 OFF. With P2 OFF, out' crashes down. The snapping action is due to greater than unity loop gain through the stack caused by positive feedback through the source follower transistors. When the input is brought low again an identical process occurs in the upper portion of the stack and the snapping action takes place when the lower threshold is reached.

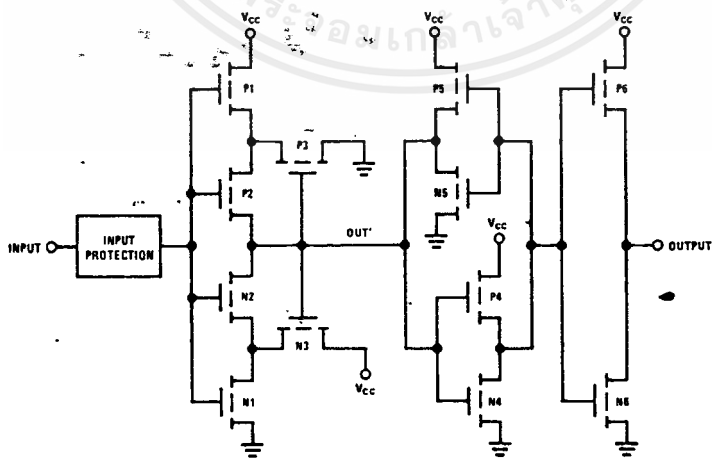


FIGURE 1. CMOS Schmitt Trigger

Out' is fed into the inverter formed by P4 and N4; another inverter built with very small devices, P5 and N5, forms a latch which stabilizes out'. The output is an inverting buffer capable of sinking 360μA or two LPTTL loads.

The typical transfer characteristics are shown in Figure 2; the guaranteed trip point range is shown in Figure 3.

WHAT HYSTERESIS CAN DO FOR YOUR

Hysteresis is the difference in response due to the direction of input change. A noisy signal that traverses the threshold of a comparator can cause multiple transitions at the output, if the response time of the comparator is less than the time between spurious effects. A Schmitt trigger has two thresholds: any spurious effects must be greater than the threshold difference to cause multiple transitions. With a CMOS Schmitt at $V_{CC} = 10V$ there is

typically 3.6V of threshold difference, enough hysteresis to overcome almost any spurious signal on the input.

A comparator is often used to recover information sent down an unbalanced transmission line. The threshold of the comparator is placed at one half the signal amplitude (See Figure 4b). This is done to prevent slicing level distortion. If a 4μs wide signal is sent down a transmission line a 4μs wide signal should be received or signal distortion occurs. If the comparator has a threshold above half the signal amplitude, then positive pulses sent are shorter and negative pulses are lengthened (See Figure 4c). This is called slicing level distortion. The Schmitt trigger does have a positive offset, V_{T+} , but it also has a negative offset V_{T-} . In CMOS these offsets are approximately symmetrical to half the signal level so a 4μs wide pulse sent is also recovered (see Figure 4d). The recovered pulse is delayed in time but the length is not changed, so noise immunity is achieved and signal distortion is not introduced because of threshold offsets.

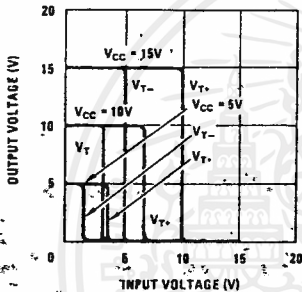


FIGURE 2. Typical CMOS Transfer Characteristics for Three Different Supply Voltages.

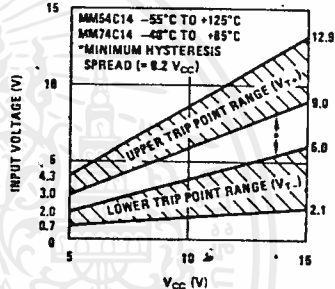


FIGURE 3. Guaranteed Trip Point Range.

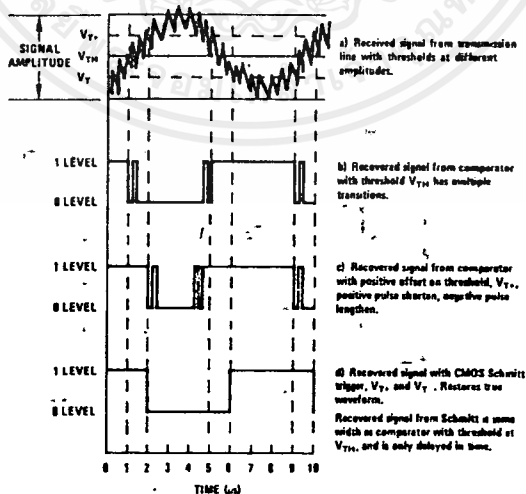
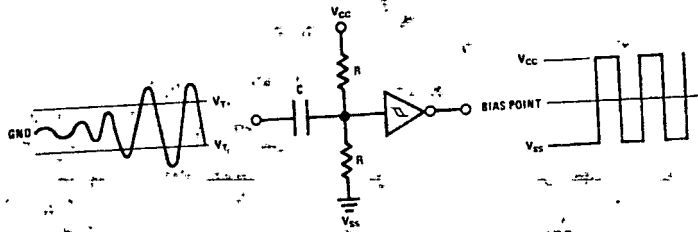
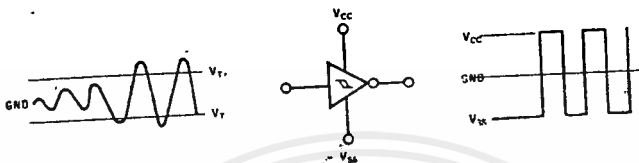


FIGURE 4. CMOS Schmitt Trigger Ignores Noise

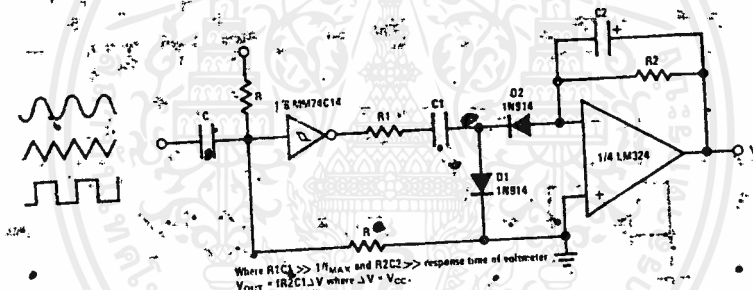


a) Capacitor impedance at lowest operating frequency should be much less than R . $R = 1/2 R$



b) By using split supply (+1.5 to ±7.5) direct interface is achieved

FIGURE 5. Sine to Square Wave Converter with Symmetrical Level Detection.



Where $R1C1 \gg 1/\text{MAX}$ and $R2C2 \gg \text{response time of voltmeter}$
 $V_{OUT} = IR2C1V$ where $\Delta V = V_{CC}$.

FIGURE 6. Diode Dump Tach Accepts any Input Waveform.

APPLICATIONS OF THE CMOS SCHMITT

Most of the following applications use a CMOS Schmitt characteristic to either simplify design or increase performance. Some of the applications could not be done at all with another logic family.

The circuit in *Figure 5a* is the familiar sine to square wave converter. Because of input symmetry the Schmitt trigger is easily biased to achieve a 50% duty cycle. The high input impedance simplifies the selection of the biasing resistors and coupling capacitor. Since CMOS has a wide supply range the Schmitt trigger could be powered from split supplies (see *Figure 5b*). This biases the mean threshold value around zero and makes direct coupling from an op amp output possible.

In *Figure 4*, we see a frequency to voltage converter that accepts many waveforms with no change in output voltage. Although the energy in the waveforms are quite different, it is only the frequency that determines the output voltage. Since the output of the CMOS Schmitt pulls completely to the supply rails, a constant voltage swing across capacitor $C1$ causes a current to flow through the capacitor, dependent only on frequency. On positive output swings, the current is dumped to ground through $D1$. On negative output swings, current is pulled from the inverting op amp node through $D2$ and transformed into an average voltage by $R2$ and $C2$.

Since the CMOS Schmitt pulls completely to the supply rails the voltage change across the capacitor is just the supply voltage.

Schmitt triggers are often used to generate fast transitions when a slowly varying function exceeds a pre-determined level. In Figure 7, we see a typical circuit, a light activated switch. The high impedance input of the CMOS Schmitt trigger makes biasing very easy. Most photo cells are several $k\Omega$ brightly illuminated and a couple $M\Omega$ dark. Since CMOS has a $10^{12}\Omega$ typical input impedance, no effects are felt on the input when the output changes. The selection of the biasing resistor is just the solution of a voltage divider equation.

A CMOS application note wouldn't be complete without a low power application. Figure 8 shows a simple RC oscillator. With only six R's and C's and one Hex CMOS

trigger, six low power oscillators can be built. The square wave output is approximately 50% duty cycle because of the balanced input and output characteristics of CMOS. The output frequency equation assumes that $t_{pd0} + t_{pd1}$.

We earlier saw how the CMOS Schmitt increased noise immunity on an unbalanced transmission line. Figure 9 shows an application for a balanced or differential transmission line. The circuit in Figure 7a is CMOS EXCLUSIVE OR, the MM74C86, which could also be built from inverters, and NAND gates. If unbalanced information is generated on the line by signal crosstalk or external noise sources, it is recognized as an error.

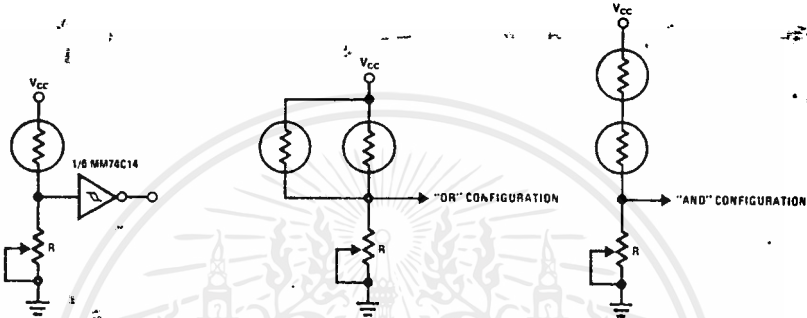


FIGURE 7. Light Activated Switch couldn't be Simpler. The Input Voltage Rises as Light Intensity Increases, when V_T+ is Reached, the Output will go Low and Remain Low until the Intensity is Reduced Significantly.

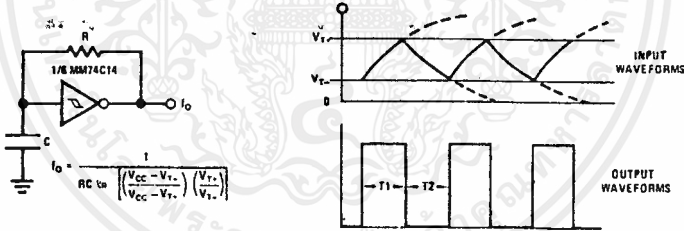


FIGURE 8. Simplest RC Oscillator? Six R's and C's make the CMOS Schmitt into Six Low Power Oscillators. Balanced Input and Output Characteristics give the Output Frequency a Typically 50% Duty Cycle.

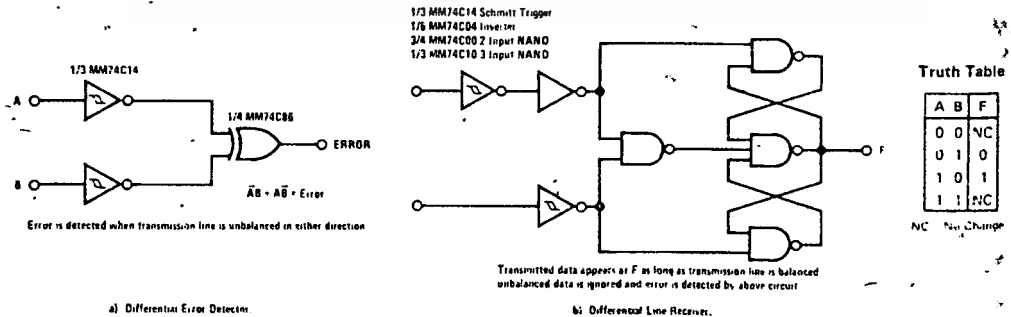


FIGURE 9. Increase Noise Immunity by using the CMOS Schmitt Trigger to Demodulate a Balanced Transmission Line.

The circuit in Figure 9b is a differential line receiver that recovers balanced transmitted data but ignores unbalanced signals by latching up. If both circuits of Figure 9 were used together, the error detector could signal the transmitter to stop transmission and the line receiver would remember the last valid information bit when unbalanced signals persisted on the line. When balanced signals are restored, the receiver can pick up where it left off.

The standard voltage range for CMOS inputs is $V_{CC} + 0.3V$ and ground $-0.3V$. This is because the input protection network is diode clamped to the supply rails. Any input exceeding the supply rails either sources or sinks a large amount of current through these diodes. Many times an input voltage range exceeding this is desirable; for example, transmission lines often operate from $\pm 12V$ and op amps from $\pm 15V$. A solution to this problem is found in the MM74C914. This new device has an uncommon input protection that allows the input signal to go to 25V above ground, and 25V below V_{CC} . This means that the Schmitt trigger in the sine to square wave converter, in Figure 5b, could be powered by $\pm 1.5V$ supplies and still be directly compatible with an op amp powered by $\pm 15V$ supplies.

A standard input protection circuit and the new input protection are shown in Figure 10. The diodes shown have a 35V breakdown. The input voltage can go positive until reverse biased D2 breaks down through forward bias D3, which is 35V above ground. The input voltage can go negative until reverse biased D1 breaks down through forward bias D2, which, is 35V below V_{CC} . Adequate input protection against static charge is still maintained.

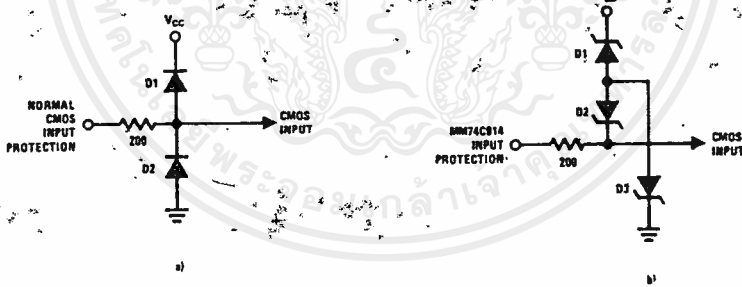


FIGURE 10. Input Protection Diodes, in a) Normally Limit, the Input Voltage Swing to 0.3V above V_{CC} and 0.3V below Ground. In b) D2 or D1 is Reverse Biased Allowing Input Swings of 25V above Ground or 25V below V_{CC} .

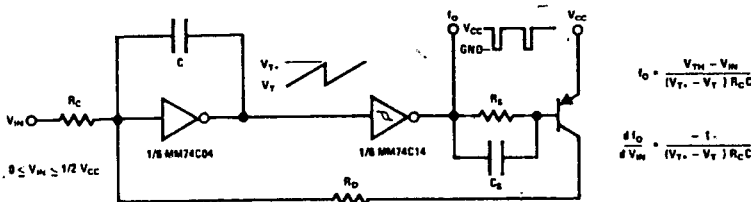


FIGURE 11. Linear CMOS (Voltage Controlled Oscillator)

CMOS can be linear over a wide voltage range if proper consideration is paid to the biasing of the inputs. Figure 11 shows a simple VCO made with a CMOS inverter acting as an integrator, and a CMOS Schmitt, acting as a comparator with hysteresis. The inverter integrates the positive difference between its threshold and the input voltage V_{IN} . The inverter output ramps up until the positive threshold of the Schmitt trigger is reached. At that time, the Schmitt trigger output goes low, turning on the transistor through R_1 and speeding up capacitor C_0 . Hysteresis keeps the output low until the integrating capacitor C is discharged through R_0 . Resistor R_0 should be kept much smaller than RC to keep reset time negligible. The output frequency is given by

$$f_o = \frac{V_{TH} - V_{IN}}{(V_{T+} - V_{T-}) R_{CC}}$$

The frequency dependence with control voltage is given by the derivative with respect to V_{IN} So,

$$\frac{d f_o}{d V_{IN}} = \frac{-1}{(V_{T+} - V_{T-}) R_C}$$

where the minus sign indicates that the output frequency increases as the input is brought further below the inverter threshold. The maximum output frequency occurs when V_{IN} is at ground and the frequency will decrease as V_{IN} is raised up and will finally stop oscillating at the inverter threshold, approximately $0.55 V_{CC}$.

The pulses from the VCO output are quite narrow because the reset time is much smaller than the integration time. Pulse stretching comes quite naturally to a Schmitt trigger. A one-shot or pulse stretcher made with an inverter and Schmitt trigger is shown in *Figure 12*. A positive pulse coming into the inverter causes its output to go low, discharging the capacitor through the diode D1. The capacitor is rapidly discharged, so the Schmitt input is brought low and the output goes positive. Check the size of the capacitor to make sure that inverter can fully discharge the capacitor in the input pulse time, or

$$I_{\text{SINK INVERTER}} > \frac{C \Delta V}{\Delta T} + \frac{\Delta V}{R}$$

where $\Delta V = V_{CC}$ for CMOS, and ΔT is the input pulse width.

For very narrow pulses, under 100 ns, the capacitor can be omitted and a large resistor will charge up the CMOS gate capacitance just like a capacitor.

When the inverter input returns to zero, the blocking diode prevents the inverter from charging the capacitor and the resistor must charge it from its supply. When the input voltage of the Schmitt reaches V_{T+} , the Schmitt output will go low sometime after the input pulse has gone low.

THE SCHMITT SOLUTION

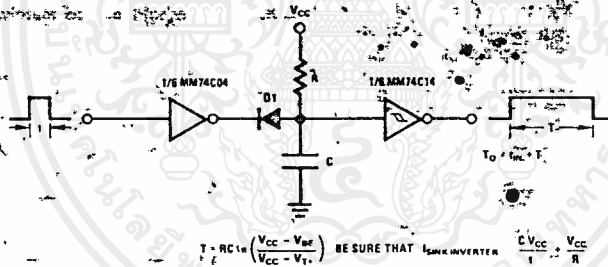
The Schmitt trigger, built from discrete parts, is a careful and sometimes time-consuming design. When introduced in integrated TTL, a few years ago, many circuit designers had renewed interest because it was a building block part. The input characteristics of TTL often make biasing of the trigger input difficult. The outputs don't source as much as they sink, so multivibrators don't have 50% duty cycle, and a limited supply range hampers interfacing with non 5V parts.

The CMOS Schmitt has a very high input impedance with thresholds approximately symmetrical to one half the supply. A high voltage input is available. The outputs sink and source equal currents and pull directly to the supply rails.

A wide threshold range, wide supply range, high noise immunity, low power consumption, and low board space make the CMOS Schmitt a uniquely versatile part.

Use the Schmitt trigger for signal conditioning, restoration of levels, discriminating noisy signals, level detecting with hysteresis, level conversion between logic families, and many other useful functions.

The CMOS Schmitt is one step closer to making design limited only by the imagination of the designer.





$$T_o = RC \ln \left(\frac{V_{CC} - V_{BE}}{V_{CC} - V_{T+}} \right) \quad \text{BE SURE THAT } I_{\text{SINK INVERTER}} > \frac{C V_{CC}}{T_o} + \frac{V_{CC}}{R}$$

FIGURE 12. Pulse Stretcher. A CMOS Inverter Discharges a Capacitor, a Blocking Diode allows Charging through R only. Schmitt Trigger Output goes Low after the RC Delay.

AN 140 CMOS SCHMITT TRIGGER - A UNIQUELY VERSATILE DESIGN COMPONENT
 Design D-771-N

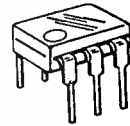
6-Pin DIP Optoisolators Transistor Output

These devices consist of a gallium arsenide infrared emitting diode optically coupled to a monolithic silicon phototransistor detector.

- Convenient Plastic Dual-in-Line Package
- Most Economical Optoisolator
- High Input-Output Isolation Guaranteed — 7500 Volts Peak
- Meets or Exceeds All JEDEC Registered Specifications
- UL Recognized. File Number E54915 
- VDE approved per standard 0883/6.80 (Certificate number 41853), with additional approval to DIN IEC380/VDE0806, IEC435/VDE0805, IEC65/VDE0860, VDE110b, covering all other standards with equal or less stringent requirements, including IEC204/ 883
- VDE0113, VDE0160, VDE0832, VDE0833, etc.
- Special lead form available (add suffix "T" to part number) which satisfies VDE0883/6.80 requirement for 8 mm minimum creepage distance between input and output solder pads.
- Various lead form options available. Consult "Optoisolator Lead Form Options" data sheet for details.

4N25
4N25A
4N26
4N27
4N28

**6-PIN DIP
 OPTOISOLATORS
 TRANSISTOR OUTPUT**



**CASE 730A-02
 PLASTIC**

MAXIMUM RATINGS ($T_A = 25^\circ\text{C}$ unless otherwise noted)

Rating	Symbol	Value	Unit
--------	--------	-------	------

INPUT LED

Reverse Voltage	V_R	3	Volts
Forward Current — Continuous	I_F	60	mA
LED Power Dissipation @ $T_A = 25^\circ\text{C}$ with Negligible Power in Output Detector Derate above 25°C	P_D	120	mW
		1.41	$\text{mW}/^\circ\text{C}$

OUTPUT TRANSISTOR

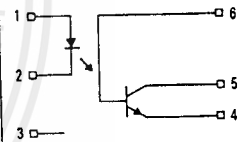
Collector-Emitter Voltage	V_{CE0}	30	Volts
Emitter-Collector Voltage	V_{ECO}	7	Volts
Collector-Base Voltage	V_{CBO}	70	Volts
Collector Current — Continuous	I_C	150	mA
Detector Power Dissipation @ $T_A = 25^\circ\text{C}$ with Negligible Power in Input LED Derate above 25°C	P_D	150	mW
		1.76	$\text{mW}/^\circ\text{C}$

TOTAL DEVICE

Isolation Surge Voltage (1) (Peak ac Voltage, 60 Hz, 1 sec Duration)	V_{ISO}	7500	Vac
Total Device Power Dissipation @ $T_A = 25^\circ\text{C}$ Derate above 25°C	P_D	250 2.94	mW $\text{mW}/^\circ\text{C}$
Ambient Operating Temperature Range	T_A	-55 to +100	$^\circ\text{C}$
Storage Temperature Range	T_{stg}	-55 to +150	$^\circ\text{C}$
Soldering Temperature (10 sec, 1/16" from case)	T_{sol}	260	$^\circ\text{C}$

(1) Isolation surge voltage is an internal device dielectric breakdown rating. For this test, Pins 1 and 2 are common, and Pins 4, 5 and 6 are common.

SCHEMATIC



1. LED ANODE
2. LED CATHODE
3. N.C.
4. EMITTER
5. COLLECTOR
6. BASE

ELECTRICAL CHARACTERISTICS ($T_A = 25^\circ\text{C}$ unless otherwise noted)

Characteristic	Symbol	Min	Typ	Max	Unit
INPUT LED					
Forward Voltage ($I_F = 10\text{ mA}$)	V_F	—	1.15	1.5	Volts
			1.3	—	
			1.05	—	
Reverse Leakage Current ($V_R = 3\text{ V}$)	I_R	—	—	100	μA
Capacitance ($V = 0\text{ V}$, $f = 1\text{ MHz}$)	C_J	—	18	—	pF

OUTPUT TRANSISTOR						
Collector-Emitter Dark Current ($V_{CE} = 10\text{ V}$, $T_A = 25^\circ\text{C}$)	4N25,25A,26,27 4N28	I_{CEO}	—	1	50	nA
			—	1	100	
($V_{CE} = 10\text{ V}$, $T_A = 100^\circ\text{C}$)	All Devices	I_{CEO}	—	1	—	μA
Collector-Base Dark Current ($V_{CB} = 10\text{ V}$)		I_{CBO}	—	0.2	—	nA
Collector-Emitter Breakdown Voltage ($I_C = 1\text{ mA}$)		$V_{(BR)CEO}$	30	45	—	Volts
Collector-Base Breakdown Voltage ($I_C = 100\text{ }\mu\text{A}$)		$V_{(BR)CBO}$	70	100	—	Volts
Emitter-Collector Breakdown Voltage ($I_E = 100\text{ }\mu\text{A}$)		$V_{(BR)ECO}$	7	7.8	—	Volts
DC Current Gain ($I_C = 2\text{ mA}$, $V_{CE} = 5\text{ V}$)		h_{FE}	—	500	—	—
Collector-Emitter Capacitance ($f = 1\text{ MHz}$, $V_{CE} = 0$)		C_{CE}	—	7	—	pF
Collector-Base Capacitance ($f = 1\text{ MHz}$, $V_{CB} = 0$)		C_{CB}	—	19	—	pF
Emitter-Base Capacitance ($f = 1\text{ MHz}$, $V_{EB} = 0$)		C_{EB}	—	9	—	pF

COUPLED						
Output Collector Current ($I_F = 10\text{ mA}$, $V_{CE} = 10\text{ V}$)	4N25,25A,26 4N27,28	I_C	2 1	7 5	—	mA
Collector-Emitter Saturation Voltage ($I_C = 2\text{ mA}$, $I_F = 50\text{ mA}$)		$V_{CE(sat)}$	—	0.15	0.5	Volts
Turn-On Time ($I_F = 10\text{ mA}$, $V_{CC} = 10\text{ V}$, $R_L = 100\text{ }\Omega$)		t_{on}	—	2.8	—	μs
Turn-Off Time ($I_F = 10\text{ mA}$, $V_{CC} = 10\text{ V}$, $R_L = 100\text{ }\Omega$)		t_{off}	—	4.5	—	μs
Rise Time ($I_F = 10\text{ mA}$, $V_{CC} = 10\text{ V}$, $R_L = 100\text{ }\Omega$)		t_r	—	1.2	—	μs
Fall Time ($I_F = 10\text{ mA}$, $V_{CC} = 10\text{ V}$, $R_L = 100\text{ }\Omega$)		t_f	—	1.3	—	μs
Isolation Voltage ($f = 60\text{ Hz}$, $t = 1\text{ sec}$)		V_{ISO}	7500	—	—	Vac(pk)
Isolation Resistance ($V = 500\text{ V}$)		R_{ISO}	10^{11}	—	—	Ω
Isolation Capacitance ($V = 0\text{ V}$, $f = 1\text{ MHz}$)		C_{ISO}	—	0.2	—	pF

TYPICAL CHARACTERISTICS

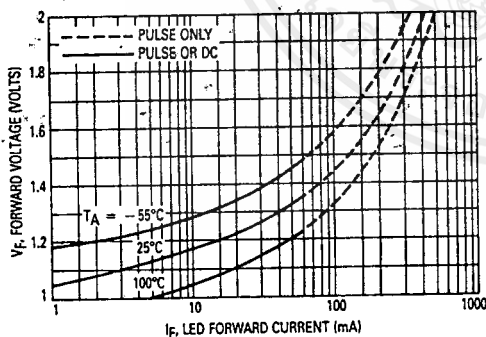


Figure 1. LED Forward Voltage versus Forward Current

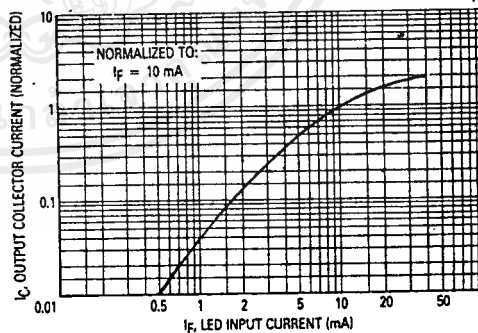


Figure 2. Output Current versus Input Current

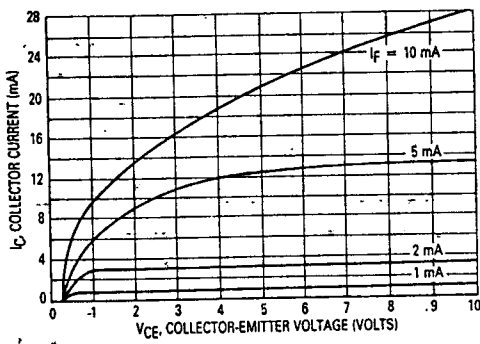


Figure 3. Collector Current versus Collector-Emitter Voltage

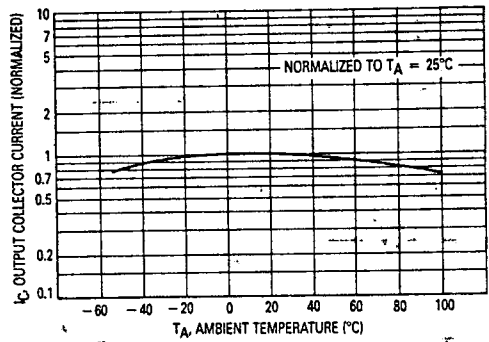


Figure 4. Output Current versus Ambient Temperature

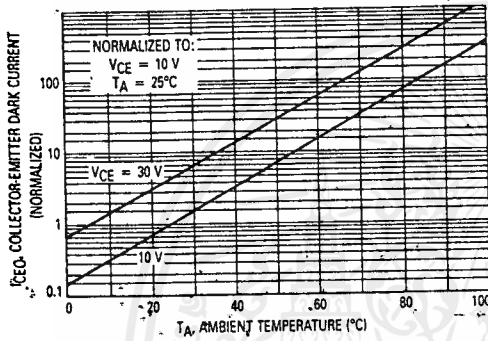


Figure 5. Dark Current versus Ambient Temperature

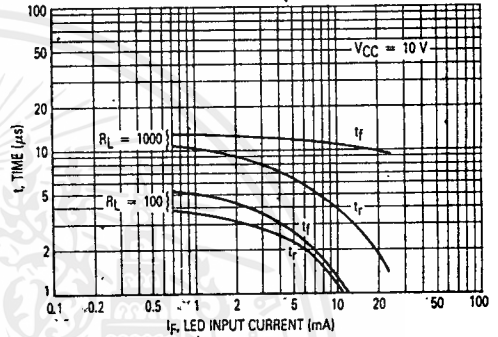


Figure 6. Rise and Fall Times

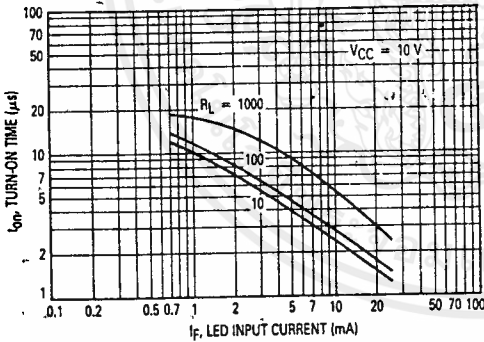


Figure 7. Turn-On Switching Times

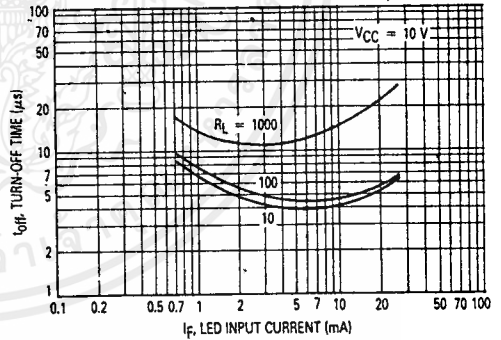


Figure 8. Turn-Off Switching Times

6

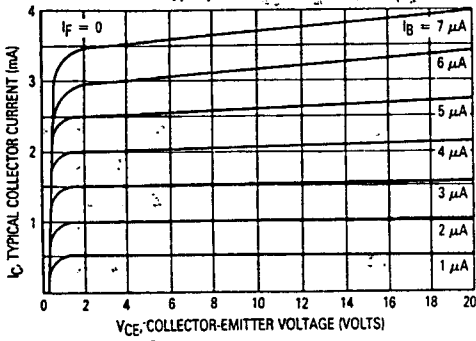


Figure 9. DC Current Gain (Detector Only)

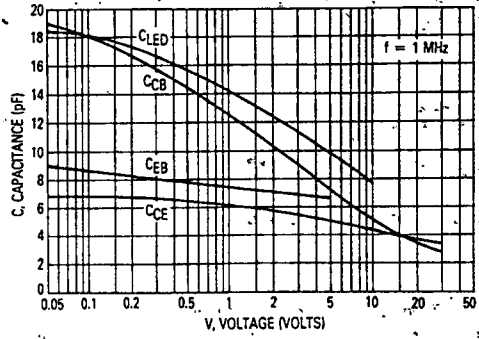


Figure 10. Capacitances versus Voltage

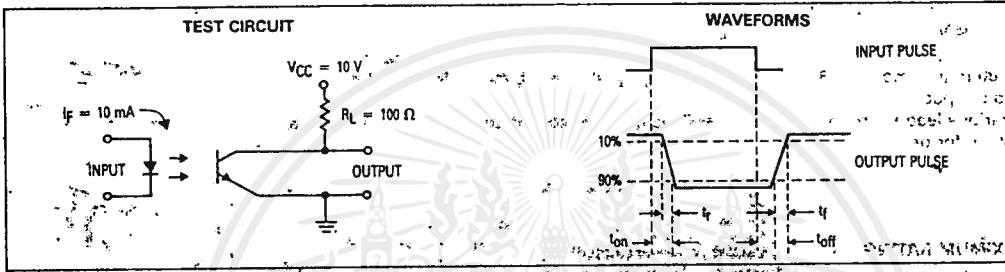
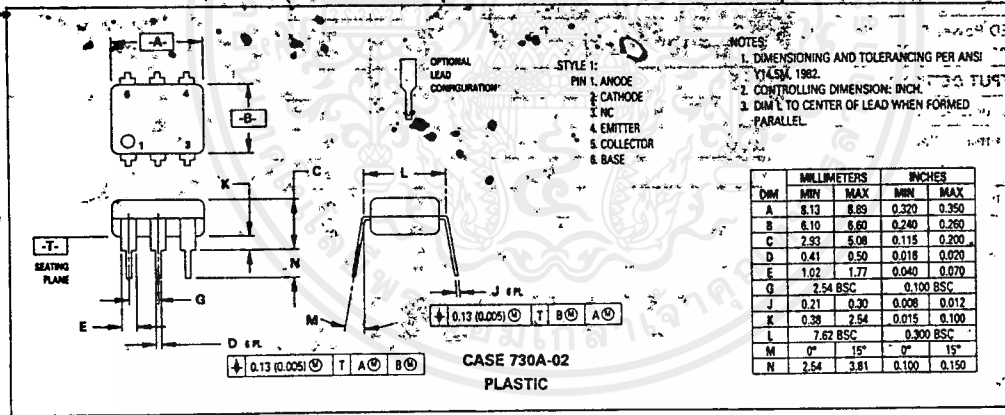


Figure 11. Switching Times



OUTLINE DIMENSIONS



6

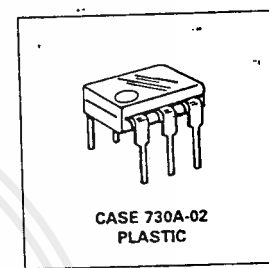
6-Pin DIP Optoisolators Transistor Output

These devices consist of a gallium arsenide infrared emitting diode optically coupled to a monolithic silicon phototransistor detector.

- Convenient Plastic Dual-In-Line Package
- High Current Transfer Ratio — 100% Minimum at Spec Conditions
- Guaranteed Switching Speeds
- High Input-Output Isolation Guaranteed — 7500 Volts Peak
- UL Recognized. File Number E54915 
- VDE approved per standard 0883/6.80 (Certificate number 41853), with additional approval to DIN IEC380/VDE0806, IEC435/VDE0805, IEC65/VDE0860, VDE0110b, covering all other standards with equal or less stringent requirements, including IEC204/VDE0113, VDE0160, VDE0832, VDE0833, etc. 
- Meets or Exceeds All JEDEC Registered Specifications
- Special lead form available (add suffix "T" to part number) which satisfies VDE0883/6.80 requirement for 8 mm minimum creepage distance between input and output solder pads.
- Various lead form options available. Consult "Optoisolator Lead Form Options" data sheet for details.

4N35
4N36
4N37

**6-PIN DIP
 OPTOISOLATORS
 TRANSISTOR
 OUTPUT**



MAXIMUM RATINGS ($T_A = 25^\circ\text{C}$ unless otherwise noted)

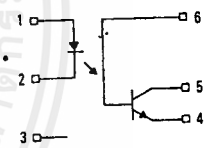
Rating	Symbol	Value	Unit
INPUT LED			
Reverse Voltage	V_R	6	Volts
Forward Current — Continuous	I_F	60	mA
LED Power Dissipation @ $T_A = 25^\circ\text{C}$ with Negligible Power in Output Detector Derate above 25°C	P_D	120	mW
		1.41	$\text{mW}/^\circ\text{C}$
OUTPUT TRANSISTOR			
Collector-Emitter Voltage	V_{CEO}	30	Volts
Emitter-Base Voltage	V_{EBO}	7	Volts
Collector-Base Voltage	V_{CBO}	70	Volts
Collector Current — Continuous	I_C	150	mA
Detector Power Dissipation @ $T_A = 25^\circ\text{C}$ with Negligible Power in Input LED Derate above 25°C	P_D	150	mW
		1.76	$\text{mW}/^\circ\text{C}$

TOTAL DEVICE

Isolation Source Voltage (1) (Peak ac Voltage, 60 Hz, 1 sec Duration)	V_{ISO}	7500	Vac
Total Device Power Dissipation @ $T_A = 25^\circ\text{C}$ Derate above 25°C	P_D	250	mW
		2.94	$\text{mW}/^\circ\text{C}$
Ambient Operating Temperature Range	T_A	-55 to +100	$^\circ\text{C}$
Storage Temperature Range	T_{stg}	-55 to +150	$^\circ\text{C}$
Soldering Temperature (10 seconds, 1/16" from case)	—	260	$^\circ\text{C}$

(1) Isolation surge voltage is an internal device dielectric breakdown rating. For this test, Pins 1 and 2 are common, and Pins 4, 5 and 6 are common.

SCHEMATIC



1. LED ANODE
2. LED CATHODE
3. N.C.
4. EMITTER
5. COLLECTOR
6. BASE

4N35, 4N36, 4N37

ELECTRICAL CHARACTERISTICS ($T_A = 25^\circ\text{C}$ unless otherwise noted)

Characteristic	Symbol	Min	Typ	Max	Unit
INPUT LED					
Forward Voltage ($I_F = 10\text{ mA}$)	V_F	0.8 0.9 0.7	1.15 1.3 1.05	1.5 1.7 1.4	V
Reverse Leakage Current ($V_R = 6\text{ V}$)	I_R	—	—	10	μA
Capacitance ($V = 0\text{ V}, f = 1\text{ MHz}$)	C_J	—	-18	—	pF

OUTPUT TRANSISTOR

Collector-Emitter Dark Current ($V_{CE} = 10\text{ V}, T_A = 25^\circ\text{C}$) ($V_{CE} = 30\text{ V}, T_A = 100^\circ\text{C}$)	I_{CEO}	—	1	50	nA μA
Collector-Base Dark Current ($V_{CB} = 10\text{ V}$)	I_{CBO}	—	0.2 100	20	nA
Collector-Emitter Breakdown Voltage ($I_C = 1\text{ mA}$)	$V_{(BR)CEO}$	30	45	—	V
Collector-Base Breakdown Voltage ($I_C = 100\text{ }\mu\text{A}$)	$V_{(BR)CBO}$	70	100	—	V
Emitter-Base Breakdown Voltage ($I_E = 100\text{ }\mu\text{A}$)	$V_{(BR)EBO}$	7	7.8	—	V
DC Current Gain ($I_C = 2\text{ mA}, V_{CE} = 5\text{ V}$)	h_{FE}	—	400	—	—
Collector-Emitter Capacitance ($f = 1\text{ MHz}, V_{CE} = 0$)	C_{CE}	—	7	—	pF
Collector-Base Capacitance ($f = 1\text{ MHz}, V_{CB} = 0$)	C_{CB}	—	19	—	pF
Emitter-Base Capacitance ($f = 1\text{ MHz}, V_{EB} = 0$)	C_{EB}	—	9	—	pF

COUPLED

Output Collector Current ($I_F = 10\text{ mA}, V_{CE} = 10\text{ V}$)	I_C	10 4 4	30 — —	— — —	mA
Collector-Emitter Saturation Voltage ($I_C = 0.5\text{ mA}, I_F = 10\text{ mA}$)	$V_{CE(sat)}$	—	0.14	0.3	V
Turn-On Time	t_{on}	—	7.5	10	μs
Turn-Off Time	t_{off}	—	5.7	10	μs
Rise Time	t_r	—	3.2	—	μs
Fall Time	t_f	—	4.7	—	μs
Isolation Voltage ($f = 60\text{ Hz}, t = 1\text{ sec}$)	V_{ISO}	7500	—	—	Vac(pk)
Isolation Current ($V_{I-O} = 3550\text{ Vpk}$) ($V_{I-O} = 2500\text{ Vpk}$) ($V_{I-O} = 1500\text{ Vpk}$)	I_{ISO}	4N35 4N36 4N37	— — —	100 100 100	μA
Isolation Resistance ($V = 500\text{ V}$)	R_{ISO}	10 ¹¹	—	—	Ω
Isolation Capacitance ($V = 0\text{ V}, f = 1\text{ MHz}$)	C_{ISO}	—	0.2	2	pF

TYPICAL CHARACTERISTICS

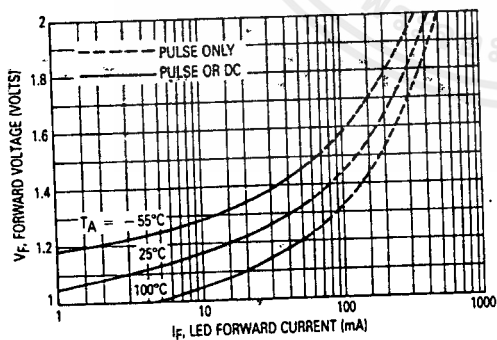


Figure 1. LED Forward Voltage versus Forward Current

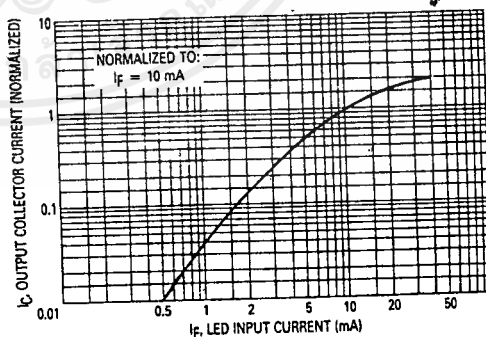


Figure 2. Output Current versus Input Current.

4N35, 4N36, 4N37

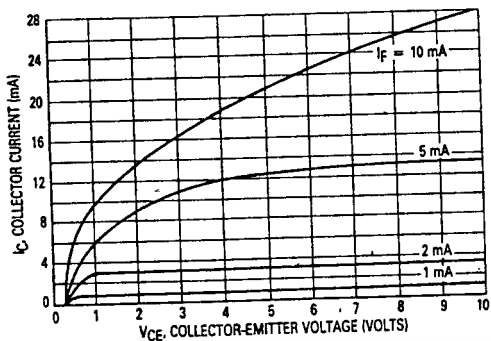


Figure 3. Collector Current versus Collector-Emitter Voltage

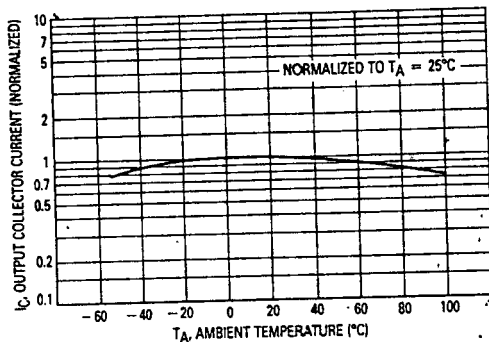


Figure 4. Output Current versus Ambient Temperature

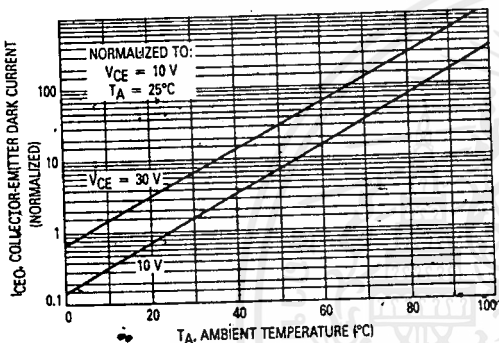


Figure 5. Dark Current versus Ambient Temperature

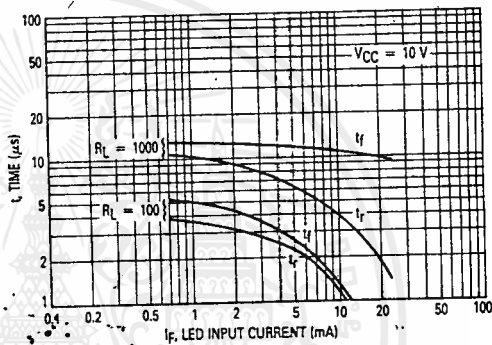


Figure 6. Rise and Fall Times

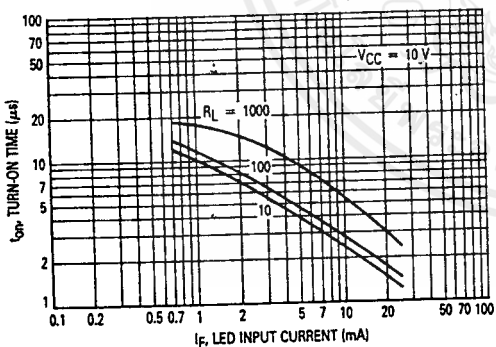


Figure 7. Turn-On Switching Times

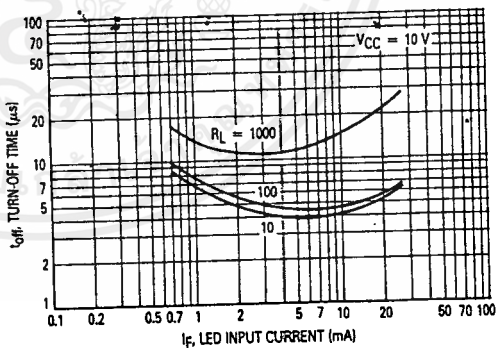


Figure 8. Turn-Off Switching Times

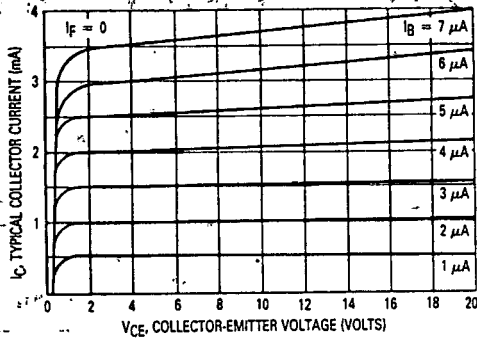


Figure 9. DC Current Gain (Detector Only)

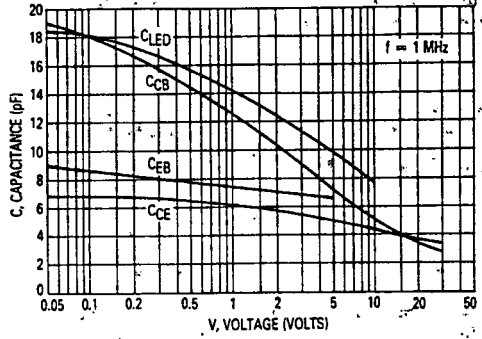


Figure 10. Capacitances versus Voltage

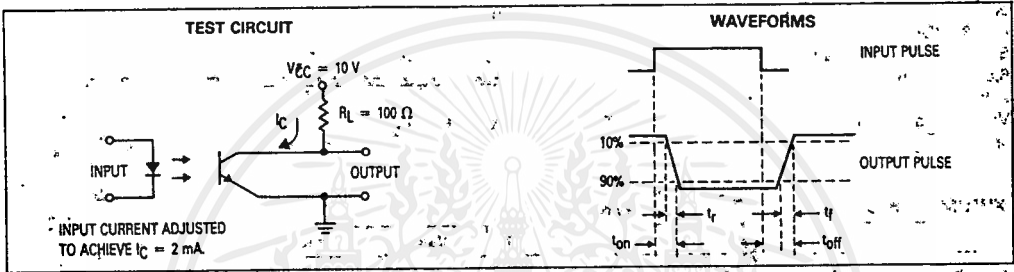
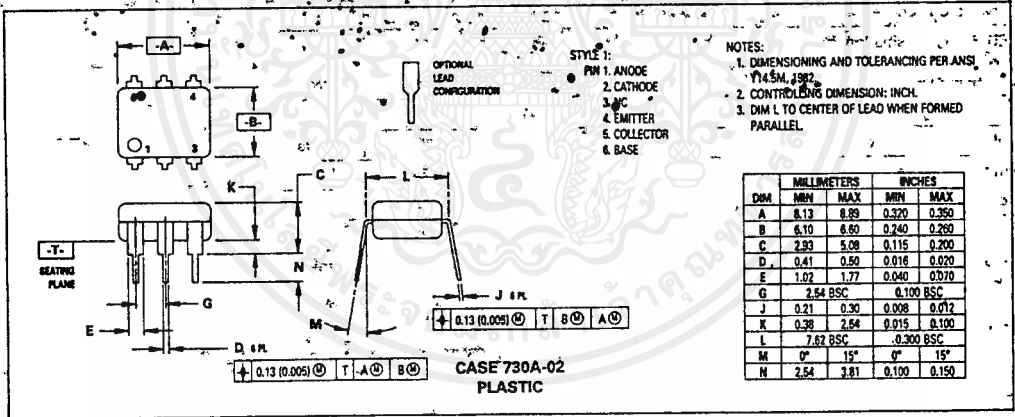


Figure 11. Switching Times

OUTLINE DIMENSIONS



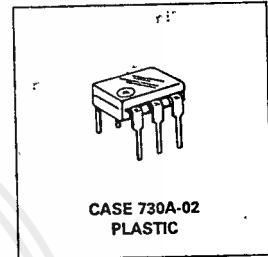
6-Pin DIP Optoisolators Transistor Output

These devices consist of a gallium arsenide infrared emitting diode optically coupled to a monolithic silicon phototransistor detector.

- Conventional Plastic Dual-in-Line Package
- Guaranteed 80 Volt $V_{(BR)CEO}$ Minimum
- High Input-Output Isolation Guaranteed — 7500 Volts Peak
- Meets or Exceeds All JEDEC Registered Specifications
- UL Recognized. (1) File Number E54915
- VDE approved per standard 0883/6.80 (Certificate number 41853), with additional approval to DIN IEC380/VDE0806, IEC435/VDE0805, IEC65/VDE0860, VDE0110b, covering all other standards with equal or less stringent requirements, including IEC204/VDE0113, VDE0160, VDE0832, VDE0833, etc.
- Special lead form available (add suffix "T" to part number) which satisfies VDE0883/6.80 requirement for 8 mm minimum creepage distance between input and output solder pads.
- Various lead form options available. Consult "Optoisolator Lead Form Options" data sheet for details.

4N38
4N38A

**6-PIN DIP
 OPTOISOLATORS
 TRANSISTOR OUTPUT**



MAXIMUM RATINGS ($T_A = 25^\circ\text{C}$ unless otherwise noted)

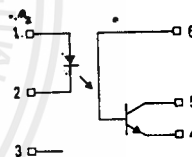
Rating	Symbol	Value	Unit
INPUT LED			
Reverse Voltage	V_R	3	Volts
Forward Current — Continuous	I_F	80	mA
Forward Current — Pk ($P_W = 200 \mu\text{s}$, 2% duty cycle)	$I_{F(pk)}$	3	A
LED Power Dissipation @ $T_A = 25^\circ\text{C}$ with Negligible Power in Output Detector	P_D	150	mW
Derate above 25°C		1.41	mW/ $^\circ\text{C}$
OUTPUT TRANSISTOR			
Collector-Emitter Voltage	V_{CEO}	80	Volts
Emitter-Collector Voltage	V_{ECO}	7	Volts
Collector-Base Voltage	V_{CBO}	80	Volts
Collector Current — Continuous	I_C	100	mA
Detector Power Dissipation @ $T_A = 25^\circ\text{C}$ with Negligible Power in Input LED	P_D	150	mW
Derate above 25°C		1.76	mW/ $^\circ\text{C}$

TOTAL DEVICE

Isolation Surge Voltage (1) (Peak ac Voltage, 60 Hz, 1 sec Duration)	V_{ISO}	7500	Vac
Total Device Power Dissipation @ $T_A = 25^\circ\text{C}$ Derate above 25°C	P_D	250 2.94	mW mW/ $^\circ\text{C}$
Ambient Operating Temperature Range	T_A	-55 to +100	$^\circ\text{C}$
Storage Temperature Range	T_{stg}	-55 to +150	$^\circ\text{C}$
Soldering Temperature (10 sec, 1/16" from case)	T_{sol}	260	$^\circ\text{C}$

Note: (1) 4N38 does not require UL approval; 4N38A does. Otherwise both parts are identical. Both parts built by Motorola have UL approval.

SCHEMATIC



1. LED ANODE
2. LED CATHODE
3. N.C.
4. EMITTER
5. COLLECTOR
6. BASE

4N38, 4N38A

ELECTRICAL CHARACTERISTICS ($T_A = 25^\circ\text{C}$ unless otherwise noted)

Characteristic	Symbol	Min	Typ	Max	Unit
INPUT LED					
Forward Voltage ($I_F = 10\text{ mA}$)	V_F	—	$T_A = 25^\circ\text{C}$	1.15	Volts
			$T_A = -55^\circ\text{C}$	1.3	
			$T_A = 100^\circ\text{C}$	1.05	
Reverse Leakage Current ($V_R = 3\text{ V}$)	I_R	—	—	100	μA
Capacitance ($V = 0\text{ V}$, $f = 1\text{ MHz}$)	C_J	—	18	—	pF

OUTPUT TRANSISTOR

Collector-Emitter Dark Current	I_{CEO}	—	20	50	nA
	I_{CEO}	—	6	—	μA
	$(V_{CE} = 60\text{ V}, T_A = 100^\circ\text{C})$				
Collector-Base Dark Current ($V_{CB} = 60\text{ V}$)	I_{CBO}	—	2	20	nA
Collector-Emitter Breakdown Voltage ($I_C = 1\text{ mA}$)	$V_{(BR)CEO}$	80	120	—	Volts
Collector-Base Breakdown Voltage ($I_C = 1\text{ }\mu\text{A}$)	$V_{(BR)CBO}$	80	120	—	Volts
Emitter-Collector Breakdown Voltage ($I_E = 100\text{ }\mu\text{A}$)	$V_{(BR)ECO}$	7	7.8	—	Volts
DC Current Gain ($I_C = 2\text{ mA}$, $V_{CE} = 5\text{ V}$)	h_{FE}	—	400	—	—
Collector-Emitter Capacitance ($f = 1\text{ MHz}$, $V_{CE} = 0$)	C_{CE}	—	8	—	pF
Collector-Base Capacitance ($f = 1\text{ MHz}$, $V_{CB} = 0$)	C_{CB}	—	21	—	pF
Emitter-Base Capacitance ($f = 1\text{ MHz}$, $V_{EB} = 0$)	C_{EB}	—	8	—	pF

COUPLED

Output Collector Current ($I_F = 20\text{ mA}$, $V_{CE} = 1\text{ V}$)	I_C	4	7	—	mA
Collector-Emitter Saturation Voltage ($I_C = 4\text{ mA}$, $I_F = 20\text{ mA}$)	$V_{CE(sat)}$	—	—	1	Volts
Turn-On Time ($I_C = 2\text{ mA}$, $V_{CC} = 10\text{ V}$, $R_L = 100\text{ }\Omega$, Figure 11)	t_{on}	—	3	—	μs
Turn-Off Time ($I_C = 2\text{ mA}$, $V_{CC} = 10\text{ V}$, $R_L = 100\text{ }\Omega$, Figure 11)	t_{off}	—	2.8	—	μs
Rise Time ($I_C = 2\text{ mA}$, $V_{CC} = 10\text{ V}$, $R_L = 100\text{ }\Omega$, Figure 11)	t_r	—	1.6	—	μs
Fall Time ($I_C = 2\text{ mA}$, $V_{CC} = 10\text{ V}$, $R_L = 100\text{ }\Omega$, Figure 11)	t_f	—	2.2	—	μs
Isolation Voltage ($f = 60\text{ Hz}$, $t = 1\text{ sec}$)	V_{ISO}	7500	—	—	Vac(pk)
Isolation Resistance ($V = 500\text{ V}$)	R_{ISO}	10^{11}	—	—	Ω
Isolation Capacitance ($V = 0\text{ V}$, $f = 1\text{ MHz}$)	C_{ISO}	—	0.2	—	pF

TYPICAL CHARACTERISTICS

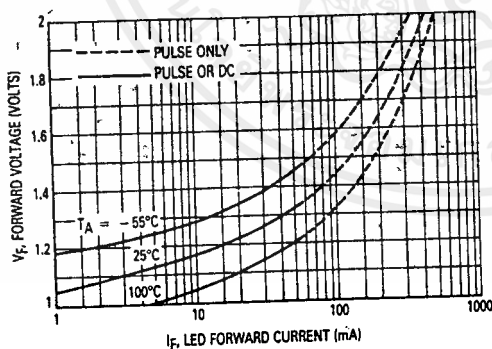


Figure 1. LED Forward Voltage versus Forward Current

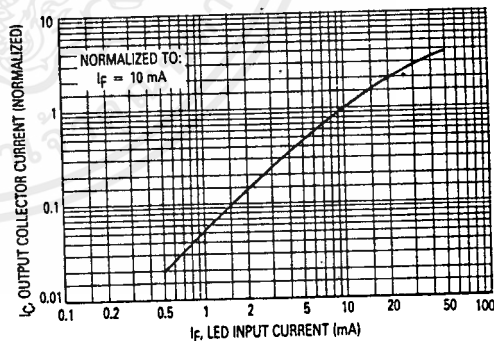


Figure 2. Output Current versus Input Current

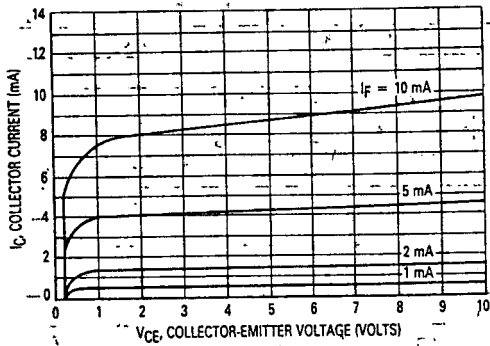


Figure 3. Collector Current versus Collector-Emitter Voltage

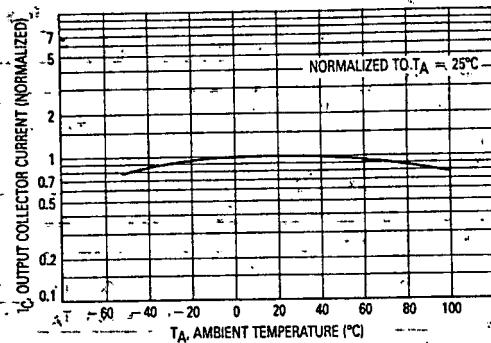


Figure 4. Output Current versus Ambient Temperature

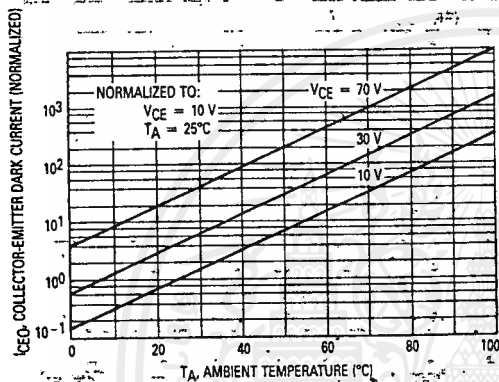


Figure 5. Dark Current versus Ambient Temperature

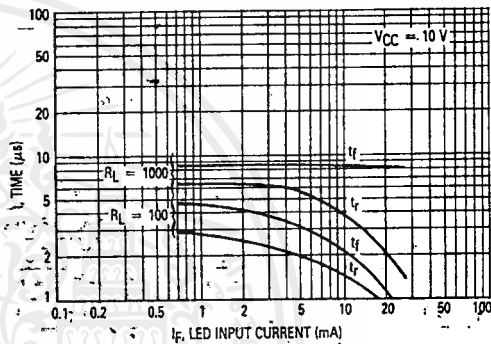


Figure 6. Rise and Fall Times

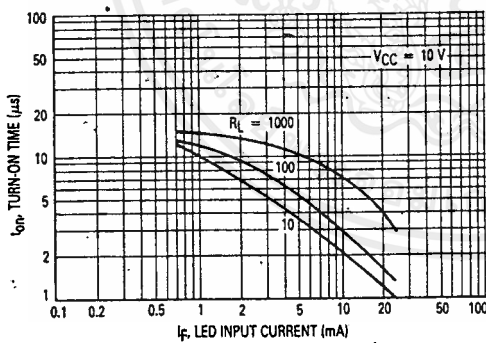


Figure 7. Turn-On Switching Times

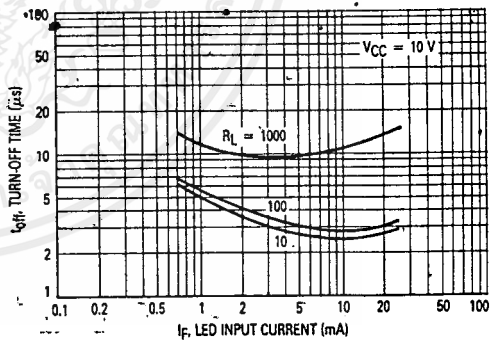


Figure 8. Turn-Off Switching Times

6

4N38, 4N38A

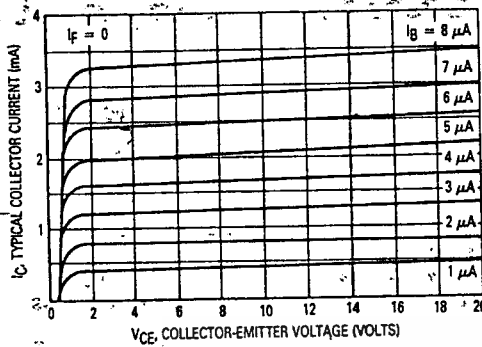


Figure 9. DC Current Gain (Detector Only)

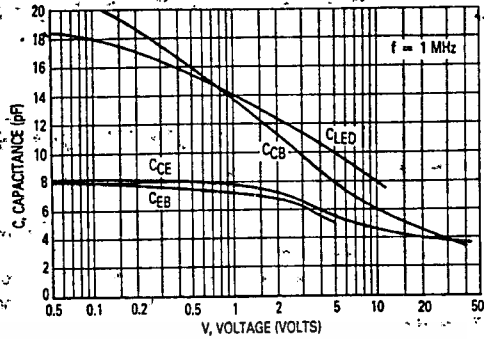


Figure 10. Capacitances versus Voltage

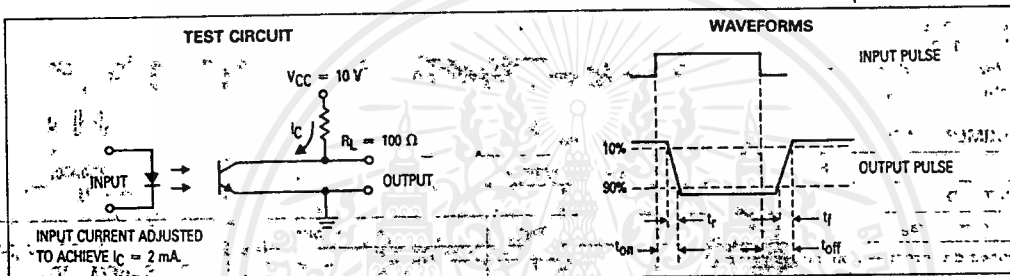
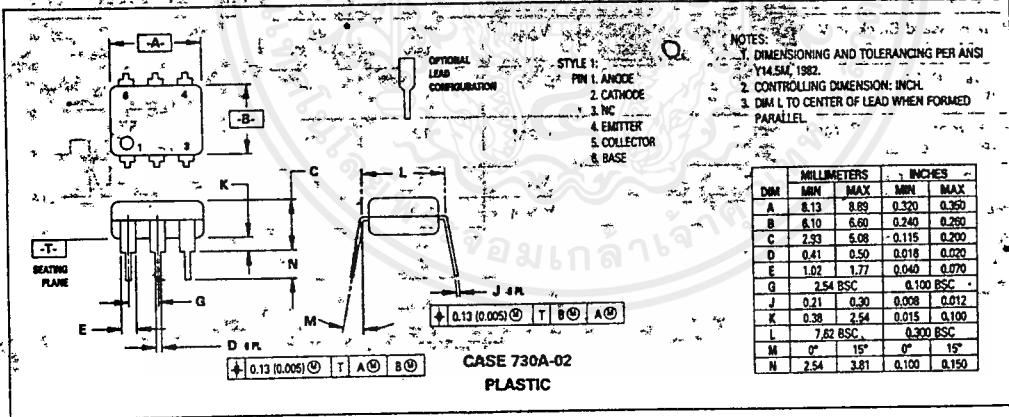


Figure 11. Switching Times

OUTLINE DIMENSIONS





FEATURES

- ◆ 10 Decoded Decimal Outputs
- ◆ Direct Reset
- ◆ Trigger from either Edge of Clock Input
- ◆ Carry Output for Cascading Stages
- ◆ Fully Static Operation - DC to 5MHz @ 10Vdc

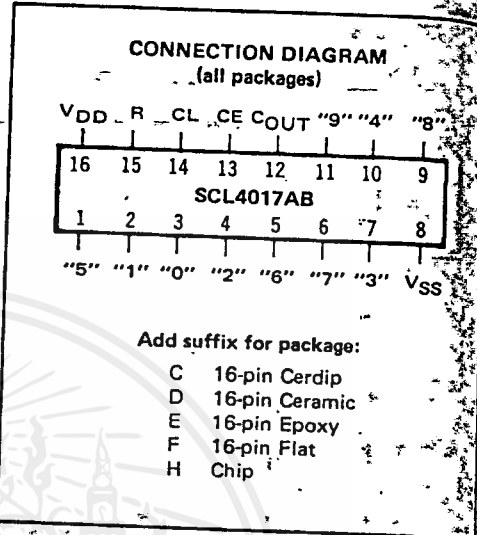
DESCRIPTION

The SCL4017AB consists of a 5-stage Johnson Decade Counter, and an Output Decoder. Inputs include Clock, Reset, and Clock Enable signals.

The counter has interchangeable Clock and Clock Enable lines for incrementing on either a positive-going or negative-going transition, respectively. A high Reset signal clears the counter to its zero count.

Use of the Johnson decade counter configuration permits high-speed operation, 2-input decode gating, and spike-free decoded outputs. Anti-lock gating is provided, thus assuring proper counting sequence. The 10 decoded outputs are normally low and go high only at their respective decoded time slot. Each decoded output remains high for one full clock cycle. A Carry-out (COUT) signal completes one cycle every 10 clock input cycles and is used to directly clock the succeeding counter in multi-stage applications.

This part can be used in frequency division circuits as well as decade counter or decimal decode display applications.



RECOMMENDED OPERATING CONDITIONS

For maximum reliability:

DC Supply Voltage	VDD - VSS	-3 to 15	V _{CC}
Operating Temperature	T _A	-55 to +125	°C
C, D, F, H Device		-40 to +85	°C
E Device			

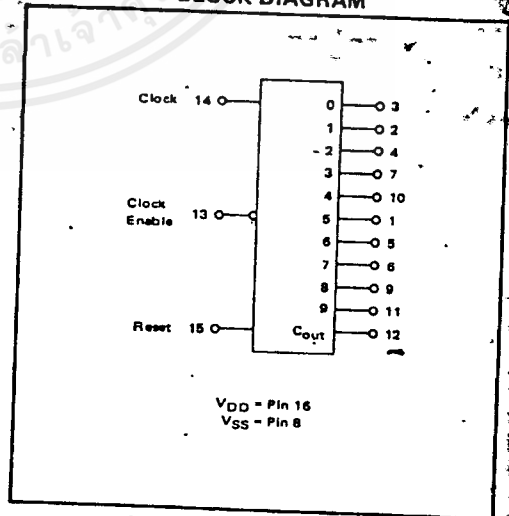
FUNCTIONAL TRUTH TABLE
(Positive Logic)

Clock	Clock Enable	Reset	Decode Output = n
0	X	0	n
X	1	0	n
X	X	1	"0"
X	0	0	n + 1
X	X	0	n
X	X	0	n
1	X	0	n + 1

x = Don't Care

If n < 5 Carry = "1", Otherwise = "0"

BLOCK DIAGRAM



ELECTRICAL CHARACTERISTICS

STATIC CHARACTERISTICS

PARAMETER	V _{DD} (V _{dc})	CONDITIONS	T _{LOW} ²		+25°C			-T _{HIGH} ²		Units	
			Min.	Max.	Min.	Typ.	Max.	Min.	Max.		
QUIESCENT DEVICE CURRENT	I _{DD}	5	V _{IN} =V _{SS} or V _{DD}	—	5	—	0.05	5	—	150	μAdc
		10	All valid input combinations	—	10	—	0.1	10	—	300	
		15		—	20	—	0.2	20	—	600	
OUTPUT HIGH (SOURCE) CURRENT C, D, F, H device Decoded Outputs Carry Output E device Decoded Outputs Carry Output	I _{OH}	5 10 15	V _{OH} = 4.6V V _{OH} = 9.5V V _{OH} = 13.5V V _{IN} =V _{SS} or V _{DD}	-0.05	—	-0.04	-0.3	—	-0.028	—	mAdc
				-0.125	—	-0.1	-0.75	—	-0.07	—	
				-0.375	—	-0.3	-2.5	—	-0.21	—	
		5 10 15	V _{OH} = 4.6V V _{OH} = 9.5V V _{OH} = 13.5V V _{IN} =V _{SS} or V _{DD}	-0.25	—	-0.2	-0.75	—	-0.14	—	mAdc
				-0.62	—	-0.5	-1.1	—	-0.35	—	
				-1.9	—	-1.5	-3.5	—	-1.1	—	
		5 10 15	V _{OH} = 4.6V V _{OH} = 9.5V V _{OH} = 13.5V V _{IN} =V _{SS} or V _{DD}	-0.048	—	-0.04	-0.3	—	-0.032	—	mAdc
				-0.12	—	-0.1	-0.75	—	-0.08	—	
				-0.36	—	-0.3	-2.5	—	-0.24	—	
		5 10 15	V _{OH} = 4.6V V _{OH} = 9.5V V _{OH} = 13.5V V _{IN} =V _{SS} or V _{DD}	-0.24	—	-0.2	-0.75	—	-0.16	—	mAdc
				-0.6	—	-0.5	-1.1	—	-0.4	—	
				-1.8	—	-1.5	-3.5	—	-1.2	—	
OUTPUT LOW (SINK) CURRENT C, D, F, H device Decoded Outputs Carry Output E device Decoded Outputs Carry Output	I _{OL}	5 10 15	V _{OL} = 0.4V V _{OL} = 0.5V V _{OL} = 1.5V V _{IN} =V _{SS} or V _{DD}	0.05	—	0.04	0.4	—	0.028	—	mAdc
				0.125	—	0.1	1.0	—	0.07	—	
				0.375	—	0.3	3.0	—	0.21	—	
		5 10 15	V _{OL} = 0.4V V _{OL} = 0.5V V _{OL} = 1.5V V _{IN} =V _{SS} or V _{DD}	0.25	—	0.2	0.75	—	0.14	—	mAdc
				0.62	—	0.5	1.3	—	0.35	—	
				1.9	—	1.5	4.0	—	1.1	—	
		5 10 15	V _{OL} = 0.4V V _{OL} = 0.5V V _{OL} = 1.5V V _{IN} =V _{SS} or V _{DD}	0.048	—	0.04	0.4	—	0.032	—	mAdc
				0.12	—	0.1	1.0	—	0.08	—	
				0.36	—	0.3	3.0	—	0.24	—	
		5 10 15	V _{OL} = 0.4V V _{OL} = 0.5V V _{OL} = 1.5V V _{IN} =V _{SS} or V _{DD}	0.24	—	0.2	0.75	—	0.16	—	mAdc
				0.6	—	0.5	1.3	—	0.4	—	
				1.8	—	1.5	4.0	—	1.2	—	

NOTES: ¹ Remaining Static Electrical Characteristics are listed under "SCL4000B Series Family Specifications".

² T_{LOW} = -55°C for C, D, F, H device.

= -40°C for E device.

T_{HIGH} = +125°C for C, D, F, H device.

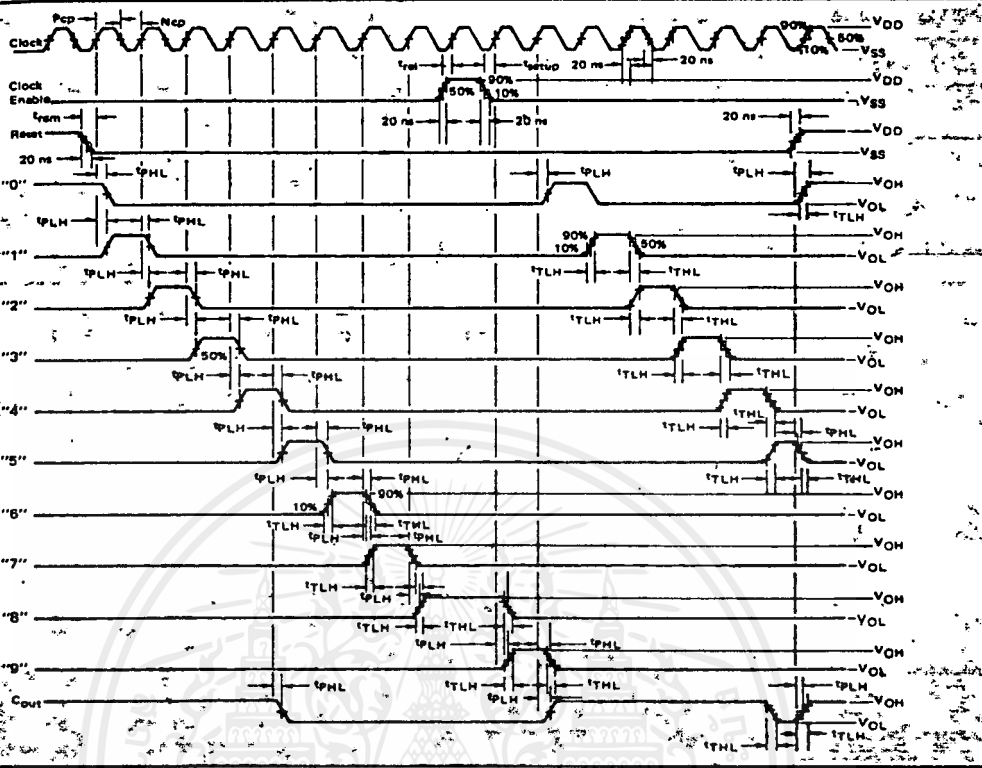
= + 85°C for E device.

ELECTRICAL CHARACTERISTICS (Continued)

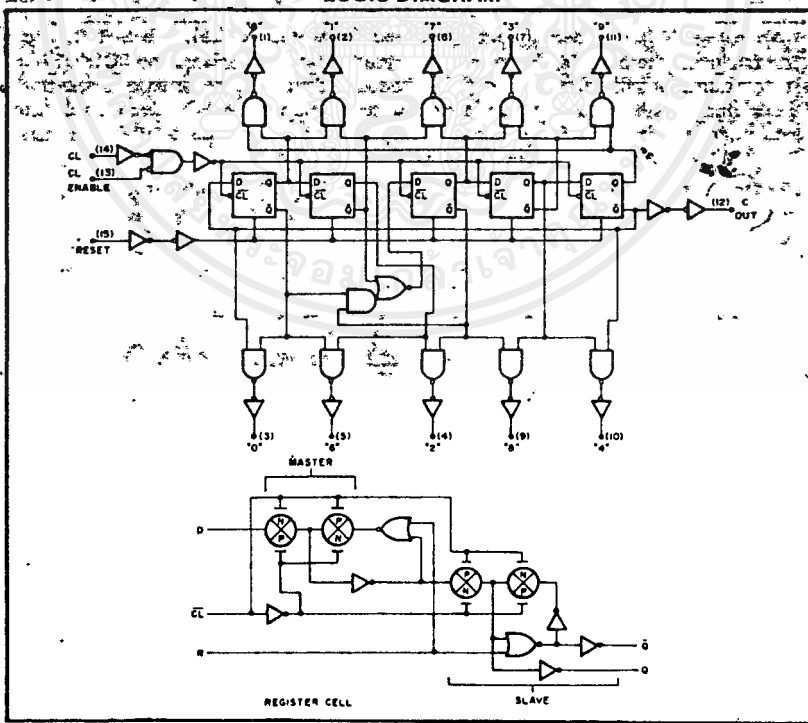
DYNAMIC CHARACTERISTICS ($C_L = 50\text{pF}$, $T_A = 25^\circ\text{C}$)

PARAMETER		V_{DD} (Vdc)	Min.	Typ.	Max.	Units
CLOCKED OPERATION						
PROPAGATION DELAY TIME To Decoded Outputs To Carry Output	t_{PLH}, t_{PHL}	5	—	600	1200	ns
		10	—	240	480	ns
		15	—	180	360	ns
	t_{PLH}, t_{PHL}	5	—	500	1000	ns
		10	—	200	400	ns
		15	—	150	300	ns
OUTPUT TRANSITION TIME Decoded Outputs Carry Output	t_{TLH}, t_{THL}	5	—	250	500	ns
		10	—	125	250	ns
		15	—	90	180	ns
	t_{TLH}, t_{THL}	5	—	180	360	ns
		10	—	90	180	ns
		15	—	65	130	ns
MINIMUM CLOCK PULSE WIDTH	PW_{CL}	5	—	200	400	ns
MAXIMUM CLOCK FREQUENCY	f_{CL}	5	1.25	2.5	—	MHz
		10	2.5	5.0	—	MHz
		15	3.0	6.0	—	MHz
MAXIMUM CLOCK OR ENABLE RISE AND FALL TIME	t_{CL}, t_{CL}	5	15	—	—	ns
MINIMUM ENABLE SETUP TIME	t_{setup}	5	—	175	350	ns
		10	—	75	150	ns
		15	—	55	110	ns
MINIMUM ENABLE REMOVAL TIME	t_{rem}	5	—	250	500	ns
RESET OPERATION	t_{rem}	10	—	100	200	ns
		15	—	75	150	ns
		15	—	75	150	ns
PROPAGATION DELAY TIME To Decoded Outputs To Carry Output	t_{PLH}, t_{PHL}	5	—	500	1000	ns
		10	—	200	400	ns
		15	—	140	280	ns
	t_{PLH}	5	—	400	800	ns
		10	—	150	300	ns
		15	—	110	220	ns
MINIMUM RESET PULSE WIDTH	PW_R	5	—	150	300	ns
RESET REMOVAL TIME	t_{rem}	10	—	75	150	ns
		15	—	60	120	ns
		15	—	80	160	ns

AC MEASUREMENT DEFINITION AND FUNCTIONAL WAVEFORMS



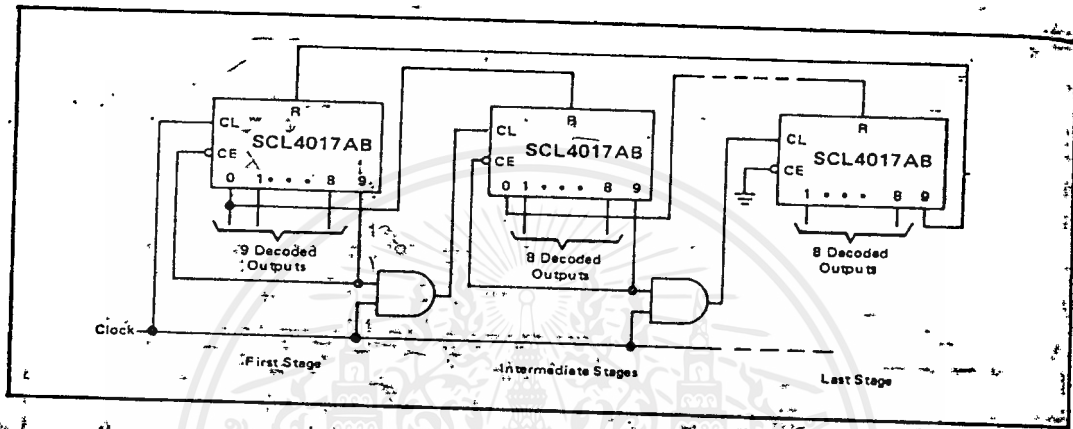
LOGIC DIAGRAM



APPLICATIONS INFORMATION

COUNTER EXPANSION

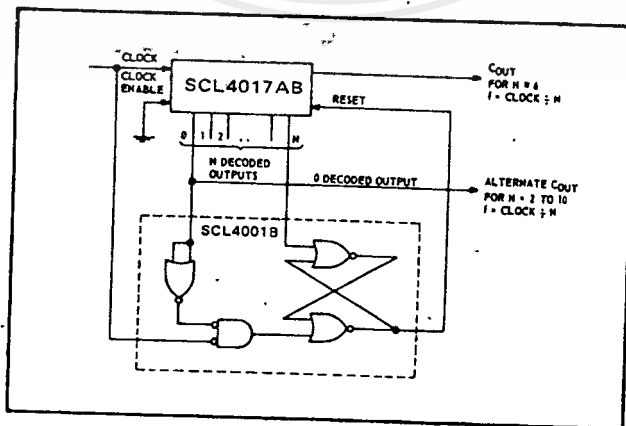
This figure shows a technique for extending the number of decoded output states for the SCL4017AB. Decoded outputs are sequential within each stage and from stage to stage, with no dead time (except propagation delay).



DIVIDE-BY-N COUNTER

When the Nth decoded output is reached (Nth clock pulse), the S-R flip-flop (constructed from the SCL4001B) generates a reset pulse which clears the SCL4017AB to its zero count. At this time, if the Nth decoded output is greater than or equal to 6, the 'COUT' line goes high to clock the next counter section. The 'O' decoded output also goes high at this time. Coincidence of the clock "low" and decoded "O" output "high" resets the S-R flip-flop to enable the SCL4017AB.

If the Nth decoded output is less than 6, the 'COUT' line will not go high, and, therefore, cannot be used. In this case, the 'O' decoded output may be used to perform the clock function for the next counter.



SCL4040AB



CMOS 12-STAGE BINARY COUNTER

FEATURES

- ◆ 12 Fully Static Stages
- ◆ All 12 Buffered Outputs Available
- ◆ Common Reset Line
- ◆ 8MHz Counting Rate @ 10Vdc
- ◆ All Inputs Buffered

DESCRIPTION

The SCL4040AB consists of 12-ripple-carry binary counter stages with appropriate input buffers and reset circuitry. The counter is reset to its "all 0's" state by a high level on the Reset input. The counter is advanced one count on the negative-going transition of each input pulse. Isolation from external noise and the effects of loads is provided by output buffering.

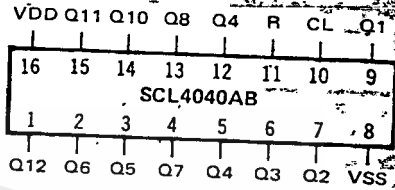
Applications include time delay circuits, counter controls, and frequency dividers.

TRUTH TABLE

Clock	Reset	Output State
	0	No Change
	0	Advance to next state
X	1	All Outputs are low

X = "Don't Care"

CONNECTION DIAGRAM (all packages)



Add suffix for package:

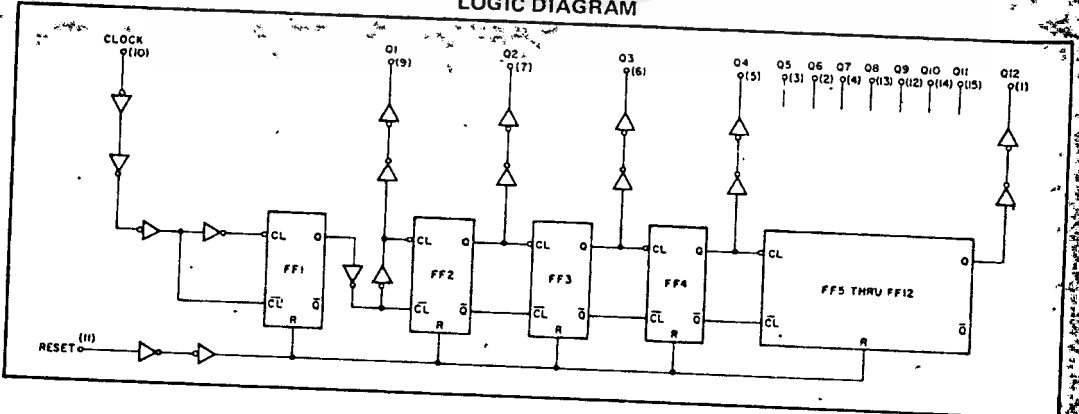
- C 16-pin Cerdip
- D 16-pin Ceramic
- E 16-pin Epoxy
- F 16-pin Flat
- H Chip

RECOMMENDED OPERATING CONDITIONS

For maximum reliability:

- DC Supply Voltage $V_{DD} - V_{SS}$ 3 to 15 Vdc
- Operating Temperature T_A
 - C, D, F, H Device -55 to +125 °C
 - E Device -40 to +85 °C

LOGIC DIAGRAM



ELECTRICAL CHARACTERISTICS

STATIC CHARACTERISTICS

PARAMETER	V _{DD} (Vdc)	CONDITIONS	T _{LOW} ²		+25°C			T _{HIGH} ²		Units		
			Min.	Max.	Min.	Typ.	Max.	Min.	Max.			
QUIESCENT DEVICE CURRENT	I _{DD}	V _{IN} =V _{SS} or V _{DD} All valid input combinations	5	5	—	0.05	5	—	150	μAdc		
			10	10	—	0.1	10	—	300			
			15	15	—	0.2	20	—	600			
OUTPUT HIGH (SOURCE) CURRENT C, D, F, H device	I _{OH}	V _{OH} =4.6V V _{OH} =9.5V V _{OH} =13.5V V _{IN} =V _{SS} or V _{DD}	5	—	-0.15	-0.12	-0.5	—	-0.08	mAdc		
			10	—	-0.37	-0.3	-1.15	—	-0.21			
			15	—	-1.25	-1.0	-4.5	—	-0.69			
			E device	V _{OH} =4.6V V _{OH} =9.5V V _{OH} =13.5V V _{IN} =V _{SS} or V _{DD}	5	—	-0.14	-0.12	-0.5	—	-0.10	mAdc
					10	—	-0.35	-0.3	-1.15	—	-0.25	
					15	—	-1.2	-1.0	-4.5	—	-0.85	
OUTPUT LOW (SINK) CURRENT C, D, F, H device	I _{OL}	V _{OL} =0.4V V _{OL} =0.5V V _{OL} =1.5V V _{IN} =V _{SS} or V _{DD}	5	—	0.15	0.12	0.5	—	0.08	mAdc		
			10	—	0.37	0.3	1.0	—	0.21			
			15	—	1.25	1.0	5.8	—	0.69			
			E device	V _{OL} =0.4V V _{OL} =0.5V V _{OL} =1.5V V _{IN} =V _{SS} or V _{DD}	5	—	0.14	0.12	0.5	—	0.10	mAdc
					10	—	0.35	0.3	1.0	—	0.25	
					15	—	1.2	1.0	5.8	—	0.85	

NOTES: ¹ Remaining Static Electrical Characteristics are listed under "SCL4000B Series Family Specifications".

² T_{LOW} = -55°C for C, D, F, H device.

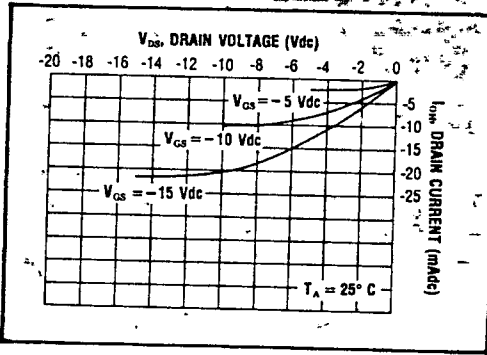
= -40°C for E device.

T_{HIGH} = +125°C for C, D, F, H device.

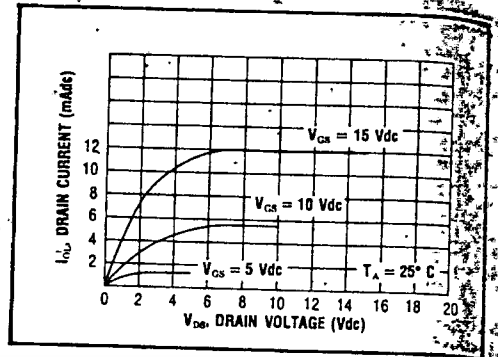
= +85°C for E device.

DYNAMIC CHARACTERISTICS (C_L = 50pF, T_A = 25°C)

PARAMETER	V _{DD} (Vdc)	Min.	Typ.	Max.	Units
CLOCKED OPERATION					
PROPAGATION DELAY TIME Clock to Q1	t _{PLH} , t _{PHL}	5	—	200	400
		10	—	100	200
		15	—	80	160
Q _i to Q _{i+1}	t _{PLH} , t _{PHL}	5	—	150	300
		10	—	75	150
		15	—	60	120
OUTPUT TRANSITION TIME	t _{TLH} , t _{THL}	5	—	180	360
		10	—	90	180
		15	—	65	130
MINIMUM CLOCK PULSE WIDTH	PW _{CL}	5	—	100	200
		10	—	50	100
		15	—	40	80
MAXIMUM CLOCK FREQUENCY	f _{CL}	5	2.0	4.0	—
		10	4.0	8.0	—
		15	5.0	10.0	—
MAXIMUM CLOCK RISE AND FALL TIME	t _{rCL} , t _{fCL}	5	15	—	—
		10	15	—	—
		15	5	—	—
RESET OPERATION					
PROPAGATION DELAY TIME	t _{PHL}	5	—	300	600
		10	—	150	300
		15	—	120	240
MINIMUM RESET PULSE WIDTH	PW _R	5	—	150	300
		10	—	75	150
		15	—	60	120
RESET REMOVAL TIME	t _{rem}	5	—	250	500
		10	—	125	250
		15	—	100	200

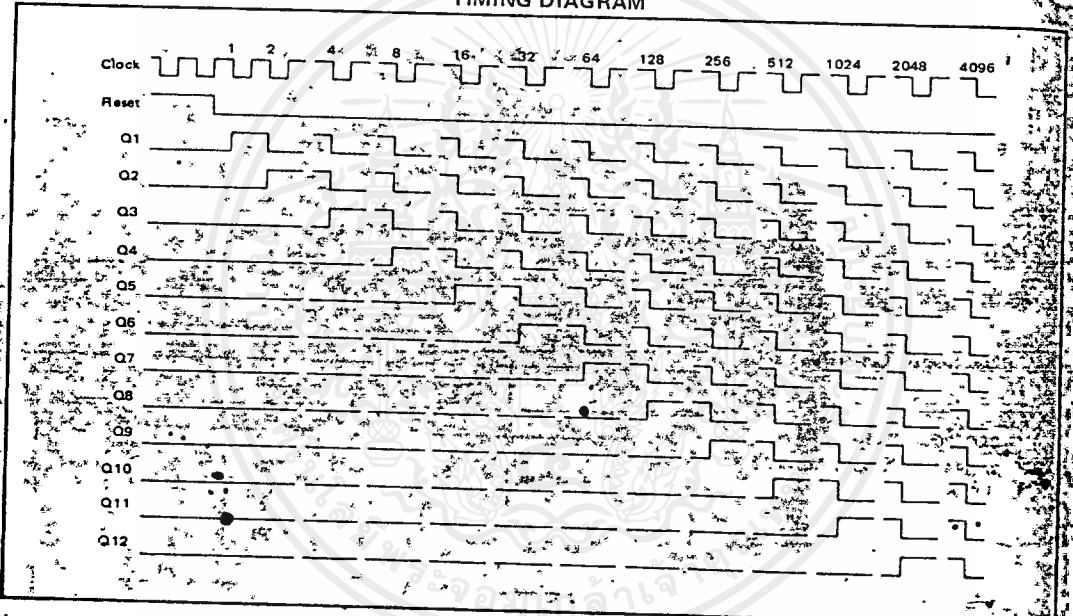


Typical P-Channel Source Current Characteristics

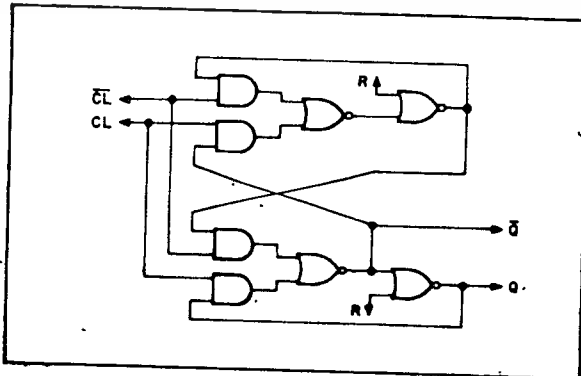


Typical N-Channel Sink Current Characteristics

TIMING DIAGRAM



TYPICAL COUNTER STAGE



SCL4049UB Inverting
SCL4050B Non-Inverting



CMOS
HEX BUFFERS/CONVERTERS

FEATURES

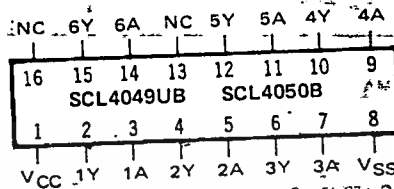
- Direct Drive of 2 TTL/DTL Loads
- Operation from Single Supply
- Pin-for-Pin Replacements for SCL4009B, SCL4010B

DESCRIPTION

The SCL4049UB and SCL4050B are Inverting and Non-Inverting Hex Buffers, respectively, and feature logic-level conversion using only one supply voltage (V_{CC}). The Input-signal high level (V_{IH}) can exceed the V_{CC} supply voltage when these devices are used for logic-level conversions. These devices are intended for use as CMOS-to-DTL/TTL converters and can drive directly two DTL/TTL Loads.

The SCL4049UB and SCL4050B are interchangeable with SCL4009UB and SCL4010B devices, respectively. In these applications the SCL4049UB and SCL4050B are pin-compatible with the SCL4009UB and SCL4010B, respectively, and can be substituted for these devices in existing as well as in new designs. Terminal No. 16 is not connected internally on the SCL4049UB or SCL4050B; therefore, connection to this terminal is of no consequence to circuit operation.

CONNECTION DIAGRAM
(all packages)



Add suffix for package:

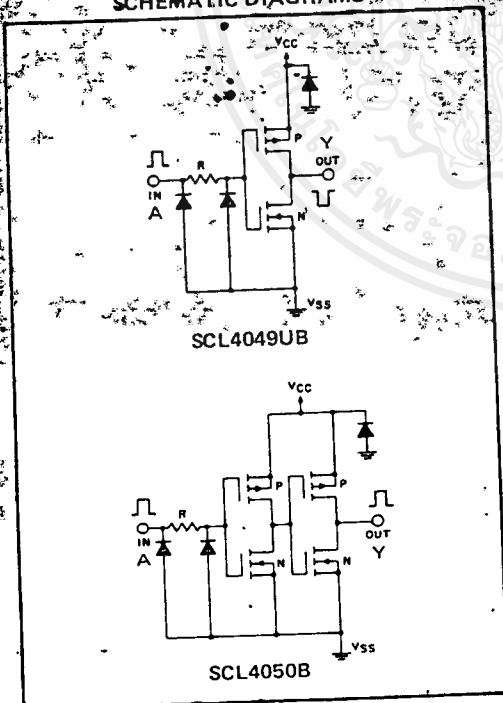
- C 16-pin Cerdip
- D 16-pin Ceramic
- E 16-pin Epoxy
- F 16-pin Flat
- H Chip

RECOMMENDED OPERATING CONDITIONS

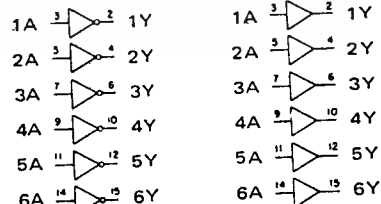
- For maximum reliability:
- DC Supply Voltage $V_{CC} - V_{SS}$ 3 to 15 Vdc
 - Operating Temperature T_A
 - C, D, F, H Device -55 to +125 °C
 - E-Device -40 to +85 °C

Note: These devices contain input protection networks to V_{SS} only. Therefore, $V_{IH(max)}$ may exceed V_{CC} without damage (subject to absolute maximum ratings).

SCHEMATIC DIAGRAMS



LOGIC DIAGRAMS



SCL4049UB

SCL4050B

ELECTRICAL CHARACTERISTICS

STATIC CHARACTERISTICS

PARAMETER	V _{CC} (V _{dC})	CONDITIONS	T _{LOW} ²		+25°C			T _{HIGH} ²		Units
			Min.	Max.	Min.	Typ.	Max.	Min.	Max.	
QUIESCENT DEVICE CURRENT	I _{CC}	V _{IN} =V _{SS} or V _{DD} All valid input combinations	—	1.0	—	0.005	1.0	—	30	μA _{dC}
			—	2.0	—	0.01	2.0	—	60	
			—	4.0	—	0.02	4.0	—	120	
MINIMUM INPUT HIGH VOLTAGE SCL4049UB	V _{IH}	V _{OL} =0.5V V _{OL} =1.0V V _{OL} =1.5V	—	4.0	—	2.75	4.0	—	4.0	V _{dC}
			—	8.0	—	5.5	8.0	—	8.0	
			—	12.0	—	8.25	12.0	—	12.0	
MAXIMUM INPUT LOW VOLTAGE SCL4049UB	V _{IL}	V _{OH} =3.6V V _{OH} =7.2V V _{OH} =10.8V	1.0	—	1.0	2.25	—	1.0	—	V _{dC}
			2.0	—	2.0	4.5	—	2.0	—	
			3.0	—	3.0	6.75	—	3.0	—	
OUTPUT LOW (SINK) CURRENT C, D, F, H devices	I _{OL}	V _{OL} =0.4V V _{OL} =0.5V V _{OL} =1.5V V _{IN} =V _{SS} or V _{DD}	4.0	—	3.2	6.4	—	2.4	—	mA _{dC}
			10	—	8.0	16	—	5.6	—	
			30	—	24.0	40	—	16.8	—	
E device	I _{OL}	V _{OL} =0.4V V _{OL} =0.5V V _{OL} =1.5V V _{IN} =V _{SS} or V _{DD}	3.8	—	3.2	6.4	—	2.6	—	mA _{dC}
			9.6	—	8.0	16	—	6.4	—	
			28	—	24.0	40	—	19	—	

NOTES: 1 Remaining Static Electrical Characteristics are listed under "SCL4000B Series Family Specifications".

T_{LOW} = -55°C for C, D, F, H device.

T_{LOW} = -40°C for E device.

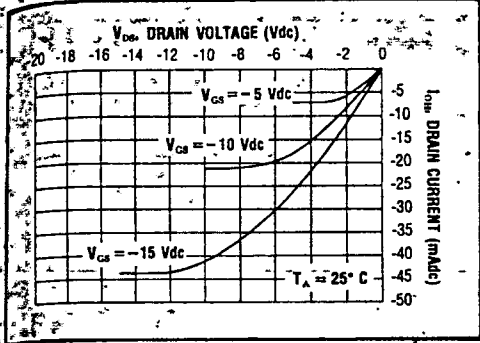
T_{HIGH} = +125°C for C, D, F, H device.

T_{HIGH} = 85°C for E device.

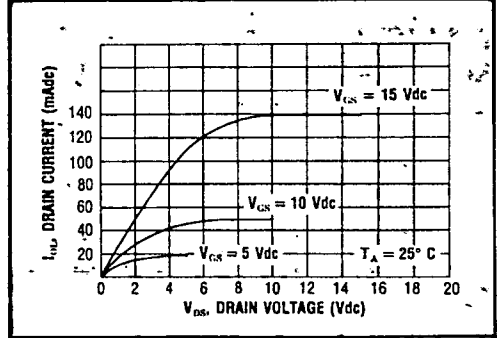
These devices have been designed to meet the balanced output drive current specifications for Output High (Source) Current. Consult Family Specifications.

DYNAMIC CHARACTERISTICS (C_L = 50pF, T_A = 25°C)

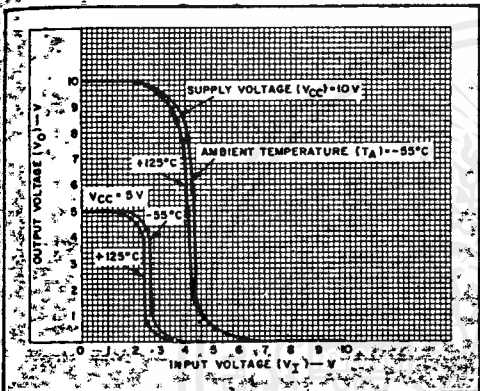
PARAMETER	V _{IN} (V _{dC})	V _{CC} (V _{dC})	Min.	Typ.	Max.	Units			
PROPAGATION DELAY TIME SCL4049UB	I _{PLH}	5	5	—	60	120	ns		
		10	10	—	32	65			
		15	15	—	25	50			
		SCL4050B	I _{PLH}	10	5	—	45	90	ns
				15	5	—	45	90	
				5	5	—	70	140	
SCL4049UB	I _{PHL}	10	10	—	40	80	ns		
		15	15	—	30	60			
		10	5	—	45	90			
SCL4050B	I _{PHL}	15	5	—	40	80	ns		
		5	5	—	55	110			
		10	10	—	27	55			
		15	15	—	15	30			
		SCL4049UB	I _{PHL}	10	5	—	50	100	ns
				15	5	—	50	100	
OUTPUT TRANSITION TIME	t _{TLH}	5	5	—	80	160	ns		
		10	10	—	40	80			
		15	15	—	30	60			
	SCL4050B	t _{THL}	5	5	—	30	60	ns	
			10	10	—	20	40		
			15	15	—	15	30		
INPUT CAPACITANCE SCL4049UB	C _{IN}	—	—	—	15	22.5	pF		



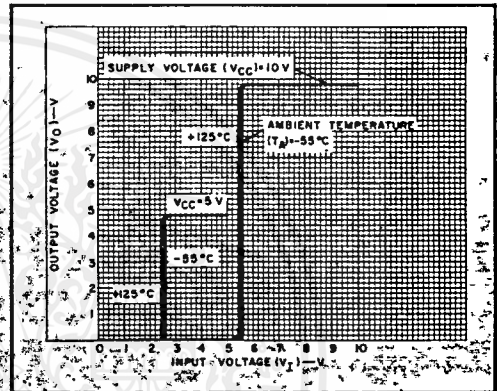
Typical P-Channel Source Current Characteristics



Typical N-Channel Sink Current Characteristics



Typical voltage transfer characteristics as a function of temperature for SCL4049UB.



Typical voltage transfer characteristics as a function of temperature for SCL4050B.

MOTOROLA
SEMICONDUCTOR
TECHNICAL DATA

BD135,-6,-10,-16
BD137,-6,-10,-16
BD139,-6,-10,-16

PLASTIC MEDIUM POWER SILICON NPN TRANSISTOR

... designed for use as audio amplifiers and drivers utilizing complementary or quasi complementary circuits.

- Available in HFE groups -6, -10, -16
- DC Current Gain— $h_{FE} = 40$ (Min) @ $I_C = 0.15$ Adc
- BD 135, 137, 139 are complementary with BD 136, 138, 140

MAXIMUM RATINGS

Rating	Symbol	Type	Value	Unit
Collector-Emitter Voltage	V_{CEO}	BD 135	45	Vdc
		BD 137	60	
		BD 139	80	
Collector-Base Voltage	V_{CBO}	BD 135	45	Vdc
		BD 137	60	
		BD 139	100	
Emitter-Base Voltage	V_{EBO}		5	Vdc
Collector Current	I_C		1.5	A dc
Base Current	I_B		0.5	A dc
Total Device Dissipation @ $T_A = 25^\circ\text{C}$	P_D		1.25	Watts
		Derate above 25°C	10	mW/ $^\circ\text{C}$
Total Device Dissipation @ $T_C = 25^\circ\text{C}$	P_D		12.5	Watt
		Derate above 25°C	100	mW/ $^\circ\text{C}$
Operating and Storage Junction Temperature Range	T_J, T_{stg}		-55 to +150	$^\circ\text{C}$

THERMAL CHARACTERISTICS

Characteristic	Symbol	Max	Unit
Thermal Resistance, Junction to Case	θ_{JC}	10	$^\circ\text{C/W}$
Thermal Resistance, Junction to Ambient	θ_{JA}	100	$^\circ\text{C/W}$

ELECTRICAL CHARACTERISTICS ($T_C = 25^\circ\text{C}$ unless otherwise noted)

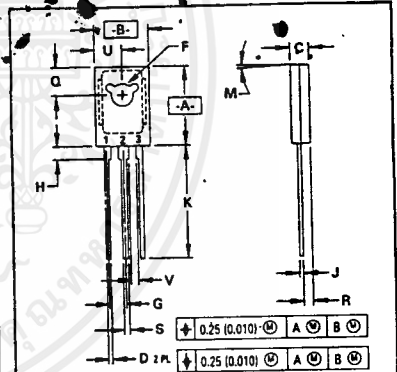
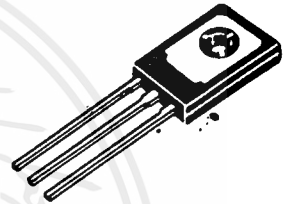
Characteristic	Symbol	Type	Min Max		Unit
Collector-Emitter Sustaining Voltage* ($I_C = 0.03$ Adc, $I_B = 0$)	V_{CEO}	BD 135 BD 137 BD 139	45 60 80	—	Vdc
Collector Cutoff Current ($V_{CB} = 30$ Vdc, $I_E = 0$) ($V_{CB} = 30$ Vdc, $I_E = 0$, $T_C = 125^\circ\text{C}$)	I_{CBO}		—	0.1 10	$\mu\text{A dc}$
Emitter Cutoff Current ($V_{BE} = 5.0$ Vdc, $I_C = 0$)	I_{EBO}		—	10	$\mu\text{A dc}$
DC Current Gain ($I_C = 0.005$ A, $V_{CE} = 2$ V) ($I_C = 0.15$ A, $V_{CE} = 2$ V) ($I_C = 0.5$ A, $V_{CE} = 2$ V)	h_{FE}		25 40	— 250	—
Collector-Emitter Saturation Voltage* ($I_C = 0.5$ Adc, $I_B = 0.05$ Adc)	$V_{CE(sat)}$		—	0.5	Vdc
Base-Emitter On Voltage* ($I_C = 0.5$ Adc, $V_{CE} = 2.0$ Vdc)	$V_{BE(on)}$		—	1	Vdc

* Pulse Test: Pulse Width ≤ 300 μs , Duty Cycle $\leq 2.0\%$

1.5 AMPERE POWER TRANSISTOR

NPN SILICON

45, 60, 80 VOLTS
10 WATTS



- NOTES:
 1. DIMENSIONING AND TOLERANCING PER ANSI Y14.5M, 1982.
 2. CONTROLLING DIMENSION: INCH.

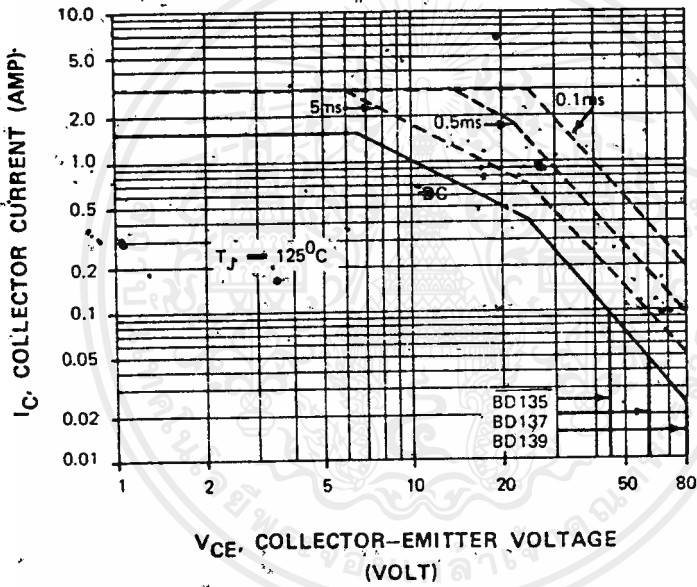
DIM	MILLIMETERS		INCHES	
	MIN	MAX	MIN	MAX
A	10.80	11.04	0.425	0.435
B	7.50	7.74	0.295	0.305
C	2.42	2.66	0.095	0.105
D	0.51	0.66	0.020	0.026
F	2.93	3.17	0.115	0.125
G	2.39 BSC		0.094 BSC	
H	1.27	2.41	0.050	0.095
J	0.39	0.63	0.015	0.025
K	14.61	16.63	0.575	0.655
M	3 rd TYP			
Q	3.76	4.01	0.148	0.158
R	1.15	1.39	0.045	0.055
S	0.64	0.88	0.025	0.035
U	3.69	3.93	0.145	0.155
V	1.02	—	0.040	—

- STYLE 1:
 PIN 1. EMITTER
 2. COLLECTOR
 3. BASE

CASE 77-06
 TO-225AA TYPE

3

FIGURE 1 - ACTIVE REGION SAFE OPERATING AREA



Available in HFE groups (At $I_C = 0.15\text{ A}$, $V_{CE} = 2\text{ V}$) HFE group:	Min.	Max.
-6	40	100
-10	63	160
-16	100	250

MOTOROLA SEMICONDUCTOR TECHNICAL DATA

BD136,-6,-10,-16
BD138,-6,-10,-16
BD140,-6,-10,-16

PLASTIC MEDIUM POWER SILICON PNP TRANSISTOR

designed for use as audio amplifiers and drivers utilizing complementary or quasi complementary circuits.

- Available in HFE groups -6, -10, -16
- DC Current Gain— $h_{FE} = 40$ (Min) @ $I_C = 0.15$ Adc
- BD 136, 138, 140 are complementary with BD 135, 137, 139

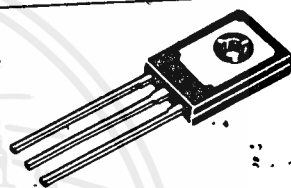
1.5 AMPERE POWER TRANSISTOR

PNP SILICON

45, 60, 80 VOLTS
10 WATTS

MAXIMUM RATINGS

Rating	Symbol	Type	Value	Unit
Collector-Emitter Voltage	V_{CEO}	BD 136	45	Vdc
		BD 138	60	
		BD 140	80	
Collector-Base Voltage	V_{CBO}	BD 136	45	Vdc
		BD 138	60	
		BD 140	100	
Emitter-Base Voltage	V_{EBO}		5	Vdc
Collector Current	I_C		1.5	A _{dc}
Base Current	I_B		0.5	A _{dc}
Total Device Dissipation @ $T_A = 25^\circ\text{C}$ Derate above 25°C	P_D		1.25	Watts
			10	mW/°C
Total Device Dissipation @ $T_C = 25^\circ\text{C}$ Derate above 25°C	P_D		12.5	Watt
			400	mW/°C
Operating and Storage Junction Temperature Range	T_J, T_{stg}		-55 to +150	°C



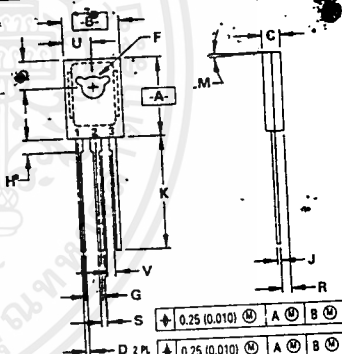
THERMAL CHARACTERISTICS

Characteristic	Symbol	Max	Unit
Thermal Resistance, Junction to Case	θ_{JC}	10	°C/W
Thermal Resistance, Junction to Ambient	θ_{JA}	100	°C/W

ELECTRICAL CHARACTERISTICS ($T_C = 25^\circ\text{C}$ unless otherwise noted)

Characteristic	Symbol	Type	Min Max		Unit
Collector-Emitter Sustaining Voltage* ($I_C = 0.03$ Adc, $I_B = 0$)	V_{CEO}	BD 136 BD 138 BD 140	45 60 80	—	Vdc
Collector Cutoff Current ($V_{CB} = 30$ Vdc, $I_E = 0$) ($V_{CB} = 30$ Vdc, $I_E = 0$, $T_C = 125^\circ\text{C}$)	I_{CBO}		—	0.1 10	μ A _{dc}
Emitter Cutoff Current ($V_{BE} = 5.0$ Vdc, $I_C = 0$)	I_{EBO}		—	10	μ A _{dc}
DC Current Gain ($I_C = 0.005$ A, $V_{CE} = 2$ V) ($I_C = 0.15$ A, $V_{CE} = 2$ V) ($I_C = 0.5$ A, $V_{CE} = 2$ V)	h_{FE}		25 40 250	—	—
Collector-Emitter Saturation Voltage* ($I_C = 0.5$ Adc, $I_B = 0.05$ Adc)	$V_{CE(sat)}$		—	0.5	Vdc
Base-Emitter On Voltage* ($I_C = 0.5$ Adc, $V_{CE} = 2.0$ Vdc)	$V_{BE(on)}$		—	1	Vdc

* Pulse Test: Pulse Width ≤ 300 μ s, Duty Cycle $\leq 2.0\%$



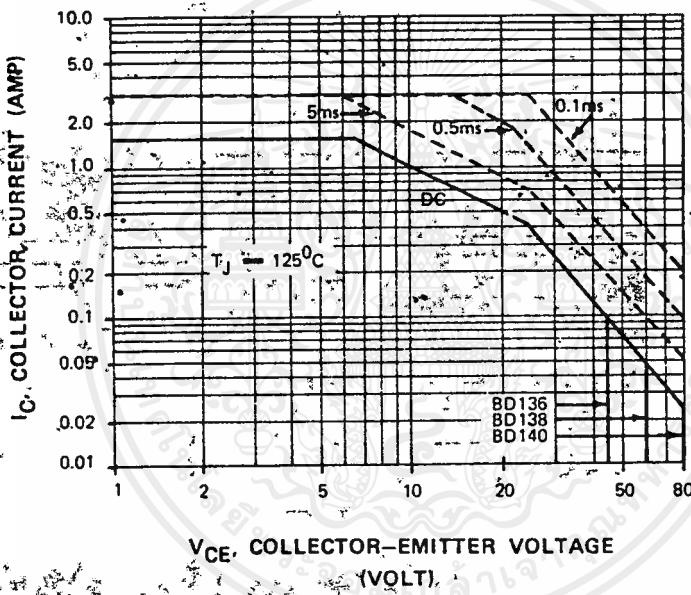
- NOTES:
 1. DIMENSIONING AND TOLERANCING PER ANSI Y14.5M, 1982
 2. CONTROLLING DIMENSION: INCH.

DIM	MILLIMETERS		INCHES	
	MIN	MAX	MIN	MAX
A	10.80	11.04	0.425	0.435
B	7.50	7.74	0.295	0.305
C	2.42	2.66	0.095	0.105
D	0.51	0.66	0.020	0.026
F	2.93	3.17	0.115	0.125
G	2.39 BSC		0.094 BSC	
H	1.27	2.41	0.050	0.095
J	0.39	0.63	0.015	0.025
K	14.61	16.63	0.575	0.655
M	3° TYP		3° TYP	
Q	3.76	4.01	0.148	0.158
R	1.15	1.39	0.045	0.055
S	0.84	0.88	0.035	0.035
U	3.69	3.93	0.145	0.155
V	1.02	—	0.040	—

- STYLE 1:
 PIN 1. EMITTER
 2. COLLECTOR
 3. BASE

CASE 77-06
 TO-225AA TYPE

FIGURE 1 - ACTIVE REGION SAFE OPERATING AREA



	Min.	Max.
Available in HFE groups		
(at $I_C = 0.15\text{ A}$, $V_{CE} = 2\text{ V}$) HFE group:	-6	100
	-10	160
	-16	250

Designer's Data Sheet
Power Field Effect Transistor
P-Channel Enhancement-Mode
Silicon Gate TMOS

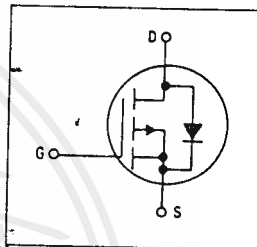
These TMOS Power FETs are designed for medium voltage, high speed power switching applications such as switching regulators, converters, solenoid and relay drivers.

- Silicon Gate for Fast Switching Speeds — Switching Times Specified at 100°C
- Designer's Data — I_{DSS} , $V_{DS(on)}$, $V_{GS(th)}$ and SOA Specified at Elevated Temperature
- Rugged — SOA is Power Dissipation Limited
- Source-to-Drain Diode Characterized for Use With Inductive Loads



MTM5P18
MTM5P20
MTP5P18
MTP5P20

TMOS POWER FETs
 5 AMPERES
 $r_{DS(on)} = 1 \text{ OHM}$
 180 and 200 VOLTS

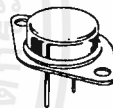


MAXIMUM RATINGS

Rating	Symbol	MTM or MTP		Unit
		5P18	5P20	
Drain-Source Voltage	V_{DSS}	180	200	Vdc
Drain-Gate Voltage ($R_{GS} = 1 \text{ M}\Omega$)	V_{DGR}	180	200	Vdc
Gate-Source Voltage — Continuous — Non-repetitive ($t_p \leq 50 \mu s$)	V_{GS}	± 20		Vdc
	V_{GSM}	± 40		Vpk
Drain Current Continuous Pulsed	I_D	5		Adc
	I_{DM}	20		
Total Power Dissipation @ $T_C = 25^\circ C$ Derate above $25^\circ C$	PD	75		Watts
		0.6		$W/^\circ C$
Operating and Storage Temperature Range	T_J, T_{stg}	-65 to 150		$^\circ C$

THERMAL CHARACTERISTICS

Thermal Resistance Junction to Case	$R_{\theta JC}$	1.67	$^\circ C/W$
Junction to Ambient	$R_{\theta JA}$	30	
		62.5	
Maximum Lead Temperature for Soldering Purposes, $1/8"$ from case for 5 seconds	T_L	275	$^\circ C$



MTM5P18
 MTM5P20
 CASE 1-04
 TO-204AA



MTP5P18
 MTP5P20
 CASE 221A-04
 TO-220AB

Designer's Data for "Worst Case" Conditions — The Designer's Data Sheet permits the design of most circuits entirely from the information presented. Limit curves — representing boundaries on device characteristics — are given to facilitate "worst case" design.

ELECTRICAL CHARACTERISTICS ($T_C = 25^\circ\text{C}$ unless otherwise noted)

Characteristic	Symbol	Min	Max	Unit	
OFF CHARACTERISTICS					
Drain-Source Breakdown Voltage ($V_{GS} = 0, I_D = 0.25 \text{ mA}$)	MTM/MTP5P18 MTM/MTP5P20	$V_{(BR)DSS}$	180 200	— —	Vdc
Zero Gate Voltage Drain Current ($V_{DS} = \text{Rated } V_{DSS}, V_{GS} = 0$) ($V_{DS} = \text{Rated } V_{DSS}, V_{GS} = 0, T_J = 125^\circ\text{C}$)		I_{DSS}	— —	10 100	μAdc
Gate-Body Leakage Current, Forward ($V_{GSF} = 20 \text{ Vdc}, V_{DS} = 0$)		I_{GSSF}	—	100	nAdc
Gate-Body Leakage Current, Reverse ($V_{GSR} = 20 \text{ Vdc}, V_{DS} = 0$)		I_{GSSR}	—	100	nAdc

ON CHARACTERISTICS*

Gate Threshold Voltage ($V_{DS} = V_{GS}, I_D = 1 \text{ mA}$) $T_J = 100^\circ\text{C}$		$V_{GS(th)}$	2 1.5	4.5 4	Vdc
Static Drain-Source On-Resistance ($V_{GS} = 10 \text{ Vdc}, I_D = 2.5 \text{ Adc}$)		$r_{DS(on)}$	—	1	Ohm
Drain-Source On-Voltage ($V_{GS} = 10 \text{ V}$) ($I_D = 5 \text{ Adc}$) ($I_D = 2.5 \text{ Adc}, T_J = 100^\circ\text{C}$)		$V_{DS(on)}$	— —	5 4	Vdc
Forward Transconductance ($V_{DS} = 15 \text{ V}, I_D = 2.5 \text{ A}$)		g_{FS}	2	—	mhos

DYNAMIC CHARACTERISTICS

Input Capacitance	$(V_{DS} = 25 \text{ V}, V_{GS} = 0,$ $f = 1 \text{ MHz})$ See Figure 10	C_{iss}	—	1000	pF
Output Capacitance		C_{oss}	—	250	
Reverse Transfer Capacitance		C_{rss}	—	75	

SWITCHING CHARACTERISTICS* ($T_J = 100^\circ\text{C}$)

Turn-On Delay Time	$(V_{DD} = 25 \text{ V}, I_D = 0.5 \text{ Rated } I_D$ $R_{gen} = 50 \text{ ohms})$ See Figures 11 and 12	$t_{d(on)}$	—	40	ns
Rise Time		t_r	—	50	
Turn-Off Delay Time		$t_{d(off)}$	—	90	
Fall Time		t_f	—	60	

SOURCE DRAIN DIODE CHARACTERISTICS*

Forward On-Voltage	$(I_S = \text{Rated } I_D$ $V_{GS} = 0)$	V_{SD}	2 (Typ)	4	Vdc
Forward Turn-On Time		t_{on}	Limited by stray inductance		
Reverse Recovery Time		t_{rr}	(Typ)	—	ns

INTERNAL PACKAGE INDUCTANCE (TO-204)

Internal Drain Inductance (Measured from the contact screw on the header closer to the source pin and the center of the die)	L_d	5 (Typ)	—	nH
Internal Source Inductance (Measured from the source pin, 0.25" from the package to the source bond pad)	L_s	12.5 (Typ)	—	

INTERNAL PACKAGE INDUCTANCE (TO-220)

Internal Drain Inductance (Measured from the contact screw on tab to center of die) (Measured from the drain lead 0.25" from package to center of die)	L_d	3.5 (Typ) 4.5 (Typ)	— —	nH
Internal Source Inductance (Measured from the source lead 0.25" from package to source bond pad.)	L_s	7.5 (Typ)	—	

*Pulse Test: Pulse Width $\leq 300 \mu\text{s}$, Duty Cycle $\leq 2\%$.

TYPICAL ELECTRICAL CHARACTERISTICS

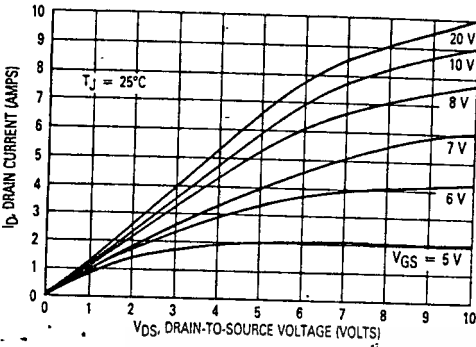


Figure 1. On-Region Characteristics

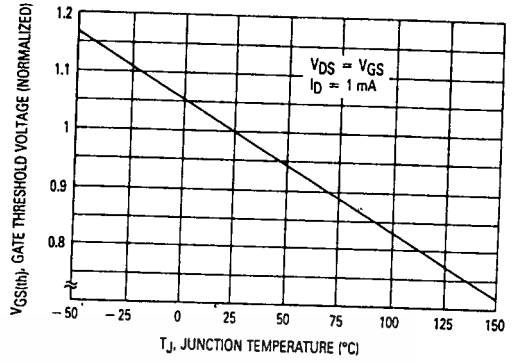


Figure 2. Gate-Threshold Voltage Variation With Temperature

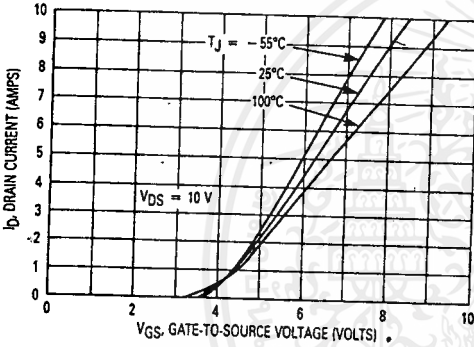


Figure 3. Transfer Characteristics

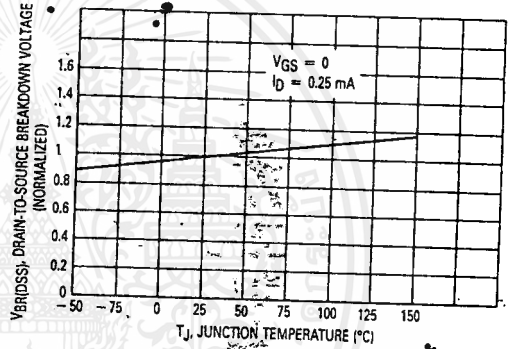


Figure 4. Normalized Breakdown Voltage versus Temperature

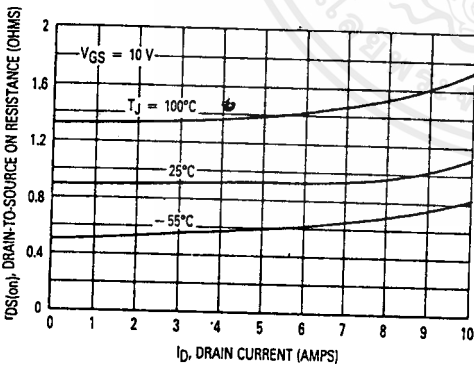


Figure 5. On-Resistance versus Drain Current

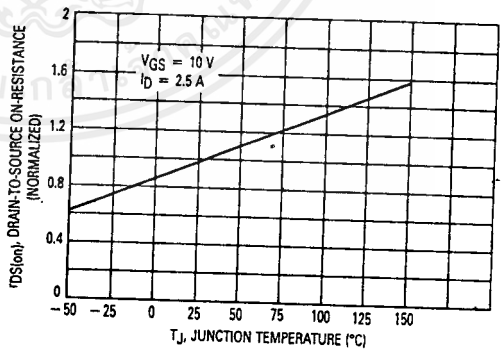


Figure 6. On-Resistance Variation With Temperature

SAFE OPERATING AREA INFORMATION

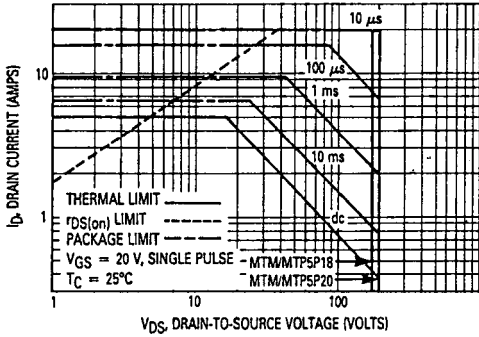


Figure 7. Maximum Rated Forward Biased Safe Operating Area

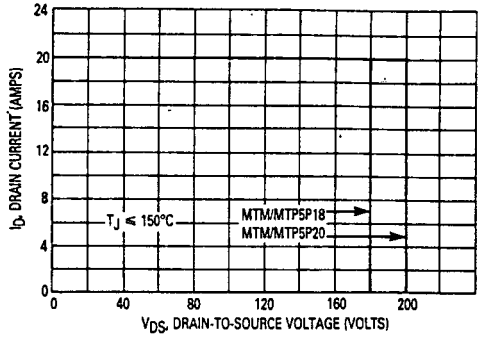


Figure 8. Maximum Rated Switching Safe Operating Area

FORWARD BIASED SAFE OPERATING AREA

The dc data of Figure 7 is based on a case temperature (T_C) of 25°C and a maximum junction temperature ($T_{J(max)}$) of 150°. The actual junction temperature depends on the power dissipated in the device and its case temperature. For various pulse widths, duty cycles, and case temperatures, the peak allowable drain current (I_{DM}) may be calculated with the aid of the following equation:

$$I_{DM} = I_D(25^\circ C) \left[\frac{T_{J(max)} - T_C}{P_D \cdot R_{\theta JC} \cdot r(t)} \right]$$

where

- $I_D(25^\circ C)$ = the dc drain current at $T_C = 25^\circ C$ from Figure 6.
- $T_{J(max)}$ = rated maximum junction temperature.
- T_C = device case temperature.
- P_D = rated power dissipation at $T_C = 25^\circ C$.

- $R_{\theta JC}$ = rated steady state thermal resistance.
- $r(t)$ = normalized thermal response from Figure 9.

SWITCHING SAFE OPERATING AREA

The switching safe operating area (SOA) of Figure 8 is the boundary that the load line may traverse without incurring damage to the MOSFET. The fundamental limits are the peak current, I_{DM} and the breakdown voltage, $V(BR)_{DSS}$. The switching SOA shown in Figure 7 is applicable for both turn-on and turn-off of the devices for switching times less than one microsecond.

The power averaged over a complete switching cycle must be less than:

$$\frac{T_{J(max)} - T_C}{R_{\theta JC}}$$

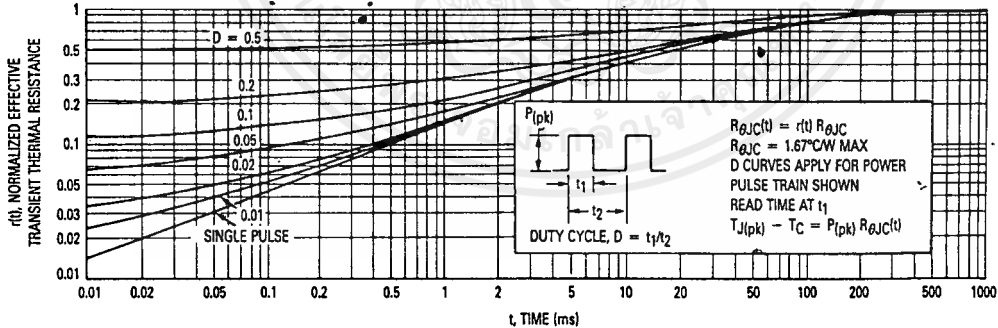


Figure 9. Thermal Response

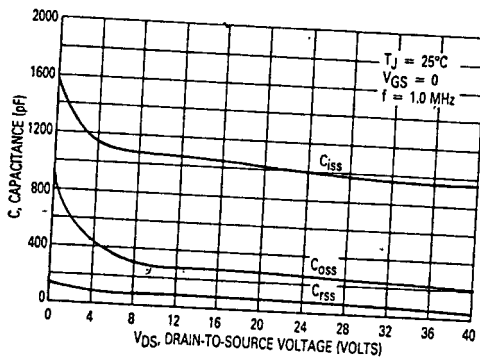


Figure 10. Capacitance Variation

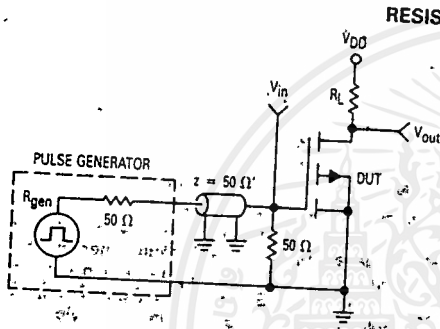


Figure 11. Switching Test Circuit

RESISTIVE SWITCHING

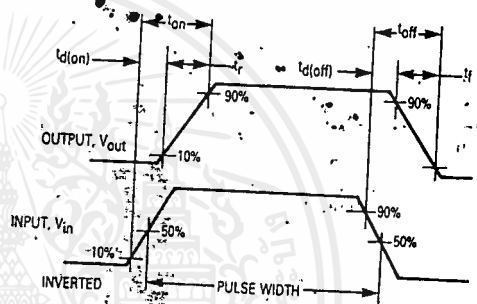
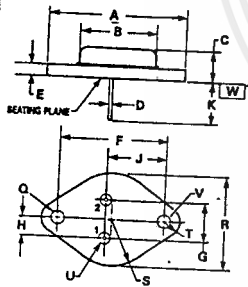
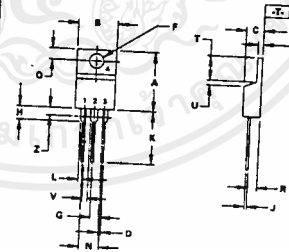


Figure 12. Switching Waveforms

OUTLINE DIMENSIONS



DIM	MILLIMETERS		INCHES	
	MIN	MAX	MIN	MAX
A	—	30.37	—	1.550
B	—	21.09	—	0.830
C	0.35	7.62	0.250	0.300
D	0.97	1.99	0.039	0.043
E	1.40	1.78	0.055	0.070
F	30.15 BSC	—	1.187 BSC	—
G	10.92 BSC	—	0.430 BSC	—
H	5.48 BSC	—	0.215 BSC	—
J	16.89 BSC	—	0.665 BSC	—
K	11.18	12.19	0.440	0.480
Q	3.81	4.19	0.151	0.165
R	—	26.67	—	1.050
U	2.54	3.05	0.100	0.120
V	3.81	4.19	0.151	0.165



DIM	MILLIMETERS		INCHES	
	MIN	MAX	MIN	MAX
A	14.61	15.75	0.575	0.620
B	8.89	10.25	0.350	0.405
C	4.97	4.82	0.196	0.190
D	8.64	8.98	0.337	0.353
F	8.81	7.75	0.347	0.305
G	7.42	7.88	0.292	0.310
H	7.88	7.93	0.310	0.312
J	9.25	9.55	0.364	0.376
K	12.70	14.27	0.500	0.562
L	11.18	1.30	0.245	0.051
M	4.63	5.33	0.182	0.210
Q	2.54	3.04	0.100	0.120
R	2.03	2.25	0.080	0.110
S	1.15	1.78	0.045	0.070
T	1.97	4.47	0.078	0.176
U	2.03	1.77	0.080	0.070
V	1.15	—	0.045	—
Z	—	1.64	—	0.065

- NOTES:
- DIAMETER V AND SURFACE W ARE DATUMS.
 - POSITIONAL TOLERANCE FOR HOLE Q.
 - POSITIONAL TOLERANCE FOR LEADS.

STYLE 3:
PIN 1. GATE
2. SOURCE
CASE DRAIN
CASE 1-04
TO-204AA

- NOTES:
- DIMENSIONING AND TOLERANCING PER ANSI Y14.5M, 1982
 - CONTROLLING DIMENSION, INCH
 - DIM Z DEFINES A ZONE WHERE ALL BODY AND LEAD IRREGULARITIES ARE ALLOWED

- STYLE 5:
PIN 1. GATE
2. DRAIN
3. SOURCE
4. DRAIN
CASE 221A-04
TO-220AB

Designer's Data Sheet

Power Field Effect Transistor
N-Channel Enhancement-Mode
Silicon Gate TMOS

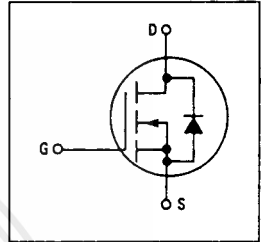
MTP2N35
MTP2N40



TMOS POWER FETs
 2 AMPERES
 $r_{DS(on)} = 5 \text{ OHMS}$
 350 and 400 VOLTS

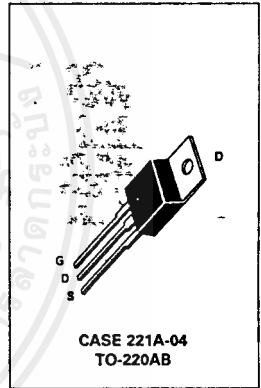
These TMOS Power FETs are designed for high voltage, high speed power switching applications such as switching regulators, converters, solenoid and relay drivers.

- Silicon Gate for Fast Switching Speeds — Switching Times Specified at 100°C
- Designer's Data — I_{DSS} , $V_{DS(on)}$, $V_{GS(th)}$ and SOA Specified at Elevated Temperature
- Rugged — SOA is Power Dissipation Limited
- Source-to-Drain Diode Characterized for Use With Inductive Loads



MAXIMUM RATINGS

Rating	Symbol	MTP		Unit
		2N35	2N40	
Drain-Source Voltage	V_{DSS}	350	400	Vdc
Drain-Gate Voltage ($R_{GS} = 1 \text{ M}\Omega$)	V_{DGR}	350	400	Vdc
Gate-Source Voltage Continuous Non-repetitive ($t_p \leq 50 \mu\text{s}$)	V_{GS}	± 20		Vdc
	V_{GSM}	± 40		Vpk
Drain Current — Continuous — Pulsed	I_D	2		Adc
	I_{DM}	5		
Total Power Dissipation @ $T_C = 25^\circ\text{C}$ Derate above 25°C	P_D	50		Watts
		0.4		W/°C
Operating and Storage Temperature Range	T_J, T_{stg}	-65 to 150		°C



THERMAL CHARACTERISTICS

Thermal Resistance — Junction to Case — Junction to Ambient	$R_{\theta JC}$	2.5	°C/W
	$R_{\theta JA}$	62.5	
Maximum Lead Temperature for Soldering Purposes, 1/8" from case for 5 seconds	T_L	275	°C

ELECTRICAL CHARACTERISTICS ($T_C = 25^\circ\text{C}$ unless otherwise noted)

Characteristic	Symbol	Min	Max	Unit
OFF CHARACTERISTICS				
Drain-Source Breakdown Voltage ($V_{GS} = 0, I_D = 0.25 \text{ mA}$)	$V_{(BR)DSS}$	350	—	Vdc
		400	—	
Zero Gate Voltage Drain Current ($V_{DS} = \text{Rated } V_{DSS}, V_{GS} = 0$) ($V_{DS} = 0.8 \text{ Rated } V_{DSS}, V_{GS} = 0, T_J = 125^\circ\text{C}$)	I_{DSS}	—	0.2	mAdc
		—	1	
Gate-Body Leakage Current, Forward ($V_{GSF} = 20 \text{ Vdc}, V_{DS} = 0$)	I_{GSSF}	—	100	nAdc
Gate-Body Leakage Current, Reverse ($V_{GSR} = 20 \text{ Vdc}, V_{DS} = 0$)	I_{GSSR}	—	100	nAdc

(continued)

Designer's Data for "Worst Case" Conditions — The Designer's Data Sheet permits the design of most circuits entirely from the information presented. Limit curves — representing boundaries on device characteristics — are given to facilitate "worst case" design.

ELECTRICAL CHARACTERISTICS — continued ($T_C = 25^\circ\text{C}$ unless otherwise noted)

Characteristic	Symbol	Min	Max	Unit
----------------	--------	-----	-----	------

ON CHARACTERISTICS*

Gate Threshold Voltage ($V_{DS} = V_{GS}$, $I_D = 1 \text{ mA}$) $T_J = 100^\circ\text{C}$	$V_{GS(th)}$	2 1.5	4.5 4	Vdc
Static Drain-Source On-Resistance ($V_{GS} = 10 \text{ Vdc}$, $I_D = 2 \text{ Adc}$)	$r_{DS(on)}$	—	5	Ohms
Drain-Source On-Voltage ($V_{GS} = 10 \text{ V}$) ($I_D = 2 \text{ Adc}$) ($I_D = 1 \text{ Adc}$, $T_J = 100^\circ\text{C}$)	$V_{DS(on)}$	— —	13 10	Vdc
Forward Transconductance ($V_{DS} = 15 \text{ V}$, $I_D = 1 \text{ A}$)	g_{FS}	0.5	—	mhos

DYNAMIC CHARACTERISTICS

Input Capacitance	$(V_{DS} = 25 \text{ V}$, $V_{GS} = 0$, $f = 1 \text{ MHz}$) See Figure 11	C_{iss}	—	200	pF
Output Capacitance		C_{oss}	—	30	
Reverse Transfer Capacitance		C_{rss}	—	10	

SWITCHING CHARACTERISTICS* ($T_J = 100^\circ\text{C}$)

Turn-On Delay Time	$(V_{DD} = 25 \text{ V}$, $I_D = 0.5 \text{ Rated } I_D$ $R_{gen} = 50 \text{ ohms}$) See Figures 9, 13 and 14	$t_{d(on)}$	—	20	ns
Rise Time		t_r	—	15	
Turn-Off Delay Time		$t_{d(off)}$	—	35	
Fall Time		t_f	—	30	
Total Gate Charge	$(V_{DS} = 0.8 \text{ Rated } V_{DSS}$, $I_D = \text{Rated } I_D$, $V_{GS} = 10 \text{ V}$) See Figure 12	Q_g	9 (Typ)	11	nC
Gate-Source Charge		Q_{gs}	7 (Typ)	—	
Gate-Drain Charge		Q_{gd}	2 (Typ)	—	

SOURCE DRAIN DIODE CHARACTERISTICS*

Forward On-Voltage	$(I_S = \text{Rated } I_D$, $V_{GS} = 0$)	V_{SD}	1.8 (Typ)	2.2	Vdc
Forward Turn-On Time		t_{on}	Limited by stray inductance		—
Reverse Recovery Time		t_{rr}	150 (Typ)	—	ns

INTERNAL PACKAGE INDUCTANCE (TO-220)

Internal Drain Inductance (Measured from the contact screw on tab to center of die) (Measured from the drain lead 0.25" from package to center of die)	L_d	3.5 (Typ) 4.5 (Typ)	—	nH
Internal Source Inductance (Measured from the source lead 0.25" from package to source bond pad.)	L_s	7.5 (Typ)	—	

*Pulse Test: Pulse Width $\leq 300 \mu\text{s}$, Duty Cycle $\leq 2\%$.

TYPICAL ELECTRICAL CHARACTERISTICS

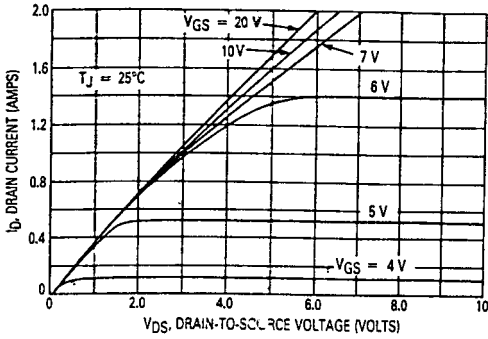


Figure 1. On-Region Characteristics

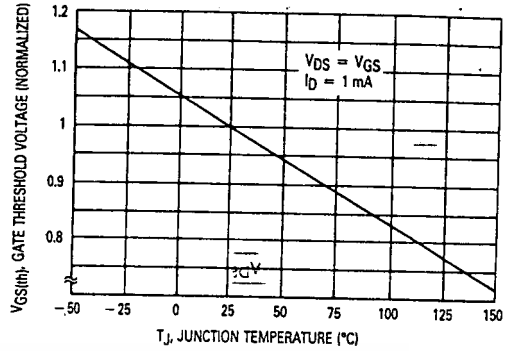


Figure 2. Gate-Threshold Voltage Variation With Temperature

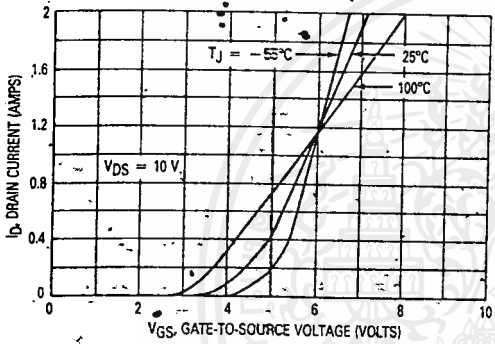


Figure 3. Transfer Characteristics

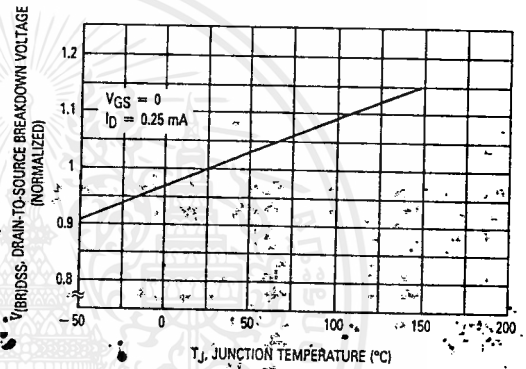


Figure 4. Breakdown Voltage Variation With Temperature

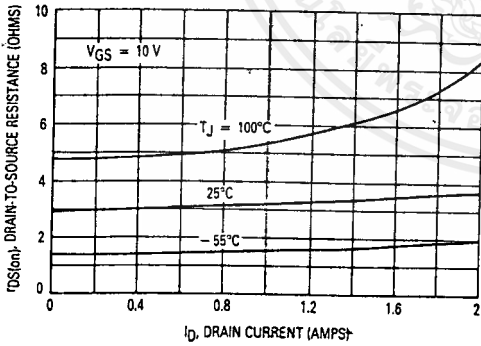


Figure 5. On-Resistance versus Drain Current

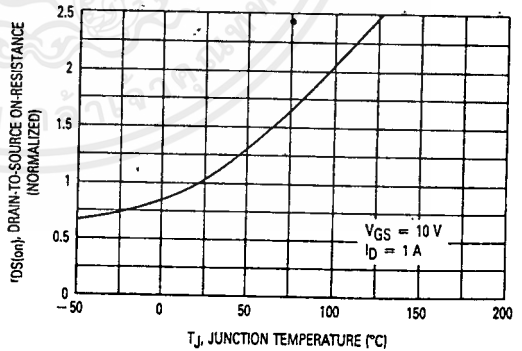


Figure 6. On-Resistance Variation With Temperature

SAFE OPERATING AREA INFORMATION

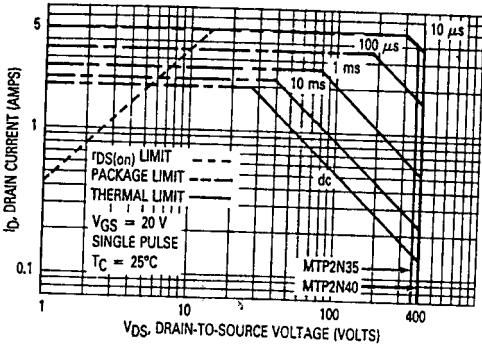


Figure 7. Maximum Rated Forward Biased Safe Operating Area

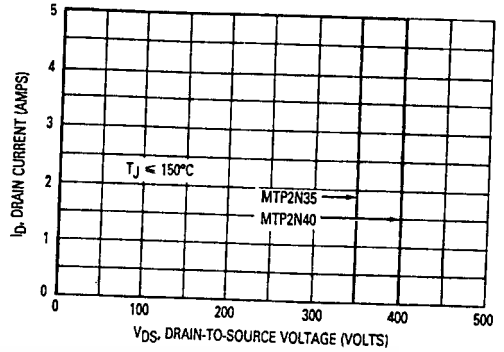


Figure 8. Maximum Rated Switching Safe Operating Area

FORWARD BIASED SAFE OPERATING AREA

The FBSOA curves define the maximum drain-to-source voltage and drain current that a device can safely handle when it is forward biased, or when it is on, or being turned on. Because these curves include the limitations of simultaneous high voltage and high current, up to the rating of the device, they are especially useful to designers of linear systems. The curves are based on a case temperature of 25°C and a maximum junction temperature of 150°C. Limitations for repetitive pulses at various case temperatures can be determined by using the thermal response curves. Motorola Application Note, AN569, "Transient Thermal Resistance-General Data and Its Use" provides detailed instructions.

SWITCHING SAFE OPERATING AREA

The switching safe operating area (SOA) of Figure 8 is the boundary that the load line may traverse without incurring damage to the MOSFET. The fundamental limits are the peak current, I_{DM} and the breakdown voltage, $V_{(BR)DSS}$. The switching SOA shown in Figure 8 is applicable for both turn-on and turn-off of the devices for switching times less than one microsecond.

The power averaged over a complete switching cycle must be less than:

$$\frac{T_{J(max)} - T_C}{R_{\theta JC}}$$

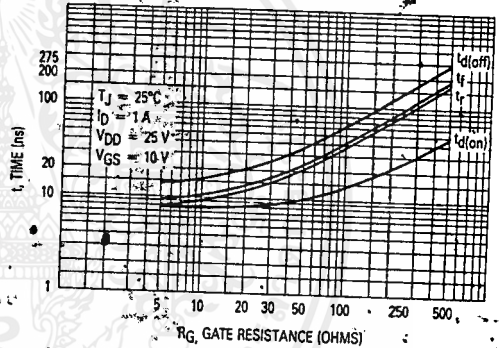


Figure 9. Resistive Switching Time Variation versus Gate Resistance

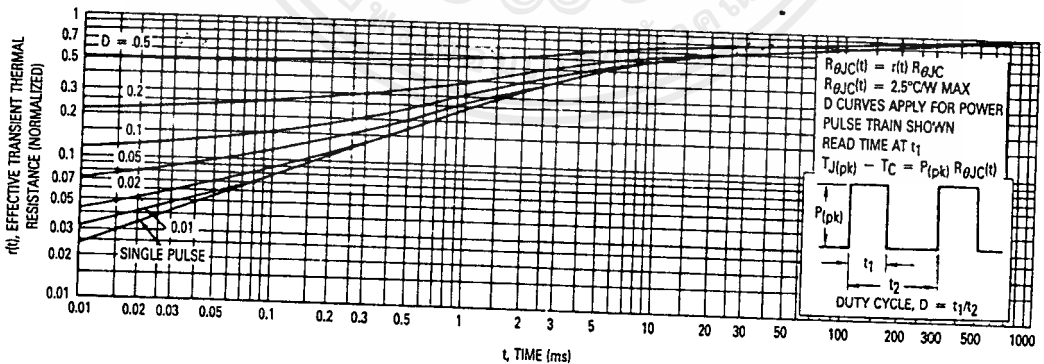


Figure 10. Thermal Response

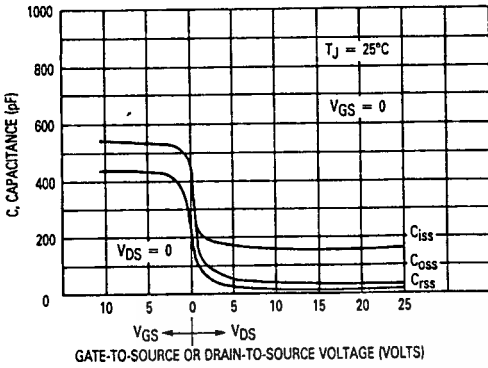


Figure 11. Capacitance Variation

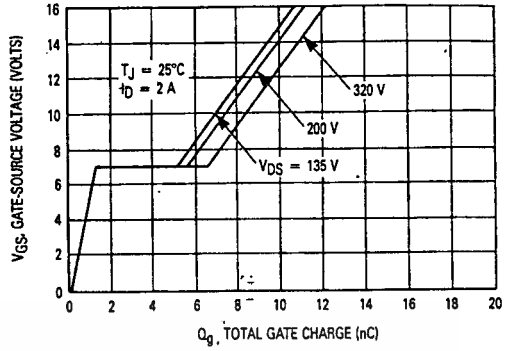


Figure 12. Gate Charge versus Gate-to-Source Voltage

RESISTIVE SWITCHING

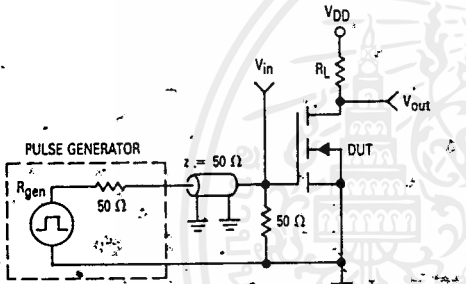


Figure 13. Switching Test Circuit

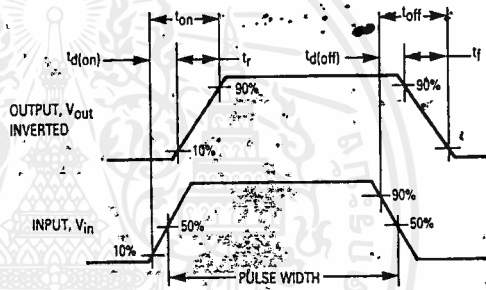


Figure 14. Switching Waveforms

OUTLINE DIMENSIONS

CASE 221A-04
TQ-220AB

MILLIMETERS		INCHES		
DIM	MIN	MAX	MIN	MAX
A	14.48	15.75	0.570	0.620
B	9.14	10.28	0.360	0.407
C	4.67	5.32	0.186	0.210
D	0.54	0.68	0.021	0.026
E	0.41	0.71	0.016	0.028
F	2.42	2.68	0.095	0.105
G	0.80	0.91	0.031	0.035
H	0.30	0.55	0.012	0.022
I	12.70	14.27	0.500	0.562
L	3.16	3.30	0.124	0.129
M	4.83	5.33	0.190	0.210
N	2.54	3.04	0.100	0.120
P	2.04	2.75	0.080	0.108
Q	1.78	2.28	0.070	0.090
R	0.47	0.47	0.018	0.018
S	0.92	1.27	0.036	0.050
T	1.78	2.04	0.070	0.080
Z	—	—	—	0.080

STYLE 5
PIN 1: GATE
2: DRAIN
3: SOURCE
4: DRAIN

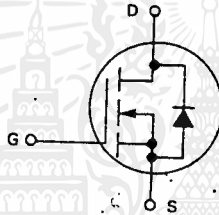
NOTES:
1. DIMENSIONING AND TOLERANCING PER ANSI Y14.5M, 1987.
2. CONTROLLING DIMENSION: INCH.
3. DIM Z DEFINES A ZONE WHERE ALL BODY AND LEAD IRREGULARITIES ARE ALLOWED.

Designer's Data Sheet

**N-CHANNEL ENHANCEMENT-MODE SILICON GATE
 TMOS POWER FIELD EFFECT TRANSISTOR**

These TMOS Power FETs are designed for low voltage, high speed power switching applications such as switching regulators, converters, solenoid and relay drivers.

- Silicon Gate for Fast Switching Speeds — Switching Times Specified at 100°C
- Designer's Data — I_{DSS} , $V_{DS(on)}$, $V_{GS(th)}$ and SOA Specified at Elevated Temperature
- Rugged — SOA is Power Dissipation Limited
- Source-to-Drain Diode Characterized for Use With Inductive Loads



MTM55N08
MTM55N10
MTM60N05
MTM60N06

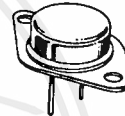
55 and 60 AMPERE

**N-CHANNEL TMOS
 POWER FETs**

$r_{DS(on)} = 0.04 \text{ OHM}$
 80 and 100 VOLTS

$r_{DS(on)} = 0.028 \text{ OHM}$
 50 and 60 VOLTS

MTM55N08
 MTM55N10
 MTM60N05
 MTM60N06



MAXIMUM RATINGS

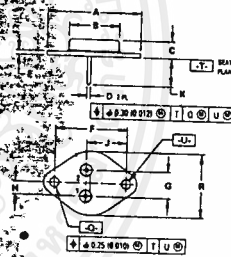
Rating	Symbol	MTM				Unit
		60N05	60N06	55N08	55N10	
Drain-Source Voltage	V_{DSS}	50	60	80	100	Vdc
Drain-Gate Voltage ($R_{GS} = 1 \text{ M}\Omega$)	V_{DGR}	50	60	80	100	Vdc
Gate-Source Voltage Continuous	V_{GS}	± 20 ± 40				Vdc Vpk
Non-repetitive ($t_D \leq 50 \mu\text{s}$)	V_{GSM}					
Drain Current Continuous	I_D	60		55		Adc
Pulsed	I_{DM}	300		275		
Total Power Dissipation @ $T_C = 25^\circ\text{C}$ Derate above 25°C	P_D	250				Watts W/°C
Operating and Storage Temperature Range	T_J, T_{stg}	-65 to 150				

THERMAL CHARACTERISTICS

Thermal Resistance Junction to Case	$R_{\theta JC}$	0.5	°C/W
Maximum Lead Temp. for Soldering Purposes, 1/8" from case for 5 seconds	T_L	275	°C

Designer's Data for "Worst Case" Conditions

The Designer's Data Sheet permits the design of most circuits entirely from the information presented. Limit data — representing device characteristics boundaries — are given to facilitate "worst case" design.



NOTE:
 1. DIMENSIONING AND TOLERANCING PER ANSI Y14.5M, 1982.
 2. CONTROLLING DIMENSION: INCH.

STYLE 2:
 PIN 1: GATE
 PIN 2: SOURCE
 CASE: DRAIN

DIM	MILLIMETERS		INCHES	
	MIN	MAX	MIN	MAX
A	38.30	39.37	1.510	1.550
B	19.31	21.08	0.760	0.830
C	0.35	0.25	0.250	0.325
D	1.45	1.80	0.057	0.063
E	1.53	1.77	0.060	0.070
F	30.15 BSC		1.187 BSC	
G	10.92 BSC		0.430 BSC	
H	5.46 BSC		0.215 BSC	
J	16.80 BSC		0.665 BSC	
K	11.18	12.19	0.440	0.480
Q	2.84	4.19	0.151	0.165
R	25.15	26.67	0.990	1.050
U	2.84	4.19	0.151	0.165

CASE 197A-02
 TO-204AE

MTM55N08, 10/MTM60N05, 06

ELECTRICAL CHARACTERISTICS (T_C = 25°C unless otherwise noted)

Characteristic	Symbol	Min	Max	Unit	
OFF CHARACTERISTICS					
Drain-Source Breakdown Voltage (V _{GS} = 0, I _D = 5.0 mA)	MTM60N05 MTM60N06 MTM55N08 MTM55N10	V _{BR(DSS)}	50 60 80 100	— — — —	V _{dc}
Zero Gate Voltage Drain Current (V _{DS} = Rated V _{DS} , V _{GS} = 0) -T _C = 125°C -		I _{DSS}	— —	10 100	μA _{dc}
Gate-Body Leakage Current (V _{GS} = 20 V _{dc} , V _{DS} = 0)		I _{GSS}	—	100	nA _{dc}

ON CHARACTERISTICS*					
Gate Threshold Voltage (V _{DS} = V _{GS} , I _D = 1 mA, V _{DS} = V _{GS} , T _J = 100°C)		V _{GS(th)}	2 1.5	4.5 4	V _{dc}
Static Drain-Source On-Resistance (V _{GS} = 10 V _{dc} , I _D = 30 A _{dc}) (V _{GS} = 10 V _{dc} , I _D = 27.5 A _{dc})	MTM60N05/MTM60N06 MTM55N08/MTM55N10	r _{DS(on)}	— —	0.028 0.04	Ohm
Drain-Source On-Voltage (V _{GS} = 10 V) (I _D = 60 A _{dc}) (I _D = 30 A _{dc} , T _J = 100°C) (I _D = 55 A _{dc}) (I _D = 27.5 A _{dc} , T _C = 100°C)	MTM60N05/MTM60N06 MTM60N05/MTM60N06 MTM55N08/MTM55N10 MTM55N08/MTM55N10	V _{DS(on)}	— — — —	1.98 1.68 2.6 2.2	V _{dc}
Forward Transconductance (V _{DS} = 15 V, I _D = 30 A) (V _{DS} = 15 V, I _D = 27.5 A)	MTM60N05/MTM60N06 MTM55N08/MTM55N10	g _{FS}	10 10	— —	mhos

DYNAMIC CHARACTERISTICS					
Input Capacitance	V _{DS} = 25 V, V _{GS} = 0, f = 1 MHz See Figure 8	C _{iss}	—	5000	pF
Output Capacitance		C _{oss}	—	2500	pF
Reverse Transfer Capacitance		C _{rss}	—	1000	pF

SWITCHING CHARACTERISTICS* (T_J = 100°C)					
Turn-On Delay Time	V _{DD} = 25 V, I _D = 0.5 Rated I _D , R _{gen} = 50 ohms See Figure 16	t _{d(on)}	—	70	ns
Rise Time		t _r	—	350	ns
Turn-Off Delay Time		t _{d(off)}	—	350	ns
Fall Time		t _f	—	400	ns
Total Gate Charge	V _{DS} = 0.8 Rated, I _D = Rated, V _{GS} = 10 V See Figure 15	Q _g	105 (Typ)	120	nC
		Q _{gs}	74 (Typ)	—	
		Q _{gd}	31 (Typ)	—	

SOURCE DRAIN DIODE CHARACTERISTICS*					
Forward On-Voltage	I _S = Rated I _D V _{GS} = 0	V _{SD}	3.5	4	V _{dc}
Forward Turn-On Time		t _{on}	Limited by stray inductance.		
Reverse Recovery Time		t _{rr}	200	—	ns

INTERNAL PACKAGE INDUCTANCE (TO-204)				
Internal Drain Inductance (Measured from the contact screw on the header closer to the source pin and the center of the die)	L _d	5 (Typ)	—	nH
Internal Source Inductance (Measured from the source pin 0.25" from the package to the source bond pad)	L _s	12.5 (Typ)	—	

*Pulse Test: Pulse Width ≤ 300 μs, Duty Cycle ≤ 2%.

TYPICAL CHARACTERISTICS

MTM60N05, MTM60N06

FIGURE 1 — ON-REGION CHARACTERISTICS

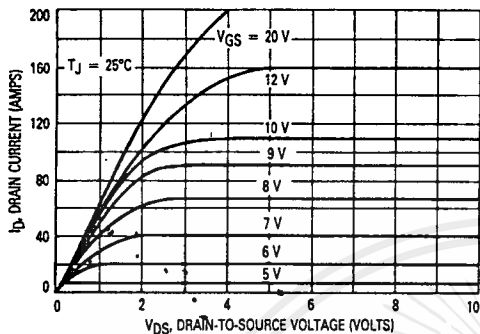


FIGURE 3 — TRANSFER CHARACTERISTICS

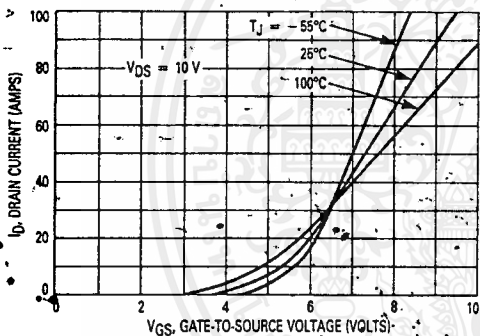
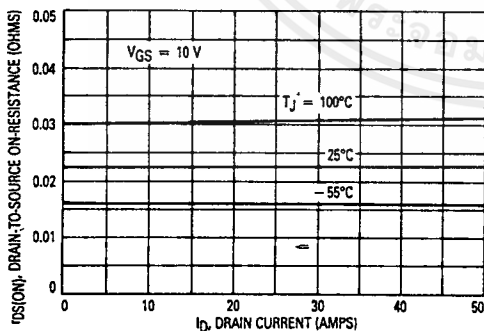


FIGURE 5 — ON-RESISTANCE versus DRAIN CURRENT



MTM55N08, MTM55N10

FIGURE 2 — ON-REGION CHARACTERISTICS

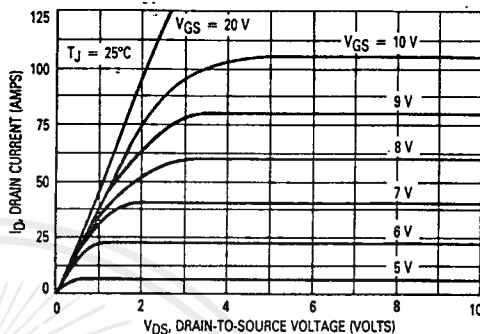


FIGURE 4 — TRANSFER CHARACTERISTICS

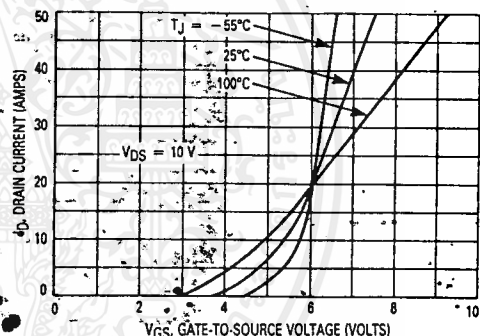
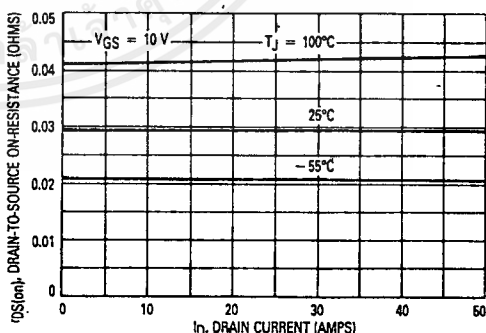


FIGURE 6 — ON-RESISTANCE versus DRAIN CURRENT



TYPICAL CHARACTERISTICS

FIGURE 7 — GATE-THRESHOLD VOLTAGE VARIATION WITH TEMPERATURE

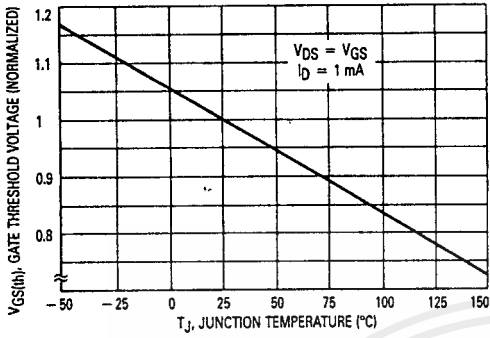


FIGURE 8 — CAPACITANCE VARIATION

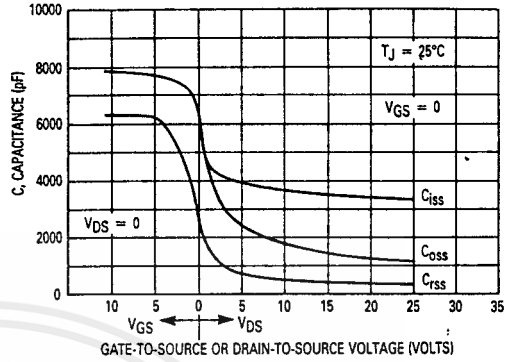


FIGURE 9 — BREAKDOWN VOLTAGE VARIATION WITH TEMPERATURE

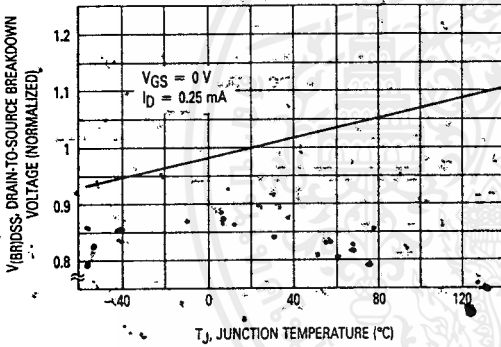


FIGURE 10 — ON-RESISTANCE VARIATION WITH TEMPERATURE

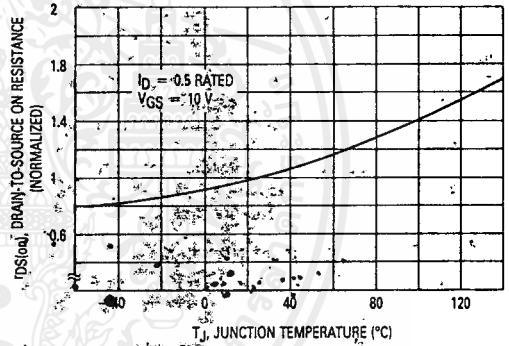
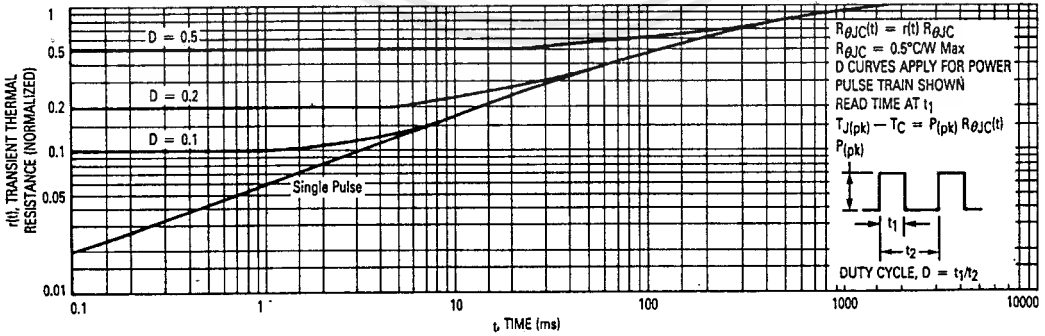


FIGURE 11 — THERMAL RESPONSE



SAFE OPERATING AREA INFORMATION

FIGURE 12 — MTM60N05, MTM60N06

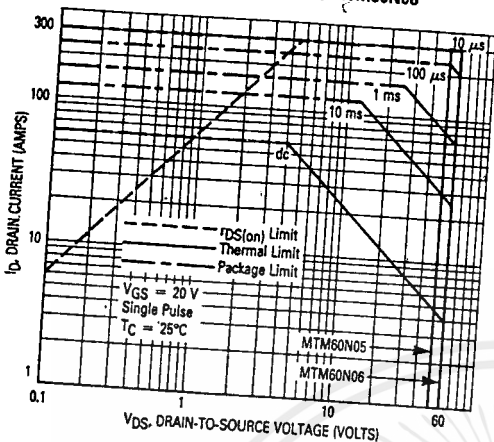
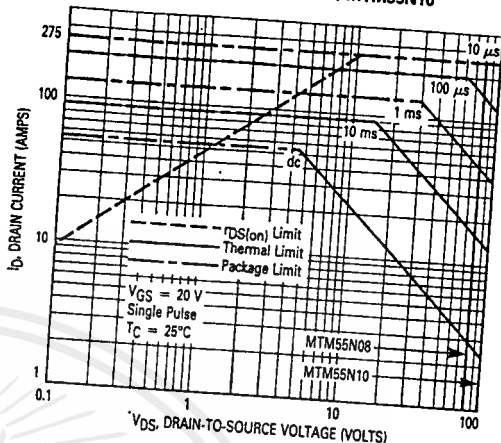


FIGURE 13 — MTM55N08, MTM55N10



FORWARD BIASED SAFE OPERATING AREA

The FBSOA curves define the maximum drain-to-source voltage and drain current that a device can safely handle when it is forward biased, or when it is on, or being turned on. Because these curves include the limitations of simultaneous high voltage and high current, up to the rating of the device, they are especially useful to designers of linear systems. The curves are based on a case temperature of 25°C and a maximum junction temperature of 150°C. Limitations for repetitive pulses at various case temperatures can be determined by using the thermal response curves. Motorola Application Note, AN569, "Transient Thermal Resistance-General Data and Its Use" provides detailed instructions.

SWITCHING SAFE OPERATING AREA

The switching safe operating area (SOA) of Figure 14 is the boundary that the load line may traverse without incurring damage to the MOSFET. The fundamental limits are the peak current, IDM and the breakdown voltage, V(BR)DSS. The switching SOA shown in Figure 14 is applicable for both turn-on and turn-off of the devices for switching times less than one microsecond.

The power averaged over a complete switching cycle must be less than:

$$\frac{T_J(\text{max}) - T_C}{R_{\theta JC}}$$

FIGURE 14 — MAXIMUM RATED SWITCHING SAFE OPERATING AREA

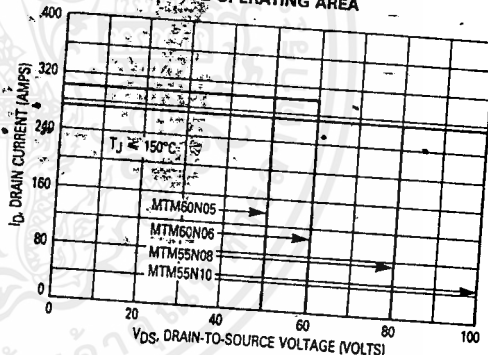


FIGURE 15 — STORED CHARGE versus GATE-TO-SOURCE VOLTAGE

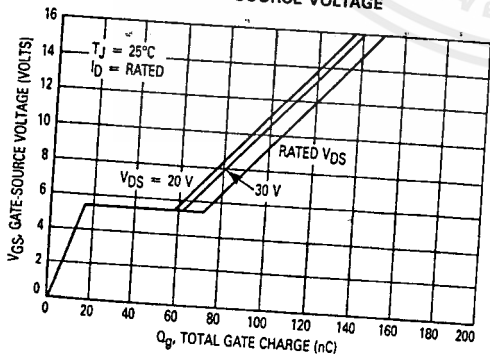
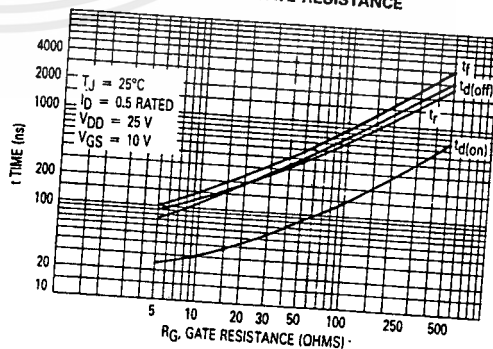


FIGURE 16 — RESISTIVE SWITCHING TIME VARIATION WITH GATE RESISTANCE



MM2708, MM2708-1 8192-Bit (1024 x 8) UV Erasable PROMs

General Description

The MM2708, MM2708-1 are high speed 8192 UV erasable and electrically reprogrammable EPROMs ideally suited for applications where fast turn-around and pattern experimentation are important requirements.

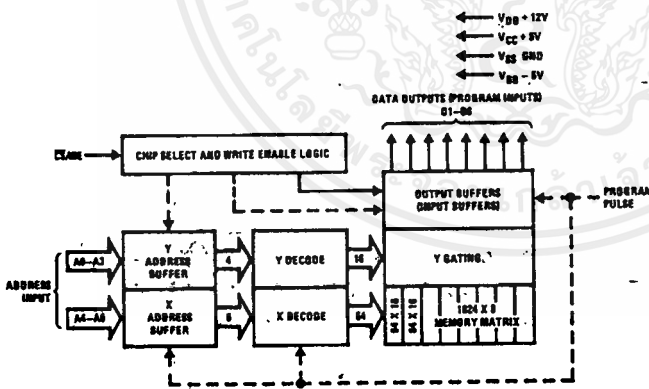
The MM2708, MM2708-1 are packaged in a 24-pin dual-in-line package with transparent lid. The transparent lid allows the user to expose the chip to ultra-violet light to erase the bit pattern. A new pattern can then be written into the devices by following the programming procedure.

These EPROMs are fabricated with the reliable, high volume, time proven, N-channel silicon gate technology.

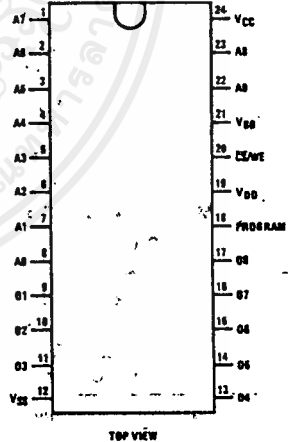
Features

- 1024 x 8 organization
- 800 mW max
- Low power during programming
- Access time — MM2708, 450 ns; MM2708-1, 350 ns
- Standard power supplies: 12V, 5V, -5V
- Static—no clocks required
- Inputs and outputs TTL compatible during both read and program modes
- TRI-STATE® output

Block and Connection Diagrams



Dual-In-Line Package



Order Number MM2708Q or MM2708Q-1
See NS Package J24CQ

Pin Connection During Read or Program

MODE	PIN NUMBER						
	9-11, 13-17	12	18	19	20	21	24
Read	DOUT	VSS	VSS	VDD	VIL	VBB	VCC
Program	DIN	VSS	Pulsed VIHP	VDD	VIHW	VBB	VCC

Pin Description

- A0-A9 Address Inputs
- O1-O8 Data outputs
- CS/WE Chip select/write enable input

MM2708, MM2708A1

Absolute Maximum Ratings (Note 1)

Temperature Under Bias	-25°C to +85°C
Storage Temperature	-65°C to +125°C
V _{DD} with Respect to V _{BB}	20V to -0.3V
V _{CC} and V _{SS} with Respect to V _{BB}	15V to -0.3V
All Input or Output Voltages with Respect to V _{BB} During Read	15V to -0.3V

CS/WE Input with Respect to V _{BB} During Programming	20V to -0.3V
Program Input with Respect to V _{BB}	35V to -0.3V
Power Dissipation	1.5W
Lead Temperature (Soldering, 10 seconds)	300°C

Read Operation

DC Operating Characteristics

T_A = 0°C to +70°C, V_{CC} = 5V ±5%, V_{DD} = 12V ±5%, V_{BB} = -5V ±5%, V_{SS} = 0V, unless otherwise noted, (Note 3)

PARAMETER		CONDITIONS	MIN	TYP	MAX	UNITS
I _{LI}	Address and Chip Select Input Sink Current	V _{IN} = 5.25V or V _{IN} = V _{IL}		1	10	μA
I _{LO}	Output Leakage Current	V _{OUT} = 5.25V, CS/WE = 5V		1	10	μA
I _{DD}	V _{DD} Supply Current	Worst-Case Supply Currents, All Inputs High, CS/WE = 5V, T _A = 0°C		44	65	mA
I _{CC}	V _{CC} Supply Current	Worst-Case Supply Currents; All Inputs High, CS/WE = 5V, T _A = 0°C		7	10	mA
I _{BB}	V _{BB} Supply Current	Worst-Case Supply Currents, All Inputs High, CS/WE = 5V, T _A = 0°C		34	45	mA
V _{IL}	Input Low Voltage		V _{SS}		0.65	V
V _{IH}	Input High Voltage		3.0		V _{CC} +1	V
V _{OH1}	Output High Voltage	I _{OH} = -100 μA	3.7			V
V _{OH2}	Output High Voltage	I _{OH} = -1 mA	2.4			V
V _{OL}	Output Low Voltage	I _{OL} = 1.6 mA			0.45	V
PD	Power Dissipation				800	mW

AC Electrical Characteristics

T_A = 0°C to +70°C, V_{CC} = 5V ±5%, V_{DD} = 12V ±5%, V_{BB} = -5V ±5%, V_{SS} = 0V, unless otherwise noted

PARAMETER	CONDITIONS	MM2708		MM2708-1		UNITS
		MIN	MAX	MIN	MAX	
t _{ACC}	Address to Output Delay		450		350	ns
t _{CO}	Chip Select to Output Delay		120		120	ns
t _{DF}	Chip Deselect to Output Delay	0	120		120	ns
t _{OH}	Address to Output Hold	0		0		ns

CAPACITANCE (Note 2)

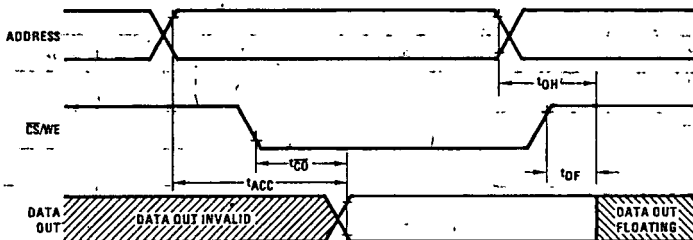
PARAMETER	CONDITIONS	MIN	MAX	UNITS
C _{IN}	Input Capacitance		6	pF
C _{OUT}	Output Capacitance		12	pF

Note 1: "Absolute Maximum Ratings" are those values beyond which the safety of the device cannot be guaranteed. Except for "Operating Temperature Range" they are not meant to imply that the devices should be operated at these limits. The table of "Electrical Characteristics" provides conditions for actual device operation.

Note 2: Capacitance is guaranteed by periodic testing. T_A = 25°C, f = 1 MHz

Note 3: Typical conditions are for operation at: T_A = 25°C, V_{CC} = 5V, V_{DD} = 12V, V_{BB} = -5V, and V_{SS} = 0V.

Switching Time Waveforms



Programming Instructions

Initially, and after each erasure, all bits of the MM2708, MM2708-1 are in the "1" state (output high). Information is introduced by selectively programming "0" into the desired bit locations. A programmed "0" can only be changed to a "1" by UV erasure.

The circuit is set up for programming operation by raising the \overline{CS}/WE input (pin 20) to +12V. The word address is selected in the same manner as in the read mode. Data to be programmed are presented, 8 bits in parallel, to the data output lines (O1–O8). Logic levels for address and data lines and the supply voltages are the same as for the read mode. After address and data set up, one program pulse per address is applied to the program input (pin 18). One pass through all addresses is defined as a program loop. The number of loops (N)

required is a function of the program pulse width (tpw) according to $N \times tpw \geq 100$ ms.

The width of the program pulse is from 0.1 to 1 ms. The number of loops (N) is from a minimum of 100 ($tpw = 1$ ms) to greater than 1000 ($tpw = 0.1$ ms). There must be N successive loops through all 1024 addresses. *It is not permitted to apply N program pulses to an address and then change to the next address to be programmed.* Caution should be observed regarding the end of a program sequence. The \overline{CS}/WE falling edge transition must occur before the first address transition when changing from a program to a read cycle. The program pin should also be pulled down to V_{ILP} with an active instead of a passive device. This pin will source a small amount of current (I_{IPL}) when \overline{CS}/WE is at V_{IHW} (12V) and the program pulse is at V_{ILP} .

Programming Characteristics

$T_A = 25^\circ C$, $V_{CC} = 5V \pm 5\%$, $V_{DD} = 12V \pm 5\%$, $V_{BB} = -5V \pm 5\%$, $V_{SS} = 0V$, unless otherwise noted

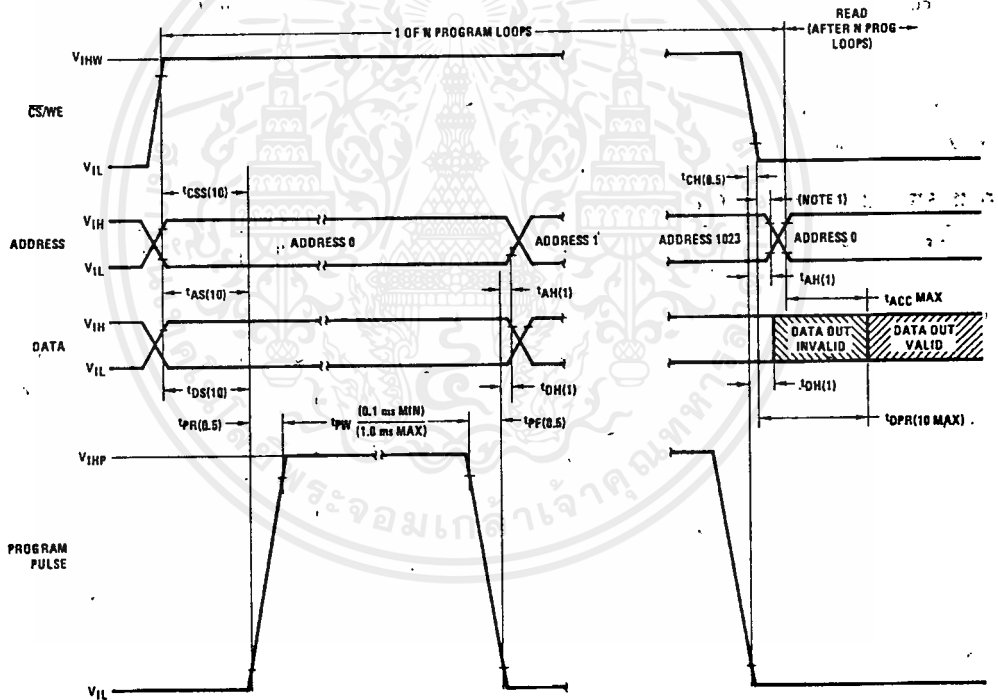
DC Programming Characteristics

PARAMETER		CONDITIONS	MIN	TYP	MAX	UNITS
I_{LI}	Address and \overline{CS}/WE Input Sink Current	$V_{IN} = 5.25V$			10	μA
I_{IPL}	Program Pulse Source Current				3	mA
I_{IPH}	Program Pulse Sink Current				20	mA
I_{DD}	V_{DD} Supply Current	Worst-Case Supply Currents, All Inputs High, $\overline{CS}/WE = 5V$, $T_A = 0^\circ C$		44	65	mA
I_{CC}	V_{CC} Supply Current	Worst-Case Supply Currents, All Inputs High, $\overline{CS}/WE = 5V$, $T_A = 0^\circ C$		7	10	mA
I_{BB}	V_{BB} Supply Current	Worst-Case Supply Currents, All Inputs High, $\overline{CS}/WE = 5V$, $T_A = 0^\circ C$		34	45	mA
V_{IL}	Input Low Level (Except Program)		V_{SS}		0.65	V
V_{IH}	Input High Level, All Addresses and Data		3.0		$V_{CC}+1$	V
V_{IHW}	\overline{CS}/WE Input High Level	Referenced to V_{SS}	11.4		12.6	V
V_{IHP}	Program Pulse High Level	Referenced to V_{SS}	25		27	V
V_{ILP}	Program Pulse Low Level	$V_{IHP} - V_{ILP} = 25V$ Min	V_{SS}		1	V

AC Programming Characteristics

PARAMETER		CONDITIONS	MIN.	TYP.	MAX.	UNITS
t _{AS}	Address Set-Up Time		10			μs
t _{CSS}	$\overline{CS}/\overline{WE}$ Set-Up Time		10			μs
t _{DS}	Data Set-Up Time		10			μs
t _{AH}	Address Hold Time		1			μs
t _{CH}	$\overline{CS}/\overline{WE}$ Hold Time		0.5			μs
t _{DH}	Data Hold Time		1			μs
t _{DF}	Chip Deselect to Output Float Delay		0		120	μs
t _{DPR}	Program to Read Delay				10	μs
t _{PW}	Program Pulse Width		0.1		1.0	ms
t _{PR}	Program Pulse Rise Time		0.5		2.0	μs
t _{PF}	Program Pulse Fall Time		0.5		2.0	μs

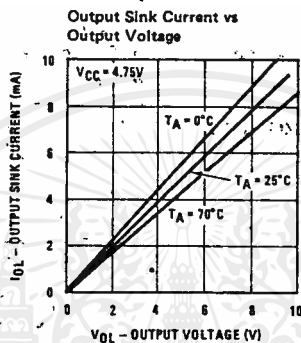
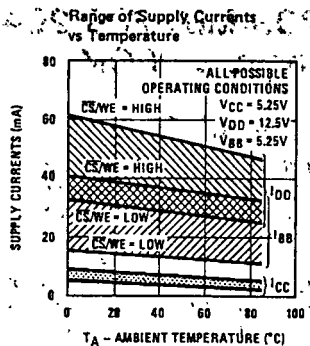
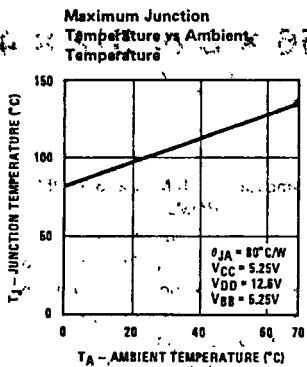
Programming Waveforms



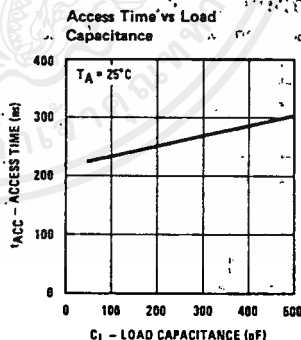
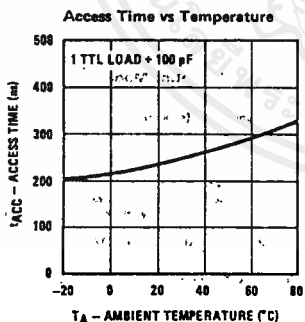
Note 1: The $\overline{CS}/\overline{WE}$ transition must occur after the program pulse transition and before the address transition.
 Note 2: Numbers in parentheses indicate minimum timing in microseconds unless otherwise specified.

Typical DC Performance Characteristics

MM2708, MM2708-1



Typical AC Performance Characteristics



5

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
 ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



National Semiconductor

MOS EPROMs

MM4203/MM5203 2048-Bit (256 × 8 or 512 × 4) UV Erasable PROM

general description

The MM4203/MM5203 is a 2048-bit static read-only memory which is electrically programmable and uses silicon gate technology to achieve bipolar compatibility. The device is a non-volatile memory organized as a 256-8-bit words or 512-4-bit words. Programming of the memory contents is accomplished by storing a charge in a cell location by programming that location with a 50 volt pulse. Separate output supply lead is provided to reduce internal power dissipation in the output stage (V_{LL}).

features

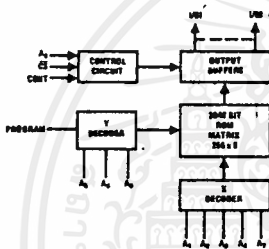
- Field programmable
- Bipolar compatibility +5V, -12V operation
- High speed operation 1μs max access time

- Pin compatible with MM5213, MM5231 mask programmable ROMs
- Static operation — no clocks required
- Common data busing (TRI-STATE® output)
- "Q" quartz lid version erasable with short wave ultra-violet light (i.e. 253.7 n.m.)
- Chip select output control
- 256 × 8 or 512 × 4 organization

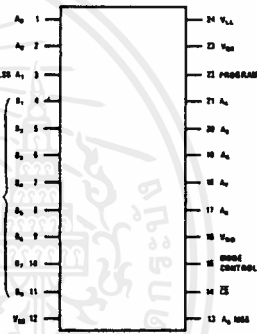
applications

- Code conversion
- Random logic synthesis
- Table look-up
- Character generator
- Micro-programming

block and connection diagrams



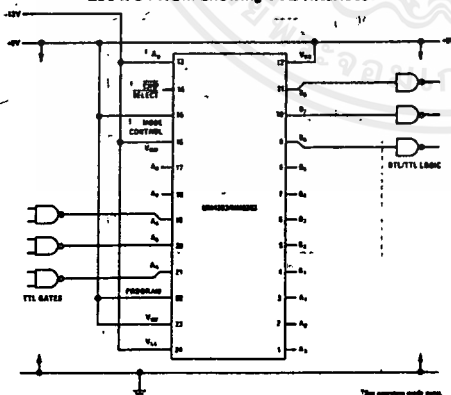
Dual-In-Line Package



Order Number MM4203Q or MM5203Q
See NS Package J24CQ

typical applications

256 × 8 PROM Showing TTL Interface



Operating Modes

256 × 8 ROM connection (shown)

Mode Control — HIGH (V_{SS})

A_g — LOW

512 × 4 ROM connections

Mode Control — LOW (GND or V_{DD})

A_g — Logic HIGH enables the odd (B₁, B₃, B₅) outputs

A_g — Logic LOW enables the even (B₂, B₄, B₆) outputs

The outputs are enabled when a logic LOW is applied to the Chip Select line.

Programming is accomplished in 256 × 8 mode only.

Note: For programming information see Memory Applications Handbook, page 4-6.

absolute maximum ratings

All Input or Output Voltages with Respect to V_{BB} Except During Programming +3V to -20V
 Power Dissipation 1W
 Operating Temperature Range MM4203 -55°C to 85°C
 MM5203 0°C to 70°C

Storage Temperature Range
 Lead Temperature (Soldering, 10 sec)

-65°C to 125°C
 300°C

electrical characteristics

T_A within operating temperature range,
 $V_{SS} = +5V \pm 5\%$, $V_{DD} = V_{LL} = -12V \pm 5\%$, $V_{BB} = PROGRAM = V_{SS}$ unless otherwise noted.

PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
Input Current, I_{LI}	$V_{IN} = 0V$			1	μA
Output Leakage, I_{LO}	$V_{OUT} = 0V$ $\overline{CS} = V_{SS} - 2.0$			1	μA
Power Supply Current, I_{SS}	$T_A = 25^\circ C$ $\overline{CS} = V_{SS} - 2.0$		35	55	mA
Input LOW Voltage, V_{IL}		$V_{SS} - 1.0$		$V_{SS} - 4.0$	V
Input HIGH Voltage, V_{IH}		$V_{SS} - 2.0$		$V_{SS} + 3$	V
Output LOW Voltage, V_{OL}	1.6 mA sink $-12.6V < V_{LL} < -3V$			40	V
Output Clamp Current, I_{CF}	$V_{LL} = -3.0V$ $V_{OUT} = -1.0V$ (Note 8) $T_A = 0^\circ C$ $V_{LL} = -12.6V$ $V_{OUT} = -1.0V$ (Note 8) $T_A = 0^\circ C$		3.5 8.0	6.0 15.0	mA
Output HIGH Voltage, V_{OH}	0.8 mA source	2.4			V
Data Hold Time, T_{OH}	(Min Access Time) Figures 1 & 2			100	ns
Access Time, T_{ACC}	$T_A = 25^\circ C$ Figures 1 & 2 (Note 6)		700	1	μs
Chip Select Time, T_{CO}	Figures 1 & 3			500	ns
Chip Deselect Time, T_{OD}	Figures 1 & 3			500	ns
Allowable Chip Select Delay, t_{CS}	Figures 1 & 2 Allowable delay in selecting chip after change of address without affecting access time.			100	ns
Input Capacitance, C_{IN}	$V_{IN} = V_{SS}$ } $f = 1.0 MHz$ (Note 2)		8	15	pF
Output Capacitance, C_{OUT}	$V_{OUT} = V_{SS}$ } $\overline{CS} = V_{SS} - 2.0$		8	15	pF

programming characteristics (see Figure 4)

$T_A = 25^\circ C$, $V_{SS} = 0V$, $V_{BB} = +12V \pm 10\%$, $\overline{CS} = 0V$ unless otherwise noted

PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
Address and Data Input Load Current, I_{LD}	$V_{IN} = -50V$		0	10	mA
Program Load Current, I_{LP}	$V_{IN} = -50V$		0	10	mA
V_{BB} Supply Load Current, I_{LB}			0	10	mA
Peak I_{DD} Supply Load Current I_{LDD} (Note 3)	$V_{DD} = V_{program} = -50V$		650		mA
Input High Voltage, V_{IHP}		-2		+3	V
Address and Data Input Low Voltage, V_{ILP}		-50		-40	V
Pulsed Input Low Voltage: V_{DD} , and Program, V_{DLP} V_{LL}	(Note 5)	-50 -50		-48 0	V
V_{DD} Pulse Duty Cycle				2	%
Program Pulse Width, t_{PW} (Note 4)	$V_{DD} = V_{program} = -50V$			20	ms
Data and Address Set-Up Time, t_{DWS}		1			μs
Data and Address Hold Time, t_{DWH}		0			μs
Pulsed V_{DD} Supply Overlap, t_{SS}		1		100	μs
Pulsed V_{DD} Supply Overlap, t_{SH}		1		3	ms
V_{DD} , Program, Address, and Input Rise and Fall Times				1	μs

Note 1: During programming, data is always applied in the 256 x 8 mode, regardless of the logic state of Ag and MODE CONTROL.

Note 2: Capacitances are not tested on a production basis but are periodically sampled.

Note 3: I_{DDP} flows only during program period t_{pp} . Average power supply current I_{LDD} is typically 15 mA at 2% duty cycle.

Note 4: Maximum duty cycle of t_{pp} should not be greater than 2% of cycle time so that power dissipation is minimized. The program cycle should be repeated until the data reads true, then over-program three times that number of cycles (symbolized as Xx3X programming).

Note 5: V_{LL} is not needed during programming but may be tied to V_{DD} for convenience.

Note 6: $T_{ACC} = 1000 ns + 25(N-1)$ where N is the number of chips wired-OR together.

Note 7: Measured under continuous operation.

Note 8: I_{CF} flows out the V_{LL} pin, it does not flow out the V_{DD} pin.

access time diagrams

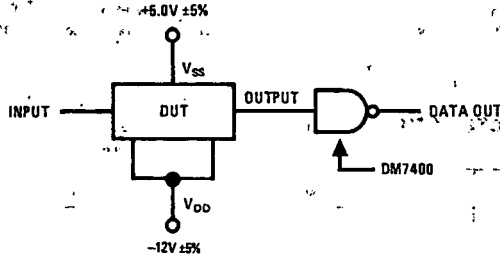


Figure 1

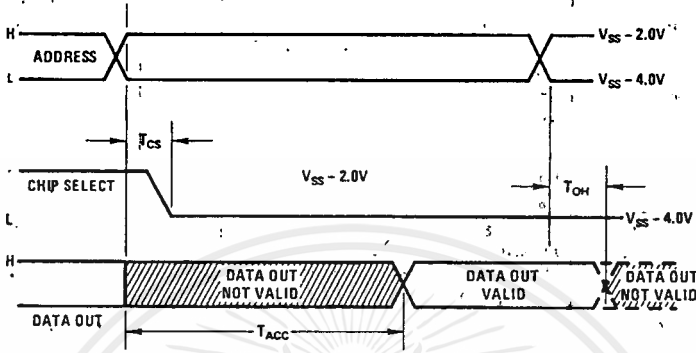


Figure 2

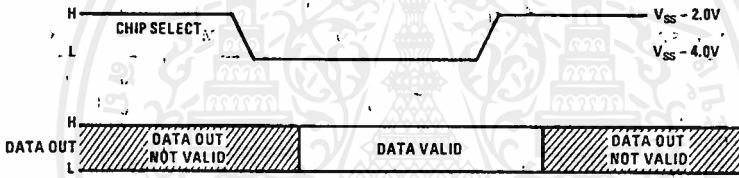


Figure 3

program waveforms

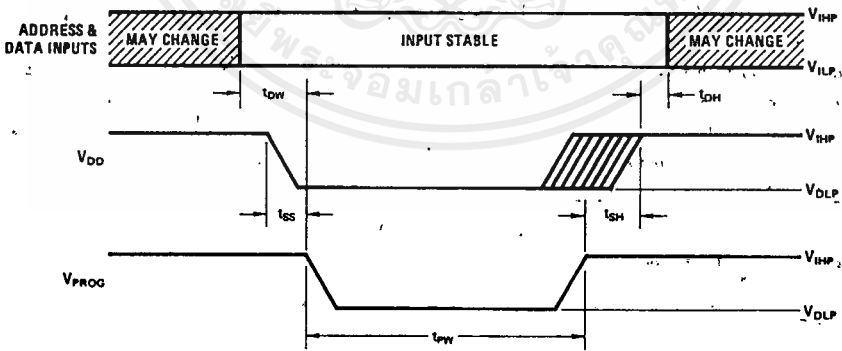


Figure 4

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
 ใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

operation of the MM4203/MM5203 in program mode

Initially, all 2048 bits of the MM4203/MM5203 are in the HIGH state. Information is introduced by selectively programming LOWS in the proper bit locations. (Note 1)

Word address selection is done by the same decoding circuitry used in the Read mode. The eight output terminals are used as data inputs to determine the information pattern in the eight bits of each word. A LOW data input level (-50V) will leave a HIGH and a HIGH data input level will allow programming of a LOW. All eight bits of one word are programmed simultaneously by setting the desired bit information patterns on the data input terminals. The duty cycle of the V_{DD} pulse (amplitude and width as specified on page 4) should be limited to 2%. The address should be applied for at least 1 μ s before application of the Program pulse. In programming mode, data inputs

1-8 are pins 4-11 respectively regardless of the logic state of A_9 and mode control. Chip select should be disabled (HIGH).

Positive logic is used during the read mode for addresses and data out. Address 0 corresponds to all address inputs at V_{IL} and address 255₁₀ corresponds to all address inputs at V_{IH} . A "1" or a P at a data output corresponds to V_{OH} . A "0" or an N at a data output corresponds to V_{OL} . Positive logic is also used during the programming mode for addresses. Address 0 corresponds to all address inputs at V_{ILP} and address 255₁₀ corresponds to all address inputs at V_{IHP} .

Negative logic is used during the programming mode for data in. A "1" or a P at a data input corresponds to V_{ILP} . A "0" or an N at a data input corresponds to V_{IHP} .

MODE	DATA AND ADDRESS LINES		V_{SS}	V_{BB}	V_{DD}	PROGRAM	\overline{CS}	V_{LL}
	HIGH	LOW						
Read	$V_{SS} - 2.0$	$V_{SS} - 4.0$	+5	V_{SS}	-12	V_{SS}	$V_{SS} - 4V$	-3V to -12V
Program	$V_{SS} - 2.0$	$V_{SS} - 40$	GND	+12	-48 (Pulse)	-48 (Pulse)	GND	GND to -50V

erasing procedure

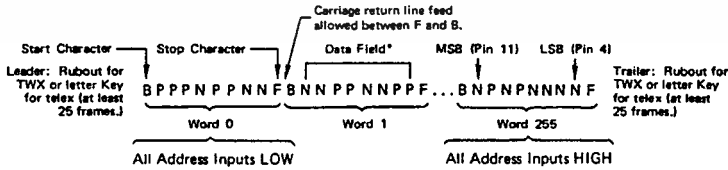
The MM4203Q/MM5203Q may be erased by exposure to short-wave ultraviolet light—253.7 nm. There exists no absolute rule for erasing time or distance from source. The erasing equipment output capability should be calibrated. Establish a worst-case time required with the equipment. Then over-erase by a factor of 2; i.e., if the device appears erased after 8 minutes, continue exposure for an additional 16 minutes for a total of 24

minutes. Examples of UV sources include the Model UVS-54 and Model S-2 manufactured by Ultra-Violet Products, Inc. (5114 Walnut Grove Avenue, San Gabriel, California). The lamps should be used without short-wave filters. The MM4203/MM5203 should be placed about one inch away from the lamp for about 20-30 minutes.

preferred tape format

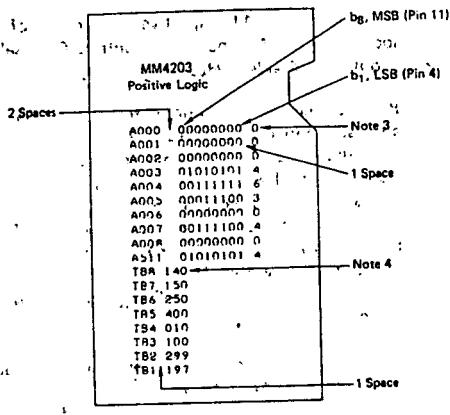
The custom patterns may be sent in on a Telex or submitted as a paper tape in a 7 bit ASCII code

from model 33 teletype or TWX. The paper tape should be as the following example:



*Data Field: Must have only P's or N's typed between B and F. No nulls or rubouts. Must have exactly eight P and N characters between B and F. Any characters except B and F may be typed between the F stop character and the B start character. If an error is made in preparing a tape the entire word including the B and F start and stop characters must be rubbed out. Data for exactly 256 words must be entered, beginning with word 0.

alternate format (Punched Tape (Note 1), or Cards (Note 2))



Note 1: The code is a 7-bit ASCII code on 8 punch tape. The tape should begin and end with 25 or more "RUBOUT" punches.

Note 2: The ROM input address is expressed in decimal form and is preceded by the letter A.

Note 3: The total number of "1" bits in the output word.

Note 4: The total number of "1" bits in each output column or bit position.

typical performance characteristics

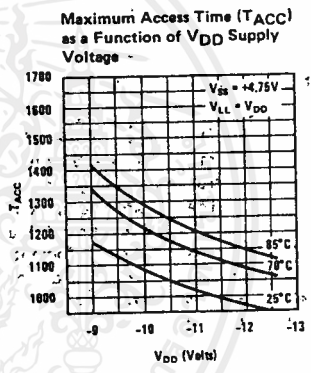
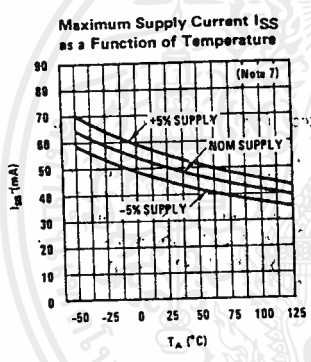


FIGURE 15 — ERROR-AMPLIFIER SENSING TECHNIQUES

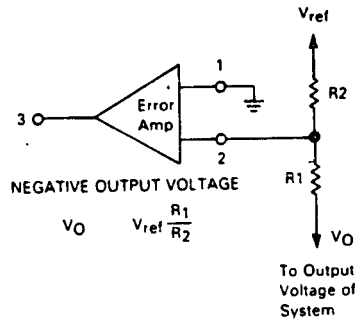
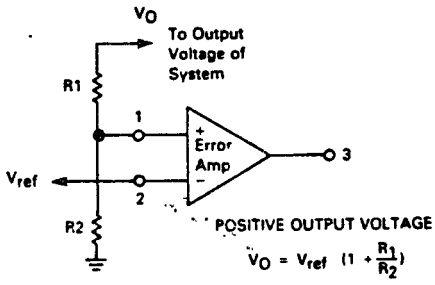


FIGURE 16 — DEAD-TIME CONTROL CIRCUIT

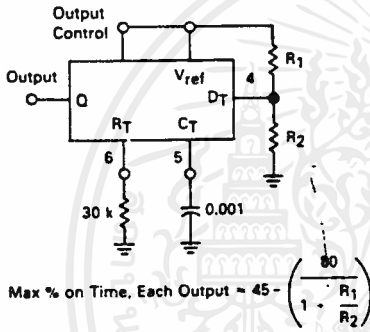


FIGURE 17 — SOFT-START CIRCUIT

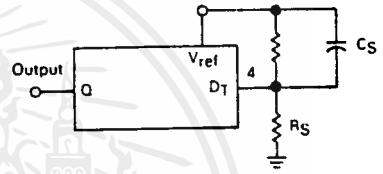
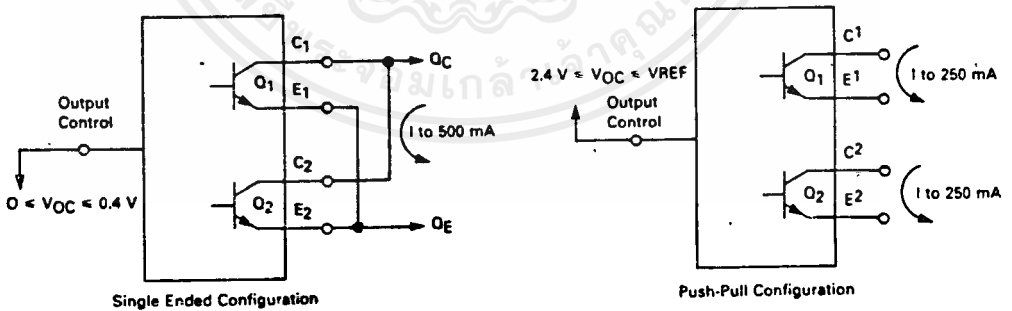


FIGURE 18 — OUTPUT CONNECTIONS FOR SINGLE-ENDED AND PUSH-PULL CONFIGURATIONS



absolute maximum ratings (Note 1)

Voltage at Any Pin	-0.3V to $V_{CC} + 0.3V$
Operating Temperature Range	
54C	-55°C to +125°C
74C	-40°C to +85°C
Storage Temperature Range	-65°C to +150°C
Operating V_{CC} Range	3.0V to 15V
Maximum V_{CC} Voltage	18V
Package Dissipation	500 mW
Lead Temperature (Soldering, 10 seconds)	300°C

dc electrical characteristics

Min/max limits apply across the guaranteed temperature range unless otherwise noted.

PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
CMOS TO CMOS					
Logical "1" Input Voltage ($V_{IN(1)}$)	$V_{CC} = 5.0V$ $V_{CC} = 10V$	3.5 8.0			V V
Logical "0" Input Voltage ($V_{IN(0)}$)	$V_{CC} = 5.0V$ $V_{CC} = 10V$			1.5 2.0	V V
Logical "1" Output Voltage ($V_{OUT(1)}$)	$V_{CC} = 5.0V, I_O = -10\mu A$ $V_{CC} = 10V, I_O = -10\mu A$	4.5 9.0			V V
Logical "0" Output Voltage ($V_{OUT(0)}$)	$V_{CC} = 5.0V, I_O = +10\mu A$ $V_{CC} = 10V, I_O = +10\mu A$			0.5 1.0	V V
Logical "1" Input Current ($I_{IN(1)}$)	$V_{CC} = 15V, V_{IN} = 15V$		0.005		μA
Logical "0" Input Current ($I_{IN(0)}$)	$V_{CC} = 15V, V_{IN} = 0V$	-1.0	-0.005		μA
Supply Current (I_{CC})	$V_{CC} = 15V$		0.01	15	μA
LOW POWER TO CMOS					
Logical "1" Input Voltage ($V_{IN(1)}$)	54C, $V_{CC} = 4.5V$ 74C, $V_{CC} = 4.75V$	$V_{CC} - 1.5$ $V_{CC} - 1.5$			V V
Logical "0" Input Voltage ($V_{IN(0)}$)	54C, $V_{CC} = 4.5V$ 74C, $V_{CC} = 4.75V$			0.6 0.8	V V
Logical "1" Output Voltage ($V_{OUT(1)}$)	54C, $V_{CC} = 4.5V, I_O = -10\mu A$ 74C, $V_{CC} = 4.75V, I_O = -10\mu A$	4.4 4.4			V V
Logical "0" Output Voltage ($V_{OUT(0)}$)	54C, $V_{CC} = 4.5V, I_O = +10\mu A$ 74C, $V_{CC} = 4.75V, I_O = +10\mu A$			0.4 0.4	V V
CMOS TO LOW POWER					
Logical "1" Input Voltage ($V_{IN(1)}$)	54C, $V_{CC} = 4.5V$ 74C, $V_{CC} = 4.75V$	4.0 4.0			V V
Logical "0" Input Voltage ($V_{IN(0)}$)	54C, $V_{CC} = 4.5V$ 74C, $V_{CC} = 4.75V$			1.0 1.0	V V
Logical "1" Output Voltage ($V_{OUT(1)}$)	54C, $V_{CC} = 4.5V, I_O = -360\mu A$ 74C, $V_{CC} = 4.75V, I_O = -360\mu A$	2.4 2.4			V V
Logical "0" Output Voltage ($V_{OUT(0)}$)	54C, $V_{CC} = 4.5V, I_O = 360\mu A$ 74C, $V_{CC} = 4.75V, I_O = 360\mu A$			0.4 0.4	V V
OUTPUT DRIVE (See 54C/74C Family Characteristics Data Sheet)					
Output Source Current (I_{SOURCE})	$V_{CC} = 5.0V, V_{IN(0)} = 0V$ $T_A = 25^\circ C, V_{OUT} = 0V$	-1.75			mA
Output Source Current (I_{SOURCE})	$V_{CC} = 10V, V_{IN(0)} = 0V$ $T_A = 25^\circ C, V_{OUT} = 0V$	-8.0			mA
Output Sink Current (I_{SINK})	$V_{CC} = 5.0V, V_{IN(1)} = 5.0V$ $T_A = 25^\circ C, V_{OUT} = V_{CC}$	1.75			mA
Output Sink Current (I_{SINK})	$V_{CC} = 10V, V_{IN(1)} = 10V$ $T_A = 25^\circ C, V_{OUT} = V_{CC}$	8.0			mA

MM54C00/MM74C00, MM54C02/MM74C02, MM54C04/MM74C04, MM54C10/MM74C10, MM54C20/MM74C20, MM54C00/MM74C00, MM54C02/MM74C02, MM54C04/MM74C04, MM54C10/MM74C10, MM54C20/MM74C20

ac electrical characteristics

$T_A = 25^\circ\text{C}$, $C_L = 50\text{ pF}$, unless otherwise specified.

PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
MM54C00/MM74C00, MM54C02/MM74C02, MM54C04/MM74C04					
Propagation Delay Time to Logical "1" or "0" (t_{pd})	$V_{CC} = 5.0\text{V}$ $V_{CC} = 10\text{V}$		50 30	90 60	ns
Input Capacitance (C_{IN})	(Note 2)		6.0		pF
Power Dissipation Capacitance (C_{PD})	(Note 3) Per Gate or Inverter		12		pF
MM54C10/MM74C10					
Propagation Delay Time to Logical "1" or "0" (t_{pd})	$V_{CC} = 5.0\text{V}$ $V_{CC} = 10\text{V}$		60 35	100 70	ns
Input Capacitance (C_{IN})	(Note 2)		7.0		pF
Power Dissipation Capacitance (C_{PD})	(Note 3) Per Gate		18		pF
MM54C20/MM74C20					
Propagation Delay Time to Logical "1" or "0" (t_{pd})	$V_{CC} = 5.0\text{V}$ $V_{CC} = 10\text{V}$		70 40	115 80	ns
Input Capacitance (C_{IN})	(Note 2)		9		pF
Power Dissipation Capacitance (C_{PD})	(Note 3) Per Gate		30		pF

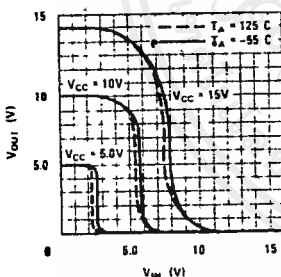
Note 1: "Absolute Maximum Ratings" are those values beyond which the safety of the device cannot be guaranteed. Except for "Operating Temperature Range" they are not meant to imply that the devices should be operated at these limits. The table of "Electrical Characteristics" provides conditions for actual device operation.

Note 2: Capacitance is guaranteed by periodic testing.

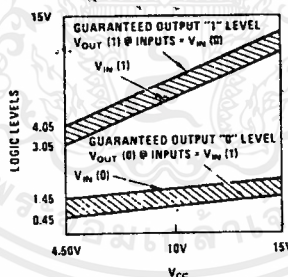
Note 3: C_{PD} determines the no load ac power consumption of any CMOS device. For complete explanation see 54C/74C Family Characteristics application note - AN-90.

typical performance characteristics

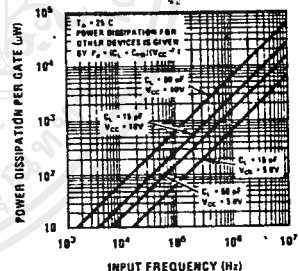
Gate Transfer Characteristics



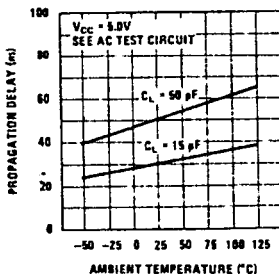
Guaranteed Noise Margin Over Temperature vs V_{CC}



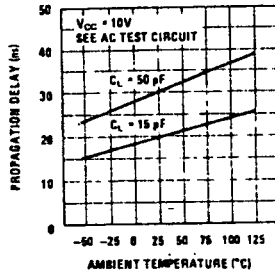
Power Dissipation vs Frequency
MM54C00/MM74C00,
MM54C02/MM74C02,
MM54C04/MM74C04



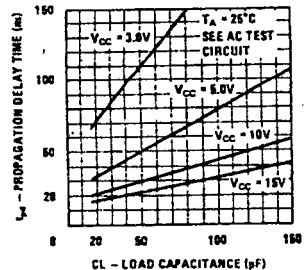
Propagation Delay vs Ambient Temperature
MM54C00/MM74C00,
MM54C02/MM74C02,
MM54C04/MM74C04



Propagation Delay vs Ambient Temperature
MM54C00/MM74C00,
MM54C02/MM74C02,
MM54C04/MM74C04

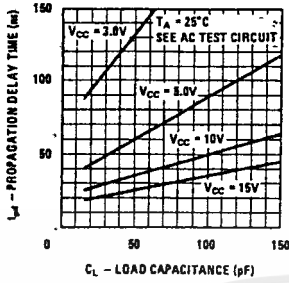


Propagation Delay Time vs Load Capacitance
MM54C00/MM74C00,
MM54C02/MM74C02,
MM54C04/MM74C04

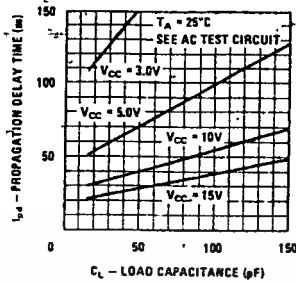


typical performance characteristics (con't)

Propagation Delay Time vs Load Capacitance
MM54C10/MM74C10

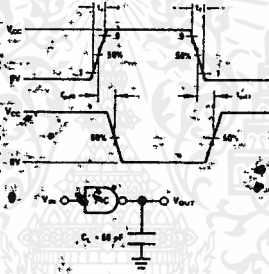


Propagation Delay Time vs Load Capacitance
MM54C20/MM74C20



switching time waveforms and ac test circuits

CMOS to CMOS



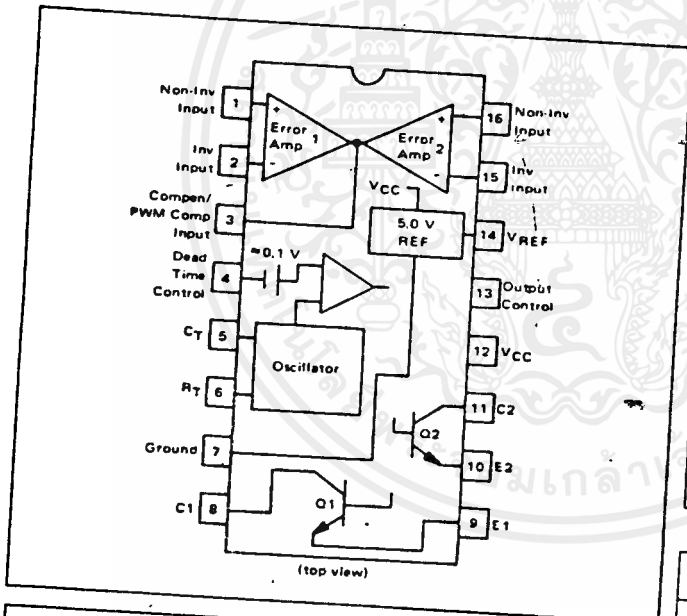
NOTE: DELAYS MEASURED WITH INPUT $t_r \leq 20$ ns.

MM54C00/MM74C00, MM54C02/MM74C02, MM54C04/MM74C04, MM54C10/MM74C10, MM54C20/MM74C20, MM54C00, MM54C02, MM54C04, MM54C10, MM54C20, MM74C00, MM74C02, MM74C04, MM74C10, MM74C20, MM54C00/00, MM74C00/00, MM54C20/MM74C20

SWITCHMODE
PULSE WIDTH MODULATION
CONTROL CIRCUITS

The TL494 is a fixed frequency, pulse width modulation control circuit designed primarily for Switchmode power supply control. This device features:

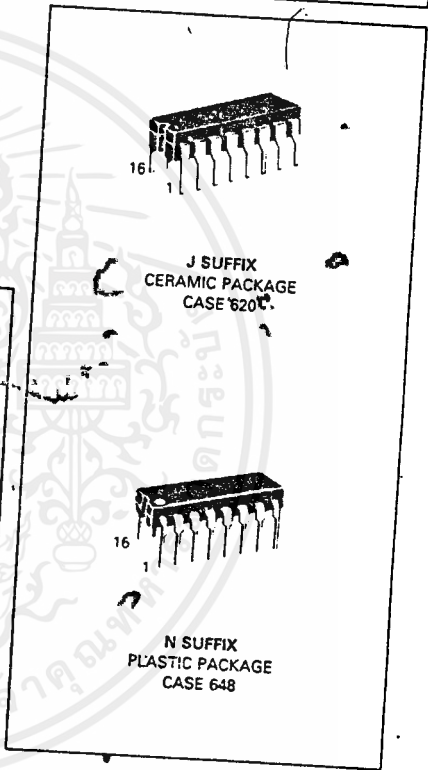
- Complete Pulse Width Modulation Control Circuitry
- On-Chip Oscillator With Master Or Slave Operation
- On-Chip Error Amplifiers
- On-Chip 5 Volt Reference
- Adjustable Dead-Time Control
- Uncommitted Output Transistors Rated to 500 mA Source Or Sink
- Output Control For Push-Pull Or Single-Ended Operation
- Undervoltage Lockout



The TL494C is specified over the commercial operating range of 0°C to 70°C. The TL494I is specified over the industrial range of -25°C to 85°C. The TL494M is specified over the full military range of -55°C to 125°C.

TL494

SWITCHMODE
PULSE WIDTH MODULATION
CONTROL CIRCUITS
SILICON MONOLITHIC
INTEGRATED CIRCUITS



ORDERING INFORMATION

Device	Temperature Range	Package
TL494CN	0° to +70°C	Plastic DIP
TL494CJ		Ceramic DIP
TL494IN	-25° to +85°C	Plastic DIP
TL494IJ		Ceramic DIP
TL494MJ	-55° to +125°C	Ceramic DIP

TL494

FIGURE 1 — BLOCK DIAGRAM

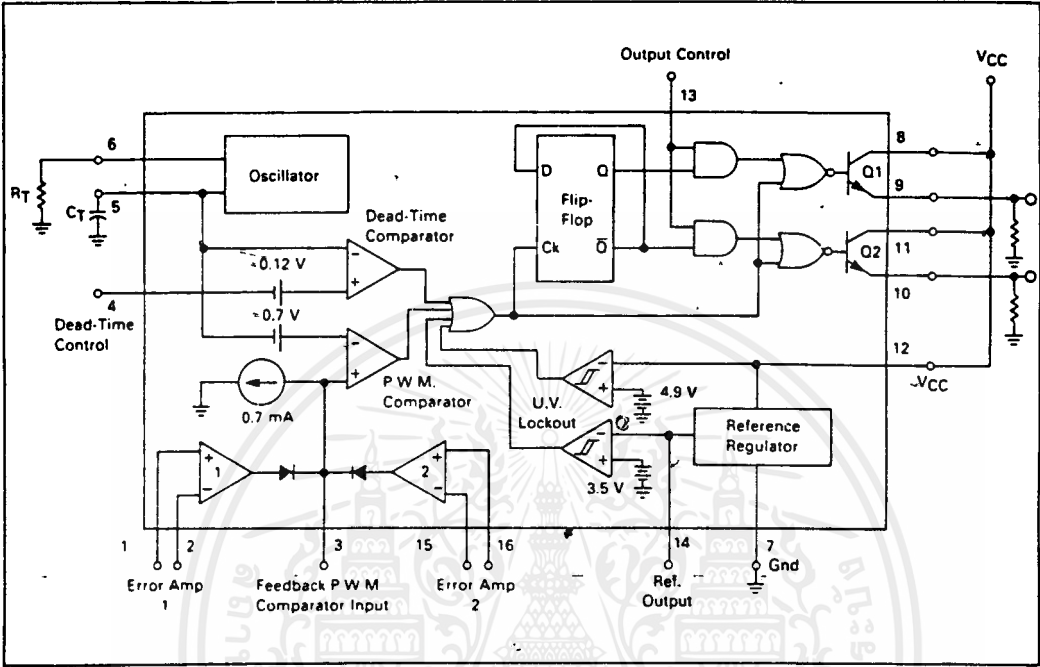
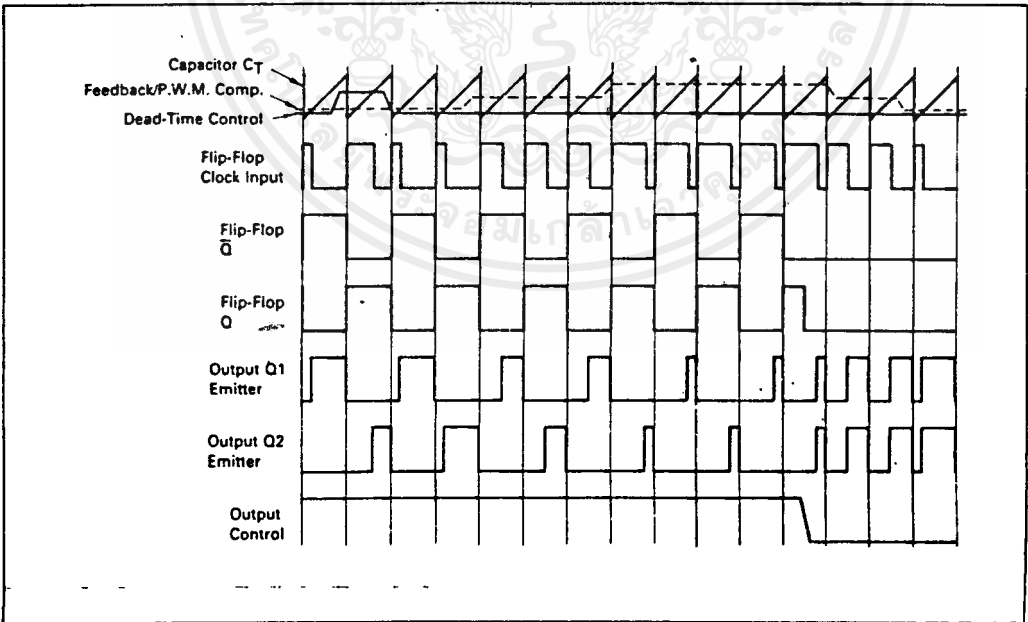


FIGURE 2 — TIMING DIAGRAM



The TL494 is a fixed-frequency pulse width modulation control circuit, incorporating the primary building blocks required for the control of a switching power supply. (See Figure 1.) An internal-linear sawtooth oscillator is frequency-programmable by two external components, R_T and C_T . The approximate oscillator frequency is determined by:

$$f_{osc} \approx \frac{1.1}{R_T \cdot C_T}$$

For more information refer to Figure 4.

Output pulse width modulation is accomplished by comparison of the positive sawtooth waveform across capacitor C_T to either of two control signals. The NOR gates, which drive output transistors Q1 and Q2, are enabled only when the flip-flop clock-input line is in its low state. This happens only during that portion of time when the sawtooth voltage is greater than the control signals. Therefore, an increase in control-signal amplitude causes a corresponding linear decrease of output pulse width. (Refer to the timing diagram shown in Figure 2.)

The control signals are external inputs that can be fed into the dead-time control, the error amplifier inputs, or the feedback input. The dead-time control comparator has an effective 120 mV input offset which limits the minimum output dead time to approximately the first 4% of the sawtooth-cycle time. This would result in a maximum duty cycle on a given output of 96% with the output control grounded, and 48% with it connected to the reference line. Additional dead time may be imposed on the output by setting the dead time-control input to a fixed voltage, ranging between 0 to 3.3 V.

The pulse width modulator comparator provides a means for the error amplifiers to adjust the output pulse width from the maximum percent on-time, established by the dead time control input, down to zero, as the voltage at the feedback pin varies from 0.5 to 3.5 V. Both error amplifiers have a common-mode input range from -0.3 V to ($V_{CC} - 2$ V), and may be used to sense power-supply output voltage and current. The error-amplifier outputs are active high and are ORed together at the non-inverting input of the pulse-width modulator comparator. With this configuration, the amplifier that demands minimum output on time, dominates control of the loop.

When capacitor C_T is discharged, a positive pulse is generated on the output of the dead-time comparator, which clocks the pulse-steering flip-flop and inhibits the output transistors, Q1 and Q2. With the output-control connected to the reference line, the pulse-steering flip-flop directs the modulated pulses to each of the two output transistors alternately for push-pull operation. The output frequency is equal to half that of the oscillator. Output drive can also be taken from Q1 or Q2, when single-ended operation with a maximum on-time of less than 50% is required. This is desirable when the output transformer has a ringback winding with a catch diode used for snubbing. When higher output-drive currents are required for single-ended operation, Q1 and Q2 may be connected in parallel, and the output-mode pin must be tied to ground to disable the flip-flop. The output frequency will now be equal to that of the oscillator.

The TL494 has an internal 5 V reference capable of sourcing up to 10 mA of load current for external bias circuits. The reference has an internal accuracy of $\pm 5.0\%$ with a typical thermal drift of less than 50 mV over an operating temperature range of 0 to 70°C.

FIGURE 3 — FUNCTIONAL TABLE

Input Output Control	Output Function	$\frac{f_{out}}{f_{osc}} =$
Grounded	Single-ended P.W.M. at Q1 and Q2	1
At V_{ref}	Push-pull operation	0.5

TL494

MAXIMUM RATINGS (Full operating ambient temperature range applies unless otherwise noted)

Rating	Symbol	TL494C	TL494I	TL494M	Unit	
Power Supply Voltage	V _{CC}	42	42	42	V	
Collector Output Voltage	V _{C1} , V _{C2}	42	42	42	V	
Collector Output Current (each transistor) (1)	I _{C1} , I _{C2}	500	500	500	mA	
Amplifier Input Voltage Range	V _{IR}	-0.3 to 42	-0.3 to 42	-0.3 to 42	V	
Power Dissipation († T _A ≤ 45°C)	P _D	1000	1000	1000	mW	
Operating Junction Temperature	T _J	Plastic Package	125	125	—	°C
		Ceramic Package	150	150	150	°C
Operating Ambient Temperature Range	T _A	0 to 70	-25 to 85	-55 to 125	°C	
Storage Temperature Range	T _{stg}	Plastic Package	-55 to 125	-55 to 125	—	°C
		Ceramic Package	-65 to 150	-65 to 150	-65 to 150	°C

NOTE 1: Maximum thermal limits must be observed.

THERMAL CHARACTERISTICS

Characteristics	Symbol	N Suffix Plastic Package	J Suffix Ceramic Package	Unit
Thermal Resistance, Junction to Ambient	R _{θJA}	80	100	°C/W
Derating Ambient Temperature	T _A	45	50	°C

RECOMMENDED OPERATING CONDITIONS

Condition/Value	Symbol	TL494			Unit
		Min	Typ	Max	
Power Supply Voltage	V _{CC}	7.0	15	40	V
Collector Output Voltage	V _{C1} , V _{C2}	—	30	40	V
Collector Output Current (each transistor)	I _{C1} , I _{C2}	—	—	200	mA
Amplifier Input Voltage	V _{in}	-0.3	—	V _{CC} - 2.0	V
Current Into Feedback Terminal	I _{fb}	—	—	0.3	mA
Reference Output Current	I _{ref}	—	—	10	mA
Timing Resistor	R _T	1.8	30	500	kΩ
Timing Capacitor	C _T	0.0047	0.001	10	μF
Oscillator Frequency	f _{osc}	1.0	40	200	kHz

ELECTRICAL CHARACTERISTICS (V_{CC} = 15 V, C_T = 0.01 μF, R_T = 12 kΩ unless otherwise noted.)

For typical values T_A = 25°C, for min-max values T_A is the operating ambient temperature range that applies unless otherwise noted.

Characteristic	Symbol	TL494C,I			TL494M			Unit
		Min	Typ	Max	Min	Typ	Max	

REFERENCE SECTION

Reference Voltage (I _O = 1.0 mA)	V _{ref}	4.75	5.0	5.25	4.75	5.0	5.25	V
Line Regulation (V _{CC} = 7.0 V to 40 V)	Reg _{line}	—	2.0	25	—	2.0	25	mV
Load Regulation (I _O = 1.0 mA to 10 mA)	Reg _{load}	—	3.0	15	—	3.0	15	mV
Short-Circuit Output Current (V _{ref} = 0 V)	I _{SC}	15	35	75	15	35	75	mA

MOTOROLA LINEAR/INTERFACE DEVICES

3-339

Local Authorized Dealer

ELECTRICAL CHARACTERISTICS ($V_{CC} = 15\text{ V}$, $C_T = 0.01\ \mu\text{F}$, $R_T = 12\ \text{k}\Omega$ unless otherwise noted.)
 For typical values $T_A = 25^\circ\text{C}$, for min/max values T_A is the operating ambient temperature range that applies unless otherwise noted.

Characteristic	Symbol	TL494C,I			TL494M			Unit
		Min	Typ	Max	Min	Typ	Max	
OUTPUT SECTION								
Collector Off-State Current ($V_{CC} = 40\text{ V}$, $V_{CE} = 40\text{ V}$)	$I_{C(off)}$	—	2.0	100	—	2.0	100	μA
Emitter Off-State Current ($V_{CC} = 40\text{ V}$, $V_C = 40\text{ V}$, $V_E = 0\text{ V}$)	$I_{E(off)}$	—	—	100	—	—	-150	μA
Collector-Emitter Saturation Voltage (2) Common-Emitter ($V_E = 0\text{ V}$, $I_C = 200\text{ mA}$) Emitter-Follower ($V_C = 15\text{ V}$, $I_E = -200\text{ mA}$)	$V_{SAT(C)}$	—	1.1	1.3	—	1.1	1.5	V
	$V_{SAT(E)}$	—	1.5	2.5	—	1.5	2.5	V
Output Control Pin Current Low State ($V_{OC} \leq 0.4\text{ V}$) High State ($V_{OC} = V_{ref}$)	I_{OCL}	—	10	—	—	10	—	μA
	I_{OCH}	—	0.2	3.5	—	0.2	3.5	mA
Output Voltage Rise Time Common-Emitter (See Figure 13) Emitter-Follower (See Figure 14)	t_r	—	100	200	—	100	200	ns
		—	100	200	—	100	200	ns
Output Voltage Fall Time Common-Emitter (See Figure 13) Emitter-Follower (See Figure 14)	t_f	—	25	100	—	25	100	ns
		—	40	100	—	40	100	ns

Characteristic	Symbol	TL494			Unit
		Min	Typ	Max	

ERROR AMPLIFIER SECTIONS

Input Offset Voltage (V_O (Pin 3) = 2.5 V)	V_{IO}	—	2.0	10	mV
Input Offset Current (V_O (Pin 3) = 2.5 V)	I_{IO}	—	5.0	250	nA
Input Bias Current (V_O (Pin 3) = 2.5 V)	I_{IB}	—	-0.1	-1.0	μA
Input Common-Mode Voltage Range ($V_{CC} = 40\text{ V}$, $T_A = 25^\circ\text{C}$)	V_{ICR}	-0.3 to $V_{CC} - 2.0$	—	—	V
Open-Loop Voltage Gain ($\Delta V_O = 3.0\text{ V}$, $V_O = 0.5$ to 3.5 V , $R_L = 2.0\ \text{k}\Omega$)	A_{VOL}	70	95	—	dB
Unity-Gain Crossover Frequency ($V_O = 0.5$ to 3.5 V , $R_L = 2.0\ \text{k}\Omega$)	f_c	—	350	—	kHz
Phase Margin at Unity-Gain ($V_O = 0.5$ to 3.5 V , $R_L = 2.0\ \text{k}\Omega$)	ϕ_m	—	65	—	deg.
Common-Mode Rejection Ratio ($V_{CC} = 40\text{ V}$)	CMRR	65	90	—	dB
Power Supply Rejection Ratio ($\Delta V_{CC} = 33\text{ V}$, $V_O = 2.5\text{ V}$, $R_L = 2.0\ \text{k}\Omega$)	PSRR	—	100	—	dB
Output Sink Current (V_O (Pin 3) = 0.7 V)	I_O	0.3	0.7	—	mA
Output Source Current (V_O (Pin 3) = 3.5 V)	I_{O^+}	2.0	4.0	—	mA

NOTE 2: Low duty cycle pulse techniques are used during test to maintain junction temperature as close to ambient temperatures as possible.

TL494

ELECTRICAL CHARACTERISTICS ($V_{CC} = 15\text{ V}$, $C_T = 0.01\ \mu\text{F}$, $R_T = 12\ \text{k}\Omega$ unless otherwise noted.)

For typical values $T_A = 25^\circ\text{C}$, for min/max values T_A is the operating ambient temperature range that applies unless otherwise noted.

Characteristic	Symbol	TL494			Unit
		Min	Typ	Max	
PWM COMPARATOR SECTION (Test Circuit Figure 12)					
Input Threshold Voltage (Zero duty cycle)	V_{TH}	—	3.5	4.5	V
Input Sink Current ($V_{Pin\ 3} = 0.7\text{ V}$)	I_{-}	0.3	0.7	—	mA
DEAD-TIME CONTROL SECTION (Test Circuit Figure 12)					
Input Bias Current (Pin 4) ($V_{Pin\ 4} = 0\text{ to }5.25\text{ V}$)	$I_{IB}\ (DT)$	—	-2.0	-10	μA
Maximum Duty Cycle, Each Output, Push-Pull Mode ($V_{Pin\ 4} = 0\text{ V}$, $C_T = 0.01\ \mu\text{F}$, $R_T = 12\ \text{k}\Omega$) ($V_{Pin\ 4} = 0\text{ V}$, $C_T = 0.001\ \mu\text{F}$, $R_T = 30\ \text{k}\Omega$)	DC_{max}	45 —	48 45	50 50	%
Input Threshold Voltage (Pin 4) (Zero Duty Cycle) (Maximum Duty Cycle)	V_{TH}	— 0	2.8 —	3.3 —	V
OSCILLATOR SECTION					
Frequency ($C_T = 0.001\ \mu\text{F}$, $R_T = 30\ \text{k}\Omega$)	f_{osc}	—	40	—	kHz
Standard Deviation of Frequency* ($C_T = 0.001\ \mu\text{F}$, $R_T = 30\ \text{k}\Omega$)	σ_{osc}	—	3.0	—	%
Frequency Change with Voltage ($V_{CC} = 7.0\text{ V to }40\text{ V}$, $T_A = 25^\circ\text{C}$)	$\Delta f_{osc}\ (\Delta V)$	—	0.1	—	%
Frequency Change with Temperature ($\Delta T_A = T_{low}\text{ to }T_{high}$) ($C_T = 0.01\ \mu\text{F}$, $R_T = 12\ \text{k}\Omega$)	$\Delta f_{osc}\ (\Delta T)$	—	—	12	%
UNDERVOLTAGE LOCKOUT SECTION					
Turn-On Threshold (V_{CC} Increasing, $I_{ref} = 1.0\ \text{mA}$)	V_{th}	5.5	6.43	7.0	V
TOTAL DEVICE					
Standby Supply Current (Pin 6 at V_{ref} . All Other Inputs and Outputs Open) ($V_{CC} = 15\text{ V}$) ($V_{CC} = 40\text{ V}$)	I_{CC}	— —	5.5 7.0	10 15	mA
Average Supply Current ($V_{Pin\ 4} = 2.0\text{ V}$) (See Figure 12) ($C_T = 0.01\ \mu\text{F}$, $R_T = 12\ \text{k}\Omega$, $V_{CC} = 15\text{ V}$)	—	—	7.0	—	mA

* Standard deviation is a measure of the statistical distribution about the mean as derived from the formula.

$$\sqrt{\frac{\sum_{n=1}^N (X_n - \bar{X})^2}{N - 1}}$$

FIGURE 4 — OSCILLATOR FREQUENCY versus TIMING RESISTANCE

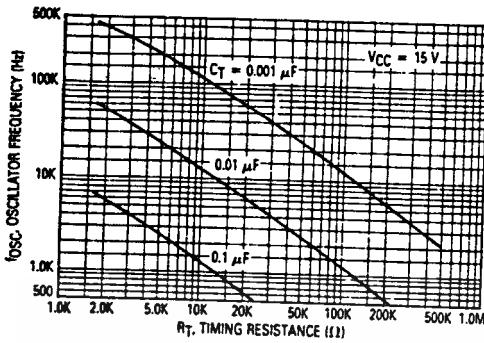


FIGURE 5 — OPEN-LOOP VOLTAGE GAIN AND PHASE versus FREQUENCY

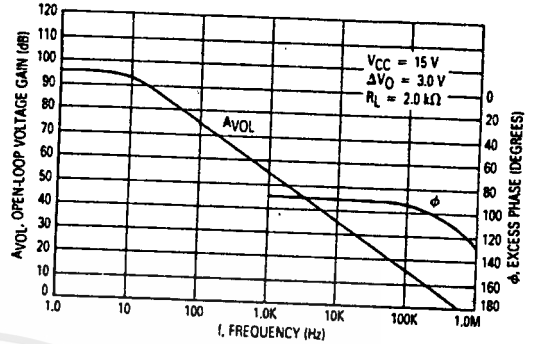


FIGURE 6 — PERCENT DEAD-TIME versus OSCILLATOR FREQUENCY

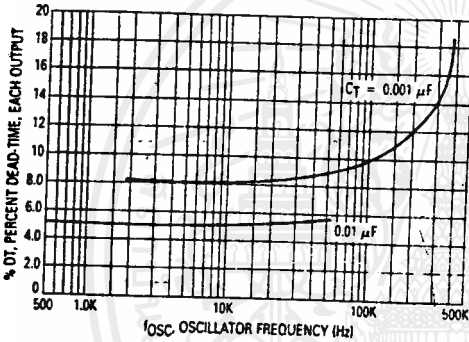


FIGURE 7 — PERCENT DUTY CYCLE versus DEAD-TIME CONTROL VOLTAGE

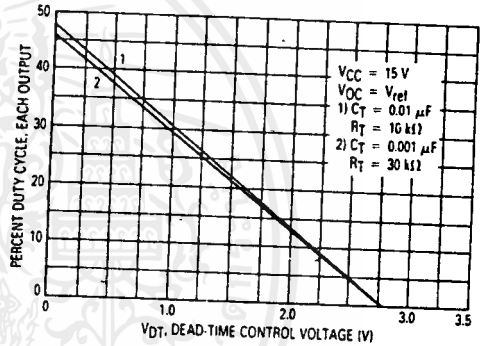


FIGURE 8 — EMITTER FOLLOWER CONFIGURATION OUTPUT SATURATION VOLTAGE versus EMITTER CURRENT

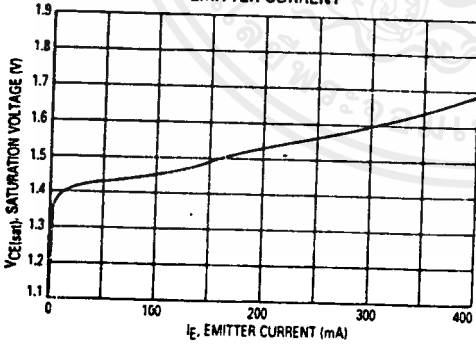


FIGURE 9 — COMMON EMITTER CONFIGURATION OUTPUT SATURATION VOLTAGE versus COLLECTOR CURRENT

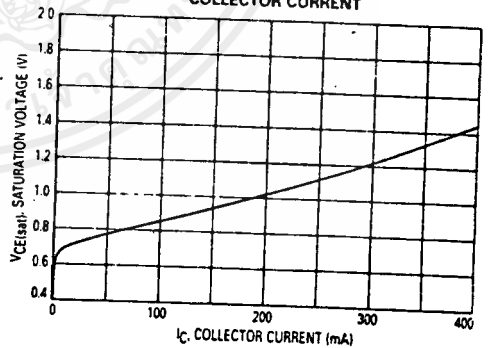


FIGURE 10 — STANDBY SUPPLY CURRENT versus SUPPLY VOLTAGE

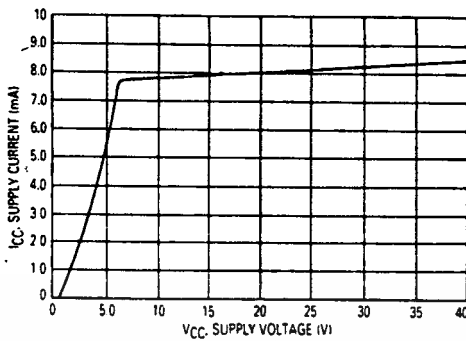


FIGURE 11 — ERROR AMPLIFIER CHARACTERISTICS

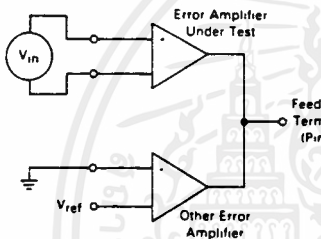


FIGURE 12 — DEAD-TIME AND FEEDBACK CONTROL TEST CIRCUIT

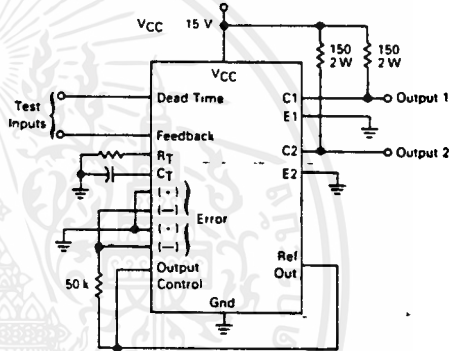


FIGURE 13 — COMMON-EMITTER CONFIGURATION TEST CIRCUIT AND WAVEFORM

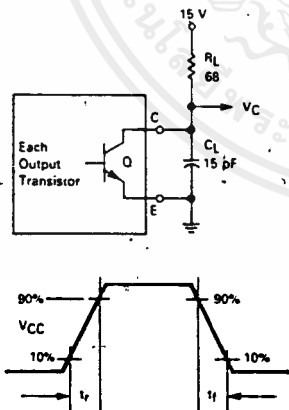
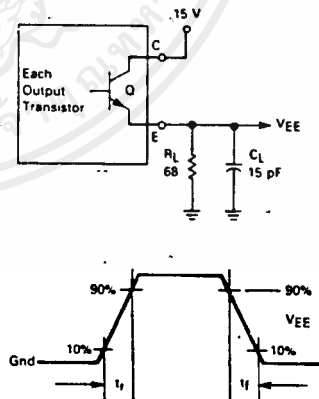


FIGURE 14 — EMITTER-FOLLOWER CONFIGURATION TEST CIRCUIT AND WAVEFORM





MM54C00/MM74C00 Quad 2-Input NAND Gate
MM54C02/MM74C02 Quad 2-Input NOR Gate
MM54C04/MM74C04 Hex Inverter
MM54C10/MM74C10 Triple 3-Input NAND Gate
MM54C20/MM74C20 Dual 4-Input NAND Gate

general description

These logic gates employ complementary MOS (CMOS) to achieve wide power supply operating range, low power consumption, high noise immunity and symmetric controlled rise and fall times. With features such as this the 54C/74C logic family is close to ideal for use in digital systems. Function and pin out compatibility with series 54/74 devices minimizes design time for those designers already familiar with the standard 54/74 logic family.

All inputs are protected from damage due to static discharge by diode clamps to V_{CC} and GND.

features

- Wide supply voltage range 3.0V to 15V
- Guaranteed noise margin 1.0V
- High noise immunity 0.45 V_{CC} typ.
- Low power consumption 10 nW/package typ.
- Low power TTL compatibility fan out of 2 driving 74L

connection diagrams

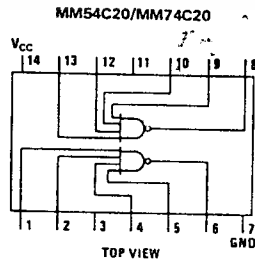
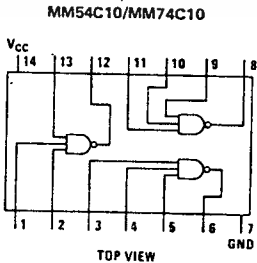
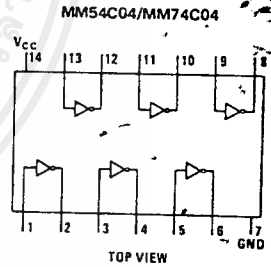
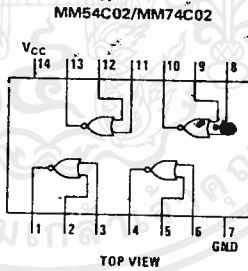
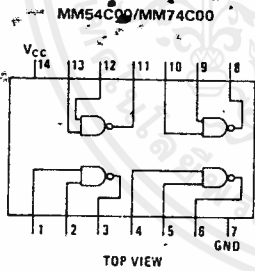


FIGURE 18 — SLAVING TWO OR MORE CONTROL CIRCUITS

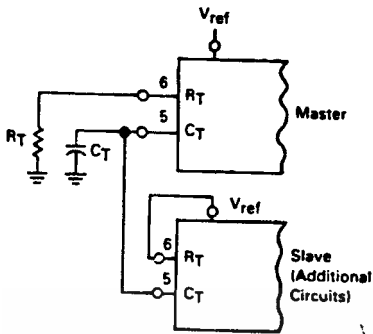


FIGURE 20 — OPERATION WITH $V_{in} > 46$ V USING EXTERNAL ZENER

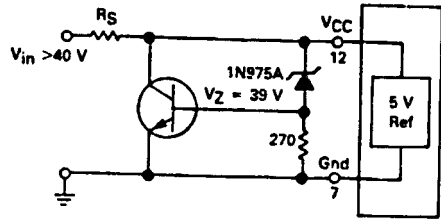
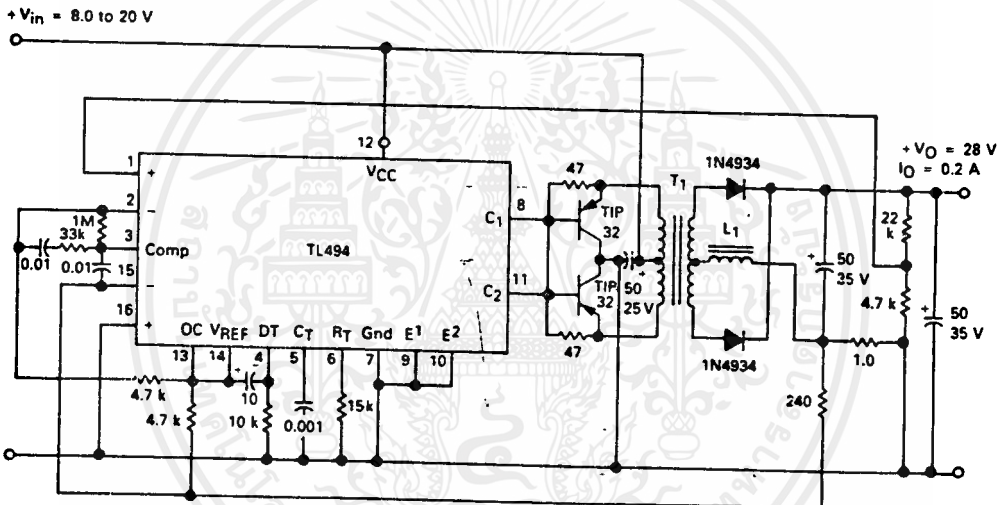


FIGURE 21 — PULSE-WIDTH MODULATED PUSH-PULL CONVERTER



- L1 — 3.5 mH @ 0.3 A
- T1 — Primary: 20T C.T. #28 AWG
Secondary: 120T C.T. #36 AWG
Core: Ferroxcube 1408P-L00-3C8

TEST.	CONDITIONS	RESULTS
Line Regulation	$V_{in} = 10$ V to 40 V	14 mV 0.28%
Load Regulation	$V_{in} = 28$ V, $I_O = 1$ mA to 1 A	3.0 mV 0.06%
Output Ripple	$V_{in} = 28$ V, $I_O = 1.0$ A	65 mV P-P P.A.R.D.
Short Circuit Current	$V_{in} = 28$ V, $R_L = 0.1 \Omega$	1.6 amps
Efficiency	$V_{in} = 28$ V, $I_O = 1$ A	71%

TL494

FIGURE 19 — SLAVING TWO OR MORE CONTROL CIRCUITS

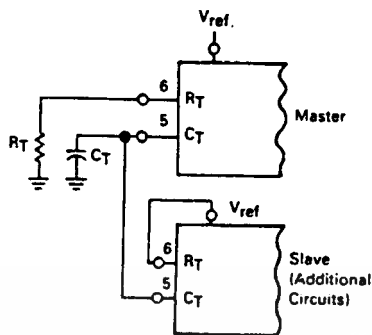


FIGURE 20 — OPERATION WITH $V_{IN} > 40$ V USING EXTERNAL ZENER

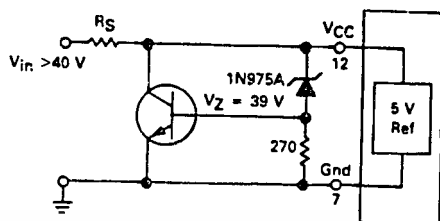
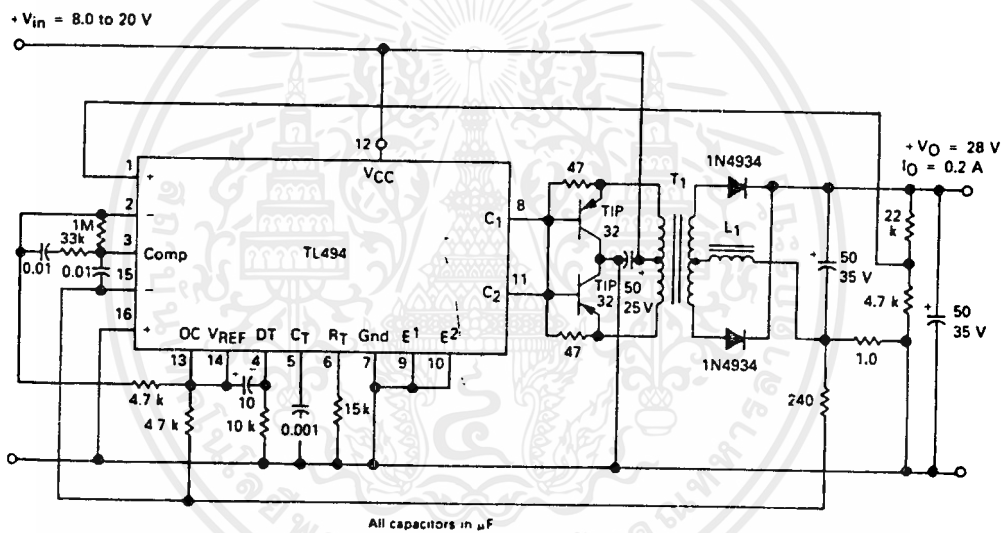


FIGURE 21 — PULSE-WIDTH MODULATED PUSH-PULL CONVERTER



- L1 — 3.5 mH @ 0.3 A
- T1 — Primary: 20T C.T. #28 AWG
Secondary: 120T C.T. #36 AWG
Core: Ferroxcube 1408P-L00-3C8

TEST	CONDITIONS	RESULTS
Line Regulation	$V_{in} = 10$ V to 40 V	14 mV 0.28%
Load Regulation	$V_{in} = 28$ V, $I_O = 1$ mA to 1 A	3.0 mV 0.06%
Output Ripple	$V_{in} = 28$ V, $I_O = 1.0$ A	65 mV P-P P.A.R.D.
Short Circuit Current	$V_{in} = 28$ V, $R_L = 0.1 \Omega$	1.6 amps
Efficiency	$V_{in} = 28$ V, $I_O = 1$ A	71%