ปีการศึกษา 2535

เรื่อง 1-เฟส แบง-แบง พี-ดับบลิว-เอ็ม- อินเวอร์เตอร์

ชนิดใช้ทรานซิสเตอร์

จัดทำโดย

นาย ทัศพันธุ์	อิศรศักดิ์ ณ อยุธยา	32 1106
นาย ธนชาต	สุทธิศันสนีย์	32 1109
นาย วีระ	กาญจนเทียนศรี	32 1307
นาย สุวัฒชัย	เดวี	32 1398

อาจารย์ที่ปรึกษา

อาจารย์ ศุภกิจ จูตะวิริยะ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

032606

ปริญญานิพนธ์ปีการศึกษา 2535

ภาควิชา วิศวกรรมไฟฟ้า

คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เรื่อง 1-เฟส แบง-แบง พี-ดับบลิว-เอ็ม อินเวอร์เตอร์ ชนิดใช้อินเวอร์เตอร์

ผู้จัดทำ

1.นาย ทัศพันธุ์	อิศรศักดิ์ ณ อยุธยา	32 1106
2.นาย ธนชาต	สุทธิศันสนีย์	32 1109
3.นาย วีระ	กาญจนเทียนศรี	32 1307
3.นาย สุวัฒชัย	เดวี	32 1398

.....อาจารย์ที่ปรึกษา

(อาจารย์ ศุภกิจ จูตะวิริยะ)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการใช้

032606

1-เฟส แบง-แบง พี-ดับบลิว-เอ็ม อินเวอร์เตอร์ ชนิดใช้ทรานซิสเตอร์

ทัศพันธุ์ อิศรศักดิ์ ณ อยุธยา
ธนชาต สุทธิศันสนีย์
วีระ กาญจนเทียนศรี
สุวัฒชัย เดวี

อ.ศุภกิจ จูตะวิริยะ อาจารย์ที่ปรึกษา

ปีการศึกษา 2535

บทคัดย่อ

อินเวอร์เตอร์ขนาด 500 VA ที่สร้างขึ้นนี้ใช้เทคนิคการควบคุมแรงดันแบบแบง-แบง (BANG-BANG) ซึ่งเป็นการมอดดูเลทความกว้างชนิดหนึ่ง โดยการป้อนกลับแรงดันเอาท์พุทขาออกของอินเวอร์เตอร์ ซึ่งจะควบคุมแรงดันเอาท์พุทให้มีค่าคงที่ตามสัญญาณไซน์อ้างอิงในส่วนของวงจรกำลัง ได้ใช้เพาเวอร์ทรานซิสเตอร์เป็นอุปกรณ์สวิทช์ซึ่ง ซึ่งสามารถทำงานที่ความถี่สูงได้ และควบคุมการนำกระแสหรือหยุดนำกระแสด้วยการควบคุมกระแสเบส เทคนิคนี้มีคุณสมบัติได้เปรียบวงจรอื่น คือ วงจรควบคุมง่าย และมีการตอบสนองต่อการเปลี่ยนแปลงโหลดได้อย่างรวดเร็ว

ดังนั้นอินเวอร์เตอร์ที่สร้างขึ้นนี้มีลักษณะเหมาะสมที่จะเป็นส่วนหนึ่งของระบบจ่ายไฟต่อเนื่อง (UPS)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

SINGLE PHASE BANG-BANG PWM INVERTER

Tassapan Isarasakdi Na Ayudhaya

Tanachat Sutthisunsanee

Veera Karnjanateinsri

Suwatchai Daevee

Supakit Jutaviriya (Advisor)

1992

Abstract

This project presented the technique of Bang Bang PWM (Pulse Width Modulation) which was used to control the 500 VA inverter with its output feedback control.The inverter could keep the output to be constant according to the referable sine signal.

The power transistors used as high frequency switching transistors in the power section could be controlled to ON or OFF by controlling the base current.

This technique had many advantages comparing with other circuits i.e. its circuit was easy to understand and had a high sensitivity to the changing load.Conclusively this technique was extremely suitable for using as a part of UPS system.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ

บทคัดย่อ

Abstract

บทที่ 1 บทนำ 1

บทที่ 2 ทฤษฎีพื้นฐานของอินเวอร์เตอร์

2.1 วิธีการสร้างสัญญาณ PWM โดยการป้อนกลับแรงดัน 8

2.2 วงจรเทคนิคแบง-แบง แบบง่าย 11

บทที่ 3 ระบบวงจรควบคุมและวงจรสวิทช์กำลังของระบบอินเวอร์เตอร์

3.1 หลักการทำงาน 13

3.2 ระบบวงจรควบคุมการทำงานและวงจรกำลัง 14

3.3 วงจรล็อกเอาท์ 15

3.4 วงจรสร้างสัญญาณไซน์ 16

3.5 วงจรขับกระแสเบส 19

3.6 การออกแบบวงจรสนับเบอร์ 22

3.7 วงจรป้อนกลับ 26

3.8 วงจรสร้าง DC LINK 27

3.9 การออกแบบวงจรกรอง 29

3.10 ชิ้นงานปริญญานิพนธ์ 36

บทที่ 4 การทดลองและผลการทดลอง 39

บทที่ 5 สรุปผลและวิจารณ์ผลการทดลอง 48

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 1

บทนำ

1.1 การแปลงไฟกระแสตรงเป็นไฟกระแสสลับ (INVERTER)

การแปลงไฟกระแสตรงเป็นไฟกระแสสลับ นิยมเรียกว่าอินเวอร์เตอร์ ซึ่งสามารถเปลี่ยนแปลงหรือควบคุมแรงดันไฟและความถี่ของไฟกระแสสลับได้ อินเวอร์เตอร์ได้นำไปใช้ประโยชน์ต่างๆ ได้เช่น

1. แหล่งจ่ายไฟกระแสสลับสำรอง เมื่อแหล่งจ่ายไฟกระแสสลับหลักเกิดขัดข้องขึ้นซึ่งเรียกแหล่งจ่ายไฟกระแสสลับนี้ว่า STAND-BY POWER SUPPLIES หรือ UNINTERRUPTIBLE POWER SUPPLIES ใช้เป็นแหล่งจ่ายไฟฟ้าสำรองสำหรับเครื่องมือที่สำคัญ เช่น คอมพิวเตอร์ โดยเมื่อแหล่งจ่ายไฟฟ้ากระแสสลับหลักเกิดขัดข้อง TRANSFER SWITCH จะต่อระบบอินเวอร์เตอร์จ่ายไฟกระแสสลับแทนแหล่งจ่ายไฟกระแสสลับหลัก โดยแปลงไฟจากแบตเตอรี่

2. ใช้ควบคุมความเร็วของมอเตอร์กระแสสลับโดยการเปลี่ยนความถี่ เมื่อความถี่ของไฟฟ้ากระแสสลับเปลี่ยนแปลง ความเร็วของมอเตอร์จะเปลี่ยนแปลงตามสมการ

$$N = \frac{120.f}{P}$$

โดย N = ความเร็วรอบ (รอบต่อนาที)

f = ความถี่ของแหล่งจ่ายไฟ (ไซเคิลต่อวินาที)

และ P = จำนวนโพลของมอเตอร์

ในการควบคุมจะต้องรักษาให้อัตราส่วนของแรงดันต่อความถี่ที่จ่ายเข้ามอเตอร์จะต้องคงที่ เมื่อต้องการใช้แรงบิด (TORQUE) คงที่ ทุกๆความเร็วที่เปลี่ยนแปลง

3. ใช้แปลงไฟฟ้าจากระบบส่งกำลังไฟฟ้าแรงสูงชนิดไฟฟ้ากระแสตรงให้เป็นไฟกระแสสลับ เพื่อจ่ายให้กับผู้ใช้

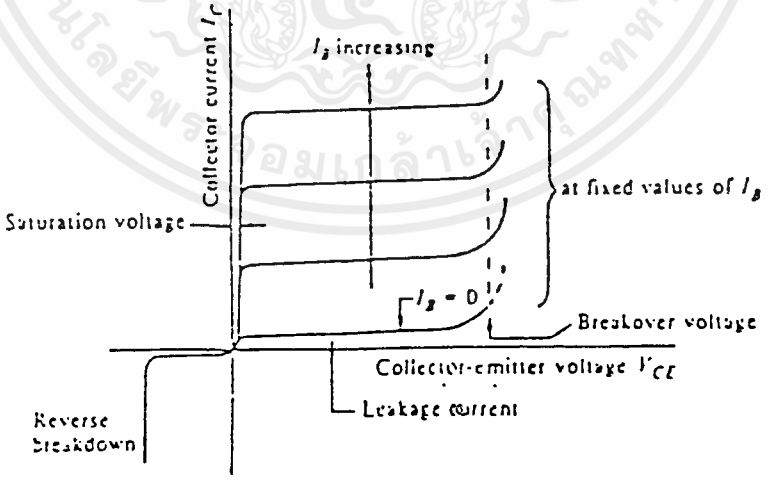
4. ใช้ในเตาถลุงเหล็กที่ใช้ความถี่สูง ซึ่งใช้หลักการเหนี่ยวนำด้วยสนามแม่เหล็กทำให้ร้อน (INDUCTION HEATING)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วงจรอินเวอร์เตอร์สามารถใช้สารกึ่งตัวนำที่ทนแรงดันและกระแสไฟฟ้าสูงๆ ได้เช่น เพาเวอร์ทรานซิสเตอร์ เอสซีอาร์ เป็นต้น แต่ในปริญญานิพนธ์นี้เลือกใช้อุปกรณ์สวิทซ์ชิ่งแบบเพาเวอร์ทรานซิสเตอร์ เนื่องจากมีข้อดีคือ การทำงานของเพาเวอร์ทรานซิสเตอร์ในแบบสวิทซ์ชิ่งในย่านคัทออฟและอิ่มตัวเพาเวอร์ทรานซิสเตอร์สามารถทำให้นำกระแสหรือหยุดนำกระแสด้วยการควบคุมกระแสเบส ซึ่งง่ายกว่าที่จะควบคุมเอสซีอาร์ เพราะเอสซีอาร์ต้องการวงจรคอมพิวเตจขนาดใหญ่และสามารถทำงานที่ความถี่สูงกว่าเอสซีอาร์

1.2 แนะนำอุปกรณ์สวิทซ์ชิงแบบเพาเวอร์ทรานซิสเตอร์ Power Transistor

ทรานซิสเตอร์จะมีแบบ NPN หรือ PNP แต่มักจะใช้แบบ NPN ขณะที่มันทำงานและมีค่า V_{CE} อยู่ I_C จะแปรค่าเป็นสัดส่วนกับ I_B ดังนี้คือ $I_C = \beta I_B$ ซึ่งมีค่าอยู่ในช่วง 15-100 คุณสมบัติของ Transistor จะเป็นดังรูป

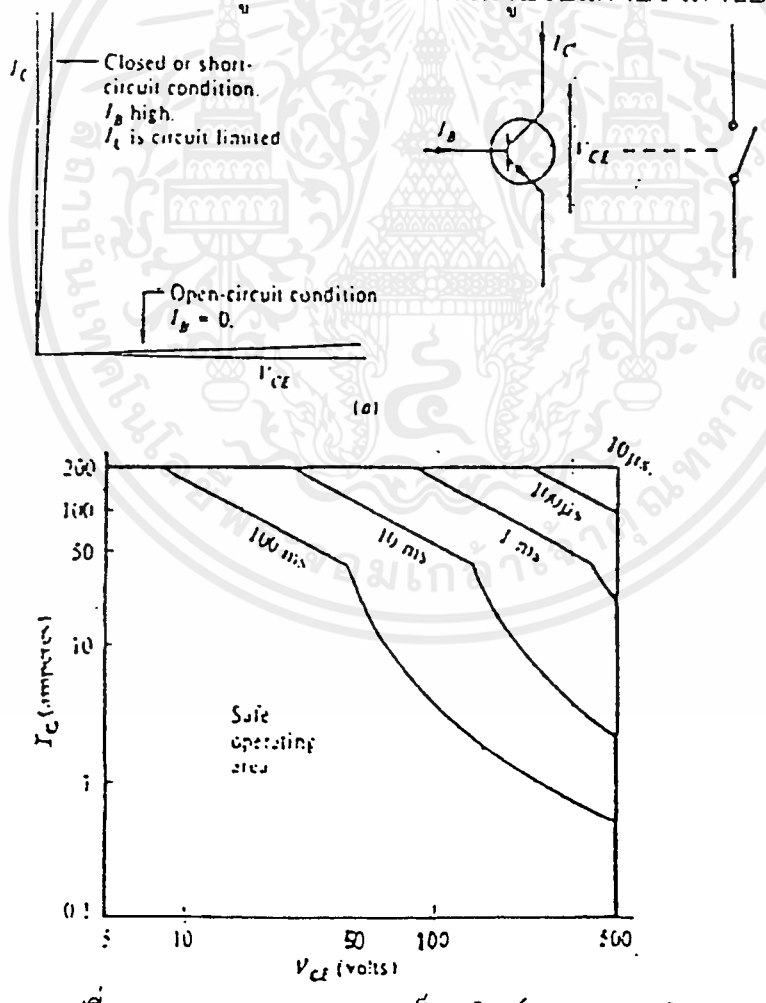


รูปที่ 1.1 แสดงคุณสมบัติของ Transistor NPN

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เมื่อมีค่า V_{CE} เพิ่มขึ้นเรื่อยๆจะเกินจุด Breakover voltage จะทำให้ทรานซิสเตอร์พังได้ หรือเมื่อป้อน reverse voltage ที่ V_{CE} จะเกิด Breakdown ระหว่าง V_{BE} ประมาณ 10 V ดังนั้นเพื่อป้องกันกรณีนี้เกิดขึ้น จึงได้ต่อไดโอดคร่อมระหว่างขา C และ E ดังรูปที่แสดงลักษณะของทรานซิสเตอร์แบบดาร์ลิงตัน

ในการนำไปใช้งานจะใช้เป็นสวิทช์ปิดเปิด เมื่อมีกระแสเบสจะเป็นการปิดสวิทช์ เมื่อนำกระแสเบสออกจะเป็นการเปิดสวิทช์ซึ่งกระแสเบสจะต้องมากพอที่จะให้ทรานซิสเตอร์ Saturation ได้ซึ่งก็คือการปิดสวิทช์นั่นเอง เพื่อให้ทรานซิสเตอร์ทำงานได้อย่างมีประสิทธิภาพจะต้องไม่เกินค่า I_C, V_{CE} ที่กำหนดซึ่งอยู่ภายในบริเวณที่เรียกว่า Safe Operation area ดังรูป ส่วนค่าเวลาในรูปเป็นคาบเวลาของการสวิทช์



รูปที่ 1.2 a) แสดงการเป็นสวิทช์ของทรานซิสเตอร์

b) ย่านการใช้งานที่ปลอดภัย(safe operating area)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

1.3 ข้อมูลสำคัญที่ใช้ในการเลือก Powertransistor

1. V_{CES}, V_{CEX} โวลต์ตกคร่อม V_{CE} ได้สูงสุดเมื่อไม่มีกระแส, แรงดันย้อนกลับสูงสุด ตามลำดับ
2. V_{CE} (SAT) โวลต์เมื่อทรานซิสเตอร์ saturate ค่านี้จะต่างกันเมื่อค่ากระแสเบสต่างกัน
3. ค่า $h_{FE} = I_C/I_B$ เมื่อทรานซิสเตอร์ saturate ค่านี้จะเปลี่ยนแปลงไปขึ้นอยู่กับกระแสเบส collector และอุณหภูมิ
4. $I_{C(SAT)}$ คือ ค่ากระแส collector สูงสุดที่ $V_{CE(SAT)}$
5. t_{on}, t_s, t_f, ช่วงเวลาเปิด, storage time, ช่วงเวลาปิด ของ Transistor

1.4 การต่อขนานและดาร์ลิงตันของเพาเวอร์ทรานซิสเตอร์

ปกติอัตราขยายของเพาเวอร์ทรานซิสเตอร์มีค่าต่ำประมาณ 5-10 เท่า ดังนั้นเพาเวอร์ทรานซิสเตอร์จะต้องมีการขับลากเพาเวอร์ทรานซิสเตอร์ช่วย (Auxilary Transistor) จะสามารถลดกระแสเบส (I_B) ได้ทำให้ลดปัญหาของวงจรขับเบสที่ต้องจ่ายกระแสเบสมากๆด้วย อีกทั้งทรานซิสเตอร์ที่สามารถทนแรงดันและกระแสได้สูง จะมีราคาแพง ดังนั้นจึงได้ใช้วิธีการต่อขนานและดาร์ลิงตันเพาเวอร์ทรานซิสเตอร์เพื่อเพิ่มความสามารถในการรับกระแส I_C และเพิ่มอัตราการขยาย

ข้อควรระวังในการต่อขนาน คือ ทรานซิสเตอร์แต่ละตัวที่นำมาต่อขนานกันจะต้องมีอัตราการขยายเท่ากันซึ่งทำได้โดยการทดสอบหาค่าอัตราขยายก่อนที่จะนำมาต่อขนานกันถ้าอัตราการขยายไม่เท่ากัน เพาเวอร์ทรานซิสเตอร์แต่ละตัวจะแบ่งรับกระแสไม่เท่ากันทำให้เกิดพลังงานสูญเสียเป็นความร้อนในแต่ละตัวไม่เท่ากันจะมีผลต่ออัตราการขยายของเพาเวอร์ทรานซิสเตอร์ตัวที่มีอัตราขยายสูงกว่าอาจจะรับกระแส I_C สูงเกินพิกัด ทำให้เกิดฟอร์เวิร์ดไบอัสเซคกันเบรคดาวน์ได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

นอกจากนี้เพาเวอร์ทรานซิสเตอร์แต่ละตัว จะต้องเกิดสมดุลย์ทางไดนามิคส์ (Dynamic balance) นั่นคือมีค่า เวลาของการนำกระแส (t_{on}), เวลาของการหยุดนำกระแส (t_{off}) และ สตอร์เรจไทม์ (t_s) หรือ มีช่วงเวลาในการสวิทช์เท่ากัน ถ้าไม่เท่ากันอาจทำให้เกิดรีเวิร์สไบอัสเซคกันเบรคดาวน์ (Reverse bias second breakdown) ได้นอกจากนี้ลักษณะการติดตั้งและการต่อสาย (Wiring)ก็มีผลอย่างมาก ต่อการต่อขนานและดาร์ลิงตัน การต่อสายยาวๆและทรานซิสเตอร์อยู่ห่างกันมากจะมีโอกาสเกิดการทำงานไม่สมดุลย์และเป็นสาเหตุให้เกิดสัญญาณรบกวนมาก

1.5 ความสูญเสียในอุปกรณ์สวิทช์ชิ่งทรานซิสเตอร์

อุปกรณ์สวิทช์ชิ่งแบบเพาเวอร์ทรานซิสเตอร์มีขอบเขตของความถี่ในการสวิทช์ชิ่งขึ้นอยู่กับช่วงเวลา RISE TIME และ FALL TIME และเมื่อความถี่ของการสวิทช์สูงก็มีผลทำให้เกิดความสูญเสียขึ้นที่อุปกรณ์สวิทช์ชิ่งขึ้น ความสูญเสียดังกล่าวอยู่ในรูปของ SWITCHING LOSS, CONDUCTION LOSS และ OFF-STATE LOSS แต่ความสูญเสียเนื่องจาก OFF-STATE มีค่าน้อยเมื่อเทียบกับความสูญเสียทั้งสองจึงไม่นำมาพิจารณา และมีสมการความสูญเสียเนื่องจาก SWITCHING LOSS กับ CONDUCTION LOSS ดังนี้

1.5.1 ความสูญเสียจากการนำกระแส (CONDUCTION LOSS)

เมื่อ CONDUCTION LOSS = ON-STATE LOSS + DYNAMIC LOSS

$$P_{cond} = K_3 V_{CE(sat)} I_C + K_4 (0.1 V_C - V_{CE(sat)}) I_C + 0.318 I_B V_{BE(sat)}$$

เมื่อ

V_C = supply voltage

I_C = peak collector current

M = percent modulation (100<M<1)

I_B = base current (I_B constant)

และ K_3,K_4 เป็นค่าคงที่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

1.5.2 <u>ความสูญเสียจากการสวิทช์</u> (SWITCHING LOSS)

- ความสูญเสียขณะหยุดนำกระแส (TURN OFF LOSS)

$$P_{off} = (1/2)K_s V_c t_{cf} f_c$$

เมื่อ

$$K_s = (1/2\pi)\{(\pi-\phi)/2 - 1/4[\sin(2(\pi-\phi))]\}$$

และ

t_{cf} = turn-off crossover time

f_o = switching frequency

- ความสูญเสียขณะเริ่มนำกระแส (TURN ON LOSS)

$$P_{on} = (1/2)K_s V_c I_c t_r f_o + K_s V_c I_c t_n f_o$$

เมื่อ

t_r = transistor rise time

t_n = diode reverse recovery time

Q_n = diode reverse recovery charge

และ K_5 , K_6 , K_7 เป็นค่าคงที่

$$K_6 = (1/2\pi)(1 - \cos(\pi-\phi))$$

$$K_7 = (\pi-\phi)/2\pi$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

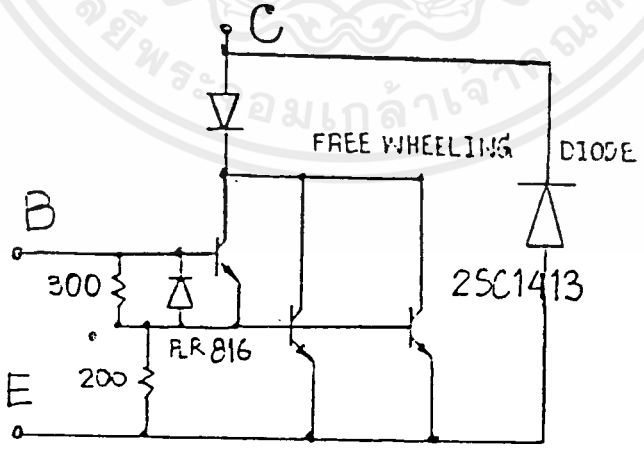
1.6 เหตุที่เลือก Transistor เป็นอุปกรณ์สวิทช์ในวงจรอินเวอร์เตอร์

การใช้ Transistor ดีตรงที่ไม่จำเป็นต้องมีวงจร Commutating เหมือนกับ Thyristor ซึ่งมันสามารถหยุดนำกระแสได้โดยเพียงแต่เอาสัญญาณที่ขับเบสออกเท่านั้น การสวิทช์ต้องอยู่ในที่มันสามารถสวิทช์ได้ และสามารถสวิทช์ได้เร็วกว่า Thyristor จึงทำให้ใช้งานในช่างความถี่สูงและแบบ PWM ได้ ข้อเสียคือจะต้องมีกระแสเบสตลอดเวลาและทน Volte ได้น้อยกว่า Thyristor แต่มีน้ำหนักน้อยกว่าอีกทั้งราคาถูกกว่าทำให้ประหยัดอีกด้วย

สิ่งสำคัญที่ต้องระวังคือต้องไม่ให้ Thyristor ที่อยู่ในแกนเดียวกันทำงานพร้อมกันเพราะจะทำให้เกิดการลัดวงจรทำให้อุปกรณ์เสียหายได้

ทรานซิสเตอร์ที่ใช้

ทรานซิสเตอร์เราใช้เบอร์ 2SC1413H โดยใช้ทรานซิสเตอร์ 3 ตัวต่อดาร์ลิงตันกันโดยต่อไดโอดชนิด fast recovery อนุกรมเข้าไปอีกเพื่อให้ทรานซิสเตอร์ทนโวลต์ได้สูงขึ้นและใส่ไดโอดชนิด fast recovery ขนานเข้าไปดังรูป และมีการต่อตัวต้านทานและไดโอดเพิ่มเข้าไปเพื่อเพิ่มความเหมาะสมในการใช้งานค่าต่างๆ แสดงไว้ในรูปที่ 1.3 แล้ว



รูปที่ 1.3 แสดงทรานซิสเตอร์ที่ใช้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 2

ทฤษฎีพื้นฐานของอินเวอร์เตอร์

การสร้างสัญญาณ PWM (PULSEWIDTH MODURATION) สำหรับอินเวอร์เตอร์มีหลายวิธี เช่น การนำสัญญาณรูปไซน์มาเปรียบเทียบกับสัญญาณรูปสามเหลี่ยมหรือการใช้ไมโครคอมพิวเตอร์กำเนิดสัญญาณ PWM แต่มีอีกวิธีหนึ่งที่สามารถสร้างสัญญาณ PWM นี้ได้โดยการป้อนกลับของกระแสหรือแรงดันขาออกของอินเวอร์เตอร์ การป้อนกลับสามารถที่จะคงค่าปริมาณที่ถูกป้อนกลับของกระแสหรือแรงดัน แต่ถ้าต้องการควบคุมแรงดันขาออกให้คงที่ เราควรป้อนกลับแรงดันขาออกให้อยู่ในรูปไซน์แล้วนำไปเปรียบเทียบกับสัญญาณอ้างอิง เมื่อทำเช่นนี้ องค์ประกอบหลักมูลของแรงดัน PWM ด้านออกจะมีค่าคงที่ตามสัญญาณอ้างอิง

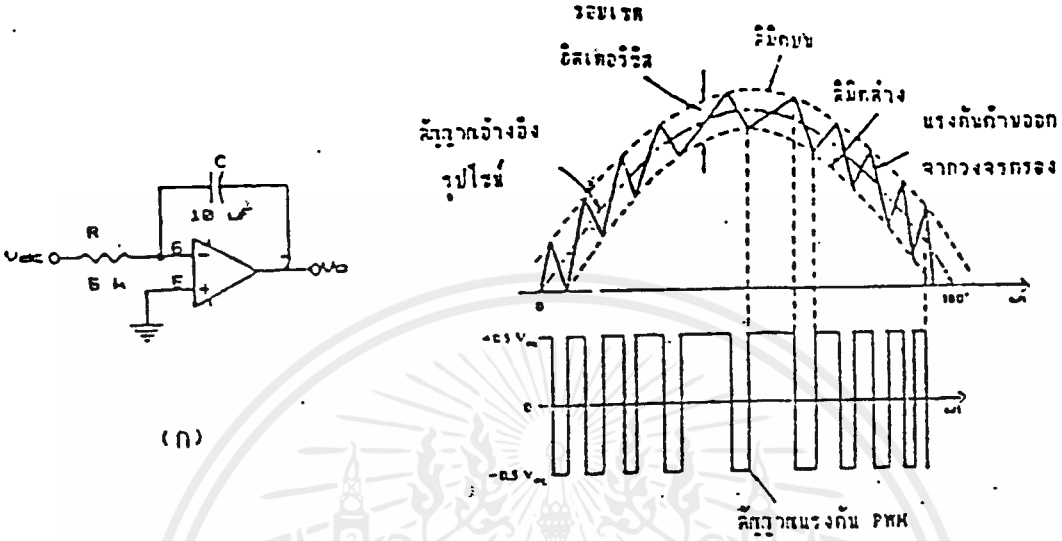
2.1 วิธีการสร้างสัญญาณ PWM โดยการป้อนกลับแรงดัน

สัญญาณ PWM ที่ได้จากวิธีนี้จะเกิดขึ้นมาจากการที่เรานำสัญญาณขาออกของอินเวอร์เตอร์ผ่านวงจรตรวจวัดแรงดัน (VOLTAGE SENSOR) และผ่านวงจรกรอง RC ผ่านต่ำ (LOW-PASS FILTER) แรงดันด้านออกของอินเวอร์เตอร์ที่เป็นแบบบริดจ์จะเปลี่ยนแปลงระหว่าง $+V_{dc}$ และ $-V_{dc}$ โดยที่ V_{dc} คือแรงดันไฟตรงด้านเข้า ให้ V_o เป็นแรงดันด้านออกของวงจร RC (ดูรูปที่ 2.1ก) กระแสผ่านความต้านทาน R ไปสู่ C มีค่าโดยประมาณเท่ากับ $\pm V_{dc}/R$ ดังนั้นความชัน(SLOPE) ของแรงดัน V_o จะเท่ากับ

$$dV_o/dt = \pm V_{dc}/R \qquad \ldots\ldots(1)$$

ถ้าแรงดันขาออกของ PWM เท่ากับ V_{dc} ความชันของ V_o จะเป็นลบเมื่อเทียบกับ V_o กับแรงดันอ้างอิงรูปไซน์ โดยใช้วงจรเปรียบเทียบซึ่งมีฮีสเตอร์รีซีสเท่ากับ ΔV (ใช้วงจรลั่นไกของสมิตต์) เมื่อ V_o มากกว่าแรงดันอ้างอิงไปประมาณ $\Delta V/2$ แรงดันด้านออกของวงจรเปรียบเทียบจะเปลี่ยนระดับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



(ก)

(ข)

รูปที่ 2.1 ก) วงจร RC ผ่านต่ำ

ข) รูปบน แรงดันป้อนกลับที่ผ่านวงจรกรองผ่านต่ำ และสัญญาณอ้างอิงรูปไซน์

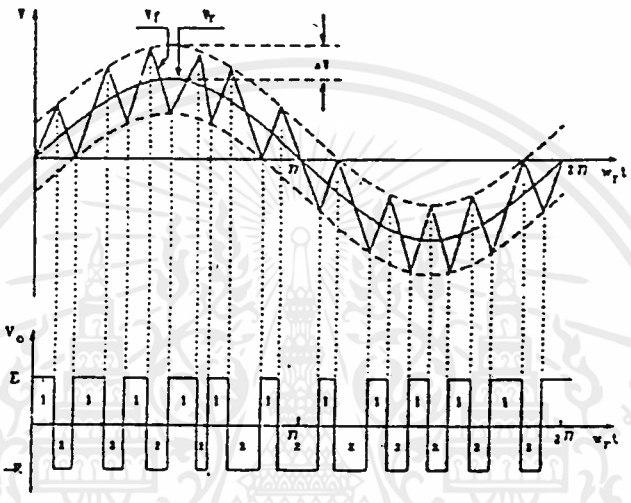
รูปล่าง สัญญาณ PWM ที่ได้จากเปรียบเทียบสัญญาณทั้งสอง แบบมีฮีสเตอร์รีซีส

เรานำสัญญาณที่ออกจากวงจรเปรียบเทียบ ไปทำการควบคุมการทำงานของทรานซิสเตอร์ในวงจรอินเวอร์เตอร์ การคงค่าแรงดันเกิดจากการที่สัญญาณที่ผ่านวงจรกรองผ่านต่ำจะอยู่ในแถบฮีสเตอร์รีซีสรอบๆ แรงดันอ้างอิงรูปไซน์ และสัญญาณนี้ก็คือองค์ประกอบหลักมูลของแรงดัน PWM ของอินเวอร์เตอร์นั่นเอง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

032606

ลักษณะรูปคลื่นของเทคนิคแบง-แบง รูปที่ 2.2 ซึ่งเกิดจากวงจรม็อดดูเลเตอร์ รูปที่ 2.2 คือสัญญาณสวิทช์ซิ่ง DM ซึ่งจะนำไปขับ PWM และ V_r คือ สัญญาณคลื่นพาหะ (carrier) มีรูปร่างเดลต้าจะออสซิสเลตรอบๆสัญญาณไซน์อ้างอิง V_r อยู่ภายในขอบเขตฮีสเตอร์รีซีส (ΔV) ดังนั้นค่าความกว้างของฮีสเตอร์รีซีสน้อยที่สุดและค่าความชันมากที่สุดของ V_r จะเป็นตัวกำหนดความถี่สวิทช์ซิ่งของอุปกรณ์สวิทช์ในอินเวอร์เตอร์



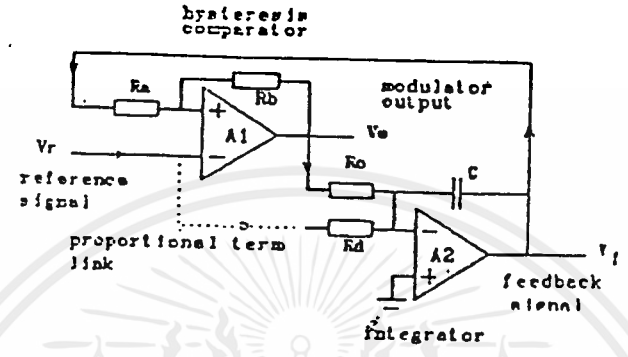
รูปที่ 2.2 แสดงรูปคลื่นเดลต้าม็อด

วงจรของเทคนิค แบง-แบง แบบนี้ทำงานดังนี้ สัญญาณอ้างอิงรูปไซน์ V_r ถูกป้อนเข้าที่อินพุทขั้วบวกของคอมพาเรเตอร์(comparator) A_1 ในขณะที่คลื่นพาหะ V_c ที่ถูกสร้างขึ้นโดยอินติเกรเตอร์ A_2 จะป้อนเข้าที่ขั้วลบ ดังนั้นเมื่อไหร่ก็ตามที่เอาท์พุทของ A_2 เกินค่าขอบเขตบน(upper)หรือขอบเขตล่าง(lower) ของความกว้างฮีสเตอร์รีซีส ซึ่งกำหนดค่าได้ด้วยอัตราส่วนของ R_3/R_3 จะทำให้คอมพาเรเตอร์ A_1 กลับ polarity ของ V_o ทันทีซึ่ง V_o ทำหน้าที่เป็นอินพุทของ A_2 จะมีผลทำให้ความชันของ V_c เปลี่ยนเครื่องหมายตรงข้ามและจะออสซิลเลตรอบสัญญาณอ้างอิง V_r ผลของการออสซิลเลตนี้จะทำให้องค์ประกอบมูลฐานของV_c (V_{c1}) และสัญญาณอ้างอิงรูปไซน์ มีขนาดเท่ากัน

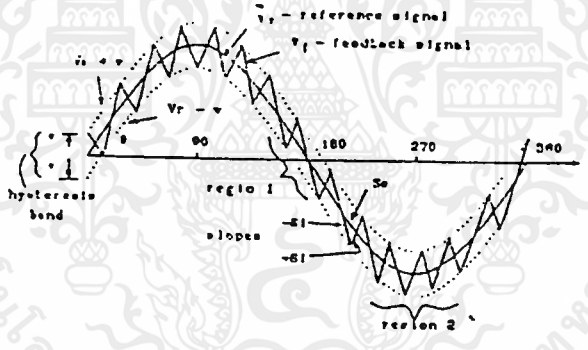
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.2 วงจรเทคนิคแบง-แบง แบบง่าย

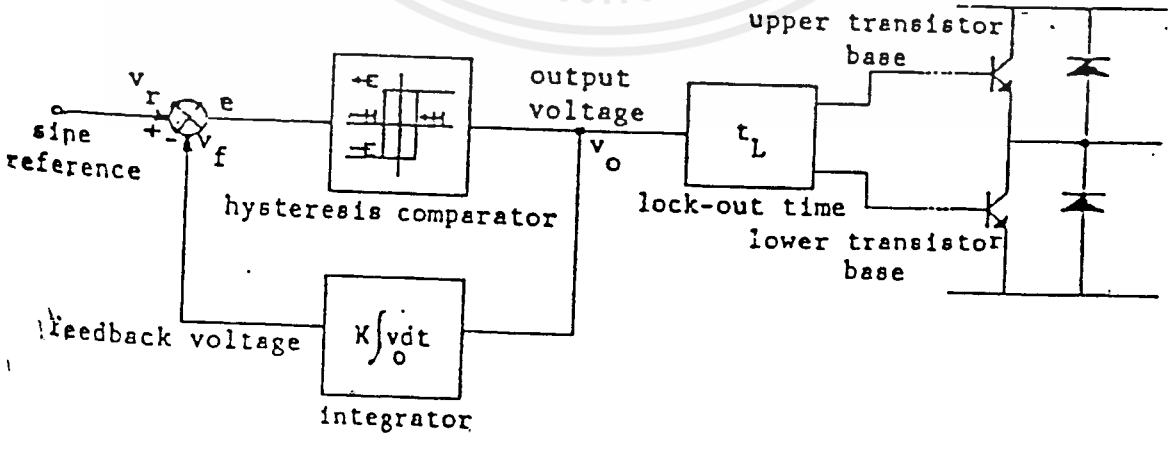
วงจรเทคนิคแบง-แบง แบบนี้ประกอบด้วยออปแอมป์เพียงสองตัวเท่านั้นที่คอมพาเรเตอร์ A_1 จะมีการเปรียบเทียบสัญญาณป้อนกลับ V_f กลับสัญญาณอ้างอิงรูปไซน์ V_r พร้อมกับมีการสร้างฮีสเตอร์รีซีสด้วย



รูปที่ 2.3 แสดงวงจรเทคนิคแบง-แบง แบบง่าย

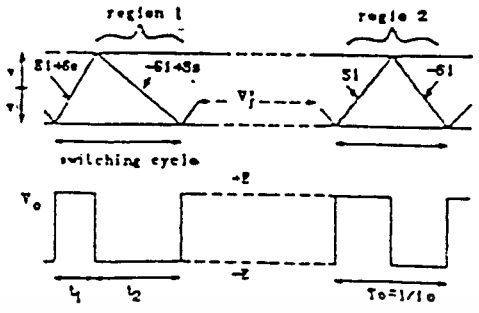


รูปที่ 2.4 รูปคลื่นเดลต้าม็อด



รูปที่ 2.5 แสดงแผนภาพบล็อกหน่วยสร้างเทคนิคแบง-แบง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.6 รูปคลื่นสวิทช์ชิ่งเดลต้าม็อดที่มีการจัดเรียงใหม่
ของ region 1 และ 2 ซึ่งมีคาบไม่คงที่

ดังนั้นสัญญาณเอาท์พุท V_o จึงมีแรงดันสภาวะสวิทช์ชิ่ง E อย่างใดอย่างหนึ่งเพื่อจะนำไปขับอุปกรณ์สวิทช์ชิ่งในอินเวอร์เตอร์ ส่วน A_2 จะทำหน้าที่เป็นอินติเกรเตอร์เพื่อทำหน้าที่สร้างสัญญาณป้อนกลับ V_f จาก V_o ดังนั้นสัญญาณป้อนกลับจึงมีความชันที่เป็นบวกหรือลบ พิจารณาได้จากสมการ

$$dV_f/dt = \pm E/CR_c = Si \quad .....(2)$$

Si คือความชันของรูปคลื่นเดลต้า(V_f)

ในขณะที่สัญญาณ V_f เคลื่อนที่ห่างจาก V_r มีค่าเท่ากับ δ จะทำให้ V_f เปลี่ยนทิศของความชันเป็นผลทำให้ V_f ออสซิเลตรอบๆ V_r อยู่ในขอบเขตฮีสเตอร์รีซีส ($\pm \delta$)ตามรูปที่ 2.6 สัญญาณ V_o เป็นสัญญาณสวิทช์ชิ่งซึ่งเป็น differential ของ V_f ดังนั้นจะได้ความสัมพันธ์ ดังนี้

$$V_o = dV_f/dt$$

$$= dV_r/dt + \text{switching harmonic} \quad .....(3)$$

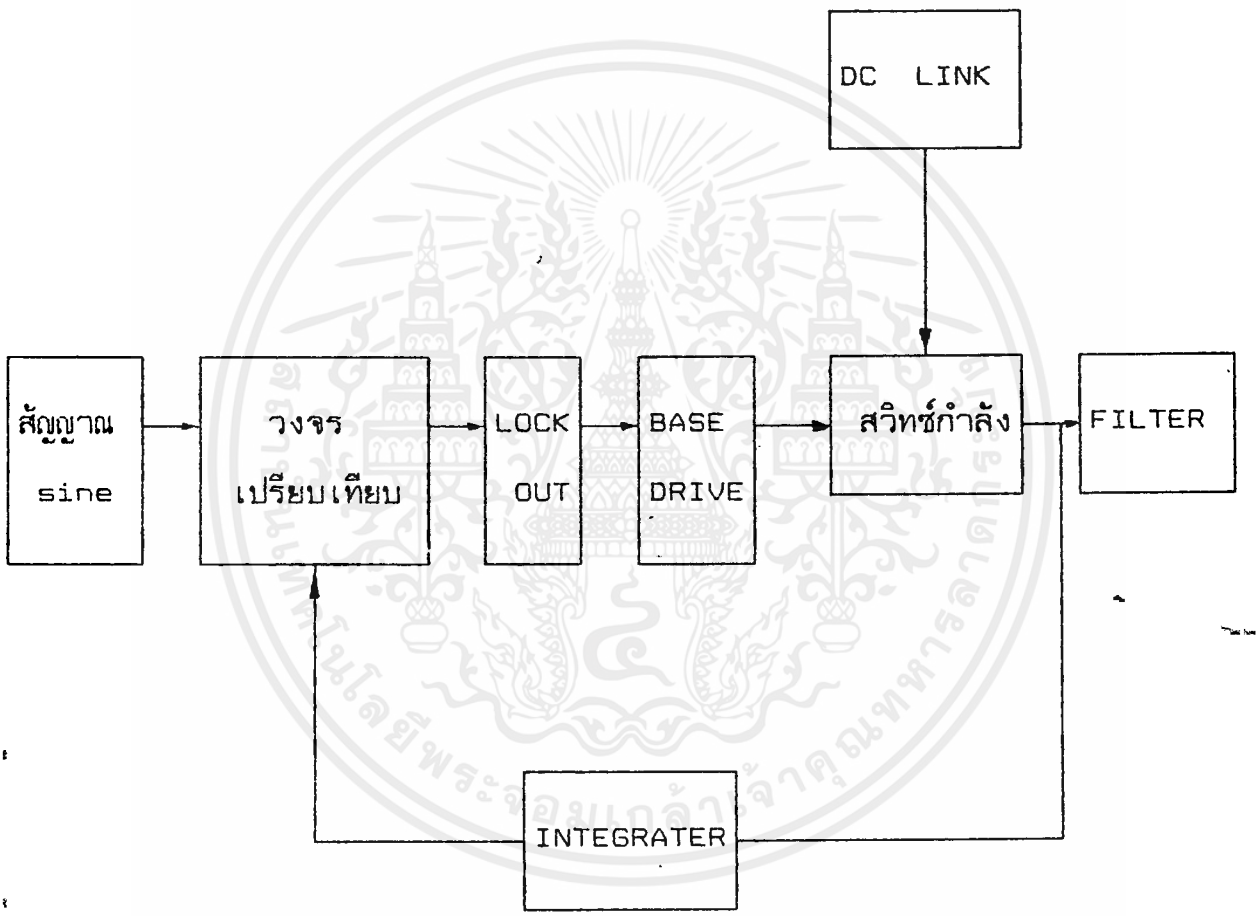
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 3

ระบบวงจรควบคุมและวงจรสวิทช์กำลังของระบบอินเวอร์เตอร์

3.1 หลักการทำงาน

อินเวอร์เตอร์ที่สร้างมีลักษณะดังรูป

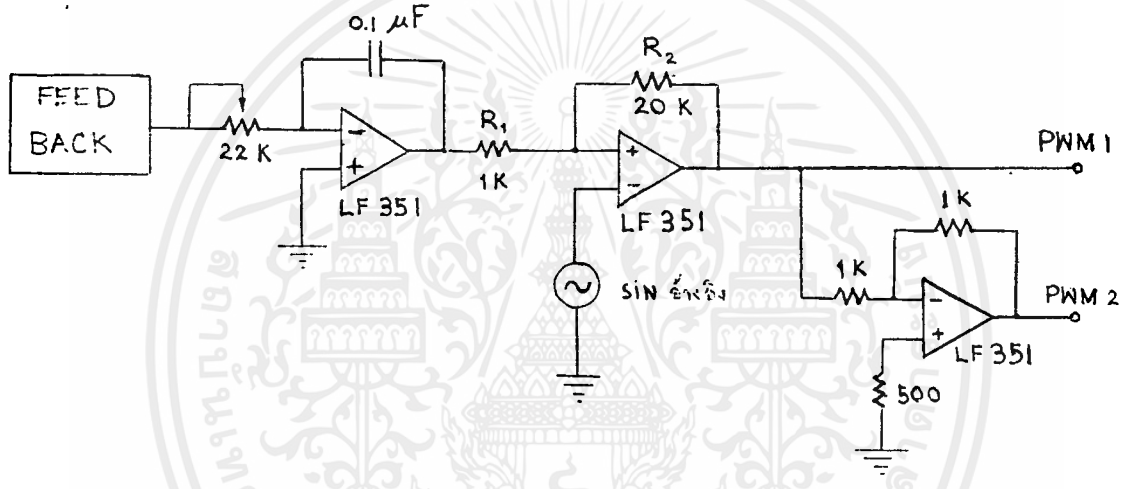


รูปที่ 3.1 แสดงแผนภาพบล็อกของอินเวอร์เตอร์

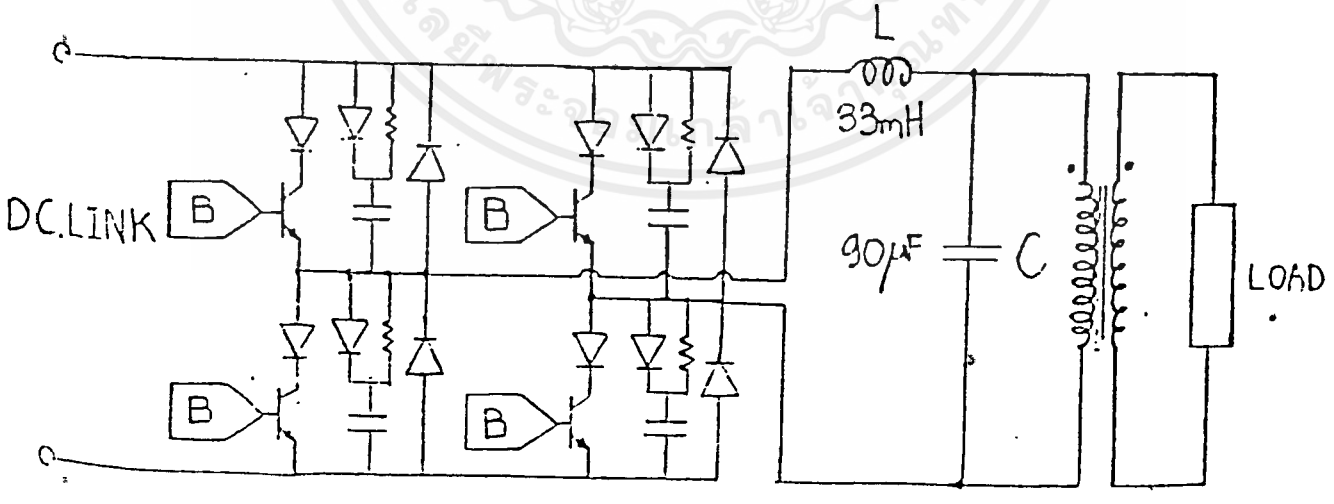
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.2 ระบบวงจรควบคุมการทำงานและวงจรกำลัง

รายละเอียดทางทฤษฎี ได้แสดงไว้ในบทต้นๆแล้ว ดังนั้นวงจรควบคุมมีดังรูป 3.2 โดยที่เราสามารถปรับความถี่สวิทช์โดยการปรับค่า Amplitude ของสัญญาณ Sin อ้างอิงเมื่อ Amplitude มีค่าน้อยความถี่สวิทช์จะมีค่ามาก ถ้าค่า Amplitude มาก ความถี่สวิทช์จะต่ำและปรับอีกค่าที่ตัวต้านทานปรับค่าได้ซึ่งเป็นการปรับการอินทีเกรท โดยที่เราคงค่า C ไว้และฮีสเตอร์รีซีส โดย ใช้ C = 0.1 μF ฮีสเตอร์รีซีส R_2/R_1 = 20 สัญญาณที่ได้ผ่านอินเวอร์เตอร์อีกตัว นำสัญญาณ PWM ทั้งสองไปเข้าวงจร Lock out ต่อไป



รูปที่ 3.2 แสดงวงจรควบคุม

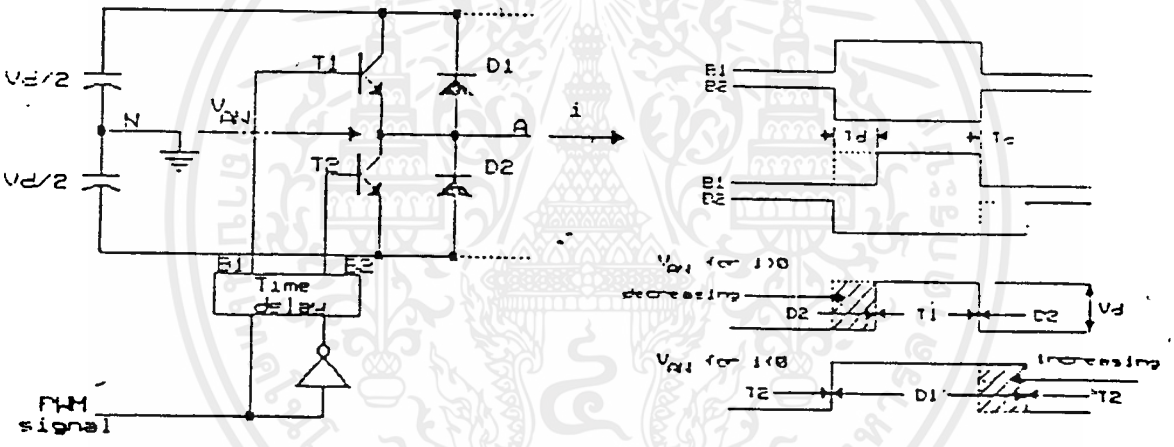


รูปที่ 3.3 แสดงวงจรกำลังแบบ full bridge และวงจรกรอง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.3 วงจรล็อกเอาท์ (Lock out circuit)

เป็นวงจรที่จะแยกสัญญาณที่จะนำไปควบคุมทรานซิสเตอร์ตัวบนและทรานซิสเตอร์ตัวล่างในกิ่งเดียวกันของบริดจ์อินเวอร์เตอร์ตามรูปที่ 3.4(a) โดยมีการสร้างเดดไทม์ (dead time) ซึ่งเป็นการป้องกันไม่ให้ทรานซิสเตอร์ทั้งสองนำกระแสพร้อมกัน ในขณะมีการสับเปลี่ยนการนำกระแส อันเนื่องมาจากผลสตอเรจไทม์ของทรานซิสเตอร์ซึ่งจะทำให้เกิดลัดวงจรในกิ่งชั่วขณะ ผลก็คือ อาจทำให้เพาเวอร์ทรานซิสเตอร์เสียหายได้ หลักการสร้างเดดไทม์ทำได้โดยการหน่วงสัญญาณการนำกระแสของทรานซิสเตอร์แต่ละตัวออกไปเท่ากับ t_d ดังแสดงในรูป 3.4 (b) วงจรล็อกเอาท์อย่างง่ายที่ออกแบบได้ในรูปที่ 3.5

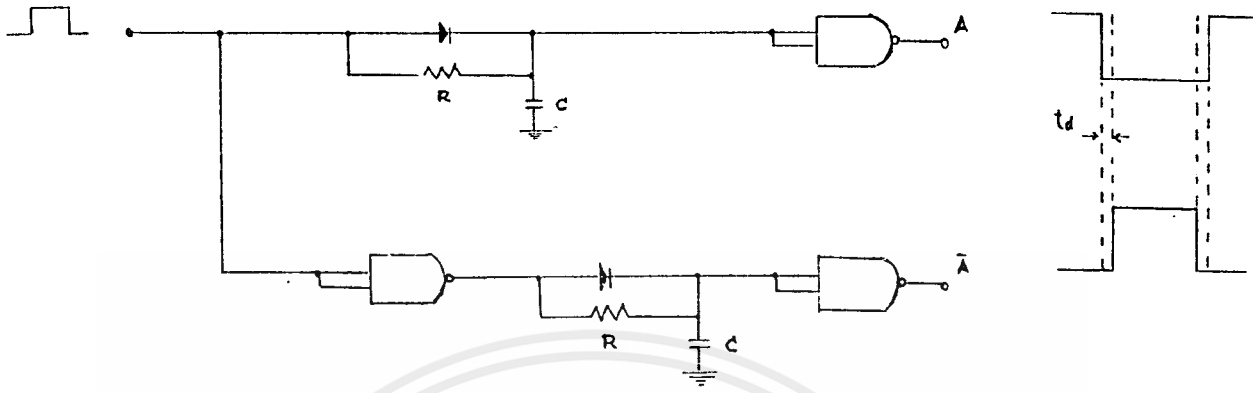


a) วงจรกำลังของอินเวอร์เตอร์ b) สัญญาณต่างๆเมื่อมีการสร้าง dead time

รูปที่ 3.4 แสดงหลักการสร้างวงจรล็อกเอาท์

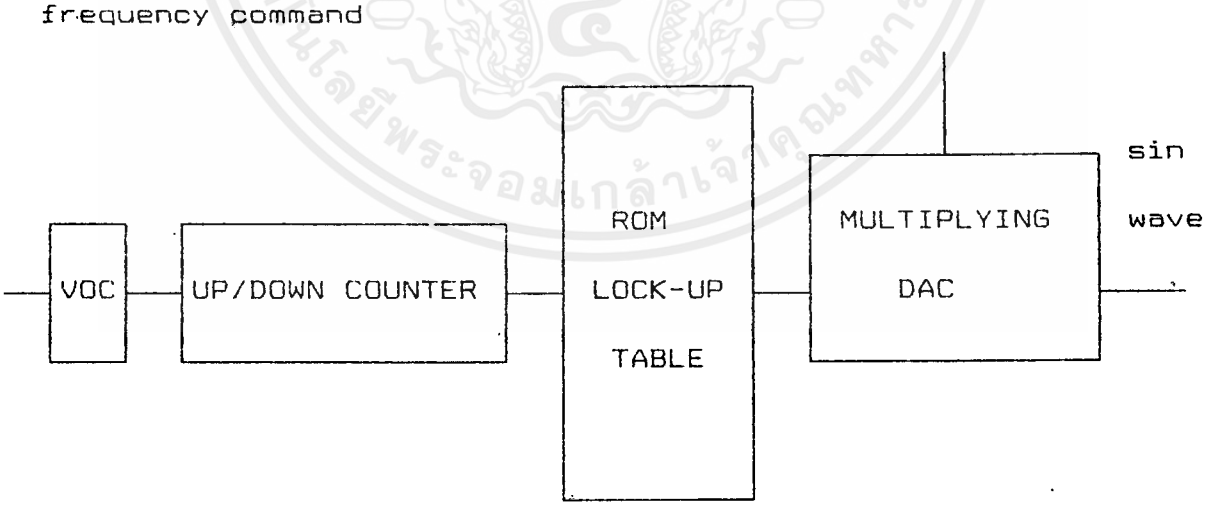
ในทางทฤษฎีพบว่าถ้าค่าของเดดไทม์สูงจะทำให้แรงดันมูลฐานมีค่าลดลงไปจากเดิม และจะมีผลทำให้มีฮาร์โมนิคส์อันดับต่ำมีค่าสูงขึ้น ดังนั้นการกำหนดค่าเดดไทม์ควรกำหนดให้มีค่าที่เหมาะสม ซึ่งมีความสัมพันธ์กับค่า t_f, t_r ของทรานซิสเตอร์ จากการทดลองค่าที่เหมาะสมได้เลือกค่าประมาณ 25 μs ซึ่งสามารถตั้งค่าได้จากค่าคงที่เวลา RC ที่อยู่ในวงจรรูปที่ 3.5

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.5 แสดงวงจรล็อกเอาท์ที่ออกแบบ

3.4 วงจรสร้างสัญญาณไซน์ 50 Hz



รูปที่ 3.6 แสดงบล็อกไดอะแกรมของสัญญาณไซน์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากรูปที่ 3.7 เป็นการสร้างสัญญาณไซน์เพื่อทำเป็นสัญญาณอ้างอิง ทำได้โดยการเก็บข้อมูลของคลื่นรูปไซน์อยู่ในรูป lock up table ไว้ในหน่วยความจำแบบ EPROM โดยแต่ละข้อมูลเป็นเลขดิจิตอลที่แทนค่าแอมปลิจูดของคลื่นไซน์ที่แทนค่าที่มุมต่างๆ ค่าความละเอียดของคลื่นไซน์ขึ้นอยู่กับจำนวนข้อมูลที่เก็บไว้ ดังนั้นสมมติว่ามีการเก็บข้อมูลรูปไซน์หนึ่งไซเคิลจำนวน 2^8 หรือ 256 ข้อมูล ดังนั้นข้อมูลแต่ละตำแหน่งจะอยู่ห่างกัน 1.406 องศาข้อมูลที่จะเก็บในหน่วยความจำเก็บอยู่ในรูปของเลขฐานสิบหก ซึ่งสามารถคำนวณหาค่าของข้อมูลเหล่านี้จากสมการต่อไปนี้

$$V_m \sin wt = V_{ref} R_o / R_{14} (A_1/2 + A_2/4 + A_3/8 + A_4/16 + A_5/32 + A_6/64 + A_7/128 + A_8/256)$$

เมื่อ V_m = แรงดันสูงสุดของคลื่นไซน์

V_{ref} = แรงดันไฟกระแสตรงซึ่งเป็นแรงดันอ้างอิง

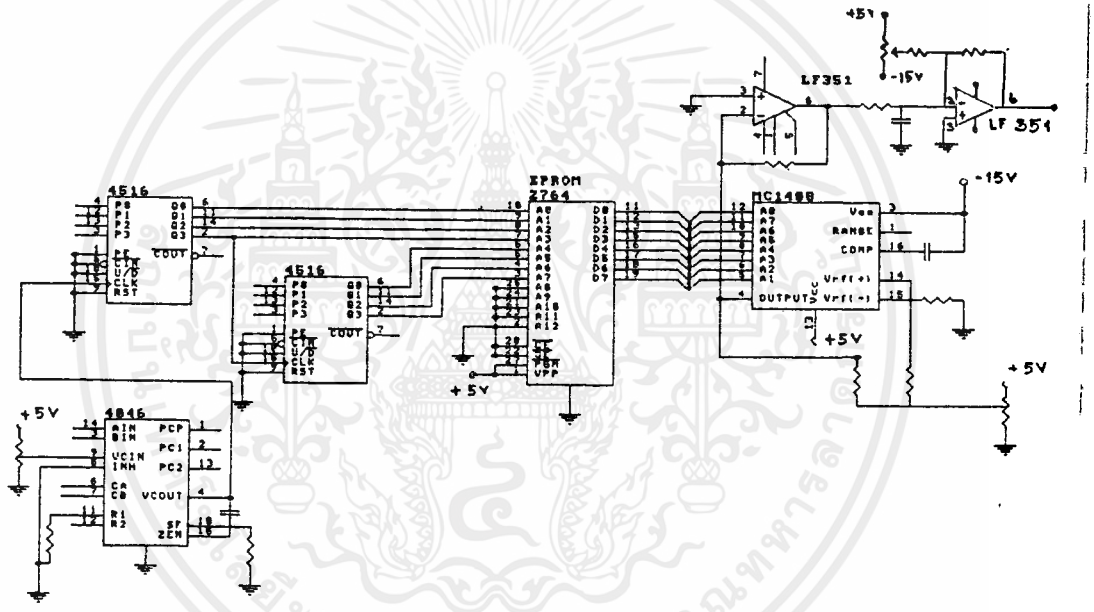
A_1-A_8 = ข้อมูลที่คำนวณได้เมื่อแปลงเป็นเลขฐานสอง

R_o, R_{14}, R_8 = ค่าความต้านทานโดยที่ $R_8 = 2R_{14}$

ค่าของข้อมูลทั้ง 256 ข้อมูลนี้ถูกแสดงในตาราง ของภาคผนวก การสร้างข้อมูลของสัญญาณไซน์โดยเก็บไว้ในหน่วยความจำแล้วใช้การอ้างแอดเดรสจะใช้ไอซีเบอร์ 4516 ซึ่งเป็น 8 bit up/down counter เป็นตัวนับสัญญาณนาฬิกาและใช้ไอซีเบอร์ 4045 เป็น VCO เป็นตัวสร้างสัญญาณนาฬิกานี้ ในการนับนี้จะนับขึ้นจาก 0 ถึง 255 หรือนับลงจาก 255 ถึง 0 ซึ่งเป็นการนับคลื่นไซน์ครบหนึ่งไซเคิล ตัวนับจะมีการรีเซ็ทแล้วกลับมาเริ่มใหม่เพื่อสร้างคลื่นไซน์ไซเคิลถัดไป ในการออกแบบถ้าต้องการสัญญาณไซน์มีความถี่จาก 0-100 Hzดังนั้นความถี่ของสัญญาณนาฬิกา f_1 จึงมีค่าระหว่าง 0-25.6 KHz โดยประมาณ ที่เอาท์พุทของ EPROM จะเป็นสัญญาณดิจิตอลจึงต้องเปลี่ยนเป็นสัญญาณอนาล็อกของรูปไซน์ โดยใช้ DAC ไอซีเบอร์ 1408 เอาท์พุทของ DAC นำไปผ่านออปแอมป์เบอร์ LF351 ซึ่งทำหน้าที่เปลี่ยนสัญญาณอนาล็อกที่อยู่ในรูปกระแสให้เป็นแรงดันที่เป็นคลื่นไซน์สามารถนำไปใช้งานได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ดังนั้นสัญญาณไซน์ที่สร้างจากวงจรนี้สามารถปรับเปลี่ยนความถี่ได้โดยการปรับเปลี่ยนแรงดันไฟตรงที่ frequency command ที่ V_{oc} ในขณะเดียวกัน แอมปลิจูดของสัญญาณไซน์ ก็สามารถปรับเปลี่ยนได้ โดยการเปลี่ยนแปลงแรงดันกระแสตรงที่ V_{ref} ของ DAC ซึ่งก็คือ voltage command V_r



รูปที่ 3.7 วงจรกำเนิดสัญญาณคลื่นรูปไซน์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.5 วงจรขับกระแสเบส (BASE DRIVES CIRCUIT)

สัญญาณ PWM จากวงจรส่วนสร้างสัญญาณควบคุมจะถูกป้อนให้กับวงจรขับเบส เพื่อขยายกระแสขับเบสให้มากเพียงพอที่จะทำให้เพาเวอร์ทรานซิสเตอร์อิ่มตัวได้ ณ จุดการทำงานที่เหมาะสมโดยสัญญาณ PWM ที่ออกจากวงจรขับเบสจะมีสวิทช์ด้านบวก 8 โวลท์ และด้านลบ 6โวลท์ การสวิทช์ด้านบวกจะเป็นการไบอัสด้านหน้า (FORWARD BIAS) ซึ่งจะทำให้เพาเวอร์ทรานซิสเตอร์นำกระแส การสวิทช์ทางด้านลบจะเป็นการไบอัสกลับทาง(REVERSE BIAS) ซึ่งจะทำให้เพาเวอร์ทรานซิสเตอร์หยุดนำกระแสทันที

วงจรขับเบสจะใช้ออปโต้ไอโซเลเตอร์ (OPTO-ISOLATOR) เบอร์ 4N25 เป็นตัวแยกวงจรส่วนควบคุมกับส่วนกำลังออกจากกัน เพื่อป้องกันการทำงานผิดพลาดของส่วนควบคุม อันเนื่องจากการรบกวนของส่วนกำลังและจากมอเตอร์ที่เข้ามาทางสายกราวด์

วงจรขับเบสนี้ จะออกแบบใช้กับเพาเวอร์ทรานซิสเตอร์ของวงจรกำลัง 1-เฟส อินเวอร์เตอร์ โดยปกติทรานซิสเตอร์ที่ไม่มีการดาร์ลิงตัน จะมีอัตราขยายค่อนข้างต่ำ ข้อมูลตามดาต้าชีตของเพาเวอร์ทรานซิสเตอร์มีค่าเวลาไต่ขึ้น (t_r) เวลาไต่ลง (t_f) และค่าสตอเรจไทม์ ซึ่งค่าเหล่านี้จะลดลงได้ถ้ามีวงจรขับเบสที่เหมาะสม ตามทฤษฎีควรให้กระแสเบสมีการไหลย้อนกลับและมีค่าเกือบเป็นสองเท่าของกระแสเบสฟอร์เวิร์ดในขณะ turn off และกระแสเบสย้อนกลับควรจะไม่มีการกระชากกระแสลงไปสู่ค่าลบอย่างรวดเร็ว ในทางปฏิบัติควรมีการใส่ค่าอินดักแตนซ์ขนาดเล็ก ซึ่งอาจถือได้ว่าเป็นอินดักแตนซ์แฝง (stray inductance) เข้าไปในวงจรในส่วนเป็นรีเวิร์สไบอัส เพื่อที่จะไม่ให้ค่า $-dI_B/dt$ มีค่ามากเกินไปซึ่งอาจทำให้เพาเวอร์ทรานซิสเตอร์เสียหายได้ เพื่อที่จะให้กระแสในระหว่าง turn-on มีค่าน้อยควรจะให้กระแสเบสมีการโอเวอร์ชูตของขอบขาขึ้นกระแสประมาณสองเท่าของค่ากระแสเบสที่สภาวะคงที่ รูปที่ 3.8 จะแสดงรูปของกระแสเบสที่จะทำให้การทำงานเหมาะสมสำหรับความเร็วสวิทช์ที่ต้องการ ดังนั้นในการออกแบบวงจรขับเบสจึงคำนึงถึงการให้กระแสเบสอย่างเหมาะสม และการป้องกันเพาเวอร์ทรานซิสเตอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 3.9 แสดงวงจรขับเบสที่ออกแบบขึ้นจะประกอบด้วยส่วนต่างๆที่สำคัญดังต่อไปนี้

1.ส่วนแยกกราวน์ ระหว่างวงจรควบคุมและวงจรกำลัง เพื่อป้องกันการรบกวนและอันตรายจากไฟแรงสูง จากวงจรกำลังโดยใช้ออปโต้คัปเปอร์ (OPTO-COUPLER) โดยมีการต่อวงจรช่วยเพิ่มเติมในลักษณะที่เพิ่มขีดความสามารถในด้านความเร็ว และไม่ให้มีการเลื่อนเฟสระหว่างสัญญาณอินพุทและเอาท์พุท

2.ส่วนป้องกันไม่ให้ทรานซิสเตอร์อิ่มตัวจนเกินไป (OVER SATURATION) โดยใช้ไดโอด D_1 ซึ่งจะทำหน้าที่เรคกูเลตกระแสเบสอย่างอัตโนมัติขึ้นอยู่กับกระแสคอลเลคเตอร์เพื่อให้ทรานซิสเตอร์ทำงาน อยู่ในสภาวะกึ่งอิ่มตัว (QUASI SATURATION) เป็นผลทำให้ลดค่าสตอเรจไทม์

3.ส่วนของการโอเวอร์ชูตขอบขาขึ้นกระแสเบส โดยใช้สปีดอัพคาปาซิเตอร์ C_2 เพื่อเพิ่มความเร็วในการสวิทช์ เมื่อนำกระแส

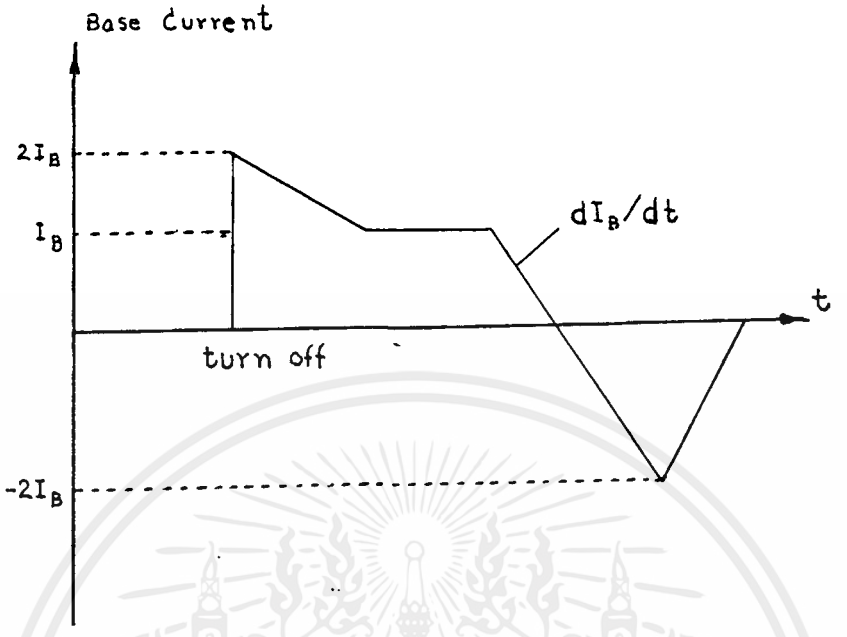
4.ส่วนของการจำกัดกระแสเบสที่เป็นลบ โดยใช้ตัวเหนี่ยวนำ L_1 เพื่อป้องกันไม่ให้ dI_B/dt ของกระแสมีค่าสูงเกินไป

การทำงาน

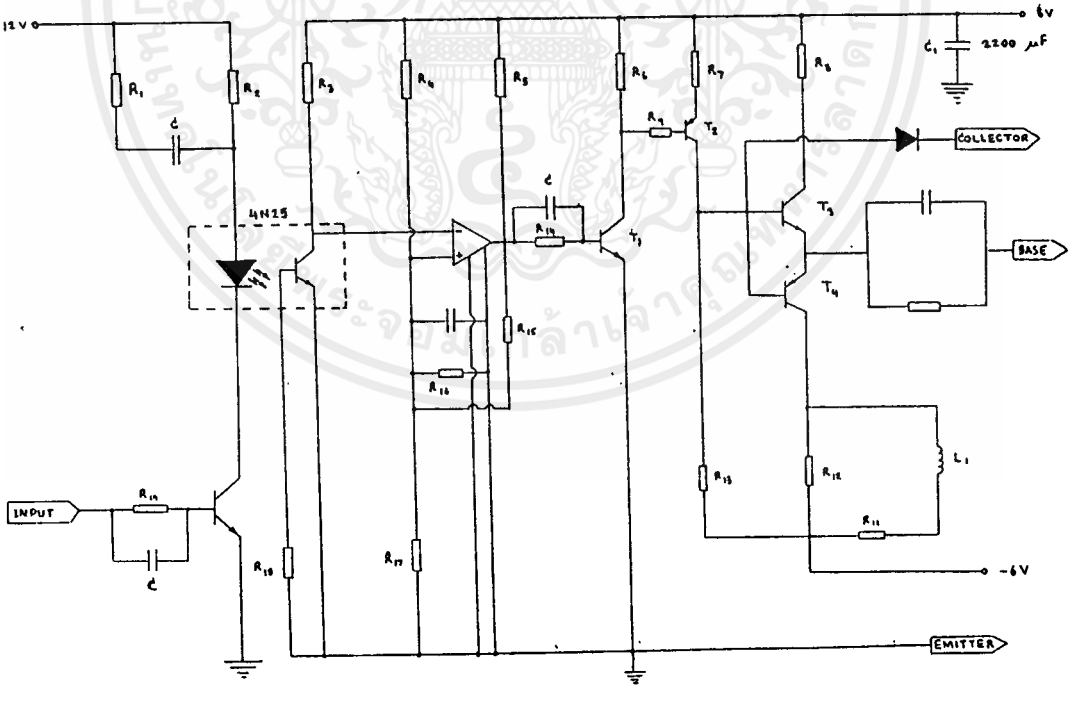
เมื่อพัลส์บวกของสัญญาณสวิทช์ซึ่งถูกส่งให้กับวงจรขับเบส จะเป็นการฟอร์เวิร์ดไบอัสให้กับเพาเวอร์ทรานซิสเตอร์ โดยใช้ทรานซิสเตอร์ T_1 จะนำกระแสทำให้มีกระแสไหลออกจากเบสของทรานซิสเตอร์ T_2, T_2 จึงนำกระแสและขยายกระแสเพื่อจ่ายแก่เบสของทรานซิสเตอร์ T_3 ทำให้ T_3 นำกระแสในขณะที่ ทรานซิสเตอร์ T_4 จะไม่นำกระแสดังนั้นจะมีกระแสไหลไปยังเบสของเพาเวอร์ทรานซิสเตอร์อย่างเพียงพอ ทรานซิสเตอร์จึงนำกระแส

เมื่อพัลส์ลบถูกกส่งเข้ามาจะเป็นการรีเวร์สไบอัสให้กับเพาเวอร์ทรานซิสเตอร์ โดยทรานซิสเตอร์ T_1 จะไม่นำกระแสทำให้ T_2, T_3 ไม่นำกระแสด้วยเหมือนกัน ดังนั้นจะมีกระแสไหลออกจากเบสของทรานซิสเตอร์ T_4 ทำให้ T_4 นำกระแส ดังนั้น กระแสจึงไหลออกจากเบสของเพาเวอร์ทรานซิสเตอร์ทำให้เพาเวอร์ทรานซิสเตอร์หยุดนำกระแส

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.8 แสดงรูปร่างของกระแสเบสในทางอุดมคติ

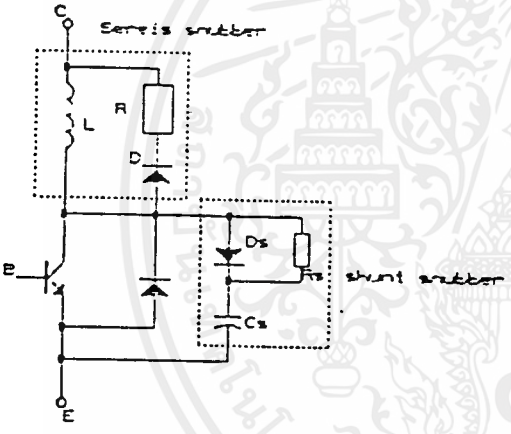


รูปที่ 3.9 แสดงวงจร BASE DRIVE

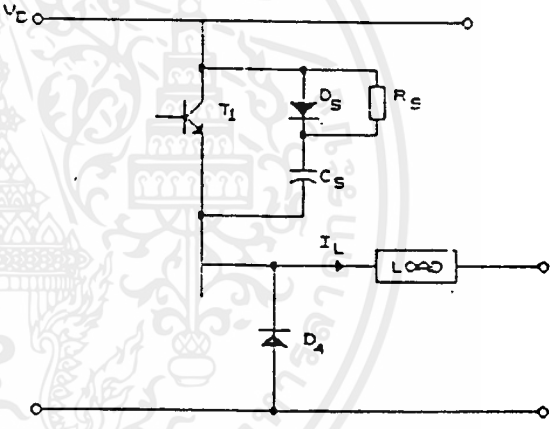
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.6 การออกแบบวงจรสนับเบอร์ (snubber circuit)

วงจรสนับเบอร์เป็นวงจรช่วยภายนอกที่ใส่เพิ่มเข้าไปให้กับเพาเวอร์ทรานซิสเตอร์แต่ละตัวเพื่อป้องกันไม่ให้พีคกระแสและแรงดันเกินค่าพิกัดโดยไม่มีผลกระทบต่อการทำงานของวงจรหลัก วงจรสนับเบอร์นี้มีทั้งแบบอนุกรมและแบบขนานโดยแบบอนุกรมจะช่วยลดสไปค์ของกระแส(current spikes)และลดกำลังการสูญเสียของเพาเวอร์ทรานซิสเตอร์ในขณะเริ่มนำกระแส ส่วนแบบขนานจะลดสไปค์ของแรงดัน(voltage spikes)และลดกำลังการสูญเสียของเพาเวอร์ทรานซิสเตอร์ในขณะเริ่มหยุดนำกระแส ดังนั้นจึงเป็นสิ่งจำเป็นมากที่จะต้องออกแบบวงจรสนับเบอร์ให้มีค่าเหมาะสมกับงานที่ใช้ ตัวอย่างของวงจรสนับเบอร์ที่ใช้ในการทดลอง จะใช้เพียงสนับเบอร์แบบขนานก็นำเพียงพอแล้ว ตามรูปที่ 3.11 ประกอบด้วย R_s,D_s,C_s



รูปที่ 3.10 แสดงวงจรสนับเบอร์แบบอนุกรมและแบบขนาน



รูปที่ 3.11 วงจรสนับเบอร์ที่ใช้ในการทดลอง

การทำงานของวงจรสนับเบอร์

พิจารณา รูปที่ 3.11 ขณะทรานซิสเตอร์เริ่มหยุดนำกระแส สมมติให้กระแสทรานซิสเตอร์ลดลงเป็นเชิงเส้น กระแสจะผ่าน D_s เข้ามาชาร์จประจุที่ C_s โดยค่าโวลเตจตกคร่อมแสดงได้ด้วยสมการ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$V_{c_s} = (1/C_s) \int_0^t I_L \, dt \qquad \text{.....(1)}$$

$$V_{c_s} = (1/C_s) \int_0^t (I_L/t_f) t \, dt \qquad \text{.....(2)}$$

เมื่อ I_L คือ ค่ากระแสโหลด ; t_r คือ fall time

ค่าแรงดันที่ตกคร่อมตัวเก็บประจุ C_s มีค่า V_{cD} ที่เวลา $t = t_r$

จะได้ว่า $$V_{cD} = 0.5(1/t_r)/C_s \qquad \text{.....(3)}$$

ดังนั้นค่าตัวเก็บประจุที่จะใช้ในการออกแบบควรมีค่า

$$C_s >= (I_L t_f)/2V_{cD} \qquad \text{.....(4)}$$

หลังจากเมื่อเวลาผ่าน t_f ไปแล้ว C_s ยังคงถูกชาร์จด้วยกระแสโหลดคงที่ต่อไป ทำให้แรงดันตกคร่อม C_s มีค่าสูงกว่าแหล่งจ่าย V_D เพราะเนื่องจากมีอินดักแตนซ์ในวงจรและในที่สุดก็จะตกลงมาเท่ากับแหล่งจ่าย พลังงานที่เก็บสะสมไว้ใน C_s คือ

$$E_{c_s} = 0.5C_s(V_D)^2 \qquad \text{.....(5)}$$

เมื่อทรานซิสเตอร์เริ่มนำกระแสอีกครั้งพลังงานจะถูกสลายที่ความต้านทาน R_s คือ

$$P_{R_s} = 0.5(V_D)^2 f \qquad \text{.....(6)}$$

ในขณะที่ทรานซิสเตอร์นำกระแสนั้น ความต้านทาน R_s จะจำกัดค่ากระแสดิสชาร์จค่าหนึ่งให้อยู่ในช่วงที่ปลอดภัย ถ้าให้ $-I^*_x$ คือกระแสสูงสุดที่ทรานซิสเตอร์ยอมให้ผ่านได้โดยปลอดภัยและ I_L คือค่ากระแสโหลดขณะนำกระแส และสมมติว่า R_s เท่านั้นที่จำกัดค่ากระแสดิสชาร์จของตัวเก็บประจุ ดังนั้น R_s หาได้จาก

$$R_s > V_o/(I_M - I_L) \qquad \text{.....(7)}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ซึ่งสมการที่ 7 จะเป็นสมการที่หาค่าน้อยที่สุด ของ R_s โดยประมาณสำหรับค่า R_s ที่มากที่สุด สามารถหาได้จากช่วงคาบเวลาของการนำกระแสที่น้อยที่สุด($T_{on(min)}$) ของทรานซิสเตอร์โดยไม่มีผลของค่าอินดักแตนซ์ที่ต่ออนุกรมอยู่ การออกแบบค่าเวลาการนำกระแสน้อยสุดควรมีค่าอย่างน้อยเป็น 3 เท่าของค่าคงที่เวลา R_sC_s ดังสมการ

$$T_{on(min)} >= 3R_sC_s \qquad .....(8)$$

$$R_s < T_{on(min)}/3C_s \qquad .....(9)$$

นั่นคือการออกแบบค่า R_s ควรมีค่าน้อยพอที่จะทำให้การคายประจุใน C_s เกิดขึ้นอย่างรวดเร็ว เมื่อรวมสมการ (7),(8)และ(9) นี้จะได้

$$V_D/(I_M-I_L) <= R_s <= T_{on(min)}/3C_s \qquad .....(10)$$

จากสมการ (7),(8) แสดงให้เห็นว่าค่า R_s ควรเป็นค่าที่เหมาะสมเพื่อที่จะจำกัดกระแสสูงสุดที่ไหลผ่านทรานซิสเตอร์ ขณะเดียวกันควรเป็นค่าที่ให้ค่าไทม์คอนสแตนส์ R_s,C_s น้อยกว่าช่วงนำกระแสของทรานซิสเตอร์ทั้งนี้เราสามารถหาค่า R_s และ C_s ได้รวมทั้งหากำลังที่สูญเสียใน R_s ได้จากสมการ (6)

ในการทดลอง กำหนดให้ $V_D = 350$ V , $V_{CD} = 35$ V

$I_L = 5$ A , $I_M = 12$ A

$t_f = 1\mu S$, $T_{off(min)} = 15\ \mu S$

สามารถคำนวณหาค่าตัวต้านทาน R_s และ C_s ของวงจรสนับเบอร์ ได้ดังนี้

$$C_s > I_L t_f/2V_{CD}$$

$$> (5)(1)(10^{-6})/2(35)$$

$$> 0.07\ \mu F$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จึงเลือกค่า C = 0.1μF และทนแรงดัน 630 V เพราะหาง่ายในท้องตลาด

และจากสมการที่ (10) $V_D/(I_M-I_L) < R_s < T_{on(min)}/3C_s$

แทนค่าข้อมูลที่กำหนดให้จะได้

$$350/(12-5-1) < R_s < 15/3(0.1)$$

$$56 \text{ โอห์ม} < R_s < 50 \text{ โอห์ม}$$

เนื่องจากใช้ความถี่ในการสวิทช์ชิ่งของทรานซิสเตอร์ที่มากที่สุดประมาณ 10 KHz ดังนั้นควรคำนวณหากำลังสูญเสียที่สลายใน R_s ได้

$$P_{R_s} = (0.5)(0.1)(350)^2(10K)$$

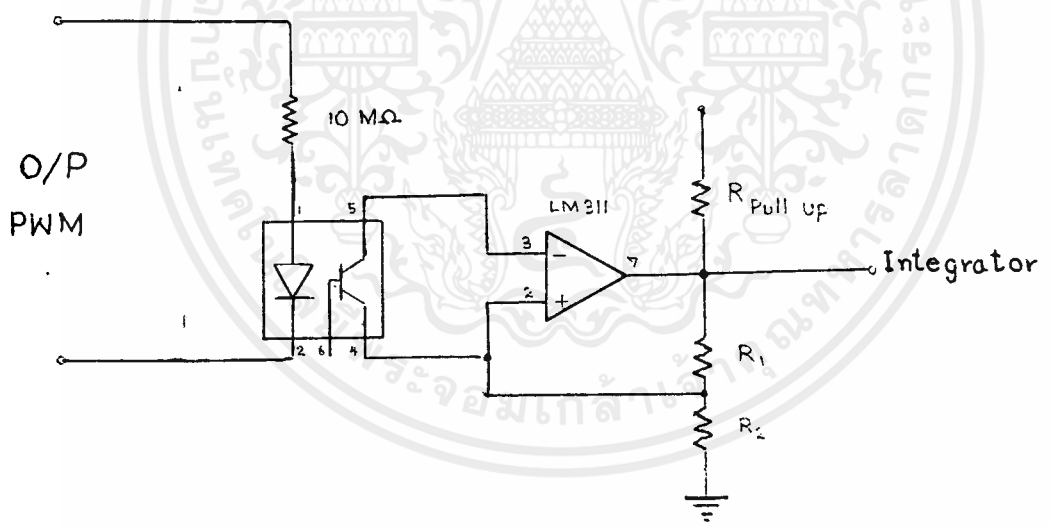
$$= 60 \text{ W}$$

ดังนั้นเลือกตัวต้านทาน R_s เท่ากับ 55 โอห์ม 60 W

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.7 วงจรป้อนกลับ

ในโครงงานนี้เป็นการป้อนกลับแรงดัน โดยใช้ R-DIVIDER เป็นตัวแบ่งแรงดันเอาท์พุทของอินเวอร์เตอร์ที่เป็นสัญญาณ PWM ให้มีขนาดน้อยลงเพื่อไม่ให้อุปกรณ์อิเลคทรอนิคส์เสียหายและใช้ออปโต้ไอโซเลเตอร์ (OPTO ISOLATOR) เบอร์ 4N25 เป็นตัวแยกวงจรส่วนกำลังกับส่วนป้อนกลับออกจากกัน สัญญาณที่ออกจากออปโต้ไอโซเลเตอร์นำไปเข้าวงจร COMPARATOR แบบมีฮีสเตอร์รีซีส เพื่อแต่งรูปคลื่น แล้วนำสัญญาณที่ได้ไปผ่านวงจรอินติเกรเตอร์ (INTEGRATOR) หลังจากนั้นนำสัญญาณที่ได้ไปเปรียบเทียบกับสัญญาณไซน์อ้างอิงที่สร้างขึ้นก็จะได้รูปคลื่นที่เป็นสัญญาณ PWM เพื่อใช้ควบคุมอินเวอร์เตอร์ต่อไป



รูปที่ 3.12 แสดงวงจรป้อนกลับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.8 วงจรสร้าง DC LINK

3.8.1 วงจรส่วนแปลงไฟกระแสสลับ 1-เฟส เป็นไฟกระแสตรง

วงจรส่วนนี้ประกอบด้วย ไดโอด 4 ตัวต่อกันแบบ ฟูล บริดจ์(full bridge) ทำหน้าที่รับไฟ AC อินพุทจากไลน์ 1-เฟสแล้วเปลี่ยนเป็นไฟกระแสตรงที่มีริปเปิลก่อนเข้าสู่ LC FILTER เพื่อกรองให้เรียบ ดังนั้นเพื่อที่จะรับไฟ AC อินพุทดังกล่าว บริดจ์ในทางปฏิบัติจะต้องสามารถรับอินพุทได้อย่างน้อย 115% ของแรงดันขาเข้า แต่ต้องคำนึงถึง over voltage อีกด้วย ค่ากระแสพิกัดต้องเผื่อไว้ในขณะที่เกิดการกระชากกระแสอีกถึง 50% สำหรับในกรณีของบริดจ์ไดโอดเรคติไฟเออร์นี้ สามารถคำนวณหาแรงดันไฟกระแสตรงเฉลี่ยที่จะจ่าย ดังนี้

$$V_{out(dc)} = 2V_m(R_L)/\pi(R_c+R_L)$$

เมื่อ V_m = แรงดันพีค AC ไลน์อินพุท

R_L = ความต้านทานโหลด

R_c = ความต้านทาน choke L

แรงดันริปเปิลที่เกิดขึ้น = $3V_m/(3-\sqrt{2}\ \pi w^2LC)$

กระแสริปเปิล = $4V_m/3\pi\sqrt{2}\ 2wL$

% ริปเปิล = $100/6\sqrt{2}\ w^2LC$

ค่าอินดัคแตนซ์ของ choke L ที่ควรเลือกใช้คำนวณได้โดยอาศัยเงื่อนไข $I_{ac}<I_{dc}$ ดังนั้น

$$4V_m/6\pi wL = 2V_m/\pi R_{L(max)}$$

และ $R_{L(min)} = 3wL$

$$L = R_{L(min)}/3w$$

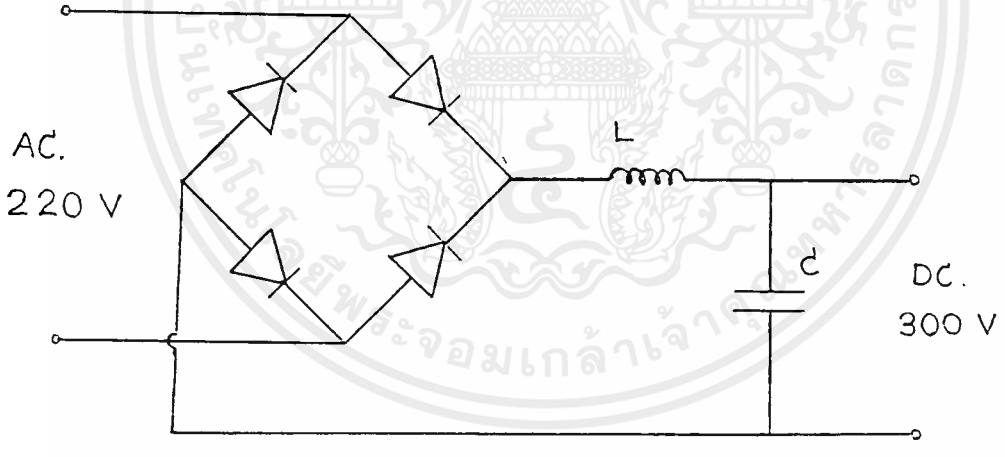
ในระบบที่ใช้ไดโอดเป็นเรคติไฟเออร์ จะทำให้เพาเวอร์แฟคเตอร์ทางด้านอินพุทดีขึ้นและค่าริปเปิลมีค่าไม่สูงมาก เมื่อเทียบกับเรคติไฟเออร์ที่สามารถควบคุมแรงดันได้ (controllable rectifier) ที่ใช้ phase control

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.8.2 วงจรส่วนกรองแรงดันกระแสตรงให้เรียบ (LC FILTER)

ในเทคนิค PWM อินเวอร์เตอร์ แรงดันดีซี ลิงค์จะคงที่แรงดันไว้เสมอไม่ว่าโหลดของอินเวอร์จะมีการเปลี่ยนแปลงไปก็ตาม

ตัวเหนี่ยวนำ L จะป้องกันการกระชากกระแส โดยไม่ให้มีการเปลี่ยนแปลงของกระแสเร็วเกินไป ถ้าใช้ค่า L มากจะไม่มีริปเปิลของกระแส แต่จะทำให้แรงดันดีซีตกไป ในขณะที่ตัวเก็บประจุ C ถ้ามีค่ามากจะทำให้ voltage regulation ดี ซึ่งไม่ทำให้เกิดการกระเพื่อมของแรงดัน ดีซี ลิงค์ แต่ในการชาร์จประจุจะดึงกระแสมากในช่วงแรก ดังนั้นในระบบอินเวอร์เตอร์ชนิดจ่ายแรงดันควรมีค่า C ขนาดใหญ่เพียงพอและทนแรงดันสูง เพื่อจะได้มั่นใจว่าไม่เกิดริปเปิลของแรงดัน ดีซี ลิงค์ ที่จะจ่ายให้กับอินเวอร์เตอร์และค่าที่เหมาะสมของ LC FILTER ควรจะให้ค่า L มีค่าน้อย ส่วนค่า C มีค่ามากเพื่อให้ค่าอิมพีแดนซ์ทางด้านอิ่นพุทของอินเวอร์เตอร์ต่ำ



รูปที่ 3.12 แสดงวงจรสร้าง DC LINK

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.9 การออกแบบวงจรกรอง

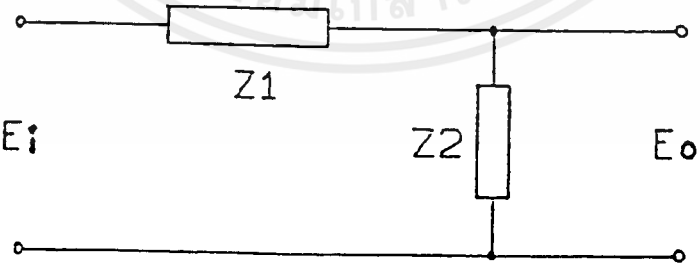
วงจรกรองความถี่ (Filter)

สัญญาณไฟสลับที่ได้จากการสวิทช์ชิ่ง หรือคลื่นสัญญาณอื่นๆก็ตามจะประกอบไปด้วยคลื่นที่มีลักษณะรูปไซน์ ที่มีความถี่ฮาร์โมนิคอันดับต่างๆผสมกันอยู่ มากน้อยต่างกันไป รวมทั้งคลื่นสัญญาณ PWM ด้วย สำหรับรูปคลื่น PWM นั้นมีฮาร์โมนิคหลายอันดับที่กลายเป็นศูนย์ไปถ้าหากว่าอันดับของฮาร์โมนิคเพิ่มขึ้น ขนาดของฮาร์โมนิคก็จะลดลง คลื่นที่ปรากฏจะเป็นผลลัพธ์ของการรวมฮาร์โมนิคอันดับต่างๆ

การทำงานของอินเวอร์เตอร์นั้น สัญญาณที่ได้จากการสวิทช์ชิ่ง จะยังไม่เป็นคลื่นไซน์จะต้องผ่านวงจรกรองสัญญาณ(Filter) เพื่อกรองฮาร์โมนิคอันดับต่างๆ ที่ไม่ต้องการออกไป ให้เหลือแต่สัญญาณคลื่นไซน์หรือสัญญาณความถี่มูลฐาน(Fundamental) ออกมายังเอาท์พุทเท่านั้น

วงจรกรองความถี่ มี 2 ลักษณะด้วยกันคือ

1. Active Filter เป็นวงจรกรองความถี่สำหรับอุปกรณ์อิเลคทรอนิคส์ที่มีขนาดกำลังไม่สูง (Low Power)
2. Passive Filter เป็นวงจรกรองความถี่สำหรับวงจรกำลังสูงๆ (High Power)ซึ่งโครงงานนี้ใช้การออกแบบวงจรในลักษณะนี้



รูปที่ 3.13 รูปสมมติของวงจรกรองความถี่

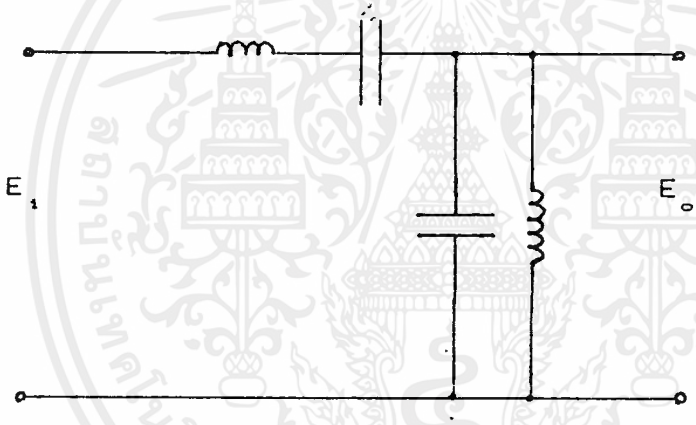
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การออกแบบวงจรกรองความถี่ มีหลักการดังนี้

ที่ความถี่หลักจะต้องทำให้ $Z_1 \rightarrow 0$ และ $Z_2 \rightarrow \infty$ เพื่อที่จะให้ความถี่หลักผ่าน Z_1 มาได้โดยสะดวก โดยไม่มีแรงดันตกคร่อม Z_1 เลย และไม่มีกระแสของคลื่นหลักไหลผ่านเข้าไปยัง Z_2 ได้สำหรับคลื่นที่เป็นฮาร์โมนิค ขะทำให้ $Z_1 \rightarrow \infty$ และ $Z_2 \rightarrow 0$ ดังนั้นคลื่นที่ผ่านวงจรกรองความถี่ออกมา จึงเป็นคลื่นความถี่หลักเท่านั้น

แนวทางการสร้างวงจรกรองความถี่

สำหรับ Z_1 ใช้ L_1 และ C_1 ต่ออนุกรมกัน Z_2 จะใช้ L_2 และ C_2 เราสามารถหาความสัมพันธ์ของค่า L และ C ได้ดังนี้



รูปที่ 3.14 วงจรกรองความถี่แบบ 4 อันดับ

$$Z_1 = jwL + 1/jwC$$

$$= j(wL - 1/wC)$$

$$= j((w^2LC - 1)/wC)$$

$$Z_2 = (jwL/jwC)/(jwL + 1/jwC)$$

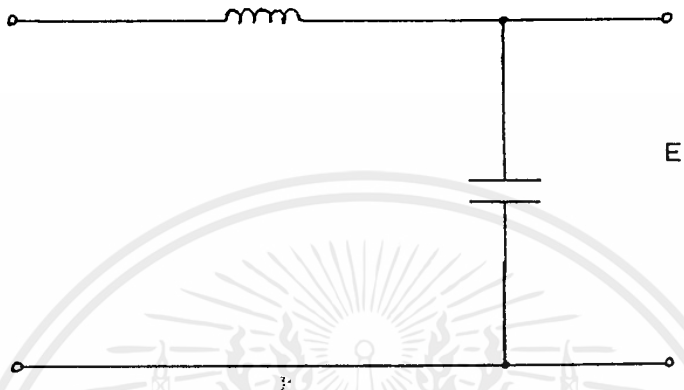
$$= (L/C)/(j(w^2LC-1)/wC)$$

$$= (-jL/C)(wC)/(w^2LC-1)$$

$$= -jwL/(w^2LC-1)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สำหรับความถี่สูงๆนั้น ฮาร์โมนิคส่วนใหญ่จะเกิดขึ้นที่อันดับสูงๆ ดังนั้นในการออกแบบวงจรกรองความถี่ สามารถใช้วงจรกรองความถี่ Low pass Filter ซึ่งเป็นวงจรแบบสองอันดับ (LC Filter) ได้เลย



รูปที่ 3.15 วงจรกรองความถี่ Low Pass

การคำนวณค่า L และ C ของวงจรกรองความถี่แบบ 4 อันดับ หาได้จาก

- หาค่า w_o จาก

$$w_o = 2f_o$$

โดย f_o : cut off frequency

$$w_o = 1/(L_1C_1)^{1/2}$$

$$= 1/(L_2C_2)^{1/2}$$

$$C_1 = AC_2$$

$$L_2 = AL_1$$

ค่า A จะสุ่มขึ้นมาเพื่อใช้ในการออกแบบ ปรับค่าไปจนกระทั่งได้ค่าที่เหมาะสม หรือใช้โปรแกรมทางคอมพิวเตอร์ช่วยในการคำนวณ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- กำหนดค่า L_1 , C_1 และ A แล้วหาค่า L_2 และ C_2

$$L_1 = 1/w_o^2 C_1$$

$$C_2 = C_1/A$$

$$L_2 = AL_1$$

จากรูป 3.15 แนวการคำนวณหาค่า L และ C ของวงจร Low Pass Filter มีดังนี้

$$E_o/E_i = (1/SC)/(SL+1/SC)$$

$$= 1/(LSC^2+1)$$

$$E_{o(\infty)}/E_{i(\infty)} = 1/(LCS^2+1)$$

$$E_{o(jw)}/E_{i(jw)} = 1/(LC_{jw}^2+1)$$

$$= 1/(jw/(1/LC))^2+1$$

$$w_n = 1/(LC)^{1/2}$$

$$= 2f_n$$

โดย f_n : conner frequency

วงจรกรองความถี่แบบ 4 อันดับ การออกแบบจะต้องกำหนดค่าความถี่เรโซแนนซ์ จากข้อกำหนดเดิมที่ว่า ให้ค่าอิมพีแดนซ์ Z_1 มีค่าเท่ากับศูนย์ที่ความถี่หลัก และมีค่ามากๆ ที่ความถี่ฮาร์โมนิคอันดับสูงๆ อิมพีแดนซ์ Z_2 มีค่าเป็นอนันต์ที่ความถี่หลัก แต่มีจำนวนน้อยมากที่ความถี่ฮาร์โมนิคสูงๆ เราจะพิจารณาความสัมพันธ์ระหว่างค่า L กับ C ที่ความถี่หลักหรือความถี่เรโซแนนซ์ ได้ดังนี้

$$Z_1 = 0 = j(w_r^2 LC-1)/w_r C$$

$$0 = w_r^2 LC - 1$$

$$1/w_r = (LC)^{1/2}$$

เมื่อ f_r : เป็นความถี่เรโซแนนซ์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- พิจารณาค่าอิมพีแดนซ์ที่ต่ออนุกรม : Z_1 ที่ความถี่ฮาร์โมนิคอันดับที่ n

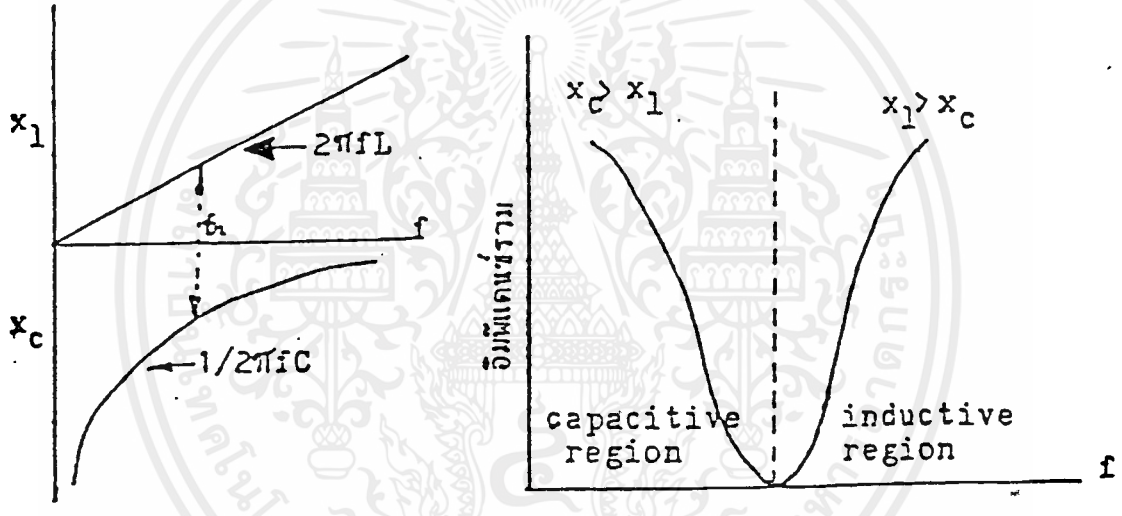
จาก $Z_1 = j(w^2LC - 1)wC$

$w = 2\pi nf_r = nw_r$

$Z_1 = j(n^2w_r^2 LC - 1)/nw_rC)$

$Z_1 = j(nw_rL - 1/nw_rC)$

ดังนั้นในส่วนของอิมพีแดนซ์ที่ต่ออนุกรม : Z_1



รูปที่ 3.16 แสดงความสัมพันธ์ระหว่างความถี่กับค่าอิมพีแดนซ์

ที่ความถี่เรโซแนนซ์ f_r จะมีค่า $X_L = X_C$ แต่ค่าแรงดันที่ตกคร่อม L และ C จะมีลักษณะต่างเฟสกัน 180 องศาพอดี ทำให้แรงดันร่วมเป็นศูนย์ และที่ความถี่ฮาร์โมนิคอันดับสูงๆ จะเห็นว่า X_L จะมีค่าเพิ่มขึ้น ในขณะที่ X_C มีค่าลดลง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- พิจารณาค่าอิมพีแดนซ์ที่ต่อขนาน : Z_2 ที่ความถี่ฮาร์โมนิคอันดับที่ n

จาก $Z_2 = -jwL/(w^2LC - 1)$

$= -jnw_rL/(n^2w_r^2LC - 1)$

$= -j/(nw_rC - 1/(nw_rL))$

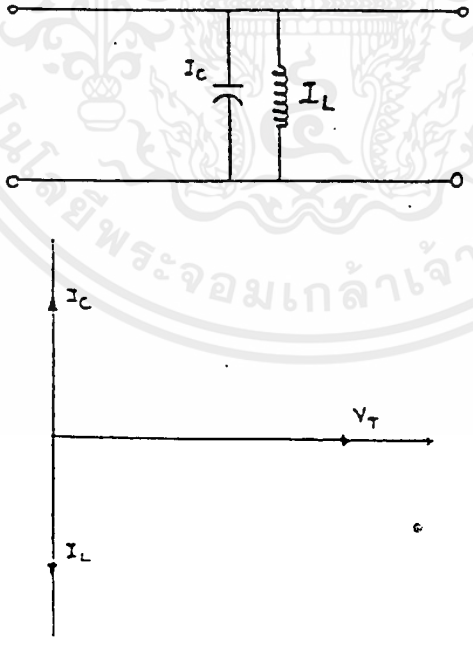
$= j/(1/(nw_rL) - nw_rC)$

$= -1/j(1/(nw_rL) - nw_rC)$

$= 1/j(nw_rC - 1/(nw_rL))$

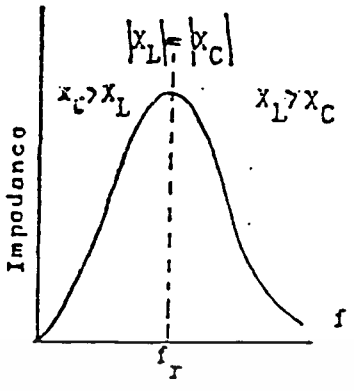
ที่ฮาร์โมนิคอันดับสูงๆ ค่า nw_rC จะเพิ่มมากขึ้น ในขณะที่ $1/(nw_rL)$ จะลดลงมาก ฉะนั้นจึงทำให้อิมพีแดนซ์ Z_2 มีค่าลดลง เมื่อฮาร์โมนิคมีค่าสูงขึ้น

- ในส่วนของอิมพีแดนซ์ต่อขนาน : Z_2

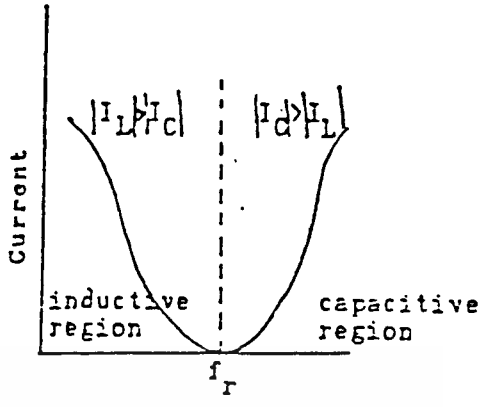


รูปที่ 3.17 แสดง current-phasor diagrame ที่ความถี่เรโซแนนซ์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.18
แสดง impedance response curve



รูปที่ 3.19
แสดง current response curve

ที่ความถี่เรโซแนนซ์ f_r จะทำให้อิมพีแดนซ์มีค่าเป็นอนันต์ ทำให้ไม่มีกระแสไหลเข้าไปในวงจรเลย แต่สำหรับที่ฮาร์โมนิคอันดับสูงๆ จะทำให้ค่าอิมพีแดนซ์รวมมีค่าลดลงมากจึงมีกระแสฮาร์โมนิคไหลเข้าไปใน Z_2 มาก จะเห็นได้จากรูป 3.19 ว่าเส้นโค้งของกระแสจะอยู่ในช่วง capacitive region

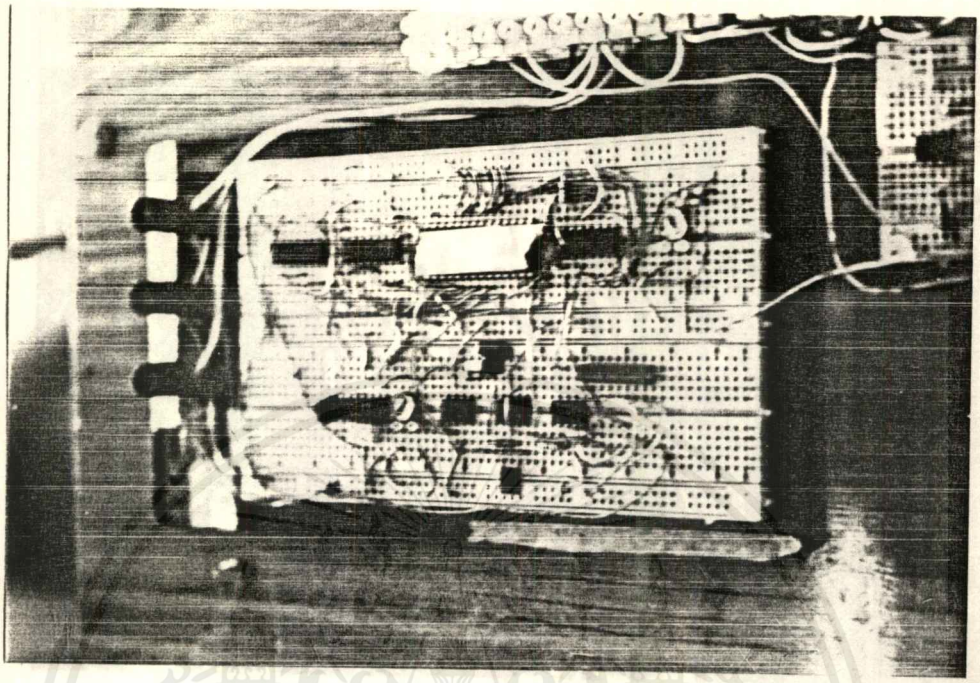
แต่จากการที่ฮาร์โมนิคถูกอิมพีแดนซ์ Z_1 (ซึ่งจะมีค่ามากที่ฮาร์โมนิคอันดับสูงๆ) ลดทอนกระแสให้เหลือน้อยลงมากแล้ว จึงทำให้กระแสส่วนน้อยที่หลุดมาได้นั้น ไหลลงไป Z_2 เกือบทั้งหมด แต่กระแสในส่วนคลื่นหลักจะไหลผ่าน Z_1 ได้สะดวกและจะไม่ไหลเข้า Z_2 เลยดังนั้นหลังจากที่นำ Z_1 และ Z_2 มาต่อในวงจรกรองความถี่แล้ว จะทำให้สัญญาณเอาท์พุทที่ออกมาเป็นคลื่นรูปไซน์ ความถี่ 50 Hz พอดี

ในวงจรกรองความถี่นี้ จะทำให้แรงดันขาเข้าและขาออกมีเฟสตรงกันพอดี แต่จุดที่ไม่เกิดเรโซแนนซ์กันนั้น จะทำให้เกิด leading หรือ lagging แล้วแต่กรณีของความถี่ว่าจะมากกว่าหรือน้อยกว่าความถี่เรโซแนนซ์

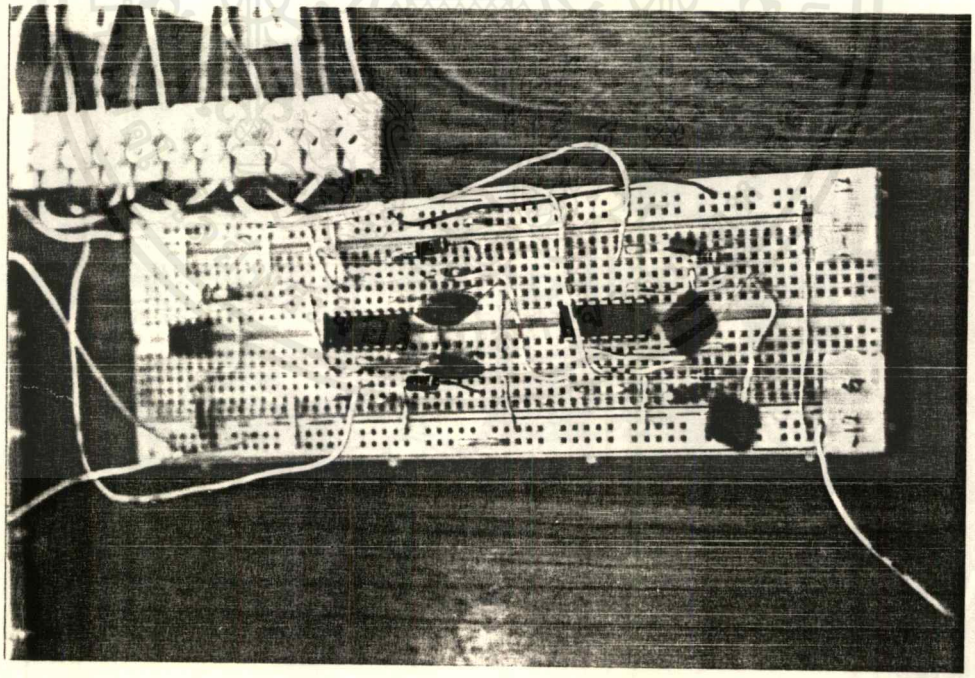
สำหรับวงจรกรองสัญญาณในโครงงานนี้ เลือกใช้วงจรแบบ Low Pass Filter สวิทช์ชิงที่ความถี่สูง ทำให้กรองสัญญาณได้ง่าย ทำให้ช่วยลดขนาดของ L และ C ลงซึ่งเป็นผลดีต่อวงจรอินเวอร์เตอร์ทั้งหมด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.10 ชิ้นงานปริญญานิพนธ์

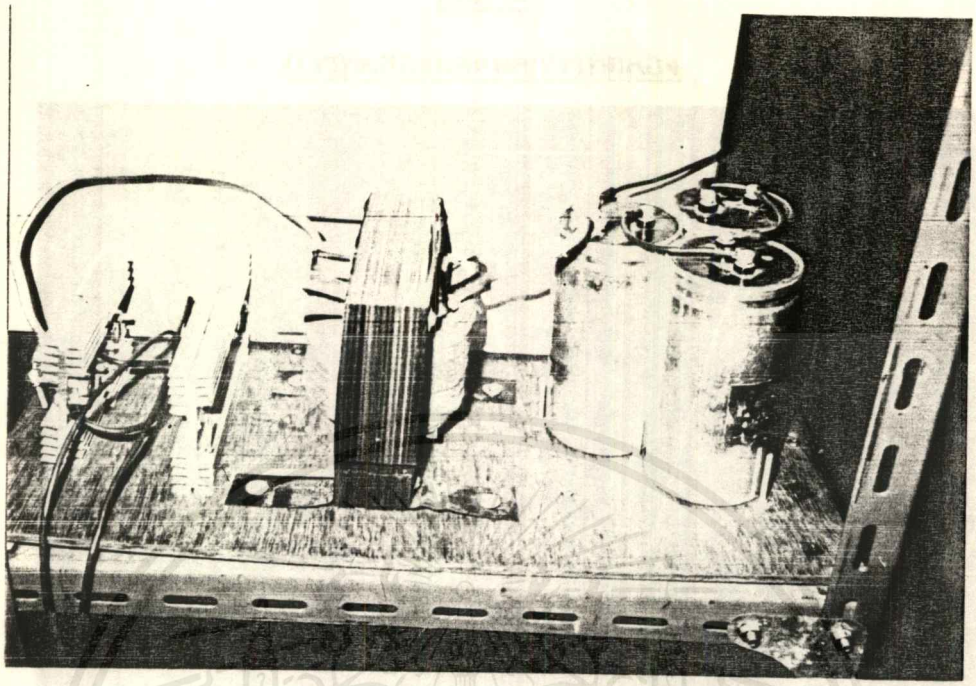


รูปที่ 3.20 แสดงวงจรกำเนิดสัญญาณไซน์

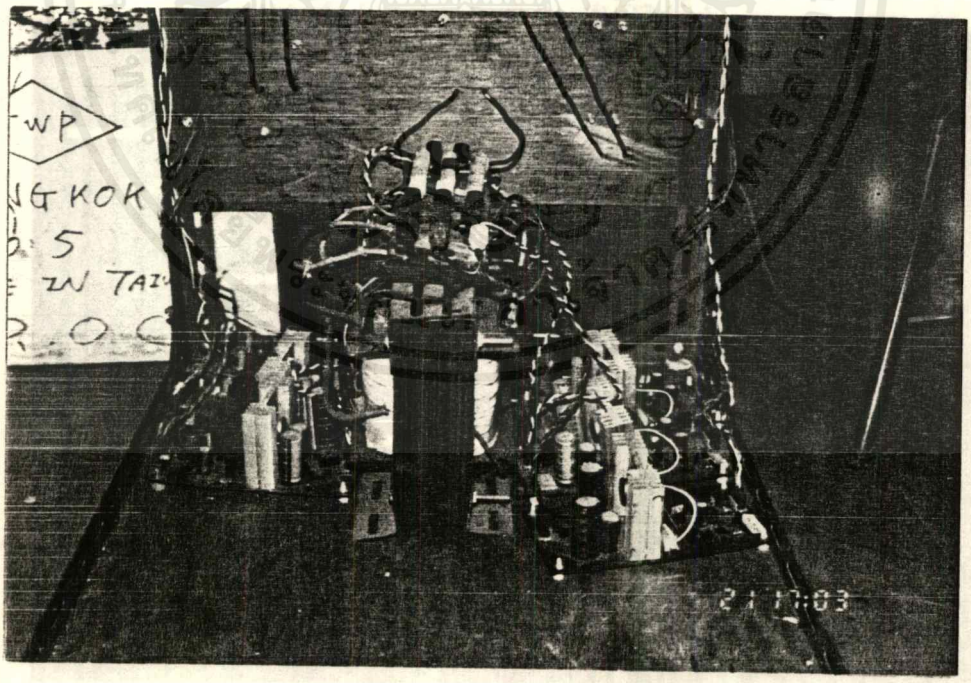


รูปที่ 30.21 แสดงวงจรล็อกเอาท์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

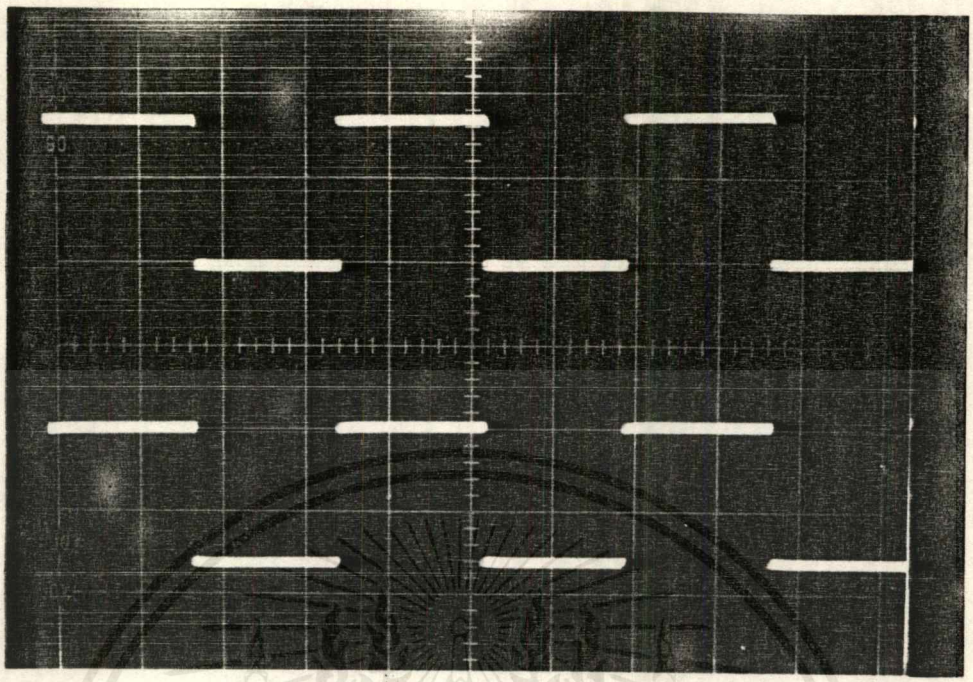


รูปที่ 3.24 แสดงส่วนของเรคติไฟเออร์ที่ทำเป็น DC LINK



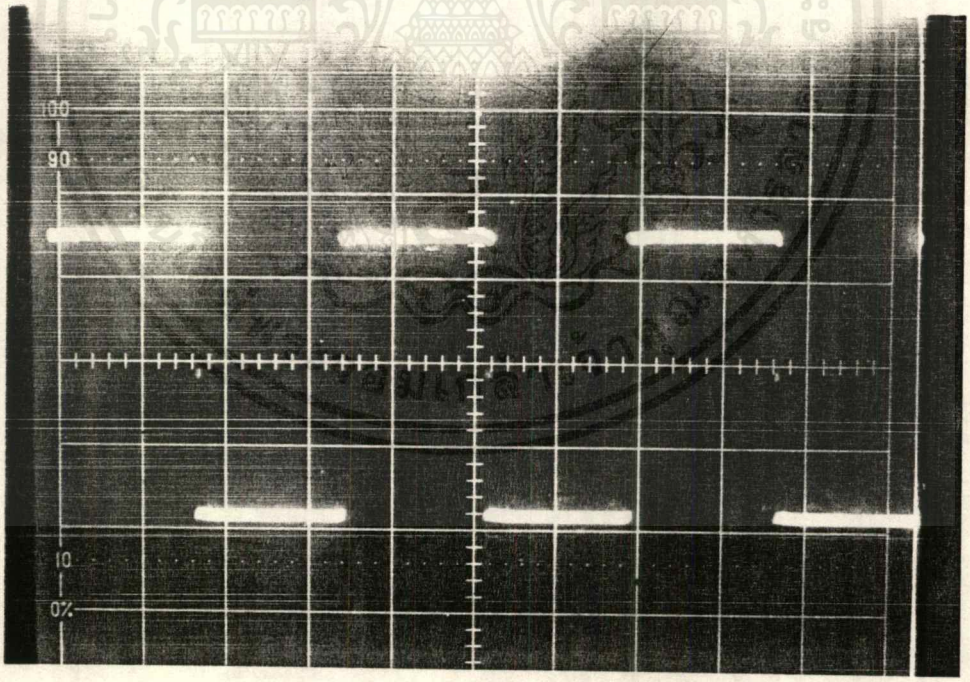
รูปที่ 3.25 แสดงส่วนภาคจ่ายไฟของระบบ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



x = 5 ms/div,y = 0.5 v/div

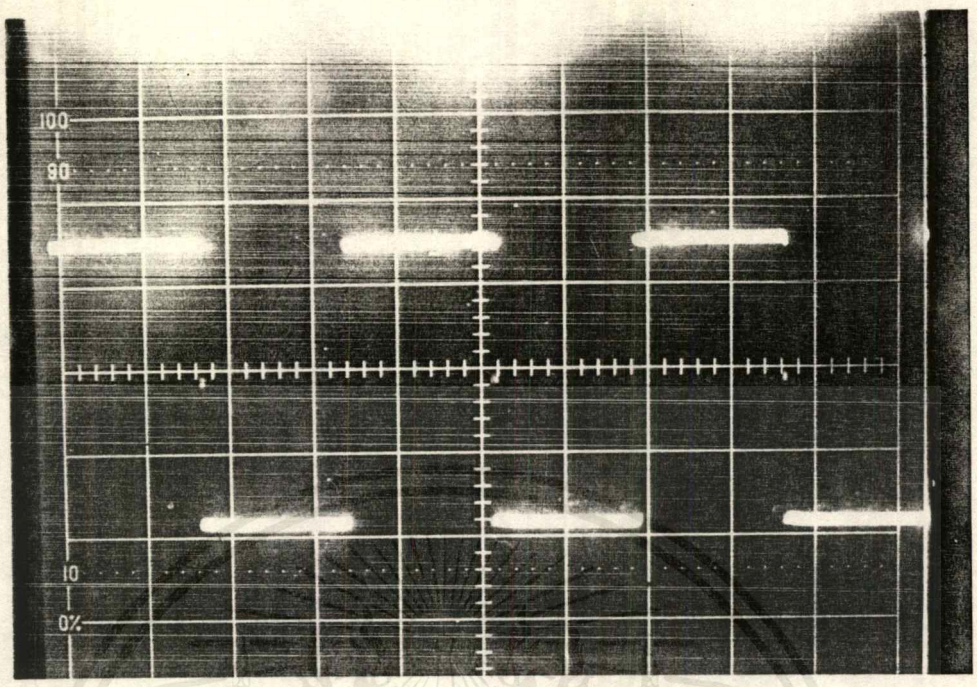
รูปที่ 4.3 แสดงรูปคลื่นที่ออกจากวงจรล็อกเอาท์ ตัวที่ 2 กับ 3



x = 5 ms/div,y = 0.5 v/div

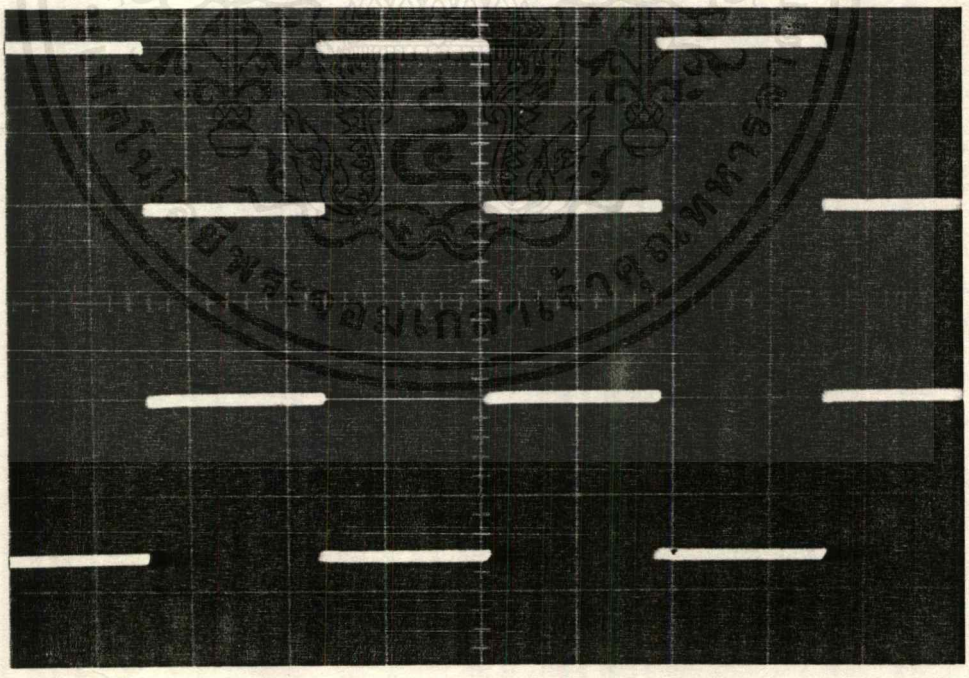
รูปที่ 4.4 แสดงรูปคลื่นที่ออกจากวงจรล็อกเอาท์ เมื่อนำสัญญาณมารวมกัน (ตัวที่ 1 กับ 4)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



x = 5 ms/div,y = 0.5 v/div

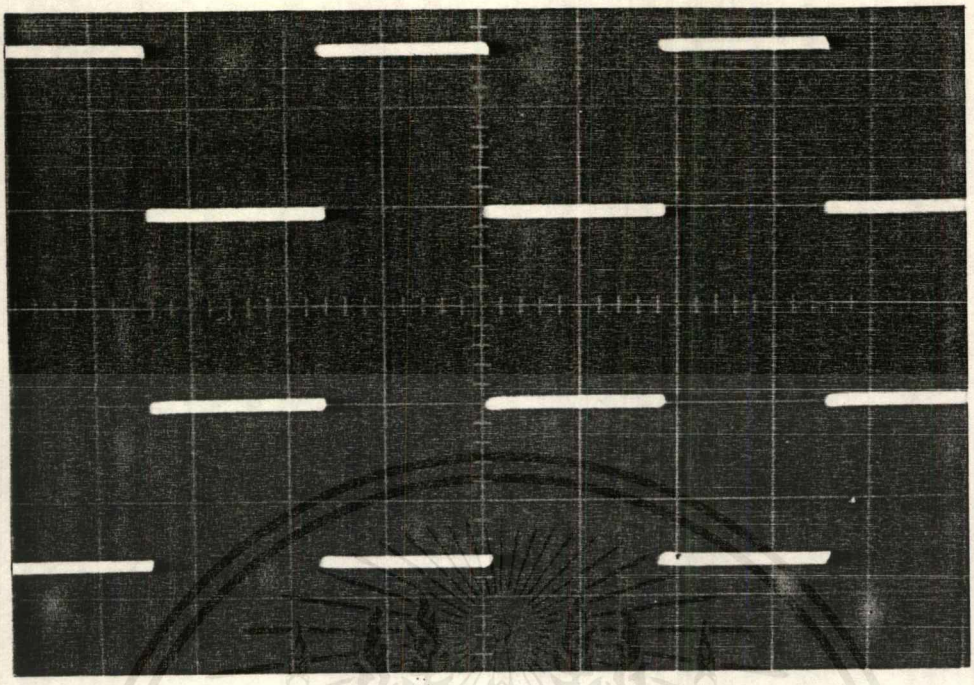
รูปที่ 4.5 แสดงรูปคลื่นที่ออกจากวงจรล็อกเอาท์ เมื่อนำสัญญาณมารวมกัน (ตัวที่ 2 กับ 3)



x = 5 ms/div,y = 0.5 v/div

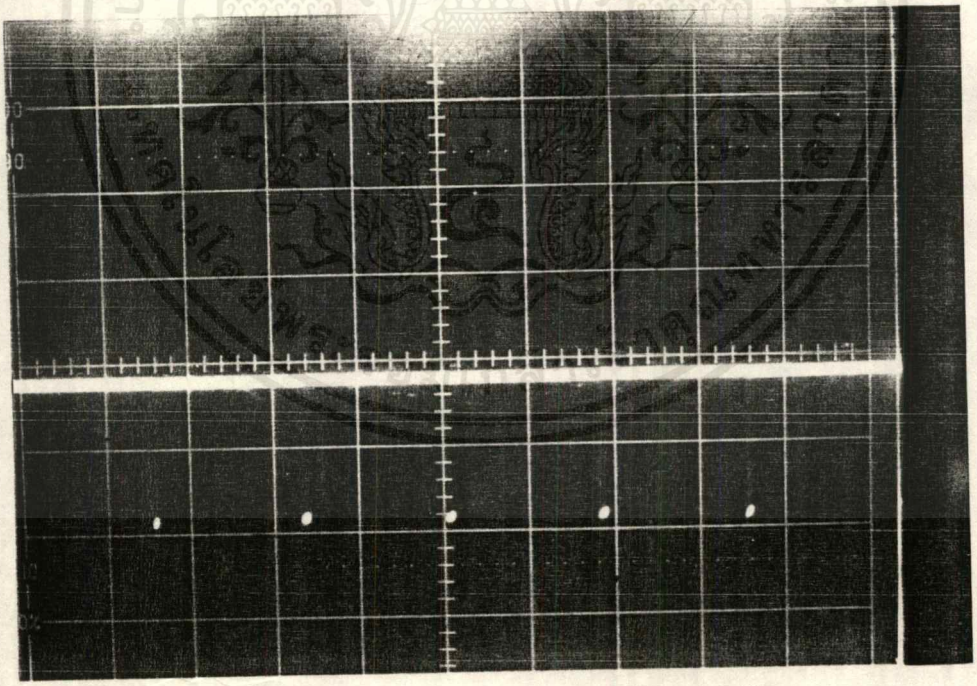
รูปที่ 4.6 แสดงรูปคลื่นที่ออกจากวงจรล็อกเอาท์ ตัวที่ 1 กับ 3

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



x = 5 ms/div,y = 0.5 v/div

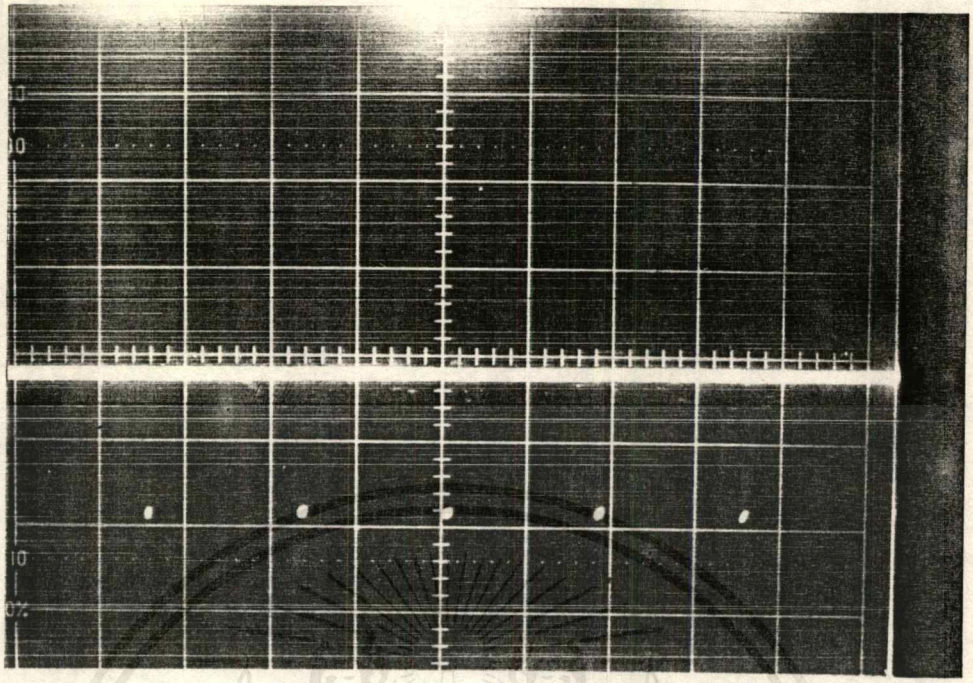
รูปที่ 4.7 แสดงรูปคลื่นที่ออกจากวงจรล็อกเอาท์ ตัวที่ 2 กับ 4



x = 5 ms/div,y = 0.5 v/div

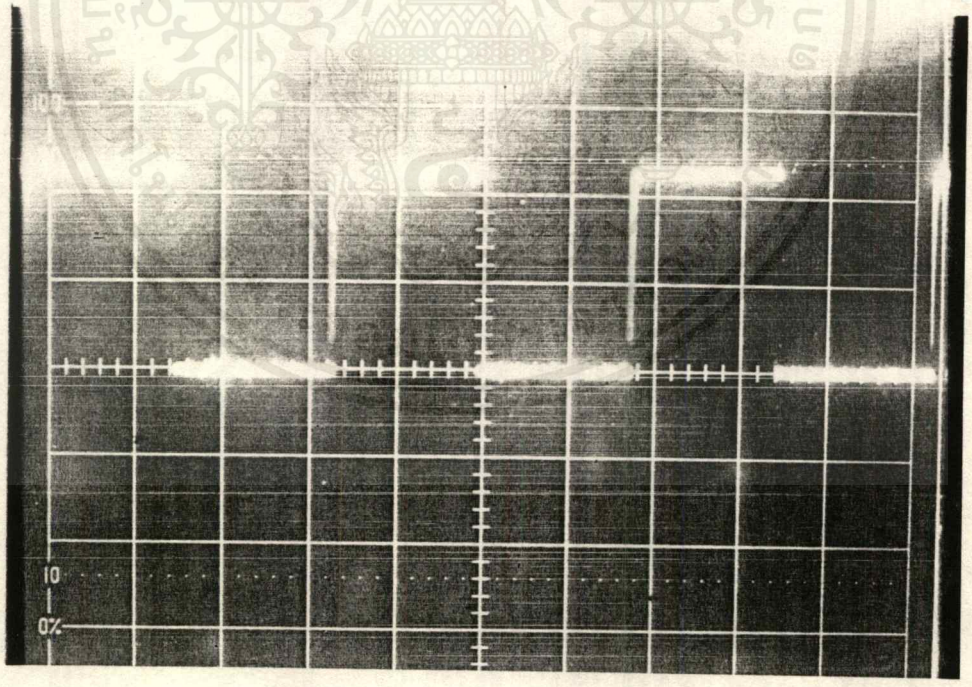
รูปที่ 4.8 แสดงรูปคลื่นที่ออกจากวงจรล็อกเอาท์ เมื่อนำสัญญาณมารวมกัน (ตัวที่ 1 กับ 3)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



x = 5 ms/div,y = 0.5 v/div

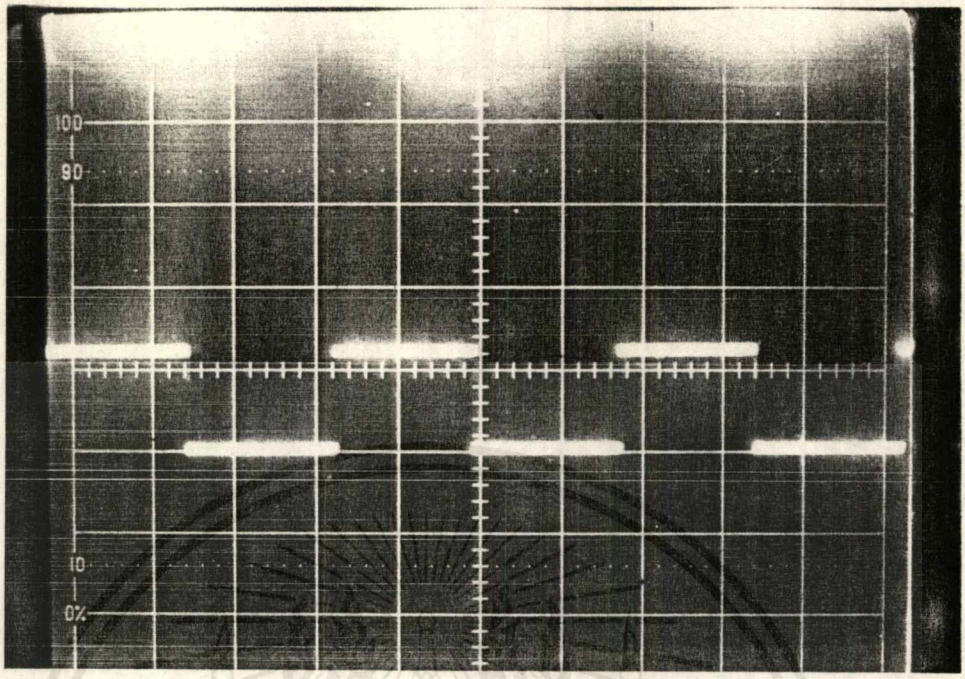
รูปที่ 4.9 แสดงรูปคลื่นที่ออกจากวงจรล็อกเอาท์ เมื่อนำสัญญาณมารวมกัน (ต้าที่ 2 กับ 4)



x = 5 ms/div,y = 0.5 v/div

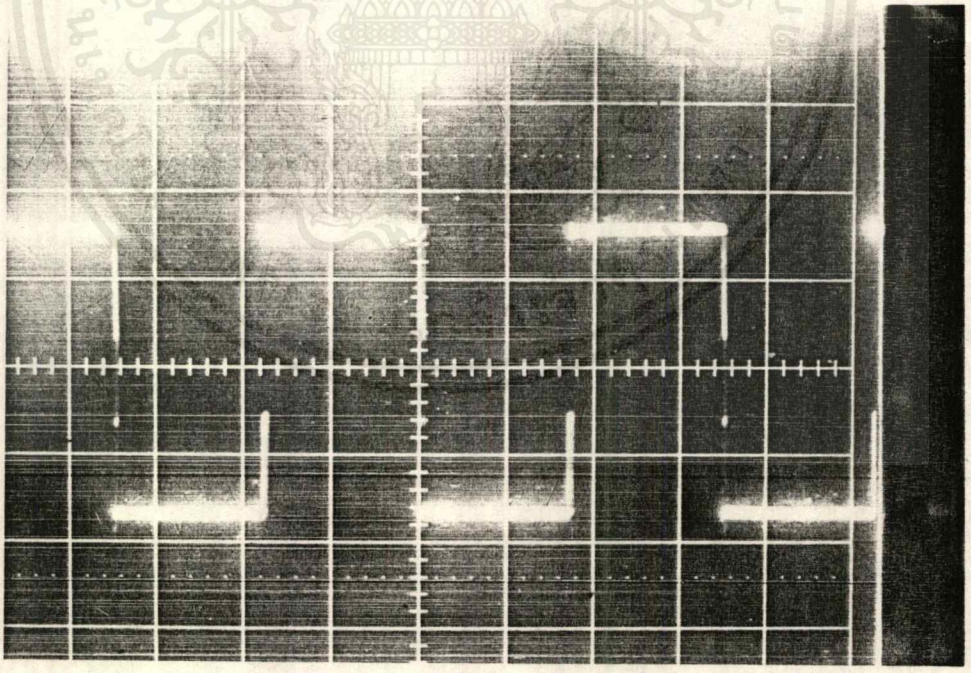
รูปที่ 4.10 แสดงสัญญาณก่อนเข้า OPTO ISOLATOR

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



x = 5 ms/div,y = 0.5 v/div

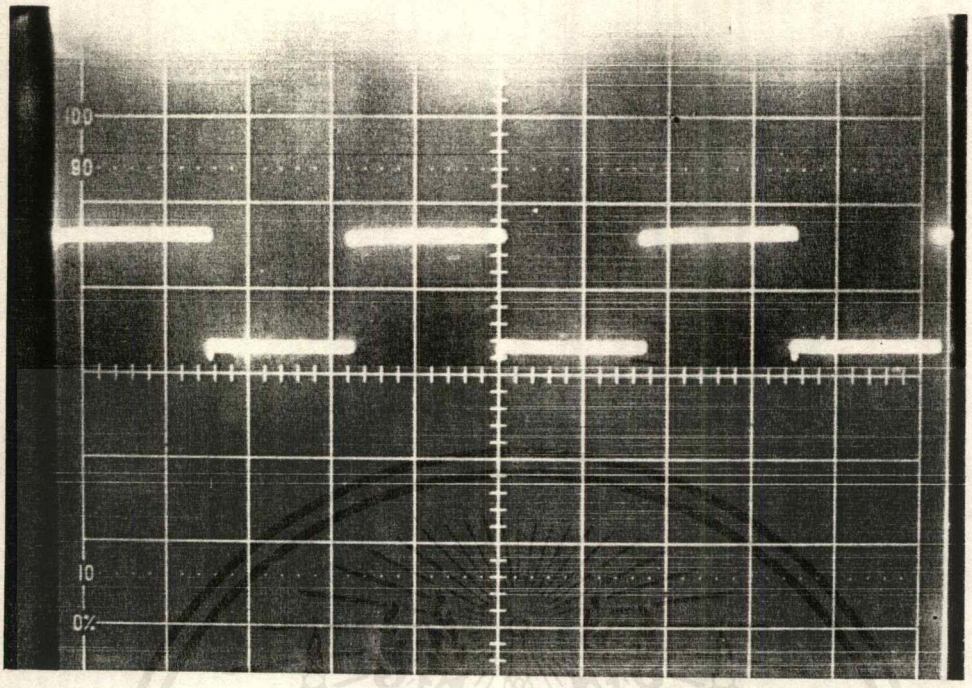
รูปที่ 4.11 แสดงสัญญาณที่ออกจากขา BASE ของ Power Transistor



x = 5 ms/div,y = 5 v/div

รูปที่ 4.12 แสดงรูปคลื่นแรงดันเอาท์พุท เมื่อยังไม่ผ่านวงจร FILTER

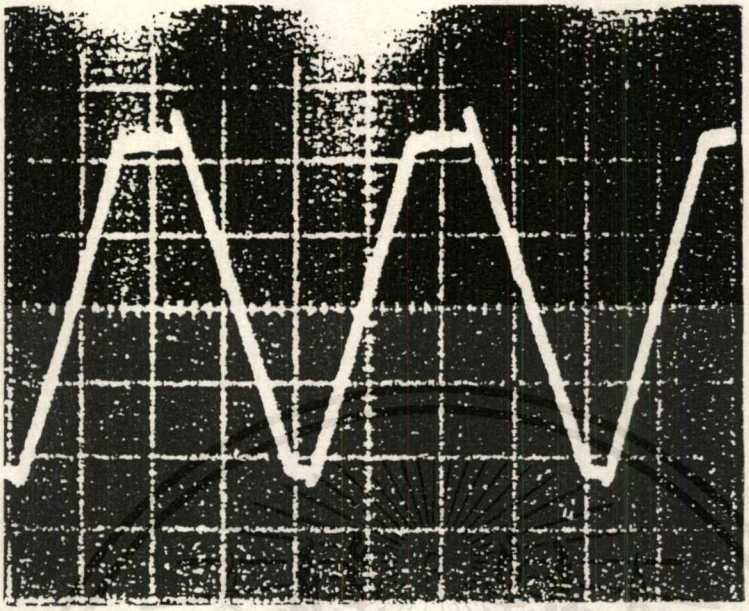
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



x = 5 ms/div,y = 0.5 v/div

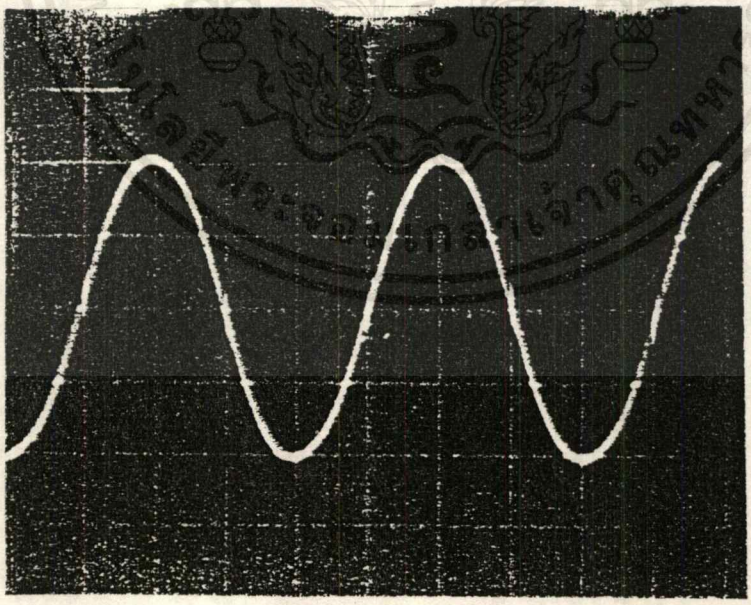
รูปที่ 4.13 แสดงรูปคลื่นที่ออกจาก OPTO ISOLATOR

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



x = 5 ms/div,y = 0.5 v/div

รูปที่ 4.14 แสดงสัญญาณที่ผ่านวงจรอินทิเกรทแล้ว



x = 5 ms/div,y = 5 v/div

รูปที่ 4.15 แสดงสัญญาณเอาท์พุทของอินเวอร์เตอร์ที่ผ่านวงจร FILTER แล้ว

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

LOAD	INPUT		OUTPUT		P_{in}	P_{out}	eff(%)
(W)	V_{dc}(V)	I_{dc}(A)	V_{ac}(V)	I_{ac}(A)	(W)	(W)	
noload	210	0.35	230	0.00	73.5	0.0	-
10	210	0.40	230	0.05	84.0	11.5	13.70
60	210	0.60	225	0.20	126	45.0	35.71
100	210	0.80	220	0.45	168	99.0	58.90
200	210	1.30	205	0.85	273	174.3	63.87
300	210	1.70	195	1.25	357	243.8	68.27

ตาราง 5.1 ผลการทดสอบอินเวอร์เตอร์ที่สร้างโดยโหลดที่ใช้เป็นหลอดไฟขนาดต่างๆมี p.f = 1

LOAD (W)	VOLTAGE REGULATION (%) $(V_{noload} - V_{load})/V_{noload}*100$
10	0.0
60	2.1
100	4.3
200	10.8
300	15.0

ตาราง 5.2 แสดง VOLTAGE REGULATION กับ LOAD ต่างๆ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 5

สรุปและวิจารณ์ผลการทดลอง

จากการทดลองสร้างอินเวอร์เตอร์โดยใช้เทคนิค แบง-แบงดูแล้วปรากฏว่าผลที่ได้อยู่ในเกณฑ์ที่น่าพอใจ แต่ต้องมีการปรับปรุงแก้ไขให้ดียิ่งขึ้นอีก เช่น การคงค่าทางด้าน OUTPUT ยังไม่ดีพอ เป็นผลเนื่องมาจากวงจรป้อนกลับไม่สามารถปรับตัวได้ดีพอตามโหลดที่ใช้ ทำให้ OUTPUT VOLTAGE ตกลงไปมาก อีกสาเหตุหนึ่งก็เนื่องมาจากมี voltage มาตกคร่อมที่ L มากเมื่อโหลดมากขึ้น voltage ที่ตกคร่อม L ก็มากขึ้นตามซึ่งทำให้อินเวอร์เตอร์ที่สร้างขึ้นมีประสิทธิภาพต่ำ

แนวทางแก้ไข วงจรป้อนกลับควรออกแบบให้มีการปรับตัวตามโหลดได้อย่างเหมาะสมและการพัน L ควรใช้แกนเหล็กที่เหมาะสมคือ L ควรใช้แกนเหล็กที่มีขนาดใหญ่ขึ้น ซึ่งในโครงงานนี้ใช้แกนเหล็กขนาด 3.0 นิ้วและลวดควรใช้เส้นใหญ่ขึ้นเพื่อให้ voltage ตกคร่อมน้อยลงเป็นการเพิ่มประสิทธิภาพและไม่ให้แกนเหล็กอิ่มตัว

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก

ข้อมูลที่เก็บไว้ในหน่วยความจำ EPROM เพื่อใช้ในการสร้างสัญญาณไซน์อ้างอิง 1 เฟส

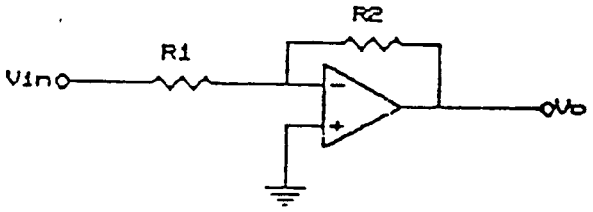
EPROM

Adress	Data
0000	80 83 86 89 8C 8F 92 96 99 9C 9F A2 A5 A8 AB AE B1
0011	B3 B6 B9 BC BF C1 C4 C7 C9 CC CE D1 D3 D5 D8 DA DC
0022	DE E0 E2 E4 E6 E8 EA EC ED EF F0 F2 F3 F5 F6 F7 F8
0033	F9 FA FB FC FC FD FE FE FF FF FF FF FF FF FF FF FF
0044	FF FF FE FE FD FC FC FB FA F9 F8 F7 F6 F5 F3 F2 F0
0055	EF ED EC EA E8 E6 E4 E2 E0 DE DC DA D8 D5 D3 D1 CE
0066	CC C9 C7 C4 C1 BF BC B9 B6 B3 B1 AE AB A8 A5 A2 9F
0077	9C 99 96 92 8F 8C 89 86 83 80 7C 79 76 73 70 6D 6A
0088	67 63 60 5D 5A 57 54 51 4F 4C 49 46 43 40 3E 3B 38
0099	36 33 31 2E 2C 2A 27 25 23 21 1F 1D 1B 19 17 15 13
00AA	12 10 0F 0D 0C 0A 09 08 07 06 05 04 03 03 02 01 01
00BB	01 01 01 01 01 01 01 01 01 01 01 01 01 02 03 03 04
00CC	05 06 07 08 09 0A 0C 0D 0F 10 12 13 15 17 19 1B 1B
00DD	1F 21 23 25 27 2A 2C 2E 31 33 36 38 3B 3E 40 43 46
00EE	49 4C 4F 51 54 57 5A 5D 60 63 67 6A 6D 70 73 76 79
00FF	7C

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

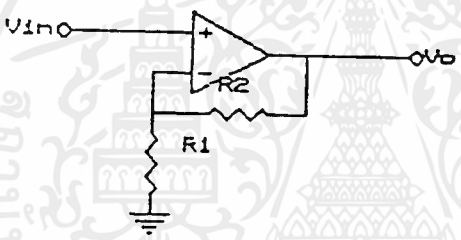
วงจรพื้นฐานต่างๆ

1. วงจรขยายแบบกลับสัญญาณ (Inverting Amplifier)



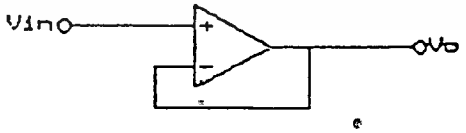
$$V_o = -[R_2/R_1]V_1$$

2. วงจรขยายแบบไม่กลับสัญญาณ (Noninverting Amplifier)



$$V_o/V_{in} = 1+R_2/R_1$$

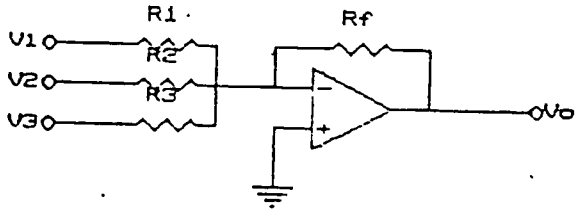
3. วงจรตามแรงดันหรือบัฟเฟอร์ (Voltage Follower)



$$V_o = V_{in}$$

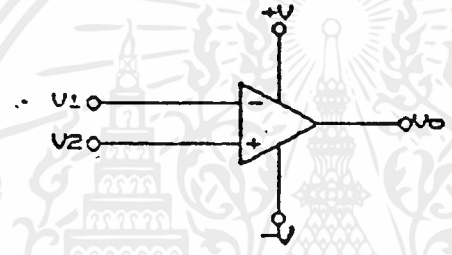
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4. วงจรรวมสัญญาณ (Summing Amplifier)



$$V_o = -R_f(V_1/R_1 + V_2/R_2 + V_3/R_3)$$

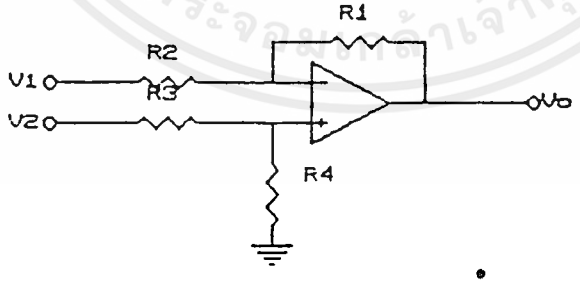
5. วงจรเปรียบเทียบ (Comparator)



$V_1 > V_2 \quad : \quad V_o = +V$

$V_1 < V_2 \quad : \quad V_o = -V$

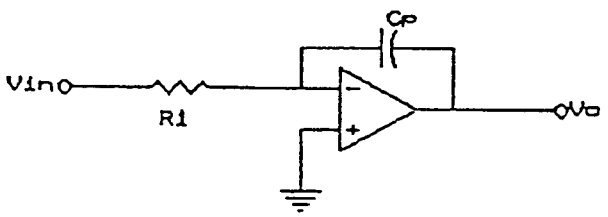
6. วงจรขยายความต่าง (Differential amplifier)



$$V_o = -(R_1/R_2)V_1 + (1+R_1/R_2)(R_3/(R_3+R_4))V_2$$

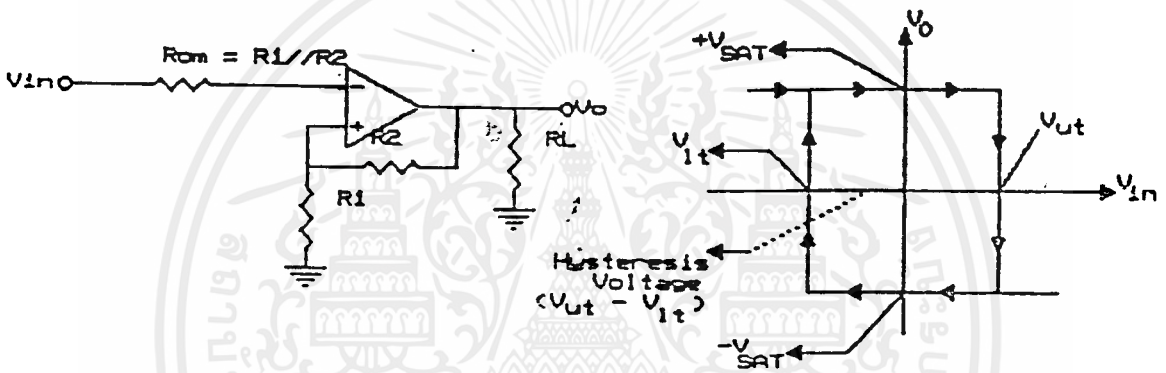
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

7.วงจรอินติเกรเตอร์ (Intergrator)



$$V_o = -1/RC \int_0^t V_t dt$$

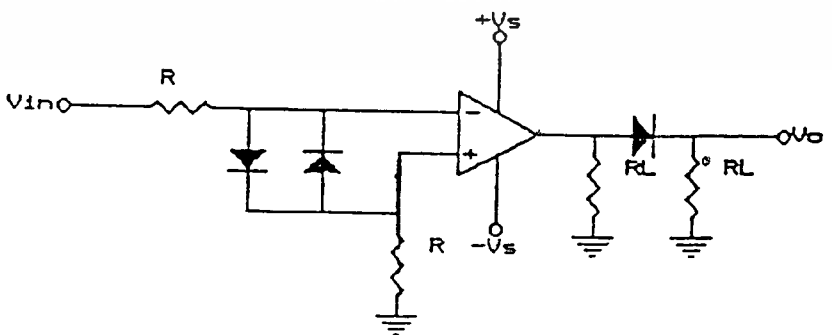
8.วงจรฮีสเตอร์รีซีสคอมพาเรเตอร์ (Hysteresis comparator)



$$V_{ut} = R_1(+V_{sat})/(R_1 + R_2)$$

$$V_{lt} = R_1(-V_{sat})/(R_1 + R_2)$$

9.วงจรตรวจจับผ่านศูนย์ (Zero crossing detector)



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กิตติกรรมประกาศ

ปริญญานิพนธ์ฉบับนี้ สำเร็จลุล่วงไปได้ด้วยดี โดยอาศัยความช่วยเหลือและคำแนะนำจากอาจารย์ ศุภกิจ จูตะวิริยะ ซึ่งท่านได้ให้ความกรุณาสั่งสอนและให้ความรู้ทางวิชาการแก่ผู้จัดทำ อีกทั้งยังให้คำปรึกษาที่เป็นประโยชน์มากมาย ผู้จัดทำจึงขอกราบขอบพระคุณเป็นอย่างสูงไว้ ณ ที่นี้

ผู้จัดทำ

22 มีนาคม 2536

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เอกสารอ้างอิง

1.B.K BOSE, "Power Electronic and AC Drive " ,Printic Hall, New Lersey,1987; (34-40,140-165)

2. เอกสารการประชุมทางวิชาการวิศวกรรมไฟฟ้า ครั้งที่ 10 ,เล่มที่ 2,หน้า 1-192, 2530

3. เอกสารการประชุมทางวิชาการวิศวกรรมไฟฟ้า ครั้งที่ 12 ,หน้า 755-764,2532

4.สุวิทย์ ตงพิทักษ์ศิลป์,สุมาลี เจียมทวี ,"อินเวอร์เตอร์ความถี่คงที่เฟสเดียวโดยใช้มอสเฟตกำลัง",ปริญญานิพนธ์วิศวกรรมศาสตร์บัณฑิต คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้า เจ้าคุณทหารลาดกระบัง,2532

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

SCL4516B

CMOS BINARY UP/DOWN COUNTER

FEATURES

- Internally Synchronous for High Speed
- Asynchronous Preset Enable
- Asynchronous Reset
- Logic Edge-Clocked Design
- 6MHz Counting Rate @ 10Vdc
- Carry Output for Cascading Stages

DESCRIPTION

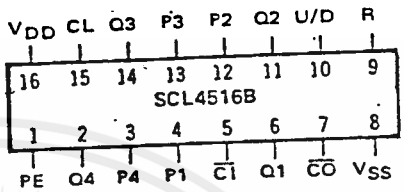
The SCL4516B consists of a four-stage Up/Down Counter with provisions for "look-ahead" carry in both counting modes. The inputs consist of a single Clock, Carry-in (Clock Enable), Reset, Up/Down, Preset Enable, and four individual Jam signals. Four separate buffered Q signals and a Carry-out signal are provided as outputs.

A high Preset Enable signal allows information on the Jam inputs to preset the counter to any state esynchronously with the Clock. A high on the Reset line resets all stages to the "zero" state. The counter is advanced one count at the positive transition of the Clock when the Carry-in and Preset Enable signals are low. Advancement is inhibited when the Carry-in or Preset Enable signals are high. The Carry-out signal is normally high and goes low when the counter reaches its maximum count in the Up mode or the minimum count in the Down mode, provided the Carry-in signal is low. The Carry-in signal in the low state can thus be considered a "Clock Enable." The Carry-in terminal must be connected to V_{SS} when not in use.

The counter counts Up when the Up/Down input is high, and Down when the Up/Down input is low. Multiple packages can be connected in either a parallel-clocking or a ripple-clocking arrangement. Parallel clocking provides synchronous control and hence faster response from all counting outputs. Ripple-clocking allows for longer clock input rise and fall times.

This counter finds primary use in up/down and differential counting and frequency synthesizer applications. It is also useful in A/D and D/A conversion and for magnitude and sign generation.

CONNECTION DIAGRAM
(all packages)



Add suffix for package:

C	16-pin Cerdip
D	16-pin Ceramic
E	16-pin Epoxy
F	16-pin Flat
H	Chip

RECOMMENDED OPERATING CONDITIONS

For maximum reliability:

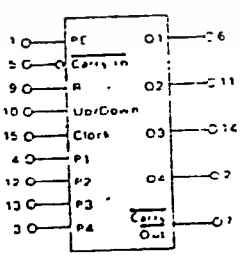
DC Supply Voltage	$V_{DD} - V_{SS}$	3 to 15	Vdc
Operating Temperature	T_A		
C, D, F, H Device		-55 to +125	°C
E Device		-40 to +85	°C

TRUTH TABLE

CARRY IN	UP/DOWN	PRESET ENABLE	RESET	ACTION
1	X	0	0	No Count
0	1	0	0	Count Up
0	0	0	0	Count Down
X	X	1	0	Preset
X	X	X	1	Reset

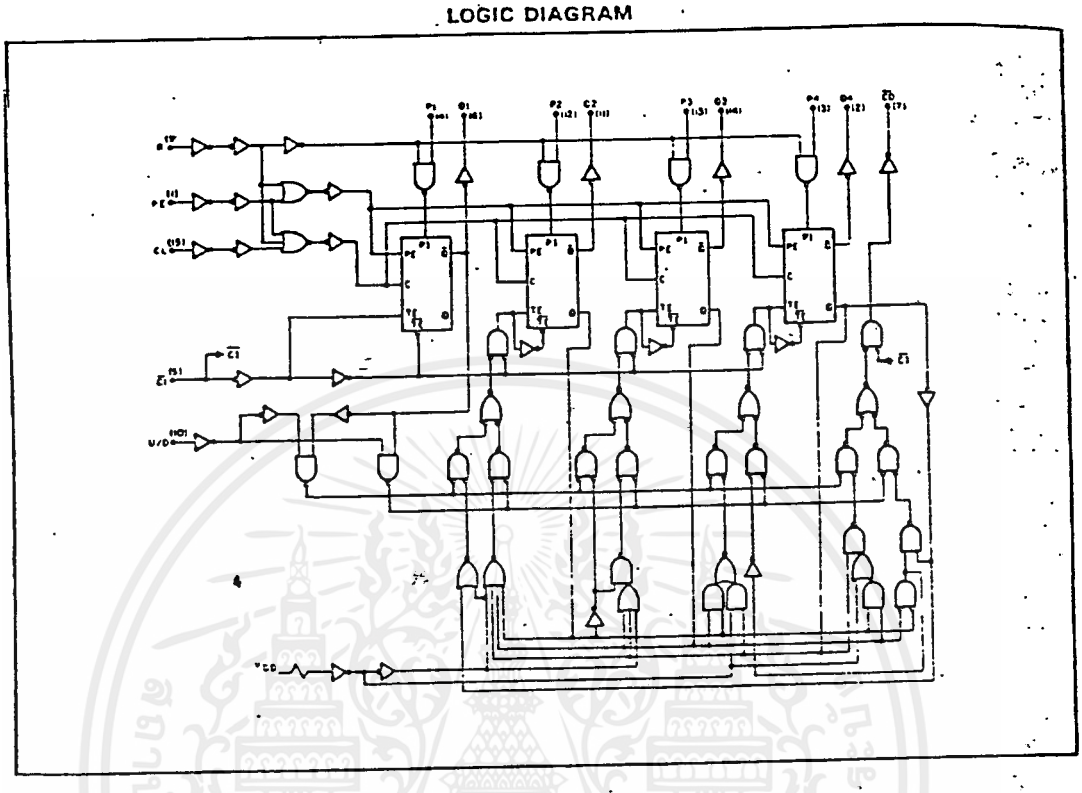
X = Don't Care

BLOCK DIAGRAM

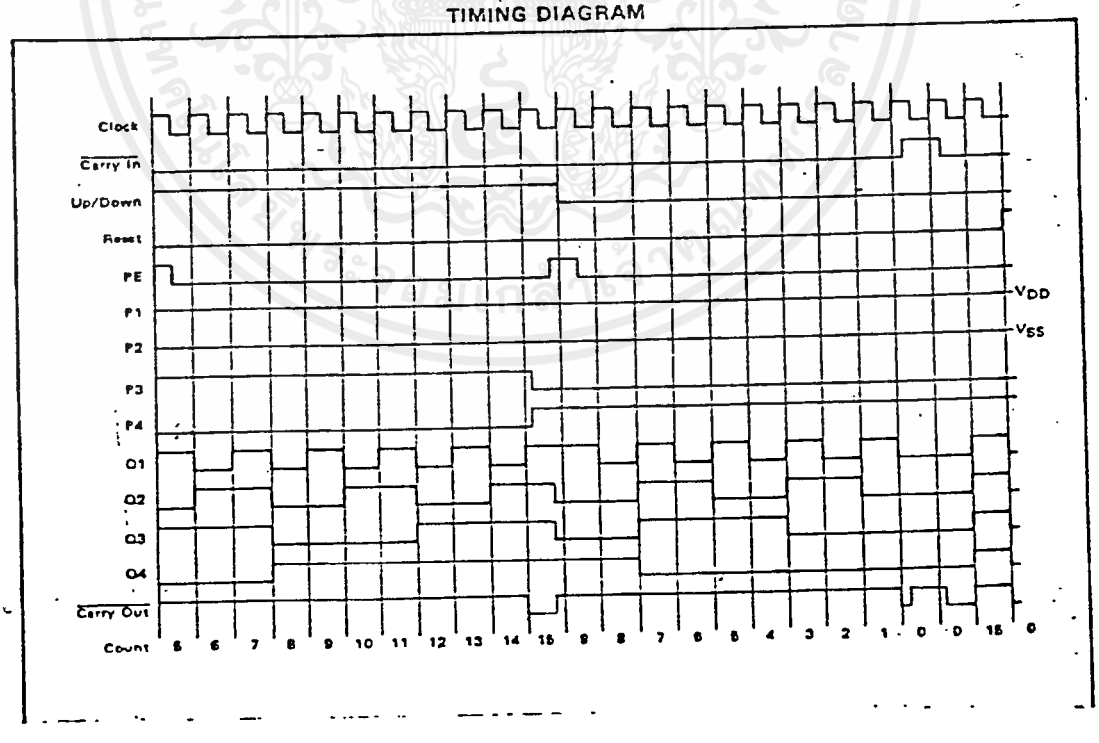


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

LOGIC DIAGRAM



TIMING DIAGRAM



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ELECTRICAL CHARACTERISTICS

STATIC CHARACTERISTICS[1]

PARAMETER		V_{DD} (Vdc)	CONDITIONS	T_{LOW}[2] Min.	T_{LOW}[2] Max.	+25°C Min.	+25°C Typ.	+25°C Max.	T_{HIGH}[2] Min.	T_{HIGH}[2] Max.	Units
QUIESCENT DEVICE CURRENT	I_{DD}	5	$V_{IN}=V_{SS}$ or V_{DD}	–	5	–	0.05	5	–	150	μAdc
		10	All valid input	–	10	–	0.1	10	–	300	
		15	combinations	–	20	–	0.2	20	–	600	

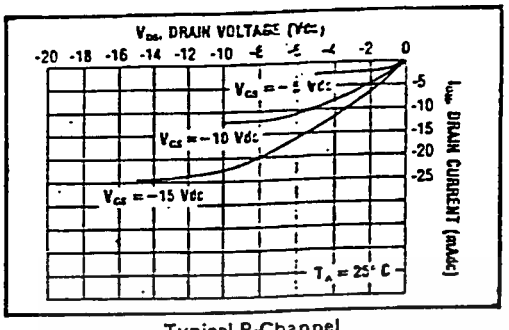
NOTES: [1] Remaining Static Electrical Characteristics are listed under "SCL4000B Series Family Specifications".
[2] T_{LOW} = –55°C for C, D, F, H device.
= –40°C for E device.
T_{HIGH} = +125°C for C, D, F, H device.
= + 85°C for E device.

DYNAMIC CHARACTERISTICS (C_L = 50pF, T_A = 25°C)

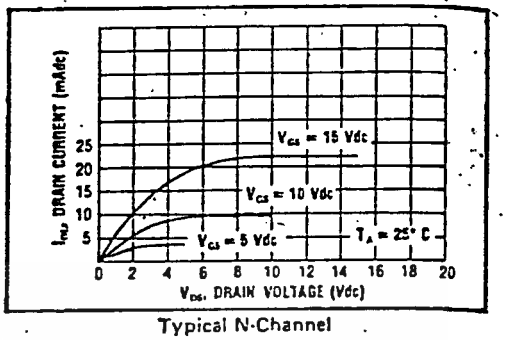
PARAMETER		V_{DD} (Vdc)	Min.	Typ.	Max.	Units
CLOCKED OPERATION						
PROPAGATION DELAY TIME Clock to Q	t_{PLH}, t_{PHL}	5	–	325	650	ns
		10	–	125	250	
		15	–	100	200	
Clock to $\overline{\text{Carry Out}}$		5	–	325	650	ns
		10	–	125	250	
		15	–	100	200	
$\overline{\text{Carry In}}$ to $\overline{\text{Carry Out}}$		5	–	175	350	ns
		10	–	75	150	
		15	–	55	110	
OUTPUT TRANSITION TIME	t_{TLH}, t_{THL}	5	–	130	260	ns
		10	–	65	130	
		15	–	50	100	
MINIMUM CLOCK PULSE WIDTH	PW_{CL}	5	–	170	340	ns
		10	–	85	170	
		15	–	70	140	
MAXIMUM CLOCK FREQUENCY	f_{CL}	5	1.5	3.0	–	MHz
		10	3.0	6.0	–	
		15	4.0	8.0	–	
MAXIMUM CLOCK RISE AND FALL TIME[1]	t_{rCL}, t_{fCL}	5	15	–	–	μs
		10	15	–	–	
		15	15	–	–	
MINIMUM SETUP TIME $\overline{\text{Carry In}}$	t_{setup}	5	–	130	260	ns
		10	–	65	130	
		15	–	50	100	
Up/Down		5	–	250	500	ns
		10	–	100	200	
		15	–	75	150	
PRESET OR RESET OPERATION						
PROPAGATION DELAY TIME Preset Enable or Reset to Q	t_{PLH}, t_{PHL}	5	–	325	650	ns
		10	–	125	250	
		15	–	100	200	
Preset Enable or Reset to $\overline{\text{Carry Out}}$		5	–	410	820	ns
		10	–	165	330	
		15	–	130	260	
MINIMUM PRESET ENABLE OR RESET PULSE WIDTH	PW_{PE}, PW_R	5	–	100	200	ns
		10	–	50	100	
		15	–	40	80	
PRESET ENABLE OR RESET REMOVAL TIME	t_{rem}	5	–	325	650	ns
		10	–	110	220	
		15	–	90	180	

[1] When units are cascaded, the maximum rise and fall times of the clock input should be equal to or less than the transition times of the data outputs driving data inputs, plus the propagation delay of the output driving stage for the output capacitive load.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



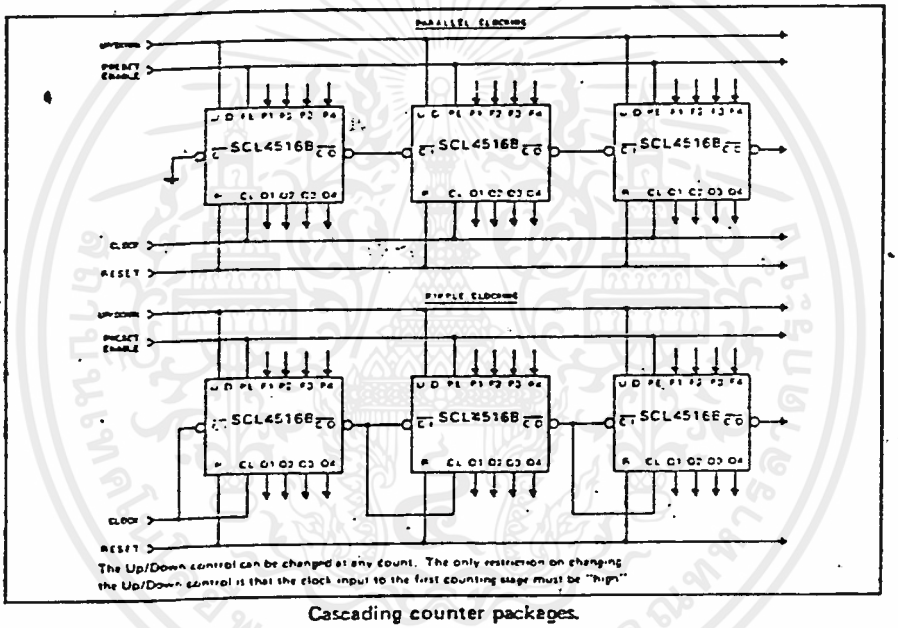
Typical P-Channel
Source Current Characteristics



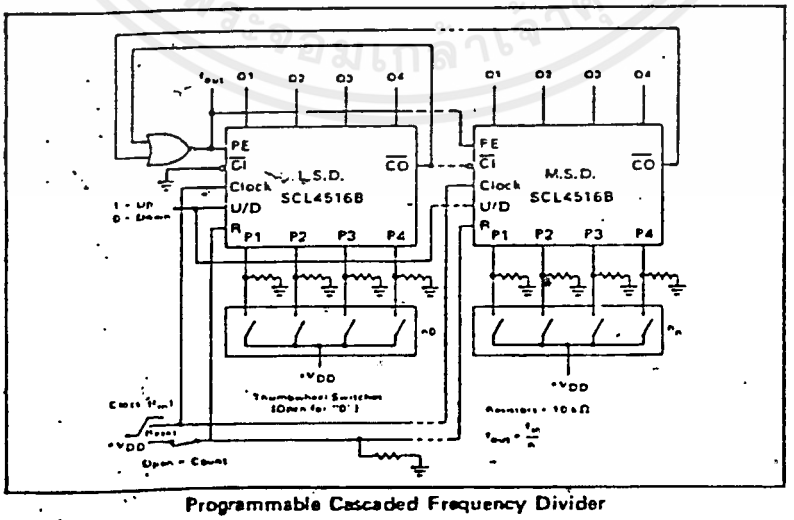
Typical N-Channel
Sink Current Characteristics

APPLICATIONS INFORMATION

CASCADING COUNTERS



Cascading counter packages.



Programmable Cascaded Frequency Divider

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TOSHIBA

8,192 WORD x 8 BIT UV ERASABLE AND ELECTRICALLY PROGRAMMABLE READ ONLY MEMORY

N-CHANNEL SILICON STACKED GATE MOS

TMM2764D
TMM2764D-2

DESCRIPTION

The TMM2764D is a 8192 word x 8 bit ultraviolet light erasable and electrically programmable read only memory. For read operation, the TMM2764D's access time is 200 ns, and the TMM2764D operates from a single 5-volt power supply and has low power standby mode which reduces the power dissipation without increasing access time. The standby mode is achieved by applying a TTL-high level signal to the $\overline{CE}$ input. The maximum active current is 120mA and the maximum standby current is 35mA.

For program operation, the programming is achieved by applying a 50ms active TTL low program pulse to the $\overline{PGM}$ input, and it is possible to program sequentially individually, or at random.

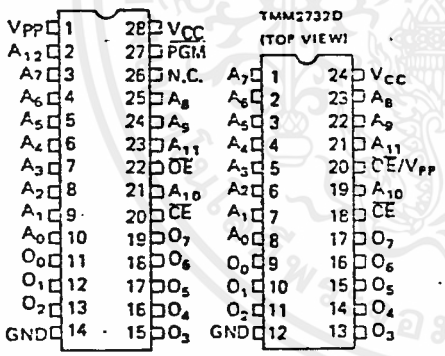
The TMM2764D is fabricated with the N-channel silicon double layer gate MOS technology and is packaged in a standard 28 pin dual in line cerdip package.

FEATURES

- Single 5-volt power supply
- Fast access time : TMM2764D 250 ns
  TMM2764D-2 200 ns
- Power dissipation :
  120 mA (active current) Max.
  35 mA (standby current) Max.
- Low power standby mode : $\overline{CE}$
- Output buffer control : $\overline{OE}$
- Fully static operation
- Programs with one 50 ms pulse
- Single location programming
- Three state outputs
- Inputs and outputs TTL compatible
- Pin compatible with i2764 and ROM TMM2364P

PIN CONNECTION (TOP VIEW)

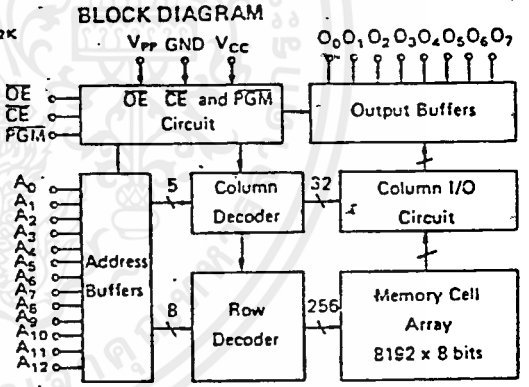
Lower 24 pins compatible with 32K bit EPROM TMM2732D



PIN NAMES

$A_0 \sim A_{12}$	Address Inputs
$O_0 \sim O_7$	Outputs (Inputs)
$\overline{CE}$	Chip Enable Input
$\overline{OE}$	Output Enable Input
$\overline{PGM}$	Program Control Input
N.C.	No Connection
V_{PP}	Program Supply Voltage
V_{CC}	V_{CC} Supply Voltage (+5V)
GND	Ground

BLOCK DIAGRAM



MODE SELECTION

Mode \ Pin	$\overline{PGM}$ (27)	$\overline{CE}$ (20)	$\overline{OE}$ (22)	V_{PP} (1)	V_{CC} (28)	$O_0 \sim O_7$ (11~13,15~19)	Power
Read	H	L	L	5V	5V	Data Out	Active
Output Deselect	*	*	H		5V	High Impedance	
Standby	*	H	*		5V	High Impedance	Standby
Program	L	L	*	21V	5V	Data in	Active
Program Inhibit	*	H	*		5V	High Impedance	
	H	L	H		5V	High Impedance	
Program Verify	H	L	L		5V	Data Out	

Note. *; H or L

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MAXIMUM RATINGS

SYMBOL	ITEM	RATING	UNIT
V_{CC}	V_{CC} Power Supply Voltage	−0.6 ~ 7.0	V
V_{PP}	Program Supply Voltage	−0.6 ~ 22.0	V
V_{IN}	Input Voltage	−0.6 ~ 7.0	V
V_{OUT}	Output Voltage	−0.6 ~ 7.0	V
P_D	Power Dissipation	1.5	W
T_{SOLDER}	Soldering Temperature · Time	260 · 10	°C · sec
$T_{STG.}$	Storage Temperature	−65 ~ 125	°C
$T_{OPR.}$	Operating Temperature	0 ~ 70	°C

READ OPERATION

D.C. RECOMMENDED OPERATING CONDITIONS

SYMBOL	PARAMETER	MIN.	TYP.	MAX.	UNIT
V_{IH}	Input High Voltage	2.0	–	V_{CC} + 1.0	V
V_{IL}	Input Low Voltage	−0.3	–	0.8	V
V_{CC}	V_{CC} Power Supply Voltage	4.75	–	5.25	V
V_{PP}	V_{PP} Power Supply Voltage	2.0	V_{CC}	V_{CC} + 0.6	V

D.C. and OPERATING CHARACTERISTICS

(T_a = 0 ~ 70°C, V_{CC} = 5V ± 5% Unless otherwise noted)

SYMBOL	PARAMETER	CONDITIONS	MIN.	TYP.	MAX.	UNIT
I_{LI}	Input Current	V_{IN} = 0 ~ V_{CC}	–	–	± 10	μA
I_{CC1}	Supply Current (Standby)	$\overline{CE}$ = V_{IH}	–	–	35	mA
I_{CC2}	Supply Current (Active)	$\overline{CE}$ = V_{IL}	–	–	120	mA
V_{OH}	Output High Voltage	I_{OH} = −400μA	2.4	–	–	V
V_{OL}	Output Low Voltage	I_{OL} = 2.1mA	–	–	0.4	V
I_{PP1}	V_{PP} Current	V_{PP} = 0 ~ V_{CC} + 0.6	–	–	± 10	μA
I_{LO}	Output Leakage Current	V_{OUT} = 0.4 ~ V_{CC}	–	–	± 10	μA

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

A.C. CHARACTERISTICS

(T_a = 0 ~ 70°C, V_{CC} = 5V ± 5%, V_{PP} = 2.0V ~ V_{CC} + 0.6V, Unless otherwise noted)

SYMBOL	PARAMETER	CONDITIONS	TMM2764D-2		TMM2764D		UNIT
			MIN.	MAX.	MIN.	MAX.	
t_{ACC}	Address Access Time	$\overline{CE}$ = $\overline{OE}$ = V_{IL}, $\overline{PGM}$ = V_{IH}	–	200	–	250	ns
t_{CE}	$\overline{CE}$ to Output Valid	$\overline{OE}$ = V_{IL}, $\overline{PGM}$ = V_{IH}	–	200	–	250	ns
t_{OE}	$\overline{OE}$ to Output Valid	$\overline{CE}$ = V_{IL}, $\overline{PGM}$ = V_{IH}	–	70	–	100	ns
t_{PGM}	$\overline{PGM}$ to Output Valid	$\overline{OE}$ = $\overline{CE}$ = V_{IL}	–	70	–	100	ns
t_{DF1}	$\overline{CE}$ to Output in High-Z	$\overline{OE}$ = V_{IL}, $\overline{PGM}$ = V_{IH}	0	60	0	90	ns
t_{DF2}	$\overline{OE}$ to Output in High-Z	$\overline{CE}$ = V_{IL}, $\overline{PGM}$ = V_{IH}	0	60	0	90	ns
t_{DF3}	$\overline{PGM}$ to Output in High-Z	$\overline{OE}$ = $\overline{CE}$ = V_{IL}	0	60	0	90	ns
t_{OH}	Output Data Hold Time	$\overline{CE}$ = $\overline{OE}$ = V_{IL}, $\overline{PGM}$ = V_{IH}	0	–	–	–	ns

A.C. Test Conditions

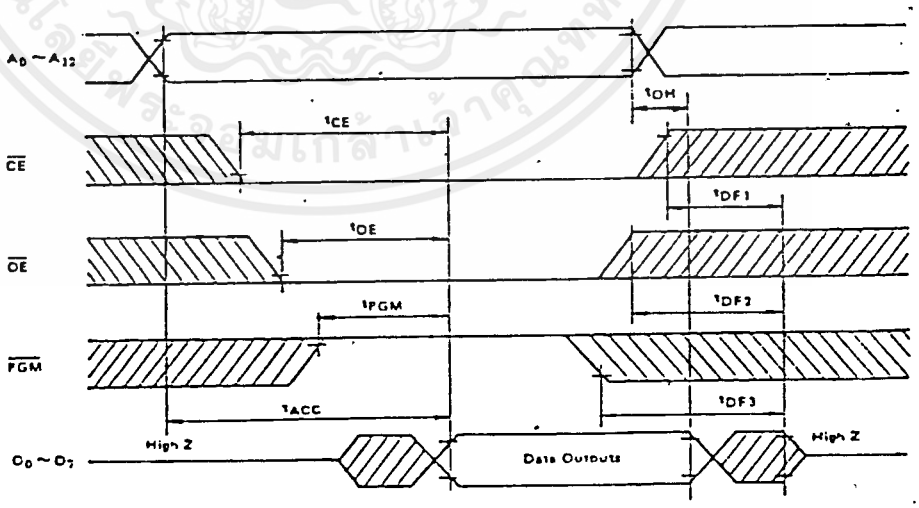
- Output Load : 1 TTL Gate and C_L = 100pF
- Input Pulse Rise and Fall Times : 10ns Max.
- Input Pulse Levels : 0.8V to 2.2V
- Timing Measurement Reference Level : Inputs 1V and 2V, Outputs 0.8V and 2.0V

CAPACITANCE * (T_a = 25°C, f = 1MHz)

SYMBOL	PARAMETER	CONDITIONS	MIN.	TYP.	MAX.	UNIT
C_{IN}	Input Capacitance	V_{IN} = 0V	–	4	6	pF
C_{OUT}	Output Capacitance	V_{OUT} = 0V	–	8	12	pF

* This parameter is periodically sampled and is not 100% tested.

TIMING WAVEFORMS (READ)



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

PROGRAM OPERATION

D.C. RECOMMENDED OPERATING CONDITIONS

SYMBOL	PARAMETER	MIN.	TYP.	MAX.	UNIT
V_{IH}	Input High Voltage	2.0	–	V_{CC} + 1.0	V
V_{IL}	Input Low Voltage	−0.3	–	0.8	V
V_{CC}	V_{CC} Power Supply Voltage	4.75	5.0	5.25	V
V_{PP}	V_{PP} Power Supply Voltage	20.5	21.0	21.5	V

D.C. and OPERATING CHARACTERISTICS (T_a = 25 ± 5°C, V_{CC} = 5V ± 5%, V_{PP} = 21V ± 0.5V)

SYMBOL	PARAMETER	CONDITIONS	MIN.	TYP.	MAX.	UNIT
I_{LI}	Input Current	V_{IN} = 0 ~ V_{CC}	–	–	± 10	μA
V_{OH}	Output High Voltage	I_{OH} = −400μA	2.4	–	–	V
V_{OL}	Output Low Voltage	I_{OL} = 2.1mA	–	–	0.4	V
I_{CC}	V_{CC} Supply Current	–	–	–	120	mA
I_{PP2}	V_{PP} Supply Current	V_{PP} = 21.5V	–	–	30	mA

A.C. PROGRAMMING CHARACTERISTICS (T_a = 25 ± 5°C, V_{CC} = 5V ± 5%, V_{PP} = 21V ± 0.5V)

SYMBOL	PARAMETER	CONDITIONS	MIN.	TYP.	MAX.	UNIT
t_{AS}	Address Setup Time	–	2	–	–	μs
t_{AH}	Address Hold Time	–	2	–	–	μs
t_{CES}	$\overline{CE}$ Setup Time	–	2	–	–	μs
t_{CEH}	$\overline{CE}$ Hold Time	–	2	–	–	μs
t_{DS}	Data Setup Time	–	2	–	–	μs
t_{DH}	Data Hold Time	–	2	–	–	μs
t_{PS}	$\overline{PGM}$ Setup Time	–	2	–	–	μs
t_{PH}	$\overline{PGM}$ Hold Time	–	2	–	–	μs
t_{OES}	$\overline{OE}$ Setup Time	–	2	–	–	μs
t_{VS}	V_{PP} Setup Time	–	2	–	–	μs
t_{PW}	Program Pulse Width	$\overline{PGM}$ = $\overline{CE}$ = V_{IL}	45	50	55	ms
t_{OP}	Program Recovery Time	–	0	–	–	μs
t_{PRT}	Program Pulse Rise Time	–	5	–	–	ns
t_{PFT}	Program Pulse Fall Time	–	5	–	–	ns
t_{CE}	$\overline{CE}$ to Output Valid	–	–	–	250	ns
t_{OE}	$\overline{OE}$ to Output Valid	–	–	–	100	ns
t_{DF1}	$\overline{CE}$ to Output in High Z	$\overline{OE}$ = V_{IL}	–	–	90	ns
t_{DF2}	$\overline{OE}$ to Output in High Z	$\overline{CE}$ = V_{IL}	–	–	90	ns

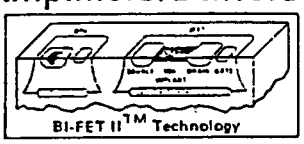
A.C. Test Conditions

- Output Load : 1TTL Gate and C_L (100 pF)
- Input Pulse Rise and Fall Times : 10ns Max.
- Input Pulse Levels : 0.8 ~ 2.2V
- Timing Measurement Reference Level : Input 1V and 2V ; Output 0.8V and 2.0V

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

National Semiconductor

Operational Amplifiers/Buffers



LF351 Wide Bandwidth JFET Input Operational Amplifier

General Description

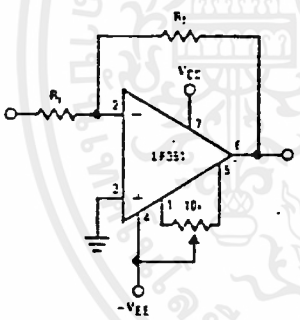
The LF351 is a low cost high speed JFET input operational amplifier with an internally trimmed input offset voltage (BI-FET II™ technology). The device requires a low supply current and yet maintains a large gain bandwidth product and a fast slew rate. In addition, well matched high voltage JFET input devices provide very low input bias and offset currents. The LF351 is pin compatible with the standard LM741 and uses the same offset voltage adjustment circuitry. This feature allows designers to immediately upgrade the overall performance of existing LM741 designs.

The LF351 may be used in applications such as high speed integrators, fast D/A converters, sample-and-hold circuits and many other circuits requiring low input offset voltage, low input bias current, high input impedance, high slew rate and wide bandwidth. The device has low noise and offset voltage drift, but for applications where these requirements are critical, the LF356 is recommended. If maximum supply current is important, however, the LF351 is the better choice.

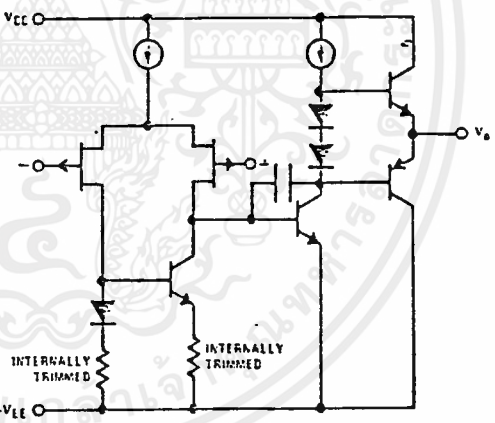
Features

■ Internally trimmed offset voltage	10 mV
■ Low input bias current	50 pA
■ Low input noise voltage	16 nV/√Hz
■ Low input noise current	0.01 pA/√Hz
■ Wide gain bandwidth	4 MHz
■ High slew rate	13 V/μs
■ Low supply current	1.8 mA
■ High input impedance	$10^{12}\Omega$
■ Low total harmonic distortion $A_V = 10$, $R_L = 10k$, $V_O = 20\,V_{p-p}$, BW = 20 Hz-20 kHz	<0.02%
■ Low 1/f noise corner	50 Hz
■ Fast settling time to 0.01%	2 μs

Typical Connection

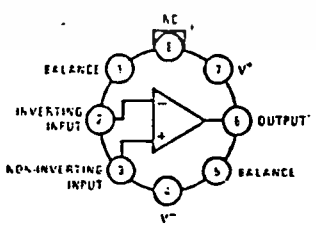


Simplified Schematic



Connection Diagrams (Top Views)

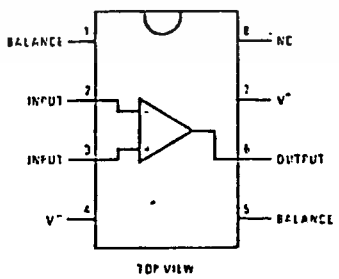
Metal Can Package



Note: Pin 4 connected to case.

Order Number LF351H
See NS Package H08C

Dual-In-Line Package



Order Number LF351N
See NS Package N08A

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Absolute Maximum Ratings

Supply Voltage	±18V
Power Dissipation (Note 1)	500mW
Operating Temperature Range	0°C to +70°C
$T_{j(MAX)}$	115°C
Differential Input Voltage	±30V
Input Voltage Range (Note 2)	±15V
Output Short Circuit Duration	Continuous
Storage Temperature Range	−65°C to +150°C
Lead Temperature (Soldering, 10 seconds)	300°C

DC Electrical Characteristics (Note 3)

SYMBOL	PARAMETER	CONDITIONS	LF351			UNITS
			MIN	TYP	MAX	
V_{OS}	Input Offset Voltage	$R_S = 10k\Omega$, $T_A = 25°C$		5	10	mV
		Over Temperature			13	mV
$\Delta V_{OS}/\Delta T$	Average TC of Input Offset Voltage	$R_S = 10k\Omega$		10		µV/°C
I_{OS}	Input Offset Current	$T_j = 25°C$. (Notes 3, 4)		25	100	pA
		$T_j \leq 70°C$			4	nA
I_B	Input Bias Current	$T_j = 25°C$, (Notes 3, 4)		50	200	pA
		$T_j \leq 70°C$			8	nA
R_{IN}	Input Resistance	$T_j = 25°C$		10^{12}		Ω
A_{VOL}	Large Signal Voltage Gain	$V_S = \pm 15V$, $T_A = 25°C$	25	100		V/mV
		$V_O = \pm 10V$, $R_L = 2k\Omega$ Over Temperature	15			V/mV
V_O	Output Voltage Swing	$V_S = \pm 15V$, $R_L = 10k\Omega$	±12	±13.5		V
V_{CM}	Input Common-Mode Voltage Range	$V_S = \pm 15V$	±11	+15 −12		V V
CMRR	Common-Mode Rejection Ratio	$R_S \leq 10k\Omega$	70	100		dB
PSRR	Supply Voltage Rejection Ratio	(Note 5)	70	100		dB
I_S	Supply Current			1.8	3.4	mA

AC Electrical Characteristics (Note 3)

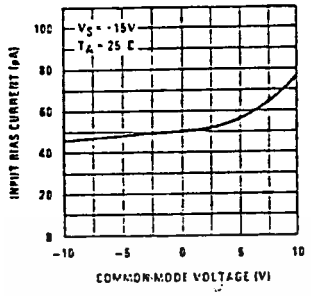
SYMBOL	PARAMETER	CONDITIONS	LF351			UNITS
			MIN	TYP	MAX	
SR	Slew Rate	$V_S = \pm 15V$, $T_A = 25°C$		13		V/µs
GBW	Gain Bandwidth Product	$V_S = \pm 15V$, $T_A = 25°C$		4		MHz
e_n	Equivalent Input Noise Voltage	$T_A = 25°C$, $R_S = 100\Omega$, $f = 1000Hz$		16		$nV/\sqrt{Hz}$
i_n	Equivalent Input Noise Current	$T_j = 25°C$, $f = 1000Hz$		0.01		$pA/\sqrt{Hz}$

Note 1: For operating at elevated temperature, the device must be derated based on a thermal resistance of 150°C/W junction to ambient or 45°C/W junction to case.
Note 2: Unless otherwise specified the absolute maximum negative input voltage is equal to the negative power supply voltage.
Note 3: These specifications apply for $V_S = \pm 15V$ and $0°C \leq T_A \leq +70°C$. V_{OS}, I_B and I_{OS} are measured at $V_{CM} = 0$.
Note 4: The input bias currents are junction leakage currents which approximately double for every 10°C increase in the junction temperature, T_j. Due to the limited production test time, the input bias currents measured are correlated to junction temperature. In normal operation the junction temperature rises above the ambient temperature as a result of internal power dissipation, P_D. $T_j = T_A + \Theta_{jA} P_D$ where Θ_{jA} is the thermal resistance from junction to ambient. Use of a heat sink is recommended if input bias current is to be kept to a minimum.
Note 5: Supply voltage rejection ratio is measured for both supply magnitudes increasing or decreasing simultaneously in accordance with common practice

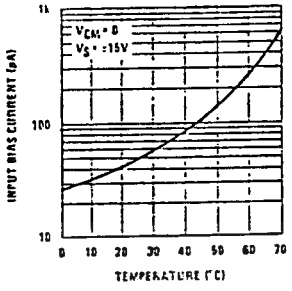
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Performance Characteristics

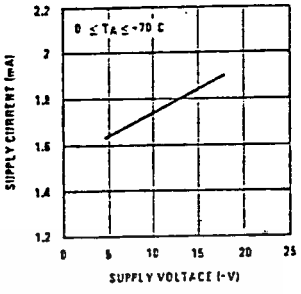
Input Bias Current



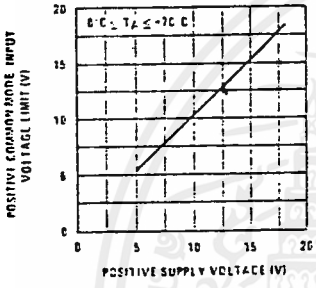
Input Bias Current



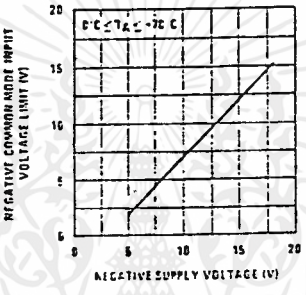
Supply Current



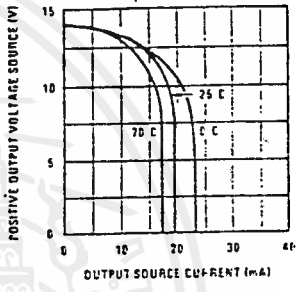
Positive Common-Mode Input Voltage Limit



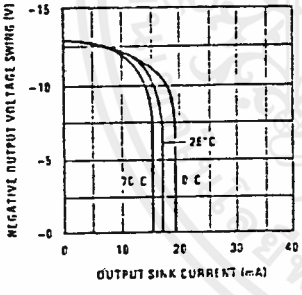
Negative Common-Mode Input Voltage Limit



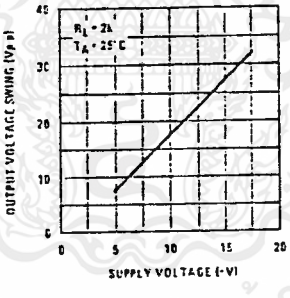
Positive Current Limit



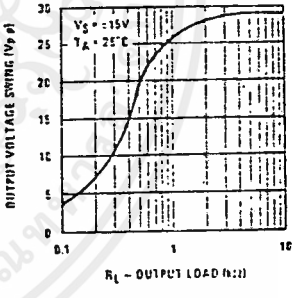
Negative Current Limit



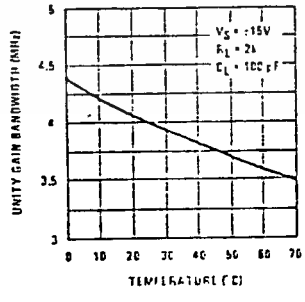
Voltage Swing



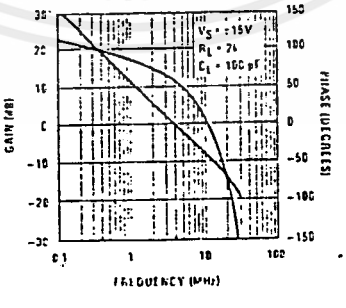
Output Voltage Swing



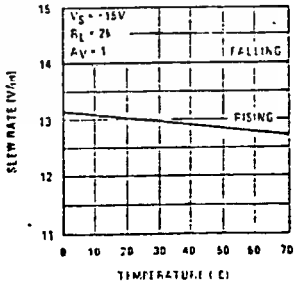
Gain Bandwidth



Bode Plot



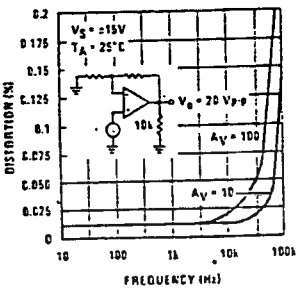
Slew Rate



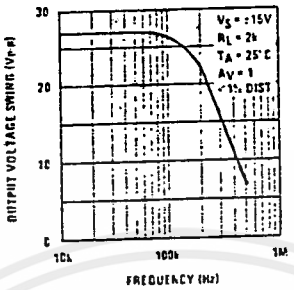
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Performance Characteristics (Continued)

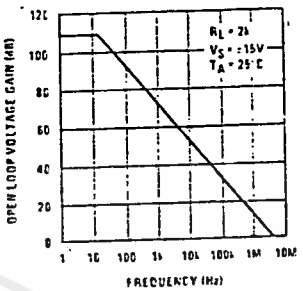
Distortion vs Frequency



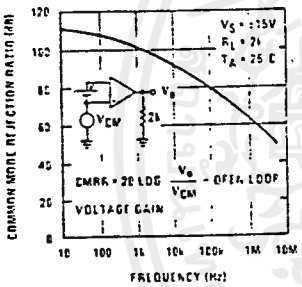
Undistorted Output Voltage Swing



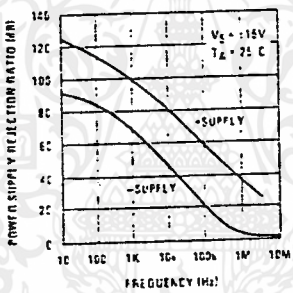
Open Loop Frequency Response



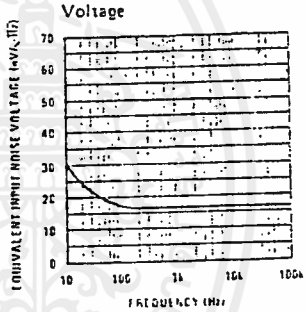
Common-Mode Rejection Ratio



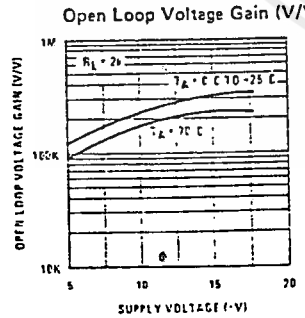
Power Supply Rejection Ratio



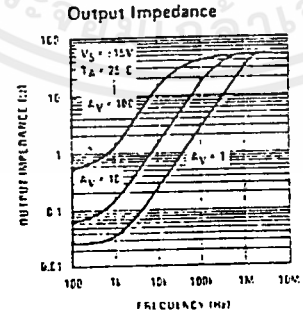
Equivalent Input Noise Voltage



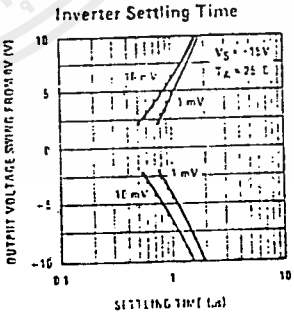
Open Loop Voltage Gain (V/V)



Output Impedance



Inverter Settling Time



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MC1508L-8
MC1408L-8
MC1408L-7
MC1408L-6

D-TO-A CONVERTER

Specifications and Applications Information

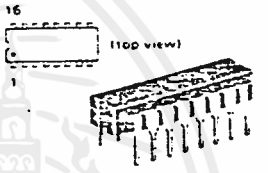
MONOLITHIC EIGHT-BIT MULTIPLYING DIGITAL-TO-ANALOG CONVERTER

. . . designed for use where the output current is a linear product of an eight-bit digital word and an analog input voltage.

- Relative Accuracy: ±0.19% Error maximum (MC1508L-8, MC1408L-8)
- Seven and Six-Bit Accuracy Available (MC1408L-7, MC1408L-6)
- Fast Settling Time – 300 ns typical
- Noninverting Digital Inputs are MTTL and CMOS Compatible
- Output Voltage Swing – +0.5 V to -5.0 V
- High-Speed Multiplying Input Slew Rate 4.0 mA/μs
- Standard Supply Voltages: +5.0 V and -5.0 V to -15 V

EIGHT-BIT MULTIPLYING DIGITAL-TO-ANALOG CONVERTER

MONOLITHIC SILICON INTEGRATED CIRCUIT



L SUFFIX
CERAMIC PACKAGE
CASE 620

FIGURE 1 – D-to-A TRANSFER CHARACTERISTICS

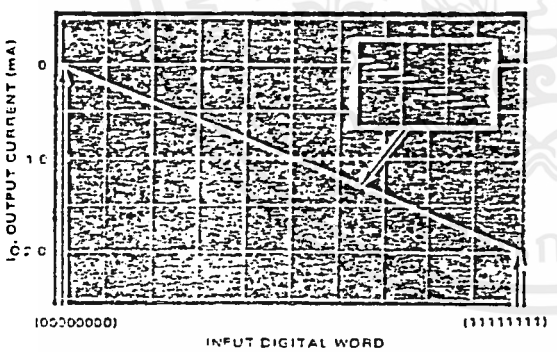
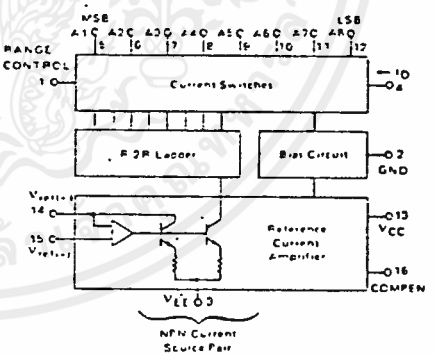


FIGURE 2 – BLOCK DIAGRAM



TYPICAL APPLICATIONS

- Tracking A-to D Converters
- Successive Approximation A-to-D Converters
- 2 1/2 Digit Panel Meters and DVM's
- Waveform Synthesis
- Sample and Hold
- Peak Detector
- Programmable Gain and Attenuation
- CRT Character Generation
- Audio Digitizing and Decoding
- Programmable Power Supplies
- Analog-Digital Multiplication
- Digital-Digital Multiplication
- Analog-Digital Division
- Digital Addition and Subtraction
- Speech Compression and Expansion
- Stepping Motor Drive

See Packaging Information Section for outline dimensions.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MAXIMUM RATINGS (T_A = +25°C unless otherwise noted.)

Rating	Symbol	Value	Unit
Power Supply Voltage	V_{CC} V_{EE}	+5.5 -16 5	Vdc
Digital Input Voltage	V_5 thru V_{12}	+5.5,0	Vdc
Applied Output Voltage	V_O	+0.5,-5.2	Vdc
Reference Current	I_{14}	5.0	mA
Reference Amplifier Inputs	V_{14},V_{15}	V_{CC},V_{EE}	Vdc
Power Dissipation (Package Limitation) Ceramic Package Derate above T_A = +25°C	P_D	 1000 6.7	 mW mW/°C
Operating Temperature Range MC1508L8 MC1408L Series	T_A	 -55 to +125 0 to +75	°C
Storage Temperature Range	T_{stg}	-65 to +150	°C

ELECTRICAL CHARACTERISTICS (V_{CC} = +5.0 Vdc, V_{EE} = -15 Vdc, $\frac{V_{ref}}{R14}$ = 2.0 mA, MC1508L-8: T_A = -55°C to +125°C. MC1408L Series: T_A = 0 to +75°C unless otherwise noted. All digital inputs at high logic level.)

Characteristic	Figure	Symbol	Min	Typ	Max	Unit
Relative Accuracy (Error relative to full scale I_O) MC1508L8, MC1408L8 MC1408L7, See Note 1 MC1408L6, See Note 1	4	E_r	 – – –	 – – –	 ±0 19 ±0 39 ±0.78	%
Settling Time to within 1/2 LSB (includes t_{PLH})(T_A=+25°C)See Note 2	5	t_S	–	300	–	ns
Propagation Delay Time T_A = +25°C	5	t_{PLH},t_{PHL}	–	30	100	ns
Output Full Scale Current Drift		TCI_O	–	-20	–	PPM/°C
Digital Input Logic Levels (MSB) High Level, Logic "1" Low Level, Logic "0"	3	 V_{IH} V_{IL}	 2.0 –	 – –	 – 0 8	Vdc
Digital Input Current (MSB) High Level, V_{IH} = 5.0 V Low Level, V_{IL} = 0.8 V	3	 I_{IH} I_{IL}	 – –	 0 -0 4	 0.04 -0.8	mA
Reference Input Bias Current (Pin 15)	3	I_{15}	–	-1.0	-3.0	μA
Output Current Range V_{EE} = -5.0 V V_{EE} = -6.0 to -15 V	3	I_{OR}	 0 0	 2 0 2 0	 2 1 4.2	mA
Output Current V_{ref} = 2.000 V, R14 = 1000 Ω	3	I_O	1.9	1.99	2.1	mA
Output Current (All bits low)	3	$I_{O(min)}$	–	0	4 0	μA
Output Voltage Compliance ($E_r \leq$ 0 19% at T_A = +25°C) Pin 1 grounded Pin 1 open, V_{EE} below -10 V	3	V_O	 – –	 – –	 -0.6,-0.5 -5.0,-0.5	Vdc
Reference Current Slew Rate	6	SR I_{ref}	–	4.0	–	mA/μs
Output Current Power Supply Sensitivity		PSRR(–)	–	0.5	2 7	μA/V
Power Supply Current (All bits low)	3	I_{CC} I_{EE}	 –	-13.5 -7.5	+22 -13	mA
Power Supply Voltage Range (T_A = +25°C)	3	V_{CCR} V_{EER}	+4.5 -4 5	+5.0 -15	+5.5 -16.5	Vdc
Power Dissipation All bits low V_{EE} = -5.0 Vdc V_{EE} = -15 Vdc All bits high V_{EE} = -5.0 Vdc V_{EE} = -15 Vdc	3	P_D	 – – – –	 105 190 90 160	 170 305 – –	mW

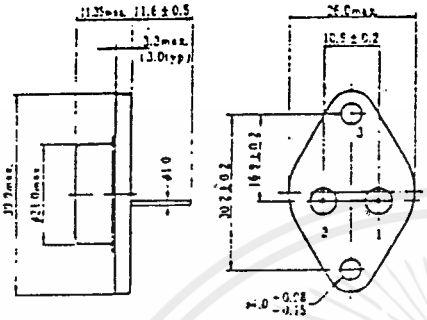
Note 1. All current switches are tested to guarantee at least 50% of rated output current.
Note 2. All bits switched

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2SC1413A(H)

シリコン NPN 三重拡散形
高電圧電力スイッチング，水平偏向出力用

SILICON NPN TRIPLE DIFFUSED
HIGH VOLTAGE POWER SWITCHING
HORIZONTAL DEFLECTION OUTPUT



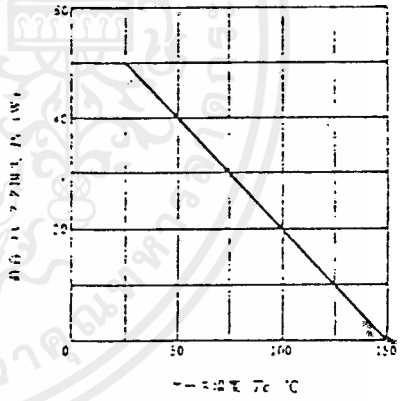
(JEDEC TO-3)

■絶対最大定格 ABSOLUTE MAXIMUM RATINGS (T_a=25℃)

項目	Symbol	2SC1413A(H)	Unit
コレクタ・ベース電圧	V_{CBO}	1500	V
コレクタ・エミッタ電圧	V_{CEO}	500	V
エミッタ・ベース電圧	V_{EBO}	6	V
コレクタ電流	I_C	5	A
ピークコレクタ電流	$I_{C\cdots\cdots}$	16	A
許容コレクタ損失	P_C*	50	W
許容コレクタ損失	P_C**	20	W
接合部温度	T_j	150	℃
保存温度	T_{stg}	−45～−150	℃

* T_C=25℃ における許容値
** シリコンオイルを塗布した放熱のアイロ板を介してヒートシンク板（200mm×200mm×1.5mmアルミ板）に取り付けた場合の許容値
* Value at T_C=25℃
** Value when attach on the heat sink plate (200mm×200mm×1.5mmアルミ板)

許容コレクタ損失のケース温度による変化
MAXIMUM COLLECTOR DISSIPATION CURVE



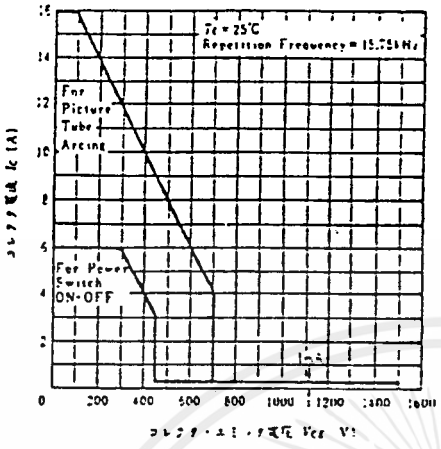
■電気的特性 ELECTRICAL CHARACTERISTICS (T_a=25℃)

項目	Symbol	Test Condition	min.	max.	Unit
コレクタ・エミッタ維持電圧	$V_{CEO(SUS)}$	I_C=10mA, R_{BE}=∞	500	—	V
エミッタ・ベース維持電圧	$V_{EBO(SUS)}$	I_E=10mA, I_C=0	6	—	V
コレクタ遮断電流	I_{CES}	V_{CE}=1500V, V_{EB}=1.5V	—	1	mA
コレクタ・エミッタ飽和電圧	$V_{CE(sat)}$	I_C=5A, I_B=1.2A*	—	10	V
ベース・エミッタ飽和電圧	$V_{BE(sat)}$	I_C=5A, I_B=1.2A*	—	2	V
下降時間	t_f	I_C=3A, I_{B1}=0.7A, I_{B2}=−2.7A, L_B=0	—	2.3	μs

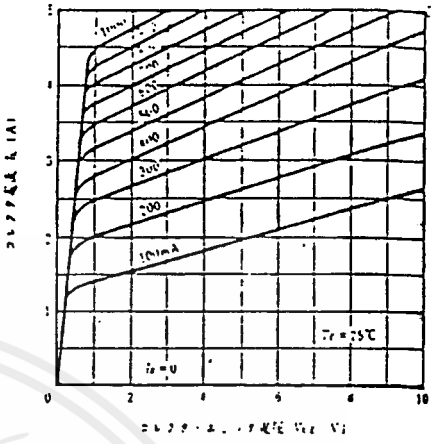
* パルス試験
* Pulse test

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

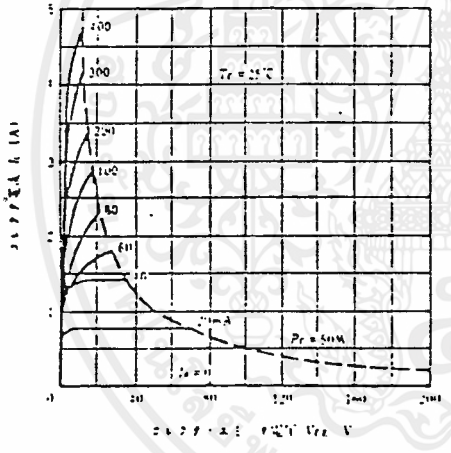
安全動作領域
AREA OF SAFE OPERATION



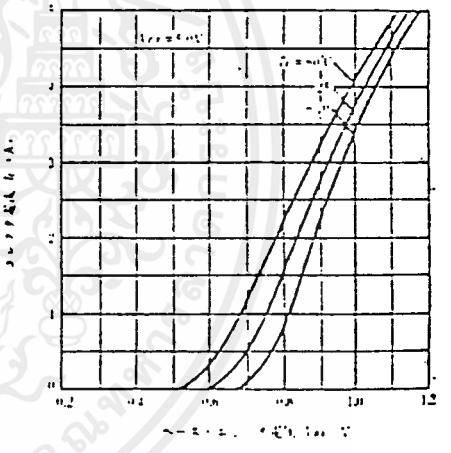
エミッタ接地出力静特性(1)
TYPICAL OUTPUT CHARACTERISTICS



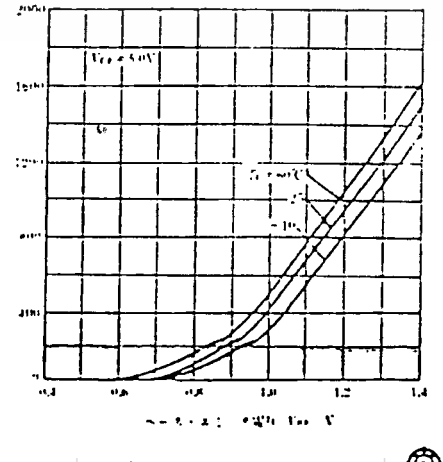
エミッタ接地出力静特性(2)
TYPICAL OUTPUT CHARACTERISTICS



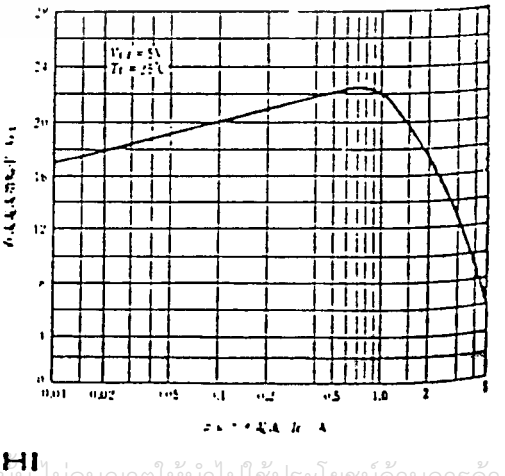
エミッタ接地伝達静特性
TYPICAL TRANSFER CHARACTERISTICS



エミッタ接地入力静特性
TYPICAL INPUT CHARACTERISTICS



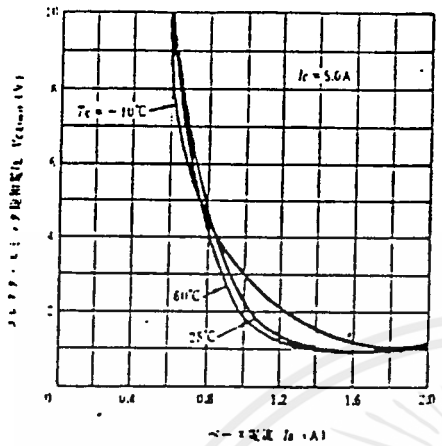
直流電流増幅率対コレクタ電流特性
DC CURRENT TRANSFER RATIO VS. COLLECTOR CURRENT



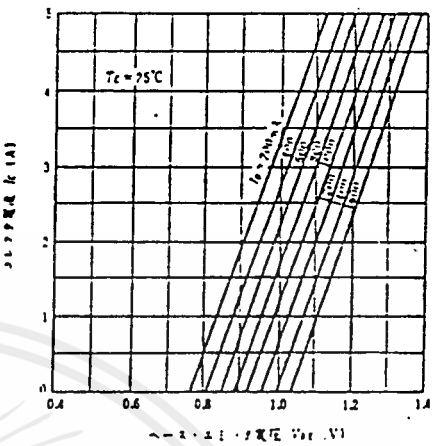
HITACHI

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

コレクタ・エミッタ飽和電圧対ベース電流特性
COLLECTOR TO EMITTER SATURATION VOLTAGE
VS. BASE CURRENT



コレクタ電流対ベース・エミッタ電圧特性
COLLECTOR CURRENT
VS. BASE TO EMITTER VOLTAGE



HITACHI

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้