DPCM

DIFFERENTIAL PULSE CODE MODULATION

โดย

นางสาวกิตติรา รัตนานิกักษ์สุข

นายสุวิทัศก์ สุรสิงห์โตทอง

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรบัณฑิต

สาขาวิศวกรรมโทรคมนาคม

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2535

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

032599

คำนำ

สำหรับปริญญานิพนธ์ชิ้นนี้ความตั้งใจของผู้จัดทำ พยายามจะทำให้ระบบนี้พอจะใช้เป็นวงจรต้นแบบที่เอาไว้ศึกษาการทำงานของระบบ DPCM และสามารถนำวงจรต้นแบบนี้ไปประยุกต์ใช้ในการทำงานจริงได้ รายละเอียดของวิทยานิพนธ์ฉบับนี้ได้แยกเนื้อหาออกเป็นแต่ละบทดังต่อไปนี้ บทที่ 1 เป็นบทนำกล่าวถึงความเป็นมาของระบบ DPCM และข้อน่าสนใจของระบบ DPCM บทที่ 2 เป็นทฤษฎีและหลักการเบื้องต้นเกี่ยวกับการมอดูเลทที่ใช้สัญญาณพัลสิแบบต่าง ๆ (Digital Pulse Modulation) ซึ่งประกอบไปด้วยหลักการของระบบ PCM (Pulse Code Modulation), ระบบ DPCM (Differential Pulse Code Modulation), ระบบ DM (Delta Modulation), การเปรียบเทียบคุณสมบัติของการเข้ารหัสแบบต่าง ๆ บทที่ 3 กล่าวถึงบล๊อกไดอะแกรมของระบบ และหลักการพื้นฐานของวงจรต่าง ๆ ในบล๊อกไดอะแกรม ซึ่งบล๊อกไดอะแกรมประกอบไปด้วยบล๊อกไดอะแกรมของการเข้ารหัส และบล๊อกไดอะแกรมของการถอดรหัส ส่วนวงจรต่าง ๆ ในบล๊อกไดอะแกรมทั้งสองเช่นวงจรสุ่มและคงค่า, วงจรแปลงสัญญาณอนาล็อกเป็นสัญญาณดิจิตอล วงจรทำนายค่า, วงจรควบคุมจังหวะเวลา ก็จะได้กล่าวถึงโดยละเอียดในบทนี้ บทที่ 4 จะกล่าวถึงการทดลอง การสุ่มและคงค่าสัญญาณ, การทดลองวงจร ADC, การทดลองวงจรแอ็คคิวมูเลเตอร์, การทดลองวงจร DAC ซึ่งเป็นการแยกทดลองแต่ละวงจรโดยอิสระจากกันและสุดท้ายจะกล่าวถึงการทดลองเมื่อต่อวงจรรวมเข้าด้วยกัน ในบทที่ 5 จะเป็นการสรุปผลการทำงานทั้งหมด ข้อวิจารณ์ ข้อเสนอแนะ และแนวทางพัฒนาสำหรับผู้ที่สนใจ

ผู้จัดทำหวังเป็นอย่างยิ่งว่าวิทยานิพนธ์ชิ้นนี้จะเป็นประโยชน์ต่อผู้ที่สนใจเกี่ยวกับระบบ DPCM ได้เป็นอย่างดี ความดีต่างๆ ของปริญญานิพนธ์ฉบับนี้เท่าที่มีอยู่ทั้งหมดนั้นทางผู้จัดทำขอมอบให้แก่บูรพาจารย์ที่ได้อบรมสั่งสอนให้ความรู้ทุก ๆ ท่าน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้
032599

ระบบ DPCM

กิตธีรา รัตนาพิทักษ์สุข
สุวิทัศท์ สุรสิงห์โตทอง
รศ.ดร. วิวัฒน์ กิรานนท์ อาจารย์ที่ปรึกษา
อาจารย์ ปราโมทย์ วาดเขียน อาจารย์ที่ปรึกษา
ปีการศึกษา 2535

บทคัดย่อ

ในปัจจุบันการสื่อสารในระบบดิจิตอลมีความสำคัญมาก เนื่องจากมีข้อดีเด่นที่อยู่เหนือสัญญาณอนาล็อกที่เห็นได้ชัดเจนอยู่เด่นที่สุด คือ สัญญาณดิจิตอลมีภูมิคุ้มกันต่อสัญญาณรบกวนมากกว่าสัญญาณอนาล็อก ในการส่งสัญญาณไปในระยะทางไกลในปัจจุบันจึงมักนิยมส่งเป็นสัญญาณดิจิตอล สำหรับโครงงานปริญญานิพนธ์นี้ มีจุดประสงค์เพื่อการที่จะศึกษาและประกอบวงจรที่ให้สาระพื้นฐานเกี่ยวกับระบบสื่อสารเชิงดิจิตอลแบบหนึ่ง คือ ระบบ DPCM (Differential Pulse Code Modulation) ซึ่งในเบื้องต้นเป็นการศึกษาถึงหลักการและคุณสมบัติพื้นฐานของระบบ DPCM และต่อมาเป็นการศึกษาค้นคว้าในระดับการประกอบวงจรการเข้ารหัสแบบ DPCM และวงจรถอดรหัส ซึ่งระบบที่ศึกษานี้ได้อาศัยแนวพัฒนาให้เป็นระบบที่มีการทำงานไม่ซับซ้อนและใช้อุปกรณ์ไม่มากนัก แต่ก็ให้ผลการทำงานที่น่าพอใจ จึงสามารถใช้เป็นวงจรต้นแบบ เพื่อที่จะศึกษาการทำงานของระบบ DPCM ได้และเนื่องจากได้อธิบายแต่ละส่วนของวงจรไว้โดยละเอียดจึงง่ายต่อการนำวงจรต้นแบบนี้ไปใช้ทำการปรับปรุงหรือประยุกต์ เพื่อนำไปใช้งานจริงได้อย่างมีประสิทธิภาพแน่นอน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

DPCM

Kittera Rattanapitaksuk

Suwitut Surasingtothong

Advisors: Assoc.Prof.Dr.Wiwat Kiranon

Pramote Wadkean

Abstract

Nowaday digital communication acts as an important role. It has a lot of outstanding advantage over analog signal. The most remarkable advantage is its noise immunity which make the digital signal can be transmitted over a longer distance. The purposes of this project is to study the concept and principle of DPCM system then establish a basic circuit for experimental practice. First, the principle and characteristics of DPCM system had been studied then, the experimental circuits, DPCM transmitter and receiver are established. In this project, the simple circuits which use small amounts of component are developed, it can be satisfactorily work. Therefore, the circuit can be used as a model to study the basic performance of DPCM system. The experimental circuit can be applied to another works.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ

		หน้า
บทที่ 1	บทนำ	1
บทที่ 2	การมอดูเลทที่ใช้สัญญาณพัลส์	3
	2.1 ทฤษฎีการสุ่มตัวอย่างสัญญาณ	3
	2.2 การมอดูเลชั่นระบบรหัสพัลส์	7
	2.3 การลดอัตราการส่งสัญญาณข้อมูล และการลดความยุ่งยากของระบบ	11
	2.4 DPCM	11
	2.5 DM	13
	2.6 การเปรียบเทียบคุณสมบัติของการเข้ารหัสระบบต่าง ๆ	15
บทที่ 3	ทฤษฎีและหลักการพื้นฐานของวงจร	17
	3.1 วงจรแปลงสัญญาณอนาล็อกเป็นสัญญาณดิจิตอล	17
	3.2 วงจรสุ่มและคงค่า	23
	3.3 วงจรอินทิเกรเตอร์ หรือวงจรแอ็คคิวมูเลเตอร์	25
บทที่ 4	วงจรต่าง ๆ ที่ใช้ในการทดลอง	29
	4.1 วงจรควบคุมจังหวะเวลา	29
	4.2 วงจรสุ่มและคงค่าสัญญาณ	32
	4.3 วงจรแปลงสัญญาณอนาล็อกเป็นสัญญาณดิจิตอล โดยใช้เทคนิคการประมาณค่าหลายครั้ง	34
	4.4 วงจรทำนายค่าสัญญาณ	40
	4.5 วงจรรวมทางด้านการเข้ารหัส	43
	4.6 วงจรการถอดรหัส	46
บทที่ 5	สรุปและวิจารณ์ผลการทดลอง	48
ภาคผนวก		
หนังสืออ้างอิง		

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 1
บทนำ

สัญญาณที่ใช้ในการสื่อสารส่วนใหญ่มักมีแหล่งกำเนิดสัญญาณที่มีสัญญาณดั้งเดิมเป็นสัญญาณอนาล็อกเช่นเสียงพูด (voice), เสียงดนตรี (music), สัญญาณภาพ (vedio) ดังนั้นถ้าในกรณีที่เป็นแหล่งกำเนิดสัญญาณอนาล็อกขบวนการขั้นต้นในการส่งแบบดิจิตอล (Digital transmission) ก็คือ การแปลงสัญญาณอนาล็อกนั้นให้เป็นสัญญาณดิจิตอล ดังนั้นเทคนิคต่างๆ ในการแปลงสัญญาณอนาล็อกเป็นสัญญาณดิจิตอลจึงได้ถูกพัฒนาขึ้นมา บางเทคนิคมีการนำมาใช้กันอย่างแพร่หลายและจัดเป็นความรู้พื้นฐานที่ศึกษากันโดยทั่วไป เช่นระบบ PCM ที่ใช้กับระบบเสียงพูด ขณะเดียวกันเทคนิคอื่น ๆ ก็มีการนำไปใช้ในงานเฉพาะอย่างต่าง ๆ กันไป ADC (Analog to digital Converter) แบบต่าง ๆ ถูกเลือกมาใช้โดยผู้ออกแบบระบบ ดังนั้นการจะใช้ ADC แบบใดขึ้นอยู่กับลักษณะของงานนั้นและคุณสมบัติของระดับสัญญาณที่ต้องการ

ขบวนการแปลงสัญญาณอนาล็อกเป็นสัญญาณดิจิตอล ซึ่งอาจกล่าวได้ว่าเป็นการมอดูเลทที่ใช้สัญญาณพัลส์แบบต่าง ๆ ซึ่งได้แก่ PCM (Pulse Code Modulation), DPCM(Differential Pulse Code Modulation) และ DM (Delta Modulation) ซึ่งแต่ละแบบมีความเหมาะสมกับสัญญาณที่มีลักษณะต่าง ๆ กัน เช่นถ้าสัญญาณอนาล็อกที่ต้องการแปลงนั้นเป็นสัญญาณที่มีลักษณะเปลี่ยนแปลงอย่างช้า ๆ มีความซ้ำซ้อน(Redundancy)สูง ก็จะใช้กับระบบ DPCM ได้ดีระบบ DPCM ซึ่งเป็นหัวข้อสำคัญของปริญญานิพนธ์นี้เป็นระบบที่ได้รับการพัฒนาขึ้นมาจากระบบ PCM เดิม ซึ่งหลักการโดยส่วนใหญ่ของระบบ DPCM ก็ยังคงคล้ายกับระบบ PCM คือจะมีขั้นตอนการสุ่มค่าสัญญาณอินพุทที่เป็นแบบอนาล็อก แล้วนำค่าสุ่มตัวอย่างนั้นมาทำการจัดระดับ (quantization) และทำการเข้ารหัส (encoding) เช่นเดียวกับในระบบ PCM แต่สำหรับระบบ DPCM จะต่างกับ PCM ตรงที่ค่าที่ถูกนำไปจัดระดับจะไม่ใช้ค่าสุ่มตัวอย่างของอินพุทโดยตรง แต่จะเป็นค่าที่เป็นผลต่างระหว่างค่าอินพุทกับค่าพยากรณ์ของอินพุทนั้น ค่าพยากรณ์นี้มีที่มาจากการที่คิดว่าถ้าสัญญาณอนาล็อกที่จะสุ่มตัวอย่างเป็นสัญญาณที่มีการเปลี่ยนแปลงอย่างช้า ๆ แล้ว ค่าสุ่มตัวอย่างที่อยู่ถัดกันจะมีค่าใกล้เคียงกันมาก ดังนั้น เราจึงสามารถพยากรณ์ค่าสุ่มตัวอย่างที่จะ

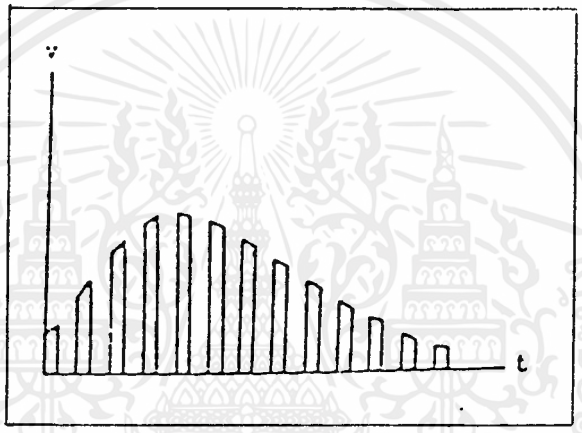
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เกิดขึ้นต่อไปที่เวลาสุ่มตัวอย่างสัญญาณข้างหน้าได้โดยไม่ผิดพลาดมากนักว่ามีค่าเท่ากับค่าสุ่มตัวอย่างในปัจจุบัน ซึ่งเมื่อนำค่าพยากรณ์ของอินพุทไปเปรียบเทียบกับค่าอินพุทจริงที่เกิดขึ้นที่เวลาสุ่มสัญญาณในเวลาถัดไปข้างหน้าแล้วก็จะได้ค่าผลต่างออกมา ในระบบ DPCM จะนำค่าผลต่างนี้ไปทำการจัดระดับ และเข้ารหัสตามขั้นตอนเหมือนกับระบบ PCM และเนื่องจากค่าผลต่างนี้จะเป็นค่าน้อย ๆ (เพราะค่าพยากรณ์จะใกล้เคียงกับค่าอินพุทจริง) ดังนั้นเมื่อนำไปจัดระดับก็จะใช้จำนวนระดับ (Quantization level) น้อยลงกว่าระบบ PCM จึงทำให้จำนวนบิทของรหัสดิจิตอลที่ใช้แทนค่าแต่ละระดับมีจำนวนน้อยลงด้วย เมื่อจำนวนบิทที่ใช้แทนค่าแต่ละ Sample น้อยลง ทำให้จำนวนบิทที่ใช้ในการเข้าระหัสในการส่งค่า Sample ต่าง ๆ ไปให้ทางด้านรับมีจำนวนน้อยลงทำให้อัตราการส่งข้อมูลของระบบนี้ต่ำกว่าอัตราการส่งข้อมูลในระบบ PCM เมื่อข้อมูลดั้งเดิมมีรายละเอียดเท่ากัน (ส่งเสร็จเร็วขึ้น) ซึ่งจัดว่าเป็นจุดที่น่าสนใจของระบบ DPCM และหลักการโดยละเอียดของระบบ DPCM จะได้กล่าวต่อไปในบทที่ 2

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 2
การมอดูเลทที่ใช้สัญญาณพัลส์

กระบวนการในการแปลงสัญญาณอนาล็อกเป็นสัญญาณดิจิตอลนั้น บางครั้งอาจกล่าวได้ว่าเป็นการมอดูเลทพัลส์ที่เป็นดิจิตอล(Digital Pulse Modulation) การใช้คำว่า "การมอดูเลทสัญญาณพัลส์" ก็เพราะว่าการปฏิบัติการขั้นแรกในการจะแปลงสัญญาณอนาล็อกไปอยู่ในรูปแบบสัญญาณดิจิตอลนั้นจะเกี่ยวข้องกับสัญญาณพัลส์ขนาดต่าง ๆ กัน โดยที่พัลส์เหล่านี้จะอยู่ห่างกันเป็นระยะที่คงที่ ขนาดของพัลส์เหล่านี้ถูกมอดูเลทโดยสัญญาณอนาล็อก ดังรูปที่ 2.1



รูปที่ 2.1 แสดงขนาดของพัลส์ที่ถูกมอดูเลทโดยสัญญาณอนาล็อก

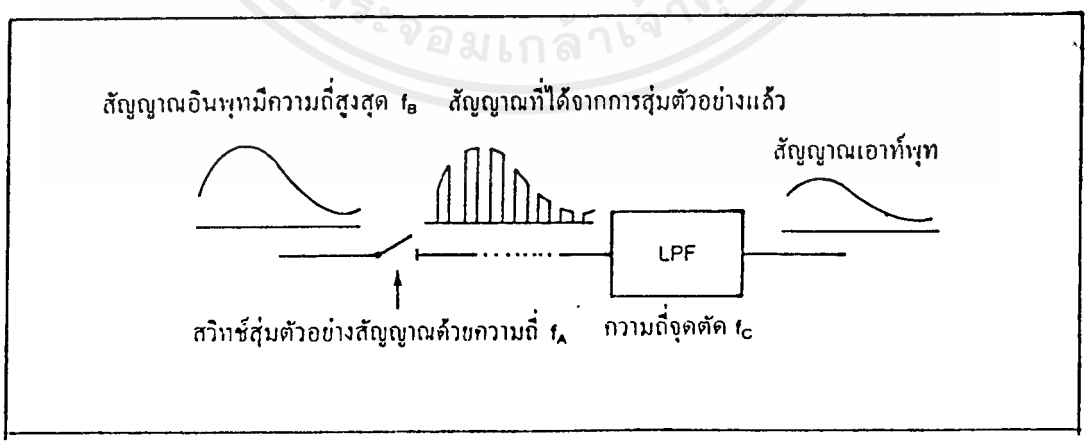
การมอดูเลทสัญญาณพัลส์ในวิธีที่รู้จักกันดี เช่น PCM (Pulse Code Modulation), DPCM (Differential Pulse Code Modulation) และ DM (delta Modulation) ก่อนที่จะกล่าวถึงรายละเอียดของแต่ละวิธีจะขอกล่าวถึงทฤษฎีการสุ่มตัวอย่างสัญญาณ ซึ่งเป็นขั้นตอนแรกในกระบวนการแปลงสัญญาณอนาล็อกดิจิตอลเสียก่อน

2.1 ทฤษฎีการสุ่มตัวอย่างสัญญาณ

ในการสื่อสารระบบดิจิตอล ถ้าแหล่งกำเนิดสัญญาณนั้นให้เอาท์พุทออกมาเป็นสัญญาณดิจิตอลอยู่แล้วเช่น เอาท์พุทจากเครื่องคอมพิวเตอร์ หรือจากโทรพิมพ์เป็นต้นนั้น เราก็สามารถใช้สัญญาณเอาท์พุทนั้นส่งผ่านระบบสื่อสารไปได้ทันทีโดยไม่มีปัญ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หาอะไร อย่างไรก็ตามในบางสถานการณ์นั้นเราเกิดความจำเป็นที่จะต้องเปลี่ยนสัญญาณอนาล็อกให้เป็นสัญญาณดิจิตอล (A/D : Analog to Digital transformation) เสียก่อน และเมื่อทำการส่งสัญญาณนั้นให้กับเครื่องรับแล้ว จึงค่อยทำการเปลี่ยนสัญญาณนั้นกลับจากสัญญาณดิจิตอลเป็นสัญญาณอนาล็อก (D/A : Digital to Analog transformation) อีกครั้งในภายหลัง ในการที่จะทำ A/D ได้นั้น ขั้นตอนที่สำคัญระหว่างกลางนั้นก็คือจะต้องเปลี่ยนสัญญาณอนาล็อกมาเป็นสัญญาณดิสครีท (discrete Signal) เสียก่อนแล้วจึงทำการเปลี่ยนสัญญาณดิสครีทนั้นไปเป็นสัญญาณดิจิตอลอีกต่อหนึ่ง ในทำนองเดียวกัน ถ้าเราต้องการจะทำ D/A เราก็ต้องเปลี่ยนสัญญาณดิจิตอลให้เป็นสัญญาณดิสครีทก่อนแล้วจึงทำการเปลี่ยนสัญญาณดิสครีทนั้นให้เป็นสัญญาณอนาล็อกในที่สุด กุญแจดอกสำคัญของเรื่องนี้อยู่ตรงเงื่อนไขที่ใช้ในการเปลี่ยนสัญญาณจากสัญญาณอนาล็อกให้กลายเป็นสัญญาณดิสครีทโดยที่สัญญาณดีสครีทที่เปลี่ยนมาแล้วนั้นสามารถที่จะเปลี่ยนกลับไปเป็นสัญญาณอนาล็อกได้ดังเดิม กุญแจดอกสำคัญที่ว่านี้คือ "ทฤษฎีการสุ่มตัวอย่างสัญญาณ" (Sampling Theorem) ใจความสำคัญของทฤษฎีนี้มีดังต่อไปนี้คือ สำหรับสัญญาณอนาล็อกที่มีสเปคตรัมอยู่ในย่านความถี่ที่จำกัดโดยมีความถี่สูงสุดคือ f_B นั้น เพียงแต่การอาศัยค่าที่ได้จากการเลือกสุ่มเอาค่าของสัญญาณนั้น ที่ขณะเวลาต่าง ๆ ที่ห่างกันทุก ๆ T วินาที มาใช้สร้างสัญญาณใหม่เท่านั้น เราก็สามารถที่จะสร้างสัญญาณใหม่ที่เหมือนกันทุกประการกับสัญญาณอนาล็อกเดิมนั้นกลับขึ้นมาใหม่ได้ เมื่อช่วงเวลา T ที่ใช้ในการสุ่มค่าสัญญาณนั้นมีค่าเท่ากับหรือน้อยกว่า $1/(2f_B)$ วินาที



รูปที่ 2.1.1 การสุ่มตัวอย่างสัญญาณ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตามใจความของทฤษฎีการสุ่มตัวอย่างสัญญาณดังกล่าวแล้ว เมื่อกล่าวอีกนัยหนึ่งเพื่อช่วยประกอบการทำความเข้าใจเพิ่มขึ้น จะกล่าวได้ว่าในการสุ่มตัวอย่างสัญญาณอนาล็อกที่มีคุณสมบัติตามเงื่อนไขตามทฤษฎีข้างต้นถ้าเราใช้ความถี่ในการสุ่มสัญญาณนั้นเท่ากับ f_s ความถี่ f_s นี้จะต้องมากกว่าหรืออย่างน้อยที่สุดก็เท่ากับ 2 เท่าของความถี่สูงสุดที่มีประกอบอยู่ในสัญญาณอนาล็อกนั้น กล่าวคือ

$$f_s >= 2f_b \qquad (2.1.1)$$

เช่นถ้าเราต้องการจะสุ่มตัวอย่างสัญญาณของสัญญาณเสียงที่ใช้ในการสื่อสารในโทรศัพท์นั้น เราควรจะใช้ความถี่ในการสุ่มตัวอย่างสัญญาณเสียงนั้นสักเท่าไหร่ คำตอบของปัญหานี้ เรามิจารณาได้ว่า เนื่องจากในการสื่อสารโทรศัพท์นั้นสเปคตรัมแบนด์วิดธ์ของเสียงที่ใช้นั้นคือ 300-3400 Hz (ปกติแล้วเสียงที่คนเราได้ยินมีสเปคตรัมที่กว้างกว่านี้ แต่สำหรับเสียงของคนนั้น ถ้าเราใช้แบนด์วิดธ์ของระบบโทรศัพท์เพียง 300-3400 Hz เท่านี้ก็พอเพียงที่จะทำให้คู่สนทนาโทรศัพท์นั้นสามารถที่จะจำเสียงและเข้าใจกันได้ ดังนั้นในระบบโทรศัพท์จึงมีการใช้แบนด์วิดธ์ของสัญญาณเสียงเพียงแค่นี้เท่านั้น ทั้งนี้เพื่อความสะดวกและประหยัดในการสร้างอุปกรณ์โทรศัพท์ต่าง ๆ) ดังนั้น ตาม (2.1.1) ความถี่ในการสุ่มตัวอย่างสัญญาณนี้ก็จะต้องมีค่าไม่ต่ำกว่า 6800 Hz

สังเกตได้ว่าสัญญาณที่เกิดขึ้นจากผลของการสุ่มตัวอย่างของสัญญาณนั้นเป็นสัญญาณดิสครีท ทั้งนี้เพราะว่า สัญญาณที่ได้จากผลของการสุ่มตัวอย่างนั้นจะเกิดมีค่าขึ้นก็เฉพาะเวลาที่เราทำการสุ่มตัวอย่างสัญญาณนั้นออกมาเท่านั้น ในการที่จะแปลงสัญญาณดิสครีทที่เกิดจากการสุ่มตัวอย่างของสัญญาณให้กลับเป็นสัญญาณอนาล็อกเหมือนอย่างเดิมนั้นทำได้ง่าย โดยเพียงแต่เราทำการส่งสัญญาณดิสครีทดังกล่าวนั้นผ่านวงจร LPF เท่านั้น และมีเงื่อนไขว่า LPF นั้นจะต้องมีความถี่จุดตัด (cutoff frequency) f_c ไม่ต่ำกว่าความถี่ f_b แต่ว่าจะต้องไม่สูงเกินกว่าความถี่ (f_s-f_b) กล่าวคือ

$$f_b < f_c < f_s - f_b \qquad (2.1.2)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

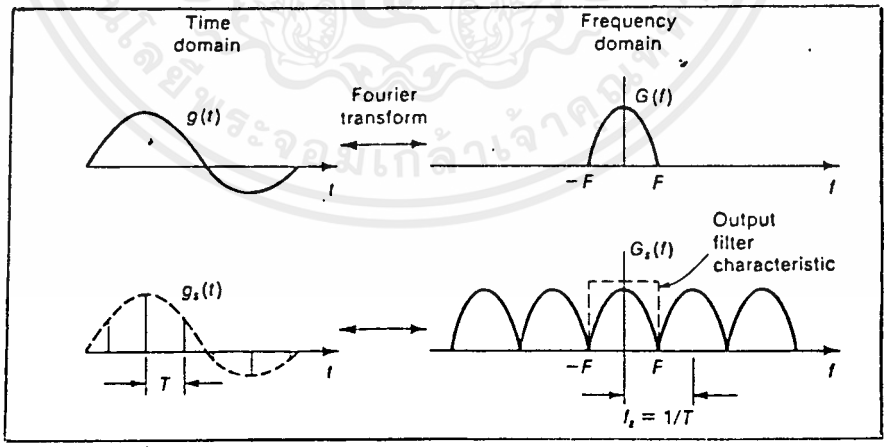
แล้วเราก็จะได้สัญญาณอนาล็อกที่มีลักษณะเหมือนกับสัญญาณอนาล็อกเดิมกลับคืนมา

จากเงื่อนไข (2.1.2) เราขอย้อนกลับไปพิจารณาเรื่องการสุ่มตัวอย่างสัญญาณเสียงที่ใช้ในการสื่อสารทางโทรศัพท์ ซึ่งกล่าวค้างไว้ว่า จะต้องใช้ความถี่ในการสุ่มตัวอย่างสัญญาณไม่ต่ำกว่า 6800 Hz อีกสักเล็กน้อยว่าในทางปฏิบัติถ้าเราใช้ความถี่ f_s = 6800 Hz พอดี LPF ก็ต้องมีคุณสมบัติในการตัดแยกความถี่ของสัญญาณที่คมมาก ๆ (พิจารณาจากเงื่อนไข (2.1.2)) ซึ่งในทางปฏิบัติแล้วทำไม่ได้ ดังนั้น เพื่อที่จะให้การสร้าง LPF ทำได้โดยง่าย เราจึงต้องใช้ f_s ที่มีค่ามากกว่า 6800 Hz อย่างไรก็ดี ถ้าเราใช้ f_s ที่มีค่ามากเกินไป เราก็จะต้องทำการสุ่มตัวอย่างสัญญาณออกมาเป็นจำนวนมาก ซึ่งอาจจะมากเกินความจำเป็น ดังนั้นในทางปฏิบัติจึงเลือกใช้ค่า f_s ที่สูงกว่า 6800 Hz แต่ไม่สูงมากจนเกินไป ซึ่งโดยทั่วไปแล้วจะเลือกใช้ค่า f_s เท่ากับ 8kHz

ด้วยเหตุที่การสุ่มตัวอย่างสัญญาณเสียงในระบบโทรศัพท์นิยมใช้ความถี่ f_s = 8kHz ดังนั้น จึงมีคำกล่าวอย่างง่าย ๆ ว่าแบนด์วิดธ์ของช่องสัญญาณเสียงในระบบโทรศัพท์นั้นเท่ากับ 4kHz ซึ่งเป็นค่าโดยประมาณด้วยเหตุผลดังกล่าว

<u>การผิดพลาดอันเนื่องมาจากอัตราการสุ่มตัวอย่างไม่สูงพอ</u>

ในกรณีที่อัตราการสุ่มตัวอย่าง f_s มีค่าเท่ากับ $2f_b$ พอดี จะเขียน frequency spectrum ของสัญญาณได้ดังนี้

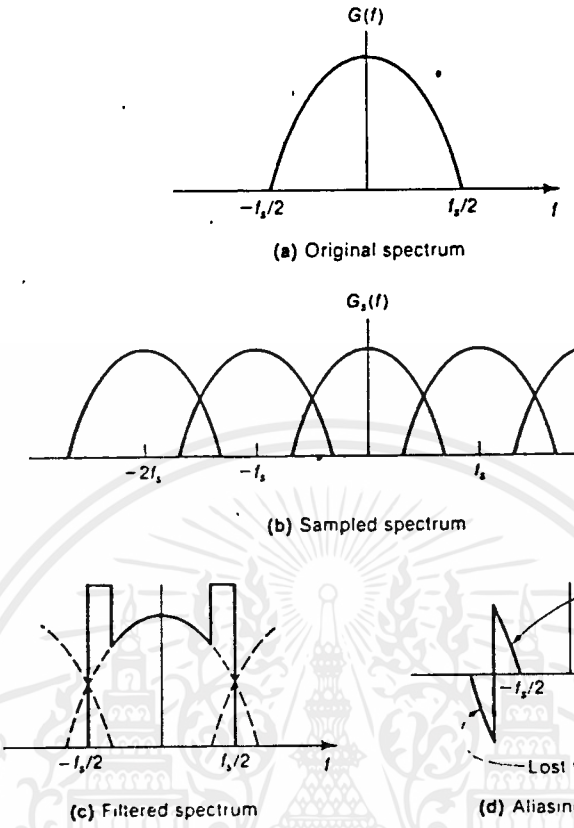


รูปที่ 2.2.2 แสดงทฤษฎีการสุ่มตัวอย่างสัญญาณ

แต่ถ้าอัตราการสุ่มตัวอย่าง f_s มีค่าน้อยกว่า f_b จะเกิดการซ้อนทับกันของสเปคตรัมของสัญญาณที่เรียกว่า aliasing distortion ทำให้เกิดการผิดพลาดเมื่อนำเอาสัญญาณดิสครีทผ่าน LPF เพื่อทำเป็นสัญญาณอนาล็อกตามเดิม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 2.2.3 แสดงการเกิด alaising distortion



รูปที่ 2.2.3 การเกิด alaising distortion

2.2 การมอดูเลชันระบบรหัสพัลส์ (Pulse Code Modulation : PCM)

เมื่อพิจารณาจากใจความของทฤษฎีการสุ่มตัวอย่างสัญญาณในหัวข้อ 2.1 ทำให้รู้ว่าในการส่งสัญญาณอนาล็อกที่มีแบนด์วิดธ์จำกัดนั้น เราอาจไม่จำเป็นที่จะต้องส่งสัญญาณอนาล็อกนั้นทั้งหมดผ่านช่องสัญญาณที่ใช้ในการสื่อสารนั้นไปโดยต่อเนื่องกันตลอดเวลาก็ได้ ทั้งนี้เพราะเราอาจทำการสุ่มตัวอย่างของสัญญาณอนาล็อกนั้น โดยเว้นช่วงเวลาของการสุ่มตัวอย่างสัญญาณให้เหมาะสม แล้วจึงส่งสัญญาณที่ได้จากการสุ่มนั้น ซึ่งเป็นสัญญาณดิสครีตไปแทนสัญญาณอนาล็อกนั้นได้

อย่างไรก็ดี ไม่ว่าจะเป็นการส่งสัญญาณอนาล็อก หรือเป็นการส่งสัญญาณดิสครีตที่เกิดขึ้นจากการสุ่มตัวอย่างของสัญญาณอนาล็อกนั้นก็ตาม เมื่อสัญญาณนั้นผ่านช่องสัญญาณ ซึ่งปกติมักจะมีสัญญาณรบกวนเกิดอยู่ตามธรรมชาติ สัญญาณทั้งสองแบบนี้ก็จะถูกรบกวน โดยสัญญาณรบกวนนั้นได้ง่ายพอ ๆ กัน ดังนั้น เพื่อเพิ่มภูมิคุ้มกันต่อสัญญาณรบกวนให้กับข้อมูลในสัญญาณนั้นมากยิ่งขึ้น เราอาจทำได้โดยการนำเอาค่า

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

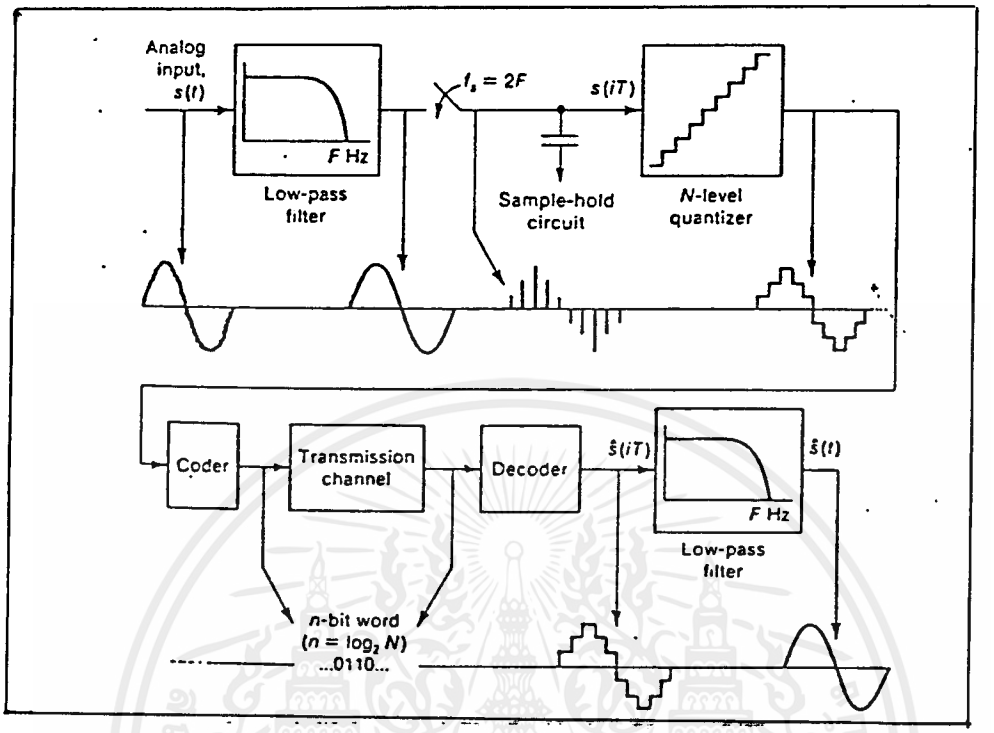
ของสัญญาณที่สุ่มเอามาได้จากที่เวลาต่าง ๆ นั้นมากำหนดรหัสที่เป็นดิจิตอลให้กับมัน แล้วจึงทำการจัดส่งสัญญาณที่เป็นไปตามรหัสเหล่านั้นไปในลักษณะของพัลส์ แทนการที่จะส่งสัญญาณที่สุ่มออกมาได้นั้นไปโดยตรง เมื่อกระทำเช่นนี้แล้ว จะเห็นได้ว่าเพราะสัญญาณที่ส่งออกไปนั้นเป็นสัญญาณดิจิตอล ดังนั้นมันจึงมีภูมิคุ้มกันต่อสัญญาณรบกวนเพิ่มขึ้นอย่างมาก ด้วยวิธีการกระทำดังกล่าวนี้จึงเหมือนกับว่าเราได้ทำการฝากข้อมูลของสัญญาณนั้นไปกับคลื่นพาห์ที่เป็นรหัสพัลส์ ดังนั้นวิธีการดังกล่าวนี้จึงมีชื่อเรียกว่า "การมอดูเลชันระบบรหัสพัลส์"

อย่างไรก็ตาม เนื่องจากค่าของสัญญาณที่สุ่มออกมาได้นั้นสามารถมีค่าต่างๆ ได้เป็นจำนวนมากมายจนนับไม่ถ้วน ในทางปฏิบัติเราจึงไม่สามารถที่จะกำหนดหารหัสให้กับค่าต่าง ๆ เหล่านั้นได้ครบหมดทุกค่า ดังนั้นจึงจำเป็นที่จะต้องมีการประมาณแบ่งค่าของตัวอย่างสัญญาณที่สุ่มออกมาได้นั้นไว้เป็นกลุ่ม ๆ โดยจัดให้ค่าของตัวอย่างสัญญาณที่มีค่าใกล้เคียงกันนั้นอยู่ในกลุ่มเดียวกัน และกำหนดให้รหัสของตัวอย่างสัญญาณต่าง ๆ ที่อยู่ในกลุ่มเดียวกันมีรหัสที่เหมือนกัน โดยการกระทำดังนี้ เราก็สามารถที่จะจัดรหัสให้กับกลุ่มสัญญาณต่าง ๆ ได้ครบหมดทุกกลุ่ม การที่จะแบ่งสัญญาณทั้งหมดออกเป็นกี่กลุ่มนั้นขึ้นอยู่กับความเหมาะสมว่า เราจะยินยอมให้เกิดความผิดพลาดของค่าตัวอย่างสัญญาณที่สุ่มออกมานั้น มาก-น้อยเท่าไร ยกตัวอย่างเช่น ถ้าเรามีสัญญาณอนาล็อกที่มีค่าเปลี่ยนแปลงอยู่ระหว่าง 0 ถึง 5 โวลต์ และเราต้องการจะกำหนดรหัสให้แก่ค่าของตัวอย่างสัญญาณที่สุ่มออกมาได้ โดยยินยอมที่จะให้เกิดค่าผิดพลาดกับค่าของตัวอย่างสัญญาณที่สุ่มออกมาได้อยู่ไม่เกิน 0.5 โวลต์แล้ว เราก็อาจทำการแบ่งกลุ่มของค่าตัวอย่างสัญญาณที่ได้ออกเป็น 5 กลุ่ม คือ กลุ่มที่ 1 มีค่าของสัญญาณอยู่ระหว่าง 0 ถึง 1 โวลต์ กลุ่มที่ 2 มีค่าของสัญญาณอยู่ระหว่าง 1 ถึง 2 โวลต์ ดังนี้เรื่อยไปจนถึงกลุ่มที่ 5 ซึ่งมีค่าของสัญญาณอยู่ระหว่าง 4 ถึง 5 โวลต์ เพราะฉะนั้นเมื่อทำการแบ่งกลุ่มดังนี้แล้ว เราก็จะถือว่ารหัสสำหรับสัญญาณกลุ่มต่างๆ นั้น เมื่อใช้แปลความหมายแล้วจะมีค่าเทียบเท่ากับตัวอย่างของสัญญาณที่มีค่าเท่ากับ 0.5, 1.5, 2.5, 3.5 และ 4.5 ตามลำดับ โดยการกระทำดังนี้แล้วจะเห็นว่าเราสามารถที่จะกำหนดรหัสให้กับค่าตัวอย่างสัญญาณที่สุ่มออกมาได้นั้น โดยมีความผิดพลาดของการประมาณค่าต่าง ๆ เหล่านั้นอยู่ไม่เกิน 0.5 โวลต์ตามต้องการ

การประมาณหรือแยกกลุ่มของค่าตัวอย่างสัญญาณที่สุ่มออกมาได้ เพื่อที่จะนำไปเข้ารหัสต่อไปดังกล่าวแล้วนี้ มีชื่อเรียกเป็นศัพท์เฉพาะว่า "การควอนไตเซชัน" (quantization)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

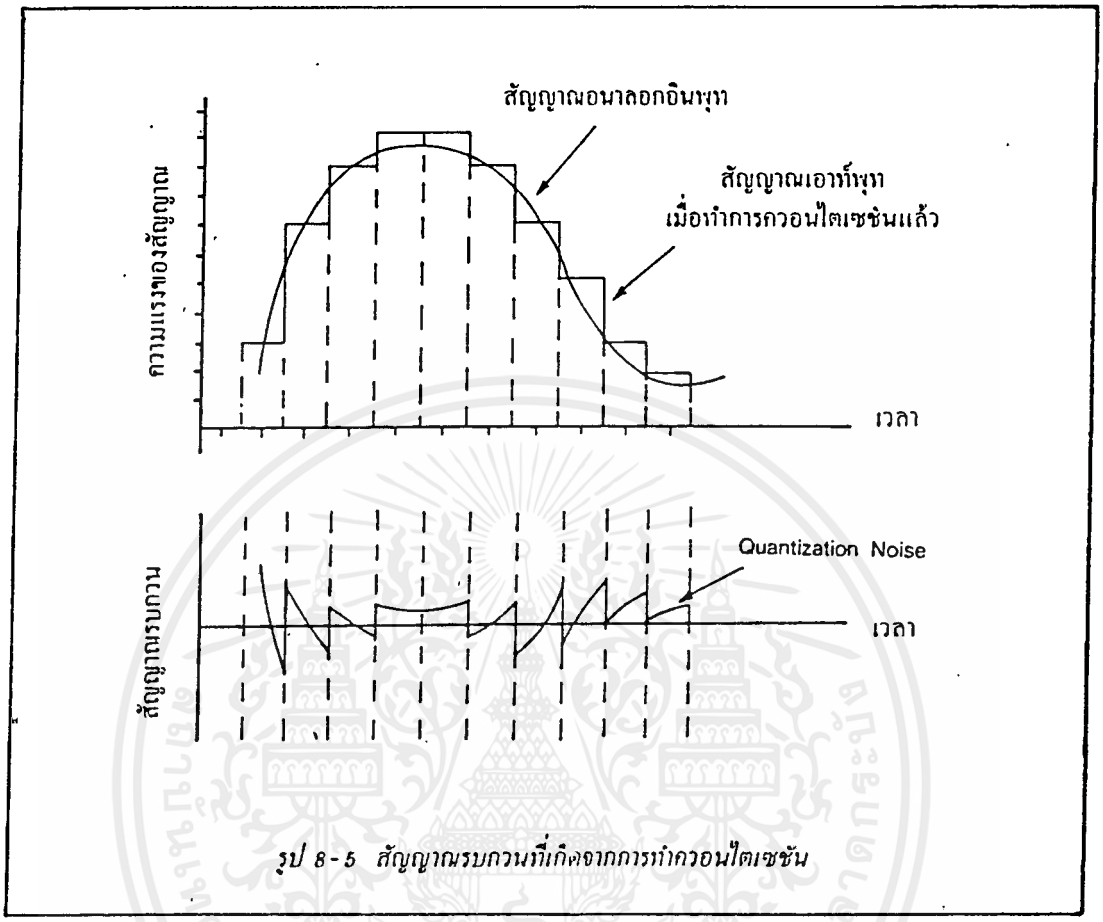
จากสาระต่างๆ ที่กล่าวมาแล้วทั้งหมดนี้ ทำให้เราเขียนบล็อกไดอะแกรมพื้นฐานสำหรับระบบการสร้างสัญญาณ PCM ได้ดังแสดงในรูป (2.2.1)



รูปที่ 2.2.1 บล๊อกไดอะแกรมพื้นฐานของระบบ PCM

ค่าความคลาดเคลื่อนที่เกิดขึ้นจากการนำควอนไตเซชันให้กับสัญญาณในกลุ่มต่าง ๆ กล่าวคือ ค่าผลต่างของค่าเฉลี่ยของค่าสัญญาณในแต่ละกลุ่มกับค่าสัญญาณจริงนั้น อาจคิดแปลความอีกนัยหนึ่งได้ว่า คือ ค่าสัญญาณรบกวนที่เกิดจากการทำควอนไตเซชัน (quantization noise) ทั้งนี้เพราะเราอาจคิดได้ว่าเมื่อสัญญาณผ่านเข้าไปในวงจรควอนไตเซชันแล้วเสมือนกับมีสัญญาณรบกวนที่มีค่าเท่ากับความคลาดเคลื่อนจากการทำควอนไตเซชันนั้นเกิดขึ้นมารบกวนสัญญาณนั้น จึงทำให้สัญญาณผลลัพธ์ (สัญญาณจริง + สัญญาณรบกวน) ที่ปรากฏออกมาเป็นสัญญาณเอาท์พุทนั้นมีค่าเท่ากับสัญญาณอินพุทนั้นเมื่อถูกทำการควอนไตเซชันแล้ว (ดูรูป 2.2.2 ประกอบ)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้
032599



รูป 8-5 สัญญาณรบกวนที่เกิดจากการทำควอนไตเซชัน

รูปที่ 2.2.2 สัญญาณรบกวนที่เกิดจากการทำควอนไตเซชัน

สำหรับสัญญาณเสียงคนนั้น ในทางปฏิบัติที่ใช้กันอยู่ เมื่อแบ่งกลุ่มของค่าตัวอย่างสัญญาณที่สุ่มออกมาได้ทั้งหมดเป็น 128 กลุ่มแล้ว จะไม่เกิดความผิดพลาดของการประมาณสัญญาณนั้นมากนัก สัญญาณที่สร้างกลับมาใหม่นั้นจะไม่มีปัญหาเกี่ยวกับคุณภาพเสียงในการรับฟัง ดังนั้นสำหรับกรณีนี้เราก็จะต้องใช้รหัสทั้งหมดเป็นจำนวน 128 ตัว หรือกล่าวอีกนัยหนึ่งได้ว่า รหัสที่จะนำมาใช้นั้นจะต้องมีสถานะที่เป็นไปได้ทั้งหมดเป็นจำนวน 128 สถานะ เพราะฉะนั้น จะพบว่ามีปริมาณข้อมูลอยู่ในรหัสชุดมีอยู่เท่ากับ $\log_2 (128) = 7$ บิท ทำให้เราทราบว่า เราจะต้องใช้รหัสดิจิตอลที่มีความยาวของรหัสอยู่อย่างน้อย 7 บิท จึงสามารถที่จะกำหนดใช้เป็นรหัสประจำให้กับสัญญาณกลุ่มต่าง ๆ ทั้งหมดได้เพียงพอ

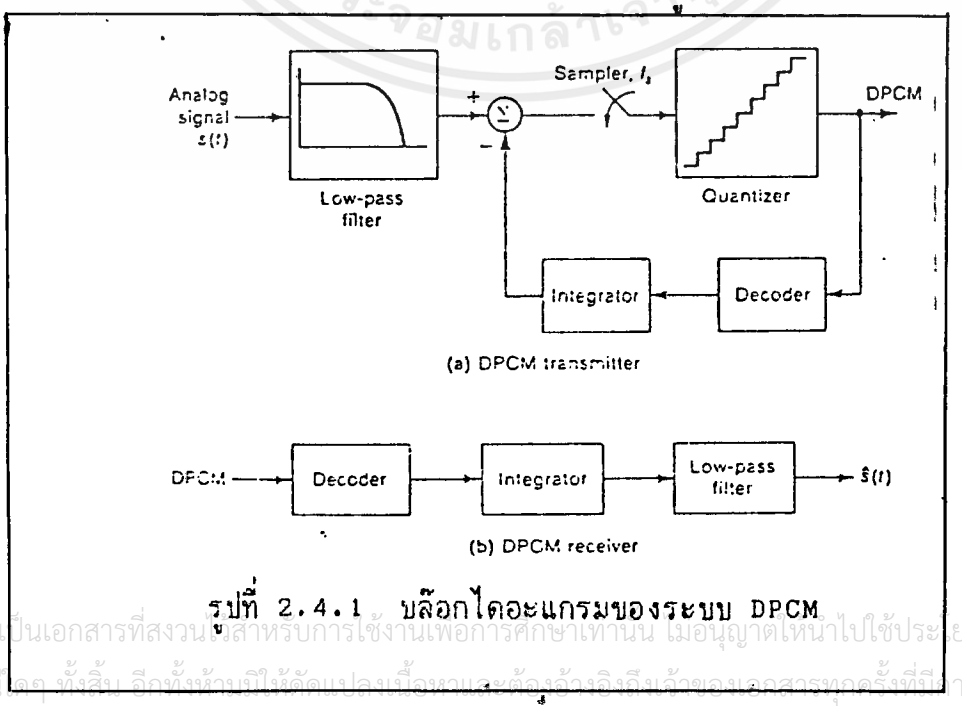
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.3 การลดอัตราการส่งสัญญาณข้อมูลและการลดความยุ่งยากของระบบ

ตามหลักการของระบบ PCM ดังได้กล่าวไปแล้วข้างต้น ถ้าสัญญาณ PCM ที่ทำการเข้ารหัสด้วยสัญญาณไบนารี 8 บิท นั้นจะต้องการอัตราการส่งสัญญาณดิจิตอลเป็น 16 เท่าของความถี่สูงสุดในเบสแบนด์เป็นอย่างน้อย อย่างไรก็ตามสัญญาณดิสครีทที่ได้จากการสุ่มตัวอย่างนั้น ค่าสุ่มตัวอย่างตัวที่อยู่ติดกันมักจะมีความสัมพันธ์กัน เช่น มีขนาดใกล้เคียงกัน เป็นต้น ลักษณะนี้จัดเป็นลักษณะที่มีความซ้ำซ้อนกัน (redundancy) ของข่าวสาร ดังนั้นถ้าเราสามารถลดความซ้ำซ้อนกันนี้ลงได้ก็มีโอกาสที่จะทำการเข้ารหัสด้วยจำนวนบิตที่น้อยลง ซึ่งก็หมายถึงจะสามารถลดอัตราการส่งสัญญาณดิจิตอลลงไปได้ การลดอัตราการส่งสัญญาณดิจิตอลลงไปได้นี้ก็เท่ากับเป็นการลดค่าใช้จ่ายลงไปได้ โดยเฉพาะถ้าจะทำการเก็บสัญญาณเสียงลงในหน่วยความจำของคอมพิวเตอร์ด้วยแล้วก็จะยิ่งมีประโยชน์มากขึ้น เพราะไม่เช่นนั้นแล้วเราจะต้องใช้หน่วยความจำถึง 64 กิโลบิต หรือ 8 กิโลไบต์ ในการเก็บสัญญาณเสียงเพียง 1 วินาที ซึ่งจัดว่าเป็นการลงทุนที่สูงมาก ดังนั้นในหัวข้อต่อไปนี้จึงขอกล่าวถึงวิธีมอดูเลตแบบที่พยายามจะลดจำนวนบิทที่ต้องใช้ในการส่งต่อหนึ่งวินาทีและแบบที่ลดความยุ่งยากของชุดเข้ารหัสและถอดรหัส

2.4 DPCM (Differential Pulse Code Modulation)

DPCM นั้นเป็นระบบที่ดัดแปลงจากระบบ PCM โดยอาศัยลดความซ้ำซ้อนของสัญญาณเสียงในสัญญาณสุ่มตัวอย่างดังที่กล่าวมาข้างต้น วิธีการที่ใช้ในการทำ DPCM นั้นจะเป็นไปตามบล็อกไดอะแกรมที่แสดงไว้ในรูปที่ 2.4.1



รูปที่ 2.4.1 บล็อกไดอะแกรมของระบบ DPCM

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

คือ แทนที่จะทำการสุ่มตัวอย่างจากสัญญาณอนาล็อกโดยตรงก็จะทำการสุ่มตัวอย่างจากผลต่างของสัญญาณอนาล็อก ในขณะนั้นกับสัญญาณอนาล็อกก่อนหน้านั้น ซึ่งก็จะทำให้ขนาดของสัญญาณที่สุ่มตัวอย่างออกมามีขนาดเล็กลง ซึ่งก็หมายถึงจะมีโอกาสเข้ารหัสด้วยจำนวนบิทที่ลดลงได้ เพื่อให้เห็นภาพได้ชัดเจนจะขอยกตัวอย่างกรณีของสัญญาณรูปซายน์ที่มีความถี่ 800 Hz ซึ่งเป็นสัญญาณที่บางครั้งใช้เป็น "เสียงทดลอง" ในระบบโทรศัพท์ สมมติให้ในช่วงไดนามิกที่สนใจอยู่สามารถเข้ารหัสได้ด้วยระบบ PCM แบบเชิงเส้นได้ตลอดย่าน เมื่อนำสัญญาณนี้มาเข้ารหัสแบบ DPCM โดยให้มีขั้นของการควอนไตซ์ คือ q เท่ากับของการเข้ารหัสแบบ PCM เราจะสามารถคำนวณจำนวนบิทที่จำเป็นต้องใช้ในการเข้ารหัสสัญญาณสุ่มตัวอย่างแต่ละสัญญาณ โดยพิจารณาดังต่อไปนี้ เนื่องจากในระบบ DPCM นั้นจะนำเอาค่าแตกต่างระหว่างสัญญาณที่เพิ่งเข้ามากับสัญญาณก่อนหน้านั้นเล็กน้อยมาแปลงเป็นสัญญาณดิจิตอล ดังนั้น ค่าสูงสุดที่จะต้องทำการแปลงเป็นสัญญาณดิจิตอลจะหาได้จากค่าสูงสุดของอนุพันธ์ของสัญญาณอนาล็อกนั้น ถ้าให้ $x(t)$ เป็นสัญญาณรูปซายน์ความถี่ 800 Hz $x(t)$ จะเขียนได้เป็น

$$x(t) = A\sin(2\pi.800t) \qquad (2.1.3)$$

ค่าอนุพันธ์ของ $x(t)$ จะเขียนได้เป็น

$$\frac{dx(t)}{dt} = A.2\pi.800\cos(2\pi.800t)$$

และเนื่องจากเราทำการสุ่มตัวอย่างด้วยช่วงห่างของเวลา $\Delta t = 1/8000$ s ดังนั้นค่าสูงสุดของการเปลี่ยนแปลงของ $x(t)$ ในช่วงเวลาดังกล่าวคือ $\left|\Delta x(t)\right|_{max}$ จะหาได้โดยให้ $\cos(2\pi.800t) = 1$ ซึ่งผลที่ได้จะเป็นดังนี้

$$\left|\Delta x(t)\right|_{max} = A.2\pi.800.\frac{1}{8000} = 0.628\ A.$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ผลที่ได้นี้แสดงให้เห็นว่า ค่าสุ่มตัวอย่างสูงสุดที่พบในกรณีของ DPCM จะเป็น 0.628 เท่าของกรณี PCM ดังนั้นเราจะสามารถคำนวณจำนวนบิทต่อสัญญาณสุ่มตัวอย่าง 1 สัญญาณที่ลดลงได้โดยใช้สมการ

$$N = \log_2 M$$

$$M = \frac{2A_{max}}{q}$$

เมื่อ M : เป็นจำนวนขั้นทั้งหมดในการควอนไตซ์

q : เป็นขั้นของการควอนไตซ์

N : เป็นจำนวนบิทที่ต้องใช้แทนรหัสดิจิตอล

A_{max} : เป็นระดับสัญญาณสูงสุด

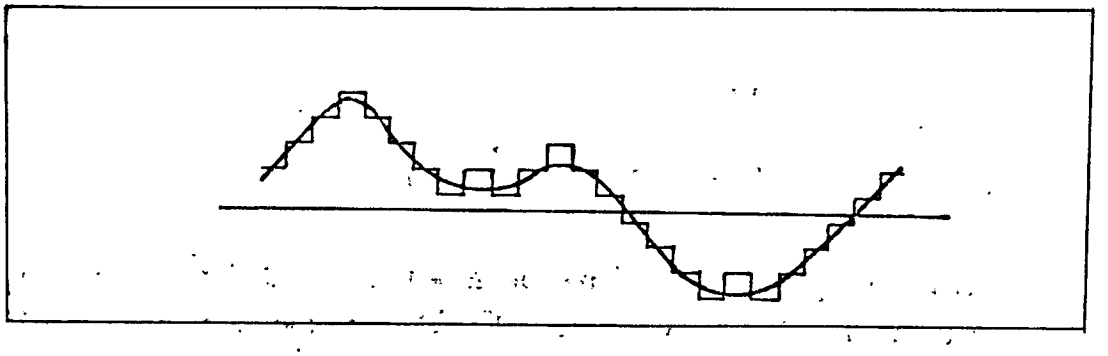
จะได้ว่า $\Delta N = \log_2 \left| \frac{2A/q}{2 \times 0.628\ A/q} \right| = 0.67$ บิท

นั่นคือเราสามารถประหยัด 0.67 บิทต่อสัญญาณสุ่มตัวอย่าง 1 สัญญาณ โดยที่มีค่า SQR (signal to quantizating noise ratio) เท่ากับของกรณี PCM เพราะขั้นของการควอนไตซ์เท่ากัน ในทางปฏิบัตินั้นเนื่องจากสัญญาณเสียงของคนเรามีสเปคตรัมที่บริเวณต่ำกว่า 800 Hz เป็นส่วนใหญ่ ซึ่งหมายถึง $\left|\Delta x(t)\right|_{max}$ จะมีค่าลดลงกว่าของกรณีความถี่ 800 Hz เพราะฉะนั้น จำนวนบิทที่จะประหยัดได้ก็จะสูงขึ้น โดยทั่วไปเราจะสามารถประหยัดได้ 1 บิท ต่อสัญญาณสุ่มตัวอย่าง 1 สัญญาณ

2.5 DM (Delta Modulation)

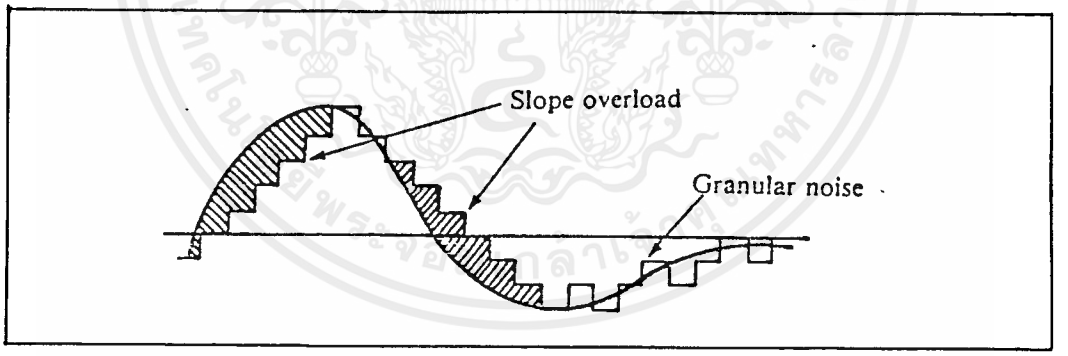
เดลตามอดูเลชันหรือ DM เป็นวิธีมอดูเลทสัญญาณอนาล็อก โดยแปลงให้อยู่ในรูปของสัญญาณดิจิตอลเช่นเดียวกัน DM ก็อาศัยลักษณะที่สัญญาณอนาล็อกที่ถูกสุ่มตัวอย่างมีข่าวสารที่ซ้ำซ้อนกันอยู่เช่นเดียวกับ DPCM แต่วิธีการของ DM นั้นจะค่อนข้างสุดโต่งเมื่อเทียบกับ DPCM กล่าวคือ DM นั้นจะใช้สัญญาณไบนารีเพียง 1 บิท ในการระบุการเปลี่ยนแปลงระดับของสัญญาณสุ่มตัวอย่าง รูปที่ 2.4.1 แสดงลักษณะของการติดตามสัญญาณในระบบ DM นี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.4.1 การเข้ารหัสสัญญาณในระบบ DM

ในรูปแสดงกรณีที่ขั้นของการควอนไตซ์สอดคล้องกับการเปลี่ยนแปลงของสัญญาณมาก ในกรณีที่การเปลี่ยนแปลงของสัญญาณมีความชันสูงกว่าขั้นของการควอนไตซ์ก็จะเกิดสภาพที่การเข้ารหัสไม่สามารถติดตามการเปลี่ยนแปลงของระดับบสัญญาณได้ ซึ่งเรียกสภาพดังกล่าวว่า เกิดการโอเวอร์โหลดทางความชัน (slope overload) รูปที่ 2.4.2 แสดงสภาพดังกล่าวนี้

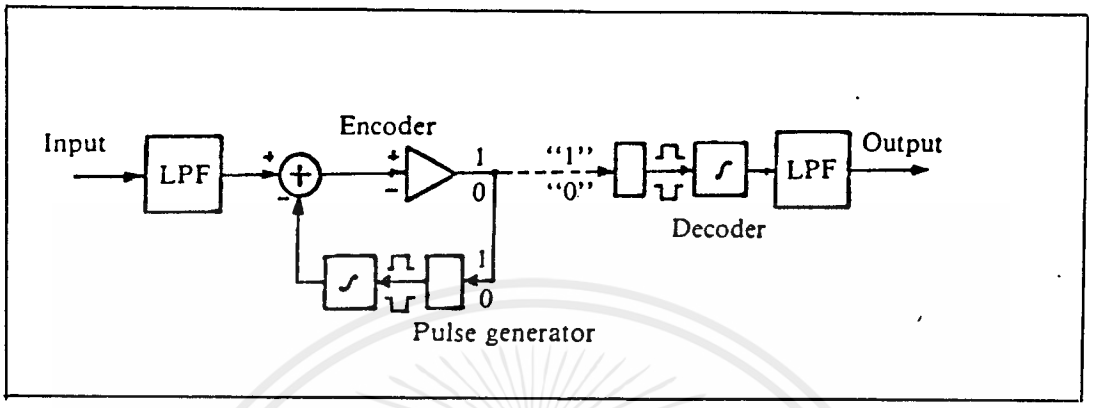


รูปที่ 2.4.2 การเกิดโอเวอร์โหลดทางความชันในระบบ DM

บล๊อกไดอะแกรมของชุดเข้ารหัสและชุดถอดรหัสของระบบ DM แสดงดังรูปที่ 2.4.3 ซึ่งจะเห็นได้ว่าเป็นระบบที่ค่อนข้างง่าย การทำงานก็จะเป็นดังนี้คือ สัญญาณที่เข้ามาจะถูกเปรียบเทียบกับสัญญาณที่เข้ามาก่อนหน้าหนึ่งตัวอย่าง ถ้าสัญญาณที่เข้ามาใหม่สูงกว่าสัญญาณก่อนหน้านั้นสัญญาณขาออกจากชุดเข้ารหัสก็จะเป็น "1" ถ้าสัญญาณที่เข้ามาต่ำกว่าเดิม สัญญาณขาออกจากชุดเข้ารหัสก็จะเป็น "0" สำหรับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ชุดถอดรหัสทางภาครับก็นำสัญญาณดิจิตอลที่รับเข้ามาได้ไปให้กำเนิดสัญญาณพัลส์ที่เป็นบวกหรือเป็นลบตามรหัสที่รับเข้ามา เสร็จแล้วก็อินทิเกรตสัญญาณพัลส์นั้นไปเรื่อย ๆ และเมื่อผ่านวงจรพิลเตอร์ผ่านความถี่ต่ำแล้ว สัญญาณที่อยู่ในรูปขั้นบันไดก็จะราบเรียบขึ้นและเข้าใกล้สัญญาณอนาล็อกเดิม



รูปที่ 2.4.3 บล็อกไดอะแกรมของการเข้ารหัสและถอดรหัสในระบบ DM

2.6 การเปรียบเทียบคุณสมบัติของการเข้ารหัสระบบต่าง ๆ

จากที่กล่าวมาข้างต้นทั้งหมดจะเห็นได้ว่าสัญญาณอนาล็อกสามารถถูกแปลงรูปให้เป็นสัญญาณดิจิตอลเพื่อทำการส่งในรูปสัญญาณดิจิตอลได้ และเนื่องจากสัญญาณเสียงพูดของคนเป็นสัญญาณอนาล็อกที่มีความสำคัญสูงที่สุด จึงได้เน้นในเรื่องนี้มากที่สุด ในการเปรียบเทียบคุณสมบัติของการเข้ารหัสแบบต่าง ๆ โดยพิจารณาสัญญาณเสียงพูดเป็นหลักนั้น หลักเกณฑ์ในการพิจารณาจะมีหลายประการด้วยกันหลักเกณฑ์หลัก ๆ ก็คือ คุณภาพของเสียงที่สร้างกลับคืนมาได้ กับอัตราการส่งข้อมูลที่ต้องการ คุณภาพของเสียงนั้นเราอาจแบ่งเป็น 3 ระดับด้วยกันคือ ระดับดีมาก, ระดับดี และระดับพอใช้ ระดับดีมากคือระดับที่กำหนดเป็นมาตรฐานในระบบสื่อสารโทรศัพท์ที่จะต้องส่งผ่านชุมสายระดับสูงออกไปไกล ๆ ระดับดีนั้นเป็นระดับที่ส่งระยะใกล้และมีเสียงชัดเจน สำหรับระดับพอใช้นั้นเป็นระดับที่รับฟังได้เข้าใจ แต่ความชัดเจนและเป็นธรรมชาตินั้นจะด้อยลงไป เมื่อพิจารณาตามหลักเกณฑ์ดังกล่าวนี้จะพบว่าคุณสมบัติของการเข้ารหัสแต่ละประเภทจะเป็นดังนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

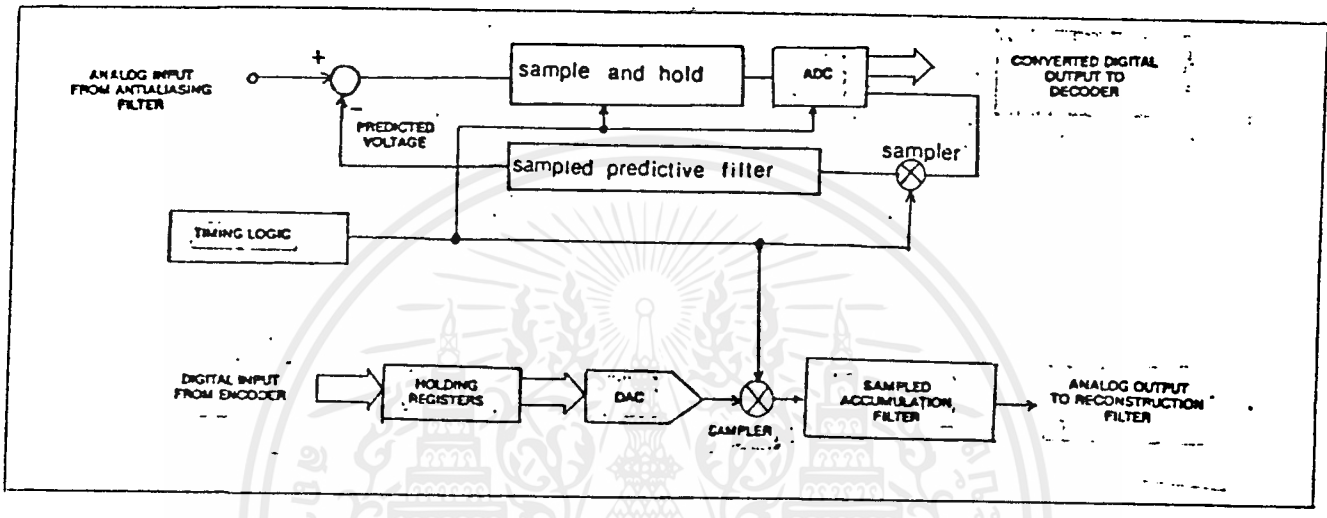
ระบบเข้ารหัส	คุณภาพเสียง	อัตราการสุ่มตัวอย่าง (kHz)	จำนวนบิทต่อค่าสุ่มตัวอย่าง	อัตราการส่งข้อมูล kb/s
PCM	ดีมาก	8	7-8	56-64
DPCM	ดี-ดีมาก	8	4-6	32-48
DM	ดี-ดีมาก	64-128	1	64-128

DM ต้องมีอัตราการสุ่มตัวอย่างที่ค่อนข้างสูงเพราะต้องการลดการโอเวอร์โหลดทางด้านความชัน แต่ก็ต้องระวังเพราะการเพิ่มค่าอัตราการสุ่มตัวอย่างจะทำให้อัตราการส่งข้อมูลสูงขึ้น ดังจะเห็นได้ว่าอัตราการส่งข้อมูลของระบบ DM จะสูงกว่าระบบอื่น ๆ และจากตารางแสดงการเปรียบเทียบคุณสมบัติของการเข้ารหัสแบบต่าง ๆ ระบบ DPCM จัดเป็นระบบที่อยู่ในระดับกลางคือมีคุณภาพเสียงดีถึงดีมากพอ ๆ กับ PCM โดยที่ใช้อัตราการสุ่มตัวอย่างเท่ากันกับ PCM แต่ใช้อัตราการส่งข้อมูลที่ต่ำกว่า PCM และ DM มาก ซึ่งนับว่าเป็นข้อที่น่าสนใจของระบบ DPCM ที่ได้นำมาศึกษาและทดลองประกอบวงจร

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 3
ทฤษฎีและหลักการพื้นฐานของวงจร

จากหลักการพื้นฐานของระบบ DPCM ดังที่กล่าวมาข้างต้น นำมาเขียนบล๊อกไดอะแกรมได้ดังนี้



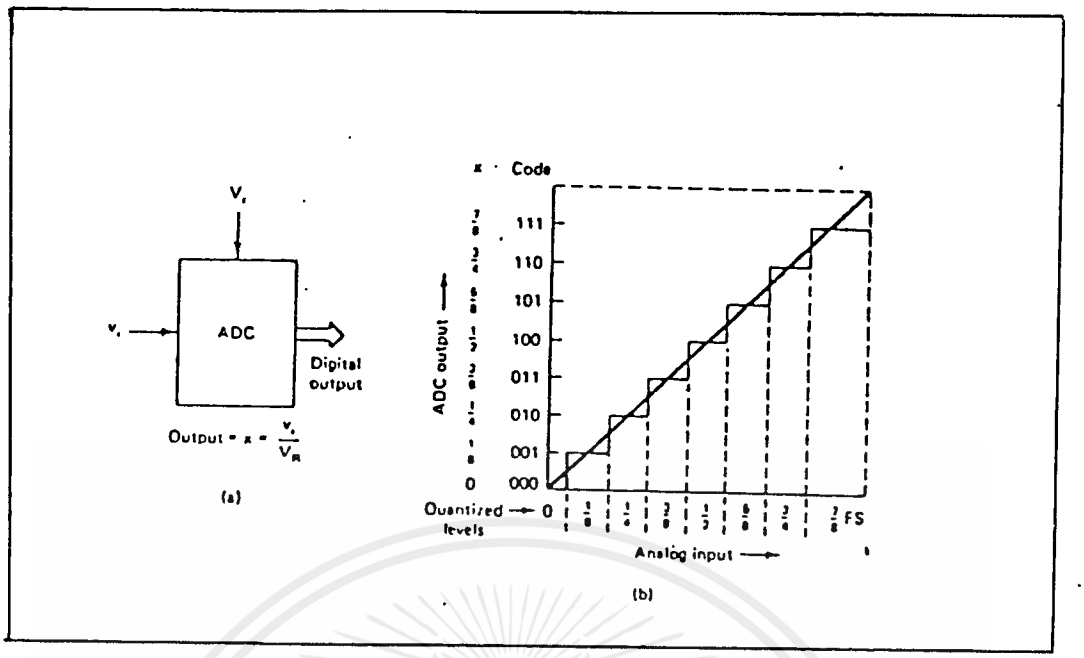
รูปที่ 3.1 บล๊อกไดอะแกรมของการเข้ารหัส และการถอดรหัส

3.1 วงจรแปลงสัญญาณอนาล็อกเป็นสัญญาณดิจิตอล (ADC)

หลักการเบื้องต้น

การแปลงสัญญาณอนาล็อกเป็นสัญญาณดิจิตอล (Analog to digital converter) เป็นการเทียบอัตราส่วน โดยสัญญาณอนาล็อกอินพุท (Vi) จะถูกแปลงเป็นศักดาไฟฟ้าคงที่ค่าหนึ่ง (x) ซึ่งเกิดจากการเปรียบเทียบสัญญาณอินพุทกับสัญญาณอ้างอิง (reference signal) แล้วจึงนำเอาสัญญาณดิจิตอลมาเข้ารหัสศักดาไฟฟ้า (x) นี้ รูป 3.1.1 แสดงถึงหลักการนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.1.1 ตัวแปลงสัญญาณอนาล็อกเป็นสัญญาณดิจิตอล
(a) หลักการพื้นฐาน (b) คุณสมบัติสำหรับตัวแปลงขนาด 3 บิท

ถ้าเอาท์พุทของตัวแปลงสัญญาณประกอบด้วยรหัสทั้งหมด n บิท จะได้ระดับศักดาไฟฟ้าที่แตกต่างกันทั้งหมด 2^n ระดับ ในการแปลงสัญญาณจะมีช่วงสัญญาณอินพุทที่ถูกควอนไตซ์ แล้วได้ค่าศักดาไฟฟ้าเป็นค่าเดียวกันและเราเรียกความแตกต่างระหว่างค่าศักดาไฟฟ้าที่มีรหัสต่างกัน 1 บิทว่าขนาดบิทที่มีนัยสำคัญน้อยที่สุด (least-significant-bit (LSB) size) เราสามารถหาค่าขนาดบิทนัยสำคัญน้อยที่สุดได้จาก

$$LSB = FS/2^n \qquad (3.1.1)$$

โดยที่ LSB คือ ขนาดบิทนัยสำคัญน้อยที่สุด
FS คือ ขนาดสัญญาณอนาล็อกอินพุทที่มีค่าฟูลสเกล (full-scale analog input)
n คือ จำนวนบิทของตัวแปลงสัญญาณ

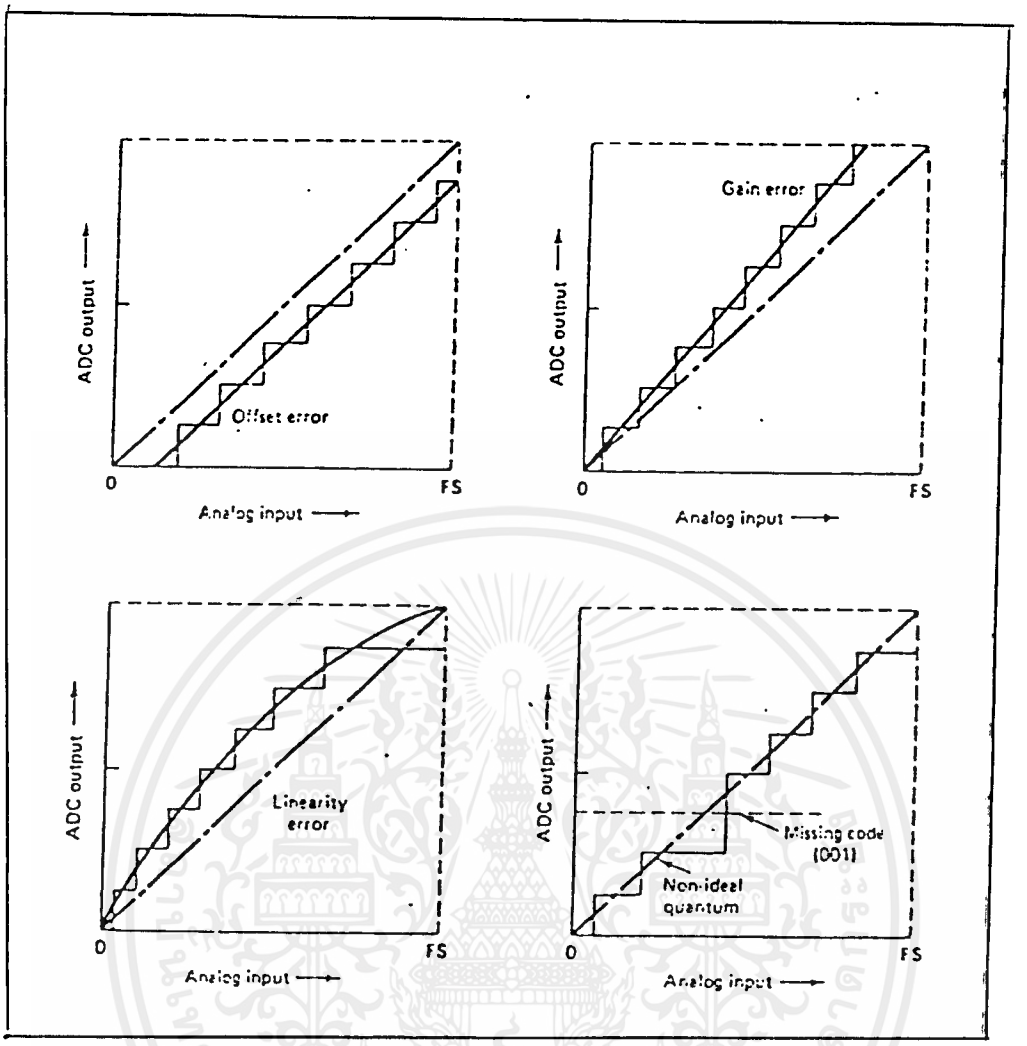
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สัญญาณอนาล็อกที่มีค่าอยู่ในช่วงควอนไตเซชั่นเดียวกันจะถูกแทนด้วยรหัสดิจิตอลเดียวกัน ซึ่งมักจะเป็นรหัสที่แทนค่ากลางของช่วงศักดาไฟฟ้า เราเรียกค่าศักดาไฟฟ้านี้ว่า ค่าเทรชโฮลด์ (Threshold) เนื่องจากสัญญาณอินพุทที่แตกต่างจากค่าเทรชโฮลด์ไม่เกิน $\pm 1/2$ LSB ยังมีรหัสเดียวกัน ดังนั้นจึงเกิดความผิดพลาดขึ้นในตัวแปลงสัญญาณทั่ว ๆ ไปไม่เกิน $\pm 1/2$ LSB ความผิดพลาดนี้จะถูกแก้ไขได้โดยการเพิ่มจำนวนบิทของตัวแปลงสัญญาณเท่านั้น รูปที่ 3.1.1 (b) แสดงถึงความสัมพันธ์นี้สำหรับตัวแปลงสัญญาณขนาด 3 บิท

<u>ความผิดพลาดของตัวแปลงสัญญาณ</u>

ตัวแปลงสัญญาณที่ใช้จริง ๆ จะมีความเบี่ยงเบนจากคุณลักษณะตามรูปที่ 3.1.1 (b) ออกไปบ้าง เช่น ทรานสเฟอร์ฟังก์ชันอาจจะมีการเลื่อนออกจากค่าตามอุดมคติ ความผิดพลาดในลักษณะนี้เรียกว่า ความผิดพลาดออฟเซ็ต (offset error) หรือความผิดพลาดศูนย์ (zero error) ซึ่งแสดงในรูปที่ 3.1.2 (a) ความผิดพลาดที่เกิดขึ้นจากความชันของทรานสเฟอร์ฟังก์ชันมีค่าต่างไปจากค่าจริง ๆ ตามอุดมคติเรียกว่าความผิดพลาดความชัน (slope error) หรือ ความผิดพลาดของเกน (gain error) ตามรูปที่ 3.1.2 (b) ความผิดพลาดทั้งสองแบบนี้จะมีผลน้อยมากและสามารถที่จะแก้ไขได้โดยการปรับแต่งภายใน ความผิดพลาดที่แก้ไขได้ยาก ได้แก่ ความผิดพลาดเชิงเส้นแบบอินทิกรัล (Intrgral linearity error) ตามรูปที่ 3.1.2 (c) และความผิดพลาดเชิงเส้นแบบดิฟเฟอเรนเชียล (Differential linearity error) ตามรูปที่ 3.1.2 (d) โดยที่ค่าความผิดพลาดนี้เกิดขึ้นมากกว่า 1 LSB รหัสดิจิตอลที่เอาท์พุทอาจจะมีการหายไป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.1.2 ความผิดพลาดของตัวแปลงสัญญาณ (a) ความผิดพลาดออฟเซ็ต (b) ความผิดพลาดของเกน (c) ความผิดพลาดเชิงเส้นแบบอินทิกรัล (d) ความผิดพลาดเชิงเส้นแบบดิฟเฟอเรนเชียล

ความละเอียดของตัวแปลงสัญญาณ

ความละเอียดของตัวแปลงสัญญาณ (converter resolution) คือ ความเปลี่ยนแปลงที่น้อยที่สุดของสัญญาณอนาล็อกอินพุทที่ทำให้รหัสของเอาท์พุทเปลี่ยนแปลงไป 1 ระดับ โดยทั่วไปจะกำหนดอยู่ในรูปของเปอร์เซ็นต์ของค่าฟูลสเกล ในหน่วยมิลลิโวลต์สำหรับช่วงอินพุทที่กำหนดหรือกำหนดในรูปของจำนวนบิทของตัวแปลงสัญญาณ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ความถูกต้องของตัวแปลงสัญญาณ

ความถูกต้องของตัวแปลงสัญญาณ (converter accuracy) คือความแตกต่างระหว่างค่าศักดาไฟฟ้าของสัญญาณอินพุทจริงๆ กับค่าที่ได้จากรหัสของดิจิตอลเอาท์พุท มักจะกำหนดในรูปของขนาดบิทที่มีนัยสำคัญน้อยที่สุด

เวลาที่ใช้ในการแปลงสัญญาณและอัตราทรูพุทของตัวแปลงสัญญาณ

หลังจากที่ตัวแปลงสัญญาณได้รับคำสั่งเริ่มต้นแปลงข้อมูล จะต้องใช้เวลาค่าหนึ่งเรียกว่า เวลาแปลงสัญญาณ (conversion time : t_c) ก่อนที่ตัวแปลงสัญญาณจะสามารถให้ข้อมูลเอาท์พุทที่ถูกต้อง หากสัญญาณอินพุทมีการเปลี่ยนแปลงระหว่างกระบวนการแปลงสัญญาณ จะทำให้เกิดความไม่แน่นอนของเอาท์พุทขึ้น เราสามารถหาค่าเวลาแปลงสัญญาณ t_c ได้จาก

$$(dv/dt)_{max} <= FS/2^n * t_c \qquad (3.1.2)$$

โดยที่ v คือ สัญญาณอนาล็อกอินพุท
FS คือ สัญญาณฟูลสเกลอนาล็อกอินพุท
n คือ จำนวนบิทของตัวแปลงสัญญาณ
t_c คือ เวลาที่ใช้แปลงสัญญาณ

ส่วนอัตราทรูพุท (throughput rate) ของตัวแปลงสัญญาณคือ จำนวนครั้งการสุ่มสัญญาณอินพุทที่ทำให้เกิดความถูกต้องสูงสุด

เทคนิคการแปลงสัญญาณอนาล็อกเป็นสัญญาณดิจิตอล

วงจรแปลงสัญญาณอนาล็อกเป็นสัญญาณดิจิตอลที่ใช้กันทั่ว ๆ ไปมีหลายเทคนิค ได้แก่

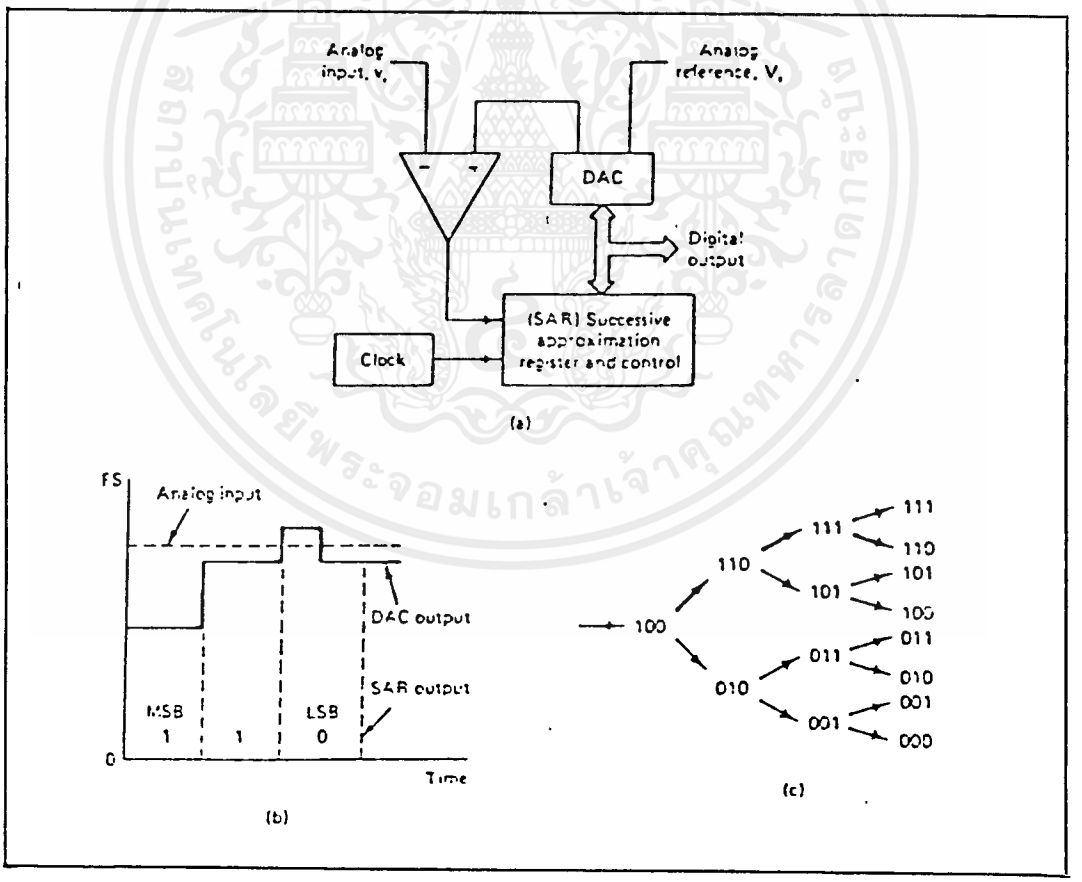
ก) เอทูดีแบบวงจรนับหรือแบบแทรกกิ้ง (Counter or Tracking A/D)
ข) เอทูดีแบบประมาณค่า (Successive-Approximation A/D)
ค) เอทูดีแบบสโลปคู่ (Dual Slope Integrating A/D)
ง) เอทูดีแบบแปลงศักดาไฟฟ้าเป็นความถี่ (Voltage to Frequency A/D)
จ) เอทูดีแบบขนานหรือแบบแฟลช (Parallel or Flash A/D)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในที่นี้จะขอกล่าวถึงเฉพาะเอทูดีแบบประมาณค่า ซึ่งเป็นเทคนิคที่ได้นำมาใช้ในวงจรของระบบ DPCM สำหรับโครงงานนี้ ส่วนรายละเอียดของเอทูดีแบบอื่นจะได้รวบรวมไว้ในส่วนของภาคผนวกของปริญญานิพนธ์ฉบับนี้

<u>เอทูดีแบบประมาณค่าหลายครั้ง</u> (Successive-Approximation A/D-SA A/D)

เอทูดีแบบนี้เป็นที่นิยมใช้กันทั่วไป ต้องอาศัยดีทูเอภายใน ซึ่งดีทูเอที่อยู่ภายในเอทูดีแบบนี้สามารถสร้างเอาท์พุทให้เท่ากับสัญญาณอินพุทได้ภายใน n เท่าของความกว้างของสัญญาณนาฬิกาสำหรับเอทูดีขนาด n บิท ดังนั้นเอทูดีแบบนี้จึงมีเวลาการแปลงสัญญาณน้อยกว่าแบบแทรกกิ้งมาก และจะไม่ขึ้นกับระดับสัญญาณอินพุท วิธีการนี้อาศัยหลักการ การประมาณค่าสัญญาณอินพุทด้วยรหัสไบนารี และจะตรวจสอบแก้ไขค่าที่ประมาณนี้จนกว่าจะได้ค่าที่ดีที่สุด



รูปที่ 3.1.3 วงจรเอทูดีแบบประมาณค่า (a) บล็อกไดอะแกรม
(b) รูปสัญญาณ (c) ไดอะแกรมแสดงการไหลของลอจิก

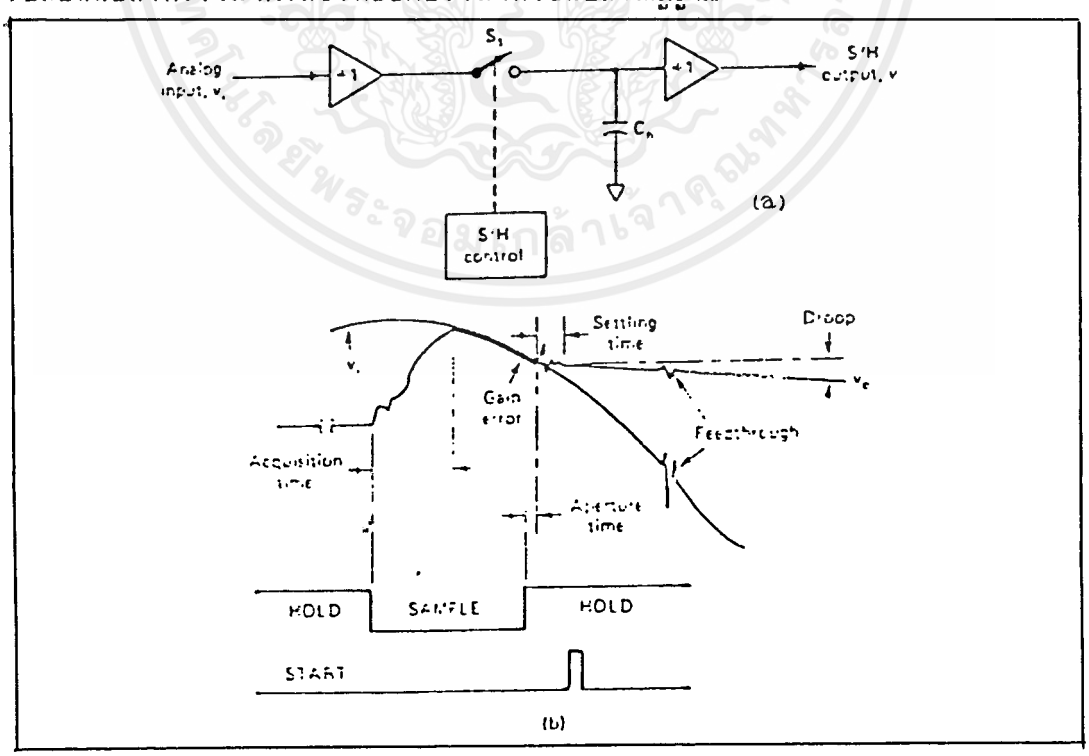
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 3.1.3 แสดงโครงสร้างพื้นฐานสำหรับเอทูดิแบบนี้ขนาด 3 บิท เอทูดีจะเริ่มการทำงานโดยบิทที่มีนัยสำคัญสูงสุด (MSB) ของรีจิสเตอร์ SAR จะเปิดซึ่งเอาท์พุทที่ได้จากการเปิดบิทที่มีนัยสำคัญสูงสุดที่จะมีค่าเป็นครึ่งหนึ่งของสัญญาณฟูลสเกล คอมพาราเตอร์จะทำหน้าที่เปรียบเทียบเอาท์พุทนี้กับสัญญาณอินพุทและจะสั่งให้ทำการปิดบิทนี้ทำการประมาณค่าบิทที่มีค่าเกินสัญญาณอินพุท และจะยังคงเปิดไว้ถ้าสัญญาณอินพุทมีค่าน้อยกว่าเอาท์พุทจากบิทนี้ สัญญาณนาฬิกาลูกต่อมาจะไปเปิดบิทที่มีนัยสำคัญที่รองลงไป คอมพาราเตอร์จะตัดสินใจว่าจะเปิดหรือปิดบิทนั้น ๆ โดยพิจารณาจากการเปรียบเทียบระหว่างสัญญาณอินพุทและเอาท์พุทบิทที่มีนัยสำคัญต่าง ๆ จนกระทั่งถึงบิทที่มีนัยสำคัญน้อยที่สุด (LSB)

เมื่อบิทที่มีนัยสำคัญน้อยที่สุดถูกเปรียบเทียบเสร็จ รีจิสเตอร์ SAR ก็จะให้ดิจิตอลเอาท์พุทที่เป็นการประมาณค่าที่ดีที่สุดสำหรับสัญญาณอินพุท

3.2 วงจรสุ่มและคงค่า

วงจรสุ่มและคงค่า (Sample-and-Hold Circuit) แสดงในรูปที่ 3.2.1 จะช่วยลดความไม่แน่นอนที่เอาท์พุทของตัวแปลงสัญญาณ ซึ่งเกิดจากการเปลี่ยนแปลงที่เร็วมากเมื่อเทียบกับเวลาที่ใช้แปลงสัญญาณ



รูปที่ 3.2.1 วงจรสุ่มและคงค่า (a) วงจรพื้นฐาน (b) รูปสัญญาณ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 3.2.1 เป็นโครงสร้างอย่างง่ายของวงจรสุ่มและคงค่ากับสัญญาณที่ได้รับ อนาล็อกสวิทช์ S_1 จะปิดวงจรเมื่อได้รับสัญญาณจากวงจร timing logic ที่มีค่า high ตัวเก็บประจุโอลด์ C_h จะเริ่มเก็บประจุจนเท่ากับสัญญาณอินพุท หลังจากช่วงเวลาที่แน่นอนค่าหนึ่งที่เรียกว่า ช่วงเวลาแอกควิสชั่น (Acquistion time) ตัวเก็บประจุก็จะเต็ม ต่อมาเมื่อวงจรสุ่มและคงค่าได้รับสัญญาณจากวงจร timing logic มีค่าเป็นเอฟ สวิทช์ S_1 ก็จะเปิดวงจร แต่การเปิดวงจรจะกระทำหลังจากช่วงเวลาสั้น ๆ ที่เรียกว่า ช่วงเวลาอะเปอร์เจอร์ (Aperture time t_a) ซึ่งจะน้อยมากประมาณ 10 นาโนวินาที

เมื่อทำการเพิ่มวงจรสุ่มและคงค่าให้กับเอทูดี จะทำให้สามารถสุ่มสัญญาณที่มีความถี่สูงกว่า ขณะที่ไม่มีวงจรนี้สามารถแสดงได้ดังนี้

จากสมการ (3.1.2)

$$(dv/dt)_{max} <= FS/(2^n * t_c)$$

ให้ $V_i = A\sin(2\pi ft)$

$(dv_i/dt) = 2\pi fA\cos(2ft)$

$(dv_i/dt)_{max} = 2\pi fA$

$2\pi fA <= 2A/(2^n * t_c)$

สมมติว่าเอทูดีมีขนาด 8 บิท เวลาแปลงสัญญาณ 100 ไมโครวินาที

$$f_{max} = 1/(2^n * t_c \pi)$$
$$= 12.4 \text{ Hz}$$

ในกรณีที่เพิ่มวงจรสุ่มและคงค่าเข้าไปจะได้ความสัมพันธ์ใหม่ดังนี้

$$(dv/dt)_{max} <= FS/(2^n * t_a)$$

เมื่อ t_a คือช่วงเวลาอะเพอร์เจอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ถ้าวงจรสุ่มและคงค่าที่มีช่วงเวลาอะเพอร์เจอร์ 20 ไมโครวินาที เอทูดีมีขนาด 8 บิท ก็จะได้ว่า

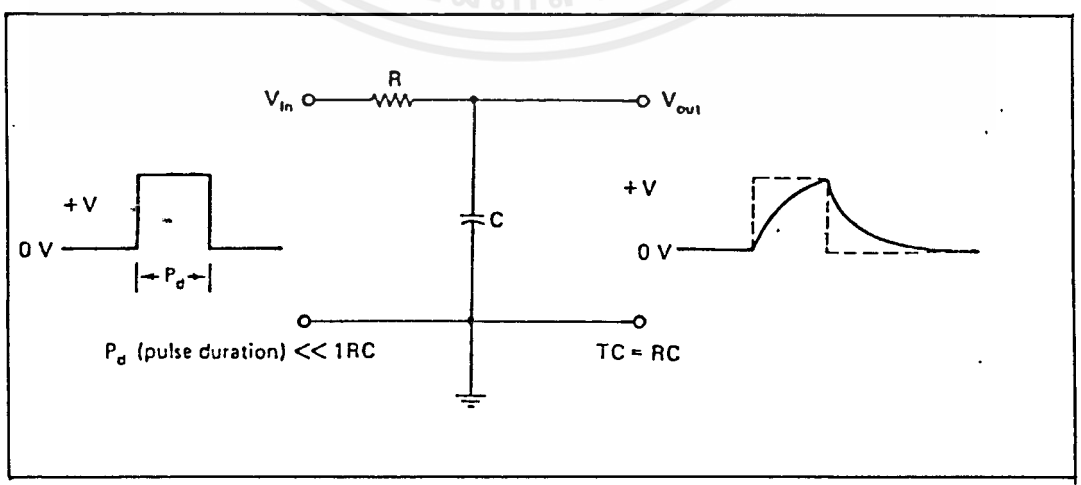
$$f_{max} = 1/(2^{n} * t_{ap}) = 62.17 \text{ kHz}$$

หลังจากที่สวิทช์ S_1 เปิดวงจร จะต้องใช้เวลาค่าหนึ่ง เรียกว่า เวลาเซ็ตติ้ง (Setting time) ก่อนที่เอาท์พุทของวงจรสุ่มและคงค่าจะมีความเสถียร เอาท์พุทนี้จะค่อย ๆ ลดลงตามเวลา

การเลือกค่าตัวเก็บประจุโฮลด์ควรจะเลือกตัวเก็บประจุที่มีค่าน้อย ๆ เพื่อลดเวลาแอกควิสชันลง แต่ก็ทำให้เอาท์พุทของวงจรลดลงเร็วขึ้น ในทางตรงข้างค่าตัวเก็บประจุที่มากเกินไปก็จะทำให้เอาท์พุทของวงจรลดลงช้า แต่เวลาแอกควิสชันก็จะมากเกินไป ค่าเวลาคงค่า (Hold Time) ที่เหมาะสมไม่ควรจะมากกว่าเวลาแปลงสัญญาณของเอทูดี และให้การลดลงของเอาท์พุทมีค่าน้อยกว่าศักดาที่ได้จากบิทนัยสำคัญน้อยที่สุด

3.3 วงจรอินทิเกรเตอร์ หรือวงจรแอ็คควิมูเลเตอร์

วงจรอินทิเกรเตอร์ก็คือ วงจรที่สามารถทำการอินทิเกรตสัญญาณที่ป้อน ณ ขั้วอินพุท หรือกล่าวอีกนัยหนึ่ง ก็คือ วงจรนี้จะสะสมสัญญาณที่ป้อนเข้าจากขั้วอินพุทเรื่อย ๆ ภายในช่วงเวลาหนึ่ง และแสดงผลของการสะสมนี้ออกทางเอาท์พุท



รูป 3.3.1 แสดงวงจรอินทิเกรตพื้นฐาน

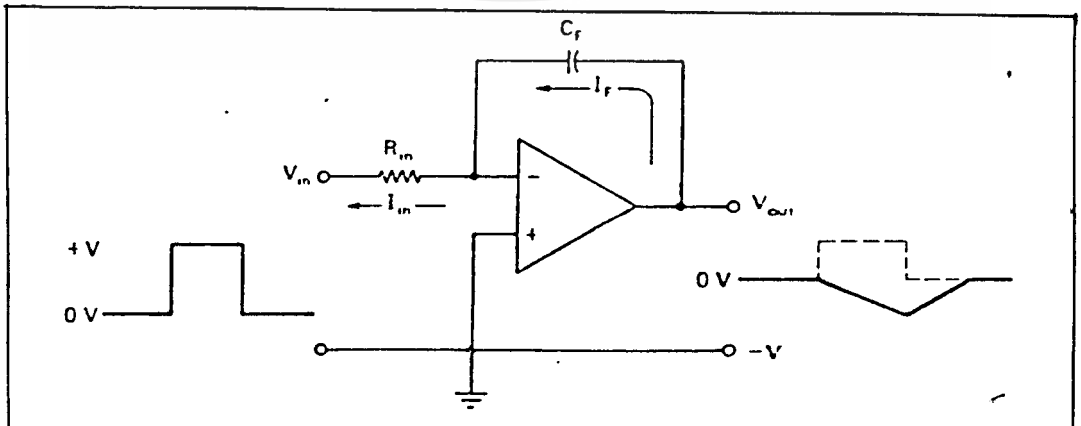
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูป 3.3.1 แสดงวงจรอินทิเกรตพื้นฐานซึ่งใช้อุปกรณ์ทาสซีฟ (ตัวต้านทานและตัวเก็บประจุ) แต่ก่อนที่จะวิเคราะห์วงจรนี้ ควรทราบคุณสมบัติบางอย่างของตัวเก็บประจุเสียก่อน คือ

1) แรงดันที่ตกคร่อมตัวเก็บประจุไม่สามารถเปลี่ยนแปลงแบบทันทีทันใดได้ และแรงดันเริ่มต้นมักจะให้มีค่าเท่ากับศูนย์

2) ขณะที่ตัวเก็บประจุกำลังเก็บ (ชาร์จ) ประจุอยู่นั้น กระแสที่ไหลผ่านตัวเก็บประจุจะค่อย ๆ ลดลง

เมื่อทราบคุณสมบัติดังกล่าวแล้ว เราสามารถศึกษาการทำงานของวงจรในรูป 3.3.1 ได้ง่ายขึ้น จากข้อกำหนดแรก เมื่อเริ่มต้นแรงดันคร่อมตัวเก็บประจุ C จะมีค่าเท่ากับศูนย์ ดังนั้นเมื่อเราวัดเอาท์พุทคร่อมตัวเก็บประจุ แรงดันที่ได้จึงมีค่าเท่ากับศูนย์ หลังจากนั้นเมื่อตัวเก็บประจุค่อย ๆ ถูกชาร์จขึ้น แรงดันคร่อม C จึงมีค่าสูงขึ้นเรื่อย ๆ (ความเร็วในการชาร์จประจุจะขึ้นกับค่าคงตัวของเวลา มีค่าเท่ากับผลคูณของ R และ C) ซึ่งเป็นผลให้กระแสที่ไหลผ่านตัวเก็บประจุ C มีค่าลดลง นั่นคือ แรงดันที่ตกคร่อมตัวต้านทานจะต่ำลง และทำให้แรงดันเอาท์พุทมีค่าเพิ่มขึ้นเรื่อย ๆ โดยมากอัตราการเพิ่มจะเป็นแบบเอ็กโปเนนเชียล จนกระทั่งเมื่อแรงดันอินพุทตกลงเหลือศูนย์โวลต์ ตัวเก็บประจุก็จะคายประจุผ่านตัวต้านทาน R ลงกราวน์ (ในขณะนั้นตัวเก็บประจุจะทำตัวเสมือนเป็นแหล่งจ่ายไฟเอง) จากลักษณะของวงจรพาสซีฟที่ได้แสดงมานี้ จะเห็นว่า แรงดันที่เอาท์พุทจะไม่มีทางสูงกว่าแรงดันอินพุทได้เลย นอกจากนี้ต้องระวังด้วยว่าวงจรนี้จะทำงานได้ดีเมื่อความกว้างของสัญญาณพัลส์มีค่าต่ำกว่าค่าคงตัวเวลา RC มากกว่านั้น (RC คือ ผลคูณของความต้านทานและคาปาซิแตนท์)



รูปที่ 3.3.2 การนำออปแอมป์มาใช้ในวงจรอินทิเกรเตอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เมื่อนำออปแอมป์มาใช้ในวงจรอินทิเกรเตอร์ดังรูป 3.3.2 ตัวเก็บประจุจะทำหน้าที่เป็นอุปกรณ์สำหรับป้อนสัญญาณกลับ เราสามารถวิเคราะห์วงจรนี้ได้โดยยึดหลักที่ว่า กระแส I_{in} จะเท่ากับ I_f และเกิดกราวน์เสมือนที่ขั้วอินพุทลบ นอกจากนี้หากสัญญาณอินพุทที่ป้อนให้อยู่ในลักษณะคงที่ (ในบางช่วง) กระแส I_{in} จะมีค่าคงที่ ($I_{in} = V_{in}/R_{in}$) นั่นคือ I_f จะมีค่าคงที่ตามด้วย และจากสมการของตัวเก็บประจุ

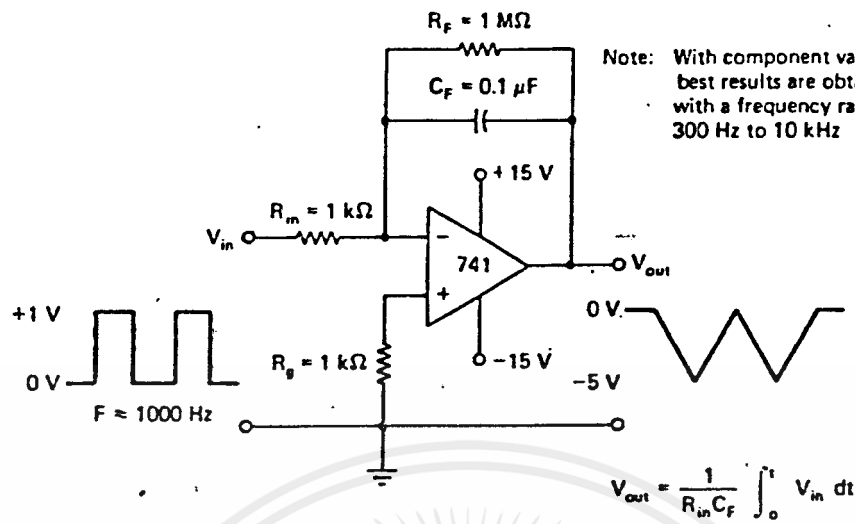
$$I_f = -C \frac{dVout}{dt} \qquad (3.3.1)$$

จะพบว่าอัตราการเปลี่ยนแปลงของเอาท์พุทจะมีค่าคงที่ด้วยหรืออีกนัยหนึ่งความชันของแรงดันเอาท์พุทจะเพิ่มขึ้นแบบเส้นตรง และเมื่อแรงดันอินพุทตกลงเหลือศูนย์โวลต์ ตัวเก็บประจุก็คายประจุแบบเชิงเส้นเช่นกัน ผลคือ แรงดันที่เอาท์พุทจะมีลักษณะเป็นรูปสามเหลี่ยมกลับเฟส (เนื่องจากอินพุทถูกป้อน ณ ขั้วอินพุทลบ เอาท์พุทจะกลับเฟส 180 องศา)

วงจรเช่นในรูป 3.3.2 มีข้อเสียหลักที่ว่า ถึงแม้ในขณะที่ V_{in} มีค่าเป็นศูนย์โวลต์ก็ตามกระแสไบอัส อินพุทจะทำให้ตัวเก็บประจุถูกชาร์จอยู่ตลอดเวลา จนกระทั่งผลสุดท้ายแรงดันเอาท์พุทจะอิ่มตัว และมีค่าสูงประมาณแหล่งจ่ายไฟซีกลบ (ทั้ง ๆ ที่ยังไม่มีการป้อนสัญญาณอินพุทเลย) ดังนั้นการนำวงจรในรูป 3.3.3 มาใช้โดยมีการต่อตัวต้านทานป้อนกลับขนานกับตัวเก็บประจุจะทำให้วงจรมีเสถียรภาพดีขึ้นและจะมีค่าของอัตราขยายตั้งแต่ 10 ถึง 100 โดยมีขนาดของแรงดันเอาท์พุทตามสมการ

$$V_{out} = -\frac{1}{R_{in} CF} \int_0^t dV_{in} dt \qquad (3.3.2)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.3.3 รูปแสดงวงจรอินทิเกรเตอร์

โดยเครื่องหมาย $\int$ แสดงการอินทิเกรต และ dt คือช่วงเวลาในการอินทิเกรต ตัวอย่างเช่น ถ้าป้อนคลื่นสี่เหลี่ยมขนาด 1 โวลต์ ความถี่ 1 กิโลเฮิร์ต ให้แก่วงจร ดังรูป 3.3.3 จะได้ว่า dt เป็นความกว้างหนึ่งช่องของสัญญาณพัลส์ ซึ่งมีค่าเท่ากับ 0.0005 วินาที (นั่นคือเราต้องการสะสมแรงดันในช่วงที่ V_{in} เป็นบวกเท่านั้น)

จากสมการจะได้ $V_{out} = -\frac{1}{1k \times 0.1\mu F}\int_0^{0.0005s}(+1V \times 0.0005s)$

$= -10,000(0.0005)$

$= -5V$

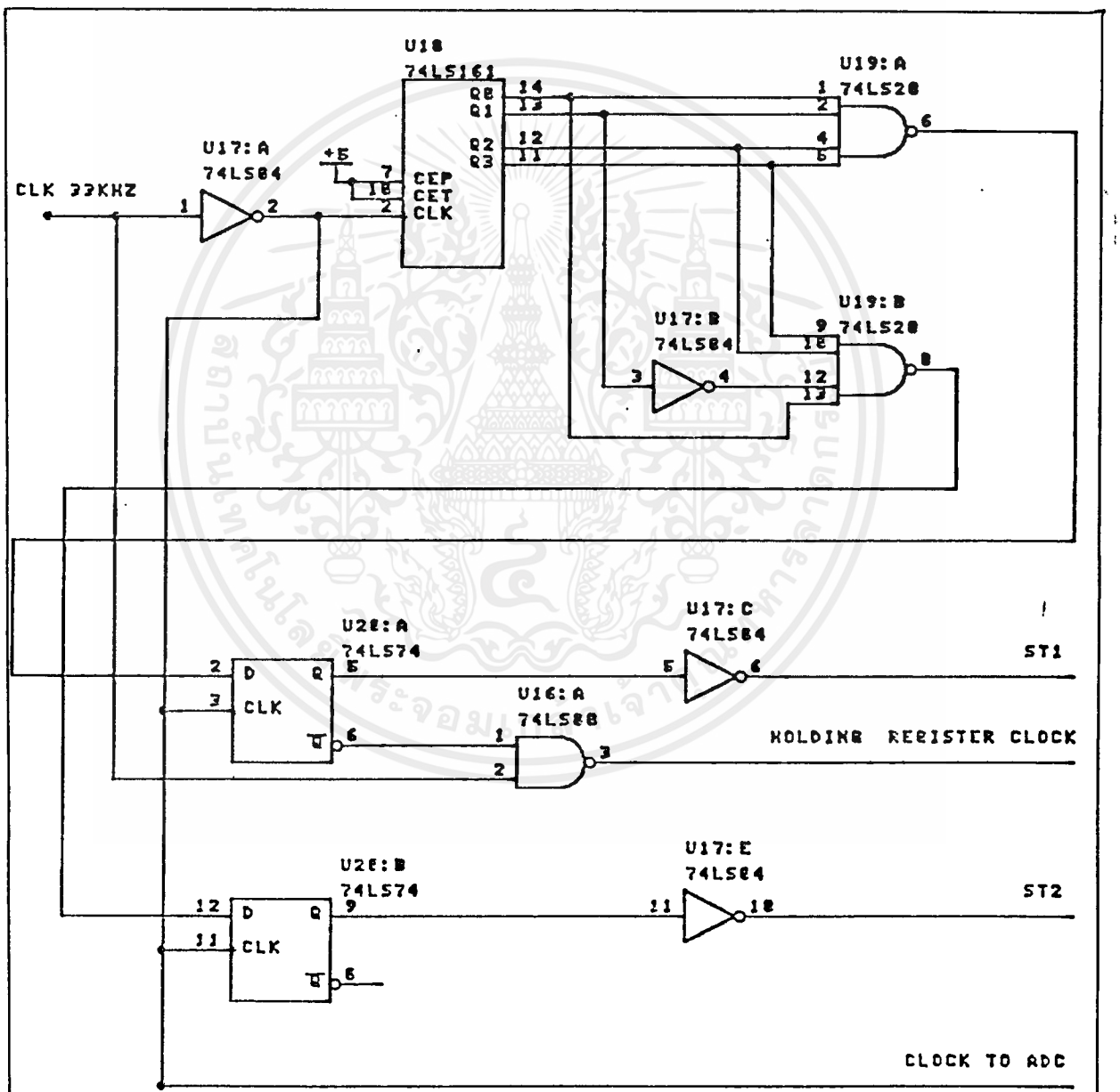
ซึ่งเหมือนกับว่ามีการสะสมแรงดัน 1 โวลต์ ทุก ๆ 0.0001 วินาที

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 4
วงจรต่าง ๆ ที่ใช้ในการทดลอง

4.1 วงจรควบคุมจังหวะเวลา

ในการประกอบวงจรของระบบ DPCM นั้นต้องมีการควบคุมจังหวะเวลาในการสุ่มค่าสัญญาณและมีการกำหนดช่วงเวลาที่คงค่าสัญญาณไว้ชั่วขณะหนึ่ง ดังนั้นจึงต้องมีวงจรที่ทำหน้าที่ควบคุมจังหวะเวลาดังรูป 4.1.1



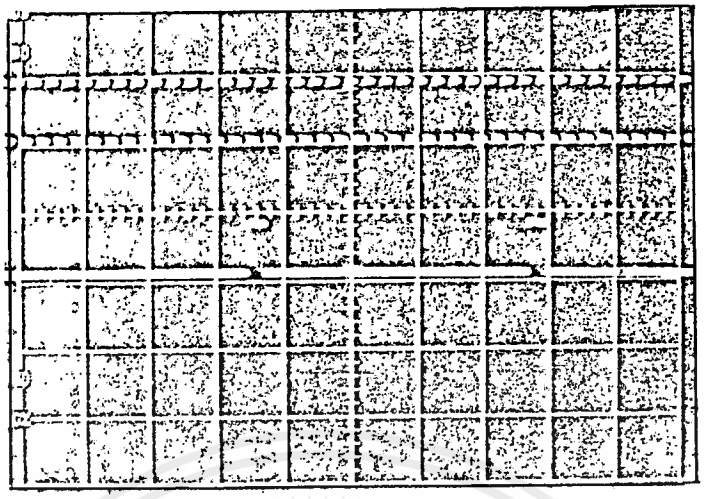
รูปที่ 4.1.1 แสดงวงจรควบคุมจังหวะเวลา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- สัญญาณ clk เป็นสัญญาณนาฬิกามีรูปร่างเป็น Square wave ในที่นี้ใช้สัญญาณนาฬิกามีความถี่เท่ากับ 32 kHz
- สัญญาณ ST_1 ใช้เป็นจังหวะในการสุ่มค่าสัญญาณและคงค่าที่สุ่มนั้นไว้เพื่อนำไปใช้ ADC แปลงเป็นสัญญาณดิจิตอล โดยขณะที่สัญญาณ ST_1 มีค่าเป็น high จะเป็นช่วงที่ทำการ sampling และช่วงที่ ST_1 เป็น low เป็นช่วงที่ hold ค่าไว้ ดังนั้นช่วงเวลาที่ hold ค่าไว้จะต้องเป็นช่วงเวลาอย่างน้อยเท่ากับช่วงเวลาที่ ADC ใช้ในการแปลงสัญญาณ ซึ่ง ADC แบบที่เลือกใช้ในการทดลองเป็น ADC ที่ใช้เทคนิคการประมาณค่าหลายครั้ง (Successive Approximation A/D) ซึ่ง ADC แบบนี้ถ้าจะให้ได้เอาท์พุตเป็นรหัสดิจิตอล 8 บิท ก็จะใช้เวลาในการแปลงสัญญาณเท่ากับสัญญาณนาฬิกา 8 ลูก ดังนั้นช่วงที่ ST_1 มีค่าเป็น low จะต้องนานอย่างน้อยเท่ากับช่วงเวลาของสัญญาณนาฬิกา 8 ลูก
- สัญญาณ ST_2 เป็นจังหวะที่ใช้สุ่มค่าสัญญาณอนาล็อกที่มีค่าเท่ากับสัญญาณดิจิตอลที่เป็นเอาท์พุตของ ADC สัญญาณอนาล็อกนี้ได้ออกมาจาก DAC ตัวหนึ่งซึ่งเป็นส่วนประกอบในวงจร ADC ค่าที่สุ่มได้นี้จะถูกคงค่าเอาไว้ให้ predictor นำไปทำนายค่า และเนื่องจากว่าเราต้องการให้ ST_1 สุ่มค่าที่เป็นผลต่างระหว่างค่าอินพุทจริงกับค่าทำนาย ดังนั้น ST_2 ต้องทำการสุ่มก่อนหน้า ST_1 เพื่อให้ได้ค่าทำนายออกมาก่อนที่ ST_1 จะสุ่มค่าผลต่าง ดังนั้นเมื่อดูจากรูปสัญญาณจะเห็นว่า ST_1 กับ ST_2 จะมีรูปร่างสัญญาณเหมือนกันเพียงแต่ต่างกันตรงที่จังหวะที่สุ่มเท่านั้นคือ ช่วงที่สัญญาณเป็น high ของ ST_1 กับ ST_2 จะไม่ตรงกัน
- สัญญาณ holding register clock เป็นการ hold ค่าสัญญาณที่แปลงเป็นรหัสดิจิตอลเรียบร้อยแล้วแล้วส่งค่าดิจิตอลนั้นไปให้ทางด้านวงจรถอดรหัส

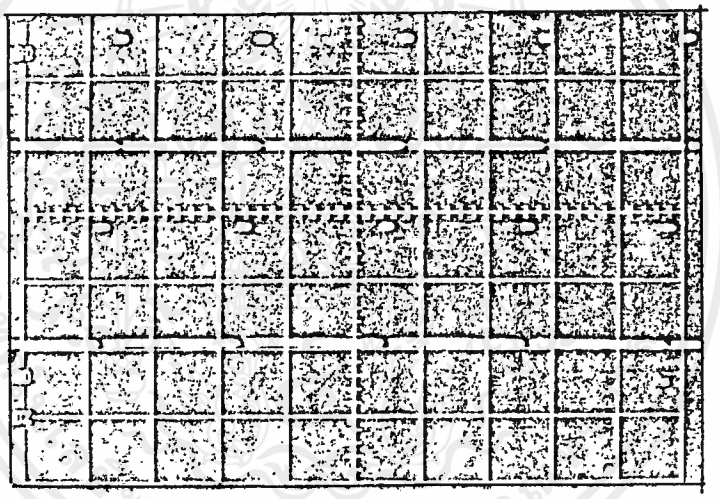
เมื่อต่อวงจรตามรูป 4.1.1 จะได้รูปสัญญาณต่าง ๆ ดังแสดงในรูป 4.1.2

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



Time/Div 0.2 ms

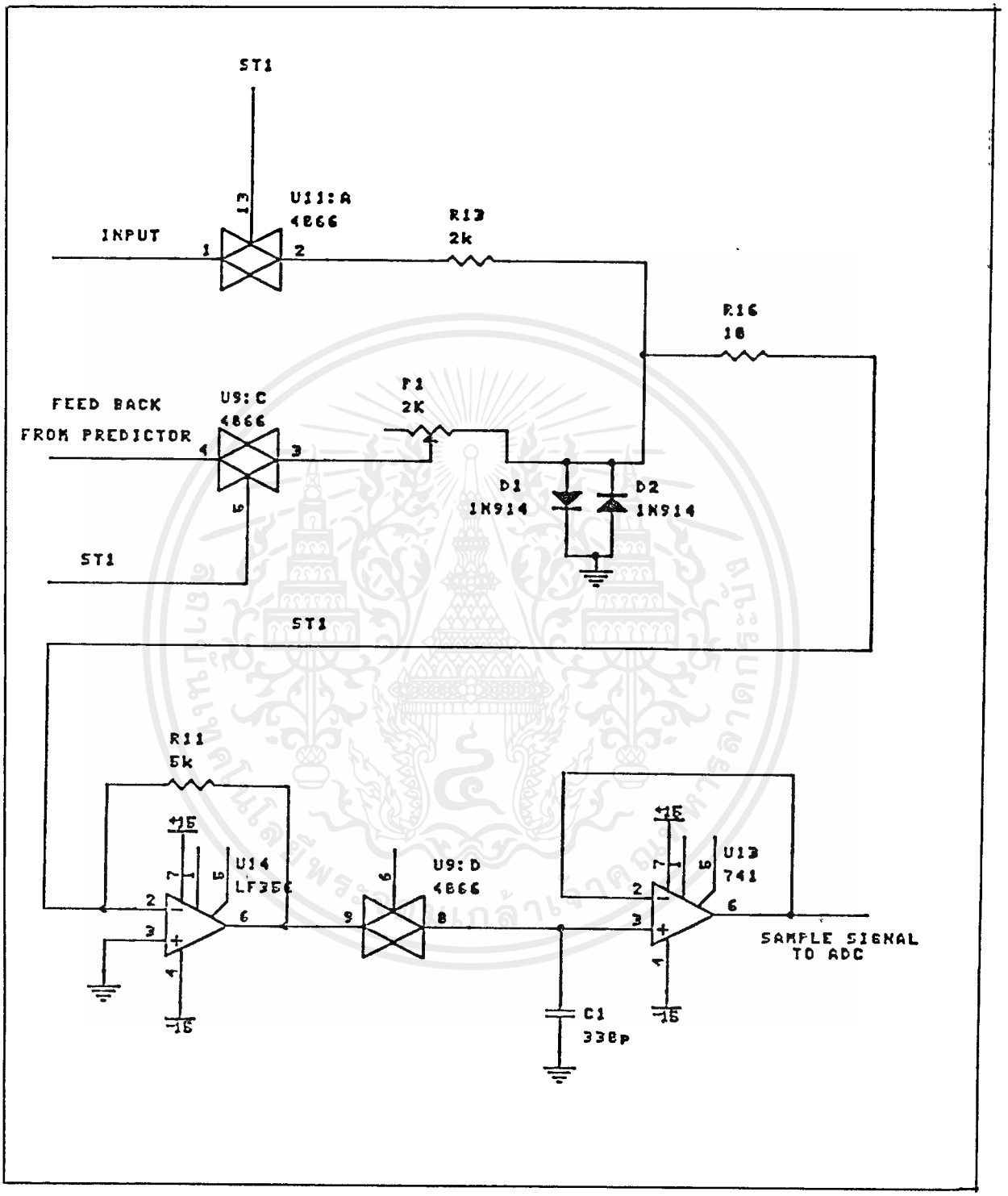
Volt/Div 2 Volts.



รูปที่ 4.1.2 แสดงรูปสัญญาณที่วัดได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.2 วงจรสุ่มและคงค่าสัญญาณ (Sample and Hold circuit; S&H)

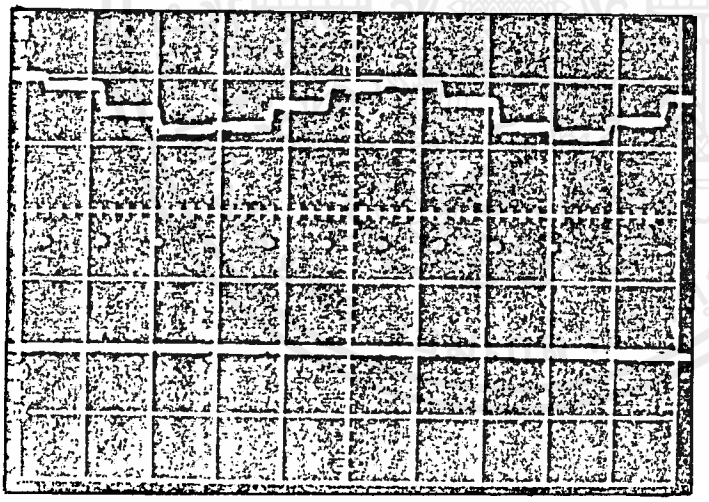


รูปที่ 4.2.1 แสดงวงจรสุ่มและคงค่าสัญญาณ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วงจร S&H ตามรูป 4.2.1 ใช้ไอซีเบอร์ 4066 ซึ่งเป็น analog voltage switch ทำหน้าที่เป็นสวิทช์ตัดต่อวงจรโดยอาศัยการควบคุมจากสัญญาณ ST_1 โดยสัญญาณ ST_1 ที่จะนำมาควบคุมการปิด-เปิดสวิทช์ของ 4066 นั้น ต้องมีค่าระดับแรงดันเป็น +5 โวลต์ เมื่ออยู่ในสถานะ "high" และมีค่าแรงดันเป็น -5 โวลต์นั้น เพราะว่าจะได้สามารถสุ่มค่าได้ทั้งสัญญาณอนาล็อกที่มีค่าเป็นบวกและมีค่าเป็นลบ วงจร S&H นี้ เราต้องการให้มันสุ่มค่าผลต่างระหว่างอินพุทจริงกับค่าทำนาย ดังนั้นเมื่ออินพุทเข้ามาจะถูกนำมาเปรียบเทียบกับค่าทำนายก่อน เมื่อเปรียบเทียบแล้วจะได้ค่าผลต่าง ซึ่งอาจมีค่าเป็นบวกหรือลบก็ได้ ผลต่างนี้ก็จะถูกขยายโดยวงจรขยายแรงดันซึ่งใช้ออปแอมป์เบอร์ LF356 ผลต่างที่ถูกขยายแล้วนี้จะถูก 4066 สุ่มค่าแล้ว C_1 จะทำการคงค่าไว้ แล้วส่งผ่านวงจรบัฟเฟอร์ เพื่อส่งต่อไปให้วงจร ADC ทำการแปลงสัญญาณออกมาเป็นสัญญาณดิจิตอล

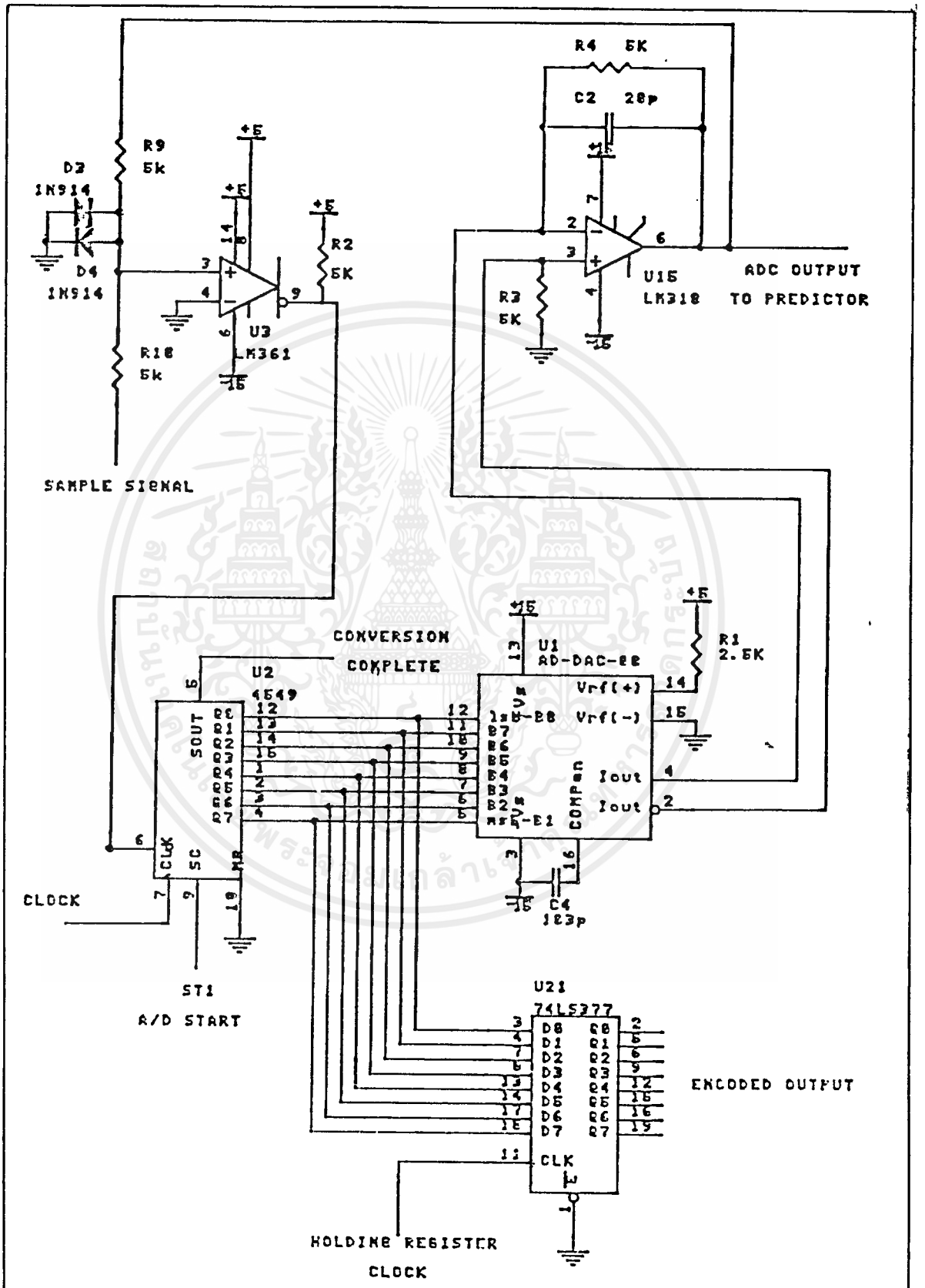
การทดลองวงจร S&H ตามรูป 4.2.1 โดยการป้อนอินพุทเป็นสัญญาณรูปซายน์และใช้ความถี่ในการแซมปลิ้งเท่ากับความถี่ของสัญญาณ ST_1 ได้ผลดังแสดงในรูป 4.2.2



รูป 4.2.2 แสดงรูปสัญญาณซายน์ที่ถูกสุ่มและคงค่าตามจังหวะสัญญาณ ST_1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.3 วงจรแปลงสัญญาณอนาล็อกเป็นสัญญาณดิจิตอลโดยใช้เทคนิคการประมาณค่าหลายครั้ง (SA-ADC)



รูป 4.3.1 วงจร SA-ADC

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วงจร SA-ADC ที่แสดงในรูปที่ 4.3.1 หัวใจของวงจร คือ Successive Approximation Register (SAR) เช่นเบอร์ MC14549 และในวงจร SA-ADC นี้ต้องมี ADC ประกอบอยู่ด้วย 1 ตัวในที่นี้ใช้ DAC เบอร์ 0800 ทำงานร่วมกับ SAR และใช้ LM361 เป็นคอมพาราเตอร์ (LM361 เป็น fast comparator)

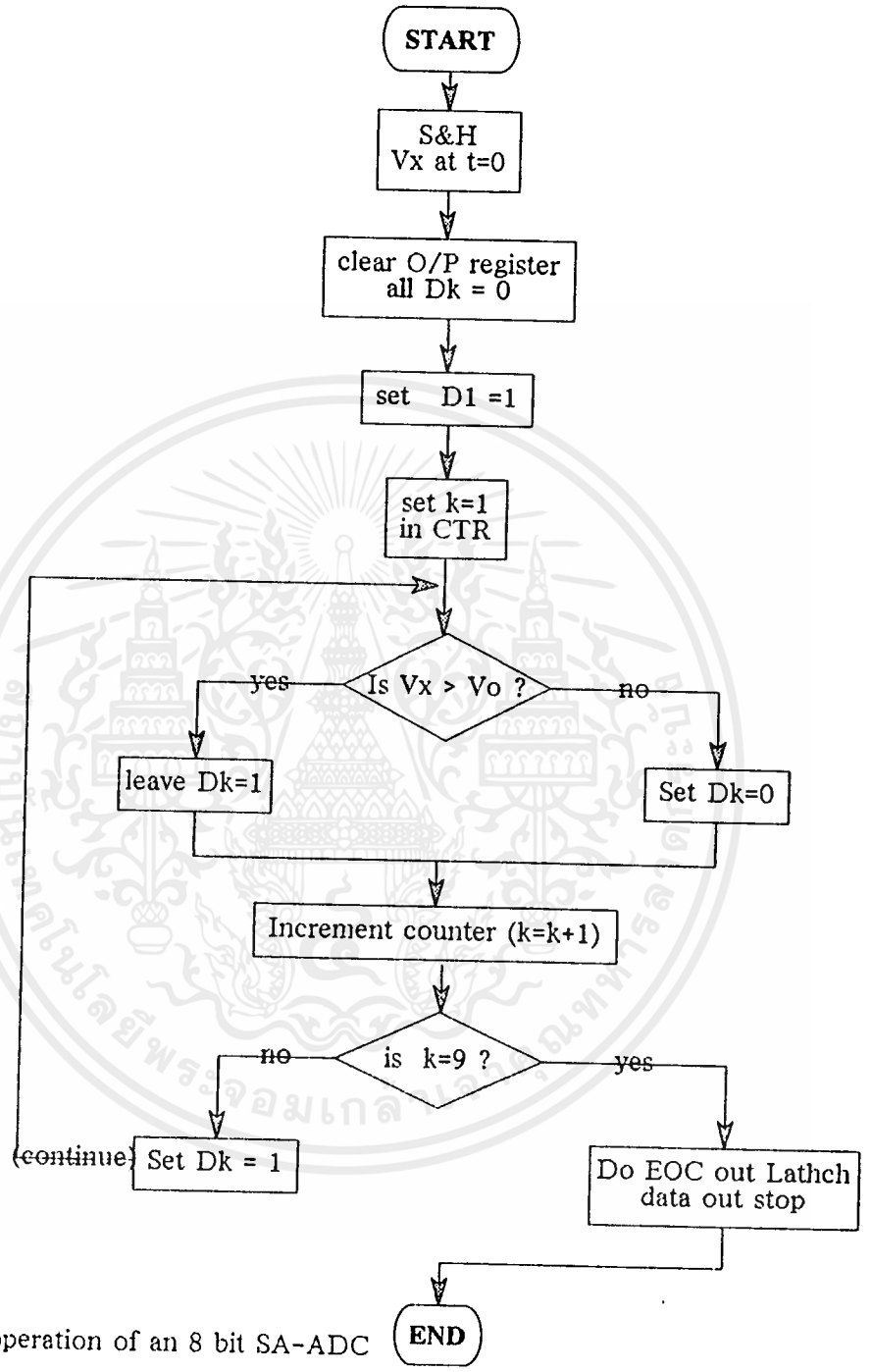
เมื่อเริ่มทำการแปลงสัญญาณ พัลส์ลูกแรกจะทำการส่งบิตที่มีนัยสำคัญสูงสุดไปยังดีทูเอเบอร์ 0800 โดย SAR จะรอสัญญาณจากวงจรเปรียบเทียบ LM361 ซึ่งทำการตรวจสอบว่าเอาท์พุตของวงจรดีทูเอซึ่งเอาท์พุตจากขา 4 และ ขา 2 ของ DAC0800 จะเป็นกระแส กระแสนี้จะถูกเปลี่ยนเป็นแรงดันโดยวงจรเปลี่ยนกระแสเป็นแรงดันที่ใช้ LM318 เอาท์พุตของดีทูเอที่ถูกเปลี่ยนเป็นแรงดันแล้วนี้จะถูกตรวจสอบว่ามากหรือน้อยกว่าแรงดันอินพุท V_{in} SAR จะทำการรีเซตบิทที่มีนัยสำคัญสูงสุดนั้น

พัลส์ลูกต่อมาก็จะทำงานเช่นเดียวกัน โดยบิทที่ได้คือบิทที่มีนัยสำคัญรองลงมา ASR จะทำงานแบบนี้ไปจนถึงบิทที่มีนัยสำคัญต่ำสุด แต่ละบิทจะใช้สัญญาณนาฬิกาเพียงลูกเดียว ดังนั้นถ้าเราต้องการเอาท์พุทเป็นรหัสดิจิตอลขนาด 8 บิท ก็ใช้สัญญาณนาฬิกา 8 ลูก

วงจรในรูปที่ 4.3.1 จะใช้กับแรงดันอินพุตในช่วงเท่าไรขึ้นอยู่กับค่า V_{ref} ที่ขา 14 ของ DAC0800 ในที่นี้เราใช้ V_{ref} เท่ากับ +5 โวลต์ และใช้ R_{ref} เท่ากับ 2.5 kโอห์ม เพื่อให้ได้กระแส 2 mA ตามสเป็คของ 0800 และต้องการจะให้ใช้ได้กับแรงดันอินพุตตั้งแต่ -5 ถึง +5 โวลต์ ดังนั้น DAC0800 จึงให้เอาท์พุตเป็นค่าเต็มสเกลทางด้านบวกเท่ากับ +5 โวลต์ และให้ค่าเต็มสเกลทางด้านลบเท่ากับ -5 โวลต์

การทำงานของวงจรในรูป 4.3.1 สามารถเขียนเป็น flow chart ได้ดังนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



Flowchart for operation of an 8 bit SA-ADC

D1=MSB and D8=LSB

Flowchart for the operation of an 8 bit SA-ADC

D_1 = MSB and D_8 = LSB

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สาเหตุที่เลือกใช้วงจรนี้เพราะสามารถดึงอนาล็อกเอาท์พุตออกมาจาก DAC ได้ เราต้องการเอาเอาท์พุตจาก DAC นี้ไปป้อนให้วงจรทำนายค่าเพื่อทำนายค่าสัญญาณออกมา และวงจรนี้ก็มีความเร็วในการแปลงสัญญาณค่อนข้างดี มีความละเอียดสูง นอกจากนี้ MC14549 ยังสามารถส่งเอาท์พุตดิจิตอลแบบอนุกรมอีกด้วยขึ้นอยู่กับการควบคุมของ SAR

ผลการทดสอบวงจร ADC นี้ในการแปลงสัญญาณอนาล็อกให้เป็นสัญญาณดิจิตอลขนาด 8 บิท เป็นดังต่อไปนี้

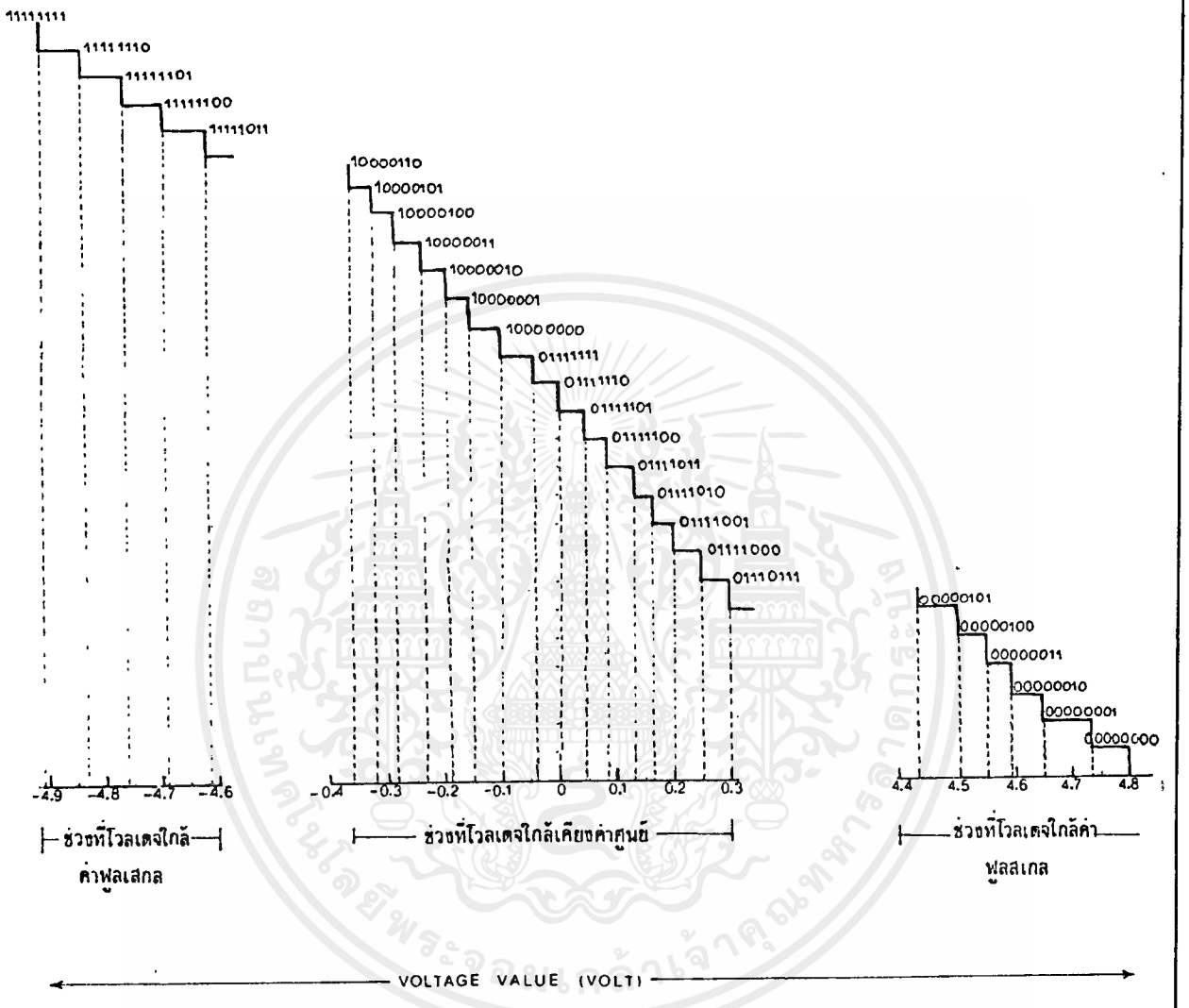
Digital Code								Voltage Value
MSB							LSB	
0	0	0	0	0	0	0	0	4.86 — ค่าฟูลสเกล
0	0	0	0	0	0	0	1	4.80 (ทางด้านบวก)
0	0	0	0	0	0	1	0	4.73
0	0	0	0	0	0	1	1	4.65
0	0	0	0	0	1	0	0	4.59
0	0	0	0	0	1	0	1	4.55
0	0	0	0	0	1	1	0	4.50
0	0	0	0	0	1	1	1	4.43
0	1	1	1	0	1	1	1	0.30
0	1	1	1	1	0	0	0	0.25
0	1	1	1	1	0	0	1	0.20
0	1	1	1	1	0	1	0	0.17
0	1	1	1	1	0	1	1	0.13

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Digital Code MSB							LSB	Voltage Value
0	1	1	1	1	1	0	0	0.08
0	1	1	1	1	1	0	1	0.04
0	1	1	1	1	1	1	0	0.00
0	1	1	1	1	1	1	1	-0.04
1	0	0	0	0	0	0	0	-0.10
1	0	0	0	0	0	0	1	-0.15
1	0	0	0	0	0	1	0	-0.19
1	0	0	0	0	0	1	1	-0.24
1	0	0	0	0	1	0	0	-0.29
1	0	0	0	0	1	0	1	-0.32
1	0	0	0	0	1	1	0	-0.36
1	1	1	1	1	0	1	0	-4.53
1	1	1	1	1	0	1	1	-4.62
1	1	1	1	1	1	0	0	-4.69
1	1	1	1	1	1	0	1	-4.76
1	1	1	1	1	1	1	0	-4.83
1	1	1	1	1	1	1	1	-4.91 — ค่าฟูลสเกล (ทางด้านลบ)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากตารางที่แสดงผลการแปลงค่าโวลเตจ (voltage) ค่าต่าง ๆ ให้อยู่ในรูปรหัสดิจิตอลจำนวน 8 บิท เมื่อนำมาเขียนเป็นแผนภาพเพื่อให้สะดวกในการพิจารณาการทำงานของวงจร ADC จะสามารถแสดงได้ตามรูปที่ 4.3.2



รูปที่ 4.3.2 แผนภาพแสดงการแปลงค่าของวงจร ADC

จากวงจรในรูป 4.3.1 เราใช้ค่าฟูลสเกลทางด้านบวกเท่ากับ +5V. และค่าฟูลสเกลทางด้านลบเท่ากับ -5V. คือวงจร ADC นี้สามารถแปลงค่าโวลเตจที่มากที่สุดได้ +5V. (แปลงเป็นรหัสดิจิตอลได้เป็น 00000000) และสามารถแปลงค่าโวลเตจค่าลบมากที่สุดได้ -5V. (แปลงเป็นรหัสดิจิตอลได้เป็น 11111111) จากผลการแปลงสัญญาณที่แสดงในรูป 4.3.2 พบว่าช่วงที่โวลเตจมีค่าใกล้เคียงศูนย์ (ทั้งทางบวกและลบ) การทำงานของ ADC จะมีช่วงห่างของการจัดระดับ (quantized step) ค่อนข้างคงที่และมีค่าน้อยกว่า ช่วงที่โวลเตจมีค่าใกล้ค่า

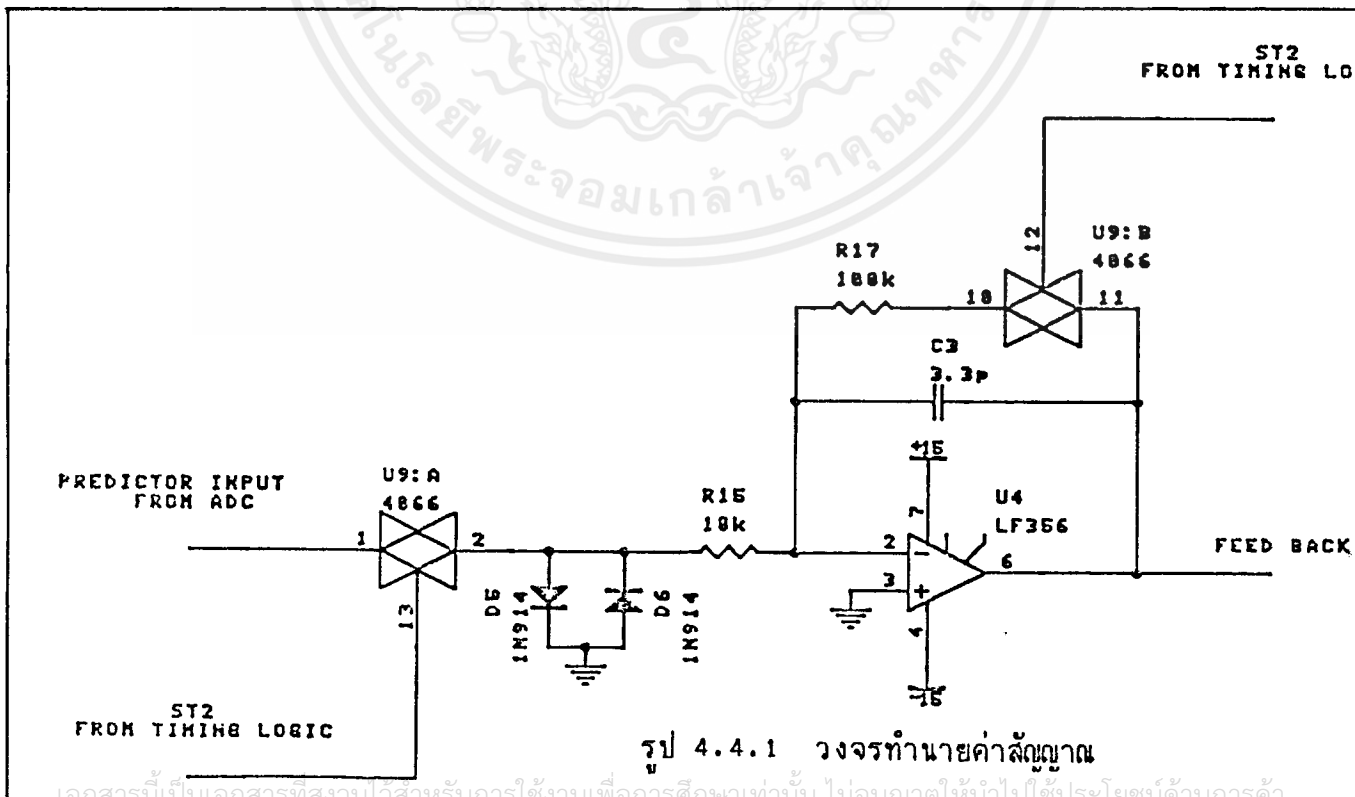
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ฟลูสเกจ นั่นคือ การแปลงสัญญาณจะมีความละเอียดมากในช่วงที่โวลเตจมีค่าน้อย ๆ ซึ่งนับว่าเป็นผลดีต่อระบบเพราะว่าวงจร ADC ซึ่งอยู่ในระบบ DPCM นี้มีหน้าที่แปลงค่าผลต่างระหว่างค่าทำนายกับค่าอินพุตจริง ซึ่งค่าผลต่างนี้จะเป็นค่าน้อย ๆ (เนื่องจากอินพุทจะมีการเปลี่ยนแปลงของระดับสัญญาณที่เป็นไปอย่างช้า ๆ)

4.4 วงจรทำนายค่าสัญญาณ (predictor)

วงจนทำนายค่าสัญญาณเราใช้วงจรแอ็คคิวมูเลเตอร์ หรือวงจรสะสมค่าสัญญาณ โดยมีการทำงานตามนี้คือ ในตอนเริ่มต้นค่าในแอ็คคิวมูเลเตอร์เป็นศูนย์ นั่นก็คือค่าทำนายเท่ากับศูนย์จะถูกนำไปเปรียบเทียบกับค่าอินพุต ผลต่างที่ได้จึงเป็นค่าอินพุตตามเดิม ค่านี้จะถูกนำไปรวมกับค่าเดิมในแอ็คคิวมูเลเตอร์กลายเป็นค่าทำนายออกมาแล้วเอาค่าทำนายนี้ ซึ่งก็คือค่าอินพุตตัวก่อนหน้าไปเปรียบเทียบกับค่าอินพุตปัจจุบัน พอได้ผลต่างออกมาก็เอาค่าผลต่างนี้ไปรวมกับค่าเดิมในแอ็คคิวมูเลเตอร์กลายเป็นค่าทำนาย ซึ่งก็คือค่าอินพุตตัวก่อนเมื่อไปเปรียบเทียบกับค่าอินพุตปัจจุบันอีก ก็ได้ค่าผลต่าง แล้วก็เป็นเช่นนี้ต่อไปเรื่อย ๆ จึงทำให้พบว่าค่าเอาท์พุตของวงจรทำนายค่าที่ทำการทำนายค่าอินพุต จะมีรูปสัญญาณเลียนแบบสัญญาณอินพุต เพียงแต่จะช้ากว่าสัญญาณอินพุต เป็นเวลาเท่ากับ 1 ช่วงเวลาในการสุ่มค่าเท่านั้น

วงจรทำนายค่าสัญญาณที่ใช้ในการทดลองเป็นดังรูป 4.4.1



รูป 4.4.1 วงจรทำนายค่าสัญญาณ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

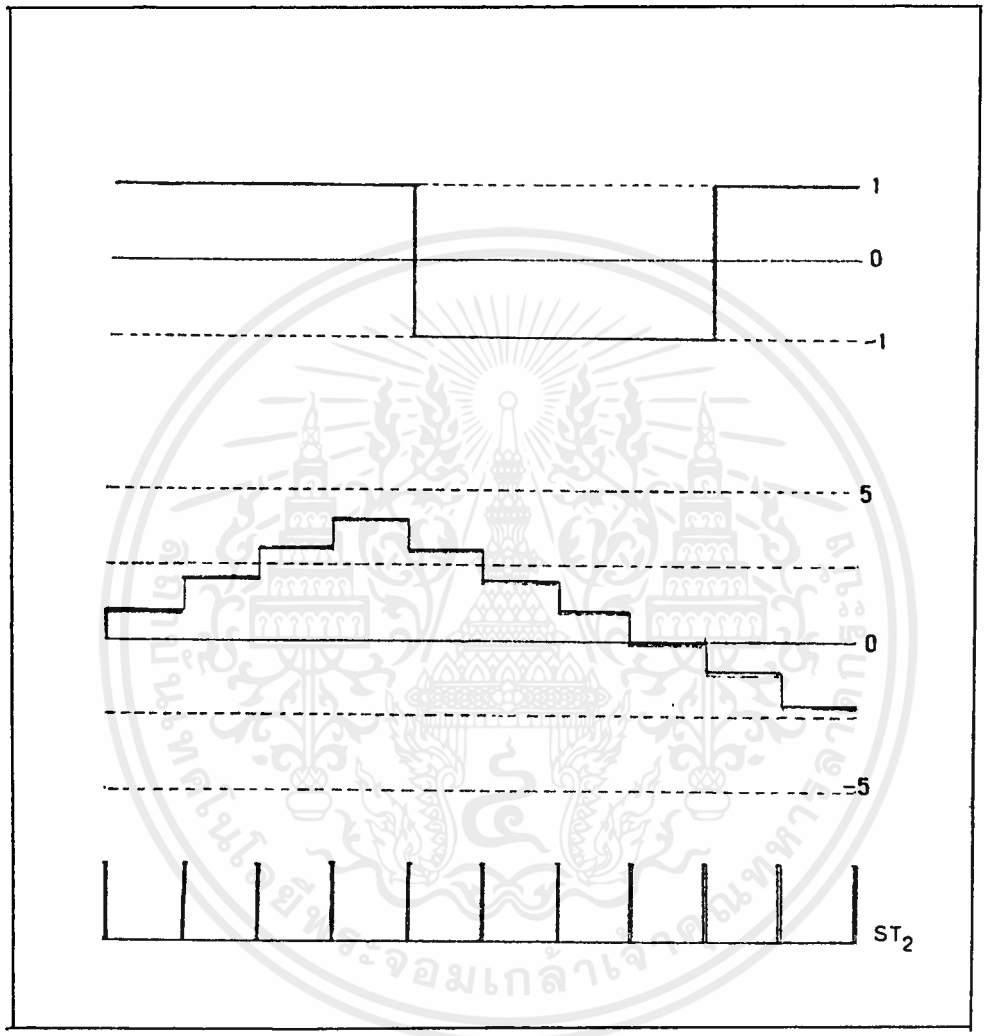
จากรูป 4.4.1 ในส่วนแรกของวงจรทำนายค่าเป็นไอซีที่ทำหน้าที่เป็นอนาล็อกสวิทช์ (ไอซีเบอร์ 4066) โดยทำการเปิด-ปิดสวิทช์ตามจังหวะเวลาของสัญญาณควบคุมจังหวะเวลา ST_2 อินพุตของวงจรทำนายค่าสัญญาณ เป็นค่าที่เอาออกมาจากเอาท์พุตของ DAC0800 ที่เป็นส่วนประกอบอยู่ในวงจรแปลงค่าสัญญาณอนาล็อกเป็นสัญญาณดิจิตอล ค่าที่ออกมาจาก DAC นี้จะเป็นค่าโวลเตจของรหัสดิจิตอล ค่าโวลเตจนี้จะถูกเก็บค่าเมื่อสัญญาณ ST_2 เป็น High ค่าโวลเตจนี้จะถูกส่งเข้าไปวงจรแอ็คคิวมูเลเตอร์ เพื่อรวมกับค่าเดิมในแอ็คคิวมูเลเตอร์

วงจรแอ็คคิวมูเลเตอร์ อาศัยการทำงานของตัวเก็บประจุ (C_3) ในลักษณะดังนี้คือ ตามปกติของตัวเก็บประจุเมื่อมีกระแสไหลผ่านตัวมันจะเกิดโวลเตจตกคร่อมตัวเก็บประจุนั้น เมื่อกระแสเข้าไปในตัวเก็บประจุและเวลาผ่านไปเรื่อย ๆ โวลเตจที่ตกคร่อมตัวเก็บประจุก็จะเพิ่มขึ้นเรื่อย ๆ จนกระทั่งถึงจุดหนึ่งเป็นจุดอิ่มตัวของตัวเก็บประจุ ถึงแม้เรายังให้กระแสต่อไปแต่โวลเตจจะคงที่อยู่เท่าเดิมไม่เพิ่มขึ้นอีก

การนำตัวเก็บประจุมาใช้งานในวงจรแอ็คคิวมูเลเตอร์เป็นการใช้งานในช่วงก่อนที่ตัวเก็บประจุจะอิ่มตัว (Saturate) กล่าวคือ ยังอยู่ในช่วงที่ค่าโวลเตจมีการเปลี่ยนแปลงได้ กระแสที่ไหลเข้ามาประจุตัวเก็บประจุจะมีเวลาในการประจุตามจังหวะของสัญญาณ ST_2 กระแสแต่ละค่าที่ผ่านอนาล็อกสวิทช์มาอาจทำให้โวลเตจที่ตกคร่อมตัวเก็บประจุมีค่าเพิ่มขึ้นหรือลดลง เนื่องจากค่าโวลเตจที่ออกมาจาก DAC ซึ่งก็คือค่าผลต่างระหว่างค่าอินพุตจริงกับค่าทำนาย อาจจะมีค่าเป็นบวกหรือลบก็ได้ ซึ่งเหตุผลดังกล่าวนี้ทำให้โวลเตจที่ตกคร่อมตัวเก็บประจุจะไม่เพิ่มขึ้นไปจนถึงจุดอิ่มตัว

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

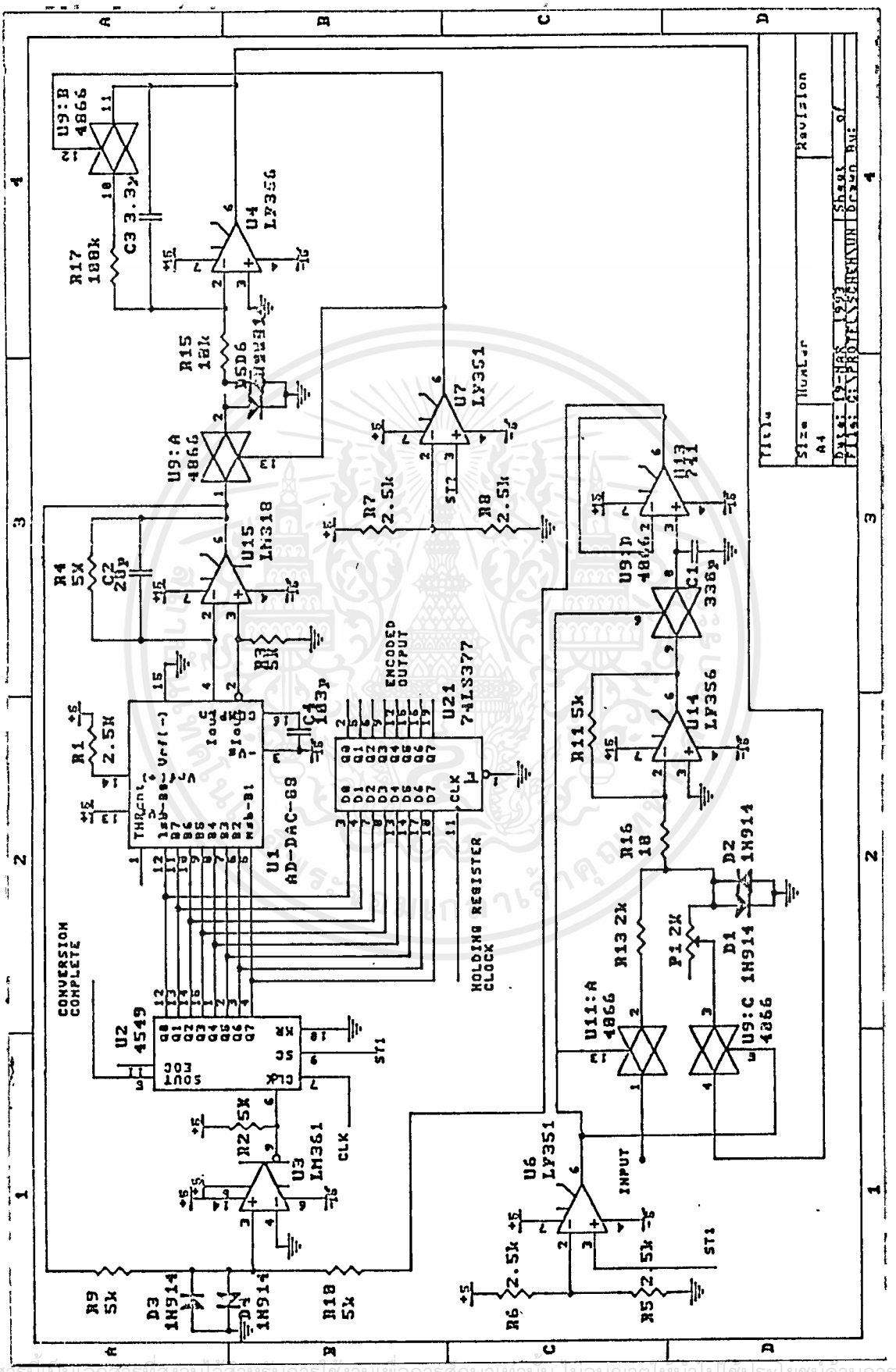
วงจรแอ็คคิวมูเลเตอร์ ตามรูป 4.4.1 นี้ เมื่อทดสอบการทำงานของวงจร โดยการป้อนอินพุทเป็น square wave จะได้เอาท์พุท ตามรูป 4.4.2



รูปที่ 4.4.2 แสดงเอาท์พุทของวงจรแอ็คคิวมูเลเตอร์เมื่อป้อนอินพุทเป็น square wave

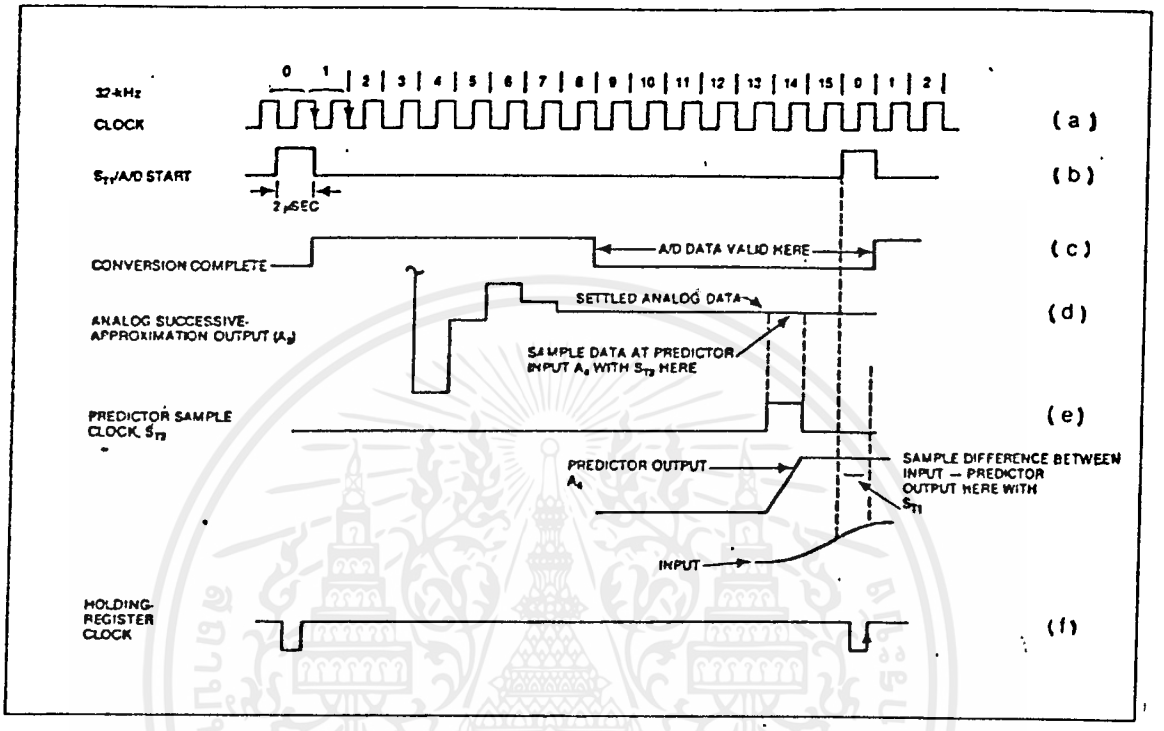
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.5 วงจรรวมทางด้านการเข้ารหัส (Encoder)



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เมื่อนำวงจรย่อยแต่ละส่วนได้แก่วงจรสุ่มและคงค่าสัญญาณ, วงจร ADC, วงจรทำนายค่าสัญญาณมาต่อกันรวมเป็นวงจรการเข้ารหัสในระบบ DPCM ก็จะสามารถอธิบายการทำงานของวงจรรวมได้โดยอาศัยแผนภาพในรูป 4.5.1



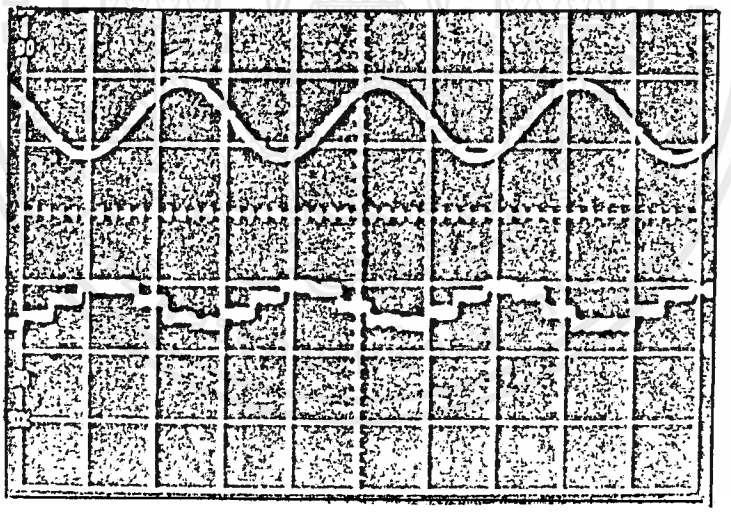
รูป 4.5.1 แผนภาพอธิบายการทำงานของวงจรการเข้ารหัสในระบบ DPCM

ในการอธิบายการทำงานของวงจรการเข้ารหัสก่อนอื่นต้องเข้าใจว่าในขณะที่วงจรเริ่มต้นทำงาน ค่าทำนายค่าแรกจะมีค่าเท่ากับศูนย์ (เพราะยังไม่มีค่าใด ๆ สะสมอยู่ในแอ็คคิวมูเลเตอร์) ค่าทำนายค่าแรกนี้ จะถูกนำไปเปรียบเทียบกับอินพุท แล้วค่าผลต่างนี้จะถูกสุ่มค่า โดยสัญญาณ ST_1 ที่มีค่าเป็น high เมื่อ ST_1 สุ่มค่าผลต่างแล้ว ขณะเดียวกัน ST_1 ก็จะเป็นสัญญาณเริ่มต้นการทำงานของ ADC ด้วย ADC เมื่อได้รับสัญญาณเริ่มต้นก็จะทำการแปลงค่าผลต่างนั้นให้เป็นรหัสดิจิตอลแล้วส่งออกไปทางเอาท์พุต ผลต่างซึ่งเป็นรหัสดิจิตอลดังกล่าว เราสามารถนำค่าแรงดันซึ่งเทียบเท่ากับรหัสดิจิตอลนั้นออกมาจากเอาท์พุทของ DAC0800 ได้ แล้วค่าแรงดันนี้จะถูกสุ่มค่าโดยสัญญาณ ST_2 ที่มีค่าเป็น high เมื่อนำค่าแรงดันซึ่งก็คือค่าผลต่างระหว่างค่าอินพุทจริงกับค่าทำนาย เข้าไปบวกกับค่าเดิมในแอ็คคิวมูเลเตอร์ออกมาเป็นค่าทำนายอินพุทค่าใหม่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากรูป 4.5.1 เป็นการอธิบายการทำงานของวงจรการเข้ารหัส ซึ่งสอดคล้องกับคำอธิบายข้างต้นจะเห็นว่า ก่อนที่ ST_1 จะสุ่มค่าสัญญาณเพื่อนำไปแปลงเป็นรหัสดิจิตอลนั้น จะต้องมีค่าทำนายออกมาจากวงจรทำนายค่าแล้วนำไปเปรียบเทียบหาผลต่างกับค่าอินพุทจริงเสียก่อน ST_1 จึงจะสุ่มเอาค่าผลต่างอันนั้นไปแปลงเป็นรหัสดิจิตอล ดังนั้นเมื่อพิจารณารูป 4.5.1 (b) ซึ่งเป็นรูปสัญญาณ ST_1 และรูป 4.5.2 (e) ซึ่งเป็นรูปสัญญาณ ST_2 จึงพบว่าสัญญาณ ST_2 จะมีค่าเป็น high ก่อนหน้าที่สัญญาณ ST_1 จะมีค่าเป็น high ซึ่งก็เนื่องจากว่า ST_2 นั้นต้องเอาค่าสุ่มตัวอย่างที่แล้วไปทำเป็นค่าทำนายอินพุทปัจจุบันออกมา จะได้นำไปเปรียบเทียบกับอินพุทจริง จากนั้น ST_1 ก็จะสุ่มเอาค่าผลต่างอันนี้ไปให้วงจร ADC ต่อไป

จากหลักการทำงานของวงจรต่าง ๆ ตลอดจนวงจรรวมดังที่ได้อธิบายไปแล้ว เมื่อเราป้อนสัญญาณอินพุทเป็นสัญญาณค่าแรงดันรูปซายน์ (sine) แล้วทำการวัดสัญญาณที่ออกจากวงจรทำนายค่าสัญญาณ จะได้สัญญาณที่เลียนแบบสัญญาณอินพุทแต่จะช้ากว่าสัญญาณอินพุทอยู่เท่ากับ 1 ช่วง ห่างของการสุ่มค่าสัญญาณแต่ละครั้ง ดังแสดงในรูป 4.5.2



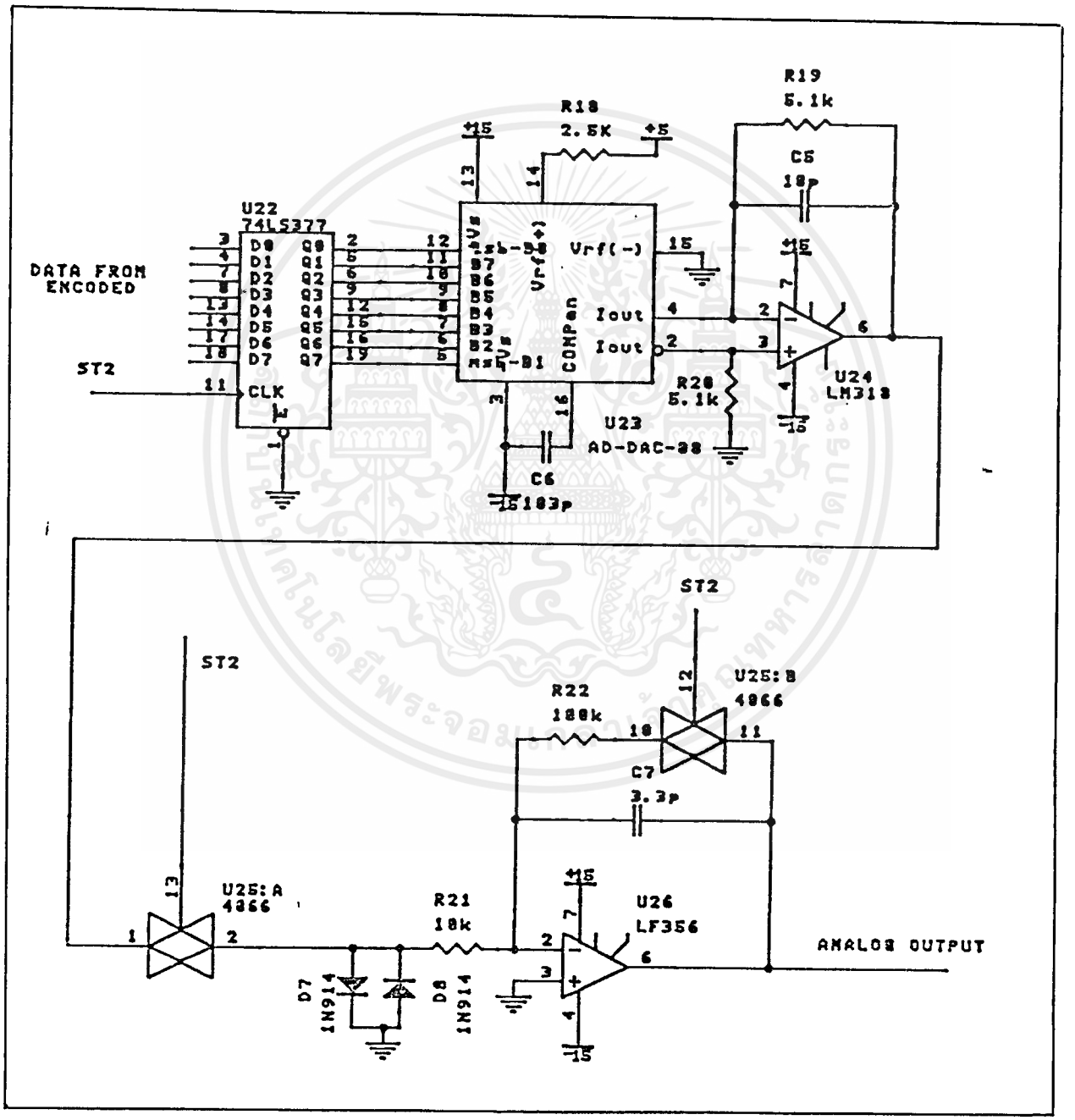
รูปที่ 4.5.2 แสดงรูปสัญญาณที่วัดได้เมื่อป้อนอินพุทเป็นค่าแรงดันรูปซายน์
(a) สัญญาณอินพุท (b) สัญญาณที่ออกจากวงจรทำนายค่าสัญญาณ

จากรูป 4.5.2 จะเห็นได้ชัดเจนว่าเป็นการนำค่าอินพุทตัวก่อนหน้าไปเป็นค่าทำนายอินพุทปัจจุบัน ซึ่งผลการทำงานของวงจรเป็นไปตามหลักการในทฤษฎีของระบบ DPCM ที่ได้กล่าวไว้แล้วในบทที่ 2

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.6 วงจรการถอดรหัส (Decoder)

จากบล็อกไดอะแกรมของวงจรการถอดรหัสที่กล่าวไว้แล้วในบทที่ 3 วงจรการถอดรหัสจะประกอบไปด้วยวงจรส่วนใหญ่ที่มีหลักการทำงานเหมือนกับวงจรการเข้ารหัส ได้แก่ วงจรการสุ่มและคงค่าสัญญาณ และวงจรแอ็คคิวมูเลเตอร์ สำหรับวงจรการถอดรหัสนี้จะใช้ไอซีเบอร์ DAC0800 ทำหน้าที่ในการแปลงสัญญาณดิจิตอลเป็นสัญญาณอนาล็อก วงจรการถอดรหัสแสดงในรูป 4.6.1

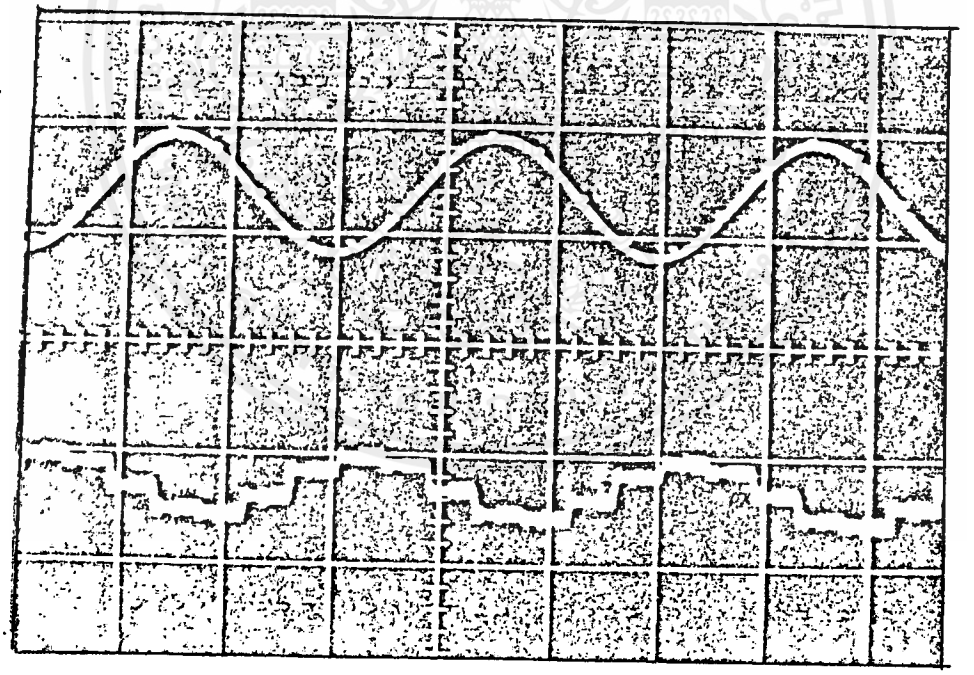


รูป 4.6.1 วงจรการถอดรหัส

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ค่าผลต่างระหว่างค่าอินพุทจริงกับค่าทำนายที่อยู่ในรูปรหัสดิจิตอลจะถูกส่งมาจากทางด้านวงจรเข้ารหัสมาเข้าวงจรถอดรหัสโดยผ่านวงจรคงค่าไว้แล้วเอาค่าผลต่างนั้นไปให้ DAC แปลงจากรหัสดิจิตอลเป็นค่าโวลเตจที่เทียบเท่ากับรหัสดิจิตอลนั้น แล้วนำค่าผลต่างที่แปลงเป็นค่าโวลเตจแล้วนี้ไปเข้าวงจรแอ็คคิวมูเลเตอร์ เพื่อรวมกันเป็นสัญญาณอนาล็อกอินพุทออกมา และเมื่อเอาสัญญาณที่ออกจากแอ็คคิวมูเลเตอร์ของวงจรถอดรหัสนี้ไป ผ่านวงจรกรองความถี่ต่ำ (Low Pass Filter) ก็จะได้สัญญาณออกมาเหมือนกับสัญญาณเดิมคือสัญญาณอนาล็อกที่เป็นอินพุทของวงจรการเข้ารหัสนั่นเอง

โดยหลักการของระบบ DPCM ทั้งการเข้ารหัสและการถอดรหัสดังกล่าวมาแล้วนั้น เมื่อเราป้อนสัญญาณรูปซายน์เป็นอินพุทของวงจรเข้ารหัส (วงจรในรูป 4.5.1) แล้วนำเอาท์พุทของวงจรเข้ารหัส ซึ่งจะมีลักษณะเป็นรหัสดิจิตอลไปป้อนเป็นอินพุทของวงจรถอดรหัส (วงจรในรูป 4.6.1) สังเกตดูเอาท์พุทของวงจรถอดรหัสจะมีรูปร่าง เหมือนกับอินพุทรูปซายน์ที่ป้อนให้กับวงจรเข้ารหัส ดังแสดงในรูป 4.6.2



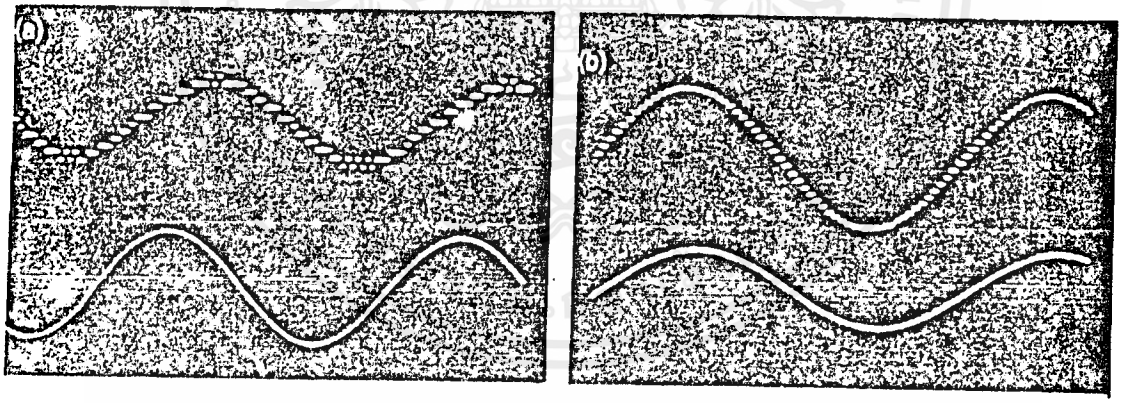
รูปที่ 4.6.2 แสดงสัญญาณอินพุทของวงจรเข้ารหัสเปรียบเทียบกับเอาท์พุทของวงจรถอดรหัส

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 5

สรุปและวิจารณ์ผลการทดลอง

สำหรับโครงงานนี้ได้ประกอบวงจรของระบบ DPCM ทั้งทางด้านเข้ารหัสและถอดรหัส ซึ่งวงจรที่ประกอบขึ้นนี้สามารถที่จะทำงานเป็นไปตามทฤษฎีของระบบ DPCM ที่ได้กล่าวไว้ในบทที่ 2 โดยจุดประสงค์ที่สำคัญแล้วระบบ DPCM นี้มักใช้เพื่อให้สามารถเข้ารหัสสัญญาณได้โดยใช้จำนวนบิทของรหัสดิจิตอลน้อยลงกว่าในระบบ PCM ได้โดยที่ยังคงคุณภาพของสัญญาณไว้ได้เท่าเดิม ดังนั้นถ้าเราใช้จำนวนบิทของรหัสดิจิตอลในระบบ DPCM เท่ากับจำนวนบิทของรหัสดิจิตอลในระบบ PCM แล้วจะทำให้สัญญาณที่ได้มีความละเอียดมากขึ้น เนื่องจากในระบบ DPCM มีการทำนายค่าสัญญาณนำมาเปรียบเทียบกับค่าอินพุทจริง เพื่อหาค่าผลต่างไปทำการจัดระดับและเข้ารหัส ระบบ DPCM การจัดระดับเราสามารถแบ่งระดับได้อย่างละเอียดมากขึ้น ทำให้สัญญาณที่ได้มีการผิดพลาดที่เกิดจากการจัดระดับ (quantization error) น้อยลง ดังจะเห็นได้จากรูปที่ 5.1 ซึ่งทำการเปรียบเทียบสัญญาณที่ได้จากการเข้ารหัสในระบบ PCM (รูป a) กับสัญญาณที่ได้จากการเข้ารหัสในระบบ DPCM (รูป b)



รูปที่ 5.1 เปรียบเทียบคุณภาพของสัญญาณ
จากระบบ PCM (a) และระบบ DPCM (b)

นอกเหนือจากข้อได้เปรียบของระบบ DPCM ดังได้กล่าวมาแล้ว โดยธรรมชาติของระบบ DPCM ยังเป็นระบบที่เป็นเชิงเส้น (linear system) ซึ่งทำให้การวิเคราะห์ทำได้ง่ายกว่าระบบที่ไม่เป็น (nonlinear system) ด้วย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

แม้ว่าระบบ DPCM จะเป็นที่รู้จักกันดีโดยทั่วไปอยู่แล้ว แต่สำหรับวงจรระบบ DPCM ที่ได้ประกอบขึ้นในโครงงานนี้ทางผู้จัดทำมีความเห็นว่าเป็นวงจรที่น่าสนใจเนื่องจากสามารถใช้ความรู้พื้นฐานที่มีอยู่ในระดับที่ทำการศึกษาอยู่นี้มาใช้วิเคราห์และแก้ไขปัญหาที่เกิดขึ้นในขั้นตอนต่าง ๆ ได้โดยละเอียด ซึ่งการเข้าใจในส่วนย่อย ๆ ของระบบซึ่งอาศัยหลักการพื้นฐานที่ถูกต้องนั้นย่อมจะทำให้การวิเคราะห์การทำงานโดยรวมของระบบใหญ่เป็นไปได้อย่างมีประสิทธิภาพมากขึ้น และเนื่องจากวงจรที่ได้ประกอบขึ้นสามารถให้ผลการทดลองเป็นที่น่าพอใจ จึงสามารถนำไปใช้เป็นวงจรต้นแบบได้ โดยในการนำไปใช้งานจริงอาจมีการประยุกต์หรือเพิ่มเติมในบางส่วนให้เหมาะกับงานนั้น ๆ ซึ่งการประยุกต์หรือเพิ่มเติมวงจรก็สามารถที่จะทำได้โดยง่ายเพราะได้มีการอธิบายขั้นตอนต่าง ๆ ในการทำงานของวงจรต้นแบบไว้โดยละเอียดแล้ว

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เอกสารอ้างอิง

[1] ประเสริฐ ตั้งเสถียรภาพ, เผ่าภัค คิริสุข, มิตรชัย จงเชี่ยวชำนาญ "ระบบการสั่งงานด้วยเสียง" ปริญญานิพนธ์สำหรับปริญญาวิศวกรรมศาสตร์มหาบัณฑิต สาขา วิศวกรรมโทรคมนาคม สถาบันเทคโนโลยีเจ้าคุณทหารลาดกระบัง ปีการศึกษา 2534

[2] วิวัฒน์ กิรานนท์ "พื้นฐานการสื่อสาร" กรุงเทพมหานคร : สำนักพิมพ์จุฬาลงกรณ์มหาวิทยาลัย 2533.

[3] กฤษดา วิศวธิรานนท์ "ไอซีดิจิตอล" กรุงเทพมหานคร : สำนักพิมพ์ซีเอ็ดยูเคชั่น 2531.

[4] เปรมจิตร วิสุทธิศิริ "พื้นฐานวงจร เอทูดี,ดีทูเอ" เซมิคอนดัคเตอร์อิเล็คทรอนิกส์ เล่ม 103 หน้าที่ 302-309 ธันวาคม 2534.

[5] กลุ่ม CNS "ออปแอมป์" กรุงเทพมหานคร : สำนักพิมพ์ฟิสิกส์เซ็นเตอร์.

[6] ถวิล กิ่งทอง "เทคโนโลยีการส่งสัญญาณดิจิตอล" กรุงเทพมหานคร : สำนักพิมพ์ สถาบันเทคโนโลยีพระจอมเกล้า เจ้าคุณทหาร ลาดกระบัง 2534.

[7] Ian Hickman,"Circuits,System & Standards", Electrinics World and Wireless World, PP. 306-311, Apr.1992.

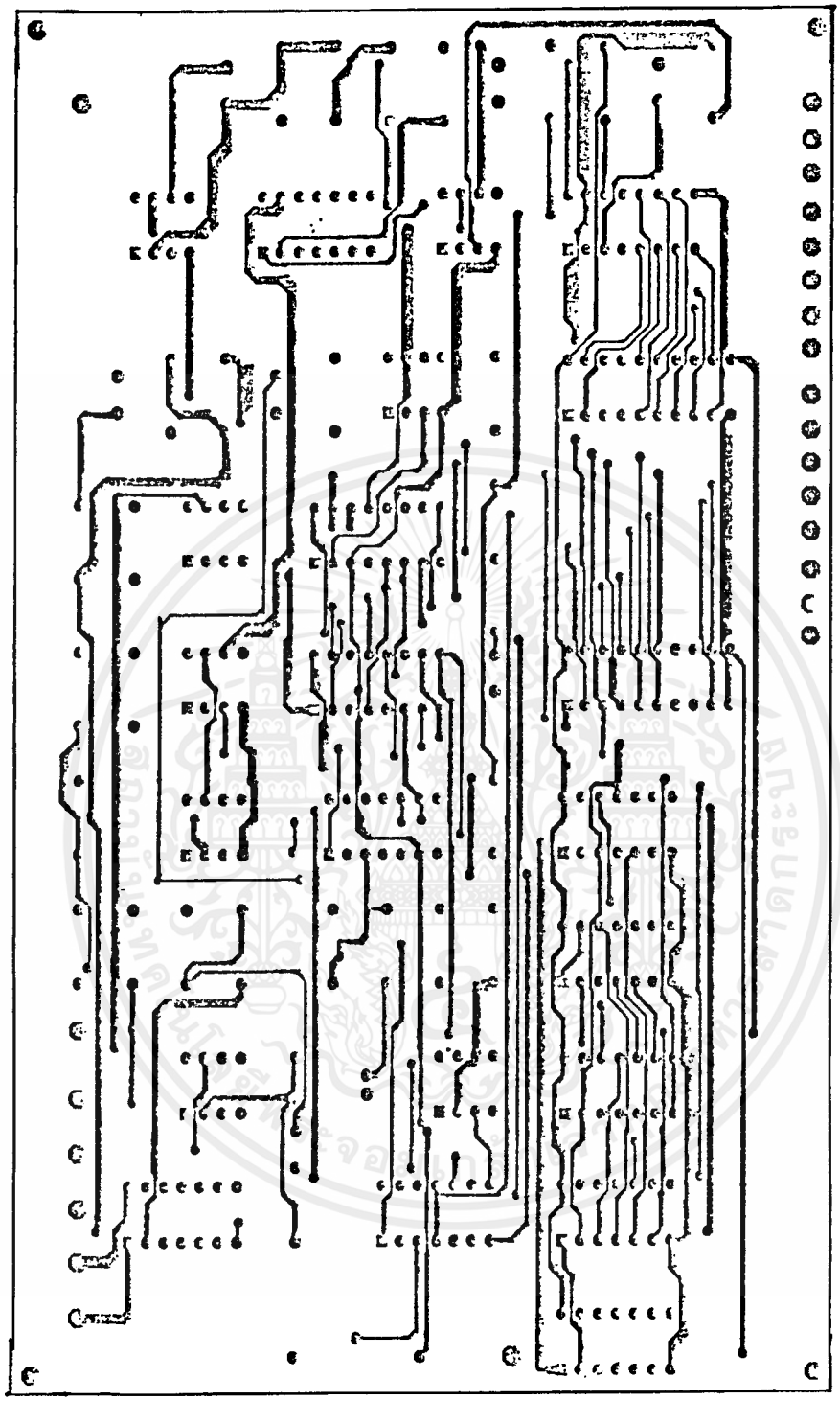
[8] Thomas J. Lynch, Ph.D.,"Data Compression", Van Nostrand Reinlold, 1985.

[9] David R. Smith, "Digital Transmission Systems", Van Nostrand Reinhold Company.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

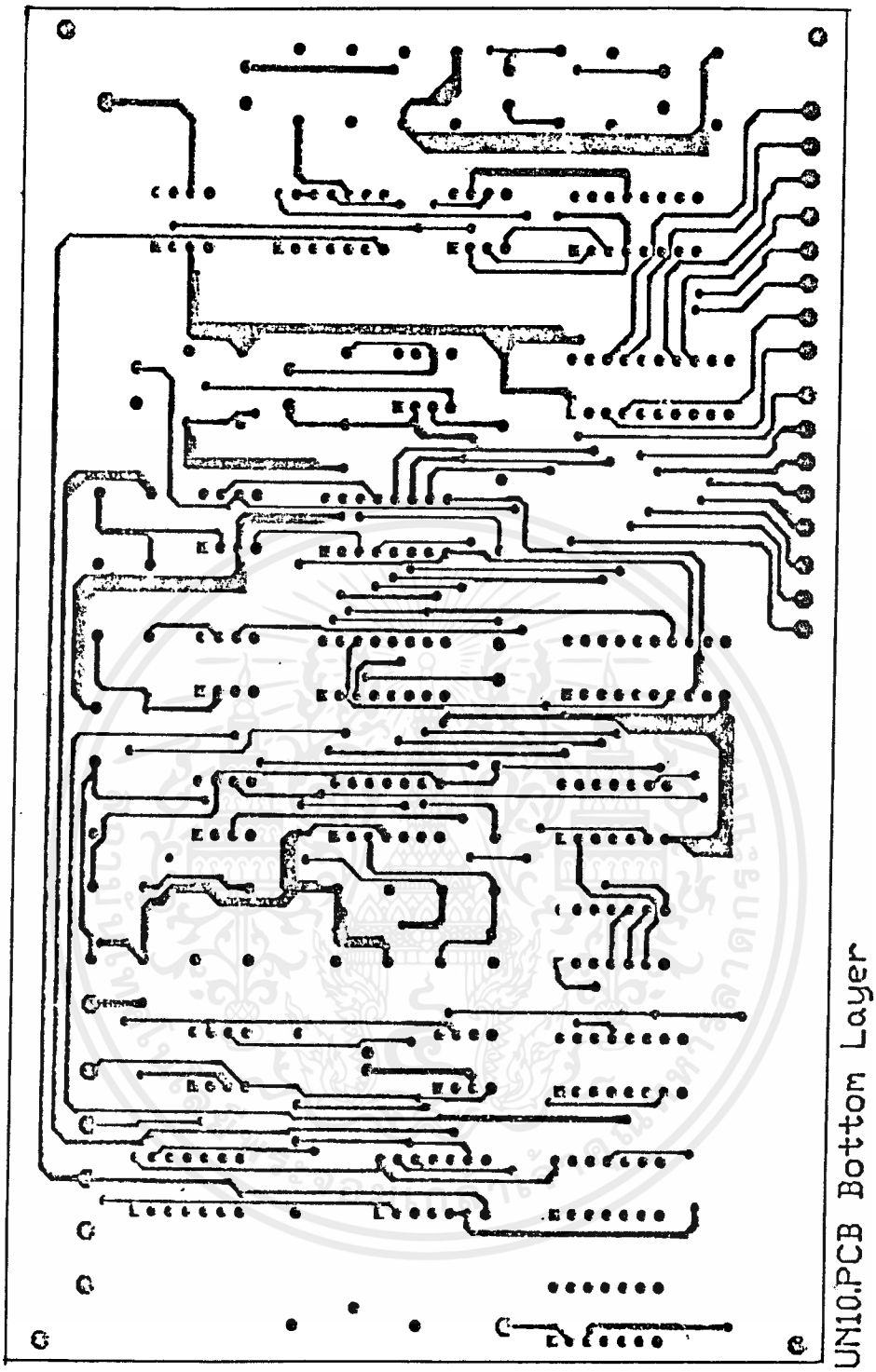
ภาคผนวก ค

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



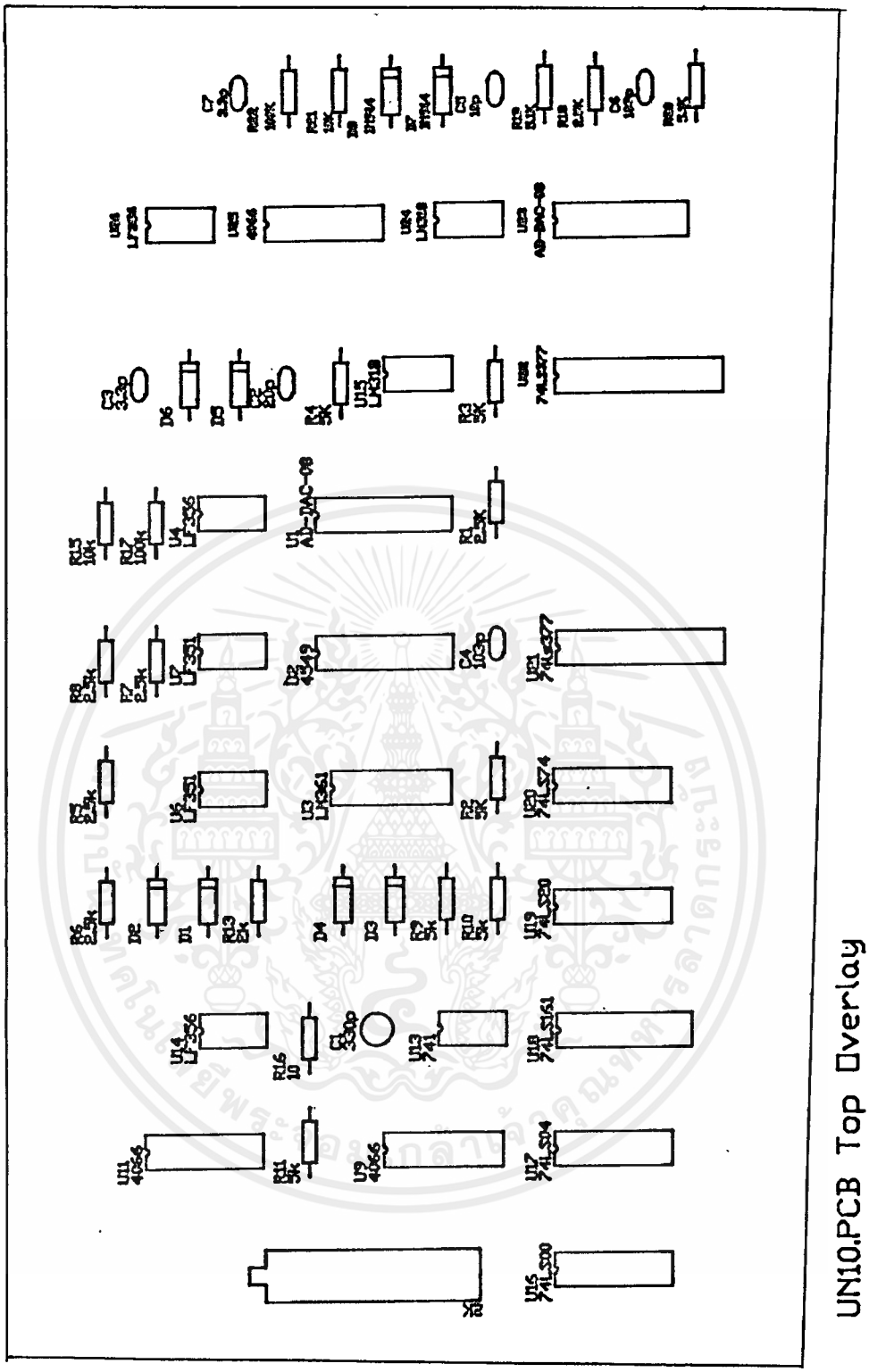
รูป ลายวงจรทางด้าน TOP LAYER

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูป ลายวงจรทางด้าน BOTTOM LAYER

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูป การจัดวางอุปกรณ์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MOTOROLA

MC14549B
MC14559B

CMOS MSI

(LOW POWER COMPLEMENTARY MOS)

SUCCESSIVE APPROXIMATION REGISTERS

L SUFFIX
CERAMIC PACKAGE
CASE 620

P SUFFIX
PLASTIC PACKAGE
CASE 648

ORDERING INFORMATION

MC14xxxxB — Suffix Denotes
- L Ceramic Package
- P Plastic Package
- A Extended Operating Temperature Range
- C Limited Operating Temperature Range

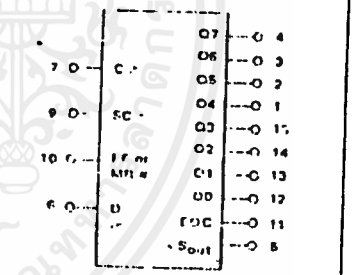
SUCCESSIVE APPROXIMATION REGISTERS

The MC14549B and MC14559B successive approximation registers are 8 bit registers providing all the digital control and storage necessary for successive approximation analog to digital conversion systems. These parts differ in only one control input. The Master Reset (MR) on the MC14549B is required in the cascaded mode when greater than 8 bits are desired. The Feed Forward (FF) of the MC14559B is used for register shortening where End of Conversion (EOC) is required after less than eight cycles.

Applications for the MC14549B and MC14559B include analog to digital conversion, with serial and parallel outputs.

- Totally Synchronous Operation
- All Outputs Buffered
- Single Supply Operation
- Serial Output
- Retriggerable
- Compatible with a Variety of Digital and Analog Systems such as the MC1408 8 Bit D/A Converter
- All Control Inputs Positive-Edge Triggered
- Supply Voltage Range = 3.0 Vdc to 18 Vdc
- Capable of Driving Two Low-power TTL Loads, One Low-power Schottky TTL Load or Two HTL Loads Over the Rated Temperature Range

BLOCK DIAGRAM



V_{DD} = Pin 10
V_{SS} = Pin 8

*For MC14549B Pin 10 is MR Input
For MC14559B Pin 10 is FF Input

MAXIMUM RATINGS (Voltages referenced to V_{SS})

Rating	Symbol	Value	Unit
DC Supply Voltage	V_{DD}	-0.5 to +18	Vdc
Input Voltage, All Inputs	V_{in}	-0.5 to V_{DD} + 0.5	Vdc
DC Current Drain per Pin	I	10	mAdc
Operating Temperature Range — AL Device	T_A	-55 to +125	°C
CL/CP Device		-40 to +85	°C
Storage Temperature Range	T_{stg}	-65 to +150	°C

TRUTH TABLES

MC14549B

SC	$SC_{(t-1)}$	MR	$MR_{(t-1)}$	Clock	Action
X	X	X	X	⎍	None
X	X	1	X	⎍	Reset
1	0	0	0	⎍	Start Conversion
1	X	0	1	⎍	Start Conversion
1	1	0	0	⎍	Continue Conversion
0	X	0	X	⎍	Continue Previous Operation

MC14559B

SC	$SC_{(t-1)}$	FF	Clock	Action
X	X	X	⎍	None
1	0	0	⎍	Start Conversion
X	1	0	⎍	Continue Conversion
0	0	0	⎍	Continue Conversion
0	X	1	⎍	Retain Conversion Result
1	X	1	⎍	Start Conversion

X = Don't Care
⎍ = State at Previous Clock ⎍

This device contains circuitry to protect the inputs against damage due to high static voltages or electric fields; however, it is advised that normal precautions be taken to avoid application of any voltage higher than maximum rated voltages to this high impedance circuit. For proper operation it is recommended that V_{in} and V_{out} be constrained to the range $V_{SS} \le (V_{in}$ or $V_{out}) \le V_{DD}$.

Unused inputs must always be tied to an appropriate logic voltage level (e.g., either V_{SS} or V_{DD}).

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ELECTRICAL CHARACTERISTICS

Characteristic	Symbol	V_{DD} Vdc	T_{low}* Min	T_{low}* Max	25°C Min	25°C Typ	25°C Max	T_{high}* Min	T_{high}* Max	Unit
Output Voltage "0" Level	V_{OL}	5.0	–	0.05	–	0	0.05	–	0.05	Vdc
V_{in} = V_{DD} or 0		10	–	0.05	–	0	0.05	–	0.05	
		15	–	0.05	–	0	0.05	–	0.05	
"1" Level	V_{OH}	5.0	4.95	–	4.95	5.0	–	4.95	–	Vdc
V_{in} = 0 or V_{DD}		10	9.95	–	9.95	10	–	9.95	–	
		15	14.95	–	14.95	15	–	14.95	–	
Input Voltage# "0" Level	V_{IL}									Vdc
(V_O = 4.5 or 0.5 Vdc)		5.0	–	1.5	–	2.25	1.5	–	1.5	
(V_O = 9.0 or 1.0 Vdc)		10	–	3.0	–	4.50	3.0	–	3.0	
(V_O = 13.5 or 1.5 Vdc)		15	–	4.0	–	6.75	4.0	–	4.0	
"1" Level	V_{IH}									
(V_O = 0.5 or 4.5 Vdc)		5.0	3.5	–	3.5	2.75	–	3.5	–	Vdc
(V_O = 1.0 or 9.0 Vdc)		10	7.0	–	7.0	5.50	–	7.0	–	
(V_O = 1.5 or 13.5 Vdc)		15	11.0	–	11.0	8.25	–	11.0	–	
Output Drive Current (AL Device)	I_{OH}									mAdc
(V_{OH} = 2.5 Vdc) Source		5.0	-1.2	–	-1.0	-1.7	–	-0.7	–	
(V_{OH} = 4.6 Vdc)		5.0	-0.25	–	-0.2	-0.36	–	-0.14	–	
(V_{OH} = 9.5 Vdc)		10	-0.62	–	-0.5	-0.9	–	-0.35	–	
(V_{OH} = 13.5 Vdc)		15	-1.8	–	-1.5	-3.5	–	-1.1	–	
(V_{OL} = 0.4 Vdc) Sink	I_{OL}	5.0	1.28	–	1.02	1.76	–	0.72	–	mAdc
(V_{OL} = 0.5 Vdc) Q Outputs		10	3.2	–	2.6	4.5	–	1.8	–	
(V_{OL} = 1.5 Vdc)		15	8.4	–	6.8	17.6	–	4.8	–	
(V_{OL} = 0.4 Vdc) Sink		5.0	0.64	–	0.51	0.88	–	0.36	–	
(V_{OL} = 0.5 Vdc) Pin 5, 11 only		5.0	1.6	–	1.3	2.25	–	0.9	–	
(V_{OL} = 1.5 Vdc)		10	4.2	–	3.4	8.8	–	2.4	–	
Output Drive Current (CL/CP Device)	I_{OH}									mAdc
(V_{OH} = 2.5 Vdc) Source		5.0	-1.0	–	-0.8	-1.7	–	-0.6	–	
(V_{OH} = 4.6 Vdc)		5.0	-0.2	–	-0.16	-0.36	–	-0.12	–	
(V_{OH} = 9.5 Vdc)		10	-0.5	–	-0.4	-0.9	–	-0.3	–	
(V_{OH} = 13.5 Vdc)		15	-1.4	–	-1.2	-3.5	–	-1.0	–	
(V_{OL} = 0.4 Vdc) Sink	I_{OL}	5.0	1.04	–	0.88	1.76	–	0.72	–	mAdc
(V_{OL} = 0.5 Vdc) Q Outputs		10	2.6	–	2.2	4.5	–	1.8	–	
(V_{OL} = 1.5 Vdc)		15	7.2	–	6.0	17.6	–	4.8	–	
(V_{OL} = 0.4 Vdc) Sink		5.0	0.52	–	0.44	0.88	–	0.36	–	
(V_{OL} = 0.5 Vdc) Pin 5, 11 only		10	1.3	–	1.1	2.25	–	0.9	–	
(V_{OL} = 1.5 Vdc)		15	3.6	–	3.0	8.8	–	2.4	–	
Input Current (AL Device)	I_{in}	15	–	±0.1	–	±0.00001	±0.1	–	±1.0	μAdc
Input Current (CL/CP Device)	I_{in}	15	–	±0.3	–	±0.00001	±0.3	–	±1.0	μAdc
Input Capacitance (V_{in} = 0)	C_{in}	–	–	–	–	5.0	7.5	–	–	pF
Quiescent Current (AL Device) (Per Package)	I_{DD}	5.0	–	5.0	–	0.005	5.0	–	150	μAdc
		10	–	10	–	0.010	10	–	300	
		15		20	–	0.015	20	–	600	
Quiescent Current (CL/CP Device) (Per Package)	I_{DD}	5.0	–	20		0.005	20	–	150	μAdc
		10		40	–	0.010	40	–	300	
		15	–	80	–	0.015	80	–	600	
Total Supply Current**‡ (Dynamic plus Quiescent, Per Package) (C_L = 50 pF on all outputs, all buffers switching)	I_T	5.0	I_T = (0.8 μA/kHz) f + I_{DD}							μAdc
		10	I_T = (1.6 μA/kHz) f + I_{DD}							
		15	I_T = (2.4 μA/kHz) f + I_{DD}							

*T_{low} = -55°C for AL Device, -40°C for CL/CP Device
T_{high} = +125°C for AL Device, +85°C for CL/CP Device
#Noise immunity specified for worst-case input combination
Noise Margin for both "1" and "0" level = 1.0 Vdc min @ V_{DD} = 5.0 Vdc
2.0 Vdc min @ V_{DD} = 10 Vdc
2.5 Vdc min @ V_{DD} = 15 Vdc
‡To calculate total supply current at loads other than 50 pF
$I_T(C_L) = I_T(50\ pF) + 2 \times 10^{-3} (C_L - 50) V_{DD} f$
where I_T is in μA (per package), C_L in pF, V_{DD} in Vdc, and f in kHz is input frequency
**The formulas given are for the typical characteristics only at 25°C

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

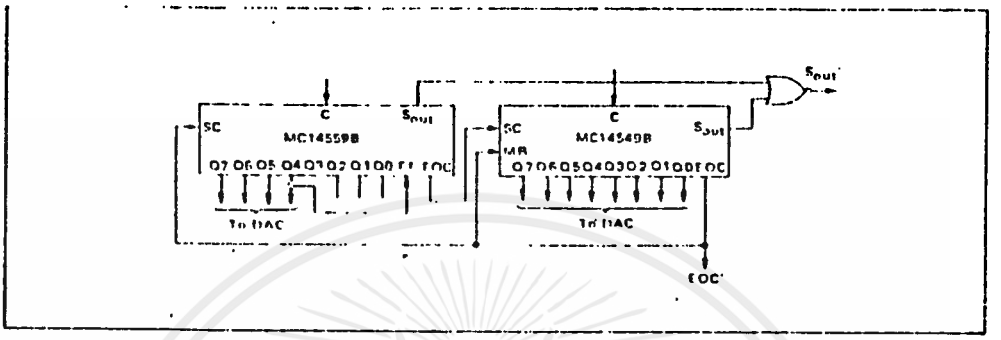
SWITCHING CHARACTERISTICS* (C_L = 50 pF, T_A = 25°C)

Characteristic	Symbol	V_{DD}	Min	Typ	Max	Unit
Output Rise Time	t_{TLH}					ns
t_{TLH} = (3.0 ns/pF) C_L + 30 ns		5.0	–	180	360	
t_{TLH} = (1.5 ns/pF) C_L + 15 ns		10	–	90	180	
t_{TLH} = (1.1 ns/pF) C_L + 10 ns		15	–	65	130	
Output Fall Time	t_{THL}					ns
t_{THL} = (1.5 ns/pF) C_L + 25 ns		5.0	–	100	200	
t_{THL} = (0.75 ns/pF) C_L + 12.5 ns		10	–	50	100	
t_{THL} = (0.55 ns/pF) C_L + 9.5 ns		15	–	40	80	
Propagation Delay Time						ns
Clock to Q	t_{PLH}, t_{PHL}					
t_{PLH}, t_{PHL} = (1.7 ns/pF) C_L + 415 ns		5.0	–	500	1000	
t_{PLH}, t_{PHL} = (0.66 ns/pF) C_L + 172 ns		10	–	210	420	
t_{PLH}, t_{PHL} = (0.5 ns/pF) C_L + 130 ns		15	–	155	310	
Clock to S_{out}						
t_{PLH}, t_{PHL} = (1.7 ns/pF) C_L + 665 ns		5.0	–	750	1500	
t_{PLH}, t_{PHL} = (0.66 ns/pF) C_L + 277 ns		10	–	310	620	
t_{PLH}, t_{PHL} = (0.5 ns/pF) C_L + 195 ns		15	–	220	440	
Clock to $\overline{OC}$						
t_{PLH}, t_{PHL} = (1.7 ns/pF) C_L + 215 ns		5.0	–	300	600	
t_{PLH}, t_{PHL} = (0.66 ns/pF) C_L + 87 ns		10	–	130	260	
t_{PLH}, t_{PHL} = (0.5 ns/pF) C_L + 75 ns		15	–	100	200	
SC, D, FF or MR Setup Time	t_{su}	5.0	250	125	–	ns
		10	100	50	–	
		15	80	40	–	
Clock Pulse Width	$t_{WH(cl)}$	5.0	700	350	–	ns
		10	270	135	–	
		15	200	100	–	
Pulse Width – D, SC, FF or MR	t_{WH}	5.0	500	250	–	ns
		10	200	100	–	
		15	160	80	–	
Clock Rise and Fall Time	t_{TLH}, t_{THL}	5.0	–	–	15	μs
		10	–	–	5.0	
		15	–	–	4.0	
Clock Pulse Frequency	f_{cl}	5.0	–	1.5	0.8	MHz
		10	–	3.0	1.5	
		15	–	4.0	2.0	

* The formulas given are for the typical characteristics only.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

FIGURE 4 – CONTINUOUSLY CYCLING 12 BIT ADC



the 12 bit conversion cycle, the end of the serial output word, and the validity of the parallel data output.

Externally Controlled 12-Bit ADC (Figure 5)

In this circuit the external pulse starts the first SAR and simultaneously resets the cascaded second SAR. When Q4 of the first SAR goes high, the second SAR starts conversion, and the first one stops conversion. EOC indicates that the parallel data are valid and that the serial output is complete. Updating the output data is started with every external control pulse.

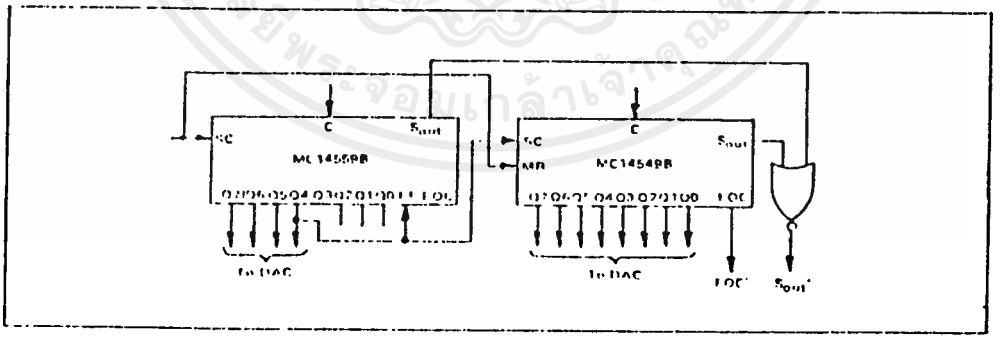
Additional Motorola Parts for Successive Approximation ADC

Monolithic digital-to-analog converters – The MC1408/1508 converter has eight bit resolution and is available with 6, 7, and 8 bit accuracy. The amplifier-comparator block – The MC1407/1507 contains a high speed operational amplifier and a high speed comparator with adjustable window.

With these two linear parts it is possible to construct SA-ADCs with an accuracy of up to eight bits, using as the register one MC14549B or one MC14559B. An additional CMOS block will be necessary to generate the clock frequency.

Additional information on successive approximation ADC is found in Motorola Application Note AN-716.

FIGURE 5 – EXTERNALLY CONTROLLED 12 BIT ADC



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

OPERATING CHARACTERISTICS

Both the MC14549B and MC14559B can be operated in either the "free run" or "strobed operation" mode for conversion schemes with any number of bits. Reliable cascading and/or recirculating operation can be achieved if the End of Convert (EOC) output is used as the controlling function, since with EOC = 0 (and with SC = 1 for MC14549B but either 1 or 0 for MC14559B) no stable state exists under continual clocked operation. The MC14559B will automatically recirculate after EOC = 1 during externally strobed operation, provided SC = 1.

All data and control inputs for these devices are triggered into the circuit on the positive edge of the clock pulse.

Operation of the various terminals is as follows:

C = Clock – A positive going transition of the Clock is required for data on any input to be strobed into the circuit.

SC = Start Convert — A conversion sequence is initiated on the positive going transition of the SC input on succeeding clock cycles.

D = Data In – Data on this input (usually from a comparator in A/D applications) is also entered into the circuit on a positive-going transition of the clock. This input is Schmitt triggered and synchronized to allow fast response and guaranteed quality of serial and parallel data.

MR = Master Reset (MC14549B only) – Resets all output to 0 on positive-going transitions of the clock. If removed while SC = 0, the circuit will remain reset until SC = 1. This allows easy cascading of circuits.

FF = Feed Forward (MC14559B only) – Provides register shortening by removing unwanted bits from a system.

For operation with less than 8 bits, tie the output *following* the least significant bit of the circuit to EOC. E.g., for a 6 bit conversion, tie Q1 to FF; the part will respond as shown in the timing diagram less two bit times. Not that Q1 and Q0 will still operate and must be disregarded.

For 8 bit operation, FF is tied to V_{SS}.

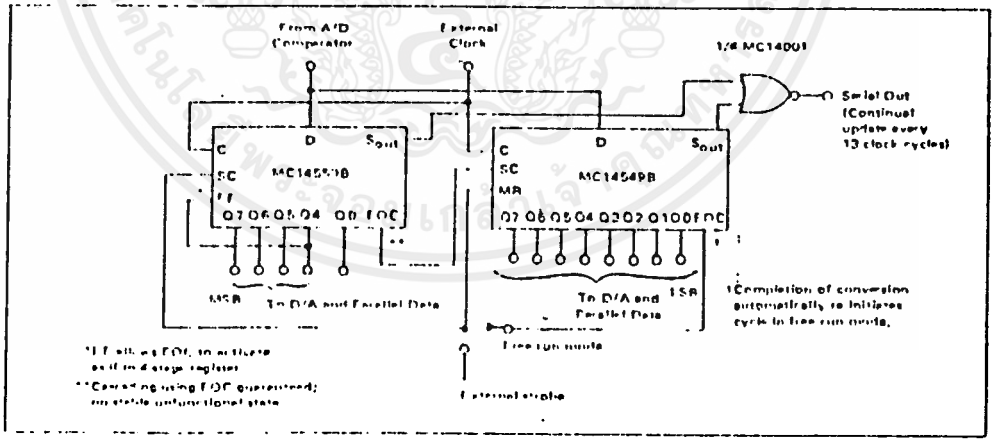
For applications with more than 8 but less than 16 bits, use the basic connections shown in Figure 1. The FF input of the MC14559B is used to shorten the setup. Tying FF directly to the least significant bit used in the MC14559B allows EOC to provide the cascading signal, and results in smooth transition of serial information from the MC14559B to the MC14549B. The Serial Out (S_{out}) inhibit structure of the MC14559B remains inactive one cycle after EOC goes high, while S_{out} of the MC14549B remains inhibited until the second clock cycle of its operation.

O_n = Data Outputs – After a conversion is initiated the Q's on succeeding cycles go high and are then conditionally reset dependent upon the state of the D input. Once conditionally reset they remain in the proper state until the circuit is either reset or reinitiated.

EOC = End of Convert – This output goes high on the negative going transition of the clock following FF = 1 (for the MC14559B) or the conditional reset of Q0. This allows settling of the digital circuitry prior to the End of Conversion indication. Therefore either level or edge triggering can indicate complete conversion.

S_{out} = Serial Out — Transmits conversion in serial fashion. Serial data occurs during the clock period when the corresponding parallel data bit is conditionally reset. Serial Out is inhibited on the initial period of a cycle, when the circuit is reset, and on the second cycle after EOC goes high. This provides efficient operation when cascaded..

FIGURE 1 – 12 BIT CONVERSION SCHEME



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TYPICAL APPLICATIONS

Externally Controlled 6 Bit ADC (Figure 2)

Several features are shown in this application:

- Shortening of the register to six bits by feeding the seventh output bit into the FF input.
- Continuous conversion, if a continuous signal is applied to SC.
- Externally controlled updating (the start pulse must be shorter than the conversion cycle).
- The EOC output indicating that the parallel data are valid and that the serial output is complete.

Continuously Cycling 8 Bit ADC (Figure 3)

This ADC is running continuously because the EOC signal is fed back to the SC input, immediately initiating a new cycle on the next clock pulse.

Continuously Cycling 12 Bit ADC (Figure 4)

Because each successive approximation register (SAR) has a capability of handling only an eight bit word, two must be cascaded to make an ADC with more than eight bits.

When it is necessary to cascade two SAR's, the second SAR must have a stable resettable state to remain in while awaiting a subsequent start signal. However, the first stage must not have a stable resettable state while recycling. Because during switch-on or due to outside influences, the first stage has entered a reset state, the entire ADC will remain in a stable non-functional condition.

This 12 bit ADC is continuously recycling. The serial as well as the parallel outputs are updated every thirteenth clock pulse. The EOC pulse indicates the completion of

FIGURE 2 – EXTERNALLY CONTROLLED 6 BIT ADC

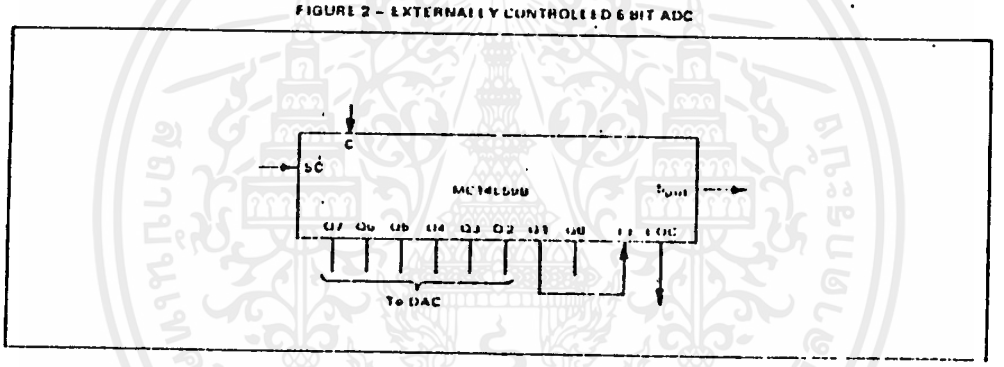
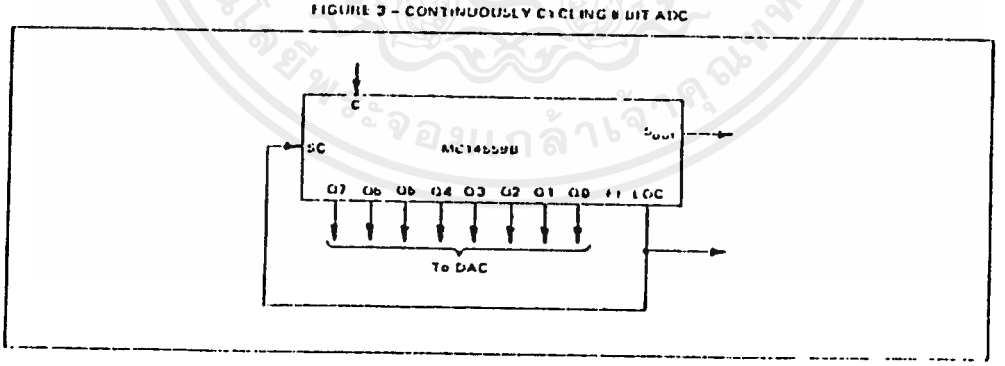
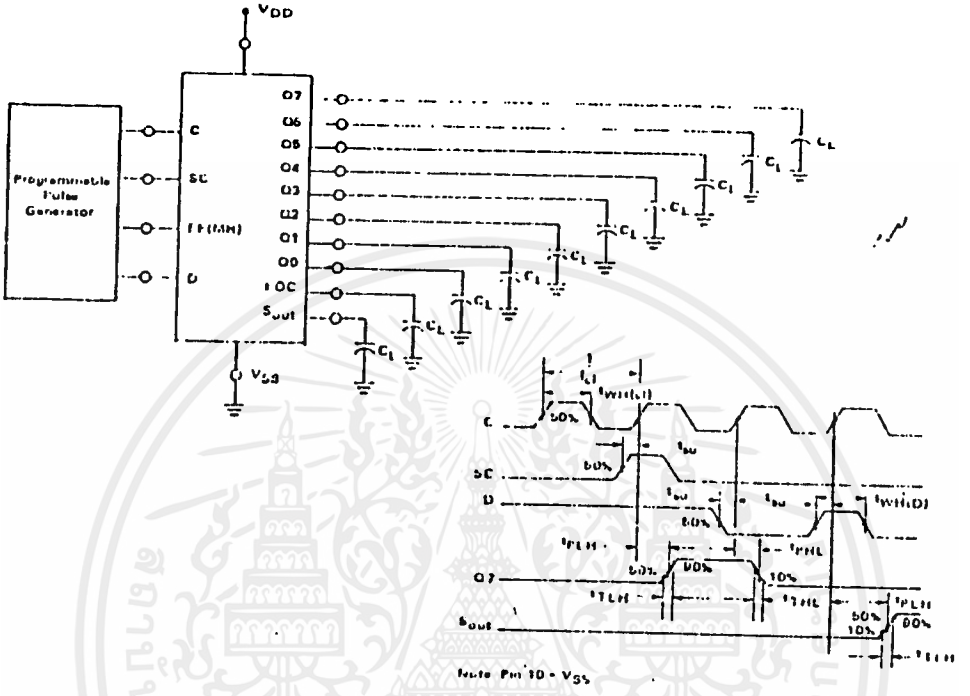


FIGURE 3 – CONTINUOUSLY CYCLING 8 BIT ADC



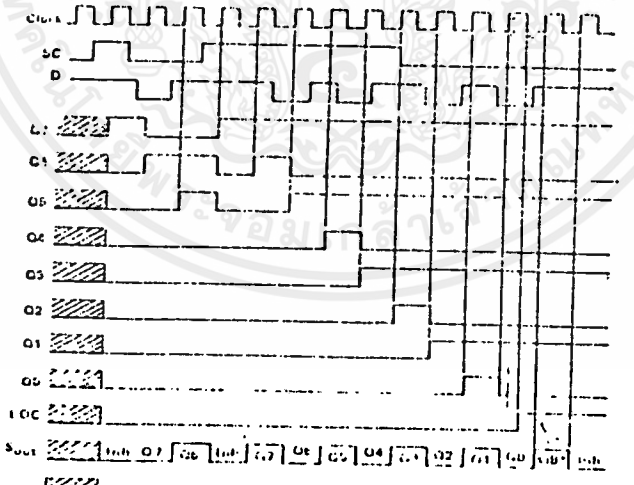
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

SWITCHING TIME TEST CIRCUIT AND WAVEFORMS



Note: Pin 10 = V_{SS}

TIMING DIAGRAM



- Don't care condition
Inh. – Indicates Serial Out is inhibited low.
* – Q8 is ninth bit of serial information available from 8 bit register

Note: Pin 10 = V_{SS}

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

National Semiconductor

DAC0800/DAC0801/DAC0802 8-Bit Digital-to-Analog Converters

General Description

The DAC0800 series are monolithic 8-bit high-speed current-output digital-to-analog converters (DAC) featuring typical settling times of 100 ns. When used as a multiplying DAC, monotonic performance over a 40 to 1 reference current range is possible. The DAC0800 series also features high compliance complementary current outputs to allow differential output voltages of 20 Vp-p with simple resistor loads as shown in *Figure 1*. The reference-to-full-scale current matching of better than ± 1 LSB eliminates the need for full-scale trims in most applications while the nonlinearities of better than ± 0.1% over temperature minimizes system error accumulations.

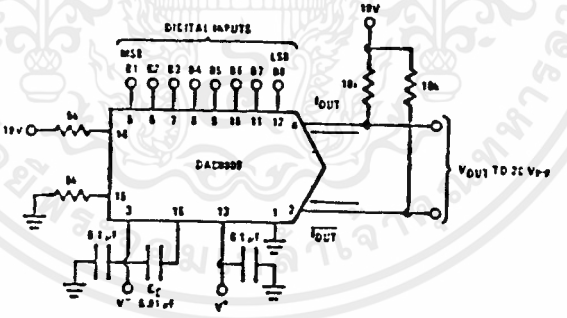
The noise immune inputs of the DAC0800 series will accept TTL levels with the logic threshold pin, V_{LC}, grounded. Changing the V_{LC} potential will allow direct interface to other logic families. The performance and characteristics of the device are essentially unchanged over the full ± 4.5V to ± 18V power supply range; power dissipation is only 33 mW with ± 5V supplies and is independent of the logic input states.

The DAC0800, DAC0802, DAC0800C, DAC0801C and DAC0802C are a direct replacement for the DAC-08, DAC-08A, DAC-08C, DAC-08E and DAC-08H, respectively.

Features

- Fast settling output current — 100 ns
- Full scale error — ± 1 LSB
- Nonlinearity over temperature — ± 0.1%
- Full scale current drift — ± 10 ppm/°C
- High output compliance — −10V to + 18V
- Complementary current outputs
- Interface directly with TTL, CMOS, PMOS and others
- 2 quadrant wide range multiplying capability
- Wide power supply range — ± 4.5V to ± 18V
- Low power consumption — 33 mW at ± 5V
- Low cost

Typical Applications



TL/H/5686–1

FIGURE 1. ± 20 V_{P-P} Output Digital-to-Analog Converter (Note 4)

Ordering Information

Non-Linearity	Temperature Range	Order Numbers				
		J Package (J16A)*		N Package (N16A)*		SO Package (M16A)
± 0.1% FS	−55°C ≤ T_A ≤ + 125°C	DAC0802LJ	DAC-08AQ			
± 0.1% FS	0°C ≤ T_A ≤ + 70°C	DAC0802LCJ	DAC-08HQ	DAC0802LCN	DAC-08HP	DAC0802LCM
± 0.19% FS	−55°C ≤ T_A ≤ + 125°C	DAC0800LJ	DAC-08Q			
± 0.19% FS	0°C ≤ T_A ≤ + 70°C	DAC0800LCJ	DAC-08EQ	DAC0800LCN	DAC-08EP	DAC0800LCM
± 0.39% FS	0°C ≤ T_A ≤ + 70°C	DAC0801LCJ	DAC-08CQ	DAC0801LCN	DAC-08CP	DAC0801LCM

*Devices may be ordered by using either order number

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Absolute Maximum Ratings (Note 1)

If Military/Aerospace specified devices are required, please contact the National Semiconductor Sales Office/Distributors for availability and specifications.

Supply Voltage ($V^+ - V^-$)	± 18V or 36V
Power Dissipation (Note 2)	500 mW
Reference Input Differential Voltage (V14 to V15)	V^- to V^+
Reference Input Common-Mode Range (V14, V15)	V^- to V^+
Reference Input Current	5 mA
Logic Inputs	V^- to V^- plus 36V
Analog Current Outputs ($V_S^- = -15V$)	4.25 mA
ESD Susceptibility (Note 3)	TBD V
Storage Temperature	−65°C to +150°C
Lead Temp. (Soldering, 10 seconds)	
Dual-In-Line Package (plastic)	260°C
Dual-In-Line Package (ceramic)	300°C
Surface Mount Package	
Vapor Phase (60 seconds)	215°C
Infrared (15 seconds)	220°C

Operating Conditions (Note 1)

	Min	Max	Units
Temperature (T_A)			
DAC0802L	−55	+125	°C
DAC0800L	−55	+125	°C
DAC0800LC	0	+70	°C
DAC0801LC	0	+70	°C
DAC0802LC	0	+70	°C

Electrical Characteristics

The following specifications apply for $V_S = \pm 15V$, $I_{REF} = 2$ mA and $T_{MIN} \le T_A \le T_{MAX}$ unless otherwise specified. Output characteristics refer to both I_{OUT} and $\overline{I_{OUT}}$.

Symbol	Parameter	Conditions	DAC0802L/ DAC0802LC			DAC0800L/ DAC0800LC			DAC0801LC			Units
			Min	Typ	Max	Min	Typ	Max	Min	Typ	Max	
	Resolution		8	8	8	8	8	8	8	8	8	Bits
	Monotonicity		8	8	8	8	8	8	8	8	8	Bits
	Nonlinearity				± 0.1			± 0.19			± 0.39	%FS
t_s	Settling Time	To ± ½ LSB, All Bits Switched "ON" or "OFF", $T_A = 25°C$		100	135					100	150	ns
		DAC0800L					100	135				ns
		DAC0800LC					100	150				ns
tPLH, tPHL	Propagation Delay	$T_A = 25°C$										
	Each Bit			35	60		35	60		35	60	ns
	All Bits Switched			35	60		35	60		35	60	ns
TC_{IFS}	Full Scale Tempco			± 10	± 50		± 10	± 50		± 10	± 80	ppm/°C
V_{OC}	Output Voltage Compliance	Full Scale Current Change < ½ LSB, $R_{OUT} > 20$ MΩ Typ	−10		18	−10		18	−10		18	V
I_{FS4}	Full Scale Current	$V_{REF} = 10.000V$, R14 = 5.000 kΩ, R15 = 5.000 kΩ, $T_A = 25°C$	1.984	1.992	2.000	1.94	1.99	2.04	1.94	1.99	2.04	mA
I_{FSS}	Full Scale Symmetry	$I_{FS4} - I_{FS2}$		± 0.5	± 4.0		± 1	± 8.0		± 2	± 16	μA
I_{ZS}	Zero Scale Current			0.1	1.0		0.2	2.0		0.2	4.0	μA
I_{FSR}	Output Current Range	$V^- = -5V$	0	2.0	2.1	0	2.0	2.1	0	2.0	2.1	mA
		$V^- = -8V$ to $-18V$	0	2.0	4.2	0	2.0	4.2	0	2.0	4.2	mA
	Logic Input Levels											
V_{IL}	Logic "0"	$V_{LC} = 0V$			0.8			0.8			0.8	V
V_{IH}	Logic "1"		2.0			2.0			2.0			V
	Logic Input Current	$V_{LC} = 0V$										
I_{IL}	Logic "0"	$-10V \le V_{IN} \le +0.8V$		−2.0	−10		−2.0	−10		−2.0	−10	μA
I_{IH}	Logic "1"	$2V \le V_{IN} \le +18V$		0.002	10		0.002	10		0.002	10	μA
V_{IS}	Logic Input Swing	$V^- = -15V$	−10		18	−10		18	−10		18	V
V_{THR}	Logic Threshold Range	$V_S = \pm 15V$	−10		13.5	−10		13.5	−10		13.5	V
I_{15}	Reference Bias Current			−1.0	−3.0		−1.0	−3.0		−1.0	−3.0	μA
dI/dt	Reference Input Slew Rate	*(Figure 12)*	4.0	8.0		4.0	8.0		4.0	8.0		mA/μs
$PSSI_{FS+}$	Power Supply Sensitivity	$4.5V \le V+ \le 18V$		0.0001	0.01		0.0001	0.01		0.0001	0.01	%/%
$PSSI_{FS-}$		$-4.5V \le V^- \le 18V$, $I_{REF} = 1$mA		0.0001	0.01		0.0001	0.01		0.0001	0.01	%/%
	Power Supply Current	$V_S = \pm 5V$, $I_{REF} = 1$ mA										
I^+				2.3	3.8		2.3	3.8		2.3	3.8	mA
I^-				−4.3	−5.8		−4.3	−5.8		−4.3	−5.8	mA
		$V_S = 5V, -15V$, $I_{REF} = 2$ mA										
I^+				2.4	3.8		2.4	3.8		2.4	3.8	mA
I^-				−6.4	−7.8		−6.4	−7.8		−6.4	−7.8	mA
		$V_S = \pm 15V$, $I_{REF} = 2$ mA										
I^+				2.5	3.8		2.5	3.8		2.5	3.8	mA
I^-				−6.5	−7.8		−6.5	−7.8		−6.5	−7.8	mA

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Electrical Characteristics (Continued)

The following specifications apply for $V_S = \pm 15V$, $I_{REF} = 2$ mA and $T_{MIN} \le T_A \le T_{MAX}$ unless otherwise specified. Output characteristics refer to both I_{OUT} and $\overline{I_{OUT}}$.

Symbol	Parameter	Conditions	DAC0802L/ DAC0802LC			DAC0800L/ DAC0800LC			DAC0801LC			Units
			Min	Typ	Max	Min	Typ	Max	Min	Typ	Max	
P_D	Power Dissipation	$\pm 5V$, $I_{REF} = 1$ mA		33	48		33	48		33	48	mW
		$5V, -15V$, $I_{REF} = 2$ mA		108	136		108	136		108	136	mW
		$\pm 15V$, $I_{REF} = 2$ mA		135	174		135	174		135	174	mW

Note 1: Absolute Maximum Ratings indicate limits beyond which damage to the device may occur. DC and AC electrical specifications do not apply when operating the device beyond its specified operating conditions.

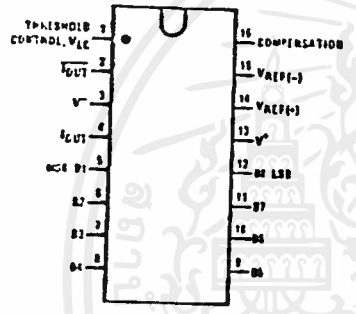
Note 2: The maximum junction temperature of the DAC0800, DAC0801 and DAC0802 is 125°C. For operating at elevated temperatures, devices in the Dual-In-Line J package must be derated based on a thermal resistance of 100°C/W, junction-to-ambient, 175°C/W for the molded Dual-In-Line N package and 100°C/W for the Small Outline M package.

Note 3: Human body model, 100 pF discharged through a 1.5 kΩ resistor.

Note 4: Pin-out numbers for the DAC080X represent the Dual-In-Line package. The Small Outline package pin-out differs from the Dual-In-Line package.

Connection Diagrams

Dual-In-Line Package

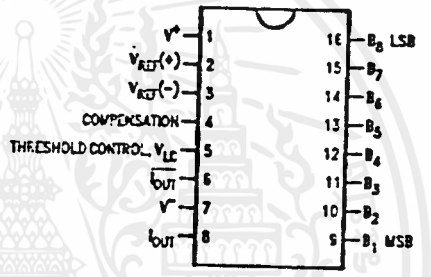


Top View

TL/H/5686-13

See Ordering Information

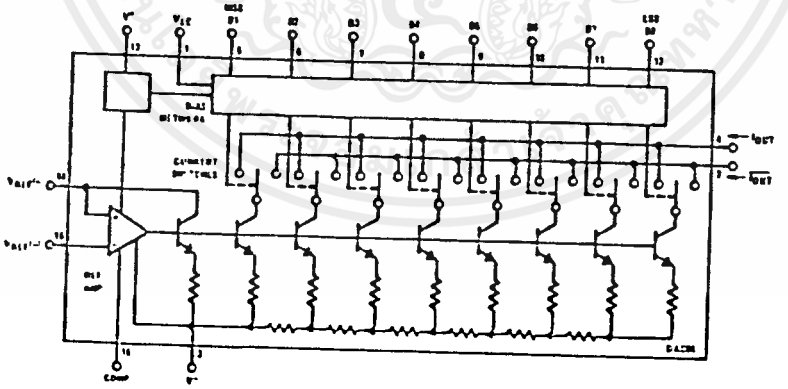
Small Outline Package



TL/H/5686-14

Top View

Block Diagram (Note 4)

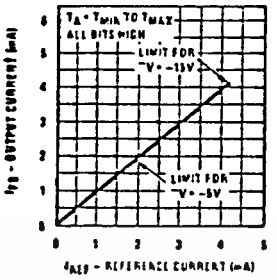


TL/H/5686-2

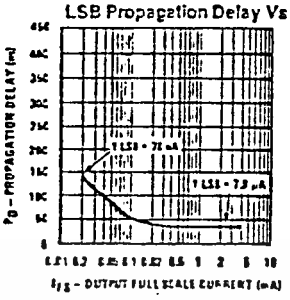
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Performance Characteristics

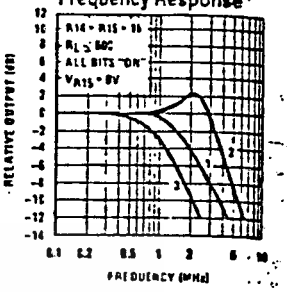
Full Scale Current vs Reference Current



LSB Propagation Delay Vs I_{FS}

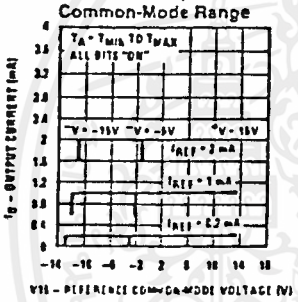


Reference Input Frequency Response



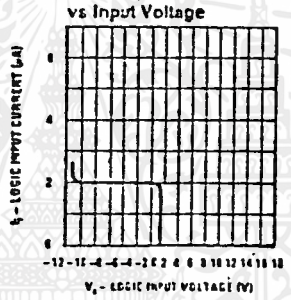
Curve 1: C_C = 15 pF, V_{IN} = 2 Vp-p centered at 1V.
Curve 2: C_C = 15 pF, V_{IN} = 50 mVp-p centered at 200 mV.
Curve 3: C_C = 0 pF, V_{IN} = 100 mVp-p at 0V and applied through 50 Ω connected to pin 14 2V applied to R14.

Reference Amp Common-Mode Range

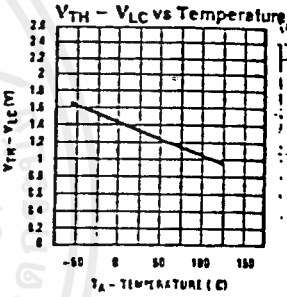


Note: Positive common-mode range is always (V+) − 1.5V

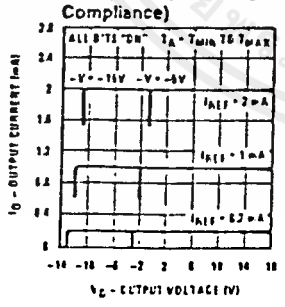
Logic Input Current vs Input Voltage



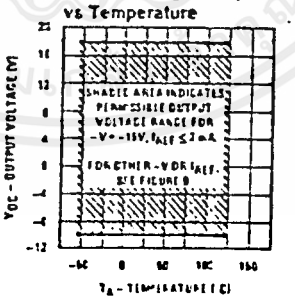
$V_{TH} - V_{LC}$ vs Temperature



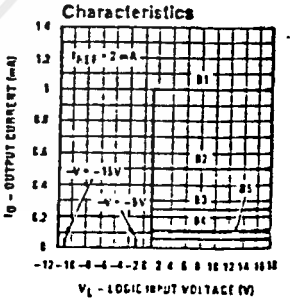
Output Current vs Output Voltage (Output Voltage Compliance)



Output Voltage Compliance vs Temperature



Bit Transfer Characteristics



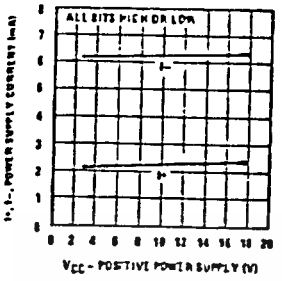
TL/H/5686-3

Note: B1–B8 have identical transfer characteristics. Bits are fully switched with less than ½ LSB error, at less than ± 100 mV from actual threshold. These switching points are guaranteed to be between 0.8 and 2V over the operating temperature range (V_{LC} = 0V).

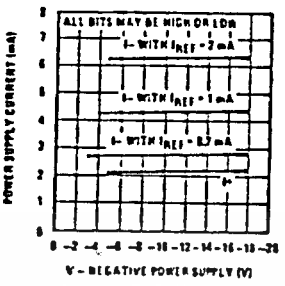
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Performance Characteristics (Continued)

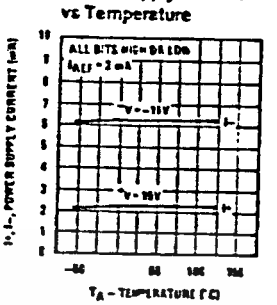
Power Supply Current vs +V



Power Supply Current vs −V

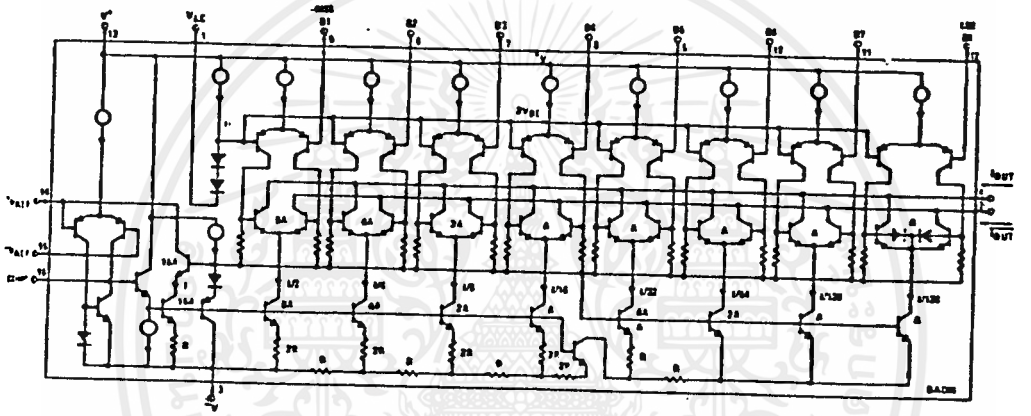


Power Supply Current vs Temperature



TL/H/5686–4

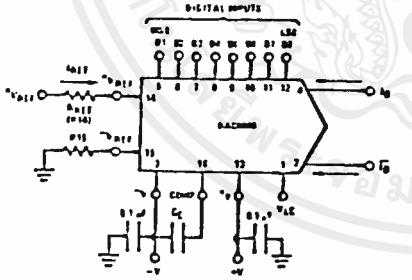
Equivalent Circuit



TL/H/5686–15

FIGURE 2

Typical Applications (Continued)



$$I_{FS} = \frac{+V_{REF}}{R_{REF}} \times \frac{255}{256}$$

$I_O + \overline{I_O} = I_{FS}$ for all logic states

For fixed reference, TTL operation, typical values are,

$V_{REF} = 10.000V$

$R_{REF} = 5.000k$

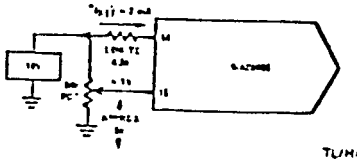
$R15 = R_{REF}$

$C_C = 0.01\ \mu F$

$V_{LC} = 0V$ (Ground)

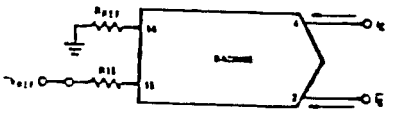
TL/H/5686–5

FIGURE 3. Basic Positive Reference Operation (Note 4)



TL/H/5686–21

FIGURE 4. Recommended Full Scale Adjustment Circuit (Note 4)



TL/H/5686–16

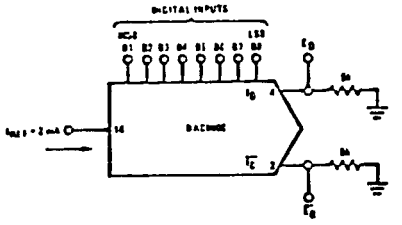
$$I_{FS} = \frac{-V_{REF}}{R_{REF}} \times \frac{255}{256}$$

Note R_{REF} sets I_{FS}; R15 is for bias current cancellation

FIGURE 5. Basic Negative Reference Operation (Note 4)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Applications (Continued)



TL/H/5686–17

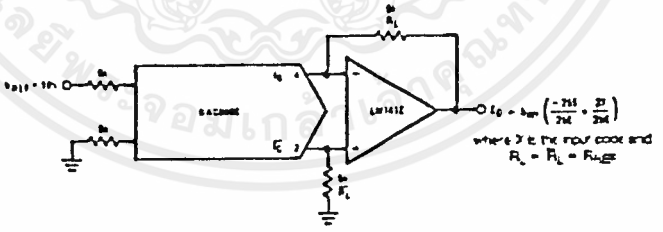
	B1	B2	B3	B4	B5	B6	B7	B8	I_O mA	$\overline{I_O}$ mA	E_O	$\overline{E_O}$
Full Scale	1	1	1	1	1	1	1	1	1.992	0.000	−9.960	0.000
Full Scale − LSB	1	1	1	1	1	1	1	0	1.984	0.008	−9.920	−0.040
Half Scale + LSB	1	0	0	0	0	0	0	1	1.008	0.984	−5.040	−4.920
Half Scale	1	0	0	0	0	0	0	0	1.000	0.992	−5.000	−4.960
Half Scale − LSB	0	1	1	1	1	1	1	1	0.992	1.000	−4.960	−5.000
Zero Scale + LSB	0	0	0	0	0	0	0	1	0.008	1.984	−0.040	−9.920
Zero Scale	0	0	0	0	0	0	0	0	0.000	1.992	0.000	−9.960

FIGURE 6. Basic Unipolar Negative Operation (Note 4)

TL/H/5686–6

	B1	B2	B3	B4	B5	B6	B7	B8	E_O	$\overline{E_O}$
Pos. Full Scale	1	1	1	1	1	1	1	1	−9.920	+10.000
Pos. Full Scale − LSB	1	1	1	1	1	1	1	0	−9.840	+9.920
Zero Scale + LSB	1	0	0	0	0	0	0	1	−0.080	+0.160
Zero Scale	1	0	0	0	0	0	0	0	0.000	+0.080
Zero Scale − LSB	0	1	1	1	1	1	1	1	+0.080	0.000
Neg. Full Scale + LSB	0	0	0	0	0	0	0	1	+9.920	−9.840
Neg. Full Scale	0	0	0	0	0	0	0	0	+10.000	−9.920

FIGURE 7. Basic Bipolar Output Operation (Note 4)



TL/H/5686–18

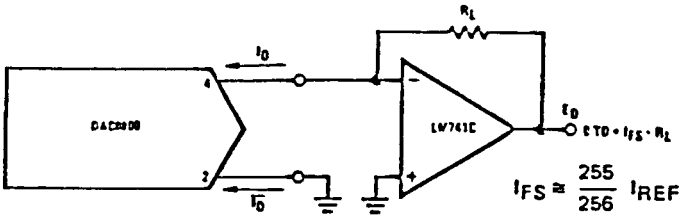
If $R_L = \overline{R_L}$ within ± 0.05%, output is symmetrical about ground

	B1	B2	B3	B4	B5	B6	B7	B8	E_O
Pos. Full Scale	1	1	1	1	1	1	1	1	+9.960
Pos. Full Scale − LSB	1	1	1	1	1	1	1	0	+9.880
(+) Zero Scale	1	0	0	0	0	0	0	0	+0.040
(−) Zero Scale	0	1	1	1	1	1	1	1	−0.040
Neg. Full Scale + LSB	0	0	0	0	0	0	0	1	−9.880
Neg. Full Scale	0	0	0	0	0	0	0	0	−9.960

FIGURE 8. Symmetrical Offset Binary Operation (Note 4)

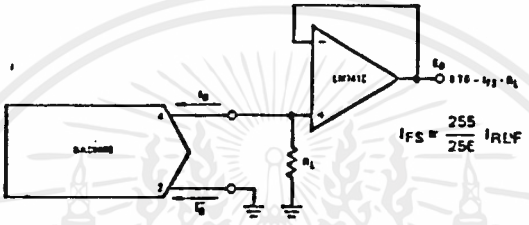
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Applications (Continued)



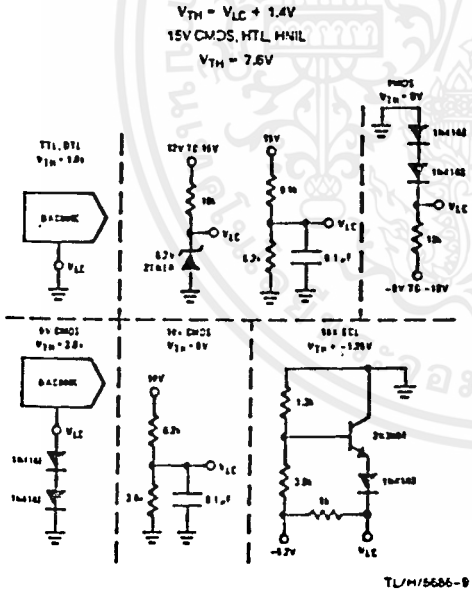
For complementary output (operation as negative logic DAC), connect inverting input of op amp to $\overline{I_O}$ (pin 2), connect I_O (pin 4) to ground.

FIGURE 9. Positive Low Impedance Output Operation (Note 4)



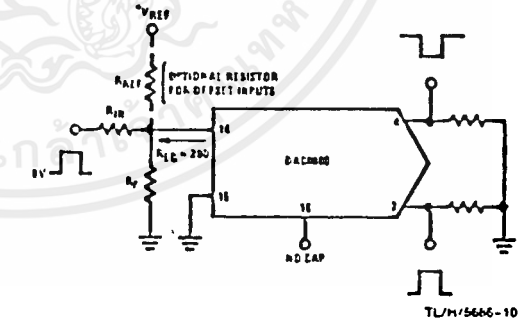
For complementary output (operation as a negative logic DAC) connect non-inverting input of op amp to $\overline{I_O}$ (pin 2), connect I_O (pin 4) to ground.

FIGURE 10. Negative Low Impedance Output Operation (Note 4)



Note: Do not exceed negative logic input range of DAC.

FIGURE 11. Interfacing with Various Logic Families



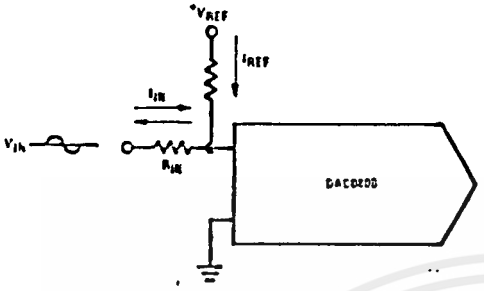
Typical values: $R_{IN} = 5k\Omega$, $V_{IN} = 10V$

FIGURE 12. Pulsed Reference Operation (Note 4)

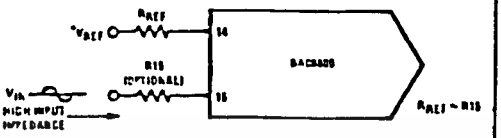
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Applications (Continued)

(a) $I_{REF} \geq$ peak negative swing of I_{IN}



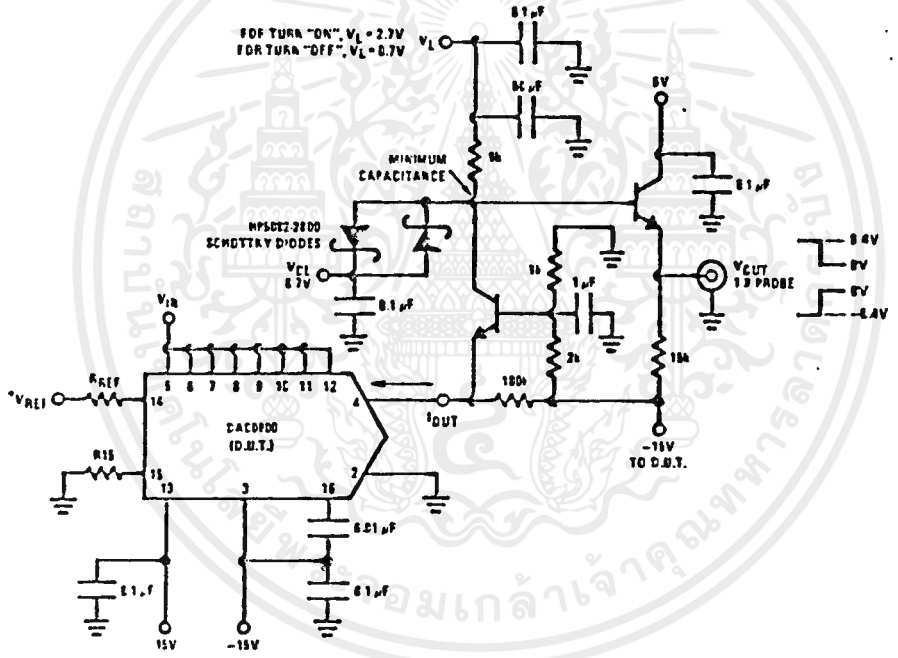
(b) + V_{REF} must be above peak positive swing of V_{IN}



TL/H/5686–12

TL/H/5686–11

FIGURE 13. Accommodating Bipolar References (Note 4)

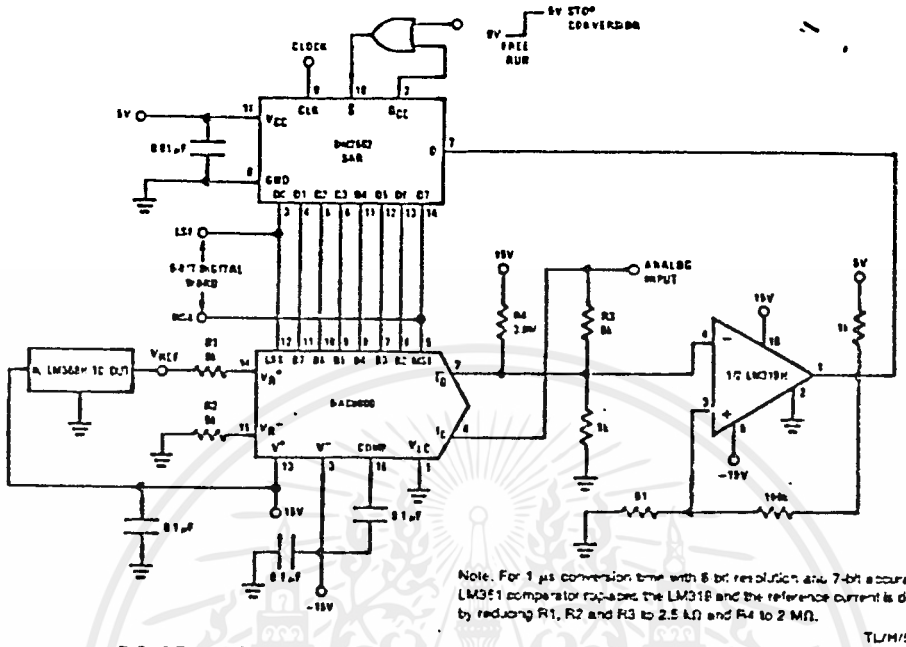


TL/H/5686–7

FIGURE 14. Settling Time Measurement (Note 4)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Applications (Continued)



Note. For 1 μs conversion time with 8 bit resolution and 7-bit accuracy, an LM361 comparator replaces the LM319 and the reference current is doubled by reducing R1, R2 and R3 to 2.5 kΩ and R4 to 2 MΩ.

TL/H/5686–8

FIGURE 15. A Complete 2 μs Conversion Time, 8-Bit A/D Converter (Note 4)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

National Semiconductor

LM161/LM261/LM361
High Speed Differential Comparators

General Description

The LM161/LM261/LM361 is a very high speed differential input, complementary TTL output voltage comparator with improved characteristics over the SE529/NE529 for which it is a pin-for-pin replacement. The device has been optimized for greater speed performance and lower input offset voltage. Typically delay varies only 3 ns for over-drive variations of 5 mV to 500 mV. It may be operated from op amp supplies (± 15V).

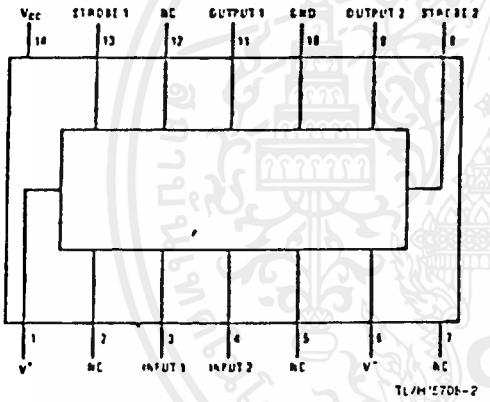
Complementary outputs having maximum skew are provided. Applications involve high speed analog to digital converters and zero-crossing detectors in disk file systems.

Features

- Independent strobes
- Guaranteed high speed — 20 ns max
- Tight delay matching on both outputs
- Complementary TTL outputs
- Operates from op amp supplies — ± 15V
- Low speed variation with overdrive variation
- Low input offset voltage
- Versatile supply voltage range

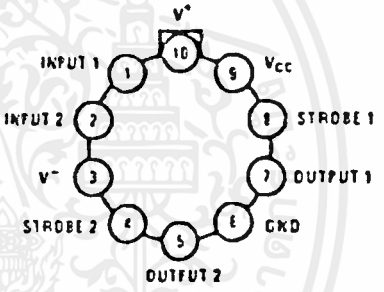
Connection Diagrams

Dual-In-Line Package



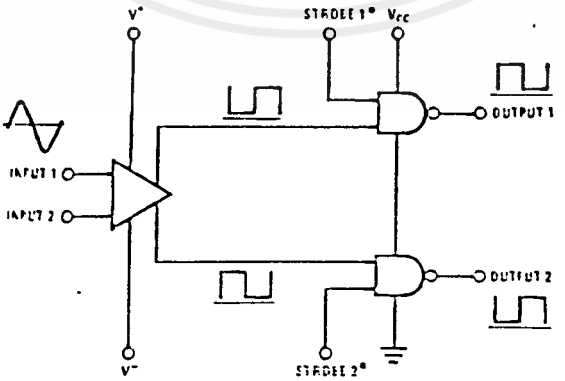
Top View
Order Number LM161J, LM261J, LM361J, LM361M or LM361N
See NS Package Number J14A, M14A or N14A

Metal Can Package



Order Number LM161H, LM261H or LM361H
See NS Package H10C

Logic Diagram



*Output is low when current is drawn from strobe pin

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Absolute Maximum Ratings (Note 1)

If Military/Aerospace specified devices are required, please contact the National Semiconductor Sales Office/Distributors for availability and specifications.

(Note 4)

Positive Supply Voltage, V^+	+ 16V
Negative Supply Voltage, V^-	− 16V
Gate Supply Voltage, V_{CC}	+ 7V
Output Voltage	+ 7V
Differential Input Voltage	± 5V
Input Common Mode Voltage	± 6V
Power Dissipation	600 mW
Storage Temperature Range	− 65°C to + 150°C
Operating Temperature Range	T_{MIN} T_{MAX}
LM161	− 55°C to + 125°C
LM261	− 25°C to + 85°C
LM361	0°C to + 70°C
Lead Temp. (Soldering, 10 seconds)	260°C
For Any Device Lead Below V^-	0.3V

Operating Conditions

	Min	Typ	Max
Supply Voltage V^+			
LM161/LM261	5V		15V
LM361	5V		15V
Supply Voltage V^-			
LM161/LM261	− 6V		− 15V
LM361	− 6V		− 15V
Supply Voltage V_{CC}			
LM161/LM261	4.5V	5V	5.5V
LM361	4.75V	5V	5.25V

ESD rating to be determined.

Soldering Information

Dual-In-Line Package	
Soldering (10 seconds)	260°C
Small Outline Package	
Vapor Phase (60 seconds)	215°C
Infrared (15 seconds)	220°C

See AN-450 "Surface Mounting Methods and Their Effect on Product Reliability" for other methods of soldering surface mount devices.

Electrical Characteristics ($V^+ = +10V$, $V_{CC} = +5V$, $V^- = -10V$, $T_{MIN} \le T_A \le T_{MAX}$, unless noted)

Parameter	Conditions	Limits						Units
		LM161/LM261			LM361			
		Min	Typ	Max	Min	Typ	Max	
Input Offset Voltage			1	3		1	5	mV
Input Bias Current	$T_A = 25°C$		5			10		µA
				20			30	µA
Input Offset Current	$T_A = 25°C$		2			2		µA
				3			5	µA
Voltage Gain	$T_A = 25°C$		3			3		V/mV
Input Resistance	$T_A = 25°C$, f = 1 kHz		20			20		kΩ
Logical "1" Output Voltage	$V_{CC} = 4.75V$, $I_{SOURCE} = -0.5$ mA	2.4	3.3		2.4	3.3		V
Logical "0" Output Voltage	$V_{CC} = 4.75V$, $I_{SINK} = 6.4$ mA			0.4			0.4	V
Strobe Input "1" Current (Output Enabled)	$V_{CC} = 5.25V$, $V_{STROBE} = 2.4V$			200			200	µA
Strobe Input "0" Current (Output Disabled)	$V_{CC} = 5.25V$, $V_{STROBE} = 0.4V$			− 1.6			− 1.6	mA
Strobe Input "0" Voltage	$V_{CC} = 4.75V$			0.8			0.8	V
Strobe Input "1" Voltage	$V_{CC} = 4.75V$	2			2			V
Output Short Circuit Current	$V_{CC} = 5.25V$, $V_{OUT} = 0V$	− 18		− 55	− 18		− 55	mA

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Electrical Characteristics (Continued)

($V^+ = +10V$, $V_{CC} = +5V$, $V^- = -10V$, $T_{MIN} \le T_A \le T_{MAX}$, unless noted)

Parameter	Conditions	Limits						Units
		LM161/LM261			LM361			
		Min	Typ	Max	Min	Typ	Max	
Supply Current I^+	$V^+ = 10V$, $V^- = -10V$, $V_{CC} = 5.25V$, $-55°C \le T_A \le 125°C$			4.5				mA
Supply Current I^+	$V^+ = 10V$, $V^- = -10V$, $V_{CC} = 5.25V$, $0°C \le T_A \le 70°C$						5	mA
Supply Current I^-	$V^+ = 10V$, $V^- = -10V$, $V_{CC} = 5.25V$, $-55°C \le T_A \le 125°C$			10				mA
Supply Current I^-	$V^+ = 10V$, $V^- = -10V$, $V_{CC} = 5.25V$, $0°C \le T_A \le 70°C$						10	mA
Supply Current I_{CC}	$V^+ = 10V$, $V^- = -10V$, $V_{CC} = 5.25V$, $-55°C \le T_A \le 125°C$			18				mA
Supply Current I_{CC}	$V^+ = 10V$, $V^- = -10V$, $V_{CC} = 5.25V$, $0°C \le T_A \le 70°C$						20	mA
Transient Response	V_{IN} = 50 mV overdrive (Note 3)							--
Propagation Delay Time ($t_{pd(0)}$)	$T_A = 25°C$		14	20		14	20	ns
Propagation Delay Time ($t_{pd(1)}$)	$T_A = 25°C$		14	20		14	20	ns
Delay Between Output A and B	$T_A = 25°C$		2	5		2	5	ns
Strobe Delay Time ($t_{pd(0)}$)	$T_A = 25°C$		8			8		ns
Strobe Delay Time ($t_{pd(1)}$)	$T_A = 25°C$		8			8		ns

Note 1: The device may be damaged by use beyond the maximum ratings.

Note 2: Typical thermal impedances are as follows:

	H Package	J Package	N Package
θ_{jA}	165°C/W (Still Air) 67°C/W (400 LF/Min Air Flow)	112°C/W	105°C/W
θ_{jC}	25°C/W		

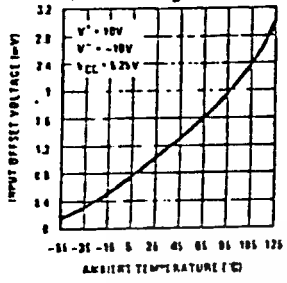
Note 3: Measurements using AC Test circuit Fanout = 1. The devices are faster at low supply voltages.

Note 4: Refer to RETS161A for LM161H and LM161J military specifications.

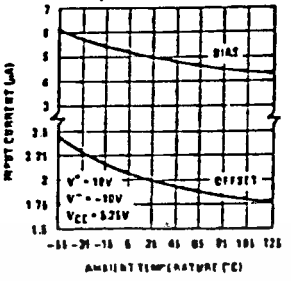
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Performance Characteristics

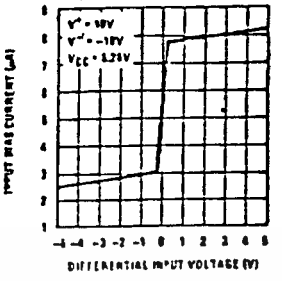
Offset Voltage



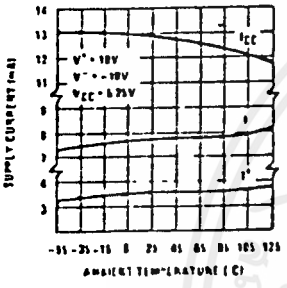
Input Currents vs Ambient Temperature



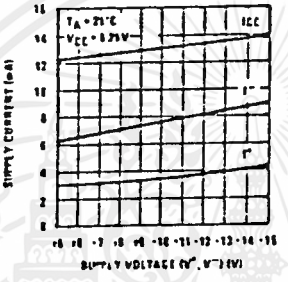
Input Characteristics



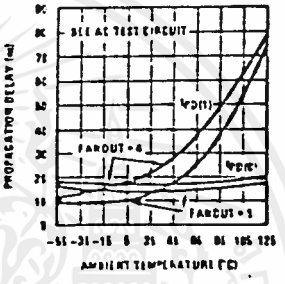
Supply Current vs Ambient Temperature



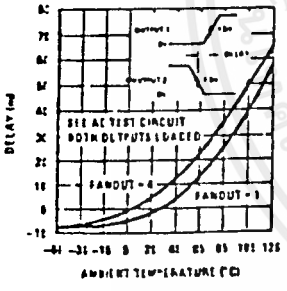
Supply Current vs Supply Voltage



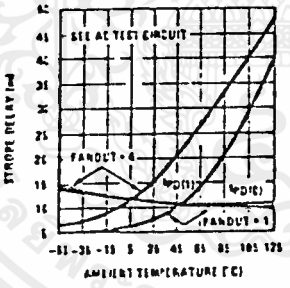
Propagation Delay vs Ambient Temperature



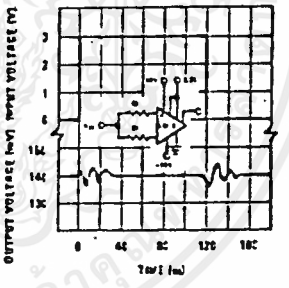
Delay of Output 1 With Respect to Output 2 vs Ambient Temperature



Strobe Delay vs Ambient Temperature

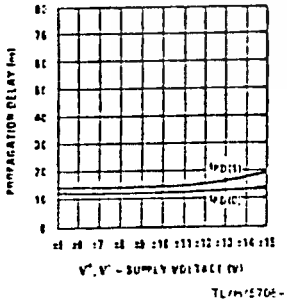


Common-Mode Pulse Response



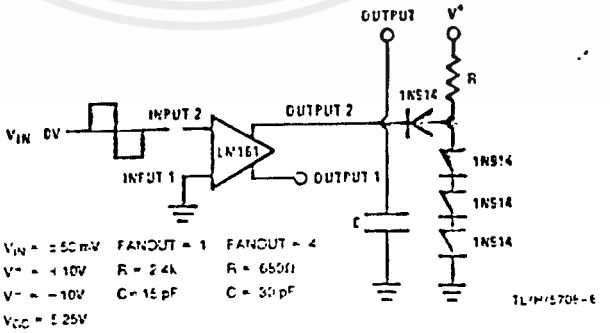
TL/H/5705-5

Propagation Delay vs Supply Voltage



TL/H/5705-7

AC Test Circuit



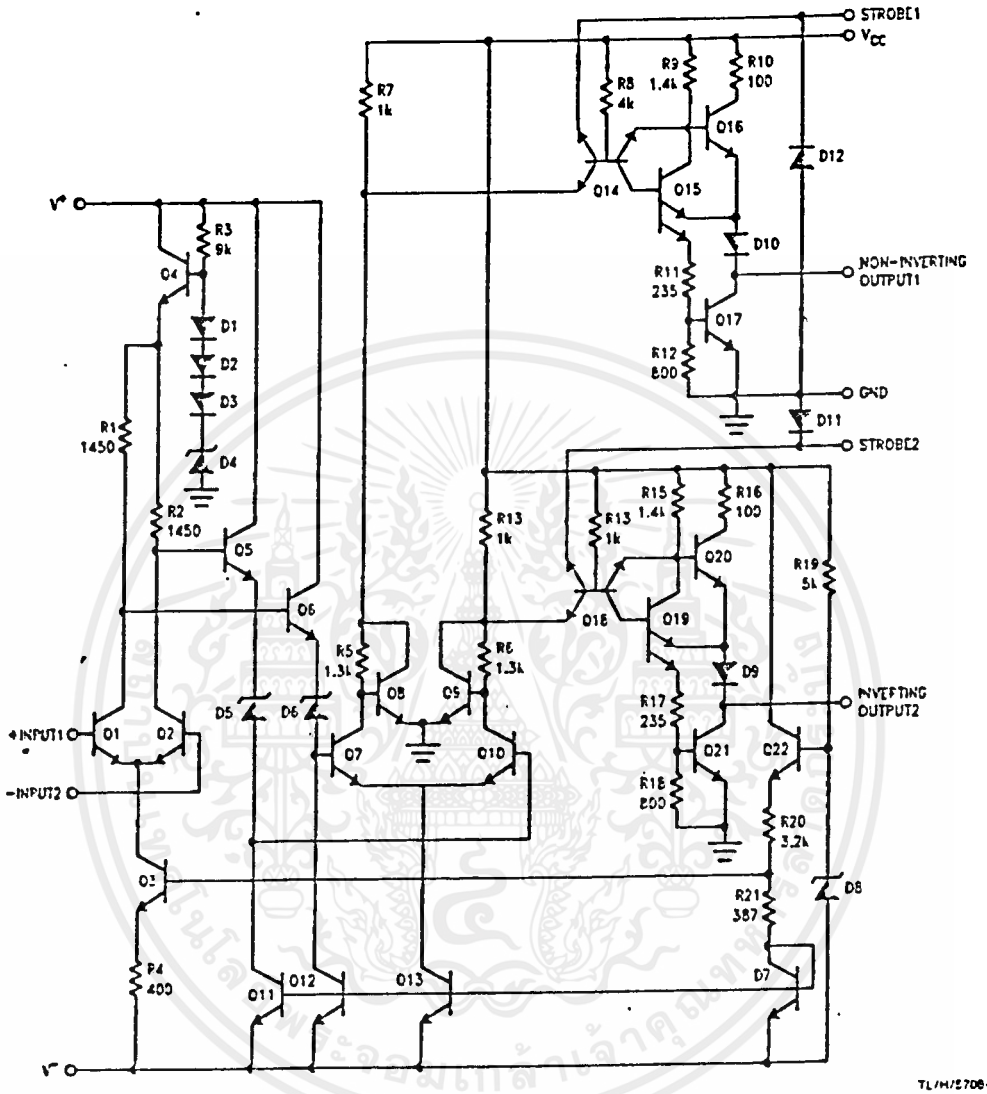
V_{IN} = ±50 mV	FANOUT = 1	FANOUT = 4
V^+ = +10V	R = 2.4k	R = 650Ω
V^- = −10V	C = 15 pF	C = 30 pF
V_{CC} = 5.25V		

TL/H/5705-6

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Schematic Diagram

LM161



R10, R16: 85
R11, R17: 205

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กิตติกรรมประกาศ

การที่ปริญญานิพนธ์นี้ได้สำเร็จลุล่วงลงได้ดีทางผู้จัดทำใคร่ขอขอบคุณบุคคลที่ช่วยทำให้งานชิ้นนี้สำเร็จลงได้ได้แก่

1. รศ.ดร.วิวัฒน์ กิรานนท์ และ อาจารย์ปราโมทย์ วาดเขียน ผู้เป็นอาจารย์ที่ปรึกษาที่ให้ความรู้ ความกระจ่าง และกำลังใจ

2. นายมาลิน น้อย อินทรสิทธิ์ และนายภิญทรรศน์ ทับมณี ผู้ช่วยแก้ปัญหา ให้คำปรึกษา และช่วยงานในบางส่วน

3. อาจารย์ภาคโทรคมนาคม และเพื่อน ๆ ที่ให้คำปรึกษา และความช่วยเหลือต่าง ๆ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้