ระบบรักษาความปลอดภัยในบ้านด้วยโทรศัพท์

HOME SECURITY SYSTEM ON TELEPHONE

โดย

นางสาว จินตนา ธีรโฆษร

นาย เอสนะ อยู่เจริญ

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตร์บัณฑิต

สาขาวิศวกรรมระบบควบคุม

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2534

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

032595

ปริญญานิพนธ์ ปีการศึกษา 2535

ภาควิชา วิศวกรรมระบบควบคุม

คณะ วิศวกรรมศาสตร์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เรื่อง ระบบรักษาความปลอดภัยในบ้านด้วยโทรศัพท์

Home Security System on Telephone

ผู้จัดทำ นางสาว จินตนา ธีรโกมร 32.1055

นาย เอสนย อยู่เจริญ 32.1437

อาจารย์ วันชัย ริ้วรุจา อาจารย์ที่ปรึกษา

(.....)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

032595

ระบบรักษาความปลอดภัยในบ้านด้วยโทรศัพท์

นางสาว จินตนา ธีรโตมร 32.1055
นาย เอสนะ อยู่เจริญ 32.1437

อาจารย์ที่ปรึกษา
อาจารย์ วันชัย ริ้วรุจา

บทคัดย่อ

โทรศัพท์ เป็นระบบพื้นฐานในการสื่อสารระบบหนึ่ง ที่สามารถทำงานได้มากกว่าการสื่อสารด้วยเสียงเพียงอย่างเดียว ในโครงงานนี้ จึงใช้โทรศัพท์เป็นระบบรักษาความปลอดภัยในบ้าน แล้วรายงานไปยัง จุดหมายที่กำหนดไว้ โดยอัตโนมัติ และยังสามารถควบคุมอุปกรณ์ไฟฟ้าที่ปลายทางให้ เปิด-ปิด ได้ตามต้องการ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Home Security System On Telephone

By

Miss Jintana Teeratomorn 32.1055

Mr.Acesana Yoocharoen 32.1437

Adviser:

Mr.Vanchai Riewruja

Abstract

This project is a high performance home security. When an emergency situation occurs, the system will automatically inform the programmed destination. This is accomphished through a comprehensive use of microcontroller. In addition, this project also provides remote control.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กิตติกรรมประกาศ

ขอขอบคุณ อาจารย์ วันชัย ริ้วรุจา เป็นอย่างสูง ในการที่ท่านได้อบรมสั่งสอน คอยดูแล ทั้งให้คำปรึกษาและแนวความคิดต่าง ๆ ที่ได้นำมาใช้ในการทำโครงงานนี้

ขอขอบคุณ อาจารย์ ปรเมษฐ์ ประนยานันท์ ที่ช่วยให้ความรู้และแนะแนวทางความคิดในการออกแบบในส่วนของไมโครคอนโทรลเลอร์ และส่วนอื่นๆที่เกี่ยวข้อง

ขอขอบคุณ อาจารย์ทุกท่านที่ได้ให้ความรู้พื้นฐานต่างๆที่มีประโยชน์ในการทำโครงงาน

ขอขอบคุณ พี่หญิง และพี่ ๆ นักศึกษาปริญญาโท ภาควิชาระบบควบคุมทุกคน รวมทั้งเพื่อน ๆ ที่คอยให้กำลังใจและคำปรึกษา

ขอขอบคุณ น้องหลายๆ คน ที่มาคอยช่วยเหลือให้โครงงานนี้สำเร็จผลไปด้วยดี

และขอขอบคุณที่สุด สำหรับคุณพ่อ คุณแม่ ที่คอยเป็นห่วงเป็นใย และสนับสนุนมาโดยตลอด

สุดท้ายนี้ ความดีของหนังสือเล่มนี้ ขอมอบให้กับทุกคนที่ได้กล่าวมา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ

CONTENT

เรื่อง	หน้า
บทคัดย่อ	I
Abstract	II
กิตติกรรมประกาศ	III
บทที่ 1 บทนำ	1
บทที่ 2 ทฤษฎีและหลักการ	3
บทที่ 3 การทดลองและผลการทดลอง	11
บทที่ 4 สรุปผลและวิจารณ์	26
เอกสารอ้างอิง	28
ภาคผนวก ก. ระบบสัญญาณโทรศัพท์ขององค์การโทรศัพท์แห่งประเทศไทย	29
ภาคผนวก ข. ไมโครคอนโทรลเลอร์ DS 5000	32
ภาคผนวก ค. ซอฟท์แวร์ควบคุมการทำงาน	-

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูป

หน้า

รูปที่ 1 ส่วนต่างๆของระบบ..... 2
รูปที่ 2.1 การทำงานของการเข้ารหัส DTMF..... 4
รูปที่ 2.2 การทำงานของการถอดรหัส DTMF..... 5
รูปที่ 2.3.1 บล็อกไดอะแกรมของ CVSD ENCODER..... 6
รูปที่ 2.3.2 CVSD WAVEFORMS..... 7
รูปที่ 2.3.3 บล็อกไดอะแกรมแสดงการทำงานของ CVSD DECODER..... 7
รูปที่ 2.3.4 บล็อกไดอะแกรมการทำงานของ CVSD..... 8
รูปที่ 2.4.1 บอร์ด V-MICROCONTROLLER และตำแหน่ง JUMPER..... 9
รูปที่ 2.4.2 โครงสร้างทางสถาปัตยกรรมภายในของ DS 5000.....10
รูปที่ 3.1 วงจรส่วนเลือกทางเดินสัญญาณ.....11
รูปที่ 3.2 วงจรตรวจสอบสัญญาณโทรศัพท์.....12
รูปที่ 3.3.1 วงจรแปลงความถี่โทรศัพท์ DTMF.....13
รูปที่ 3.3.2 วงจรการตรวจสอบการวางหูโทรศัพท์.....13
รูปที่ 3.4 วงจรกำเนิดความถี่โทรศัพท์.....14
รูปที่ 3.5.1 วงจร CVSD สำหรับสัญญาณเสียง.....15
รูปที่ 3.5.2 วงจรอินเทอร์เฟส หน่วยความจำกับ CVSD.....16
รูปที่ 3.6 ส่วนแสดงผลการควบคุมอุปกรณ์ไฟฟ้า.....17
รูปที่ 3.7 วงจรจำลองอุปกรณ์ตรวจจับ.....17
รูปที่ 3.8 วงจรไฟเลี้ยง.....18
รูปที่ 3.9.1 บล็อกไดอะแกรมของการควบคุมการทำงานของระบบ
ด้วย DS-5000.....19
รูปที่ 3.9.2 FLOWCHART แสดงขั้นตอนการตรวจสอบสัญญาณโทรศัพท์เพื่อ
เลือกทางเดินสัญญาณ.....21
รูปที่ 3.9.3 FLOWCHART แสดงการตรวจสอบรหัสผ่านของผู้ใช้.....22
รูปที่ 3.9.4 FLOWCHART แสดงขั้นตอนการแปลงคำสั่งทางโทรศัพท์และนำคำสั่ง
ไปใช้รวมทั้งส่งสัญญาณไปให้หน่วยความจำนำเสียงพูดมาตอบ.....23

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หน้า

รูปที่ 3.9.5 FLOWCHART แสดงขั้นตอนการตรวจสอบสภาวะต่างๆของอุปกรณ์ตรวจจับ และรายงานเหตุการณ์เมื่อเกิดสภาวะฉุกเฉิน.....24
รูปที่ 3.9.6 FLOWCHART แสดงขั้นตอนการเขียนข้อมูลลงในหน่วยความจำ.....25

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญตาราง

หน้า

ตาราง 2.1 ความถี่ DTMF..... 3

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 1

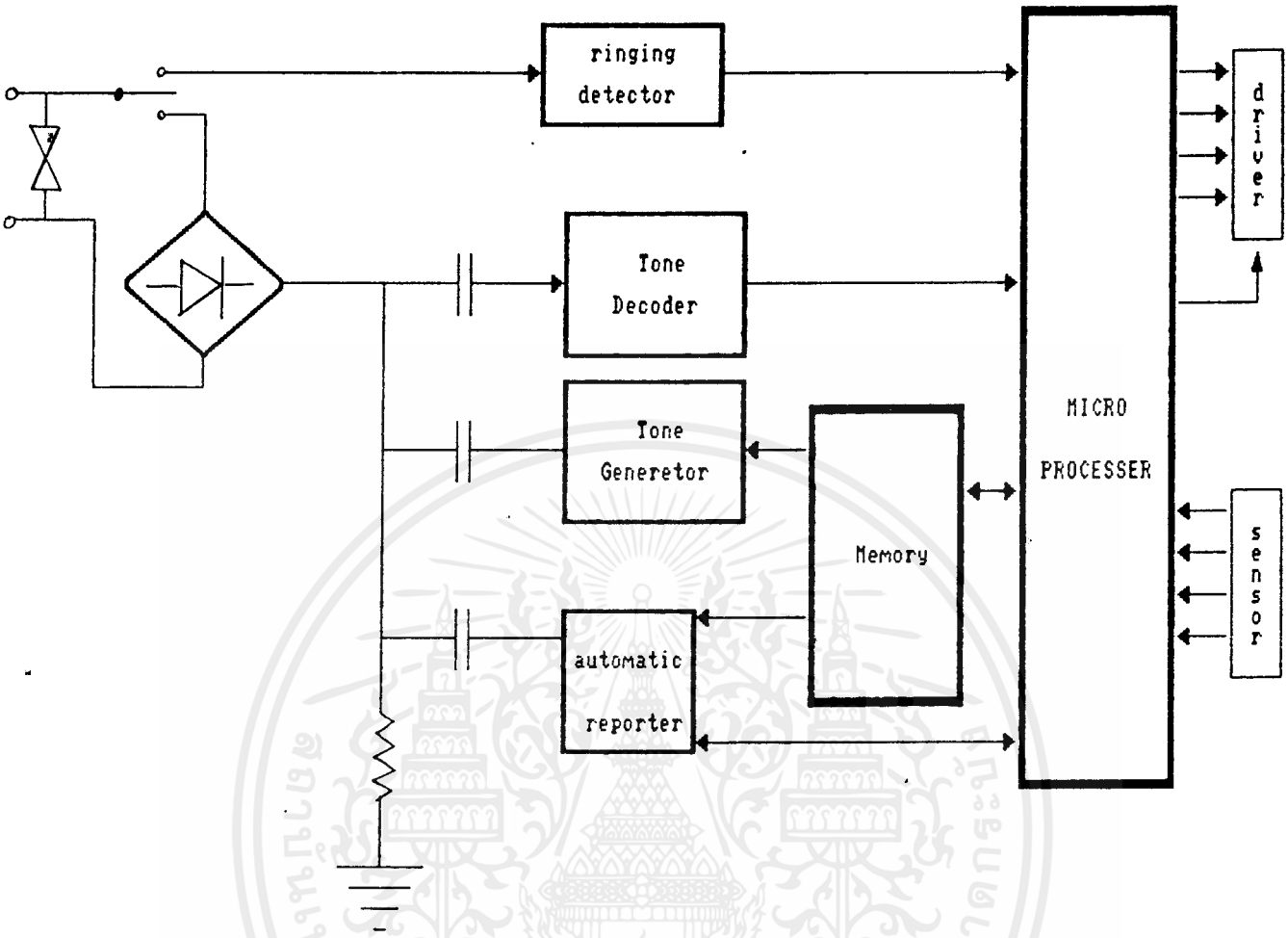
บทนำ

ในปัจจุบันนี้ ความก้าวหน้าทางวิทยาการ และเทคโนโลยี ได้เข้ามามีบทบาทในชีวิตประจำวันมากขึ้น เพื่อนำมาสนองตอบความต้องการของมนุษย์ ไม่ว่าจะเพื่อความอยู่รอด ความปลอดภัย หรือแม้แต่เพื่อความสะดวกสบายในชีวิตประจำวัน ดังนั้น เทคโนโลยีต่าง ๆ จึงได้มีการพัฒนาอย่างต่อเนื่อง เพื่อตอบสนองต่อความต้องการดังกล่าว และได้พัฒนาจนถึงยุคปัจจุบัน ซึ่งอาจกล่าวได้ว่า เป็นยุคแห่ง "การสื่อสารและการโทรคมนาคม"

โทรศัพท์ เป็นอุปกรณ์ในการสื่อสารที่เกือบทุกหลังคาเรือนจะมีไว้ใช้ หน้าที่พื้นฐานของโทรศัพท์คือ สามารถติดต่อสื่อสารกับบุคคลที่เราต้องการได้ในเวลาอันรวดเร็ว แต่เดิมนั้นโทรศัพท์จะใช้เป็นการหมุนหมายเลขเพื่อ เลือกการติดต่อตามหมายเลขของเครื่องโทรศัพท์ของบุคคลนั้น ๆ แต่ปัจจุบันได้มีการพัฒนาให้ใช้งานได้ง่ายขึ้นโดยใช้เป็นการกดปุ่มเลขหมายแทนและยังมีการบริการพิเศษต่าง ๆเช่น บริการเรียกซ้ำอัตโนมัติ บริการประชุมทางโทรศัพท์ บริการจำกัดการเรียกออก เป็นต้น กล่าวโดยสรุปคือ โทรศัพท์น่าจะทำงานได้มากกว่า การติดต่อสื่อสารระหว่างบุคคล เพียงอย่างเดียว

โครงงานนี้ จึงเป็นการประยุกต์ใช้โทรศัพท์ เพื่อเป็นระบบตรวจสอบและรักษาความปลอดภัยในบ้าน แล้วแจ้งเหตุการณ์ที่เกิดขึ้นไปยัง จุดหมายที่กำหนดไว้ได้โดยอัตโนมัติ อีกทั้งยังสามารถควบคุม และสั่งการอุปกรณ์ไฟฟ้าได้โดยผ่านสายโทรศัพท์ ซึ่งสามารถแสดงส่วนต่างๆ ของระบบได้ดังรูปที่ 1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 1 ส่วนต่าง ๆ ของระบบ

สำหรับเครื่องมือที่ใช้ควบคุมการทำงานของระบบทั้งหมด ก็คือ ไมโครคอนโทรลเลอร์ และที่ใช้ในโครงงานนี้เป็น ตระกูล MCS-51 ซึ่งใช้ CPU เบอร์ DS5000

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 2

ทฤษฎีและหลักการ

2.1) การเข้ารหัสความถี่ของโทรศัพท์ระบบ DTMF (DUAL-TONE MULTIFREQUENCY ENCODERS)

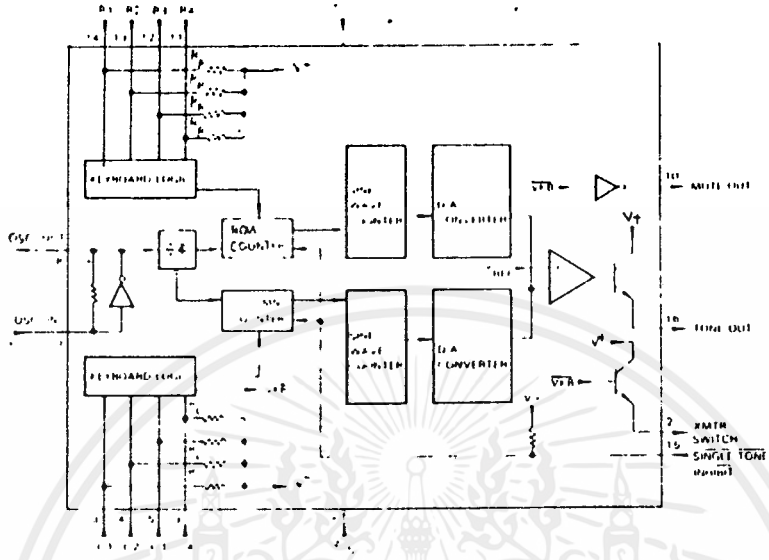
ระบบโทรศัพท์แบบ DTMF นี้จะใช้ การส่งสัญญาณไปบนสายส่ง ของระบบโทรศัพท์ระบบ DTMF มีข้อดีเหนือระบบพัลซ์อยู่หลายอย่าง เช่น หมุนโทรศัพท์ได้เร็วกว่า และสามารถที่จะส่งสัญญาณไปบนสายส่งเสียงระดับใด ๆ ก็ได้ วิธีนี้เป็นการส่งสัญญาณแถบความถี่เสียงที่แตกต่างกัน 16 ค่า โดยแต่ละค่า ประกอบด้วยสัญญาณคลื่นรูปซายน์ (sine wave) 2 แบบ แบบหนึ่งมาจากกลุ่มความถี่ต่ำ (low group) และอีกแบบหนึ่ง มาจากกลุ่มความถี่สูง (high group) ลักษณะของความถี่ระบบ DTMF แสดงได้ดังตารางที่ 2-1

กลุ่มของความถี่ต่ำ (Hz)	กลุ่มของความถี่สูง(Hz)			
	1209	1336	1477	1633
697	1	2	3	A
770	4	5	6	B
852	7	8	9	C
941	*	0	#	D

ตารางที่ 2-1 ความถี่ DTMF

สำหรับอุปกรณ์ทางอิเลกทรอนิคส์ ประเภทไอซี ที่สามารถทำงานเป็นตัวกำเนิดความถี่ DTMF ได้คือ MK 5087 หรือ UM 95087 ซึ่งใช้คริสตอลเป็นตัวอ้างอิงความถี่ที่สร้างขึ้นมา 8 ค่า ที่เหมาะสมกับสัญญาณ DTMF แต่การใช้งาน MK 5087 นี้มีข้อจำกัด ซึ่งจะดูได้จากเอกสารอ้างอิงที่แนบมาด้วย การทำงานของ MK 5087 แสดงได้ดังรูปที่ 2.1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.1 การทำงานของการเข้ารหัส DTMF

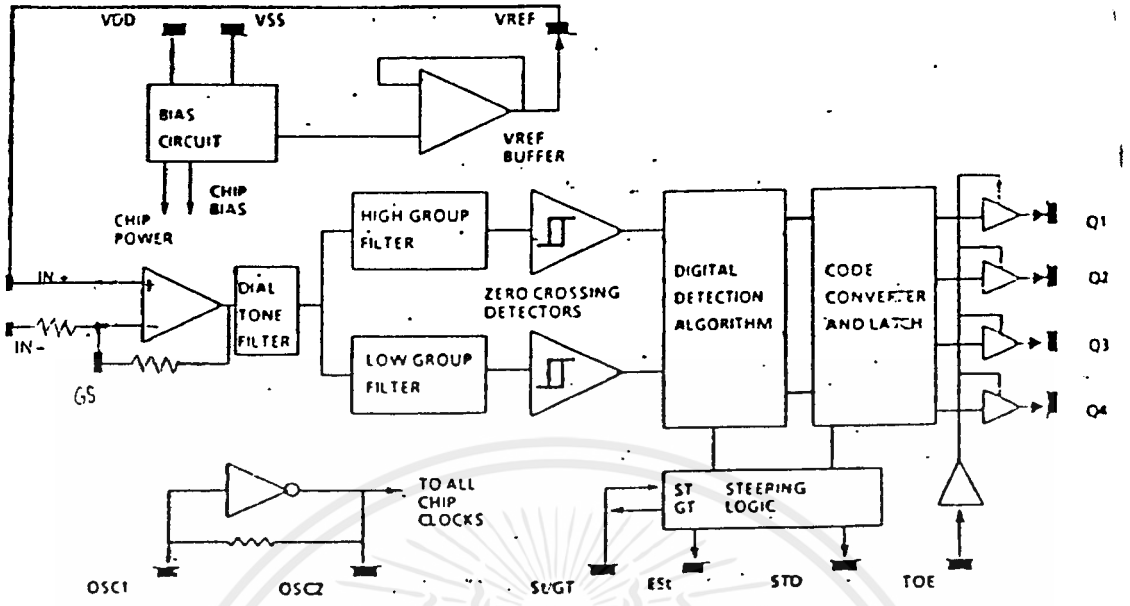
2.2) <u>การถอดรหัสความถี่ของโทรศัพท์ระบบ DTMF</u>

<u>(DTMF DECODERS)</u>

การถอดรหัสความถี่ทางโทรศัพท์ หมายถึง การแปลงสัญญาณความถี่ ซึ่งเกิดจากการกดปุ่มตัวเลขของโทรศัพท์ชนิดกดปุ่ม (ชนิด TONE หรือ DTMF) ให้เป็นสัญญาณดิจิตอล เพื่อนำไปใช้กับระบบดิจิตอล ซึ่งไอซี MT 8870 สามารถใช้เป็นตัวรับ และแปลงความถี่โทรศัพท์เป็นเลขไบนารี่ขนาด 4 บิทได้ โดยมีส่วนต่าง ๆ และการทำงาน ดังรูปที่ 2.2

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

f → Digit



รูปที่ 2.2 การทำงานของการถอดรหัส DTMF

เมื่อมีสัญญาณ DTMF เข้ามา จะผ่านวงจรกรองความถี่ แล้วแยกเป็น 2 กลุ่มคือ กลุ่มความถี่สูงและกลุ่มความถี่ต่ำ แล้วจึงผ่านวงจรถอดรหัสฟังก์ชันทางดิจิตอล ถอดรหัสทั้ง 16 ความถี่ออกเป็นเลขไบนารี่ขนาด 4 บิท และสัญญาณกระตุ้น (steering delay) รวมทั้งเช็คช่วงเวลาที่สัญญาณเข้ามาให้ถูกต้อง ในส่วนของภาคอินพุทของออปแอมป์ จะสามารถปรับอัตราขยายได้โดยต่อกับอุปกรณ์ภายนอก ส่วนภาคเอาท์พุทเป็นวงจรแลทช์ซึ่งจะคงค่าที่สถานะ tri-state เมื่อไม่มีการส่งข้อมูลออกจนกว่าจะมีสัญญาณมาสั่ง (จาก TOE) จึงนำเอาข้อมูลที่แปลงได้ส่งออกมาที่เอาท์พุท

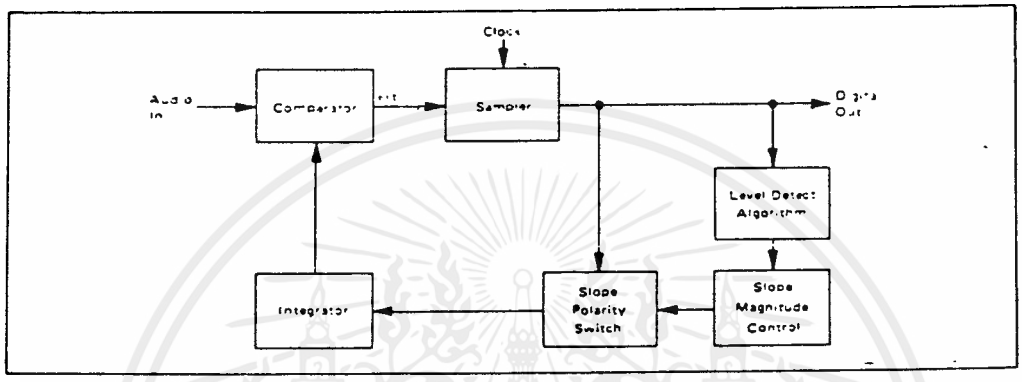
2.3) <u>การสื่อสารทางด้านดิจิตอลของสัญญาณอนาลอก</u>

การส่งสัญญาณแบบดิจิตอล ของสัญญาณอนาลอกใด ๆ เป็นเรื่องที่น่าสนใจ เพราะว่าในการส่งและการมัลติเพลกซ์ ค่าของอัตราส่วน S/N *(signel/noise ratios)* จะไม่เปลี่ยนแปลงตามระยะทางของสัญญาณ และการออกแบบอุปกรณ์การสวิทชิ่ง และรีพีทติ้ง (switching and repeating hardware) ก็เป็นไปอย่างสะดวก และประหยัด แต่อย่างไรก็ตาม อุปกรณ์ในการแปลงสัญญาณอนาลอกเป็นดิจิตอล ก็ยังคงไม่เหมาะกับการสื่อสารทางดิจิตอลเท่าใดนัก จึงมีการใช้เทคนิคที่เรียกว่า CVSD *(Continuously variable slope delta modulator)* ซึ่งเป็นการเปลี่ยนสัญญาณอนาลอก ตั้งแต่แบบที่มีการเปลี่ยนแปลงง่าย ๆ ไปจนถึง แบบที่ซับซ้อนให้เป็นสัญญาณดิจิตอลที่ใช้สื่อสารได้อย่างมีประสิทธิภาพ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การมอดแบบเดลต้า (DELTA MODULATOR)

อุปกรณ์ควบคุมพื้นฐานของการแปลงแบบ CVSD คือ การมอดแบบเดลต้า ซึ่งสามารถแสดงการทำงานของการเข้ารหัสแบบ CVSD ได้ดังรูป 2.3.1



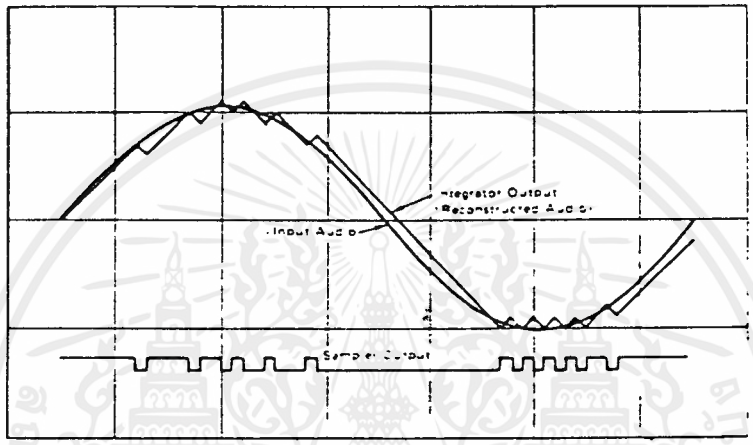
รูปที่ 2.3.1 บล็อกไดอะแกรมของ CVSD ENCODER

ระบบการมอดแบบเดลต้านี้ ประกอบด้วยตัวเปรียบเทียบในส่วนของการควบคุมทางเดียว (forward path) และตัวอินทิเกรเตอร์ (integrator)ในส่วนของการควบคุมแบบป้อนกลับ (feedback path) สัญญาณอินพุทของตัวเปรียบเทียบเป็นสัญญาณอนาลอกที่เข้ามาเทียบกับสัญญาณเอาท์พุทของอินทิเกรเตอร์ สัญญาณเอาท์พุทของตัวเปรียบเทียบ จะให้ค่าเครื่องหมายของความแตกต่างระหว่าง แรงดันอินพุท กับ เอาท์พุทของอินทิเกรเตอร์ ซึ่งเป็นสัญญาณดิจิตอล ที่ใช้ควบคุมทิศทางของสัญญาณแรมป์ (ramp) ในตัวอินทิเกรเตอร์

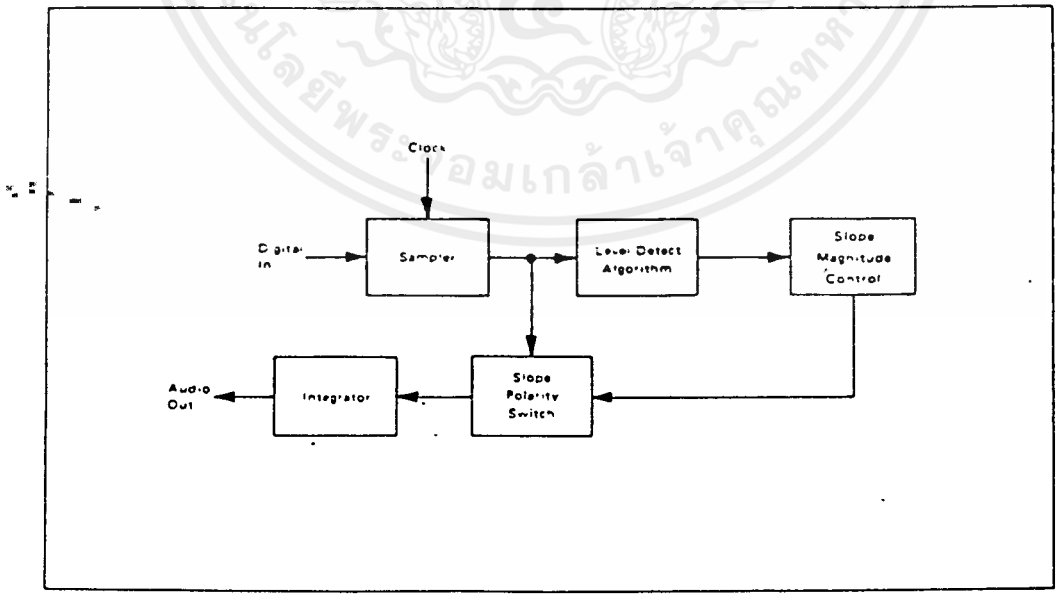
โดยปกติ ตัวเปรียบเทียบจะให้สัญญาณซิงโครนัสกับสัญญาณนาฬิกา ถ้ากระแสบิทของสัญญาณนาฬิกาถูกรับส่งแบบขนุกรมไปที่ตัวอินทิเกรเตอร์ที่อยู่ไกลออกไปสัญญาณเอาท์พุทก็จะเป็นเช่นเดียวกับสัญญาณเอาท์พุทของอินทิเกรเตอร์ในวงรอบของการควบคุมเดิม นั่นคือ ตัวอินทิเกรเตอร์ที่ตำแหน่งการส่งสามารถติดตามสัญญาณเอาท์พุท และตัวรับที่อยู่ไกลออกไปก็สามารถสร้าง สัญญาณอินพุทขึ้นมาใหม่ โดยผ่านวงจรกรองความถี่ต่ำ ที่ภาคตัวรับเพื่อกำจัดสัญญาณรบกวนออก โดยอัตราการส่งสัญญาณนาฬิกา ต้องมากกว่าแถบความถี่ที่ใช้งานอย่างน้อย 2 เท่าของความถี่สูงสุด เช่น แถบความถี่เสียง คือ 4 KHz ควรใช้อัตราการส่งสัญญาณนาฬิกา ที่จะนำไปชักค่าตัวอย่าง (Sampling) มีค่ามากกว่า 8 K ขึ้นไป จึงจะทำให้ การมอดแบบเดลต้า สามารถนำไปผ่าน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กระบวนการแปลงเป็นสัญญาณดิจิตอล (Digitizes) และส่ง (transmits) สัญญาณอนาลอกอินพุทไปที่ตัวรับที่อยู่ไกลๆ ได้ ขณะไม่มีสัญญาณอินพุทที่ตัวส่งจะมีสัญญาณเปลี่ยนแปลงขึ้น-ลง (1-0) อย่างต่อเนื่องถูกส่งออกไปแทน ถ้าระหว่างตัวอินทิเกรเตอร์ทั้งสองเกิดการรั่วไหลแล้ว เอาท์พุทของตัวรับจะลดลงเป็นศูนย์ และจะทำการรับใหม่เมื่อต้องการ รูปที่ 2.3.2 แสดงรูปคลื่นของการมอดแบบเดลต้า และรูปที่ 2.3.3 แสดงการทำงาน ของการถอดรหัสแบบ CVSD



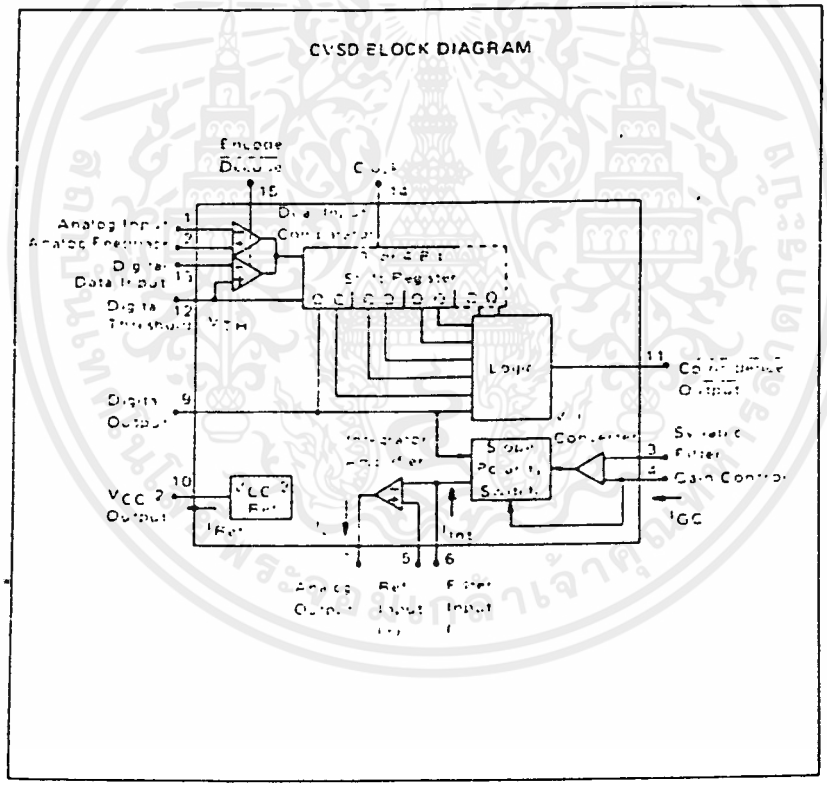
รูปที่ 2.3.2 CVSD WAVEFORMS



รูปที่ 2.3.3 บล็อกไดอะแกรมแสดงการทำงานของ CVSD DECODER

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากหลักการข้างต้น เราใช้ไอซีเบอร์ MC 3517 ซึ่งเป็น การมอดแบบเดลต้าที่มีการเปลี่ยนแปลงความชันอย่างต่อเนื่อง (CONTINUOUSLY VARIABLE SLOPE DELTA MODULATOR/DEMODULATOR) ซึ่งทำหน้าที่เป็นตัวเข้ารหัสและถอดรหัสได้ในตัวเดียวกัน และยังมีรีจิสเตอร์ขนาด 3 บิท (หรือ 4 บิท ใน MC 3518) สำหรับใช้งานด้วย โดยมีการทำงานดังรูป 2.3.4



รูปที่ 2.3.4 บล็อกไดอะแกรมการทำงานของ CVSD

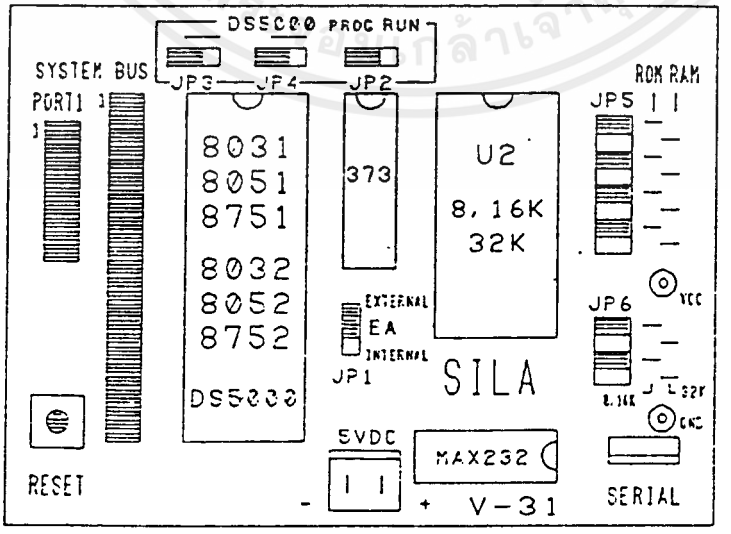
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.4) ไมโครคอนโทรลเลอร์

ในปัจจุบัน ไมโครโปรเซสเซอร์ (MICROPROCESSOR) มีบทบาทสำคัญอย่างมาก ซึ่งได้ถูกใช้เป็น ส่วนควบคุมการทำงานของ เครื่องมือ เครื่องจักรกล เครื่องใช้ไฟฟ้า รวมทั้งระบบอัตโนมัติต่าง ๆ มากมาย ไมโครโปรเซสเซอร์ที่ถูกนำมาประยุกต์ใช้งานกันอย่างกว้างขวางในขนาด 8 บิท ด้วยกันตัวหนึ่ง ก็คือ ไมโครคอนโทรลเลอร์ในตระกูล MCS-51 ของ INTEL ซึ่งในตะกูลนี้ ประกอบไปด้วย CPU เบอร์ต่าง ๆ ได้แก่ 8031,8051,8032,8052,8751,8752 รวมทั้ง 8052 AHBASIC และ DS 5000 ของ DALLAS SEMICONDUCTOR

V-MICROCONTROLLER เป็นบอร์ดไมโครโปรเซสเซอร์ขนาดเล็ก สามารถใช้ CPU เบอร์ต่างๆ ดังที่กล่าวมาแล้วได้ทั้งสิ้นซึ่ง CPU แต่ละตัวในตระกูลนี้มีโครงสร้างทางสถาปัตยกรรมส่วนใหญ่ คล้ายคลึงกัน แต่มีส่วนที่แตกต่างกันบ้างเล็กน้อย ในส่วนของหน่วยความจำภายใน (INTERNAL RAM, INTERNAL ROM) และ ส่วนของทามเมอร์-เคาเตอร์ (TIMER/COUNTER)

V-5000 เป็นบอร์ดที่เหมาะสำหรับ งานควบคุมขนาดค่อนข้างใหญ่ โดยมีพอร์ท I/O ให้ใช้ถึง 36 พอร์ท (รายละเอียดดูได้จากเอกสารอ้างอิงที่แนบมาด้วย) CPU ที่ใช้คือ DS 5000 ซึ่งมีโครงสร้างภายในประกอบด้วย ชิพไมโครคอนโทรลเลอร์ 8051 และNVSRAM โดย NVSRAM ภายในชิพนี้ สามารถกำหนดให้เป็นส่วนของหน่วยความจำของโปรแกรม และ/หรือ ของข้อมูล (PROGRAM MEMORY and/or DATA MEMORY) ได้นอกจากนั้น DS 5000 ยังมีซอฟท์แวร์สำหรับการโหลดโปรแกรม (PROGRAM LOADING) โดยสามารถทำการโหลดได้ 2 โหมดด้วยกัน คือ แบบขนาน (PARALLEL LOADING) และแบบอนุกรม (SERIAL LOADING)

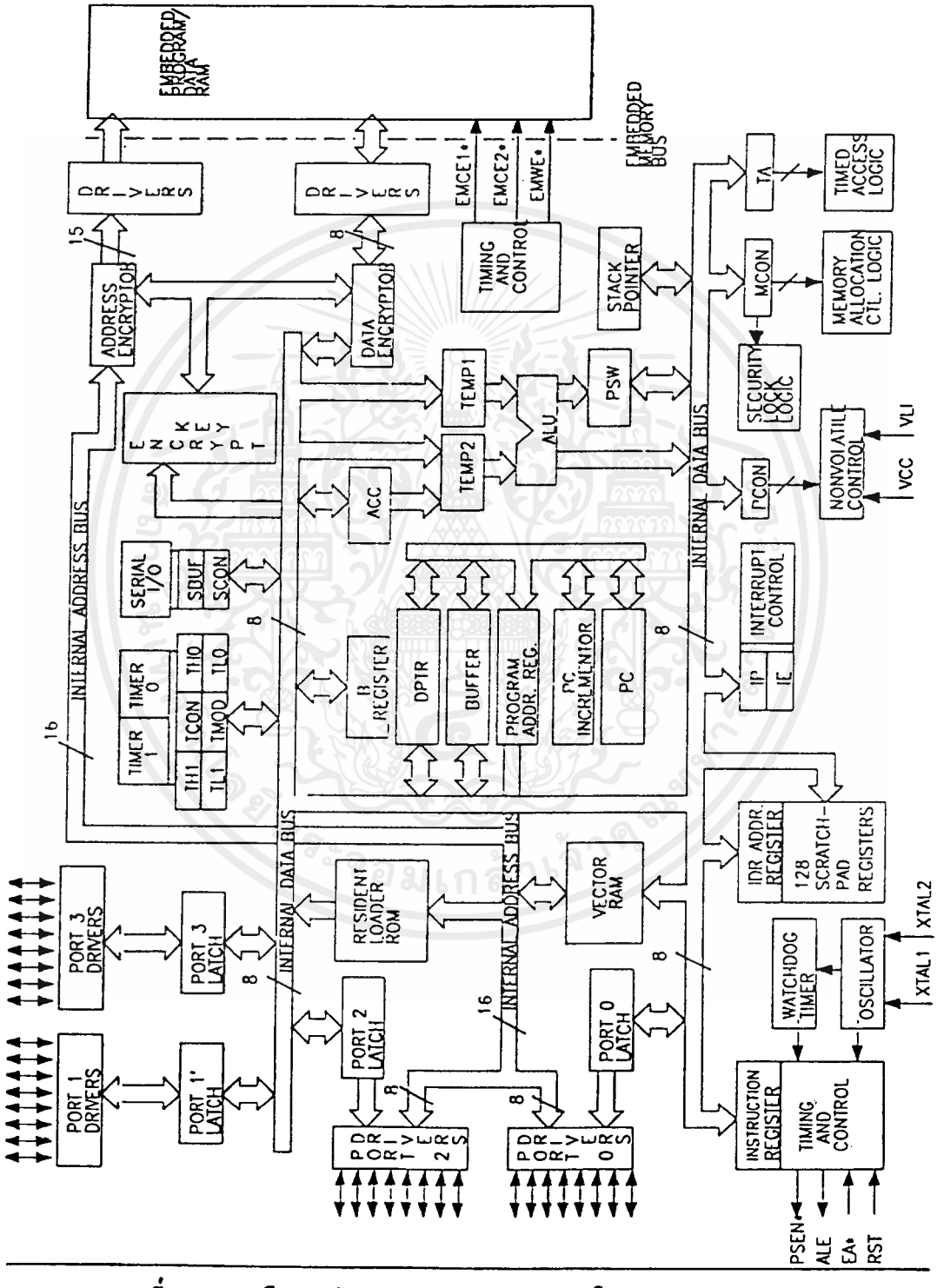


รูปที่ 2.4.1 บอร์ด V-MICROCONTROLLER และ ตำแหน่ง JUMPER

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

032595

V-5000 ใช้ CPU เบอร์ DS 5000 8-12 ซึ่งชิพเบอร์นี้มี NVSRAM ภายในขนาด 8 KBYTE และใช้กับสัญญาณนาฬิกาได้สูงสุด 12 MHz และมีโครงสร้างทางสถาปัตยกรรมภายใน ดังรูปที่ 2.4.2



รูปที่ 2.4.2 โครงสร้างทางสถาปัตยกรรมภายใน ของ DS 5000

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

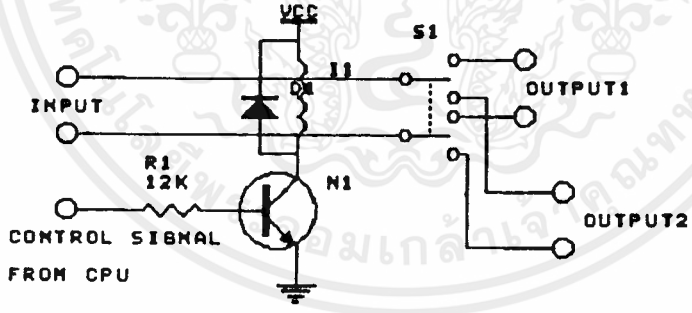
บทที่ 3

การทดลองและผลการทดลอง

วงจรที่ใช้ในการทดลองนี้ ประกอบด้วย

3.1) ส่วนเลือกทางเดินของสัญญาณ (SWITCHING SIGNAL PATH SECTION)

เป็นวงจรที่รับสัญญานโทรศัพท์จากภายนอก และจะเลือกทางเดินของสัญญาณ ให้ไปตามทางที่ต้องการ โดยใช้การควบคุมจากไมโครคอนโทรลเลอร์ ซึ่งเราจะใช้เป็นวงจรรีเลย์ขนาด 6 โวลท์ 2 ทิศทาง หน้าสัมผัสคู่ และเราจะให้หน้าสัมผัสดังกล่าวถูกควบคุม ด้วยการไบอัสทรานซิสเตอร์ 2SC458 โดยสัญญาณไบอัสนี้ ก็คือสัญญาณที่ส่งมาจาก CPU นั่นเอง

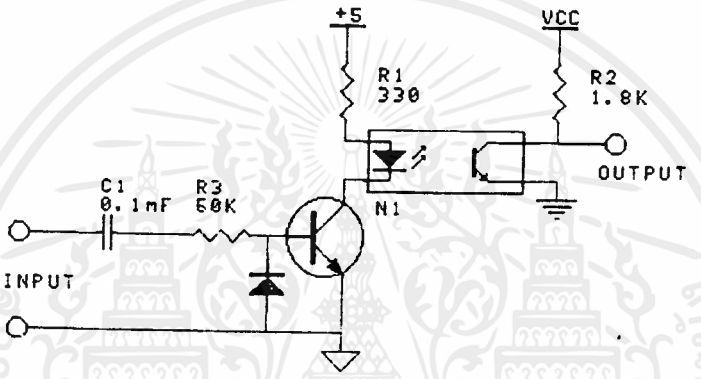


รูปที่ 3.1 วงจรส่วนเลือกทางเดินสัญญาณ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.2) <u>ส่วนตรวจสอบสัญญาณโทรศัพท์ (RINGING DETECTOR)</u>

เป็นส่วนที่ใช้แยกใช้สัญญาณโทรศัพท์จากภายนอก กับสัญญาณที่จะเข้าไปประมวลผลใน CPU โดยใช้ออปโตคัปเปลอร์ (OPTO COUPLER) เบอร์ 4N25



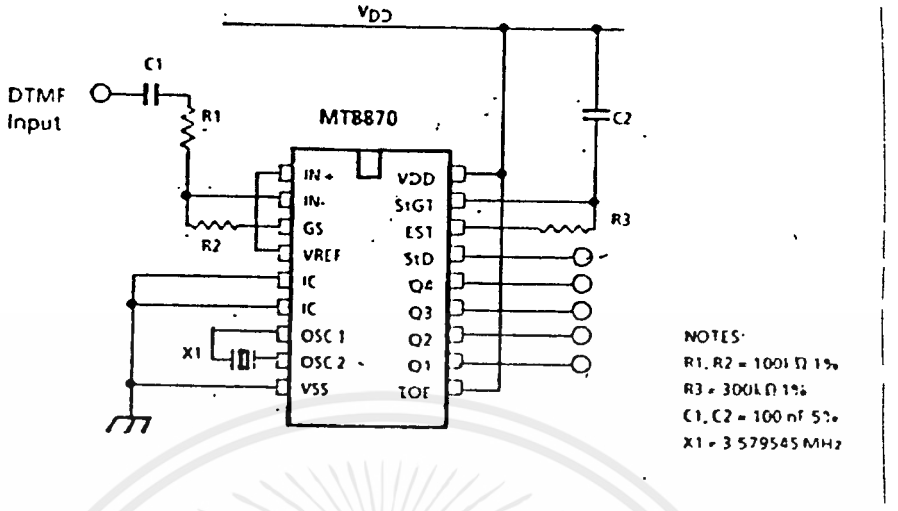
รูปที่ 3.2 วงจรตรวจสอบสัญญานโทรศัพท์

สัญญาณเอาท์พุทของวงจรนี้ จะมีเพียง 2 ระดับเท่านั้นคือ HIGH กับ LOW ซึ่งสัญญาณนี้จะใช้ประมวลผลที่ CPU เพื่อใช้ตรวจสอบว่า มีสัญญาณเรียกเข้ามาตามจำนวนครั้งที่กำหนดหรือยัง ถ้าครบแล้ว ก็จะส่งสัญญาณไปควบคุมวงจรรีเลย์ ในหัวข้อ 3.1

3.3) <u>ส่วนถอดรหัสความถี่ทางโทรศัพท์</u>

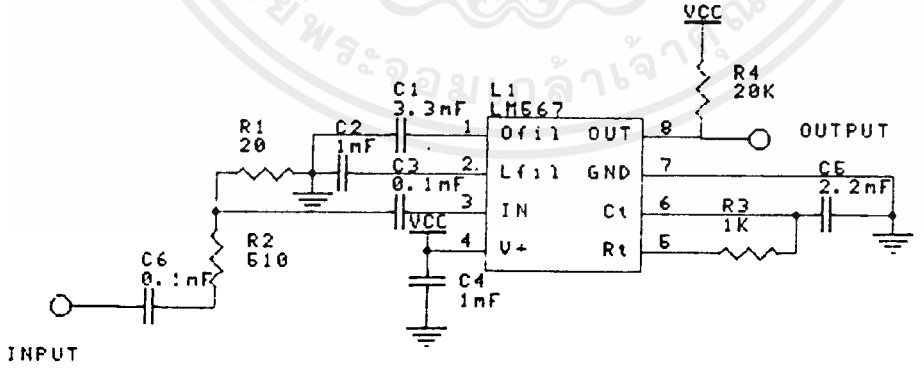
3.3.1) ใช้ไอซี MT 8870 เป็นตัวแปลงความถี่ทางโทรศัพท์ให้เป็นไบนารี่ 4 บิท แล้วนำไปเข้า CPU เพื่อประมวลผลให้เป็นคำสั่งในการควบคุมอุปกรณ์ไฟฟ้า

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.3.1 วงจรแปลงความถี่โทรศัพท์ DTMF

3.3.2) ใช้ไอซี LM567 เป็นตัวตรวจจับสัญญาณวางหูจากผู้ใช้ แล้วทำให้ CPU หยุดการไบอัสให้กับวงจรในรูปที่ 3.1 ทำให้ทางเดินสัญญาณกลับไปสู่สภาวะเริ่มต้นใหม่อีกครั้งหนึ่ง

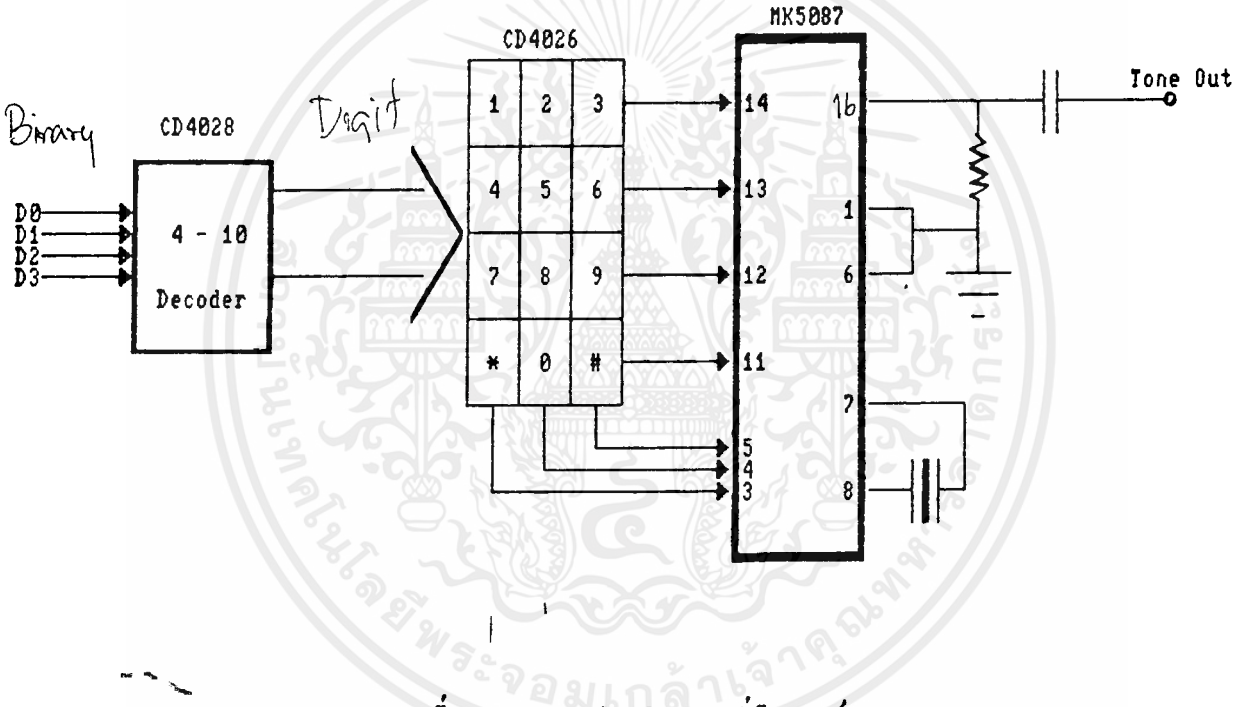


รูปที่ 3.3.2 วงจรตรวจสอบการวางหูโทรศัพท์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.4) ส่วนกำเนิดความถี่โทรศัพท์ (TONE GENERETOR)

เป็นส่วนที่ CPU ใช้หมุนโทรศัพท์ออกไปภายนอก โดยส่งข้อมูลเป็นเลขไบนารี่ 4 บิท จากหน่วยความจำมาให้กับไอซี CD4028 ซึ่งจะแปลงเป็นเลขฐานสิบ แล้วไปควบคุมการกดคีย์โทรศัพท์ ในที่นี้ ใช้อนาลอกสวิทช์ ไอซี CD4066 และใช้ไอซี MK 5087 เป็นตัวกำเนิดความถี่โทรศัพท์



รูปที่ 3.4 วงจรกำเนิดความถี่โทรศัพท์

3.5) ส่วนสื่อสารข้อความโดยอัตโนมัติ

ข้อความที่ต้องการจะสื่อสารจะถูกเก็บไว้ในแรม (RAM) ตามตำแหน่ง (ADDRESS) ต่างๆ และจะถูกนำมาใช้โดยต้องแปลงเป็นสัญญาณอนาลอกก่อน โดยใช้ไอซี MC3517 ซึ่งทำหน้าที่เป็น CVSD

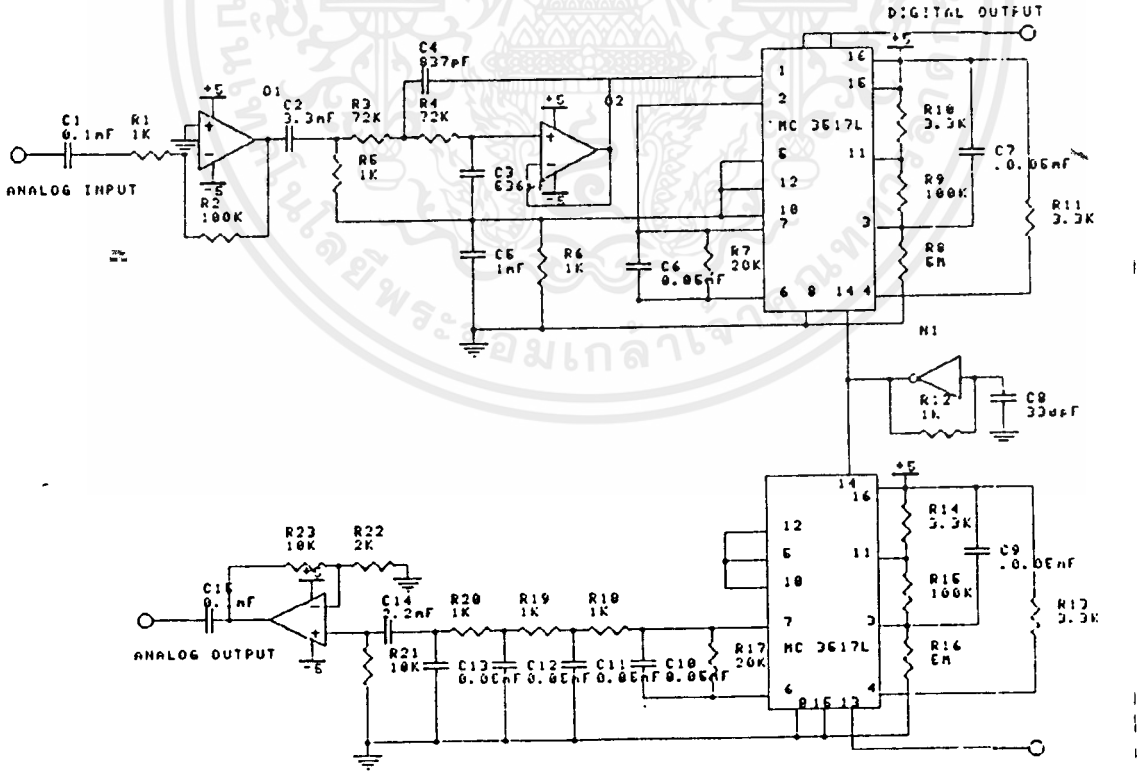
3.5.1) การแปลงสัญญาณแบบ CVSD

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- ในการเก็บข้อความลงในแรม (RAM) สัญญาณอนาลอกที่เข้ามา จะมีขนาดต่ำมาก จึงนำไปผ่านไอซี ออปแอมป์ 741 เพื่อขยายขนาดสัญญาณแล้วไปเป็นอินพุทให้กับ MC3517 สัญญาณอนาลอก จะถูกมอดเป็นสัญญาณดิจิตอลส่งออกไปแบบอนุกรม ซึ่ง CPU จะนำไปจัดการแปลงเป็นแบบขนานก่อน แล้วจึงจะนำไปเก็บไว้ในแรม (RAM)

- ในการส่งข้อความจากแรม (RAM) ซึ่งเป็นสัญญาณดิจิตอล เมื่อผ่านไอซี MC 3517 ก็จะถูกดีมอดได้เป็นสัญญาณอนาลอก นำไปขยายขนาด โดยผ่านออปแอมป์ แล้วจึงส่งออกไปตามสายโทรศัพท์

ในการทำงานทั้ง 2 กรณี ข้างต้นนั้น เราต้องควบคุมความเร็วของสัญญาณนาฬิกา โดยในที่นี้ใช้ไอซี 74LS14 ซึ่งเป็น อินเวอร์เตอร์ (INVERTER) ที่ให้ค่าระดับสัญญาณเพียงสองค่า คือ HIGH กับ LOW โดยพิจารณาจากแรงดันที่คร่อมตัวเก็บประจุที่อินพุท

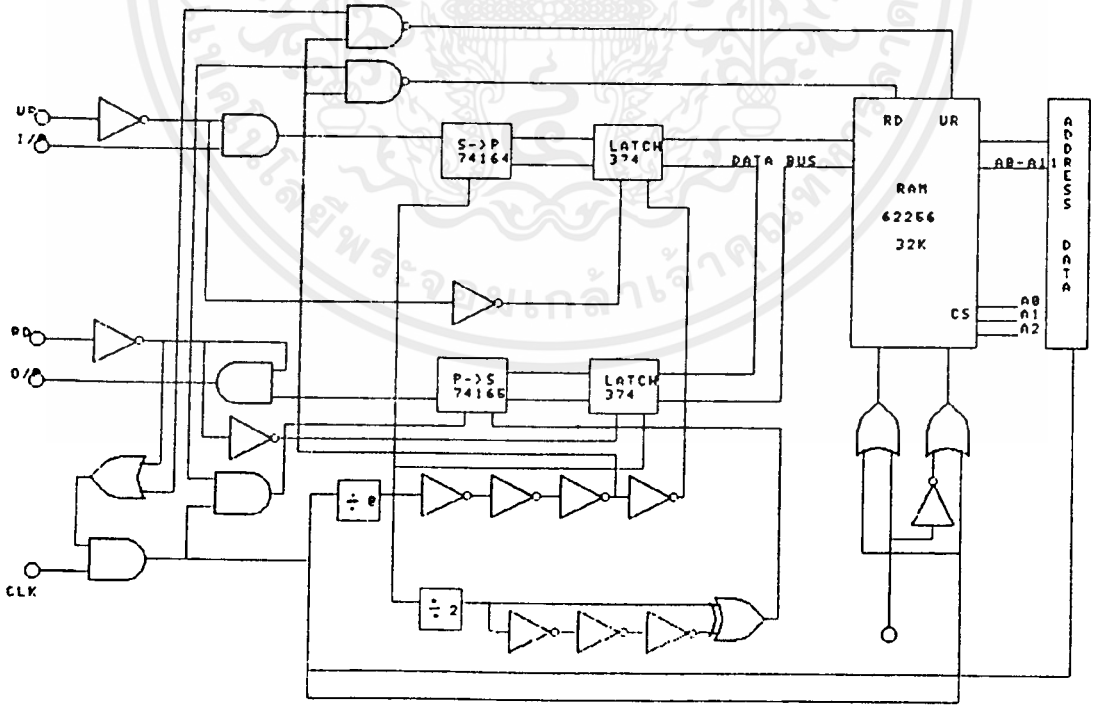


รูปที่ 3.5.1 วงจร CVSD ของสัญญาณเสียง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.5.2) เนื่องจากสัญญาณเอาท์พุทของวงจร CVSD ในการทำงานแบบมอด และสัญญาณอินพุทในการทำงานแบบดิมอด ต่างก็เป็นสัญญาณที่รับส่งแบบอนุกรม แต่การติดต่อกับหน่วยความจำต้องใช้การสื่อสารแบบขนาน จึงต้องมีการแปลงสัญญาณให้เหมาะสมก่อน โดยใช้ ไอซี 74LS164 เป็นตัวแปลงสัญญาณแบบอนุกรมให้เป็นแบบขนาน แล้วใช้ไอซี 74LS374 เป็นตัวแลทช์ค่าไว้ สำหรับการแปลงสัญญาณแบบขนานให้เป็นแบบอนุกรม ใช้ไอซีเบอร์ 74LS165

เนื่องจากอุปกรณ์ที่ใช้มีความเร็วในการทำงานต่างกัน เราจึงต้องควบคุมให้มันทำงานได้สอดคล้องกัน และต้องเป็นไปตามเวลาการทำงานของหน่วยความจำ (RAM) ดังนั้นเราจึงใช้วิธีการหน่วงเวลาสัญญาณนาฬิกาที่ควบคุมการทำงานของอุปกรณ์เหล่านั้นให้เหมาะสมด้วย มีการใช้ฟลิปฟลอป (FLIPFLOP) ในการหารสัญญาณนาฬิกา และอินเวอร์เตอร์ (INVERTER) 74LS04 ในการในการหน่วงเวลา แต่จะมีอยู่บางส่วนที่จะต้องทำงานตามเงื่อนไขที่เราต้องการหรือต้องมีการตรวจสอบเงื่อนไขก่อน จึงจะทำงานได้ ในส่วนนี้ เราก็จะนำเอา เกท (GATE) ต่างๆ เข้ามาช่วย

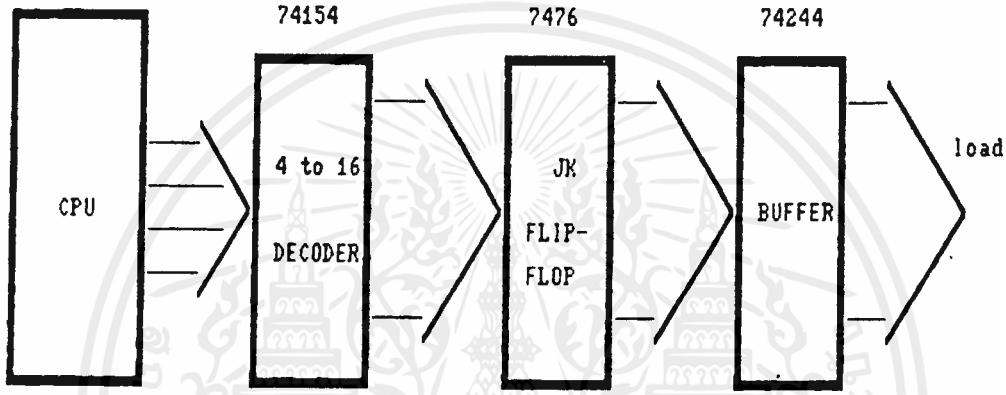


รูปที่ 3.5.2 วงจรอินเทอร์เฟสหน่วยความจำกับ CVSD

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.6) <u>ส่วนแสดงผลการควบคุมอุปกรณ์ไฟฟ้า</u>

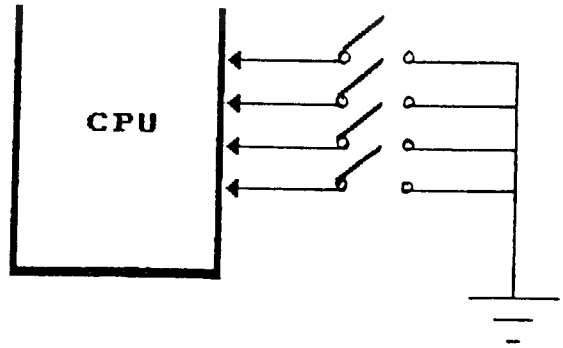
เนื่องจากสัญญาณคำสั่งเอาท์พุทจาก CPU ยังเป็นสัญญาณดิจิตอลขนาด 4 บิทอยู่ จึงนำไปถอดรหัสได้ 16 คำสั่ง (74LS154) แล้วผ่านวงจรฟลิปฟลอป (74LS76) เพื่อจุดประสงค์ในการคงค่าของคำสั่งไว้ขณะใช้งานคำสั่งใหม่ โดยที่ไม่ได้มีการสั่งลบค่าของคำสั่งเดิมนั้น แล้วนำสัญญาณทั้งหมดผ่านบัฟเฟอร์(74LS244)แล้วจึงนำไปควบคุมการปิด-เปิดอุปกรณ์ไฟฟ้าได้ 8 เครื่อง



รูปที่ 3.6 ส่วนแสดงผลการควบคุมอุปกรณ์ไฟฟ้า

3.7) <u>ส่วนตรวจสอบสภาวะฉุกเฉิน</u>

ในที่นี้ใช้การจำลองอุปกรณ์ตรวจจับ (SENSOR) ด้วยสวิทช์และส่งผลการตรวจสอบไปให้ CPU

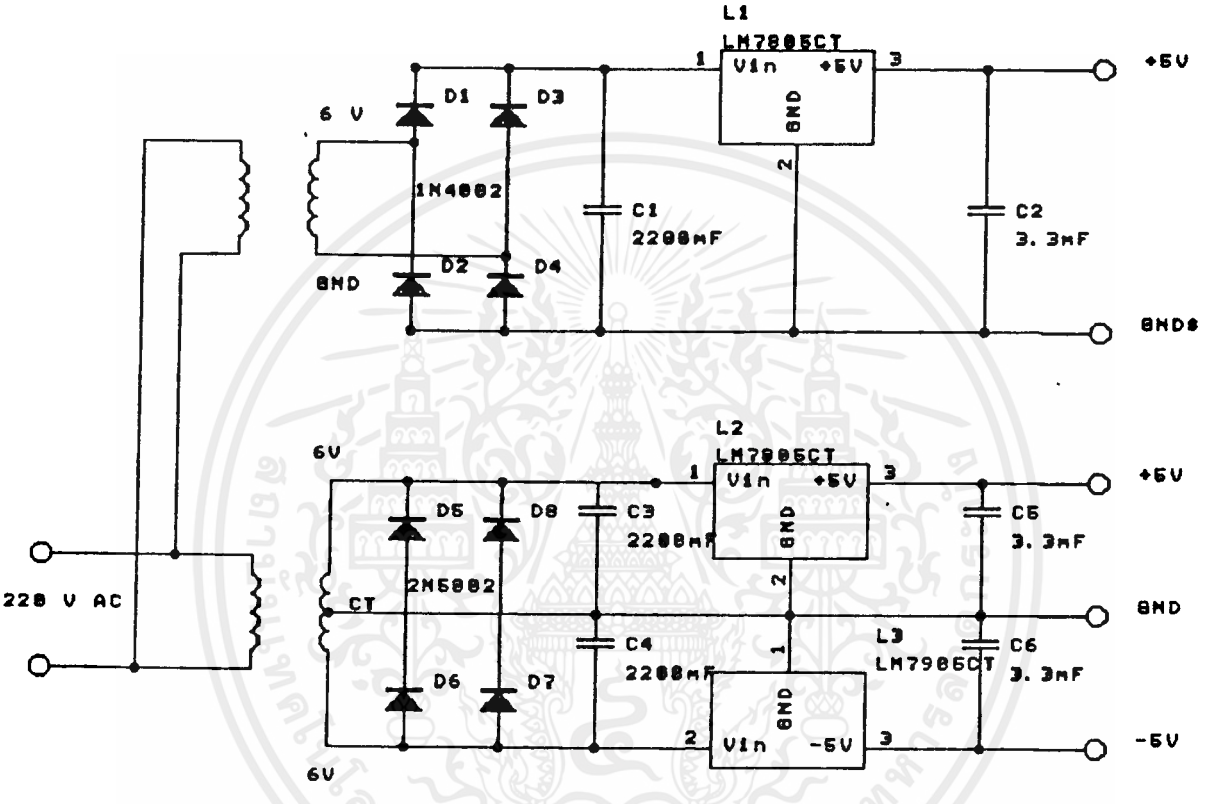


รูปที่ 3.7 วงจรจำลองอุปกรณ์ตรวจจับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.8) <u>ส่วนไฟเลี้ยงวงจร</u>

เนื่องจากวงจรในหัวข้อ 3.2 มีการแยกสัญญาณจากกัน จึงต้องแยกกราวน์กัน โดยใช้หม้อแปลง 2 ตัว และใช้ไอซี เรกกูเลเตอร์ LM7805, LM7905 เป็นตัวควบคุมขนาดไฟเลี้ยง

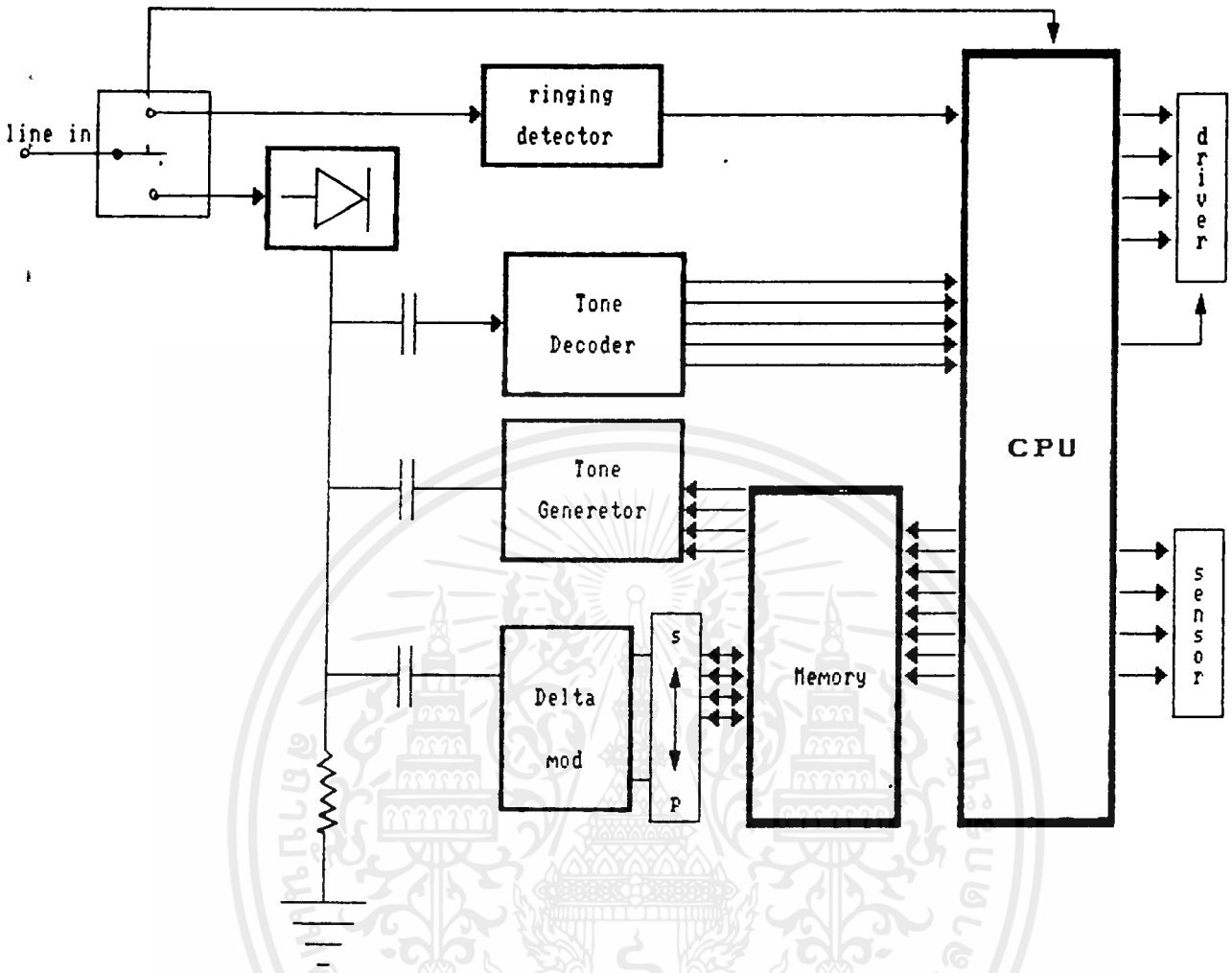


รูปที่ 3.8 วงจรไฟเลี้ยง

3.9) <u>ส่วนควบคุมการทำงานของทั้งระบบ</u>

สำหรับการนำไมโครคอนโทรลเลอร์ DS- 5000 มาใช้ในโครงงานนี้ จะมีส่วนของการทำงานตามบล็อกไดอะแกรม ดังรูป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.9.1 บล็อกไดอะแกรมของการควบคุมการทำงานของระบบด้วย DS-5000

ศูนย์วิทยทรัพยากร
จุฬาลงกรณ์มหาวิทยาลัย

ขั้นตอนการทำงานของ CPU

สามารถอธิบายได้ดังนี้คือ

เมื่อเริ่มการทำงาน CPU จะกำหนดค่าเริ่มต้นต่างๆไว้ แล้วจะรอสัญญาณโทรศัพท์เรียกเข้ามาจากภายนอกพร้อมทั้งจะวนตรวจสอบสภาวะต่างๆในบ้าน ดังนั้น เราจะมีสัญญาณเข้ามา 2 สัญญาณ คือ

1. ถ้ามีการเรียกเข้ามา จะเข้าที่ขา INTO ของ CPU แล้ว CPU จะตรวจสอบว่าครบตามกำหนดหรือยัง เมื่อครบแล้วก็จะส่งสัญญาณไปเปิดรีเลย์และเริ่มตรวจสอบ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

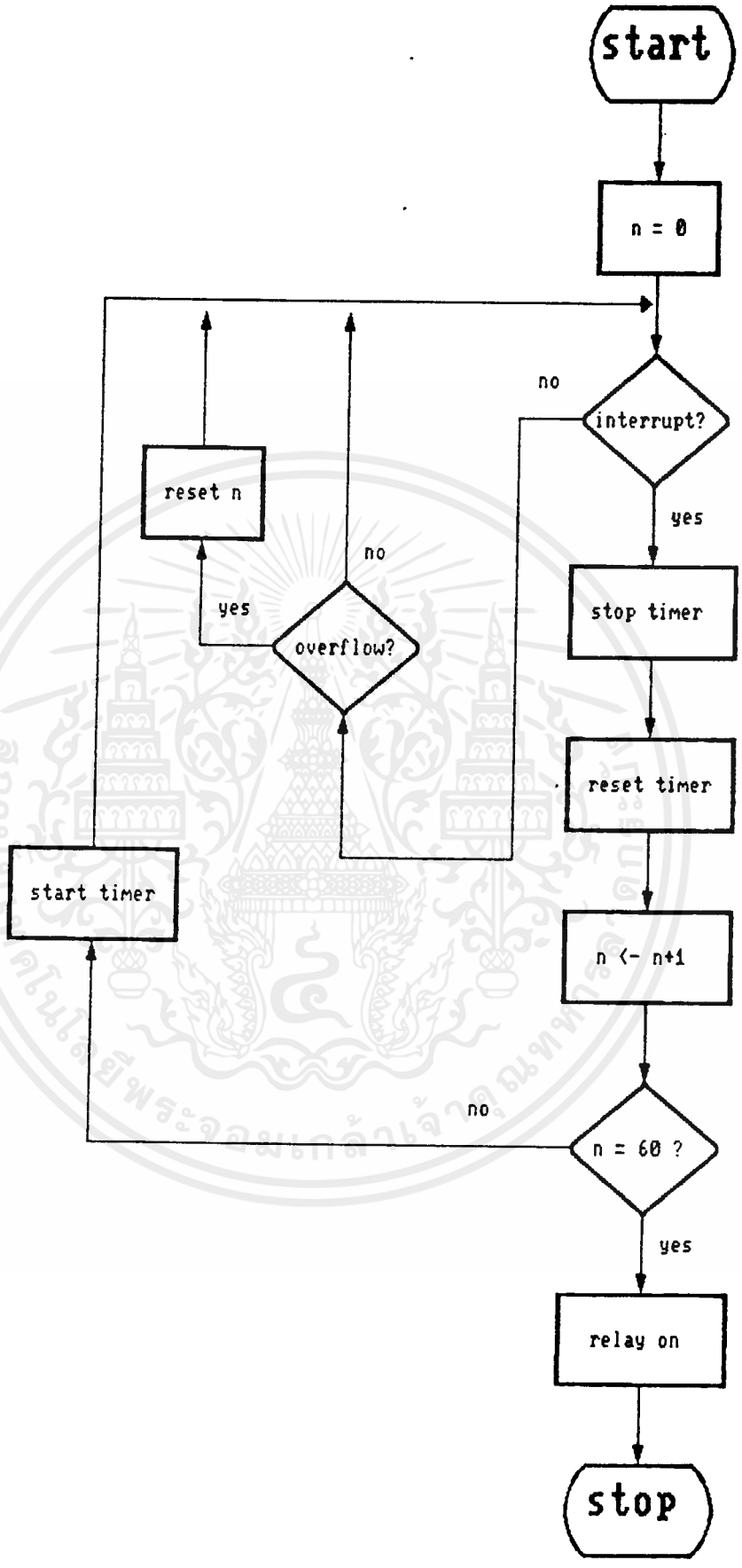
รหัสผ่าน ถ้าถูกต้องจะรับรหัสต่อ ๆ มาเพื่อนำไปควบคุมอุปกรณ์ไฟฟ้าต่อไป แต่ถ้าไม่ถูกจะปิดรีเลย์ และเริ่มทำงานใหม่ ในการควบคุมอุปกรณ์แต่ละตัว CPU จะมีการส่งสัญญาณไปเลือกคำพูดในแรม (RAM) เพื่อให้ส่งคำพูดมาตอบให้กับผู้รับ

2. ถ้าเกิดเหตุการณ์ผิดปกติในบ้าน จะมีสัญญาณส่งมาบอก CPU ที่ INT1 เมื่อ CPU ได้รับก็จะนำค่า เข้ามาตรวจสอบว่าเกิดที่จุดใด จากนั้น จะส่งข้อมูลไปเปิดรีเลย์ และนำไปเลือกรหัสเพื่อใช้โทรศัพท์ติดต่อกับหน่วยงานที่เกี่ยวข้อง แต่ถ้าตรวจสอบแล้วไม่มีเหตุการณ์ผิดปกติ ก็แสดงว่าเกิดการวางหูที่ปลายทาง (เพราะเรานำวงจรตรวจสอบการวางหูไว้ที่ขา INT1 เช่นกัน)ดังนั้น CPU ก็จะปิดรีเลย์ แล้วก็กลับไปเริ่มทำงานใหม่

*** ถ้าต้องการเขียนข้อมูลลงไปในแรม (เก็บเสียงพูด) เราใช้โปรแกรมอีกส่วนหนึ่ง ซึ่งทำงานโดยการเลือกตำแหน่งต่างๆ ในหน่วยความจำ (PAGE ADDRESS)แล้วส่งสัญญาณไปเลือก ณ ตำแหน่งนั้น พร้อมทั้งสัญญาณการเขียนข้อมูล (wr) เป็นเวลาพอดี ที่จะเขียนข้อมูลลงไปในแต่ละชุด และเมื่อต้องการทำการเขียนที่ตำแหน่งอื่นๆ ก็เพียงแต่ทำตามที่กล่าวมาแล้วอีกครั้งหนึ่ง

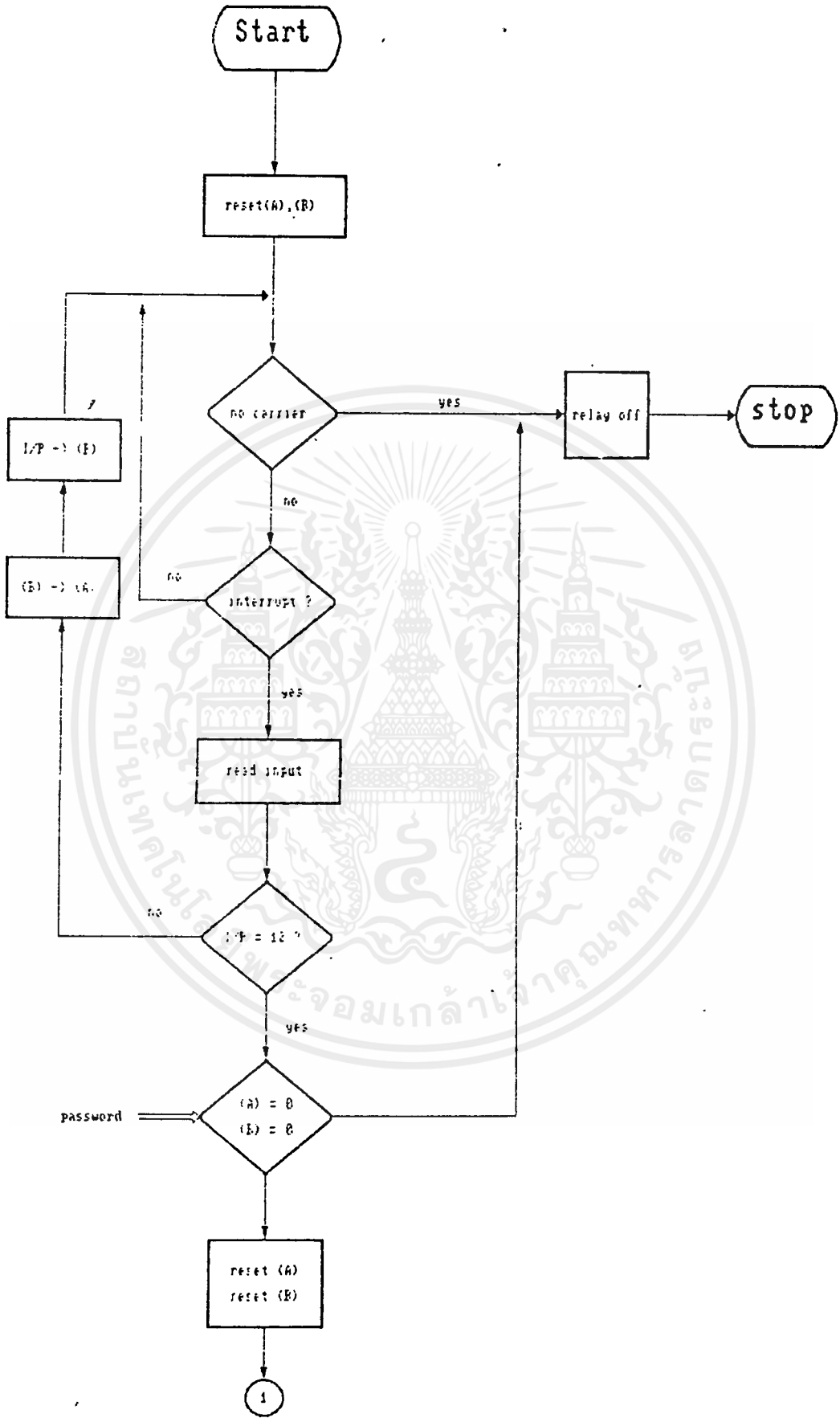
ในส่วนของขั้นตอนการทำงานของโปรแกรมนั้น ดูได้จากโฟลวชาร์จ (FLOWCHART) ดังต่อไปนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



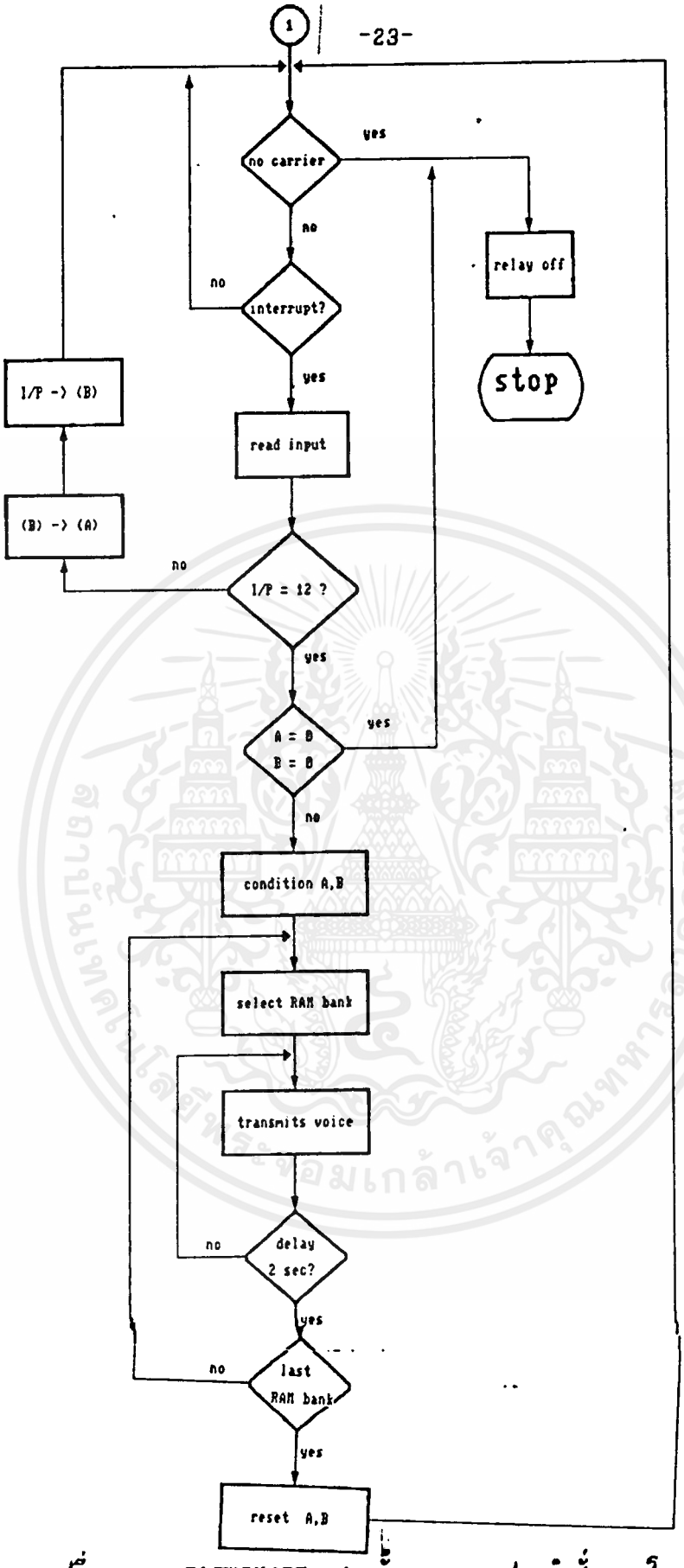
รูปที่ 3.9.2 FLOWCHART แสดงขั้นตอนการตรวจสอบสัญญาณโทรศัพท์เพื่อเลือกทางเดินสัญญาณ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



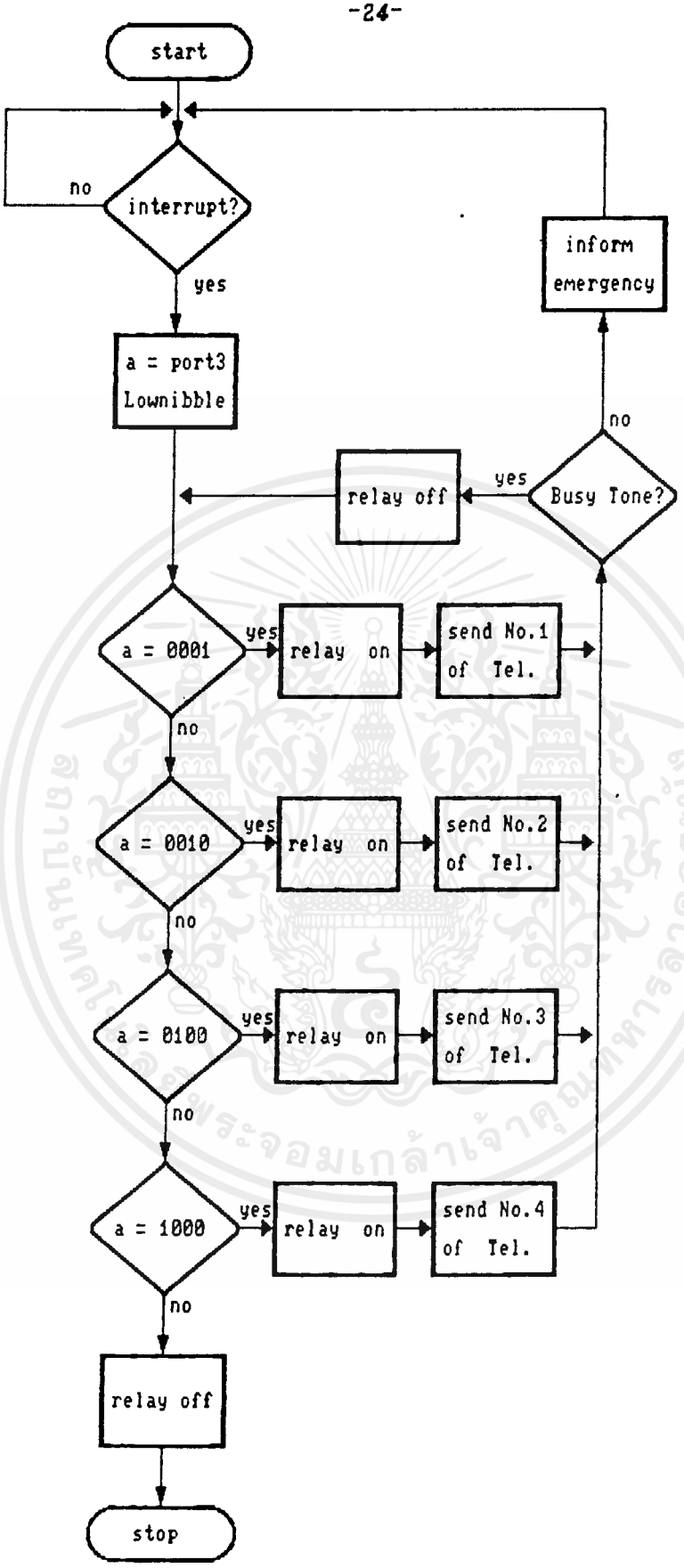
รูปที่ 3.9.3 FLOWCHART แสดงการตรวจสอบรหัสผ่านของผู้ใช้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



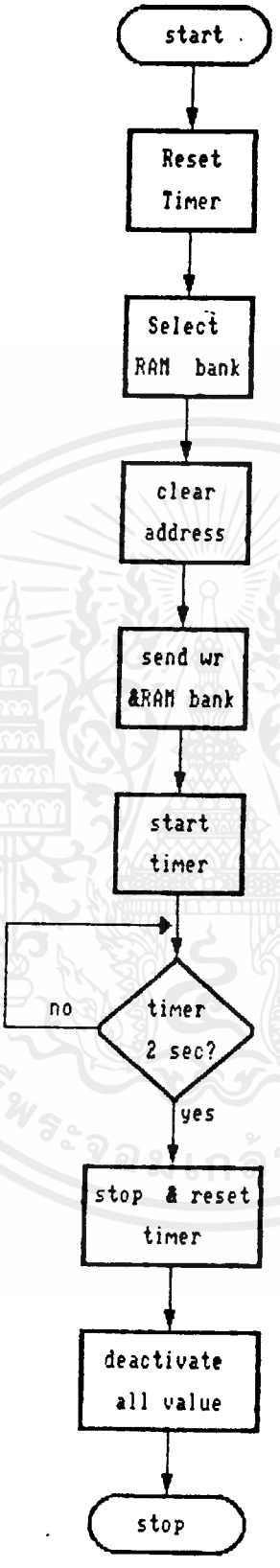
รูปที่ 3.9.4 FLOWCHART แสดงขั้นตอนการแปลงคำสั่งทางโทรศัพท์ และนำคำสั่งไปใช้รวมทั้งส่งสัญญาณไปให้หน่วยความจำเสียงพูดมาตอบ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.9.5 FLOWCHART แสดงขั้นตอนการตรวจสอบสภาวะต่างของอุปกรณ์ตรวจจับ และรายงานเหตุการณ์เมื่อเกิดสภาวะฉุกเฉิน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.9.6 FLOWCHART แสดงขั้นตอนการเขียนข้อมูลลงในหน่วยความจำ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 4

สรุปและวิจารณ์

จากทฤษฎีและวงจรการทดลองที่ผ่านมาทั้งหมด สามารถสรุปผลได้ดังต่อไปนี้

4.1) การตรวจสอบเงื่อนไขก่อนเข้าสู่ระบบการควบคุมอุปกรณ์

โดยปกติ เมื่อยังไม่มีสัญญาณโทรศัพท์ (RINGING TONE) เข้ามา ก็จะยังไม่มีการตรวจเช็คต่อเมื่อมีสัญญาณโทรศัพท์ซึ่งเป็นสัญญาณความถี่ 25 Hz สลับเป็นจังหวะดัง 1 วินาทีเงียบ 4 วินาที ตามจำนวนครั้งที่กำหนดให้เป็นรหัสการตรวจสอบว่า ผู้ใช้ต้องการสั่งการกับอุปกรณ์ไฟฟ้า CPU จะทำการสับเปลี่ยนทางเดินสัญญาณ โดยโยกสวิทช์ของรีเลย์ไปที่ปกติเปิด ซึ่งมีค่าอิมพิแดนซ์ 600 โอห์มต่ออยู่ จึงเสมือนมีการยกหูโทรศัพท์

4.2) การตรวจสอบรหัสผ่านของผู้ใช้ และแปลงคำสั่งการควบคุมอุปกรณ์

หลังจาก เสมือนมีการยกหูโทรศัพท์แล้ว CPU จะตรวจสอบรหัสผ่านของผู้ใช้ ถ้ารหัสนั้นผิด CPU จะสับเปลี่ยน ทางเดินสัญญาณกลับไปที่ปกติปิดทันที แล้วเริ่มทำงานใหม่ แต่ถ้ารหัสถูกต้องก็จะรอรับคำสั่งเพื่อควบคุมอุปกรณ์ต่อไป ซึ่งคำสั่งที่สั่งการได้ในที่นี้มี 16 คำสั่ง สำหรับควบคุมอุปกรณ์ 8 ตัวให้ทำการเปิด-ปิดได้ตามต้องการ

4.3) การตรวจเช็คสภาวะต่างๆที่เกิดขึ้น และการรายงานผล

CPU จะทำการตรวจเช็คสัญญาณที่เกิดขึ้นจากอุปกรณ์ตรวจจับตลอดเวลา โดยในโครงงานนี้ได้จำลองอุปกรณ์การตรวจจับไว้ 4 เหตุการณ์ ซึ่งถ้า CPU ตรวจพบก็จะดำเนินการตามขั้นตอน ของชนิดของเหตุการณ์ที่เกิดขึ้นได้ทันที เช่น เกิดเหตุการณ์ไฟไหม้ CPU จะทำการสับเปลี่ยนทางเดินของสัญญาณทำให้เสมือนมีการยกหูโทรศัพท์ แล้วจะรอรับสัญญาณจากทางองค์การโทรศัพท์ ถ้าสัญญาณที่ได้รับเป็นสัญญาณไม่พร้อมให้หมุนโทรศัพท์ ก็จะวางหูแล้วยกใหม่ แต่ถ้าสัญญาณที่ได้รับเป็นสัญญาณให้หมุนโทรศัพท์ (DIAL TONE) ก็จะหมุนโทรศัพท์โดยอัตโนมัติไปที่สถานีตำรวจดับเพลิง แล้วจะรอรับสัญญาณตอบรับว่า ถ้าเป็นสัญญาณสายไม่ว่าง (BUSY TONE) ก็จะวางหู

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โทรศัพท์ แล้วทำการหมุนใหม่ แต่ถ้าได้รับสัญญาณสายว่าง (RINGBACK TONE) ก็จะรอจนกว่าผู้รับจะยกหูโทรศัพท์ แล้วจึงรายงานเหตุการณ์และสถานที่เกิดเหตุให้ทราบ โดยข้อความที่รายงานจะถูกเก็บไว้ในหน่วยความจำที่ตำแหน่งต่างๆ ซึ่งสามารถเลือกออกมาใช้ได้

4.4) <u>แนวทางการพัฒนาโครงงาน</u>

โครงงานนี้ยังมีหน้าที่การทำงานที่ไม่สมบูรณ์นัก มีบางส่วนที่ควรจะเพิ่มเข้าไป เช่น

4.4.1) การฝากข้อความโดยอัตโนมัติ เมื่อมีผู้ใช้โทรศัพท์เข้ามาเพียงเพื่อต้องการติดต่อกับบุคคลหนึ่ง โดยนำไปเก็บไว้ในหน่วยความจำ และอนุญาตให้มีการลบหน่วยความจำได้เฉพาะบุคคล เพื่อที่จะได้มีการลบข้อความที่รับทราบแล้ว จะได้นำพื้นที่หน่วยความจำนั้นมาใช้งานได้อีก

4.4.2) การร้องขอการใช้โทรศัพท์ ในขณะเกิดเหตุการณ์ฉุกเฉิน แต่มีการใช้โทรศัพท์โดยอัตโนมัติอยู่ ไม่ว่าจะเป็นการฝากข้อความ หรือการสั่งการกับอุปกรณ์ไฟฟ้า โดยอาจจะส่งเป็นสัญญาณเตือน หรือเป็นข้อความในการร้องขอ

4.4.3) ความเที่ยงตรงของอุปกรณ์ตรวจจับ ในโครงงานนี้ ใช้การจำลองอุปกรณ์ตรวจจับด้วยสวิทช์ แต่ในการใช้งานจริง สัญญาณจากอุปกรณ์ตรวจจับเป็นสิ่งสำคัญมาก เพราะถ้าเป็นสัญญาณหลอก ก็จะทำให้เกิดการรายงานเท็จ หรือถ้าไม่มีสัญญาณจากอุปกรณ์ตรวจจับทั้งๆ ที่เกิดเหตุการณ์ฉุกเฉินขึ้นจริง ก็จะทำให้ระบบนี้เป็นระบบสูญเปล่า

4.4.4) การตั้งค่ารหัสผ่าน และจำนวนครั้งของสัญญาณกริ่งเรียก (RINGING TONE) ได้โดยผู้ใช้ ในส่วนนี้จะมีหรือไม่นั้น ขึ้นอยู่กับว่าต้องการให้ผู้ใช้มีสิทธิ์ ในการเปลี่ยนรหัสได้หรือไม่ ถ้าอนุญาต ก็อาจจะใช้การติดตั้งดิปสวิทช์ (DIP SWITCHES) เข้าที่พอร์ท I/O ของ CPU

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เอกสารอ้างอิง

REFERENCE

1. Robert C.Jones, Randall J.Hipp, Darin L.Kincald, Glen M.Masker, Michael R.Sims, Jerri L.Smith,:*"Telecommunications Circuits"*.
2. *"คู่มือเทียบเบอร์ ไอซี TTL"* ,บริษัท ซีเอ็ดยูเคชั่น จำกัด,พ.ศ.2534
3. *"คู่มือไอซี CMOS 4000 SERIES"* ,บริษัท ซีเอ็ดยูเคชั่น จำกัด,พ.ศ.2531
4. *"MOTOROLA MEMORY DATA"*,MOTOROLA INC.,1989
5. *MOTOROLA SEMICONDUCTOR* Data Sheet:,MOTOROLA TELECONMMUNICATION DEVICE DATA.
6. *"DS5000 USER'S GUIDE"*, DALLAS SEMICONDUCTOR CORPORATION, JAN.1990

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก

APPENDIX

ก. สัญญาณต่างๆภายในระบบของเครื่องชุมสายโทรศัพท์ขององค์การโทรศัพท์แห่งประเทศไทย

ระบบสัญญาณต่างๆของเครื่องชุมสายโทรศัพท์ ถือว่าเป็นสิ่งสำคัญในการบอกสภาวะและแจ้งให้ผู้เรียก ผู้รับทราบว่าจะทำอย่างไรเมื่อได้ยินเสียงเรียกแต่ละชนิด

ระบบเครื่องชุมสายโทรศัพท์ในระบบเก่าแบบหมุน (DIAL) เมื่อผู้เรียกทำการเรียกไปยังผู้รับจะทำให้ขั้วที่คู่สายโทรศัพท์กลับขั้วตลอดการสนทนา เมื่อเสร็จการสนทนาแล้วผู้เรียกและ ผู้รับวางหู จะทำให้ขั้วที่คู่สายโทรศัพท์กลับคืนสู่สภาพปกติ จึงสามารถใช้สภาพการกลับขั้วของคู่สายโทรศัพท์ในการคิดค่าโทรศัพท์ได้ แต่ในระบบปัจจุบัน ทั้งแบบหมุน (DIAL) และแบบกดปุ่ม (DTMF) เมื่อผู้เรียกทำการเรียกไปยังผู้รับและได้รับการตอบการเรียกจากผู้รับ ขั้วที่สายโทรศัพท์จะคงเดิมไม่กลับขั้ว ตลอดช่วงการสนทนา

ก.1 สัญญาณพื้นฐานขององค์การโทรศัพท์แห่งประเทศไทย

สัญญาณสมาชิก (SUBSCRIBER SIGNAL)

สัญญาณสมาชิกคือ สัญญาณที่เครื่องชุมสายโทรศัพท์จะแจ้งสภาวะต่างๆ ว่าควรจะทำอย่างไร สัญญาณนั้นประกอบไปด้วย

1. สัญญาณให้หมุน (DT:Dial Tone) ใช้เพื่อแสดงให้สมาชิกรู้ว่าให้กดปุ่มหมายเลขผู้รับได้ เป็นสัญญาณต่อเนื่อง 400 Hz modulated ด้วยความถี่ประมาณ 50 Hz แบบ AM

2. สัญญาณไม่ว่าง (BT:Busy Tone)ใช้เพื่อเตือนผู้เรียก ว่าผู้รับไม่ว่าง ควรวางหูก่อนสักระยะหนึ่งแล้วจึงเริ่มเรียกใหม่ เป็นสัญญาณ 400 Hz ช่วงเวลาของการส่งประมาณ 0.5

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วินาที เงียบ 0.5 วินาที

3. สัญญาณเรียกกลับ (RB:Ring Back Tone) ใช้เมื่อการต่อทุกขั้นตอนสำเร็จตามความประสงค์ของผู้เรียก เป็นสัญญาณแจ้งให้ผู้เรียก ว่าต่อสำเร็จ ความถี่ 400 Hz ในช่วงเวลาการส่งประมาณ 1 วินาที เงียบ 4 วินาที

4. สัญญาณกริ่งเรียก (RGT:Ringing Tone) ใช้เมื่อการต่อสำเร็จตามความประสงค์ ผู้รับจะได้สัญญาณแจ้งเป็นสัญญาณ 25 Hz ช่วงเวลาการส่ง 1 วินาที เงียบ 4 วินาที

ก.2 <u>ระบบการต่อของเครื่องชุมสายโทรศัพท์และสัญญาณที่คู่สายโทรศัพท์</u>

ก.2.2 <u>ระบบการต่อด้านผู้เรียก</u>

เมื่อผู้เรียกยกหูขึ้นเพื่อจะทำการเรียก จะทำให้ DC voltage ที่คู่สายโทรศัพท์เปลี่ยนจาก 48 v. เป็น 10 v. เครื่องชุมสายโทรศัพท์จะรู้ว่าเป็นการเริ่มต้นการเรียก ก็จะส่งสัญญาณให้หมุน :DT ไปยังผู้เรียก (กรณีของ OGT: Out going Trunk ไม่ว่างก็จะส่งสัญญาณไม่ว่าง :BT ไปยังผู้เรียกทำให้ผู้เรียกวางหู และเริ่มทำการเรียกใหม่) เมื่อผู้เรียกได้ยินสัญญาณให้หมุน :DT ก็จะทำการกดหมายเลขของผู้รับปลายทางเป็น DTMF :Dual Tone Multifrequency วงจรคู่สายของเครื่องชุมสายโทรศัพท์ จะตัดสัญญาณให้หมุน :DT ทันทีที่รับสัญญาณ DTMF ที่กดหมายเลขตัวแรก

เครื่องชุมสายโทรศัพท์รับหมายเลขผู้รับ จะทำการแปลตัวเลขระบุปลายทางจากรหัสชุมสายที่กดหมายเลขมา เมื่อรู้ตำแหน่งของผู้รับแล้ว เครื่องชุมสายโทรศัพท์จะจองทางผ่านระหว่างผู้เรียก (OGT) และผู้รับ (ICT:Incoming Trunk) แล้วส่งสัญญาณกริ่งเรียกกลับ :RBT ไปยังผู้เรียก และในขณะเดียวกันวงจรคู่สายส่งสัญญาณเรียก :RGT ไปยังผู้รับ (กรณีผู้รับกำลังใช้โทรศัพท์ หรือ ICT ไม่ว่าง เครื่องชุมสายโทรศัพท์ก็จะส่งสัญญาณไม่ว่าง :BT ไปยังผู้เรียกให้วางหู และเริ่มทำการเรียกใหม่) เมื่อผู้รับตอบการเรียก สัญญาณตอบรับจะถูกส่งไปยังเครื่องชุมสายโทรศัพท์ จะตัดสัญญาณกริ่งเรียก RGT ด้านผู้รับหรือ ICT และยกเลิกสัญญาณเรียกกลับ RBT ด้านผู้เรียก (OGT) และทำให้ทางผ่านระหว่าง RBT และผู้เรียกว่าง ขณะเดียวกันก็จะสร้างทางผ่านด้านผู้รับหรือ ICT การสนทนาจึงจะสามารถเริ่มต้นได้ สถานะวางหูของผู้เรียกสื่อทางเสียง แล้วผู้รับวางหูตาม จุดตรวจสอบของวงจรคู่สายจะรู้ว่าเป็นการเลิกสนทนาและติดต่อ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ก.2.2 <u>ระบบการเรียกด้านผู้รับ</u>

เมื่อผู้รับถูกเรียกจากผู้เรียก เครื่องชุมสายโทรศัพท์จะส่งสัญญาณกริ่งเรียก :RGT ขนาด 100 v_{ac} ไปยังผู้รับเพื่อทำการเรียกผู้รับ ถ้าผู้รับไม่ตอบการเรียก สัญญาณกริ่งเรียก :RGT จะยังคงดำเนินอยู่จนกว่าวงจรคู่สายจะตัดสัญญาณเองเมื่อไม่มีการตอบเรียก และจะส่งสัญญาณไม่ว่าง BT ไปยังผู้เรียกเพื่อให้ทำการเรียกใหม่ เมื่อผู้รับตอบการเรียกจะทำให้ DC voltage เปลี่ยนจาก 48 v. เป็น 10 v ทำให้วงจรคู่สายตัดสัญญาณกริ่งเรียก RGT ด้านผู้รับหรือ ICT และสัญญาณเรียกกลับ RBT ด้านผู้เรียก (OGT)พร้อมทั้งสร้างทางผ่านระหว่างผู้รับหรือ ICT และผู้เรียก OGT การสนทนาจึงสามารถเริ่มต้นได้ สถานะวางหูของผู้เรียกจะสื่อทางเสียงและทำให้ผู้รับวางหูตาม วงจรคู่สายจะตรวจรู้ว่าเป็นการเลิกการติดต่อ.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ข. ไมโครคอนโทรลเลอร์

ข.1 บทนำ

รูป ข.1 เป็นบล็อกไดอะแกรม ซึ่งจะอธิบายถึงหลักการของสถาปัตยกรรมภายในของ DS5000

ข.2 BUS ORGINIZATION

ภายใน DS5000 มีบัสที่เกี่ยวข้องกับการใช้งานที่สำคัญอยู่ 4 บัส คือ บัสข้อมูลภายใน (INTERNAL DATA BUS) , บัสแอดเดรสภายใน (INTERNAL ADDRESS BUS) , บัสหน่วยความจำ (EMBEDDED MEMORY BUS) , และบัสแอดเดรสขยายภายนอก (EXTERNAL EXPANDED BUS) ในขณะที่มีการทำงานของโปรแกรม ทั้งแอดเดรสและข้อมูลจะถูกส่งไปบนบัสแอดเดรสภายในและบัสข้อมูลภายใน การใช้หน่วยความจำในการเก็บข้อมูลและเก็บโปรแกรม (DATA & PROGRAM MEMORY) จะเรียกใช้จาก (EMBEDDED PROGRAM/DATA RAM)หรือจากหน่วยความจำภายนอก โดยผ่านบัสขยายภายนอก

DS5000 จะใช้บัสหน่วยความจำในการเข้าถึง EMBEDDEDPROGRAM/DATA RAM ในลักษณะเดียวกับตระกูล 8051 ที่เข้าถึงรอม (ROM) ภายในหรืออีพรอม (EPROM) บัสนี้จะแยกจากบัสขยายซึ่งอาจใช้แทนพอร์ท 2 และ 0 ได้

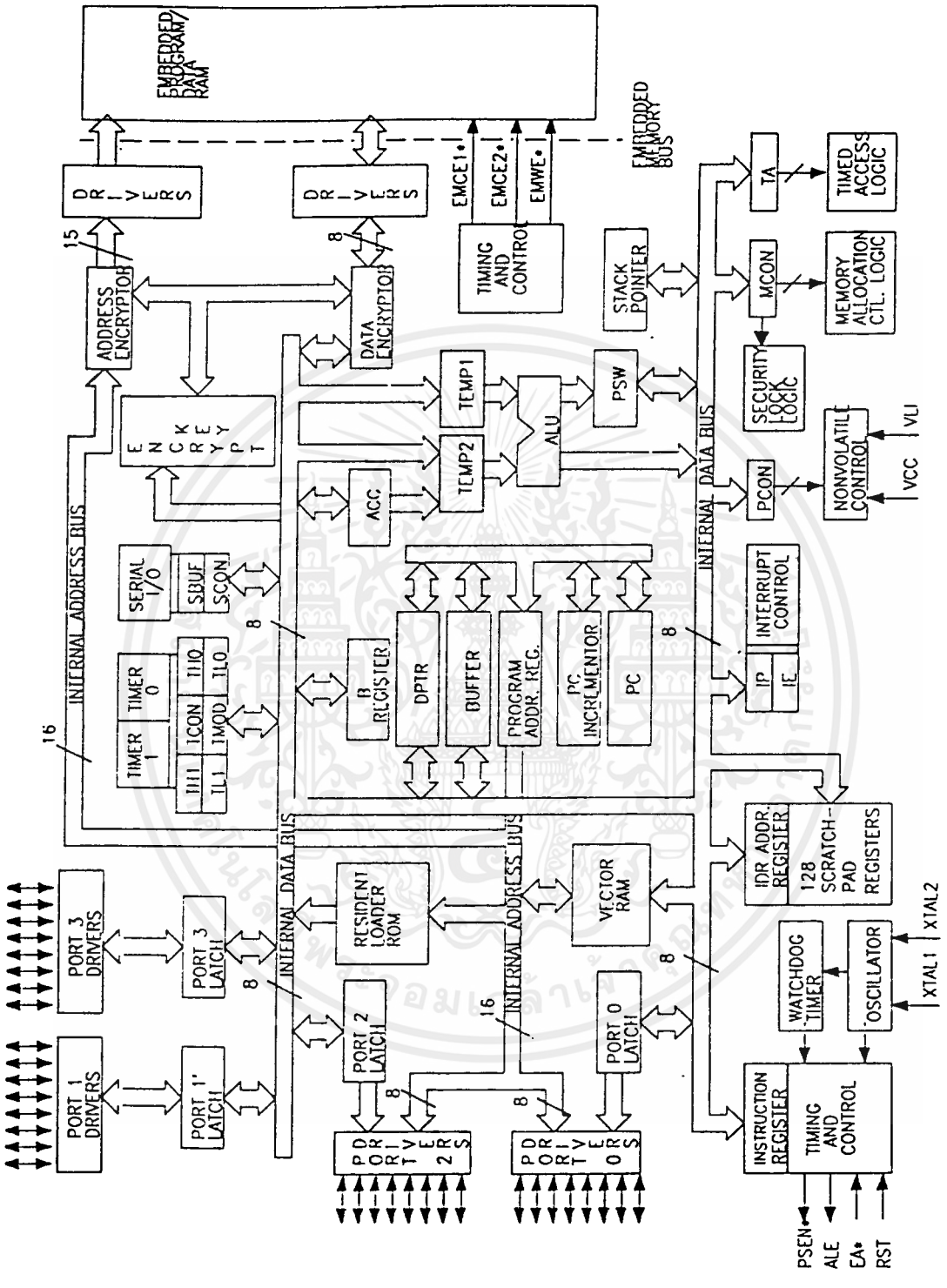
ข.3 รีจิสเตอร์ของ CPU

รีจีสเตอร์ของ CPU ทั้งหมดถูกจัดให้อยู่ในรีจิสเตอร์เฉพาะ (SFR's)และมีหมายเลขและหน้าที่เหมือนกับที่ใช้ใน 8051 รีจีสเตอร์เหล่านี้ได้แก่

แอคคิวมูเลเตอร์ (ACCUMULATOR)

แอคคิวมูเลเตอร์ (A)ใช้เป็นรีจีสเตอร์ต้นทางหรือปลายทาง ในคำสั่งทางคณิตศาสตร์ทั้งหมด แล้วอาจใช้ในคำสั่งอื่นๆด้วย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูป ข.1 สถาปัตยกรรมภายในของ DS5000

สแตค พอยท์เตอร์ (STACK POINTER)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สแตค พอยท์เตอร์ (SP) เป็นรีจิสเตอร์ 8 บิท ที่ใช้ในการกำหนดตำแหน่งของไบท์สุดท้ายของข้อมูลที่เก็บในสแตค ตัวสแตคเองจะอยู่บนตำแหน่งใดๆ ของพื้นที่รีจิสเตอร์สแครชแพด (SCRATCHPAD REGISTER) สแตค พอยท์เตอร์ จะเพิ่มค่าก่อน แล้วจึงทำการเก็บค่าลงสแตค (PUSH) แต่เมื่อทำการดึงค่าจากสแตค (POP) เสร็จแล้วจึงค่อยลดค่าของสแตค พอยท์เตอร์

รีจิสเตอร์ บี (B REGISTER)

หน้าที่หลักก็คือ เป็นรีจิสเตอร์ต้นทางและปลายทางในคำสั่งการคูณและการหาร แล้วอาจใช้เป็นรีจิสเตอร์สแครชแพด (SCRATCHPAD REGISTER) ในคำสั่งอื่นๆ ก็ได้

PROGRAM STATUS WORD (PSW)

PSW ประกอบด้วย แฟลกแปลงสถานะ ซึ่งถูกเซ็ตตามผลของการเอ็กซีคิว (EXECUTE) คำสั่ง และยังมีรีจิสเตอร์แบงค์ในการเลือกใช้บิทอีกด้วย

ดาต้า พอยท์เตอร์ (DATA POINTTER)

ดาต้า พอยท์เตอร์ (DTPR) ใช้ในการเข้าถึง DATA MEMORY ซึ่งอยู่บน EMBEDDED PROGRAM/DATA RAM หรือใช้กับหน่วยความจำภายนอกบนบัสขยาย DTPR จะถูกใช้เป็น SFR ขนาด 8 บิท 2 ตัว หรือเป็นรีจิสเตอร์ขนาด 16 บิท ซึ่งมีคำสั่งในการใช้อย่างแน่นอน

ข.4 รีจิสเตอร์สแครชแพด (SCRATCHPAD REGISTER)

รีจิสเตอร์สแครชแพด เป็นรีจิสเตอร์จำนวน 128 ตัว ซึ่งอาจใช้เก็บข้อมูลโดยตรง ตำแหน่งของรีจิเตอร์จะอยู่ที่ 00H-7FH และสามารถใช้ได้ด้วยคำสั่ง MOV และมีรีจิสเตอร์แบงค์ขนาด 8 ไบท์ จำนวน 4 แบงค์รวมอยู่ด้วย

ข.5 SERIAL I/O

พอร์ทอนุกรม I/O ประกอบด้วยบัฟเฟอร์รับข้อมูล, บัฟเฟอร์ส่งข้อมูล และรีจิสเตอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ควบคุม ทั้งบัฟเฟอร์รับข้อมูลและส่งข้อมูลอยู่ที่ตำแหน่งเดียวกัน (SBUF) ใน SFR แต่รีจิสเตอร์ควบคุม (SCON) จะอยู่ที่ตำแหน่งอื่น เมื่อมีการใช้พอร์ทอนุกรม I/O ขา I/O ภายนอก 2 ขา (P3.0,P3.1) จะถูกทำให้มีหน้าที่ในการรับ/ส่งข้อมูล

ข.6 PROGRAMMABLE TIMERS

ไทม์เมอร์โปรแกรมได้ขนาด 16 บิท 2 ตัว ซึ่งสามารถแปรค่าเวลาและการนับได้ รีจิสเตอร์ทั้ง 4 ตัว (TH1,TL1,TH0 และ TL0) เป็นการอ้างถึงครึ่งบนและครึ่งล่างของแต่ละไทม์เมอร์/เคาท์เตอร์ทั้งสองตัว รีจิสเตอร์ควบคุม (TCON) ใช้เลือกโหมดการทำงาน ขา I/O ภายนอก 2 ขา (P3.4,P3.5) อาจจะถูกโปรแกรมให้เป็นตัวนับสัญญาณเข้ามา โดยขาหนึ่งๆ จะใช้งานเฉพาะ ไทม์เมอร์/เคาท์เตอร์ แต่ละตัว

ข.7 PARALLELL I/O

SFR's 4 ตัว เป็นรีจิสเตอร์สำหรับแลทช์ค่าของพอร์ทขนาน I/O คือ P0,P1,P2, P3 พอร์ทขนาน I/O ทั้ง 32 บิท สามารถใช้ได้โดยผ่านพอร์ทเหล่านี้ อย่างไรก็ตาม ถ้ามีการใช้บัสขยายในการอินเทอร์เฟสกับหน่วยความจำจะมี 16 บิทเป็นอย่างมากที่ใช้ไม่ได้ หรือถ้ามีสัญญาณอินเทอร์รัพท์จากภายนอกเข้ามา หรือมีการใช้ไทม์เมอร์/เคาท์เตอร์ หรือพอร์ทอนุกรม I/O แล้ว จะมี 6 บิทเป็นอย่างมากที่ใช้งานไม่ได้

ข.8 EMBEDDED PROGRAM/DATA RAM

พื้นที่ส่วนนี้เข้าถึงได้โดย DS5000 บน EMBEDDED MEMORY BUS สำหรับ DS5000 รุ่นปัจจุบัน จะมีพื้นที่ 8 KBYTE ค่าลอจิกบนชิพจะทำให้ส่วนของหน่วยความจำส่วนนี้ถูกแบ่งเป็นส่วนของ PROGRAM MEMORY หรือ DATA MEMORY เพื่อให้เหมาะสมกับการใช้งาน ซึ่งแบ่งการกระทำโดย MCON ใน SFR

พอร์ท 0 และ 2 อาจจะถูกเลือกให้ทำได้หลายหน้าที่ของบัสขยาย เพื่อเตรียมแอดเดรส ,ข้อมูล และสัญญาณควบคุม สำหรับการอินเทอร์เฟสกับหน่วยความจำภายนอก เมื่อต้องการขยายหน่วยความจำ ในโหมดของบัสขยายสามารถขยาย PROGRAM MEMORY ได้ถึง 64 KBYTE และขยาย DATA MEMORY ได้ถึง 64 KBYTE โดยผ่านบัสขยายนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ข.9 CHASHPROOF CIRCUITRY

เป็นวงจรรักษาข้อมูลของ EMBEDDED PROGRAM/DATA RAM ด้วยถ่านลิเธียม เมื่อไฟเลี้ยงหายไป หรือเมื่อเกิดเหตุการณ์ไฟตก,ไฟดับ,รีเซ็ท ซึ่งอาจทำให้ข้อมูลของ EMBEDDED PROGRAM/DATA RAM คลาดเคลื่อนไปได้ แต่วงจรนี้จะยังรักษาข้อมูลของแรมภายใน(INTERNAL RAM) และใน SFR ขณะไฟดับไว้ได้

ข.10 SOFTWARE ENCRYPTION LOGIC

DS5000 มีวงจรป้องกันการอ่านซอฟต์แวร์โดยใช้ตัวสร้างรหัสแอดเดรส (ADDRESS ENCRYPTOR) ตัวสร้างรหัสข้อมูล (DATA ENCRYPTOR) และคีย์เข้ารหัส (ENCRYPTION KEY WORD) เมื่ออุปกรณ์ทำงานในโหมดแกะรหัส (ENCRYPTION MODE) และปฏิบัติคำสั่งใน EMBEDDED PROGRAM/DATA RAM ตัวสร้างรหัสแอดเดรส จะเปลี่ยนลอจิกของแอดเดรสบนแอดเดรสภายในให้เป็นรหัสแอดเดรส ซึ่งจะไปปรากฏบนบัสหน่วยความจำที่จะไปที่แรม (RAM) ทำนองเดียวกัน ในระหว่างขบวนการเขียนข้อมูลบนบัสหน่วยความจำ ตัวสร้างรหัสข้อมูลจะเปลี่ยนข้อมูลบนบัสข้อมูลภายในให้เป็นรหัสข้อมูล และเมื่อข้อมูลถูกอ่านกลับมาใหม่ ตัวสร้างรหัสข้อมูลก็จะดึงข้อมูลจริงออกมาได้ อย่างไรก็ตาม ในแต่ละตัวที่สร้างรหัส (ENCRYPTOR) ก็จะมีอัลกอริทึมของมันเอง ซึ่งจะขึ้นอยู่กับคีย์เข้ารหัสทั้ง 40 บิท

ข.11 ลอจิกป้องกัน (SECURITY LOCK LOGIC)

ลอจิกป้องกันนี้ จะขัดขวางการอ่านหรือเขียนกับรีจิสเตอร์ภายใน หรือตำแหน่งใน EMBEDDED PROGRAM/DATA RAM ขณะทำงานในโหมดการโหลดโปรแกรม และยังช่วยซ่อนอุปกรณ์จากการทำงานในโหมดบัสขยาย โดยไม่สามารถเข้าถึงแหล่งคีย์ภายในได้ ซึ่งรวมทั้งไม่อนุญาติให้มีการแปลงกลับข้อมูลภาษาเครื่อง (DISASSEMBLY) ของซอฟท์แวร์ใดๆใน EMBEDDED PROGRAM/DATA RAM และในการเคลียร์ล็อกนี้ ก็จะมีผลทั้งพื้นที่แรม (RAM)

ข.12 เวกเตอร์แรม (VECTER RAM)

เวกเตอร์แรมใช้เก็บรหัสการรีเซ็ท และรหัสเวกเตอร์อินเทอร์รัพท์ เมื่อ DS5000

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ทำงานในโหมดแกะรหัส ซึ่งลักษณะนี้จะช่วยในการเพิ่มความมั่นใจ ในการป้องกันการเรียกใช้ซอฟท์แวร์

ข.13 TIME ACCESS LOGIC

ลอจิกนี้ใช้ป้องกันการเปลี่ยนแปลงที่เกิดขึ้นโดยไม่ได้ตั้งใจ กับโครงสร้างของพารา-มิเตอร์ และในแรมส่วนที่เป็นโปรแกรมในขณะที่ซอฟท์แวร์ควบคุมเกิดสูญหายไป โครงสร้างของพารามิเตอร์ที่ถูกป้องกัน จะเป็นส่วนของบิทที่อ้างแอดเดรสได้ในรีจิสเตอร์ MCON, SECURITY LOCK BIT, ENABLE WATCHDOG TIMER BIT, STOP NODE BIT, และPOWER-ON-RESET BIT ในรีจิสเตอร์ PCON

ข.14 WATCHDOG TIMER

ขณะทำการเอ็กซีคิวซอฟท์แวร์ของผู้ใช้นั้นอาจเกิดเหตุการณ์ เช่น ซอฟท์แวร์ควบคุมหายไป ไทม์เมอร์ตัวนี้จะทำขบวนการให้ใหม่โดยอัตโนมัติ แล้วไทม์เมอร์นี้ยังใช้ในการหน่วงเวลาขณะออสซิลเลเตอร์เพิ่งจะเริ่มทำงาน เพื่อทำให้สัญญาณนาฬิกามีเสถียรภาพ เช่น เมื่อเกิดการรีเซ็ท ทำให้ออสซิลเลเตอร์หยุดทำงาน (STOP MODE RESET AND POWER ON RESET)

ข.15 RESIDENT LOADER ROM

เป็นส่วนที่ควบคุมการโหลดโปรแกรมตอนเริ่มต้นของ NVSRAM อุปกรณ์ส่วนนี้จะเป็น SERIAL BOOTSTRAP LOAD ซึ่งใช้งานบนพอร์ทอนุกรม และยังใช้เป็น PARALLEL LOAD ที่ใช้งานกับ 8751 ได้ รอมภายในจะไม่สามารถอ้างถึงได้โดยผู้ใช้ หรือสามารถทำการโหลดได้เมื่ออุปกรณ์ถูกใช้งานในโหมดโปรแกรมเท่านั้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก ค.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
                    1       $title"ram_read test"
                    2       ; $include"ram.asm"
                    3       ;###################### 8751 port use ####################
                    4       ;input data
0090=               5       data_in1        bit     p1.0
0091=               6       data_in2        bit     p1.1
0092=               7       data_in3        bit     p1.2
0093=               8       data_in4        bit     p1.3
                    9       ;output data
0094=              10       data_out1       bit     p1.4
0095=              11       data_out2       bit     p1.5
0096=              12       data_out3       bit     p1.6
0097=              13       data_out4       bit     p1.7
                   14       ;
00A0=              15       page_addr0      bit     p2.0
00A1=              16       page_addr1      bit     p2.1
00A2=              17       page_addr2      bit     p2.2
00A3=              18       ram_sel         bit     p2.3
00A4=              19       clear_addr      bit     p2.4
00A5=              20       relay_on_off    bit     p2.5
00A6=              21       gate_on_off     bit     p2.6
                   22       ;
                   23       ;rxd
                   24       ;txd
                   25       ;int0 xxxxxxxxxxxxxxxxxxxx
                   26       ;int1 xxxxxxxxxxxxxxxxxxxx
                   27       ;t0
                   28       ;t1
                   29       ;wr (set or clear during ram operation)
                   30       ;rd (set or clear during ram operation)
                   31       ;
0080=              32       status_in1      bit     p0.0    ;check status in region
0081=              33       status_in2      bit     p0.1
0082=              34       status_in3      bit     p0.2
0083=              35       status_in4      bit     p0.3
                   36       ;
0084=              37       control_sw1     bit     p0.4    ;control signal for analog switches
0085=              38       control_sw2     bit     p0.5
0086=              39       control_sw3     bit     p0.6
0087=              40       control_sw4     bit     p0.7
                   41       ;
                   42       ;-----------------------------------------------------------------
007F=              43       equal           bit     7fh
007E=              44       delay_ok        bit     7eh
                   45
007F=              46       count           equ     7fh
007F=              47       sec             equ     7fh     ;internal ram address for delay
007E=              48       ram_bank        equ     7eh
007D=              49       count_h         equ     7dh
007C=              50       count_l         equ     7ch
                   51
0062=              52       count_1         equ     62h
0061=              53       buffh           equ     61h
0060=              54       buffl           equ     60h
                   55       ;
00D1=              56       int0_sel_flag   equ     psw.1
                   57
                   58
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
0000                    59                      org     0000h
0000 01A0               60                      ajmp    start
                        61
0003                    62                      org     0003h           ;external interrupt 0 service routine
0003 20D117             63                      jb      int0_sel_flag,fake
0006 0185               64                      ajmp    checkpulse
                        65
000B                    66                      org     000bh           ;timer 0 interrupt routine
000B 757F00             67                      mov     count,#0        ;reset counter
000E 32                 68                      reti
                        69
0013                    70                      org     0013h           ;external interrupt 1 service routine
0013 0128               71                      ajmp    report          ; 0 : interrupt from fualt detected
                        72
001B                    73                      org     001bh   ;timer 1 interrupt service routine
001B B106               74                      ajmp    fasd
                        75
001D E5F0               76      fake:           mov     a,b
001F B40102             77                      cjne    a,#01h,pre_check_pass ; b = 1 ?
0022 2119               78                      ajmp    work_on
                        79
0024 01DA               80      pre_check_pass: ajmp    check_password
                        81
0026 61E4               82      can_cel:        ajmp    check_cancel
                        83
                        84
0028 20D1FB             85      report:         jb      int0_sel_flag,can_cel   ;sa..ay lo..od
002B E580               86                      mov     a,p0            ;in port 0.0-0.3
002D 540F               87                      anl     a,#0fh
002F 20E002             88      check_0:        jb      acc.0,check_1
0032 0145               89                      ajmp    report0
0034 20E102             90      check_1:        jb      acc.1,check_2
0037 0155               91                      ajmp    report1
0039 20E202             92      check_2:        jb      acc.2,check_3
003C 0165               93                      ajmp    report2
003E 20E302             94      check_3:        jb      acc.3,ca__an_ce__el
0041 0175               95                      ajmp    report3
0043 61ED               96      ca__an_ce__el:  ajmp    cancel
                        97
0045 D2A5               98      report0:        setb    relay_on_off;
0047 757E09             99                      mov     rambank,#9      ;emergency and harzardous event
004A 9145              100                      acall   test_rd
004C 757E0F            101                      mov     rambank,#15
004F 9145              102                      acall   test_rd
0051 C2A5              103                      clr     relay_on_off
0053 61ED              104                      ajmp    cancel
                       105
0055 D2A5              106      report1:        setb    relay_on_off
0057 757E0A            107                      mov     rambank,#10     ;emergency and harzardous event
005A 9145              108                      acall   test_rd
005C 757E0F            109                      mov     rambank,#15
005F 9145              110                      acall   test_rd
0061 C2A5              111                      clr     relay_on_off
0063 61ED              112                      ajmp    cancel
                       113
0065 D2A5              114      report2:        setb    relay_on_off
0067 757E0B            115                      mov     rambank,#11     ;emergency and harzardous event
006A 9145              116                      acall   test_rd
006C 757E0F            117                      mov     rambank,#15
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
006F 9145      118                    acall   test_rd
0071 C2A5      119                    clr     relay_on_off
0073 61ED      120                    ajmp    cancel
               121
0075 D2A5      122     report3:       setb    relay_on_off
0077 757E0C    123                    mov     rambank,#12     ;emergency and harzardous event
007A 9145      124                    acall   test_rd
007C 757E0F    125                    mov     rambank,#15
007F 9145      126                    acall   test_rd
0081 C2A5      127                    clr     relay_on_off
0083 61ED      128                    ajmp    cancel
               129
               130
0085 C28C      131     checkpulse:    clr     tr0             ;stop timer 0
0087 11BA      132                    acall   tmrst
0089 057F      133                    inc     count           ;count input pulse
008B E57F      134                    mov     a,count         ;determine if it is good signal
008D B43D0F    135                    cjne    a,#61,retin     ;
0090 C28C      136                    clr     tr0             ;stop timer 0
0092 C2A9      137                    clr     et0             ;disable timer0 interrupt
0094 1581      138                    dec     sp              ;if good signal transfer control
0096 1581      139                    dec     sp              ;to operate function
0098 9000C6    140                    mov     dptr,#fnc
009B C082      141                    push    dpl
009D C083      142                    push    dph
009F 32        143     retin:         reti
               144
00A0 C2A5      145     start:         clr     relay_on_off            ;relay off
00A2 C2A6      146                    clr     gate_on_off     ;output off
00A4 757F00    147                    mov     count,#0
00A7 756200    148                    mov     count_1,#00h    ;reset  count for check quit
00AA C2D1      149                    clr     int0_sel_flag   ;reset psw1
00AC D288      150                    setb    it0             ;int0 trigger mode interrupt
00AE D28A      151                    setb    it1             ;int1 trigger mode interrupt
00B0 D2AF      152                    setb    ea              ;enable all interrupt
00B2 D2A8      153                    setb    ex0             ;enable external interrupt 0
00B4 D2AA      154                    setb    ex1             ;enable external interrupt 1
00B6 D2A9      155                    setb    et0             ;enable timer0 interrupt
               156
00B8 80FE      157     wait:          sjmp    $               ;wait existing interrupt
               158
00BA 758906    159     tmrst:         mov     tmod,#06h       ;timer restart using timer0 mode2 counter
00BD 758A01    160                    mov     tl0,#-255       ;count external clock for 4.25 s
00C0 758C01    161                    mov     th0,#-255       ;count external clock for 4.25 s
00C3 D28C      162                    setb    tr0             ;timer0 run
00C5 22        163                    ret
               164
00C6 D2A5      165     fnc:           setb    relay_on_off            ;relay on
00C8 E4        166                    clr     a               ; Reset register a
00C9 F5F0      167                    mov     b,a             ; Reset register b
00CB F560      168                    mov     buffl,a         ; Reset memory at address 60h
00CD F561      169                    mov     buffh,a         ; Reset memory at address 61h
00CF 75A8FF    170                    mov     IE,#0ffh        ; Enable all interrupt
00D2 D288      171                    setb    it0             ; Define transition activated int0
00D4 D28A      172                    setb    it1             ; Define transition activated int0
00D6 D2D1      173                    setb    int0_sel_flag   ; select to second check for quit
00D8 80FE      174     main_loop2:    sjmp    $
               175
00DA E590      176     check_password: mov    a,p1            ; Move data from port1 to register a
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
00DC 540F      177                    anl     a,#0fh          ; Reset 4 bit high of register a
00DE B40C02    178                    cjne    a,#0ch,mov_data ; a = 12 ?
00E1 8012      179                    sjmp    check_data
               180
00E3 1581      181    mov_data:       dec     sp
00E5 1581      182                    dec     sp
00E7 9000EF    183                    mov     dptr,#fnc1
00EA C082      184                    push    dpl
00EC C083      185                    push    dph
00EE 32        186                    reti
00EF C560      187    fnc1:           xch     a,buff1         ; exchange data between a,buff1
00F1 C561      188                    xch     a,buffh         ; exchange data between a,buffh
00F3 80FE      189    moved_loop:     sjmp    $
               190
00F5 E560      191    check_data:     mov     a,buff1
00F7 B40207    192                    cjne    a,#02h,stop     ; buff1 = 0 ?
00FA E561      193                    mov     a,buffh
00FC B40A02    194                    cjne    a,#0ah,stop     ; buffh = 0 ?
00FF 8002      195                    sjmp    pass
               196
0101 61ED      197    stop:           ajmp    cancel          ; Jump to cancel for stop Program
               198
0103 1581      199    pass:           dec     sp
0105 1581      200                    dec     sp
0107 90010F    201                    mov     dptr,#fnc2
010A C082      202                    push    dpl
010C C083      203                    push    dph
010E 32        204                    reti
010F E4        205    fnc2:           clr     a               ; Reset register a
0110 F560      206                    mov     buff1,a         ; Reset memory at address 60h
0112 F561      207                    mov     buffh,a         ; Reset memory at address 61h
0114 75F001    208                    mov     b,#01h          ; Set register b
0117 80FE      209    passed_loop:    sjmp    $
               210
0119 E590      211    work_on:        mov     a,p1            ; Move data from port1 to register a
011B 540F      212                    anl     a,#0fh          ; Reset 4 bit high of register a
011D B40C02    213                    cjne    a,#0ch,mov_data1; a = 12 ?
0120 800C      214                    sjmp    check_data1
               215
               216
0122 1581      217    mov_data1:      dec     sp
0124 1581      218                    dec     sp
0126 9105      219                    acall   return
0128 C560      220                    xch     a,buff1         ; exchange data between a,buff1
012A C561      221                    xch     a,buffh         ; exchange data between a,buffh
012C 80FE      222    moved1_loop:    sjmp    $
               223
012E E561      224    check_data1:    mov     a,buffh
0130 B40A07    225                    cjne    a,#0ah,control_1_off   ; buffh = 0 ?
0133 E560      226                    mov     a,buff1
0135 B40A02    227                    cjne    a,#0ah,control_1_off   ; buff1 = 1 ?
0138 61ED      228                    ajmp    cancel
               229
013A E561      230    control_1_off:  mov     a,buffh
013C B40107    231                    cjne    a,#01h,control_1_on    ; buffh = 1 ?
013F E560      232                    mov     a,buff1
0141 B40102    233                    cjne    a,#01h,control_1_on    ; buff1 = 0 ?
0144 21FC      234                    ajmp    output_1_off
               235
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
0146 E561   236      control_1_on:  mov   a,buffh
0148 B40107 237                     cjne  a,#01h,control_2_off  ; buffh = 1 ?
014B E560   238                     mov   a,buffl
014D B40A02 239                     cjne  a,#0ah,control_2_off  ; buffl = 1 ?
0150 411A   240                     ajmp  output_1_on
            241
0152 E561   242      control_2_off: mov   a,buffh
0154 B40207 243                     cjne  a,#02h,control_2_on   ; buffh = 2 ?
0157 E560   244                     mov   a,buffl
0159 B40102 245                     cjne  a,#01h,control_2_on   ; buffl = 0 ?
015C 4138   246                     ajmp  output_2_off
            247
015E E561   248      control_2_on:  mov   a,buffh
0160 B40207 249                     cjne  a,#02h,control_3_off  ; buffh = 2 ?
0163 E560   250                     mov   a,buffl
0165 B40A02 251                     cjne  a,#0ah,control_3_off  ; buffl = 1 ?
0168 4156   252                     ajmp  output_2_on
            253
016A E561   254      control_3_off: mov   a,buffh
016C B40307 255                     cjne  a,#03h,control_3_on   ; buffh = 3 ?
016F E560   256                     mov   a,buffl
0171 B40102 257                     cjne  a,#01h,control_3_on   ; buffl = 0 ?
0174 4174   258                     ajmp  output_3_off
            259
0176 E561   260      control_3_on:  mov   a,buffh
0178 B40307 261                     cjne  a,#03h,control_4_off  ; buffh = 3 ?
017B E560   262                     mov   a,buffl
017D B40A02 263                     cjne  a,#0ah,control_4_off  ; buffl = 1 ?
0180 4192   264                     ajmp  output_3_on
            265
0182 E561   266      control_4_off: mov   a,buffh
0184 B40407 267                     cjne  a,#04h,control_4_on   ; buffh = 4 ?
0187 E560   268                     mov   a,buffl
0189 B40102 269                     cjne  a,#01h,control_4_on   ; buffl = 0 ?
018C 41B0   270                     ajmp  output_4_off
            271
018E E561   272      control_4_on:  mov   a,buffh
0190 B40407 273                     cjne  a,#04h,control_5_off  ; buffh = 4 ?
0193 E560   274                     mov   a,buffl
0195 B40A02 275                     cjne  a,#0ah,control_5_off  ; buffl = 1 ?
0198 41CE   276                     ajmp  output_4_on
            277
019A E561   278      control_5_off: mov   a,buffh
019C B40507 279                     cjne  a,#05h,control_5_on   ; buffh = 5 ?
019F E560   280                     mov   a,buffl
01A1 B40102 281                     cjne  a,#01h,control_5_on   ; buffl = 0 ?
01A4 41EC   282                     ajmp  output_5_off
            283
01A6 E561   284      control_5_on:  mov   a,buffh
01A8 B40507 285                     cjne  a,#05h,control_6_off  ; buffh = 5 ?
01AB E560   286                     mov   a,buffl
01AD B40A02 287                     cjne  a,#0ah,control_6_off  ; buffl = 1 ?
01B0 610A   288                     ajmp  output_5_on
            289
01B2 E561   290      control_6_off: mov   a,buffh
01B4 B40607 291                     cjne  a,#06h,control_6_on   ; buffh = 6 ?
01B7 E560   292                     mov   a,buffl
01B9 B40102 293                     cjne  a,#01h,control_6_on   ; buffl = 0 ?
01BC 6128   294                     ajmp  output_6_off
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
                    295
01BE E561           296     control_6_on:   mov     a,buffh
01C0 B40607         297                     cjne    a,#06h,control_7_off    ; buffh = 6 ?
01C3 E560           298                     mov     a,buffl
01C5 B40A02         299                     cjne    a,#0ah,control_7_off    ; buffl = 1 ?
01C8 6146           300                     ajmp    output_6_on
                    301
01CA E561           302     control_7_off:  mov     a,buffh
01CC B40707         303                     cjne    a,#07h,control_7_on     ; buffh = 7 ?
01CF E560           304                     mov     a,buffl
01D1 B40102         305                     cjne    a,#01h,control_7_on     ; buffl = 0 ?
01D4 6164           306                     ajmp    output_7_off
                    307
01D6 E561           308     control_7_on:   mov     a,buffh
01D8 B40707         309                     cjne    a,#07h,control_8_off    ; buffh = 7 ?
01DB E560           310                     mov     a,buffl
01DD B40A02         311                     cjne    a,#0ah,control_8_off    ; buffl = 1 ?
01E0 61B2           312                     ajmp    output_7_on
                    313
01E2 E561           314     control_8_off:  mov     a,buffh
01E4 B40807         315                     cjne    a,#08h,control_8_on     ; buffh = 8 ?
01E7 E560           316                     mov     a,buffl
01E9 B40102         317                     cjne    a,#01h,control_8_on     ; buffl = 0 ?
01EC 61A0           318                     ajmp    output_8_off
                    319
01EE E561           320     control_8_on:   mov     a,buffh
01F0 B40807         321                     cjne    a,#08h,pre_continue     ; buffh = 8 ?
01F3 E560           322                     mov     a,buffl
01F5 B40A02         323                     cjne    a,#0ah,pre_continue     ; buffl = 1 ?
01F8 61BE           324                     ajmp    output_8_on
                    325
01FA 61DC           326     pre_continue:   ajmp    continue
                    327
                    328
01FC 1581           329     output_1_off:   dec     sp
01FE 1581           330                     dec     sp
0200 9105           331                     acall   return
0202 D2A6           332                     setb    gate_on_off
0204 75900F         333                     mov     p1,#0fh
0207 C2A6           334                     clr     gate_on_off
0209 757E00         335                     mov     rambank,#0
020C 9145           336                     acall   test_rd
                    337
020E 757E03         338                     mov     rambank,#3
0211 9145           339                     acall   test_rd
                    340
0213 757E07         341                     mov     rambank,#7
0216 9145           342                     acall   test_rd
                    343
0218 80FE           344     offed_1_loop:   sjmp    $
                    345
021A 1581           346     output_1_on:    dec     sp
021C 1581           347                     dec     sp
021E 9105           348                     acall   return
0220 D2A6           349                     setb    gate_on_off
0222 75901F         350                     mov     p1,#1fh
0225 C2A6           351                     clr     gate_on_off
0227 757E00         352                     mov     rambank,#0
022A 9145           353                     acall   test_rd
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
                    354
022C 757E03         355                     mov     rambank,#3
022F 9145           356                     acall   test_rd
                    357
0231 757E08         358                     mov     rambank,#8
0234 9145           359                     acall   test_rd
                    360
0236 80FE           361     oned_1_loop:    sjmp    $
                    362
0238 1581           363     output_2_off:   dec     sp
023A 1581           364                     dec     sp
023C 9105           365                     acall   return
023E D2A6           366                     setb    gate_on_off
0240 75902F         367                     mov     p1,#2fh
0243 C2A6           368                     clr     gate_on_off
0245 757E00         369                     mov     rambank,#0
0248 9145           370                     acall   test_rd
                    371
024A 757E04         372                     mov     rambank,#4
024D 9145           373                     acall   test_rd
                    374
024F 757E07         375                     mov     rambank,#7
0252 9145           376                     acall   test_rd
                    377
0254 80FE           378     offed_2_loop:   sjmp    $
                    379
0256 1581           380     output_2_on:    dec     sp
0258 1581           381                     dec     sp
025A 9105           382                     acall   return
025C D2A6           383                     setb    gate_on_off
025E 75903F         384                     mov     p1,#3fh
0261 C2A6           385                     clr     gate_on_off
0263 757E00         386                     mov     rambank,#0
0266 9145           387                     acall   test_rd
                    388
0268 757E04         389                     mov     rambank,#4
026B 9145           390                     acall   test_rd
                    391
026D 757E08         392                     mov     rambank,#8
0270 9145           393                     acall   test_rd
                    394
0272 80FE           395     oned_2_loop:    sjmp    $
                    396
0274 1581           397     output_3_off:   dec     sp
0276 1581           398                     dec     sp
0278 9105           399                     acall   return
027A D2A6           400                     setb    gate_on_off
027C 75904F         401                     mov     p1,#4fh
027F C2A6           402                     clr     gate_on_off
0281 757E00         403                     mov     rambank,#0
0284 9145           404                     acall   test_rd
                    405
0286 757E05         406                     mov     rambank,#5
0289 9145           407                     acall   test_rd
                    408
028B 757E07         409                     mov     rambank,#7
028E 9145           410                     acall   test_rd
                    411
0290 80FE           412     offed_3_loop:   sjmp    $
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
                    413
0292 1581           414     output_3_on:    dec     sp
0294 1581           415                     dec     sp
0296 9105           416                     acall   return
0298 D2A6           417                     setb    gate_on_off
029A 75905F         418                     mov     p1,#5fh
029D C2A6           419                     clr     gate_on_off
029F 757E00         420                     mov     rambank,#0
02A2 9145           421                     acall   test_rd
                    422
02A4 757E05         423                     mov     rambank,#5
02A7 9145           424                     acall   test_rd
                    425
02A9 757E08         426                     mov     rambank,#8
02AC 9145           427                     acall   test_rd
                    428
02AE 80FE           429     oned_3_loop:    sjmp    $
                    430
02B0 1581           431     output_4_off:   dec     sp
02B2 1581           432                     dec     sp
02B4 9105           433                     acall   return
02B6 D2A6           434                     setb    gate_on_off
02B8 75906F         435                     mov     p1,#6fh
02BB C2A6           436                     clr     gate_on_off
02BD 757E00         437                     mov     rambank,#0
02C0 9145           438                     acall   test_rd
                    439
02C2 757E06         440                     mov     rambank,#6
02C5 9145           441                     acall   test_rd
                    442
02C7 757E07         443                     mov     rambank,#7
02CA 9145           444                     acall   test_rd
                    445
02CC 80FE           446     offed_4_loop:   sjmp    $
                    447
02CE 1581           448     output_4_on:    dec     sp
02D0 1581           449                     dec     sp
02D2 9105           450                     acall   return
02D4 D2A6           451                     setb    gate_on_off
02D6 75907F         452                     mov     p1,#7fh
02D9 C2A6           453                     clr     gate_on_off
02DB 757E00         454                     mov     rambank,#0
02DE 9145           455                     acall   test_rd
                    456
02E0 757E06         457                     mov     rambank,#6
02E3 9145           458                     acall   test_rd
                    459
02E5 757E08         460                     mov     rambank,#8
02E8 9145           461                     acall   test_rd
                    462
02EA 80FE           463     oned_4_loop:    sjmp    $
                    464
02EC 1581           465     output_5_off:   dec     sp
02EE 1581           466                     dec     sp
02F0 9105           467                     acall   return
02F2 D2A6           468                     setb    gate_on_off
02F4 75908F         469                     mov     p1,#8fh
02F7 C2A6           470                     clr     gate_on_off
02F9 757E01         471                     mov     rambank,#1
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
02FC 9145   472                     acall   test_rd
            473
02FE 757E03 474                     mov     rambank,#3
0301 9145   475                     acall   test_rd
            476
0303 757E07 477                     mov     rambank,#7
0306 9145   478                     acall   test_rd
            479
0308 80FE   480     offed_5_loop:   sjmp    $
            481
030A 1581   482     output_5_on:    dec     sp
030C 1581   483                     dec     sp
030E 9105   484                     acall   return
0310 D2A6   485                     setb     gate_on_off
0312 75909F 486                     mov     p1,#9fh
0315 C2A6   487                     clr     gate_on_off
0317 757E01 488                     mov     rambank,#1
031A 9145   489                     acall   test_rd
            490
031C 757E03 491                     mov     rambank,#3
031F 9145   492                     acall   test_rd
            493
0321 757E08 494                     mov     rambank,#8
0324 9145   495                     acall   test_rd
            496
0326 80FE   497     oned_5_loop:    sjmp    $
            498
0328 1581   499     output_6_off:   dec     sp
032A 1581   500                     dec     sp
032C 9105   501                     acall   return
032E D2A6   502                     setb     gate_on_off
0330 7590AF 503                     mov     p1,#0afh
0333 C2A6   504                     clr     gate_on_off
0335 757E01 505                     mov     rambank,#1
0338 9145   506                     acall   test_rd
            507
033A 757E04 508                     mov     rambank,#4
033D 9145   509                     acall   test_rd
            510
033F 757E07 511                     mov     rambank,#7
0342 9145   512                     acall   test_rd
            513
0344 80FE   514     offed_6_loop:   sjmp    $
            515
0346 1581   516     output_6_on:    dec     sp
0348 1581   517                     dec     sp
034A 9105   518                     acall   return
034C D2A6   519                     setb     gate_on_off
034E 7590BF 520                     mov     p1,#0bfh
0351 C2A6   521                     clr     gate_on_off
0353 757E01 522                     mov     rambank,#1
0356 9145   523                     acall   test_rd
            524
0358 757E04 525                     mov     rambank,#4
035B 9145   526                     acall   test_rd
            527
035D 757E08 528                     mov     rambank,#8
0360 9145   529                     acall   test_rd
            530
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
0362 80FE       531     oned_6_loop:    sjmp    $
                532
0364 1581       533     output_7_off:   dec     sp
0366 1581       534                     dec     sp
0368 9105       535                     acall   return
036A D2A6       536                     setb    gate_on_off
036C 7590CF     537                     mov     p1,#0cfh
036F C2A6       538                     clr     gate_on_off
0371 757E02     539                     mov     rambank,#2
0374 9145       540                     acall   test_rd
                541
0376 757E03     542                     mov     rambank,#3
0379 9145       543                     acall   test_rd
                544
037B 757E07     545                     mov     rambank,#7
037E 9145       546                     acall   test_rd
                547
0380 80FE       548     offed_7_loop:   sjmp    $
                549
0382 1581       550     output_7_on:    dec     sp
0384 1581       551                     dec     sp
0386 9105       552                     acall   return
0388 D2A6       553                     setb    gate_on_off
038A 7590DF     554                     mov     p1,#0dfh
038D C2A6       555                     clr     gate_on_off
038F 757E02     556                     mov     rambank,#2
0392 9145       557                     acall   test_rd
                558
0394 757E03     559                     mov     rambank,#3
0397 9145       560                     acall   test_rd
                561
0399 757E08     562                     mov     rambank,#8
039C 9145       563                     acall   test_rd
                564
039E 80FE       565     oned_7_loop:    sjmp    $
                566
03A0 1581       567     output_8_off:   dec     sp
03A2 1581       568                     dec     sp
03A4 9105       569                     acall   return
03A6 D2A6       570                     setb    gate_on_off
03A8 7590EF     571                     mov     p1,#0efh
03AB C2A6       572                     clr     gate_on_off
03AD 757E02     573                     mov     rambank,#2
03B0 9145       574                     acall   test_rd
                575
03B2 757E04     576                     mov     rambank,#4
03B5 9145       577                     acall   test_rd
                578
03B7 757E07     579                     mov     rambank,#7
03BA 9145       580                     acall   test_rd
                581
03BC 80FE       582     offed_8_loop:   sjmp    $
                583
03BE 1581       584     output_8_on:    dec     sp
03C0 1581       585                     dec     sp
03C2 9105       586                     acall   return
03C4 D2A6       587                     setb    gate_on_off
03C6 7590FF     588                     mov     p1,#0ffh
03C9 C2A6       589                     clr     gate_on_off
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
03CB 757E02     590                     mov     rambank,#2
03CE 9145       591                     acall   test_rd
                592
03D0 757E04     593                     mov     rambank,#4
03D3 9145       594                     acall   test_rd
                595
03D5 757E08     596                     mov     rambank,#8
03D8 9145       597                     acall   test_rd
                598
03DA 80FE       599     oned_8_loop:    sjmp    $
                600
03DC 1581       601     continue:       dec     sp
03DE 1581       602                     dec     sp
03E0 9105       603                     acall   return
03E2 80FE       604                     sjmp    $
                605
03E4 0562       606     check_cancel:   inc     count_1
03E6 E562       607                     mov     a,count_1
03E8 B404F1     608                     cjne    a,#04h,continue
03EB 8000       609                     sjmp    cancel
                610
03ED 1581       611     cancel:         dec     sp
03EF 1581       612                     dec     sp
03F1 9003F9     613                     mov     dptr,#fnc3
03F4 C082       614                     push    dpl
03F6 C083       615                     push    dph
03F8 32         616                     reti
03F9 C2A5       617     fnc3:           clr     relay_on_off            ; clr wr Off relay
03FB 75F000     618                     mov     b,#00h
03FE 756200     619                     mov     count_1,#00h
0401 C2D1       620                     clr     int0_sel_flag
0403 01A0       621                     ajmp    start
                622
0405 32         623     return:         reti
                624
                625
0406 911A       626     fasd:           acall   inc_count
0408 9130       627                     acall   cmp_count
040A 307F0C     628                     jnb     equal,go_back
040D D57F07     629                     djnz    sec,next_sec
0410 9182       630                     acall   stop_timer
0412 9165       631                     acall   deactivate_all
0414 D27E       632                     setb    delay_ok        ;xxxxxxxx
0416 32         633                     reti
0417 916A       634     next_sec:       acall   delay
0419 32         635     go_back:        reti
                636                     ;
                637                     ;################################################
041A C082       638     inc_count:      push    dpl
041C C083       639                     push    dph
041E 857C82     640                     mov     dpl,count_l
0421 857D83     641                     mov     dph,count_h
0424 A3         642                     inc     dptr
0425 85827C     643                     mov     count_l,dpl
0428 85837D     644                     mov     count_h,dph
042B D083       645                     pop     dph
042D D082       646                     pop     dpl
042F 22         647                     ret
                648             ;################################################
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
0430 C0E0      649      cmp_count:     push    acc
0432 E57C      650                     mov     a,count_l
0434 B40009    651                     cjne    a,#low(3840),cmp_not_eq
0437 E57D      652                     mov     a,count_h
0439 B40F04    653                     cjne    a,#high(3840),cmp_not_eq
043C D27F      654                     setb    equal
043E 8002      655                     sjmp    cmp_count_end
0440 C27F      656      cmp_not_eq:    clr     equal
0442 D0E0      657      cmp_count_end: pop     acc
0444 22        658                     ret
               659      ;##################################################
               660      ;               clear
               661      ;               send address
               662      ;               send ram_sel
               663      ;               delay for 2 sec
               664      ;               deactivate all
0445 C2A4      665      test_rd:       clr     clear_addr
0447 9154      666                     acall   send_addr
0449 757F02    667                     mov     sec,#2
044C C27E      668                     clr     delay_ok        ;xxxxxxxx
044E 916A      669                     acall   delay
0450 307EFD    670                     jnb     delay_ok,$      ;xxxxxxxx
0453 22        671                     ret
               672      ;##################################################
0454 C0E0      673      send_addr:     push    acc
0456 E5A0      674                     mov     a,p2
0458 54F0      675                     anl     a,#0f0h
045A 457E      676                     orl     a,rambank
045C F5A0      677                     mov     p2,a
045E D2B6      678                     setb    wr
0460 C2B7      679                     clr     rd
0462 D0E0      680                     pop     acc
0464 22        681                     ret
               682      ;##################################################
0465 D2B7      683      deactivate_all: setb   rd
0467 D2A4      684                     setb    clear_addr
0469 22        685                     ret
               686      ;##################################################
046A D2AF      687      delay:         setb    ea              ;enable all interrupt
046C D2AB      688                     setb    et1             ;enable timer 1 interrupt
046E 757C00    689                     mov     count_l,#0
0471 757D00    690                     mov     count_h,#0
0474 C28E      691                     clr     tr1             ;stop timer
0476 438920    692                     orl     tmod,#20h       ;timer 1 mode 2 : 8-bit auto-reload
0479 758B10    693                     mov     tl1,#-240       ;initial
047C 758D10    694                     mov     th1,#-240       ;240x3840=921600 for 1 sec
047F D28E      695                     setb    tr1             ;timer run
0481 22        696                     ret
               697      ;##################################################
0482 C2AB      698      stop_timer:    clr     et1             ;disable timer 1 interrupt
0484 C28E      699                     clr     tr1             ;stop timer 1
0486 22        700                     ret
0000=          701                     end
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

DALLAS
SEMICONDUCTOR

DS5000
Soft Microcontroller

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

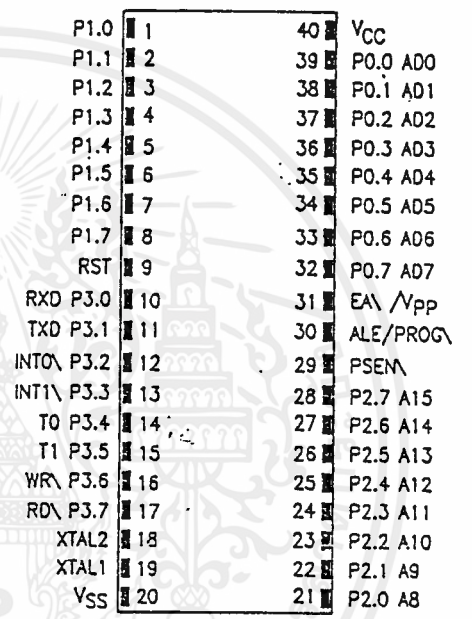
DALLAS SEMICONDUCTOR

DS5000
Soft Microcontroller

FEATURES

- 8-bit uC adapts to task-at-hand:
  - 8 or 32 Kbytes of high performance nonvolatile RAM for program and/or RAM for program and/or data memory storage
  - Initial downloading of software in end system via on-chip serial port
  - Capable of modifying its own program and/or data memory in end use
  - 128 internal nonvolatile registers for variable retention
- Crashproof operation:
  - Maintains all nonvolatile resources for 10 years in the absence of V_{CC}
  - Orchestrates orderly shutdown and automatic restart on power up/down
  - Automatic restart on detection of errant software execution
- Software Security Feature:
  - Executes encrypted software to prevent unauthorized disclosure
- On-chip, full-duplex serial I/O ports
- Two on-chip timer/event counters
- 32 parallel I/O lines
- Compatible with industry standard 8051 instruction set and pinout

PIN CONNECTIONS



40-Pin Encapsulated Package (700 Mil)

ORDERING INFORMATION

DS5000 –XX–XX

Clock Frequency
- 08 8 MHz
- 12 12 MHz
- 16 16 MHz

Program/Data RAM
- 08 8 Kbytes
- 32 32 Kbytes

DESCRIPTION

The DS5000 Soft Microcontroller is a high performance 8-bit CMOS microcontroller that offers "softness" in all aspects of its application. This is accomplished through the comprehensive use of nonvolatile technology to preserve all information in the absence of system V_{CC}. The entire program/data memory space is implemented using high speed, nonvolatile static CMOS RAM. Two memory size versions are available which offer either 8 Kbytes or 32 Kbytes of NV RAM for program/data storage. Furthermore, internal data registers and key configuration registers are also nonvolatile.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

A major benefit resulting from its nonvolatility is that the Soft Microcontroller allows program memory to be changed at any time, even after the device has been installed in the end system. Additionally, the size of the program and data memory areas in the embedded RAM is variable and can be set either when the application software is initially loaded or by the software itself during execution.

Initial loading of the application software into the DS5000 is possible from either a parallel or serial interface to a host system. This function allows initialization of the nonvolatile areas of the device including program/data RAM and the configuration parameters. Serial loading uses the on-chip serial I/O port to accept incoming data from a host computer with an RS-232 port, such as a PC-based development system. Not only is it possible to initially boot via the serial port in the end system, but any subsequent software reloading can be done at will during system operation without the need for removal of the device.

The softness also provides the ultimate in adaptive system design by allowing either the data RAM or the data registers to retain information in the absence of V_{CC}. As a result, a virtually unlimited number of variables and/or data tables can be updated and maintained over the life of the product, as opposed to data being lost during a power fluctuation. This capability allows software to be developed which updates variables and data tables to reflect the cumulative knowledge of the control system from the time that it was put into service. Consequently, control systems can be given the ability to learn from experience and react by altering processing steps in response to operating conditions which change over extended periods of time.

The DS5000 Soft Microcontroller incorporates control functions which provide crashproof operation when system power is momentarily disrupted or removed entirely. These functions include the Power Fail Warning interrupt, Automatic Power Down, and Power On Restart. The Power Fail Warning interrupt provides an early warning of a potential power failure so that the operational state of the system can be stored prior to a complete removal of system V_{CC}. The Automatic Power Down feature causes all nonvolatile resources to be sustained at low current from the embedded lithium energy source while system power is removed. When V_{CC} voltage is applied once again, the processor is automatically restarted with an internal flag set indicating that a Power On sequence has just been performed. Regardless of whether the power merely fluctuates or is absent for years, upon its return, the Soft Microcontroller has the ability to resume execution when power is re-applied as if the power failure had not occurred at all.

The Soft Microcontroller's tolerance of power cycling provides an alternative for battery-powered hand-held systems which typically drain their batteries during periods of idle time, when processing is not being performed. On/off power cycling can be employed to cause such systems to consume battery power only during processing to ensure a dramatic reduction of the overall power dissipation.

The DS5000 also provides extensive software security with its unique on-chip software encryption logic. This feature prevents unauthorized individuals from reading and disassembling program/data RAM. When activated, the device loads and executes the software in an encrypted form, rendering the contents of the RAM and the execution of the program unintelligible to the outside observer. The encryption algorithm uses an internally stored and protected 40-bit key which is programmed by the user. Any attempt to discover the key value results in its erasure, rendering the contents of the program/data RAM useless. In this manner, the investment represented by the resident software is protected from piracy.

The DS5000 incorporates these unique functions in a device which is instruction set and pin compatible with the industry standard 8051 microcontroller architecture. Development work for new designs based on the DS5000 can be performed utilizing existing development tools and software packages which support the 8051

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

architecture.

The DS5000 also provides a full complement of I/O functions, including two 16-bit event counter/timers, a full-duplex serial I/O port capable of asynchronous or synchronous operation, 32 parallel I/O lines, and a watchdog timer. If additional external memory is desired beyond the embedded program/data RAM, 18 parallel I/O lines may be assigned to serve the Expanded Bus function.

PIN DESCRIPTION (\ Denotes Condition Low)

V_{cc}, GND	Power Supply inputs.
P0.7-P0.0 AD7-AD0	Port 0: Bidirectional I/O; open drain These pins also serve the function of Address/Data Bus: Bidirectional
P1.7-P1.0	Port 1: Bidirectional I/O
P2.7-P2.0 A15-A8	Port 2: Bidirectional I/O These pins also serve the function of Address Bus: Outputs
P3.7-P3.0	Port 3: Bidirectional I/O Each of the pins on Port 3 may be selected to serve an alternate function; as described below.
RD\ (P3.7)	Expanded Data Memory Read Strobe: Output; active low

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

WR\ (P3.6)	Expanded Data Memory Write Strobe: Output; active low
T1,T0 (P3.5,P3.4)	Timer/Counter pins: Inputs; active high
INT1\, INT0\ (P3.3,P3.2)	External Interrupt pins: Inputs; active low
TXD (P3.1)	Transmit Data: Output
RXD (P3.0)	Receive Data: Input
RST	Reset: Input; active high
ALE (PROG\)	Address Latch Enable: Output; active high (or Program Byte Enable: Input; active low)
PSEN\	Program Store Enable: Output; active low
EA\ (VPP)	External Access Enable: Input; active low (or VPP programming voltage input)
XTAL1, XTAL2	Crystal inputs

INSTRUCTION SET

The DS5000 executes an instruction set which is object code compatible with the industry standard 8051 microcontroller. As a result, software development packages which have been written for the 8051 are compatible with the DS5000, including cross-assemblers, high-level language compilers, and debugging tools.

A complete description for the DS5000 instruction set is available in the DS5000 Soft Microcontroller User's Guide.

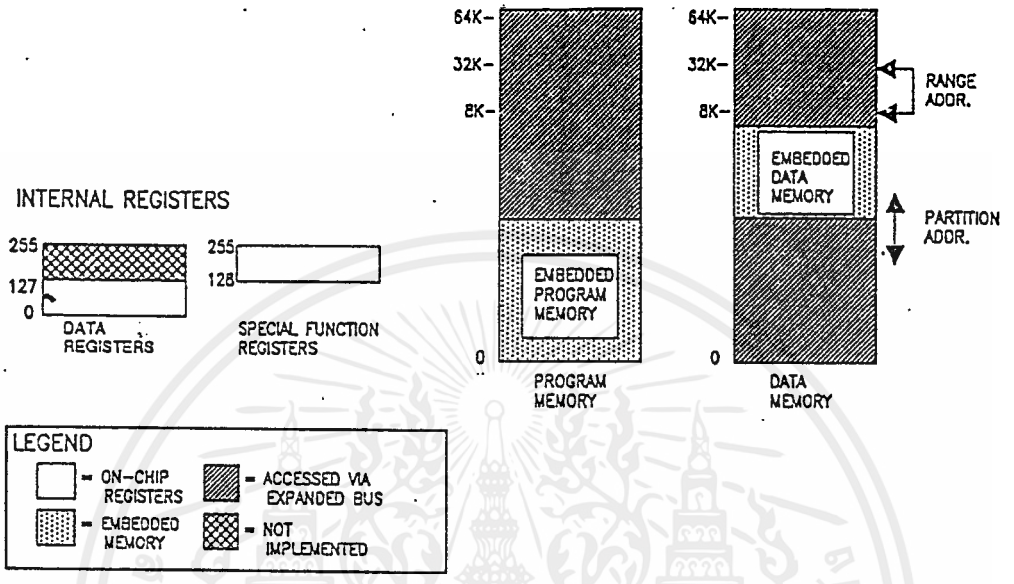
MEMORY ORGANIZATION

Figure 1 illustrates the address spaces which are accessed by the DS5000. As illustrated in the figure, separate address spaces exist for program and data memory. Since the basic addressing capability of the machine is 16 bits, a maximum of 64 Kbytes of program memory and 64 Kbytes of data memory can be accessed by the DS5000 CPU. The 8K or 32K byte embedded RAM area can be used to contain both program and data memory.

The internal register space is divided into two parts: Data Registers and Special Function Registers. There are a total of 128 data registers including four 8-byte banks of working registers (R0-R7). The Special Function Registers include the CPU Registers as well as registers which provide control and status information for the program and data memory mapping, nonvolatile operation, and on-chip I/O functions.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

DS5000 LOGICAL ADDRESS SPACES Figure 1



SPECIAL FUNCTION REGISTERS

There are a total of 23 Special Function Registers which have been implemented in the DS5000. Table 5-1 lists each of these along with their respective addresses, reset values, and functional descriptions.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

DS5000 SPECIAL FUNCTION REGISTER MAP Table 1

New or Modified Register	Label	Direct Register Address	Reset Value	Bit Address-able	Functional Description
	B	0F0H	00H	X	B Register
	A	0E0H	00H	X	Accumulator
	PSW	0D0H	00H	X	Program Status Word
X	TA	0C7H	055H		Timed Access
X	MCON	0C6H	RT		Memory Control
X	IP	0B8H	00H	X	Interrupt Priority Ctl.
	P3	0B0H	0FFH	X	Port 3 Parallel I/O
	IE	0A8H	00H	X	Interrupt Enable Ctl.
	P2	0A0H	0FFH	X	Port 2 Parallel I/O
	SBUF	099H	??		Serial Data Buffer
	SCON	098H	00H	X	Serial Control
	P1	090H	0FFH	X	Port 1 Parallel I/O
	TH1	08DH	00H		Timer 1 High Byte
	TH0	08CH	00H		Timer 0 High Byte
	TL1	08BH	00H		Timer 1 Low Byte
	TL0	08AH	00H		Timer 0 Low Byte
	TMOD	089H	00H		Timer Mode Select
	TCON	088H	00H	X	Timer Control
X	PCON	087H	RT		Power Control
	DPH	083H	00H		Data Pointer High Byte
	DPL	082H	00H		Data Pointer Low Byte
	SP	081H	07H		Stack Pointer
	P0	080H	0FFH	X	Port 0 Parallel I/O

NOTES:

?? indicates that the register value is indeterminate on reset.
RT indicates that the initialization performed on the register is dependent on the type of the reset.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

The Power Control (PCON), Interrupt Priority (IP), Memory Control (MCON), and Timed Access (TA) registers represent modifications from the 8051 implementation, as denoted in the above table. The following is a detailed summary of these registers.

POWER CONTROL REGISTER

Label: PCON **Register Address: 087H**

D7	D6	D5	D4	D3	D2	D1	D0
SMOD	POR	PFW	WTR	EPFW	EWT	STOP	IDL

Bit Description:

PCON.7 SMOD
"Double Baud Rate" : When set to a 1, the baud rate is doubled when the serial port is being used in modes 1, 2, or 3.
Initialization: Cleared to a 0 on any reset.
Read Access: Can be read normally at any time.
Write Access: Can be written normally at any time.

PCON.6 POR\
"Power On Reset": Indicates that the previous reset was initiated during a Power On sequence.
Initialization: Cleared to a 0 when a Power On Reset occurs. Remains at 0 until it is set to a 1 by software.
Read Access: Can be read normally at any time.
Write Access: Can be written only by using the Timed Access Register.

PCON.5: PFW
"Power Fail Warning": Indicates that a potential power failure is in progress. Set to 1 whenever V_{CC} voltage is below the V_{PFW} threshold. Cleared to a 0 immediately following a read operation of the PCON register. Once set, it will remain set until the read operation occurs regardless of activity on V_{CC}.
Initialization: Cleared to a 0 during a Power On Reset.
Read Access: Can be read normally anytime.
Write Access: Not writeable.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

PCON.4: WTR
"Watchdog Timer Reset" Set to a 1 when a reset was issued as a result of a Watchdog Timer timeout. Cleared to 0 immediately following a read of the PCON register

Initialization: Set to a 1 after a Watchdog Timeout Reset. Cleared to a 0 on a No-V_{μ} Power on Reset. Remains unchanged during other types of resets.

Read Access: May be read normally anytime.

Write Access: Cannot be written.

PCON.3: EPFW
"Enable Power Fail Interrupt": Used to enable or disable the Power Fail interrupt. When EPFW is set to a 1 it will be enabled; it will be disabled when EPFW is cleared to a 0.

Initialization: Cleared to a 0 on any type of reset.

Read Access: Can be read normally anytime.

Write Access: Can be written normally anytime.

PCON.2: EWT
"Enable Watch-dog Timer" Used to enable or disable the Watchdog Timeout Reset. The Watch-dog Timer is enabled if EWT is set to a 1 and will be disabled if EWT is cleared to a 0.

Initialization: Cleared to a 0 on a No-V_{μ} Power on Reset. Remains unchanged during other types of resets.

Read Access: May be read normally anytime.

Write Access: Can be written only by using the Timed Access register.

PCON.1: STOP
"Stop": Used to invoke the Stop Mode. When set to a 1 program execution will terminate immediately and Stop Mode operation will commence. Cleared to a 0 when program execution resumes following a hardware reset.

Initialization: Cleared to a 0 on any type of reset.

Read Access: Can be read anytime.

Write Access: Can be written only by using the Timed Access register.

PCON.0: IDL
"Idle": Used to invoke the Idle Mode. When set to a 1 program execution will be halted and will resume when the Idle bit is cleared to 0 following an interrupt or a hardware reset.

Initialization: Cleared to 0 on any type of reset or interrupt.

Read Access: Can be read normally anytime.

Write Access: Can be written normally anytime.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

INTERRUPT PRIORITY REGISTER

Label: IP — **Register Address: 0B8H**

D7	D6	D5	D4	D3	D2	D1	D0
RWT	–	–	PS	PT1	PX1	PT0	PX0

Bit Description:

IP.7: RWT
"Reset Watch-Timer": When set to a 1 the Watchdog Timer count will be reset, and counting will begin again. The RWT bit will then automatically be cleared again to 0. Writing a 0 into this bit has no effect.
Initialization: Cleared to a 0 on any reset.
Read Access: Cannot be read.
Write Access: Can be written only by using the Timed Access register.

All of the following bits are read/write at any time and are cleared to 0 following any hardware reset.

IP.4: PS
"Serial Port Priority": Programs Serial Port interrupts for high priority when set to 1. Low priority is selected when cleared to 0.

IP.3: PT1
"Timer 1 Priority": Programs Timer 1 interrupt for high priority when set to 1. Low priority is selected when cleared to 0.

IP.2: PX1
"Ext. Int. 1 Priority": Programs External Interrupt 1 for high priority when set to 1. Low priority is selected when cleared to 0.

IP.1: PT0
"Timer 0 Priority": Programs Timer 0 interrupt for high priority when set to 1. Low priority is selected when cleared to 0.

IP.0: PX0
"Ext. Int. 0 Priority": Programs External Interrupt 0 for high priority when set to 1. Low priority is selected when cleared to 0.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MEMORY CONTROL REGISTER

Label: MCON **Register Address: 0C6H**

D7	D6	D5	D4	D3	D2	D1	D0
PA3	PA2	PA1	PA0	RA32/8	ECE2	PAA	—

Bit Description:
MCON.7-4: PA3-0

"Partition Address": Used to select the starting address of data memory in embedded RAM. Program space lies below the Partition Address.

Selection:

PA3	PA2	PA1	PA0	Partition Address
0	0	0	0	0000H
0	0	0	1	0800H
0	0	1	0	1000H
0	0	1	1	1800H
0	1	0	0	2000H
0	1	0	1	2800H
0	1	1	0	3000H
0	1	1	1	3800H
1	0	0	0	4000H
1	0	0	1	4800H
1	0	1	0	5000H
1	0	1	1	5800H
1	1	0	0	6000H
1	1	0	1	6800H
1	1	1	0	7000H *
1	1	1	1	8000H *

*** A 4 Kbyte Increment (not 2 Kbytes) in the Partition Address takes place between bit field values 1110B and 1111B.**

Initialization: Set to all 1's on a No V_{LI} Power On Reset or when the Security Lock bit is cleared to a 0 from a previous 1 state. These bits are also set to all 1's when any attempt is made to have them cleared to all 0's with the SL bit set to a 1 (illegal condition).

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Read Access: Can be read anytime.
Write Access: PAA bit must = 1 in order to write PA3-0. Timed Access is not required to write to PA3-0 once PAA = 1.

MCON.3: RA32/8 "Range Address": Sets the maximum usable address in Embedded Memory.
RA32/8 = 0 sets Range Address = 1FFFH (8K).
RA32/8 = 1 sets Range Address = 7FFFH (32K).

Initialization: Set to a 1 during a No V_u Power On Reset and when the Security Lock bit (SL) is cleared to a 0 from a previous 1 state. Remains unchanged on all other types of resets.
Read Access: Can be read normally anytime.
Write Access: Cannot be modified by the application software; can only be written during Program Load Mode.

MCON.2: ECE2 "Enable Chip Enable 2": Used to enable or disable the CE2\ signal to additional Embedded RAM data memory space. This bit should always be cleared to 0 in the DS5000-8 and DS5000-32 versions.
Initialization: Cleared to 0 only during a No V_u Power On Reset.
Read Access: Read normally anytime.
Write Access: Can be written normally at any time.

MCON.1: PAA "Partition Address Access": Used to protect the programming of the Partition Address select bits. PA3-0 cannot be written when PAA = 0. PAA can be written only via the Timed Access register.
Initialization: PAA is cleared only on a No-V_u Power On Reset.
Read Access: PAA can be read anytime.
Write Access: The Timed Access register must be used to perform any type of write operation on the PAA bit .

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TIMED ACCESS REGISTER

Label: TA Register Address: 0C7H

D7	D6	D5	D4	D3	D2	D1	D0

Bit Description:

TAn.n: (All Timed Access bits)

"Timed Access": Used to invoke a Timed Access procedure required to write to any of the Timed Access protected bits including EWT, RWT, STOP, PAA. Timed Access is activated by three sequential write operations as in the example shown below:

```
MOV   0C7H, 0AAH    ; Write 0AAH to TA register
MOV   0C7H, 055H    ; Write 055H to TA register
ORL   IP,#80H       ; Reset Watchdog Timer
```

Initialization: Written with the value of 055H following any type of reset.
Read Access: Cannot be read from the application software.

PROGRAM LOAD MODES

The Program Load Modes allow initialization of the embedded program/data memory and non-volatile internal registers. This initialization can be performed in one of two ways:

1) Serial Program Loading which is capable of performing bootstrap loading of the DS5000. This feature allows the loading of the application program to be delayed until the DS5000 is installed in the end system.

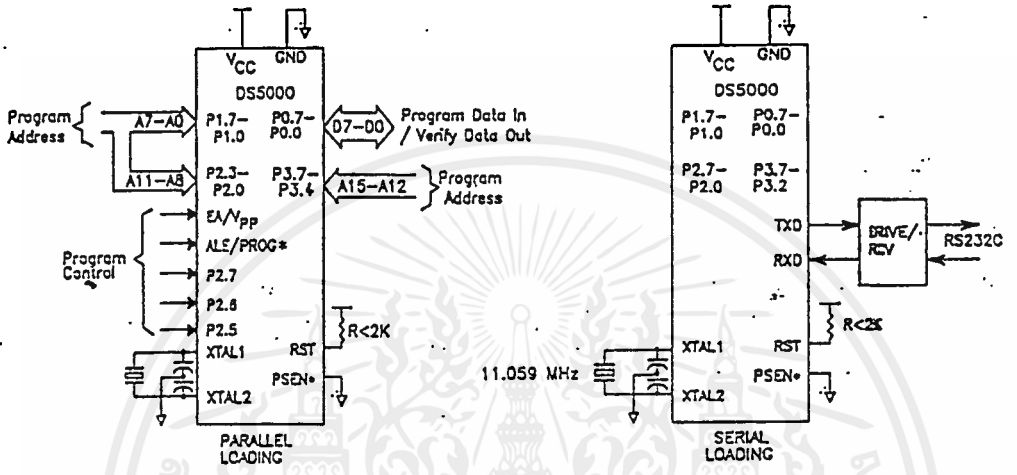
2) Parallel Program Load cycles which perform the initial loading from parallel address/data information presented on the I/O port pins. This mode is timing-set compatible with the 8751H microcontroller programming mode.

The DS5000 is placed in its Program Load configuration by simultaneously applying a logic 1 to the RST pin and forcing the PSEN\ line to a logic 0 level. Immediately following this action, the DS5000 will look for a Parallel Program Load pulse, or a serial ASCII carriage return (0DH) character received at 9600, 2400, 1200, or 300 bps over the serial port.

The hardware configurations used to select these modes of operation are illustrated in Figure 2.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

PROGRAM LOADING CONFIGURATIONS Figure 2



The table below summarizes the selection of the available Parallel Program Load cycles. Figure 5 illustrates the timing associated with these cycles.

PARALLEL PROGRAM LOAD CYCLES Table 2

Mode	RST	PSEN\	PROG\	EA\	P2.7	P2.6	P2.5
Program	1	0	0	VPP	1	0	X
Security Set	1	0	0	VPP	1	1	X
Verify	1	X	X	1	0	0	X
Prog Expanded	1	0	0	VPP	0	1	0
Verify Expanded	1	0	1	1	0	1	0
Prog MCON or key registers	1	0	0	VPP	0	1	1
Verify MCON reg	1	0	1	1	0	1	1

The Program Cycle is used to load a byte of data into a register or memory location within the DS5000. The Verify Cycle is used to read this byte back for comparison with the originally loaded value to verify proper loading. The Security Set Cycle may be used to enable and disable the Software Security feature of the DS5000. One may also enter bytes for the MCON register or for the 5 encryption registers using the Program MCON cycle. When using this cycle, the absolute register address must be presented at Ports 1 and 2 as in the normal Program cycle (Port 2 should be 00H). The MCON contents can likewise be verified using the Verify MCON cycle.

When the DS5000 first detects a Parallel Program Strobe pulse or a Security Set Strobe pulse while in the Program Load Mode following a Power On Reset, the internal hardware of the

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

DS5000 is initialized so that an existing 4 Kbyte program can be programmed into a DS5000 with little or no modification. This initialization automatically sets the Range Address for 8 Kbytes and maps the lowest 4 Kbyte bank of Embedded RAM as program memory. The next 4 Kbytes of Embedded RAM are mapped as Data Memory.

In order to program more than 4 Kbytes of program code, the Program/Verify Expanded cycles can be used. Up to 32 Kbytes of program code can be entered and verified. Note that the expanded 32Kbyte Program/Verify cycles take much longer than the normal 4 Kbyte Program/ Verify cycles.

A typical parallel loading session would follow this procedure. First, set the contents of the MCON register with the correct range and partition only if using expanded programming cycles. Next, the encryption registers can be loaded to enable encryption of the program/data memory (not required). Then, program the DS5000 using either normal or expanded Program cycles and check the memory contents using Verify cycles. The last operation would be to turn on the security lock feature by either a Security Set cycle or by explicitly writing to the MCON register and setting MCON.0 to a 1.

SERIAL BOOTSTRAP LOADER

The Serial Program Load Mode is the easiest, fastest, most reliable, and most complete method of initially loading application software into the DS5000's nonvolatile RAM. Communication can be performed over a standard asynchronous serial communications port. A typical application would use a simple RS-232C serial interface to program the DS5000 as a final production procedure. The hardware configuration which is required for the Serial Program Load mode is illustrated in Figure 2. *Port pins 2.7 and 2.6 must be either open or pulled high to avoid placing the DS5000 in a parallel load cycle.* Although an 11.0592 MHz crystal is shown in Figure 2, a variety of crystal frequencies and loader baud rates are supported, shown in Table 3. The serial loader is designed to operate across a three-wire interface from a standard UART. The receive, transmit, and ground wires are all that are necessary to establish communication with the DS5000.

The Serial Bootstrap Loader implements an easy-to-use command line interface which allows an application program in an Intel Hex representation to be loaded into and read back from the device. Intel Hex is the typical format which existing 8051 cross-assemblers output. The serial loader responds to 11 single character commands which are summarized below:

COMMAND	FUNCTION
C	Return CRC-16 checksum of Embedded RAM
D	Dump Intel Hex File
F	Fill Embedded RAM block with constant
K	Load 40-bit Encryption Key
L	Load Intel Hex File
R	Read MCON register
T	Trace (Echo) incoming Intel Hex data
U	Clear Security Lock
V	Verify Embedded RAM with incoming Intel Hex
W	Write MCON register
Z	Set Security Lock

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

SERIAL LOADER BAUD RATES FOR DIFFERENT CRYSTAL FREQUENCIES*
Table 3

Crystal freq (MHz)	Baud Rate				
	300	1200	2400	4800	9600
16.000000		Y	Y		
15.000000		Y	Y	Y	Y
14.318180		Y	Y	Y	Y
12.000000		Y	Y	Y	
**11.059200	Y	Y	Y	Y	Y
11.000000	Y	Y	Y	Y	Y
10.000000		Y	Y	Y	
**9.216000	Y	Y	Y	Y	Y
8.000000		Y			
**7.372800	Y	Y	Y	Y	Y
6.144000	Y	Y	Y		
6.000000	Y	Y	Y		
5.990400	Y	Y	Y		
5.120000	Y	Y	Y		
5.068800	Y	Y	Y		
5.000000	Y	Y	Y		
4.915200	Y	Y	Y		
4.608000	Y	Y	Y	Y	
4.433620	Y	Y	Y	Y	
4.194300	Y				
4.096000	Y				
4.032000	Y				
3.579545	Y	Y	Y	Y	Y
2.457600	Y	Y			
2.000000	Y				
**1.843200	Y	Y	Y	Y	Y

*Y indicates that the baud rate for that particular crystal is supported by the DS5000 serial loader auto-baud detection scheme.
** Indicates exact generation of 9600 baud.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

POWER MANAGEMENT

The DS5000 is implemented using CMOS circuitry for low-power consumption during full operation. Two software initiated modes are available for further power reduction for times when processing is not required and V_{CC} is at normal operating voltage. These are the Idle and Stop Modes. In addition, internal control circuitry automatically places the the DS5000 in its Data Retention Mode in the absence of V_{CC}.

The on-chip nonvolatile control circuitry monitors the V_{CC} for three below nominal operating voltage (Figure 3). When the voltage drops below the Power Fail Warning threshold (V_{PFW}) an interrupt will be generated to signal the processor of an impending power-fail condition. This is to allow time for a service routine to save the operational state of the microcontroller prior to the V_{CC} dropping below the V_{CCmin} threshold. When this occurs, processor operation is automatically terminated by internally halting the clock after the entire circuit has been made ready for the Data Retention Mode. Finally, once the V_{CC} voltage drops below the lithium cell voltage threshold (V_{LI}) power from the embedded lithium cell is applied to place the device in its Data Retention Mode.

When V_{CC} voltage is again applied to the system, an internal Power On Reset cycle is executed without the need for any external components on the RST pin. In addition, internal status is available to distinguish the Power On Reset from other types of resets.

SOFTWARE SECURITY

The Software Security feature is implemented using Address and Data Encryptor circuitry which is present on the DS5000 die. Operation of the Software Security feature is performed by manipulation of the 40-bit Encryption Key word and the Security Lock bit while in one of the Program Load modes. Encryption operation is first intiated by loading the 40-bit Encryption Key word.

When Software Encryption Operation is in effect and the Security Lock is disabled, the application software can be initially stored in an encrypted form during the initial loading of the device using one of the Program Load modes. As the loading is performed, the Data Encryptor logic transforms the opcode, operand, and data byte defined at each memory location defined by the software. Similarly, the Address Encryptor translates the "logical" address of each location into an encrypted address at which the byte is actually stored. Although each encryptor uses its own algorithm for encrypting data, both depend on the 40-bit key word which is contained in the Encryption Key registers (EK0-4).

As long as the Security Lock remains disabled, the actual unencrypted contents of the embedded Program/Data RAM can be read back for verification while in the Program Load mode. Once the contents have been verified, the final action performed during the Program Load mode should be the enabling of the Security Lock bit. From this point on it will be impossible to read back the unencrypted contents of the Program/Data RAM or the contents of the Encryption Key registers.

When the application software is executed, the Address and Data Encryptors provide the opcodes, operands, and data to the CPU so that execution of the application software can take place as normal. This action also takes place in real time so that no additional delays are imposed on the execution time of the software. Thus, the Software Encryption Operation is transparent to the application software.

The Software Encryption Operation is disabled and the contents of the Encryption Key registers are automatically erased whenever the Security Lock bit is cleared to a 0 from a previous 1 condition. This action renders the contents of the embedded Program/Data RAM useless, so that the application software can no longer be correctly interpreted by the DS5000 CPU. Although the contents of the Program/Data RAM can at this point be read back in a Program Load

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

mode, they cannot be de-encrypted since the original 40-bit key word has been lost.

ADDITIONAL INFORMATION

A complete description for all operational aspects of the DS5000, including an instruction set description, timing details, and electrical specifications, is available in the DS5000 Soft Microcontroller User's Guide.

DEVELOPMENT SUPPORT

Dallas Semiconductor offers a kit package for developing and testing user code. The DS5000TK Evaluation Kit allows the user to download Intel hex formatted code directly to the DS5000 from a PC-XT/AT or compatible computer. The kit consists of a DS5000-32-12, an interface pod, demo software, and an RS-232 connector that attaches to the COM1 or COM2 serial port of a PC. See the DS5000TK data sheet for further details.

SELECTED ELECTRICAL CHARACTERISTICS

The following are selected electrical operating characteristics of the DS5000. A full set of electrical characteristics is available in the Soft Microcontroller User's Guide.

ABSOLUTE MAXIMUM RATINGS*

Voltage on any Pin Relative to Ground	-0.1 to +7.0V
Operating Temperature	0° to 70° C
Storage Temperature	-40° C to +70° C
Soldering Temperature	260° C for 10 sec.

* This is a stress rating only and functional operation of the device at these or any other conditions outside of those indicated in the operation sections of this specification is not implied. Exposure to absolute maximum rating conditions for extended periods of time may affect reliability.

DC ELECTRICAL CHARACTERISTICS (t_A = 0° C to 70° C; V_{CC} = 5V ± 10%)

PARAMETER	SYM.	MIN.	TYP.	MAX.	UNITS	NOTES
Stop Mode Current	I_{SM}			80	uA	4
Power Fail Warning Voltage	V_{PFW}	4.15	4.6	4.75	V	
Minimum Operating Voltage	V_{CCmin}	4.05	4.5	4.65	V	
Lithium Supply Voltage	V_{LI}			3.3	V	
Programming Supply Voltage (Parallel Program Mode)	V_{PP}	12.5		13.0	V	
Program Supply Current	I_{PP}		9.2	15	mA	
Operating Current DS5000-8 DS5000-32	I_{CC}		20 25	43.2 48.2	mA	
Idle Mode Current	I_{CC}			6.2	mA	

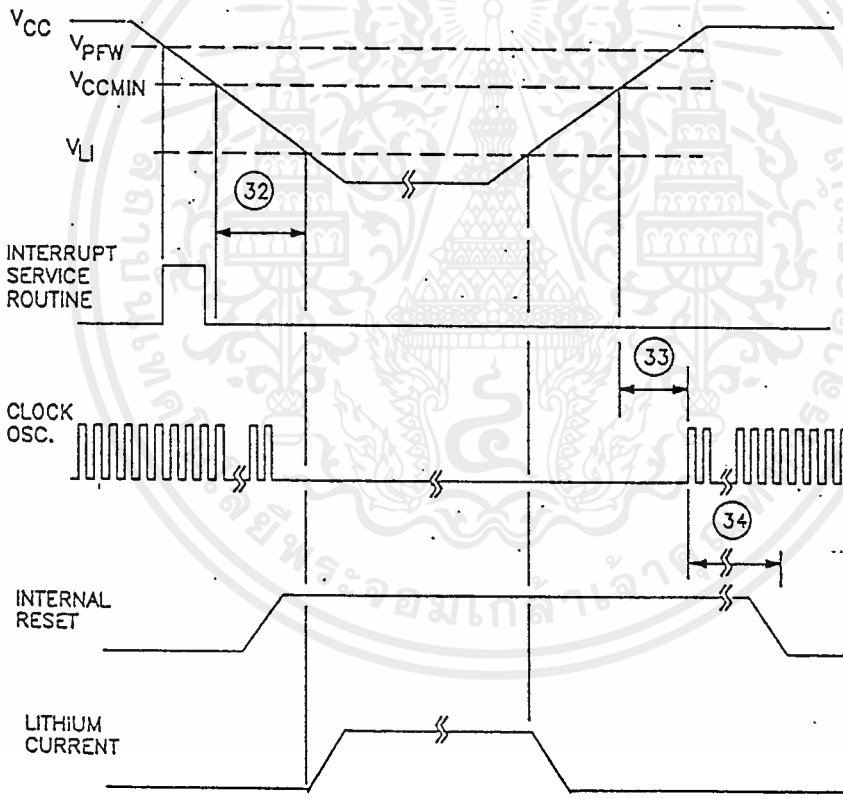
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

AC CHARACTERISTICS
POWER CYCLING TIMING

(t_A = 0°C to 70°C; V_{CC} = 5V ±10%)

#	PARAMETER	SYMBOL	MIN.	MAX.	UNITS
32	Slew rate from V_{CCmin} to V_{LImax}	t_F	40		µs
33	Crystal Start-up Time	t_{CSU}	(note 5)		
34	Power On Reset Delay	t_{POR}		21504	t_{CLK}

POWER CYCLING TIMING DIAGRAM Figure 3



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

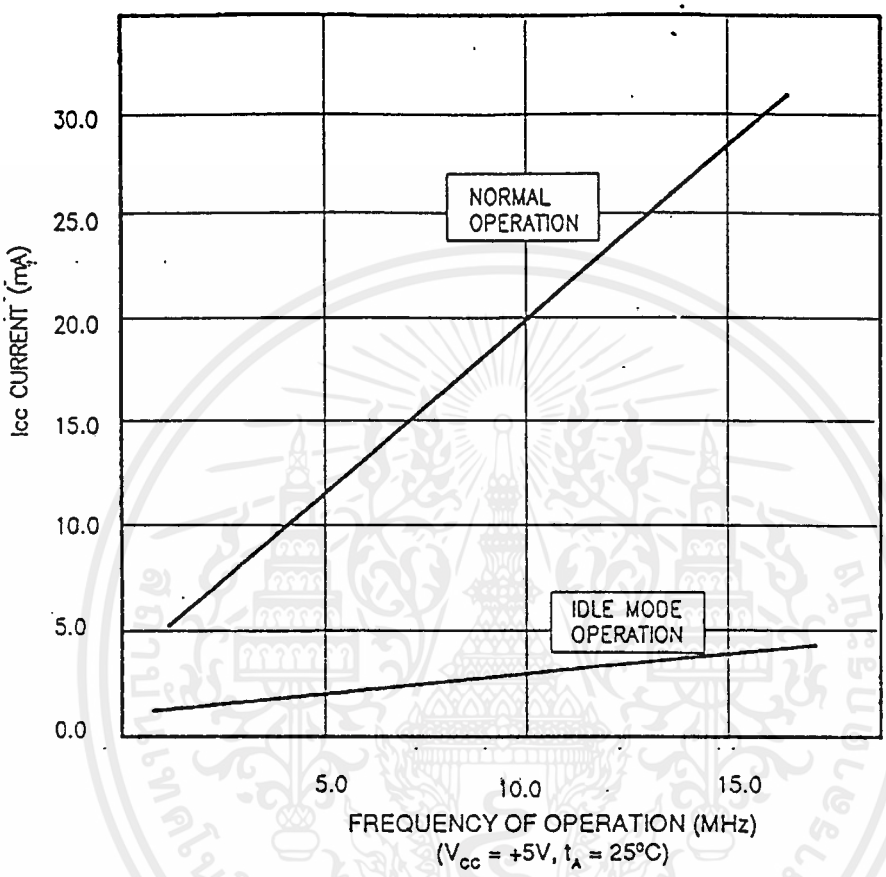
AC CHARACTERISTICS
PARALLEL PROGRAM LOAD TIMING

(t_A= 0°C to 70°C; V_{cc}= 5V +/-10%)

#	PARAMETER	SYMBOL	MIN.	MAX.	UNITS
40	Oscillator Frequency	$1/t_{CLK}$	1.0	12.0	MHz
41	Address Setup to PROG\ Low	t_{AVPRL}	0		t_{CLK}
42	Address Hold After PROG\ High	t_{PRHAV}	0		t_{CLK}
43	Data Setup to PROG\ Low	t_{DVPRL}	0		t_{CLK}
44	Data Hold After PROG\ Low	t_{PRHDV}	0		t_{CLK}
45	P2.7, 2.6, 2.5 Setup to V_{PP}	t_{P2XHVP}	0		t_{CLK}
46	V_{PP} Setup to PROG\ Low	t_{VPHPRL}	0		t_{CLK}
47	V_{PP} Hold After PROG\ Low	t_{PRHVPI}	0		t_{CLK}
48	PROG\ Width Low	t_{PRW}	2400		t_{CLK}
49	Data Output from Address Valid	t_{AVOV}		48 1800*	t_{CLK} t_{CLK}
50	P2.7, 2.6 Active to Data Valid	t_{DVP2XA}		48 1800*	t_{CLK} t_{CLK}
51	Data Hold after P2.7, 2.6 Inactive	t_{P2XHDI}	0	48 240*	t_{CLK} t_{CLK}
52	Delay to Reset/PSEN\ Active after Power On	t_{PORPV}	26304		t_{CLK}
53	Reset/PSEN\ Active (or Verify inactive) to V_{PP} High		1200		t_{CLK}
54	V_{PP} Inactive (between Program cycles)		1200		t_{CLK}
55	Verify Active Time	t_{VFT}	48 2400		t_{CLK} t_{CLK}

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

DS5000 Icc vs. FREQUENCY Figure 4



Normal operation is measured using:

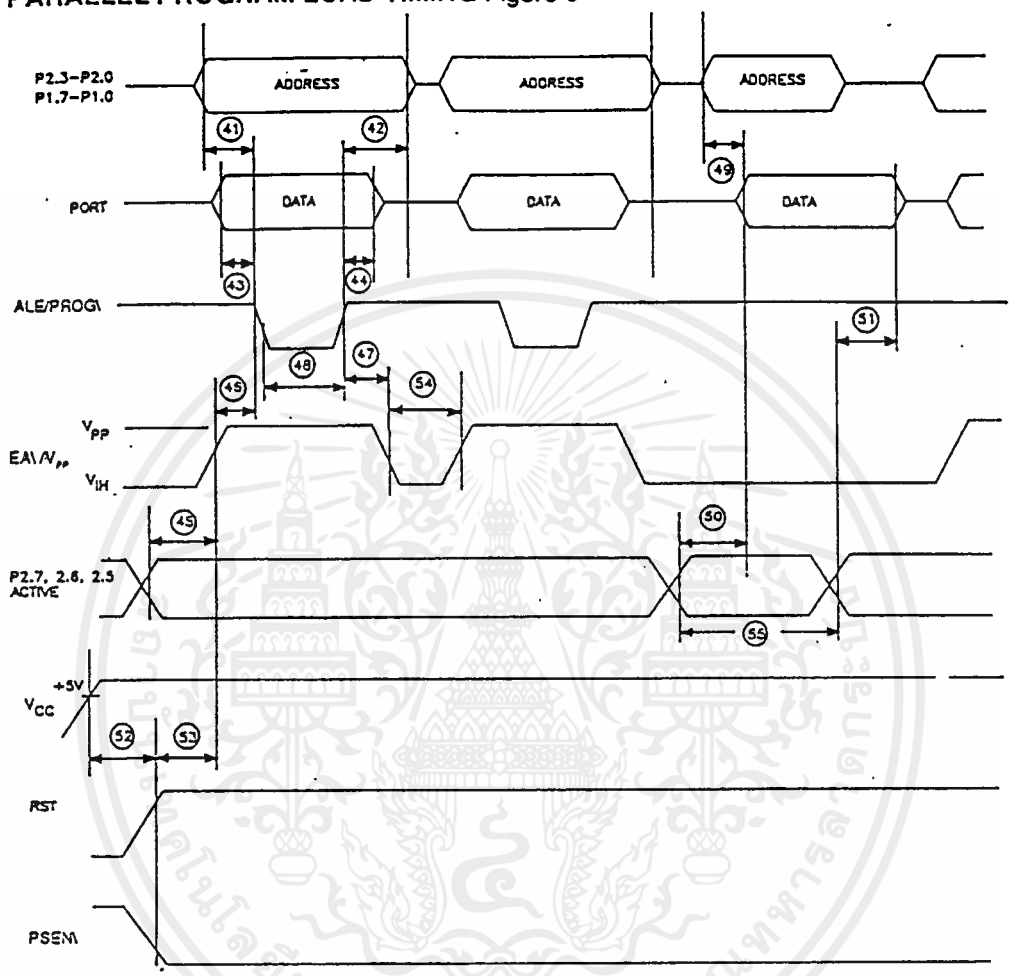
1) External crystals on XTAL1 and 2.
2) All port pins disconnected.
3) RST = 0 Volts and EA = Vcc.
4) Part performing endless loop writing to internal memory.

Idle mode operation is measured using:

1) External clock source at XTAL1; XTAL2 floating.
2) All port pins disconnected.
3) RST = 0 Volts and EA = Vcc.
4) Part set IDLE mode by software.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

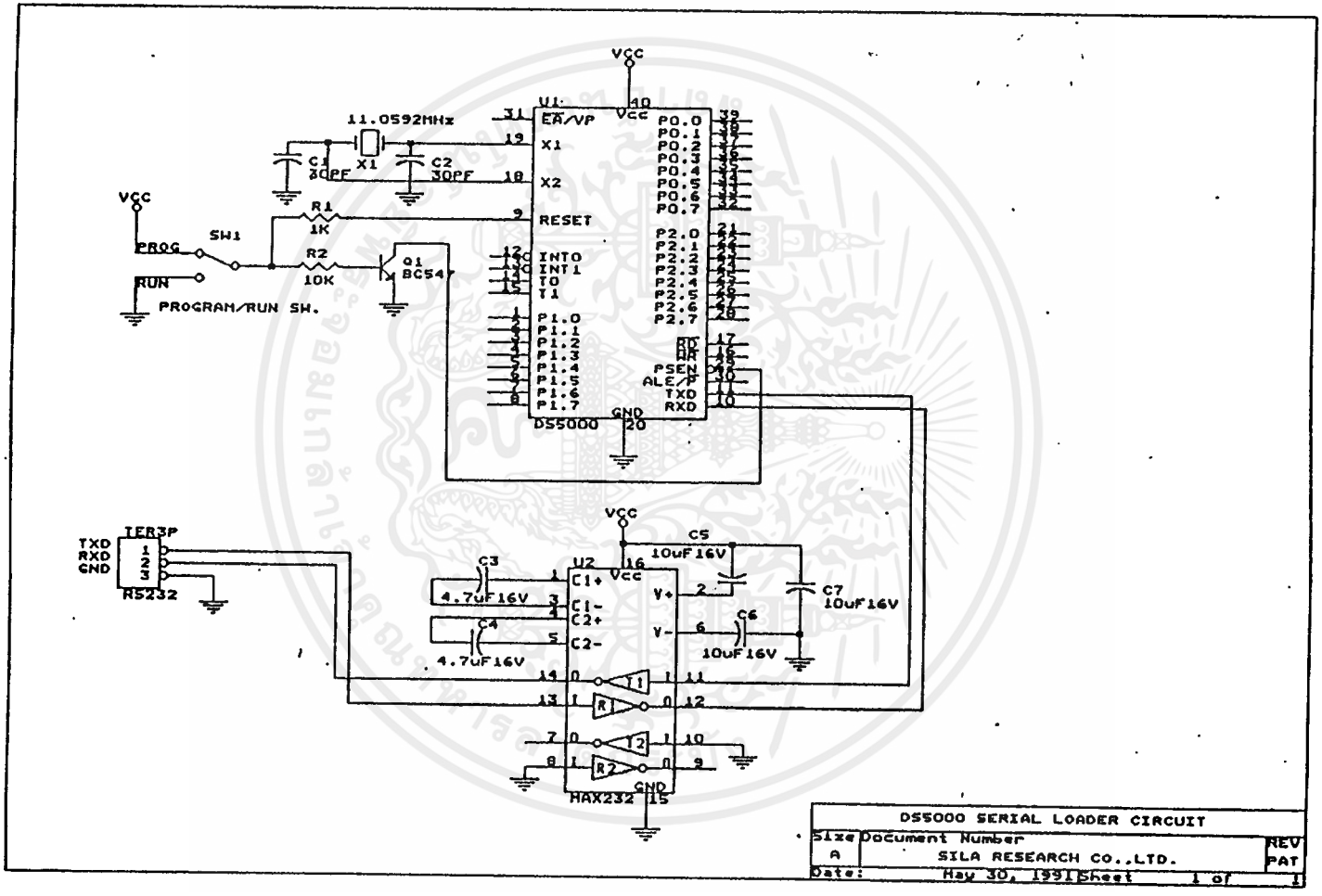
PARALLEL PROGRAM LOAD TIMING Figure 5



NOTES:

1. All voltages are referenced to ground.
2. Maximum operating I_{CC} is measured with all output pins disconnected; XTAL1 driven with t_{CLKR}, t_{CLKF} = 10 ns, V_{IL} =0.5V, V_{IH}= 4.5V; XTAL2 disconnected; EA\ = RST = PORT0 = V_{CC}.
3. Idle Mode I_{CC} is measured with all output pins disconnected; XTAL1 driven with t_{CLKR}, t_{CLKF} = 10 ns, V_{IL} = 0.5V, V_{IH} = 4.5V; XTAL2 disconnected; EA\=RST=PORT0=V_{CC}.
4. Stop Mode I_{CC} is measured with all output pins disconnected; EA\=PORT0=V_{CC}; XTAL2 not connected; RST = V_{SS}.
5. Crystal start-up time is the time required to get the mass of the crystal into vibrational motion from the time that power is first applied to the circuit until the first clock pulse is produced by the on-chip oscillator. The user should check with the crystal vendor for a worst case spec on this time.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้


VCC
U1
EA/VP
X1
X2
RESET
INT0
INT1
T0
T1
P1.0
P1.1
P1.2
P1.3
P1.4
P1.5
P1.6
P1.7
GND
DS5000
P0.0
P0.1
P0.2
P0.3
P0.4
P0.5
P0.6
P0.7
P2.0
P2.1
P2.2
P2.3
P2.4
P2.5
P2.6
P2.7
RD
WR
PSEN
ALE/P
TXD
RXD
11.0592MHz
X1
C1
30PF
C2
30PF
R1
1K
R2
10K
SW1
PROG
RUN
PROGRAM/RUN SW.
Q1
BC54
IER3P
TXD
RXD
GND
RS232
C3
4.7uF16V
C4
4.7uF16V
C5
10uF16V
C6
10uF16V
C7
10uF16V
U2
C1+
C1-
C2+
C2-
V+
V-
T1
R1
T2
R2
MAX232
DS5000 SERIAL LOADER CIRCUIT
Size
A
Document Number
SILA RESEARCH CO.,LTD.
REV
PAT
Date:
May 30, 1991
Sheet
1 of
1

5400/7400 Quadruple 2-Input Positive-NAND Gate

	Schottky TTL					High-Speed TTL					Low-Power Schottky TTL					Standard TTL					Low-Power TTL				
	Device Type	Package				Device Type	Package				Device Type	Package				Device Type	Package				Device Type	Package			
		C	P	M	CF		C	P	M	CF		C	P	M	CF		C	P	M	CF		C	P	M	CF
T. I.	SN54S00	J①	N①		W①	SN54H00	J①			W①	SN54LS00	J①			W①	SN5400	J①			W②	SN54L00	J①	N①	T②	
	SN74S00	J①	N①			SN74H00	J①	N①			SN74LS00	J①	N①			SN7400	J①	N①			SN74L00	J①	N①	T②	
FAIRCHILD	FM54S00/FM5S00	D①			F②	FM54H00/FM9H00	D①			F②	FM54LS00/FM9LS00	D①			F①	FM 5400/FM9N00	D①			F②					
	FC74S00/FC9S00	D①	P①			FC74H00/FC9H00	D①	P①			FC74LS00/FC9LS00	D①	P①		F①	FC7400/FC9N00	D①	P①							
MOTOROLA						MC3100	L①			F②						MC5400	L①			F②					
						MC3000	L①	P①		F②	SN74LS00		P①			MC7400	L①	P①		F②					
N. S. C.						DM54H00	J①	N①			DM54LS00					DM5400	J①	N①		W②	DM54L00	J①	N①		F②
	DM74S00		N①			DM74H00	J①	N①			DM74LS00					DM7400	J①	N①			DM74L00	J①	N①		F②
PHILIPS	N74S03		①			GJH131/74H00		①			N74LS00		①			FJH131/7400		①							
SIGNETICS	N54S00	F①	A①		W①	S54H00	F①	A①		W②						S5400	F①	A①		W②					
	N74S00	F①	A①			N74H00	F①	A①			N74LS00		A①			N7400	F①	A①							
SIEMENS																									
																FLH101		①							
FUJITSU						MB601	①	M①			74LS00		M①			MB400	①	M①							
HITACHI	HD74S00	①	P①								HD74LS00		P①			HD7400/HD2503	①	P①							
MITSUBISHI	M5S000		P①								M74LS00		P①			M53200		P①							
NEC	μPB2S00	D①									74LS00		C①			μPB201	D①	C①							
TOSHIBA																TD3400A		P①							

Electrical Characteristics SN54LS00/SN74LS00

absolute maximum ratings over operating free-air temperature range

Supply voltage, V_{CC}	7V	Operating free-air temperature range	SN54LS	−55°C to 125°C
Input voltage	7V		SN74LS	0°C to 70°C
Interemitter voltage	5.5V	Storage temperature range		−65°C to 150°C

recommended operating conditions

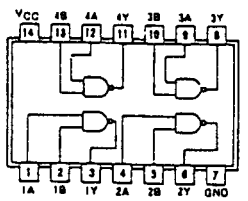
	SN54LS00			SN74LS00			UNIT
	MIN	NOM	MAX	MIN	NOM	MAX	
Supply voltage, V_{CC}	4.5	5	5.5	4.75	5	5.25	V
High-level output current, I_{OH}			−400			−400	μA
Low-level output current, I_{OL}			4			8	mA
Operating free-air temperature, T_A	−55		125	0		70	°C

electrical characteristics over recommended operating free-air temperature range

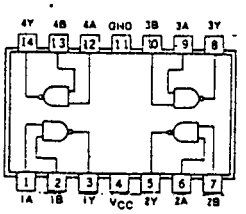
PARAMETER		TEST CONDITIONS†		MIN	TYP‡	MAX	UNIT
V_{IH}	High-level input voltage			2			V
V_{IL}	Low-level input voltage					0.8	V
V_I	Input clamp voltage	V_{CC}=MIN, I_I=−18mA				−1.5	V
V_{OH}	High-level output voltage	V_{CC}=MIN, V_{IL}=V_{IL} max, I_{OH}=MAX		2.7	3.4		V
V_{OL}	Low-level output voltage	V_{CC}=MIN, V_{IH}=2V, I_{OL}=4mA			0.2	0.4	V
I_I	Input current at maximum input voltage	V_{CC}=MAX, V_I=7V				0.1	mA
I_{IH}	High-level input current	V_{CC}=MAX, V_{IH}=2.7V				20	μA
I_{IL}	Low-level input current	V_{CC}=MAX, V_{IL}=0.4V				−0.4	mA
I_{OS}	Short-circuit output current*	V_{CC}=MAX	54LS Family	−20		−100	mA
			74LS Family	−18		−100	
I_{CCH}	Supply current	V_{CC}=MAX	Total, outputs high		4	8	mA
I_{CCL}	Supply current		Total, outputs low		12	22	mA
I_{CC}	Supply current	V_{CC}=5V	Average per gate (50% duty cycle)		0.4		mA
t_{PLH}	Propagation delay time, low-to-high-level output	V_{CC}=5V, C_L=15pF,	T_A=25°C, R_L=2kΩ		9	15	ns
t_{PHL}	Propagation delay time, high-to-low-level output				10	15	ns

Pin Assignments (Top View)

①

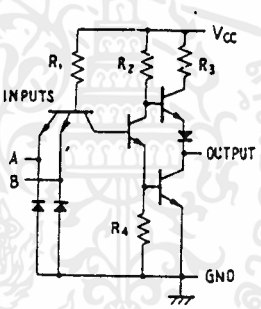


②



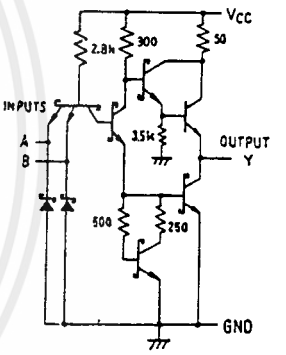
positive logic:
$Y = \overline{AB}$

Schematics (each gate)

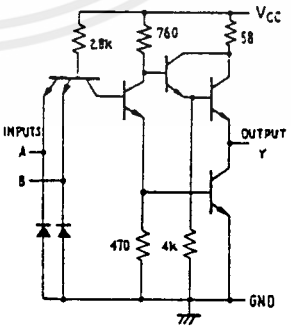


CIRCUIT	R_1	R_2	R_3	R_4
'00	4k	1.6k	130	1k
'L00	40k	20k	500	12k

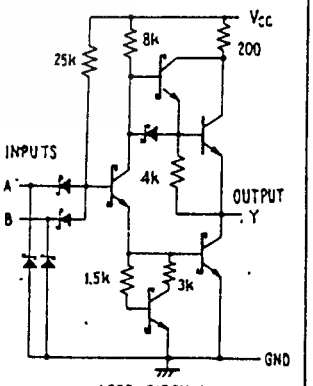
Input clamp diodes not on SN54L'/SN74L' circuits.
'00, 'L00 CIRCUITS



'S00 CIRCUIT



'H00 CIRCUIT



LS00 CIRCUIT

Resistor values shown are nominal and in ohms.

†For conditions shown as MIN or MAX, use the appropriate value specified under recommended operating conditions.
‡All typical values are at V_{CC}=5V, T_A=25°C.
*Not more than one output should be shorted at a time, and for SN54H'/SN74H' and SN54S'/SN74S', duration of short-circuit should not exceed 1 second.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5404/7404 Hex Inverter

	Schottky TTL					High-Speed TTL					Low-Power Schottky TTL					Standard TTL					Low-Power TTL				
	Device Type	Package C	P	M	CF	Device Type	Package C	P	M	CF	Device Type	Package C	P	M	CF	Device Type	Package C	P	M	CF	Device Type	Package C	P	M	CF
T.I.	SN54S04	J①			W①	SN54H04	J①			W①	SN54LS04	J①			W②	SN5404	J①			W①	SN54L04	J①	N①	T②	
	SN74S04	J①	N①			SN74H04	J①	N①			SN74LS04	J①	N①			SN7404	J①	N①			SN74L04	J①	N①	T②	
FAIRCHILD	FM54S04/FM9S04	D①				FM54H04/FM9H04	D①			F②	FM54LS04/FM9LS04	D①			F①	FM5404/FM9N04	D①			F②					
	FC74S04/FC9S04	D①	P①			FC74H04/FC9H04	D①	P①			FC74LS04/FC9LS04	D①	P①			FM7404/FC9N04	D①	P①							
MOTOROLA						MC3108	L①			F①						MC5404	L①			F②					
						MC3008	L①	P①		F①	SN74LS04		P①			MC7404	L①	P①							
N.S.C.						DM54H04	J①	N①			DM54LS04					DM5404	J①	N①		W②	DM54L04	J①	N①		F②
	DM74S04		N①			DM74H04	J①	N①			DM74LS04					DM7404	J①	N①			DM74L04	J①	N①		F②
PHILIPS																									
	N74S04		①			N74H04		①			N74LS04		①			FJH241/7404		①							
SIGNETICS	S54S04	F①	A①		W①	S54H04	F①	A①		W②						S5404	F①	A①		W②					
	N74S04	F①	A①		W①	N74H04	F①	A①			N74LS04		A①			N7404	F①	A①							
SIEMENS																FLH211		①							
FUJITSU											74LS04		M①			MB8418	①	M①							
HITACHI	HD74S04		①	P①							HD74LS04		P①			HD7404/HD2522	①	P①							
MITSUBISHI	M5S004			P①							M74LS04		P①			M53204		P①							
NEC	74S04		C①								74LS04		C①			μPB235	D①								
TOSHIBA																TD3404A		P①							

Electrical Characteristics SN54LS04/SN74LS04

absolute maximum ratings over operating free-air temperature range

Supply voltage V_{CC}	7V	Operating free-air temperature range	SN54LS	−55°C to 125°C
Input voltage	7V		SN74LS	0°C to 70°C
		Storage temperature range		−65°C to 150°C

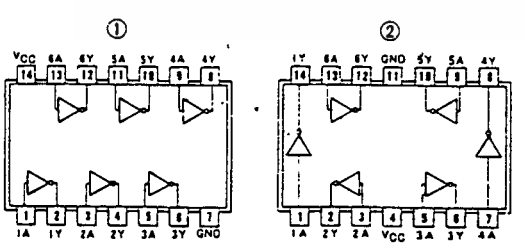
recommended operating conditions

	SN54LS04			SN74LS04			UNIT
	MIN	NOM	MAX	MIN	NOM	MAX	
Supply voltage V_{CC}	4.5	5	5.5	4.75	5	5.25	V
High-level output current I_{OH}			−400			−400	μA
Low-level output current I_{OL}			4			8	mA
Operating free-air temperature T_A	−55		125	0		70	°C

electrical characteristics over recommended operating free-air temperature range

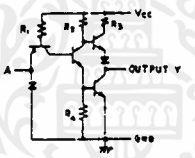
PARAMETER		TEST CONDITIONS†		MIN	TYP‡	MAX	UNIT
V_{IH}	High-level input voltage			2			V
V_{IL}	Low-level input voltage					0.8	V
V_I	Input clamp voltage	V_{CC}=MIN, I_I=−18mA				−1.5	V
V_{OH}	High-level output voltage	V_{CC}=MIN, V_{IL}=V_{IL} max, I_{OH}=MAX		2.7	3.4		V
V_{OL}	Low-level output voltage	V_{CC}=MIN, V_{IH}=2V, I_{OL}=4mA				0.4	V
I_I	Input current at maximum input voltage	V_{CC}=MAX, V_I=7V				0.1	mA
I_{IH}	High-level input current	V_{CC}=MAX, V_{IH}=2.7V				20	μA
I_{IL}	Low-level input current	V_{CC}=MAX, V_{IL}=0.4V				−0.4	mA
I_{OS}	Short-circuit output current*	V_{CC}=MAX	54LS Family	−20		−100	mA
			74LS Family	−20		−100	
I_{CCH}	Supply current	V_{CC}=MAX	Total, outputs high		1.2	2.4	mA
I_{CCL}	Supply current		Total, outputs low		3.6	6.6	mA
I_{CC}	Supply current	V_{CC}=5V	Average per gate (50% duty cycle)		0.4		mA
t_{PLH}	Propagation delay time, low-to-high-level output	V_{CC}=5V, T_A=25°C, C_L=15PF, R_L=2KΩ			9	15	ns
t_{PHL}	Propagation delay time, high-to-low-level output				10	15	ns

Pin Assignments (Top View)



positive logic :
$Y = \overline{A}$

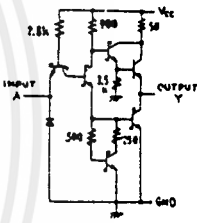
Schematics (each gate)



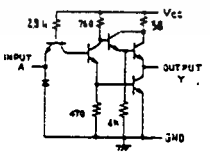
CIRCUIT	R1	R2	R3	R4
'04	4k	1.6k	130	1k
'L04	40k	20k	500	12k

Input clamp diodes not on SN54L/SN74L* circuits.

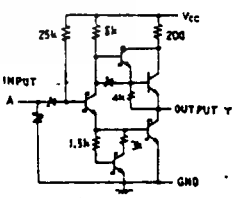
'04, 'L04 CIRCUITS



'S04 CIRCUIT



'H04 CIRCUIT



'LS04 CIRCUIT

Resistor values shown are nominal and in ohms.

†For conditions shown as MIN or MAX, use the appropriate value specified under recommended operating conditions.
‡All typical values are at V_{CC}=5V, T_A=25°C.
Not more than one output should be shorted at a time, and for SN54H/SN74H* and SN54S*/SN74S*, duration of short-circuit should not exceed 1 second.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5414/7414 Hex Schmitt-Trigger Inverter

	Schottky TTL					High-Speed TTL					Low-Power Schottky TTL					Standard TTL					Low-Power TTL				
	Device Type	Package C	P	M	CF	Device Type	Package C	P	M	CF	Device Type	Package C	P	M	CF	Device Type	Package C	P	M	CF	Device Type	Package C	P	M	CF
T.I.											SN54LS14	J⑭			W⑭	SN5414	J⑭			W⑭					
											SN74LS14	J⑭	N⑭			SN7414	J⑭	N⑭							
FAIRCHILD											FJ54LS14/FJ74LS14	9⑭			F⑭	FJ5414/FJ7414	9⑭								
											FC74LS14/FC93LS14	9⑭	P⑭		F⑭	FC7414/FC9314	9⑭	P⑭							
MOTOROLA											SN74LS14		P⑭			MC7414		P⑭							
N.S.C.											DM54LS14		J⑭			DM5414	J⑭	N⑭		W⑭					
											DM74LS14		J⑭			DM7414	J⑭	N⑭		W⑭					
PHILIPS																									
											N74LS14		⑭			N7414		⑭							
SIGNETICS																N5414	F⑭	B⑭							
											N74LS14		A⑭			F7414	F⑭	B⑭							
SIEMENS																									
FUJITSU											74LS14		M⑭												
HITACHI																									
											HD74LS14		P⑭			HD7414		P⑭							
MITSUBISHI																									
											M74LS14		P⑭			M53214		P⑭							
NEC																									
TOSHIBA																									

Electrical Characteristics SN54LS14/SN74LS14

absolute maximum ratings over operating free-air temperature range

Supply voltage, V_{CC}	7V	Operating free-air temperature range	SN54LS	−55°C to 125°C
Input voltage	7V		SN74LS	0°C to 70°C
		Storage temperature range		−65°C to 150°C

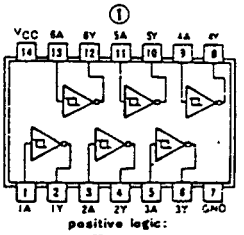
recommended operating conditions

	SN54LS14			SN74LS14			UNIT
	MIN	NOM	MAX	MIN	NOM	MAX	
Supply voltage, V_{CC}	4.5	5	5.5	4.75	5	5.25	V
High-level output current, I_{OH}			−400			−400	μA
Low-level output current, I_{OL}			4			8	mA
Operating free-air temperature, T_A	−55		125	0		70	°C

electrical characteristics over recommended operating free-air temperature range

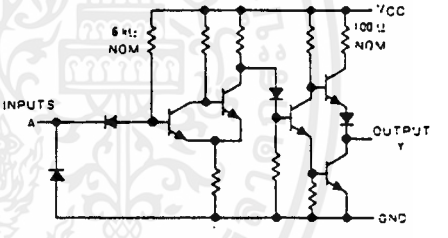
PARAMETER		TEST CONDITIONS†	MIN	TYP‡	MAX	UNIT
V_{T+}	Positive-going threshold voltage	V_{CC}=5V	1.4	1.6	1.9	V
V_{T-}	Negative-going threshold voltage	V_{CC}=5V	0.5	0.8	1	V
	Hysteresis ($V_{T+}-V_{T-}$)	V_{CC}=5V	0.4	0.8		V
V_I	Input clamp voltage	V_{CC}=MIN, I_I=−18mA			−1.5	V
V_{OH}	High-level output voltage	V_{CC}=MIN, V_I=V_{T-} min, I_{OH}=MAX	2.7	3.4		V
V_{OL}	Low-level output voltage	V_{CC}=MIN, V_I=V_{T-} max, I_{OL}=4mA		0.25	0.4	V
I_{T+}	Input current at positive-going threshold	V_{CC}=5V, V_I=V_{T+}		−0.14		mA
I_{T-}	Input current at negative-going threshold	V_{CC}=5V, V_I=V_{T-}		−0.18		mA
I_I	Input current at maximum input voltage	V_{CC}=MAX, V_I=7V			0.1	mA
I_{IH}	High-level input current	V_{CC}=MAX, V_I=2.7V			20	μA
I_{IL}	Low-level input current	V_{CC}=MAX, V_I=0.4V			−0.4	mA
I_{OS}	Short-circuit output current*	V_{CC}=MAX	−20		−100	mA
I_{CC}	Supply current, Total, output high	V_{CC}=MAX		8.6	16	mA
	Supply current, Total, output low	V_{CC}=MAX		12	21	mA
	Supply current, Average per gate	V_{CC}=5V, 50% duty cycle		1.72		mA
t_{PLH}	Propagation delay time, low-to-high-level output	V_{CC}=5V, T_A=25°C, C_L=15pF, R_L=2kΩ		15	22	ns
t_{PHL}	Propagation delay time, high-to-low-level output			15	22	ns

Pin Assignment (Top View)

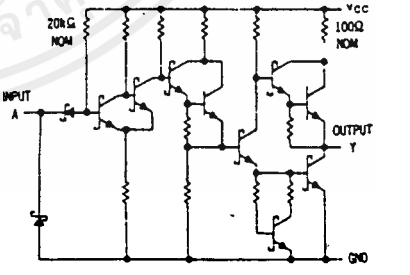


positive logic:
$Y=\overline{A}$

Schematics (each gate)



'14 CIRCUIT



'LS14 CIRCUIT

Resistor values shown are nominal and in ohms.

†For conditions shown as MIN or MAX, use the appropriate value specified under recommended operating conditions.
‡All typical values are at V_{CC}=5V, T_A=25°C.
*Not more than one output should be shorted at a time.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5432/7432 Quadruple 2-Input Positive-OR Gate

	Schottky TTL					High-Speed TTL					Low-Power Schottky TTL					Standard TTL					Low-Power TTL				
	Device Type	Package				Device Type	Package				Device Type	Package				Device Type	Package				Device Type	Package			
		C	P	M	CF		C	P	M	CF		C	P	M	CF		C	P	M	CF		C	P	M	CF
T.I.	SN54S32	J①			W①						SN54LS32	J①			W①	SN5432	J①			W①					
	SN74S32	J①	N①								SN74LS32	J①	N①			SN7432	J①	N①							
FAIRCHILD	FM54S32/FM95S32	R①			F①						FM54LS32/FM93LS32	R①			F①	FM5432/FM9N32	D①			F①					
	FC74S32/FC93S32	R①	P①		F①						FC74LS32/FC93LS32	R①	P①		F①	FC7432/FC9N32	D①	P①							
MOTOROLA																									
											SN74LS32		P①												
N.S.C.											DM74LS32		①			DM5432	J①	N①		W①	DM54L32				
											DM54LS32		①			DM7432	J①	N①			DM74L32				
PHILIPS																									
	N74S32		①								N74LS32		①			N7432		①							
SIGNETICS																5432	F①	A①		W①					
											N74LS32		A①			N7432	F①	A①							
SIEMENS																									
																FLH631		①							
FUJITSU																									
											74LS32		M①												
HITACHI																									
											HD74LS32		P①			HD7432		①	P①						
MITSUBISHI																									
											M53LS32		P①												
NEC																									
											74LS32		C①												
TOSHIBA																									

Electrical Characteristics SN54LS32/SN74LS32

absolute maximum ratings over operating free-air temperature range

Supply voltage, V_{CC}	7V	Operating free-air temperature range	SN54LS	−55°C to 125°C
Input voltage	7V		SN74LS	0°C to 70°C
		Storage temperature range		−65°C to 150°C

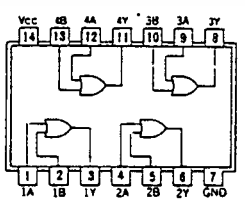
recommended operating conditions

	SN54LS32			SN74LS32			Unit
	MIN	NOM	MAX	MIN	NOM	MAX	
Supply voltage, V_{CC}	4.5	5	5.5	4.75	5	5.25	V
High-level output current, I_{OH}			−400			−400	μA
Low-level output current, I_{OL}			8			8	mA
Operating free-air temperature, T_A	−55		125	0		70	°C

electrical characteristics over recommended operating free-air temperature range

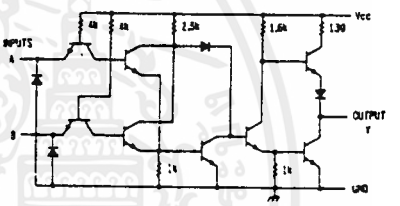
PARAMETER		TEST CONDITIONS†		MIN	TYP‡	MAX	UNIT
V_{IH}	High-level input voltage			2			V
V_{IL}	Low-level input voltage					0.8	V
V_I	Input clamp voltage	V_{CC}=MIN, I_I=−18mA				−1.5	V
V_{OH}	High-level output voltage	V_{CC}=MIN, V_{IH}=2V, I_{OH}=MAX		2.7	3.4		V
V_{OL}	Low-level output voltage	V_{CC}=MIN, V_{IL}=V_{IL} max, I_{OL}=4mA			0.25	0.4	V
I_I	Input current at maximum input voltage	V_{CC}=MAX, V_I=7V				0.1	mA
I_{IH}	High-level input current	V_{CC}=MAX, V_{IH}=2.7V				20	μA
I_{IL}	Low-level input current	V_{CC}=MAX, V_{IL}=0.4V				−0.4	mA
I_{OS}	Short-circuit output current*	V_{CC}=MAX	54LS Family	−20		−100	mA
			74LS Family	−20		−100	
I_{CCH}	Supply current	V_{CC}=MAX	Total, outputs high		3	6.2	mA
I_{CCL}	Supply current		Total, outputs low		4.3	3.3	mA
I_{CC}	Supply current	V_{CC}=5V	Average per gate (50% duty cycle)		1.0		mA
t_{PLH}	Propagation delay time, low-to-high-level output	V_{CC}=5V, C_L=15pF,	T_A=25°C, R_L=2kΩ		14	22	ns
t_{PHL}	Propagation delay time, high-to-low-level output				14	22	ns

Pin Assignment (Top View)

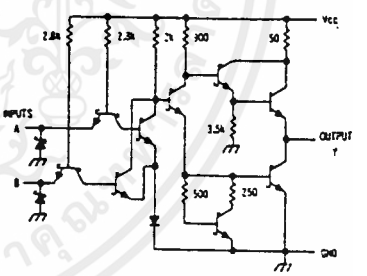


positive logic:
Y = A + B

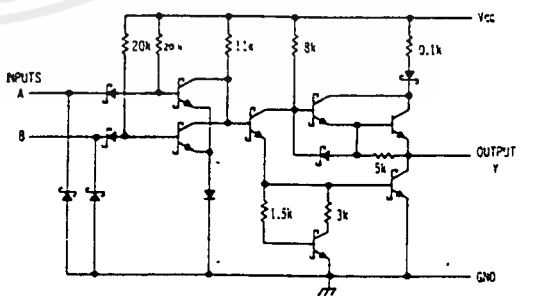
Schematics(each gate)



'32 CIRCUIT



'S32 CIRCUIT



'LS32 CIRCUIT

Resistor values shown are nominal and in ohms

†For conditions shown as MIN or MAX, use the appropriate value specified under recommended operating conditions.
‡All typical values are at V_{CC}=5V, T_A=25°C.
*Not more than one output should be shorted at a time.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

54373/74373 Octal D-Type Transparent Latches and Edge-Triggered Flip-Flops

	Schottky TTL					High-Speed TTL					Low-Power Schottky TTL					Standard TTL					Low-Power TTL				
	Device Type	Package				Device Type	Package				Device Type	Package				Device Type	Package				Device Type	Package			
		C	P	M	CF		C	P	M	CF		C	P	M	CF		C	P	M	CF		C	P	M	CF
T.I.	SN54S373	J ①									SN54LS373	J ①													
	SN74S373	J ①	N	①							SN74LS373	J ①	N	①											
FAIRCHILD																									
MOTOROLA																									
N. S. C.																									
PHILIPS																									
SIGNETICS																									
SIEMENS																									
FUJITSU																									
HITACHI																									
MITSUBISHI																									
NEC																									
TOSHIBA																									

Electrical Characteristics SN54LS373/SN74LS373

absolute maximum ratings over operating free-air temperature range

Supply voltage, V_{CC}	7V	Operating free-air temperature range	SN54LS	−55°C to 125°C
Input voltage	7V		SN74LS	0°C to 70°C
		Storage temperature range		−65°C to 150°C

recommend operating conditions

		SN54LS373			SN74LS373			UNIT
		MIN	NOM	MAX	MIN	NOM	MAX	
Supply voltage V_{CC}		4.5	5	5.5	4.75	5	5.25	V
High-level output current, I_{OH}				−1			−2.6	mA
High-level output voltage, V_{OH}				5.5			5.5	V
Pulse width, t_W	Clock enable high	15			15			ns
	Clock enable high	15			15			
Setup time, t_{SUTUP}		0			0			ns
Hold time, t_{hold}		10			10			ns
Operating free-air temperature, T_A		−55		125	0		70	°C

electrical characteristics over recommended operating free-air temperature range (unless otherwise noted)

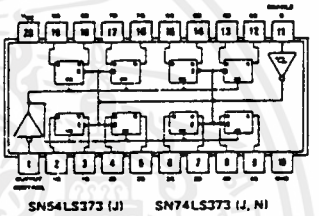
PARAMETER		TEST CONDITIONS‡		MIN	TYP‡	MAX	UNIT
V_{IH}	High-level input voltage			2			V
V_{IL}	Low-level input voltage					0.8	V
V_{IK}	Input clamp voltage	V_{CC} = MIN, I_I = −18mA				−1.5	V
V_{OH}	High-level output voltage	V_{CC} = MIN, V_{IH} = 2V, V_{IL} = V_{IL} max, I_{OH} = MAX		2.4	3.1		V
V_{OL}	Low-level output voltage	V_{CC} = MIN, V_{IH} = 2V, V_{IL} = V_{IL} max	I_{OL} = 24mA		0.35	0.5	V
I_{OZH}	Off-state output current, high-level voltage applied	V_{CC} = MAX, V_{IH} = 2V, V_O = 2.7V				20	μA
I_{OZL}	Off-state output current, low-level voltage applied	V_{CC} = MAX, V_{IH} = 2V, V_O = 0.4V				−20	μA
I_I	Input current at maximum input voltage	V_{CC} = MAX, V_I = 7V				0.1	mA
I_{IH}	High-level input current	V_{CC} = MAX, V_I = 2.7V				20	μA
I_{IL}	Low-level input current	V_{CC} = MAX, V_I = 0.4V				−0.4	mA
I_{OS}	Short-circuit output current §	V_{CC} = MAX		−30		−130	mA
I_{CC}	Supply current	V_{CC} = MAX, Output control at 4.5V	'LS373		24	40	mA

switching characteristics, V_{CC} = 5V, T_A = 25°C

PARAMETER	FROM (INPUT)	TO (OUTPUT)	TEST CONDITIONS	MIN	TYP	MAX	UNIT
f_{max}			C_L = 45pF, R_L = 667Ω, See Notes 2 and 3				MHz
t_{PLH}	Data	Any Q			12	18	ns
t_{PHL}					12	18	
t_{PLH}	Clock or enable	Any Q			20	30	ns
t_{PHL}					18	30	
t_{PZH}	Output Control	Any Q			15	28	ns
t_{PZL}					25	36	
t_{PHZ}	Output Control	Any Q	C_L = 5pF, R_L = 667Ω, See Note 3		12	20	ns
t_{PLZ}					15	25	

† For conditions shown as MIN or MAX, use the appropriate value specified under recommended operating conditions.
‡ All typical values are at V_{CC} = 5V, T_A = 25°C.
§ Not more than one output should be shorted at a time and duration of the short circuit should not exceed one second.

Pin Assignments (Top View)



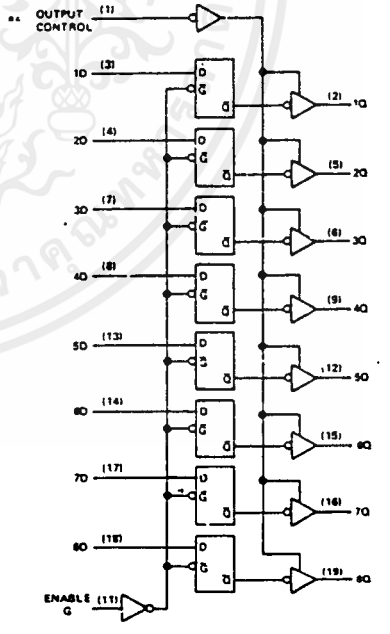
SN54LS373 (J) SN74LS373 (J, N)
SN54S373 (J) SN74S373 (J, N)

'LS373, 'S373 FUNCTION TABLE

OUTPUT CONTROL	ENABLE G	D	OUTPUT
L	H	H	H
L	H	L	L
L	L	X	Q0
H	X	X	Z

'LS373, 'S373 TRANSPARENT LATCHES

'LS373, 'S373 TRANSPARENT LATCHES



NOTES. 2. Maximum clock frequency is tested with all outputs loaded.
3. See load circuits and waveforms on page 3-11.

f_{max} = maximum clock frequency
t_{PLH} = propagation delay time, low-to-high-level output
t_{PHL} = propagation delay time, high-to-low-level output
t_{PZH} = output enable time to high level
t_{PZL} = output enable time to low level
t_{PHZ} = output disable time from high level
t_{PLZ} = output disable time from low level

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

54374/74374 Octal D-Type Transparent Latches and Edge-Triggered Flip-Flops

	Schottky TTL					High-Speed TTL					Low-Power Schottky TTL					Standard TTL					Low-Power TTL				
	Device Type	Package C	P	M	CF	Device Type	Package C	P	M	CF	Device Type	Package C	P	M	CF	Device Type	Package C	P	M	CF	Device Type	Package C	P	M	CF
T.I.	SN54S374	J									SN54LS374	J													
	SN74S374	J	N								SN74LS374	J	N												
FAIRCHILD																									
MOTOROLA																									
N.S.C.																									
PHILIPS																									
SIGNETICS																									
SIEMENS																									
FUJITSU																									
HITACHI																									
MITSUBISHI																									
NEC																									
TOSHIBA																									

Electrical Characteristics SN54LS374/SN74LS374

absolute maximum ratings over operating free-air temperature range

Supply voltage, V_{CC}	7V	Operating free-air temperature range	SN54LS	−55°C to 125°C
Input voltage	7V		SN74LS	0°C to 70°C
		Storage temperature range		−65°C to 150°C

recommend operating conditions

		SN54LS374 MIN	NOM	MAX	SN74LS374 MIN	NOM	MAX	UNIT
Supply voltage V_{CC}		4.5	5	5.5	4.75	5	5.25	V
High-level output voltage, V_{OH}				−400			−400	μA
High-level output current, I_{OH}				16			15	mA
Width of clock enabling pulse, t_w	High	15			15			ns
	Low	15			15			
Data hold time, t_{hold}		0†			0†			ns
Setup time, t_{setup}		20†			20†			ns
Operating free-air temperature, T_A		−55		125	0		70	°C

electrical characteristics over recommended operating free-air temperature range (unless otherwise noted)

PARAMETER		TEST CONDITIONS‡		MIN	TYP‡	MAX	UNIT
V_{IH}	High-level input voltage			2			V
V_{IL}	Low-level input voltage					0.8	V
V_{IK}	Input clamp voltage	V_{CC} = MIN, I_I = −18mA				−1.5	V
V_{OH}	High-level output voltage	V_{CC} = MIN, V_{IH} = 2V, V_{IL} = V_{IL} max, I_{OH} = MAX		2.4	3.3		V
V_{OL}	Low-level output voltage	V_{CC} = MIN, V_{IH} = 2V, V_{IL} = V_{IL} max	I_{OL} = 24mA		0.35	0.5	V
I_{OZH}	Off-state output current, high-level voltage applied	V_{CC} = MAX, V_{IH} = 2V, V_O = 2.7V				20	μA
I_{OZL}	Off-state output current, low-level voltage applied	V_{CC} = MAX, V_{IH} = 2V, V_O = 0.4V				−20	μA
I_I	Input current at maximum input voltage	V_{CC} = MAX, V_I = 7V				0.1	mA
I_{IH}	High-level input current	V_{CC} = MAX, V_I = 2.7V				20	μA
I_{IL}	Low-level input current	V_{CC} = MAX, V_I = 0.4V				−0.4	mA
I_{OS}	Short-circuit output current§	V_{CC} = MAX		−30		−130	mA
I_{CC}	Supply current	V_{CC} = MAX, Output control at 4.5V	'LS374		27	40	mA

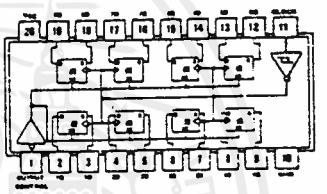
switching characteristics, V_{CC} = 5V, T_A = 25°C

PARAMETER	FROM (INPUT)	TO (OUTPUT)	TEST CONDITIONS	MIN	TYP	MAX	UNIT
f_{max}			C_L = 45pF, R_L = 667Ω, See Notes 2 and 3	35	50		MHz
t_{PLH}	Data	Any Q					
t_{PHL}							
t_{PLH}	Clock or enable	Any Q			15	25	ns
t_{PHL}					19	28	
t_{PZH}	Output Control	Any Q			20	28	ns
t_{PZL}					21	28	
t_{PHZ}	Output Control	Any Q	C_L = 5pF, R_L = 667Ω, See Note 3		12	20	ns
t_{PLZ}					14	25	

†For conditions shown as MIN or MAX, use the appropriate value specified under recommended operating conditions.
‡All typical values are at V_{CC} = 5V, T_A = 25°C.
§Not more than one output should be shorted at a time and duration of the short circuit should not exceed one second.

Pin Assignment (Top View)

①



SN54LS374 (J)
SN54S374 (J)

SN74LS374 (J, N)
SN74S374 (J, N)

'LS374, 'S374
FUNCTION TABLE

OUTPUT CONTROL	CLOCK	D	OUTPUT
L	↑	H	H
L	↑	L	L
L	L	X	Q_0
H	X	X	Z

NOTES: 2. Maximum clock frequency is tested with all outputs loaded.
3. See load circuits and waveforms on page 3-11

f_{max} = maximum clock frequency
t_{PLH} = propagation delay time, low-to-high-level output
t_{PHL} = propagation delay time, high-to-low-level output
t_{PZH} = output enable time to high level
t_{PZL} = output enable time to low level
t_{PHZ} = output disable time from high level
t_{PLZ} = output disable time from low level

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5476/7476 Dual J-K Master-Slave Flip-Flop with Preset and Clear

	Schottky TTL					High-Speed TTL					Low-Power Schottky TTL					Standard TTL					Low-Power TTL				
	Device Type	Package C	P	M	CF	Device Type	Package C	P	M	CF	Device Type	Package C	P	M	CF	Device Type	Package C	P	M	CF	Device Type	Package C	P	M	CF
T.I.						SN54H76	J①			W①	SN54LS76	J①			W①	SN5476	J①			W①					
						SN74H76	J①	N①			SN74LS76	J①	N①			SN7476	J①	N①							
FAIRCHILD						FM54H76/FM9H76	D①			F①						FM5476/FM9N76	D①			F①					
						FC74H76/FC9H76	D①	P①		F①						FC7476/FC9N76	D①	P①		F①					
MOTOROLA																MC7476		P①							
N.S.C.						DM54H76	J①	N①			DM54LS76		J①			DM5476	J①	N①		W①					
						DM74H76	J①	N①			DM74LS76		J①			DM7476	J①	N①							
PHILIPS						N74H76		D①			N74LS76		D①			FJJ191/7476		D①							
SIGNETICS						S54H76		B①								SN5476	F①	B①		W①					
						N74H76		B①			N74LS76		A①			SN7476	F①	B①							
SIEMENS																FLJ131		D①							
FUJITSU																									
HITACHI											HD74LS76		P①			HD7476/HD2516	D①	P①							
MITSUBISHI																M53276		P①							
NEC																μPB224	D①	C①							
TOSHIBA																TD7476		P①							

Electrical Characteristics SN54LS76 SN74LS76

absolute maximum ratings over operating free-air temperature rang

Supply voltage V_{CC}	7V	Operating free-air temperature range	SN54LS	−55°C to 125°C
Input voltage	5.5V		SN74LS	0°C to 70°C
		Storage temperature range		−65°C to 150°C

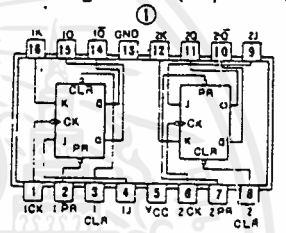
recommended operating conditions

		SN54LS76 min	nom	max	SN74LS76 min	nom	max	UNIT
Supply voltage V_{CC}		4.5	5	5.5	4.75	5	5.25	V
High-level output current I_{OH}				−400			−400	μA
Low-level output current I_{OL}				4			8	mA
Pulse width t_w	Clock high	20			20			ns
	Preset or clear low	25			25			
Input setup time, t_{su}	High-level data	20			20			ns
	Low-level data	20			20			
Input hold time, t_h		3			0			ns
Operating free-air temperature T_A		−55	25	125	0	25	70	°C

electrical characteristics over recommended operating free-air temperature range

PARAMETER*		TEST CONDITIONS†	MIN	TYP‡	MAX	UNIT
V_{IH}	High-level input voltage		2			V
V_{IL}	Low-level input voltage				0.8	V
V_I	Input clamp voltage	V_{CC}=MIN, I_I=−18mA			−1.5	V
V_{OH}	High-level output voltage	V_{CC}=MIN, V_{IH}=2V, V_{IL}=0.8V, I_{OH}=MAX	2.7	3.4		V
V_{OL}	Low-level output voltage	V_{CC}=MIN, V_{IH}=2V, V_{IL}=0.8V, I_{OL}=4mA		0.25	0.4	V
I_I	Input current at maximum input voltage: D, J, K	V_{CC}=MAX, V_I=7V			0.1	mA
	Clear				0.3	
	Preset				0.3	
	Clock				0.4	
I_{IH}	High-level input current: D, J, K	V_{CC}=MAX, V_I=2.7V			20	μA
	Clear				60	
	Preset				50	
	Clock				80	
I_{IL}	Low-level input current: D, J, K	V_{CC}=MAX, V_I=0.4V			−0.4	mA
	Clear				−0.8	
	Preset				−0.8	
	Clock				−0.8	
I_{OS}	Short-circuit output current: Series54LS	V_{CC}=MAX	−20		−100	mA
	Series74LS		−20		−100	
I_{CC}	Supply current (Average per flip-flop)	V_{CC}=MAX, See Note 1		4	8	mA
f_{max}	maximum clock frequency	V_{CC}=5V, T_A=25°C, C_L=15pF, R_L=2kΩ	30	45		MHz
t_{PLH}	from clear, preset or clock (as appropriate) to Q or $\bar{Q}$			15	20	ns
t_{PHL}				15	20	

Pin Assignment (Top View)



Function Tables (See Note 2)

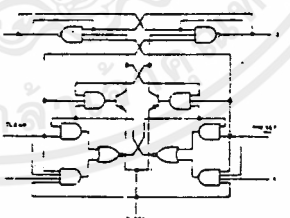
'76, H76

INPUTS PRESET	CLEAR	CLOCK	J	K	OUTPUTS Q	Q̄
L	H	X	X	X	H	L
H	L	X	X	X	L	H
L	L	X	X	X	H*	H*
H	H	⎍	L	L	Q_0	$\bar{Q}_0$
H	H	⎍	H	L	H	L
H	H	⎍	L	H	L	H
H	H	⎍	H	H	TOGGLE	

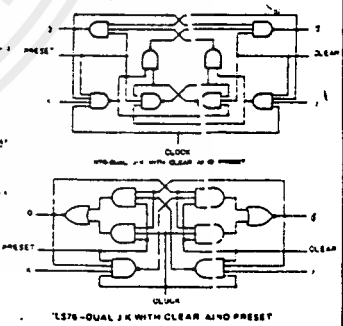
'LS76

INPUTS PRESET	CLEAR	CLOCK	J	K	OUTPUTS Q	Q̄
L	H	X	X	X	H	L
H	L	X	X	X	L	H
L	L	X	X	X	H*	H*
H	H	↓	L	L	Q_0	$\bar{Q}_0$
H	H	↓	H	L	H	L
H	H	↓	L	H	L	H
H	H	↓	H	H	TOGGLE	
H	H	H	X	X	Q_0	$\bar{Q}_0$

Functional Block Diagrams



'76 DUAL J-K WITH CLEAR AND PRESET



'LS76 DUAL J-K WITH CLEAR AND PRESET

NOTES: 1. With all outputs open, I_{CC} is measured with the Q and $\bar{Q}$ outputs high in turn. At the time of measurement, the clock input is grounded.

2. H = high level (steady state), L = low level (steady state), X = irrelevant
↓ = transition from high to low level
⎍ = high-level pulse; data inputs should be held constant while clock is high; data is transferred to output on the falling edge of the pulse.
Q_0 = the level of Q before the indicated input conditions were established.
TOGGLE: Each output changes to the complement of its previous level on each active transition (pulse) of the clock.
* This configuration is nonstable; that is, it will not persist when preset and clear inputs return to their inactive (high) level.

†For conditions shown as MIN or MAX, use the appropriate value specified under recommended operating conditions.
‡All typical values are at V_{CC}=5V, T_A=25°C.
*Not more than one output should be shorted at a time.
*t_{PLH} = propagation delay time, low-to-high-level output.
t_{PHL} = propagation delay time, high-to-low-level output.
§ ↑↓ The arrow indicates the edge of the clock pulse used for reference: ↑ for the rising edge, ↓ for the falling edge.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5486 / 7486 Quadruple 2-Input Exclusive-OR Gate

	Schottky TTL					High-Speed TTL					Low-Power Schottky TTL					Standard TTL					Low-Power TTL				
	Device Type	Package				Device Type	Package				Device Type	Package				Device Type	Package				Device Type	Package			
		C	P	M	CF		C	P	M	CF		C	P	M	CF		C	P	M	CF		C	P	M	CF
T.I.	SN54S86	J①			W①						SN54LS86	J①			W①	SN5486	J①			W①	SN54L86	J②	N②	T①	
	SN74S86	J①	N①								SN74LS86	J①	N①			SN7486	J①	N①			SN74L86	J②	N②	T①	
FAIRCHILD	FM54S86/FM56S86	D①			F①						FM54LS86/FM56LS86	D①			F①	FM5486/FM9N86	D①			F①					
	FC74S86/FC9S86	D①	P①								FC74LS86/FC9LS86	D①	P①		F①	FC7486/FC9N86	D①	P①							
MOTOROLA																									
											SN74LS86		P①			MC7486		P①							
N.S.C											DM54LS86		P①			DM5486	J①	N①		W①	DM54L86	J②	N②		F①
	DM74S86		N①								DM74LS86		P①			DM7486	J①	N①			DM74L86	J②	N②		F①
PHILIPS	N74S86																								
											N74LS86		①			FJH271/7486		①							
SIGNETICS	S54S86															S5486	F①	A①		W①					
	N74S86										N74LS86		A①			N7486	F①	A①							
SIEMENS																									
																FLH341		①							
FUJITSU																									
											74LS86		M①			MB449		①M①							
HITACHI	HD74S86	①	P①								HD74LS86		P①			HD7486/HD2526		①P①							
MISUBISHI																									
											M74LS86		P①			M53286		P①							
NEC																									
											74LS86		C①			μPB2086	D①								
TOSHIBA																									
																TD7486		P①							

Electrical Characteristics SN54LS86/SN74LS86

absolute maximum ratings over operating free-air temperature range

Supply voltage, V_{CC}	7V	Operating free-air temperature range	SN54LS	−55°C to 125°C
Input voltage	7V		SN74LS	0°C to 70°C
		Storage temperature range		−65°C to 150°C

recommended operating conditions

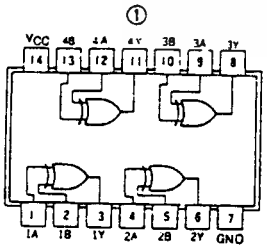
	SN54LS86			SN74LS86			UNIT
	MIN	NOM	MAX	MIN	NOM	MAX	
Supply voltage, V_{CC}	4.5	5	5.5	4.75	5	5.25	V
High-level output current, I_{OH}			−800			−800	μA
Low-level output current, I_{OL}			4			8	mA
Operating free-air temperature, T_A	−55		125	0		70	°C

electrical characteristics over recommended operating free-air temperature range

PARAMETER		TEST CONDITIONS †		SN74LS86			UNIT
				MIN	TYP‡	MAX	
V_{IH}	High-level input voltage			2			V
V_{IL}	Low-level input voltage					0.8	V
V_I	Input clamp voltage	V_{CC} = MIN,	I_I = −18mA			−1.5	V
V_{OH}	High-level output voltage	V_{CC} = MIN, V_{IH} = 2V, V_{IL} = V_{IL} max,	I_{OH} = −400μA	2.7	3.4		V
V_{OL}	Low-level output voltage	V_{CC} = MIN, V_{IH} = 2V, V_{IL} = V_{IL} max,	I_{OL} = 4mA		0.25	0.4	V
			I_{OL} = 8mA		0.35	0.5	
I_I	Input current at maximum input voltage	V_{CC} = MAX,	V_I = 7V			0.2	mA
I_{IH}	High-level input current	V_{CC} = MAX,	V_I = 2.7V			40	μA
I_{IL}	Low-level input current	V_{CC} = MAX,	V_I = 0.4V			−0.8	mA
I_{OS}	Short-circuit output current •	V_{CC} = MAX		−5		−42	mA
I_{CC}	Supply current	V_{CC} = MAX,	See Note 2		6.1	10	mA
t_{PLH}	from A or B input	Other input low	V_{CC} = 5V, T_A = 25°C, C_L = 15pF, R_L = 2kΩ		12	23	ns
t_{PHL}					10	17	ns
t_{PLH}	frm A or B input	Other input high			20	30	ns
t_{PHL}					13	22	ns

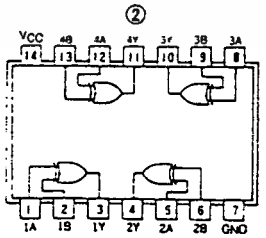
Pin Assignments (Top View)

①



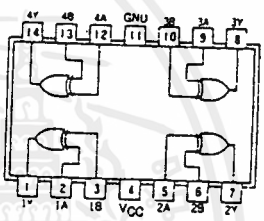
positive logic: $Y = A \oplus B = \overline{A}B + A\overline{B}$

②



positive logic: $Y = A \oplus B = \overline{A}B + A\overline{B}$

③



positive logic: $Y = A \oplus B = \overline{A}B + A\overline{B}$

Function Table

INPUTS		OUTPUT
A	B	Y
L	L	L
L	H	H
H	L	H
H	H	L

H = High-level L = Low-level

NOTE : I_{CC} is measured with the inputs grounded and the outputs open.

† For conditions shown as MIN or MAX, use the appropriate value specified under recommended operating conditions for the applicable type.
‡ All typical values are at V_{CC} = 5V, T_A = 25°C.
• Not more than one output should be shorted at a time.
• t_{PLH} = propagation delay time, low-to-high-level output
t_{PHL} = propagation delay time, high-to-low-level output

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

54154/74154 4-Line-to-16-Line Decoder/Demultiplexer

	Schottky TTL					High-Speed TTL					Low-Power Schottky TTL					Standard TTL					Low-Power TTL				
	Device Type	Package C	P	M	CF	Device Type	Package C	P	M	CF	Device Type	Package C	P	M	CF	Device Type	Package C	P	M	CF	Device Type	Package C	P	M	CF
T.I.																SN54154	J①			W①	SN54L154	J①			
																SN74154	J①	N①			SN74L154	J①	N①		
FAIRCHILD																	9①								
																FC74154	9①	P①							
MOTOROLA																SN74154		P①							
N.S.C.											DM54LS154	①				DM54154	J①			F①	DM54L154A	D①	N①		F①
											DM74LS154	①				DM74154	J①	N①		F①	DM74L154A	D①	N①		F①
PHILIPS																									
											N74LS154	①				N74154									
SIGNETICS																S54154	F①	N①		Q①					
																N74154		N①							
SIEMENS																									
																FLY141		①							
FUJITSU																									
HITACHI																									
											HD74LS154		P①			HD74154/HD2580	①	P①							
MITSUBISHI																									
																M53354		P①							
NEC																									
																μPB2154	D①								
TOSHIBA																									

Electrical Characteristics SN54154/SN74154

absolute maximum ratings over operating free-air temperature range

Supply voltage, V_{CC}	7V	Operating free-air temperature range	SN54'	−55°C to 125°C
Input voltage	5.5V		SN74'	0°C to 70°C
		Storage temperature range		−65°C to 150°C

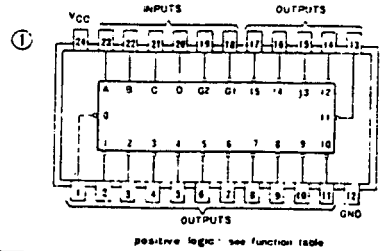
recommended operating conditions

	SN54154 MIN	NOM	MAX	SN74154 MIN	NOM	MAX	UNIT
Supply voltage, V_{CC}	4.5	5	5.5	4.75	5	5.25	V
High-level output current, I_{OH}			−800			−800	μA
Low-level output current, I_{OL}			16			16	mA
Operating free-air temperature, T_A	−55	125		0		70	°C

electrical characteristics over recommended operating free-air temperature range

PARAMETER		TEST CONDITIONS†		MIN	TYP‡	MAX	UNIT
V_{IH}	High-level input voltage			2			V
V_{IL}	Low-level input voltage					0.8	V
V_I	Input clamp voltage	V_{CC}=MIN, I_I=−12mA				−1.5	V
V_{OH}	High-level output voltage	V_{CC}=MIN, V_{IH}=2V, V_{IL}=0.8V, I_{OH}=−800μA		2.4	3.4		V
V_{OL}	Low-level output voltage	V_{CC}=MIN, V_{IH}=2V, V_{IL}=0.8V, I_{OL}=16mA			0.2	0.4	V
I_I	Input current at maximum input voltage	V_{CC}=MAX, V_I=5.5V				1	mA
I_{IH}	High-level input current	V_{CC}=MAX, V_I=2.4V				40	μA
I_{IL}	Low-level input current	V_{CC}=MAX, V_I=0.4V				−1.6	mA
I_{OS}	Short-circuit output current*	V_{CC}=MAX,	SN54'	−20		−55	mA
			SN74'	−18		−57	
I_{CC}	Supply current	V_{CC}=MAX, See Note	SN54'		34	49	mA
			SN74'		34	56	
t_{PLH}	from A, B, C, or D inputs through 3 levels of logic	V_{CC}=5V, T_A=25°C, C_L=15pF, R_L=400Ω			24	36	ns
t_{PHL}	from A, B, C, or D inputs through 3 levels of logic				22	33	ns
t_{PLH}	from either strobe input				20	30	ns
t_{PHL}	from either strobe input				18	27	ns

Pin Assignment (Top View)



positive logic: see function table

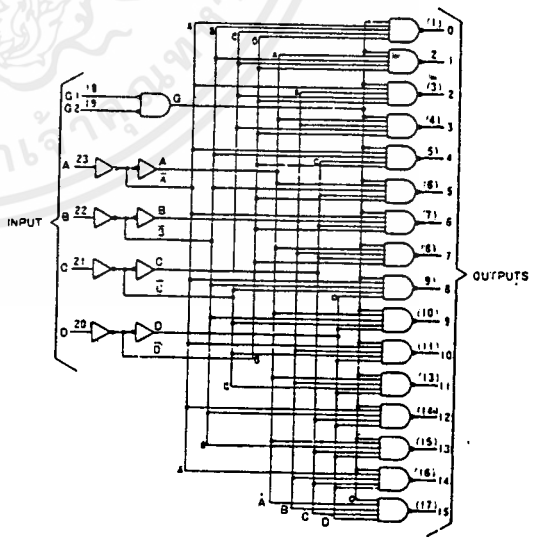
Function Table

154, 'L154

INPUTS G1	G2	D	C	B	A	OUTPUTS 0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
L	L	L	L	L	L	L	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H
L	L	L	L	L	H	H	L	H	H	H	H	H	H	H	H	H	H	H	H	H	H
L	L	L	L	H	L	H	H	L	H	H	H	H	H	H	H	H	H	H	H	H	H
L	L	L	L	H	H	H	H	H	L	H	H	H	H	H	H	H	H	H	H	H	H
L	L	L	H	L	L	H	H	H	H	L	H	H	H	H	H	H	H	H	H	H	H
L	L	L	H	L	H	H	H	H	H	H	L	H	H	H	H	H	H	H	H	H	H
L	L	L	H	H	L	H	H	H	H	H	H	L	H	H	H	H	H	H	H	H	H
L	L	L	H	H	H	H	H	H	H	H	H	H	L	H	H	H	H	H	H	H	H
L	L	H	L	L	L	H	H	H	H	H	H	H	H	L	H	H	H	H	H	H	H
L	L	H	L	L	H	H	H	H	H	H	H	H	H	H	L	H	H	H	H	H	H
L	L	H	L	H	L	H	H	H	H	H	H	H	H	H	H	L	H	H	H	H	H
L	L	H	L	H	H	H	H	H	H	H	H	H	H	H	H	H	L	H	H	H	H
L	L	H	H	L	L	H	H	H	H	H	H	H	H	H	H	H	H	L	H	H	H
L	L	H	H	L	H	H	H	H	H	H	H	H	H	H	H	H	H	H	L	H	H
L	L	H	H	H	L	H	H	H	H	H	H	H	H	H	H	H	H	H	H	L	H
L	L	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	L
H	X	X	X	X	X	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H
X	H	X	X	X	X	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H

H = high level, L = low level, X = irrelevant

Functional Block Diagram



154, 'L154 4-LINE-TO-16-LINE DECODER/DEMULTIPLEXER

NOTE: I_{CC} is measured with all inputs grounded and all outputs open.

† For conditions shown as MIN or MAX, use the appropriate value specified under recommended operating conditions for the applicable type.
‡ All typical values are at V_{CC}=5V, T_A=25°C.
* Not more than one output should be shorted at a time.
t_{PLH} = propagation delay time, low-to-high-level output
t_{PHL} = propagation delay time, high-to-low-level output

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

54393/74393 Dual 4-Bit Binary Counter

	Schottky TTL					High-Speed TTL					Low-Power Schottky TTL					Standard TTL					Low-Power TTL				
	Device Type	Package C	P	M	CF	Device Type	Package C	P	M	CF	Device Type	Package C	P	M	CF	Device Type	Package C	P	M	CF	Device Type	Package C	P	M	CF
T. I.											SN54LS393	J①			W①	SN54393	J①			W①					
FAIRCHILD											SN74LS393	J①	N①			SN74393	J①	N①							
MOTOROLA																									
N. S. C.																									
PHILIPS																									
SIGNETICS																									
SIEMENS																									
FUJITSU																									
HITACHI																									
MITSUBISHI																									
NEC											M74LS393	P①													
TOSHIBA																									

Electrical Characteristics SN54LS393/SN74LS393

absolute maximum ratings over operating free-air temperature range

Supply voltage, V_{CC}	7V	Operating free-air temperature range	SN54LS	−55°C to 125°C
Input voltage	7V		SN74LS	0°C to 70°C
		Storage temperature range		−65°C to 125°C

recommended operating conditions

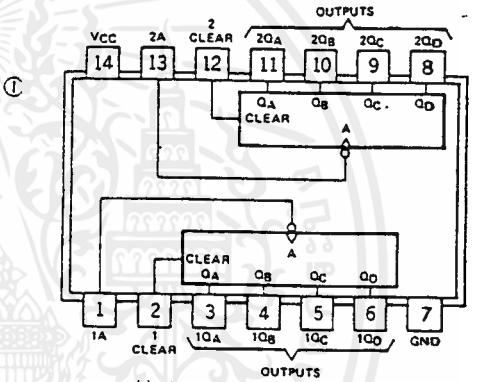
		SN54LS390 MIN	NOM	MAX	SN74LS390 MIN	NOM	MAX	UNIT
Supply voltage, V_{CC}		4.5	5	5.5	4.75	5	5.25	V
High-level output current, I_{OH}				400			−400	mA
Low-level output current, I_{OL}				4			8	mA
Count frequency, f_{count}	A input	0		25	0		25	MHz
	B input	0		20	0		20	
Pulse width, t_w	A input high or low	20			20			ns
	B input high or low	25			25			
	Clear high	20			20			
Clear inactive-state setup time, t_{setup}		25			25			ns
Operating free-air temperature, T_A		−55		125	0		70	°C

electrical characteristics over recommended operating free-air temperature range

PARAMETER		TEST CONDITIONS†		MIN	TYP‡	MAX	UNIT
V_{IH}	High-level input voltage			2			V
V_{IL}	Low-level input voltage					0.8	V
V_I	Input clamp voltage	V_{CC} = MIN,	I_I = −18mA			−1.5	V
V_{OH}	High-level output voltage	V_{CC} = MIN, V_{IH} = 2V, V_{IL} = 0.8V,	I_{OH} = −400μA	2.7	3.4		V
V_{OL}	Low-level output voltage	V_{CC} = MIN, V_{IH} = 2V, V_{IL} = 0.8V,	I_{OL} = 8mA		0.35	0.5	mA
I_I	Input current at maximum input voltage: Clear	V_{CC} = MAX,	V_I = 7V			0.1	mA
	Input A	V_{CC} = MAX,	V_I = 5.5V			0.2	
	Input B					0.4	
I_{IH}	High-level input current: Clear	V_{CC} = MAX,	V_I = 2.4V,			20	μA
	A					100	
	B					100	
I_{IL}	Low-level input current: Clear	V_{CC} = MAX,	V_I = 0.4			−0.4	mA
	A		V_I = 0.7V			−1.6	
	B					−2.4	
I_{OS}	Short-circuit output current*	V_{CC} = MAX	SN54	−20		−100	mA
			SN74	−20		−100	
I_{CC}	Supply current	V_{CC} = MAX, See Note 1			15	26	mA
f_{max}		V_{CC} = 5V, T_A = 25°C, C_L = 15pF, R_L = 2kΩ		25	35		MHz
t_{PLH} / t_{PHL}	from A to output Q_A				12	20	ns
					13	20	
t_{PLH} / t_{PHL}	from A to output Q_D				40	60	ns
					40	60	
t_{PHL}	from Clear to Any output				24	39	ns

NOTE: I_{CC} is measured with all outputs open, both clear inputs grounded following momentary connection to 4.5V, and all other inputs grounded.

Pin Assignment (Top View)



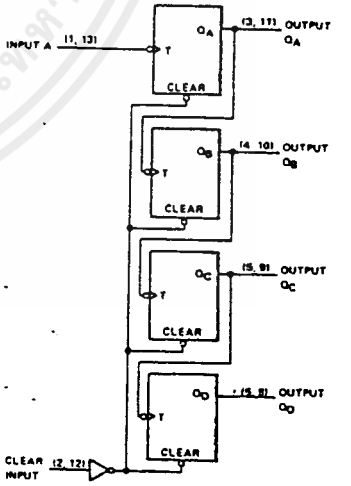
positive logic: High input to clear resets all four outputs low

Function Table

COUNT SEQUENCE (EACH COUNTER)

COUNT	OUTPUT QD	QC	QB	QA
0	L	L	L	L
1	L	L	L	H
2	L	L	H	L
3	L	L	H	H
4	L	H	L	L
5	L	H	L	H
6	L	H	H	L
7	L	H	H	H
8	H	L	L	L
9	H	L	L	H
10	H	L	H	L
11	H	L	H	H
12	H	H	L	L
13	H	H	L	H
14	H	H	H	L
15	H	H	H	H

Functional Block Diagram



'393 DUAL 4-BIT BINARY COUNTER

‡ The arrow indicates that the falling edge of the clock pulse is used for reference.
* f_{max} = maximum count frequency t_{PHL} = propagation delay time, high-to-low-level output t_{PLH} = propagation delay time, low-to-high-level output
§ The Q_A outputs of the '390 are tested at I_{OL} = 16 mA plus the limit value for I_{IL} for the B input. This permits driving the B input while maintaining full fan-out capability.
† For conditions shown as MIN or MAX, use the appropriate value specified under recommended operating conditions.
‡ All typical values are at V_{CC} = 5V, T_A = 25°C
* Not more than one output should be shorted at a time.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

54164/74164 8-Parallel-Out Serial Shift Register

	Schottky TTL					High-Speed TTL					Low-Power Schottky TTL					Standard TTL					Low-Power TTL				
	Device Type	Package C	P	M	CF	Device Type	Package C	P	M	CF	Device Type	Package C	P	M	CF	Device Type	Package C	P	M	CF	Device Type	Package C	P	M	CF
T.I.											SN54LS164	J①			W①	SN54164	J①			W①	SN54L164	J①	N①	T①	
											SN74LS164	J①	N①			SN74164	J①	N①			SN74L164	J①	N①	T①	
FAIRCHILD											FJ54LS164/FJ74LS164	D①			F①	FM54164/FM93164	D①								
											FC74LS164/FC93LS164	D①	P①		F①	FC74164/FC93164	D①	P①							
MOTOROLA											SN74LS164		P①			MC74164		P①							
N.S.C.											DM74LS164		①								DM54L164	J①	W①		
											DM54LS164		①			DM74164		N①			DM74L164	J①	N①		
PHILIPS											N74LS164		①			N74164		①							
SIGNETICS																S54164	F①	A①		W①					
											N74LS164		A①			N74164	F①	A①							
SIEMENS																FLJ441		①							
FUJITSU											74LS164		M①												
HITACHI											HD74LS164		P①			HD74164	①	P①							
MITSUBISHI											M74LS164		P①			M53364		P①							
NEC											AM74LS		C①			μPB2164	D①								
TOSHIBA																TD3503A		P①							
AMD											Am74LS164														

Electrical Characteristics SN54LS164/SN74LS164

absolute maximum ratings over operating free-air temperature range

Supply voltage, V_{CC}	7V	Operating free-air temperature range	SN54'	−55°C to	125°C
Input voltage	7V		SN74'	0°C to	70°C
		Storage temperature range		−65°C to	150°C

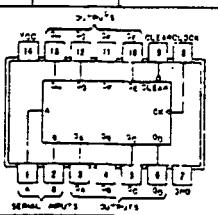
recommended operating conditions

	SN54LS164 MIN	NOM	MAX	SN74LS164 MIN	NOM	MAX	UNIT
Supply voltage, V_{CC}	4.5	5	5.5	4.75	5	5.25	V
High-level output current, I_{OH}			−400			−400	μA
Low-level output current, I_{OL}			4			8	mA
Clock frequency, f_{clock}	0		25	0		25	MHz
Width of clock or clear input pulse, t_w	20			20			ns
Data setup time, t_{setup}	15			15			ns
Data hold time, t_{hold}	5			5			ns
Operating free-air temperature, T_A	−55		125	0		70	°C

electrical characteristics over recommended operating free-air temperature range

PARAMETER		TEST CONDITIONS†		MIN	TYP‡	MAX	UNIT
V_{IH}	High-level input voltage			2			V
V_{IL}	Low-level input voltage					0.8	V
V_I	Input clamp voltage	V_{CC} = MIN,	I_I = −18mA			−1.5	V
V_{OH}	High-level output voltage	V_{CC} = MIN, V_{IL} = 0.8V,	V_{IH} = 2V, I_{OH} = −400μA	2.7	3.5		V
V_{OL}	Low-level output voltage	V_{CC} = MIN, V_{IH} = 2V, V_{IL} = 0.8V,	I_{OL} = 8mA		0.35	0.5	V
I_I	Input current maximum input voltage	V_{CC} = MAX,	V_I = 7V			0.1	mA
I_{IH}	High-level input current	V_{CC} = MAX,	V_I = 2.7V			20	μA
I_{IL}	Low-level input current	V_{CC} = MAX,	V_I = 0.4V			0.4	mA
I_{OS}	Short-circuit output current*	V_{CC} = MAX	SN54...	−20		100	mA
			SN74LS	−20		100	
I_{CC}	Supply current	V_{CC} = MAX, See Note 1			16	27	mA
f_{max}	Maximum clock frequency	V_{CC} = 5V, T_A = 25°C, R_L = 2kΩ	C_L = 15pF	25	36		MHz
t_{PHL}	Propagation delay time, high-to-low level Q outputs from clear input		C_L = 15pF		24	36	ns
t_{PLH}	Propagation delay time, low-to-high level Q outputs from clock input		C_L = 15pF		17	27	ns
t_{PHL}	Propagation delay time, high-to-low level Q outputs from clock input		C_L = 15pF		21	32	ns

Pin Assignment (Top View) ①



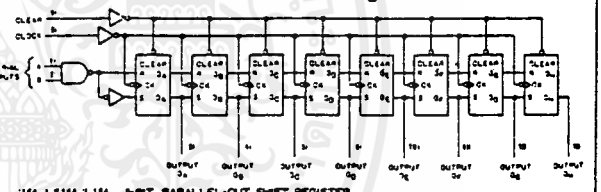
positive logic: see function table

Function Table

'164, 'LS164, 'L164 (see Note 2)

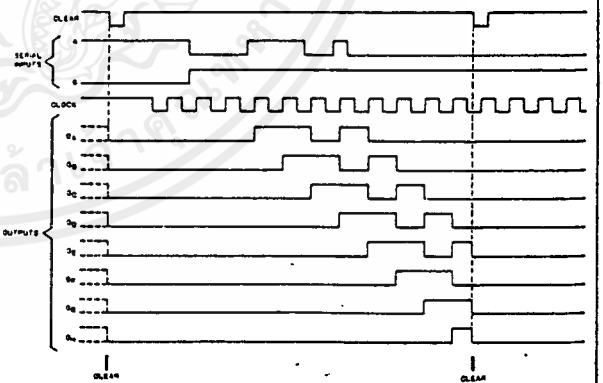
INPUTS CLEAR	CLOCK	A	B	OUTPUTS QA	QB	··· QH
L	X	X	X	L	L	L
H	L	X	X	Q_{A0}	Q_{B0}	Q_{H0}
H	↑	H	H	H	Q_{An}	Q_{Gn}
H	↑	L	X	L	Q_{An}	Q_{Gn}
H	↑	X	L	L	Q_{An}	Q_{Gn}

Functional Block Diagram



'164, LS164, 'L164 8-BIT PARALLEL-OUT SHIFT REGISTER

typical clear, shift, and clear sequences



NOTES: 1. I_{CC} is measured with outputs open, serial inputs grounded, and a momentary ground, then 4.5V, applied to clear.

2. H = high level (steady state), L = Low-level (steady state)
X = irrelevant (any input, including transitions)
↑ = transition from low to high level.
Q_{A0}, Q_{B0}, Q_{H0} = the level of Q_A, Q_B, or Q_H, respectively, before the indicated steady-state input conditions were established.
Q_{An}, Q_{Gn} = the level of Q_A or Q_G before the most-recent ↑ transition of the clock; indicates a one-bit shift.

†For conditions shown as MIN or MAX, use the appriate value specified under recommended operating conditions for the applicable device type.
‡All typical values are at V_{CC} = 5V, T_A = 25°C.
*Not more than two outputs should be shorted at a time.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

54165/74165 Parallel-Load 9-Bit Shift Register

	Schottky TTL					High-Speed TTL					Low-Power Schottky TTL					Standard TTL					Low-Power TTL				
	Device Type	Package				Device Type	Package				Device Type	Package				Device Type	Package				Device Type	Package			
		C	P	M	CF		C	P	M	CF		C	P	M	CF		C	P	M	CF		C	P	M	CF
T.I.											SN54LS165	J①				SN54165	J①			W①					
											SN74LS165	J①	N①			SN74165	J①	N①							
FAIRCHILD																FM54165/FM93165	D①								
																FC74165/FC93165	D①	P①							
MOTOROLA																									
																MC74165		P①							
N.S.C.																					DM54L165A	J①	N①		F①
																DM74165		N①			DM74L165A	J①	N①		F①
PHILIPS																									
																N74165		①							
SIGNETICS																S54165	F①	B①		W①					
																N74165	F①	B①							
SIEMENS																									
																FLJ451		①							
FUJITSU																									
HITACHI																									
MITSUBISHI																									
NEC																MS3365		P①							
TOSHIBA																									

Electrical Characteristics NS54LS165/SN74LS165

absolute maximum ratings over operating free-air temperature range

Supply voltage, V_{CC}	7V	Operating free-air temperature range	SN54LS	−55°C	to 125°C
Input voltage	7V		SN74LS	0°C	to 70°C
		Storage temperature range		−65°C	to 150°C

recommended operating conditions

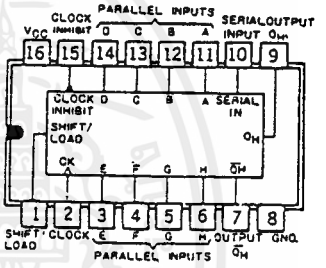
	SN54LS165			SN74LS165			UNIT
	MIN	NOM	MAX	MIN	NOM	MAX	
Supply voltage, V_{CC}	4.5	5	5.5	4.75	5	5.25	V
High-level output current, I_{OH}			400			400	μA
Low-level output current, I_{OL}			4			8	mA
Clock frequency, f_{clock}	0		20	0		20	MHz
Width of clock input pulse, t_w (clock)	25			25			ns
Width of load input pulse, t_w (ld)	15			15			ns
Clock-enable setup time, t_{setup}	30			30			ns
Parallel input setup time, t_{setup}	10			10			ns
Serial input setup time, t_{setup}	20			20			ns
Shift setup time, t_{setup}	45			45			ns
Hold time at any input, t_{hold}	0			0			ns
Operating free-air temperature, T_A	−55		125	0		70	°C

electrical characteristics over recommended operating, free-air temperature range

PARAMETER		TEST CONDITIONS†		MIN	TYP‡	MAX	UNIT
V_{IH}	High-level input voltage			2			V
V_{IL}	Low-level input voltage					0.8	V
V_I	Input clamp voltage	V_{CC} = MIN,	I_I = −18mA			−1.5	V
V_{OH}	High-level output voltage	V_{CC} = MIN, V_{IH} = 2V, V_{IL} = 0.8V,	I_{OH} = −400 μA	2.7	3.5		V
V_{OL}	Low-level output voltage	V_{CC} = MIN, V_{IH} = 2V, V_{IL} = 0.8V,	I_{OL} = 8mA		0.35	0.5	V
I_I	Input current at maximum input voltage — Shift/load input	V_{CC} = MAX, V_I = 7V				0.3	mA
	Other inputs					0.1	
I_{IH}	High-level input current — Shift, load input	V_{CC} = MAX, V_I = 2.7V				60	μA
	Other inputs					20	
I_{IL}	Low-level input current — Shift, load input	V_{CC} = MAX, V_I = 0.4V				−1.2	mA
	Other inputs					−0.4	
I_{OS}	Short-circuit output current*	V_{CC} = MAX	SN54LS	−20		−100	mA
			SN74LS	−20		−100	
I_{CC}	Supply current	V_{CC} = MAX, See Note 2			21	36	mA
f_{max}	Maximum clock frequency			25	35		MHz
t_{PLH} / t_{PHL}	from Load to Any output	V_{CC} = 5V, T_A = 25°C, C_L = 15pF, R_L = 2kΩ			22	35	ns
					22	35	
t_{PLH} / t_{PHL}	from Clock to Any output				27	40	ns
					28	40	
t_{PLH} / t_{PHL}	from H to output Q_H				16	25	ns
					21	30	
t_{PLH} / t_{PHL}	from H to output $\overline{Q}_H$				21	30	ns
					16	25	

Pin Assignment (Top View)

①



positive logic:

Function Table

'165 (see Note 3)

INPUTS					INTERNAL OUTPUTS		OUTPUT
SHIFT/ LOAD	CLOCK INHIBIT	CLOCK	SERIAL	PARALLEL A . . . H	Q_A	Q_B	Q_H
L	X	X	X	a . . . h	a	b	h
H	L	L	X	X	Q_{A0}	Q_{B0}	Q_{H0}
H	L	↑	H	X	H	Q_{An}	Q_{Gn}
H	L	↑	L	X	L	Q_{An}	Q_{Gn}
H	H	↑	X	X	Q_{A0}	Q_{B0}	Q_{H0}

NOTES: 1. This is the voltage between two emitters of a multiple-emitter transistor. For this circuit, this rating applies to the shift/load input in conjunction with the clock clock or clock-inhibit inputs.

2. With the outputs open, clock inhibit and shift/load at 4.5V, and a clock pulse applied to the clock input, I_{CC} is measured first with the parallel inputs at 4.5V, then with the parallel inputs grounded.

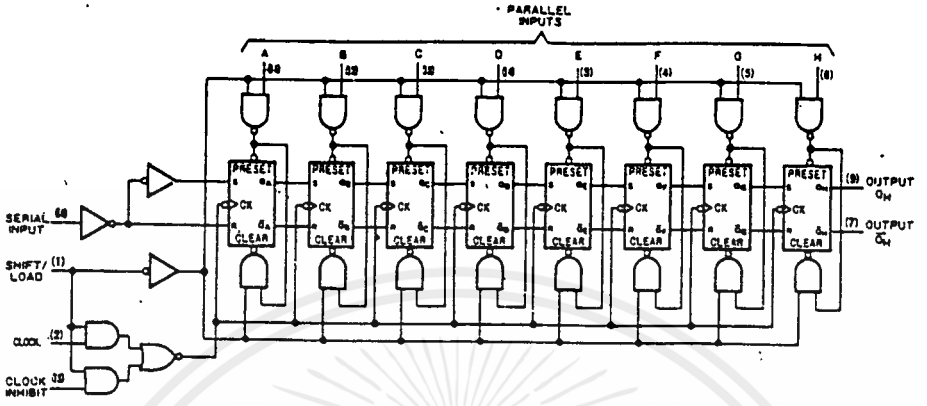
3. H = high level (steady state), L = low level (steady state)
X = irrelevant (any input, including transitions)
↑ = transition from low to high level
a . . . h = the level of steady-state input at inputs A thru H, respectively.
Q_{A0}, Q_{B0}, C_{H0} = the level of Q_A, Q_B, or Q_H, respectively, before the indicated steady-state input conditions were established.
Q_{An}, Q_{Gn} = the level of Q_A or Q_G, respectively, before the most recent ↑ transition of the clock.

†For conditions shown as MIN or MAX, use the appropriate value under recommended operating conditions for the applicable device type.
‡All typical values are at V_{CC} = 5V, T_A = 25°C.
*Not more than one output should be shorted at a time.
• t_{PLH} = Propagation delay time, low-to-high-level output
t_{PHL} = Propagation delay time, high-to-low-level output

CONTINUED ON NEXT PAGE

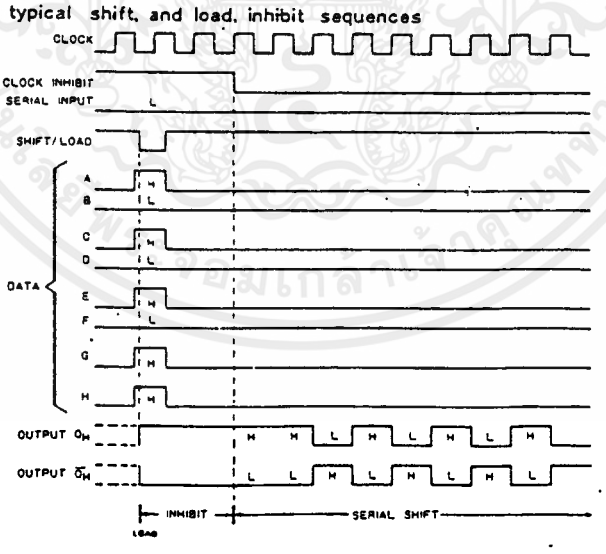
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Functional Block giagram



'165 PARALLEL-LOAD 8-BIT SHIFT REGISTER

typical shift, and load, inhibit sequences



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

54244/74244 Octal Buffers/Line Drivers/Line Receivers

	Schttky TTL					High-Speed TTL					Low-Power Schottky TTL					Standard TTL					Low-Power TTL				
	Device Type	Package				Device Type	Package				Device Type	Package				Device Type	Package				Device Type	Package			
		C	P	M	CF		C	P	M	CF		C	P	M	CF		C	P	M	CF		C	P	M	
T. I.											SN54LS244	J	D												
											SN74LS244	J	D	N											
FAIRCHILD																									
MOTOROLA																									
N. S. C.																									
PHILIPS																									
SIGNETICS																									
SIEMENS																									
FUJITSU																									
HITACHI																									
MITSUBISHI																									
NEC																									
TOSHIBA																									

Electrical Characteristics SN54LS244/SN74LS244

absolute maximum ratings over operating free-air temperature range

Supply voltage, V_{CC}	7V	Operating free-air temperature range	SN54LS	55°C to 125°C
Input voltage	5.5V		SN74LS	0°C to 70°C
Interemitter voltage	5.5V	Storage temperature range		65°C to 150°C

recommended operating conditions

	LS54LS244			SN74LS244			UNIT
	MIN	NOM	MAX	MIN	NOM	MAX	
Supply voltage, V_{CC}	4.5	5	5.5	4.75	5	5.25	V
High-level output current, I_{OH}			12			15	mA
Low-level output current, I_{OL}			12			24	mA
Operating free-air temperature, T_A	55		125	0		70	°C

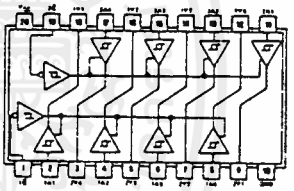
electrical characteristics over recommended operating free-air temperature range (unless otherwise noted)

PARAMETER		TEST CONDITIONS †		SN74LS MIN	SN74LS TYP‡	SN74LS MAX	UNIT
V_{IH}	High-level input voltage			2			V
V_{IL}	Low-level input voltage					0.8	V
V_{IK}	Input clamp voltage	V_{CC} = MIN,	I_I = −18mA			−1.5	V
	Hysteresis ($V_{T+} - V_{T-}$)	V_{CC} = MIN		0.2	0.4		V
V_{OH}	High-level output voltage	V_{CC} = MIN, V_{IH} = 2V, V_{IL} = V_{IL} max,	I_{OH} = −3mA	2.4	3.4		V
		V_{CC} = MIN, V_{IH} = 2V, V_{IL} = 0.5V,	I_{OH} = MAX	2			V
V_{OL}	Low-level output voltage	V_{CC} = MIN, V_{IH} = 2V, V_{IL} = V_{IL} max	I_{OL} = 12mA			0.4	V
			I_{OL} = 24mA			0.5	V
I_{OZH}	Off-state output current, high-level voltage applied	V_{CC} = MAX, V_{IH} = 2V, V_{IL} = V_{IL} max	V_O = 2.7V			20	μA
I_{OZL}	Off-state output current, low-level voltage applied		V_O = 0.4V			−20	μA
I_I	Input current at maximum input voltage	V_{CC} = MAX,	V_I = 7V			0.1	mA
I_{IH}	High-level input current, any input	V_{CC} = MAX,	V_I = 2.7V			20	μA
I_{IL}	Low-level input current	V_{CC} = MAX,	V_{IL} = 0.4V			−0.2	mA
I_{OS}	Short-circuit output current ◆	V_{CC} = MAX		−40		−225	mA
I_{CC}	Supply current, Outputs high	V_{CC} = MAX, Outputs open	All		13	23	mA
	Supply current, Outputs low		'LS244		27	46	mA
	Supply current, All outputs disabled		'LS244		32	54	mA

switching characteristics, V_{CC} 5V, T_A 25°C

PARAMETER		TEST CONDITIONS	MIN	TYP	MAX	UNIT
t_{PLH}	Propagation delay time, low-to-high-level output	C_L = 45pF, R_L = 667Ω, See Note 2		9	14	ns
t_{PHL}	Propagation delay time, high-to-low-level output			12	18	ns
t_{PZL}	Output enable time to low level	C_L = 5pF, R_L = 667Ω, See Note 2		20	30	ns
t_{PZH}	Output enable time to high level			15	23	ns
t_{PLZ}	Output disable time from low level			15	25	ns
t_{PHZ}	Output disable time from high level			10	18	ns

Pin Assignment (Top View)



SN54LS244 (J) SN74LS244 (J, N)

† For conditions shown as MIN or MAX, use the appropriate value specified under recommended operating conditions.
‡ All typical values are at V_{CC} 5V, T_A 25°C
◆ Not more than one output should be shorted at a time, and duration of the short-circuit should not exceed one second.
NOTE 2 : Load circuit and voltage wave forms are shown on page 3-11

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

SCL4028B

CMOS BCD-TO-DECIMAL DECODER

FEATURES

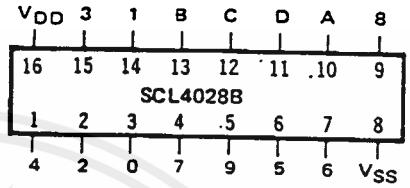
- BCD-to-Decimal or Binary-to-Octal Decoding
- Buffered Outputs go High on Selection
- Low Outputs for all Illegal Input Combinations
- Balanced Output Drive Current Specifications

DESCRIPTION

The SCL4028B types are BCD-to-Decimal or Binary-to-Octal Decoders consisting of pulse shaping circuits on all 4 inputs, decoding/logic gates, and 10 output buffers. A BCD code applied to the four inputs, A to D, results in a high level at the selected one of 10 decimal decoded outputs. Similarly, a 3-bit binary code applied to inputs A through C is decoded in octal code at output 0 to 7. A high-level signal at the D input inhibits octal decoding and causes outputs 0 through 7 to go low. If unused, the D input must be connected to V_{SS}.

Expanded decoding such as binary-to-hexadecimal (1-of-16), etc., can be achieved by using other SCL4028B devices. This part is useful for code conversion, address decoding, memory selection control, demultiplexing, and readout decoding.

CONNECTION DIAGRAM
(all packages)



Add suffix for package:

C	16-pin Cerdip
D	16-pin Ceramic
E	16-pin Epoxy
F	16-pin Flat
H	Chip

TRUTH TABLE

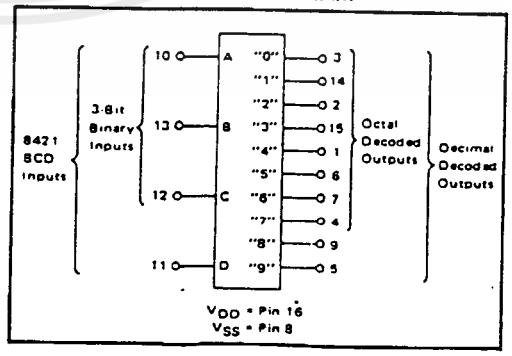
Input				Output									
D	C	B	A	9	8	7	6	5	4	3	2	1	0
0	0	0	0	0	0	0	0	0	0	0	0	0	1
0	0	0	1	0	0	0	0	0	0	0	0	1	0
0	0	1	0	0	0	0	0	0	0	0	1	0	0
0	0	1	1	0	0	0	0	0	0	1	0	0	0
0	1	0	0	0	0	0	0	0	1	0	0	0	0
0	1	0	1	0	0	0	0	1	0	0	0	0	0
0	1	1	0	0	0	0	1	0	0	0	0	0	0
0	1	1	1	0	0	1	0	0	0	0	0	0	0
1	0	0	0	0	1	0	0	0	0	0	0	0	0
1	0	0	1	1	0	0	0	0	0	0	0	0	0
1	0	1	0	0	0	0	0	0	0	0	0	0	0
1	0	1	1	0	0	0	0	0	0	0	0	0	0
1	1	0	0	0	0	0	0	0	0	0	0	0	0
1	1	0	1	0	0	0	0	0	0	0	0	0	0
1	1	1	0	0	0	0	0	0	0	0	0	0	0
1	1	1	1	0	0	0	0	0	0	0	0	0	0

RECOMMENDED OPERATING CONDITIONS

For maximum reliability:

DC Supply Voltage	$V_{DD} - V_{SS}$	3 to 15	Vdc
Operating Temperature	T_A		
C, D, F, H Device		-55 to +125	°C
E Device		-40 to +85	°C

BLOCK DIAGRAM



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ELECTRICAL CHARACTERISTICS

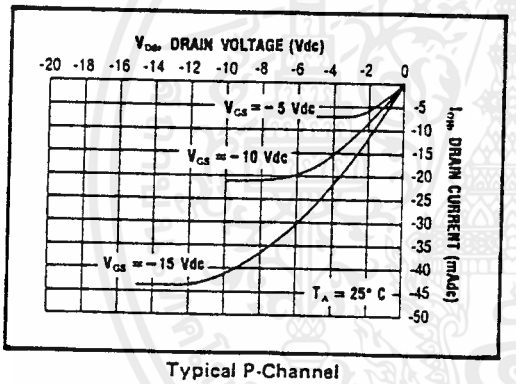
STATIC CHARACTERISTICS [1,3]

PARAMETER		V_{DD} (Vdc)	CONDITIONS	T_{LOW} [2]		+25°C			T_{HIGH} [2]		Units
				Min.	Max.	Min.	Typ.	Max.	Min.	Max.	
QUIESCENT DEVICE CURRENT	I_{DD}	5	$V_{IN}=V_{SS}$ or V_{DD}	—	5	—	0.05	5	—	150	μAdc
		10	All valid input	—	10	—	0.1	10	—	300	
		15	combinations	—	20	—	0.2	20	—	600	

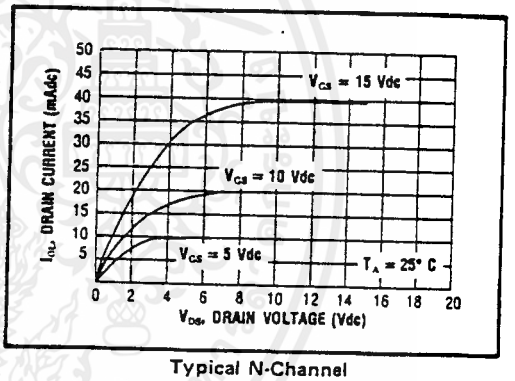
NOTES: [1] Remaining Static Electrical Characteristics are listed under "SCL4000B Series Family Specifications".
[2] T_{LOW} = −55°C for C, D, F, H device.
= −40°C for E device.
T_{HIGH} = +125°C for C, D, F, H device.
= + 85°C for E device.
[3] This device has been designed for balanced output drive current specifications. Consult Family Specifications.

DYNAMIC CHARACTERISTICS (C_L = 50pF, T_A = 25°C)

PARAMETER		V_{DD} (Vdc)	Min.	Typ.	Max.	Units
PROPAGATION DELAY TIME	t_{PLH}, t_{PHL}	5	—	225	450	ns
		10	—	100	200	
		15	—	70	140	
OUTPUT TRANSITION TIME	t_{TLH}, t_{THL}	5	—	100	200	ns
		10	—	50	100	
		15	—	40	80	

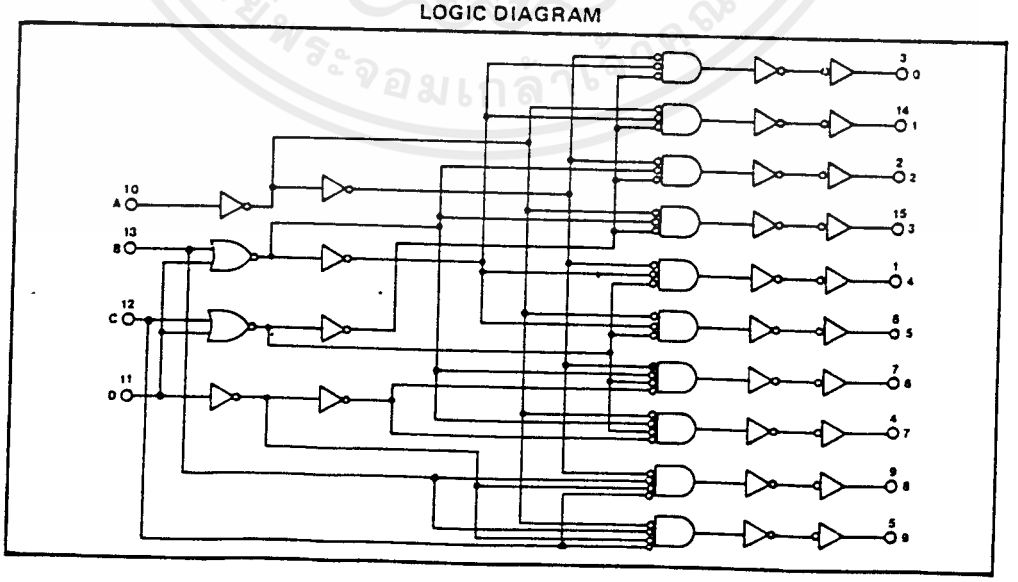


Typical P-Channel
Source Current Characteristics



Typical N-Channel
Sink Current Characteristics

LOGIC DIAGRAM

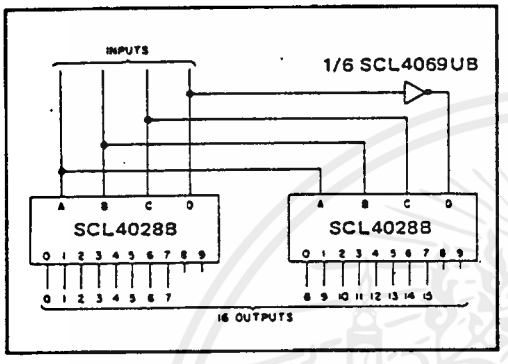


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

APPLICATIONS INFORMATION

CODE CONVERSION CIRCUIT

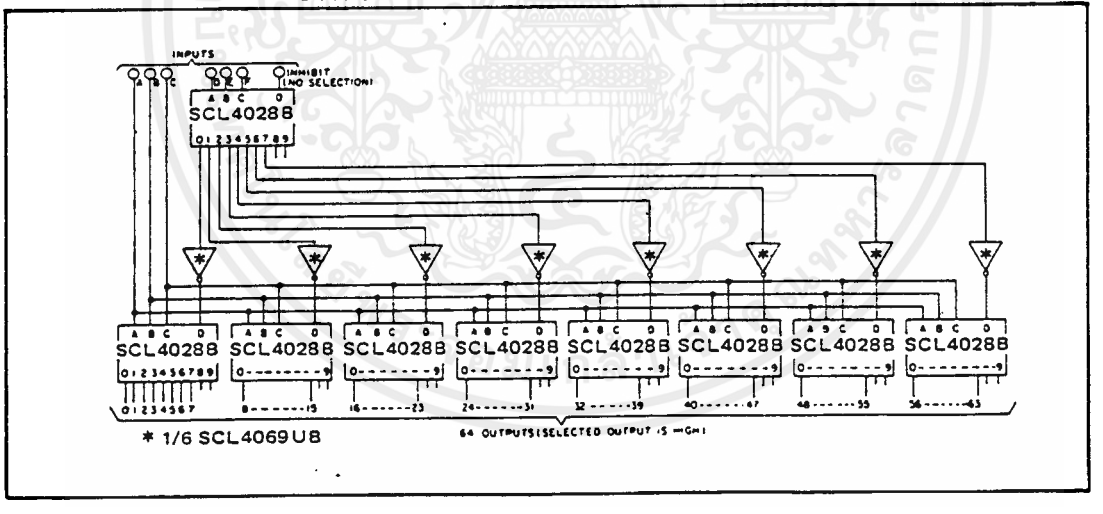
The circuit shown here converts any 4-bit code to a decimal or hexadecimal code. The table shows a number of codes and the decimal or hexadecimal number in these codes which must be applied to the input terminals of the SCL40288 to select a particular output. For example: in order to get a "high" on output No. 8 the input must be either an 8 expressed in 4-Bit Binary code, a 15 expressed in 4-Bit Gray code, or a 5 expressed in Excess-3 code.



INPUTS				INPUT CODES					OUTPUT NUMBER																	
				Hexa Decimal	Decimal																					
D	C	B	A	4 BIT BINARY	4 BIT GRAY	EXCESS 3	EXCESS 3 GRAY	AIKEN	4221	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
0	0	0	0	0	0			0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0	0	0	1	1	1			1	1	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0	0	1	0	2	3			2	2	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0
0	0	1	1	3	2	0	0	3	3	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0
0	1	0	0	4	7	1	4	4		0	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0
0	1	0	1	5	6	2			3	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0	0
0	1	1	0	6	4	3	1		4	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0
0	1	1	1	7	5	4	2			0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0
1	0	0	0	8	15	5				0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0
1	0	0	1	9	14	6			5	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0
1	0	1	0	10	12	7	5		6	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0
1	0	1	1	11	13	8			5	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0
1	1	0	0	12	8	9	6			0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0
1	1	0	1	12	9			8	7	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0
1	1	1	0	14	11			8	8	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0
1	1	1	1	15	10			7	9	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1

Code Conversion Chart

6-BIT BINARY TO 1-OF-64 ADDRESS DECODER



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

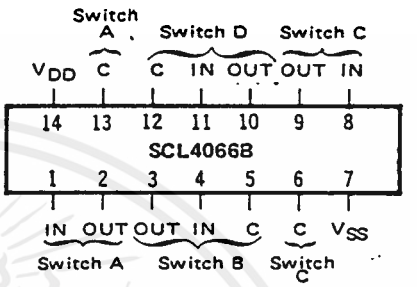
SCL4066B

CMOS QUAD ANALOG SWITCH

FEATURES

- Transmission or Multiplexing of Analog or Digital Signals
- 80Ω Typical ON-Resistance for 15-Volt operation
- Switch ON-Resistance Matched to within 5Ω over 15-Volt Signal-Input Range
- ON-Resistance Flat over Full Peak-to-Peak Signal Range
- High Degree of Linearity:
  ≤0.5% Distortion (typ) @ f_{is} = 1kHz, V_{is} = $5V_{p-p}$, V_{DD}-V_{SS} ≥ 10V, R_L = 10kΩ
- Extremely Low OFF switch Leakage Resulting in very Low Offset Current and High Effective OFF Resistance:
  10pA (typ) @ V_{DD}-V_{SS} = 10V, T_A = 25°C
- Extremely High Control Input Impedance (Control Circuit Isolated from Signal Circuit):
  10^{12}Ω (typ)
- Low Crosstalk between Switches:
  -50dB (typ) @ f_{is} = 0.9MHz, R_L = 1kΩ
- Matched Control-Input to Signal-Output Capacitance Reduces Output Signal Transients
- Frequency Response, Switch ON = 40MHz (typ)

CONNECTION DIAGRAM
(all packages)



Add suffix for package:

C	14-pin Cerdip	F	14-pin Flat
D	14-pin Ceramic	H	Chip
E	14-pin Epoxy		

RECOMMENDED OPERATING CONDITIONS

For maximum reliability:

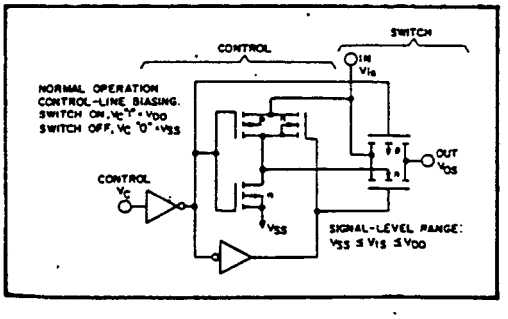
DC Supply Voltage	V_{DD} - V_{SS}	3 to 15	Vdc
Operating Temperature	T_A		
C, D, F, H Device		-55 to +125	°C
E Device		-40 to +85	°C

DESCRIPTION

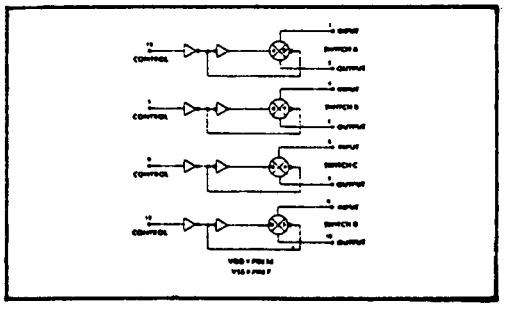
The SCL4066B is a Quad Bilateral Switch intended for the transmission or multiplexing of analog or digital signals. It is pin-for-pin compatible with the SCL4016B, but exhibits a much lower ON-resistance. In addition, the ON-resistance is relatively constant over the full input signal range. The SCL4066 consists of four independent bilateral switches. A single control signal is required per switch. Both the P and the N device in a given switch are biased ON or OFF simultaneously by the control signal. As shown below, the well of the N-channel device on each switch is either tied to the input when the switch is ON or to V_{SS} when the switch is OFF. This configuration minimizes the variation of the switch-transistor threshold voltage with input-signal, and thus keeps the ON-resistance low over the full operating range.

The advantages over single-channel switches include peak input-signal voltage swings equal to the full supply voltage, and more constant ON-impedance over the input-signal range. For sample-and-hold applications, however, the SCL4016 is recommended.

SCHEMATIC DIAGRAM (one of four switches)



LOGIC DIAGRAM



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ELECTRICAL CHARACTERISTICS

STATIC CHARACTERISTICS [1,3]

PARAMETER		CONDITIONS	V_{SS} (Vdc)	V_{DD} (Vdc)	T_{LOW}[2] Min.	T_{LOW}[2] Max.	25°C Min.	25°C Typ.	25°C Max.	T_{HIGH}[2] Min.	T_{HIGH}[2] Max.	Units
QUIESCENT DEVICE CURRENT	I_{DD}	$V_{IN} = V_{SS}$ or V_{DD}	0	5	–	0.05	–	0.0005	0.05	–	1.5	μAdc
		All valid input	0	10	–	0.1	–	0.001	0.1	–	3.0	
		combinations	0	15	–	0.2	–	0.002	0.2	–	6.0	
MINIMUM INPUT HIGH VOLTAGE (Control Input)	V_{IH}	$V_{IS} = V_{SS}$	0	5	–	4.0	–	2.75	4.0	–	4.0	Vdc
		$V_{OS} = V_{DD}$	0	10	–	8.0	–	5.5	8.0	–	8.0	
		$I_{OS} = 10\mu A$	0	15	–	12.0	–	8.25	12.0	–	12.0	
MAXIMUM INPUT LOW VOLTAGE (Control Input)	V_{IL}	$V_{IS} = V_{SS}$	0	5	1.0	–	1.0	2.25	–	1.0	–	Vdc
		$V_{OS} = V_{DD}$	0	10	2.0	–	2.0	4.5	–	2.0	–	
		$I_{OS} = 10\mu A$	0	15	3.0	–	3.0	6.75	–	3.0	–	
SWITCH INPUT/OUTPUT LEAKAGE	I_{OFF}	$V_C = V_{SS}$	-7.5	+7.5	–	±100	–	±0.01	±100	–	±200	nAdc
		$V_{IS} = \pm 7.5$Vdc										
ON-RESISTANCE C,D,F,H device	R_{ON}	$V_C = V_{DD}$	-7.5	+7.5	–	220	–	80	280	–	320	Ω
		$V_{SS} \leq V_{IS} \leq V_{DD}$	0	+15								
		$R_L = 10k\Omega$	-5	+5	–	310	–	120	400	–	550	Ω
			0	+10								
			-2.5	+2.5	–	2000	–	270	2500	–	3500	Ω
			0	+5								
E device	R_{ON}	$V_C = V_{DD}$	-7.5	+7.5	–	250	–	80	280	–	300	Ω
		$V_{SS} \leq V_{IS} \leq V_{DD}$	0	+15								
		$R_L = 10k\Omega$	-5	+5	–	330	–	120	400	–	520	Ω
			0	+10								
			-2.5	+2.5	–	2100	–	270	2500	–	3200	Ω
			0	+5								
ON-RESISTANCE MATCH (Same package)	ΔR_{ON}	$V_C = V_{DD}$	-7.5	+7.5	–	–	–	5	–	–	–	Ω
		$V_{SS} \leq V_{IS} \leq V_{DD}$	0	+15								
		$R_L = 10k\Omega$	-5	+5	–	–	–	10	–	–		Ω
			0	+10								
			-2.5	+2.5	–	–	–	10	–	–		Ω
			0	+5								

NOTES: [1] Remaining Static Electrical Characteristics are listed under "SCL4000B Series Family Specifications"

[2] T_{LOW} = -55°C for C, D, F, H device.
= -40°C for E device.
T_{HIGH} = +125°C for C, D, F, H device.
= + 85°C for E device.

[3] This device has been designed for balanced output drive current specifications. Consult Family Specifications.

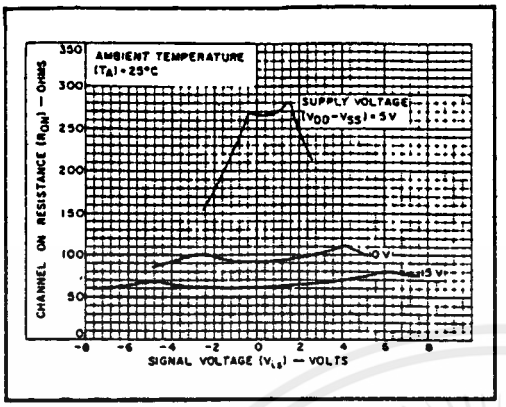
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ELECTRICAL CHARACTERISTICS (Continued)

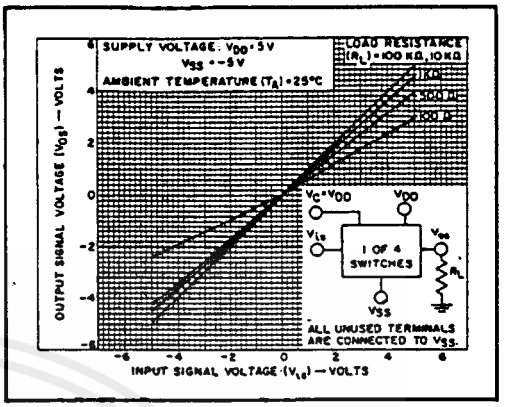
DYNAMIC CHARACTERISTICS (C_L = 50pF, T_A = 25°C)

PARAMETER		CONDITIONS	V_{SS} (Vdc)	V_{DD} (Vdc)	Min.	Typ.	Max.	Units
SIGNAL INPUTS (V_{is}) AND OUTPUTS (V_{os})								
PROPAGATION DELAY TIME Signal Input to Signal Output	t_{PLH}, t_{PHL}	V_c=V_{DD} V_{is}=Square Wave R_L = 10kΩ	0 0 0	5 10 15	– – –	20 10 7.5	40 20 15	ns
BANDWIDTH (-3dB) (Sine Wave)	BW	V_c=V_{DD} R_L V_{is}=5V_{p-p} 1kΩ centered 10kΩ @ 0.0Vdc 100kΩ 1MΩ	-5	+5	– – – –	54 40 38 37	– – – –	MHz
INSERTION LOSS (=20 $\log_{10}\frac{V_{os}}{V_{is}}$)		V_c=V_{DD} R_L V_{is}=5V_{p-p} 1kΩ centered 10kΩ @ 0.0Vdc 100kΩ 1MΩ	-5	+5	– – – –	2.3 0.2 0.1 0.05	– – – –	dB
SIGNAL DISTORTION (Sine Wave)		V_c=V_{DD} V_{is}=5V_{p-p} centered @ 0.0Vdc f_{is}=1.0kHz R_L = 10kΩ	-5	+5	–	0.16	–	%
FEEDTHROUGH (-50dB)		V_c=V_{SS} R_L V_{is}=5V_{p-p} 1kΩ centered 10kΩ @0.0Vdc 100kΩ 1MΩ	-5	+5	– – – –	1250 140 18 2	– – – –	kHz
CROSSTALK (-50dB) Between two switches		V_c(A)=V_{DD} V_c(B)=V_{SS} V_{is}(A)=5V_{p-p} centered @0.0Vdc R_L = 10kΩ	-5	+5	–	0.9	–	MHz
CAPACITANCE Input Output Feedthrough	C_{is} C_{os} C_{ios}	V_C = V_{SS}	-5	+5	– – –	8 8 0.5	– – –	pF pF pF
CONTROL INPUT (V_C)								
PROPAGATION DELAY TIME Turn on	t_{PC}	V_{SS}≤V_{is}≤V_{DD} R_L = 10kΩ	0 0 0	5 10 15	– – –	50 25 20	100 50 40	ns
MAXIMUM INPUT FREQUENCY	f_c	V_{SS}≤V_{is}≤V_{DD} R_L = 1.0kΩ	0 0 0	5 10 15	– – –	5 10 12	– – –	MHz
CROSSTALK (To signal port)		V_c=Square Wave R_L = 10kΩ R_{in} = 1.0kΩ	0 0 0	5 10 15	– – –	30 50 100	– – –	mV

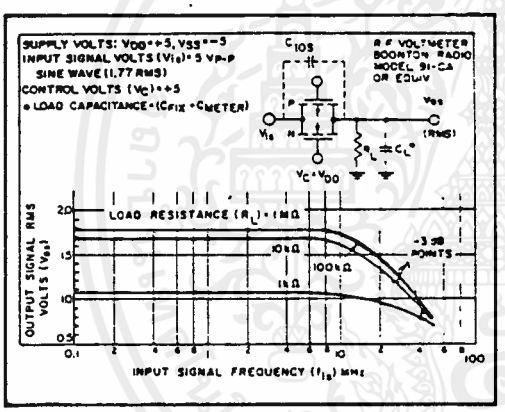
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



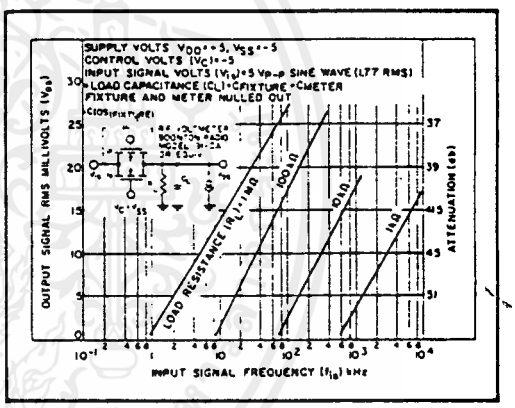
Typical channel ON resistance vs. signal voltage for three values of supply voltage (V_{DD}-V_{SS})



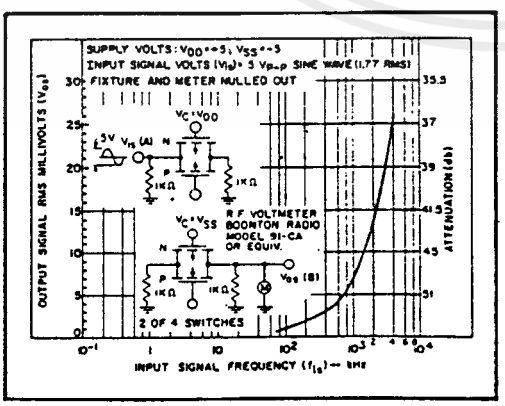
Typical ON characteristics for 1 of 4 channels.



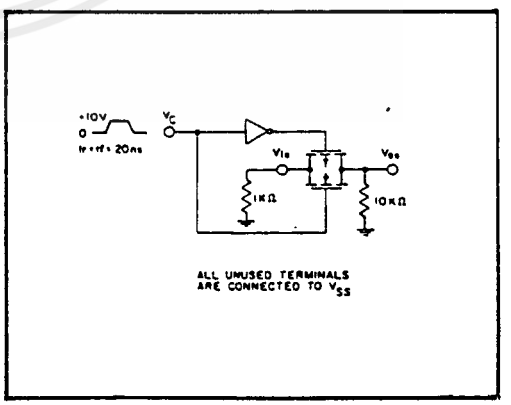
Typ. switch frequency response - switch "ON"



Typ. feedthru vs. freq. — switch "OFF"



Typ. crosstalk between switch circuits in the same package



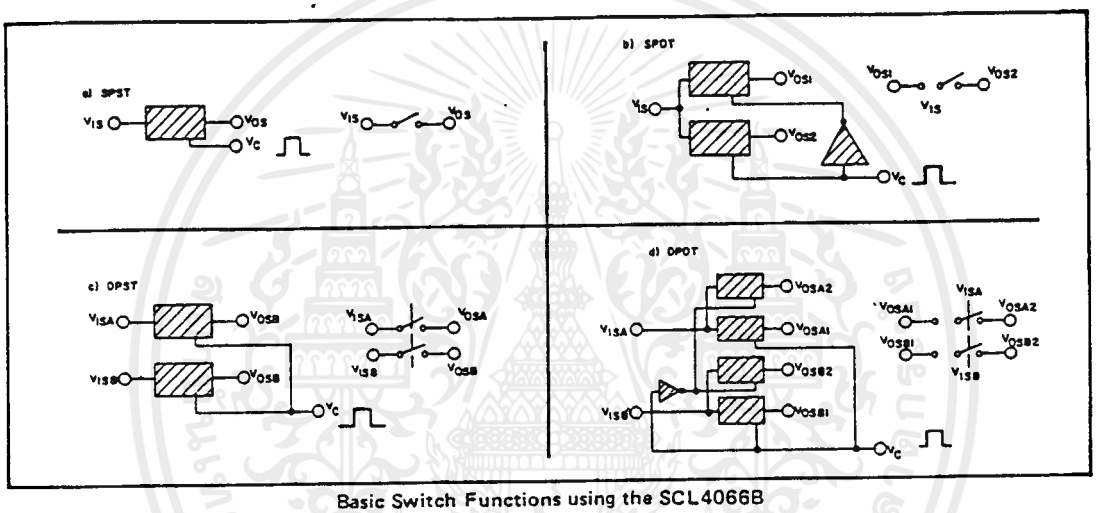
Test circuit, crosstalk-control input to signal output

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

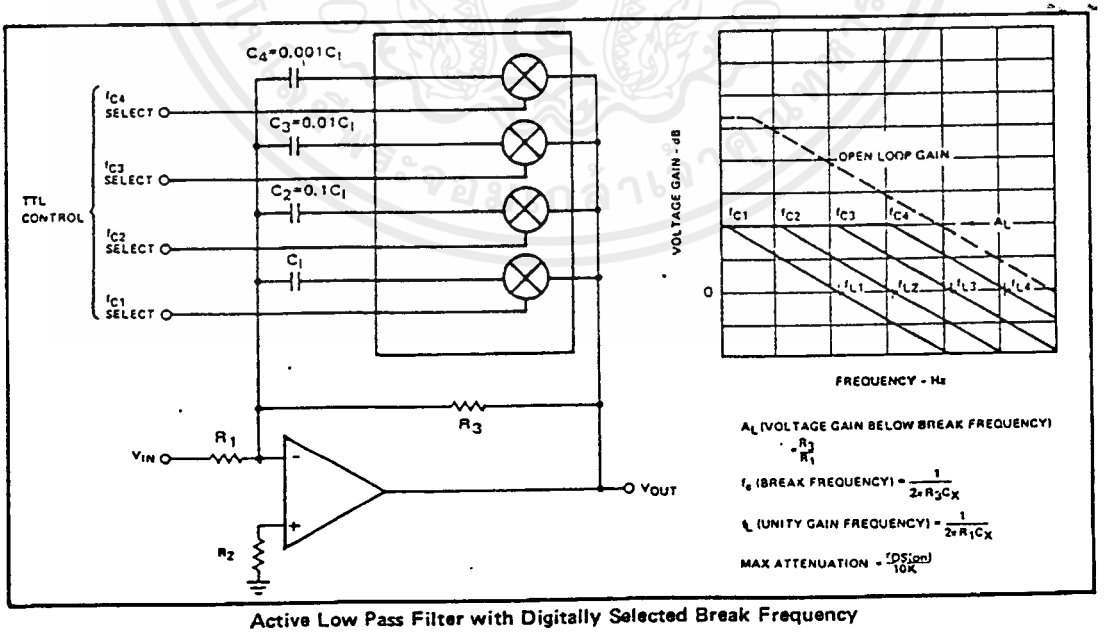
SPECIAL CONSIDERATIONS – SCL4066B

1. In applications where separate power sources are used to drive V_{DD} and the signal inputs, the V_{DD} current capability should exceed V_{DD}/R_L (R_L = effective external load of the 4 SCL4066B bilateral switches). This provision avoids any permanent current flow or clamp action on the V_{DD} supply when power is applied or removed from SCL4066B.
2. In certain applications, the external load-resistor current may include both V_{DD} and signal-line components. To avoid drawing V_{DD} current when switch current flows into terminals 1, 4, 8, or 11, the voltage drop across the bidirectional switch must not exceed 0.8 volt (calculated from R_{ON} values shown).
   No V_{DD} current will flow through R_L if the switch current flows into terminals 2, 3, 9, or 10. Failure to observe this condition may result in distortion of the signal.

APPLICATIONS INFORMATION



Basic Switch Functions using the SCL4066B



Active Low Pass Filter with Digitally Selected Break Frequency

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

National Semiconductor

LM567/LM567C Tone Decoder

General Description

The LM567 and LM567C are general purpose tone decoders designed to provide a saturated transistor switch to ground when an input signal is present within the passband. The circuit consists of an I and Q detector driven by a voltage controlled oscillator which determines the center frequency of the decoder. External components are used to independently set center frequency, bandwidth and output delay.

Features

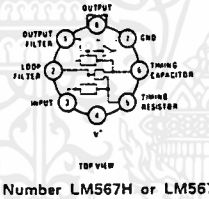
- 20 to 1 frequency range with an external resistor
- Logic compatible output with 100 mA current sinking capability
- Bandwidth adjustable from 0 to 14%
- High rejection of out of band signals and noise
- Immunity to false signals
- Highly stable center frequency
- Center frequency adjustable from 0.01 Hz to 500 kHz

Applications

- Touch tone decoding
- Precision oscillator
- Frequency monitoring and control
- Wide band FSK demodulation
- Ultrasonic controls
- Carrier current remote controls
- Communications paging decoders

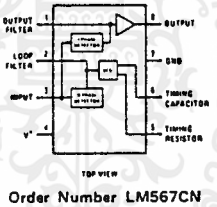
Schematic and Connection Diagrams

Metal Can Package

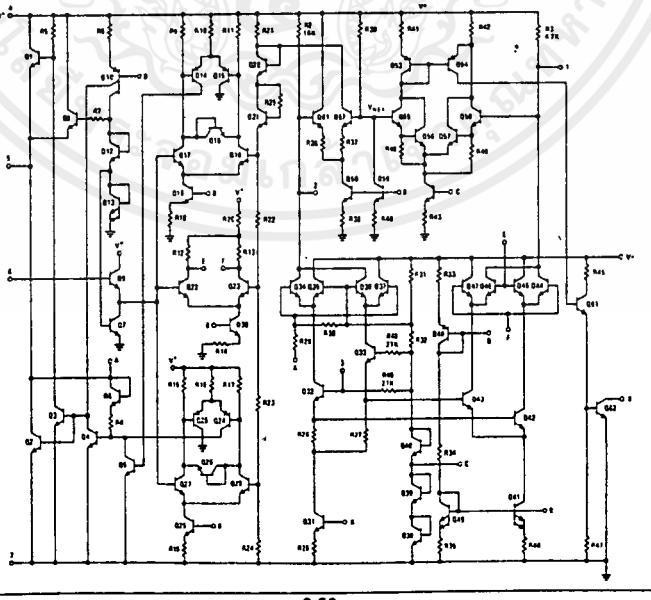


Order Number LM567H or LM567CH
See NS Package H08C

Dual-In-Line Package



Order Number LM567CN
See NS Package N08B



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Absolute Maximum Ratings

Supply Voltage Pin	10V
Power Dissipation (Note 1)	300 mW
V_8	15V
V_3	−10V
V_3	V_8 + 0.5V
Storage Temperature Range	−65°C to +150°C

Electrical Characteristics (AC Test Circuit, T_A = 25°C, V_C = 5V)

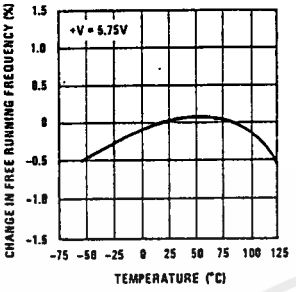
PARAMETERS	CONDITIONS	LM567			LM567C/LM567CN			UNITS
		MIN	TYP	MAX	MIN	TYP	MAX	
Power Supply Voltage Range		4.75	5.0	9.0	4.75	5.0	9.0	V
Power Supply Current	R_L = 20k							
Quiescent			6	8		7	10	mA
Power Supply Current	R_L = 20k							
Activated			11	13		12	15	mA
Input Resistance		18	20	22	15	20	25	kΩ
Smallest Detectable Input Voltage	I_L = 100 mA, $f_i = f_o$		20	25		20	25	mVrms
Largest No Output Input Voltage	I_C = 100 mA, $f_i = f_o$	10	15		10	15		mVrms
Largest Simultaneous Outband Signal to Inband Signal Ratio			6			6		dB
Minimum Input Signal to Wideband Noise Ratio	B_n = 140 kHz		-6			-6		dB
Largest Detection Bandwidth		12	14	16	10	14	18	% of f_o
Largest Detection Bandwidth Skew			1	2		2	3	% of f_o
Largest Detection Bandwidth Variation with Temperature			±0.1	0.25		±0.1	0.5	%/°C
Largest Detection Bandwidth Variation with Supply Voltage	4.75V – 6.75V		±1	±2		±1	±5	%V
Highest Center Frequency		100	500		100	500		kHz
Center Frequency Stability	$0 < T_A < 70$		35 ± 60			35 ± 60		ppm/°C
	$-55 < T_A < +125$		35 ± 140			35 ± 140		ppm/°C
Center Frequency Shift with Supply Voltage	4.75V – 6.75V		0.5	1.0		0.4	2.0	%/V
Fastest ON-OFF Cycling Rate			f_o/20			f_o/20		
Output Leakage Current	V_8 = 15V		0.01	25		0.01	25	μA
Output Saturation Voltage	e_i = 25 mV, I_8 = 30 mA		0.2	0.4		0.2	0.4	V
	e_i = 25 mV, I_8 = 100 mA		0.6	1.0		0.6	1.0	
Output Fall Time			30			30		ns
Output Rise Time			150			150		ns

Note 1: The maximum junction temperature of the LM567 is 150°C, while that of the LM567C and LM567CN is 100°C. For operating at elevated temperatures, devices in the TO-5 package must be derated based on a thermal resistance of 150°C/W, junction to ambient or 45°C/W, junction to case. For the DIP the device must be derated based on a thermal resistance of 187°C/W, junction to ambient.

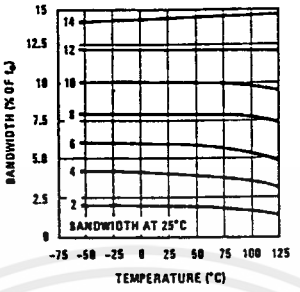
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Performance Characteristics

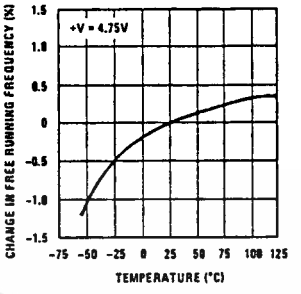
Typical Frequency Drift with Temperature (Mean and S.D.)



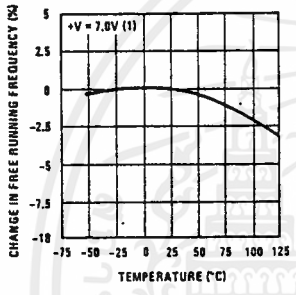
Typical Bandwidth Variation with Temperature



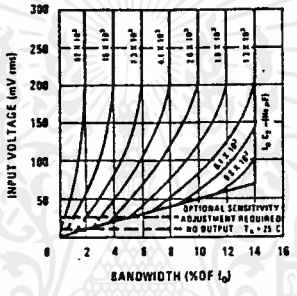
Typical Frequency Drift with (Mean and S.D.) Temperature



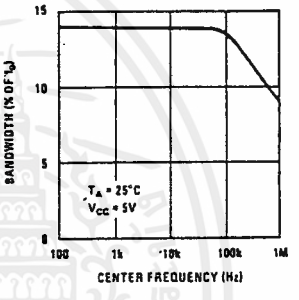
Typical Frequency Drift with Temperature (Mean and S.D.)



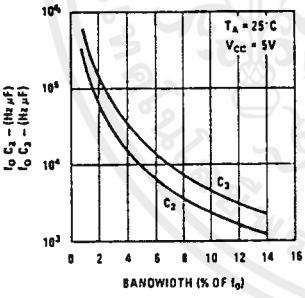
Bandwidth vs Input Signal Amplitude



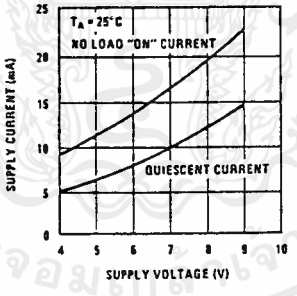
Largest Detection Bandwidth



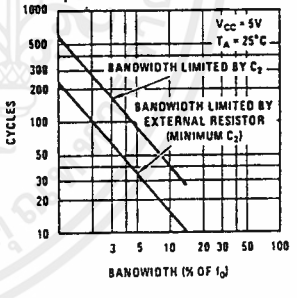
Detection Bandwidth as a Function of C_2 and C_3



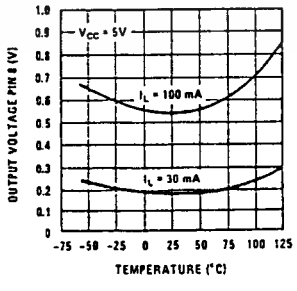
Typical Supply Current vs Supply Voltage



Greatest Number of Cycles Before Output



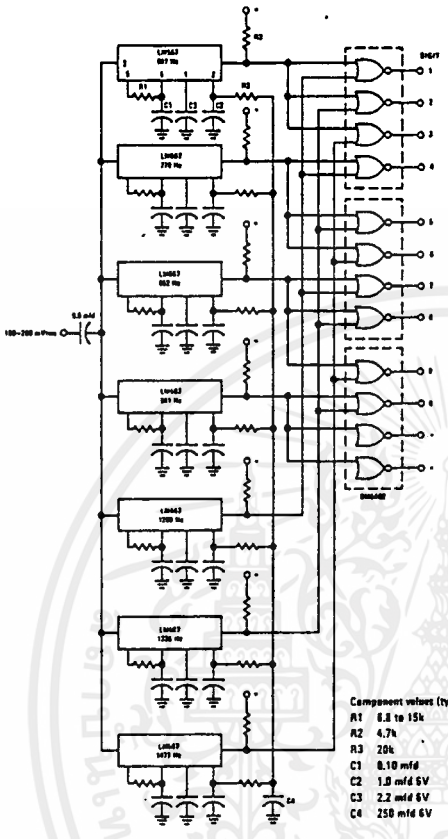
Typical Output Voltage vs Temperature



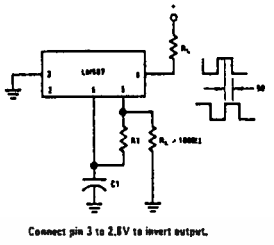
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Applications

Touch-Tone Decoder

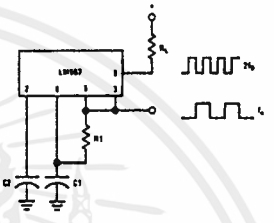


Oscillator with Quadrature Output

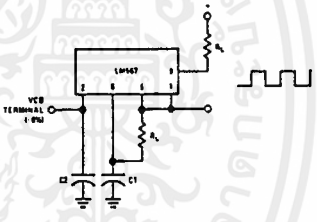


Connect pin 3 to 2.6V to invert output.

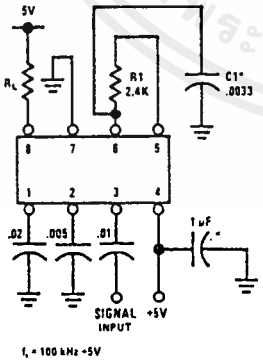
Oscillator with Double Frequency Output



Precision Oscillator Drive 100 mA Loads



AC Test Circuit



f_o = 100 kHz +5V

*Note: Adjust for f_o = 100 kHz.

Applications Information

The center frequency of the tone decoder is equal to the free running frequency of the VCO. This is given by

$$f_o \cong \frac{1}{1.1R_1C_1}$$

The bandwidth of the filter may be found from the approximation

$$BW = 1070\sqrt{\frac{V_i}{f_o C_2}} \quad \text{in \% of } f_o$$

Where:

V_i = Input voltage (volts rms), $V_i \leq 200$ mV

C_2 = Capacitance at Pin 2 (μF)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MITEL

ISO²-CMOS MT8870
Integrated DTMF Receiver

9161-002-031-NA ISSUE 2 January 1995

Features

- Complete DTMF receiver
- Low power consumption
- Internal gain setting amplifer
- Adjustable guard time
- Central Office Quality

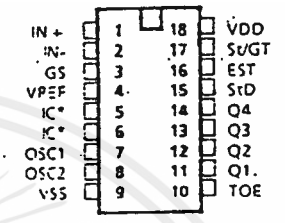
Applications

- Paging systems
- Repeater systems/mobile radio
- Credit card systems
- Remote Control
- Personal Computers

Description

The MT8870 is a complete DTMF receiver integrating both the bandsplit filter and digital decoder functions, fabricated in Mitel's double poly ISO²-CMOS technology. The filter section uses switched capacitor techniques for high and low group filters; the decoder uses digital counting techniques to detect and decode all 16 DTMF tone-pairs into a 4-bit code. External component count is minimized by on chip provision of a differential input amplifier, clock oscillator and latched 3-state bus interface.

Pin Connections



*connect to VSS

Ordering Information

MT8870BE 18 PIN PLASTIC
MT8870BC 18 PIN CERDIP

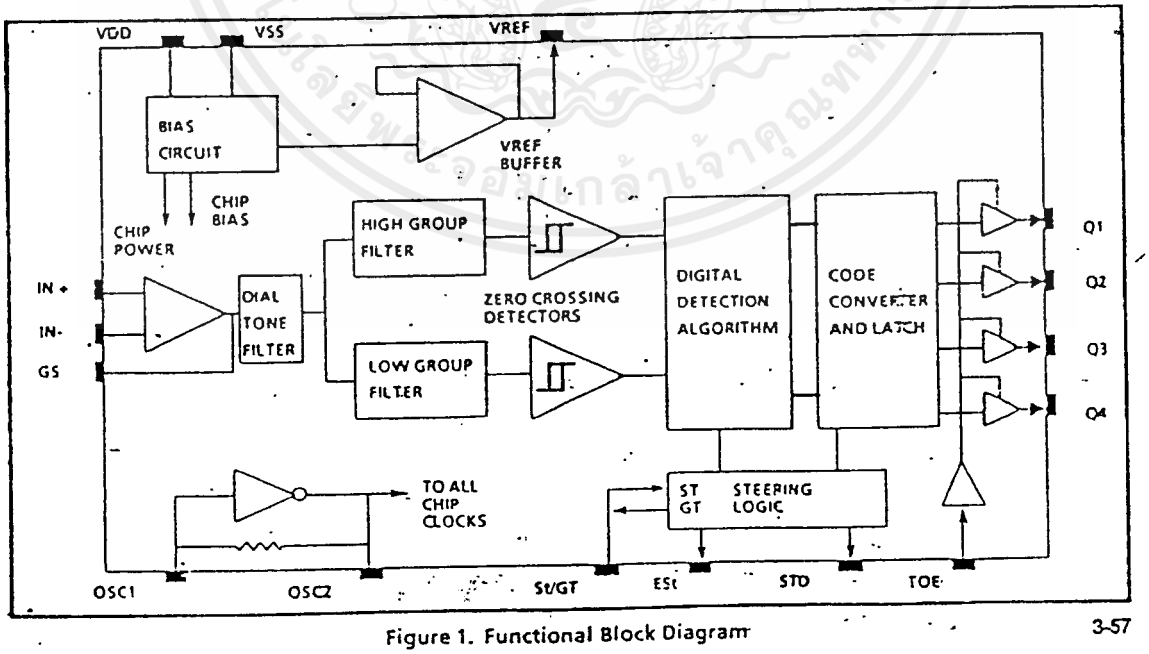


Figure 1. Functional Block Diagram

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Absolute Maximum Ratings†

	Parameter	Symbol	Min	Max	Units
1	Power supply voltage V_{DD}-V_{SS}			6	V
2	Voltage on any pin		V_{SS}-0.3	V_{DD} + 0.3	V
3	Current at any pin			10	mA
4	Operating temperature		-40	+ 85	°C
5	Storage temperature		-65	+ 150	°C
6	Package power dissipation			1000	mW

† Exceeding these values may cause permanent damage. Functional operation under these conditions is not implied.
Derate above 75 °C at 16 mW/°C. All leads soldered to board.

DC Electrical Characteristics

		Characteristics	Sym	Min	Typ‡	Max	Units	Test Conditions†
1	SUPPLY	Operating supply voltage		4.75	5.0	5.25	V	
2		Operating supply current	I_{DD}		3.0	9.0	mA	
3		Power consumption	P_D		15	45	mW	f = 3.58MHz; V_{DD} = 5V
4	INPUTS	High level input	V_{IH}	3.5			V	
5		Low level input voltage	V_{IL}			1.5	V	
6		Input leakage current	I_{IH}/I_{IL}		0.1		μA	V_{IN} = V_{SS} or V_{DD}
7		Pull up (source) current	I_{SO}		7.5	15	μA	TOE (pin 10) = 0V
8		Input impedance (IN+, IN-)	R_{IN}		10		MΩ	@ 1 kHz
9		Steering threshold voltage	V_{TS}	2.2		2.5	V	
10	OUTPUTS	Low level output voltage	V_{OL}			0.03	V	No load
11		High level output voltage	V_{OH}	4.97			V	No load
12		Output low (sink) current	I_{OL}	1	2.5		mA	V_{OUT} = 0.4V
13		Output high (source) current	I_{OH}	0.4	0.8		mA	V_{OUT} = 4.6V
14		V_{Ref} output voltage	V_{Ref}	2.4		2.8	V	No load
15		V_{Ref} output resistance	R_{OR}		10		KΩ	

‡ Typical figures are at 25 °C and are for design aid only: not guaranteed and not subject to production testing.
V_{DD} = 5V ± 5%, V_{SS} = 0V. Voltages are with respect to ground (V_{SS}) unless otherwise stated.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Operating Characteristics† - Voltages are with respect to ground (V_{SS}) unless otherwise stated.

Gain Setting Amplifier

	Characteristics	Sym	Min	Typ‡	Max	Units	Test Conditions
1	Input leakage current	I_{IN}		100		nA	$V_{SS} \le V_{IN} \le V_{DD}$
2	Input resistance	R_{IN}		10		MΩ	
3	Input offset voltage	V_{OS}		25		mV	
4	Power suply rejection	PSRR		60		dB	1 KHz
5	Common mode rejection	CMRR		60		dB	$-3.0V \le V_{IN} \le 3.0V$
6	DC open loop voltage gain	A_{VOL}		65		dB	
7	Open loop unity gain bandwidth	f_C		1.5		MHz	
8	Output voltage swing	V_O		4.5		V_{pp}	$R_L \ge 100K\Omega$ to V_{SS}
9	Maximum capacitive load (GS)	C_L		100		pF	
10	Maximum resistive load (GS)	R_L		50		KΩ	
11	Common mode range	V_{CM}		3.0		V_{pp}	No Load

† V_{DD} = 5 V, V_{SS} = 0 V, T_A = 25°C

‡ Typical figures are at 25°C and are for design aid only: not guaranteed and not subject to production testing.

AC Electrical Characteristics† - Voltages are with respect to ground (V_{SS}) unless otherwise stated

		Characteristics	Sym	Min	Typ‡	Max	Units	Notes
1	SIGNAL CONDITIONS	Valid input signal levels (each tone of composite signal)		-29			dBm	1,2,3,5,6,9
				27.5			mV_{RMS}	1,2,3,5,6,9
						+1	dBm	1,2,3,5,6,9
						883	mV_{RMS}	1,2,3,5,6,9
2		Positive twist accept			10		dB	2,3,6,9
3		Negative twist accept			10		dB	2,3,6,9
4		Freq. deviation accept		±1.5% ± 2Hz			Nom.	2,3,5,9
5		Freq. deviation reject		±3.5%			Nom.	2,3,5,9
6		Third tone tolerance			-16		dB	2,3,4,5,9,10
7		Noise tolerance			-12		dB	2,3,4,5,7,9,10
8		Dial tone tolerance			+22		dB	2,3,4,5,8,9,11

† V_{DD} = 5 V, V_{SS} = 0, T_A = 25°C and f_C = 3.579545 MHz using test circuit shown in Figure 2

NOTES

1. dBm = decibels above or below a reference power of 1 mW into a 600 ohm load.
2. Digit sequence consists of all DTMF tones
3. Tone duration = 40 ms, tone pause = 40 ms
4. Signal condition consists of nominal DTMF frequencies
5. Both tones in composite signal have an equal amplitude
6. Tone pair is deviated by ±1.5% ± 2Hz.
7. Bandwidth limited (3KHz) Gaussian noise
8. The precise dial tone frequencies are (350 Hz and 440 Hz) ± 2%.
9. For an error rate of better than 1 in 10,000.
10. Referenced to lowest level frequency component in DTMF signal
11. Referenced to the minimum valid accept level

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

AC Electrical Characteristics† - Voltages are with respect to ground (V_{SS}) unless otherwise stated

		Characteristics	Sym	Min	Typ‡	Max	Units	Test Conditions
1	TIMING	Tone present detect time	t_{DP}	5	11	14	ms	see Figure 3
2		Tone absent detect time	t_{DA}	0.5	4	8.5	ms	see Figure 3
3		Tone duration accept	t_{REC}			40	ms	User adjustable
4		Tone duration reject	$t_{\overline{REC}}$	20			ms	User adjustable
5		Interdigit pause accept	t_{ID}			40	ms	User adjustable
6		Interdigit pause reject	$t_{\overline{DO}}$	20			ms	User adjustable
7	OUTPUTS	Propagation delay (St to Q)	t_{PQ}		8	11	µs	TOE = V_{DD}
8		Propagation delay (St to StD)	t_{PStD}		12		µs	TOE = V_{DD}
9		Output data set up (Q to StD)	t_{QStD}		3.4		µs	TOE = V_{DD}
10		Propagation delay (TOE to Q ENABLE)	t_{PTE}		50		ns	RL = 10KΩ CL = 50 pF
11		Propagation delay (TOE to Q DISABLE)	t_{PTD}		300		ns	RL = 10KΩ CL = 50 pF
26	CLOCK	Crystal /clock frequency	f_C	3.5759	3.5795	3.5831	MHz	
27		Clock input rise time	t_{LHCL}			110	ns	Ext. clock
28		Clock input fall time	t_{HLCL}			110	ns	Ext. clock
29		Clock input duty cycle	DC_{CL}	40	50	60	%	Ext. clock
30		Capacitive load (OSC2)	C_{LO}			30	pF	

† V_{DD} = 5V, V_{SS} = 0V, T_A = 25°C and f_C = 3.579545 MHz, using test circuit in Figure 2.
‡ Typical figures are at 25°C and are for design aid only: not guaranteed and not subject to production testing.

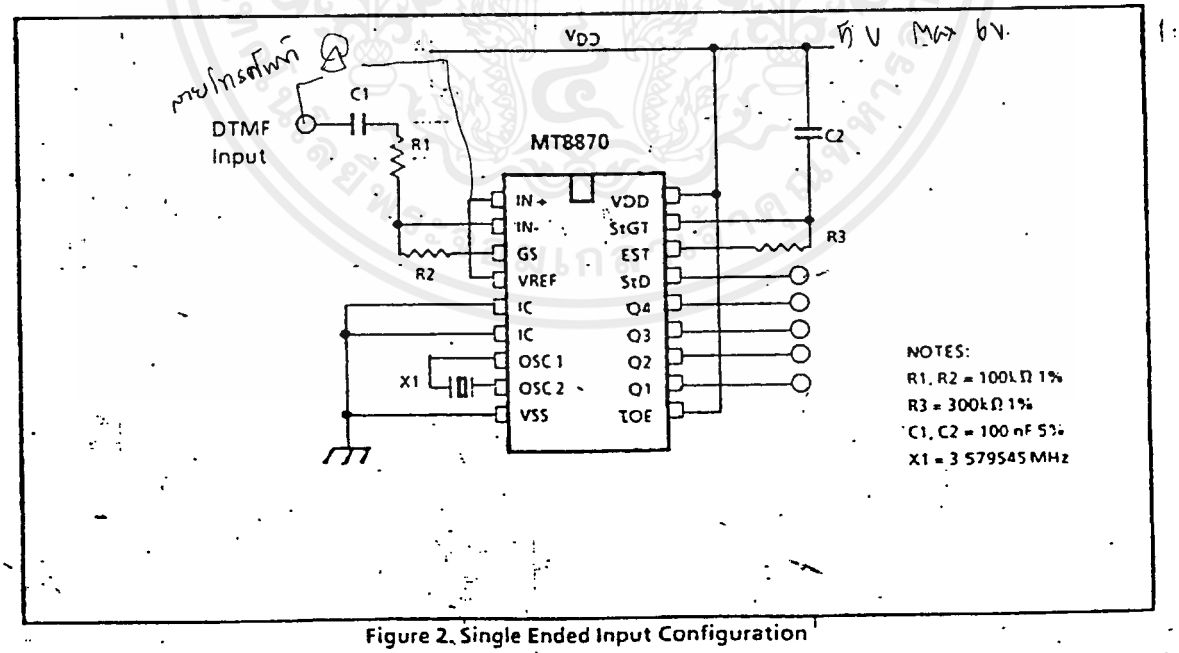
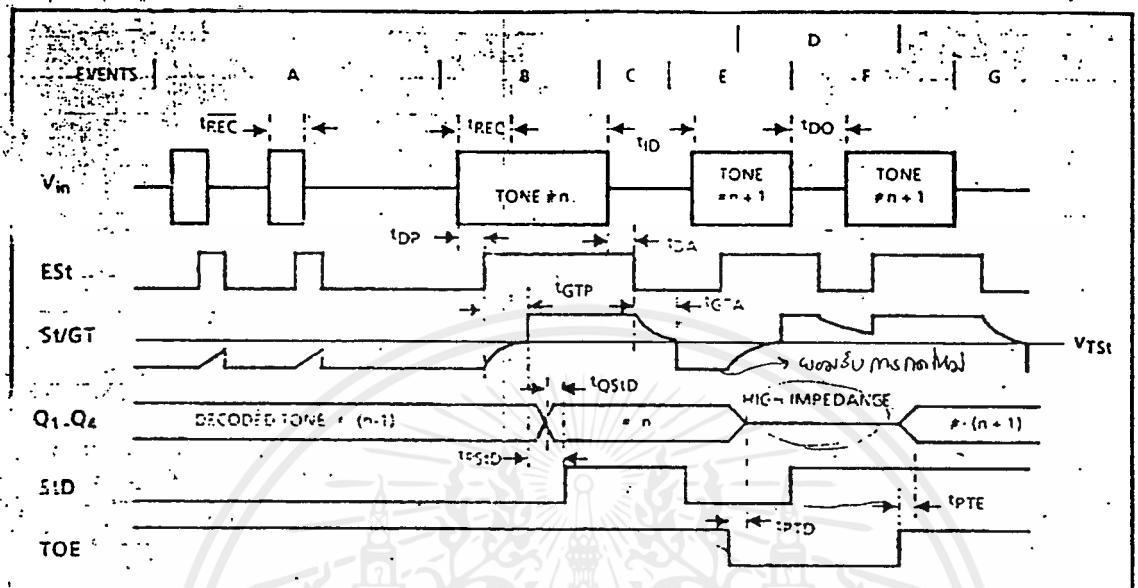


Figure 2. Single Ended Input Configuration

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



EXPLANATION OF EVENTS

A) TONE BURSTS DETECTED, TONE DURATION INVALID, OUTPUTS NOT UPDATED
B) TONE #n DETECTED, TONE DURATION VALID, TONE DECODED AND LATCHED IN OUTPUTS
C) END OF TONE #n DETECTED, TONE ABSENT DURATION VALID, OUTPUTS REMAIN LATCHED UNTIL NEXT VALID TONE
D) OUTPUTS SWITCHED TO HIGH IMPEDANCE STATE
E) TONE #n+1 DETECTED, TONE DURATION VALID, TONE DECODED AND LATCHED IN OUTPUTS (CURRENTLY HIGH IMPEDANCE)
F) ACCEPTABLE DROPOUT OF TONE #n+1, TONE ABSENT DURATION INVALID, OUTPUTS REMAIN LATCED
G) END OF TONE #n+1 DETECTED, TONE ABSENT DURATION VALID, OUTPUTS REMAIN LATCHED UNTIL NEXT VALID TONE

EXPLANATION OF SYMBOLS

V_{in}	DTMF COMPOSITE INPUT SIGNAL.
ESt	EARLY STEERING OUTPUT. INDICATES DECTECTION OF VALID TONE FREQUENCIES
St/GT	STEERING INPUT/GUARD TIME OUTPUT. DRIVES EXTERNAL RC TIMING CIRCUIT.
Q_1-Q_4	4-BIT DECODED TONE OUTPUT
StD	DELAYED STEERING OUTPUT. INDICTES THAT VALID FREQUENCIES HAVE BEEN PRESENT/ABSENT FOR THE REQUIRED GUARD TIME THUS CONSISTUTING A VALID SIGNAL.
TOE	TONE OUTPUT ENABLE (INPUT). A LOW LEVEL SHIFTS Q_1-Q_4 TO ITS HIGH IMPEDANCE STATE
$t_{\overline{REC}}$	MAXIMUM DTMF SIGNAL DURATION NOT DETECTED AS VALID
t_{REC}	MINIMUM DTMF SIGNAL DURATION REQUIRED FOR VALID RECOGNITION.
t_{ID}	MINIMUM TIME BETWEEN VALID DTMF SIGNALS
t_{DO}	MAXIMUM ALLOWABLE DROP OUT DURING VALID DTMF SIGNAL.
t_{DP}	TIME TO DETECT THE PRESENCE OF VALID DTMF SIGNALS
t_{DA}	TIME TO DETECT THE ABSENCE OF VALID DTMF SIGNALS.
t_{GTP}	GUARD TIME, TONE PRESENT
t_{GTA}	GUARD TIME, TONE ABSENT

Figure 3. Timing Diagram

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Pin Description

Pin #	Name	Description
1	IN +	Non-inverting op-amp input.
2	IN-	Inverting op-amp input.
3	GS	Gain select. Gives access to output of front end differential amplifier for connection of feedback resistor.
4	V_{REF}	Reference voltage output, nominally $V_{DD}/2$ is used to bias inputs at mid-rail (see Fig.2).
5	IC	Internal connection. Must be tied to V_{SS}.
6	IC	Internal connection. Must be tied to V_{SS}.
7	OSC1	Clock input.
8	OSC2	Clock output. A 3.5795 MHz crystal connected between OSC1 and OSC2 completes the internal oscillator circuit.
9	V_{SS}	Negative power supply input.
10	TOE	3- state output enable (input). Logic high enables the outputs Q1-Q4. Internal pull up.
11-14	Q1-Q4	3-state data outputs. When enabled by TOE, provide the code corresponding to the last valid tone-pair received (see Fig. 5).
15	StD	Delayed steering output. Presents a logic high when a received tone-pair has been registered and the output latch updated; returns to logic low when the voltage on St/Gt falls below V_{TSt}.
16	ESt	Early steering output. Presents a logic high once the digital algorithm has detected a valid tone pair (signal condition). Any momentary loss of signal condition will cause ESt to return to a logic low.
19	St/GT	Steering input/guard time output (bi-directional). A voltage greater than V_{TSt} applied to St causes the device to register the detected tone pair and update the output latch. A voltage less than V_{TSt} frees the device to accept a new tone pair. The GT output acts to reset the external steering time-constant; its state is a function of ESt and the voltage on St.
18	V_{DD}	Positive power supply input.

St/GT → > V_{TSt} ทำนายที่ปลดกัน
< V_{TSt}

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Functional Description

The MT8870 monolithic DTMF receiver offers small size, low power consumption and high performance. Its architecture consists of a bandsplit filter section, which seperates the high and low group tones, followed by a digital counting section which verifies the frequency and duration of the received tones before passing the corresponding code to the output bus.

Filter Section

Seperation of the low-group and high group tones is achieved by applying the DTMF signal to the inputs of two sixth-order switched capacitor band pass filters, the band-widths of which correspond to the low and high group frequencies. The filter section also incorporates notches at 350 and 440 Hz for exceptional dial tone rejection (see Fig. 4). Each filter output is followed by a single order switched capacitor filter section which smooths the signals prior to limiting. Limiting is performed by high-gain comparators which are provided with hysteresis to prevent detection of unwanted low-level signals. The outputs of the comparators provide full rail logic swings at the frequencies of the incoming DTMF signals.

Decoder Section

Following the filter section is a decoder employing digital counting techniques to determine the frequencies of the incoming tones and to verify that they correspond to standard DTMF frequencies. A complex averaging algorithm protects against tone simulation by extraneous signals such as voice while providing tolerance to small frequency deviations and variations. This averaging algorithm has been developed to ensure an optimum combination of immunity to talk-off and tolerance to the presence of interfering frequencies (third tones) and noise. When the detector recognizes the presence of two valid tones (this is referred to as the "signal condition" in some industry specifications) the "Early Steering" (ESt) output will go to an active state. Any subsequent loss of signal condition will cause ESt to assume an inactive state (see "Steering Circuit").

Steering Circuit

Before registration of a decoded tone pair, the receiver checks for a valid signal duration (referred to as character recognition condition). This check is performed by an external RC time constant driven by ESt. A logic high on ESt causes v_c (see Fig. 6) to rise as the capacitor discharges.

Provided signal condition is maintained (ESt remains high) for the validation period (t_{GTP}), v_c reaches the threshold (V_{TSt}) of the steering logic to register the tone pair, latching its corresponding 4-bit code (see Fig. 5) into the output latch. At this point the GT output is activated and drives v_c to VDD. GT continues to drive high as long as ESt remains high. Finally, after a short delay to allow the output latch to settle, the delayed steering output flag (StD) goes high, signalling that a received tone pair has been registered. The contents of the output latch are made available on the 4-bit output bus by raising the three state control input (TOE) to a logic high. The steering circuit works in reverse to

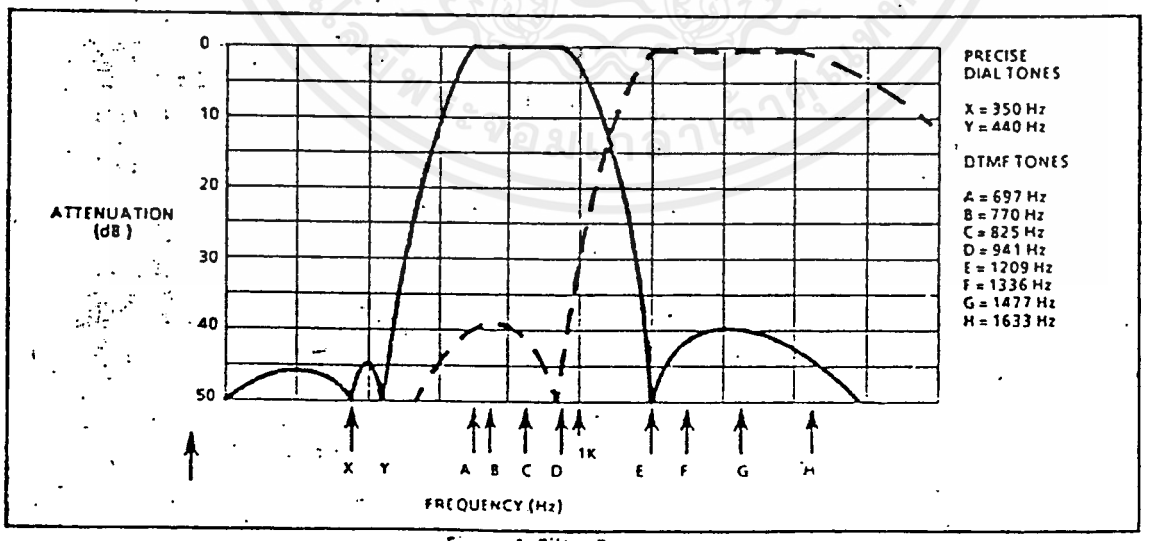


Figure 4. Filter Response

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

F_{LOW}	F_{HIGH}	NO	TOE	Q_4	Q_3	Q_2	Q_1
697	1209	1	H	0	0	0	1
697	1336	2	H	0	0	1	0
697	1477	3	H	0	0	1	1
770	1209	4	H	0	1	0	0
770	1336	5	H	0	1	0	1
770	1477	6	H	0	1	1	0
852	1209	7	H	0	1	1	1
852	1336	8	H	1	0	0	0
852	1477	9	H	1	0	0	1
941	1336	0	H	1	0	1	0
941	1209	*	H	1	0	1	1
941	1477	#	H	1	1	0	0
697	1633	A	H	1	1	0	1
770	1633	B	H	1	1	1	0
852	1633	C	H	1	1	1	1
941	1633	D	H	0	0	0	0
-	-	ANY	L	Z	Z	Z	Z

L = LOGIC LOW, H = LOGIC HIGH, Z = HIGH IMPEDANCE

Figure 5. Functional Decode Table

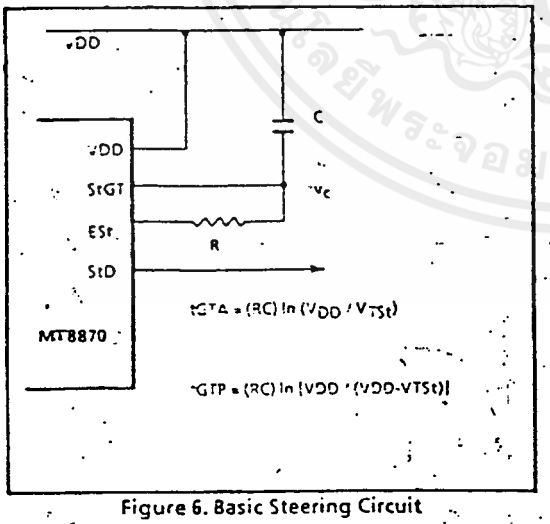


Figure 6. Basic Steering Circuit

validate the interdigit pause between signals. Thus, as well as rejecting signals too short too be considered valid, the receiver will tolerate signal interruptions (drop out) too short to be considered a valid pause. This facility, together with the capability of selecting the steering time constants externally, allows the designer to tailor performance to meet a wide variety of system requirements.

Guard Time Adjustment

In many situations not requiring selection of tone duration and interdigital pause, the simple steering circuit shown in Fig. 6 is applicable. Component values are chosen according to the formula:

$$t_{REC} = t_{DP} + t_{GTP}$$
$$t_{ID} = t_{DA} + t_{GTA}$$

The value of t_{DP} is a device parameter (see table) and t_{REC} is the minimum signal duration to be recognized by the receiver. A value for C of 0.1 μF is recommended for most applications, leaving R to be selected by the designer.

Different steering arrangements may be used to select independantly the guard times for tone present (t_{GTP}) and tone absent (t_{GTA}). This may be necessary to meet system specifications which place both accept and reject limits on both tone duration and interdigital pause. Guard time adjustment also allows the designer to tailor system parameters such as talk off and noise immunity. Increasing t_{REC} improves talk-off performance since it reduces the probability that tones simulated by speech will maintain signal condition long enough to be registered. Alternatively, a relatively short t_{REC} with a long t_{DO} would be appropriate for extremely noisy environments where fast acquisition time and immunity to tone drop-outs are required. Design information for guard time adjustment is shown in Figure 7.

Differential Input Configuration

The input arrangement of the MT8870 provides a differential-input operational amplifier as well as a bias source(V_{Ref}) which is used to bias the inputs at mid-rail. Provision is made for connection of a feedback resistor to the op-amp output (GS) for adjustment of gain. In a single-ended configuration, the input pins are connected as shown in Fig. 2 with the op-amp connected for unity gain and V_{Ref} biasing the input at $\frac{1}{2}V_{DD}$. Fig. 8 shows the differential configuration, which permits the

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

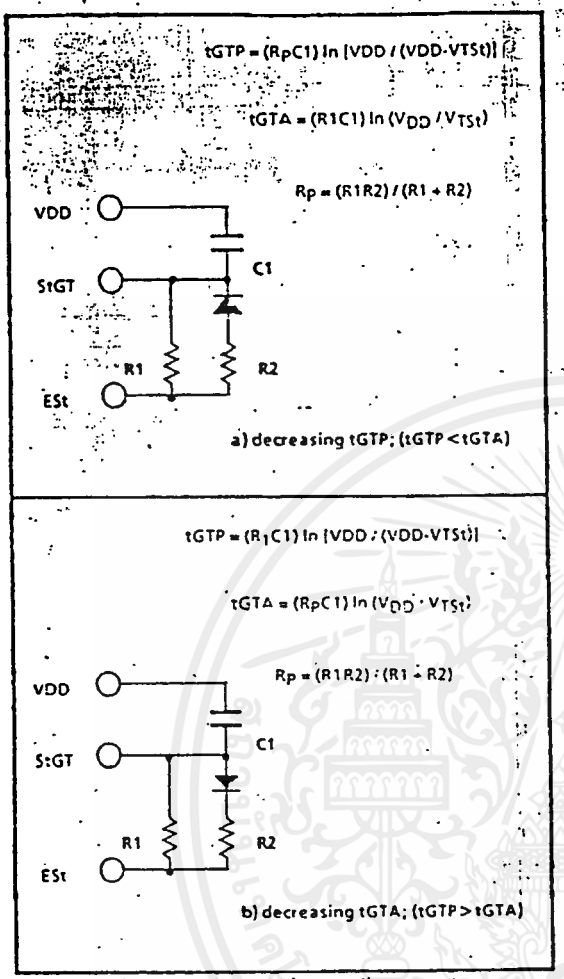


Figure 7. Guard Time Adjustment

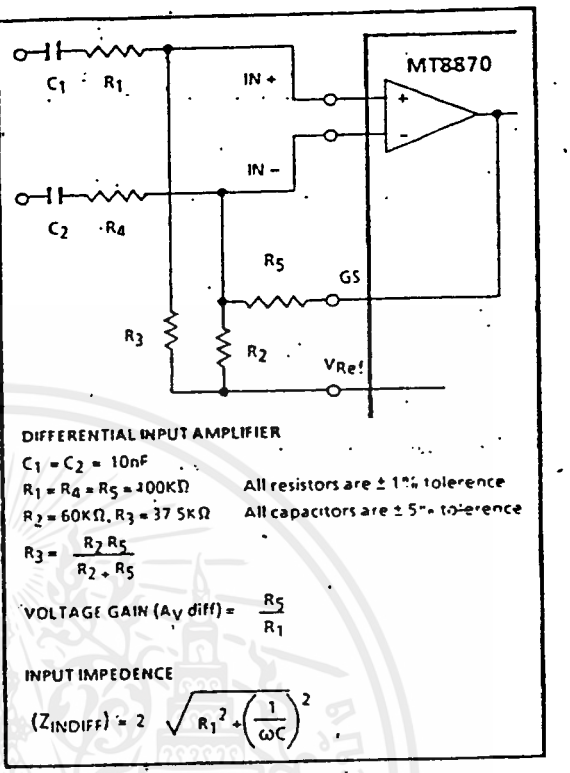


Figure 8. Differential Input Configuration

adjustment of gain with the feedback resistor R_5.

Crystal Oscillator

The internal clock circuit is completed with the addition of an external 3.58 MHz crystal and is normally connected as shown in Figure 2 (Single Ended Input Configuration). However, it is possible to configure several MT8870 devices employing only a single oscillator crystal. The oscillator output of the first device in the chain is coupled through a 30 pF capacitor to the oscillator input (OSC1) of the next device. Subsequent devices are connected in a similar fashion. Refer to Fig. 9 for details. The problems associated with unbalanced loading are not a concern with the arrangement shown, ie; precision balancing capacitors are not required.

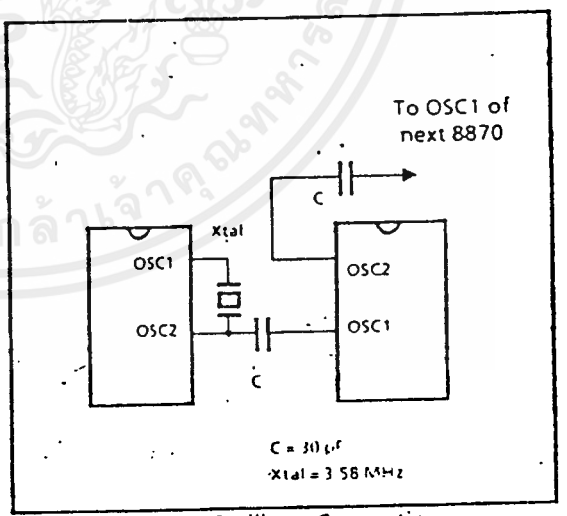


Figure 9. Oscillator Connection

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

UM95087

Tone Dialer

Features

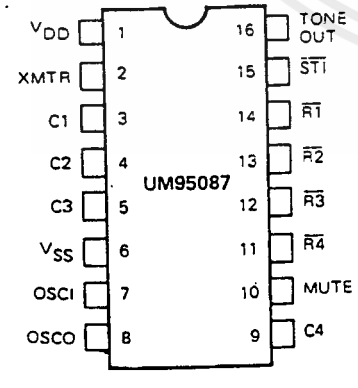
- Direct replacement for Mostek MK5087
- Operating voltage range: 3.5 to 10.0 Volts
- Uses TV crystal standard (3.58 MHz) to derive all frequencies thus providing very high accuracy and stability
- On-chip regulation of dual and single tone amplitudes
- Auxiliary switching functions on-chip
- Mute driver on-chip
- Minimum external parts count
- Multiple key entry pin-selectable to either single tone or no tone

General Description

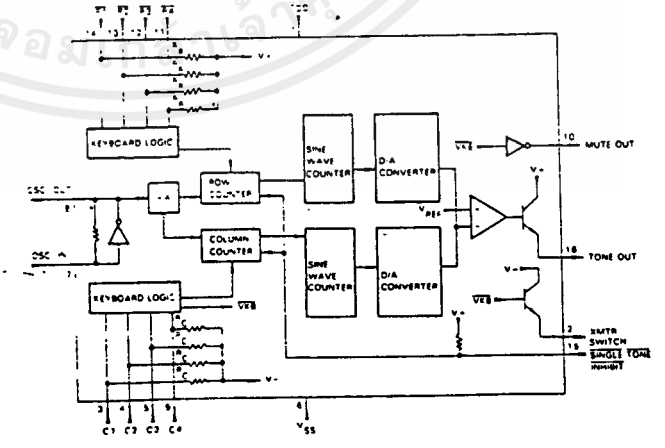
The UM95087 is a monolithic CMOS integrated circuit designed for Dual-Tone-Multi-Frequency (DTMF) telephone dialing.

The UM95087 was designed specifically for the performance: single contact static keyboard inputs; single tone inhibit (STI) option; wide supply voltage operation with regulated output. And the UM95087 provides good performance for low output tone distortion: T.H.D. < −20dB.

Pin Configuration



Block Diagram



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Absolute Maximum Ratings*

DC Supply Voltage ($V_{DD} - V_{SS}$) . . −0.3V to +10.0V
Operating Temperature (T_{OP}) . . . . . −30°C to +60°C
Storage Temperature (T_{STG}) . . . . . −55°C to +150°C
Applied Voltage On Any Pin
(V_{IN}) . . . . . V_{SS} −0.3 ≤ V_{IN} ≤ V_{DD} +0.3
Power Dissipation at 25°C . . . . . 500 mW

*Comments

Stresses above those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. This is a stress rating only and functional operation of the device at these or any other conditions above those indicated in the operational sections of this specification is not implied.

Electrical Characteristics

(Specification apply over the operating temperature and 3.5V ≤ V_{DD} to V_{SS} ≤ 10.0V unless otherwise specified.)

Parameter	Symbol	Min.	Typ.	Max.	Units	Conditions	
Operating Voltage	V_{DD}	3.5		10.0	V		
Standby Current	I_{DD}		0.25	100	μA	V_{DD} = 3.5V	All outputs unloaded, Oscillator not running.
	I_{DD}		0.5	200	μA	V_{DD} = 10.0V	
Operating Current	I_{DD}		1.0	2.0	mA	V_{DD} = 3.5V	All outputs unloaded, Oscillator running.
	I_{DD}		5.0	10.0	mA	V_{DD} = 10.0V	
Row Tone Output	V_R	317	400	504	mVrms	3.5V ≤ V_{DD} ≤ 10.0V, R_L = 1KΩ, @25°C	
Column Tone Output	V_C	396	500	630	mVrms		
Tone Output External Load Impedance	R_L	620			Ω	V_{DD} = 3.5V	
		330			Ω	V_{DD} = 10.0V	
XMTR Output Current	I_{OHX}	−15	−25		mA	V_{DD} = 3.5V, V_{OHX} = 2.5V, No key entry	
	I_{OHX}	−50	−100		mA	V_{DD} = 10.0V, V_{OHX} = 8.0V, No key entry	
	I_{OLX}		0.1	10.0	μA	V_{DD} = 10.0V, V_{OLX} = 0.0V, With key entry	
Mute Output Current	I_{OLM}	0.5	2.0		mA	V_{DD} = 3.5V	V_{OLM} = 0.5V, No key entry
	I_{OLM}	1.0	4.0		mA	V_{DD} = 10.0V	
	I_{OHM}	−0.5	−2.0		mA	V_{DD} = 3.5V, V_{OHM} = 3.0V, With key entry	
	I_{OHM}	−1.0	−4.0		mA	V_{DD} = 10.0V, V_{OHM} = 9.5V, With key entry	
$\overline{STI}$ Input Resistance	R_{IN}	20		100	kΩ	@25°C	
Tone Output Rise Time	t_r		3.0	5.0	ms		
Column to Row Pre-Emphasis		1.0	2.0	3.0	dB		
Tone Output Distortion	T.H.D.			−20	dB		
Input High Voltage	V_{IH}	0.7 V_{DD}		V_{DD}	V		
Input Low Voltage	V_{IL}	V_{SS}		0.3 V_{DD}	V		

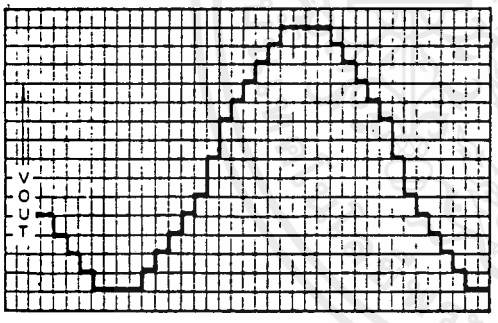
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Table 1: Comparisons of Specified vs Actual Tone Frequencies Generated by UM95087

Active Input	Output Frequency (Hz)		% Error*
	Specified	Actual	
R1	697	699.1	+0.30
R2	770	766.2	−0.49
R3	852	847.4	−0.54
R4	941	948.0	+0.74
C1	1,209	1,215.9	+0.57
C2	1,336	1,331.7	−0.32
C3	1,477	1,471.9	−0.35
C4	1,633	1,645.0	+0.73

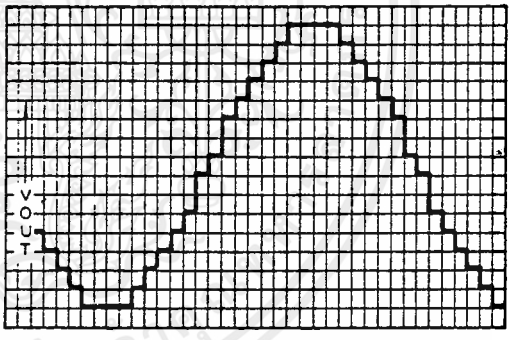
* % Error does not include oscillator drift.

Row 2 tone output



TIME → 44.7 μs/div.

Column 4 tone output



TIME → 19 μs/div.

Fig 1: Single Tone Output Waveform

Crystal Specification

A standard television color burst crystal is specified to have much tighter tolerance than necessary for tone generation application. By relaxing the tolerance specification is as follows:

Frequency: 3.58 MHz ±0.02%

$R_S \leq 100\Omega$, $L_M = 96mH$, $C_M = 0.25pF$, $C_H = 5pF$, $C_L = 18pF$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

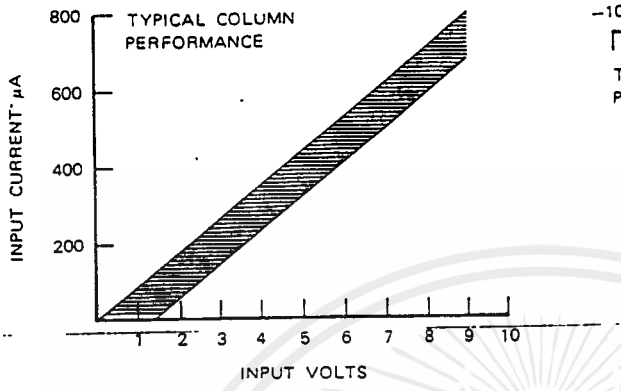


Fig 2a: Typical Input Operating Conditions for Pins 3, 4, 5, and 9 with Voltage Reference V_{SS} @ 25°C.

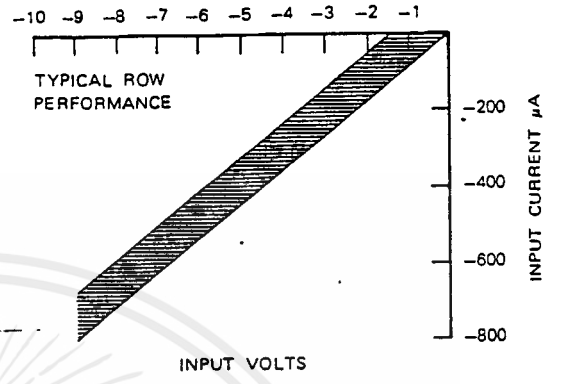


Fig 2b: Typical Input Operating Conditions for Pins 11, 12, 13, & 14 with Voltage Reference V_{DD} @ 25°C.

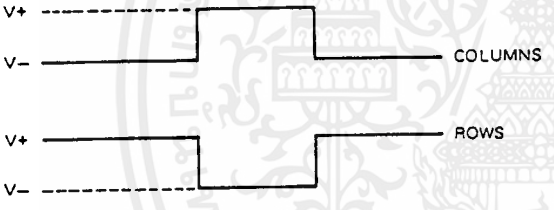


Fig 3: Electronic Input

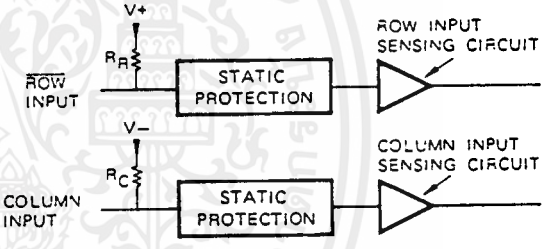


Fig 4: Row and Column Inputs

Pin Description

Keyboard (R1, R2, R3, R4, C1, C2, C3, C4)

The UM95087 features inputs compatible with the standard 2-of-8 keyboard, the inexpensive single-contact (Form A) keyboard, and electronic input (as shown in Fig. 3). The inputs are static (as shown in Fig. 4) i.e. there is no noise generation as occurs with scanned or dynamic inputs. When operating with a keyboard, normal operation is for dual tone generation when any single button is pushed, and single tone operation when two or more buttons in the same row or column are pushed. Activation of diagonal buttons will result in no tone being generated.

When the inputs to the UM95087 are electronically activated, input to a single row and column will result in that dual tone digit's being generated. Input to a single column will result in that column tone being generated. Input to multiple columns will result in no tone being generated. Activation of a single row is not sensed by the internal circuit of the UM95087. If a single row tone is desired, two columns must be activated along with the desired row.

Oscillator (OSCI, OSCO)

The UM95087 contains an on-chip inverter with sufficient loop-gain to provide oscillation when working with a low cost television color-burst crystal. The circuit is designed to work with a crystal cut to 3.58 MHz to give the frequencies in Table 1. The oscillator is disabled whenever a key board input is not sensed.

Any crystal frequency deviation from 3.579545 MHz will be reflected in the tone output frequency. Most crystals do not vary more than ± .02%.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

XMTR Switch (XMTR)

This pin is connected to the emitter of an on-chip bipolar transistor whose collector is connected to V_{DD}. With no keyboard input this transistor is turned on and pulls this pin up to within V_{BE} of the V_{DD} supply. When a keyboard entry is sensed, this output goes open circuit (high impedance). The XMTR switch output switches regardless of the state of the $\overline{STI}$ pin input.

Mute Output (MUTE)

The MUTE output is a conventional CMOS gate that pulls to V_{SS} with no keyboard input and pulls to V_{DD} supply when a keyboard entry is sensed. This output is used to control auxiliary switching functions that are required to actuate upon keyboard input. The MUTE output switches regardless of the state of $\overline{STI}$ pin input.

Single Tone Inhibit ($\overline{STI}$)

The $\overline{STI}$ input is used to inhibit the generation of other than dual tones. It has a pullup to the V_{DD} and when left floating or tied to V_{DD}, single or dual tones may be generated. When forced to the V_{SS}, any input situation that would normally result in a single tone will now result in no tone, with all other chip functions operating normally.

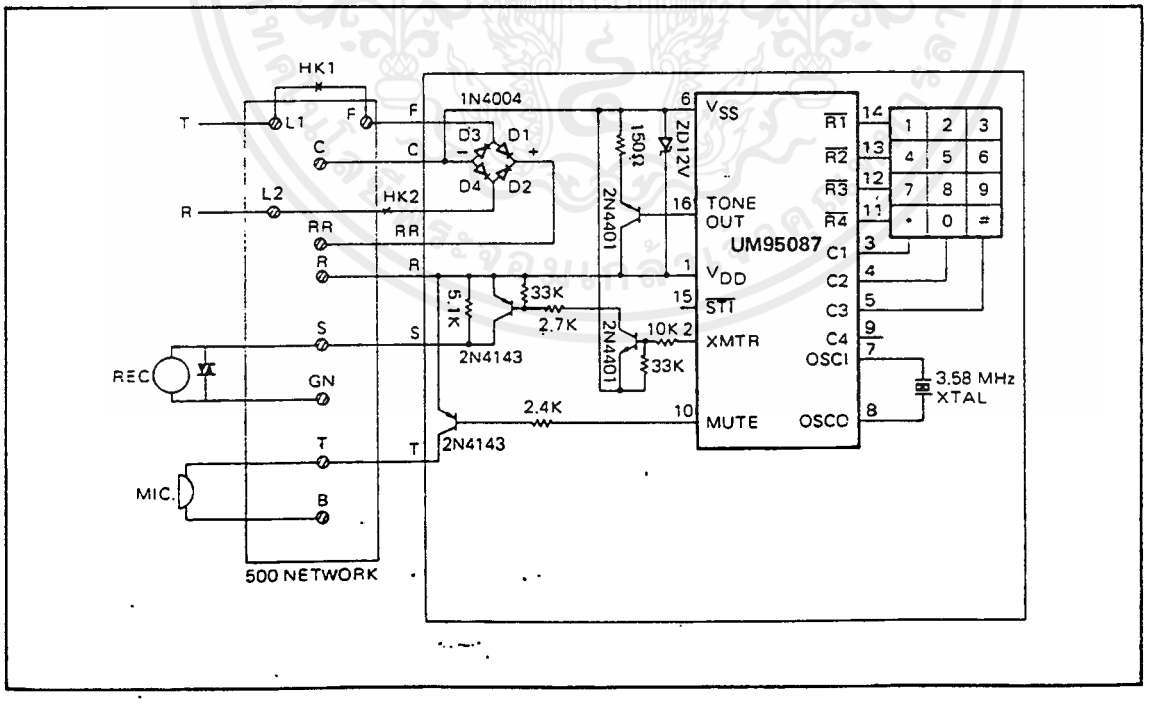
Tone Out (TONE OUT)

The TONE OUT is connected internally in the UM95087 to the emitter of an NPN transistor is the on-chip operational amplifier which mixes the row and column tones together. The row and column output waveforms are shown in Fig 2a, Fig 2b. These waveforms are digitally-synthesized using on-chip D to A converters. For the UM95087 dual tone waveform, T.H.D. is –20dB maximum.

Power (V_{DD}, V_{SS})

These are the power supply inputs. The UM95087 is designed to operate from 3.5 to 10.0 volts.

UM95087 Tone Generator Interface Circuit



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

National Semiconductor

Operational Amplifiers/Buffers

LM741/LM741A/LM741C/LM741E Operational Amplifier

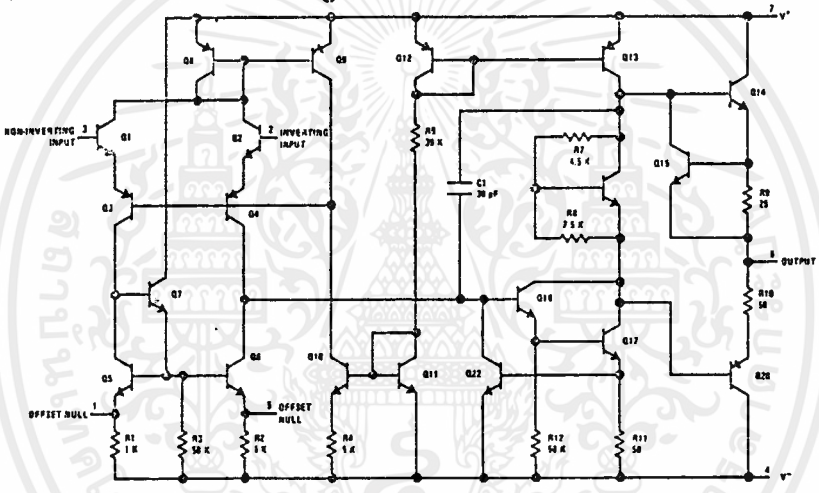
General Description

The LM741 series are general purpose operational amplifiers which feature improved performance over industry standards like the LM709. They are direct, plug-in replacements for the 709C, LM201, MC1439 and 748 in most applications.

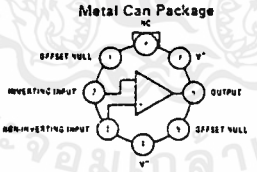
The amplifiers offer many features which make their application nearly foolproof: overload protection on the input and output, no latch-up when the common mode range is exceeded, as well as freedom from oscillations.

The LM741C/LM741E are identical to the LM741/LM741A except that the LM741C/LM741E have their performance guaranteed over a 0°C to +70°C temperature range, instead of −55°C to +125°C.

Schematic and Connection Diagrams (Top Views)

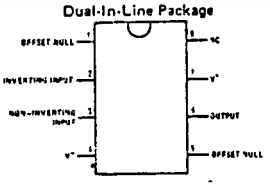


Metal Can Package



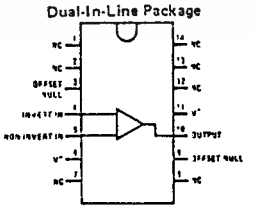
Order Number LM741H, LM741AH, LM741CH or LM741EH
See NS Package H08C

Dual-In-Line Package



Order Number LM741CN or LM741EN
See NS Package N08B
Order Number LM741CJ
See NS Package J08A

Dual-In-Line Package



Order Number LM741CN-14
See NS Package N14A
Order Number LM741J-14, LM741AJ-14 or LM741CJ-14
See NS Package J14A

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Absolute Maximum Ratings

	LM741A	LM741E	LM741	LM741C
Supply Voltage	±22V	±22V	±22V	±18V
Power Dissipation (Note 1)	500 mW	500 mW	500 mW	500 mW
Differential Input Voltage	±30V	±30V	±30V	±30V
Input Voltage (Note 2)	±15V	±15V	±15V	±15V
Output Short Circuit Duration	Indefinite	Indefinite	Indefinite	Indefinite
Operating Temperature Range	−55°C to +125°C	0°C to +70°C	−55°C to +125°C	0°C to +70°C
Storage Temperature Range	−65°C to +150°C	−65°C to +150°C	−65°C to +150°C	−65°C to +150°C
Lead Temperature (Soldering, 10 seconds)	300°C	300°C	300°C	300°C

Electrical Characteristics (Note 3)

PARAMETER	CONDITIONS	LM741A/LM741E			LM741			LM741C			UNITS
		MIN	TYP	MAX	MIN	TYP	MAX	MIN	TYP	MAX	
Input Offset Voltage	$T_A = 25°C$					1.0	5.0		2.0	6.0	mV
	$R_S \leq 10\ k\Omega$		0.8	3.0							mV
	$R_S \leq 50\Omega$										
	$T_{AMIN} \leq T_A \leq T_{AMAX}$			4.0			6.0			7.5	mV
	$R_S \leq 50\Omega$										mV
	$R_S \leq 10\ k\Omega$			15							μV/°C
Average Input Offset Voltage Drift											
Input Offset Voltage Adjustment Range	$T_A = 25°C$, $V_S = \pm 20V$	±10				±15			±15		mV
Input Offset Current	$T_A = 25°C$		3.0	30		20	200		20	200	nA
	$T_{AMIN} \leq T_A \leq T_{AMAX}$			70		85	500			300	nA
Average Input Offset Current Drift				0.5							nA/°C
Input Bias Current	$T_A = 25°C$		30	80		80	500		80	500	nA
	$T_{AMIN} \leq T_A \leq T_{AMAX}$			0.210			1.5			0.8	μA
Input Resistance	$T_A = 25°C$, $V_S = \pm 20V$	1.0	6.0		0.3	2.0		0.3	2.0		MΩ
	$T_{AMIN} \leq T_A \leq T_{AMAX}$, $V_S = \pm 20V$	0.5									MΩ
Input Voltage Range	$T_A = 25°C$							±12	±13		V
	$T_{AMIN} \leq T_A \leq T_{AMAX}$				±12	±13					V
Large Signal Voltage Gain	$T_A = 25°C$, $R_L \geq 2\ k\Omega$										V/mV
	$V_S = \pm 20V$, $V_O = \pm 15V$	50									V/mV
	$V_S = \pm 15V$, $V_O = \pm 10V$				50	200		20	200		
	$T_{AMIN} \leq T_A \leq T_{AMAX}$, $R_L \geq 2\ k\Omega$,										V/mV
	$V_S = \pm 20V$, $V_O = \pm 15V$	32									V/mV
	$V_S = \pm 15V$, $V_O = \pm 10V$				25			15			V/mV
	$V_S = \pm 5V$, $V_O = \pm 2V$	10									
Output Voltage Swing	$V_S = \pm 20V$										V
	$R_L \geq 10\ k\Omega$	±16									V
	$R_L \geq 2\ k\Omega$	±15									
	$V_S = \pm 15V$										
	$R_L \geq 10\ k\Omega$				±12	±14		±12	±14		V
	$R_L \geq 2\ k\Omega$				±10	±13		±10	±13		V
Output Short Circuit Current	$T_A = 25°C$	10	25	35		25			25		mA
	$T_{AMIN} < T_A \leq T_{AMAX}$	10		40							mA
Common-Mode Rejection Ratio	$T_{AMIN} \leq T_A \leq T_{AMAX}$										
	$R_S \leq 10\ k\Omega$, $V_{CM} = \pm 12V$				70	90		70	90		dB
	$R_S \leq 50\ k\Omega$, $V_{CM} = \pm 12V$	80	95								dB

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Electrical Characteristics (Continued)

PARAMETER	CONDITIONS	LM741A/LM741E			LM741			LM741C			UNITS
		MIN	TYP	MAX	MIN	TYP	MAX	MIN	TYP	MAX	
Supply Voltage Rejection Ratio	$T_{AMIN} \leq T_A \leq T_{AMAX}$, $V_S = \pm 20V$ to $V_S = \pm 5V$										
	$R_S \leq 50\Omega$	86	96								dB
	$R_S \leq 10\ k\Omega$				77	96		77	96		dB
Transient Response	$T_A = 25°C$, Unity Gain										
Rise Time			0.25	0.8		0.3			0.3		μs
Overshoot			6.0	20		5			5		%
Bandwidth (Note 4)	$T_A = 25°C$	0.437	1.5								MHz
Slew Rate	$T_A = 25°C$, Unity Gain	0.3	0.7			0.5			0.5		V/μs
Supply Current	$T_A = 25°C$					1.7	2.8		1.7	2.8	mA
Power Consumption	$T_A = 25°C$										
	$V_S = \pm 20V$		80	150							mW
	$V_S = \pm 15V$					50	85		50	85	mW
LM741A	$V_S = \pm 20V$										
	$T_A = T_{AMIN}$			165							mW
	$T_A = T_{AMAX}$			135							mW
LM741E	$V_S = \pm 20V$			150							mW
	$T_A = T_{AMIN}$			150							mW
	$T_A = T_{AMAX}$			150							mW
LM741	$V_S = \pm 15V$										
	$T_A = T_{AMIN}$					60	100				mW
	$T_A = T_{AMAX}$					45	75				mW

Note 1: The maximum junction temperature of the LM741/LM741A is 150°C, while that of the LM741C/LM741E is 100°C. For operation at elevated temperatures, devices in the TO-5 package must be derated based on a thermal resistance of 150°C/W junction to ambient, or 45°C/W junction to case. The thermal resistance of the dual-in-line package is 100°C/W junction to ambient.

Note 2: For supply voltages less than ±15V, the absolute maximum input voltage is equal to the supply voltage.

Note 3: Unless otherwise specified, these specifications apply for $V_S = \pm 15V$, $-55°C \leq T_A \leq +125°C$ (LM741/LM741A). For the LM741C/LM741E, these specifications are limited to $0°C \leq T_A \leq +70°C$.

Note 4: Calculated value from: BW (MHz) = 0.35/Rise Time(μs).

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MC3417, MC3517
MC3418, MC3518

2

Specifications and Applications Information

CONTINUOUSLY VARIABLE SLOPE DELTA MODULATOR/DEMODULATOR

Providing a simplified approach to digital speech encoding/decoding, the MC3517/18 series of CVSDs is designed for military secure communication and commercial telephone applications. A single IC provides both encoding and decoding functions.

- Encode and Decode Functions on the Same Chip with a Digital Input for Selection
- Utilization of Compatible I^2L – Linear Bipolar Technology
- CMOS Compatible Digital Output
- Digital Input Threshold Selectable ($V_{CC}/2$ reference provided on chip)
- MC3417/MC3517 has a 3-Bit Algorithm (General Communications)
- MC3418/MC3518 has a 4-Bit Algorithm (Commercial Telephone)

CONTINUOUSLY VARIABLE SLOPE DELTA MODULATOR/DEMODULATOR

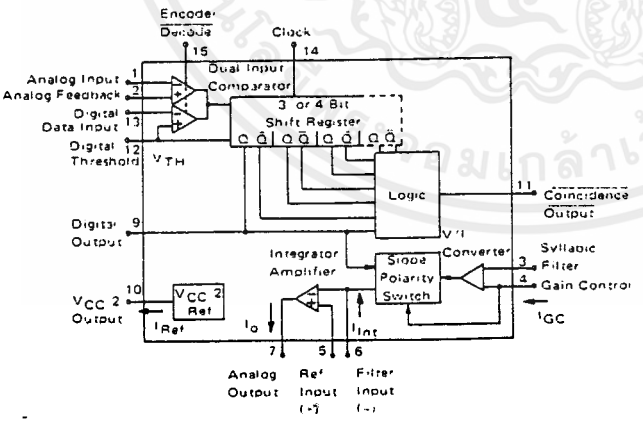
LASER-TRIMMED INTEGRATED CIRCUIT

L SUFFIX
CERAMIC PACKAGE
CASE 620-10

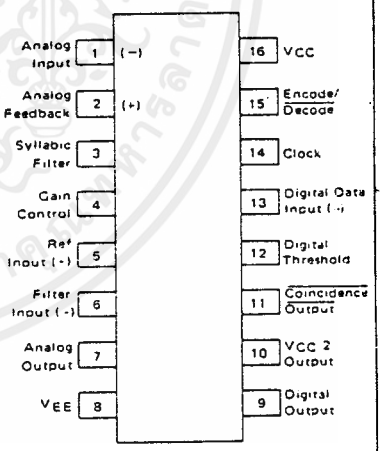
P SUFFIX
PLASTIC PACKAGE
CASE 648-08

DW SUFFIX
PLASTIC PACKAGE
CASE 751G-01
SO-16L

CVSD BLOCK DIAGRAM



PIN CONNECTIONS



ORDERING INFORMATION

Device	Package	Temperature Range
MC3417L	Ceramic DIP	0°C to +70°C
MC3418DW	Plastic SOIC	0°C to +70°C
MC3418L	Ceramic DIP	0°C to +70°C
MC3418P	Plastic DIP	0°C to +70°C
MC3517L	Ceramic DIP	-55°C to +125°C
MC3518L	Ceramic DIP	-55°C to +125°C

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MAXIMUM RATINGS

(All voltages referenced to V_{EE}. T_A = 25°C unless otherwise noted.)

Rating	Symbol	Value	Unit
Power Supply Voltage	V_{CC}	−0.4 to +18	Vdc
Differential Analog Input Voltage	V_{ID}	±5.0	Vdc
Digital Threshold Voltage	V_{TH}	−0.4 to V_{CC}	Vdc
Logic Input Voltage (Clock, Digital Data, Encode/$\overline{\text{Decode}}$)	V_{Logic}	−0.4 to +18	Vdc
Coincidence Output Voltage	$V_{O(Con)}$	−0.4 to +18	Vdc
Syllabic Filter Input Voltage	$V_{I(Syl)}$	−0.4 to V_{CC}	Vdc
Gain Control Input Voltage	$V_{I(GC)}$	−0.4 to V_{CC}	Vdc
Reference Input Voltage	$V_{I(Ref)}$	V_{CC}/2 − 1.0 to V_{CC}	Vdc
V_{CC}/2 Output Current	I_{Ref}	−25	mA

ELECTRICAL CHARACTERISTICS

(V_{CC} = 12 V, V_{EE} = Gnd, T_A = 0°C to +70°C for MC3417/18, T_A = −55°C to +125°C for MC3517/18 unless otherwise noted.)

Characteristic	Symbol	MC3417/MC3517 Min	MC3417/MC3517 Typ	MC3417/MC3517 Max	MC3418/MC3518 Min	MC3418/MC3518 Typ	MC3418/MC3518 Max	Unit
Power Supply Voltage Range (Figure 1)	V_{CCR}	4.75	12	16.5	4.75	12	16.5	Vdc
Power Supply Current (Figure 1)	I_{CC}							mA
(@ Idle Channel)								
(V_{CC} = 5.0 V, All except MC3418P,DW)		—	3.7	5.0	—	3.7	5.0	
(V_{CC} = 5.0 V, MC3418P,DW)		—	—	—	—	3.7	5.5	
(V_{CC} = 15 V, All except MC3418P,DW)		—	6.0	10	—	6.0	10	
(V_{CC} = 15 V, MC3418P,DW)		—	—	—	—	6.0	11	
Gain Control Current Range (Figure 2)	I_{GCR}	0.002	—	3.0	0.002	—	3.0	mA
Analog Comparator Input Range (Pins 1 and 2) (4.75 V ≤ V_{CC} ≤ 16.5 V)	V_I	1.3	—	V_{CC} − 1.3	1.3	—	V_{CC} − 1.3	Vdc
Analog Output Range (Pin 7) (4.75 V ≤ V_{CC} ≤ 16.5 V, I_O = ±5.0 mA)	V_O	1.3	—	V_{CC} − 1.3	1.3	—	V_{CC} − 1.3	Vdc
Input Bias Currents (Figure 3)	I_{IB}							μA
(Comparator in Active Region)								
Analog Input (I1)		—	0.5	1.5	—	0.25	1.0	
Analog Feedback (I2)		—	0.5	1.5	—	0.25	1.0	
Syllabic Filter Input (I3)		—	0.06	0.5	—	0.06	0.3	
Reference Input (I5)		—	−0.06	−0.5	—	−0.06	−0.3	
Input Offset Current	I_{IO}							μA
(Comparator in Active Region)								
Analog Input/Analog Feedback |I1 − I2| — Figure 3		—	0.15	0.6	—	0.05	0.4	
Integrator Amplifier |I5 − I6| — Figure 4		—	0.02	0.2	—	0.01	0.1	
Input Offset Voltage V/I Converter (Pins 3 and 4) — Figure 5	V_{IO}	—	2.0	6.0	—	2.0	6.0	mV
Transconductance	gm							mA/mV
V/I Converter, 0 to 3.0 mA		0.1	0.3	—	0.1	0.3	—	
Integrator Amplifier, 0 to ±5.0 mA Load		1.0	10	—	1.0	10	—	
Propagation Delay Times (Note 1)								μs
Clock Trigger to Digital Output	t_{PLH}	—	1.0	2.5	—	1.0	2.5	
(C_L = 25 pF to Gnd)	t_{PHL}	—	0.8	2.5	—	0.8	2.5	
Clock Trigger to Coincidence Output	t_{PLH}	—	1.0	3.0	—	1.0	3.0	
(C_L = 25 pF to Gnd)	t_{PHL}	—	0.8	2.0	—	0.8	2.0	
(R_L = 4.0 kΩ to V_{CC})								
Coincidence Output Voltage — Low Logic State ($I_{OL(Con)}$ = 3.0 mA)	$V_{OL(Con)}$	—	0.12	0.25	—	0.12	0.25	Vdc
Coincidence Output Leakage Current — High Logic State (V_{OH} = 15 V, 0°C ≤ T_A ≤ 70°C)	$I_{OH(Con)}$	—	0.01	0.5	—	0.01	0.5	μA

NOTE 1. All propagation delay times measured 50% to 50% from the negative going (from V_{CC} to −0.4 V) edge of the clock.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ELECTRICAL CHARACTERISTICS (continued)

Characteristic	Symbol	MC3417/MC3517 Min	MC3417/MC3517 Typ	MC3417/MC3517 Max	MC3418/MC3518 Min	MC3418/MC3518 Typ	MC3418/MC3518 Max	Unit
Applied Digital Threshold Voltage Range (Pin 12)	V_{TH}	+1.2	—	V_{CC} – 2.0	+1.2	—	V_{CC} – 2.0	Vdc
Digital Threshold Input Current ($1.2 V \leq V_{th} \leq V_{CC} - 2.0 V$)	$I_{I(th)}$							μA
(V_{IL} applied to Pins 13, 14 and 15)		—	—	5.0	—	—	5.0	
(V_{IH} applied to Pins 13, 14 and 15)		—	–10	–50	—	–10	–50	
Maximum Integrator Amplifier Output Current	I_O	±5.0	—	—	±5.0	—	—	mA
$V_{CC}/2$ Generator Maximum Output Current (Source only)	I_{Ref}	+10	—	—	+10	—	—	mA
$V_{CC}/2$ Generator Output Impedance (0 to –10 mA)	z_{Ref}	—	3.0	6.0	—	3.0	6.0	Ω
$V_{CC}/2$ Generator Tolerance ($4.75 V \leq V_{CC} \leq 16.5 V$)	e_r	—	—	±3.5	—	—	±3.5	%
Logic Input Voltage (Pins 13, 14 and 15)								Vdc
Low Logic State	V_{IL}	Gnd	—	V_{th} – 0.4	Gnd	—	V_{th} – 0.4	
High Logic State	V_{IH}	V_{th} + 0.4	—	18	V_{th} + 0.4	—	18	
Dynamic Total Loop Offset Voltage (Note 2) — Figures 3, 4 and 5	ΣV_{offset}							mV
I_{GC} = 12 μA, V_{CC} = 12 V								
T_A = 25°C (All except 3418P,DW)		—	—	—	—	±0.5	±1.5	
(MC3418P,DW)		—	—	—	—	±0.5	±3.0	
0°C ≤ T_A ≤ +70°C (MC3417/18L)		—	—	—	—	±0.75	±2.3	
(MC3418P,DW)		—	—	—	—	±0.75	±3.8	
–55°C ≤ T_A ≤ +125°C (MC3517/18)		—	—	—	—	±1.5	±4.0	
I_{GC} = 33 μA, V_{CC} = 12 V								
T_A = 25°C		—	±2.5	±5.0	—	—	—	
0°C ≤ T_A ≤ +70°C (MC3417/18)		—	±3.0	±7.5	—	—	—	
–55°C ≤ T_A ≤ +125°C (MC3517/18)		—	±4.5	±10	—	—	—	
I_{GC} = 12 μA, V_{CC} = 5.0 V								
T_A = 25°C (All except MC3418P,DW)		—	—	—	—	±1.0	±2.0	
(MC3418P,DW)		—	—	—	—	±1.0	±3.5	
0°C ≤ T_A ≤ +70°C (MC3417/18L)		—	—	—	—	±1.3	±2.8	
(MC3418P,DW)		—	—	—	—	±1.3	±4.3	
–55°C ≤ T_A ≤ +125°C (MC3517/18)		—	—	—	—	±2.5	±5.0	
I_{GC} = 33 μA, V_{CC} = 5.0 V								
T_A = 25°C		—	±4.0	±6.0	—	—	—	
0°C ≤ T_A ≤ +70°C (MC3417/18)		—	±4.5	±8.0	—	—	—	
–55°C ≤ T_A ≤ +125°C (MC3517/18)		—	±5.5	±10	—	—	—	
Digital Output Voltage								Vdc
(I_{OL} = 3.6 mA)	V_{OL}	—	0.1	0.4	—	0.1	0.4	
(I_{OH} = –0.35 mA)	V_{OH}	V_{CC} – 1.0	V_{CC} – 0.2	—	V_{CC} – 1.0	V_{CC} – 0.2	—	
Syllabic Filter Applied Voltage (Pin 3) (Figure 2)	$V_{I(Syl)}$	+3.2	—	V_{CC}	+3.2	—	V_{CC}	Vdc
Integrating Current (Figure 2)	I_{Int}							
(I_{GC} = 12 μA)		8.0	10	12	8.0	10	12	μA
(I_{GC} = 1.5 mA) (All except 3418P,DW)		1.45	1.5	1.55	1.45	1.5	1.55	mA
(MC3418P,DW)		—	—	—	1.42	1.5	1.58	mA
(I_{GC} = 3.0 mA)		2.75	3.0	3.25	2.75	3.0	3.25	mA
Dynamic Integrating Current Match (I_{GC} = 1.5 mA) Figure 6	$V_{O(Ave)}$							mV
(All except MC3418P,DW)		—	±100	±250	—	±100	±250	
(MC3418P,DW)		—	—	—	—	±100	±280	
Input Current — High Logic State (V_{IH} = 18 V)	I_{IH}							μA
Digital Data Input		—	—	+5.0	—	—	+5.0	
Clock Input		—	—	+5.0	—	—	+5.0	
Encode/Decode Input		—	—	+5.0	—	—	+5.0	
Input Current — Low Logic State (V_{IL} = 0 V)	I_{IL}							μA
Digital Data Input		—	—	–10	—	—	–10	
Clock Input		—	—	–360	—	—	–360	
Encode/Decode Input		—	—	–36	—	—	–36	
Clock Input, V_{IL} = 0.4 V		—	—	–72	—	—	–72	

NOTE 2. Dynamic total loop offset (ΣV_{offset}) equals V_{IO} (comparator) (Figure 3) minus V_{IOX} (Figure 5). The input offset voltages of the analog comparator and of the integrator amplifier include the effects of input offset current through the input resistors. The slope polarity switch current mismatch appears as an average voltage across the 10 k integrator resistor. For the MC3417/MC3517, the clock frequency is 16 kHz. For the MC3418/MC3518, the clock frequency is 32 kHz. Idle channel performance is guaranteed if this dynamic total loop offset is less than one-half of the change in integrator output voltage during one clock cycle (ramp step size). Laser trimming is used to insure good idle channel performance.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

DEFINITIONS AND FUNCTION OF PINS

Pin 1 — Analog Input

This is the analog comparator inverting input where the voice signal is applied. It may be ac or dc coupled depending on the application. If the voice signal is to be level shifted to the internal reference voltage, then a bias resistor between Pins 1 and 10 is used. The resistor is used to establish the reference as the new dc average of the ac coupled signal. The analog comparator was designed for low hysteresis (typically less than 0.1 mV) and high gain (typically 70 dB).

Pin 2 — Analog Feedback

This is the noninverting input to the analog signal comparator within the IC. In an encoder application it should be connected to the analog output of the encoder circuit. This may be Pin 7 or a low pass filter output connected to Pin 7. In a decode circuit Pin 2 is not used and may be tied to $V_{CC}/2$ on Pin 10, ground or left open.

The analog input comparator has bias currents of 1.5 μA max, thus the driving impedances of Pins 1 and 2 should be equal to avoid disturbing the idle channel characteristics of the encoder.

Pin 3 — Syllabic Filter

This is the point at which the syllabic filter voltage is returned to the IC in order to control the integrator step size. It is an NPN input to an op amp. The syllabic filter consists of an RC network between Pins 11 and 3. Typical time constant values of 6.0 ms to 50 ms are used in voice codecs.

Pin 4 — Gain Control Input

The syllabic filter voltage appears across C_S of the syllabic filter and is the voltage between V_{CC} and Pin 3. The active voltage to current (V – I) converter drives Pin 4 to the same voltage at a slew rate of typically 0.5 V/μs. Thus the current injected into Pin 4 (I_{GC}) is the syllabic filter voltage divided by the R_X resistance. Figure 7 shows the relationship between I_{GC} (x-axis) and the integrating current, I_{Int} (y-axis). The discrepancy, which is most significant at very low currents, is due to circuitry within the slope polarity switch which enables trimming to a low total loop offset. The R_X resistor is then varied to adjust the loop gain of the codec, but should be no larger than 5.0 kΩ to maintain stability.

Pin 5 — Reference Input

This pin is the noninverting input of the integrator amplifier. It is used to reference the dc level of the output signal. In an encoder circuit it must reference the same voltage as Pin 1 and is tied to Pin 10.

Pin 6 — Filter Input

This inverting op amp input is used to connect the integrator external components. The integrating current (I_{Int}) flows into Pin 6 when the analog input (Pin 1) is high with respect to the analog feedback (Pin 2) in the encode mode or when the digital data input (Pin 13) is high in the decode mode. For the opposite states, I_{Int} flows out of Pin 6. Single integration systems require a capacitor and resistor between Pins 6 and 7. Multipole configurations will have different circuitry. The resistance between Pins 6 and 7 should always be between 8.0 kΩ and 13 kΩ to maintain good idle channel characteristics.

Pin 7 — Analog Output

This is the integrator op amp output. It is capable of driving a 600-ohm load referenced to $V_{CC}/2$ to +6.0 dBm and can otherwise be treated as an op amp output. Pins 5, 6, and 7 provide full access to the integrator op amp for designing integration filter networks. The slew rate of the internally compensated integrator op amp is typically 0.5 V/μs. Pin 7 output is current limited for both polarities of current flow at typically 30 mA.

Pin 8 — V_{EE}

The circuit is designed to work in either single or dual power supply applications. Pin 8 is always connected to the most negative supply.

Pin 9 — Digital Output

The digital output provides the results of the delta modulator's conversion. It swings between V_{CC} and V_{EE} and is CMOS or TTL compatible. Pin 9 is inverting with respect to Pin 1 and non-inverting with respect to Pin 2. It is clocked on the falling edge of Pin 14. The typical 10% to 90% rise and fall times are 250 ns and 50 ns respectively for V_{CC} = 12 V and C_L = 25 pF to ground.

Pin 10 — $V_{CC}/2$ Output

An internal low impedance mid-supply reference is provided for use of the MC3417/18 in single supply applications. The internal regulator is a current source and must be loaded with a resistor to insure its sinking capability. If a +6.0 dBmo signal is expected across a 600 ohm input bias resistor, then Pin 10 must sink 2.2 V/600 Ω = 3.66 mA. This is only possible if Pin 10 sources 3.66 mA into a resistor normally and will source only the difference under peak load. The reference load resistor is chosen accordingly. A 0.1 μF bypass capacitor from Pin 10 to V_{EE} is also recommended. The $V_{CC}/2$ reference is capable of sourcing 10 mA and can be used as a reference elsewhere in the system circuitry.

Pin 11 — $\overline{\text{Coincidence Output}}$

The duty cycle of this pin is proportional to the voltage across C_S. The coincidence output will be low whenever the content of the internal shift register is all 1s or all 0s. In the MC3417 the register is 3 bits long while the MC3418 contains a 4 bit register. Pin 11 is an open collector of an NPN device and requires a pull-up resistor.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2

If the syllabic filter is to have equal charge and discharge time constants, the value of R_P should be much less than R_S. In systems requiring different charge and discharge constants, the charging constant is $R_S C_S$ while the decaying constant is $(R_S + R_P)C_S$. Thus longer decays are easily achievable. The NPN device should not be required to sink more than 3.0 mA in any configuration. The typical 10% to 90% rise and fall times are 200 ns and 100 ns respectively for R_L = 4.0 kΩ to +12 V and C_L = 25 pF to ground.

Pin 12 — Digital Threshold

This input sets the switching threshold for Pins 13, 14, and 15. It is intended to aid in interfacing different logic families without external parts. Often it is connected to the $V_{CC}/2$ reference for CMOS interface or can be biased two diode drops above V_{EE} for TTL interface.

Pin 13 — Digital Data Input

In a decode application, the digital data stream is applied to Pin 13. In an encoder it may be unused or may be used to transmit signaling message under the control of Pin 15. It is an inverting input with respect to Pin 9. When Pins 9 and 13 are connected, a toggle flip-flop is formed and a forced idle channel pattern can be transmitted. The digital data input level should be maintained for 0.5 μs before and after the clock trigger for proper clocking.

Pin 14 — Clock Input

The clock input determines the data rate of the codec circuit. A 32K bit rate requires a 32 kHz clock. The switching threshold of the clock input is set by Pin 12. The shift register circuit toggles on the falling edge of the clock input. The minimum width for a positive-going pulse on the clock input is 300 ns, whereas for a negative-going pulse, it is 900 ns.

Pin 15 — Encode/$\overline{\text{Decode}}$

This pin controls the connection of the analog input comparator and the digital input comparator to the internal shift register. If high, the result of the analog comparison will be clocked into the register on the falling edge at Pin 14. If low, the digital input state will be entered. This allows use of the IC as an encoder/decoder or simplex codec without external parts. Furthermore, it allows non-voice patterns to be forced onto the transmission line through Pin 13 in an encoder.

Pin 16 — V_{CC}

The power supply range is from 4.75 to 16.5 volts between Pin V_{CC} and V_{EE}.

FIGURE 1 – POWER SUPPLY CURRENT

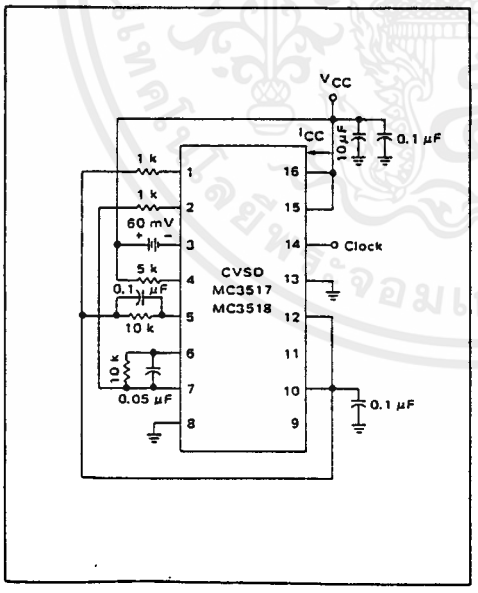
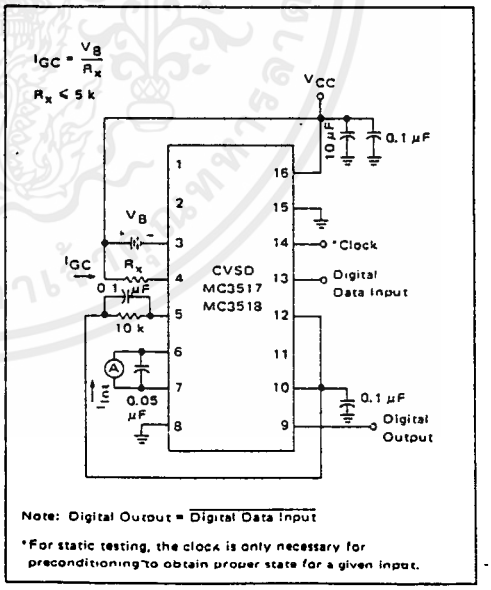


FIGURE 2 – I_{GCR}, GAIN CONTROL RANGE and I_{Int} – INTEGRATING CURRENT

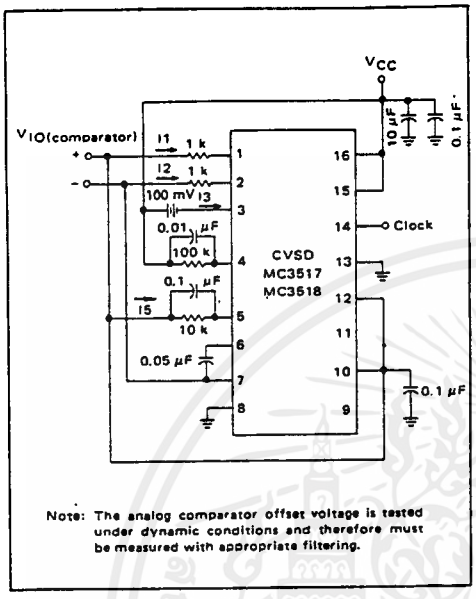


Note: Digital Output = $\overline{\text{Digital Data Input}}$

*For static testing, the clock is only necessary for preconditioning to obtain proper state for a given input.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

FIGURE 3 – INPUT BIAS CURRENTS, ANALOG COMPARATOR OFFSET VOLTAGE AND CURRENT



Note: The analog comparator offset voltage is tested under dynamic conditions and therefore must be measured with appropriate filtering.

FIGURE 4 – INTEGRATOR AMPLIFIER OFFSET VOLTAGE AND CURRENT

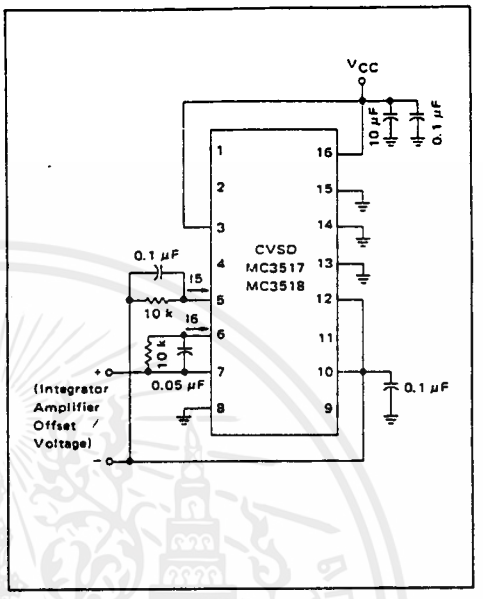
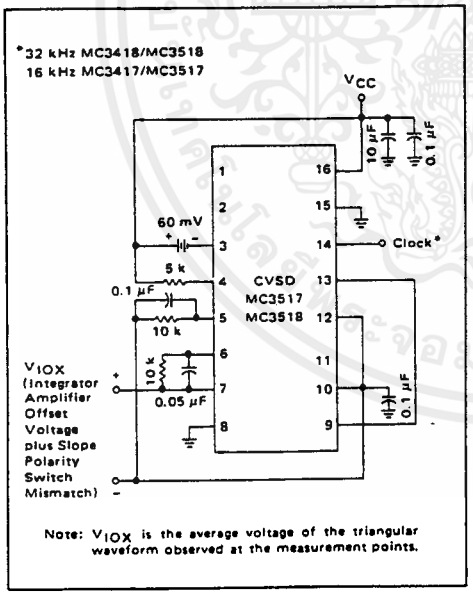
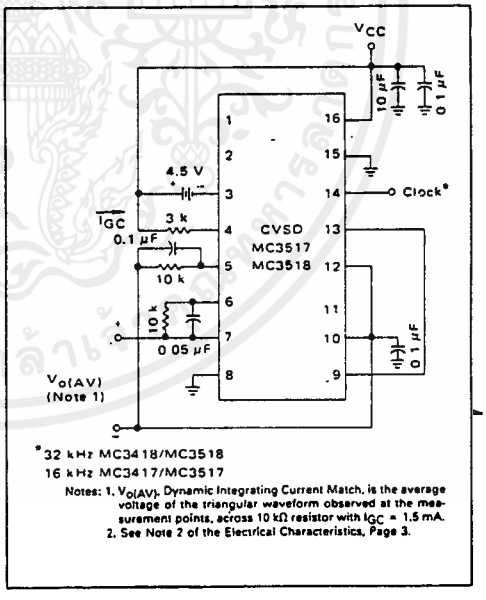


FIGURE 5 – V/I CONVERTER OFFSET VOLTAGE, V_{IO} and V_{IOX}



Note: V_{IOX} is the average voltage of the triangular waveform observed at the measurement points.

FIGURE 6 – DYNAMIC INTEGRATING CURRENT MATCH



*32 kHz MC3418/MC3518
16 kHz MC3417/MC3517

Notes: 1. $V_{o(AV)}$, Dynamic Integrating Current Match, is the average voltage of the triangular waveform observed at the measurement points, across 10 kΩ resistor with I_{GC} = 1.5 mA.
2. See Note 2 of the Electrical Characteristics, Page 3.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2

TYPICAL PERFORMANCE CURVES

FIGURE 7 – TYPICAL I_{Int} versus I_{GC} (Mean ± 2σ)

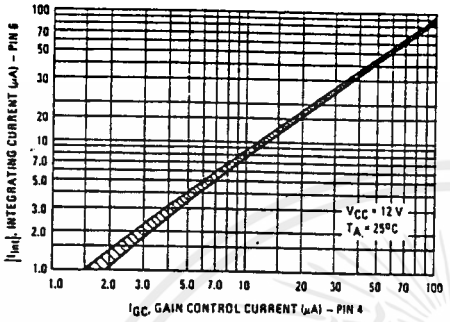


FIGURE 8 – NORMALIZED DYNAMIC INTEGRATING CURRENT MATCH versus V_{CC}

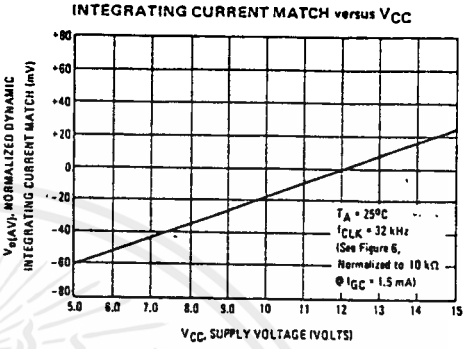


FIGURE 9 – NORMALIZED DYNAMIC INTEGRATING CURRENT MATCH versus CLOCK FREQUENCY

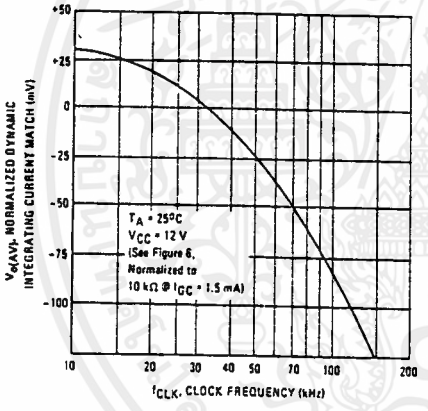


FIGURE 10 – DYNAMIC TOTAL LOOP OFFSET versus CLOCK FREQUENCY

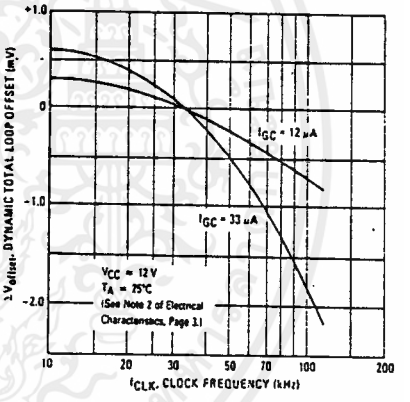
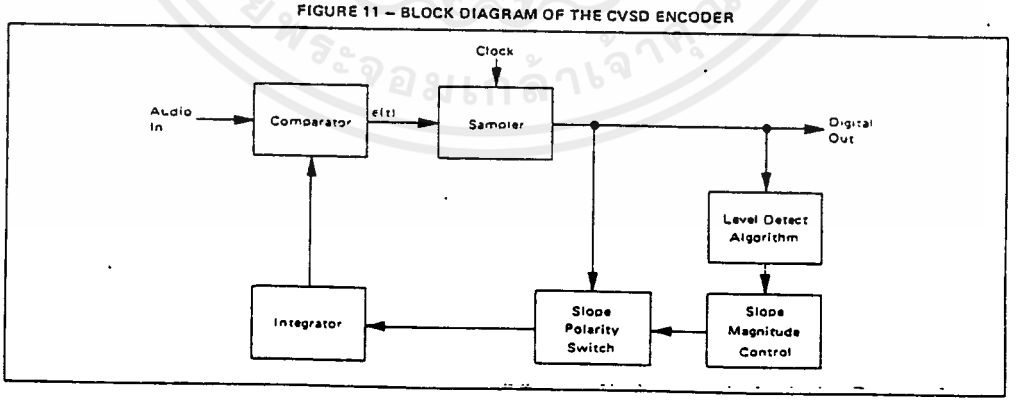


FIGURE 11 – BLOCK DIAGRAM OF THE CVSD ENCODER



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

FIGURE 12 – CVSD WAVEFORMS

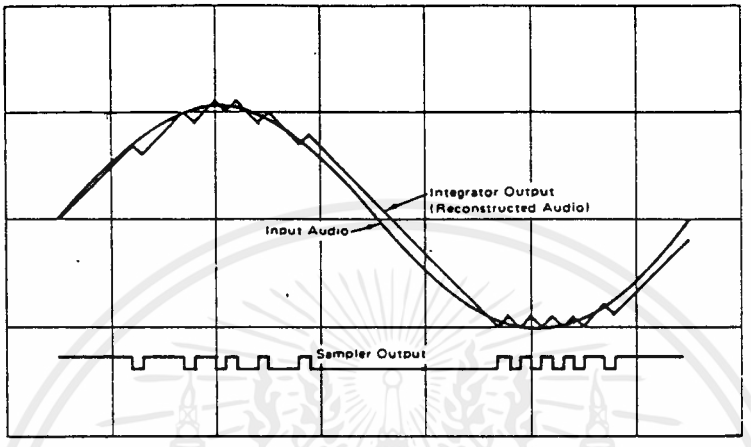
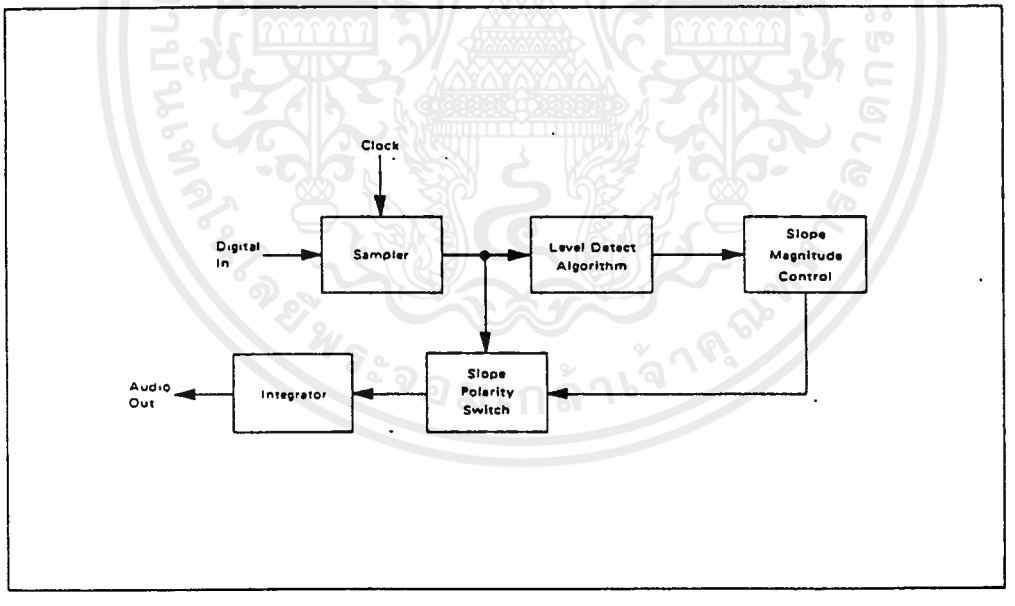


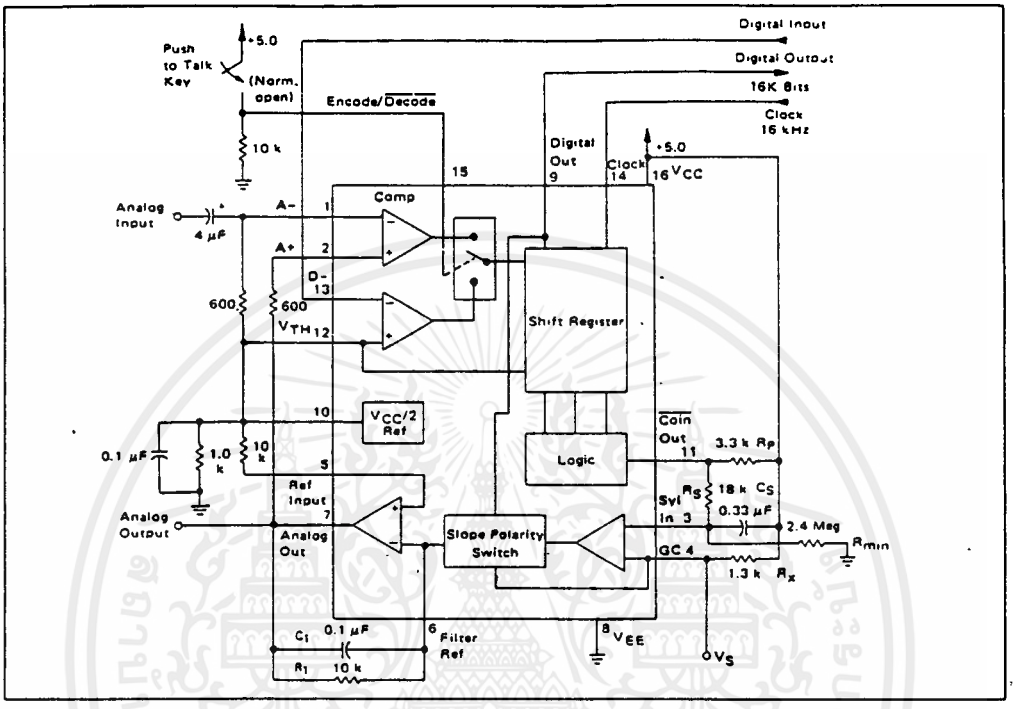
FIGURE 13 – BLOCK DIAGRAM OF THE CVSD DECODER



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2

FIGURE 14 – 16 kHz SIMPLEX VOICE CODEC
(Using MC3417, Single Pole Companding and Single Integration)



CIRCUIT DESCRIPTION

The continuously variable slope delta modulator (CVSD) is a simple alternative to more complex conventional conversion techniques in systems requiring digital communication of analog signals. The human voice is analog, but digital transmission of any signal over great distance is attractive. Signal/noise ratios do not vary with distance in digital transmission and multiplexing, switching and repeating hardware is more economical and easier to design. However, instrumentation A to D converters do not meet the communications requirements. The CVSD A to D is well suited to the requirements of digital communications and is an economically efficient means of digitizing analog inputs for transmission.

The Delta Modulator

The innermost control loop of a CVSD converter is a simple delta modulator. A block diagram CVSD Encoder is shown in Figure 11. A delta modulator consists of a comparator in the forward path and an integrator in the feedback path of a simple control loop. The inputs to the comparator are the input analog signal and the integrator output. The comparator output reflects the sign of the difference between the input voltage and the integrator output. That sign bit is the digital output and also controls the direction of ramp in the integrator. The comparator is normally clocked so as to produce a synchronous and band limited digital bit stream.

If the clocked serial bit stream is transmitted, received, and delivered to a similar integrator at a remote point, the remote integrator output is a copy of the transmitting control loop integrator output. To the extent that the integrator at the transmitting locations tracks the input signal, the remote receiver reproduces the input signal. Low pass filtering at the receiver output will eliminate most of the quantizing noise, if the clock rate of the bit stream is an octave or more above the bandwidth of the input signal. Voice bandwidth is 4 kHz and clock rates from 8 k and up are possible. Thus the delta modulator digitizes and transmits the analog input to a remote receiver. The serial, unframed nature of the data is ideal for communications networks. With no input at the transmitter, a continuous one zero alternation is transmitted. If the two integrators are made leaky, then during any loss of contact the receiver output decays to

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

CIRCUIT DESCRIPTION (continued)

zero and receive restart begins without framing when the receiver reacquires. Similarly a delta modulator is tolerant of sporadic bit errors. Figure 12 shows the delta modulator waveforms while Figure 13 shows the corresponding CVSD decoder block diagram.

The Companding Algorithm

The fundamental advantages of the delta modulator are its simplicity and the serial format of its output. Its limitations are its ability to accurately convert the input within a limited digital bit rate. The analog input must be band limited and amplitude limited. The frequency limitations are governed by the nyquist rate while the amplitude capabilities are set by the gain of the integrator.

The frequency limits are bounded on the upper end; that is, for any input bandwidth there exists a clock frequency larger than that bandwidth which will transmit the signal with a specific noise level. However, the amplitude limits are bounded on both upper and lower ends. For a signal level, one specific gain will achieve an optimum noise level. Unfortunately, the basic delta modulator has a small dynamic range over which the noise level is constant.

The continuously variable slope circuitry provides increased dynamic range by adjusting the gain of the integrator. For a given clock frequency and input bandwidth the additional circuitry increases the delta modulator's dynamic range. External to the basic delta modulator is an algorithm which monitors the past few outputs of the delta modulator in a simple shift register. The register is 3 or 4 bits long depending on the application. The accepted CVSD algorithm simply monitors the contents of the shift register and indicates if it contains all 1s or 0s. This condition is called coincidence. When it occurs, it indicates that the gain of the integrator is too small. The coincidence output charges a single pole low pass filter. The voltage output of this syllabic filter controls the integrator gain through a pulse amplitude modulator whose other input is the sign bit or up/down control.

The simplicity of the all ones, all zeros algorithm should not be taken lightly. Many other control algorithms using the shift register have been tried. The key to the accepted algorithm is that it provides a measure of the average power or level of the input signal. Other techniques provide more instantaneous information about the shape of the input curve. The purpose of the algorithm is to control the gain of the integrator and to increase the dynamic range. Thus a measure of the average input level is what is needed.

The algorithm is repeated in the receiver and thus the level data is recovered in the receiver. Because the algorithm only operates on the past serial data, it changes the nature of the bit stream without changing the channel bit rate.

The effect of the algorithm is to compand the input signal. If a CVSD encoder is played into a basic delta modulator, the output of the delta modulator will reflect the shape of the input signal but all of the output will be at an equal level. Thus the algorithm at the output is needed to restore the level variations. The bit stream in the channel is as if it were from a standard delta modulator with a constant level input.

The delta modulator encoder with the CVSD algorithm provides an efficient method for digitizing a voice input in a manner which is especially convenient for digital communciations requirements.

APPLICATIONS INFORMATION

CVSD DESIGN CONSIDERATIONS

A simple CVSD encoder using the MC3417 or MC3418 is shown in Figure 14. These ICs are general purpose CVSD building blocks which allow the system designer to tailor the encoder's transmission characteristics to the application. Thus, the achievable transmission capabilities are constrained by the fundamental limitations of delta modulation and the design of encoder parameters. The performance is not dictated by the internal configuration of the MC3417 and MC3418. There are seven design considerations involved in designing these basic CVSD building blocks into a specific codec application, and they are as follows:

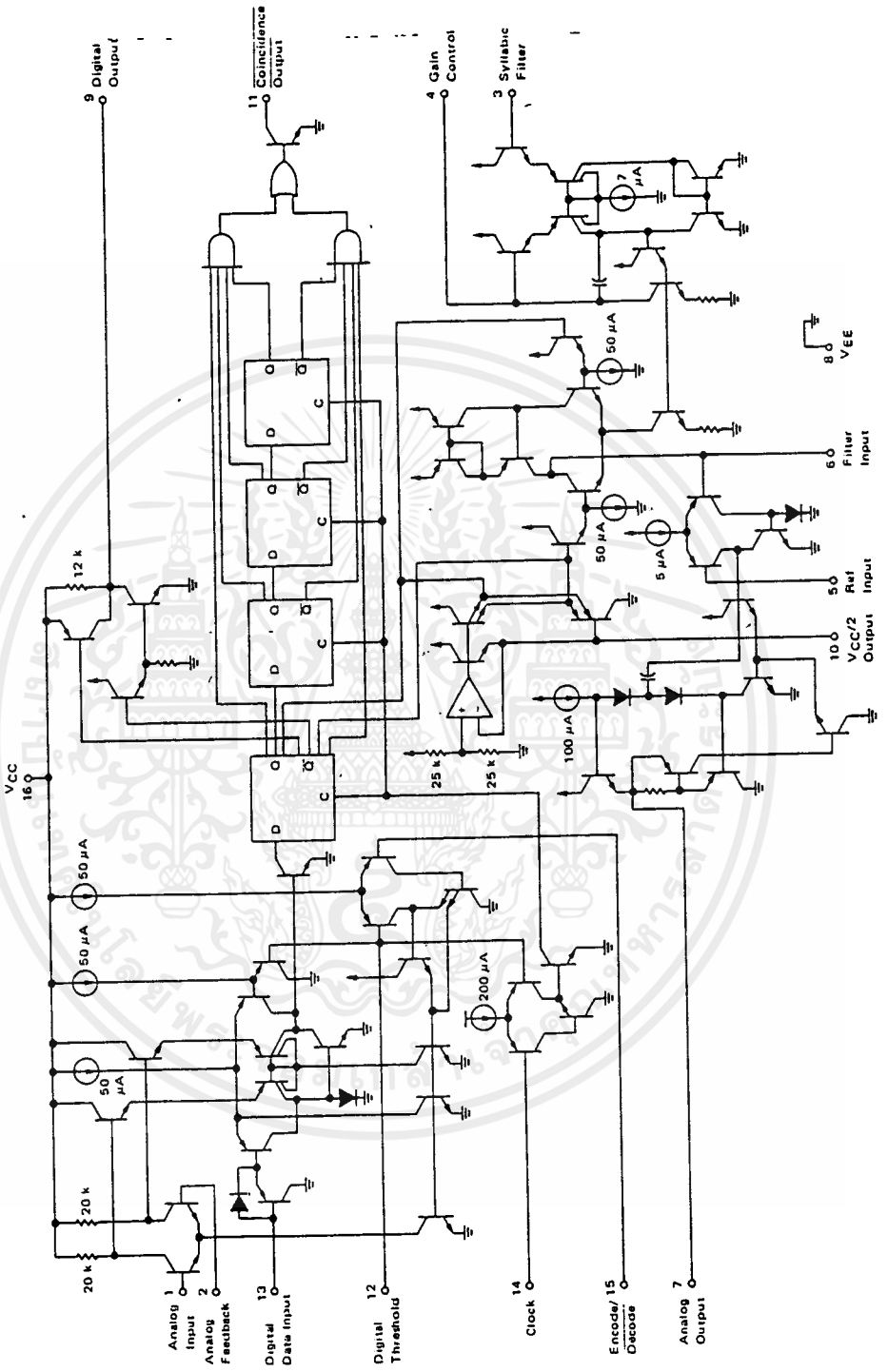
1. Selection of clock rate
2. Required number of shift register bits
3. Selection of loop gain
4. Selection of minimum step size
5. Design of integration filter transfer function
6. Design of syllabic filter transfer function
7. Design of low pass filter at the receiver

The circuit in Figure 14 is the most basic CVSD circuit possible. For many applications in secure radio or other intelligible voice channel requirements, it is entirely sufficient. In this circuit, items 5 and 6 are reduced to their simplest form. The syllabic and integration filters are both single pole networks. The selection of items 1 through 4 govern the codec performance.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2

CVSD CIRCUIT SCHEMATIC



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

CVSD DESIGN CONSIDERATIONS (continued)

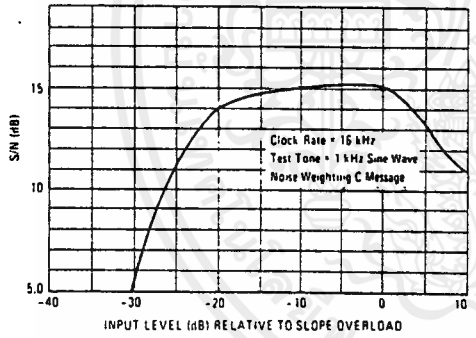
Layout Considerations

Care should be exercised to isolate all digital signal paths (Pins 9, 11, 13, and 14) from analog signal paths (Pins 1–7 and 10) in order to achieve proper idle channel performance.

Clock Rate

With minor modifications the circuit in Figure 14 may be operated anywhere from 9.6 kHz to 64 kHz clock rates. Obviously the higher the clock rate the higher the S/N performance. The circuit in Figure 14 typically produces the S/N performance shown in Figure 15. The selection of clock rate is usually dictated by the bandwidth of the transmission medium. Voice bandwidth systems will require no higher than 9600 Hz. Some radio systems will allow 12 kHz. Private 4-wire telephone systems are often operated at 16 kHz and commercial telephone performance can be achieved at 32K bits and above. Other codecs may use bit rates up to 200K bits/sec.

FIGURE 15 – SIGNAL-TO-NOISE PERFORMANCE OF MC3417 WITH SINGLE INTEGRATION, SINGLE-POLE AND COMPANDING AT 16K BITS – TYPICAL



Shift Register Length (Algorithm)

The MC3417 has a three-bit algorithm and the MC3418 has a four-bit algorithm. For clock rates of 16 kHz and below, the 3-bit algorithm is well suited. For 32 kHz and higher clock rates, the 4-bit system is preferred. Since the algorithm records a fixed past history of the input signal, a longer shift register is required to obtain the same internal hsitory. At 16 bits and below, the 4-bit algorithm will produce a slightly wider dynamic range at the expense of level change response. Basically the MC3417 is designed for low bit rate systems and the MC3418 is intended for high performance, high bit rate system. At bit rates above 64K bits either part will work well.

Selection of Loop Gain

The gain of the circuit in Figure 14 is set by resistor R_X. R_X must be selected to provide the proper integrator step size for high level signals such that the companding ratio does not exceed about 25%. The companding ratio is the active low duty cycle of the coincidence output on Pin 11 of the codec circuit. Thus the system gain is dependent on:

1. The maximum level and frequency of the input signal.
2. The transfer function of the integration filter.

For voice codecs the typical input signal is taken to be a sine wave at 1 kHz of 0 dBmo level. In practice, the useful dynamic range extends about 6 dB above the design level. In any system the companding ratio should not exceed 30%.

To calculate the required step size current, we must describe the transfer characteristics of the integration filter. In the basic circuit of Figure 14, a single pole of 160 Hz is used.

$$R_1 = 10\ k\Omega,\ C_1 = 0.1\ \mu F$$

$$\frac{V_o}{I_i} = \frac{1}{C(S + 1/RC)} \equiv \frac{K}{S + \omega_o}$$

$$\omega_o = 2\pi f$$

$$10^3 = \omega_o = 2\pi f$$

$$f = 159.2\ Hz$$

Note that the integration filter produces a single-pole response from 300 to 3 kHz. The current required to move the integrator output a specific voltage from zero is simply:

$$I_i = \frac{V_o}{R_1} + \left(C_1 \times \frac{dV_o}{dt}\right)$$

Now a 0 dBmo sine wave has a peak value of 1.0954 volts. In 1/8 of a cycle of a sine wave centered around the zero crossing, the sine wave changes by approximately its peak value. The CVSD step should trace that change. The required current for a 0 dBm 1 kHz sine wave is:

$$I_i = \frac{1.1\ V}{*2(10\ k\Omega)} + \frac{0.1\ \mu F(1.1)}{0.125\ ms} = 0.935\ mA$$

*The maximum voltage across R_1 when maximum slew is required is:

$$\frac{1.1\ V}{2}$$

Now the voltage range of the syllabic filter is the power supply voltage, thus:

$$R_X = 0.25(V_{CC})\ \frac{1}{0.935\ mA}$$

A similar procedure can be followed to establish the proper gain for any input level and integration filter type.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

CVSD DESIGN CONSIDERATIONS (continued)

Minimum Step Size

The final parameter to be selected for the simple codec in Figure 14 is idle channel step size. With no input signal, the digital output becomes a one-zero alternating pattern and the analog output becomes a small triangle wave. Mismatches of internal currents and offsets limit the minimum step size which will produce a perfect idle channel pattern. The MC3417 is tested to ensure that a 20-mVp-p minimum step size at 16 kHz will attain a proper idle channel. The idle channel step size must be twice the specified total loop offset if a one-zero idle pattern is desired. In some applications a much smaller minimum step size (e.g., 0.1 mV) can produce quiet performance without providing a 1-0 pattern.

To set the idle channel step size, the value of R_{min} must be selected. With no input signal, the slope control algorithm is inactive. A long series of ones or zeros never occurs. Thus, the voltage across the syllabic filter capacitor (C_S) would decay to zero. However, the voltage divider of R_S and R_{min} (see Figure 14) sets the minimum allowed voltage across the syllabic filter capacitor. That voltage must produce the desired ramps at the analog output. Again we write the filter input current equation:

$$I_i = \frac{V_o}{R_1} + C\frac{dV_o}{dt}$$

For values of V_o near $V_{CC}/2$ the V_o/R term is negligible; thus

$$I_i = C_S\frac{\Delta V_o}{\Delta T}$$

where ΔT is the clock period and ΔV_o is the desired peak-to-peak value of the idle output. For a 16K-bit system using the circuit in Figure 14

$$I_i = \frac{0.1\,\mu F \;\; 20\text{ mV}}{62.5\,\mu s} = 33\,\mu A$$

The voltage on C_S which produces a 33 μA current is determined by the value of R_x.

$$I_i R_x = V_S min;\ \text{for } 33\,\mu A,\ V_S min = 41.6\text{ mV}$$

In Figure 14 R_S is 18 kΩ. That selection is discussed with the syllabic filter considerations. The voltage divider of R_S and R_{min} must produce an output of 41.6 mV.

$$V_{CC}\frac{R_S}{R_S + R_{min}} = V_{Smin} \qquad R_{min} \simeq 2.4\text{ M}\Omega$$

Having established these four parameters — clock rate, number of shift register bits, loop gain and minimum step size — the encoder circuit in Figure 14 will function at near optimum performance for input levels around 0 dBm.

INCREASING CVSD PERFORMANCE

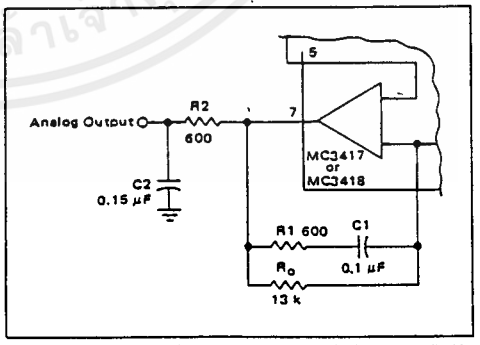
Integration Filter Design

The circuit in Figure 14 uses a single-pole integration network formed with a 0.1 μF capacitor and a 10 kΩ resistor. It is possible to improve the performance of the circuit in Figure 14 by 1 or 2 dB by using a two-pole integration network. The improved circuit is shown.

The first pole is still placed below 300 Hz to provide the 1/S voice content curve and a second pole is placed somewhere above the 1 kHz frequency. For telephony circuits, the second pole can be placed above 1.8 kHz to exceed the 1633 touchtone frequency. In other communication systems, values as low as 1 kHz may be selected. In general, the lower in frequency the second pole is placed, the greater the noise improvement. Then, to ensure the encoder loop stability, a zero is added to keep the phase shift less than 180°. This zero should be placed slightly above the low-pass output filter break frequency so as not to reduce the effectiveness of the second pole. A network of 235 Hz, 2 kHz and 5.2 kHz is typical for telephone applications while 160 Hz, 1.2 kHz and 2.8 kHz might be used in voice only channels. (Voice only channels can use an output low-pass filter which breaks at about 2.5 kHz.) The two-pole network in Figure 16 has a transfer function of:

$$\frac{V_o}{I_i} = \frac{R_0R_1\left(S + \frac{1}{R_1C_1}\right)}{R_2C_2(R_0 + R_1)\left(S + \frac{1}{(R_0 + R_1)C_1}\right)S + \left(\frac{1}{R_2C_2}\right)}$$

FIGURE 16 – IMPROVED FILTER CONFIGURATION



These component values are for the telephone channel circuit poles described in the text. The R2, C2 product can be provided with different values of R and C. R2 should be chosen to be equal to the termination resistor on Pin 1.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Thus the two poles and the zero can be selected arbitrarily as long as the zero is at a higher frequency than the first pole. The values in Figure 16 represent one implementation of the telephony filter requirement.

The selection of the two-pole filter network effects the selection of the loop gain value and the minimum step size resistor. The required integrator current for a given change in voltage now becomes:

$$I_i = \frac{V_o}{R_0} + \left(\frac{R_2C_2}{R_0} + \frac{R_1C_1}{R_0} + C_1\right)\frac{\Delta V_o}{\Delta T} + \left(R_2C_2C_1 + \frac{R_1C_1R_2C_2}{R_0}\right)\frac{\Delta V_o{}^2}{\Delta T^2}$$

The calculation of desired gain resistor R_x then proceeds exactly as previously described.

Syllabic Filter Design

The syllabic filter in Figure 14 is a simple single-pole network of 18 kΩ and 0.33 μF. This produces a 6.0 ms time constant for the averaging of the coincidence output signal. The voltage across the capacitor determines the integrator current which in turn establishes the step size. The integrator current and the resulting step size determine the companding ratio and the S/N performance. The companding ratio is defined as the voltage across C_S/V_{CC}.

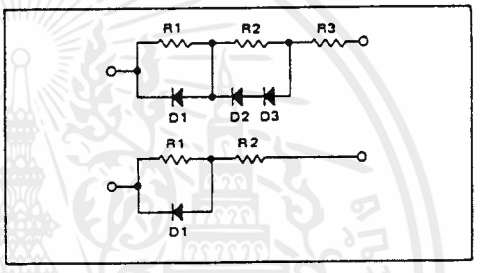
The S/N performance may be improved by modifying the voltage to current transformation produced by R_X. If different portions of the total R_X are shunted by diodes, the integrator current can be other than $(V_{CC} - V_S)/R_X$. These breakpoint curves must be designed experimentally for the particular system application. In general, one would wish that the current would double with input level. To design the desired curve, supply current to Pin 4 of the codec from an external source. Input a signal level and adjust the current until the S/N performance is optimum. Then record the syllabic filter voltage and the current. Repeat this for all desired signal levels. Then derive the resistor diode network which produces that curve on a curve tracer.

Once the network is designed with the curve tracer, it is then inserted in place of R_X in the circuit and the forced optimum noise performance will be achieved from the active syllabic algorithm.

Diode breakpoint networks may be very simple or moderately complex and can improve the usable dynamic range of any codec. In the past they have been used in high performance telephone codecs.

Typical resistor-diode networks are shown in Figure 17.

FIGURE 17 – RESISTOR-DIODE NETWORKS



If the performance of more complex diode networks is desired, the circuit in Figure 18 should be used. It simulates the companding characteristics of nonlinear R_X elements in a different manner.

Output Low Pass Filter

A low pass filter is required at the receiving circuit output to eliminate quantizing noise. In general, the lower the bit rate, the better the filter must be. The filter in Figure 20 provides excellent performance for 12 kHz to 40 kHz systems.

TELEPHONE CARRIER QUALITY CODEC USING MC3418

Two specifications of the integrated circuit are specifically intended to meet the performance requirements of commercial telephone systems. First, slope polarity switch current matching is laser trimmed to guarantee proper idle channel performance with 5 mV minimum step size and a typical 1% current match from 15 μA to 3 mA. Thus a 300 to 1 range of step size variation is possible. Second, the MC3418 provides the four-bit algorithm currently used in subscriber loop telephone systems. With these specifications and the circuit of Figure 18, a telephone quality codec can be mass produced.

The circuit in Figure 18 provides a 30 dB S/Nc ratio over 50 dB of dynamic range for a 1 kHz test tone at a 37.7K bit rate. At 37.7K bits, 40 voice channels may be multiplexed on a standard 1.544 megabit T1 facility. This codec has also been tested for 10^{-7} error rates with asynchronous and synchronous data up to 2400 baud and for reliable performance with DTMF signaling. Thus, the design is applicable in telephone quality subscriber loop carrier systems, subscriber loop concentrators and small PABX installations.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TELEPHONE CARRIER QUALITY CODEC USING MC3418 (continued)

The Active Companding Network

The unique feature of the codec in Figure 18 is the step size control circuit which uses a companding ratio reference, the present step size, and the present syllabic filter output to establish the optimum companding ratios and step sizes for any given input level. The companding ratio of a CVSD codec is defined as the duty cycle of the coincidence output. It is the parameter measured by the syllabic filter and is the voltage across C_S divided by the voltage swing of the coincidence output. In Figure 18, the voltage swing of Pin 11 is 6.0 volts. The operating companding ratio is analoged by the voltage between Pins 10 and 4 by means of the virtual short across Pins 3 and 4 of the V to I op amp within the integrated circuit. Thus, the instantaneous companding ratio of the codec is always available at the negative input of A1.

The diode D1 and the gain of A1 and A2 provide a companding ratio reference for any input level. If the output of A2 is more than 0.7 volts below $V_{CC}/2$, then the positive input of A1 is ($V_{CC}/2$ − 0.7). The on diode drop at the input of A1 represents a 12% companding ratio (12% = 0.7 V/6.0 V).

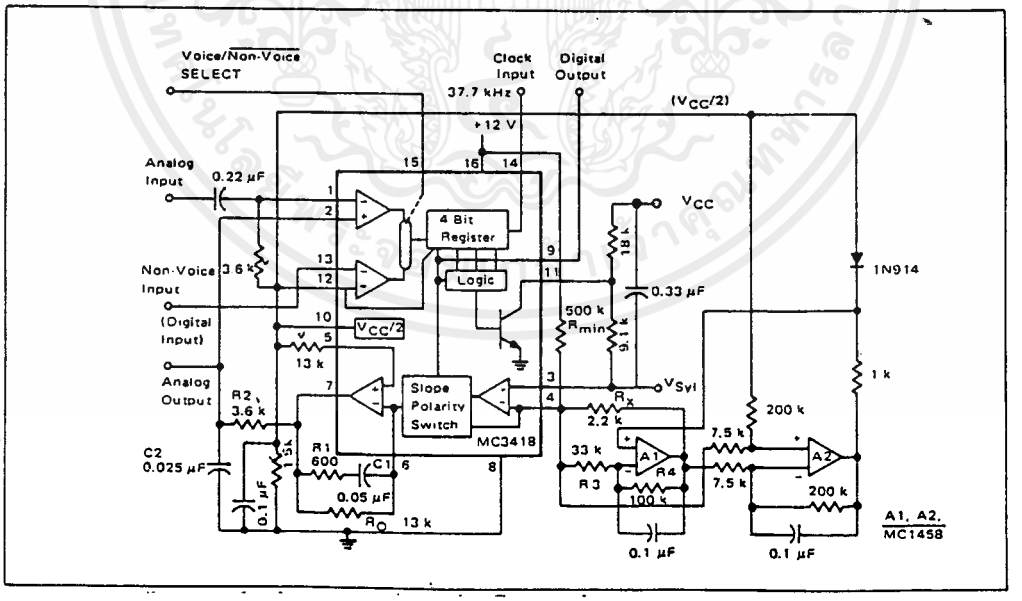
The present step size of the operating codec is directly related to the voltage across R_X, which established the integrator current. In Figure 18, the voltage across R_X is amplified by the differential amplifier A2 whose output is single ended with respect to Pin 10 of the IC.

For large signal inputs, the step size is large and the output of A2 is lower than 0.7 volts. Thus D1 is fully on. The present step size is not a factor in the step size control. However, the difference between 12% companding ratio and the instantaneous companding ratio at Pin 4 is amplified by A1. The output of A1 changes the voltage across R_X in a direction which reduces the difference between the companding reference and the operating ratio by changing the step size. The ratio of R4 and R3 determines how closely the voltage at Pin 4 will be forced to 12%. The selection of R3 and R4 is initially experimental. However, the resulting companding control is dependent on R_X, R3, R4, and the full diode drop D1. These values are easy to reproduce from codec to codec.

For small input levels, the companding ratio reference becomes the output of A2 rather than the diode drop. The operating companding ratio on Pin 4 is then compared to a companding ratio smaller than 12% which is determined by the voltage drop across R_X and the gain of A2 and A1. The gain of A2 is also experimentally determined, but once determined, the circuitry is easily

FIGURE 18 – TELEPHONE QUALITY DELTAMOD CODER

(Both double integration and active companding control are used to obtain improved CVSD performance. Laser trimming of the integrated circuit provides reliable idle channel and step size range characteristics.)

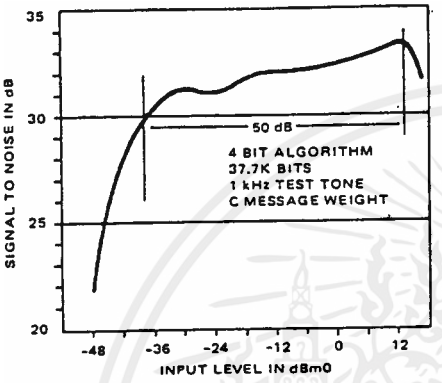


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

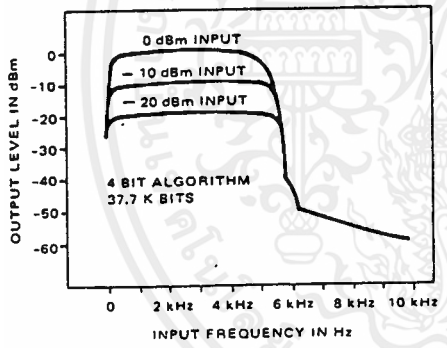
TELEPHONE CARRIER QUALITY CODEC USING MC3418 (continued)

FIGURE 19 – SIGNAL-TO-NOISE PERFORMANCE AND FREQUENCY RESPONSE
(Showing the improvement realized with the circuit in Figure 18.)

a. SIGNAL-TO-NOISE PERFORMANCE OF TELEPHONY QUALITY DELTAMODULATOR



b. FREQUENCY RESPONSE versus INPUT LEVEL (SLOPE OVERLOAD CHARACTERISTIC)



repeated.

With no input signal, the companding ratio at Pin 4 goes to zero and the voltage across R_X goes to zero. The voltage at the output of A2 becomes zero since there is no drop across R_X. With no signal input, the actively controlled step size vanished.

The minimum step size is established by the 500 k resistor between V_{CC} and $V_{CC}/2$ and is therefore independently selectable.

The signal to noise results of the active companding network are shown in Figure 19. A smooth 2 dB drop is realized from +12 dBm to –24 under the control of A1. At –24 dBm, A2 begins to degenerate the companding reference and the resulting step size is reduced so as to extend the dynamic range of the codec by 20 dBm.

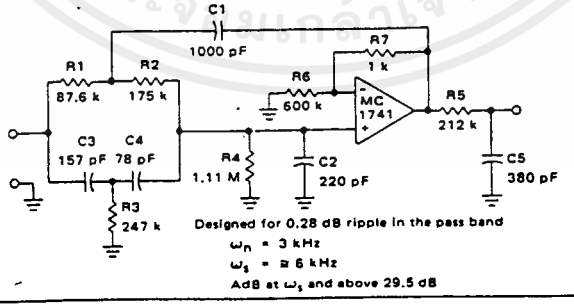
The slope overload characteristic is also shown. The active companding network produces improved performance with frequency. The 0 dBm slope overload point is raised to 4.8 kHz because of the gain available in controlling the voltage across R_X. The curves demonstrate that the level linearity has been maintained or improved.*

The codec in Figure 18 is designed specifically for 37.7K bit systems. However, the benefits of the active companding network are not limited to high bit rate systems. By modifying the crossover region (changing the gain of A2), the active technique may be used to improve the performance of lower bit rate systems.

The performance and repeatability of the codec in Figure 18 represents a significant step forward in the art and cost of CVSD codec designs.

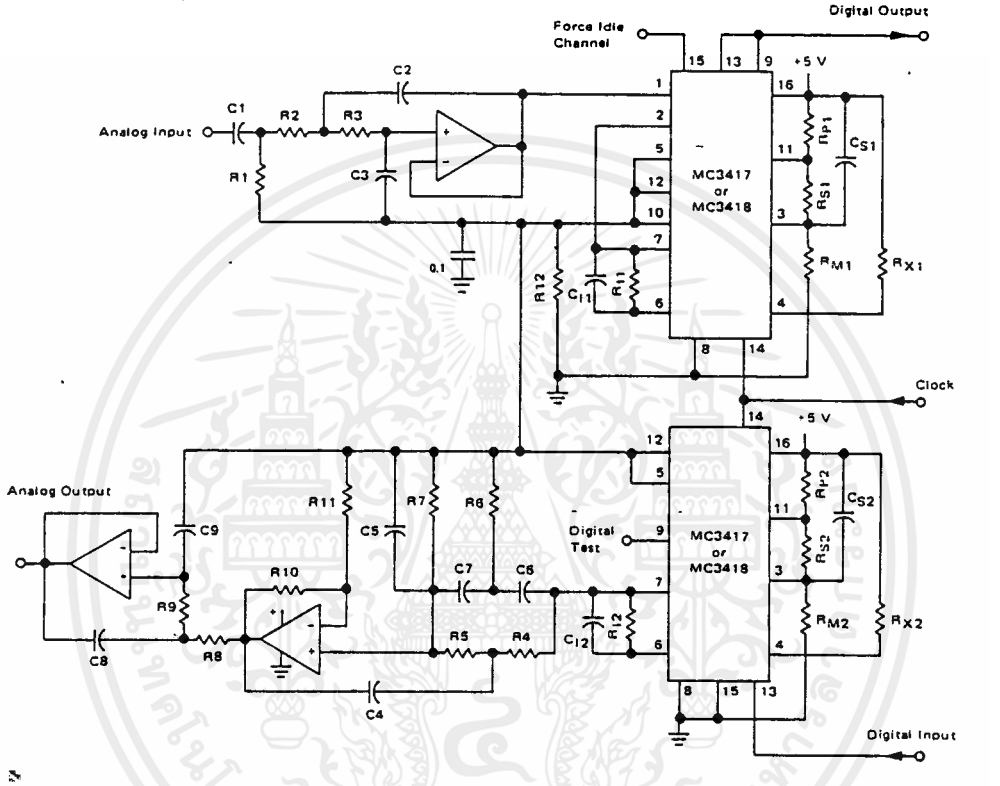
*A larger value for C2 is required in the decoder circuit than in the encoder to adjust the level linearity with frequency. In Figure 18, 0.050 μF would work well.

FIGURE 20 – HIGH PERFORMANCE ELLIPTIC FILTER FOR CVSD OUTPUT



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

FIGURE 21 – FULL DUPLEX/32K BIT CVSD VOICE CODEC USING MC3517/18 AND MC3503/6 OP AMP



Codec Components

R_{X1}, R_{X2} – 3.3 kΩ
R_{P1}, R_{P2} – 3.3 kΩ
R_{S1}, R_{S2} – 100 kΩ
R_{I1}, R_{I2} – 20 kΩ
R_{I2} – 1 kΩ
R_{M1}, R_{M2} – 5 MΩ (MC3417)
Minimum step size = 20 mV
R_{M1}, R_{M2} – 15 MΩ (MC3418)
Minimum step size = 6 mV

C_{S1}, C_{S2} – 0.05 μF
C_{I1}, C_{I2} – 0.05 μF

2 MC3417 (or MC3418)
1 MC3403 (or MC3406)

Note. All Res. 5%
All Cap 5%

Input Filter Specifications

12 dB/Octave Rolloff above 3.3 kHz
6 dB/Octave Rolloff below 50 Hz

Output Filter Specifications

Break Frequency – 3.3 kHz
Stop Band – 9 kHz
Stop Band Atten. – 50 dB
Rolloff – > 40 dB/Octave

Filter Components

R1 – 965 Ω	C1 – 3.3 μF
R2 – 72 kΩ	C2 – 837 pF
R3 – 72 kΩ	C3 – 536 pF
R4 – 63.46 kΩ	C4 – 1000 pF
R5 – 127 kΩ	C5 – 222 pF
R6 – 365.5 kΩ	C6 – 77 pF
R7 – 1.645 MΩ	C7 – 38 pF
R8 – 72 kΩ	C8 – 937 pF
R9 – 72 kΩ	C9 – 536 pF
R10 – 29.5 kΩ	
R11 – 72 kΩ	

Note: All Res. 0.1% to 1%.
All Cap 1.0%

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

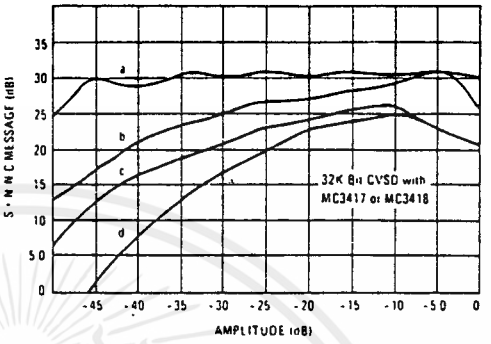
COMPARATIVE CODEC PERFORMANCE

The salient feature of CVSD codecs using the MC3517 and MC3518 family is versatility. The range of codec complexity tradeoffs and bit rate is so wide that one cannot grasp the interdependency of parameters for voice applications in a few pages.

Design of a specific codec must be tailored to the digital channel bandwidth, the analog bandwidth, the quality of signal transmission required and the cost objectives. To illustrate the choices available, the data in Figure 22 compares the signal-to-noise ratios and dynamic range of various codec design options at 32K bits. Generally, the relative merits of each design feature will remain intact in any application. Lowering the bit rate will reduce the dynamic range and noise performance of all techniques. As the bit rate is increased, the overall performance of each technique will improve and the need for more complex designs diminishes.

Non-voice applications of the MC3517 and MC3518 are also possible. In those cases, the signal bandwidth and amplitude characteristics must be defined before the specification of codec parameters can begin. However, in general, the design can proceed along the lines of the voice applications shown here, taking into account the different signal bandwidth requirements.

FIGURE 22 – COMPARATIVE CODEC PERFORMANCE – SIGNAL-TO-NOISE RATIO FOR 1 kHz TEST TONE



These curves demonstrate the improved performance obtained with several codec designs of varying complexity.

Curve a — Complex companding and double integration (Figure 18 — MC3418)
Curve b — Double integration (Figure 14 using Figure 16 — MC3418)
Curve c — Single integration (Figure 14 — MC3418) with 6.0 mV step size
Curve d — Single integration (Figure 14 — MC3417) with 25 mV step size

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

National Semiconductor

Voltage Regulators

LM78XX Series Voltage Regulators

General Description

The LM78XX series of three terminal regulators is available with several fixed output voltages making them useful in a wide range of applications. One of these is local on card regulation, eliminating the distribution problems associated with single point regulation. The voltages available allow these regulators to be used in logic systems, instrumentation, HiFi, and other solid state electronic equipment. Although designed primarily as fixed voltage regulators these devices can be used with external components to obtain adjustable voltages and currents.

The LM78XX series is available in an aluminum TO-3 package which will allow over 1.0A load current if adequate heat sinking is provided. Current limiting is included to limit the peak output current to a safe value. Safe area protection for the output transistor is provided to limit internal power dissipation. If internal power dissipation becomes too high for the heat sinking provided, the thermal shutdown circuit takes over preventing the IC from overheating.

Considerable effort was expended to make the LM78XX series of regulators easy to use and minimize the number of external components. It is not necessary to bypass the output, although this does improve transient response. Input bypassing is needed only if the regulator is located far from the filter capacitor of the power supply.

For output voltage other than 5V, 12V and 15V the LM117 series provides an output voltage range from 1.2V to 57V.

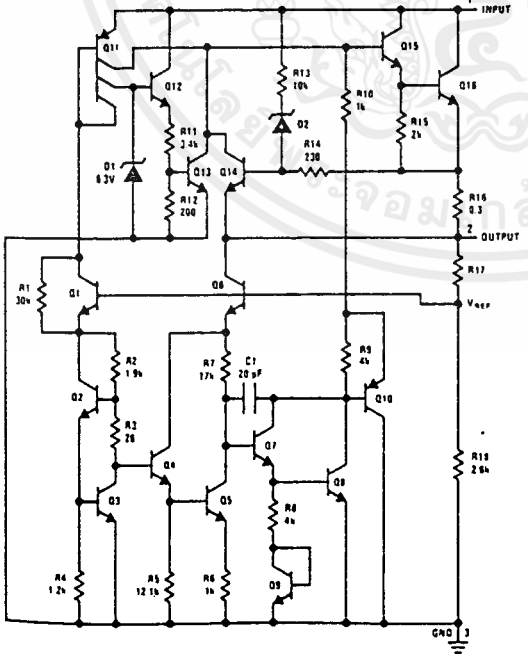
Features

- Output current in excess of 1A
- Internal thermal overload protection
- No external components required
- Output transistor safe area protection
- Internal short circuit current limit
- Available in the aluminum TO-3 package

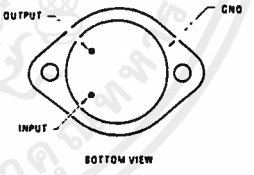
Voltage Range

LM7805C	5V
LM7812C	12V
LM7815C	15V

Schematic and Connection Diagrams

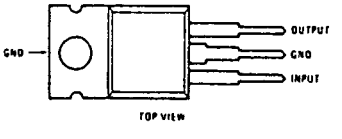


Metal Can Package
TO-3 (K)
Aluminum



Order Numbers
LM7805CK
LM7812CK
LM7815CK
See Package KC02A

Plastic Package
TO-220 (T)



Order Numbers:
LM7805CT
LM7812CT
LM7815CT
See Package T03B

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Absolute Maximum Ratings

Input Voltage (V_O = 5V, 12V and 15V)	35V
Internal Power Dissipation (Note 1)	Internally Limited
Operating Temperature Range (T_A)	0°C to +70°C
Maximum Junction Temperature	
(K Package)	150°C
(T Package)	125°C
Storage Temperature Range	−65°C to +150°C
Lead Temperature (Soldering, 10 seconds)	
TO-3 Package K	300°C
TO-220 Package T	230°C

Electrical Characteristics LM78XXC (Note 2) 0°C ≤ Tj ≤ 125°C unless otherwise noted.

OUTPUT VOLTAGE				5V			12V			15V			UNITS
INPUT VOLTAGE (unless otherwise noted)				10V			19V			23V			
PARAMETER		CONDITIONS		MIN	TYP	MAX	MIN	TYP	MAX	MIN	TYP	MAX	
V_O	Output Voltage	Tj = 25°C, 5 mA ≤ I_O ≤ 1A		4.8	5	5.2	11.5	12	12.5	14.4	15	15.6	V
		P_D ≤ 15W, 5 mA ≤ I_O ≤ 1A, V_{MIN} ≤ V_{IN} ≤ V_{MAX}		4.75 (7 ≤ V_{IN} ≤ 20)		5.25	11.4 (14.5 ≤ V_{IN} ≤ 27)		12.6	14.25 (17.5 ≤ V_{IN} ≤ 30)		15.75	V
ΔV_O	Line Regulation	I_O = 500 mA	Tj = 25°C, ΔV_{IN}		3 (7 ≤ V_{IN} ≤ 25)	50		4 (14.5 ≤ V_{IN} ≤ 30)	120		4 (17.5 ≤ V_{IN} ≤ 30)	150	mV V
			0°C ≤ Tj ≤ +125°C, ΔV_{IN}			50 (8 ≤ V_{IN} ≤ 20)			120 (15 ≤ V_{IN} ≤ 27)			150 (18.5 ≤ V_{IN} ≤ 30)	mV V
		I_O ≤ 1A	Tj = 25°C, ΔV_{IN}			50 (7.3 ≤ V_{IN} ≤ 20)			120 (14.6 ≤ V_{IN} ≤ 27)			150 (17.7 ≤ V_{IN} ≤ 30)	mV V
			0° ≤ Tj ≤ +125°C, ΔV_{IN}			25 (8 ≤ IN ≤ 12)			60 (16 ≤ V_{IN} ≤ 22)			75 (20 ≤ V_{IN} ≤ 26)	mV V
ΔV_O	Load Regulation	Tj = 25°C	5 mA ≤ I_O ≤ 1.5A		10	50		12	120		12	150	mV
			250 mA ≤ I_O ≤ 750 mA			25			60			75	mV
		5 mA ≤ I_O ≤ 1A, 0°C ≤ Tj ≤ +125°C				50			120			150	mV
I_Q	Quiescent Current	I_O ≤ 1A	Tj = 25°C			8			8			8	mA
			0°C ≤ Tj ≤ +125°C			8.5			8.5			8.5	mA
ΔI_Q	Quiescent Current Change	5 mA ≤ I_O ≤ 1A				0.5			0.5			0.5	mA
		Tj = 25°C, I_O ≤ 1A, V_{MIN} ≤ V_{IN} ≤ V_{MAX}				1.0 (7.5 ≤ V_{IN} ≤ 20)			1.0 (14.8 ≤ V_{IN} ≤ 27)			1.0 (17.9 ≤ V_{IN} ≤ 30)	mA V
		I_O ≤ 500 mA, 0°C ≤ Tj ≤ +125°C, V_{MIN} ≤ V_{IN} ≤ V_{MAX}				1.0 (7 ≤ V_{IN} ≤ 25)			1.0 (14.5 ≤ V_{IN} ≤ 30)			1.0 (17.5 ≤ V_{IN} ≤ 30)	mA V
V_N	Output Noise Voltage	T_A = 25°C, 10 Hz ≤ f ≤ 100 kHz			40			75			90		μV
$\frac{\Delta V_{IN}}{\Delta V_{OUT}}$	Ripple Rejection	f = 120 Hz	I_O ≤ 1A, Tj = 25°C or I_O ≤ 500 mA, 0°C ≤ Tj ≤ +125°C	62	80		55	72		54	70		dB
				62			55			54			dB
		V_{MIN} ≤ V_{IN} ≤ V_{MAX}											V
				(8 ≤ V_{IN} ≤ 18)			(15 ≤ V_{IN} ≤ 25)			(18.5 ≤ V_{IN} ≤ 28.5)				
R_O	Dropout Voltage	Tj = 25°C, I_{OUT} = 1A			2.0			2.0			2.0		V
	Output Resistance	f = 1 kHz			8			18			19		mΩ
	Short-Circuit Current	Tj = 25°C			2.1			1.5			1.2		A
	Peak Output Current	Tj = 25°C			2.4			2.4			2.4		A
	Average TC of V_{OUT}	0°C ≤ Tj ≤ +125°C, I_O = 5 mA			0.6			1.5			1.8		mV/°C
V_{IN}	Input Voltage Required to Maintain Line Regulation	Tj = 25°C, I_O ≤ 1A		7.3			14.6			17.7			V

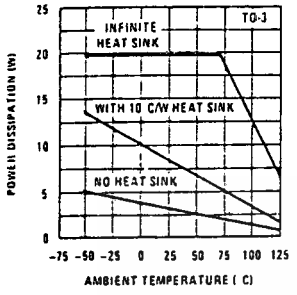
NOTE 1: Thermal resistance of the TO-3 package (K, KC) is typically 4°C/W junction to case and 35°C/W case to ambient. Thermal resistance of the TO-220 package (T) is typically 4°C/W junction to case and 50°C/W case to ambient.

NOTE 2: All characteristics are measured with capacitor across the inut of 0.22 μF, and a capacitor across the output of 0.1 μF. All characteristics except noise voltage and ripple rejection ratio are measured using pulse techniques (t_W ≤ 10 ms, duty cycle ≤ 5%). Output voltage changes due to changes in internal temperature must be taken into account separately.

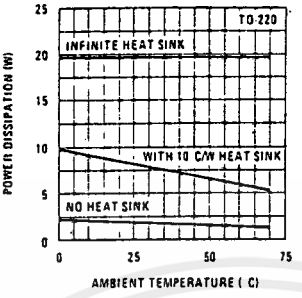
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Performance Characteristics

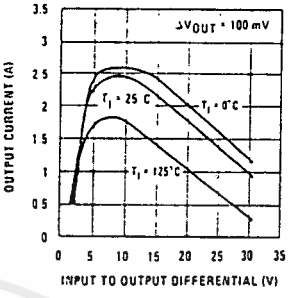
Maximum Average Power Dissipation



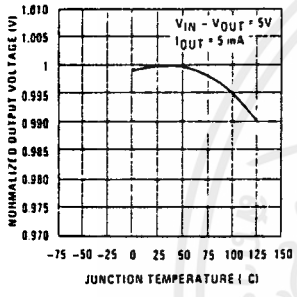
Maximum Average Power Dissipation



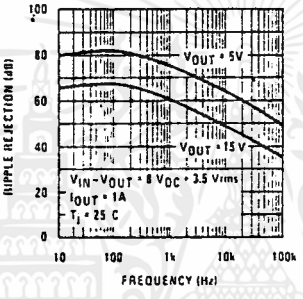
Peak Output Current



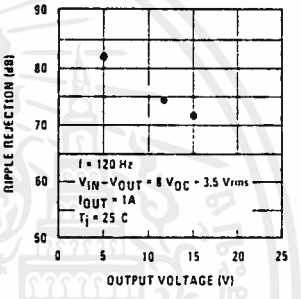
Output Voltage (Normalized to 1V at $T_J = 25°C$)



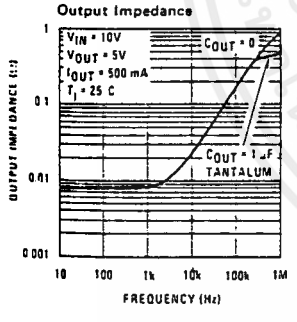
Ripple Rejection



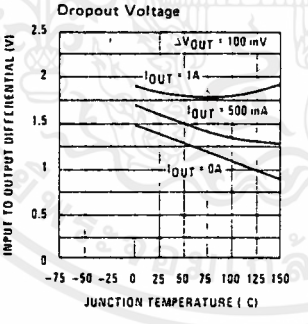
Ripple Rejection



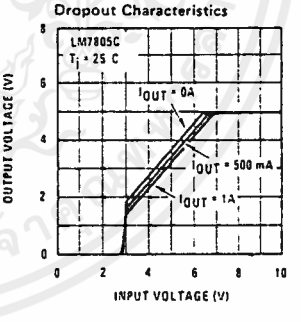
Output Impedance



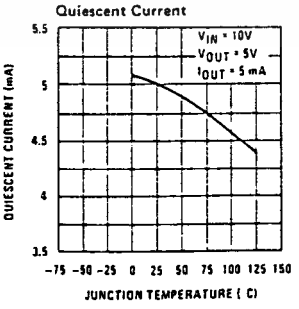
Dropout Voltage



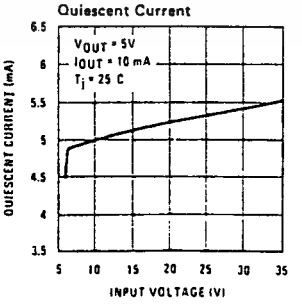
Dropout Characteristics



Quiescent Current



Quiescent Current



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

National Semiconductor

Voltage Regulators

LM79XX Series 3-Terminal Negative Regulators

General Description

The LM79XX series of 3-terminal regulators is available with fixed output voltages of −5V, −12V, and −15V. These devices need only one external component—a compensation capacitor at the output. The LM79XX series is packaged in the TO-220 power package and is capable of supplying 1.5A of output current.

These regulators employ internal current limiting safe area protection and thermal shutdown for protection against virtually all overload conditions.

Low ground pin current of the LM79XX series allows output voltage to be easily boosted above the preset value with a resistor divider. The low quiescent current drain of these devices with a specified maximum change with line and load ensures good regulation in the voltage boosted mode.

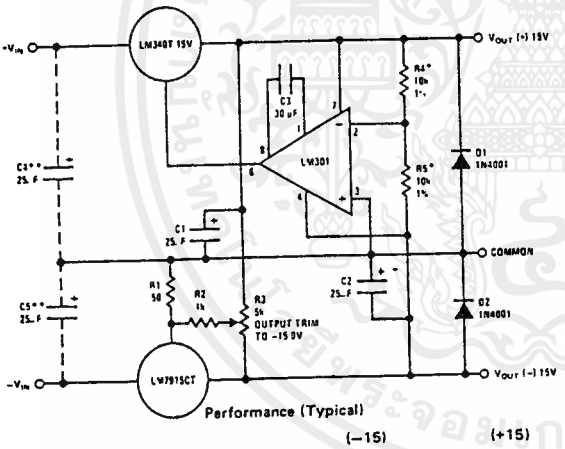
For applications requiring other voltages, see LM137 data sheet.

Features

- Thermal, short circuit and safe area protection
- High ripple rejection
- 1.5A output current
- 4% preset output voltage

Typical Applications

±15V, 1 Amp Tracking Regulators



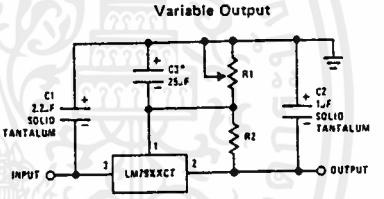
Performance (Typical)

	(−15)	(+15)
Load Regulation at ΔI_L = 1A	40 mV	2 mV
Output Ripple, C_{IN} = 3000μF, I_L = 1A	100μVrms	100μVrms
Temperature Stability	50 mV	50 mV
Output Noise 10 Hz ≤ f ≤ 10 kHz	150μVrms	150μVrms

*Resistor tolerance of R4 and R5 determine matching of (+) and (−) outputs

**Necessary only if raw supply filter capacitors are more than 3" from regulators

Variable Output



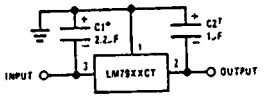
*Improves transient response and ripple rejection. Do not increase beyond 50μF.

$$V_{OUT} = V_{SET}\left(\frac{R1 + R2}{R2}\right)$$

Select R2 as follows

LM7905CT	300Ω
LM7912CT	750Ω
LM7915CT	1k

Fixed Regulator

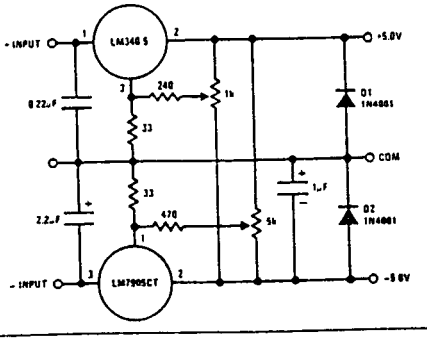


*Required if regulator is separated from filter capacitor by more than 3". For value given, capacitor must be solid tantalum. 25μF aluminum electrolytic may be substituted.

†Required for stability. For value given, capacitor must be solid tantalum. 25μF aluminum electrolytic may be substituted. Values given may be increased without limit.

For output capacitance in excess of 100μF, a high current diode from input to output (1N4001, etc.) will protect the regulator from momentary input shorts.

Dual Trimmed Supply



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Absolute Maximum Ratings

Input Voltage	
(V_O = 5V)	−35V
(V_O = 12V and 15V)	−40V
Input-Output Differential	
(V_O = 5V)	25V
(V_O = 12V and 15V)	30V
Power Dissipation	Internally Limited
Operating Junction Temperature Range	0°C to +125°C
Storage Temperature Range	−65°C to +150°C
Lead Temperature (Soldering, 10 seconds)	230°C

Electrical Characteristics

Conditions unless otherwise noted: I_{OUT} = 500 mA, C_{IN} = 2.2μF, C_{OUT} = 1μF, 0°C ≤ T_J ≤ +125°C, Power Dissipation ≤ 15W.

PART NUMBER			LM7905C			UNITS
OUTPUT VOLTAGE			5V			
INPUT VOLTAGE (unless otherwise specified)			−10V			
PARAMETER		CONDITIONS	MIN	TYP	MAX	
V_O	Output Voltage	T_J = 25°C	−4.8	−5.0	−5.2	V
		5 mA ≤ I_{OUT} ≤ 1A, P ≤ 15W	−4.75		−5.25	V
		(−20 ≤ V_{IN} ≤ −7)				V
ΔV_O	Line Regulation	T_J = 25°C, (Note 2)		8	50	mV
		(−25 ≤ V_{IN} ≤ −7)				V
				2	15	mV
		(−12 ≤ V_{IN} ≤ −8)				V
ΔV_O	Load Regulation	T_J = 25°C, (Note 2)				mV
		5 mA ≤ I_{OUT} ≤ 1.5A		15	100	mV
		250 mA ≤ I_{OUT} ≤ 750 mA		5	50	mV
I_Q	Quiescent Current	T_J = 25°C		1	2	mA
ΔI_Q	Quiescent Current Change	With Line			0.5	mA
		(−25 ≤ V_{IN} ≤ −7)				V
		With Load, 5 mA ≤ I_{OUT} ≤ 1A			0.5	mA
V_n	Output Noise Voltage	T_A = 25°C, 10 Hz ≤ f ≤ 100 Hz		125		μV
	Ripple Rejection	f = 120 Hz	54	66		dB
		(−18 ≤ V_{IN} ≤ −8)				V
	Dropout Voltage	T_J = 25°C, I_{OUT} = 1A		1.1		V
I_{OMAX}	Peak Output Current	T_J = 25°C		2.2		A
	Average Temperature Coefficient of Output Voltage	I_{OUT} = 5 mA, 0°C ≤ T_J ≤ 100°C		0.4		mV/°C

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Electrical Characteristics (Continued) Conditions unless otherwise noted: I_{OUT} = 500 mA, C_{IN} = 2.2μF, C_{OUT} = 1μF, 0°C ≤ T_J ≤ +125°C, Power Dissipation = 1.5W.

PART NUMBER			LM7912C			LM7915C			UNITS
OUTPUT VOLTAGE			12V			15V			
INPUT VOLTAGE (unless otherwise specified)			−19V			−23V			
PARAMETER		CONDITIONS	MIN	TYP	MAX	MIN	TYP	MAX	
V_O	Output Voltage	T_J = 25°C	−11.5	−12.0	−12.5	−14.4	−15.0	−15.6	V
		5 mA ≤ I_{OUT} ≤ 1A,	−11.4		−12.6	−14.25		−15.75	V
		P ≤ 15W	(−27 ≤ V_{IN} ≤ −14.5)			(−30 ≤ V_{IN} ≤ −17.5)			V
ΔV_O	Line Regulation	T_J = 25°C, (Note 2)		5	80		5	100	mV
			(−30 ≤ V_{IN} ≤ −14.5)			(−30 ≤ V_{IN} ≤ −17.5)			V
				3	30		3	50	mV
			(−22 ≤ V_{IN} ≤ −16)			(−26 ≤ V_{IN} ≤ −20)			V
ΔV_O	Load Regulation	T_J = 25°C, (Note 2)		15	200		15	200	mV
		5 mA ≤ I_{OUT} ≤ 1.5A		15	200		15	200	mV
		250 mA ≤ I_{OUT} ≤ 750 mA		5	75		5	75	mV
I_Q	Quiescent Current	T_J = 25°C		1.5	3		1.5	3	mA
ΔI_Q	Quiescent Current Change	With Line			0.5			0.5	mA
			(−30 ≤ V_{IN} ≤ −14.5)			(−30 ≤ V_{IN} ≤ −17.5)			V
		With Load, 5 mA ≤ I_{OUT} ≤ 1A			0.5			0.5	mA
V_n	Output Noise Voltage	T_A = 25°C, 10 Hz ≤ f ≤ 100 Hz		300			375		μV
	Ripple Rejection	f = 120 Hz	54	70		54	70		dB
			(−25 ≤ V_{IN} ≤ −15)			(−30 ≤ V_{IN} ≤ −17.5)			V
	Dropout Voltage	T_J = 25°C, I_{OUT} = 1A		1.1			1.1		V
I_{OMAX}	Peak Output Current	T_J = 25°C		2.2			2.2		A
	Average Temperature Coefficient of Output Voltage	I_{OUT} = 5 mA, 0°C ≤ T_J ≤ 100°C		−0.8			−1.0		mV/°C

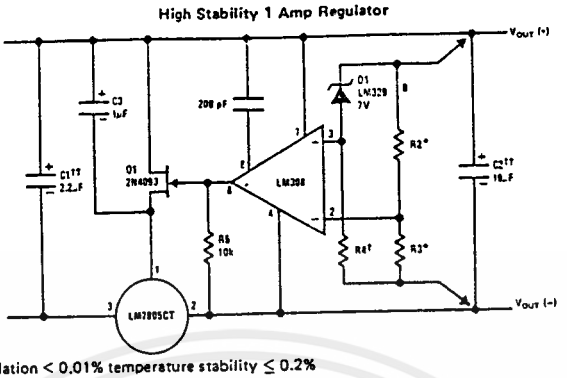
Note 1: For calculations of junction temperature rise due to power dissipation, thermal resistance junction to ambient (θ_{JA}) is 50°C/W (no heat sink) and 5°C/W (infinite heat sink).

Note 2: Regulation is measured at a constant junction temperature by pulse testing with a low duty cycle. Changes in output voltage due to heating effects must be taken into account.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Applications (Continued)

High Stability 1 Amp Regulator



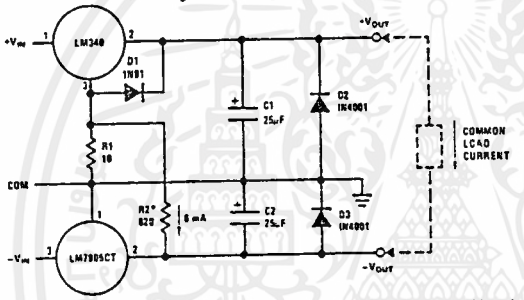
Load and line regulation < 0.01% temperature stability ≤ 0.2%

†Determines Zener current

††Solid tantalum

*Select resistors to set output voltage. 2 ppm/°C tracking suggested

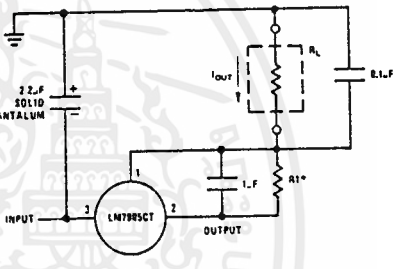
Preventing Positive Regulator Latch-Up



R1 and D1 allow the positive regulator to "start-up" when $+V_{IN}$ is delayed relative to $-V_{IN}$ and a heavy load is drawn between the outputs. Without R1 and D1, most three-terminal regulators will not start with heavy (0.1A–1A) load current flowing to the negative regulator, even though the positive output is clamped by D2.

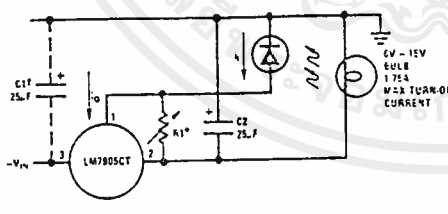
*R2 is optional. Ground pin current from the positive regulator flowing through R1 will increase $+V_{OUT}$ ≈ 60 mV if R2 is omitted.

Current Source



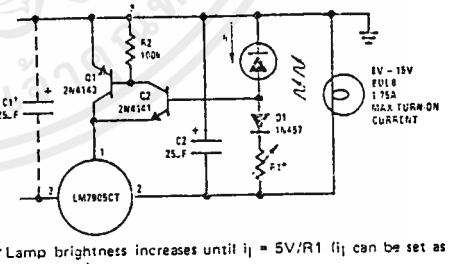
$$*I_{OUT} = 1\ mA + \frac{5V}{R1}$$

Light Controllers Using Silicon Photo Cells



*Lamp brightness increases until $i_L = i_Q$ (≈ 1 mA) + 5V/R1.

†Necessary only if raw supply filter capacitor is more than 2" from LM7905CT



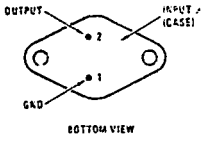
*Lamp brightness increases until i_L = 5V/R1 (i_L can be set as low as 1μA)

†Necessary only if raw supply filter capacitor is more than 2" from LM7905CT

Connection Diagrams

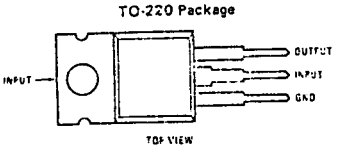
TO-3 Package

Order Numbers:
LM7905CK
LM7912CK
LM7915CK
See NS Package KC02A



BOTTOM VIEW

TO-220 Package



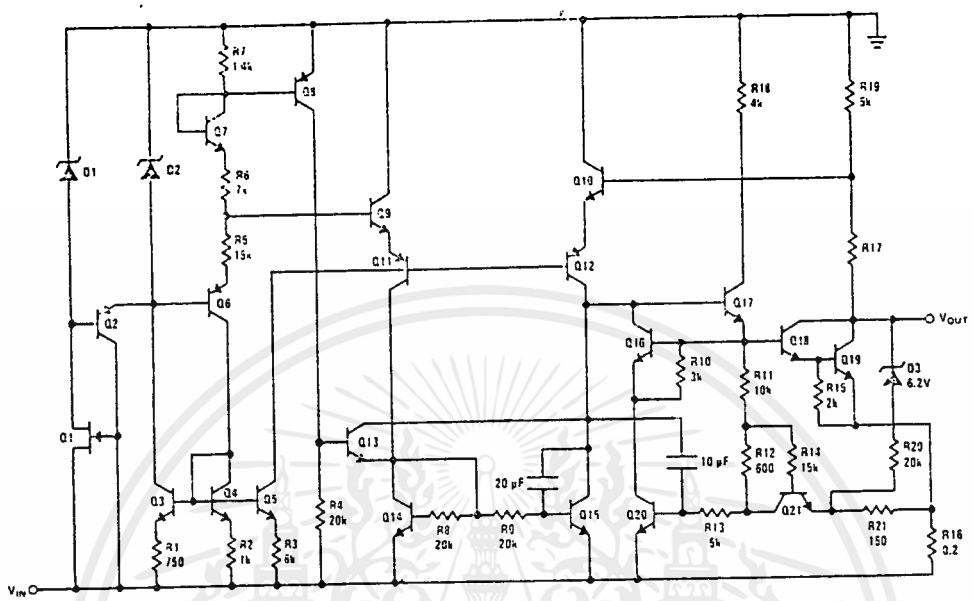
TOP VIEW

Order Numbers:
LM7905CT
LM7912CT
LM7915CT
See NS Package T03B

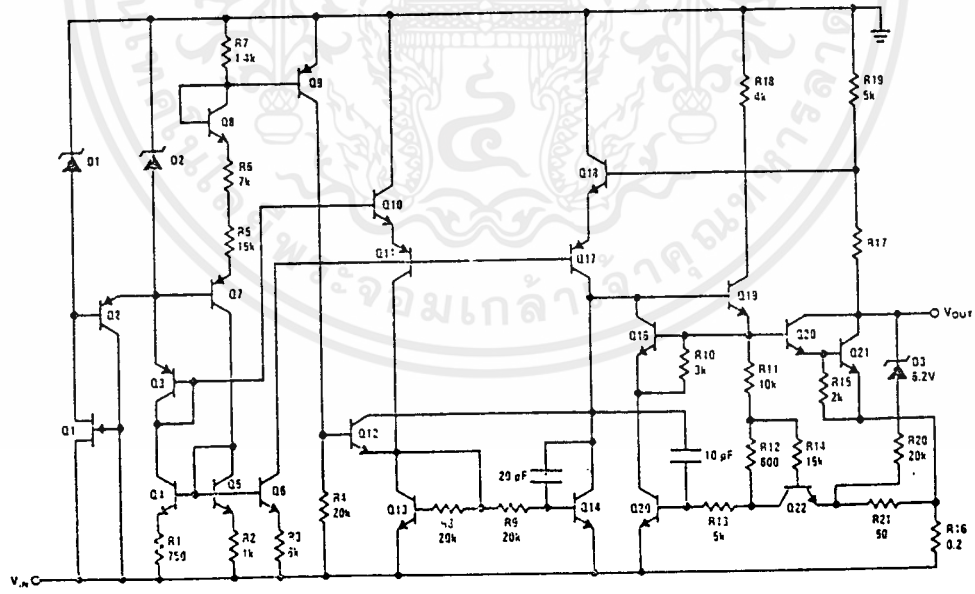
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Schematic Diagrams

−5V



−12V and −15V



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้