เครื่องกำเนิดสัญญาณแบบโปรแกรมได้

PROGRAMMABLE FUNCTION GENERATOR

นาย บุญกฤษณ์ ศรีสงเคราะห์ 34131154

นาย รุ่งเพชร อินทะ 34131166

นาย รุ่งวิทย์ สดใส 34131168

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตร

ปริญญาอุตสาหกรรมศาสตร์บัณฑิต

ภาควิชาเทคนิคอุตสาหกรรม

คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2535

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

032593

ใบรับรองปริญญานิพนธ์

ภาคเทคนิคอุตสาหกรรม คณะวิศวกรรมศาสตร์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เรื่อง

เครื่องกำเนิดสัญญาณแบบโปรแกรมได้

PROGRAMMABLE FUNCTION GENERATOR

โดย

นาย บุญกฤษณ์ ศรีสงเคราะห์ 34131154

นาย รุ่งเนชร อินทะ 34131166

นาย รุ่งวิทย์ สดใส 34131168

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษา

ตามหลักสูตรอุตสาหกรรมศาสตร์บัณฑิต

คณะกรรมการสอบปริญญานิพนธ์

_____ประธานกรรมการ

(_____)

_____กรรมการ

(_____)

_____กรรมการ

(_____)

_____กรรมการ

(_____)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

032593

เครื่องกำเนิดสัญญาณโปรแกรมได้

นาย บุญกฤษณ์ ศรีสงเคราะห์ 34131154
นาย รุ่งเพชร อินทะ 34131166
นาย รุ่งวิทย์ สดใส 34131168
อาจารย์ที่ปรึกษา
อ.ชวลิต เบญจางคประเสริฐ
อ.ประภากร สุวรรณะ

บทคัดย่อ

ปริญญานิพนธ์ฉบับนี้ได้กล่าวถึงการทำงานของเครื่องกำเนิดสัญญาณแบบโปรแกรมได้ ซึ่งใช้คอมพิวเตอร์ในการควบคุม ความถี่, ขนาดของสัญญาณ และ รูปแบบของสัญญาณ สัญญาณมีอยู่สามแบบซึ่งเป็นแบบมาตารฐาน ได้แก่ ซายน์เวฟ, สามเหลี่ยม,สี่เหลี่ยมในส่วนของการกำเนิดสัญญาณ จะใช้หลักการของ วงจรเฟสล็อกลูป ซึ่งจะทำให้เครื่องมีเสถียรภาพทาง ด้านความถี่ที่ดี ในส่วนของการควบคุมจะอาศัย ซอฟท์แวร์ ที่เขียนขึ้น ช่วยในการแปลงข้อมูลจากการป้อนเข้าทางคอมพิวเตอร์ เพื่อส่งผ่านออกทางเอาท์พุทของคอมพิวเตอร์ เพื่อไปควบคุมการทำงานของส่วนกำเนิดสัญญาณในวงจรของ วงจรเฟสล็อกลูป,วงจรหาร Nโปรแกรมได้ วงจรเลื่อกย่านความถี่เพื่อให้ได้ความถี่ตามต้องการและการกำหนดขนาดของสัญญาณที่สะดวกและรวดเร็วกว่าการปรับด้วยมือ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

PROGRAMMABLE FUNCTION GENERATOR

Mr. Boonkich Srisongkraw 34131154

Mr. Rungpet Inta 34131166

Mr. Rungwit Sodsai 34131168

Advisor

Mr. Chawalit Behjangkaprasurt

Mr. Praphagorn Suwonnoa

Abstract

This thesis is said operating of programmable function generator which is controled by microcomputer. It control frequency, amplitude and waveform. Waveform have three form as sine wave , triangle wave , and square wave . Programmable function_generator is used principle of phase lock loop because well stability . In control , software are controled converse data inputof computer to control vco, pll, counter and selector for frequency desire . It give amplitude at convenient and rapid than manual.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ

1.บทที่ 1	1
1.1 บทนำ	1
2.บทที่ 2	2
2.1 หลักการทำงานของเฟสล็อกลูป	2
2.2 กระบวนการแคปเจอร์สัญญาณอินพุท	4
2.3 คุณสมบัติการแทร็คตามสัญญาณอินพุท	7
2.4 พิสัยการล็อก	11
2.5 พิสัยการแคปเจอร์	12
2.6 ไอซี 8255	15
3.บทที่ 3	23
3.1 การออกแบบวงจร	23
3.2 วงจรกำเนิดความถี่	25
3.3 วงจรหารความถี่	25
3.4 วงจรหารความถี่แบบโปรแกรมได้	27
3.5 วงจรฟับรีเลย์	27
3.6 วงจรลดทอนสัญญาณ	30
3.7 วงจรขยายแบบโปรแกรมได้	32
3.8 วงจรแปลงสัญญาณดิจิตอลเป็นอนาล็อก	33
3.9 วงจรควบคุมพอร์ท 8255	35
3.10 วงจรเฟสล็อกลูป	36
4.บทที่ 4	40
4.1 การทดลองและผลการทดลอง	40
5.บทที่ 5	41
5.1 บทสรุปและวิจารณ์	41
6.การใช้งานโปรแกรม	42
7.ภาคผนวก	43

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 1

บทนำ

เครื่องกำเนิดสัญญาณโปรแกรมได้ (Programmable Function Generator) เป็นอุปกรณ์ที่มีความจำเป็นอย่างมากในการทดลองทางด้านอิเล็กทรอนิคส์ เพื่อเป็นแหล่งกำเนิดสัญญาณรูปแบบต่างๆ ป้อนให้กับวงจรการทดลอง

ปัจจุบันความต้องการใช้งานเครื่องกำเนิดสัญญาณ ในอุตสาหกรรมทางด้านอิเล็กทรอนิคส์มีมาก การเลือกปรับความถี่และขนาดของสัญญาณด้วยมือ แล้วใช้ออสซิโลสโคปวัดสัญญาณ ดูจะเป็นเรื่องที่เสียเวลาอยู่ไม่น้อยและอาจเกิดความผิดพลาดขึ้นได้ง่าย ดังนั้นการนำเครื่องกำเนิดสัญญาณโปรแกรมได้จึงได้รับความนิยมมากขึ้นในปัจจุบันเพราะการใช้งานสะดวก และมีความถูกต้องค่อนข้างสูง เพียงแต่ป้อนตัวเลขความถี่ และขนาดของสัญญาณที่ต้องการและเลือกรูปแบบของสัญญาณ ก็จะได้สัญญาณที่ต้องการ ซึ่งสามารถทำได้อย่างรวดเร็ว

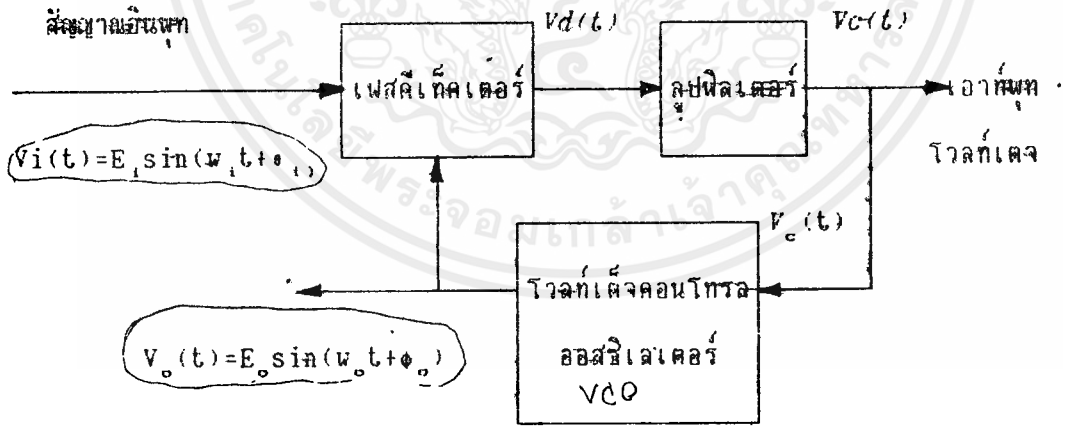
สำหรับโครงงานนี้ เลือกใช้หลักการกำเนิดสัญญาณแบบ Phase Locked Loop (PLL) เพื่อให้ความถี่ที่ได้มีเสถียรภาพที่ดีและมีความถูกต้องค่อนข้างสูง นอกจากนี้ยังมีราคาไม่สูงมาก และได้ช่วงความถี่สูงพอสมควร สามารถใช้ในการทดลองได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 2

หลักการทำงานของเฟสล็อคลูป

ระบบเฟสล็อคลูปเบื้องต้นจะประกอบด้วยบล็อคที่สำคัญ 3 ส่วนคือ (1)เฟสดีเท็คเตอร์ (2)ลูปฟิลเตอร์ (3)โวลท์เต็จคอนโทรลออสซิเลเตอร์(VCO) บล็อคทั้ง 3 จะต่อกันในรูปของระบบป้อนกลับ ดังแสดงในรูปที่ 1.1



รูปที่ 2.1 ระบบเฟสล็อคลูป (PLL)

เฟสดีเท็คเตอร์จะเปรียบเทียบเฟสของสัญญาณเอชีอินพุท $V_i(t)$ กับความถี่เอาท์พุทของ VCO และทำให้ได้เออร์เรอร์โวลท์เต็จ Vd(t) สัญญาณเออร์เรอร์โวลท์เต็จนี้ จะถูกฟิลเตอร์ด้วยลูปฟิลเตอร์และถูกป้อนไปยังคอนโทรลอินพุทของ VCO ในรูปของคอนโทรลโวลท์เต็จเพื่อคอน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โทรลความถี่ของ VCO

ตามปกติเมื่อไม่มีสัญญาณอินพุทป้อนให้ระบบเฟสล็อคลูปเออร์เรอร์โวลท์เต็จที่ผ่านฟิลเตอร์ Vc(t) ในฟิดแบ็คลูปจะมีค่าเป็นศูนย์ VCO ก็จะทำงานที่ความถี่ศูนย์, ช่าง $w_o = 2\pi f_o$ ซึ่งเราเรียกว่าฟรีรันนิ่งฟรีเควนซี่ของ VCO

ถ้ามีสัญญาณอินพุทเป็นเอซีป้อนให้กับระบบเฟสล็อคลูป และสัญญาณดังกล่าวมีค่าความถี่อินพุท $w_i=2\pi f_i$ ใกล้เคียงกับความถี่ฟรีรันนิ่งพอเพียง การฟิดแบ็คของเฟสล็อคลูปจะทำให้ได้เออร์เรอร์โวลท์เต็จไปขับ VCOให้มีความถี่ซิงโครไนส์กับความถี่อินพุท เมื่อความถี่ของ VCO ซิงโครไนส์กับความถี่อินพุทเราพูดได้ว่าระบบเฟสล็อคลูปมีความถี่เอาท์พุทล็อคกับความถี่สัญญาณอินพุท

การทำงานของระบบเฟสล็อคลูปดังกล่าวสามารถแบ่งออกได้เป็น 3 ลักษณะตามคุณสมบัติของลูป

(ก) เมื่อระบบไม่อยู่ในสภาวะล็อค

(ข) เมื่อระบบเข้าสู่สภาวะล็อค(ระบบเข้าสู่สภาวะคงที่)

(ค) การทำงานของระบบในลักษณะไดนามิค(ระบบแทร็คตามสัญญาณอินพุท)

เอาท์พุทโวลท์เต็จของเฟสล็อคลูป จะนำไปประยุกต์ใช้งานเกี่ยวกับฟรีเควนซีดิสคริมิเนเตอร์ (Frequency discreminator) ส่วนความถี่เอาท์จะนำไปใช้งานเกี่ยวกับการประมวลสภาวะของสัญญาณ ฟรีเควนซีเทนซิสหรือการคืนรูปของสัญญาณนาฬิกา

พิจารณาในกรณีนำเอาเอาท์พุทโวลท์เตจของเฟสล็อคลูปมาใช้งานเมื่อลูปอยู่ในสภาวะล็อคกับความถี่อินพุทเออร์เรอร์โวลท์เตจ Vd(t) ที่ได้จากเฟสดีเท็คเตอร์จะมีค่าเป็นสัดส่วนกับความต่างความถี่ระหว่าง สัญญาณอินพุท w_i และความถี่ฟรีรันนิ่งของ VCO และเออร์เรอร์โวลท์เตจนี้จะผ่านโลว์พาสฟิลเตอร์ และถูกป้อนไปเป็นคอนโทรลโวลท์เตจให้กับอินพุทของ VCOเพื่อที่จะเปลี่ยนความถี่ของ VCO เพื่อที่จะเปลี่ยนความถี่ของ VCO จาก w_o ไปเป็น w_iให้การล็อคคงอยู่ถ้าความถี่ของอินพุทเปลี่ยนไปอย่างกรณีของสัญญาณ FMเออร์เรอร์โวลท์เตจจะเปลี่ยนไปเป็นสัดส่วนกับความถี่อินพุทที่เปลี่ยนแปลงเพื่อดำรงการล็อคให้คงอยู่ดังนั้นเอาท์พุทโวลท์เตจ ของเฟสล็อกลูปจะเปรียบเสมือนฟรีเควนซี่ดิสมิเนเตอร์ คือสามารถแปลงการเปลี่ยนแปลงของความถี่อินพุทให้ไปเป็นการเปลี่ยนแปลงของโวลท์เตจ พิจารณาในกรณีนำเอาความถี่เอาท์พุทของเฟสล็อคลูปมาใช้งาน เมื่อลูปอยู่ในสภาวะล็อคกับสัญญาณอินพุทเอาท์พุทของ VCO จะให้ลูกคลื่นที่เปลี่ยนแปลงเป็นคาบเวลาด้วยความถี่ที่แน่นอนและเท่ากับสัญญาณอินพุท ยกเว้นเฟสจะมีความต่างกัน θ_o

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

และด้วยความต่างเฟสนี้จะทำให้เกิดเออร์เรอร์โวลท์เตจเพื่อรักษาให้เฟสล็อคลูปอยู่ ในภาวะล็อค ถ้าสัญญาอินพุทประกอบด้วยคอมโปเน้นท์ความถี่ต่างๆ มากมายซึ่งได้แก่ น้อยส์ หรือสัญญาณรบกวนอื่นๆ เราสามารถทำให้ระบบเฟสล็อคลูปล็อคกับคอมโปเน้นท์ความถี่จำเพาะที่กำหนดของสัญญาณอินพุท ดังนั้นเอาท์พุทของ VCO จะให้กำเนิดความถี่จำเพาะนั้นได้ใหม่ขณะเดียวกันก็จะลดทอนหรือกำจัดความถี่ที่ไม่ต้องการอื่นๆ นอกจากนั้นเอาท์พุทของ VCO สามารถใช้สำหรับให้กำเนิดใหม่หรือแยกเอาสัญญาณความถี่ที่ต้องการออกจากสัญญาณที่ไม่ต้องการ คุณสมบัตินี้ของเฟสล็อคลูปทำให้ระบบเฟสล็อคลูปเป็นระบบที่น่าสนใจอย่างยิ่งสำหรับให้กำเนิดสัญญาณใหม่หรือแยกเอาสัญญาณต่ำๆที่ปนอยู่ในน้อยส์ออกมาใหม่ได้

กระบวนการแคปเจอร์สัญญาณอินพุท

คุณสมบัติที่สำคัญในการทำงานของระบบเฟสล็อคลูปคือ กระบวนการแคปเจอร์(Capture -process)เป็นกระบวนการที่จะทำให้ระบบได้มาซึ่งการล็อคกับสัญญาณอินพุทโดยที่ลูป จะเริ่มต้นจากสภาวะฟรีรันนิ่ง กระบวนการแคปเจอร์นี้เป็นกระบวนการที่ค่อนข้างซับซ้อนและมีลักษณะเป็นนอนลิเนียร์ ซึ่งจะได้อธิบายถึงคุณสมบัติของกระบวนการนี้ต่อไป

ขั้นแรกสมมติว่าฟีดแบ็คลูปของระบบเฟสล็อคลูปถูกตัดขาดระหว่าง ลูปฟิลเตอร์เอาท์พุทและคอนโทรลอินพุทของ VCO ซึ่งจะทำให้ Vd ซึ่งจะทำให้ Vd มีค่าเป็นศูนย์ และ VCO จะออสซิเลทอย่างต่อเนื่องที่ความถี่ฟรีรันนิ่ง w_0 ต่อจากนั้นสมมติว่าสัญญาณอินพุทถูกป้อนให้ลูปด้วยความถี่ w_1 ซึ่งเป็นความถี่ใกล้เคียงกับ w_0 ต่อจากนั้นสมมติว่าสัญญาณอินพุทถูกป้อนให้ลูปด้วยความถี่ w_1 ซึ่งเป็นความถี่ใกล้เคียงกับ w_0 ในกรณีนี้เฟสดีเท็คเตอร์มีฟังก์ชันเหมือนกับมัลติพลายเออร์หรือมิคเซอร์ดังนั้นเอาท์พุทโวลท์เตจที่ได้จากเฟสดีเท็คเตอร์ จะเป็นคอมโปเน้นท์ของสองความถี่มีผลบวกของความถี่

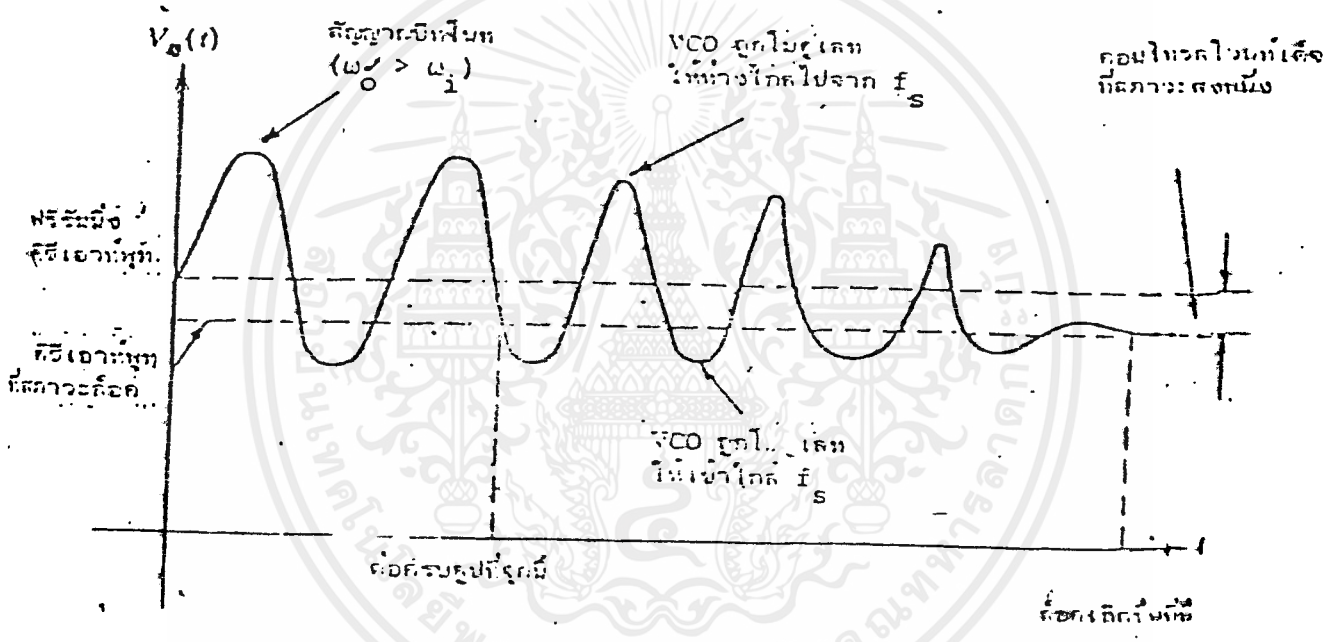
$$w_{sum} = w_0 + w_1 \qquad (1)$$

และผลต่างของความถี่

$$\Delta w = \left| w_0 - w_1 \right| \qquad (2)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตามปกติแบนด์วิดท์ของโลว์พาสลูปฟิลเตอร์จะแคบมากพอที่ จะกรองเอาคอมโปเนนท์ผลบวกของความถี่ออกไปได้อย่างสมบูรณ์ ถ้า w_1 มีค่าใกล้เคียงกับค่า w_0 ดังนั้นผลต่างของความถี่ (w_1-w_0) จะมีค่าน้อยมากและมีค่าอยู่ในพาสแบนด์ของโลว์พาสลูปฟิลเตอร์ และไปปรากฏที่เอาท์พุทของลูปฟิลเตอร์ในลักษณะของบีทโนท (beat note) ลูกคลื่นซายน์ ลูกคลื่นนี้อยู่ทางด้านซ้ายมือของรูปที่ 2.2 แสดงว่า $w_0 > w_1$



รูปที่ 2.2 แสดงเออร์เรอร์โวลท์เตจชั่วขณะในระหว่างเวลาขบวนการแคปเจอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ต่อไปสมมุติว่าลูปถูกต่อให้ครบลูปอย่างทันทีทันใด โดยการต่อโลว์พาสฟิลเตอร์เอาพุทเข้ากับขั้วคอนโทรลอินพุทของ VCO ซึ่งจะทำให้ความถี่ของ VCO ถูกโมดูเลทด้วย บีทโนทหรือผลต่างของสัญญาณ เมื่อเกิดการโมดูเลทชั่นดังกล่าวความถี่บีทโนท Δw จะกลายเป็นฟังก์ชั่นแปรไปตามเวลาคือ Δw จะแปรค่าสลับกันไประหว่างมีค่าเข้าใกล้ความถี่อินพุทและมีค่าห่างไกลไปจากความถี่อินพุท ดังนั้นเออร์เรอร์โวลท์เตจที่ได้รับการฟิลเตอร์แล้วจะมีความถี่ที่เปลี่ยนสลับกันไปคือความถี่จะลดลงในช่วงครึ่งไซเกิลลบและความถี่จะเพิ่มขึ้นในช่วงครึ่งไซเกิลบวก ดังนั้นภายใต้สภาวะนี้บีทโนทจะมีลักษณะไม่สมมาตร และดูเหมือนกับอนุกรมยอดแหลมดังแสดงในส่วนกลางของรูปที่ 2.2 เราจะสังเกตได้ว่าส่วนของบีทโนทที่มอดดูเลทให้ VCO มีความถี่ห่างไกลไปจากสัญญาณอินพุทจะมีลักษณะเป็นยอดแหลมมากกว่า เนื่องจากความไม่สมมาตรนี้ ลูกคลื่นของบีทโนทจะประกอบดีซีโวลท์เตจซึ่งจะไปขับให้ความถี่ของ VCO มีค่าเข้าสู่สัญญาณอินพุท เมื่อ VCO มีแนวโน้มเข้าสู่ w_i ความถี่ของบีทโนทจะลดลงอย่างรวดเร็ว ความไม่สมมาตรก็จะเพิ่มขึ้นและในที่สุดก็จะลู่เข้าสู่ค่าดีซีที่มีค่าคงที่อย่างรวดเร็ว ในชั่วเวลาชะหนึ่งลูปก็จะเข้าสู่สภาวะล็อคเมื่อความถี่ของ VCO เท่ากับ w_i อย่างแน่นอน ระบบก็จะเข้าสู่การล็อคผลต่างของความถี่ Δw จะมีค่าเท่ากับ ศูนย์และคงเหลือแต่ดีซีโวลท์เตจที่เอาท์พุทของลูปฟิลเตอร์ ดีซีโวลท์เตจนี้เกิดจากผลต่างของเฟส θ_e ระหว่างโวลท์เตจของ VCO และสัญญาณอินพุท สมมติว่าลูปฟิลเตอร์มีอัตราขยายเป็นหนึ่งและเฟสดีเทคเตอร์มีคอนเวอร์ชั่นเกน Kd (โวลท์/เรเดียน) เออร์เรอร์โวลท์เตจที่สภาวะคงที่นี้จะมีค่าเป็น

$$Vc = Vc(t)\Big|_{\text{สภาวะคงที่}} = -Kd\,\theta_e \qquad (3)$$

เครื่องหมายลบในสมการ(3) เนื่องจากเราได้สมมติไว้ในตัวอย่างของรูปที่ 2.2 ว่า $w_o > w_i$ ซึ่งจะทำให้ได้โวลท์เตจที่ขั้วคอนโทรลอินพุทของ VCO เพื่อไปเท่ากับ w_i

เวลาทั้งหมดที่ใช้ไปเพื่อให้ระบบเฟสล็อคลูปเกิดการล็อคเรียกว่า"พูลอินไทม์" พูลอินไทม์จะขึ้นอยู่กับเฟสเริ่มต้นและผลต่างของความถี่ระหว่างสองสัญญาณและยังขึ้นอยู่กับอัตราขยายลูปและจุดสมบัติของลูปฟิลเตอร์

จุดประสงค์หลักของลูปฟิลเตอร์คือ การกรองเอาคอมโปเนนท์ต่างๆ ซึ่งเป็นสัญญาณที่ไม่ต้องการและมีความถี่ห่างไกลจากความถี่ฟรีรันนิ่งของระบบเฟสล็อคลูปหรือพูดอีกอย่างหนึ่งได้ว่าระบบเฟสล็อคลูปจะมีคุณสมบัติในการแคปเจอร์เฉพาะสัญญาณที่มีความถี่ใกล้เคียง ลักษณะความถี่ฟรีรันนิ่ง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ของ VCO ซึ่งหมายความว่าผลต่างของความถี่ Δw จะต้องมีค่าโดยประมาณอยู่ภายในแบนด์วิดท์ของลูปฟิลเตอร์

ฟังก์ชันที่สำคัญอีกอันหนึ่งของโลว์พาสฟิลเตอร์คือมันจะเป็นตัวเก็บความจำได้ในช่วงเวลาสั้นๆ ของระบบเฟสล็อคลูปเพื่อช่วยให้ระบบสามารถแคปเจอร์สัญญาณได้ใหม่อย่างรวดเร็วถ้าระบบหลุดออกไปจากการล็อคในช่วงเวลาสั้นๆ เนื่องจากการรบกวนในชั่วขณะหรือพูดอีกอย่างหนึ่งได้ว่า โลว์พาสฟิลเตอร์จะบังคับให้เออร์เรอร์โวลท์เตจ $Vc(t)$ เปลี่ยนแปลงไปตามเวลาอย่างช้าๆ และในกรณีนี้ถ้าระบบเฟสล็อคลูปหลุดไปจากการล็อคเพียงชั่วขณะเนื่องจากน้อยส์หรือสัญญาณรบกวน ความถี่ของ VCO จะไม่เปลี่ยนแปลงไปมากนักในช่วงเวลาสั้นๆดังกล่าว ดังนั้นในสภาวะนี้จะช่วยให้ระบบสามารถแคปเจอร์สัญญาณอินพุทได้ใหม่อย่างรวดเร็วทันทีทันใด เมื่อเวลาได้ผ่านไปชั่วขณะแล้ว

สรุปได้ว่า โลว์พาสลูปฟิลเตอร์จะทำหน้าที่ลดทอนคอมโปเน้นท์ความถี่สูงของเออร์เรอร์โวลท์เตจในระบบเฟสล็อคลูป โลว์พาสฟิลเตอร์ก่อให้เกิดผลที่สำคัญต่อการแคปเจอร์และคุณสมบัติการตอบสนองชั่วขณะของระบบการลดแบนด์วิดท์ของฟิลเตอร์จะมีผลเกิดขึ้นต่อการทำงานของระบบดังต่อไปนี้

(1) กระบวนการแคปเจอร์จะช้าลงไปและพูลอินไทน์จะเพิ่มขึ้น

(2) พิสัยการแคปเจอร์จะลดลง

(3) ทันทีที่ลูปเกิดการล็อค คุณสมบัติของเฟสล็อคลูปเกี่ยวกับการกำจัดสัญญาณรบกวนจะเกิดผลคือเออร์เรอร์โวลท์เตจที่เกิดจากความถี่ของสัญญาณรบกวนจะถูกลดทอนลง ไปโดยโลว์พาสฟิลเตอร์

(4) ผลตอบสนองชั่วขณะของระบบเฟสล็อคลูปต่อการเปลี่ยนแปลงความถี่อินพุทอย่างทันทีทันใดภายในพิสัยการแคปเจอร์จะได้เป็นลักษณะ อันเดอร์แด้มป์(underdamped)

2.3 คุณสมบัติการแทร็คสัญญาณอินพุท

ทันทีที่ระบบเฟสล็อคลูปล็อคกับสัญญาณอินพุท ระบบสามารถจะแทร็คตามการเปลี่ยนแปลงอย่างช้าๆ ของสัญญาณอินพุทได้ด้วยการเพิ่มเฟสเออร์เรอร์ θ_e ระหว่าง VCO และสัญญาณอินพุท จากนั้นเฟสเออร์เรอร์ ที่เพิ่มขึ้นนี้จะถูกแปลงไปเป็นดีซีเออรเรอร์โวลท์เตจ Vd ด้วยเฟสดีเท็คเตอร์ เออร์เรอร์โวลท์เตจนี้จะไปรักษาให้ความถี่ของ VCO เคลื่อนไปเท่ากับความถี่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ของสัญญาณอินพุท ขณะที่ระบบเฟสล็อคลูปแทร็คตามสัญญาณอินพุท ลูปเออร์เรอร์โวลท์เตจ Vd จะมีค่าเป็นสัดส่วนโดยตรงกับผลต่างระหว่างความถี่สัญญาณอินพุท w_1 กับความถี่ฟรีรันนิ่ง w_o ของ VCO หรือพูดอย่างหนึ่ง ได้ว่าขณะที่ระบบเฟสล็อคลูปแทร็คตามสัญญาณอินพุท เอาท์พุทโวลท์เตจของลูป จะมีฟังก์ชันเหมือนกับตัวแปลงความถี่เป็น โวลท์เตจ

พิสัยการแทร็คตามสัญญาณอินพุทของระบบเฟสล็อค จะกำหนดได้ด้วยการพิจารณาว่า โวลท์เตจเออร์เรอร์ที่เกิดขึ้นในลูปได้สูงสุดเท่าไร สมมุติว่าในลูปไม่มีแอมพลิไฟเออร์ปริมาณของเออรีเรอร์โวลท์เตจสูงสุด $(Vd)_{max}$ ที่สามารถเกิดขึ้นได้ขึ้นอยู่กับอัตราขยายของเฟสดีเท็คเตอร์ Kd ตามปกติเออร์เรอร์ โวลท์เตจจะมีค่าสูงสุด $(Vd)_{max}$ เมื่อผลต่างของเฟส θ_o มีค่าอยู่ที่ค่าจำกัดสูงสุด $+\pi/2$ ดังนั้นพิสัยการแทร็คตามสัญญาณอินพุทของระบบเฟสล็อคลูปจะมีค่าเป็น

$$+\Delta w_L = +(Vd)_{max} K_o \qquad (3)$$

เมื่อ K_o คือ คอนเวอร์ชั่นเกนของ VCO (หน่วยเป็น Hz / VOLT)

รูปที่ 2.3 แสดงถึงคุณสมบัติการแปลงความถี่ไปเป็นโวลท์เตจของระบบเฟสล็อคลูปสมมติว่าอินพุทเป็นสัญญาณรูปคลื่นซายน์ซึ่งความถี่ของมันจะกวาดไปอย่างช้าๆ ได้ช่วงพิสัยความถี่ที่กว้างขึ้นแรกความถี่อินพุทจะกวาดไปจากความถี่ต่ำผ่านพิสัยแคปเจอร์และพิสัยการล็อคของระบบเฟสล็อคลูปไปยังความถี่สูงและจากนั้นก็กวาดย้อนกลับไปยังความถี่ต่ำ ส่วนสเกลทางด้านแกนตั้งเป็นค่าของเออร์เรอร์โวลท์เตจที่ผ่านลูปฟิลเตอร์แล้ว Vc และสมมติว่าVCO มีคุณสมบัติของการคอนโทรลเป็นลิเนียร์คือ ความถี่เอาท์พุท ของ VCO จะเพิ่มขึ้นเป็นสัดส่วนที่ลิเนียร์กับการเพิ่มขึ้นของคอนโทรลโวลท์เตจ คุณสมบัติการแปลงความถี่ไปเป็นโวลท์เตจของระบบเฟสล็อคลูปแสดงได้ใน รูปที่ 2.3

(ก) เมื่อความถี่อินพุทเพิ่มขึ้นอย่างช้าๆ

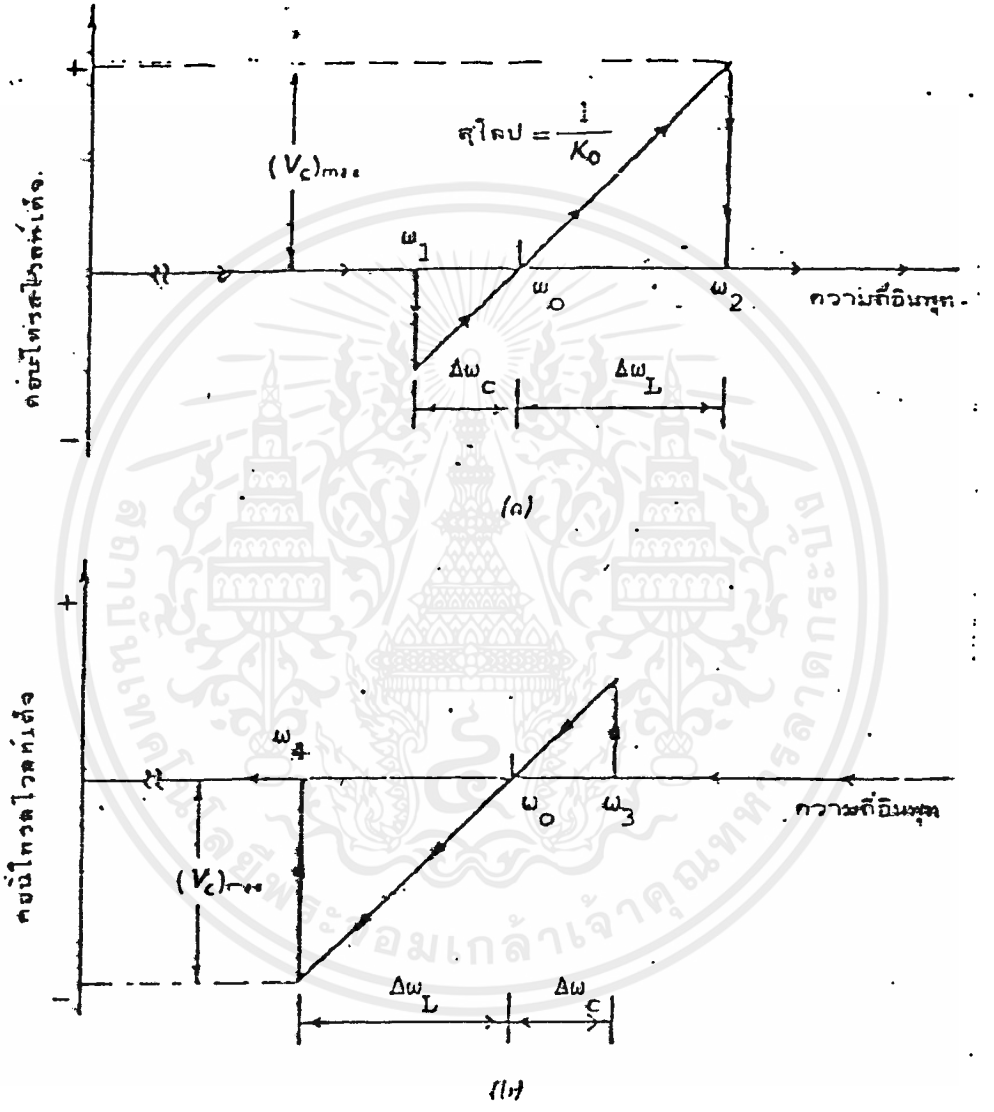
(ข) เมื่อความถี่อินพุทลดลงอย่างช้าๆ ความกว้างของความถี่ระหว่าง w_1, w_3 เท่ากับพิสัยแคปเจอร์และความกว้างของความถี่ระหว่าง w_2, w_4 เท่ากับพิสัยการแทร็คตามสัญญาณอินพุทของระบบ นั่นคือ

$$w_3 - w_1 = 2\Delta w_c \qquad (4)$$

และ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$W_2 - W_4 = 2\Delta W_L \qquad (5)$$



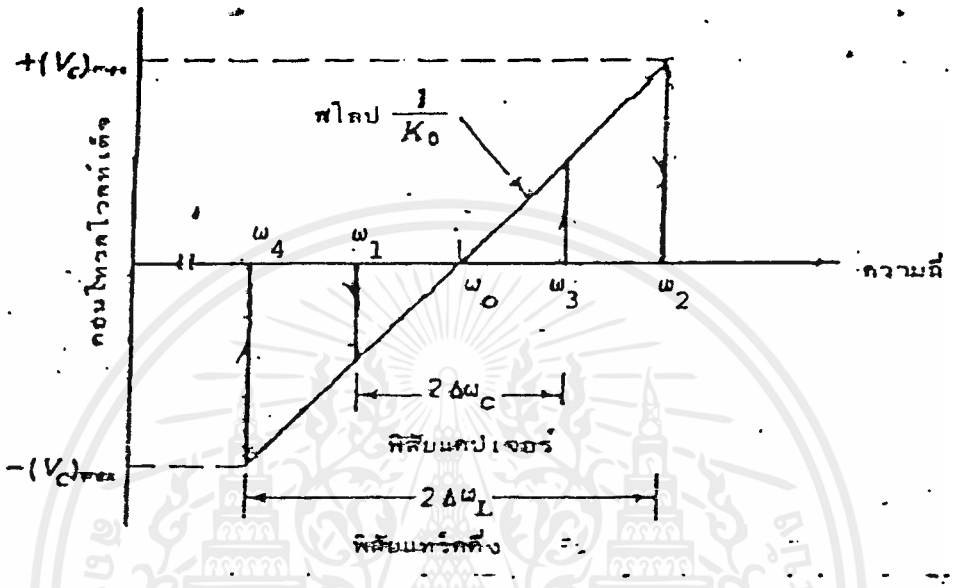
รูปที่ 2.3 แสดงคุณสมบัติการแปลงความถี่ไปเป็นโวลท์เตจ

(ก) เมื่อความถี่อินพุตเพิ่มขึ้นอย่างช้าๆ

(ข) เมื่อความถี่อินพุตลดลง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

032593



รูปที่ 2.4 แสดงคุณสมบัติรวมในการแปลงความถี่ไปเป็นโวลท์เตจของระบบเฟสล็อคลูป

ในรูปที่ 2.4 แสดงคุณสมบัติการแปลงความถี่ไปเป็นโวลท์เตจของระบบเฟสล็อคลูปที่สมบูรณ์ ระหว่างคุณสมบัติของพิสัยแคปเจอร์การล็อคที่แสดงในรูปที่ 2.3 จากรูปที่ 2.4 คุณสมบัติการต่างๆ ของระบบเฟสล็อคลูปเบื้องต้นสามารถสรุปได้ดังต่อไปนี้

(1) ระบบเฟสล็อคลูป แสดงคุณสมบัติการเลือกเฟ้นความถี่ และการแปลงความถี่ไปเป็นโวลท์เตจซึ่งมีความถี่ศูนย์กลางอยู่ที่ความถี่ฟรีรันนิ่ง ω_0 ของVCO

(2) ระบบสามารถจะแคปเจอร์ (ได้มาซึ่งการล็อค) กับสัญญาณที่มีความถี่อยู่ภายในพิสัยแคปเจอร์เท่านั้น $2\Delta\omega_c$ และมีศูนย์กลางอยู่ที่ ω_0

(3) ทันทีที่ระบบเกิดการล็อค มันจะสามารถแทร็คตามสัญญาณอินพุทได้ตลอดช่วงพิสัยการ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ล็อค $2\Delta w_L$ และมีศูนย์กลางอยู่ที่ w_o

(4) สโลปของคุณสมบัติการแปลงความถี่ไปเป็นโวลท์เตจ จะเท่ากับส่วนกลับของอัตราขยายการแปลงโวลท์เตจไปเป็นความถี่ของ VCO

รูปที่ 2.3และ2.4 ยังแสดงถึงพารามิเตอร์ที่สำคัญบางอย่าง ในการออกแบบระบบเฟสล็อคลูป พิสัยการล็อค = $A(Vd)_{max}K_o$ เมื่อ A คืออัตราขยายโวลท์เตจของแอมปลิไฟเออร์ เมื่อระบบเฟสล็อคลูปอยู่ในสภาวะล็อค Vd จะมีค่าเป็นดีซีโวลท์เตจ ดังนั้นลูปฟิลเตอร์จะไม่มีผลกระทบต่อพิสัยการล็อค ความถี่ฟรีรันนิ่งw_oของVCO จะเป็นตัวกำหนดความถี่ศูนย์กลางของพิสัยแคปเจอร์และพิสัยการล็อคดังนั้นความเที่ยงตรงและเสถียรภาพของความถี่ฟรีรันนิ่ง w_o ของ VCO มีความสำคัญอย่างยิ่งเนื่องจากเรามักจะออกแบบให้พิสัยแคปเจอร์และพิสัยการล็อคมีช่วงแคบมากๆ กับความเที่ยงตรงและเสถียรภาพของพิสัยทั้งสองดังกล่าวจึงกลายเป็นปัญหาขึ้นมา

คุณสมบัติการคอนโทรล VCO มีความสำคัญอย่างยิ่งดังแสดงในรูปที่ 2.4 คือ

(ก) คุณสมบัติการแปลง F-V ของระบบ PLL

(ข) สโลปของโวลท์เตจเอาท์พุทของระบบ PLL

(ค) ความเป็นลิเนียร์ของคุณสมบัติการแปลง F-V ของระบบ PLL

ดังนั้นเราสามารถสรุปได้ว่า : ดีซีโอเอน

คุณสมบัติของลูปฟิลเตอร์

เสถียรภาพของ VCO

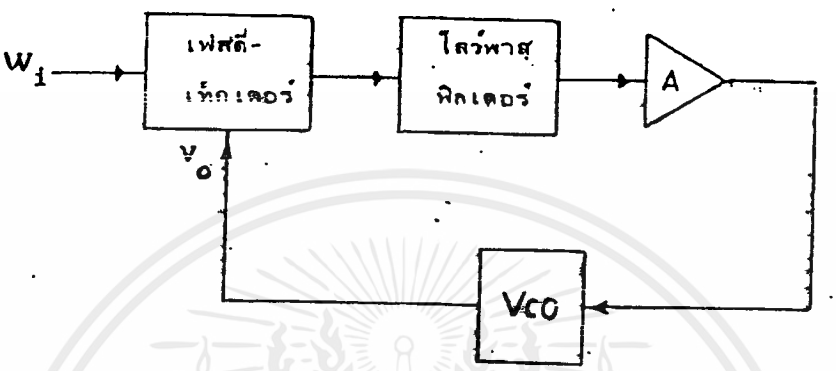
คุณสมบัติของคอนโทรล VCO

ค่าเหล่านี้จะเป็นพารามิเตอร์ที่สำคัญในการออกแบบวงจรโมโนลิธิคเฟสล็อคลูป PLL

2.4 พิสัยการล็อค

วงจรเฟสล็อคลูปในการใช้งานจริงๆมักจะเพิ่มแอมปลิไฟเออร์เข้าในลูป ของวงจรเฟสล็อคเบื้องต้น เพื่อเพิ่มอัตราขยายโวลท์เตจในลูปป้อนกลับและเป็นการเพิ่มพิสัยการล็อคให้กับระบบ ด้วยวงจรเฟสล็อคลูปดังกล่าวแสดงได้ดังในรูปที่ 2.5

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

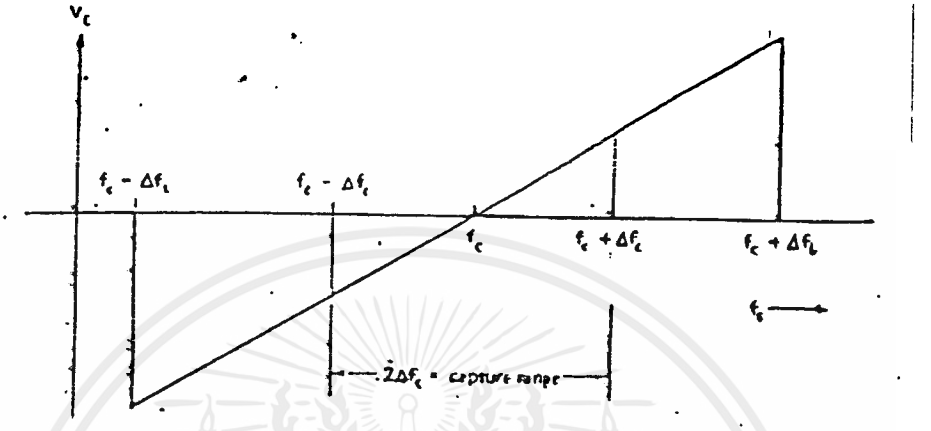


รูปที่ 2.5 ระบบเฟสล็อคลูป

2.5 พิสัยแคปเจอร์

การวิเคราะห์ถึงพิสัยการล็อคจะต้องอยู่บนหลักการที่ว่าระบบเฟสล็อคลูป(PLL) จะมีสภาวะเดิมล็อคอยู่กับสัญญาณอินพุทแล้ว ในตอนนี้เราจะได้สึงเกตุถึงสถานะของลูปที่มีสภาวะเดิมไม่ล็อคกับสัญญาณอินพุท เพื่อกำหนดช่วงความถี่ซึ่งระบบเฟสล็อคลูปสามารถล็อคกับสัญญาณอินพุท ในช่วงความถี่ดังกล่าวได้ ความถี่ช่วงนี้เราเรียกว่า "พิสัยแคปเจอร์" หรือ "พิสัยแอคควิซิชั่น"

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.6 แสดงพิสัยแคปเจอร์ของระบบเฟสล็อคลูป

ในระบบเฟสล็อคลูปต้องการพิสัยแคปเจอร์ที่มีความกว้างมากเพื่อเพิ่มความสามารถในการล็อคกับสัญญาณอินพุท อย่างไรก็ตามพิสัยแคปเจอร์ที่มีความกว้างมากๆ จะทำให้ระบบ PLL อ่อนแอต่อสัญญาณรบกวนด้วยสัญญาณที่ไม่ต้องการและน้อยส์ สำหรับระบบ PLL ที่สามารถกำจัดสัญญาณรบกวนและน้อยส์ได้สูงสุดจะต้องมีพิสัยแคปเจอร์แคบในกรณีทั่วไประบบ PLL จะเลือกพิสัยแคปเจอร์ที่เหมาะสมเพื่อให้ได้คุณสมบัติที่ดีทั้งสองอย่างคือกำจัดสัญญาณรบกวนๆได้และสามารถล็อคกับสัญญาณอินพุทได้ในช่วงความถี่กว้าง

แต่ในบางกรณีที่ระบบ PLL ไม่สามารถเลือกพิสัยแคปเจอร์ที่เหมาะสมได้ เราจะต้องตั้งแบนด์วิดท์ของโลว์พาสฟิลเตอร์ให้มีค่ามากไว้ก่อน ในตอนแรกเพื่อให้ลูปสามารถเริ่มต้นแคปเจอร์สัญญาณอินพุทได้ เมื่อลูปสามารถแคปเจอร์สัญญาณอินพุทได้แล้วและระบบ PLL ก็จะล็อคกับสัญญาณอินพุทต่อจากนั้น เราจึงค่อยลดแบนด์วิดท์ของโลว์พาสฟิลเตอร์ลงที่ละน้อย วิธีการจะช่วยลดผลของสัญญาณรบกวนและน้อยส์ลักษณะเด่นของระบบ PLL คือลูปสามารถจะดำรงรักษาการล็อคกับสัญญาณ

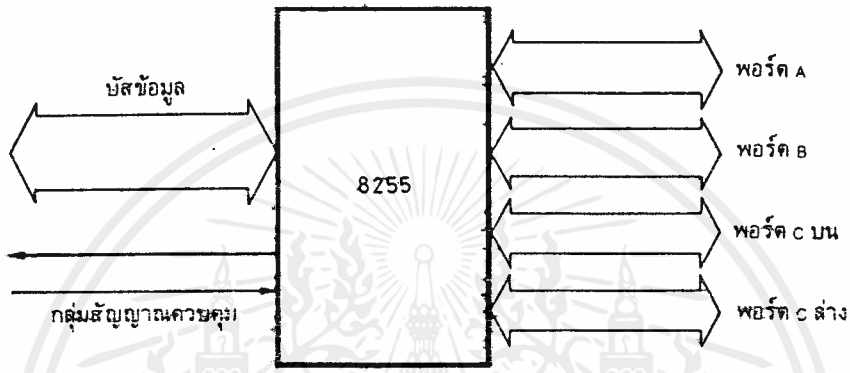
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

อินพุทได้แม้นว่าสัญญาณอินพุทจะอยู่ในสภาวะที่มีน้อยส์รบกวนมาก คือมีอัตราส่วนของซิกแนลต่อน้อยส์มีค่าน้อยกว่าหนึ่งก็ตาม ระบบ PLL มักนิยมใช้งานประเภทที่สัญญาณอินพุทมีระดับต่ำ เช่น ระบบสื่อสารของดาวเทียมเป็นต้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.6 IC#8255

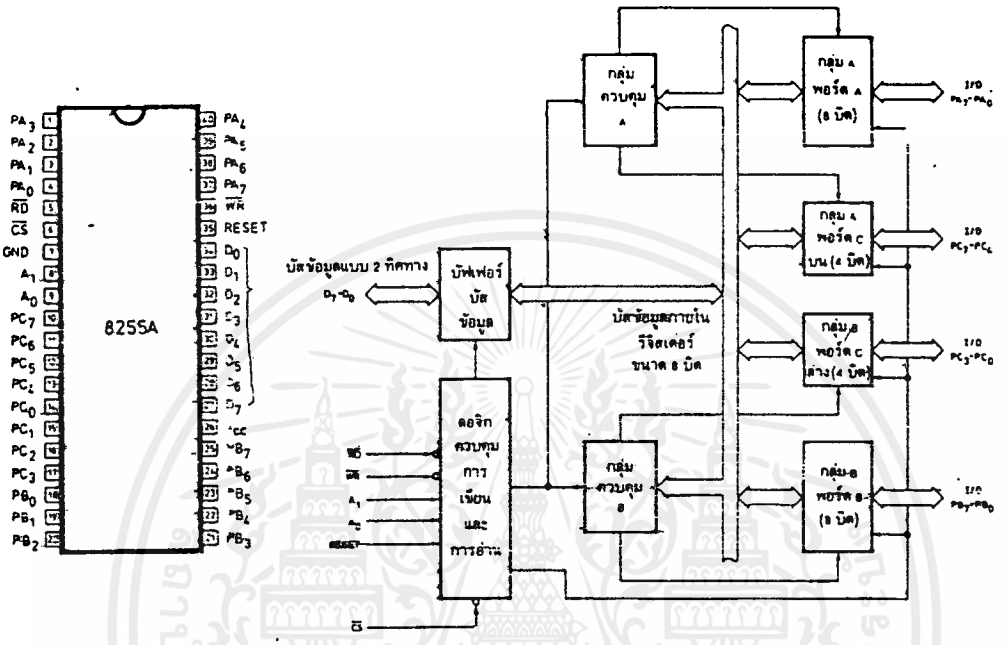
8255 เป็นไอซีที่มีขา40ขา ได้รับการออกแบบให้สามารถนำมาเป็นพอร์ตให้ไมโครโปรเซสเซอร์ได้ 3 พอร์ต โดยมีโครงสร้างพื้นฐานแสดงได้ดู รูปที่ 2.7



รูปที่ 2.7 แผนผังโครงสร้างของไอซี8255

การเรียกพอร์ตของ8255 จะเรียกพอร์ตต่างๆว่า พอร์ตA พอร์ตB พอร์ตC โดยพอร์ตC แยกเป็น 2ส่วนคือ พอร์ตCล่างหรือตั้งแต่ PC_0-PC_3 มีจำนวน4บิตและพอร์ตCบนหรือตั้งแต่ PC_4 ถึง PC_7 ที่เหลือคือ พอร์ตทุกพอร์ตเป็นได้ทั้งพอร์ตอินพุตและพอร์ตเอาต์พุต

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่2.8 แผนผังวงจรภายในของไอซีและการจัดการขาของไอซี8255

แผนผังวงจรภายในของไอซีและการจัดการขาของไอซี8255 การทำงานของวงจรจะใช้สัญญาณควบคุมจากไมโครโปรเซสเซอร์มาควบคุมการทำงานโดยไมโครโปรเซสเซอร์จะส่งคำสั่งมาโปรแกรมการทำงานหรือกำหนดรูปแบบของพอร์ตให้เป็นอินพุทหรือเอาต์พุทได้

2.3ขาต่างๆของ 8255

เพื่อให้เข้าใจวิธีการต่อใช้งาน ของ8255 จะอธิบายความหมายของตำแหน่งขาแต่ละขาก่อนขาทั้ง40ขาประกอบด้วย

D_0-D_7 เป็นขาที่ข้อมูลอินพุทเอาต์พุตจะต้องผ่านเข้าออกจากส่วนนี้ D_0-D_7 จะต่อเข้ากับระบบบัสของไมโครโปรเซสเซอร์ เพื่อให้ไมโครโปรเซสเซอร์สามารถอ่านหรือเขียนข้อมูล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากพอร์ตผ่านทางบัสนี้

CS (สัญญาณเลือกชิป) ขานี้เป็นขาอินพุทที่จะรับสัญญาณจากภายนอกเพื่อเลือกชิป 8255 โดยเมื่อขานี้เป็น "0" จะทำให้8255 ต่อเข้ากับระบบบัสของไมโครโปรเซสเซอร์ เพื่อให้ไมโครโปรเซสเซอร์เขียนหรืออ่านข้อมูลจากพอร์ตได้

RD (สัญญาณการอ่าน) เป็นสัญญาณอินพุทที่ต้องส่งมาจากซีพียูเมื่อสัญญาณที่ขานี้เป็น "0" และสัญญาณ CS เป็น"0" ด้วยไลซี่8255 จะทำให้ซีพียูอ่านข้อมูลจากบัสในขณะที่เป็นพอร์ตอินพุท

WR เป็นสัญญาณการเขียน จะแอคตีฟเมื่อสัญญาณ WR และสัญญาณ CS เป็น"0"สัญญาณนี้จะมาจากซีพียูเมื่อต้องการเขียนข้อมูลลงบนพอร์ตที่กำหนด

A_0-A_1 (สัญญาณแอดเดรส) ลอจิกของสัญญาณทั้งสองจะถอดระหัสออกเป็น4รหัสเพื่อกำหนดรีจิสเตอร์ภายในที่เชื่อมต่อกับพอร์ตอินพุทเอาต์พุทของ8255 00 01 10 11

RESET (สัญญาณรีเซต) เป็นสัญญาณที่ส่งมาจากภายนอกเข้ามาทำการรีเซต8255เพื่อเคลียร์สภาพต่างๆของ8255 เมื่อ8255 ได้รับการรีเซตก็จะกลับเข้าสู่โหมดอินพุทหรือพอร์ตที่เป็นพอร์ตอินพุท

PA_0-PA_7 เป็นสายสัญญาณที่เป็นพอร์ตของ8255 ที่ชื่อพอร์ตAการเลือกพอร์ตจะเลือกโดยสัญญาณแอดเดรส A_0-A_1

PB_0-PB_7 เป็นสายสัญญาณที่เป็นพอร์ตของ8255 ที่ชื่อพอร์ตAการเลือกพอร์ตจะเลือกโดยสัญญาณแอดเดรส A_0-A_1

PC_0-PC_7 เป็นสายสัญญาณที่เป็นพอร์ตC ของ8255 การกำหนดพอร์ตนี้จะได้รับการกำหนดโดยสัญญาณแอดเดรส A_0-A_1 พอร์ตC นี้แบ่งเป็น 2กลุ่มคือ กลุ่มPC_0-PC_3 และกลุ่ม PC_4-PC_7

รีจิสเตอร์ภายในของ8255

เมื่อต่อ8255ใช้งานนั้น สิ่งที่จะทำในการใช้คือการโปรแกรมให้8255 ทำงานตามที่ต้องการ จากที่กล่าวผ่านมาจะเห็นว่า 8255 มี4พอร์ต แต่ละพอร์ตจะเสมือนรีจิสเตอร์ที่สามารถเขียนและอ่านได้ รีจิสเตอร์แต่ละตัวนี้จึงถูกกำหนดด้วยแอดเดรสตามที่ตั้งไว้เช่น ในกรณีที่เป็นแอดเดรส 10H, 11H, 12Hและ13H รีจิสเตอร์แต่ละตัวจะได้รับการกำหนดควบคู่กับสัญญาณRDและWR เพื่อแสดงความหมาย ตัวอย่างเช่น พอร์ต 10H เป็นพอร์ตA ซึ่งเมื่อเขียนที่พอร์ตนี้ จะเป็นการส่งข้อมูลเอาต์พุท และถ้าอ่านพอร์ตนี้ก็จะเป็นการอินพุตข้อมูลจากพอร์ตดังนั้นสัญญาณของขาควบคุมที่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ประกอบกันจะแสดงความหมายดังตารางที่ 2.1

ตารางที่ 2.1 สัญญาณควบคุมการกระทำของ8255

RD	WR	A_1	A_0	ความหมาย
1	0	0	0	เขียนพอร์ตA ซึ่งเป็นข้อมูล
0	1	0	0	อ่านพอร์ตA ซึ่งเป็นข้อมูล
1	0	0	1	เขียนพอร์ตB ซึ่งเป็นข้อมูล
0	1	0	1	อ่านพอร์ตB ซึ่งเป็นข้อมูล
1	0	1	0	เขียนพอร์ตC ซึ่งเป็นข้อมูล
0	1	1	0	อ่านพอร์ตC ซึ่งเป็นข้อมูล
1	0	1	1	เขียนข้อมูล ซึ่งเป็นรหัสควบคุม
0	1	1	1	อ่านเข้ามา ซึ่งไม่มีความหมายใด

การใช้งาน 8255 จะต้องส่งรหัสควบคุม(cortrol code) เข้าไปยังพอร์ตข้อมูลควบคุมเพื่อควบคุมการทำงานของ8255 โดยใช้สัญญาณควบคุมพอร์ตหมายเลข13H การควบคุมการทำงานของ8255 มีหลายโหมดแต่ละโหมดจะแตกต่างกันออกไปการโปรแกรมให้8255 ทำงานจะทำได้3 โหมดคือ โหมด0 โหมด1 โหมด2

โหมด0 เครื่องอินพุทเอาต์พุทแบบพื้นฐาน

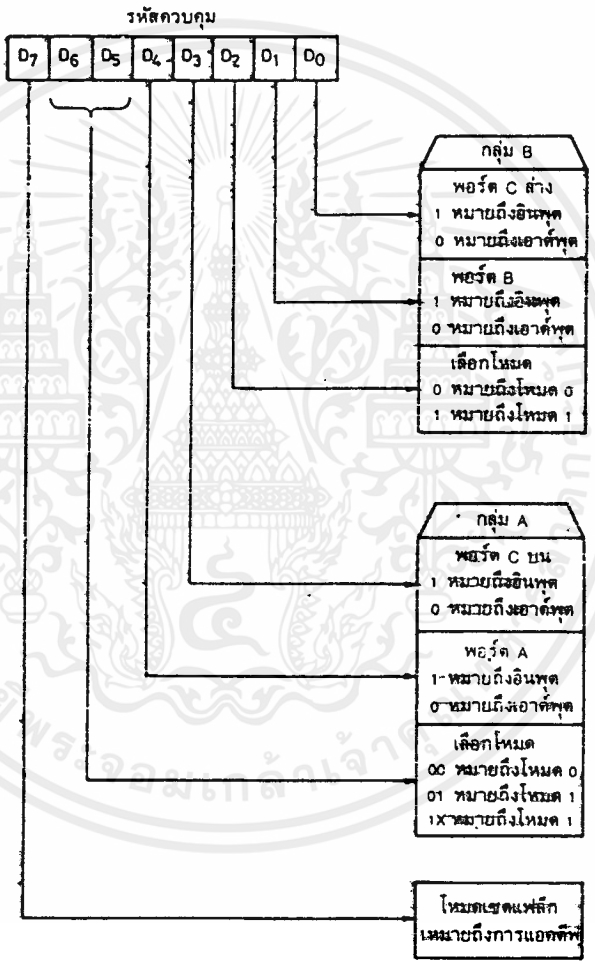
การกำหนดโหมดการทำงานนั้นคือ จะต้องส่งข้อมูลคำสั่งเข้าไปโปรแกรมโหมดพอร์ตควบคุมของ8255 ซึ่งในที่นี้ใช้พอร์ตหมายเลข 13H แต่ละบิตของข้อมูลที่ส่งไปจะมีความหมายในตัวเอง ลักษณะความหมายของแต่ละบิตในรหัสควบคุมแสดงได้ดังรูปที่2.9

การโปรแกรม 8255 คือ การให้ค่ารหัสบิตต่างๆเข้าไปในรหัสควบคุมแล้วส่งไปยังรีจิสเตอร์ของพอร์ตควบคุม ความหมายของบิตต่างๆมีดังนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บิตD_7 เป็นบิตที่แสดงรหัสคำสั่งควบคุม ถ้าบิตนี้เป็น"1" หมายถึงรหัสควบคุมนี้จะมีผลต่อการเปลี่ยนแปลงการเซตโหมดต่างๆ ของ8255

บิตD_6และD_5 เป็นการเลือกโหมดของพอร์ต A ซึ่งมี3โหมดคือ โหมด0 โหมด1 และโหมด2 ดังแสดงในรูปที่ 2. 9



รูปที่ 2.9 ความหมายของบิตต่างๆในรหัสควบคุม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บิตD_4 ถ้ามีค่าเป็น"0" หมายถึงการกำหนดพอร์ตA เป็นเอาต์พุท ถ้ามีค่าเป็น 1" หมายถึงการกำหนดให้พอร์ตA เป็นอินพุท

บิตD_3 เป็นที่บอกถึงการเซตของพอร์ตCบน ถ้าเป็น"0" จะทำให้พอร์ตCบนเป็นเอาต์พุท

บิตD_2 เป็นบิตที่บอกถึงการเซตโหมดของพอร์ตB ถ้าเป็น"0" หมายถึง การเลือกพอร์ตB เป็นโหมด0 และถ้าเป็น"1" หมายถึงการเลือกโหมด1

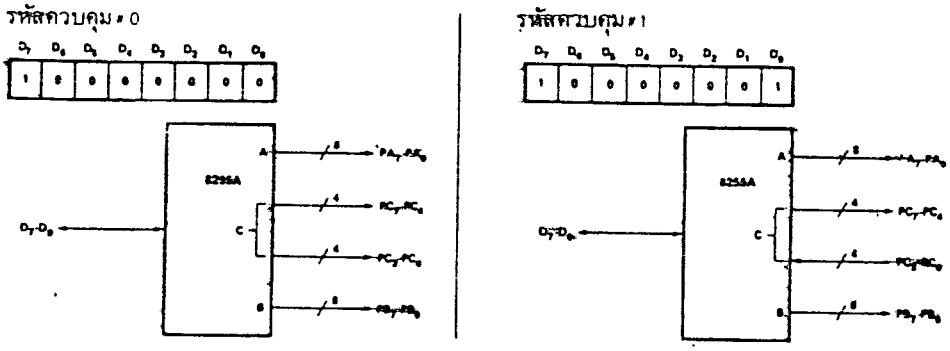
บิตD_1 เป็นการกำหนดอินพุตเอาต์พุทพอร์ตB ถ้าเป็น"0" หมายถึงเอาต์พุตถ้าเป็น "1" หมายถึงอินพุท

บิตD_0 เป็นการกำหนดอินพุตเอาต์พุทพอร์ตCล่างถ้าเป็น"0" หมายถึงเอาต์พุตถ้าเป็น "1" หมายถึงอินพุท

การโปรแกรม8255จะเริ่มจากการเซตค่าที่ต้องการแล้วเอาต์พุตไปยังพอร์ตควบคุม และเนื่องจากการที่8255มีพอร์ตรับส่งข้อมูล3 พอร์ตคือพอร์ตA พอร์ตB พอร์ตC ซึ่งพอร์ตC จะแยกเป็น 2 ส่วนคือ พอร์ตCล่างและพอร์ตCบนเราสามารถโปรแกรมให้ทั้ง4 พอร์ตนี้เป็นอินพุทหรือเอาต์พุทก็ได้

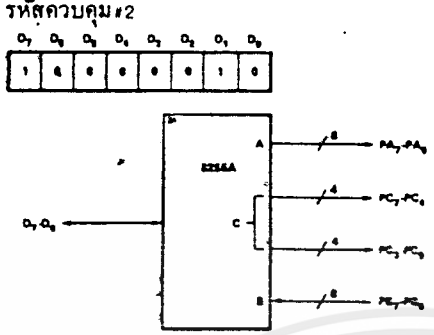
การทำงานในโหมด0

โหมด0เป็นโหมดที่กำหนดให้พอร์ตทุกพอร์ตของชิป 8255 เป็นพอร์ตอินพุทเอาต์พุตแบบพื้นฐาน รูปแบบความเป็นไปได้จึงมีทั้งสิ้น 16 รูปแบบ ตามลักษณะของพอร์ตA พอร์ตB Cบนและพอร์ตCล่างลักษณะของรหัสควบคุมแต่ละแบบจะเป็นดังรูปที่ 2.10

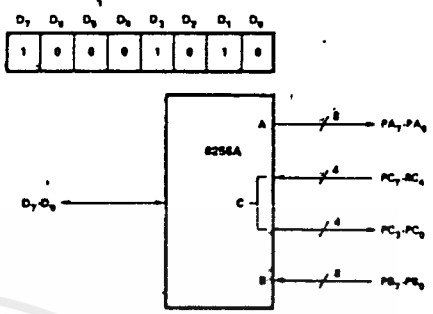


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

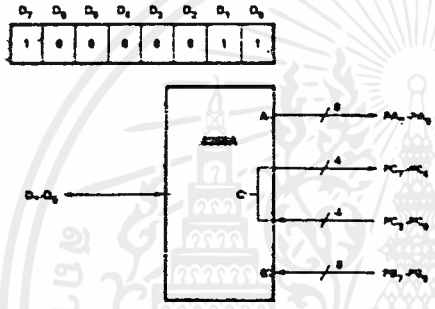
รหัสควบคุม#2



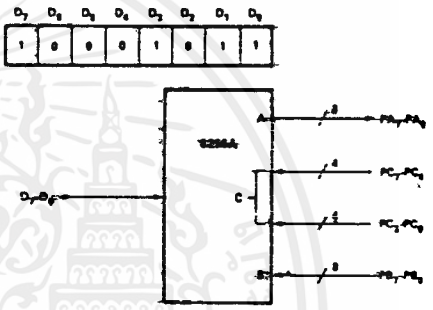
รหัสควบคุม#6



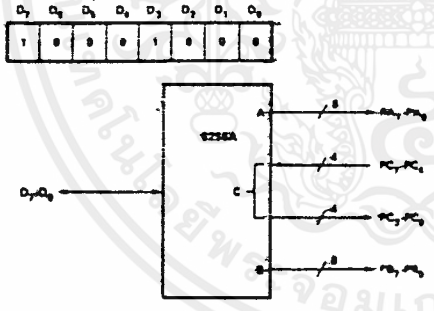
รหัสควบคุม#3



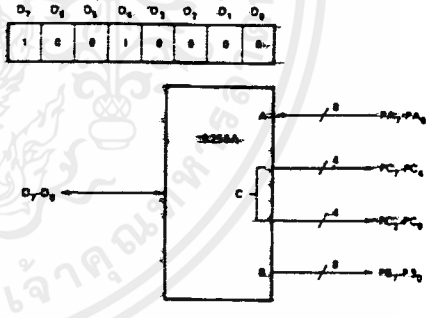
รหัสควบคุม#7



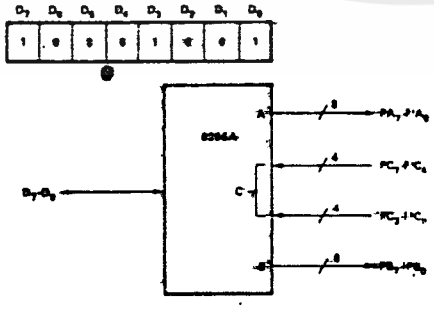
รหัสควบคุม#4



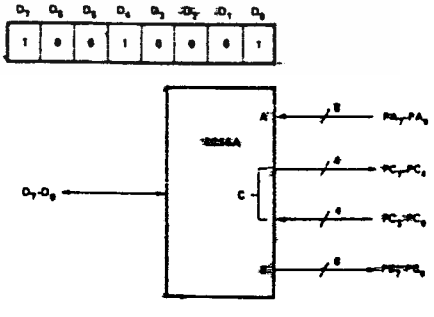
รหัสควบคุม#8



รหัสควบคุม#5

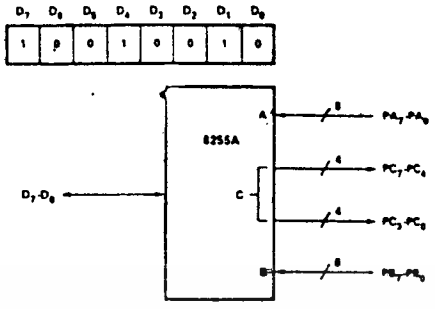


รหัสควบคุม#9

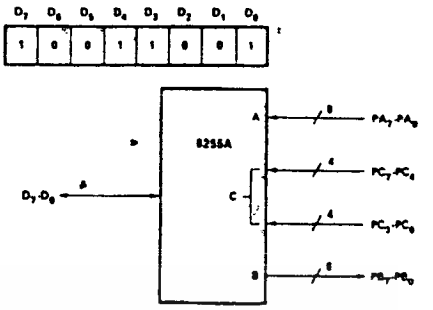


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

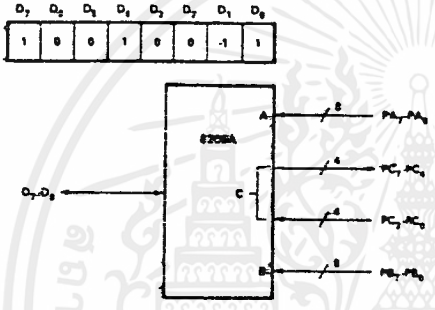
รหัสควบคุม # 10



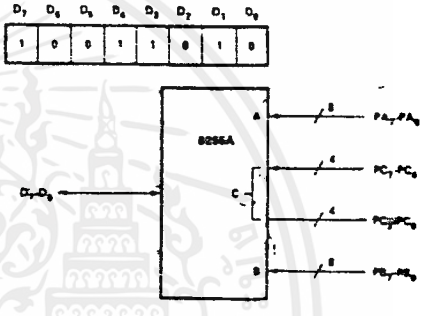
รหัสควบคุม # 13



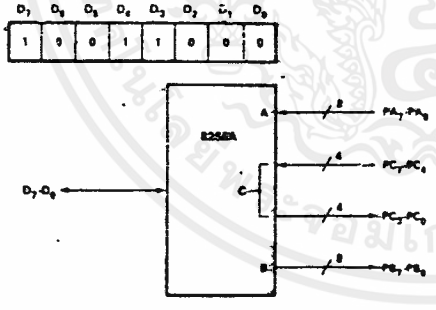
รหัสควบคุม # 11



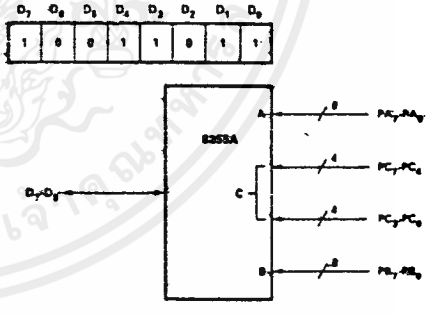
รหัสควบคุม # 14



รหัสควบคุม # 12



รหัสควบคุม # 15



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 3

การออกแบบวงจร

การออกแบบนี้ได้ทำการออบแบบอย่างง่ายๆ เพื่อให้สามารถนำอุปกรณ์ทั่วไปมาใช้งานได้จริงในการทำเครื่องกำเนิดสัญญาณโปรแกรมได้

จากบล็อกไดอาแกรมของเครื่องกำเนิดสัญญาณโปรแกรมได้ สามารถแยกออกเป็นส่วนของบล็อคได้ดังนี้

-วงจรกำเนิดความถี่ เป็นวงจรกำเนิดสัญญาณสี่เหลี่ยม (SQUARE) ความถี่ ย่านต่างๆ เพื่อส่งผ่านสัญญาณไปยังวงจรเฟสล็อคลูปเพื่อเป็นความถี่อ้างอิง

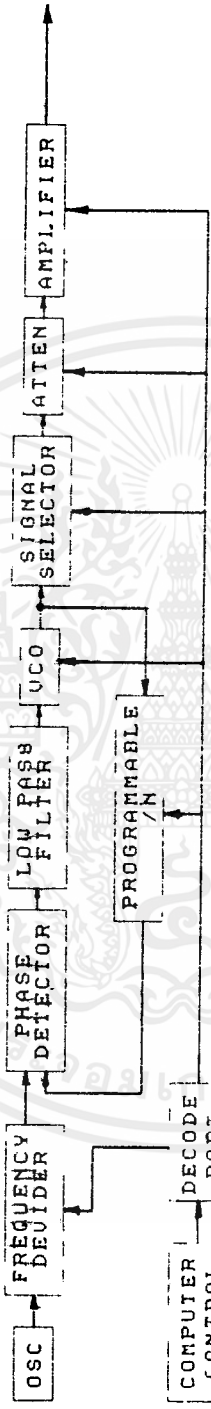
-วงจรสังเคราะความถี่ ประกอบด้วยวงจรเฟสดีเทคเตอร์, วงจรความถี่ต่ำผ่าน, วงจร VCO และวงจรหารความถี่แบบโปรแกรมได้

-วงจรเลือกสัญญาณ เป็นวงจรเลือกสัญญาณว่าจะให้สัญญาณที่เอาท์พุทเป็นรูปคลื่นแบบใด (ไซน์, สามเหลี่ยม, สี่เหลี่ยม)

-วงจรขยายสัญญาณแบบโปรแกรมได้ ทำหน้าที่ขยายสัญญาณ โดยที่อัตราการขยายขึ้นอยู่กับการโปรแกรมผ่านทางพอร์ท ซึ่งได้มาจากคอมพิวเตอร์ส่วนบุคคลอีกต่อหนึ่ง

-วงจรควบคุมพอร์ท ทำหน้าที่ควบคุม การทำงานของวงจรให้เป็นไปตามที่ต้องการ และเพาะสม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.1 บล็อคไดอาแกรมของเครื่องกำเนิดสัญญาณแบบโปรแกรมได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วงจรกำเนิดความถี่ (FREQUENCY OSCILLATER)

วงจรนี้เป็นส่วนกำเนิดสัญญาณสี่เหลี่ยม (square wave) ความถี่ 4 เม็กกะเฮิร์ซ (MHz) โดยใช้ผลึกความถี่ 4 เม็กกะเฮิร์ซ (crystal) และวงจรกลับสัญญาณ (inverter)ซึ่งเป็นไอซี TTL #7404

วงจรหารความถี่ (frequency divider)

วงจรนี้มีหน้าที่หารสัญญาณสี่เหลี่ยมความถี่ 4 เม็กกะเฮิร์ซ ให้มีสัญญาณออก มีความถี่เป็น 1 เม็กกะเฮิร์ซ, 100,10,1 กิโลเฮิร์ซ, 100,10,1,0.1 เฮิร์ซ โดยสามารถแบ่งวงจรออกเป็น 2 ส่วนได้ดังนี้

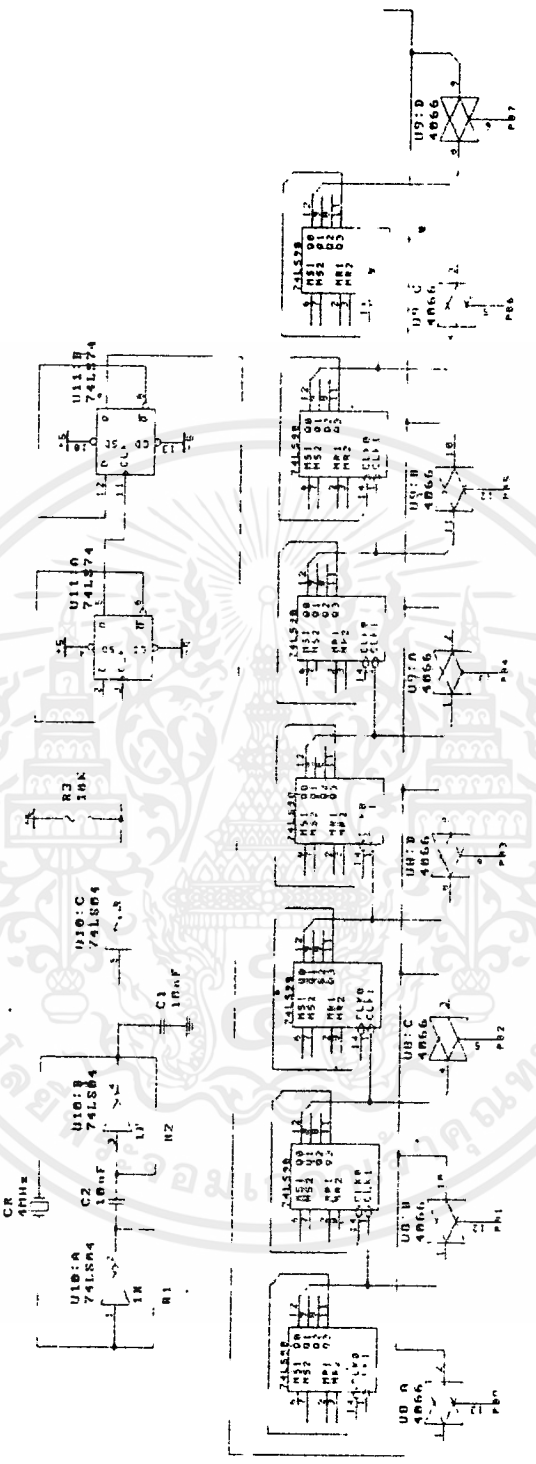
<u>วงจรหารสี่</u> วงจรส่วนนี้ทำหน้าที่หารสัญญาณสี่เหลี่ยมความถี่ 4 เม็กกะเฮิร์ซ เป็น 1เม็กกะเฮิร์ซ โดยใช้ไอซี TTL #7474 (D FLIP-FLOP) มาทำเป็นวงจรหารสองได้ 2 ตัว เพราะฉะนั้น จึงสามารถทำเป็น วงจรหารสี่ได้โดยใช้ 7474 2 ตัว

<u>วงจรหารสิบ</u> วงจรส่วนนี้ทำหน้าที่ หารสัญญาณสี่เหลี่ยมความถี่ 1 เม็กกะเฮิร์ซ ให้มีสัญญาณออกมีความถี่เป็น 100,10,1 กิโลเฮิร์ซ, 100,10,1,0.1 เฮิร์ซ โดยใช้ไอซี TTL #7490 (BCD DECADE COUNTER) เป็นวงจรหารสิบ

วงจรเลือกย่านความถี่ (FREQUENCY RANGE SELECTOR)

วงจรนี้ใช้เป็นส่วนเลือกย่านความถี่เพื่อเป็นความถี่ฐาน (BASE FREQUENCY) เพื่อเป็นสัญญาณอ้างอิงป้อนให้กับวงจรเฟสดีเท็คเตอร์ เพื่อเป็นฐานความถี่ในการแทร็ค(TRACX) ความถี่ของสัญญาณออกของเฟสล็อคลูป วงจรส่วนนี้ได้รับการออกแบบโดยใช้ไอซี CMOS #4066 (CMOS QUADANALOG SWITCH) วงจรส่วนนี้สามารถจะเลือกย่านความถี่ได้โดยการโปรแกรมซึ่งควบคุมจากคอมพิวเตอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.2

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วงจรหารความถี่โปรแกรมได้

วงจรส่วนนี้มีหน้าที่หารความถี่ขาออกของ VCO เพื่อป้อนให้กับเฟสดีเท็คเตอร์ เพื่อนำมาเปรียบเทียบกับความถี่ฐานซึ่งได้มาจากการหารความถี่จากวงจรกำเนิดสัญญาณสี่เหลี่ยมอีกทีหนึ่ง วงจรนี้ประกอบขึ้นจากไอซีซีมอสเบอร์ 4522 (CMOS PROGRAMMABLE DOWN COUNTERS) 3ตัว วงจรนี้สามารถหารความถี่ได้ตามค่าที่โปรแกรมเข้าไป โดยการโปรแกรมสามารถ กำหนดโดยค่าที่ใส่เข้าทาง Dp_n เป็นการกำหนดค่าเริ่มต้น

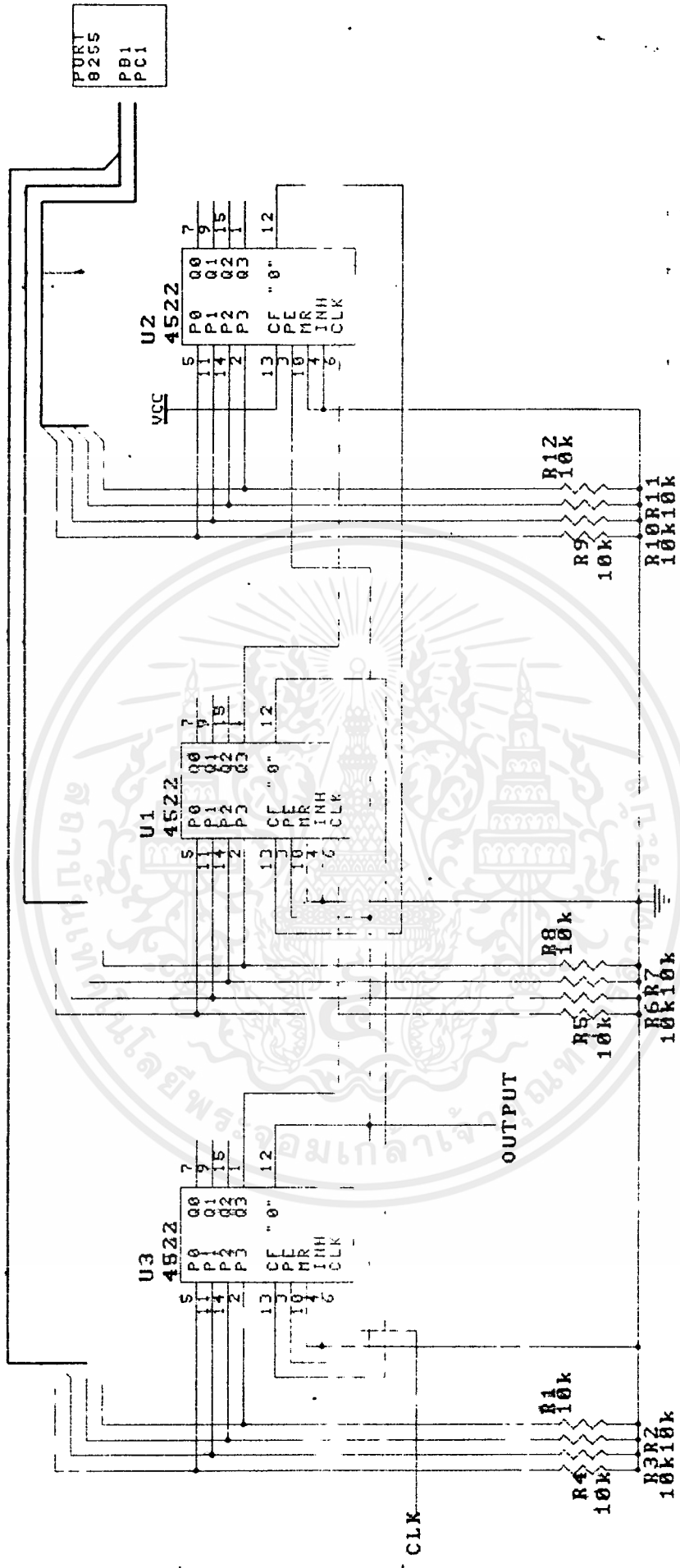
การทำงานของ #4522 เป็นวงจรนับแบบนับลงหรือนับถอยหลัง โดย 4522 จะนับสิบ(BCD)โดยปกติจะเริ่มจาก 1001,1000,.....0001,0000 แล้วจะกลับไปเริ่มใหม่ที่ 1001 ที่ 4522 สามารถโปรแกรมได้เพราะสามารถกำหนดค่าเริ่มต้น โดยที่ขา PE ถ้าได้รับลอจิก "1" จะทำการโหลดค่า ที่ D_{pn} ไปเป็นค่าเริ่มต้น และค่า "ZERO-OUTPUT" ของ 4522 สามารถจะกำหนดให้เป็น "0" หรือ "1" เมื่อนับครบหนึ่งรอบ โดยกำหนดที่ ขาCF และคุณสมบัติพิเศษของ 4522 คือ สามารถนำมาต่อร่วมกันเพื่อให้สามารถนับได้มากขึ้นโดยไม่มีอุปกรณ์ภายนอกมาต่อร่วม

วงจรขับรีเลย์

วงจรขับรีเลย์นำมาใช้ประโยชน์ในการตัดต่อสัญญาณต่างๆ ด้วยการโปรแกรมผ่านไอซี 8255 ซึ่งการนำรีเลย์มาใช้งานแทนสวิทช์อนาล็อก เพราะสวิทช์อนาล็อกนั้น เมื่อหน้าสัมผัสปิด จะเกิดความต้านทานตกคร่อมหน้าสัมผัสประมาณ 300 โอห์ม ซึ่งทำให้การใช้งานไม่เหมาะสม

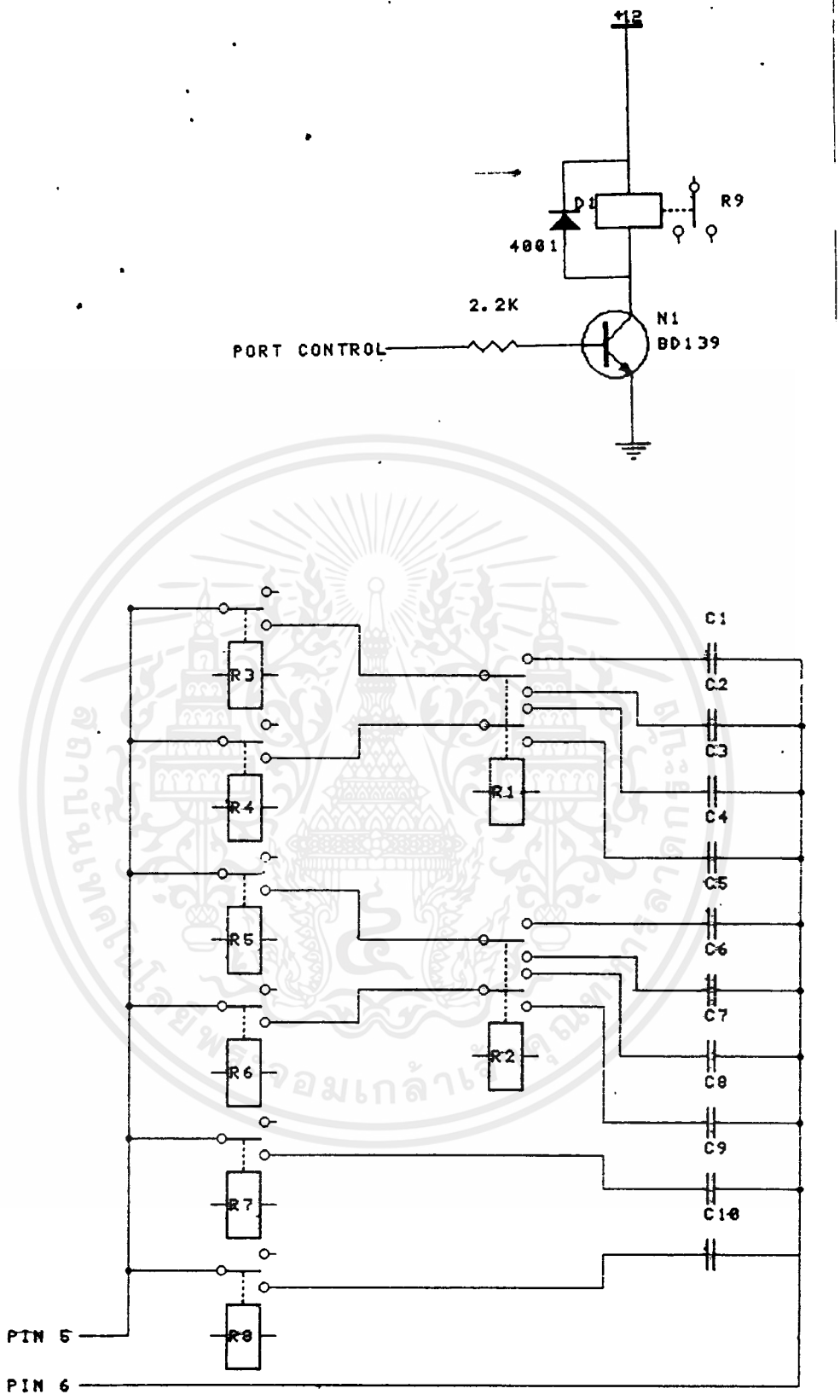
วงจรขับรีเลย์นี้ประกอบไปด้วย ทรานซิสเตอร์ #BD139, รีเลย์ 12 V, ไดโอด # 1N4001 และตัวต้านทาน 2.2,1 กิโลโอห์ม ดังแสดงในรูปที่ 3.4

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.3 วงจรทางกายภาพแบบโปรแกรมได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



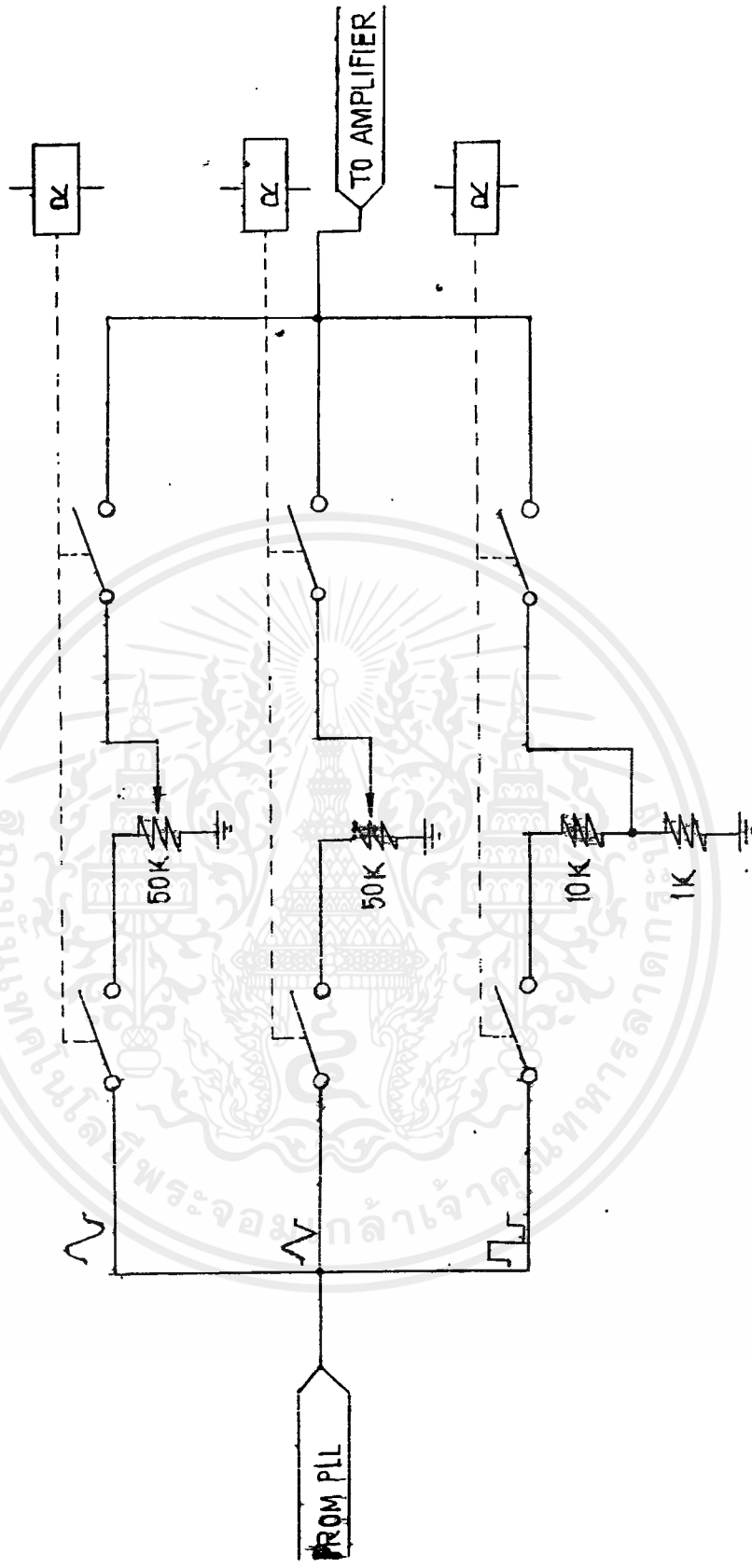
รูปที่ 3.4 วงจรรีเลย์เลือกค่า C

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วงจรลดทอนสัญญาณ (ATTENUATOR)

วงจรนี้ทำหน้าที่ลดทอนสัญญาณที่ออกจาก VCO เพื่อนำไปเข้าวงจรขยายสัญญาณแบบโปรแกรมได้ เพราะว่าถ้าสัญญาณขาเข้าเพิ่มขึ้นไป และถ้าสัญญาณขาเข้ามีค่า 0.5 โวลท์ V_{p-p} ก็จะทำให้สัญญาณขาออกของวงจรขยายสัญญาณมีขนาดที่แปรเปลี่ยนไปได้มากที่สุด วงจรนี้แบ่งการลดทอนออกเป็น 3 ส่วน ตามลักษณะสัญญาณที่เข้ามา ดังรูปที่ 3.5

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

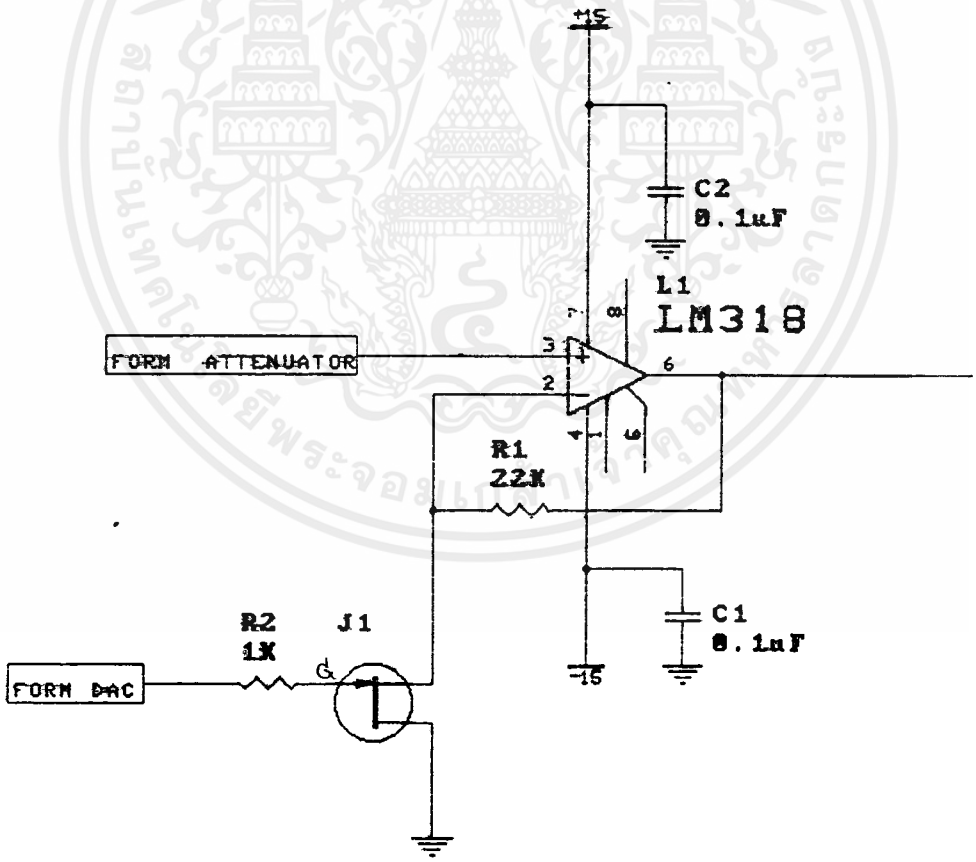


รูปที่ 3.5 วงจรลดทอนสัญญาณ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วงจรขยายแบบโปรแกรมได้ (Programmable gain control circuit)

วงจรขยายแบบโปรแกรมได้นี้จะใช้ออปแอมป์ต่อแบบนอนอินเวอร์ติ้งแอมป์ ซึ่งจะอาศัยการควบคุมอัตราขยายของสัญญาณๆด้วยการควบคุมไฟตรงที่เป็นลบเข้ามาทางขาเกทของเอ็นแชนแนลเจเฟส หลักการทำงานของวงจรนี้คืออออปแอมป์จะรับสัญญาณจากวงจรลดทอนสัญญาณทางขา3 ซึ่งออปแอมป์จะทำหน้าที่ขยายสัญญาณที่เข้ามาโดยเราสามารถเลือกขนาดของสัญญาณ ได้โดยการโปรแกรมซึ่งจะผ่านการอินเตอร์เฟสของพอร์ต 8255 และวงจรแปลงดิจิตอลเป็นอนาล็อก ซึ่งจะได้แรงดันไฟตรงที่เป็นลบไปป้อนเข้าขาเกทของเจ ** ซึ่งแรงดันไฟตรงนี้จะควบคุมให้เจเฟสเปลี่ยนแปลงความต้านทานระหว่างขาเดรนกับขาซอทได้ซึ่งเท่ากับว่าอัตราการขยายของออปแอมป์เปลี่ยนแปลงค่าได้ตามต้องการ ซึ่งในวงจรนี้ได้ใช้ออปแอมป์ที่มีความเร็วค่อนข้างสูง #LM318และใช้เจเฟส #2SK30A วงจรได้แสดงไว้ในรูปที่ 3.6



รูปที่ 3.6 วงจรขยายสัญญาณแบบโปรแกรมได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วงจรแปลงสัญญาณจากดิจิตอลเป็นอนาล็อค(Digital to analog converter)

วงจรนี้มีหน้าที่ในการแปลงสัญญาณดิจิตอล มาเป็นระดับสัญญาณแรงดันไฟตรงที่มีค่าเป็นลบ เพื่อป้อนให้แก่การ์ดอินเจเฟสซึ่งวงจรนี้ส่วนนี้ประกอบด้วย 2 ส่วนด้วยกันคือ

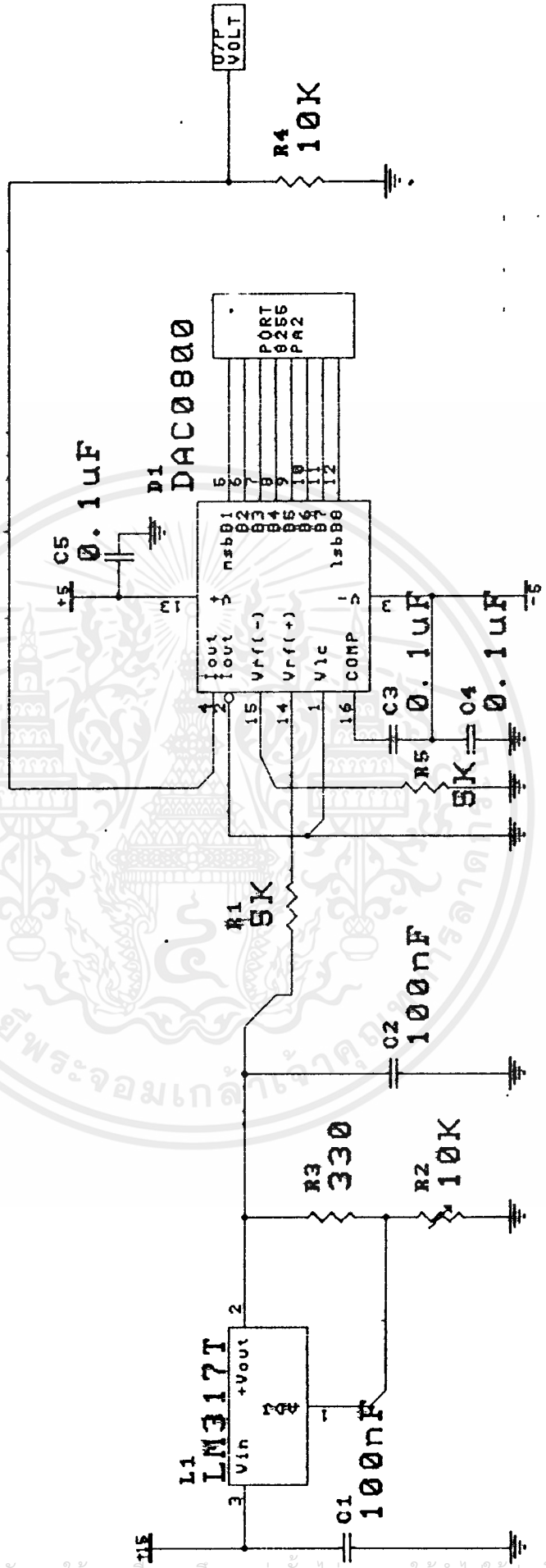
วงจรควบคุมแรงดันคงที่ปรับค่าได้

-วงจรส่วนนี้ใช้ไอซีเบอร์LM317 (ADJUSTABLE VOLTAGE REGULUTOR) หน้าที่เป็นวงจรป้อนแรงดันอ้างอิงขนาด 10v ให้แก่ขา14 ของวงจรแปลงสัญญาณจากดิจิตอลเป็นอนาล็อก ซึ่งค่าแรงดันอ้างอิงนี้ปรับได้จากความต้านทานปรับค่าได้ 10K

วงจรแปลงสัญญาณดิจิตอลเป็นอนาล็อก(D to A converter)

-วงจรนี้ใช้ไอซีเบอร์ DAC 0801 ซึ่งควบคุมแรงดันทางด้านเอาท์พุทได้จากขา14ซึ่งจัดวงจรการทำงานแบบ BASIC UNIPOLAR NEGATIVE OPERATIONซึ่งข้อมูลทางด้านอินพุทที่ป้อนเข้ามาทางขา5 ถึงขา12 จะได้มาจากการผ่านสัญญาณทางพอร์ต 8255 อีกทีหนึ่ง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.7 วงจรแปลงสัญญาณดิจิตอลเป็นอานาล็อค

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

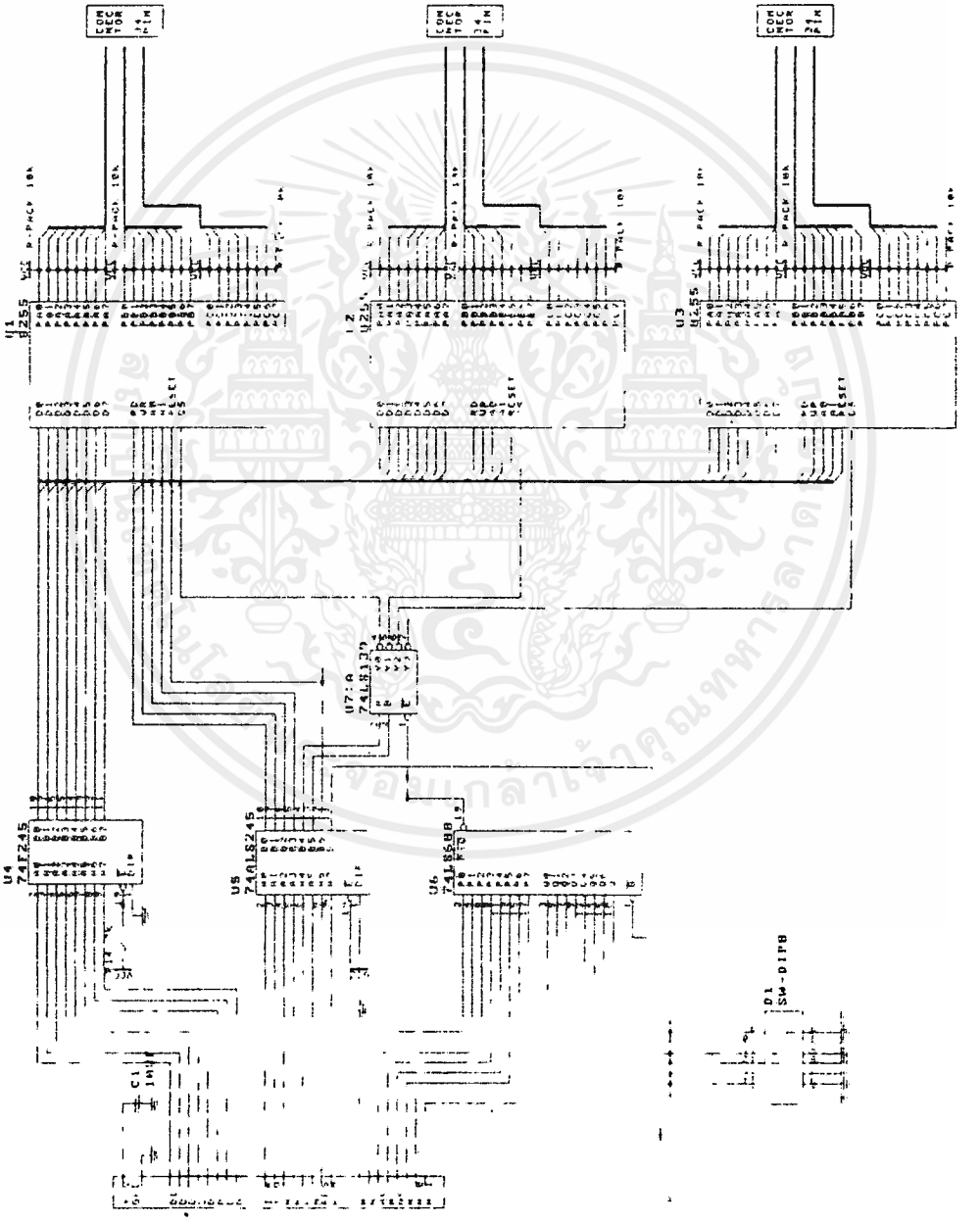
วงจรควบคุมพอร์ท 8255 (8255 control circuit)

วงจรนี้ทำหน้าที่ผ่านข้อมู ากไมโครคอมพิวเตอร์ไปควบคุมส่วนอื่นๆ ของวงจรให้ทำงานเป็นไปตามความต้องการและถูกต้องตามจังหวะการทำงาน

ส่วนของวงจรจะประกอบไปด้วย 2 ส่วนใหญ่ๆคือ

1.IC 8255 ทำหน้าที่เป็น input,output port

2.IC DECODE ทำหน้าที่เป็นตัวเลือกแหน่งของ port 8255 มี IC 74LS139, 74LS139 และDIT SWITCH



รูปที่ 3.8 วงจรควบคุมพอร์ท 8255

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วงจรเฟสล็อคลูป (phase lock loop circuit)

วงจรในรูปที่ 3.9 เมื่อมีความถี่ของวงจรเข้ามาทางอินพุท ผ่าน C_2 คัปปลิ้งสัญญาณมาเข้าขา 14ของ IC_2 และเดียวกันก็จะมีสัญญาณสี่เหลี่ยมจากขา 11 ของIC_6 เข้ามาเปรียบเทียบความต่างเฟสกันที่ขา 3 ของ IC_2 สัญญาณพัลส์ที่เกิดจากความต่างเฟสของสัญญาณทั้งสองจะถูกส่งออกทางขา13 ไปเข้าชุดกรองความถี่ต่ำผ่าน ซึ่งประกอบด้วย R_4, R_5, R_6, C_2, D_1และ D_3 โดย D_2และD_3จะเป็นตัวควบคุมการประจุและคายประจุของ C_6 ในขณะที่วงจรยังไม่ล็อกความถี่ พัลส์จากขา 13 จะมีความกว้างของพัลส์มากและช่วงห่างของพัลส์แต่ละลูกน้อย ดังนั้นเวลาในการประจุและคายประจุของ C_6 จึงไม่จำเป็นต้องยาวมาก D_2 และD_3 จะทำให้ R_4 และ R_5 ขนานกัน เพื่อให้ค่าคงตัวเวลาสั้นลงแต่เมื่อวงจรล็อกความถี่ได้แล้วพัลส์จากขา 13 จะมีความกว้างน้อยและช่องห่างระหว่างพัลส์มาก D_2และ D_3 จะ OFF ทำให้ R_4ไม่ขนานกับ R_5 ดังนั้นจึงทำให้ค่าเวลายาวมากขึ้น

IC_4 ทำหน้าที่เฟเฟอร์สัญญาณจากชุดกรองความถี่ต่ำผ่านไปสู่ IC_5 ซึ่งทำหน้าที่เป็นตัวเปรียบเทียบสัญญาณขา 3 ของ IC_5 เป็นขาแรงดันอ้างอิง 2.5 โวลต์ จะทำให้แรงดันที่ขา 2 มีค่าสูงกว่า 2.5โวลต์จะทำให้แรงดันที่ขา 6 มีค่าเป็นลบแต่ถ้าแรงดันที่ขา 2 น้อยกว่า 2.5โวลต์ จะทำให้แรงดันที่ขา 6 มีค่าเป็นบวกแรงดันเอาท์พุตจาก IC_5 นี้จะไปควบคุมให้ IC_6 สร้างสัญญาณสี่เหลี่ยมขึ้นมาทางขา 2 และในขณะเดียวกันวงจร vco ภายใน IC_6 ผลิตสัญญาณสี่เหลี่ยมความถี่ใหม่ออกมาทางขา11เพื่อส่งกลับไปเข้า IC_2 ทางขา 3 ทำการเปรียบเทียบเฟสกับสัญญาณอินพุตอีก การวนรอบเช่นนี้จะเกิดขึ้นเรื่อยๆ จนกว่าเฟสของสัญญาณที่ส่งเข้ามาเปรียบเทียบกันที่ IC_2 จะต่างกันคงที่ ซึ่งหมายถึงความถี่ของสัญญาณ จาก IC_6 มีความถี่เท่ากัน (ความถี่สองความถี่จะเท่ากันก็ต่อเมื่อเฟสของสัญญาณต่างกันหรือต่างกันคงที่)

สัญญาณขาออกที่ออกมาจากขา 2 ของ IC_6 จะผ่านบัฟเฟอร์ IC_7 ก่อนจะส่งผ่าน R_{10} และ C_{14} คัปปลิ้งสัญญาณออกทางเอาท์พุตของวงจร IC_3 ทำหน้าที่ขับ LED_1 ซึ่งแสดงสภาวะในขณะที่ล็อกความถี่ได้แล้ว C_5 จะเก็บประจุผ่านทาง R_3 จนมีแรงดันตกคร่อมสูงขึ้น เมื่อแรงดันตกคร่อม C_5 สูงกว่าแรงดันอ้างอิงที่ขา 2 จะทำให้ LED_1 ติดสว่าง ในขณะที่ยังล็อกความถี่ไม่ได้สัญญาณที่ออกมาจากขา 1 ของ IC_2 จะมีลักษณะเป็นพัลส์ ดังนั้นแรงดันที่ตกคร่อมที่ C_5 จะมีการเปลี่ยนแปลงตลอดเวลา จึงทำให้ LED_1 เกิดการกระพริบติดๆดับๆไดโอด D_1 มีไว้เพื่อให้ C_5 คีสชาร์จได้เร็วขึ้น

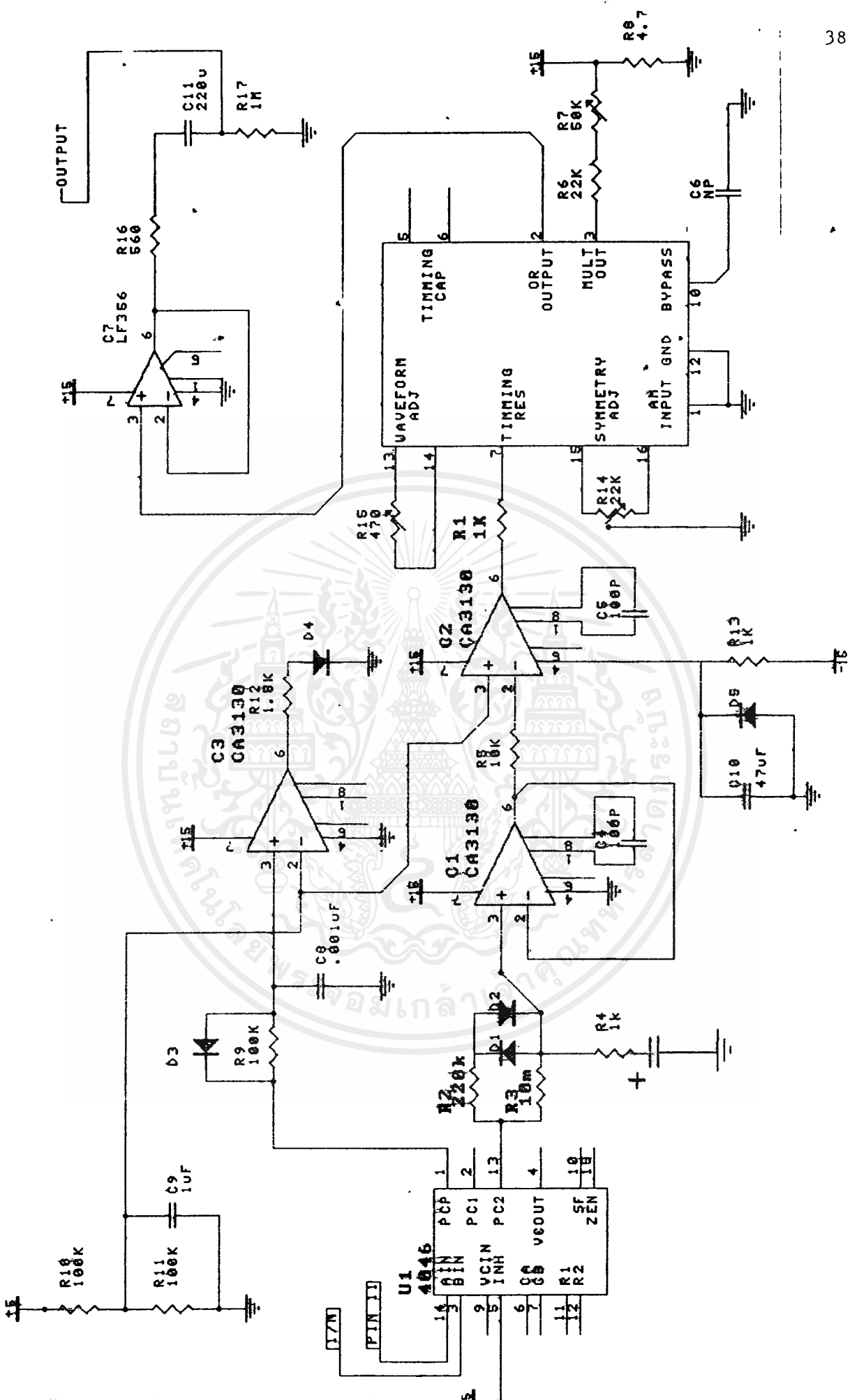
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

VR_1 เป็นตัวปรับรูปร่างของสัญญาณซายน์เวฟให้สมบูรณ์ ไม่มีสัญญาณแปลกปลอมปนเข้ามาด้วย VR_2 เป็นตัวปรับสัญญาณซายเวฟที่ได้มีรูปร่างสวยงามไม่มีการผิดเพี้ยนทางฮาร์มอนิกเกิดขึ้น VR_3 เป็นตัวปรับขนาดของสัญญาณเอาท์พุตที่ต้องการ ส่วน SW เป็นตัวเลือกย่านความถี่ที่ต้องการว่าจะใช้ความถี่ย่านใดโดยเลือกค่าตัวเก็บประจุได้ดังนี้

1. C_{17} เลือกความถี่ย่าน 1HZ - 33HZ
2. C_{18} เลือกความถี่ย่าน 30HZ - 1KHZ
3. C_{19} เลือกความถี่ย่าน 10HZ - 330HZ
4. C_{20} เลือกความถี่ย่าน 300HZ - 10KHZ
5. C_{21} เลือกความถี่ย่าน 100HZ - 3.3KHZ
6. C_{22} เลือกความถี่ย่าน 3KHZ - 100KHZ
7. C_{23} เลือกความถี่ย่าน 1KHZ - 33KHZ
8. C_{24} เลือกความถี่ย่าน 30KHZ - 1MHZ
9. C_{25} เลือกความถี่ย่าน 10KHZ - 1MHZ

รูปวงจรเฟสล็อคลูปได้แสดงไว้ในรูปที่ 3.9

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.9 วงจรเฟสล็อคลูป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ผลของการทดลองการใช้ค่า C ในการกำหนดย่านความถี่

ย่าน *1	1HZ - 33HZ	ค่า C = 2μF
	30HZ - 1KHZ	ค่า C = 1μF
ย่าน *10	10HZ - 330HZ	ค่า C = .111μF
	300HZ - 10KHZ	ค่า C = .082μF
ย่าน *100	100HZ - 3.3KHZ	ค่า C = .115μF
	3KHZ - 100KHZ	ค่า C = 4.5nF
ย่าน *1K	1KHZ - 33KHZ	ค่า C = .015μF
	30KHZ - 1MHZ	ค่า C = .008μF
ย่าน *1KHZ	10KHZ - 300KHZ	ค่า C = .029μF
	300KHZ - 1MHZ	ค่า C = .06nF

ย่าน *10 ที่ความถี่ 300 HZ สัญญาณสั่นเล็กน้อย

ย่าน *100 ที่ความถี่ 3KHZ สัญญาณสั่นเล็กน้อย

ย่าน *1K ที่ความถี่ 1KHZ สัญญาณสั่นเล็กน้อย

ที่ความถี่ 30KHZ สัญญาณสั่นเล็กน้อย

ข้อสังเกต ถ้าเปลี่ยนย่านความถี่ห่างกันมากๆ PLL จะ LOCK ช้ามาก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 4

การทดลองและผลการทดลอง

PORT A1 ใช้หารความถี่

PORT B1 ใช้หารความถี่

PORT C1 ใช้เลือกรูปแบบสัญญาณ

PORT A2 ใช้เลือกขนาดของสัญญาณ

PORT B2 ใช้เลือกรีเลย์

PORT C2 ใช้เลือกความถี่ฐานอ้างอิง

การทดลองเราจะลดทอนสัญญาณ ให้ได้ประมาณ 0.4 V_{P-P} เราจะได้ผลแรงดันเอาต์ดังนี้

- sine wave ได้แรงดันสูงสุด 20 V_{P-P} ได้แรงดันต่ำสุด 5 V_{P-P}
- triangle wave ได้แรงดันสูงสุด 20V_{P-P} ได้แรงดันต่ำสุด 5 Vp-p
- square wave ได้แรงดันสูงสุด 15V_{P-P} ได้แรงดันต่ำสุด 2.6 V_{P-P}
- ความถี่ต่ำสุดที่สามารถกำหนดได้ 20 HZ
- ความถี่สูงสุดที่สามารถกำหนดได้ 1 MKZ

หมายเหตุ แรงดันขนาดต่ำสุดของ sine wave และ triangle wave ขาดความสมมาตร และไม่เป็น ramp ที่เดียวนัก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 5

บทสรุปและวิจารณ์

ปัญหาต่างๆในการทดลองมีดังต่อไปนี้

1. บางย่านความถี่เฟสล็อกลูปจะช้า ซึ่งอาจเกิดจากวงจรความถี่ต่ำผ่านไม่เหมากับความถี่นั้นๆ หรืออาจเกิดจากการตั้งค่าความถี่ฐานไม่เหมาะสมก็ได้

2. วงจรเฟสล็อกลูป ล็อกความถี่ช้ามากๆ หรือไม่ล็อกเลย ในการเปลี่ยนควจากความถี่สูงไปความถี่ต่ำทันทีทันใด แต่จะล็อกได้ดีเมื่อค่อยๆ เปลี่ยนย่านความถี่ลงหรือเพิ่มน้อยและจะล็อกความถี่ได้ต่ำสุดประมาณ 20 HZ

3. สัญญาณที่เอาต์พุทจะมีขนาดสูงสุด 20 V_{p-p} เพราะถ้าเราเพิ่มอัตราขยมากกว่านี้แล้วเจเฟสจะอิ่มตัว หรือ อีกกรณีหนึ่งคือลดอัตราการลดทอนแต่แรงดันเอาต์พุทก็จะขึ้นตามด้วย จะทำให้การใช้งานที่ต้องการแรงดันต่ำๆไม่ค่อยได้

4. ค่าคาปาซิเตอร์ที่ใช้นั้นไม่สามารถที่จะตอบสนองต่อวงจรเฟสล็อกลูปได้ตลอดย่านความถี่ทำให้ล็อกความถี่ได้อย่างรวดเร็ว

แนวทางการพัฒนา

1. เครื่องกำเนิดสัญญาณแบบโปรแกรมได้นี้สามารถนำไปพัฒนาได้โดยการเพิ่มส่วนการปรับลูปฟิลเตอร์แบบโปรแกรมได้เพื่อให้ได้ผลการล็อก และการตอบสนองต่อย่านความถี่ได้อย่างถูกต้อง และเหมาะสม

2. เครื่องกำเนิดสัญญาณแบบโปรแกรมได้นี้ไม่สามารถที่ปรับค่า ดีซีออฟเซตได้ แต้องการเราก็ทำการสร้างวงจรบวกสัญญาณไฟตรงแบบโปรแกรมได้เข้าไปในวงจร

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การใช้งานโปรแกรม

เมื่อเลือกการใช้งานโปรแกรม ที่จอภาพคอมพิวเตอร์ จะปรากฏ ของ คณะผู้จัดทำโครงงานนี้ และเมื่อกดปุ่มใดๆ จะปรากฏภาพของแบบจำลองหน้าปัดของเครื่องกำเนิดสัญญาณแบบโปรแกรมได้ 3 รูปแบบ คือ

กดปุ่ม F1 จะปรากฏภาพให้เลือกขนาดของสัญญาณ

กดปุ่ม F2 จะปรากฏภาพให้เลือกย่านความถี่

กดปุ่ม F3 จะปรากฏภาพความถี่ที่ต้องการใช้งาน

กดปุ่ม F4 จะปรากฏภาพของรูปแบบของสัญญาณ

เมื่อกดปุ่ม F1 เครื่องจะให้เราป้อนค่า ตัวเลขที่แทนด้วยขนาดของสัญญาณ โดยทำการกดปุ่มคีย์บอร์ด ตัวเลขที่ต้องการใช้

เมื่อกดปุ่ม F เราสามารถกำการเลือกค่าย่านความถี่ที่ต้องการใช้งาน โดยทำการกดปุ่มดังต่อไปนี้

- F1 ย่านความถี่ *1
- F2 ย่านความถี่ *10
- F3 ย่านความถี่ *100
- F4 ย่านความถี่ *1K
- F5 ย่านความถี่ *10K

จากนั้นก็กดปุ่ม F3 อีกครั้ง เครื่องจะให้เราป้อนค่าความถี่ที่ต้องการใช้งาน ว่าต้องการความถี่ใด โดยค่าตัวเลขที่แสดงจะนำไปคูณกับย่านความถี่ที่เราได้เลือกไว้ตอนต้นแล้ว

เมื่อต้องการจะใช้งานของรูปแบบของสัญญาณ เราจะใช้งานโดยกดปุ่ม F4 ซึ่งเครื่องจะให้เราป้อน รูปแบบของสัญญาณ คือ

กดปุ่ม F1 คือ SINE WAVE

กดปุ่ม F2 คือ TRIANGLE WAVE

กดปุ่ม F3 คือ SQUARE WAVE

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กิตติกรรมประกาศ

ในการทำโครงงานปริญญานิพนธ์นี้ ทางผู้จัดทำ ได้รับความอนุเคราะห์ ช่วยเหลือในด้านคำปรึกษาแนะนำและอุปกาณ์ในการทดลอง แนวทางการแก้ปัญหา จากบุคคลๆ ดังมีรายนามต่อไปนี้

1. อ.ชวลิต เบญจางคประเสริฐ อาจารย์ภาควิชาเทคนิตอุตสาหกรรม คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง
2. อ.ประภากร สุวรรณะ อาจารย์ที่ปรึกษาโครงการ
3. คุณ วีระศักดิ์ นามวง ที่ปรึกษาโปรแกรม
4. คุณ ภาสกร จึงธนสมบูรณ์ ที่ปรึกษาวงจรและอุปกรณ์

ทางผู้จัดทำโครงการขอขอบพระคุณทุกท่านมา ณ โอกาสนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
/*****************************************************************************
FILE NAME :  FREQ.C
progammer :  ...
Create    :  21 / May / 1992
Update    :  27 / May / 1992
Purpose   :  ...
Comment   :  This utility for...

Copyright (c) 1993 King Mongkut's Institute of Technology Ladkrabang
*****************************************************************************/
#include        <graphics.h>
#include        <stdlib.h>
#include        <stdio.h>
#include        "allkey.h"

#define         PORT_A1         0x300
#define         PORT_B1         0x301
#define         PORT_C1         0x302
#define         CONT_P1         0x303
#define         PORT_A2         0x304
#define         PORT_B2         0x305
#define         PORT_C2         0x306
#define         CONT_P2         0x307

char    *kmit[2] = {"สถาบันเทคโนโลยีพระจอมเกล้า","ลาดกระบัง"};
char    *name[6] = {"นายบุญฤษณ์","ศรีสงเคราะห์",
                    "นายรุ่งเพชร","อินทะ",
                    "นายรุ่งวิทย์","สดใส"
};
char    *advisor[4] = {"อาจารย์ชวลิต","เยญจางคประเสริฐ",
                       "อาจารย์ประภากร","สุวรรณะ"
};
char    *project[2] = {"เครื่องกำเนิดสัญญาณโปรแกรมได้",
                       "PROGRAMMABLE  FUNCTION  GENERATOR"
};
char    *engineering[] = {"คณะวิศวกรรมศาสตร์"};
char    *CHR;
double  FLOA;
int     INT, key, X, freq_select;
/*****************************************************************************/
main( )
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
        opengraph( );
        title( );
        analysis( );
        closegraph( );
}

title( )
{
        int count,posx,posy;
        fontthai( );
        bbx0(0,0,639,479,11,11,9);
        bbx1(50,5,590,150,15,8,7);
        bbx1(50,400,590,470,15,8,7);
        writethai(165,175,14,1,name[0]);
        writethai(270,175,14,1,name[1]);
        writethai(165,195,14,1,name[2]);
        writethai(270,195,14,1,name[3]);
        writethai(165,215,14,1,name[4]);
        writethai(270,215,14,1,name[5]);
        writetext(405,175,14,4,0,1,"34131154");
        writetext(405,195,14,4,0,1,"34131166");
        writetext(405,215,14,4,0,1,"34131168");
        writetext(115,78,4,1,0,2,project[1]);
        writethai(65,37,11,2,project[0]);
        writethai(233,114,14,1,engineering[0]);
        bbx1(150,260,490,320,14,8,2);
        writethai(165,263,15,1,advisor[0]);
        writethai(320,263,15,1,advisor[1]);
        writethai(165,283,15,1,advisor[2]);
        writethai(320,283,15,1,advisor[3]);
        writethai(226,431,8,2,kmit[1]);
        writethai(225,430,14,2,kmit[1]);
        writethai(70,410,12,2,kmit[0]);
        kmitsong( );
        delay(100);
}

analysis( )
{
        char *km = "KING MONGKUT'S INSTITUTE OF TECHNOLOGY   LADKRABANG";
        bbx(0,0,640,480,0,0,0);
        bbx0(10,10,630,470,7,7,7);
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
bbx0(14,14,626,466,8,8,8);
bbx0(15,15,625,465,9,9,9);

botton(90,130,100,440);
botton(540,130,550,440);
botton(50,50,590,170);
botton(50,180,590,300);
botton(50,310,590,430);

bbx1(550,70,560,80,4,8,12);
bbx1(550,200,560,210,4,8,12);
bbx1(550,330,560,340,4,8,12);

botton1(400,90,500,120);
botton1(400,220,500,250);
botton1(400,350,500,380);
writetext(400,70,14,2,0,5,"MIN 5Vpp");
writetext(400,130,14,2,0,5,"MAX 20Vpp");
writetext(400,200,14,2,0,5,"RANGE x");
writetext(400,260,14,2,0,5,"MAX 999Hz");
writetext(400,330,14,2,0,5,"SELECT BAND");
writetext(450,100,12,0,0,2,"5");
writetext(420,230,12,0,0,2,"000");
writetext(430,358,12,2,0,6,"SINE");
writetext(510,100,0,0,0,2,"V");
writetext(510,230,0,0,0,2,"Hz");
writetext(510,360,0,0,0,2,"WAVE");

botton(90,90,130,130);
botton(90,220,130,260);
botton(330,220,370,260);
botton(90,350,130,390);
writetext(95,103,4,0,0,2,"F1");
writetext(95,233,4,0,0,2,"F2");
writetext(335,233,4,0,0,2,"F3");
writetext(95,363,4,0,0,2,"F4");

writetext(90,150,0,2,0,4,km);
writetext(90,280,0,2,0,4,km);
writetext(90,410,0,2,0,4,km);
writetext(90,65,14,2,0,5,"AMPLITUDE");
writetext(90,195,14,2,0,5,"FREQUENCY");
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
writetext(90,325,14,2,0,5,"WAVEFORM");

botton(200,90,210,100);
botton(220,90,230,100);
botton(240,90,250,100);
botton(260,90,270,100);
botton(280,90,290,100);
botton(200,120,210,130);
botton(220,120,230,130);
botton(240,120,250,130);
botton(260,120,270,130);
botton(280,120,290,130);
writetext(197,75,14,2,0,5,"1  2  3  4  5");
writetext(197,105,14,2,0,5,"6  7  8  9  0");

botton1(200,220,210,260);
botton(220,220,230,260);
botton(240,220,250,260);
botton(260,220,270,260);
botton(280,220,290,260);
writetext(200,205,14,2,0,2,"1");
writetext(220,205,14,2,0,2,"10");
writetext(240,205,14,2,0,2,"100");
writetext(260,205,14,2,0,2,"1K");
writetext(280,205,14,2,0,2,"10K");
writetext(200,265,12,2,0,2,"F1");
writetext(220,265,4,2,0,2,"F2");
writetext(240,265,4,2,0,2,"F3");
writetext(260,265,4,2,0,2,"F4");
writetext(280,265,4,2,0,2,"F5");

botton1(200,350,210,380);
botton(220,350,230,380);
botton(240,350,250,380);
writetext(260,320,14,2,0,2,"SINE");
writetext(260,330,14,2,0,2,"SQUARE");
writetext(260,340,14,2,0,2,"TRIANGLE");
moveto(205,345);
lineto(205,323);
lineto(255,323);
moveto(225,345);
lineto(225,333);
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
        lineto(255,333);
        moveto(245,345);
        lineto(245,343);
        lineto(255,343);
        writetext(200,385,12,2,0,2,"F1");
        writetext(220,385,4,2,0,2,"F2");
        writetext(240,385,4,2,0,2,"F3");
        outportb(0x303,0x80);
        outportb(0x307,0x80);
        outportb(PORT_A1,0x00);
        outportb(PORT_B1,0x00);
        outportb(PORT_C1,0x01);
        outportb(PORT_A2,0x20);
        outportb(PORT_B2,0x01);
        outportb(PORT_C2,0x02);
        X=1;    freq_select=0;
        select();
}

botton(int sx,int sy,int ex,int ey)
{
        setfillstyle(1,3);
        bar(sx,sy,ex,ey);
        setfillstyle(1,11);
        bar(sx,sy,sx+1,ey);
        bar(sx,sy,ex,sy+1);
        setfillstyle(1,8);
        bar(sx+1,ey-1,ex,ey);
        bar(ex-1,sy+1,ex,ey);
        setcolor(0);
        rectangle(sx-1,sy-1,ex+1,ey+1);
}

botton1(int sx,int sy,int ex,int ey)
{
        setfillstyle(1,7);
        bar(sx,sy,ex,ey);
        setfillstyle(1,8);
        bar(sx,sy,sx+1,ey);
        bar(sx,sy,ex,sy+1);
        setfillstyle(1,11);
        bar(sx+1,ey-1,ex,ey);
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
        bar(ex-1,sy+1,ex,ey);
        setcolor(0);
        rectangle(sx-1,sy-1,ex+1,ey+1);
}

select( )
{
        while(!bioskey(1)) {
                switch(getkey( )) {
                        case  F1 :  amplitude( );        break;
                        case  F2 :  frequency( );        break;
                        case  F3 :  freqs( );            break;
                        case  F4 :  waveform( );         break;
                        case  CR :  kmitsong( );         break;
                        case  ESC:  closegraph( );       exit(1);
                        case  AX :  closegraph( );       exit(1);
                        default  :  break;
                }
        }
        bioskey(0);
        select( );
}

amplitude( )
{
        int     amps;
        botton1(90,90,130,130);
        writetext(97,105,12,0,0,2,"F1");
        speaker(1000,10);
        getscanf(430,100,12,0,0,2,"%s",CHR);
        amps=(INT-5.00)*63.00/15.00;
        outportb(PORT_A2,~amps);
        botton(90,90,130,130);
        writetext(95,103,4,0,0,2,"F1");
        select( );
}

frequency( )
{
        botton1(90,220,130,260);
        writetext(97,235,12,0,0,2,"F2");
        speaker(1000,10);
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
        while( !bioskey(1)) {
                switch(getkey( )) {
                        case  F1 :  f1( );        break;
                        case  F2 :  f2( );        break;
                        case  F3 :  f3( );        break;
                        case  F4 :  f4( );        break;
                        case  F5 :  f5( );        break;
                        case  ESC:  goto ra;
                        default  :  frequency( ); break;
                }
        }
        bioskey(0);
ra:     botton(90,220,130,260);
        writetext(95,233,4,0,0,2,"F2");
        select( );
}

f1( )
{
        speaker(1000,10);
        botton1(200,220,210,260);
        botton(220,220,230,260);
        botton(240,220,250,260);
        botton(260,220,270,260);
        botton(280,220,290,260);
        writetext(200,265,12,2,0,2,"F1");
        writetext(220,265,4,2,0,2,"F2");
        writetext(240,265,4,2,0,2,"F3");
        writetext(260,265,4,2,0,2,"F4");
        writetext(280,265,4,2,0,2,"F5");
        X=1;
        port( );
        botton(90,220,130,260);
        writetext(95,233,4,0,0,2,"F2");
        select( );
}

f2( )
{
        speaker(1000,10);
        botton(200,220,210,260);
        botton1(220,220,230,260);
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
        botton(240,220,250,260);
        botton(260,220,270,260);
        botton(280,220,290,260);
        writetext(200,265,4,2,0,2,"F1");
        writetext(220,265,12,2,0,2,"F2");
        writetext(240,265,4,2,0,2,"F3");
        writetext(260,265,4,2,0,2,"F4");
        writetext(280,265,4,2,0,2,"F5");
        X=2;
        port( );
        botton(90,220,130,260);
        writetext(95,233,4,0,0,2,"F2");
        select( );
}

f3( )
{
        speaker(1000,10);
        botton(200,220,210,260);
        botton(220,220,230,260);
        botton1(240,220,250,260);
        botton(260,220,270,260);
        botton(280,220,290,260);
        writetext(200,265,4,2,0,2,"F1");
        writetext(220,265,4,2,0,2,"F2");
        writetext(240,265,12,2,0,2,"F3");
        writetext(260,265,4,2,0,2,"F4");
        writetext(280,265,4,2,0,2,"F5");
        X=3;
        port( );
        botton(90,220,130,260);
        writetext(95,233,4,0,0,2,"F2");
        select( );
}

f4( )
{
        speaker(1000,10);
        botton(200,220,210,260);
        botton(220,220,230,260);
        botton(240,220,250,260);
        botton1(260,220,270,260);
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
        botton(280,220,290,260);
        writetext(200,265,4,2,0,2,"F1");
        writetext(220,265,4,2,0,2,"F2");
        writetext(240,265,4,2,0,2,"F3");
        writetext(260,265,12,2,0,2,"F4");
        writetext(280,265,4,2,0,2,"F5");
        X=4;
        port( );
        botton(90,220,130,260);
        writetext(95,233,4,0,0,2,"F2");
        select( );
}

f5( )
{
        speaker(1000,10);
        botton(200,220,210,260);
        botton(220,220,230,260);
        botton(240,220,250,260);
        botton(260,220,270,260);
        botton1(280,220,290,260);
        writetext(200,265,4,2,0,2,"F1");
        writetext(220,265,4,2,0,2,"F2");
        writetext(240,265,4,2,0,2,"F3");
        writetext(260,265,4,2,0,2,"F4");
        writetext(280,265,12,2,0,2,"F5");
        X=5;
        port( );
        botton(90,220,130,260);
        writetext(95,233,4,0,0,2,"F2");
        select( );
}

waveform( )
{
        botton1(90,350,130,390);
        writetext(97,365,12,0,0,2,"F4");
        speaker(1000,10);
        while(!bioskey(1)) {
                switch(getkey( )) {
                        case  F1 :  w1( );      break;
                        case  F2 :  w2( );      break;
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
                    case  F3 :  w3( );        break;
                    case  ESC:  goto wee;
                    default  :  waveform( ); break;
                }
        }
        bioskey(0);
wee:    botton(90,350,130,390);
        writetext(95,363,4,0,0,2,"F4");
        select( );
}

w1( )
{
        speaker(1000,10);
        botton1(200,350,210,380);
        botton(220,350,230,380);
        botton(240,350,250,380);
        writetext(200,385,12,2,0,2,"F1");
        writetext(220,385,4,2,0,2,"F2");
        writetext(240,385,4,2,0,2,"F3");
        bbx(404,354,496,376,7,7,7);
        writetext(430,358,12,2,0,6,"SINE");
        outportb(PORT_C1,0x01);
        botton(90,350,130,390);
        writetext(95,363,4,0,0,2,"F4");
        select( );
}

w2( )
{
        speaker(1000,10);
        botton(200,350,210,380);
        botton1(220,350,230,380);
        botton(240,350,250,380);
        writetext(200,385,4,2,0,2,"F1");
        writetext(220,385,12,2,0,2,"F2");
        writetext(240,385,4,2,0,2,"F3");
        bbx(404,354,496,376,7,7,7);
        writetext(420,358,12,2,0,6,"SQUARE");
        outportb(PORT_C1,0x02);
        botton(90,350,130,390);
        writetext(95,363,4,0,0,2,"F4");
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
        select( );
}

w3( )
{
        speaker(1000,10);
        botton(200,350,210,380);
        botton(220,350,230,380);
        botton1(240,350,250,380);
        writetext(200,385,4,2,0,2,"F1");
        writetext(220,385,4,2,0,2,"F2");
        writetext(240,385,12,2,0,2,"F3");
        bbx(404,354,496,376,7,7,7);
        writetext(410,358,12,2,0,6,"TRIANGLE");
        outportb(PORT_C1,0x04);
        botton(90,350,130,390);
        writetext(95,363,4,0,0,2,"F4");
        select( );
}

freqs( )
{
        int     freq1;
        botton1(330,220,370,260);
        writetext(337,235,12,0,0,2,"F3");
        speaker(1000,10);
        getscanf(420,230,12,0,0,2,"%s",CHR);
        freq_select=INT;
        port( );
        outportb(PORT_A1,0xff & freq_select);
        outportb(PORT_B1,0x0f & (freq_select >> 8));
        botton(330,220,370,260);
        writetext(335,233,4,0,0,2,"F3");
        select( );
}

port( )
{
        if(X==1) {
                outportb(PORT_C2,0x02);
                if(freq_select < 33) {
                        outportb(PORT_B2,0x01);
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
        }
        if(freq_select >= 33) {
            outportb(PORT_B2,0x03);
        }
    }
    if(X==2) {
        outportb(PORT_C2,0x04);
        if(freq_select < 33) {
            outportb(PORT_B2,0x04);
        }
        if(freq_select >= 33) {
            outportb(PORT_B2,0x06);
        }
    }
    if(X==3) {
        outportb(PORT_C2,0x08);
        if(freq_select < 33) {
            outportb(PORT_B2,0x18);
        }
        if(freq_select >= 33) {
            outportb(PORT_B2,0x08);
        }
    }
    if(X==4) {
        outportb(PORT_C2,0x10);
        if(freq_select < 33) {
            outportb(PORT_B2,0x20);
        }
        if(freq_select >= 33) {
            outportb(PORT_B2,0x30);
        }
    }
    if(X==5) {
        outportb(PORT_C2,0x20);
        if(freq_select < 33) {
            outportb(PORT_B2,0x40);
        }
        if(freq_select >= 33) {
            outportb(PORT_B2,0x80);
        }
    }
}
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
int getkey( )
{
                int ch01;
                        ch01 = getch( );
                        if (ch01 == 0)
                                ch01 = getch( );
                        return ch01;
}

getscanf(int x,int y,int color,char font,int direct,int size)
{
        int     i;
        char    *gtext="a";
con:    bbx(404,y-6,496,y+16,7,7,7);
        free(CHR);
        CHR = malloc(10);
        for(i=0;i<=5;i++)*(CHR+i)=0;
        while(*gtext!='\r'){
                while(!bioskey(1));
                *gtext = bioskey(0);
                if(*gtext!='\r') {
                if(*gtext!=BS) {
                        strcat(CHR,gtext);
                        writetextxy(x,y,color,font,
                                direct,size,"%s",CHR);
                        }
                if(*gtext==BS)  goto con;
                }
        }
        *gtext = 'a';
        INT=atoi(CHR);
        FLOA=atof(CHR);
}

writetextxy(int xloc, int yloc, int color, char font, int direct,
                int size, char *fmt, ...)
{
        va_list argptr;
        char str[140];
        struct textsettingstype textinfo;
        va_start(argptr, format);
        vsprintf(str, fmt, argptr);
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
        gettextsettings(&textinfo);
        settextstyle(font,direct,size);
        setcolor(color);
        outtextxy(xloc, yloc, str);
        va_end(argptr);
}
/*****************************(end of freq.c)*****************************/
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

XR2206 ไอซีสร้างสัญญาณ

XR2206 เป็น Monolithic Function Generator ที่สามารถกำเนิดสัญญาณได้ทั้ง ๓ สัญญาณ คือ SINE,SQUARE,TRIANGLE โดยที่มีย่านความถี่ที่ผลิตได้ตั้งแต่ 0.01 Hz ถึง 1 MHz วงจรภายในของ XR2206 แสดงอยู่ ดังจะเห็นได้ว่าภายในของ XR2206 จะมีภาค VCO อยู่ภายในด้วย ซึ่งจะทำให้ประสิทธิภาพของการสร้างสัญญาณต่างๆ ดีขึ้น และช่วยลดความซับซ้อนลงได้

การทางานของ XR2206 ในการสร้างสัญญาณ sine เริ่มด้วยการที่ XR2206 จะตรวจสอบว่าที่ขา 9 มีสถานะเป็น "1" หรือ "0"

ถ้ามีสถานะเป็น "1" ชุด current switch จะทำการตรวจสอบ ที่ขา 7 โดยที่ความต้านทานที่ขา 7 จะมีผลต่อ VCO

ถ้ามีสถานะเป็น "0" ชุด current switch จะทำการตรวจสอบ ที่ขา 8 โดยที่ความต้านทานที่ขา 8 จะมีผลต่อ VCO

ความต้านที่ขา 7 หรือ 8 จะเป็นตัวกำหนดความถี่ ร่วมกับ ตัวเก็บประจุที่ต่อระหว่างขา 5 และ 6 โดยมีความสัมพันธ์กัน ดังจะแสดงได้จากสูตรต่อไปนี้

$$f = (V_o - V_c)/(V_o.R.C) \quad Hz$$

V_o = แรงดันที่ขา 7 หรือ 8

$V_o - V_c$ = แรงดันที่ตกคร่อมตัวต้านทาน R_c

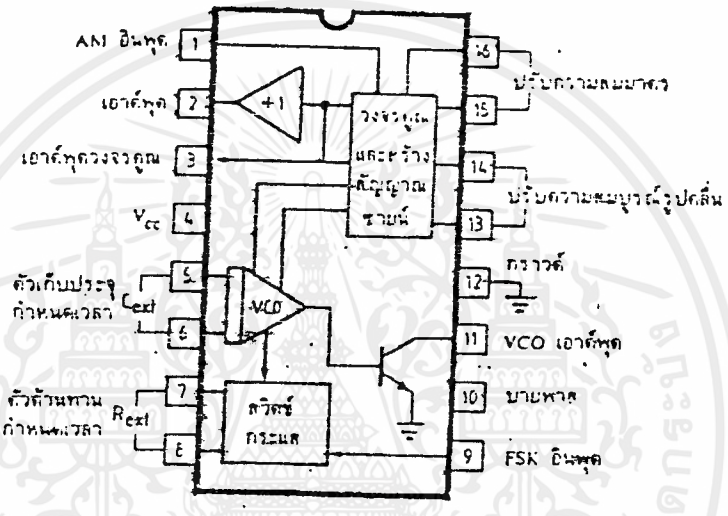
C = ตัวเก็บประจุที่ต่อระหว่างขา 5 หรือ 6 (ฟารัด)

R = ตัวต้านทานที่ต่ออยู่กับ ขา 7 หรือ 8 (โอห์ม)

V_o นั้นจะมีค่าคงที่เพื่อเป็นแรงดันอ้างอิง แรงดันตกคร่อม R_c ทำให้เกิดกระแส I_c ผ่านซึ่งเป็นตัวควบคุมให้ VCO ผลิตความถี่ออกมา VCO จะผลิตความถี่ ที่แปรผันตรงกับกระแส I_c และ VCO ผลิตความถี่ได้สูงสุด เมื่อกระแส I_c มีค่ามากที่สุด นั่นคือ V_c = 0 โวลต์

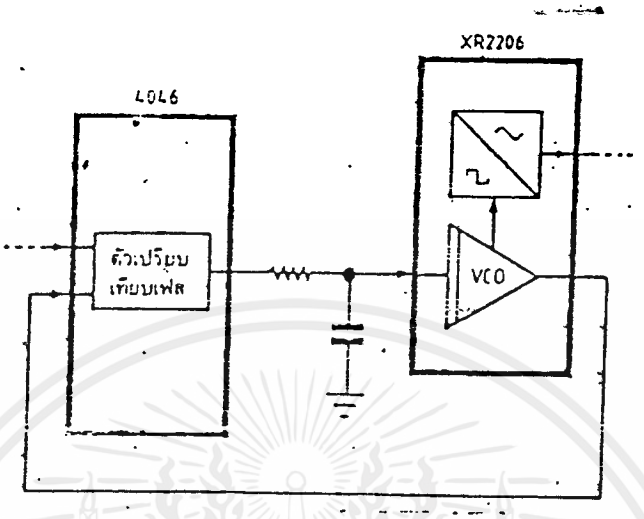
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

แสดงการใช้งาน จากความถี่ของ vco ส่วนหนึ่งจะส่งไปเข้าภาคเปรียบเทียบความต่างเฟสของไอซี 4046 ตามรูปข้างล่าง เพื่อเปรียบเทียบเฟสกับสัญญาณอินพุท ที่มาจากวงจรกำเนิดความถี่



รูปที่ 1 วงจรภายในของ IC XR2206

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2 แสดงการใช้ VCO ของ XR2206 ร่วมกับตัวเปรียบเทียบความต่างเฟสของ 4046

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

SCL4066B

CMOS QUAD ANALOG SWITCH

FEATURES

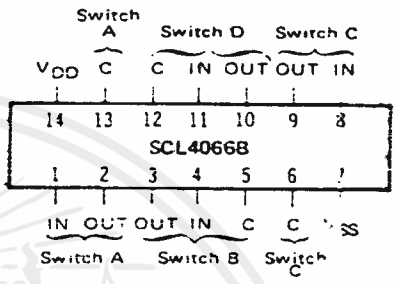
- Transmission or Multiplexing of Analog or Digital Signals
- 80Ω Typical ON-Resistance for 15-Volt operation
- Switch ON-Resistance Matched to within 5Ω over 15-Volt Signal-Input Range
- ON-Resistance Flat over Full Peak-to-Peak Signal Range
- High Degree of Linearity:
  ≤0.5% Distortion (typ) @ f_{is} = 1kHz,
  V_{is} = $5V_{p-p}$, V_{DD}-V_{SS} ≥ 10V, R_L = 10kΩ
- Extremely Low OFF switch Leakage Resulting in very Low Offset Current and High Effective OFF Resistance:
  10pA (typ) @ V_{DD}-V_{SS} = 10V, T_A = 25°C
- Extremely High Control Input Impedance (Control Circuit Isolated from Signal Circuit):
  10^{12}Ω (typ)
- Low Crosstalk between Switches:
  -50dB (typ) @ f_{is} = 0.9MHz, R_L = 1kΩ
- Matched Control-Input to Signal-Output Capacitance-Reduces Output Signal Transients
- Frequency Response, Switch ON = 40MHz (typ)

DESCRIPTION

The SCL4066B is a Quad Bilateral Switch intended for the transmission or multiplexing of analog or digital signals. It is pin-for-pin compatible with the SCL4016B, but exhibits a much lower ON-resistance. In addition, the ON-resistance is relatively constant over the full input signal range. The SCL4066 consists of four independent bilateral switches. A single control signal is required per switch. Both the P and the N device in a given switch are biased ON or OFF simultaneously by the control signal. As shown below, the well of the N-channel device on each switch is either tied to the input when the switch is ON or to V_{SS} when the switch is OFF. This configuration minimizes the variation of the switch-transistor threshold voltage with input-signal, and thus keeps the ON-resistance low over the full operating range.

The advantages over single-channel switches include peak input-signal voltage swings equal to the full supply voltage, and more constant ON-impedance over the input-signal range. For sample-and-hold applications, however, the SCL4016 is recommended.

CONNECTION DIAGRAM
(all packages)



Add suffix for package:

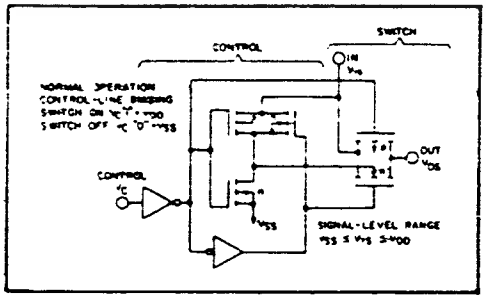
C	14-pin Cerdip	F	14-pin Flat
D	14-pin Ceramic	H	Chip
E	14-pin Epoxy		

RECOMMENDED OPERATING CONDITIONS

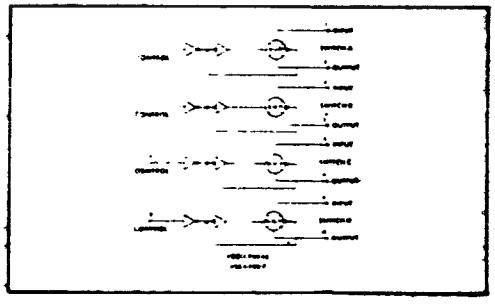
For maximum reliability:

DC Supply Voltage	V_{DD} - V_{SS}	3 to 15	Vdc
Operating Temperature	T_A		
C, D, F, H Device		-55 to +125	°C
E Device		-40 to +85	°C

SCHEMATIC DIAGRAM (one of four switches)



LOGIC DIAGRAM



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ELECTRICAL CHARACTERISTICS

STATIC CHARACTERISTICS [1]

PARAMETER		CONDITIONS	V_{SS} (Vdc)	V_{DD} (Vdc)	T_{LOW}[2] Min.	T_{LOW}[2] Max.	25°C Min.	25°C Typ.	25°C Max.	T_{HIGH}[2] Min.	T_{HIGH}[2] Max.	Units
QUIESCENT DEVICE CURRENT	I_{DD}	$V_{IN} = V_{SS}$ or V_{DD}	0	5	–	0.05	–	0.0005	0.05	–	1.5	µAdc
		All valid input	0	10	–	0.1	–	0.001	0.1	–	3.0	
		combinations	0	15	–	0.2	–	0.002	0.2	–	6.0	
MINIMUM INPUT HIGH VOLTAGE (Control Inputs)	V_{IH}	$V_{IS} = V_{SS}$	0	5	–	4.0	–	2.75	4.0	–	4.0	Vdc
		$V_{OS} = V_{DD}$	0	10	–	8.0	–	5.5	8.0	–	8.0	
		$I_{OS} = 10\mu A$	0	15	–	12.0	–	8.25	12.0	–	12.0	
MAXIMUM INPUT LOW VOLTAGE (Control Input)	V_{IL}	$V_{IS} = V_{SS}$	0	5	1.0	–	1.0	2.25	–	1.0	–	Vdc
		$V_{OS} = V_{DD}$	0	10	2.0	–	2.0	4.5	–	2.0	–	
		$I_{OS} = 10\mu A$	0	15	3.0	–	3.0	6.75	–	3.0	–	
SWITCH INPUT/OUTPUT LEAKAGE	I_{OFF}	$V_C = V_{SS}$	7.5	+7.5	–	±100	–	±0.01	±100	–	±200	nAdc
		$V_{IS} = \pm 7.5$Vdc										
ON-RESISTANCE C,D,F,H device	R_{ON}	$V_C = V_{DD}$	-7.5	+7.5	–	220	–	80	280	–	320	Ω
		$V_{SS} \leq V_{IS} \leq V_{DD}$	0	+15								
		$R_L = 10k\,\Omega$	-5	+5	–	310	–	120	400	–	550	Ω
			0	+10								
			-2.5	+2.5	–	2000	–	270	2500	–	3500	Ω
			0	+5								
E device	R_{ON}	$V_C = V_{DD}$	-7.5	+7.5	–	250	–	80	280	–	300	Ω
		$V_{SS} \leq V_{IS} \leq V_{DD}$	0	+15								
		$R_L = 10k\,\Omega$	-5	+5	–	330	–	120	400	–	520	Ω
			0	+10								
			-2.5	+2.5	–	2100	–	270	2500	–	3200	Ω
			0	+5								
ON-RESISTANCE MATCH (Same package)	ΔR_{ON}	$V_C = V_{DD}$	7.5	+7.5	–	–	–	5	–	–	–	Ω
		$V_{SS} \leq V_{IS} \leq V_{DD}$	0	+15								
		$R_L = 10k\,\Omega$	-5	+5	–	–	–	10	–	–		Ω
			0	+10								
			-2.5	+2.5	–	–	–	10	–	–		Ω
			0	+5								

NOTES: [1] Remaining Static Electrical Characteristics are listed under "SCL4000B Series Family Specifications"

[2] T_{LOW} = -55°C for C, D, F, H device,
= -40°C for E device.
T_{HIGH} = +125°C for C, D, F, H device,
= + 85°C for E device.

[3] This device has been designed for balanced output drive current specifications. Consult Family Specifications.

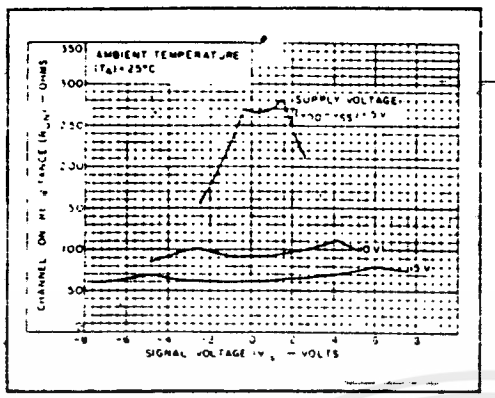
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ELECTRICAL CHARACTERISTICS (Continued)

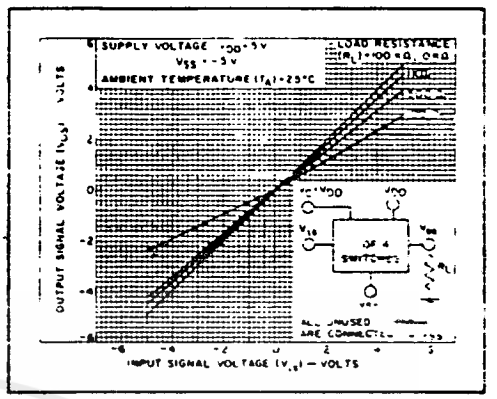
DYNAMIC CHARACTERISTICS (C_L = 50pF, T_A = 25°C)

PARAMETER		CONDITIONS	V_{SS} (Vdc)	V_{DD} (Vdc)	Min.	Typ.	Max.	Units
SIGNAL INPUTS (V_{is}) AND OUTPUTS (V_{os})								
PROPAGATION DELAY TIME Signal Input to Signal Output	t_{PLH}, t_{PHL}	V_c=V_{DD} V_{is}=Square Wave R_L = 10kΩ	0 0 0	5 10 15	– – –	20 10 7.5	40 20 15	ns
BANDWIDTH (-3dB) (Sine Wave)	BW	V_c=V_{DD}, R_L V_{is}=5V_{p-p}, 1kΩ centered 10kΩ @ 0.0Vdc 100kΩ 1MΩ		+5	– – – –	54 40 38 37	– – – –	MHz
INSERTION LOSS ($=20\ \log_{10}\frac{V_{os}}{V_{is}}$)		V_c=V_{DD} R_L V_{is}=5V_{p-p} 1kΩ centered 10kΩ @ 0.0Vdc 100kΩ 1MΩ	-5	+5	– – – –	2.3 0.2 0.1 0.05	– – – –	dB
SIGNAL DISTORTION (Sine Wave)		V_c=V_{DD} V_{is}=5V_{p-p} centered @ 0.0Vdc f_{is}=1.0kHz R_L = 10kΩ	-5	+5	–	0.16	–	%
FEEDTHROUGH (-50dB)		V_c=V_{SS} R_L V_{is}=5V_{p-p} 1kΩ centered 10kΩ @ 0.0Vdc 100kΩ 1MΩ	-5	+5	– – – –	1250 140 18 2	– – – –	kHz
CROSSTALK (-50dB) Between two switches		V_c(A)=V_{DD} V_c(B)=V_{SS} V_{is}(A)=5V_{p-p} centered @ 0.0Vdc R_L = 10kΩ	-5	+5	–	0.9	–	MHz
CAPACITANCE Input Output Feedthrough	C_{is} C_{os} C_{ios}	V_C = V_{SS}	-5	+5	– – –	8 8 0.5	– – –	pF pF pF
CONTROL INPUT (V_C)								
PROPAGATION DELAY TIME Turn on	t_{PC}	V_{SS}≤V_{is}≤V_{DD} R_L = 10kΩ	0 0 0	5 10 15	– – –	50 25 20	100 50 40	ns
MAXIMUM INPUT FREQUENCY	f_c	V_{SS}≤V_{is}≤V_{DD} R_L = 1.0kΩ	0 0 0	5 10 15	– – –	5 10 12	– – –	MHz
CROSSTALK (To signal port)		V_c = Square Wave R_L = 10kΩ R_{in} = 1.0kΩ	0 0 0	5 10 15	– – –	30 50 100	– – –	mV

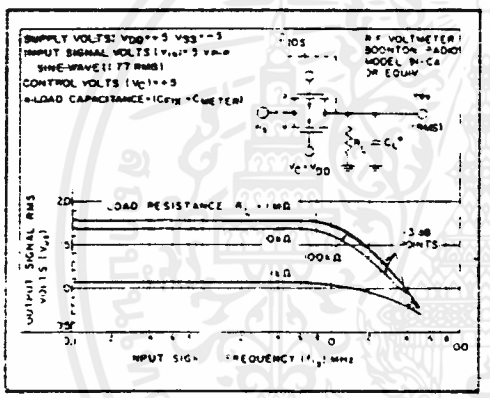
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



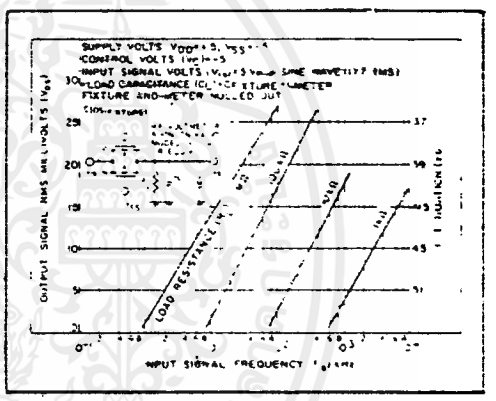
Typical channel ON resistance vs. signal voltage for three values of supply voltage (V_{DD}-V_{SS})



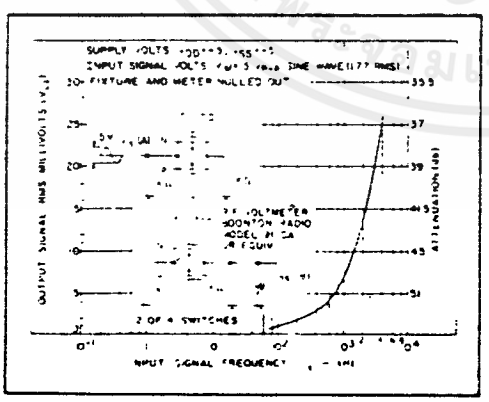
Typical ON characteristics for 1 of 4 channels.



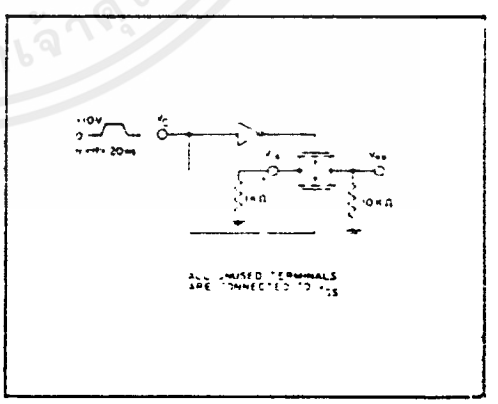
Typ. switch frequency response - switch "ON"



Typ. feedthru vs. freq. – switch "OFF"



Typ. crosstalk between switch circuits in the same package



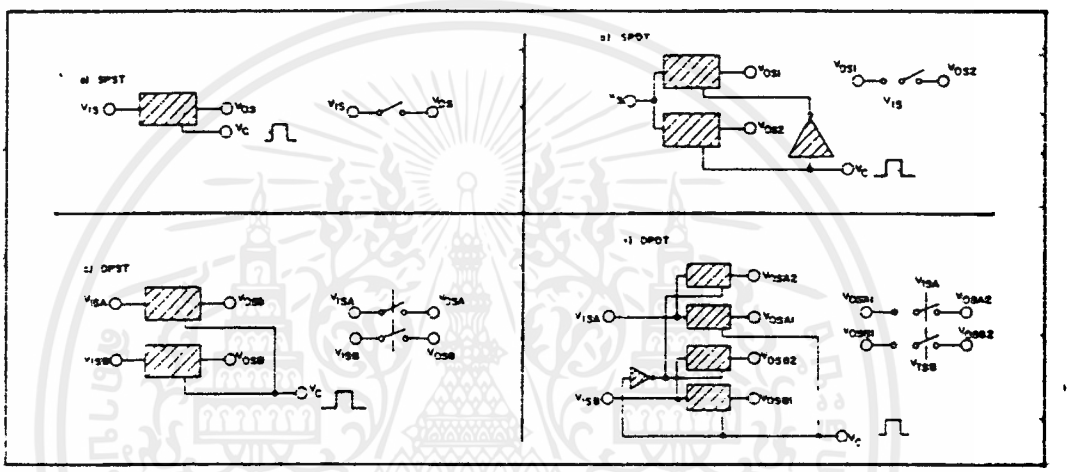
Test circuit, crosstalk-control input to signal output

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

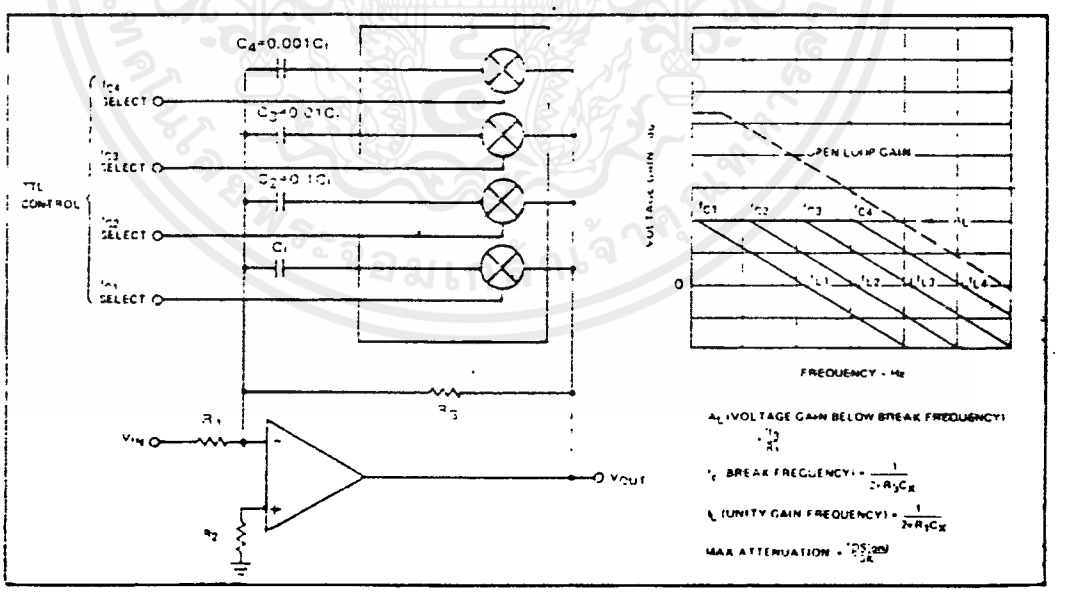
SPECIAL CONSIDERATIONS – SCL4066B

1. In applications where separate power sources are used to drive V_{DD} and the signal inputs, the V_{DD} current capability should exceed V_{DD}/R_L (R_L = effective external load of the 4 SCL4066B bilateral switches). This provision avoids any permanent current flow or clamp action on the V_{DD} supply when power is applied or removed from SCL4066B.
2. In certain applications, the external load resistor current may include both V_{DD} and signal-line components. To avoid drawing V_{DD} current when switch current flows into terminals 1, 4, 8, or 11, the voltage drop across the bidirectional switch must not exceed 0.8 volt (calculated from R_{ON} values shown).
   No V_{DD} current will flow through R_L if the switch current flows into terminals 2, 3, 9, or 10. Failure to observe this condition may result in distortion of the signal.

APPLICATIONS INFORMATION



Basic Switch Functions using the SCL4066B



Active Low Pass Filter with Digitally Selected Break Frequency

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

シリコンNチャネル接合形電界効果トランジスタ
SILICON N-CHANNEL JUNCTION FIELD EFFECT TRANSISTOR

2SK30A

○ 低雑音プリアンプ用

○ トーンコントロールアンプ用

○ 各種DC-AC高入力インピーダンス増幅回路用

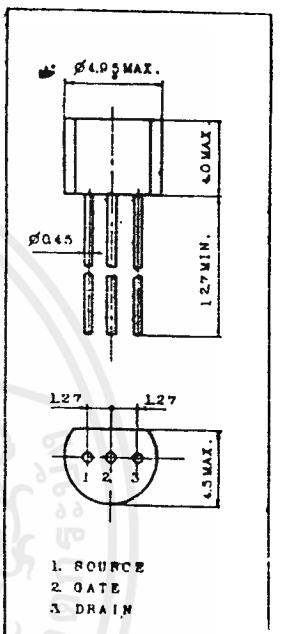
○ Low Noise Pre-Amplifier, Tone Control Amplifier and DC-AC High Input Impedance Circuit Applications.

・ 高耐圧です ： $V_{GDS} = -50V$

・ 高入力インピーダンスです。： $I_{GSS} = 1nA$ (Max.)($V_{GS} = -30V$)

・ 低雑音です。： $NF = 0.5dB$ (Typ.) ($R_g = 100k\Omega$)
($f = 120Hz$)

Unit in mm



JEDEC	-
EIAJ	-
TOSHIBA	2-5D1A

最大定格 MAXIMUM RATINGS ($T_a = 25°C$)

CHARACTERISTIC	SYMBOL	RATING	UNIT
ゲート・ドレイン間電圧	V_{GDS}	−50	V
ゲート電流	I_G	10	mA
許容損失	P_D	100	mW
接合温度	T_j	125	°C
保存温度	T_{stg}	−55～125	°C

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

電気的特性 ELECTRICAL CHARACTERISTICS (Ta = 25 °C)

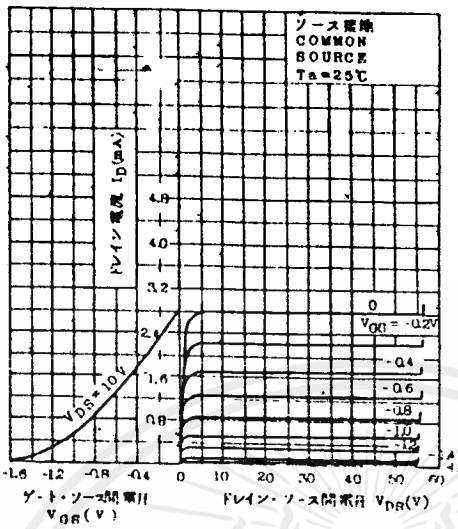
CHARACTERISTIC	SYMBOL	CONDITION	MIN.	TYP.	MAX.	UNIT
ゲート漏れ電流	I_{GSS}	$V_{GS}=-30V$, $V_{DS}=0$	—	—	−1.0	nA
ゲート・ドレイン間降伏電圧	$V_{(BR)GDS}$	$V_{DS}=0$, $I_G=-100\mu A$	−50	—	—	V
ドレイン電流 (Note)	I_{DSS}	$V_{DS}=10V$, $V_{GS}=0$	0.3	—	6.5	mA
ピンチ・オフ電圧	V_P	$V_{DS}=10V$, $I_D=0.1\mu A$	−0.4	—	−5.0	V
相互コンダクタンス	g_m	$V_{DS}=10V$, $V_{GS}=0$, f=1KHz	1.2	—	—	m℧
入力容量	C_{iss}	$V_{GS}=0$, $V_{DS}=0$, f=1MHz	—	6.2	—	pF
帰還容量	C_{rss}	$V_{GD}=-10V$, $V_{DS}=0$, f=1MHz	—	2.6	—	pF
雑音指数	NF	$V_{DS}=15V$, $V_{GS}=0$ $R_G=100k\Omega$, f=120Hz	—	0.5	5.0	dB

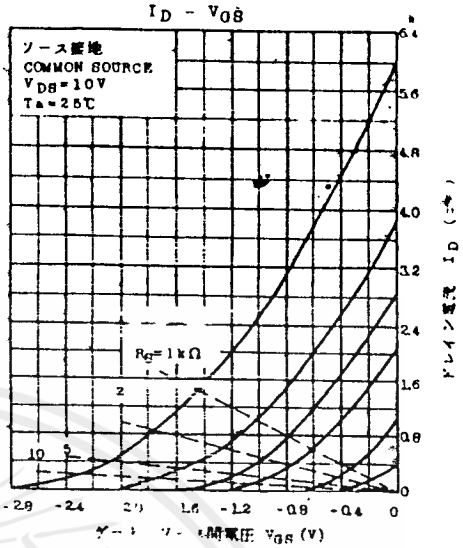
Note : I_{DSS} によって次のように分類し、製品表示してあります。
According to the value of I_{DSS}, the 2SK30A is classified as follows.

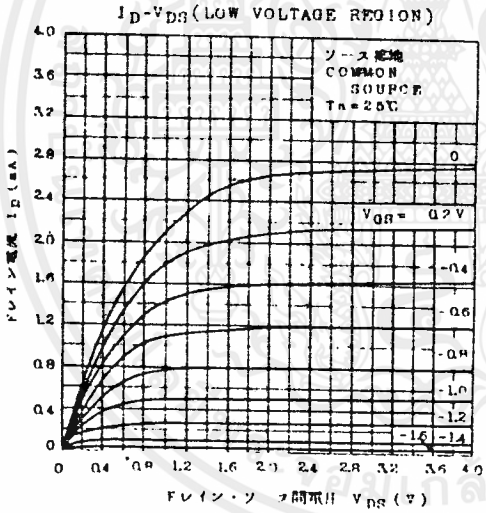
CLASSIFICATION	MIN.	MAX.
2SK30A - P	0.30	0.75
2SK30A - O	0.60	1.40
2SK30A - Y	1.20	3.00
2SK30A - GR	2.60	6.50

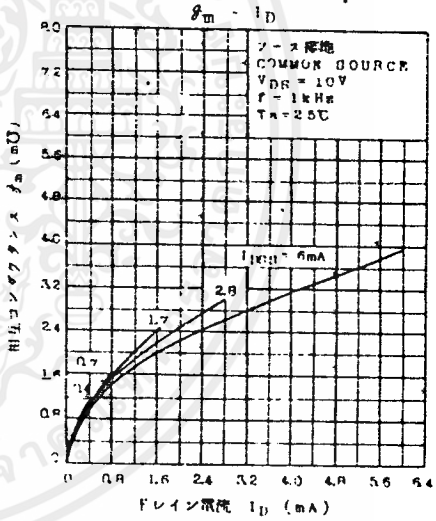
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

STATIC CHARACTERISTICS









เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

National Semiconductor Corporation

DAC0800/DAC0801/DAC0802 8-Bit Digital-to-Analog Converters

General Description

The DAC0800 series are monolithic 8-bit high-speed current-output digital-to-analog converters (DAC) featuring typical settling times of 100 ns. When used as a multiplying DAC, monotonic performance over a 40 to 1 reference current range is possible. The DAC0800 series also features high compliance complementary current outputs to allow differential output voltages of 20 Vp-p with simple resistor loads as shown in *Figure 1*. The reference-to-full-scale current matching of better than ±1 LSB eliminates the need for full-scale trims in most applications while the nonlinearities of better than ±0.1% over temperature minimizes system error accumulations.

The noise immune inputs of the DAC0800 series will accept TTL levels with the logic threshold pin, V_{LC}, grounded. Changing the V_{LC} potential will allow direct interface to other logic families. The performance and characteristics of the device are essentially unchanged over the full ±4.5V to ±18V power supply range; power dissipation is only 33 mW with ±5V supplies and is independent of the logic input states.

The DAC0800, DAC0802, DAC0800C, DAC0801C and DAC0802C are a direct replacement for the DAC-08, DAC-08A, DAC-08C, DAC-08E and DAC-08H, respectively.

Features

- Fast settling output current — 100 ns
- Full scale error — ±1 LSB
- Nonlinearity over temperature — ±0.1%
- Full scale current drift — ±10 ppm/°C
- High output compliance — −10V to +18V
- Complementary current outputs
- Interface directly with TTL, CMOS, PMOS and others
- 2 quadrant wide range multiplying capability
- Wide power supply range — ±4.5V to ±18V
- Low power consumption — 33 mW at ±5V
- Low cost

Typical Applications

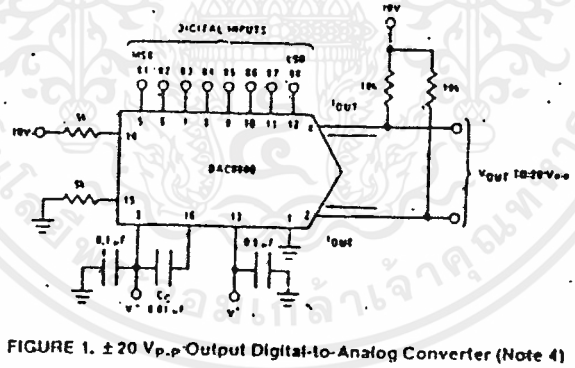


FIGURE 1. ±20 V_{p-p} Output Digital-to-Analog Converter (Note 4)

Ordering Information

Non-Linearity	Temperature Range	Order Numbers				
		J Package (J16A)*		N Package (N16A)*		SO Package (M16A)
±0.1% FS	−55°C ≤ T_A ≤ +125°C	DAC0802LJ	DAC-08AQ			
±0.1% FS	0°C ≤ T_A ≤ +70°C	DAC0802LCJ	DAC-08HQ	DAC0802LCN	DAC-08HP	DAC0802LCM
±0.19% FS	−55°C ≤ T_A ≤ +125°C	DAC0800LJ	DAC-08Q			
±0.19% FS	0°C ≤ T_A ≤ +70°C	DAC0800LCJ	DAC-08EQ	DAC0800LCN	DAC-08EP	DAC0800LCM
±0.39% FS	0°C ≤ T_A ≤ +70°C	DAC0801LCJ	DAC-08CQ	DAC0801LCN	DAC-08CP	DAC0801LCM

*Devices may be ordered by using either order number.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Absolute Maximum Ratings (Note 1)

If Military/Aerospace specified devices are required, contact the National Semiconductor Sales Office/ Distributors for availability and specifications.

Supply Voltage ($V^+ - V^-$)	+18V or 36V
Power Dissipation (Note 2)	500 mW
Reference Input Differential Voltage (V14 to V15)	V to V^+
Reference Input Common-Mode Range (V14, V15)	V to V^+
Reference Input Current	5 mA
Logic Inputs	V^- to V^- plus 36V
Analog Current Outputs (V_S = −15V)	4.25 mA
ESD Susceptibility (Note 3)	TBD V
Storage Temperature	−65°C to +150°C
Lead Temp. (Soldering, 10 seconds)	
Dual-In-Line Package (plastic)	260°C
Dual-In-Line Package (ceramic)	300°C
Surface Mount Package	
Vapor Phase (60 seconds)	215°C
Infrared (15 seconds)	220°C

Operating Conditions (Note 1)

	Min	Max	Units
Temperature (T_A)			
DAC0802L	−55	+125	°C
DAC0800L	−55	+125	°C
DAC0800LC	0	+70	°C
DAC0801LC	0	+70	°C
DAC0802LC	0	+70	°C

Electrical Characteristics The following specifications apply for V_S = ±15V, I_{REF} = 2 mA and $T_{MIN} \le T_A \le T_{MAX}$ unless otherwise specified. Output characteristics refer to both I_{OUT} and $\overline{I_{OUT}}$.

Symbol	Parameter	Conditions	DAC0802L/ DAC0802LC			DAC0800L/ DAC0800LC			DAC0801LC			Units
			Min	Typ	Max	Min	Typ	Max	Min	Typ	Max	
	Resolution		8	8	8	8	8	8	8	8	8	Bits
	Monotonicity		8	8	8	8	8	8	8	8	8	Bits
	Nonlinearity				±0.1			±0.19			±0.39	%FS
	Settling Time	To ±½ LSB, All Bits Switched "ON" or "OFF", T_A = 25°C		100	135					100	150	ns
		DAC0800L					100	135				ns
		DAC0800LC					100	150				ns
t_{PLH}, t_{PHL}	Propagation Delay	T_A = 25°C										
	Each Bit			35	60		35	60		35	60	ns
	All Bits Switched			35	60		35	60		35	60	ns
t_{CLES}	Full Scale Tempco			±10	±50		±10	±50		±10	±80	ppm/°C
V_{OC}	Output Voltage Compliance	Full Scale Current Change < ½ LSB, R_{OUT} ≥ 20 MΩ Typ	−10		18	−10		18	−10		18	V
I_{FS4}	Full Scale Current	V_{REF} = 10.000V, R14 = 5.000 kΩ, R15 = 5.000 kΩ, T_A = 25°C	1.984	1.992	2.000	1.94	1.99	2.04	1.94	1.99	2.04	mA
I_{FSS}	Full Scale Symmetry	$I_{FS4} - I_{FS2}$		±0.5	±4.0		±1	±8.0		±2	±16	μA
I_{ZS}	Zero Scale Current			0.1	1.0		0.2	2.0		0.2	4.0	μA
I_{FSR}	Output Current Range	$V^- = -5V$	0	2.0	2.1	0	2.0	2.1	0	2.0	2.1	mA
		$V^- = -8V$ to $-18V$	0	2.0	4.2	0	2.0	4.2	0	2.0	4.2	mA
	Logic Input Levels											
V_{IL}	Logic "0"	V_{LC} = 0V			0.8			0.8			0.8	V
V_{IH}	Logic "1"		2.0			2.0			2.0			V
	Logic Input Current	V_{LC} = 0V										
	Logic "0"	−10V ≤ V_{IN} ≤ +0.8V		−2.0	−10		−2.0	−10		−2.0	−10	μA
	Logic "1"	2V ≤ V_{IN} ≤ +18V		0.002	10		0.002	10		0.002	10	μA
I_S	Logic Input Swing	$V^- = -15V$	−10		18	−10		18	−10		18	V
V_{THR}	Logic Threshold Range	V_S = ±15V	−10		13.5	−10		13.5	−10		13.5	V
I_{15}	Reference Bias Current			−1.0	−3.0		−1.0	−3.0		−1.0	−3.0	μA
dI/dt	Reference Input Slew Rate	*(Figure 12)*	4.0	8.0		4.0	8.0		4.0	8.0		mA/μs
$PSSI_{FS+}$	Power Supply Sensitivity	4.5V ≤ V^+ ≤ 18V		0.0001	0.01		0.0001	0.01		0.0001	0.01	%/%
$PSSI_{FS-}$		−4.5V ≤ V^- ≤ 18V, I_{REF} = 1mA		0.0001	0.01		0.0001	0.01		0.0001	0.01	%/%
I^+	Power Supply Current	V_S = ±5V, I_{REF} = 1 mA		2.3	3.8		2.3	3.8		2.3	3.8	mA
				−4.3	−5.8		−4.3	−5.8		−4.3	−5.8	mA
		V_S = 5V, −15V, I_{REF} = 2 mA		2.4	3.8		2.4	3.8		2.4	3.8	mA
				−6.4	−7.8		−6.4	−7.8		−6.4	−7.8	mA
		V_S = ±15V, I_{REF} = 2 mA		2.5	3.8		2.5	3.8		2.5	3.8	mA
				−6.5	−7.8		−6.5	−7.8		−6.5	−7.8	mA

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Electrical Characteristics (Continued)

The following specifications apply for $V_S = \pm 15V$, $I_{REF} = 2$ mA and $T_{MIN} \leq T_A \leq T_{MAX}$ unless otherwise specified. Output characteristics refer to both I_{OUT} and $\overline{I_{OUT}}$.

Symbol	Parameter	Conditions	DAC0802L/ DAC0802LC			DAC0800L/ DAC0800LC			DAC0801LC			Units
			Min	Typ	Max	Min	Typ	Max	Min	Typ	Max	
P_D	Power Dissipation	$\pm 5V$, $I_{REF} = 1$ mA		33	48		33	48		33	48	mW
		$5V, -15V$, $I_{REF} = 2$ mA		108	136		108	136		108	136	mW
		$\pm 15V$, $I_{REF} = 2$ mA		135	174		135	174		135	174	mW

Note 1: Absolute Maximum Ratings indicate limits beyond which damage to the device may occur. DC and AC electrical specifications do not apply when operating the device beyond its specified operating conditions.

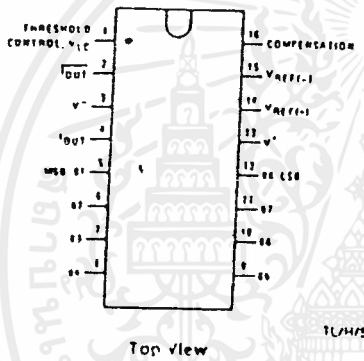
Note 2: The maximum junction temperature of the DAC0800, DAC0801 and DAC0802 is 125°C. For operating at elevated temperatures, devices in the Dual In-Line J package must be derated based on a thermal resistance of 100°C/W, junction-to ambient, 175°C/W for the molded Dual In-Line N package and 100°C/W for the Small Outline M package.

Note 3: Human body model, 100 pF discharged through a 1.5 kΩ resistor.

Note 4: Pin-out numbers for the DAC080X represent the Dual-In-Line package. The Small Outline package pin-out differs from the Dual-In-Line package.

Connection Diagrams

Dual-In-Line Package

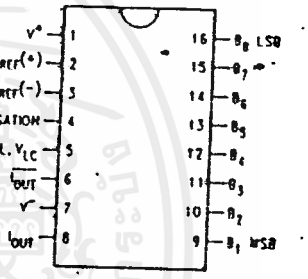


TL/H/5688-13

Top View

See Ordering Information

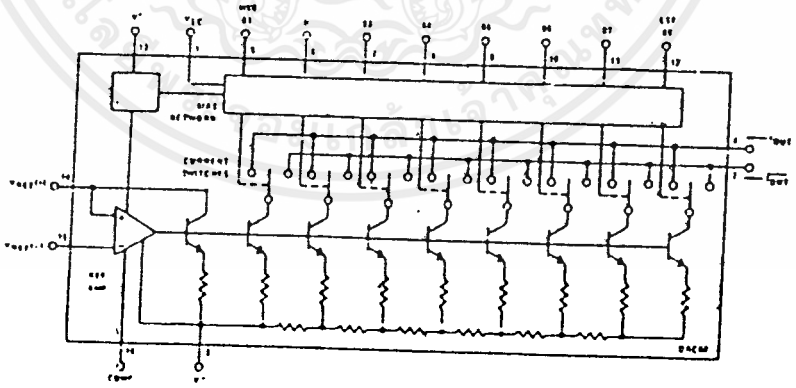
Small Outline Package



TL/H/5688-14

Top View

Block Diagram (Note 4)

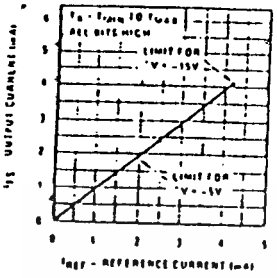


TL/H/5688-2

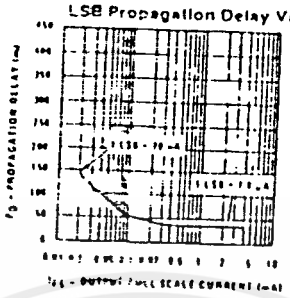
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Performance Characteristics

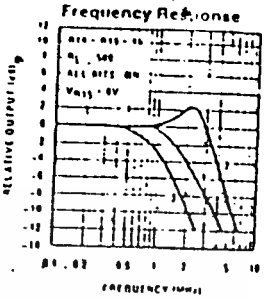
Full Scale Current vs Reference Current



LSB Propagation Delay Vs I_{FS}



Reference Input Frequency Response

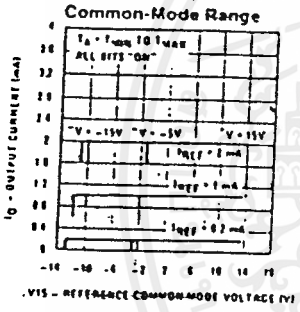


Curve 1: C_C = 15 pF, V_{inp} = 2 Vp-p centered at 1V.

Curve 2: C_C = 15 pF V_{inp} = 50 mVp-p centered at 200 mV

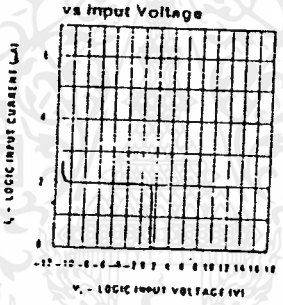
Curve 3: C_C = 0 pF V_{inp} = 100 mVp-p at 0V and applied through 50 Ω connected to pin 14 2V applied to R14

Reference Amp Common-Mode Range

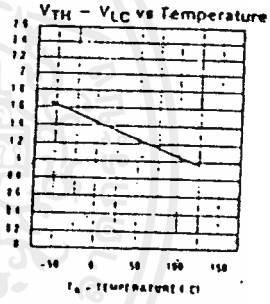


Note: Positive common-mode range is always (V+) − 1.5V

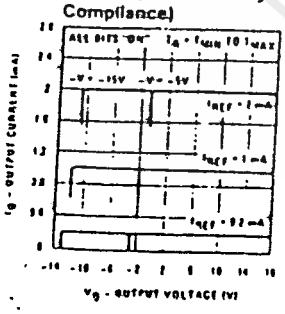
Logic Input Current vs Input Voltage



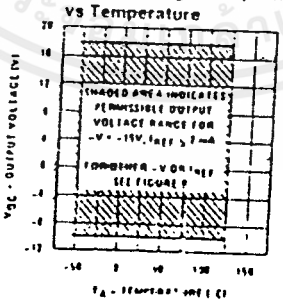
$V_{TH} - V_{LC}$ vs Temperature



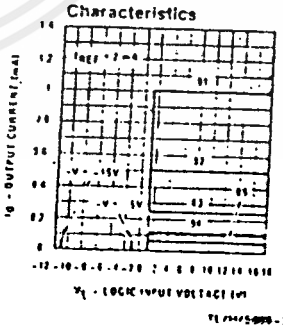
Output Current vs Output Voltage (Output Voltage Compliance)



Output Voltage Compliance vs Temperature



Bit Transfer Characteristics

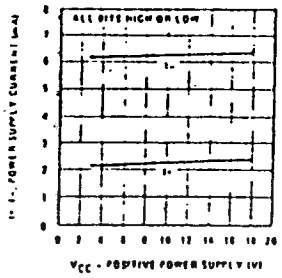


Note: B1–B8 have identical transfer characteristics. Bits are fully switching with less than ½ LSB error, at less than ± 100 mV from actual threshold. These switching points are guaranteed to be between 0.8 and 2V over the operating temperature range (V_{LC} = 0V).

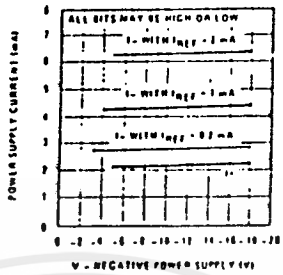
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Performance Characteristics (Continued)

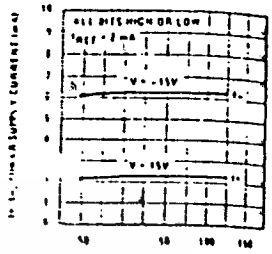
Power Supply Current vs + V



Power Supply Current vs − V

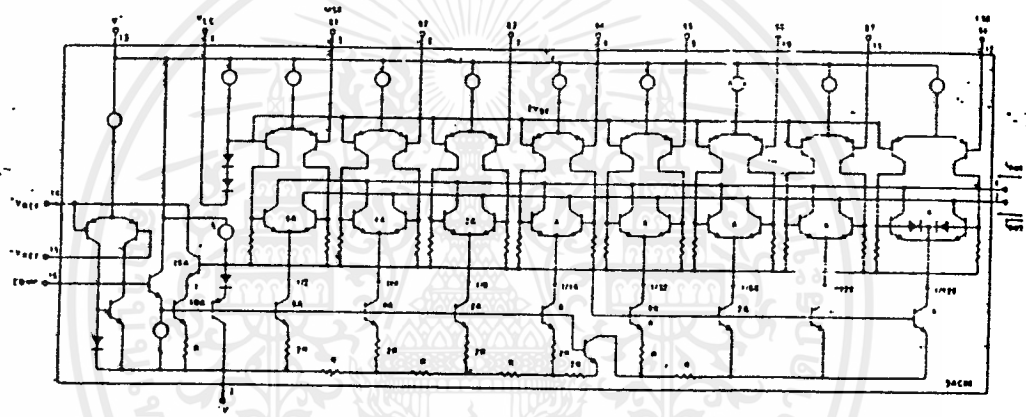


Power Supply Current vs Temperature



TL/H/5446–4

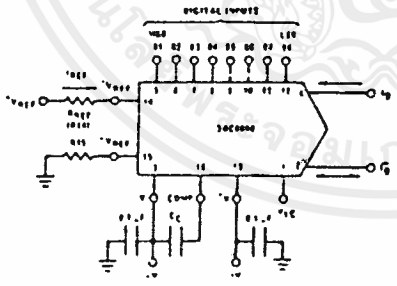
Equivalent Circuit



TL/H/5446–15

FIGURE 2

Typical Applications (Continued)



$$I_{FS} = \frac{+V_{REF}}{R_{REF}} \cdot \frac{255}{256}$$

$I_D + \overline{I_D} = I_{FS}$ for all logic states

For fixed reference, TTL operation, typical values are:

$V_{REF} = 10.000V$,

$R_{REF} = 5.000k$

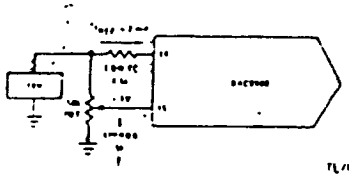
$R15 = R_{REF}$

$C_C = 0.01\ \mu F$

$V_{LC} = 0V$ (Ground)

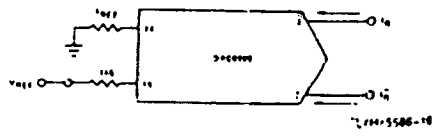
TL/H/5446–5

FIGURE 3. Basic Positive Reference Operation (Note 4)



TL/H/5446–21

FIGURE 4. Recommended Full Scale Adjustment Circuit (Note 4)



$$I_{FS} = \frac{-V_{REF}}{R_{REF}} \cdot \frac{255}{256}$$

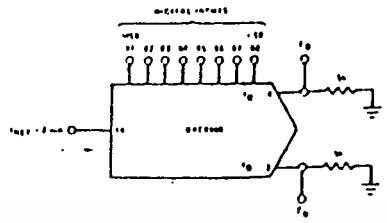
*Note: R_{REF} sets I_{FS}, R15 is for bias current cancellation

TL/H/5446–16

FIGURE 5. Basic Negative Reference Operation (Note 4)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Applications (Continued)

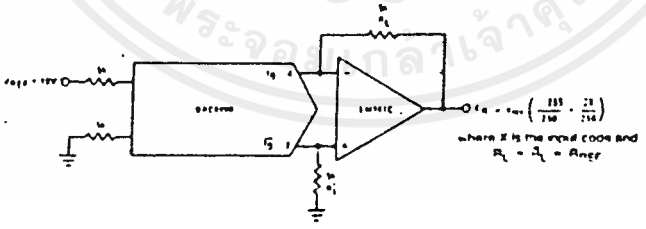


	B1	B2	B3	B4	B5	B6	B7	B8	I_O mA	$\overline{I_O}$ mA	E_O	$\overline{E_O}$
Full Scale	1	1	1	1	1	1	1	1	1.992	0.000	−9.960	0.000
Full Scale − LSB	1	1	1	1	1	1	1	0	1.984	0.008	−9.920	−0.040
Half Scale + LSB	1	0	0	0	0	0	0	1	1.008	0.984	−5.040	−4.920
Half Scale	1	0	0	0	0	0	0	0	1.000	0.992	−5.000	−4.960
Half Scale − LSB	0	1	1	1	1	1	1	1	0.992	1.000	−4.960	−5.000
Zero Scale + LSB	0	0	0	0	0	0	0	1	0.008	1.984	−0.040	−9.920
Zero Scale	0	0	0	0	0	0	0	0	0.000	1.992	0.000	−9.960

FIGURE 6. Basic Unipolar Negative Operation (Note 4)

	B1	B2	B3	B4	B5	B6	B7	B8	E_O	$\overline{E_O}$
Pos. Full Scale	1	1	1	1	1	1	1	1	−9.920	+10.000
Pos. Full Scale − LSB	1	1	1	1	1	1	1	0	−9.840	+9.920
Zero Scale + LSB	1	0	0	0	0	0	0	1	−0.080	+0.160
Zero Scale	1	0	0	0	0	0	0	0	0.000	+0.080
Zero Scale − LSB	0	1	1	1	1	1	1	1	+0.080	0.000
Neg. Full Scale + LSB	0	0	0	0	0	0	0	1	+9.920	−9.840
Neg. Full Scale	0	0	0	0	0	0	0	0	+10.000	−9.920

FIGURE 7. Basic Bipolar Output Operation (Note 4)



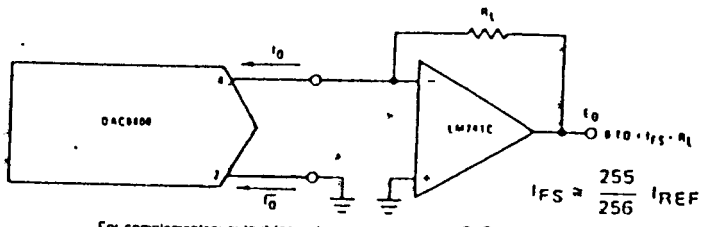
If $R_L = \overline{R_L}$ within ±0.05%, output is symmetrical about ground

	B1	B2	B3	B4	B5	B6	B7	B8	E_O
Pos. Full Scale	1	1	1	1	1	1	1	1	+9.960
Pos. Full Scale − LSB	1	1	1	1	1	1	1	0	+9.880
(+)Zero Scale	1	0	0	0	0	0	0	0	+0.040
(−)Zero Scale	0	1	1	1	1	1	1	1	−0.040
Neg. Full Scale + LSB	0	0	0	0	0	0	0	1	−9.880
Neg. Full Scale	0	0	0	0	0	0	0	0	−9.960

FIGURE 8. Symmetrical Offset Binary Operation (Note 4)

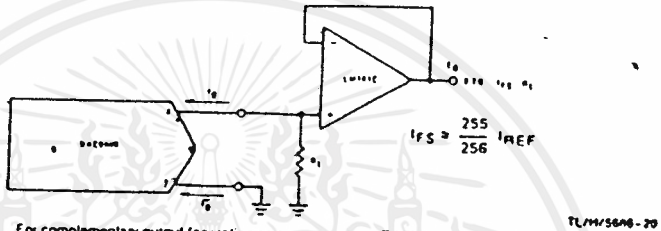
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Applications (Continued)



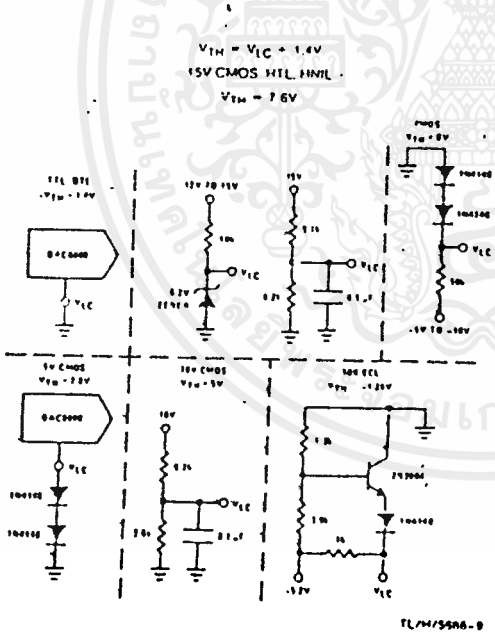
For complementary output (operation as negative logic DAC), connect inverting input of op amp to $\overline{I_O}$ (pin 2), connect I_O (pin 4) to ground

FIGURE 9. Positive Low Impedance Output Operation (Note 4)



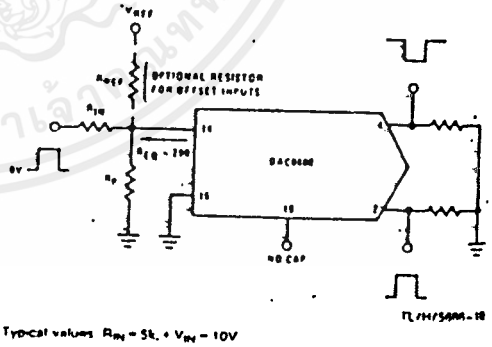
For complementary output (operation as a negative logic DAC) connect non-inverting input of op amp to $\overline{I_O}$ (pin 2); connect I_O (pin 4) to ground.

FIGURE 10. Negative Low Impedance Output Operation (Note 4)



Note: Do not exceed negative logic input range of DAC

FIGURE 11. Interfacing with Various Logic Families



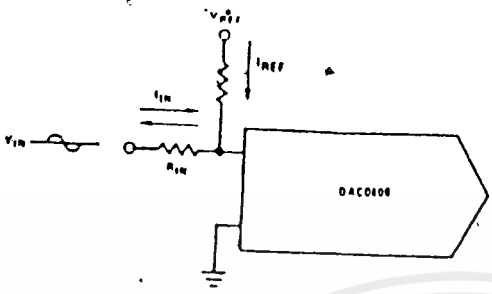
Typical values $R_{IN} = 5k, + V_{IN} = 10V$

FIGURE 12. Pulsed Reference Operation (Note 4)

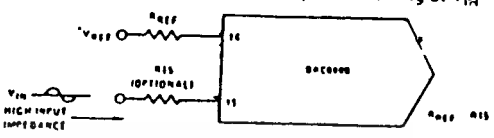
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Applications (Continued)

(a) I_{REF} > peak negative swing of I_{IN}



(b) + V_{REF} must be above peak positive swing of V_{IN}



TL/H/5686-12

TL/H/5686-11

FIGURE 13. Accommodating Bipolar References (Note 4)

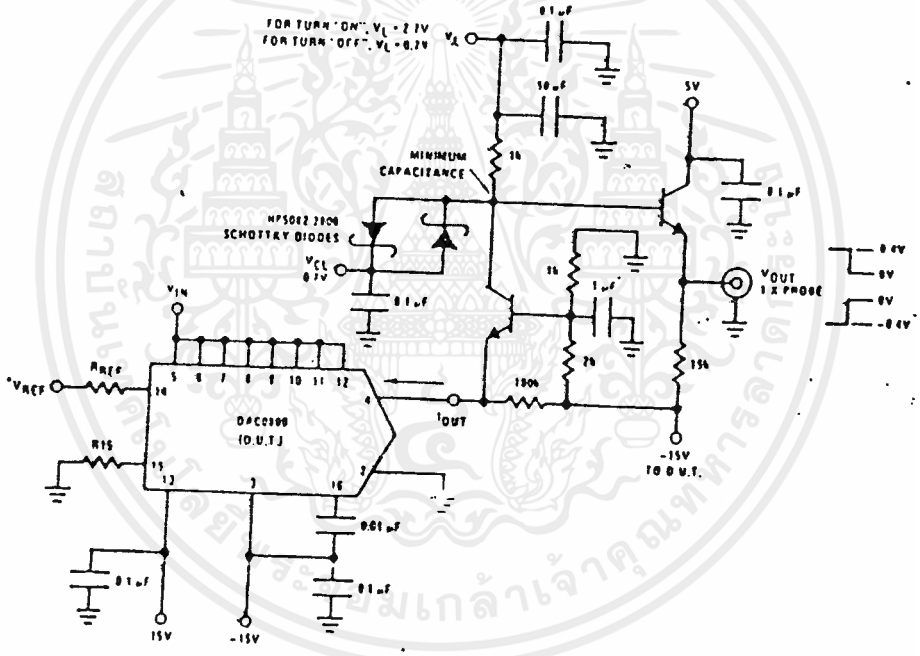


FIGURE 14. Settling Time Measurement (Note 4)

TL/H/5686-7

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

For complete data sheet, including Operation and Applications Information, contact:

Literature Distribution Center
P.O. Box 20912
Phoenix, Arizona 85036

LM117
LM217
LM317

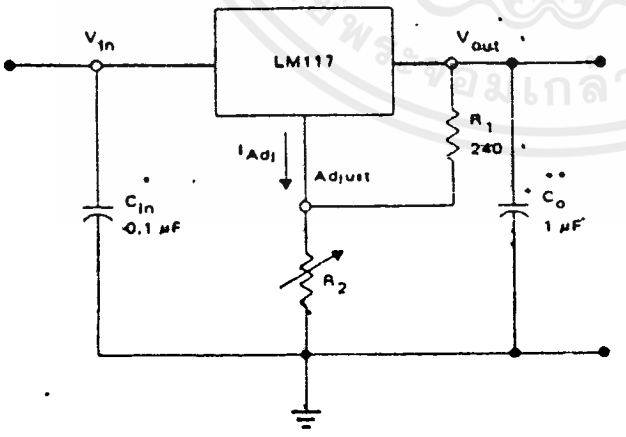
3-TERMINAL ADJUSTABLE OUTPUT POSITIVE VOLTAGE REGULATOR

The LM117/217/317 are adjustable 3-terminal positive voltage regulators capable of supplying in excess of 1.5 A over an output voltage range of 1.2 V to 37 V. These voltage regulators are exceptionally easy to use and require only two external resistors to set the output voltage. Further, they employ internal current limiting, thermal shutdown and safe area compensation, making them essentially blow-out proof.

The LM117 series serve a wide variety of applications including local, on card regulation. This device also makes an especially simple adjustable switching regulator, a programmable output regulator, or by connecting a fixed resistor between the adjustment and output, the LM117 series can be used as a precision current regulator.

- Output Current in Excess of 1.5 Ampere in TO-3 and TO-220 Packages
- Output Current in Excess of 0.5 Ampere in TO-39 Package
- Output Adjustable between 1.2 V and 37 V
- Internal Thermal Overload Protection
- Internal Short-Circuit Current Limiting Constant with Temperature
- Output Transistor Safe-area Compensation
- Floating Operation for High Voltage Applications
- Standard 3-lead Transistor Packages
- Eliminates Stocking Many Fixed Voltages

STANDARD APPLICATION



* = C_{in} is required if regulator is located an appreciable distance from power supply filter.

** = C_o is not needed for stability, however it does improve transient response.

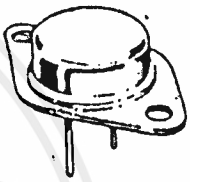
$$V_{out} = 1.25\ V\ (1 + \frac{R_2}{R_1}) + I_{Adj} R_2$$

Since I_{Adj} is controlled to less than 100 μA, the error associated with this term is negligible in most applications

3-TERMINAL ADJUSTABLE POSITIVE VOLTAGE REGULATOR

SILICON MONOLITHIC INTEGRATED CIRCUIT

K SUFFIX
METAL PACKAGE
CASE 1
(TO-3 Type)



(Bottom View)

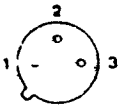
Pins 1 and 2 electrically isolated from case.
Case is third electrical connection.

T SUFFIX
PLASTIC PACKAGE
CASE 221A
(TO-220)

Pin 1 Adjust
Pin 2 V_{out}
Pin 3 V_{in}

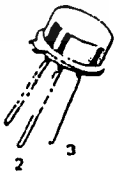
Heatsink surface connected to Pin 2

H SUFFIX
METAL PACKAGE
CASE 79
(TO-39)



(Bottom View)

(Case is output)



Pin 1 V_{in}
Pin 2 Adjust
Pin 3 V_{out}

ORDERING INFORMATION

Device	Temperature Range	Package
LM117H	T_J = -55°C to +150°C	Metal Can
LM117K	T_J = -55°C to +150°C	Metal Power
LM217H	T_J = -25°C to +150°C	Metal Can
LM217K	T_J = -25°C to +150°C	Metal Power
LM317H	T_J = 0°C to +125°C	Metal Can
LM317K	T_J = 0°C to +125°C	Metal Power
LM317T	T_J = 0°C to +125°C	Plastic Power

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MAXIMUM RATINGS

Rating	Symbol	Value	Unit
Input-Output Voltage Differential	V_I-V_O	40	Vdc
Power Dissipation	P_D	Internally Limited	
Operating Junction Temperature Range LM117 LM217 LM317	T_J	 -55 to +150 -25 to +150 0 to +125	°C
Storage Temperature Range	T_{stg}	-65 to +150	°C

ELECTRICAL CHARACTERISTICS ($V_I - V_O$ = 5 V; I_O = 0.5 A for K and T packages; I_O = 0.1 A for H package; $T_J = T_{low}$ to T_{high} [see Note 1]; I_{max} and P_{max} per Note 2; unless otherwise specified.)

Characteristic	Symbol	LM117/217 Min	LM117/217 Typ	LM117/217 Max	LM317 Min	LM317 Typ	LM317 Max	Unit
Line Regulation (Note 3) T_A = 25°C, 3 V ≤ $V_I - V_O$ ≤ 40 V	Reg_{line}	–	0.01	0.02	–	0.01	0.04	%/V
Load Regulation (Note 3) T_A = 25°C, 10 mA ≤ I_O ≤ I_{max} V_O ≤ 5 V V_O ≥ 5 V	Reg_{load}	 – –	 5 0.1	 15 0.3	 – –	 5 0.1	 25 0.5	 mV %V_O
Adjustment Pin Current	I_{Adj}	–	50	100	–	50	100	µA
Adjustment Pin Current Change 2.5 V ≤ $V_I - V_O$ ≤ 40 V 10 mA ≤ I_L ≤ I_{max}, P_D ≤ P_{max}	ΔI_{Adj}	 –	 0.2	 5	 –	 0.2	 5	 µA
Reference Voltage (Note 4) 3 V ≤ $V_I - V_O$ ≤ 40 V 10 mA ≤ I_O ≤ I_{max}, P_D ≤ P_{max}	V_{ref}	 1.20	 1.25	 1.30	 1.20	 1.25	 1.30	V
Line Regulation (Note 3) 3 V ≤ $V_I - V_O$ ≤ 40 V	Reg_{line}	–	0.02	0.05	–	0.02	0.07	%/V
Load Regulation (Note 3) 10 mA ≤ I_O ≤ I_{max} V_O ≤ 5 V V_O ≥ 5 V	Reg_{load}	 – –	 20 0.3	 50 1	 – –	 20 0.3	 70 1.5	 mV %V_O
Temperature Stability ($T_{low} \le T_J \le T_{high}$)	T_S	–	0.7	–	–	0.7	–	%V_O
Minimum Load Current to Maintain Regulation ($V_I - V_O$ = 40 V)	I_{Lmin}	–	3.5	5	–	3.5	10	mA
Maximum Output Current $V_I - V_O$ ≤ 15 V, P_D ≤ P_{max} K and T Packages H Package $V_I - V_O$ = 40 V, P_D ≤ P_{max}, T_A = 25°C K and T Packages H Package	I_{max}	 1.5 0.5 0.25 –	 2.2 0.8 0.4 0.07	 – – – –	 1.5 0.5 0.15 –	 2.2 0.8 0.4 0.07	 – – – –	A
RMS Noise, % of V_O T_A = 25°C, 10 Hz ≤ f ≤ 10 KHz	N	–	0.003	–	–	0.003	–	%V_O
Ripple Rejection, V_O = 10 V, f = 120 Hz (Note 5) Without C_{ADJ} C_{ADJ} = 10 µF	RR	 – 66	 65 80	 – –	 – 66	 65 80	 – –	dB
Long Term Stability, $T_J = T_{high}$ (Note 6) T_A = 25°C for Endpoint Measurements	S	–	0.3	1	–	0.3	1	%/1.0k Hrs
Thermal Resistance Junction to Case H Package (TO-39) K Package (TO-3) T Package (TO-220)	$R_{\theta JC}$	 – – –	 12 2.3 –	 15 3 –	 – – –	 12 2.3 5	 15 3 –	°C/W

NOTES: (1) T_{low} = -55°C for LM117, -25°C for LM217, 0°C for LM317; T_{high} = +150°C for LM117, +150°C for LM217, +125°C for LM317

(2) I_{max} = 1.5 A for K (TO-3) and T (TO-220) Packages; = 0.5 A for H (TO-39) Package. P_{max} = 20 W for K (TO-3) and T (TO-220) Packages; = 2 W for H (TO-39) Package

(3) Load and line regulation are specified at constant junction temperature. Changes in V_O due to heating effects must be taken into account separately. Pulse testing with low duty cycle is used.

(4) Selected devices with tightened tolerance reference voltage available.

(5) C_{ADJ}, when used, is connected between the adjustment pin and ground.

(6) Since Long Term Stability cannot be measured on each device before shipment, this specification is an engineering estimate of average stability from lot to lot.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

APPLICATIONS INFORMATION

BASIC CIRCUIT OPERATION

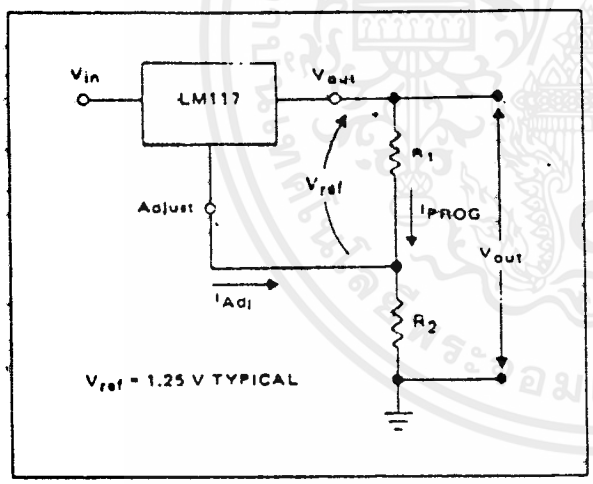
The LM117 is a 3-terminal floating regulator. In operation, the LM117 develops and maintains a nominal 1.25 volt reference (V_{ref}) between its output and adjustment terminals. This reference voltage is converted to a programming current (I_{PROG}) by R1 (see Figure 1), and this constant current flows through R2 to ground. The regulated output voltage is given by,

$$V_{out} = V_{ref}\left(1 + \frac{R2}{R1}\right) + I_{Adj}\,R2$$

Since the current from the adjustment terminal (I_{Adj}) represents an error term in the equation, the LM117 was designed to control I_{Adj} to less than 100 μA and keep it constant. To do this, all quiescent operating current is returned to the output terminal. This imposes the requirement for a minimum load current. If the load current is less than this minimum, the output voltage will rise.

Since the LM117 is a floating regulator, it is only the voltage differential across the circuit which is important to performance, and operation at high voltages with respect to ground is possible.

FIGURE 1 – BASIC CIRCUIT CONFIGURATION



LOAD REGULATION

The LM117 is capable of providing extremely good load regulation, but a few precautions are needed to obtain maximum performance. For best performance, the programming resistor (R1) should be connected as close to the regulator as possible to minimize line drops which effectively appear in series with the reference, thereby degrading regulation. The ground end of R2 can be returned near the load ground to provide remote ground sensing and improve load regulation.

EXTERNAL CAPACITORS

A 0.1 μF disc or 1 μF tantalum input bypass capacitor (C_{in}) is recommended to reduce the sensitivity to input line impedance.

The adjustment terminal may be bypassed to ground to improve ripple rejection. This capacitor (C_{ADJ}) prevents ripple from being amplified as the output voltage is increased. A 10 μF capacitor should improve ripple rejection about 15dB at 120 Hz in a 10 volt application.

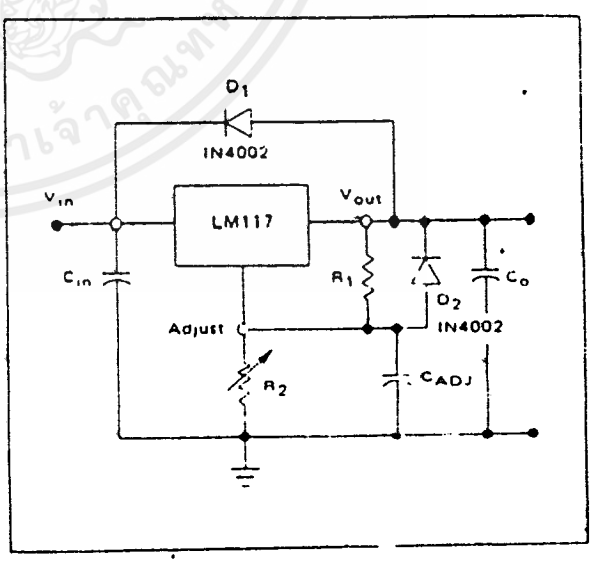
Although the LM117 is stable with no output capacitance, like any feedback circuit, certain values of external capacitance can cause excessive ringing. An output capacitance (C_O) in the form of a 1 μF tantalum or 25 μF aluminum electrolytic capacitor on the output swamps this effect and insures stability.

PROTECTION DIODES

When external capacitors are used with any I.C. regulator it is sometimes necessary to add protection diodes to prevent the capacitors from discharging through low current points into the regulator.

Figure 2 shows the LM117 with the recommended protection diodes for output voltages in excess of 25 V or high capacitance values ($C_O > 25\ \mu F$, $C_{ADJ} > 10\ \mu F$). Diode D_1 prevents C_O from discharging thru the I.C. during an input short circuit. Diode D_2 protects against capacitor C_{ADJ} discharging through the I.C. during an output short circuit. The combination of diodes D1 and D2 prevents C_{ADJ} from discharging through the I.C. during an input short circuit.

FIGURE 2 – VOLTAGE REGULATOR WITH PROTECTION DIODES

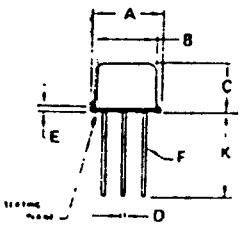


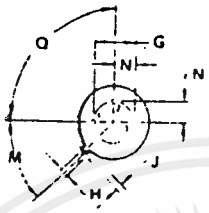
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

H SUFFIX
METAL PACKAGE
CASE 79
(TO-39)

$R_{\theta JA}$ = 150°C/W (Typ)

Pin 3 connected to case.



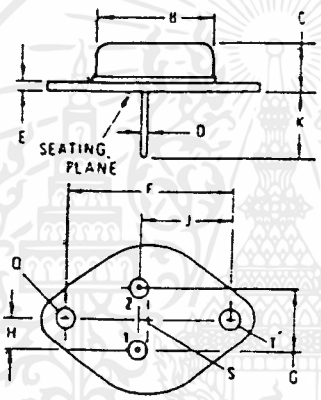


CASE 79-05
TO-39

DIM	MILLIMETERS		INCHES	
	MIN	MAX	MIN	MAX
A	9.02	9.30	0.355	0.366
B	8.00	8.51	0.315	0.335
C	4.19	4.57	0.165	0.180
D	0.43	0.53	0.017	0.021
E	0.43	0.89	0.017	0.035
F	0.41	0.48	0.016	0.019
G	4.83	5.33	0.190	0.210
H	0.71	0.86	0.028	0.034
J	0.74	1.02	0.029	0.040
K	12.70	–	0.500	–
M	45° NOM		45° NOM	
N	2.54 TYP		0.100 TYP	
Q	90° NOM		90° NOM	

K SUFFIX
METAL PACKAGE
CASE 1
(TO-3 Type)

$R_{\theta JA}$ = 35°C/W (Typ)



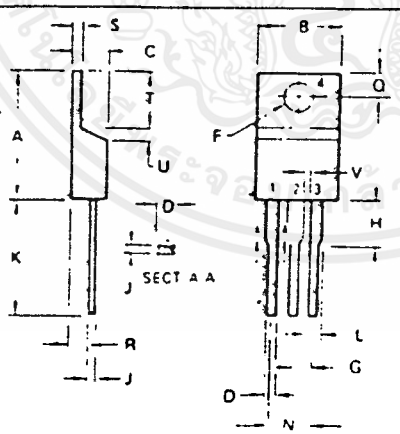
CASE 1-03
TO-3 Type

DIM	MILLIMETERS		INCHES	
	MIN	MAX	MIN	MAX
B	–	22.23	–	0.875
C	6.35	11.43	0.250	0.450
D	0.97	1.09	0.038	0.043
E	–	3.43	–	0.135
F	29.90	30.40	1.177	1.197
G	10.67	11.18	0.420	0.440
H	5.21	5.72	0.205	0.225
J	16.64	17.15	0.655	0.675
K	7.92	–	0.312	–
Q	3.84	4.09	0.151	0.161
S	–	13.34	–	0.525
T	–	4.78	–	0.188

T SUFFIX
PLASTIC PACKAGE
CASE 221A
(LM317 only)
(TO-220)

$R_{\theta JA}$ = 65°C/W (Typ)

Heatsink surface connected to center pin.



CASE 221A
TO-220

DIM	MILLIMETERS		INCHES	
	MIN	MAX	MIN	MAX
A	15.11	15.75	0.595	0.620
B	9.65	10.29	0.380	0.405
C	4.06	4.82	0.160	0.190
D	0.64	0.89	0.025	0.035
F	3.61	3.73	0.142	0.147
G	2.41	2.67	0.095	0.105
H	2.79	3.30	0.110	0.130
J	0.36	0.56	0.014	0.022
K	12.70	14.27	0.500	0.562
L	1.14	1.27	0.045	0.050
N	4.83	5.33	0.190	0.210
Q	2.54	3.04	0.100	0.120
R	2.04	2.29	0.080	0.110
S	1.14	1.39	0.045	0.055
T	5.97	6.48	0.235	0.255
U	0.76	1.27	0.030	0.050
V	1.14		0.045	

THERMAL INFORMATION

The maximum power consumption an integrated circuit can tolerate at a given operating ambient temperature, can be found from the equation.

$$P_{D(T_A)} = \frac{T_{J(max)} - T_A}{R_{\theta JA(Typ)}} \geq V_I I_S + V_O I_O$$

Where: $P_{D(T_A)}$ = Power Dissipation allowable at a given operating ambient temperature.

$T_{J(max)}$ = Maximum Operating Junction Temperature as listed in the Maximum Ratings Section

T_A = Maximum Desired Operating Ambient Temperature

$R_{\theta JA(Typ)}$ = Typical Thermal Resistance Junction to Ambient

I_S = Total Supply Current

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Monolithic Function Generator

GENERAL DESCRIPTION

The XR-2206 is a monolithic function generator integrated circuit capable of producing high quality sine, square, triangle, ramp, pulse waveforms of high stability and accuracy. The output waveforms can be both amplitude and frequency modulated by an external voltage. Frequency of operation can be selected externally over a range of 0.01 Hz to more than 1 MHz.

The circuit is ideally suited for communications, instrumentation, and function generator applications requiring sinusoidal tone, AM, FM, or FSK generation. It has a typical drift specification of 20 ppm/°C. The oscillator frequency can be linearly swept over a 2000:1 frequency range, with an external control voltage, having a very small affect on distortion.

FEATURES

Low Sine Wave Distortion	.5%, Typical
Excellent Temperature Stability	20 ppm/°C, Typical
Wide Sweep Range	2000:1, Typical
Low-Supply Sensitivity	0.01%V, Typical
Linear Amplitude Modulation	
TTL Compatible FSK Controls	
Wide Supply Range	10V to 26V
Adjustable Duty Cycle	1% to 99%

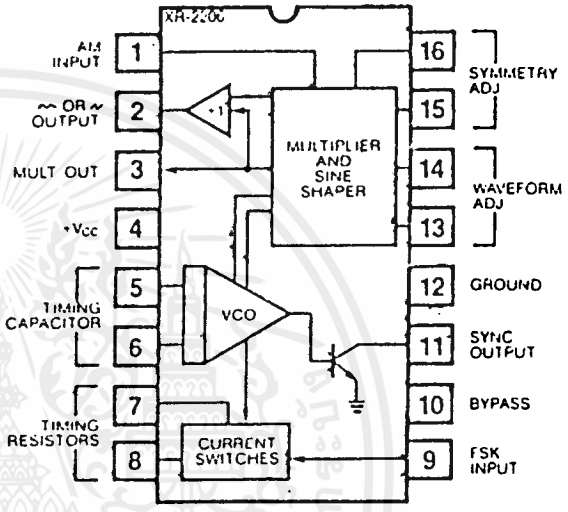
APPLICATIONS

Waveform Generation
Sweep Generation
AM/FM Generation
V/F Conversion
FSK Generation
Phase-Locked Loops (VCO)

ABSOLUTE MAXIMUM RATINGS

Power Supply	26V
Power Dissipation	750 mW
Derate Above 25°C	5 mW/°C
Total Timing Current	6 mA
Storage Temperature	-65°C to +150°C

FUNCTIONAL BLOCK DIAGRAM



ORDERING INFORMATION

Part Number	Package	Operating Temperature
XR-2206M	Ceramic	-55°C to +125°C
XR-2206N	Ceramic	0°C to +70°C
XR-2206P	Plastic	0°C to +70°C
XR-2206CN	Ceramic	0°C to +70°C
XR-2206CP	Plastic	0°C to +70°C

SYSTEM DESCRIPTION

The XR-2206 is comprised of four functional blocks; a voltage-controlled oscillator (VCO), an analog multiplier and sine-shaper; a unity gain buffer amplifier; and a set of current switches.

The VCO actually produces an output frequency porportional to an input current, which is produced by a resistor from the timing terminals to ground. The current switches route one of the timing pins current to the VCO controlled by an FSK input pin, to produce an output frequency. With two timing pins, two discrete output frequencies can be independently produced for FSK Generation Applications.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ELECTRICAL CHARACTERISTICS

Test Conditions: Test Circuit of Figure 1, $V^+ = 12V$, $T_A = 25°$, $C = 0.01\ \mu F$, $R_1 = 100\ k\Omega$, $R_2 = 4.0\ k\Omega$, $R_3 = 25\ k\Omega$ unless otherwise specified. S_1 open for triangle, closed for sine wave.

PARAMETER	XR-2206M			XR-2206C			UNIT	CONDITIONS
	MIN.	TYP.	MAX.	MIN.	TYP.	MAX.		
GENERAL CHARACTERISTCS								
Single Supply Voltage	10		26	10		26	V	
Split-Supply Voltage	±5		±13	±5		±13	V	
Supply Current		12	17		14	20	mA	$R_1 > 10\ k\Omega$
OSCILLATOR SECTION								
Max. Operating Frequency	0.5	1		0.5	1		MHz	$C = 1000\ pF$, $R_1 = 1\ k\Omega$
Lowest Practical Frequency		0.01			0.01		Hz	$C = 50\ \mu F$, $R_1 = 2\ M\Omega$
Frequency Accuracy		±1	±3		±2		% of f_o	$f_o = 1/R_1C$
Temperature Stability		±10	±50		±20		ppm/°C	$0°C \le T_A \le 75°C$, $R_1 = R_2 = 20\ k\Omega$
Supply Sensitivity		0.01	0.1		0.01		%/V	$V_{LOW} = 10V$, $V_{HIGH} = 20V$, $R_1 = R_2 = 20\ k\Omega$
Sweep Range	1000:1	2000:1			2000:1		$f_H = f_L$	f_H @ $R_1 = 1\ k\Omega$, f_L @ $R_1 = 2\ M\Omega$
Sweep Linearity								
10:1 Sweep		2			2		%	$f_L = 1\ kHz$, $f_H = 10\ kHz$
1000:1 Sweep		8			8		%	$f_L = 100\ Hz$, $f_H = 100\ kHz$
FM Distortion		0.1			0.1		%	±10% Deviation
Recommended Timing Components								
Timing Capacitor: C	0.001		100	0.001		100	μF	See Figure 4.
Timing Resistors: R_1 & R_2	1		2000	1		2000	kΩ	
Triangle Sine Wave Output								See Note 1, Figure 2.
Triangle Amplitude		160			160		mV/kΩ	Figure 1, S_1 Open
Sine Wave Amplitude	40	60	80		60		mV/kΩ	Figure 1, S_1 Closed
Max. Output Swing		6			6		Vp-p	
Output Impedance		600			600		Ω	
Triangle Linearity		1			1		%	
Amplitude Stability		0.5			0.5		dB	For 1000:1 Sweep
Sine Wave Amplitude Stability		4800			4800		ppm/°C	See Note 2.
Sine Wave Distortion								
Without Adjustment		2.5			2.5		%	$R_1 = 30\ k\Omega$
With Adjustment		0.4	1.0		0.5	1.5	%	See Figures 6 and 7.
Amplitude Modulation								
Input Impedance	50	100		50	100		kΩ	
Modulation Range		100			100		%	
Carrier Suppression		55			55		dB	
Linearity		2			2		%	For 95% modulation
Square-Wave Output								
Amplitude		12			12		Vp-p	Measured at Pin 11.
Rise Time		250			250		nsec	$C_L = 10\ pF$
Fall Time		50			50		nsec	$C_L = 10\ pF$
Saturation Voltage		0.2	0.4		0.2	0.6	V	$I_L = 2\ mA$
Leakage Current		0.1	20		0.1	100	μA	$V_{11} = 26V$
FSK Keying Level (Pin 9)	0.8	1.4	2.4	0.8	1.4	2.4	V	See section on circuit controls
Reference Bypass Voltage	2.9	3.1	3.3	2.5	3	3.5	V	Measured at Pin 10.

Note 1: Output amplitude is directly proportional to the resistance, R_3, on Pin 3. See Figure 2

Note 2: For maximum amplitude stability, R_3 should be a positive temperature coefficient resistor.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

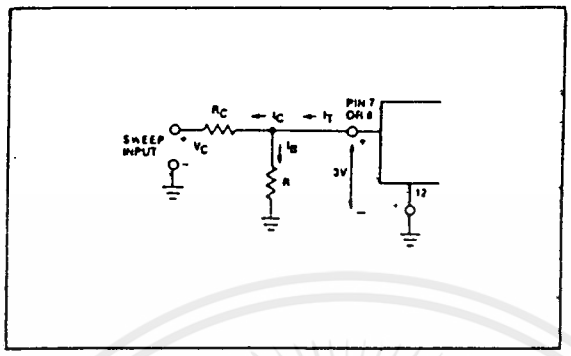


Figure 9: Circuit Connection for Frequency Sweep.

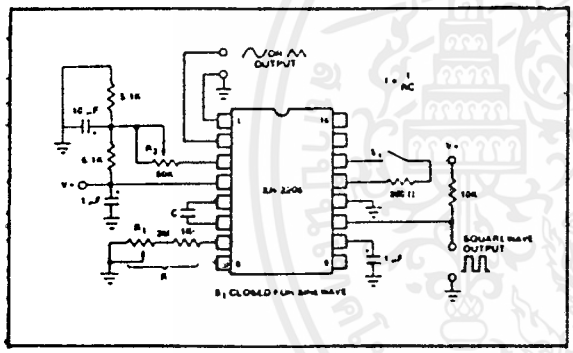


Figure 10: Circuit for Sine Wave Generation without External Adjustment. (See Figure 2 for Choice of R_3.)

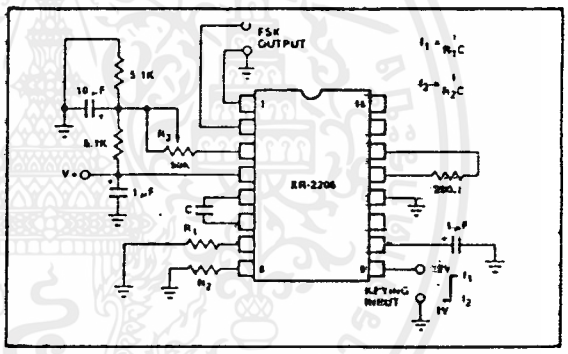


Figure 12: Sinusoidal FSK Generator.

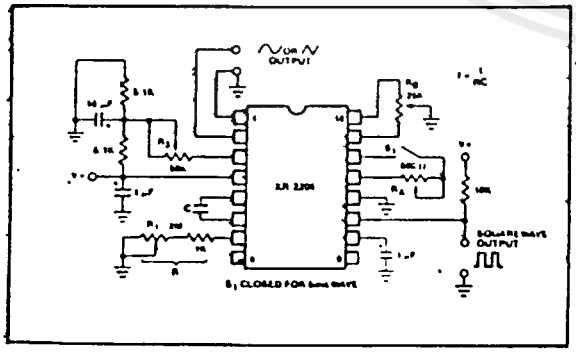


Figure 11: Circuit for Sine Wave Generation with Minimum Harmonic Distortion. (R_3 Determines Output Swing – See Figure 2.)

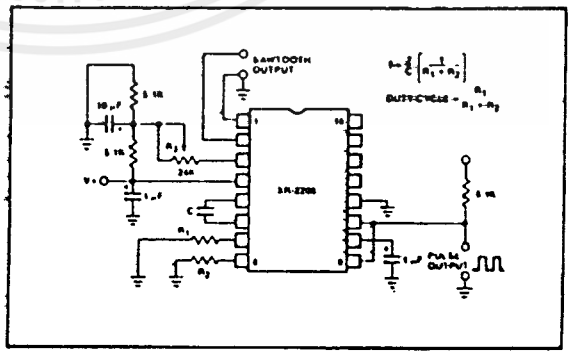


Figure 13: Circuit for Pulse and Ramp Generation.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Frequency-Shift Keying:

The XR-2206 can be operated with two separate timing resistors, R_1 and R_2, connected to the timing Pin 7 and 8, respectively, as shown in Figure 12. Depending on the polarity of the logic signal at Pin 9, either one or the other of these timing resistors is activated. If Pin 9 is open-circuited or connected to a bias voltage $\geq$2V, only R_1 is activated. Similarly, if the voltage level at Pin 9 is $\leq$1V, only R_2 is activated. Thus, the output frequency can be keyed between two levels, f_1 and f_2, as:

$$f_1 = 1/R_1C \text{ and } f_2 = 1/R_2C$$

For split-supply operation, the keying voltage at Pin 9 is referenced to V^-.

Output DC Level Control:

The dc level at the output (Pin 2) is approximately the same as the dc bias at Pin 3. In Figures 10, 11 and 12, Pin 3 is biased midway between V^+ and ground, to give an output dc level of $\approx V^+/2$.

APPLICATIONS INFORMATION

Sine Wave Generation

Without External Adjustment:

Figure 10 shows the circuit connection for generating a sinusoidal output from the XR-2206. The potentiometer, R_1 at Pin 7, provides the desired frequency tuning. The maximum output swing is greater than $V^+/2$, and the typical distortion (THD) is <2.5%. If lower sine wave distortion is desired, additional adjustments can be provided as described in the following section.

The circuit of Figure 10 can be converted to split-supply operation, simply by replacing all ground connections with V^-. For split-supply operation, R_3 can be directly connected to ground.

With External Adjustment:

The harmonic content of sinusoidal output can be reduced to $\approx$0.5% by additional adjustments as shown in Figure 11. The potentiometer, R_A, adjusts the sine-shaping resistor, and R_B provides the fine adjustment for the waveform symmetry. The adjustment procedure is as follows:

1. Set R_B at midpoint, and adjust R_A for minimum distortion.
2. With R_A set as above, adjust R_B to further reduce distortion.

Triangle Wave Generation

The circuits of Figures 10 and 11 can be converted to triangle wave generation, by simply open-circuiting Pin 13 and 14 (i.e., S_1 open). Amplitude of the triangle is approximately twice the sine wave output.

FSK Generation

Figure 12 shows the circuit connection for sinusoidal FSK signal operation. Mark and space frequencies can be independently adjusted, by the choice of timing resistors, R_1 and R_2; the output is phase-continuous during transitions. The keying signal is applied to Pin 9. The circuit can be converted to split-supply operation by simply replacing ground with V^-.

Pulse and Ramp Generation

Figure 13 shows the circuit for pulse and ramp waveform generation. In this mode of operation, the FSK keying terminal (Pin 9) is shorted to the square-wave output (Pin 11), and the circuit automatically frequency-shift keys itself between two separate frequencies during the positive-going and negative-going output waveforms. The pulse width and duty cycle can be adjusted from 1% to 99%, by the choice of R_1 and R_2. The values of R_1 and R_2 should be in the range of 1 kΩ to 2 MΩ.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

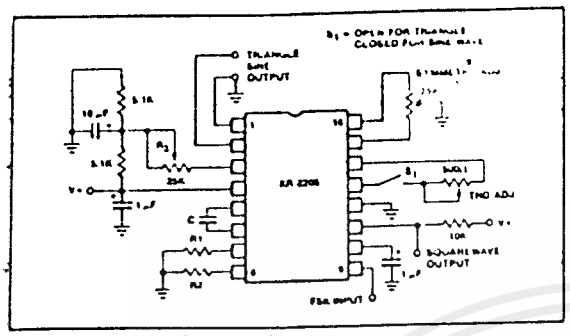


Figure 1: Basic Test Circuit.

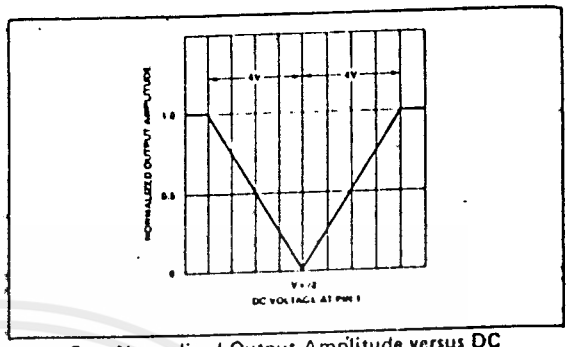


Figure 5: Normalized Output Amplitude versus DC Bias at AM Input (Pin 1).

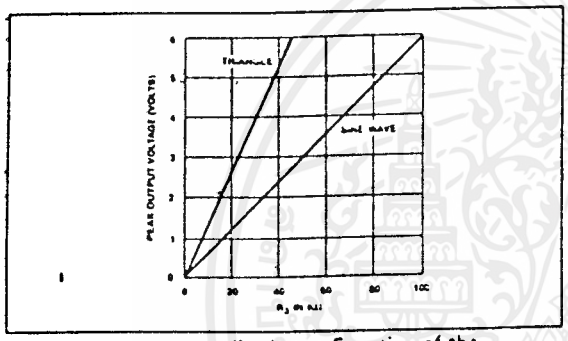


Figure 2: Output Amplitude as a Function of the Resistor, R_3, at Pin 3.

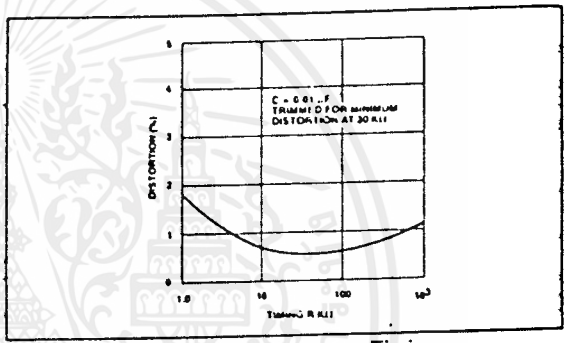


Figure 6: Trimmed Distortion versus Timing Resistor.

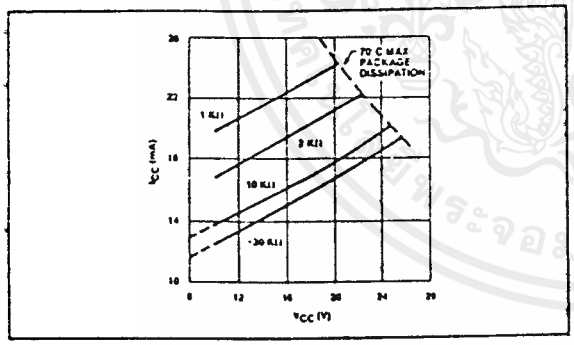


Figure 3: Supply Current versus Supply Voltage, Timing, R.

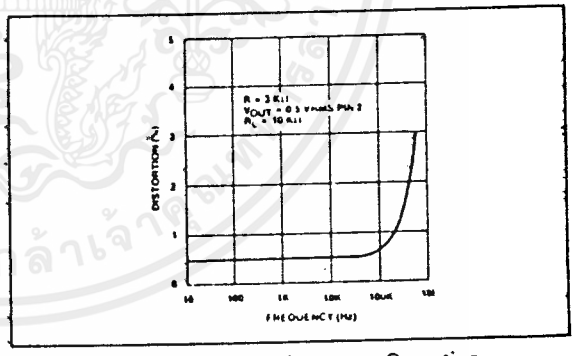


Figure 7: Sine Wave Distortion versus Operating Frequency with Timing Capacitors Varied.

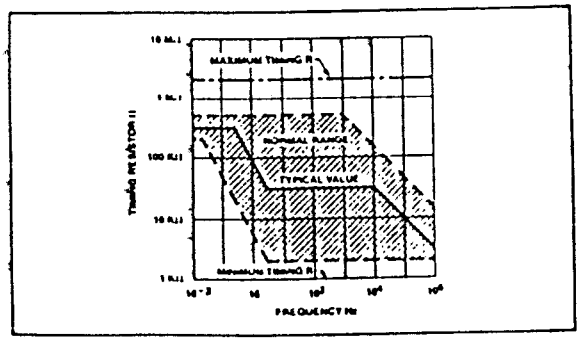


Figure 4: R versus Oscillation Frequency.

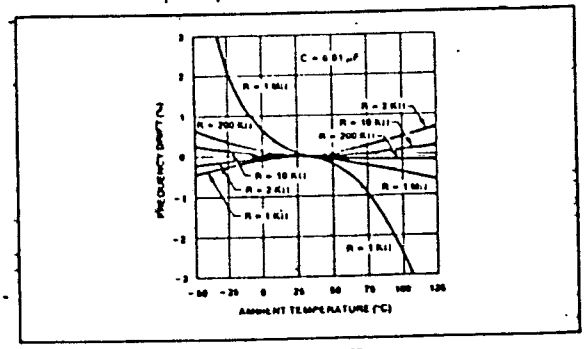


Figure 8: Frequency Drift versus Temperature.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

PRINCIPLES OF OPERATION

Description of Controls

Frequency of Operation:
The frequency of oscillation, f_o, is determined by the external timing capacitor, C, across Pin 5 and 6, and by the timing resistor, R, connected to either Pin 7 or 8. The frequency is given as:

$$f_o = \frac{1}{RC} \text{ Hz}$$

and can be adjusted by varying either R or C. The recommended values of R, for a given frequency range, are shown in Figure 4. Temperature stability is optimum for $4\ k\Omega < R < 200\ k\Omega$. Recommended values of C are from 1000 pF to 100 μF.

Frequency Sweep and Modulation:
Frequency of oscillation is proportional to the total timing current, I_T, drawn from Pin 7 or 8:

$$f = \frac{320 I_T\ (mA)}{C\ (\mu F)} \text{ Hz}$$

Timing terminals (Pin 7 or 8) are low-impedance points, and are internally biased at +3V, with respect to Pin 12. Frequency varies linearly with I_T, over a wide range of current values, from 1 μA to 3 mA. The frequency can be controlled by applying a control voltage, V_C, to the activated timing pin as shown in Figure 9. The frequency of oscillation is related to V_C as:

$$f = \frac{1}{RC}\left[1 + \frac{R}{R_C}\left(1 - \frac{V_C}{3}\right)\right] \text{ Hz}$$

where V_C is in volts. The voltage-to-frequency conversion gain, K, is given as:

$$K = \partial f / \partial V_C = -\frac{0.32}{R_C C} \text{ Hz/V}$$

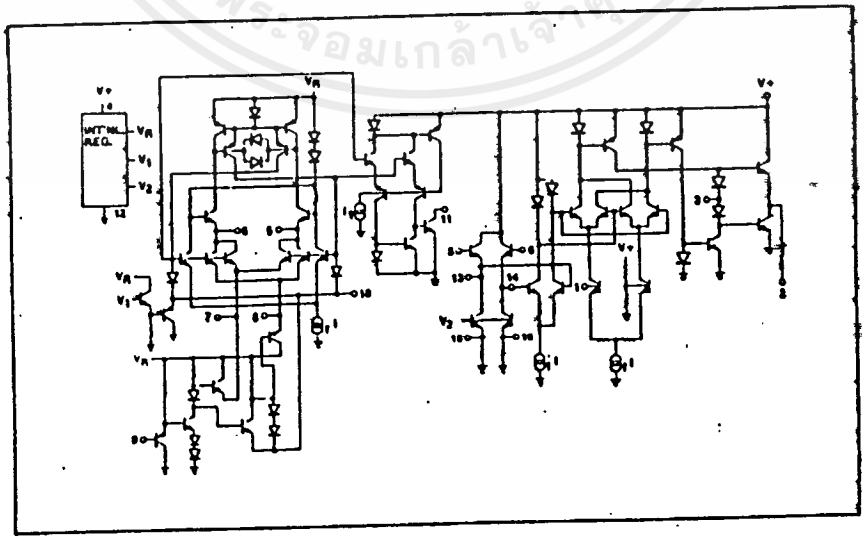
CAUTION: For safe operation of the circuit, I_T should be limited to ≤ 3 mA.

Output Amplitude:
Maximum output amplitude is inversely proportional to the external resistor, R_3, connected to Pin 3 (see Figure 2). For sine wave output, amplitude is approximately 60 mV peak per kΩ of R_3; for triangle, the peak amplitude is approximately 160 mV peak per kΩ of R_3. Thus, for example, $R_3 = 50\ k\Omega$ would produce approximately ± 3V sinusoidal output amplitude.

Amplitude Modulation:
Output amplitude can be modulated by applying a dc bias and a modulating signal to Pin 1. The internal impedance at Pin 1 is approximately 100 kΩ. Output amplitude varies linearly with the applied voltage at Pin 1, for values of dc bias at this pin, within ± 4 volts of $V^+/2$ as shown in Figure 5. As this bias level approaches $V^+/2$, the phase of the output signal is reversed, and the amplitude goes through zero. This property is suitable for phase-shift keying and suppressed-carrier AM generation. Total dynamic range of amplitude modulation is approximately 55 dB.

CAUTION: AM control must be used in conjunction with a well-regulated supply, since the output amplitude now becomes a function of V^+.

EQUIVALENT SCHEMATIC DIAGRAM



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เอกสารอ้างอิง

1. วารสาร อิเล็กทรอนิกส์เวิลด์ ฉบับที่ 105 พ.ศ. 2531
2. วารสาร เซมิคอนดัคเตอร์อิเล็กทรอนิกส์ ฉบับที่ 107 พ.ศ. 2534
3. การประยุกต์การใช้งานไมโครโปรเซสเซอร์ , รศ.ยืน ภู่วรวรรณ
4. คู่มือไอซี CMOS 4000 SERIES, บ.ซีเอ็ดยูเคชั่น
5. คู่มือไอซี TTL , บ.ซีเอ็ดยูเคชั่น
6. เทคโนโลยีฮาร์ดแวร์ IBM PC, รศ.ยืน ภู่วรวรรณ
7. "EXAR DATA BOOK" 1985
8. "TURBO C Reference guide " Vertion 2.0

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้