ห้องสมุดคณะวิศวกรรมศาสตร์
สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เครองโปรแกรม อพรอม

(EPROM PROGRAMMER BY COMPUTER)

จัดทำโดย...

นายเสิศชัย	กิตทรัพย์	34.132161
นายศุภรัตน์	เจริญรุ่ง	34.132166
นายอัครพงษ์	จิตมาตย์	34.132179

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาอุตสาหกรรมศาสตร์บัณฑิต

สาขาวิชาเทคโนโลยีโทรคมนาคม

ภาควิชาเทคนิคอุตสาหกรรม

คณะวิศวกรรมศาสตร์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2535

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

032587

EPROM PROGRAMMER BY COMPUTER

REPRESENTED BY...

MR.LERDCHAI KODSUB 34.132161

MR.SUPPARAT CHAROENRUNG 34.132166

MR.AKRAPONG JITMART 34.132179

PROJECT ADVISOR...

MR.CHAKREE TEEKAPAKVISIT

THE PROJECT IS IN PARTIAL FULL FILLMENT OF THE COMPULSION

FOR THE BACHELOR OF INDUSTRIAL TECHNOLOGY IN TELECOMMUNICATIONS

MAJOR TELECOMMUNICATIONS

DEPARTMENT OF INDUSTRIAL TECHNOLOGY

FACULTY OF ENGINEERING

KING MONGKUT'S INSTITUTE OF TECHNOLOGY

ACADEMIC YEAR 1992

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

032587

หัวข้อปริญญานิพนธ์ : **เครื่องโปรแกรม อีพรอม**

รายชื่อผู้จัดทำ : **นายเฉลิมชัย กตหริรักษ์** 34.132161

นายสุภรัตน์ เจริญรุ่ง 34.132166

นายอัครพงษ์ จิตมาตย์ 34.132179

อาจารย์ที่ปรึกษา : **อาจารย์ จักรี ทียมาคม ทวีวิศิษฏ์**

หลักสูตรการศึกษา : **อุตสาหกรรมศาสตรบัณฑิต** สาขาวิชาเทคโนโลยีโทรคมนาคม

ภาควิชาเทคนิคอุตสาหกรรม คณะวิศวกรรมศาสตร์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา : 2535

คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง อนุมัติให้ปริญญานิพนธ์ฉบับนี้ เป็นส่วนหนึ่งของการศึกษา ตามหลักสูตรการศึกษาปริญญาอุตสาหกรรมศาสตรบัณฑิต

..... คณบดีคณะวิศวกรรมศาสตร์

(_____)

คณะกรรมการตรวจสอบปริญญานิพนธ์

..... ประธานกรรมการ

(_____)

..... กรรมการ

(_____)

..... กรรมการ

(_____)

..... กรรมการ

(_____)

ลิขสิทธิ์ปริญญานิพนธ์ฉบับนี้ เป็นของคณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยี-พระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หัวข้อปริญญานิพนธ์ เครื่องโปรแกรม อีพรอม

รายชื่อผู้จัดทำ นายเลิศชัย กดทรัพย์ 34.132161

นายสุภรัตน์ เจริญรุ่ง 34.132166

นายอัครพงษ์ จิตมาตย์ 34.132179

อาจารย์ที่ปรึกษา อาจารย์ จักรี ทีฆภาคย์วิสิษฏ์

ภาควิชา เทคนิคอุตสาหกรรม

ปีการศึกษา 2535

บทคัดย่อ

เครื่องโปรแกรมอีพรอมโดยใช้คอมพิวเตอร์ จุดประสงค์เพื่อใช้คอมพิวเตอร์มาควบคุมการโปรแกรมอีพรอม สามารถโปรแกรมได้หลายเบอร์

ปริญญานิพนธ์ เล่มนี้เป็นเนื้อหาเกี่ยวกับเครื่องโปรแกรมอีพรอมโดยจะมีอยู่สองส่วน ส่วนแรกเป็นเนื้อหาเกี่ยวกับ HARDWARE ประกอบด้วย การ์ดอินเตอร์เฟส แหล่งจ่ายไฟ และ ส่วนของหลักของวงจร สำหรับส่วนที่สอง คือ SOFTWARE เป็นโปรแกรมควบคุมการทำงานของ HARDWARE

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

THESIS TITLE EPROM PROGRAMMER BY COMPUTER

THESIS EDITOR MR.LERDCHAI KODSUB 34.132161

MR.SUPPARAT CHAROENRUNG 34.132166

MR.AKRAPONG JITMART 34.132179

PROJECT ADVISOR MR.CHAKREE TEEKAPAKVISIT

DEPARTMENT OF INDUSTRIAL TECHNOLOGY

ACADEMIC YEAR 1992

ABSTRACT

This thesis is presents about EPROM program instrument. The objective of project intents to program various number of EPROM that varies in the market.

This thesis is devide in two part, the first is concern about hardware or the interface card that design for operating on personal computer and the second is about the program that use to control the operate of EPROM program.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ

หน้า

บทที่ 1 ความรู้ทั่วไปเกี่ยวกับคอมพิวเตอร์..... 1

IBM PC กับการอินเตอร์เฟส..... 1

AT สล็อต VS XT สล็อต..... 1

การ์ดขยาย (Expasion)..... 2

อินเตอร์รัพต์ (Interrupts)..... 7

DMA (Direct Memory Access)..... 10

รายละเอียดของสัญญาณต่าง ๆ บนสล็อต..... 12

เพาว์เวอร์ซัพพลาย..... 12

แอดเดรสบัส และ สัญญาณต่าง ๆ ที่เกี่ยวข้อง..... 12

ดาต้าบัส..... 14

สัญญาณอินเตอร์รัพต์..... 15

สัญญาณที่ใช้ในขบวนการ DMA 16

สัญญาณควบคุมต่าง ๆ 17

สัญญาณที่ใช้สร้าง Wait States..... 19

สัญญาณนาฬิกา..... 20

แผนผังเวลา (Timing Diagrams)..... 20

การสร้างสถานะรอ (Wait States)..... 23

การใช้งาน IC 8255A 25

หลักการทั่วไปของ IC 8255A..... 25

สัญญาณควบคุม 8255A 26

กลุ่มของ PORT 26

8255A กับ EPROM 27

การใช้ PORT ของ 8255A 27

ลำดับขั้นในการโปรแกรม EPROM 28

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 2 หลักการทำงานของวงจรต่าง ๆ 30
ภาคจ่ายไฟและภาคจ่ายแรงดันไฟสูง..... 30
ภาควงจรโปรแกรม..... 30
วงจรภาควงจรโปรแกรม..... 30
วงจรภาคอินเตอร์เฟส..... 32
บทที่ 3 สรุปผลการทดสอบและข้อเสนอแนะ 34
การทดสอบงานในส่วนของ HARDWARE 34
การทดสอบงานในส่วนของ SOFTWARE 35
สาเหตุที่การโปรแกรมผิดพลาด..... 35
ข้อแนะนำ..... 36
ภาคผนวก
ภาคผนวก ก. ERASABLE PROGRAMMABLE READ-ONLY MEMORY
ภาคผนวก ข. ELECTRICALLY EPROM
ภาคผนวก ค. FLOWCHART
ภาคผนวก ง. PCB
ภาคผนวก จ. โปรแกรม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กิตติกรรมประกาศ

ปริญญานิพนธ์ฉบับนี้ ได้เสร็จลุล่วงไปด้วยดี เนื่องจากได้รับความร่วมมือเป็นอย่างดีจาก อ.จักรี ทิฆภาคย์วิศิษฏ์ พี่ ๆ จาก บริษัท ETT. รวมทั้งเพื่อน ๆ ซึ่งคอยให้คำแนะนำและปรึกษา และขอขอบคุณเป็นอย่างยิ่งสำหรับผู้ที่ช่วยพิมพ์ปริญญานิพนธ์ฉบับนี้ จึงเขียนมาเพื่อเป็นเกียรติแก่ผู้มีพระคุณทุกท่าน จึงขอขอบคุณมา ณ โอกาสนี้ด้วย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทนำ

โดยทั่วไปการโปรแกรม EPROM จะมีความยุ่งยากพอสมควร สำหรับการโปรแกรมที่ต่างเบอร์กัน หรือต่างบริษัท การจัดขาของ EPROM ไม่ว่าจะเป็นเบอร์เดียวกันบางครั้งการจัดขาจะต่างกัน ซึ่งจะทำให้เกิดปัญหาที่ยุ่งยากสำหรับการโปรแกรม ในการจัดขาหรือการป้อนแรงดันไฟ Vpp ในการโปรแกรม ทางผู้จัดทำจึงได้ทำโครงงานนี้ขึ้นมา

โปรแกรมที่เขียนไว้ควบคุมคอมพิวเตอร์ เมื่อเราทำการเลือกเบอร์ โปรแกรมจะควบคุมให้ส่งข้อมูล(DATA) และตำแหน่ง(ADDRESS) ออกมาเพื่อ SET 8255A เพื่อควบคุมตำแหน่งขาของ EPROM ที่จะใช้ในการโปรแกรม โปรแกรมจะทำการ SET แรงดันไฟต่างๆ ให้กับตัว EPROM ทุกอย่างโดยที่ผู้ใช้งานไม่ต้องทำอะไรเลย เพียงแต่รู้ว่าต้องการใช้งานกับ EPROM เบอร์อะไร ก็สามารถใช้งานโครงงานนี้อย่างง่ายดาย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 1

ความรู้ทั่วไปเกี่ยวกับคอมพิวเตอร์

1 IBM PC กับการอินเตอร์เฟส

ในปัจจุบัน คอมพิวเตอร์มีราคาถูกลงอย่างมาก มีการนำไปใช้งานกันอย่างกว้างขวาง ไม่ว่าจะเป็นในด้านที่เกี่ยวกับเอกสาร หรือ งานทั่ว ๆ ไป เช่น การทำเสียง เอฟเฟคใช้ประกอบภาพยนตร์ หรือการทำรูปโฆษณา ฯลฯ การใช้งานในด้านต่าง ๆ เหล่านี้ มักจะมีอุปกรณ์ที่ใช้ประกอบการทำงาน ซึ่งเป็นตัวเชื่อมต่อระหว่างผู้ใช้งาน และคอมพิวเตอร์ทำให้การใช้งานเป็นไปอย่างง่ายดายยิ่งขึ้น เช่น จอยสติก เมาส์ ปากกาเขียนจอ (Light Pen) เป็นต้น อุปกรณ์เหล่านี้จะต่อกับคอมพิวเตอร์ โดยมีรูปแบบการติดต่อที่เป็นมาตรฐานที่นิยมใช้กันอยู่ทั่วไป คือ มาตรฐานการสื่อสารแบบอนุกรม (RS-232) และมาตรฐานการสื่อสารแบบขนาน (GPIB) ที่จำเป็นจะต้องมีมาตรฐานเดียวกันก็เพื่อทำให้อุปกรณ์นั้นสามารถใช้งานได้อย่างกว้างขวาง ไม่เฉพาะเจาะจงใช้กับเครื่องยี่ห้อใดยี่ห้อหนึ่งเท่านั้น ดังนั้น คอมพิวเตอร์ไม่ว่าจะเป็นเครื่องรุ่นใดก็ตาม คนละยี่ห้อก็ตาม สามารถจะใช้อุปกรณ์เหล่านี้ได้ ขอให้มีรูปแบบการติดต่อที่เหมือนกันก็พอ

แต่อย่างไรก็ตาม มาตรฐานเหล่านี้ก็จะยังมีข้อจำกัดอยู่บ้าง ดังนั้น สำหรับในบทความนี้ เราจะแนะนำการเชื่อมต่อ (การอินเตอร์เฟส)กับ IBM PC โดยอุปกรณ์ I/O ที่ต้องการติดต่อโดยตรงกับระบบบัสของ IBM PC ซึ่งการเชื่อมต่ออุปกรณ์โดยตรงกับระบบบัสของคอมพิวเตอร์ เป็นการเพิ่มขีดความสามารถในการติดต่อและเพิ่มประสิทธิภาพในการทำงานของอุปกรณ์ I/O ที่ต่ออยู่กับระบบได้ดีขึ้น

1.1 AT สล็อต VS XT สล็อต

เนื่องจาก AT ใช้ CPU เบอร์ 80286 ซึ่งเป็น CPU ขนาด 16 บิต และมีดาต้าบัสขนาด 16 บิต ในขณะที่ XT ใช้ CPU เบอร์ 8088 ซึ่งเป็น 16 บิตเทียม คือ มีการประมวลผลภายในเป็นแบบ 16 บิต แต่ดาต้าบัสมีเพียงแค่ 8 บิต เท่านั้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ดังนั้นการจัดการเกี่ยวกับข้อมูลขนาด 16 บิต จึงต้องการทำสองครั้ง ครั้งละ 8 บิต จะเห็นได้ว่าระบบบัสของ XT เป็นซับเซตของระบบบัสของ AT

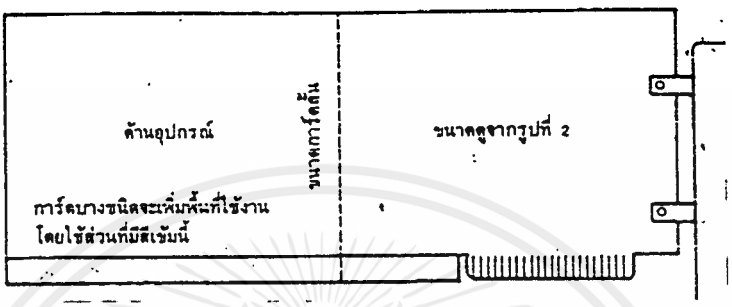
บนเมนบอร์ดของ AT จะมีสล็อตอยู่ 2 ชนิด คือ สล็อตสั้น และสล็อตยาว ซึ่งสล็อตยาวจะมีจำนวนขาสัญญาณ และตำแหน่งของขาสัญญาณแบบสล็อตเหมือนกับ XT ส่วนขาสัญญาณที่อยู่บนสล็อตสั้นที่เพิ่มขึ้นจะเป็นสัญญาณที่มีแต่เฉพาะบน AT เท่านั้น ประกอบด้วย ข้อมูลครึ่งบน 8 บิต แอดเดรสที่เพิ่มขึ้นมาอีก 4 บิต และ ขาสัญญาณควบคุมที่เพิ่มขึ้นจาก XT

ขนาดและรูปร่างของการ์ดที่เสียบลงบนสล็อตของ XT จะคล้ายกับของ AT และเนื่องจากสัญญาณบนสล็อตจะมีตำแหน่งตรงกันด้วย ดังนั้น การ์ดที่ใช้บน XT ทุกการ์ดสามารถนำมาใช้ได้บน AT โดยเสียบไว้บนสล็อตยาว อย่างไรก็ตามเราจะต้องคำนึงถึงอัตราการรับส่งข้อมูลของการ์ดนั้นด้วย เพราะความเร็วในการทำงานของ AT จะเร็วกว่า XT ดังนั้น เมื่อนำการ์ดของ XT มาใช้กับ AT การทำงานของ AT อาจจะช้าลงก็ได้ แต่ถ้าการทำงานของการ์ดนั้นไม่เกี่ยวข้องกับหน่วยความจำ หรือ การทำ DMA เราก็ไม่จำเป็นต้องสนใจกับอัตราการรับส่งข้อมูลของมัน

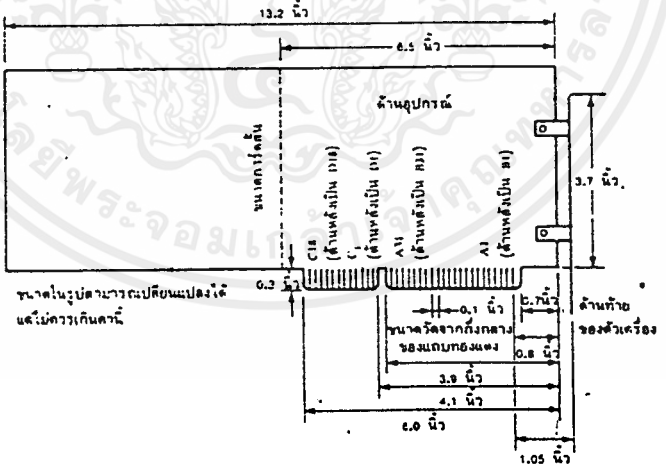
1.2 การ์ดขยาย (Expasion Cards)

รูปที่ 1 แสดงขนาดของการ์ดขยายแบบยาวสำหรับ XT และรูปที่ 2 แสดงขนาดของการ์ดขยายแบบยาวสำหรับ AT ส่วนขอบของการ์ดขยาย XT บริเวณที่มีสีเข้มในรูปที่ 1 เป็นพื้นที่ที่สามารถใช้งานได้ แต่ไม่นิยม ทั้งนี้เพราะเมื่อนำไปใช้กับรุ่น AT จะเสียบไม่ได้ (ติดสล็อตสั้นของ AT) เส้นประที่อยู่ในรูปแสดงขนาดของการ์ดขยายแบบสั้น ซึ่งการ์ดแบบนี้นิยมใช้กับวงจรอินเตอร์เฟสที่มีจำนวนอุปกรณ์น้อย ๆ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 1 ลักษณะของการ์ดขยายของรุ่น XT



รูปที่ 2 รูปร่างและขนาดของการ์ดขยายรุ่น AT

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

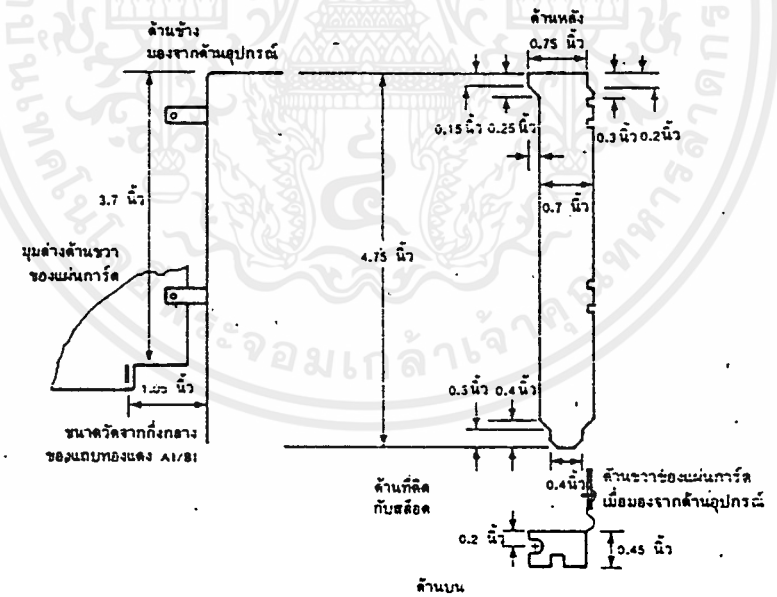
สล็อตแต่ละอันบนเมนบอร์ดมีระยะห่างกัน 0.8 นิ้ว ดังนั้นความหนาของแผ่นการ์ดรวมทั้งตัวอุปกรณ์จึงไม่ควรเกินค่านี้ ตามหนังสือ Technical Reference ของ IBM แนะนำว่าความหนาของแผ่นการ์ดรวมทั้งอุปกรณ์บนแผ่นการ์ดไม่ควรเกิน 12.7 มิลลิเมตร หรือ 0.5 นิ้ว

ด้านปลายสุดของการ์ดขยายจะต่อยู่กับแผ่นเหล็ก มีลักษณะดังรูปที่ 3 ถ้าการ์ดขยายมีคอนเน็กเตอร์ที่ใช้ต่อกับอุปกรณ์ภายนอก ก็จะติดตัวคอนเน็กเตอร์นั้นไว้บนแผ่นเหล็กนี้ เช่น พรินเตอร์การ์ด หรือ การ์ด RS-232 ก่อนเสียบการ์ดลงบนสล็อต เราควรถอดแผ่นเหล็กกันฝุ่นที่อยู่ด้านหลังของตัวเครื่อง ที่ตรงกับตำแหน่งของสล็อตออกเสียก่อน เมื่อเสียบการ์ดแล้ว แผ่นเหล็กนี้จะทำหน้าที่เป็นที่ยึดของตัวคอนเน็กเตอร์และกันฝุ่นด้วย แต่ถ้าแผ่นการ์ดไม่มีส่วนที่ต่อกับอุปกรณ์ภายนอก เช่น การ์ดขยายหน่วยความจำไม่จำเป็นต้องมีแผ่นเหล็กนี้ก็ได้ รูปที่ 3 แสดงขนาด และรูปร่างลักษณะของแผ่นเหล็กนี้

การ์ดขยายทำหน้าที่เป็นคอนเน็กเตอร์ตัวผู้ในตัว ขณะที่สล็อตเป็นคอนเน็กเตอร์ตัวเมีย เมื่อเสียบการ์ดขยายลงในสล็อต ตัวหนีบในสล็อตจะสัมผัสกับลายทองแดงบนแผ่นการ์ดทั้งสองด้าน ลายทองแดงที่สัมผัสกับตัวหนีบควรจะชุบทอง เพื่อให้นำไฟฟ้าได้ดีขึ้น และไม่สึกกร่อนง่าย แต่เพื่อความประหยัด ถ้าการ์ดที่ใช้ไม่จำเป็นต้องถอดเข้าถอดออกบ่อย ๆ ใช้ดีบุกชุบก็พอ ปัญหาอีกอย่างในการอินเตอร์เฟสผ่านสล็อตก็คือ การ์ดที่ใช้จะต้องเป็นแผ่น PCB แบบสองหน้าเสมอ ไม่ว่าวงจรจะมีขนาดเล็กหรือใหญ่เท่าใด แต่เราแก้ปัญหาได้โดยใช้แผ่น PCB สองหน้า ทำเป็นคอนเน็กเตอร์ตัวผู้ใช้เสียบในสล็อต และเดินลายทองแดง

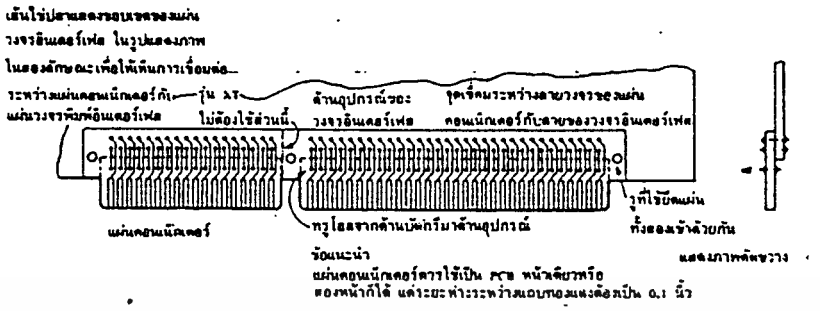
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เหมือนกับคอนเน็กเตอร์ของการ์ดด้วย ดังแสดงในรูปที่ 4 ลายทองแดงด้านอุปกรณ์ จำนวน 31 เส้น (A1-A31) ก็เดินออกมาที่ปลายด้านตรงข้ามกับด้านที่เป็นคอนเน็กเตอร์ ส่วนลายทองแดงด้านบัคกรี (B1-B31) ทำการทรูโอลผ่านมาอยู่ด้านอุปกรณ์ แล้วเดินลายไปในทางเดียวกับลายทางด้านอุปกรณ์ โดยให้แนวของลายด้านอุปกรณ์อยู่สูงกว่าแนวของลายด้านบัคกรี ระยะห่างระหว่างลายทองแดงบริเวณคอนเน็กเตอร์ ให้มีระยะห่างเท่ากับ0.1 นิ้ว ตรงปลายของลายทองแดงที่เดินออกมาจากบริเวณคอนเน็กเตอร์ทั้งหมดเจาะรูไว้เพื่อใช้เป็นตัวเชื่อมกับแผ่นวงจรที่ต้องการอินเตอร์เฟส การเดินลายทองแดงของแผ่นวงจรที่ต้องการอินเตอร์เฟส ก็ให้เดินในลักษณะเดียวกัน คือให้แนวของลายด้านอุปกรณ์อยู่สูงกว่า แนวลายด้านบัคกรี การต่อกันทำโดยนำแผ่นวงจรทั้งสองมาวางทาบกัน โดยรูของแนวแต่ละด้านตรงกัน แล้วใช้ลวดทองแดงหรือขาอุปกรณ์เสียบลอครู แล้วบัคกรีหัวท้ายให้เรียบร้อย วิธีนี้จะช่วยลดความยุ่งยากในการทำแผ่นวงจรพิมพ์ของวงจรอินเตอร์เฟสลงได้มาก



รูปที่ 3 ขนาดของแผ่นเหล็กด้านหลังของการ์ดขยาย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4 ลักษณะของแผ่น PCB ใช้แทนคอนเน็กเตอร์ของการ์ดขยายและการเดินลายวงจร

การควบคุมอุปกรณ์ I/O ที่ต่ออยู่กับ IBM PC จะกระทำผ่านพอร์ต โดยการอ้างถึงแอดเดรสของพอร์ตที่อุปกรณ์นั้นต่ออยู่โดยตรง ดังนั้น การที่จะใช้งานหรือควบคุมอุปกรณ์เหล่านี้ จึงจำเป็นต้องศึกษาถึงวิธีการควบคุมพอร์ต ใน IBM PC พอร์ตและหน่วยความจำจะแยกจากกันโดยเด็ดขาด ถึงแม้ว่าการอ้างถึงจะใช้สัญญาณจากแอดเดรสบัสเหมือนกันก็ตาม แต่สัญญาณที่ใช้ในการอีเนเบิ้ลในการอ่านและเขียนข้อมูลจะต่างกันก็จะต่างกัน ดังนั้นการติดต่อกับพอร์ตจึงมีคำสั่งแยกต่างหากออกจากคำสั่งที่ใช้ติดต่อกับหน่วยความจำคือ IN และ OUT ด้วยเหตุนี้การจัดแอดเดรสของหน่วยความจำ และแอดเดรสของพอร์ต I/O จึงแยกออกจากกัน ใน IBM PC การจัดแอดเดรสของหน่วยความจำแสดงได้ในตารางที่ 1 และตารางที่ 2 แสดงการจัดแอดเดรสของพอร์ต I/O

Block 0	00000-0FFFF	RAM to 64K
Block 1	10000-1FFFF	RAM to 128K
Block 2	20000-2FFFF	RAM to 192K
Block 3	30000-3FFFF	RAM to 256K
Block 4	40000-4FFFF	RAM to 320K
Block 5	50000-5FFFF	RAM to 384K
Block 6	60000-6FFFF	RAM to 448K
Block 7	70000-7FFFF	RAM to 512K
Block 8	80000-8FFFF	RAM to 576K
Block 9	90000-9FFFF	RAM to 640K
Block A	A0000-AFFFF	Extended video memory
Block B	B0000-BFFFF	Standard video memory
Block C	C0000-CFFFF	BIOS extension (eg EGA)
Block D	D0000-DFFFF	Other use
Block E	E0000-EFFFF	Other use
Block F	F0000-FFFFF	BIOS EPROM

ตารางที่ 1 แสดงการจัดแอดเดรสของหน่วยความจำบน IBM

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การอ้างแอดเดรสของหน่วยความจำจะใช้แอดเดรสทั้งหมด 20 เส้น คือ A0-A19 ในรุ่น XT (8088) แต่ในรุ่น AT (80286) ใช้แอดเดรส 24 เส้น คือ A0-A19 และ A20-A23 การอ้างแอดเดรสของพอร์ตสำหรับ CPU เบอร์ 8088 และ 80286 สามารถอ้างได้ถึง 64K พอร์ต แต่ใน IBM PC ทั้งในรุ่น AT และ XT ออกแบบให้ใช้แอดเดรสเพียง 10 เส้นเท่านั้น คือ A0-A9 ดังนั้นจำนวนพอร์ตและในจำนวนทั้งหมดนี้ยังแบ่งออกเป็น 2 กลุ่ม คือ กลุ่มพอร์ตที่มีแอดเดรสอยู่ในช่วง 000H-0FFH จะใช้งานบนเมนบอร์ดสำหรับชิพซัพพอร์ตเท่านั้น เช่น 8259 (Interrupt Controller), 8237 (DMA Controller), 8253 (Timer & Counter) และกลุ่มที่มีแอดเดรสอยู่ในช่วง 100H-3FFH จะใช้งานกับการ์ดขยายต่าง ๆ ที่เสียบในสล็อต

จากตารางที่ 2 จะเห็นได้ว่าแอดเดรสของพอร์ตถูกแบ่งออกเป็นช่วงย่อย ๆ ซึ่งจะกำหนดไว้ให้ใช้กับอุปกรณ์ I/O เฉพาะอย่าง ถ้าในระบบของเราไม่ได้ใช้งานอุปกรณ์นั้น เราสามารถนำแอดเดรสของพอร์ตในช่วงนั้นมาใช้งานได้ เช่น ถ้าระบบของเราไม่ได้ใช้จอยสติค (Joystick) เราสามารถใช้งานพอร์ตในช่วง 200H-20FH ได้ แต่อย่างไรก็ตามการเลือกใช้งานพอร์ตที่ไม่ได้ถูกกำหนดให้ใช้กับอุปกรณ์อื่นจะดีกว่า ทำให้อุปกรณ์ที่ใช้งานผ่านพอร์ตนี้สามารถใช้ได้กว้างขวางยิ่งขึ้น ถ้าจะให้ดีควรใช้ดิพสวิตช์ทำเป็นตัวเลือกการดีโค้ดแอดเดรสของอุปกรณ์ หรือ วงจรอินเตอร์เฟสที่เราสร้างขึ้น

1.3 อินเตอร์รัพต์ (Interrupts)

การอินเตอร์รัพต์ใน CPU เบอร์ 8088 และ 80286 แบ่งออกเป็น 2 ชนิด คือ NMI (Non-Maskable Interrupts) และ INT (Maskable Interrupt) แต่สำหรับ IBM PC NMI ถูกใช้ในการเช็กความผิดพลาดของการรับส่งข้อมูล โดยการเช็กที่พาริตี้บิต (พาริตี้บิต คือ ข้อมูลบิต 9 ใช้ในการตรวจสอบว่าข้อมูลที่อ่านออกจากหน่วยความจำนั้นผิดพลาดหรือไม่) ถ้าพบความผิดพลาด CPU จะถูกอินเตอร์รัพต์แบบ NMI มันจะแสดงข้อความว่า "Parity Check Error" แล้วจะหยุดการทำงานทันที (Halt) ในอีกกรณีหนึ่งที่ทำให้เกิด NMI ได้ก็คือ เมื่อ CPU ได้รับสัญญาณ I/O CHCK จากสล็อต

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การอินเตอร์รัพต์แบบ Maskable มีจำนวน 256 เวกเตอร์ (เวกเตอร์ในที่นี้คือแอดเดรสเริ่มต้นของโปรแกรมย่อย (Interrupt Service Routine) ที่ถูกกระทำเมื่อได้รับการอินเตอร์รัพต์) ในจำนวนทั้งหมด 256 เวกเตอร์นี้ จะรวมถึงซอฟต์แวร์อินเตอร์รัพต์ (BIOS Call), สัญญาณอินเตอร์รัพต์ที่เกิดจากตัว CPU เองด้วย เช่น การหารด้วยศูนย์ (Divide By Zero), การทำทีละคำสั่งที่ใช้ในโปรแกรมดีบัก (Single Step) และ ฮาร์ดแวร์อินเตอร์รัพต์ สำหรับฮาร์ดแวร์อินเตอร์รัพต์แบ่งออกได้ตามลำดับความสำคัญดังนี้ สำหรับรุ่น XT แบ่งได้ 8 ระดับ และ 15 ระดับในรุ่น AT ตารางที่ 4 แสดงฮาร์ดแวร์อินเตอร์รัพต์ใน IBM PC อินเตอร์รัพต์บางระดับจะถูกใช้บนเมนบอร์ด เช่น อินเตอร์รัพต์ระดับ 0 เป็นต้น ส่วนที่เหลือจะถูกใช้โดยการ์ดขยายต่าง ๆ เช่น ตัวควบคุมดิสก์ (Floppy & Hard Disk Controller)

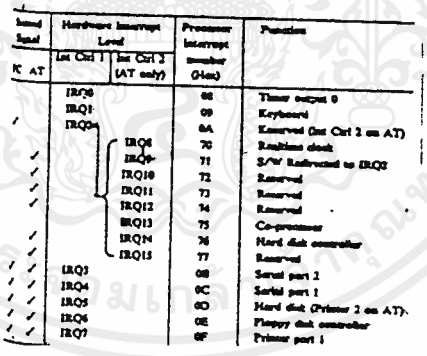
ใน IBM PC การขอทำฮาร์ดแวร์อินเตอร์รัพต์แบบ Maskable เราไม่จำเป็นต้องให้ค่าเวกเตอร์ เพราะว่า 8259 (Interrupt Controller) จะเป็นตัวจัดการเองหมด เราเพียงแค่ให้สัญญาณของการอินเตอร์รัพต์ผ่านทางสล็อตก็พอ (ซึ่งรายละเอียดของสัญญาณเหล่านี้จะกล่าวถึงในหัวข้อต่อไป)

สำหรับผู้ที่ต้องการออกแบบวงจรอินเตอร์เฟสกับ IBM PC จากตารางที่ 3 จะเห็นว่าอินเตอร์รัพต์ทุกระดับถูกกำหนดไว้สำหรับอุปกรณ์แต่ละอย่าง แต่ถ้าในระบบไม่มีการใช้อุปกรณ์ชิ้นใด เราสามารถนำเอาอินเตอร์รัพต์ระดับนั้นมาใช้ได้ เช่น ถ้าไม่มีการติดตั้งพอร์ตแบบขนานชุดที่สอง (Secondary Printer Port) อยู่ในเครื่องรุ่น AT เราสามารถใช้งานอินเตอร์รัพต์ระดับ 5 ได้ แต่อย่าลืมว่าโปรแกรมที่ถูกกระทำเมื่อได้รับการอินเตอร์รัพต์ (Interrupt Service Routine) จะต้องเปลี่ยนไปด้วย เมื่อเราเปลี่ยนเป็นจากอุปกรณ์เดิมเป็นวงจรอินเตอร์เฟสของเรา โดยการเปลี่ยนค่าแอดเดรสของโปรแกรมย่อยที่เก็บอยู่ในเวกเตอร์นั้น ให้ชี้ไปที่แอดเดรสเริ่มต้นของโปรแกรมย่อยที่เราเขียนขึ้นใหม่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Address	Description	Note
1F0-1F8	Fixed disk	1
200-20F	Games adapter	
210-217	Expansion unit	2
278-27F	2nd parallel printer port	1
2B0-2DF	Alternate EGA	
2F8-2FF	2nd serial port	
2E1	GPIB (0)	4
2E2-2E3	Data Acquisition (0)	4
300-31F	Prototype card	
320-32F	Fixed disk	2
360-36F	PC Network	
378-37F	1st parallel printer port	
380-38F	SDLC/2nd Bisynchronous	3
390-393	Cluster (0)	4
3A0-3AF	1st Bisynchronous	3
3B0-3BF	Monochrome display/printer	
3C0-3CF	EGA	
3D0-3DF	CGA	
3F0-3F7	Floppy disk	
3F8-3FF	1st serial port	

ตารางที่ 2 แสดงการใช้งานของพอร์ตบน IBM



Intel hex	Hardware Interrupt Level		Processor Interrupt number (Hex)	Function
PC AT	1st Ctrl 1	1st Ctrl 2 (AT only)		
	IRQ0		08	Timer output 0
	IRQ1		09	Keyboard
✓	IRQ2		0A	Reserved (1st Ctrl 2 on AT)
✓		IRQ8	70	Realtime clock
✓		IRQ9	71	S/W Redirected to IRQ2
✓		IRQ10	72	Reserved
✓		IRQ11	73	Reserved
✓		IRQ12	74	Reserved
		IRQ13	75	Co-processor
✓		IRQ14	76	Hard disk controller
✓		IRQ15	77	Reserved
✓ ✓	IRQ3		0B	Serial port 2
✓ ✓	IRQ4		0C	Serial port 1
✓ ✓	IRQ5		0D	Hard disk (Printer 2 on AT)
✓ ✓	IRQ6		0E	Floppy disk controller
✓ ✓	IRQ7		0F	Printer port 1

ตารางที่ 3 แสดงการจัดฮาร์แวร์อินเตอร์รัพต์บน IBM

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

032587

1.4 DMA (Direct Memory Access)

เป็นการรับส่งข้อมูลระหว่างหน่วยความจำกับอุปกรณ์อื่น ๆ โดยตรงไม่ผ่าน CPU เพื่อลดเวลาในการรับส่งข้อมูลที่มีจำนวนมาก ๆ เช่น การโหลดโปรแกรมจากแผ่นดิสก์ ถ้าเป็นการรับส่งข้อมูลกับหน่วยความจำ โดยปกติแล้ว CPU จะอ่านข้อมูลนั้นเข้ามาเก็บไว้ในรีจิสเตอร์ก่อน แล้วจึงทำการส่งข้อมูลในรีจิสเตอร์นั้นให้กับหน่วยความจำ ด้วยวิธีเดียวกันนี้ ถ้าเป็นการส่งข้อมูลจากหน่วยความจำออกไปยังอุปกรณ์ I/O CPU จะอ่านข้อมูลจากหน่วยความจำมาเก็บไว้ในรีจิสเตอร์ก่อน แล้วจึงส่งข้อมูลในรีจิสเตอร์ออกไปให้อุปกรณ์ I/O จะเห็นได้ว่าการรับส่งข้อมูลด้วยวิธีนี้จะต้องมีการรับส่งกันถึง 2 ครั้ง แต่ถ้าเป็นรับส่งด้วยวิธี DMA จะรับส่งข้อมูลจากอุปกรณ์ I/O ไปยังหน่วยความจำโดยตรง ดังนั้น เมื่อมีการรับส่งข้อมูลจำนวนมาก ๆ จะลดเวลาลงได้มาก.

อุปกรณ์ที่ใช้การรับส่งข้อมูลด้วยวิธี DMA ในระบบ IBM PC คือตัวควบคุมดิสก์ (Floppy & Hard Disk Controller) ส่วนอุปกรณ์ I/O อันอื่นก็รับส่งข้อมูลด้วยรูปแบบปกติ ดังที่ได้กล่าวมาแล้วข้างต้น

จากตารางที่ 4 แสดงการจัดลำดับความสำคัญของ DMA ในรุ่น XT มีอยู่ 4 ลำดับ คือ 0, 1, 2, 3 และ AT มีอยู่ 7 ลำดับ คือ 0, 1, 2, 3, 5, 6 และ 7 โดยที่ DMA ลำดับที่ 0 จะมีลำดับความสำคัญมากที่สุด ในรุ่น XT DMD ลำดับที่ 3 มีลำดับความสำคัญน้อยที่สุด และใน AT DMA ลำดับที่ 7 มีความสำคัญต่ำสุด และ DMA ลำดับที่ 5, 6 และ 7 สามารถทำการ DMA ได้ครั้งละ 15 บิต การจัดการ DMA นี้ ใช้ชิพชัพพอร์เบอร์ 8237 DMA Controller ในรุ่น XT ใช้ชิพนี้ 1 ตัว ซึ่งมีอยู่ 4 ลำดับ สำหรับ AT ใช้ชิพนี้ 2 ตัวต่อแบบลำดับกัน (Cascade) ผ่านทาง DMA ลำดับที่ 4 ของชิพตัวที่ 1 ดังนั้น ใน AT DMA Channel ที่ 4 จึงใช้ไม่ได้

สำหรับผู้ที่ต้องการออกแบบวงจรอินเตอร์เฟสกับ IBM PC โดยวิธี DMA จากตารางที่ 3 จะเห็นได้ว่า DMA ทุกระดับถูกกำหนดหน้าที่ไว้แล้ว แต่โดยปกติจะใช้ไม่ครบ ดังนั้นเราสามารถนำเอา DMA ช่องนั้นมาใช้งานได้ แต่ถ้าเราสามารถทำเป็นสวิตช์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในการเลือกใช้ลำดับของ DMA ก็จะทำให้วงจรที่ออกแบบสามารถใช้งานได้กว้างขวางยิ่งขึ้น

DMA Channel		Function
DMA Ctrl 1	DMA Ctrl 2 (AT only)	
0		Memory refresh (AT-spare)
1		SDLC
2		Floppy disk
3		Spare
	4	Cascade for Ctrl 1
	5	Spare
	6	Spare
	7	Spare

ตารางที่ 4 แสดงการจัดช่อง DMA บน IBM

* ——————————————————————— *

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2 รายละเอียดของสัญญาณต่าง ๆ บนสล็อต

(I), (O) และ (I/O) หมายถึง ทิศทางของขาสัญญาณเมื่อเทียบกับเมนบอร์ด

โดยที่ (I) หมายถึง ขาสัญญาณอินพุต

(O) หมายถึง ขาสัญญาณเอาต์พุต

(I/O) หมายถึง ขาสัญญาณที่เป็นได้ทั้งอินพุตและเอาต์พุต

(I/O*) หมายถึง ในช่วงการทำงานปกติจะเป็นขาสัญญาณเอาต์พุต แต่จะเป็นอินพุตในช่วงที่เกิดขบวนการ DMA

สำหรับขาสัญญาณที่มีเครื่องหมายลบนำหน้าจะหมายถึง ขาสัญญาณที่แอคตีฟที่ลอจิก "0" และขาสัญญาณที่ไม่มี หรือมีเครื่องหมายบวกนำอยู่หน้าจะหมายถึง ขาสัญญาณที่แอคตีฟที่ลอจิก "1" สัญญาณที่ต่ออยู่บนสล็อตนี้สามารถขับไอซีทีทีแอลชนิดโลว์เพาว์เวอร์ได้สองตัวโดยไม่ทำให้เกิดการโหลด หรือการเพิ่มของสัญญาณ ขาสัญญาณต่าง ๆ บนสล็อตของ XT และ AT สามารถแบ่งออกเป็นกลุ่ม ๆ ได้ดังนี้

2.1 เพาว์เวอร์ซัพพลาย

Ground ขาสัญญาณนี้ต่ออยู่กับกราวด์ของระบบเรกูเลเตอร์

+ 5 V ขาสัญญาณนี้ต่ออยู่กับไฟ DC เรกูเลเตอร์ + 5 โวลท์

- 5 V ขาสัญญาณนี้ต่ออยู่กับไฟ DC เรกูเลเตอร์ - 5 โวลท์

+ 12 V- ขาสัญญาณนี้ต่ออยู่กับไฟ DC เรกูเลเตอร์ + 12 โวลท์

-12 V- ขาสัญญาณนี้ต่ออยู่กับไฟ DC เรกูเลเตอร์ - 12 โวลท์

2.2 แอดเดรสบัส และ สัญญาณต่าง ๆ ที่เกี่ยวข้อง

SA0-SA19 (I) เป็นแอดเดรสบิตที่ 0 ถึง 19 โดยที่ SA0 มีนัยสำคัญต่ำที่สุด ขาสัญญาณนี้จะแอคตีฟ เมื่อขาสัญญาณ BALE มีสถานะเป็น "1" และจะถูกแลตช์ไว้ตอนขอบขาลงของขาสัญญาณ BALE แอดเดรสทั้ง 20 บิตนี้ สามารถอ้างหน่วยความจำได้ถึง 1 เมกกะไบต์

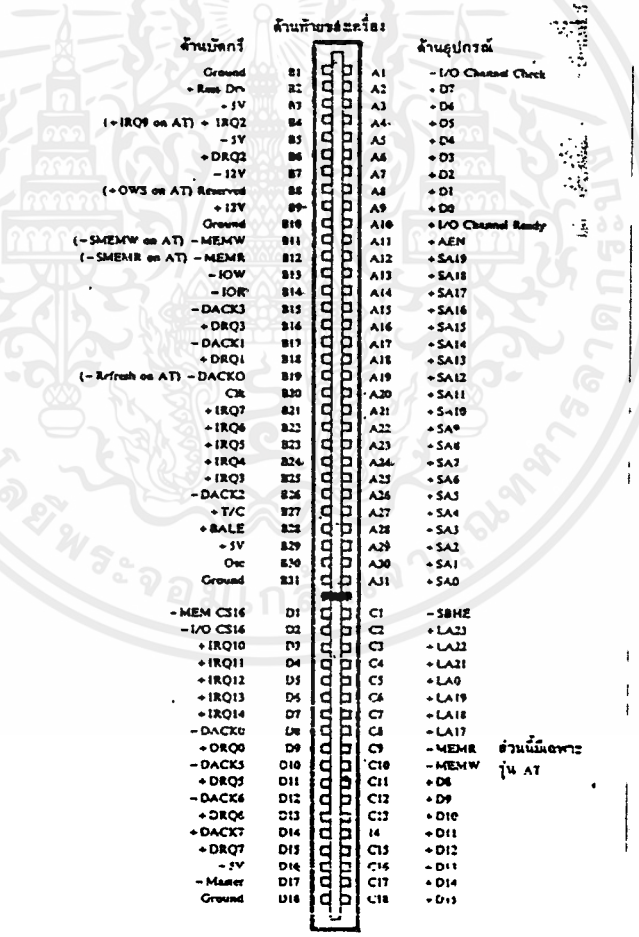
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

	XT และสำหรับ AT เมื่อใช้ร่วมกับ LA17-LA23 จะอ้างได้ถึง 16 เมกกะไบต์
LA17-LA23 (I/O*)	(เฉพาะรุ่น AT) ขาสัญญาณนี้จะแอคตีฟเมื่อขาสัญญาณ BALE มีสถานะเป็นลอจิก "1" แต่จะไม่มีการแลตช์ไว้ ตอนขอบขาลงของขาสัญญาณ BALE ดังนั้นถ้าอุปกรณ์ I/O ไม่มีการอ้างแอดเดรสเกิน 1 เมกกะไบต์ ขาสัญญาณนี้ก็ไม่จำเป็นต้องใช้ แต่ถ้ามีการอ้างแอดเดรสเกิน อุปกรณ์ I/O จะต้องทำการแลตช์สัญญาณนี้ โดยใช้ขอบขาลงของขาสัญญาณ BALE ร่วมกับขาสัญญาณ -MEMW และ -MEMR
AEN (O)	(Address Enable) ขาสัญญาณนี้จะแอคตีฟเมื่อตัวควบคุม DMA ได้ทำการควบคุมบัสต่าง ๆ ของระบบแล้ว ดังนั้นการอ้างพอร์ตของอุปกรณ์ I/O จะต้องใช้สัญญาณนี้ ในการถอดรหัสด้วย เพื่อที่จะไม่ทำให้เกิดการติดต่อระหว่างระบบกับอุปกรณ์ I/O ตัวอื่น ยกเว้นตัวที่กำลังทำขบวนการ DMA อยู่
BALE (O)	(Address Latch Enable) ขาสัญญาณนี้ใช้ในการแสดงการเริ่มต้นของขบวนการต่าง ๆ ที่มีการติดต่อกับหน่วยความจำโดยจะแอคตีฟเมื่อค่าแอดเดรสที่ CPU ต้องการติดต่อด้วยอยู่บนแอดเดรสบัสเรียบร้อยแล้ว ตามปกติขอบขาลงของสัญญาณนี้จะทำให้เกิดการแลตช์สัญญาณ SA0-SA19 และถ้ามีการอ้างแอดเดรสเกิน 1 เมกกะไบต์ใน AT จะใช้ขอบขาลงสัญญาณนี้ในการแลตช์สัญญาณ LA17-LA23 ด้วยเช่นกัน แต่สำหรับในขบวนการ DMA สัญญาณนี้จะมีสถานะเป็น "1" ตลอด
SBHE (I/O*)	(เฉพาะรุ่น AT) (Bus High Eneable) เป็นขาสัญญาณที่ใช้แสดงว่ามีการรับส่งข้อมูลในบิตที่ SD8-SD15

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.3 คาค้าบัส

SD0-SD7 (I/O) สาหรับรุ่น AT จะมี SD0-SD15 เพิ่มขึ้นมาด้วยคือ ค้าค้าบิต 0 ถึง 7 สาหรับรุ่น XT และสาหรับรุ่น AT คือ คาค้าบิต 0 ถึง 15 โดยที่ SD0 มีนัยสาคัญต่าสุด สาหรับ AT ถ้ามีการติดต่อกับบิตที่ SD8-SD15 สามารถตรวจสอบได้จากขาสัญญาณ SBHE



รูปที่ 5 แสดงตาแหน่งของสัญญาณต่าง ๆ บนสล็อตของ IBM

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.4 สัญญาณอินเตอร์รัพต์

IRQ2-IRQ7 (I) (Interrupt Request) (สำหรับรุ่น AT จะเป็น IRQ3-7, 9-12,14,15) เป็นขาสัญญาณอินเตอร์รัพต์ CPU สำหรับ AT ลำดับความสำคัญของสัญญาณ IRQ เป็นดังนี้ คือ 9, 10, 11, 12, 14, 15, 3, 4, 5, 5 และ 7 โดย IRQ9 มีลำดับความสำคัญมากที่สุดและ IRQ7 มีลำดับความสำคัญน้อยที่สุด สำหรับ XT IRQ2 จะมีลำดับความสำคัญมากที่สุด รอง ๆ ลงไป คือ IRQ3, 4, 5, 6, 7 สำหรับรายละเอียดในการใช้งานของแต่ละอินเตอร์รัพต์ ให้ดูจากตารางการจัดลำดับอินเตอร์รัพต์ในหัวข้อของการอินเตอร์รัพต์

โดยปกติสัญญาณนี้จะมีสถานะเป็น "0" เสมอ ถ้าต้องการอินเตอร์รัพต์ CPU ให้ส่งพัลส์ที่เป็นลอจิก "1" ให้กับมัน โดยไม่จำเป็นต้องคำนึงถึงคาบเวลาของพัลส์ ทั้งนี้เพราะระบบของ IBM ตัวอินเตอร์รัพต์คอนโทรเลอร์ (8259 Interrupt Controller) จะถูกโปรแกรมให้ทำการตรวจสอบสัญญาณอินเตอร์รัพต์โดยใช้ขอบขาลงของสัญญาณนี้

-I/O CH CK (I) (I/O Channel Check) เป็นขาสัญญาณที่บอกถึงความผิดพลาดในการรับส่งข้อมูลซึ่งตรวจสอบจากพาริตี้บิต ถ้าพาริตี้บิตที่อ่านจากหน่วยความจำกับพาริตี้บิตที่สร้างขึ้นจากขบวนการรับส่งข้อมูลมีค่าไม่เท่ากับ แสดงว่าเกิดความผิดพลาดในการรับส่งข้อมูล สัญญาณนี้จะทำให้เกิดการอินเตอร์รัพต์ CPU แบบ NMI เพื่อบอกให้ CPU ทราบว่าเกิด Parity Error ขึ้น CPU จะแสดงข้อความบอกความผิดพลาดขึ้นและจะหยุดการทำงาน (Halt) เพื่อให้ผู้ใช้ตรวจสอบหาสาเหตุของการผิดพลาด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.5 สัญญาณที่ใช้ในขบวนการ DMA

DRQ1-DRQ3 (I) (DMA Request)(สำหรับรุ่น AT จะเป็น DRQ0-3,5-7) เป็นขาสัญญาณใช้ในการขอทำขบวนการ DMA โดยที่ DRQ0 มีลำดับความสำคัญมากที่สุด และ DRQ3 มีลำดับความสำคัญน้อยที่สุดสำหรับรุ่น XT และสำหรับรุ่น AT ขา DRQ7 จะมีลำดับความสำคัญน้อยที่สุด

บน XT DRQ0 ใช้สำหรับการรีเฟรชหน่วยความจำแบบไดนามิคจึงไม่มีขาสัญญาณ DRQ0 ต่อออกมาที่สล็อต แต่สำหรับ AT แล้วจะมีวงจรโดยเฉพาะสำหรับใช้ในการรีเฟรชหน่วยความจำแบบไดนามิคอยู่แล้ว ดังนั้นขา DRQ0 จึงว่างลงและนำมาต่อที่สล็อตเพื่อให้อุปกรณ์ I/O ได้ใช้งานได้ บางครั้งจะเรียก DRQ0 เป็น DRQ4 ก็ได้ เพื่อป้องกันความสับสนกับส่วนที่ใช้รีเฟรชไดนามิคแรมบน XT (เช่นเดียวกัน ก็จะเรียก DACK0 เป็น DACK4)

การขอทำ DMA ทำได้โดยทำให้ขาสัญญาณนี้มีสถานะเป็น "1" แล้วรอจนกระทั่งได้รับตอบสนองการทำ DMA จาก CPU โดยการตรวจสอบสัญญาณ DACK ที่ส่งออกมา

-DACK0-3 (O) (DMA Acknowledge) (สำหรับรุ่น AT จะเป็น -DACK0-3, 5-7) เป็นสัญญาณตอบสนองการขอทำ DMA ของอุปกรณ์ I/O เพื่อให้อุปกรณ์ I/O ทราบว่าการขอทำขบวนการ DMA นั้นได้รับการตอบสนองแล้ว เช่น ถ้ามีการขอทำ DMA ผ่านทาง DRQ2 และเมื่อ CPU รับรู้แล้ว จะทำให้สัญญาณ DACK2 แอคทีฟ

ถึงแม้ว่าบน XT จะมีการนำเอา DRQ0 ไปใช้ในการรีเฟรชไดนามิคแรมก็ตาม แต่สัญญาณ -DACK0 ก็จะถูกต่อออกมาที่สล็อตด้วย เพื่อแสดงถึงขบวนการรีเฟรชไดนามิคแรมและอุปกรณ์ I/O สามารถนำสัญญาณนี้ไปใช้ในการรีเฟรชหน่วยความจำแบบไดนามิคที่อยู่ในตัวมันได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Refresh (O) (เฉพาะรุ่น AT) (Memory Refresh) มีหน้าที่เหมือนกับขาสัญญาณ DACKO ในรุ่น XT คือ ใช้แสดงขบวนการรีเฟรชหน่วยความจำ เพราะว่าในรุ่น AT จะมีวงจรที่ใช้ในการรีเฟรชหน่วยความจำโดยตรงอยู่แล้ว ดังนั้นจึงไม่จำเป็นต้องใช้ขาสัญญาณ DRQ0 และ DACK0

-Master (I) (เฉพาะรุ่น AT) (Master) ขาสัญญาณนี้จะใช้ร่วมกับ DMA Request ในการเข้าควบคุมระบบบัสในขบวนการ DMA โดยที่ตัว DMA คอนโทรเลอร์จะส่งสัญญาณ DMA Request แล้วรอจนกระทั่งได้รับการตอบสนองโดยสัญญาณ DACK เกิดการแอคตีฟขึ้นแล้วจึงจะส่งสัญญาณนี้ให้กับ CPU จะทำให้เอดเดรสบัส คาต้าบัส และคอนโทรลบัสเข้าสู่สถานะไตรสเตต หรือ ไฮอิมพีแดนซ์ หลังจากนั้นตัว DMA คอนโทรลเลอร์จะต้องรออีกหนึ่งคาบสัญญาณคล็อก ก่อนที่จะเข้าควบคุมบัสต่างๆ และจะต้องรออีก 2 ไซเคิล ก่อนที่จะทำการอ่านหรือเขียนข้อมูล ช่วงเวลาที่สัญญาณนี้แอคตีฟไม่ควรเกิน 15 ไมโครวินาที มิฉะนั้นข้อมูลภายในหน่วยความจำรีเฟรชหน่วยความจำ

T/C (O) (Terminal Count) เป็นขาสัญญาณที่บอกอุปกรณ์ I/O ที่ทำ DMA ให้ทราบว่าจำนวนข้อมูลที่รับส่งในขบวนการ DMA นี้ครบจำนวนแล้ว โดยจะส่งสัญญาณนี้เป็นพัลส์ให้กับอุปกรณ์ I/O

2.6 สัญญาณควบคุมต่าง ๆ

-MEMR (*I/O) (Memory Read) (สำหรับรุ่น AT คือ ขาสัญญาณ -SMEMR (System Memrory Read)) ขาสัญญาณนี้จะเป็นตัวบอกให้หน่วยความจำส่งข้อมูลออกมาที่คาต้าบัส แต่สำหรับ AT สัญญาณ -SMEMR จะแอคตีฟ เมื่อเกิดการอ่านข้อมูลจากหน่วยความจำที่อยู่ภายใน 1 เมกกะไบต์แรกเท่านั้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MEMER (O) (เฉพาะรุ่น AT) (Memory Read) ขาสัญญาณนี้ไม่ใช่สัญญาณเดียวกันกับสัญญาณ -MEMR ใน XT มันจะแอคตีฟทำในทุก ๆ ขบวนการอ่านข้อมูลที่เกิดขึ้น ไม่ว่าอยู่ในช่วงหน่วยความจำ 1 เมกกะไบต์แรกหรือไม่

MEMW (*I/O) (Memory Write) (สำหรับรุ่น AT คือ ขาสัญญาณ -SMEMW (System Memrory Write)) ขาสัญญาณนี้จะเป็นตัวบอกให้หน่วยความจำเก็บข้อมูลจากคาต้าบัส แต่สำหรับ AT สัญญาณ -SMEMW จะแอคตีฟ เมื่อเกิดการเก็บข้อมูลจากหน่วยความจำที่อยู่ภายใน 1 เมกกะไบต์แรกเท่านั้น

MEMW (O) (เฉพาะรุ่น AT) (Memory Write) ขาสัญญาณนี้ไม่ใช่สัญญาณเดียวกันกับสัญญาณ -MEMW ใน XT มันจะแอคตีฟทำในทุก ๆ ขบวนการเก็บข้อมูลที่เกิดขึ้น ไม่ว่าอยู่ในช่วงหน่วยความจำ 1 เมกกะไบต์แรกหรือไม่

-IOR (*I/O) (I/ORead) เป็นขาสัญญาณที่บอกให้อุปกรณ์ I/O ที่ต่ออยู่ ทำการส่งข้อมูลลงมาที่คาต้าบัส

-LOW (*I/O) (I/OWrite) เป็นขาสัญญาณที่บอกให้อุปกรณ์ I/O ที่ต่ออยู่ ทำการเก็บข้อมูลจากคาต้าบัส

RESET DRV (O) (Reset Driver) เป็นขาสัญญาณที่แอคตีฟตอนที่ช่วงที่เราเริ่มจ่ายไฟให้กับระบบเพื่อใช้ในการรีเซต CPU และอุปกรณ์ต่าง ๆ ในระบบคอมพิวเตอร์ รวมทั้งอุปกรณ์ I/O ที่ต่ออยู่ด้วย

-MEM CS16 (I) (เฉพาะรุ่น AT) (Memory 16 Chip Select) เป็นขาสัญญาณที่ใช้บอกระบบให้ทราบว่า ต้องการรับส่งข้อมูลกับหน่วยความจำทีละ 16 บิต ถ้าไม่ป้อนสัญญาณนี้ การรับส่งข้อมูลจะทำเหมือนกับ XT คือ ทำการรับส่งข้อมูลทีละ 8 บิต สองครั้งเพื่อให้ได้ข้อมูลขนาด 16 บิต

-I/O CS16 (เฉพาะรุ่น AT) (Memory 16 Chip Select) เป็นขาสัญ-

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

(I) สัญญาณที่ทำให้บอกระบบให้ทราบว่าต้องการรับส่งข้อมูลกับอุปกรณ์ I/O ทีละ 16 บิต ถ้าไม่ป้อนสัญญาณนี้ การรับส่งข้อมูลจะทำเหมือนกับ XT คือ ทำการรับส่งข้อมูลทีละ 8 บิต สองครั้ง เพื่อให้ได้ข้อมูลขนาด 16 บิต

2.7 สัญญาณที่ใช้สร้าง Wait States

I/O CH RDY (I/O Channel Ready) ขาสัญญาณนี้จะถูกทำให้แอคตีฟโดยอุปกรณ์ I/O หรือหน่วยความจำที่ไม่สามารถทำงานได้ทันกับระบบ ดังนั้น จะต้องทำการหน่วงระบบให้ทำงานช้าลง ด้วยการเพิ่ม Wait States โดยการทำให้สัญญาณนี้แอคตีฟในช่วงเวลาที่ I/O ได้รับสัญญาณจากการดีโค้ดแอดเดรส, สัญญาณ -MEMR, สัญญาณ -MRMW, สัญญาณ -IOR, สัญญาณ -IOW

OWS (I) (เฉพาะรุ่น AT) (Zero Wait State) การแอคตีฟของสัญญาณนี้จะบังคับไม่ให้เกิดการสร้าง Wait States โดยอัตโนมัติ นั่นคือการที่จะเกิด Wait State ขึ้นได้จะต้องขึ้นอยู่กับสัญญาณนี้ เช่น การทำงานในขบวนการอ่านเขียนข้อมูลขนาด 16 บิต โดยไม่ใช้ Wait State ทำได้โดยการสร้างสัญญาณ OWS จากสัญญาณการดีโค้ดแอดเดรส และสัญญาณที่ใช้ในการอ่าน หรือเขียน หรือการลด Wait States ในขบวนการอ่านเขียนข้อมูลขนาด 8 บิต ให้เหลือเพียง 2 Wait States ทำได้โดยให้สัญญาณ OWS แอคตีฟหลังจากสัญญาณอ่าน หรือเขียนไปแล้ว 1 คล็อก โดยปกติ การขับสัญญาณนี้ควรใช้เกตที่มีเอ้าท์พุตเป็นแบบ Open Collector ที่ทนกระแสได้ 20 mA (Sinking Current)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.8 สัญญาณนาฬิกา

CLK (O) (System Clock) สำหรับ XT ขาสัญญาณนี้จะมีความถี่ประมาณ 4.77 MHz หรืออาจจะสูงกว่านี้ก็ได้สำหรับรุ่นใหม่ๆ และสำหรับ AT จะมีความถี่ประมาณ 6 MHz หรือในรุ่นใหม่ ๆ อาจจะมีความถี่สูงถึง 15 MHz

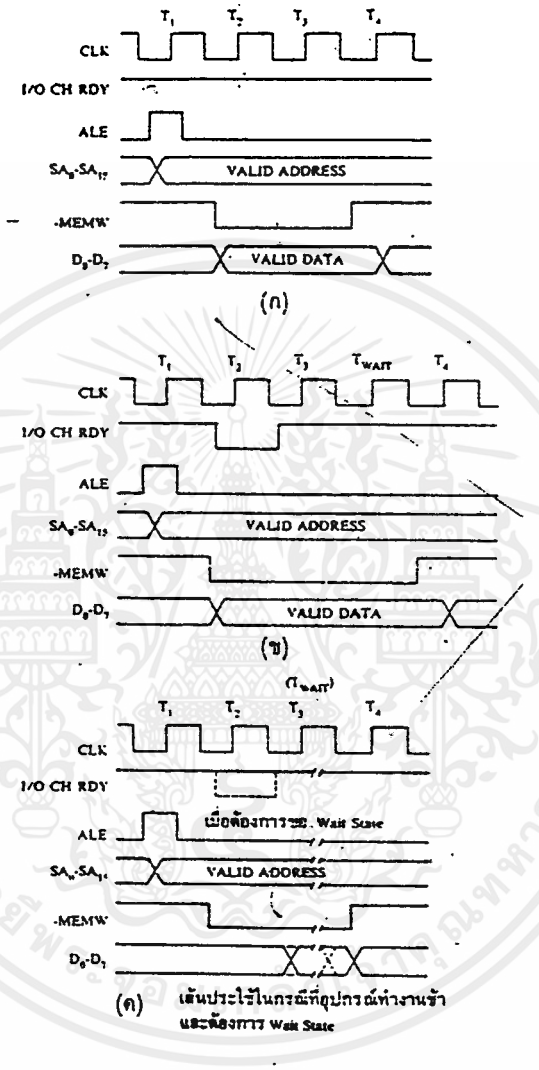
โดยปกติ ขาสัญญาณนี้มีดิวตี้ไซเคิล 50% สำหรับ CPU เบอร์ 80286 ตัวกำเนิดสัญญาณนาฬิกาที่ป้อนให้จะมีความถี่เป็น 2 เท่าของความถี่ที่ CPU ทำงาน แต่ขาสัญญาณนี้ก็จะยังคงมีความถี่เป็น 2 เท่าของความถี่ที่ CPU ทำงานอยู่เสมอ

OSC (O) (Oscillato) เป็นขาสัญญาณที่มีความถี่สูงคือ 14.3181 MHz ความถี่ของสัญญาณนี้จะคงที่เสมอ และจะไม่ซิงโครนัสกับสัญญาณอื่น ๆ ในระบบ ดังนั้นจึงไม่ควรนำสัญญาณนี้ไปใช้เป็นสัญญาณคล็อกของอุปกรณ์ I/O ที่ต่ออยู่กับระบบ

2.9 แผนผังเวลา (Timing Diagrams)

เป็นการแสดงลักษณะรูปร่างของสัญญาณในขบวนการต่าง ๆ รูปที่ 5 เป็นแผนผังเวลาของ XT รูปที่ 6 เป็นแผนผังเวลาของ AT ในการขอ Wait States เราจะต้องเข้าใจในแผนผังเวลาเหล่านี้ เพื่อนำไปประกอบการสร้างสัญญาณที่ใช้ขอ Wait States รูปร่างลักษณะของสัญญาณในรูปทั้งสองเป็นเพียงคร่าว ๆ เท่านั้น สำหรับท่านที่ต้องการรายละเอียดเพิ่มเติม สามารถที่จะหาได้จาก คาต้าบุคของอินเทล รูปร่างลักษณะของสัญญาณจริง ในดาต้าบุคจะแตกต่างจากรูปที่ 5 และ 6 บ้างเล็กน้อย ทั้งนี้ขึ้นกับเบอร์ของ CPU และระบบที่นำ CPU ไปใช้ด้วย สำหรับ IBM PC ส่วนขับสัญญาณ (Buffered Circuit) จะทำให้เกิดการหน่วงของสัญญาณขึ้นอีกหลายนาโนวินาที และส่วนสัญญาณที่จะมีความแตกต่างกันมากที่สุดคือ แอดเดรสบัส เพราะใน IBM CP ข้อมูลในแอดเดรสบัส จะได้จากการแลตช์ข้อมูลในดาต้าบัส แล้วนำมาใช้เป็นค่าแอดเดรสที่ต้องการ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



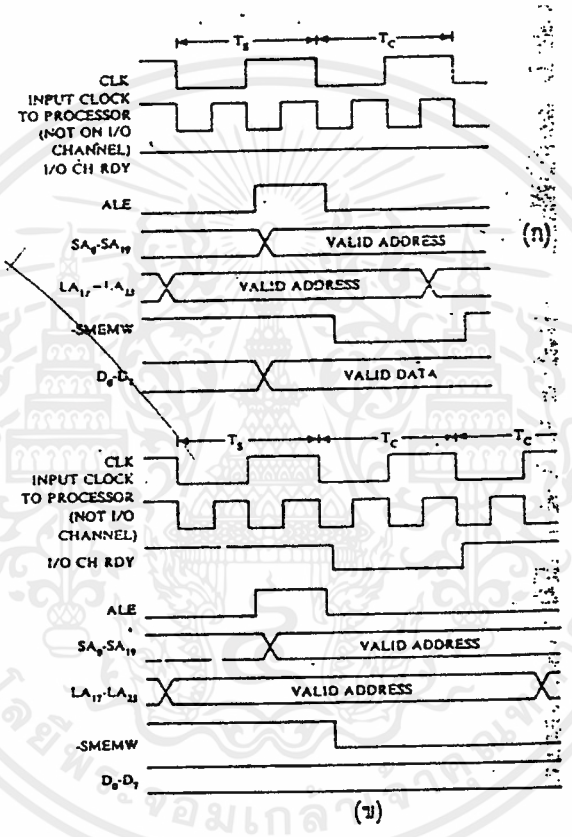
รูปที่ 6 แสดงแผนผังเวลาของ IBM XT รุ่นที่

(ก) ขบวนการเขียนข้อมูลรุ่นไม่มี Wait State

(ข) ขบวนการเขียนข้อมูลรุ่นมี Wait State 1 ลูก

(ค) ขบวนการอ่านรุ่นไม่มี Wait State และมี Wait State รวมกัน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 7 แสดงแผนผังเวลาของ IBM AT รุ่นที่

(ก) ขบวนการเขียนข้อมูลรุ่นไม่มี Wait State

(ข) ขบวนการอ่านข้อมูลรุ่นเพิ่ม Wait State 1 ลูก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

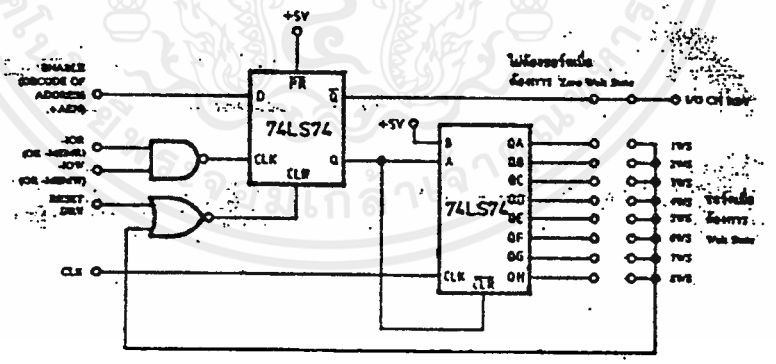
2.10 การสร้างสถานะรอ (Wait States)

ในการออกแบบวงจรอินเตอร์เฟสมักจะมีปัญหาเกี่ยวกับการทำงานของวงจรไม่ทันกับการทำงานของคอมพิวเตอร์ตามปกติแล้ว ตัวอุปกรณ์ที่ใช้งานร่วมกับตัว CPU เช่น หน่วยความจำ อุปกรณ์ I/O ต่าง ๆ จะทำงานได้ช้ากว่าตัด CPU ดังนั้น ตัว CPU เองจะต้องมีวิธีการบางอย่างที่ช่วยให้อุปกรณ์อื่นที่ใช้งานร่วมกัน สามารถทำงานไปพร้อมกับตัว CPU ได้ สำหรับ CPU ของบริษัทอินเทลใช้วิธีการเพิ่มเวลาที่ใช้ในการทำขบวนการต่าง ๆ เช่น ตามธรรมดาในแต่ละขบวนการของ CPU เบอร์ 8088 จะใช้ช่วงเวลานานเท่ากับคล็อก 4 ลูก แต่เมื่อ CPU ต้องติดต่อกับอุปกรณ์ที่ทำงานได้ช้ากว่าจะมีการเพิ่มจำนวนคล็อกเข้าไปอีก หลังจากที่ค่าแอดเดรสที่ต้องการได้อยู่บนแอดเดรสบัสแล้ว ซึ่งคล็อกที่เพิ่มเข้าไปนี้เรียกว่า Tw ทำให้ช่วงเวลาของขบวนการทำงานเพิ่มขึ้น อุปกรณ์ที่ทำงานช้าจะใช้เวลาส่วนนี้ในการงานให้ทันกับ CPU ใน IBM PC จะมีขาสัญญาณอินพุตขาหนึ่ง เพื่อให้อุปกรณ์ I/O ที่ทำงานช้าทำงานหน่วงเวลาการทำงานของ CPU โดยการเพิ่ม Tw เข้าไป สัญญาณอินพุตขานี้ คือ O/I CH RDY ซึ่งต่ออยู่กับสล็อต (รายละเอียดของสัญญาณจะกล่าวถึงในหัวข้อต่อไป)

จำนวนของคล็อกพิเศษที่เพิ่มขึ้นจะขึ้นอยู่กับชนิดของขบวนการที่เกิดขึ้นความเร็วที่อุปกรณ์สามารถมารับงานได้ทัน (และยังขึ้นอยู่กับตัวตระกูล CPU เองด้วย) เช่น ใน AT เมื่อมีการติดต่อกับหน่วยความจำ จะมีการเพิ่ม Tw เข้าไป 2 ลูกในแต่ละขบวนการโดยอัตโนมัติในขณะที่ XT ไม่มีการเพิ่ม Tw เลย และในกรณีที่มีการติดต่อกับอุปกรณ์ต่าง ๆ ผ่านทางพอร์ต I/O ซึ่งอุปกรณ์เหล่านี้จะทำงานช้ากว่าหน่วยความจำ ใน XT จึงมีการเพิ่ม TW ขึ้น 1 ลูก (เนื่องจากการทำงานของหน่วยความจำจะทำงานได้เร็วกว่าอุปกรณ์ I/O ดังนั้น คำสั่งที่ใช้ติดต่อหน่วยความจำ จึงมีการเพิ่ม Tw น้อยกว่าคำสั่งที่ใช้ติดต่อกับอุปกรณ์ I/O จึงเป็นผลให้อุปกรณ์ I/O ที่ติดต่อกับคอมพิวเตอร์ผ่านทาง Memory Mapped จะมีปัญหาเกี่ยวกับความเร็วในการทำงานมากกว่าอุปกรณ์ I/O ที่ติดต่อกับคอมพิวเตอร์ผ่านทาง I/O Mapped) แต่ในปัจจุบัน เมนบอร์ดจะมีวงจรที่เลือกค่าของ Tw นี้โดยอัตโนมัติ เมื่อใช้กับหน่วยความจำแบบความเร็วสูงมันจะไม่มีการเพิ่ม Tw (เรียกว่า Zero Wait State) และเมื่อใช้กับหน่วยความจำที่ความเร็วช้ามันจะเพิ่ม Tw ขึ้นโดยอัตโนมัติ (ตามปกติเพิ่ม Tw 1 ลูก เรียกว่า 1 Wait States)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การออกแบบวงจรอินเตอร์เฟสให้ใช้งานได้กว้างขวาง จะต้องคำนึงถึงปัญหาในจุดนี้ด้วย ดังนั้นผู้ออกแบบควรออกแบบให้วงจรที่สร้าง Tw นี้ให้มีความยืดหยุ่นในการทำงาน กล่าวคือให้วงจรสามารถกำหนดจำนวน Tw ที่ต้องการเพิ่มได้ ในหนังสือ IBM Technical Reference หัวข้อการสร้าง Prototype Adapter ได้แนะนำวงจรกำเนิดสัญญาณ Tw โดยการใช้วิธีหน่วงสัญญาณแต่การใช้วิธีนี้วงจรอินเตอร์เฟสที่สร้างขึ้น จะนำไปใช้กับคอมพิวเตอร์ที่ทำงานที่สัญญาณนาฬิกาต่างกันไม่ได้วงจรที่ควรใช้จึงเป็นวงจรในรูปที่ 7 เราสามารถเลือกจำนวนของ Tw ที่ต้องการสร้างได้ ตั้งแต่ 0-8 ลูก ถ้าเราต้องการให้วงจรกำเนิดสัญญาณทำงานใน 2 กรณี คือ กรณีที่ไม่มีการสร้าง Tw (Zero wait state) และกรณีที่มีการสร้าง Tw 1 ลูก (1 Wait state) โดยทำการเปลี่ยนไอซีเบอร์ 74164 (ซึ่งเป็นตัวนับขนาด 8 บิต) เป็นดีฟลิปฟลอปด้วยการใช้ดีฟลิปฟลอปอีกตัวหนึ่งที่อยู่ในเบอร์ 74LS74 แทน



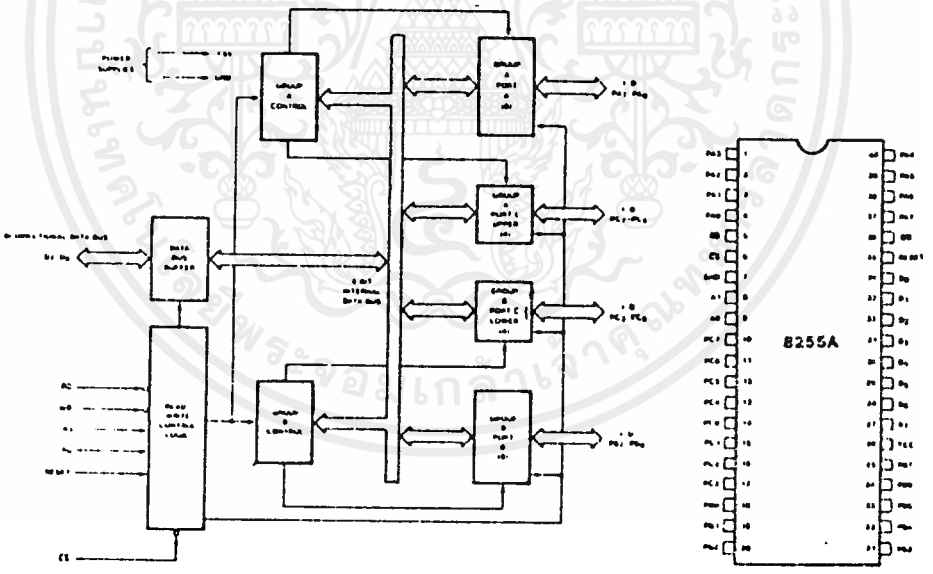
รูปที่ 8 วงจรสร้าง Wait State ได้ตั้งแต่ 0-8 ลูก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3. การใช้งาน IC 8255A

3.1 หลักการโดยทั่วไปของ IC 8255A

IC 8255A นี้จะเป็น IC ซึ่งประกอบด้วย PORT ใช้งาน 3 PORT และอีก 1 PORT จะเป็น PORT CONTROL ก่อนที่เราจะใช้งาน 8255A เราจะต้องส่งข้อมูลไปให้ยัง PORT CONTROL ก่อนว่าจะให้ PORT ทั้ง 3 PORT ของ 8255A ที่เหลือนั้นทำหน้าที่อะไร เป็น INPUT หรือ OUTPUT PORT เราจะต้องเป็นผู้กำหนด CONTROL CODE PORT ดังรูป



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.2 สัญญาณที่ใช้ควบคุม 8255A

- CS Active " Low " จะทำให้ 8255A ติดต่อกับ CPU ได้
- RD Active " Low " จะส่งข้อมูลผ่านตัวมันเองไปที่ CPU
- WR Active " Low " ทำให้ CPU สามารถส่งข้อมูลผ่าน 8255A ไปยังอุปกรณ์ภายนอกอื่น ๆ เพื่อการเขียนข้อมูล
- A_0 , A_1 ใช้ในการเลือกตำแหน่งของ INPUT PORT และ OUTPUT PORT ซึ่งมี 3 PORT คือ PORT A , PORT B , PORT C
- RESET Active " High " จะทำการ CLEAR REGISTER , PORT และ SET INPUT MODE
- Vcc แรงดันไฟ 5 V
- GND Ground

3.3 กลุ่มของ PORT และลักษณะงานของ PORT ต่าง ๆ

3.3.1 กลุ่มของ PORT มี 2 กลุ่มคือ GROUP A , GROUP B

- GROUP A จะประกอบด้วย PORT A , PORT C upper(P_{C4}-P_{C7})
- GROUP B จะประกอบด้วย PORT B , PORT C lower(P_{C0}-P_{C3})

3.3.2 ลักษณะงานของ PORT ต่าง ๆ

- PORT A 8 Bit data output latch/8 Bit data input latch and buffer
- PORT B 8 Bit data I/O latch / buffer and 8 bit data input buffer
- PORT C 8 Bit data output latch / buffer and 8 bit data input buffer (ไม่มี latch input) ที่ PORT นี้สามารถแยกออกเป็น 4 bit 2 PORT

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.4 8255A กับ EPORM

การนำ 8255A มาใช้ในการ PROGRAM EPROM ไม่ใช่เป็นเรื่องใหม่สำหรับปัจจุบัน แต่เทคนิคในการใช้งานต่าง ๆ จะขึ้นอยู่กับการพัฒนา PROGRAM ที่จะนำมาควบคุมการทำงาน 8255A ซึ่งหลักการก็เพียงแต่จ่ายไฟสูง 12.5 , 21 , 25 V ให้แก่ขา Vpp ตามความต้องการของ EPROM แต่ละเบอร์ แล้วให้แอดเดรสและข้อมูลที่ต้องการจะโปรแกรม แล้วทำให้ขา CE/PGM เป็นลอจิก 1 อยู่นานประมาณ 50-55 มิลลิวินาที (50-55 ms) จะเป็นการโปรแกรม EPROM ได้ 1 ไบท์

การโปรแกรม EPROM หมายถึงว่าเราทำให้บิทใดบิทหนึ่งในตัวมันตามแอดเดรสที่กำหนด เปลี่ยนสถานะจาก "1" ไปเป็น "0" ดังนั้นเราจึงสามารถโปรแกรมมันได้ครั้งละ 1 ไบท์และครั้งละบิท สำหรับ EPROM ที่ซื้อมาใหม่หรือที่ล้างเรียบร้อยแล้ว หน่วยความจำทุกไบท์จะมีค่าเป็น 1111 1111B (B หมายความว่าเป็นเลขไบนารี่) คือ FFH ซึ่งสามารถโปรแกรมให้เป็น 1111 1110B ได้คือ FEH และสามารถโปรแกรมซ้ำในไบท์เดียวกันให้เป็น 1111 1100B คือ FCH ได้ แต่จะโปรแกรมใหม่ให้เป็น 1111 0001B คือ F1H ไม่ได้เนื่องจากบิทที่ 0 ได้ถูกโปรแกรมให้เป็น 0 แล้ว ถ้าเราโปรแกรมให้เป็น F1H ในเมื่อโปรแกรมเป็น FEH แล้ว ค่าที่ได้คือ F0H วิธีเดียวที่ทำได้คือทำให้ทุกบิทในทุกไบท์เป็น 1 ใหม่ก็คือ ล้างด้วยแสงอุลตร้าไวโอเลทนานประมาณ 15-20 นาที

สำหรับคำว่าแอดเดรสในตัว EPROM อาจจะใช้คำว่าโลเคชั่น (Location) เผื่อไม่ให้สับสนและน่าจะถูกกว่า เพราะโลเคชั่นหมายถึง ตำบลที่ในหน่วยความจำหน่วยหนึ่ง และในกรณีนี้ก็จะต่อ EPROM กับแอดเดรสบัส

3.5 การใช้ PORT ของ 8255A

สำหรับในวงจรที่ได้ออกแบบไว้ เราได้นำ PORT ต่าง ๆ ของ 8255A ออกมาใช้งานตามหน้าที่ดังนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- PORT A ใช้สำหรับการส่งผ่านข้อมูล (DATA) ครั้งละ 8 บิท โดยมีรายละเอียดดังนี้

กำหนดให้ P_{A0} - P_{A7} เป็น D_0 - D_7

- PORT B ใช้สำหรับการส่งผ่านตำแหน่ง (ADDRESS) ทางด้านสูง โดยมีรายละเอียดดังนี้

P_{B0} - P_{B5} กำหนดให้เป็น A8 - A13

สำหรับ P_{B6} และ P_{B7} ไม่นำมาใช้งาน

- PORT C ใช้สำหรับการส่งผ่านตำแหน่ง (ADDRESS) ด้านต่ำ โดยมีรายละเอียดดังนี้

P_{C0} - P_{C7} กำหนดให้เป็น A0 - A7

สำหรับวงจรที่ออกแบบได้นำ PORT มาใช้ทั้งหมด 5 PORT โดยมีรายละเอียดดังนี้

PORT 300 ใช้สำหรับส่งข้อมูล (DATA) ให้กับ EPROM

PORT 301 ใช้สำหรับส่งตำแหน่ง (ADDRESS) ด้านสูงให้กับ EPROM

PORT 302 ใช้สำหรับส่งตำแหน่ง (ADDRESS) ด้านต่ำให้กับ EPROM

POER 303 ใช้สำหรับส่ง CONTROL WORD ให้กับ 8255A

PORT 304 ใช้สำหรับส่งรายละเอียดการ SET ขาของ EPROM

3.6 ลำดับขั้นในการโปรแกรม EPROM

- เริ่มต้นโดยการ SET แรงดันและสัญญาณที่ขาต่าง ๆ ของ EPROM ตามรายละเอียดว่าจะทำการเขียนหรืออ่านข้อมูล โดยส่งข้อมูลผ่าน PORT 304

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- ทำการ SET 8255A โดยการป้อน CONTROL WORD ให้แก่ 8255A โดยส่งผ่านทาง PORT 303

- ทำการจัดแอดเดรสให้แก่ EPROM โดยการป้อน ADDRESS ทางด้านต่ำผ่าน PORT 302 และทางด้านสูงผ่าน PORT 301

- ทำการอ่านหรือเขียนข้อมูลจาก EPROM โดยผ่านทาง PORT 300

ซึ่งการทำงานทั้งหมดนี้อยู่ภายใต้การทำงานของตัวโปรแกรม ซึ่งได้จัดเขียนขึ้นเก็บเป็นโปรแกรมสำหรับใช้งานโดยเฉพาะ เพื่อความสดวกในการใช้งานซึ่งจะกล่าวถึงการใช้งานโปรแกรมในตอนต่อไป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 2

หลักการทำงานของวงจรในภาคต่าง ๆ

2.1 ภาคจ่ายไฟและภาคจ่ายแรงดันไฟสูง

ภาคจ่ายไฟ + 5V และภาคกำเนิด Vpp ในส่วนภาคจ่ายไฟ + 5 V ใช้วงจรง่าย ๆ ด้วย IC_1 เพียงตัวเดียว ส่วนภาคกำเนิด Vpp ใช้ IC_2 เบอร์ TL497 ซึ่งเป็น Switching Voltage Regulators ทำหน้าที่พิเศษ คือ สามารถแปลงไฟจาก +9V ให้เป็น +25V หรือ +21V และ 12.5 V ด้วยการเปลี่ยนค่าตัวต้านทานเท่านั้น จึงไม่จำเป็นต้องใช้แหล่งจ่ายไฟขนาดแรงดันสูง ๆ ใช้เพียงขนาด +9V เท่านั้น การเลือกขนาด Vpp นั้นถูกควบคุมด้วย P_1 และ P_2 โดยอาศัยหลักการที่ว่าถ้าเอ้าท์พุทของ INVERTOR ทั้ง 2 ตัวเป็น "0" เป็นการเสมือนต่อ R_6 , R_7 และ R_8 ลงกราวนด์เป็นผลให้ได้Vppเพิ่มขึ้นถ้า P_1 และ P_2 เป็น "1" ทั้งคู่ จะได้ Vpp ขนาด 25 V แต่ถ้าขาใดขาหนึ่งเป็น "0" จะได้ 21.5 V และถ้าเป็น "0" ทั้งคู่จะได้เพียง 12.5 V

2.2 ภาควงจรโปรแกรม

เริ่มจาก Ic_1 เป็นตัวถอดรหัสของ A_0 และ A_1 เพื่อเลือกการทำงานของ Ic_2 และ Ic_3 ความสำคัญส่วนใหญ่ที่ใช้ในการติดต่อกับ EPROM ที่จะทำการโปรแกรม คือ Ic_2 เบอร์ 8255A ภายในตัวพอร์ทให้ใช้งานถึง 3 พอร์ท แต่ละพอร์ทสามารถโปรแกรมให้เป็นพอร์ทอินพุทหรือเอาท์พุทก็ได้ ในวงจรนี้ใช้พอร์ท A เป็นบัสข้อมูล จึงต้องเป็นทั้งพอร์ทอินพุทและเอาท์พุท เมื่ออยู่ในหน้าที่อ่านข้อมูลจาก EPROM พอร์ท A จะเป็นพอร์ทอินพุท แต่ถ้าอยู่ในหน้าที่อัดโปรแกรม EPROM พอร์ท A จะเป็นพอร์ทเอาท์พุท สำหรับพอร์ท C และพอร์ท B เป็นพอร์ทเอาท์พุทเพื่อให้เป็นบัสแอดเดรส

เนื่องจากการจัดขาของ EPROM แต่ละเบอร์แต่ละบริษัท มีความแตกต่างกันบ้าง ดังนั้นจึงให้ตัว EPROM ต้องเสียบลงบน SK_1 หรือซ็อคเก็ทขนาด 28 ขา จะต้องมีการจัดสัญญาณให้ถูกต้องตรงตามตำแหน่งขาของแต่ละเบอร์ โดยที่ขาที่แตกต่างกัน (นับตามขนาด 28 ขา) ได้แก่ขา 1, 22, 23, 26, 27, 20 ขาต่าง ๆ เหล่านี้จะถูกป้อนสัญญาณควบคุมด้วย Ic_3 ซึ่งเป็นพอร์ทเอาท์พุทอีกพอร์ท (P_0-P_7) ทำหน้าที่จัดสัญญาณให้ถูก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งไม่อนุญาตให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รายละเอียดต่าง ๆ ของ SK_1 และการทำงานของวงจรในส่วนจัดสัญญาณให้ถูกต้องมีดังนี้

ขา 1 เป็นขา Vpp สำหรับ 2764/64A/128/128A ขานี้จะถูกควบคุมด้วย P o ถ้า P_0 เป็นลอจิก "0" (กรณีอยู่ในโหมดโปรแกรม) เอาท์พุทหลังผ่าน INVERTOR จะเป็น "1" ทำให้ Q_1 นำกระแสเป็นผลให้ Vpp ป้อนเข้าขา 1 โดยผ่าน D_2 นอกจากนี้ Vpp จะส่งผ่านไปรอที่ Q_2 และ Q_3 ด้วย แต่ถ้า P_0 เป็นลอจิก "1" (กรณีอยู่ในโหมดอ่าน) เอาท์พุทหลังผ่าน INVERTOR จะเป็น "0" Q_1 จึงหยุดนำกระแสเป็นการตัด Vpp ไม่ให้ป้อนเข้าขาใด ๆ

ขา 22 เป็นขา OE และ Vpp สำหรับ 2732/32A และขา OE อย่างเดียวสำหรับเบอร์อื่น ๆ เมื่อขา P_3 เป็น "1" Q_2 จะไม่มีผลต่อขานี้ แต่จะขึ้นอยู่กับ P_0 แทน ถ้า P_0 เป็น "1" ขา 22 จะเป็น "0" โดย INVERTOR ตัวที่ 4 คือ อีนาเบิ้ล EPROM ตลอดเวลา แต่ P_0 จะเป็น "0" เมื่อ P_0 เป็น "0" ด้วย (กรณีโปรแกรม 2732/32A) จึงทำให้ Vpp ป้อนเข้าขานี้โดยผ่าน Q_1 และ Q_2

ขา 23 เป็นขา Vpp สำหรับ 2716 และเป็นขา A_{11} สำหรับเบอร์อื่น ๆ ขา P_4 จะเป็น "0" เมื่อ P_0 เป็น "0" ด้วยเท่านั้น (กรณีโปรแกรม 2716) จึงได้ Vpp ป้อนเข้าขานี้โดยผ่าน Q_1 และ Q_3 แต่ถ้า P_4 เป็น "1" Q_3 จะไม่มีผลต่อขานี้ แต่ขานี้จะถูกควบคุมด้วย P_{B3} แทน คือ ถ้าขา P_{B3} เป็น "0" ขานี้จะเป็น "0" ด้วย และ "1" ก็เช่นกัน แต่ในการณีของ 2716 ขา P_{B3} จะเป็น "1" เพื่อให้ขานี้เป็น +5V เมื่ออยู่ในโหมดอ่าน

ขา 26 เป็นขา Vcc หรือ +5V สำหรับ EPROM ขนาด 24 ขา คือ 2716/32 /32A และขา A_{13} สำหรับ 27128/128A เมื่อ P_5 เป็น "1" เอ้าท์พุทของ INVERTOR ตัวที่ 8 จะเป็น "0" ทำให้ Q_4 นำกระแสป้อนแรงดัน +5V เข้าขานี้โดยตรง แต่ถ้า P_5 เป็น "0" บ้าง (กรณีของ 27128/128A) Q_4 จะไม่มีผลต่อขานี้ และขา P_{B5} ซึ่งเป็นตัวกำหนด A_{13} จะควบคุมขานี้แทน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ขา 27 เป็นขาป้อนพัลส์ ┐ ┌ สำหรับโปรแกรม EPROM ขนาด 28 ขา คือ 2764/64A/128/128A แต่ถ้าอยู่ในโหมดอ่านขานี้ต้องเป็น "1" ขานี้ถูกควบคุมด้วย P_6 โดยตรง

ขา 20 เป็นขา CE/ /┐ ┌ สำหรับ 2716/32/32A นอกนั้นเป็นขา CE อย่างเดียว เมื่ออยู่ในโหมดอ่านขานี้จะต้องแอคทีฟ คือเป็น "0" แต่ถ้าอยู่ในโหมดโปรแกรมจะต้องป้อนพัลส์ สำหรับ 2716 หรือ ┐ ┌ สำหรับ 2732/32A

2.3 ภาคของ I/O อินเตอร์เฟสการ์ด

จากรูป แสดงวงจรของ I/O อินเตอร์เฟสการ์ด ซึ่งวงจรนี้จะประกอบด้วย ไอซี 3 ตัว ตัวต้านทาน 3 ตัว และตัวเก็บประจุ 3 ตัว สามารถใช้กับเครื่อง XT , AT หรือเครื่อง 386 ได้

วงจรนี้จะทำหน้าที่เป็นตัวกลางระหว่างเครื่องคอมพิวเตอร์กับอุปกรณ์ภายนอก โดยมีดิพสวิตช์บนการ์ดเป็นตัวเลือกตำแหน่งแอดเดรสให้เหมาะสม

ตามวงจรที่แสดงนี้จะมีแอดจ์คอนเน็กเตอร์เป็นตัวส่งผ่านข้อมูลระหว่างเครื่องคอมพิวเตอร์กับการ์ด ซึ่งคอนเน็กเตอร์นี้มีจำนวน 62 แถบ (ด้านละ 31 แถบ) การใช้การ์ดนี้เป็นที่นิยมมากในการเพิ่มอุปกรณ์ต่าง ๆ ให้กับคอมพิวเตอร์ ข้อมูลต่าง ๆ จะถูกส่งผ่านจากเครื่องคอมพิวเตอร์มายังแถบ 62 แถบของการ์ดนี้เพื่อนำไปควบคุมอุปกรณ์ภายนอกให้ทำงานตามต้องการ โดยจะถูกต่อเข้ากับคอนเน็กเตอร์ K_1 ขนาด 25 ขา ที่มีการส่งผ่านข้อมูลขนาด 8 บิต สำหรับแหล่งจ่ายไฟนั้นการ์ดนี้ใช้กับแรงดันขนาด 5 โวลต์ ซึ่งจะใช้ร่วมกับเครื่องคอมพิวเตอร์ได้เลย

การกำหนดแอดเดรสในการเลือกการทำงานของการ์ดนี้ ใช้เพียง 8 แอดเดรส โดยแอดเดรสทั้งหมดจะถูกกำหนดโดยสัญญาณจาก A_0 , A_1 , A_2 และดิพสวิตช์(S_1) อีกสองตำแหน่ง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ดิพสวิตช์ทั้งสองตำแหน่งนี้ จะทำหน้าที่เป็นตัวกำหนดสัญญาณลอจิกให้กับ IC_1 ที่อินพุต P_0, P_1, เมื่อเปิดสวิตช์ (off) จะทำให้อินพุตมีสภาวะเป็น "1" และเมื่อปิดสวิตช์ (on) ก็จะทำให้อินพุตมีสภาวะเป็น "0"

บัสแอดเดรสที่ตำแหน่ง A_3-A_8 จะเป็นตัวกำหนดแอดเดรสให้กับ IC_1 ที่อินพุต 2_0-2_6 สำหรับอินพุท Q_7 จะต่อกับ AEN สัญญาณที่เข้ามาทาง AEN นี้จะเป็นตัวกำหนดให้ DMA (Direct Memory Access) ทำงาน สำหรับ GATE ตัวที่ C จะเป็นตัวกำหนดให้ IC1 ทำหน้าที่อ่านหรือเขียนข้อมูลเพียงอย่างเดียว เพื่อป้องกันการเกิด overflow เมื่อสัญญาณที่อินพุต P = Q ทำให้ที่เอาต์พุตมีค่า P = Q ด้วย สัญญาณที่ออกมานี้จะมีสภาวะเป็น " 0 "จะเป็นตัวกำหนดการทำงานของอุปกรณ์ที่นำมาต่อได้อย่างเหมาะสม หรือเรียกว่าสัญญาณ ENABLE สภาวะ "0" ที่ได้จากอินพุต P = Q จะต่อกับอินพุตของ IC2 ที่ขา G จะทำให้เกิดการส่งผ่านข้อมูลจากคอนเน็กเตอร์ K_1 ไปยังเครื่องพีซี แต่ถ้าสัญญาณนี้มีสภาวะเป็น " 1 " ข้อมูลก็จะถูกส่งผ่านจากเครื่องพีซีไปยังคอนเน็กเตอร์ K_1 ทั้งสัญญาณ RD และ WR (write) จะถูกส่งผ่าน GATE ตัวที่ A , B ไปยังคอนเน็กเตอร์ K_1 ตามลำดับ สำหรับแอดเดรสของการ์ดนี้ถูกจัดไว้ให้เลือกเบอร์พอร์ตได้ถึง 32 เบอร์ คือ พอร์ตเบอร์ 300H ถึงเบอร์ 31FH

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 3

สรุปผลการทดสอบ และ ข้อเสนอแนะ

การทดสอบงานในส่วนของ HARD WARE

สำหรับงานทดสอบส่วนของ hard ware ทั้งหมดจะมี 3 ส่วนคือ

- ส่วนของการ์ดอินเตอร์เฟส
- ส่วนของภาคจ่ายไฟ
- ส่วนของภาควงจรโปรแกรม

ซึ่งปัญหาที่เกิดขึ้นได้แก้ไขผ่านไปหมดแล้วตามรายละเอียดดังนี้

- ส่วนของการ์ดอินเตอร์เฟส หลังจากการออกแบบวงจรและทำการลงอุปกรณ์ต่าง ๆ ลงบนแผ่น PCB เมื่อนำไปทดสอบกับ COMPUTER แล้วทำการ SET PORT พร้อมทั้ง OUT DATA ออกมาหรือ IN DATA เข้าไป ซึ่งจะได้ผลไม่ตรงตาม DATA ที่กำหนดไว้ ซึ่งจากปัญหานี้ได้ทำการแก้ไขเป็นจุด ๆ ไป โดยจุดแรกที่ทำการตรวจสอบ IC และ BUFFER เมื่อผ่านก็จะมาตรวจสอบลายทองแดงของ PCB ว่าสัมผัสกับ CONNECTER ของ Slot ใน COMPUTER ซึ่งถ้าไม่สัมผัสกัน DATA ที่ออกมาจะมีค่าเป็น " 1 " ตลอด

- ส่วนของภาคจ่ายไฟ สำหรับวงจรส่วนนี้จะไม่มีปัญหามากเท่าไร สำหรับปัญหาที่ปรากฏคือ แรงดันไฟสูงที่จ่ายออกมานั้นจะมีค่าไม่ตรงตามที่ออกแบบไว้ แต่จะผิดพลาดไปเพียงเล็กน้อย ซึ่งก็ยังสามารถนำไปใช้งานได้ตามปกติ ซึ่งความผิดพลาดอาจจะเกิดจากแรงดันที่จ่ายให้ก่อนการ RECTIFIER ซึ่งมีค่าไม่แน่นอน และค่าความต้านทานต่าง ๆ ก็มีความผิดพลาดอยู่ในตัว เมื่อนำมาประกอบกันก็จะทำให้ค่าแรงดันผิดพลาดไปเล็กน้อย

- ส่วนของภาควงจรโปรแกรม การทำงานของวงจรส่วนนี้ความผิดพลาดหรือปัญหาต่าง ๆ เกิดมาจากส่วนของการ์ดอินเตอร์เฟสคือ เมื่อ DATA ที่ได้จากการ์ดอินเตอร์เฟสผิดพลาด เมื่อนำมาป้อนเป็น CONTROL WORD ให้แก่ 8255A ก็จะทำให้ 8255A ทำงานผิดพลาดไปจากที่ต้องการ เพราะค่าของ CONTROL WORD ไม่ถูกต้อง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การทดสอบในส่วนของโปรแกรม

การเขียนโปรแกรมมาควบคุม HARD WARE นับว่ามีความลำบากและสร้างปัญหาให้ได้พอสมควร เพราะตัวข้อมูล (DATA) ที่จะนำมาโปรแกรมลง EPROM นั้นเป็นฐาน 16 และเป็นภาษาเครื่อง (MACHINE CODE) ซึ่งจากการ COPY หรือเขียนโปรแกรม แล้วนำไปเขียนลง EPROM นั้น มีปัญหาเพราะ DATA ที่ได้จากการ COPY หรือเขียนโปรแกรม เมื่ออ่านเข้ามาอยู่ใน COMPUTER แล้วค่าที่ได้จากการอ่านจะผิดพลาดไป เช่น 3A ของ ASCII เมื่ออ่านเข้าเครื่องจะเป็น 3341 ซึ่งเป็นฐาน 16 เมื่ออ่านลง ADRESS จะได้ค่าเป็น 33 เมื่อนำไปเขียนลง EPROM ค่าก็จะผิดพลาดจาก 3A เป็น 33 ซึ่งปัญหานี้ก็ได้ทำการแก้ไข โดยการเขียนโปรแกรมขึ้นมา SET ค่าของ POINTER และเปลี่ยนค่าจาก 3341 ซึ่งเป็นฐาน 16 ให้เป็นรหัส ASCII ก่อน เพื่อจะได้ค่าเป็น 3A แล้วเก็บไว้ใน REGISTER จึงจะทำการเขียนลง EPROM

สาเหตุที่การโปรแกรมผิดพลาด

การโปรแกรม EPROM เป็นเรื่องที่ง่ายก็จริงแต่ต้องการความปราณีตพอสมควร ซึ่งจากการทดสอบสาเหตุที่การโปรแกรมผิดพลาดก็พอจะแยกได้เป็นข้อ ๆ ดังนี้

1. สาเหตุนี้เป็นสาเหตุที่สำคัญที่สุดคือ ในขณะที่โปรแกรม EPROM แหล่งจ่ายไฟ 5 V จะขาดตอนไม่ได้เลยแม้แต่เสี้ยววินาที แล้วถ้ามีแรงดันไฟสูงแต่ไม่มีไฟ 5 V EPROM จะพังทันที ดังนั้นแหล่งจ่ายไฟทั้งสองจะต้องมีความแน่นอน

2. แรงดันทรานเซียนท์โดยเฉพาะที่เข้ามาทางแหล่งจ่ายไฟสูง เช่นเมื่อเริ่มเปิดสวิทช์หรือมาทางสายไฟบ้าน ถึงแม้ว่าจะมีตัวเก็บประจุ 0.1 ไมโครฟารัดก็เพียงฝ่อนหนักเป็นเบา ถ้ามาก EPROM ก็จะพังเช่นกัน

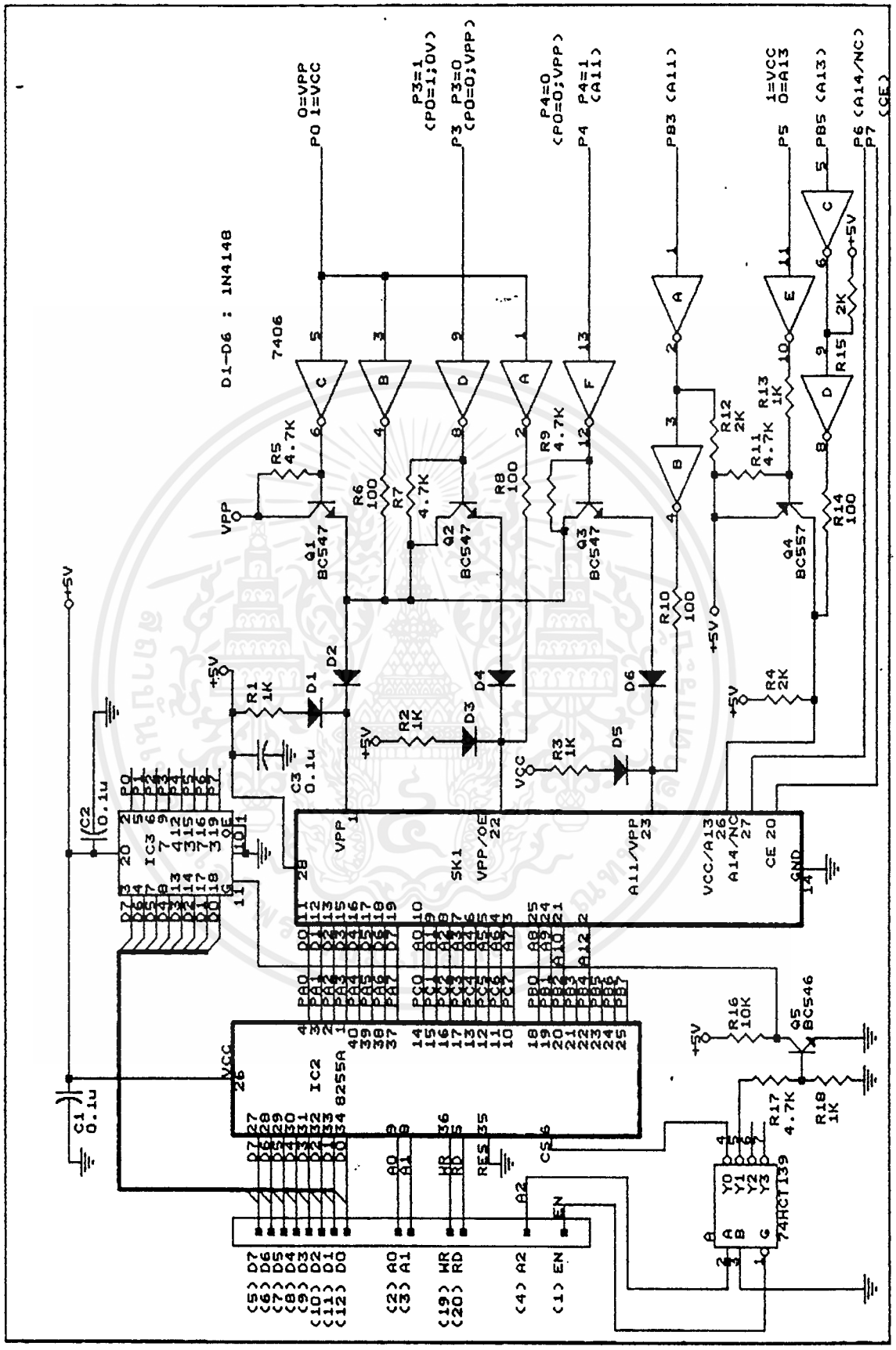
3. เป็นที่ตัว EPROM เองซึ่งอาจจะใช้งานมานานจนเสื่อมสภาพไม่สามารถล้างข้อมูลได้หมดจึงนำมาโปรแกรมไม่ได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

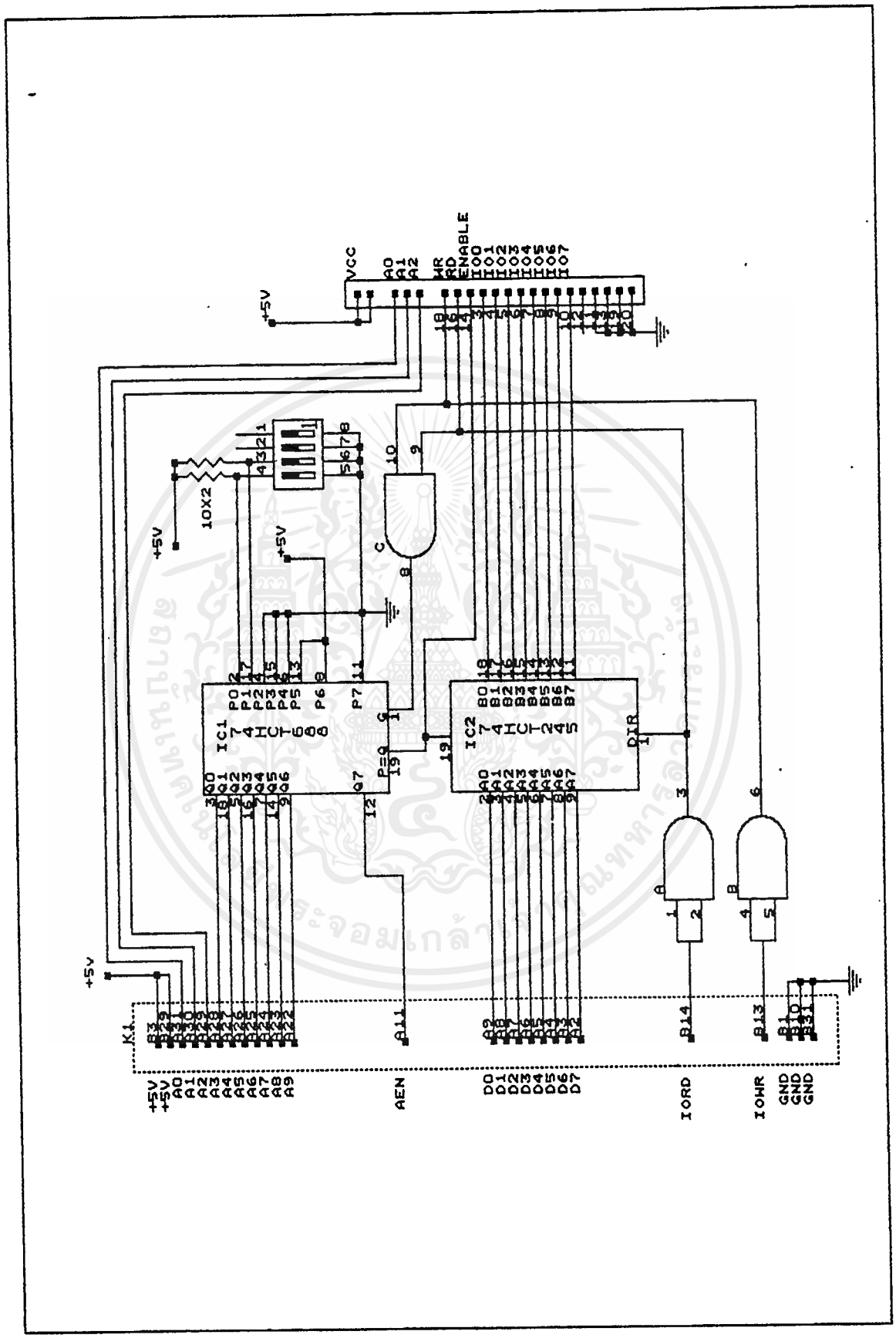
ข้อแนะนำ

จากเครื่องนี้ถ้าได้รับการพัฒนาทางด้านโปรแกรม ก็จะสามารถนำไปใช้ในการโปรแกรม EEPROM ได้ และสามารถโปรแกรม EPROM ที่มีความจุสูงขึ้นได้จาก 8K เป็น 16K ซึ่งส่วนนี้ทางผู้จัดทำไม่มีเวลาพอที่จะพัฒนาให้มีความสมบูรณ์ครบทุกประการ จึงได้แนะนำแนวทางไว้เผื่อที่จะเป็นประโยชน์สำหรับผู้อ่านต่อไป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก ก.

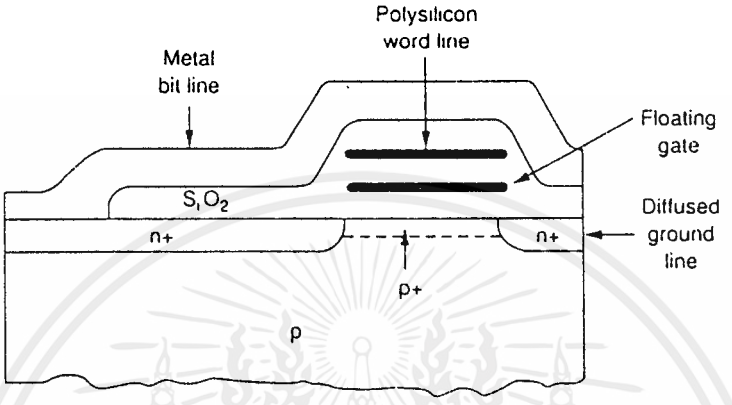
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในการใช้งานส่วนใหญ่แล้ว จะมีความต้องการหน่วยความจำ แบบสารกึ่งตัวนำที่เป็นแบบ nonvlatile (แบบไม่ต้องการแรงดันไฟเลี้ยงเพื่อรักษาข้อมูลที่เก็บไว้) เหมือน ROM ที่สามารถโปรแกรมใหม่ได้เมื่อแก้ไขข้อผิดพลาด อันเกิดจากความไม่ตั้งใจ ในหน่วยความจำ หรือเมื่อต้องการจะเปลี่ยนลักษณะ ของโปรแกรมระบบใหม่. หน่วยความจำแบบ nonvolatile จะยังคงเก็บข้อมูลของมันไว้อยู่ ในขณะที่ไฟเลี้ยงดับ. ROM ก็จัดอยู่ในประเภท nonvolatile แต่ไม่สามารถที่เปลี่ยนข้อมูล จากของเดิมที่มาจากทางโรงงานอีกครั้งได้. ส่วนหน่วยความจำแบบอื่นๆ เช่น SRAMs และ DRAMs จะสามารถอ่านและเขียนได้ด้วยวิธีการธรรมดา แต่เป็นแบบ volatile นั่นคือข้อมูลที่ถูกเก็บอยู่จะสูญหายไป เมื่อไฟดับ. ลักษณะที่กล่าวมานี้จึงเป็นลักษณะที่เป็นแบบได้อย่างเสียอย่าง ดังนั้น EPROM (Erasable progeamable read only memory จึงถูกพัฒนาขึ้นมา. EPROM จะจัดให้เป็นแบบ nonvolatile storage ที่สามารถโปรแกรมใหม่ได้เมื่อจำเป็น. ผลก็คือ หน่วยความจำเหล่านี้จึงมีการใช้งานกันอย่างกว้างขวาง ในระบบไมโครโปรเซสเซอร์ และวงจรอื่นๆ ที่ต้องหน่วยความจำแบบ nonvolatile มาเก็บข้อมูล.

หน่วยความจำ EPROM จะที่มีลักษณะการบันทึกข้อมูลโดยใช้หนึ่ง cell ต่อบิท. Cell นี้ถูกจัดสร้างโดยบริษัท Intel Corporation และเรียกว่าเป็นเทคโนโลยีแบบ FAMOS (for floating-gate,avalanche-injection,metal oxide semiconductor). ในรูปที่ 1 แสดงถึง cell ที่ใช้เก็บบันทึกข้อมูล ที่ประกอบด้วย ทรานซิสเตอร์ที่มี 2 gates , ที่ถูกกั้นให้ห่างออกจากวงจร. ถ้า floating-gate นี้ จะด้วยเหตุใดก็ตามเกิดต้องการ charge ประจุไฟฟ้าแทนการบันทึกข้อมูล ประจุไฟฟ้าที่ charge ไว้นี้ก็จะยังคงอยู่ต่อไป ด้วยระยะเวลาที่ยาวนาน เพราะ ว่า gate จะถูกกั้นการรั่วไหลของประจุไฟฟ้าด้วย silicon dioxide ที่อยู่รอบๆ ตัวมัน. เส้นทางการรั่วไหลของประจุไฟฟ้าของวงจรนี้ จะมีค่าความต้านทานที่สูงมาก ค่าคงตัวเวลาของเส้นทางในการคลายประจุของ EPROM จะมีค่านับเป็น 10 ปีขึ้นไป. การคงอยู่ของประจุไฟฟ้าที่ถูกประจุเก็บเข้าไว้ จะเป็นกลไกการ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เก็บรักษาค่าของข้อมูลลงใน cell แต่ทำอย่างไรที่จะทำให้ค่าของข้อมูลถูกเปลี่ยนได้ครั้งเดียว เมื่อมีการเก็บข้อมูลไว้ในตัว EPROM แล้ว ?.



รูปที่ 1 ส่วนของ cell ที่ใช้ในเก็บรักษาข้อมูลของ EPROM

กลไกในการโปรแกรมข้อมูลใหม่ที่มาจากส่วนที่สองของ FAMOS มีชื่อว่า avalenche injection. ถ้ามีแรงดันไฟสูง(ประมาณน้อยกว่า 25 V สำหรับ EPROM ตัวใหม่ๆ)ถูกป้อนเข้าไปยัง floating gate-ช่วงที่เป็น substrate, avalench injection ของ electron จะเข้าไปอยู่ใน gate. ปรากฏการณ์อันนี้จะเป็นการโปรแกรมหน่วยความจำได้ โดยการวางประจุไว้บน gate. หน่วยความจำนี้จะถูกลบได้โดยการเอาประจุที่ไม่ต้องการออกจาก gate. ถ้า floating gate ถูกส่องด้วยแสงที่มีความเข้มสูง มีความยาวคลื่นของแสงที่เหมาะสม (UV-2573 A) ด้วยระยะเวลาหนึ่ง พลังงานที่ถูกเก็บไว้ ก็จะเคลื่อนย้ายออกจาก gate ไป. หน้าต่างที่ทำการแก้วใส(quartz) จะถูกรวมเข้าไว้เป็นส่วนหนึ่งของหน่วยความจำด้วย นั่นคือ cells ของหน่วยความจำก็จะถูกส่งด้วยแสง และถูกลบพร้อมๆ กันหมดทุก cells. ค่าเวลาที่ใช้ลบข้อมูลของ EPROMs จะมีค่าปานกลางอยู่ในช่วง 20 ถึง 30 นาที.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

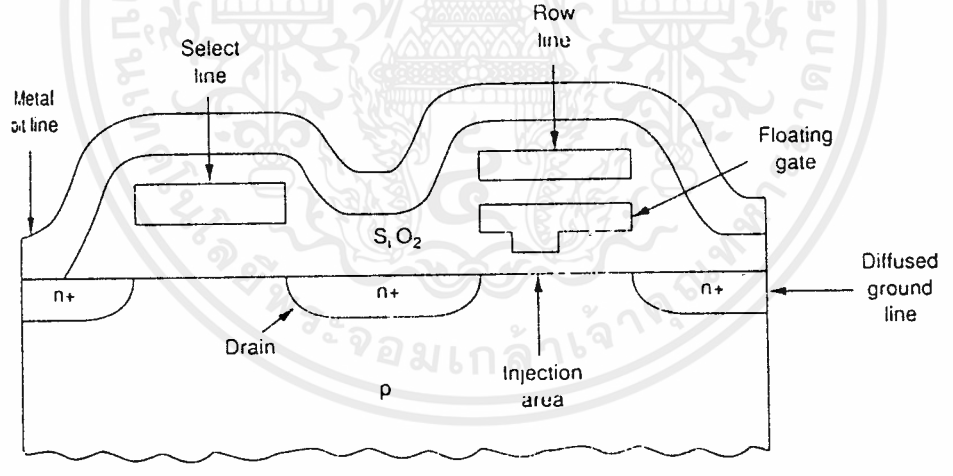
ภาคผนวก ข.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Electrically Erasable Programmable Read-Only Memory

: EEPROM

EEPROM เป็นอุปกรณ์ที่น่าทึ่งชนิดหนึ่งที่ใช้แก้ปัญหาในการโปรแกรม และลบปัญหาที่เกิดขึ้นหลายๆ อย่างด้วยสองเทคนิคง่ายๆ คือ 1. ในการโปรแกรมจะถูกทำให้ง่ายขึ้น โดยที่บนชิพจะก่อให้เกิดการโปรแกรมได้ด้วย programming voltage. จะทำการแทนแรงดันที่ต้องการขนาด 25 V ที่ต่อทางภายนอก ที่เรียกว่า *charge pump* ด้วยแรงดันในการโปรแกรมขนาดมาตราฐาน 5 V. 2. จะแทนการใช้แสงอุลตร้าไวโอเลท ที่ใช้ในการลบข้อมูล เป็นการต่อภายในให้มีการกลับ (reverse) ปรากฏการณ์ electron injection คือการทำให้ประจุถูกเคลื่อนย้ายออกไปจาก floating gate ของ EEPROM.



รูปที่ 2 Cell ที่ใช้ในการเก็บข้อมูลของ EEPROM

พื้นฐานของ cell หน่วยความจำของ EEPROM จะประกอบไปด้วย memory transistor และ select transistor ดังที่แสดงในรูปที่ 2 Memory transistor จะประกอบไปด้วยโครงสร้างของ polysilicon ที่วางซ้อนกันเป็นคู่ ซึ่งที่ด้านล่างของ gate จะเป็น floating. Oxide บางๆขนาดเล็ก(<150 A)

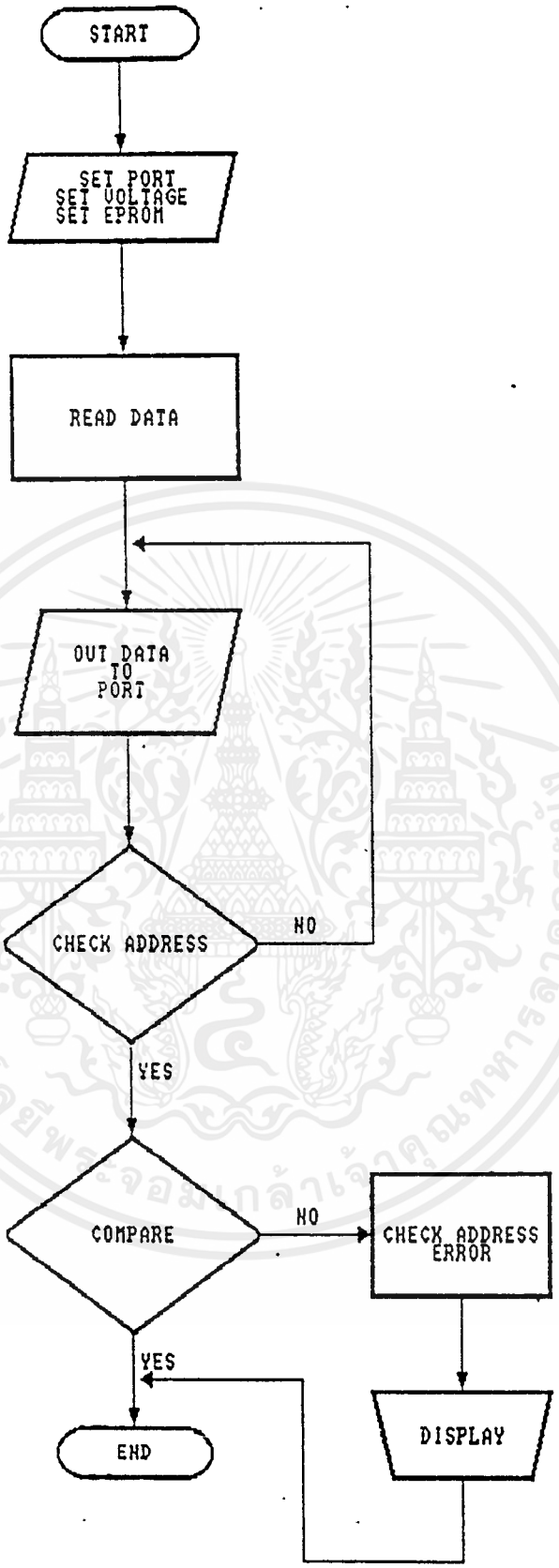
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จะใช้กั้นแยก floating gate ออกจาก drain และจัดให้มี injection area ของ electrons จาก floating gate. การส่งพัลส์แรงดันไฟสูงสั้นๆ (ทั่วๆ ไปจะเป็น ms) เข้าไปยัง row line ขณะที่การ grounding ที่ drain ก่อให้เกิดเป็นโพลง(tunnel)ของอิเล็คตรอนจาก drain ถึง floating gate (เป็นการลบ). พัลส์แบบเดียวกัน ที่ส่งเข้าไปยัง drain ด้วย row line จะถูก ground ก่อให้เกิดเป็นโพลง ของเหล่าอิเล็คตรอนจาก floating gate ไปยัง drain (เป็นการเขียน). การรวม device อันนี้เข้าไปใน memory array จะต้องการรวม select transistor ต่อบิทด้วย ดังที่แสดงในรูปที่ 2 เพื่อหลีกเลี่ยงการกระทบเทือนต่อ cell ที่ไม่ต้องการที่จะลบ หรือเขียนอื่นๆ.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

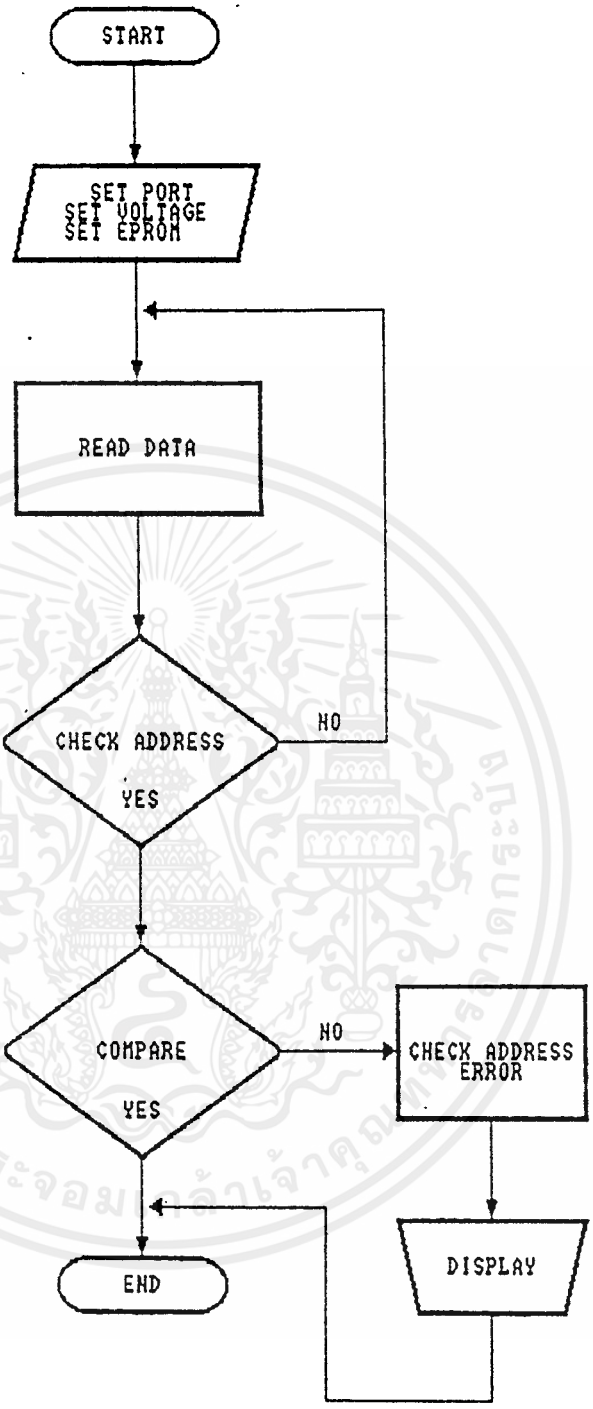
ภาคผนวก ค.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



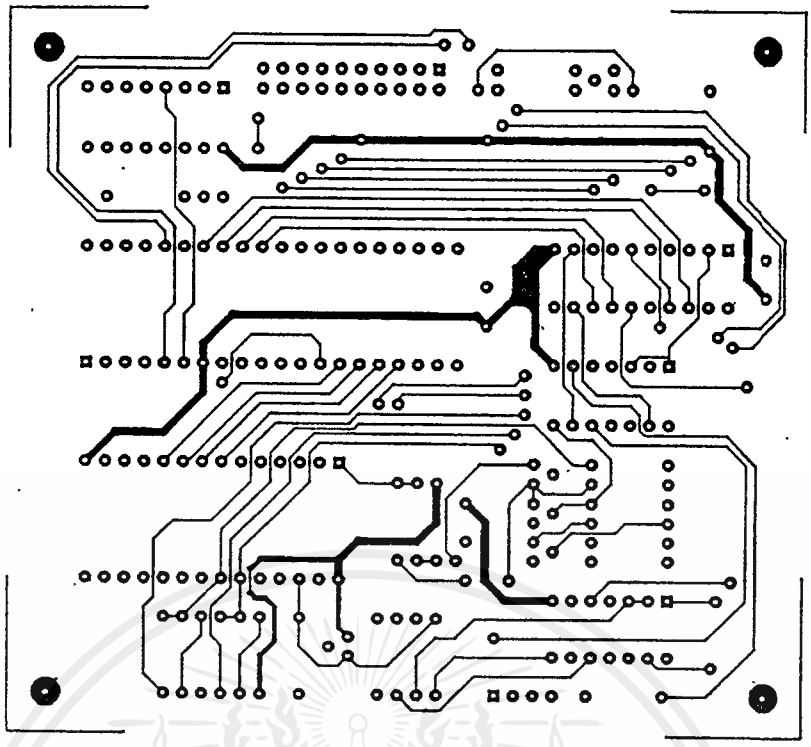
FLOWCHART WRITE

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

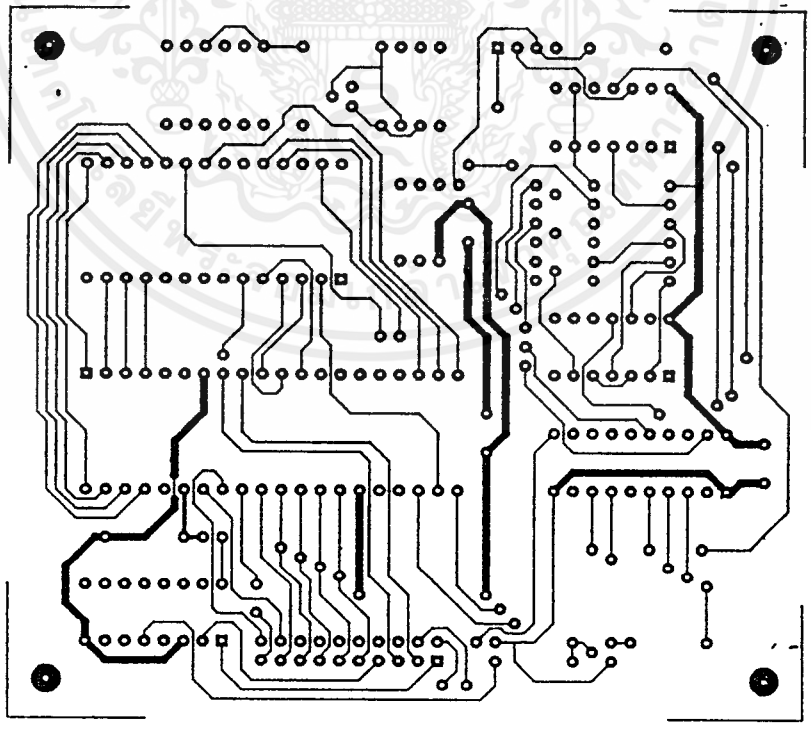


FLOWCHART READ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

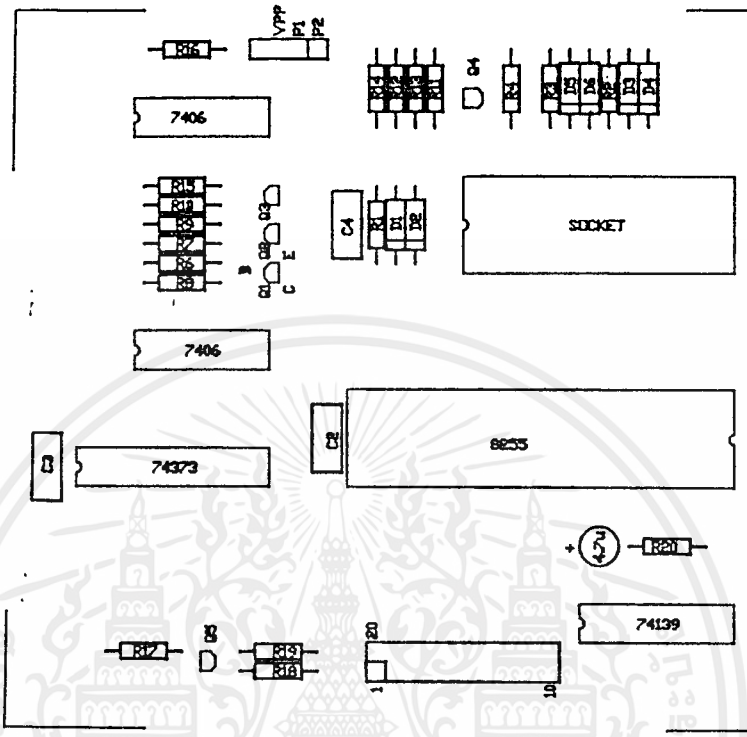


ลายทองแดงด้านบนของวงจรโปรแกรม



ลายทองแดงด้านล่างของวงจรโปรแกรม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปการวางอุปกรณ์ของภาควงจรโปรแกรม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก ง.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MOTOROLA

MC54/74HCT373

Product Preview

HIGH-PERFORMANCE
CMOS
LOW POWER COMPLEMENTARY MOS
SILICON-GATE

OCTAL 3-STATE NONINVERTING D-TYPE TRANSPARENT LATCH (WITH LSTTL-COMPATIBLE INPUTS)

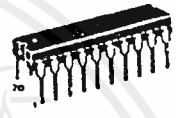
OCTAL 3-STATE NONINVERTING D-TYPE TRANSPARENT LATCH (WITH LSTTL-COMPATIBLE INPUTS)

The HCT373 may be used as a level converter for interfacing LSTTL to High-Speed CMOS. The inputs of HCT devices are compatible with both LSTTL and CMOS output voltage levels.

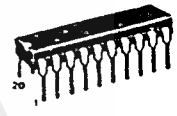
The HCT373 is identical in pinout to the LS373. The latch appears transparent to data (i.e., the outputs change asynchronously) when Latch Enable is high. When Latch Enable goes low, data meeting the setup time becomes latched.

The Output Enable does not affect the state of the latch, but when Output Enable is high, all outputs are forced to the high impedance state. Data may thus be latched even when the device is not selected.

- Compatible with LSTTL Outputs – No Pullup Resistor Required
- Active Pullup on Each Device Input
- Low Power Consumption Characteristic of CMOS Devices
- Output Drive Capability: 15 LSTTL Loads Minimum
- Operating Voltage Range: 4.5 to 5.5 Volts
- Low Quiescent Current Characteristic of CMOS Devices
- Diode Protection on All Inputs



J SUFFIX
CERAMIC PACKAGE
CASE 732



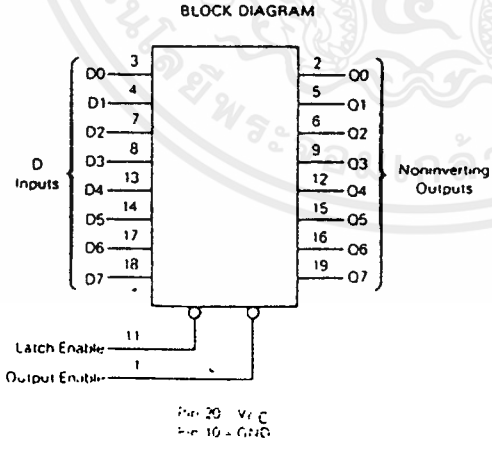
N SUFFIX
PLASTIC PACKAGE
CASE 738

ORDERING INFORMATION

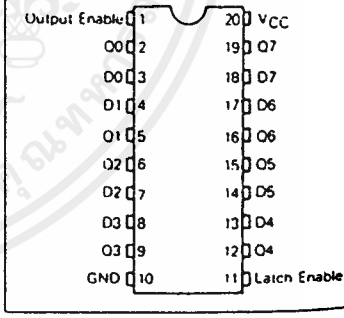
54 Series. – 55°C to + 125°C
MC54HCTXXXJ (Ceramic Package Only)

74 Series – 40°C to + 85°C
MC74HCTXXXN (Plastic Package)
MC74HCTXXXJ (Ceramic Package)

BLOCK DIAGRAM



PIN ASSIGNMENT



FUNCTION TABLE

Output Enable	Latch Enable	D	Q
L	H	H	H
L	H	L	L
L	L	X	no change
H	X	X	Z

X = don't care
Z = high impedance

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

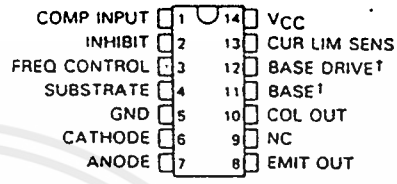
LINEAR
INTEGRATED CIRCUITS

TYPES TL497AM, TL497AI, TL497AC
SWITCHING VOLTAGE REGULATORS

D2225, JUNE 1976—REVISED SEPTEMBER 1983

- All Monolithic
- High Efficiency . . . 60% or Greater
- Output Current . . . 500 mA
- Input Current Limit Protection
- TTL Compatible Inhibit
- Adjustable Output Voltage
- Input Regulation . . . 0.2% Typ
- Output Regulation . . . 0.4% Typ
- Soft Start-up Capability

TL497AM . . . J
TL497AI, TL497AC . . . J OR N
DUAL-IN-LINE PACKAGE
(TOP VIEW)



NC—No internal connection

† The Base pin (# 11) and Base Drive pin (# 12) are used for device testing only. They are not normally used in circuit applications of the device.

description

The TLC497A incorporates on a single monolithic chip all the active functions required in the construction of a switching voltage regulator. It can also be used as the control element to drive external components for high-power-output applications. The TL497A was designed for ease of use in step-up, step-down, or voltage inversion applications requiring high efficiency.

The TL497A is a fixed-on-time variable-frequency switching voltage regulator control circuit. The on-time is programmed by a single external capacitor connected between the frequency control pin and ground. This capacitor, C_T, is charged by an internal constant-current generator to a predetermined threshold. The charging current and the threshold vary proportionally with V_{CC}, thus the one time remains constant over the specified range of input voltage (5 to 12 volts). Typical on-times for various values of C_T are as follows:

TIMING CAPACITOR, C_T (pF)	200	250	350	400	500	750	1000	1500	2000
ON-TIME (μs)	19	22	26	32	44	56	80	120	180

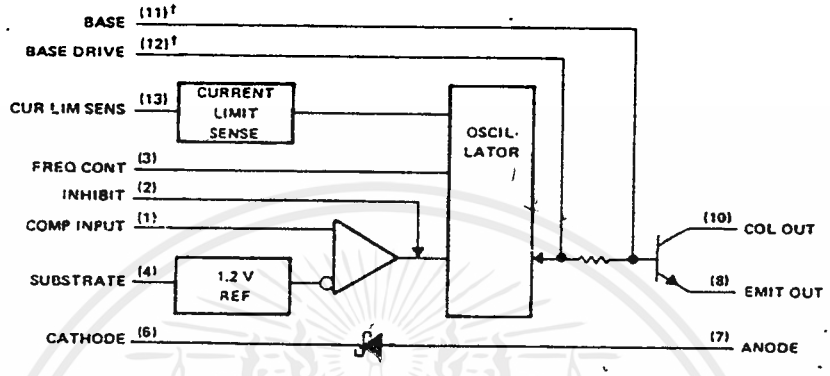
The output voltage is controlled by an external resistor ladder network (R1 and R2 in Figures 1, 2, and 3) that provides a feedback voltage to the comparator input. This feedback voltage is compared to the reference voltage of 1.2 volts (relative to the substrate pin) by the high-gain comparator. When the output voltage decays below the value required to maintain 1.2 V at the comparator input, the comparator enables the oscillator circuit, which charges and discharges C_T as described above. The internal pass transistor is driven on during the charging of C_T. The internal transistor may be used directly for switching currents up to 500 milliamperes. Its collector and emitter are uncommitted and it is current driven to allow operation from the positive supply voltage or ground. An internal Schottky diode matched to the current characteristics of the internal transistor is also available for blocking or commutating purposes. The TL497A also has on-chip current-limit circuitry that senses the peak currents in the switching regulator and protects the inductor against saturation and the pass transistor against overstress. The current limit is adjustable and is programmed by a single sense resistor, R_{CL}, connected between pin 14 and pin 13. The current-limit circuitry is activated when 0.7 volt is developed across R_{CL}. External gating is provided by the inhibit input. When the inhibit input is high, the output is turned off.

Simplicity of design is a primary feature of the TL497A. With only six external components (three resistors, two capacitors, and one inductor), the TL497A will operate in numerous voltage conversion applications (step-up, step-down, invert) with as much as 85% of the source power delivered to the load. The TL497A replaces the TL497 in all applications.

The TL497AM is characterized for operation over the full military temperature range of −55°C to 125°C, the TL497AI is characterized for operation from −25°C to 85°C, and the TL497AC from 0°C to 70°C.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

functional block diagram



†The Base pin (#11 and Base Drive pin (#12) are used for device testing only. They are not normally used in circuit applications of the device.

absolute maximum ratings over operating free-air temperature range (unless otherwise noted)

Input voltage, V_{CC} (see Note 1)	15 V
Output voltage	35 V
Comparator input voltage	5 V
Inhibit input voltage	5 V
Diode reverse voltage	35 V
Power switch current	750 mA
Diode forward current	750 mA
Continuous total dissipation at (or below) 25°C free-air temperature (see Note 2)	1000 mW
Operating free-air temperature range: TL497AM	−55°C to 125°C
TL497AI	−25°C to 85°C
TL497AC	0°C to 70°C
Storage temperature range	−65°C to 150°C
Lead temperature 1,6 mm (1/16 inch) from case for 60 seconds: J package	300°C
Lead temperature 1,6 mm (1/16 inch) from case for 10 seconds: N package	260°C

NOTES: 1. All voltage values except diode voltages are with respect to network ground terminal.
2. Above 28°C free-air temperature, derate the N package at the rate of 9.2 mW/°C. Above 41°C free-air temperature, derate the J glass-mounted package at the rate of 8.2 mW/°C. Above 59°C free-air temperature, derate the J alloy-mounted package at the rate of 11.0 mW/°C. In the J package, TL4974AM chips are alloy mounted, TL4974AC chips are glass mounted.

recommended operating conditions

	MIN	MAX	UNIT
Input voltage, V_I	4.5	12	V
Output voltage: step-up configuration (see Figure 1)	$V_I + 2$	30	V
step-down configuration (see Figure 2)	V_{ref}	$V_I - 1$	V
inverting regulator (see Figure 3)	$-V_{ref}$	−25	V
Power switch current		500	mA
Diode forward current		500	mA

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

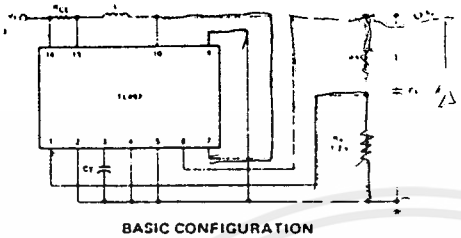
electrical characteristics at specified free-air temperature, V_I = 6 V (unless otherwise noted)

PARAMETER	TEST CONDITIONS[1]		TL497AM, TL497AI			TL497AC			UNIT
			MIN	TYP[2]	MAX	MIN	TYP[2]	MAX	
High-level inhibit input voltage		25°C	2.5			2.5			V
Low-level inhibit input voltage		25°C			0.8			0.8	V
High-level inhibit input current	$V_{I(I)}$ = 5 V	Full range		0.8	1.5		0.8	1.5	mA
Low-level inhibit input current	$V_{I(I)}$ = 0 V	Full range		5	20		5	10	μA
Comparator reference voltage	V_I = 4.5 V to 6 V	Full range	1.14	1.20	1.26	1.08	1.20	1.32	V
Comparator input bias current	V_I = 6 V	Full range		40	100		40	100	μA
Switch on-state voltage	V_I = 4.5 V, I_O = 100 mA	25°C		0.13	0.2		0.13	0.2	V
	I_O = 500 mA	Full range			1			0.85	
Switch off-state current	V_I = 4.5 V, V_O = 30 V	25°C		10	50		10	50	μA
		Full range			500			200	
Current-limit sense voltage	V_I = 6 V	25°C	0.45		1	0.45		1	V
Diode forward voltage	I_O = 10 mA	Full range		0.75	0.95		0.75	0.85	V
	I_O = 100 mA	Full range		0.9	1.1		0.9	1	
	I_O = 500 mA	Full range		1.33	1.75		1.33	1.55	
Diode reverse voltage	I_O = 500 μA	Full range	30						V
	I_O = 200 μA	Full range				30			
On-state supply current		25°C		11	14		11	14	mA
		Full range			16			15	
Off-state supply current		25°C		6	9		6	9	mA
		Full range			11			10	

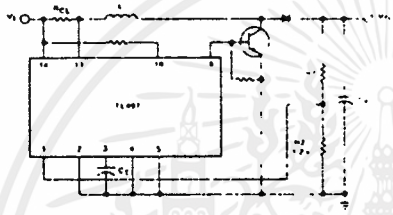
[1] Full range for TL497AM is −55°C to 125°C, for TL497AI is −25°C to 85°C, and for TL497AC is 0°C to 70°C.
[2] All typical values are at T_A = 25°C.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TYPICAL APPLICATION DATA



BASIC CONFIGURATION
(I_{PK} < 500 mA)



EXTENDED POWER CONFIGURATION
(USING EXTERNAL TRANSISTOR)

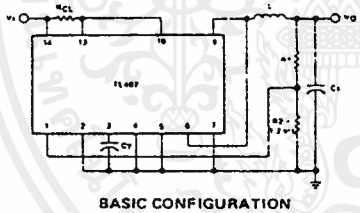
DESIGN EQUATIONS

- $I_{PK} = 2\, I_O \max \left[\frac{V_O}{V_I}\right]$
- $L\ (\mu H) = \frac{V_I}{I_{PK}}\, t_{on}(\mu s)$

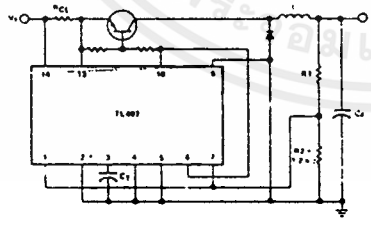
Choose L (50 to 500 μH), calculate t_{on} (25 to 150 μs)

- $C_T (pF) \approx 12\, t_{on}(\mu s)$
- $R1 = (V_O - 1.2)\ k\Omega$
- $R_{CL} = \frac{0.5\ V}{I_{PK}}$
- $C_F\ (\mu F) \approx t_{on}(\mu s)\, \frac{\left[\frac{V_I}{V_O} I_{PK} + I_O\right]}{V_{ripple\ (PK)}}$

FIGURE 1–POSITIVE REGULATOR, STEP-UP CONFIGURATIONS



BASIC CONFIGURATION
I_{PK} < 500 mA)



EXTENDED POWER CONFIGURATION
(USING EXTERNAL TRANSISTOR)

DESIGN EQUATIONS

- $I_{PK} = 2\, I_O \max$
- $L\ (\mu H) = \frac{V_I - V_O}{I_{PK}}\, t_{on}(\mu s)$

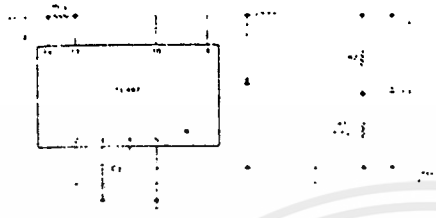
Choose L (50 to 500 μH), calculate t_{on} (10 to 150 μs)

- $C_T (pF) \approx 12\, t_{on}(\mu s)$
- $R1 = (V_O - 1.2)\ k\Omega$
- $R_{CL} = \frac{0.5\ V}{I_{PK}}$
- $C_F (\mu F) \approx t_{on}(\mu s)\, \frac{\left[\frac{V_I}{V_O} I_{PK} + I_O\right]}{V_{ripple\ (PK)}}$

FIGURE 2–POSITIVE REGULATOR, STEP-DOWN CONFIGURATIONS

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TYPICAL APPLICATION DATA



BASIC CONFIGURATION
(I_{PK} = 500 mA)

- $I_{PK} = 2\, I_O \text{ max} \left[1 + \frac{|V_O|}{V_I}\right]$
- $L\ (\mu H) = \frac{V_I}{I_{PK}}\ t_{on}(\mu s)$

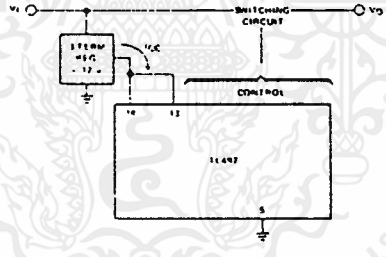
Choose L (50 to 500 μH), calculate t_{on} (25 to 150 μs)

- $C_T (pF) \geq 12\ t_{on}(\mu s)$
- $R2 = (V_O - 1.2)\ k\Omega$
- $R_{CL} = \frac{0.5\ V}{I_{PK}}$
- $C_F\ (\mu F) \geq t_{on}(\mu s)\ \frac{\left[\frac{V_I}{V_O}\ I_{PK} + I_O\right]}{V_{ripple\ (PK)}}$

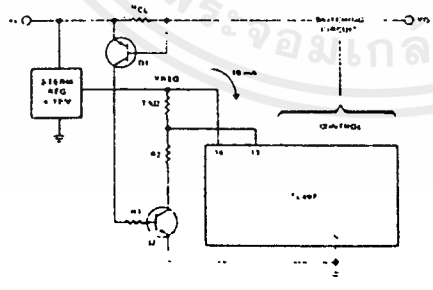
EXTENDED POWER CONFIGURATION
(USING EXTERNAL TRANSISTOR)

*Use external catch-diode, e.g., 1N1001, when building an inverting supply with the TL497A.

FIGURE 3–INVERTING APPLICATIONS



EXTENDED INPUT CONFIGURATION WITHOUT CURRENT LIMIT



CURRENT LIMIT FOR EXTENDED INPUT CONFIGURATION

DESIGN EQUATIONS

$$R_{CL} = \frac{V_{BE(Q1)}}{I_{limit\ (PK)}}$$

$$R1 = \frac{V_I}{I_{B(Q2)}}$$

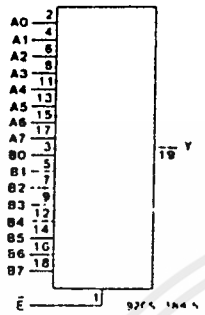
$$R2 = (V_{reg} - 1)\ 10\ k\Omega$$

FIGURE 4–EXTENDED INPUT VOLTAGE RANGE (V_I = 15 V)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

CD54/74HC688
CD54/74HCT688

High-Speed CMOS Logic



FUNCTIONAL DIAGRAM

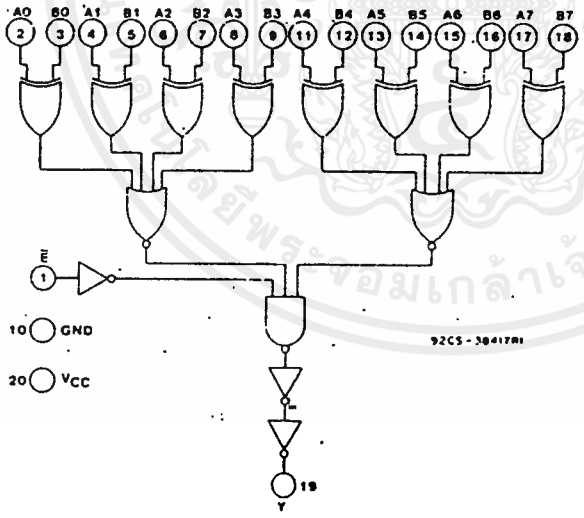
8-Bit Magnitude Comparator

Type Features:
- *Cascadable*

The RCA-CD54/74HC688 and CD54/74HCT688 are 8-bit magnitude comparators designed for use in computer and logic applications that require the comparison of two 8-bit binary words. When the compared words are equal the output (Y) is low and can be used as the enabling input for the next device in a cascaded application.

The CD54HC688 and CD54HCT688 are supplied in 20-lead ceramic dual-in-line packages (F suffix). The CD74HC688 and CD74HCT688 are supplied in 20-lead dual-in-line plastic packages (E suffix) and in 20-lead dual-in-line surface-mount plastic packages (M suffix). Both types are also available in chip form (H suffix).

Family Features:
- *Fanout (over temperature range):*
  Standard outputs - 10 LSTTL loads
  Bus driver outputs - 15 LSTTL loads
- *Wide operating temperature range:*
  CD74HC/HCT: -40 to +85° C
- *Balanced propagation delay and transition times*
- *Significant power reduction compared to LSTTL logic ICs*
- *Alternate source is Philips/Signetics*
- *CD54HC/CD74HC types:*
  2 to 6 V operation
  High noise immunity: N_{IL} = 30%, N_{IH}=30% of V_{CC} @ V_{CC}=5 V
- *CD54HCT/CD74HCT types:*
  4.5 to 5.5 V operation
  Direct LSTTL input logic compatibility
  V_{IL}=0.8 V max., V_{IH}=2 V min.
  CMOS input compatibility
  $I_I \leq 1\ \mu A$ @ V_{OL}, V_{OH}



TRUTH TABLE

Inputs		Outputs
A, B	$\overline{E}$	Y
A = B	L	L
A ≠ B	L	H
X	H	H

X = Don't care
L = Low level
H = High level

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MAXIMUM RATINGS, *Absolute-Maximum Values:*

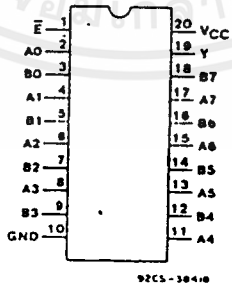
DC SUPPLY-VOLTAGE, (V_{CC}):
(Voltages referenced to ground) ..... -0.5 to +7 V
DC INPUT DIODE CURRENT, I_{IK} (FOR $V_I < -0.5$ V OR $V_I > V_{CC}$ +0.5 V) ..... ±20 mA
DC OUTPUT DIODE CURRENT, I_{OK} (FOR $V_O < -0.5$ V OR $V_O > V_{CC}$ +0.5 V) ..... ±20 mA
DC DRAIN CURRENT, PER OUTPUT (I_O) (FOR $-0.5\ V < V_O < V_{CC}$ +0.5 V) ..... ±25 mA
DC V_{CC} OR GROUND CURRENT, (I_{CC}) ..... ±50 mA
POWER DISSIPATION PER PACKAGE (P_D):
For T_A = -40 to +60°C (PACKAGE TYPE E) ..... 500 mW
For T_A = +60 to +85°C (PACKAGE TYPE E) ..... Derate Linearly at 8 mW/°C to 300 mW
For T_A = -55 to +100°C (PACKAGE TYPE F, H) ..... 500 mW
For T_A = +100 to +125°C (PACKAGE TYPE F, H) ..... Derate Linearly at 8 mW/°C to 300 mW
For T_A = -40 to +70° C (PACKAGE TYPE M) ..... 400 mW
For T_A = +70 to +125° C (PACKAGE TYPE M) ..... Derate Linearly at 6 mW/° C to 70 mW
OPERATING-TEMPERATURE RANGE (T_A):
PACKAGE TYPE F, H ..... -55 to +125°C
PACKAGE TYPE E, M ..... -40 to +85°C
STORAGE TEMPERATURE (T_{stg}) ..... -65 to +150°C
LEAD TEMPERATURE (DURING SOLDERING):
At distance 1/16 ± 1/32 in. (1.59 ± 0.79 mm) from case for 10 s max. ..... +265°C
Unit inserted into a PC Board (min. thickness 1/16 in., 1.59 mm)
with solder contacting lead tips only ..... +300°C

RECOMMENDED OPERATING CONDITIONS

For maximum reliability, nominal operating conditions should be selected so that operation is always within the following ranges:

CHARACTERISTIC	LIMITS		UNITS
	MIN.	MAX.	
Supply-Voltage Range (For T_A=Full Package Temperature Range) V_{CC}:*			
CD54/74HC Types	2	6	V
CD54/74HCT Types	4.5	5.5	
DC Input or Output Voltage, V_I, V_O	0	V_{CC}	V
Operating Temperature, T_A:			
CD74 Types	-40	+85	°C
CD54 Types	-55	+125	
Input Rise and Fall Times, t_r, t_f:			
at 2 V	0	1000	ns
at 4.5 V	0	500	
at 6 V	0	400	

*Unless otherwise specified, all voltages are referenced to Ground.



TERMINAL ASSIGNMENT

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

CD54/74HC688
CD54/74HCT688

STATIC ELECTRICAL CHARACTERISTICS

CHARACTERISTICS	CD74HC688/CD54HC688										CD74HCT688/CD54HCT688									UNITS
	TEST CONDITIONS			74HC/54HC TYPE			74HC TYPE		54HC TYPE		TEST CONDITIONS		74HCT/54HCT TYPE			74HCT TYPE		54HCT TYPE		
				+25°C			-40/ +85°C		-55/ +125°C				+25°C			-40/ +85°C		-55/ +125°C		
	V_I V	I_O mA	V_{CC} V	Min	Typ	Max	Min	Max	Min	Max	V_I V	V_{CC} V	Min	Typ	Max	Min	Max	Min	Max	
High-Level Input Voltage V_{IH}			2	1.5	—	—	1.5	—	1.5	—	—	4.5 to 5.5	2	—	—	2	—	2	—	V
			4.5	3.15	—	—	3.15	—	3.15	—										
			6	4.2	—	—	4.2	—	4.2	—										
Low-Level Input Voltage V_{IL}			2	—	—	0.5	—	0.5	—	0.5	—	4.5 to 5.5	—	—	0.8	—	0.8	—	0.8	V
			4.5	—	—	1.35	—	1.35	—	1.35										
			6	—	—	1.8	—	1.8	—	1.8										
High-Level Output Voltage V_{OH} CMOS Loads	V_{IL} or V_{IH}	-0.02	2	1.9	—	—	1.9	—	1.9	—	V_{IL} or V_{IH}	4.5	4.4	—	—	4.4	—	4.4	—	V
			4.5	4.4	—	—	4.4	—	4.4	—										
			6	5.9	—	—	5.9	—	5.9	—										
TTL Loads	V_{IL} or V_{IH}	-4	4.5	3.98	—	—	3.84	—	3.7	—	V_{IL} or V_{IH}	4.5	3.98	—	—	3.84	—	3.7	—	V
		-5.2	6	5.48	—	—	5.34	—	5.2	—										
Low-Level Output Voltage V_{OL} CMOS Loads	V_{IL} or V_{IH}	0.02	2	—	—	0.1	—	0.1	—	0.1	V_{IL} or V_{IH}	4.5	—	—	0.1	—	0.1	—	0.1	V
			4.5	—	—	0.1	—	0.1	—	0.1										
			6	—	—	0.1	—	0.1	—	0.1										
TTL Loads	V_{IL} or V_{IH}	4	4.5	—	—	0.26	—	0.33	—	0.4	V_{IL} or V_{IH}	4.5	—	—	0.26	—	0.33	—	0.4	V
		5.2	6	—	—	0.26	—	0.33	—	0.4										
Input Leakage Current I_I	V_{CC} or Gnd		6	—	—	±0.1	—	±1	—	±1	Any Voltage Between V_{CC} and Gnd	5.5	—	—	±0.1	—	±1	—	±1	µA
Quiescent Device Current I_{CC}	V_{CC} or Gnd	0	6	—	—	8	—	80	—	160	V_{CC} or Gnd	5.5	—	—	8	—	80	—	160	µA
Additional Quiescent Device Current per Input Pin: 1 Unit Load ΔI_{CC}*											V_{CC} -2.1	4.5 to 5.5	—	100	360	—	450	—	490	µA

*For dual-supply systems theoretical worst case (V_I = 2.4 V, V_{CC} = 5.5 V) specification is 1.8 mA

HCT Input Loading Table

Input	Unit Loads*
Enable	0.7
Data Inputs	0.35

*Unit Load is ΔI_{CC} limit specified in Static Characteristics Chart, e.g., 360 µA max. @25°C.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

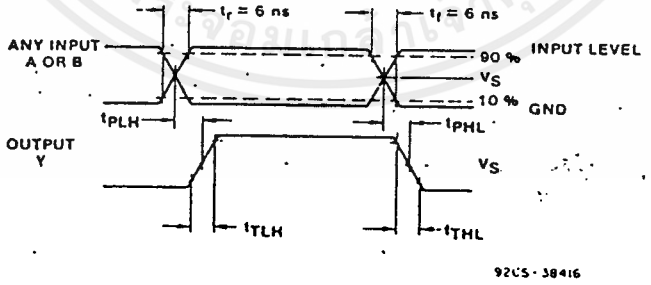
SWITCHING CHARACTERISTICS (V_{CC} = 5 V, T_A = 25°C, Input t_r, t_f = 6 ns)

CHARACTERISTIC	SYMBOL	C_L pF	TYPICAL VALUES		UNITS
			HC	HCT	
Propagation Delay A and B Data to Output	t_{PLH} t_{PHL}	15	14	14	ns
Propagation Delay Enable to Output	t_{PLH} t_{PHL}	15	9	9	ns
Power Dissipation Capacitance*	C_{PD}	—	22	22	pF

*C_{PD} is used to determine the power consumption, per device.
$P_D = V_{CC}^2 f_i (C_{PD} + C_L)$ where f_i = input frequency
C_L = output load capacitance
V_{CC} = supply voltage

SWITCHING CHARACTERISTICS (C_L=50 pF, Input t_r, t_f=6 ns)

CHARACTERISTIC	SYMBOL	V_{CC}	25°C				-40°C to +85°C				-55°C to +125°C				UNITS
			HC		HCT		74HC		74HCT		54HC		54HCT		
			Min.	Max.	Min.	Max.	Min.	Max.	Min.	Max.	Min.	Max.	Min.	Max.	
Propagation Delay An to Output	t_{PLH} t_{PHL}	2	—	170	—	—	—	210	—	—	—	255	—	—	ns
		4.5	—	34	—	34	—	42	—	42	—	51	—	51	
		6	—	29	—	—	—	36	—	—	—	43	—	—	
Bn to Output	t_{PLH} t_{PHL}	2	—	170	—	—	—	210	—	—	—	255	—	—	ns
		4.5	—	34	—	34	—	42	—	42	—	51	—	51	
		6	—	29	—	—	—	36	—	—	—	43	—	—	
$\overline{E}$ to Output	t_{PLH} t_{PHL}	2	—	120	—	—	—	150	—	—	—	180	—	—	ns
		4.5	—	24	—	24	—	30	—	30	—	36	—	36	
		6		20	—	—	—	26	—	—	—	30	—	—	
Output Transition Time	t_{TLH} t_{THL}	2	—	75	—	—	—	95	—	—	—	110	—	—	ns
		4.5	—	15	—	15	—	19	—	19	—	22	—	22	
		6	—	13	—	—	—	16	—	—	—	19	—	—	
Input Capacitance	C_I		—	10	—	10	—	10	—	10	—	10	—	10	pF



	54/74HC	54/74HCT
Input Level	V_{CC}	3 V
Switching Voltage, V_S	50% V_{CC}	1.3 V

Fig. 2 - Propagation delay and transition times.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

PRELIMINARY

27128B
ADVANCED 128K (16K x 8) UV ERASABLE PROM

- Fast 110 nsec Access Time
  — HMOS* II-E Technology
- Low Power
  — 100 mA Maximum Active
  — 40 mA Maximum Standby
- Int$_e$ligent Identifier™ Mode
  — Automated Programming Operations
- Compatible with 2764A, 27128A, 27256
- Int$_e$ligent Programming™ Algorithm
  — Fast EPROM Programming
- ±10% V_{CC} Tolerance Available
- Available in 28-Pin Cerdip Package
  (See Packaging Spec, Order # 231369)

The Intel 27128B is a 5V only, 131,072-bit ultraviolet erasable and electrically programmable read-only memory (EPROM). The 27128B is an advanced high speed version of the 27128 and is fabricated with intel's HMOSII-E technology which significantly reduces die size and greatly improves the device's performance, reliability and manufacturability.

Several advanced features have been designed into the 27128B that allow fast and reliable programming—the int$_e$ligent Programming Algorithm and the int$_e$ligent Identifier Mode. Programming equipment that takes advantage of these innovations will electronically identify the 27128B and then rapidly program it using an efficient programming method.

The 27128B is available in fast access times including 110 ns (27128B-110V05), 135 ns (27128B-135V05), and 150 ns (27128B-150V10). This ensures compatibility with high-performance microprocessors, such as Intel's 10 MHz 80286 allowing full speed operation without the addition of WAIT states. The 27128B is also directly compatible with the 12 MHz 8051 family.

*HMOS is a patented process of Intel Corporation.

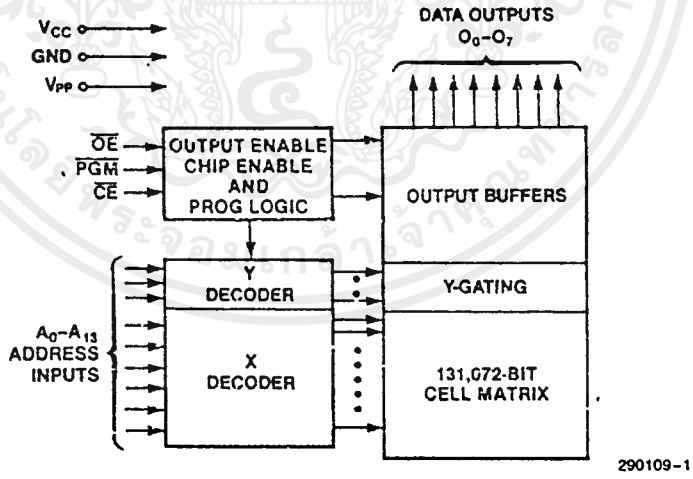


Figure 1. Block Diagram

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Pin Names

A_0–A_{13}	ADDRESSES
$\overline{CE}$	CHIP ENABLE
$\overline{OE}$	OUTPUT ENABLE
O_0–O_7	OUTPUTS
$\overline{PGM}$	PROGRAM
N.C.	NO INTERNAL CONNECT
D.U.	DON'T USE
$\overline{WE}$	WRITE ENABLE

27916	27513	27512	27256 87C256 27C256	2764 2764A 27C64 87C64	2732 2732A	2716
V_{PP}	D.U.	A_{15}	V_{PP}	V_{PP}		
A_{12}	A_{12}	A_{12}	A_{12}	A_{12}		
A_7	A_7	A_7	A_7	A_7	A_7	A_7
A_6	A_6	A_6	A_6	A_6	A_6	A_6
A_5	A_5	A_5	A_5	A_5	A_5	A_5
A_4	A_4	A_4	A_4	A_4	A_4	A_4
A_3	A_3	A_3	A_3	A_3	A_3	A_3
A_2	A_2	A_2	A_2	A_2	A_2	A_2
A_1	A_1	A_1	A_1	A_1	A_1	A_1
A_0	A_0	A_0	A_0	A_0	A_0	A_0
O_0	D_0/O_0	O_0	O_0	O_0	O_0	O_0
O_1	D_1/O_1	O_1	O_1	O_1	O_1	O_1
O_2	O_2	O_2	O_2	O_2	O_2	O_2
GND	GND	GND	GND	GND	GND	GND

290109-2

2716	2732 2732A	2764 2764A 27C64 87C64	27256 87C256 27C256	27512	27513	27916
		V_{CC} $\overline{PGM}$	V_{CC} A_{14}	V_{CC} A_{14}	V_{CC} $\overline{WE}$	V_{CC} $\overline{PGM}/\overline{WE}$
V_{CC}	V_{CC}	N.C.	A_{13}	A_{13}	A_{13}	A_{13}
A_8	A_8	A_8	A_8	A_8	A_8	A_8
A_9	A_9	A_9	A_9	A_9	A_9	A_9
V_{PP}	A_{11}	A_{11}	A_{11}	A_{11}	A_{11}	A_{11}
$\overline{OE}$	$\overline{OE}/V_{PP}$	$\overline{OE}$	$\overline{OE}$	$\overline{OE}/V_{PP}$	$\overline{OE}/V_{PP}$	$\overline{OE}$
A_{10}	A_{10}	A_{10}	A_{10}	A_{10}	A_{10}	A_{10}
$\overline{CE}$	$\overline{CE}$	$\overline{CE}$ ALE/$\overline{CE}$	$\overline{CE}$ ALE/$\overline{CE}$	$\overline{CE}$	$\overline{CE}$	$\overline{CE}$
O_7	O_7	O_7	O_7	O_7	O_7	O_7
O_6	O_6	O_6	O_6	O_6	O_6	O_6
O_5	O_5	O_5	O_5	O_5	O_5	O_5
O_4	O_4	O_4	O_4	O_4	O_4	O_4
O_3	O_3	O_3	O_3	O_3	O_3	O_3

NOTE: Intel "Universal Site"—Compatible EPROM Pin Configurations are Shown in the Blocks Adjacent to the 27128B Pins

Figure 2. Cerdip(D) Pin Configuration

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ABSOLUTE MAXIMUM RATINGS*

Operating Temperature During Read ..... 0°C to +70°C

Temperature Under Bias ..... −10°C to +80°C

Storage Temperature ..... −65°C to +125°C

All Input or Output Voltages with Respect to Ground ..... −0.6V to +6.25V

Voltage on A_9 with Respect to Ground ..... −0.6V to +13.5V

V_{PP} Supply Voltage with Respect to Ground During Programming .... −0.6V to +14V

V_{CC} Supply Voltage with Respect to Ground ..... −0.6V to +7.0V

Notice: Stresses above those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. This is a stress rating only and functional operation of the device at these or any other conditions above those indicated in the operational sections of this specification is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

NOTICE: Specifications contained within the following tables are subject to change.

READ OPERATION

D.C. CHARACTERISTICS $0°C \le T_A \le +70°C$

Symbol	Parameter	Limits				Conditions
		Min	Typ(3)	Max	Units	
I_{LI}	Input Load Current			10	µA	$V_{IN} = 5.5V$
I_{LO}	Output Leakage Current			10	µA	$V_{OUT} = 5.5V$
I_{PP1}(2)	V_{PP} Current Read			5	mA	$V_{PP} = 5.5V$
I_{SB}	V_{CC} Current Standby			40	mA	$\overline{CE} = V_{IH}$
I_{CC1}(2)	V_{CC} Current Active			100	mA	$\overline{CE} = \overline{OE} = V_{IL}$
V_{IL}	Input Low Voltage	−0.1		+0.8	V	
V_{IH}	Input High Voltage	2.0		$V_{CC}+1$	V	
V_{OL}	Output Low Voltage			0.45	V	$I_{OL} = 2.1$ mA
V_{OH}	Output High Voltage	2.4			V	$I_{OH} = -400$ µA
V_{PP}(2)	V_{PP} Read Voltage	3.8		V_{CC}	V	$V_{CC} = 5.0V \pm 0.25$

A.C. CHARACTERISTICS $0°C \le T_A \le +70°C$

Versions	$V_{CC} \pm 5\%$ / $V_{CC} \pm 10\%$	27128B-110V05		27128B-135V05		27128B-150V10		Unit
Symbol	Characteristics	Min	Max	Min	Max	Min	Max	
t_{ACC}	Address to Output Delay		110		135		150	ns
t_{CE}	$\overline{CE}$ to Output Delay		110		135		150	ns
t_{OE}	$\overline{OE}$ to Output Delay		55		65		65	ns
t_{DF}(4)	$\overline{CE}$ High to Output Float	0	45	0	55	0	55	ns
t_{OH}	Output Hold from Addresses $\overline{CE}$ or $\overline{OE}$ Whichever Occurred First	0		0		0		ns

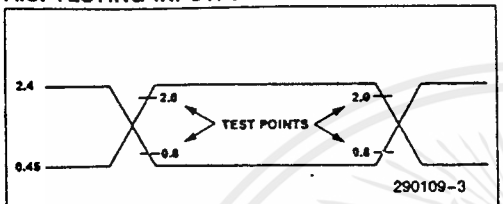
NOTES:
1. V_{CC} must be applied simultaneously or before V_{PP} and removed simultaneously or after V_{PP}.
2. V_{PP} may be connected directly to V_{CC} except during programming. The supply current would then be the sum of I_{CC} and I_{PP1}. The maximum current value is with Outputs O_0 to O_7 unloaded.
3. Typical values are for $T_A = 25°C$ and nominal supply voltages.
4. This parameter is only sampled and is not 100% tested. Output Float is defined as the point where data is no longer driven—see timing diagram.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

CAPACITANCE[2] T_A = 25°C, f = 1MHz

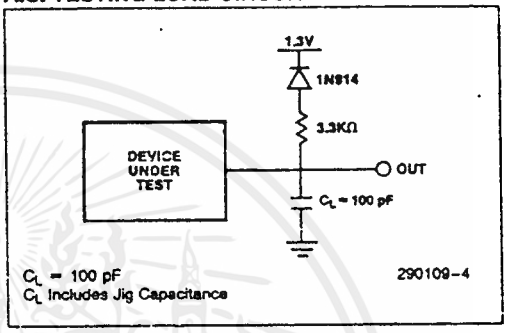
Symbol	Parameter	Typ[1]	Max	Unit	Conditions
C_{IN}	Input Capacitance	4	6	pF	V_{IN} = 0V
C_{OUT}	Output Capacitance	8	12	pF	V_{OUT} = 0V

A.C. TESTING INPUT/OUTPUT WAVEFORM



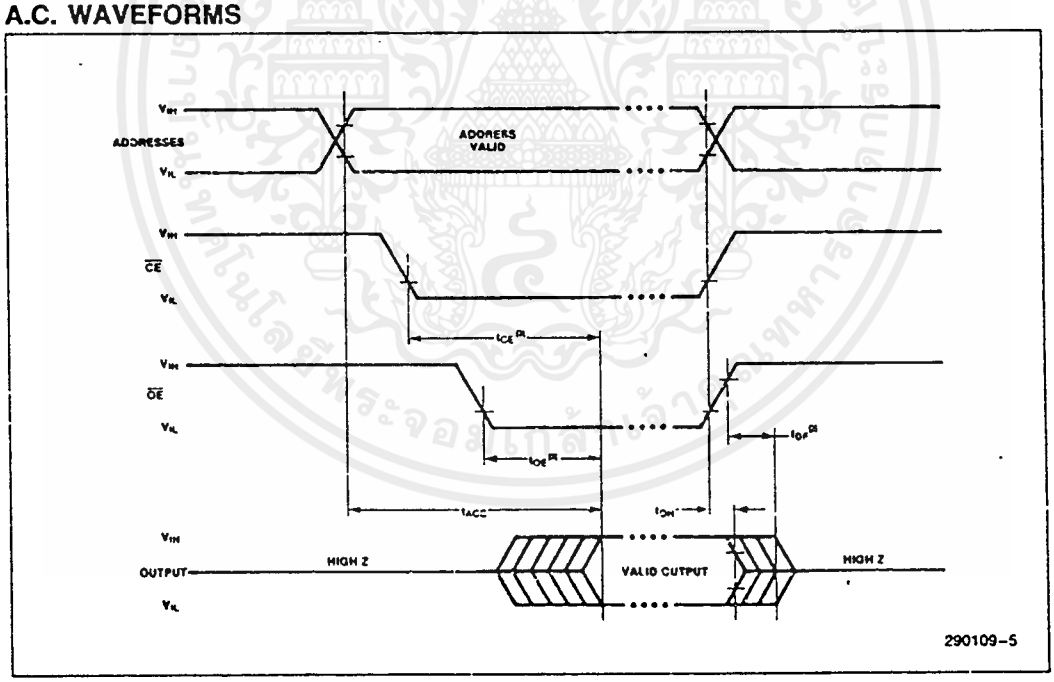
A.C. testing inputs are driven at 2.4V for a Logic "1" and 0.45V for a Logic "0". Timing measurements are made at 2.0V for a Logic "1" and 0.8V for a Logic "0."

A.C. TESTING LOAD CIRCUIT



C_L = 100 pF
C_L Includes Jig Capacitance

A.C. WAVEFORMS



NOTES:
1. Typical values are for T_A = 25°C and nominal supply voltages.
2. This parameter is only sampled and is not 100% tested.
3. $\overline{OE}$ may be delayed up to t_{CE}—t_{OE} after the falling edge of $\overline{CE}$ without impact on t_{CE}.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

DEVICE OPERATION

The modes of operation of the 27128B are listed in Table 1. A single 5V power supply is required in the read mode. All inputs are TTL levels except for V_{PP} and 12V on A_9 for intelligent Identifier.

Table 1. Modes Selection

Pins / Mode		$\overline{CE}$	$\overline{OE}$	$\overline{PGM}$	A_9	A_0	V_{PP}	V_{CC}	Outputs
Read		V_{IL}	V_{IL}	V_{IH}	X(1)	X	V_{CC}	5.0V	D_{OUT}
Output Disable		V_{IL}	V_{IH}	V_{IH}	X	X	V_{CC}	5.0V	High Z
Standby		V_{IH}	X	X	X	X	V_{CC}	5.0V	High Z
Programming		V_{IL}	V_{IH}	V_{IL}	X	X	(Note 4)	(Note 4)	D_{IN}
Program Verify		V_{IL}	V_{IL}	V_{IH}	X	X	(Note 4)	(Note 4)	D_{OUT}
Program Inhibit		V_{IH}	X	X	X	X	(Note 4)	(Note 4)	High Z
intelligent Identifier	Manufacturer(3)	V_{IL}	V_{IL}	V_{IH}	V_H(2)	V_{IL}	V_{CC}	5.0V	89 H
	Device(3)	V_{IL}	V_{IL}	V_{IH}	V_H(2)	V_{IH}	V_{CC}	5.0V	89 H

NOTES:
1. X can be V_{IL} or V_{IH}
2. V_H = 12.0V ±0.5V
3. A_1–A_8, A_{10}–A_{12} = V_{IL}
4. See Table 2 for V_{CC} and V_{PP} voltages.

Read Mode

The 27128B has two control functions, both of which must be logically active in order to obtain data at the outputs. Chip Enable ($\overline{CE}$) is the power control and should be used for device selection. Output Enable ($\overline{OE}$) is the output control and should be used to gate data from the output pins, independent of device selection. Assuming that addresses are stable, the address access time (t_{ACC}) is equal to the delay from $\overline{CE}$ to output (t_{CE}). Data is available at the outputs after a delay of t_{OE} from the falling edge of $\overline{OE}$, assuming that $\overline{CE}$ has been low and addresses have been stable for at least t_{ACC}-t_{OE}.

Standby Mode

EPROMs can be placed in standby mode which reduces the maximum current of the device by applying a TTL-high signal to the $\overline{CE}$ input. When in standby mode, the outputs are in a high impedance state, independent of the $\overline{OE}$ input.

Two Line Output Control

Because EPROMs are usually used in larger memory arrays, Intel has provided 2 control lines which accommodate this multiple memory connection. The two control lines allow for:

a) the lowest possible memory power dissipation, and

b) complete assurance that output bus contention will not occur

To use these two control lines most efficiently, $\overline{CE}$ should be decoded and used as the primary device selecting function, while $\overline{OE}$ should be made a common connection to all devices in the array and connected to the $\overline{READ}$ line from the system control bus. This assures that all deselected memory devices are in their low power standby mode and that the output pins are active only when data is desired from a particular memory device.

SYSTEM CONSIDERATIONS

The power switching characteristics of EPROMs require careful decoupling of the devices. The supply current, I_{CC}, has three segments that are of interest to the system designer—the standby current level, the active current level, and the transient current peaks that are produced by the falling and rising edges of Chip Enable. The magnitude of these transient current peaks is dependent on the output capacitive and inductive loading of the device. The associated transient voltage peaks can be suppressed by complying with Intel's Two-Line Control, and by properly selected decoupling capacitors. It is recommended that a 0.1 µF ceramic capacitor be used on every device between V_{CC} and GND. This should be a high frequency capacitor for low inherent inductance and should be placed as close to the device as possible. In addition, a 4.7 µF bulk electrolytic capacitor should be used between V_{CC} and GND for every eight devices. The bulk capacitor should be located near where the power supply is connected to the array. The purpose of the bulk capacitor is to overcome the voltage droop caused by the inductive effect of PC board-traces.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

PROGRAMMING MODES

Caution: Exceeding 14V on V_{PP} will permanently damage the device.

Initially, and after each erasure, all bits of the EPROM are in the "1" state. Data is introduced by selectively programming "0s" into the desired bit locations. Although only "0s" will be programmed, both "1s" and "0s" can be present in the data word. The only way to change a "0" to a "1" is by ultraviolet light erasure (Cerdip EPROMs).

The device is in the programming mode when V_{PP} is raised to its programming voltage (See Table 2) and $\overline{CE}$ and $\overline{PGM}$ are both at TTL low. The data to be programmed is applied 8 bits in parallel to the data output pins. The levels required for the address and data inputs are TTL.

Program Inhibit

Programming of multiple EPROMS in parallel with different data is easily accomplished by using the Program Inhibit mode. A high-level $\overline{CE}$ or $\overline{PGM}$ input inhibits the other devices from being programmed.

Except for $\overline{CE}$, all like inputs (including $\overline{OE}$) of the parallel EPROMs may be common. A TTL low-level pulse applied to the $\overline{PGM}$ input with V_{PP} at its programming voltage and $\overline{CE}$ at TTL-Low will program the selected device.

Program Verify

A verify should be performed on the programmed bits to determine that they have been correctly programmed. The verify is performed with $\overline{OE}$ at V_{IL}, $\overline{CE}$ at V_{IL}, $\overline{PGM}$ at V_{IH} and V_{PP} and V_{CC} at their programming voltages.

inteligent Identifier™ Mode

The inteligent Identifier Mode allows the reading out of a binary code from an EPROM that will identify its manufacturer and type. This mode is intended for use by programming equipment for the purpose of automatically matching the device to be programmed with its corresponding programming algorithm. This mode is functional in the 25°C ±5°C ambient temperature range that is required when programming the device.

To activate this mode, the programming equipment must force 11.5V to 12.5V on address line A9 of the EPROM. Two identifier bytes may then be sequenced from the device outputs by toggling address line A0 from V_{IL} to V_{IH}. All other address lines must be held at V_{IL} during the inteligent Identifier Mode.

Byte 0 (A0 = V_{IL}) represents the manufacturer code and byte 1 (A0 = V_{IH}) the device identifier code. These two identifier bytes are given in Table 1.

INTEL EPROM PROGRAMMING SUPPORT TOOLS

Intel offers a full line of EPROM Programmers providing state-of-the-art programming for Intel programmable devices. The modular architecture of Intel's EPROM programmers allows you to add new support as it becomes available, with very low cost add-ons. For example, even the earliest users of the iUP-FAST 27/K module may take advantage of Intel's new Quick-Pulse Programming Algorithm, the fastest in the industry.

Intel EPROM programmers may be controlled from a host computer using Intel's PROM Programming software (iPPS). iPPS makes programming easy for a growing list of industry standard hosts, including the IBM PC, XT, AT and PCDOS compatibles, Intellec Development Systems. Intel's iPDS Personal Development System, and the Intel Network Development System (iNDS-II). Stand-alone operation is also available, including device previewing, editing, programming, and download of programming data from any source over an RS232C port.

For further details consult the EPROM Programming section of the Development Systems Handbook.

ERASURE CHARACTERISTICS (FOR CERDIP EPROMS)

The erasure characteristics are such that erasure begins to occur upon exposure to light with wavelengths shorter than approximately 4000 Angstroms (Å). It should be noted that sunlight and certain types of fluorescent lamps have wavelengths in the 3000-4000Å range. Data shows that constant exposure to room level fluorescent lighting could erase the EPROM in approximately 3 years, while it would take approximately 1 week to cause erasure when exposed to direct sunlight. If the device is to be exposed to these types of lighting conditions for extended periods of time, opaque labels should be placed over the window to prevent unintentional erasure.

The recommended erasure procedure is exposure to shortwave ultraviolet light which has a wavelength of 2537 Angstroms (Å). The integrated dose (i.e., UV intensity × exposure time) for erasure should be a minimum of 15 Wsec/cm^2. The erasure time with this dosage is approximately 15 to 20 minutes using an ultraviolet lamp with a 12000 μW/cm^2 power rating. The EPROM should be placed within 1 inch of the lamp tubes during erasure. The maximum integrated dose an EPROM can be exposed to without damage is 7258 Wsec/cm^2 (1 week @ 12000 μW/cm^2). Exposure of the device to high intensity UV light for longer periods may cause permanent damage.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

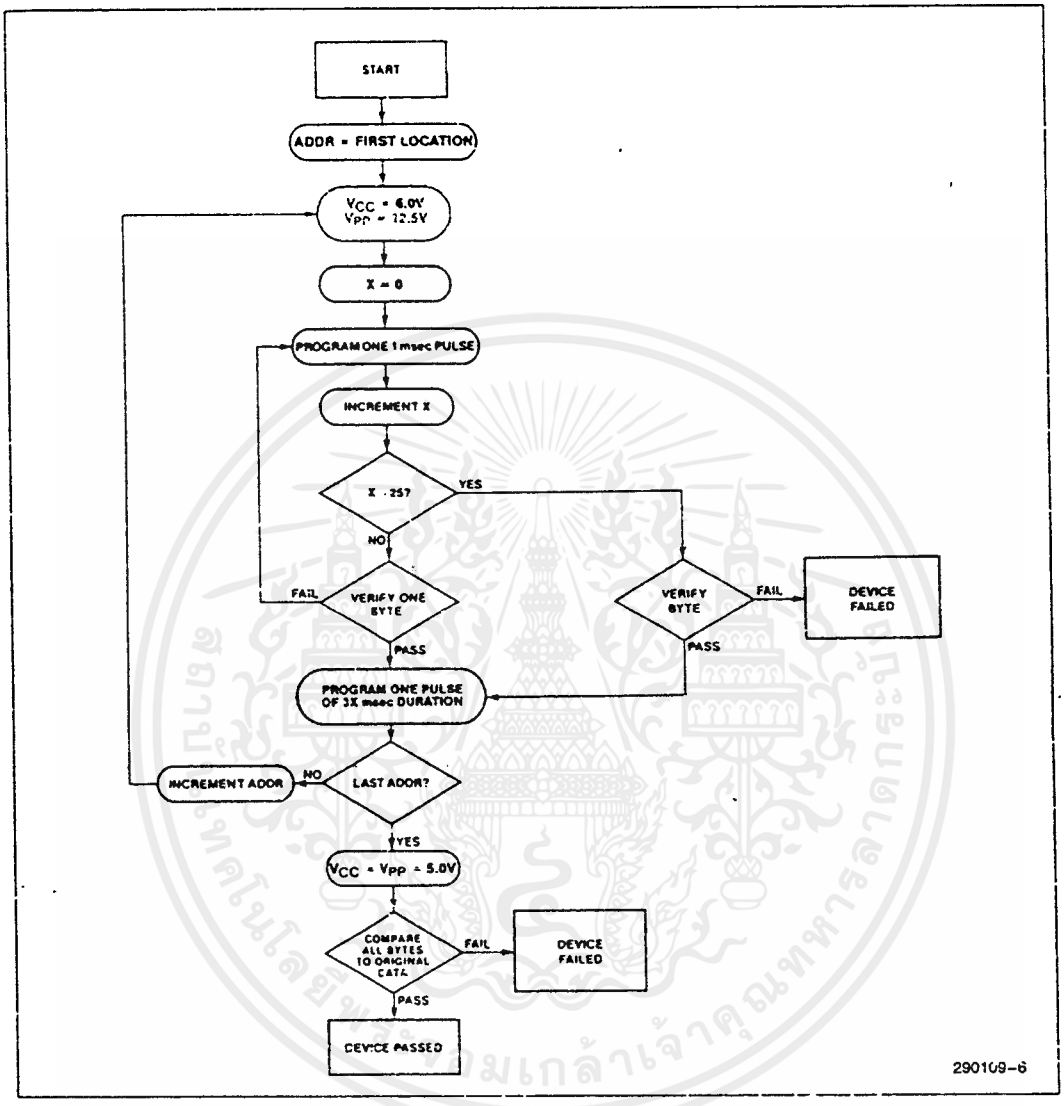


Figure 5. int$_e$ligent Programming™ Flowchart

int$_e$ligent Programming™ Algorithm

The int$_e$ligent Programming Algorithm, a standard in the industry for the past few years, can be used to program all of Intels 12.5V V_{PP} EPROMs. A flowchart of the int$_e$ligent Programming Algorithm is shown in Figure 5.

The int$_e$ligent Programming Algorithm utilizes two different pulse types: initial and overprogram. The duration of the initial pulse(s) is one millisecond, which will then be followed by a larger overprogram pulse of length 3X msec. X is an iteration counter and is equal to the number of the initial one millisecond pulses applied to a particular location, before a correct verify occurs. Up to 25 one-millisecond pulses per byte are provided for before the overprogram pulse is applied.

The entire sequence of program pulses and byte verifications is performed at V_{CC} = 6.0V and V_{PP} = 12.5V. When the int$_e$ligent Programming cycle has been completed, all bytes should be compared to the original data with $V_{CC} = V_{PP} = 5.0V$.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

D.C. PROGRAMMING CHARACTERISTICS $T_A = 25°C \pm 5°C$

Table 2

Symbol	Parameter	Limits			Test Conditions (Note 1)
		Min	Max	Unit	
I_{LI}	Input Current (All Inputs)		10	μA	$V_{IN} = V_{IL}$ or V_{IH}
V_{IL}	Input Low Level (All Inputs)	−0.1	0.8	V	
V_{IH}	Input High Level	2.0	$V_{CC}+1$	V	
V_{OL}	Output Low Voltage During Verify		0.45	V	$I_{OL} = 2.1$ mA
V_{OH}	Output High Voltage During Verify	2.4		V	$I_{OH} = -400$ μA
I_{CC2}(4)	V_{CC} Supply Current (Program & Verify)		100	mA	
I_{PP2}	V_{PP} Supply Current (Program)		50	mA	$\overline{CE} = V_{IL}$
V_{ID}	A9 intelligent Identifier Voltage	11.5	12.5	V	
V_{PP}	intelligent Programming Algorithm	12.0	13.0	V	$\overline{CE} = \overline{PGM} = V_{IL}$
V_{CC}	Intelligent Programming Algorithm	5.75	6.25	V	

A.C. PROGRAMMING CHARACTERISTICS

$T_A = 25°C \pm 5°C$ (See Table 2 for V_{CC} and V_{PP} voltages.)

Symbol	Parameter	Limits				Conditions* (Note 1)
		Min	Typ	Max	Unit	
t_{AS}	Address Setup Time	2			μs	
t_{OES}	$\overline{OE}$ Setup Time	2			μs	
t_{DS}	Data Setup Time	2			μs	
t_{AH}	Address Hold Time	0			μs	
t_{DH}	Data Hold Time	2			μs	
t_{DFP}	$\overline{OE}$ High to Output Float Delay	0		130	ns	(Note 3)
t_{VPS}	V_{PP} Setup Time	2			μs	
t_{VCS}	V_{CC} Setup Time	2			μs	
t_{CES}	$\overline{CE}$ Setup Time	2			μs	
t_{PW}	$\overline{PGM}$ Initial Program Pulse Width	0.95	1.0	1.05	ms	Intelligent Programming
t_{OPW}	$\overline{PGM}$ Overprogram Pulse Width	2.85		78.75	ms	(Note 2)
t_{OE}	Data Valid from $\overline{OE}$			150	ns	

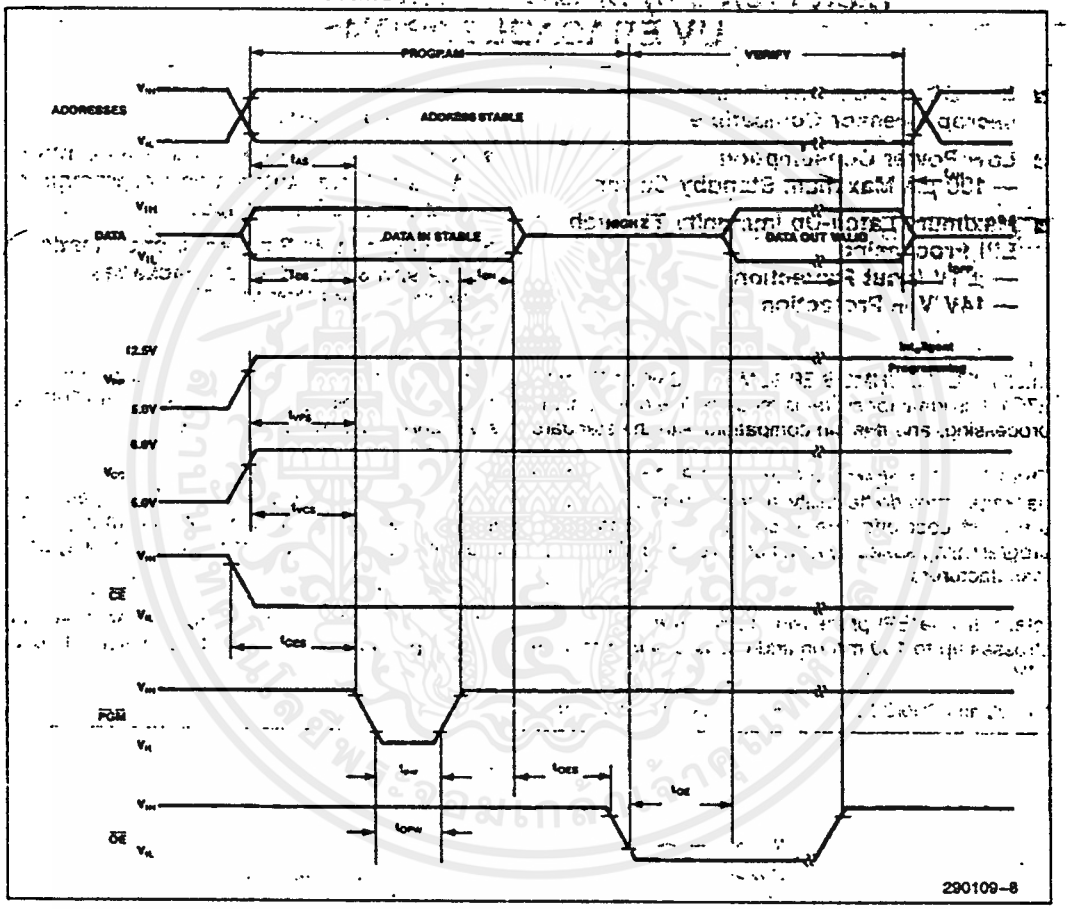
*A.C. CONDITIONS OF TEST

Input Rise and Fall Times (10% to 90%) ..... 20 ns
Input Pulse Levels ..... 0.45V to 2.4V
Input Timing Reference Level ..... 0.8V and 2.0V
Output Timing Reference Level ..... 0.8V and 2.0V

NOTES:
1. V_{CC} must be applied simultaneously or before V_{PP} and removed simultaneously or after V_{PP}.
2. The length of the overprogram pulse (intelligent Programming Algorithm only) may vary from 2.85 msec to 78.75 msec as a function of the iteration counter value X.
3. This parameter is only sampled and is not 100% tested. Output Float is defined as the point where data is no longer driven—see timing diagram.
4. The maximum current value is with outputs O_0–O_7 unloaded.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

PROGRAMMING WAVEFORMS



NOTES:
1. The Input Timing Reference Level is 0.8V for V_{IL} and 2V for a V_{IH}.
2. t_{OE} and t_{DFP} are characteristics of the device but must be accommodated by the programmer.
3. When programming the 27128B, a 0.1 μF capacitor is required across V_{PP} and ground to suppress spurious voltage transients which can damage the device.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

27C64/87C64
64K (8K x 8) CHMOS PRODUCTION AND UV ERASABLE PROMS

- CHMOS Microcontroller and Microprocessor Compatible
  - 87C64-Integrated Address Latch
  - Universal 28 Pin Memory Site, 2-line Control
- Low Power Consumption
  - 100 μA Maximum Standby Current
- Noise Immunity Features
  - $\pm$10% V_{CC} Tolerance
  - Maximum Latch-up Immunity Through EPI Processing
- High Performance Speeds
  - 150 ns Maximum Access Time
- New Quick-Pulse Programming™ Algorithm (1 second programming)
- Available in 28-Pin Cerdip and Plastic DIP Package and 32-Lead PLCC Package.

(See Packaging Spec, Order #231369)

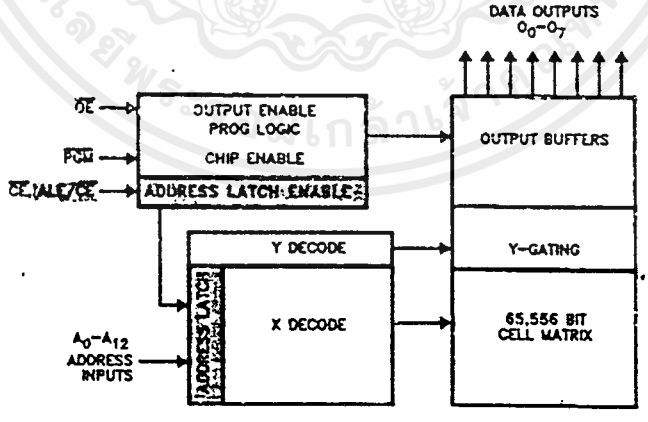
Intel's 27C64 and 87C64 CHMOS EPROMs are 64K bit 5V only memories organized as 8192 words of 8 bits. They employ advanced CHMOS*II-E circuitry for systems requiring low power, high performance speeds, and immunity to noise. The 87C64 has been optimized for multiplexed bus microcontroller and microprocessor compatibility while the 27C64 has a non-multiplexed addressing interface and is plug compatible with the standard Intel 2764A (HMOS II-E).

The 27C64 and 87C64 are offered in both a ceramic DIP, Plastic DIP, and Plastic Leaded Chip Carrier (PLCC) Packages. Cerdip packages provide flexibility in prototyping and R&D environments, whereas Plastic DIP and PLCC EPROMs provide optimum cost effectiveness in production environments. A new Quick-Pulse Programming™ Algorithm is employed which can speed up programming by as much as one hundred times.

The 87C64 incorporates an address latch on the address pins to minimize chip count in multiplexed bus systems. Designers can eliminate an external address latch by tieing address and data pins of the 87C64 directy to the processor's multiplexed address/data pins. On the falling edge of the ALE input (ALE/$\overline{CE}$), address information at the address inputs (A_0–A_{12}) of the 87C64 is latched internally. The address inputs are then ignored as data information is passed on the same bus.

The highest degree of protection against latch-up is achieved through Intel's unique EPI processing. Prevention of latch-up is provided for stresses up to 100 mA on address and data pins from -1V to V_{CC} + 1V.

*HMOS and CHMOS are patented processes of Intel Corporation.



Shaded Areas represent the 87C64 version

Figure 1. Block Diagram

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Pin Names

A_0-A_{12}	ADDRESSES
O_0-O_7	OUTPUTS
$\overline{OE}$	OUTPUT ENABLE
$\overline{CE}$	CHIP ENABLE
ALE/$\overline{CE}$	ADDRESS LATCH ENABLE/CHIP ENABLE
$\overline{PGM}$	PROGRAM STROBE
N.C.	NO CONNECT
D.U.	DON'T USE

27C64/87C64
P27C64/P87C64

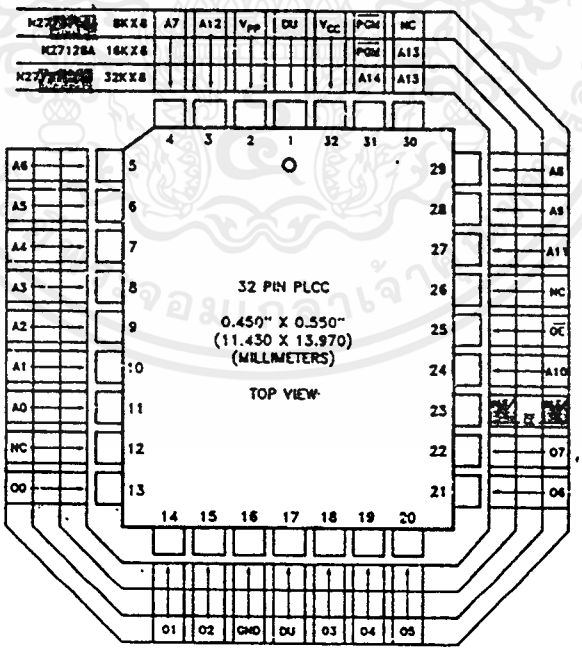
27256	27128	2732A	2716
V_{PP}	V_{PP}		
A_{12}	A_{12}		
A_7	A_7	A_7	A_7
A_6	A_6	A_6	A_6
A_5	A_5	A_5	A_5
A_4	A_4	A_4	A_4
A_3	A_3	A_3	A_3
A_2	A_2	A_2	A_2
A_1	A_1	A_1	A_1
A_0	A_0	A_0	A_0
O_0	O_0	O_0	O_0
O_1	O_1	O_1	O_1
O_2	O_2	O_2	O_2
Gnd	Gnd	Gnd	Gnd

290000-2

2716	2732A	27128	27256
		V_{CC}/PGM	V_{CC}
V_{CC}	V_{CC}	A_{13}	A_{14}
A_8	A_8	A_8	A_{13}
A_9	A_9	A_9	A_8
V_{PP}	A_{11}	A_{11}	A_9
$\overline{OE}$	$\overline{OE}/V_{PP}$	$\overline{OE}$	A_{11}
A_{10}	A_{10}	A_{10}	$\overline{OE}$
$\overline{CE}$	$\overline{CE}$	$\overline{CE}$	A_{10}
O_7	O_7	O_7	$\overline{CE}$
O_6	O_6	O_6	O_7
O_5	O_5	O_5	O_6
O_4	O_4	O_4	O_5
O_3	O_3	O_3	O_4
			O_3

NOTE:
Intel "Universal Site" Compatible EPROM Pin Configurations are shown in the adjacent blocks to 27C64 Pins.
Shaded Areas represent the 87C64 version

Figure 2. Pin Configuration



290000-11

Figure 3. PLCC(N) Lead Configuration

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Extended Temperature (Express) EPROMs

The Intel EXPRESS EPROM family is a series of electrically programmable read only memories which have received additional processing to enhance product characteristics. EXPRESS processing is available for several densities of EPROM, allowing the choice of appropriate memory size to match system applications.

EXPRESS EPROM products are available with 168 ±8 hour, 125°C dynamic burn-in using Intel's standard bias configuration. This process exceeds or meets most industry specifications of burn-in. The standard EXPRESS EPROM operating temperature range is 0°C to 70°C. Extended operating temperature range (−40°C to +85°C) EXPRESS products are available along with automotive temperature range (−40°C to +125°C) products. Like all Intel EPROMs, the EXPRESS EPROM family is inspected to 0.1% electrical AQL. This may allow the user to reduce or eliminate incoming inspection testing.

EXPRESS EPROM Product Family

PRODUCT DEFINITIONS

Type	Operating Temperature (°C)	Burn-in 125°C (hr)
Q	0 to +70	168 ±8
T	−40 to +85	NONE
L	−40 to +85	168 ±8
A	−40 to +125	NONE
B	−40 to +125	168 ±8

EXPRESS Options

27C64/87C64 Versions

Speed Versions	Packaging Options		
	Cerdip	PLCC	Plastic DIP
−1	T, L, Q	T	T
−15	T, L, Q	T	T
−2	T, L, Q, A, B	T, A	T, A
−20	T, L, Q, A	T	T
−STD	T, L, Q, A, B	T, A	T, A
−25	T, L, Q, A	T	T
−3	T, L, Q, A, B	T, A	T, A
−30	T, L, Q, A	T	T

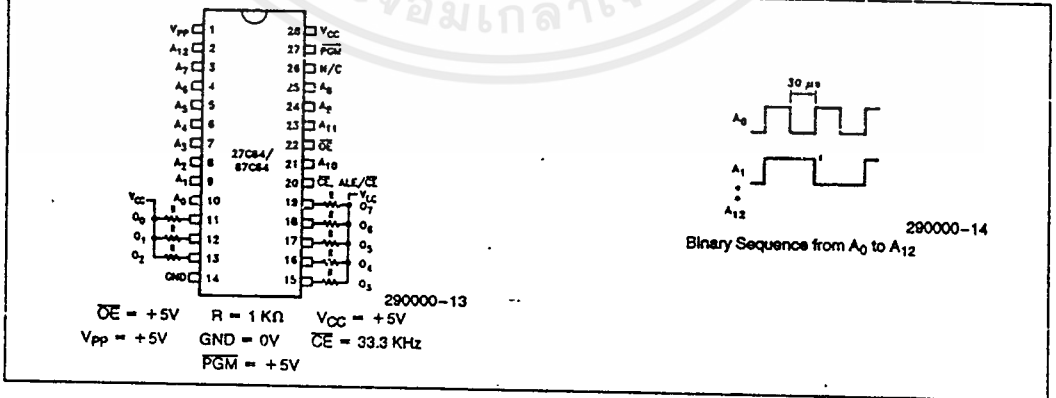
READ OPERATION

D.C. CHARACTERISTICS

Electrical Parameters of EXPRESS EPROM products are identical to standard EPROM parameters except for:

Symbol	Parameter		27C64 87C64 Min	27C64 87C64 Max	Test Conditions
I_{SB}	V_{CC} Standby Current (mA)	CMOS		0.1	$\overline{CE} = V_{CC}$, $\overline{OE} = V_{IL}$
		TTL		1.0	$\overline{CE} = V_{IH}$, $\overline{OE} = V_{IL}$
I_{CC1}(1)	V_{CC} Active Current (mA)	TTL		20, 30	$\overline{OE} = \overline{CE} = V_{IL}$
	V_{CC} Active Current at High Temperature	TTL		20, 30	$\overline{OE} = \overline{CE} = V_{IL}$ $V_{PP} = V_{CC}$, $T_{ambient}$ = 85°C

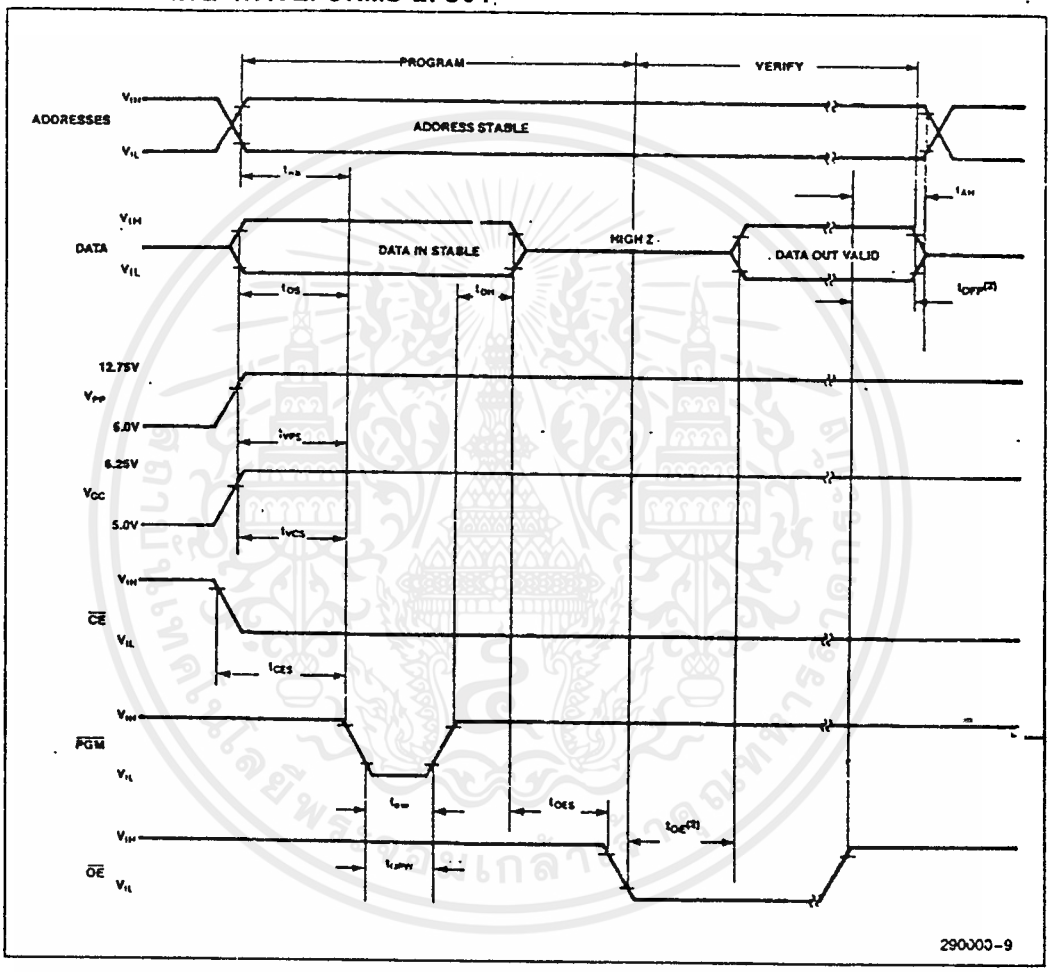
NOTE:
1. See notes 4 and 6 of Read Operation D.C. Characteristics.



Burn-In Bias and Timing Diagrams

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

PROGRAMMING WAVEFORMS 27C64



NOTES:
1. The Input Timing Reference Level is 0.8V for V_{IL} and 2V for a V_{IH}.
2. t_{OE} and t_{DFP} are characteristics of the device but must be accommodated by the programmer.
3. When programming the 27C64, a 0.1 μF capacitor is required across V_{PP} and ground to suppress spurious voltage transients which can damage the device.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

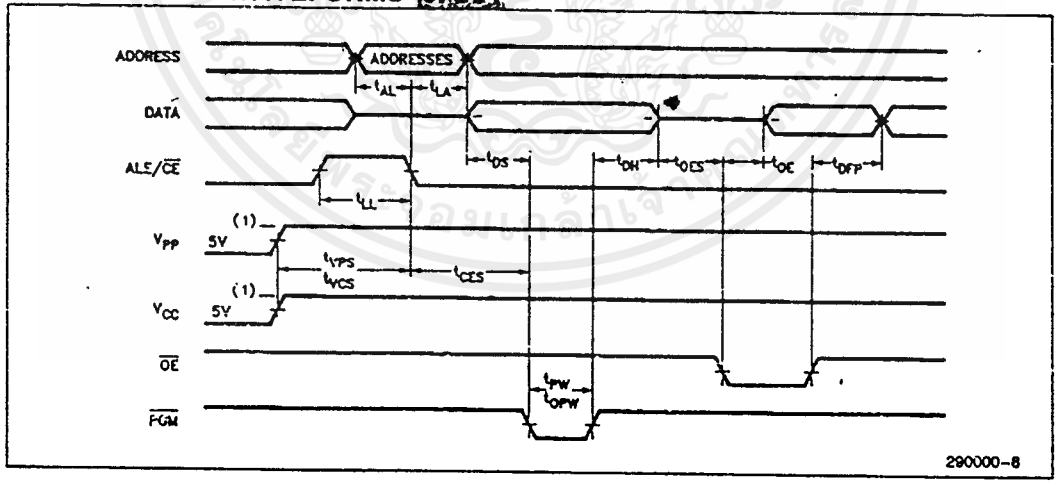
A.C. PROGRAMMING CHARACTERISTICS 87C64

T_A = 25°C ±5°C, See Table 2 for V_{CC} and V_{PP} Voltages.

Symbol	Parameter	Limits			Unit	Conditions
		Min	Typ	Max		
t_{VPS}	V_{PP} Setup Time	2			µs	
t_{VCS}	V_{CC} Setup Time	2			µs	
t_{LL}	Chip Deselect Width	2			µs	
t_{AL}	Address to Chip Select Setup	1			µs	
t_{LA}	Address Hold from Chip Select	1			µs	
t_{PW}	$\overline{PGM}$ Pulse Width	95	100	105	µs	Quick-Pulse
t_{DS}	Data Setup Time	2			µs	
t_{DFP}	$\overline{OE}$ High to Data Float	0		130	ns	
t_{OES}	Output Enable Setup Time	2			µs	
t_{OE}	Data Valid from Output Enable			150	ns	
t_{DH}	Data Hold Time	2			µs	
t_{CES}	$\overline{CE}$ Setup Time	2			µs	

NOTE:
1. Programming tolerances and test conditions are the same as 27C64.

PROGRAMMING WAVEFORMS 87C64



NOTE:
1. 12.75V V_{PP} & 6.25V V_{CC} for Quick-Pulse Programming Algorithm.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2764A
ADVANCED 64K (8K x 8)
PRODUCTION AND UV ERASABLE PROMs

- Plastic P2764A is Compatible with Auto-Insertion Equipment
- Fast Access Time—HMOS* II E
  - —180 ns Cerdip D2764A-1
  - —200 ns Plastic P2764A-2
- Moisture Resistant
- Two-line Control
- New Quick-Pulse Programming™ Algorithm For Plastic P2764A
  - —1 Second Programming
  - —int$_e$ligent Programming™ Algorithm Compatible
- int$_e$ligent Identifier™ Mode
- Industry Standard Pinout . . . JEDEC Approved . . . 28 Lead Package

(See Packaging Spec, Order #231369)

The Intel 2764A is a 5V only, 65,536-bit electrically programmable read-only memory (EPROM). The 2764A is fabricated with Intel's HMOSII-E technology which significantly reduces die size and greatly improves the device's performance, power consumption, reliability and producibility.

The P2764A is ideal for high volume production environments where code flexibility is crucial. Plastic packaging is also well-suited to auto-insertion equipment in cost-effective automated assembly lines. Intel's new Quick-Pulse Programming Algorithm enables the P2764A to be programmed within one second. Programming equipment which takes advantage of this innovation will electronically identify the EPROM with the help of the int$_e$ligent Identifier and rapidly program it using a superior programming method. The int$_e$ligent Programming Algorithm may be utilized in the absence of such equipment.

The 2764A provides access times to 180 ns (2764A-1). This is compatible with high-performance microprocessors, such as Intel's 8 MHz iAPX 186 allowing full speed operation without the addition of WAIT states. The 2764A is also directly compatible with the 12 MHz 8051 family.

Two-line control and JEDEC-approved, 28 pin packaging are standard features of Intel higher density EPROMs. This assures easy microprocessor interfacing and minimum design efforts when upgrading, adding, or choosing between non-volatile memory alternatives.

*HMOS is a patented process of Intel Corporation.

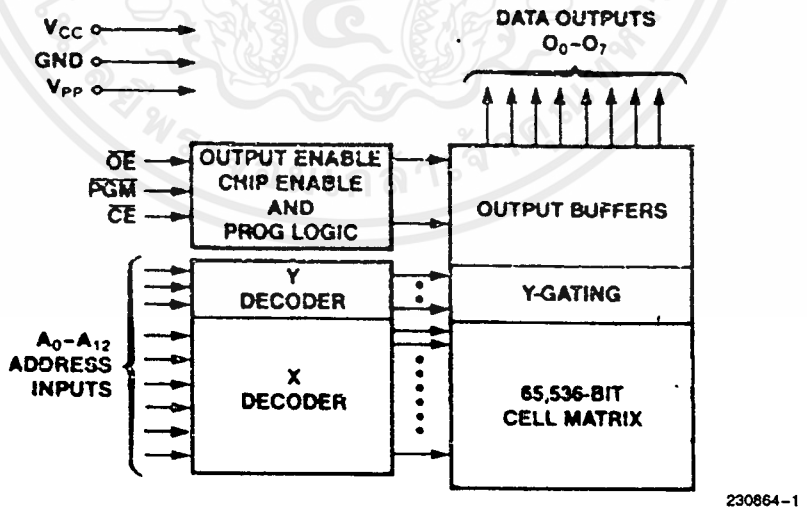


Figure 1. Block Diagram

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Pin Names

A_0–A_{12}	Addresses
$\overline{CE}$	Chip Enable
$\overline{OE}$	Output Enable
O_0–O_7	Outputs
$\overline{PGM}$	Program
N.C.	No Connect
D.U.	Don't Use

2764A
P2764A

27616	27513	27512	27256	27128A	2732A	2716
V_{PP}	D.U.	A_{15}	V_{PP}	V_{PP}		
A_{12}	A_{12}	A_{12}	A_{12}	A_{12}		
A_7	A_7	A_7	A_7	A_7	A_7	A_7
A_6	A_6	A_6	A_6	A_6	A_6	A_6
A_5	A_5	A_5	A_5	A_5	A_5	A_5
A_4	A_4	A_4	A_4	A_4	A_4	A_4
A_3	A_3	A_3	A_3	A_3	A_3	A_3
A_2	A_2	A_2	A_2	A_2	A_2	A_2
A_1	A_1	A_1	A_1	A_1	A_1	A_1
A_0	A_0	A_0	A_0	A_0	A_0	A_0
O_0	I/O_0	O_0	O_0	O_0	O_0	O_0
O_1	I/O_1	O_1	O_1	O_1	O_1	O_1
O_2	O_2	O_2	O_2	O_2	O_2	O_2
Gnd	Gnd	Gnd	Gnd	Gnd	Gnd	Gnd

230864-2

2716	2732A	27128A	27256	27512	27513	27910
		V_{CC} $\overline{PGM}$	V_{CC} A_{14}	V_{CC} A_{14}	V_{CC} WE	V_{CC} PGM/WE
V_{CC}	V_{CC}	A_{13}	A_{13}	A_{13}	A_{13}	A_{13}
A_8	A_8	A_8	A_8	A_8	A_8	A_8
A_9	A_9	A_9	A_9	A_9	A_9	A_9
V_{PP}	A_{11}	A_{11}	A_{11}	A_{11}	A_{11}	A_{11}
$\overline{OE}$	$\overline{OE}/V_{PP}$	$\overline{OE}$	$\overline{OE}$	$\overline{OE}/V_{PP}$	$\overline{OE}/V_{PP}$	$\overline{OE}$
A_{10}	A_{10}	A_{10}	A_{10}	A_{10}	A_{10}	A_{10}
$\overline{CE}$	$\overline{CE}$	$\overline{CE}$	$\overline{CE}$	$\overline{CE}$	$\overline{CE}$	$\overline{CE}$
O_7	O_7	O_7	O_7	O_7	O_7	O_7
O_6	O_6	O_6	O_6	O_6	O_6	O_6
O_5	O_5	O_5	O_5	O_5	O_5	O_5
O_4	O_4	O_4	O_4	O_4	O_4	O_4
O_3	O_3	O_3	O_3	O_3	O_3	O_3

NOTE:
Intel "Universal Site"-Compatible EPROM pin configurations are shown in the blocks adjacent to the 2764A pins.

Figure 2. Cerdip/Plastic DIP Pin Configuration

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

EXTENDED TEMPERATURE (EXPRESS) EPROMs

The Intel EXPRESS EPROM family is a series of electrically programmable read only memories which have received additional processing to enhance product characteristics. EXPRESS processing is available for several densities of EPROM, allowing the choice of appropriate memory size to match system applications. EXPRESS EPROM products are available with 168 ±8 hour, 125°C dynamic burn-in using Intel's standard bias configuration. This process exceeds or meets most industry specifications of burn-in. The standard EXPRESS EPROM operating temperature range is 0°C to 70°C. Extended operating temperature range (−40°C to +85°C) EXPRESS products are available. Like all Intel EPROMs, the EXPRESS EPROM family is inspected to 0.1% electrical AQL. This may allow the user to reduce or eliminate incoming inspection testing.

EXPRESS EPROM PRODUCT FAMILY

PRODUCT DEFINITIONS

Type	Operating Temperature	Burn-in 125°C (hr)
Q	0°C to +70°C	168 ±8
T	−40°C to +85°C	None
L	−40°C to +85°C	168 ±8

EXPRESS OPTIONS

2764A VERSIONS

Speed Versions	Packaging Options	
	Cerdip	Plastic
−2	Q	
STD	Q, T, L	T
−3	Q, T, L	T
−25	Q, T, L	T
−30	Q, T, L	

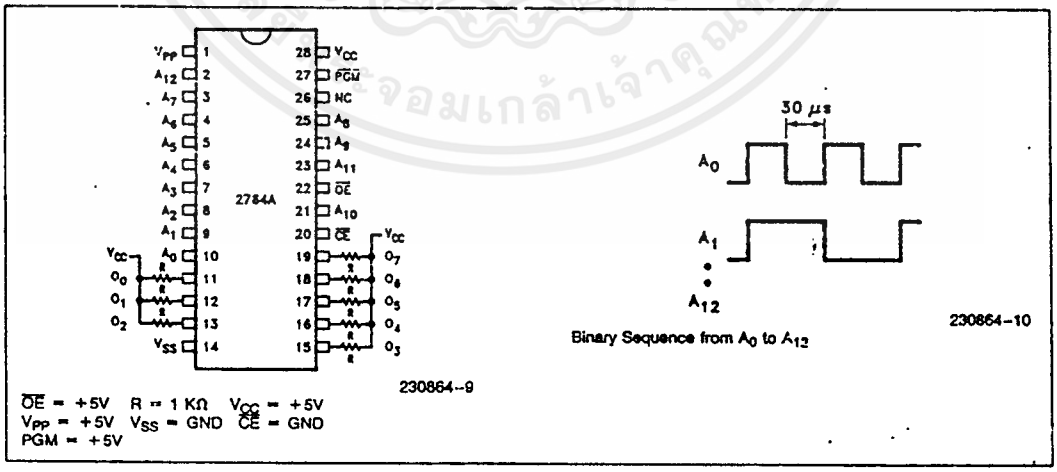
READ OPERATION

D.C. CHARACTERISTICS

Electrical parameters of EXPRESS EPROM products are identical to standard EPROM parameters except for:

Symbol	Parameter	TD2764A LD2764A		Test Conditions
		Min	Max	
I_{SB}	V_{CC} Standby Current (mA)		40	$\overline{CE} = V_{IH}$, $\overline{OE} = V_{IL}$
I_{CC1}(1)	V_{CC} Active Current (mA)		100	$\overline{OE} = \overline{CE} = V_{IL}$
	V_{CC} Active Current at High Temperature (mA)		75	$\overline{OE} = \overline{CE} = V_{IL}$ $V_{PP} = V_{CC}$, $T_{Ambient} = 85°C$

NOTE:
1. The maximum current value is with outputs O_0 to O_7 unloaded.



Burn-In Bias and Timing Diagrams

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ABSOLUTE MAXIMUM RATINGS*

Operating Temperature
During Read ..... 0°C to +70°C
Temperature Under Bias ..... −10°C to +80°C
Storage Temperature ..... −65°C to +125°C
All Inputs or Output Voltages with
Respect to Ground ..... −0.6V to +6.25V
Voltage on Pin 24 with
Respect to Ground ..... −0.6V to +13.5V
V_{PP} Supply Voltage with
Respect to Ground
During Programming ..... −0.6V to +14.0V
V_{CC} Supply Voltage with Respect
to Ground ..... −0.6V to +7.0V

**Notice: Stresses above those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. This is a stress rating only and functional operation of the device at these or any other conditions above those indicated in the operational sections of this specification is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.*

READ OPERATION

D.C. CHARACTERISTICS $0°C \le T_A \le +70°C$

Symbol	Parameter	Limits			Conditions
		Min	Max	Unit	
I_{LI}	Input Load Current		10	µA	$V_{IN} = 5.5V$
I_{LO}	Output Leakage Current		10	µA	$V_{OUT} = 5.5V$
I_{PP}[2]	V_{PP} Current Read		5	mA	$V_{PP} = 5.5V$
I_{SB}	V_{CC} Current Standby		35	mA	$\overline{CE} = V_{IH}$
I_{CC}[2]	V_{CC} Current Active		75	mA	$\overline{CE} = \overline{OE} = V_{IL}$
V_{IL}	Input Low Voltage	−0.1	+0.8	V	
V_{IH}	Input High Voltage	2.0	V_{CC} + 1	V	
V_{OL}	Output Low Voltage		0.45	V	$I_{OL} = 2.1$ mA
V_{OH}	Output High Voltage	2.4		V	$I_{OH} = -400$ µA
V_{PP}[2]	V_{PP} Read Voltage	3.8	V_{CC}	V	$V_{CC} = 5.0V \pm 0.25V$

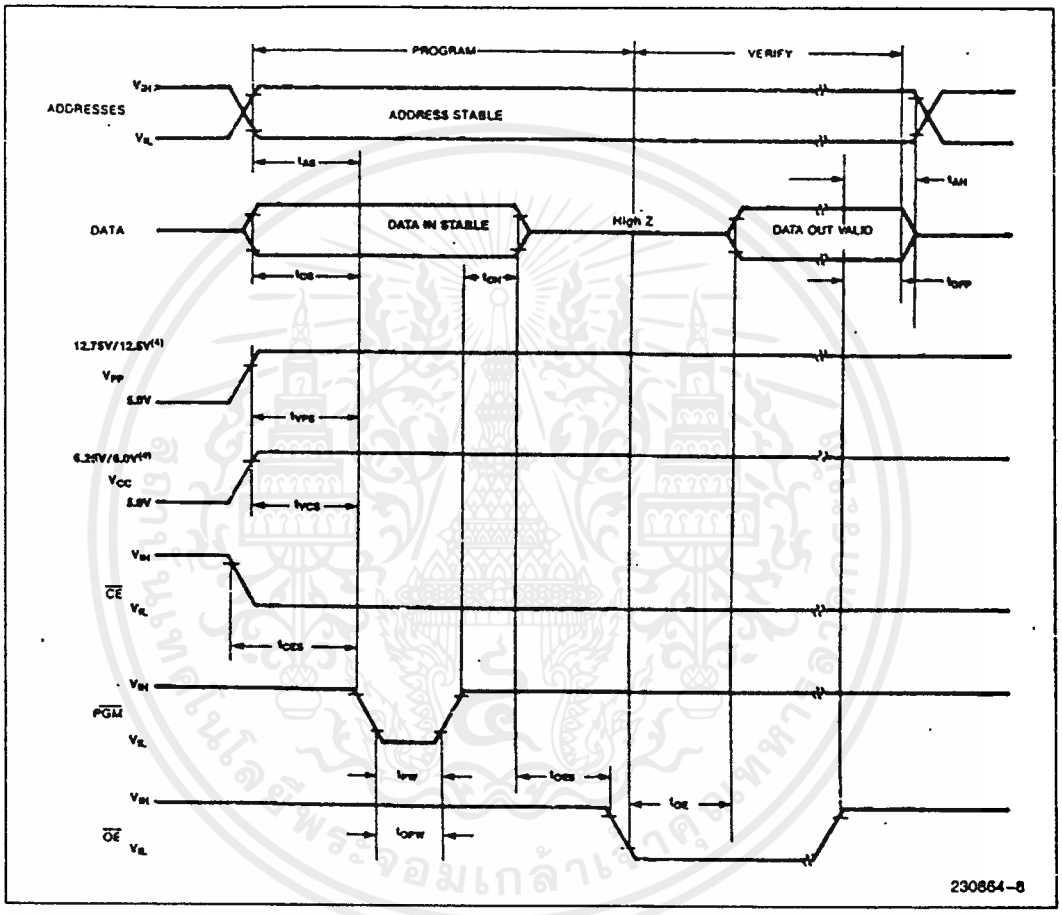
A.C. CHARACTERISTICS $0°C \le T_A \le +70°C$

Versions[4]	$V_{CC} \pm 5\%$	2764A-1		2764A-2 P2764A-2		2764A P2764A		2764A-3 P2764A-3		2764A-4		Unit	Test Conditions
	$V_{CC} \pm 10\%$			2764A-20		2764A-25 P2764A-25		2764A-30 P2764A-30		2764A-45			
Symbol	Parameter	Min	Max	Min	Max	Min	Max	Min	Max	Min	Max		
t_{ACC}	Address to Output Delay		180		200		250		300		450	ns	$\overline{CE} = \overline{OE} = V_{IL}$
t_{CE}	$\overline{CE}$ to Output Delay		180		200		250		300		450	ns	$\overline{OE} = V_{IL}$
t_{OE}	$\overline{OE}$ to Output Delay		65		75		100		120		150	ns	$\overline{CE} = V_{IL}$
t_{DF}[3]	$\overline{OE}$ High to Output Float	0	55	0	55	0	60	0	105	0	130	ns	$\overline{CE} = V_{IL}$
t_{OH}[3]	Output Hold from Address, $\overline{CE}$ or $\overline{OE}$ Whichever Occurred First	0		0		0		0		0		ns	$\overline{CE} = \overline{OE} = V_{IL}$

NOTES:
1. V_{CC} must be applied simultaneously or before V_{PP} and removed simultaneously or after V_{PP}.
2. V_{PP} may be connected directly to V_{CC} except during programming. The supply current would then be the sum of I_{CC} and I_{PP}. The maximum current value is with outputs O_0 to O_7 unloaded.
3. This parameter is only sampled and is not 100% tested. Output Data Float is defined as the point where data is no longer driven—see timing diagram on the following page.
4. Model Number Prefixes: No prefix = CERDIP; P = Plastic DIP.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

PROGRAMMING WAVEFORMS



NOTES:
1. The input timing reference level is 0.8V for V_{IL} and 2V for a V_{IH}.
2. t_{OE} and t_{DFP} are characteristics of the device but must be accommodated by the programmer.
3. When programming the 2764A, a 0.1 μF capacitor is required across V_{PP} and ground to suppress spurious voltage transients which can damage the device.
4. 12.75V V_{PP} & 6.25V V_{CC} for Quick-Pulse Programming Algorithm; 12.5V V_{PP} & 6.0V V_{CC} for Intelligent Programming Algorithm.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2732A
32K (4K x 8) PRODUCTION AND UV ERASABLE PROMS

- 200 ns (2732A-2) Maximum Access Time ... HMOS*-E Technology
- Compatible with High-Speed Microcontrollers and Microprocessors ... Zero WAIT State
- Two Line Control
- 10% V_{CC} Tolerance Available
- Low Current Requirement
  - −100 mA Active
  - −35 mA Standby
- Int$_e$ligent Identifier™ Mode
  - −Automatic Programming Operation
- Industry Standard Pinout ... JEDEC Approved 24 Pin Ceramic Package
  (See Packaging Spec. Order # 231369)

The Intel 2732A is a 5V-only, 32,768-bit ultraviolet erasable (cerdip) Electrically Programmable Read-Only Memory (EPROM). The standard 2732A access time is 250 ns with speed selection (2732A-2) available at 200 ns. The access time is compatible with high performance microprocessors such as the 8 MHz iAPX 186. In these systems, the 2732A allows the microprocessor to operate without the addition of WAIT states.

An important 2732A feature is Output Enable ($\overline{OE}$) which is separate from the Chip Enable ($\overline{CE}$) control. The $\overline{OE}$ control eliminates bus contention in microprocessor systems. The $\overline{CE}$ is used by the 2732A to place it in a standby mode ($\overline{CE}$ = V_{IH}) which reduces power consumption without increasing access time. The standby mode reduces the current requirement by 65%; the maximum active current is reduced from 100 mA to a standby current of 35 mA.

*HMOS is a patented process of Intel Corporation.

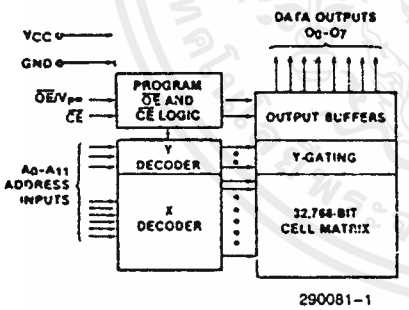
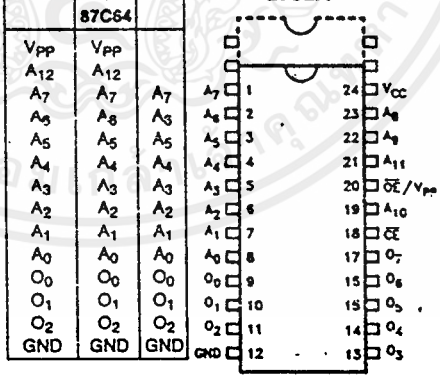


Figure 1. Block Diagram

Pin Names

A_0–A_{11}	Addresses
$\overline{CE}$	Chip Enable
$\overline{OE}/V_{PP}$	Output Enable/V_{PP}
O_0–O_7	Outputs

27128 27128A	2764 2764A 27C64 87C64	2716
V_{PP}	V_{PP}	
A_{12}	A_{12}	
A_7	A_7	A_7
A_6	A_6	A_6
A_5	A_5	A_5
A_4	A_4	A_4
A_3	A_3	A_3
A_2	A_2	A_2
A_1	A_1	A_1
A_0	A_0	A_0
O_0	O_0	O_0
O_1	O_1	O_1
O_2	O_2	O_2
GND	GND	GND



2716	2764 2764A 27C64 87C64	27128 27128A
	V_{CC} / PGM	V_{CC} / PGM
V_{CC}	N.C.	A_{13}
A_8	A_8	A_8
A_9	A_9	A_9
V_{PP}	A_{11}	A_{11}
$\overline{OE}$	$\overline{CE}$	$\overline{OE}$
A_{10}	A_{10}	A_{10}
$\overline{CE}$	$\overline{CE}$ / ALE/CE	$\overline{CE}$
O_7	O_7	O_7
O_6	O_6	O_6
O_5	O_5	O_5
O_4	O_4	O_4
O_3	O_3	O_3

NOTE:
Intel "Universal Site" compatible EPROM configurations are shown in the blocks adjacent to the 2732A pins.

Figure 2. Cerdip Pin Configuration

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

EXTENDED TEMPERATURE (EXPRESS) EPROMs

The Intel EXPRESS EPROM family is a series of electrically programmable read only memories which have received additional processing to enhance product characteristics. EXPRESS processing is available for several densities of EPROM, allowing the choice of appropriate memory size to match system applications. EXPRESS EPROM products are available with 168 ±8 hour, 125°C dynamic burn-in using Intel's standard bias configuration. This process exceeds or meets most industry specifications of burn-in. The standard EXPRESS EPROM operating temperature range is 0°C to 70°C. Extended operating temperature range (−40°C to +85°C) EXPRESS products are available. Like all Intel EPROMs, the EXPRESS EPROM family is inspected to 0.1% electrical AQL. This may allow the user to reduce or eliminate incoming inspection testing.

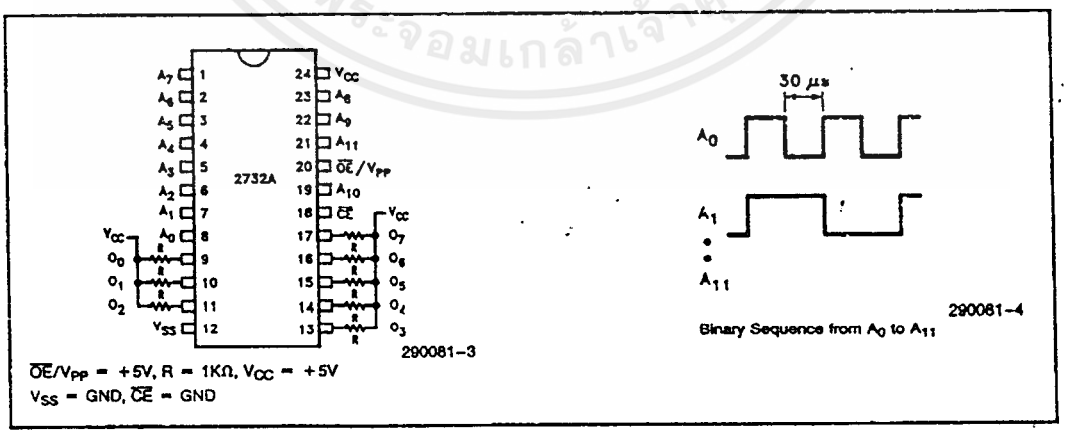
READ OPERATION

D.C. CHARACTERISTICS

Electrical Parameters of EXPRESS EPROM products are identical to standard EPROM parameters except for:

Symbol	Parameter	TD2732A LD2732A		Test Conditions
		Min	Max	
I_{SB}	V_{CC} Standby Current (mA)		45	$\overline{CE} = V_{IH}$, $\overline{OE} = V_{IL}$
I_{CC_1}(1)	V_{CC} Active Current (mA)		150	$\overline{OE} = \overline{CE} = V_{IL}$
	V_{CC} Active Current at High Temperature (mA)		125	$\overline{OE} = \overline{CE} = V_{IL}$, $V_{PP} = V_{CC}$, $T_{Ambient} = 85°C$

NOTE:
1. Maximum current value is with outputs O_0 to O_7 unloaded.



Burn-In Bias and Timing Diagrams

EXPRESS EPROM PRODUCT FAMILY

PRODUCT DEFINITONS

Type	Operating Temperature	Burn-In 125°C (hr)
Q	0°C to +70°C	168 ±8
T	−40°C to +85°C	None
L	−40°C to +85°C	168 ±8

EXPRESS OPTIONS

2732A Versions

Packaging Options	
Speed Versions	Cerdip
−2	Q
STD	Q, T, L
−3	Q
−4	Q, T, L
−20	Q
−25	Q, T, L
−30	Q
−45	Q, T, L

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ABSOLUTE MAXIMUM RATINGS*

Operating Temp. During Read .....0°C to +70°C
Temperature Under Bias .....−10°C to +80°C
Storage Temperature .....−65°C to +125°C
All Input or Output Voltages with Respect to Ground.....−0.3V to +6V
Voltage on A9 with Respect to Ground.....−0.3V to +13.5V
V_{PP} Supply Voltage with Respect to Ground During Programming .....−0.3V to +22V
V_{CC} Supply Voltage with Respect to Ground .....−0.3V to +7.0V

Notice: Stresses above those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. This is a stress rating only and functional operation of the device at these or any other conditions above those indicated in the operational sections of this specification is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

READ OPERATION

D.C. CHARACTERISTICS $0°C \le T_A \le +70°C$

Symbol	Parameter	Limits			Units	Conditions
		Min	Typ(3)	Max		
I_{LI}	Input Load Current			10	µA	$V_{IN} = 5.5V$
I_{LO}	Output Leakage Current			10	µA	$V_{OUT} = 5.5V$
I_{SB}(2)	V_{CC} Current (Standby)			35	mA	$\overline{CE} = V_{IH}$, $\overline{OE} = V_{iL}$
I_{CC1}(2)	V_{CC} Current (Active)			100	mA	$\overline{OE} = \overline{CE} = V_{IL}$
V_{IL}	Input Low Voltage	−0.1		0.8	V	
V_{IH}	Input High Voltage	2.0		V_{CC} + 1	V	
V_{OL}	Output Low Voltage			0.45	V	$I_{OL} = 2.1$ mA
V_{OH}	Output High Voltage	2.4			V	$I_{OH} = -400$ µA

A.C. CHARACTERISTICS $0°C \le T_A \le 70°C$

Versions	$V_{CC} \pm 5\%$	2732A-2		2732A		2732A-3		2732A-4		Units	Test Conditions
	$V_{CC} \pm 10\%$	2732A-20		2732A-25		2732A-30		2732A-45			
Symbol	Parameter	Min	Max	Min	Max	Min	Max	Min	Max		
t_{ACC}	Address to Output Delay		200		250		300		450	ns	$\overline{CE} = \overline{OE} = V_{IL}$
t_{CE}	$\overline{CE}$ to Output Delay		200		250		300		450	ns	$\overline{OE} = V_{IL}$
t_{OE}	$\overline{OE}/V_{PP}$ to Output Delay		70		100		150		150	ns	$\overline{CE} = V_{IL}$
t_{DF}(4)	$\overline{OE}/V_{PP}$ High to Output Float	0	60	0	60	0	130	0	130	ns	$\overline{CE} = V_{IL}$
t_{OH}(4)	Output Hold from Addresses, $\overline{CE}$ or $\overline{OE}/V_{PP}$, Whichever Occurred First	0		0		0		0		ns	$\overline{CE} = \overline{OE} = V_{IL}$

NOTES:
1. V_{CC} must be applied simultaneously or before $\overline{OE}/V_{PP}$ and removed simultaneously or after $\overline{OE}/V_{PP}$.
2. The maximum current value is with outputs O_0 to O_7 unloaded.
3. Typical values are for $T_A = 25°C$ and nominal supply voltages.
4. This parameter is only sampled and is not 100% tested. Output Float is defined as the point where data is no longer driven—see timing diagram.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

A.C. PROGRAMMING CHARACTERISTICS

T_A = 25°C ±5°C, V_{CC} = 5V ±5%, V_{PP} = 21V ±0.5V

Symbol	Parameter	Limits			Units	Test Conditions* (Note 1)
		Min	Typ(3)	Max		
t_{AS}	Address Setup Time	2			µs	
t_{OES}	$\overline{OE}/V_{PP}$ Setup Time	2			µs	
t_{DS}	Data Setup Time	2			µs	
t_{AH}	Address Hold Time	0			µs	
t_{DH}	Data Hold Time	2			µs	
t_{DFP}	$\overline{OE}/V_{PP}$ High to Output Not Driven	0		130	ns	(Note 2)
t_{PW}	$\overline{CE}$ Pulse Width During Programming	20	50	55	ms	
t_{OEH}	$\overline{OE}/V_{PP}$ Hold Time	2			µs	
t_{DV}	Data Valid from $\overline{CE}$			1	µs	$\overline{CE} = V_{IL}$, $\overline{OE}/V_{PP} = V_{IL}$
t_{VR}	V_{PP} Recovery Time	2			µs	
t_{PRT}	$\overline{OE}/V_{PP}$ Pulse Rise Time During Programming	50			ns	

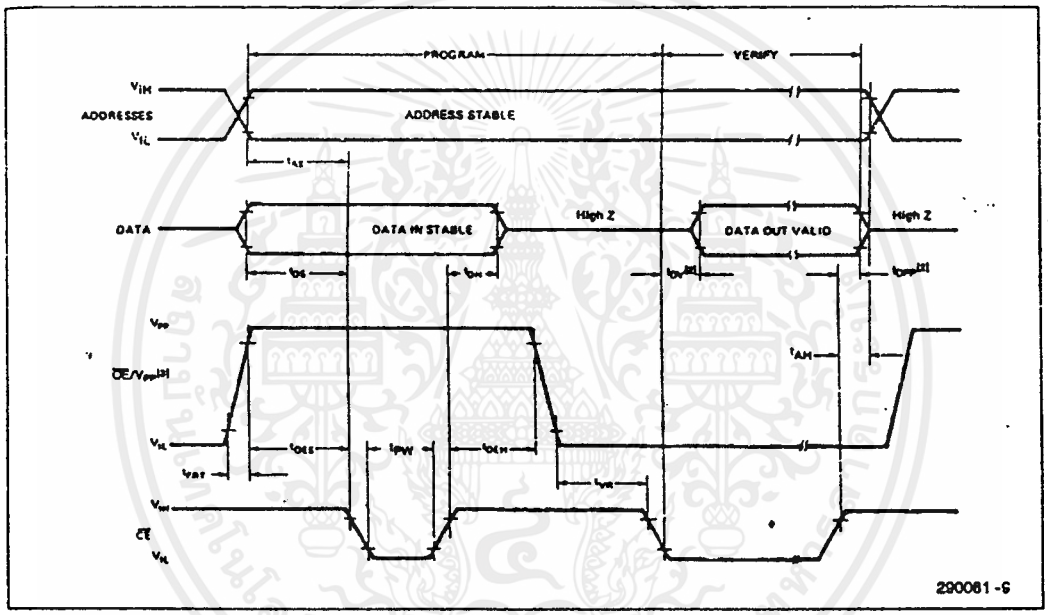
NOTES:
1. V_{CC} must be applied simultaneously or before $\overline{OE}/V_{PP}$ and removed simultaneously or after $\overline{OE}/V_{PP}$.
2. This parameter is only sampled and is not 100% tested. Output Float is defined as the point where data is no longer driven—see timing diagram.
3. Typical values are for T_A = 25°C and nominal supply voltages.
4. The maximum current value is with outputs O_0 to O_7 unloaded.

*A.C. TEST CONDITIONS

Input Rise and Fall Time (10% to 90%) ..... ≤ 20 ns
Input Pulse Levels ..... 0.45V to 2.4V
Input Timing Reference Level ..... 0.8V and 2.0V
Output Timing Reference Level ..... 0.8V and 2.0V

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

PROGRAMMING WAVEFORMS



NOTES:
1. The input timing reference level is 0.8V for a V_{IL} and 2V for a V_{IH}
2. t_{DV} and t_{DFP} are characteristics of the device but must be accommodated by the programmer.
3. When programming the 2732A, a 0.1μF capacitor is required across $\overline{CE}/V_{PP}$ and ground to suppress spurious voltage transients which can damage the device.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก จ.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โปรแกรมที่ใช้ในการควบคุมการทำงาน

```
# include <stdio.h>
# include <stdlib.h>
# include <dos.h>
# include <alloc.h>
# include <graphics.h>
# include <conio.h>
# include <window.h>
void program();
void load_file();
int  *data,*st_add;
int  voltw=0x2c;                    /* volt for write */
int  voltr=0x9c;                    /* volt for read  */
int  volt1=21;                      /* volt show in target */
int  volt2=5;
int  volts=0xad;        /* volt stanby */
char number="2716" ;
int  count;
/*---------------------- FUNCTION PROGRAM ----------------------*/


   void program()
{
register int i,j,k;
int starthight,startlow,endhight,endlow,elx;
int *d ;
outportb(0x304,volts);          /* set voltage  */
outportb(0x303,0x80);           /* set 8255     */
do {
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
target();
gotoxy(20,8);
scanf("%2x%2x",&starthight,&startlow);
/*gotoxy(20,9);
scanf("%2x%2x",&endhight,&endlow);*/
endhight=0xff;endlow=0xff;
} while(starthight>endhight);
data=st_add;
outportb(0x304,voltw);
for(i=starthight;i<=0xff;i++)
  {
     /*if(endhight>i)
       elx=0xff;
       else
       elx=endlow;*/
       outportb(0x301,i);                    /*  hight bit */
     for(j=startlow;j<=0xff;j++)
     {
     outportb(0x302,j);                  /*  low bit   */
     outportb(0x300,*data);     /*  send data */
     delay(10);
     /*outportb(0x304,voltr);*/
     /* d=inportb(0x300));*/                /*  check error */
    /* if(0xff==inportb(0x300))
     exit(1); */
    /* outportb(0x304,voltw);*/
     gotoxy(20,13);
     cprintf("%2X%2X",i,j);
     d=data;
    if((*data==0xff) &&(*(data--)==0xff)&&(*(data--)==0xff)&&(*(data--)==0xff))
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
        {i=0xff;j=0xff;}
        data=d;
        data++;
         }
               startlow=0x00;
        }
    gotoxy(7,14);
    cprintf("-----OK-----");
    while(!kbhit())
            gotoxy(7,14);
    cprintf("            ");
    free(data);
    music();
}
     /*-----------------------FRAME-------------------------*/
      void frame(int x1,int y1,int x2,int y2)
{
int i;
window(1,1,80,25);
gotoxy(x1,y1);
printf("%c",201);
for(i=1;i<=x2-x1-1;++i)
printf("%c",205);
printf("%c",187);
for(i=1;i<=y2-y1;++i){
gotoxy(x1,y1+i);
printf("%c",186);
gotoxy(x2,y1+i);
printf("%c",186);
}
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
gotoxy(x1,y2);
printf("%c",200);
for(i=1;i<=x2-x1-1;++i)
printf("%c",205);
printf("%c",188);
  }
 /*---------------------------- FUNCTION DIR ----------------------------*/
     void dir()
      {
clrscr();
system("DIR/P *.*");
while(!kbhit())
  {
    delay(50);
  }
      }
/*------------------------------- LOAD FILE -------------------------------*/

   void load_file()
{
char fname[10];
FILE *fp;
register int i=0;
 gotoxy(4,13);
 if((data=malloc(0xffffL))==NULL)
 {
         frame(25,22,50,25);
       window(25,22,50,25);
       gotoxy(4,2);
              cprintf(" out of memory");free(data);
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
        while(!kbhit())
        i=0;
        clrscr();
        free(data);

  }
  else{
  cprintf("   file name      : ");
  gets(fname);
  if((fp=fopen(fname,"r"))==NULL)
    {
        frame(25,22,50,25);
        window(25,22,50,25);
        gotoxy(4,2);
        cprintf("cannot open file");
        while(!kbhit())
        i=0;
        clrscr();
     }
    else{
   /*---- load data from file-----*/
                window(55,1,80,15);
gotoxy(7,14);
cprintf("Please Wait ");
count=filesize(fp);
st_add=data;
do{
 *data=fgetc(fp);
  data++;i++;
                  gotoxy(20,13);
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
cprintf("%4X ",i);
if(feof(fp))
     {
 for(i=0;i<=5;i++)
 {
 *data=0xff;
  data++;
 }
     }
}while(!feof(fp));
   fclose(fp);
   gotoxy(7,14);
   cprintf("-----OK-----");
   music();
   data=st_add;
   while(!kbhit())
           gotoxy(7,14);
   cprintf("              ");
   menu();
   }
}
}

     /*-----------------FUNCTION SAVE FILE--------------------*/
   save_data()
    {
      FILE *fp2;
      int x=0;
      char fname2[10];
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
        int  *d;
        gotoxy(4,13);
        cprintf(" file_name    :     ");      /* open file */
        gets(fname2);
        if((fp2 = fopen(fname2,"w")) == NULL)
{

   frame(25,22,50,25);
   window(25,22,50,25);
   gotoxy(4,2);
   cprintf("Error in save file");
   music();
   while(!kbhit())
   gotoxy(4,3);
   clrscr();

}
    else{
    clrscr();
    menu();
    data=st_add;
    while(x!=3)
  {
    if(putc(*data,fp2)==EOF)
    {
     frame(25,22,50,25);
     window(25,22,50,25);
     gotoxy(4,2);
     cprintf("Error in writeing file");
     while(!kbhit())
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
     gotoxy(4,3);
     clrscr();
    }
      d=data;
      if((*data==0xff) &&(*(data++)==0xff)&&(*(data++)==0xff)&&(*(data++)==0xf
      x=3;
      data=d;
      data++;
   }
   }
    fclose(fp2);
    music();
}
     /*---------------------- FUNCTION READ ---------------------------*/

      read_data()
{
 register int i,j,k=0;
 int *d;
 target();
 outportb(0x304,voltr);      /* set voltage  */
 outportb(0x303,0x90);        /* set 8255     */
 free(data);
        if((data=malloc(0xffffL))==NULL)
 {
  frame(25,22,50,25);
  window(25,22,50,25);
  gotoxy(4,2);
          cprintf(" out of memory");
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
  while(!kbhit())
  gotoxy(4,3);
  clrscr();

}
else{
   st_add=data;
   for(i=0;i<=0xff;i++)
      {
outportb(0x301,i);          /* hight bit*/
for(j=0;j<=0xff;j++)
     {
outportb(0x302,j);       /*  low bit   */
*data=inportb(0x300);     /*  read data */
 d=data;
 if((*data==0xff) && (*(data++)==0xff) && (*(data++)==0xff) && (*(data++)==0

    {
     i=0xff;j=0xff;
    }
   data=d;
   data++;k++;
   gotoxy(20,13);
   cprintf("%4X",k);
   }
     }
    gotoxy(7,14);
    cprintf("-----OK-----");
    delay(50);
           gotoxy(7,14);
    cprintf("              ");
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
     music();
     }
}
/*    void initialize()
    {
       int gd=DETECT ,gm=0;
       initgraph(&gd,&gm," ");
       ErrorCode=graphresult();
       if (Errorcode!=grOk)
{
printf("Graphics System Error:%s\n",
     grapherrormsg(ErrorCode));
exit(1);
       }
       getpalette(&palette);
       MaxColors=getmaxcolor()+1;
       MaxX=getmaxx();
       MaxY=getmaxy();
    }   */
   /*--------------------FUNCTION EPROM TYPE-------------------*/
  eprom_type()
   {
   char ans1;
   clrscr();
   printf("     EPROM TYPE                    VOLTAGE \n");
   printf(" ------------------------------------------\n");
   printf("  1 : 2716 or 2516 -------------- Vpp = 25V\n");
   printf("  2 : 2732 or 27C32 ------------- Vpp = 25V\n");
   printf("  3 : 2732A or 27C32A------------ Vpp = 21V\n");
   printf("  4 : 2764 or 27C64 ------------- Vpp = 21V\n");
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
printf("  5 : 2764A ---------------------- Vpp = 12.5V\n");
printf("  6 : 27128 ---------------------- Vpp = 21V\n");
printf("  7 : 2718A ---------------------- Vpp = 12.5V\n");
printf("  8 : 27256 or 27C256------------ Vpp = 21V\n");
printf("  9 : 27256 or 27G256 ----------- Vpp = 12.5V\n");
printf("  A : 27512 or 27C512 ----------- Vpp = 21V\n");
printf("  B : 27512 or 27C512 ----------- Vpp = 12.5V\n");
printf("\n");
printf("   Menu Selection : ");
ans1=getche();
music();
switch (ans1) {
   case '1' :
   number="2716";
   voltw=0x75;
   voltr=0x9c;
   volt1=21;

   target();
   break ;
   case '2' :
   number='2732';
   voltw=0x5c;
   voltr=0x9c;
   volt1=21;
   volts=0xad;
   target();
   break ;
   case '3' :
   number='2732A';
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
voltw=0x2c;
voltr=0x9c;
voltl=21;
volts=0xad;
target();
menu();
break ;
case '4' :
number='2764';
voltw=0x2c;
voltr=0x9c;
voltl=21;
volts=0xad;
target();
break ;
case '5' :
number='2764A';
voltw=0x18;
voltr=0x9A;
voltl=12.5;
volts=0xad;
target();
break ;
case '6' :
number='27128';
voltw=0x2c;
voltr=0x9c;
voltl=21;
volts=0xad;
target();
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
break ;
case '7' :
number='27128A';
voltw=0x18;
voltr=0x8A;
voltl=14;
target();
 break ;
 case '8' :
 number=27256;
voltw=0x1c;
voltr=0x98;
voltl=21V;
target();
menu();
break ;
case '9' :
number='27256A';
voltw=0x2c;
voltr=0x9c;
voltl=21;
volts=0xad;
target();
break ;
case 'A' :
        number='2732A';
voltw=0x2c;
voltr=0x9c;
voltl=21;
volts=0xad;
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
        target();
         break ;
        case 'B' :
                number='2732A';
        voltw=0x2c;
        voltr=0x9c;
        voltl=21;
        volts=0xad;
        target();
         break ;
}
clrscr();
}
    /*-------------------------FUNCTION MUSIC-------------------------*/
music()
{
sound(5000);
delay(50);
nosound();
}
    /*-----------------------------TARGET-----------------------------*/
 target()
{
frame(55,1,80,15);
window(55,1,80,15);
gotoxy(7,3);
cprintf("TARGET ZONE");
gotoxy(3,6);
cprintf("Number          : %d",number);
gotoxy(3,7);
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
cprintf("Voltage        : %2dV",volt1);
gotoxy(3,8);
cprintf("Start add #### : 0000");
/*gotoxy(3,9);
cprintf("End add   #### : 0000");*/
gotoxy(3,13);
cprintf("Counter        : 0000");
}
   /*---------------------------MENU---------------------------*/
menu()
{
frame(1,1,45,20);
window(1,1,45,20);
      gotoxy(4,3);
      cprintf(" E : EPROM TYPE ");
      gotoxy(4,4);
      cprintf(" D : DIR ");
      gotoxy(4,5);
      cprintf(" L : LOAD FILE TO MEMORY");
      gotoxy(4,6);
      cprintf(" W : WRITE DATA TO EPROM");
      gotoxy(4,7);
      cprintf(" R : READ DATA FROM EPROM");
      gotoxy(4,8);
      cprintf(" S : SAVE FILE ");
      gotoxy(4,9);
      cprintf(" P : DISPLAY ");
      gotoxy(4,10);
      cprintf(" Q : QUIT");
      gotoxy(4,11);
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
        cprintf(" M : MEMORY CLEAR");
        gotoxy(4,13);
        cprintf("                                    ");
        gotoxy(4,13);
        cprintf(" Menu Selection : ");
        }
    /*----------------------FILE SIZE-----------------------*/
      int filesize(fp)
       FILE  *fp;
      {
 int i;
i=0;
do {
  getc(fp);
  i++;
   }while(!feof(fp));
   rewind(fp);
   return i-1;
      }
   /*-------------------------DISPLAY-----------------------*/
      dis()
       {
int *st;
register int i,j,k;
cl_menu();
 /*do{*/
 printf(" Address");gotoxy(61,1);printf("Character\n");
 for(i=0;i<=73;i++){
 if(i==58)
 printf("%c",209);
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
 printf("%c",205);
 }
 printf("\n");
 data=st_add;
  for(i=0;i<=0x15;i++)
  {
       printf("%p. :",data);
       st=data;
     for(j=0;j<=0xf;j++)
       {
if((*data==0) || (*data<0xa))
{printf("0%x ",*data);}
else{printf("%x ",*data);}
data++;
}
data=st;
gotoxy(59,3+i);
printf("%c",179);
    for(k=0;k<=0xf;k++)
{
  gotoxy(60+k,3+i);
  if(*data==0)
  {printf(".");}
  else{printf("%c",*data);}
  data++;
 }
       printf("\n");
     }
     while(!kbhit())
     data=st_add;
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
      cl_menu();
      target();
      menu();
      /*free(data);*/
    }
    /*-------------------------CLEAR SCEEN-------------------------*/
cl_menu()
{
frame(1,1,80,30);
        window(1,1,80,30);
printf("\n");
clrscr();
}
  /*-------------------------MAIN PROGRAM-------------------------*/
  main()
      {
      char ans;
      clrscr();
target();
 do{
      menu();
      ans=getche();
      music();
      switch (toupper(ans)) {
     case 'E' :
eprom_type();
     break ;
     case 'L' :
 load_file();
     break ;
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
      case 'D' :
    dir();
    clrscr();
      break ;
      case 'M' :
        cl_mem();
      break ;
      case 'W' :
    program();
      break ;
      case 'S' :
    save_data();
      break ;
      case 'R' :
    read_data();
      break ;
      case 'P' :
      dis();
      break ;
      case 'C' :
      break ;
      case 'Q' :
      target();
      clrscr();
      menu();
      clrscr();
      printf("good bye!");
      break ;
    }
    } while(toupper(ans)!='Q');
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
    }
  /*----------------------CLEAR MEMORY--------------------*/
cl_mem()
{
free(*data);
}
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เอกสารอ้างอิง

(1) Advanced Turbo C,Vertion 2.0,Donna Mosich,1988

(2) Memory Components Handbook,Intel,1988

(3) เทคโนโลยีฮาร์ดแวร์ IBM PC ,ยืน ภู่วรวรรณ,บริษัท ซีเอ็ดยูเคชั่น จำกัด

(4) การเขียนโปรแกรมคอมพิวเตอร์ด้วยเทอร์โบซี , มนตรี พจนารถลาวัณย์ บริษัท ซีเอ็ดยูเคชั่น จำกัด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้