การทดสอบคุณลักษณะของ เครื่องขยาย เสียง ด้วย เครื่อง ไมโครคอมพิว เตอร์

โดย

มนต์ชัย คุณะวัฒนากรณ์ 34132120

วุฒิพร เลิศวาสนา 34132124

ปริญญานิพนธ์นี้ เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาอุตสาหกรรมศาสตร์บัณฑิต

สาขา เทคโนโลยีโทรคมนาคม

สถาบัน เทคโนโลยีพระจอมเกล้า เจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2535

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

032579

สารบัญ

	หน้า
กิตติกรรมประกาศ	1
บทที่ 1 บทนำ	1-1
บทที่ 2 ทฤษฎีและหลักการ	2-1
เครื่องไมโครคอมพิวเตอร์พีซีเอที	2-1
A/D AND D/A CONVERSION	2-14
8255 SHIP SUPPORT	2-28
SIGNAL GENERATOR	2-35
การแปลงจาก AC เป็น DC	2-48
วงจรกรองความถี่	2-52
FIELD-EFFECT TRANSISTOR	2-61
บทที่ 3 การออกแบบวงจร	3-1
ภาคอินเตอร์เฟสและควบคุม	3-1
ภาควัดความถี่	3-19
ภาคแอมปลิจูดดีเทคเตอร์	3-24
ภาคผลิตความถี่	3-28
ภาคลดทอนสัญญาณ	3-32
ภาคเฟสดีเทคเตอร์	3-34
ภาคกรองความถี่ฮาร์โมนิกส์	3-39
บทที่ 4 ผลการทดลอง	4-1
บทที่ 5 สรุปผลและวิจารณ์	5-1
บรรณานุกรม	
ภาคผนวก	

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

032579

กิตติกรรมประกาศ

การจัดทำ PROJECT เรื่อง การทดสอบคุณลักษณะของเครื่องขยายเสียงด้วยเครื่องไมโครคอมพิวเตอร์ เป็นส่วนหนึ่งการศึกษาวิชา PROJECT 2 สาขาวิชาเทคโนโลยีโทรคมนาคม ภาควิชาเทคนิคอุตสาหกรรม คณะวิศวกรรมศาสตร์ ตามหลักสูตรอุตสาหกรรมศาสตร์บัณฑิต สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง เพื่อให้เกิดพัฒนาการทางด้านเทคโนโลยีโทรคมนาคมใหม่ ๆ ผู้จัดทำจึงได้คิดทำ PROJECT นี้ขึ้นมาเพื่อจุดประสงค์และความมุ่งหวังดังกล่าว

ในการจัดทำ PROJECT นี้ ผู้จัดทำได้อาศัยตำราต่าง ๆ เป็นบรรทัดฐานและได้รับการให้คำปรึกษาจากอาจารย์นิกร สุขุตมดันติ ซึ่งผู้จัดทำมีความสำนึกในความกรุณามากที่ได้ให้ความรู้และคำแนะนำ ตลอดจนให้กำลังใจในการทำ PROJECT ตลอดมา

ผู้จัดทำขอขอบคุณบิดา มารดา คณาจารย์ ที่ได้ให้ความรู้และกำลังใจในการจัดทำเสมอมา และขอขอบคุณอาจารย์อภิญญ บุญยศักดิ์เสรี หัวหน้างานวิจัยและพัฒนา วิทยาลัยสารพัดช่างสมุทรปราการ ที่ได้ให้กำลังใจในการทำ PROJECT และให้ความอนุเคราะห์ในการจัดทำเอกสาร ขอขอบคุณคุณทรงพล จันทน์หอม คุณสัมพันธ์ ถดี คุณชนิดา ถดี ที่ได้ให้ความอนุเคราะห์เกี่ยวกับเครื่องคอมพิวเตอร์และเครื่องพิมพ์ ตลอดจนอำนวยความสะดวกในเรื่องสถานที่ที่ใช้ในการทำ PROJECT นี้

มนต์ชัย คุณะวัฒนากรณ์ 34132120

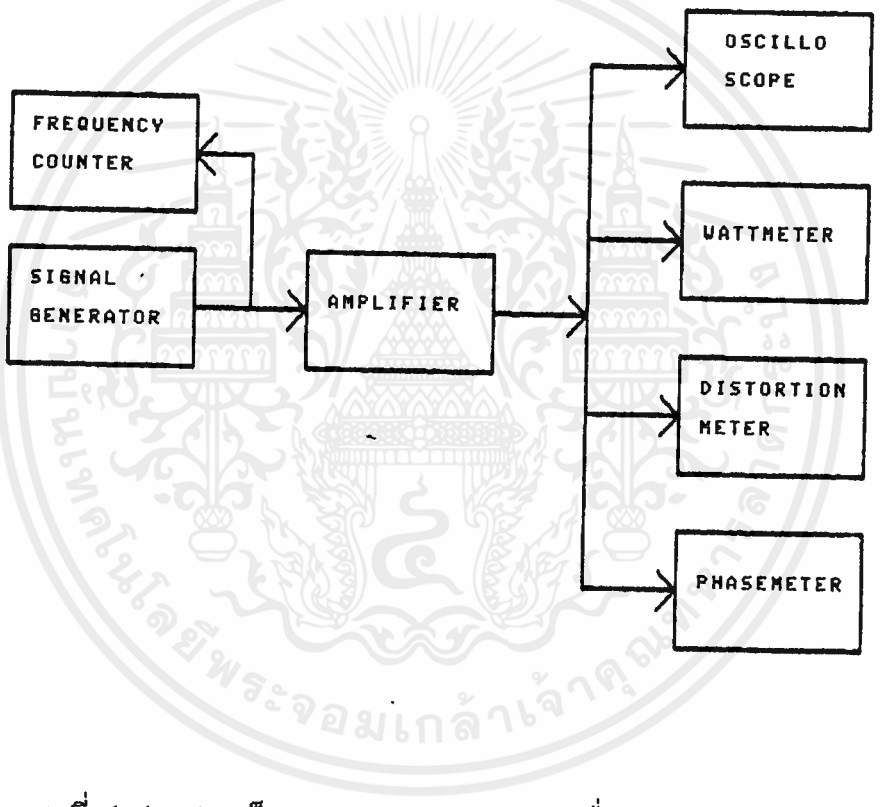
วุฒิพร เลิศวาสนา 34132124

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 1

บทนำ

การทดสอบคุณลักษณะของเครื่องขยายเสียง (Spec) โดยทั่วไปต้องใช้เครื่องหลายชนิด เช่น เครื่องผลิตความถี่ เครื่องวัดความถี่ เครื่องวัดกำลัง เครื่องวัดความเพี้ยนสัญญาณ เครื่องวัดเฟส และ oscilloscope เป็นต้น หลักการทดสอบคุณสมบัติของเครื่องขยายเสียง แสดงในรูปที่ 1-1



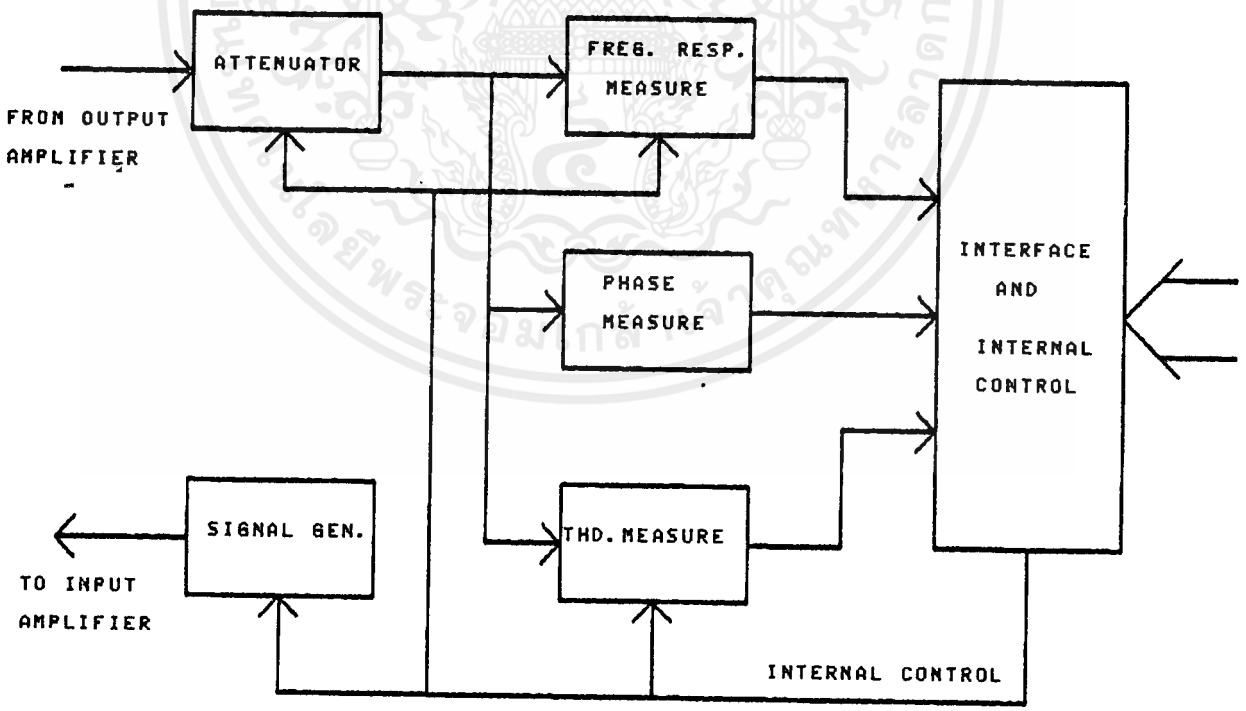
รูปที่ 1-1 แสดงบล็อกไดอะแกรมการทดสอบเครื่องขยายเสียงอย่างง่าย

แต่การทดสอบดังรูปที่ 1-1 เป็นวิธีที่ค่อนข้างจะยุ่งยากและสิ้นเปลือง ดังนั้น จึงมีแนวความคิดที่จะนำเอาคอมพิวเตอร์มาช่วยในการทดสอบคุณลักษณะของเครื่องขยายเสียง แสดงหลักการเบื้องต้นดังรูปที่ 1-2

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 1-2 หลักการเบื้องต้นของการทดสอบเครื่องขยายเสียงด้วยคอมพิวเตอร์

คอมพิวเตอร์จะทำหน้าที่รับข้อมูลจากเครื่องทดสอบคุณลักษณะของเครื่องขยายเสียง นำมาประมวลผล แล้วแสดงผลเป็นกราฟออกทางหน้าจอคอมพิวเตอร์ ในขณะเดียวกัน เครื่องคอมพิวเตอร์จะส่งคำสั่งควบคุมต่าง ๆ ไปควบคุมการทำงานของเครื่องทดสอบคุณลักษณะ ระบบภายในเบื้องต้นของเครื่องทดสอบคุณลักษณะแสดงดังรูปที่ 1-3

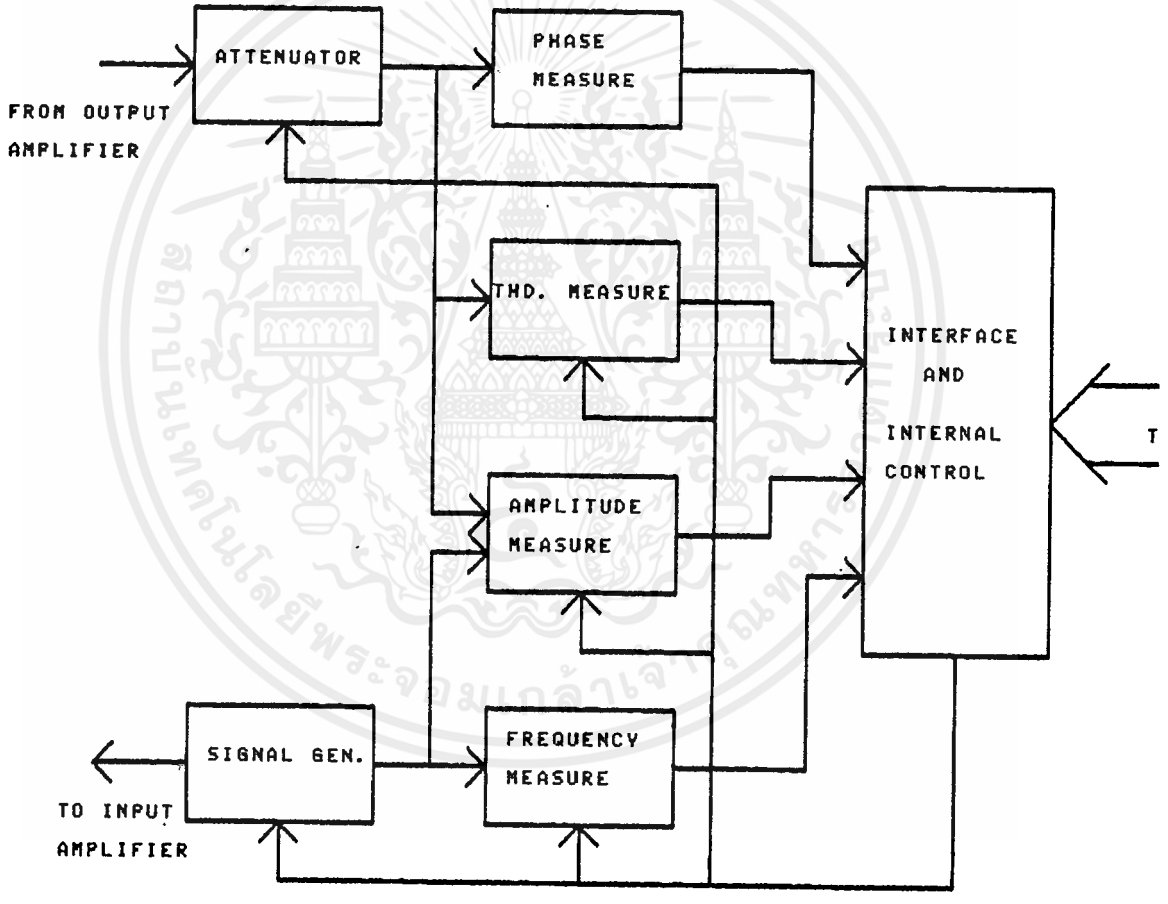


รูปที่ 1-3 บล็อกไดอะแกรมเบื้องต้นของเครื่องทดสอบคุณลักษณะ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ซึ่งประกอบด้วยภาคอินเตอร์เฟสและควบคุม ทำหน้าที่ติดต่อกับคอมพิวเตอร์ ส่งข้อมูลไปให้คอมพิวเตอร์และรับคำสั่งควบคุมจากคอมพิวเตอร์ เพื่อควบคุมการทำงานของภายในของระบบ ภาคผลิตความถี่สร้างสัญญาณซายน์ เพื่อป้อนให้กับเครื่องขยายเสียงที่เราทำการทดสอบและลดทอนขนาดสัญญาณให้เหมาะสม ภาคทดสอบผลตอบสนองความถี่จะวัดการตอบสนองทางความถี่ของเครื่องขยายเสียง ภาควัดเฟสทำการวัดค่าความเพี้ยนทางเฟสที่สัมพันธ์กับความถี่ต่าง ๆ ภาค THD วัดค่าความผิดเพี้ยนทางด้านฮาร์โมนิกส์รวมที่ความถี่ต่าง ๆ

จากบล็อกไดอะแกรมในรูปที่ 1-3 สามารถเขียนเป็นบล็อกไดอะแกรมละเอียดของระบบได้ดังรูปที่ 1-4



รูปที่ 1-4 บล็อกไดอะแกรมละเอียดของระบบ

ในการทดสอบผลตอบสนองความถี่จะต้องอาศัยภาคแอมปลิจูดดีเทคเตอร์ เพื่อวัดขนาดของสัญญาณและภาควัดความถี่ นำค่าทั้งสองนี้ไป plot กราฟโดยให้แกนนอนเป็นค่าความถี่แกนตั้งเป็นค่าของขนาดสัญญาณ การวัดเฟสจะอาศัยภาคเฟสดีเทคเตอร์และภาควัดความถี่ การวัดค่า THD อาศัยภาคแอมปลิจูดดีเทคเตอร์ ภาคกรองความถี่ฮาร์โมนิกส์และภาควัดความถี่ สำหรับรายละเอียดต่าง ๆ จะกล่าวในบทต่อไป

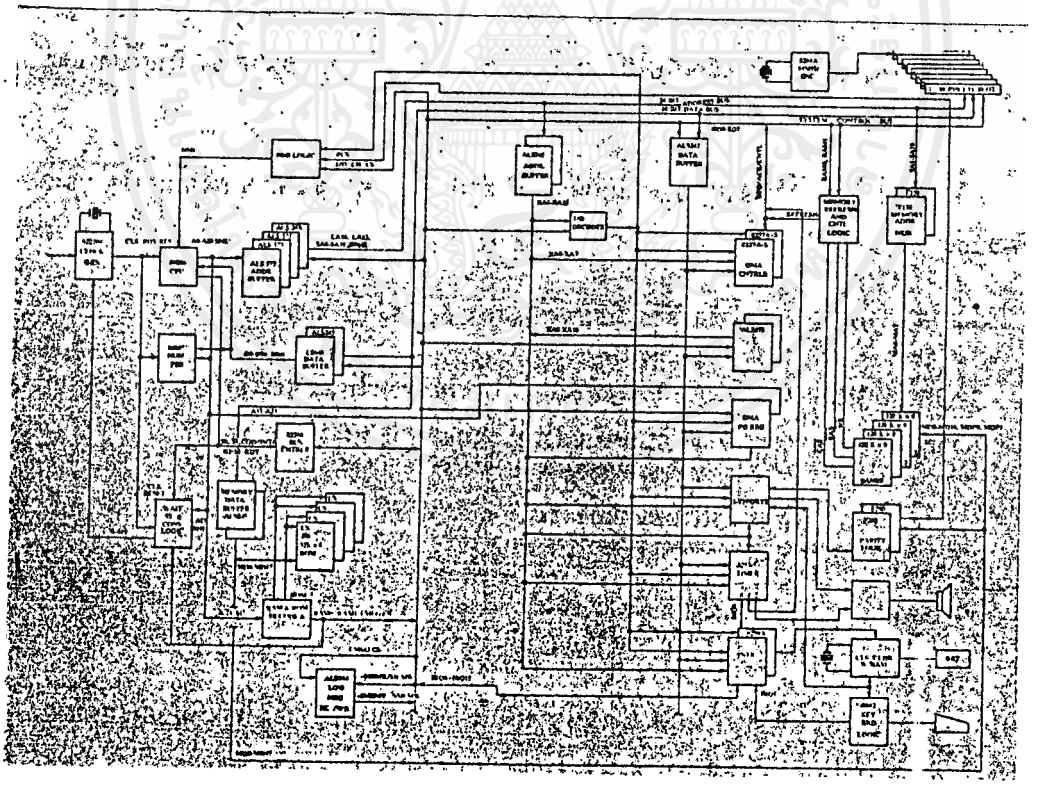
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 2

ทฤษฎีและหลักการ

เครื่องไมโครคอมพิวเตอร์พีซีเอที

เครื่องไอบีเอ็มเอทีเป็นผลของการพัฒนาพีซีของบริษัทไอบีเอ็ม ในปี พ.ศ. 2528 พัฒนาการของไอบีเอ็มเอทีในสมัยนั้นยังจัดได้ว่าเป็นการก้าวที่สำคัญในระดับพีซี ไอบีเอ็มเอทีใช้ CPU 80286 ทำงานที่ความถี่ของสัญญาณนาฬิกา 6 MHz และทำงานร่วมโปรเซสเซอร์คณิตศาสตร์ 80287 ไอบีเอ็มเอที มีโครงสร้างระบบบัสเป็น 16 บิตเต็ม และมีส่วนขยายของระบบทางฮาร์ดแวร์ที่เพิ่มเติมจากไอบีเอ็มเอ็กซ์ทีหลายส่วน ดังแสดงในรูปที่ 2-1 ซึ่งเป็นรูปโครงสร้างของไอบีเอ็มเอที



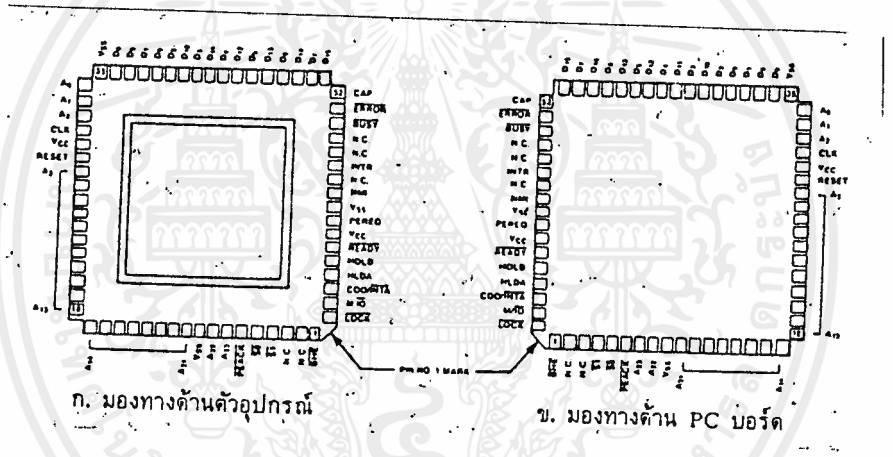
รูปที่ 2-1 บล็อกไดอะแกรมของเมนบอร์ด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเอกสารทุกครั้งที่มีการนำไปใช้

ระบบไมโครคอมพิวเตอร์พีซีเอทีนี้ เป็นการปรับปรุงเทคโนโลยีจากเดิมโดยให้ระบบเอ็กซ์ทีเดิมยังคงใช้งานได้เหมือนเดิม ด้วยเหตุนี้ ซอฟต์แวร์ทุกระบบที่เคยใช้ได้กับพีซีเอ็กซ์ทีก็สามารถใช้กับเครื่องพีซีเอทีได้

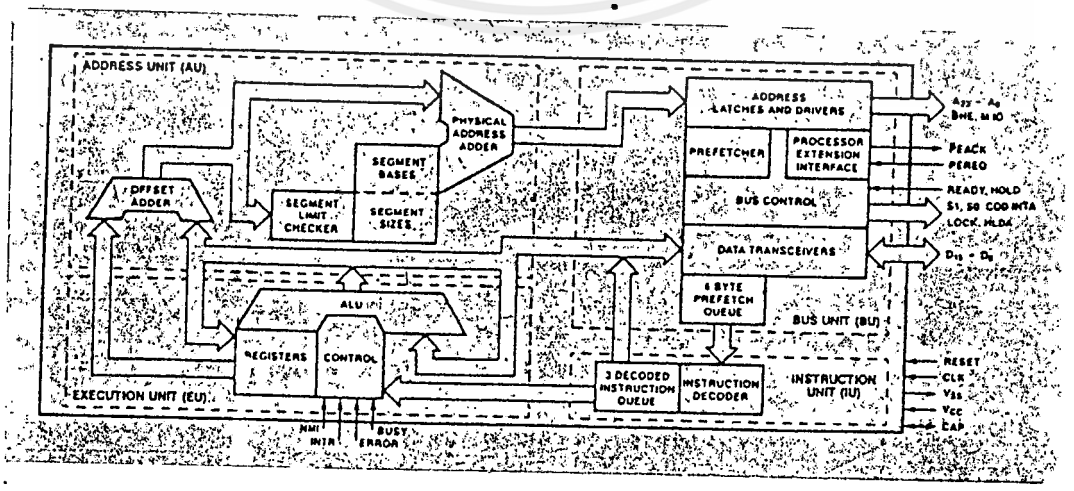
ไอซี CPU 80286

ไอซีไมโครโปรเซสเซอร์ 80286 มีขีดความสามารถสูงกว่า 8088 ที่ใช้ในพีซีธรรมดามาก คือ มากกว่า 6 เท่า 80286 มีโครงสร้างภายในที่พัฒนามาให้มีสถาปัตยกรรมใช้กับตระกูล 8086 ได้ การจัดวางขาของไอซี 80286 แสดงดังรูปที่ 2-2



ก. มองทางด้านตัวอุปกรณ์ ข. มองทางด้าน PC บอร์ด

รูปที่ 2-2 การจัดเรียงขาของ 80286



รูปที่ 2-3 บล็อกไดอะแกรมภายใน 80286

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 2-3 แสดงถึงบล็อกไดอะแกรมภายในของ CPU 80286 ภายในแบ่งออกเป็นหน่วยจัดการแอดเดรส (AU - address unit) หน่วยเอกซีคิวต์ (EU - execution unit) หน่วยควบคุมบัส (BU - bus unit) และหน่วยจัดการวงจรด้วยการถอดรหัสคำสั่ง (IU - instruction unit)

CLK เป็นอินพุทรับสัญญาณนาฬิกาจากภายนอกเข้ามา สัญญาณนี้จะได้รับการหารด้วย 2 เพื่อกำหนดเป็นสัญญาณนาฬิกาของระบบ การหาร 2 จะกระทำภายในชิป

D15-D0 เป็นบัสสองทิศทางจะทำหน้าที่เป็นอินพุทเมื่อสัญญาณบอกการอ่านอินพุทจะเป็นเอาท์พุทเมื่อทำการเขียนข้อมูลให้กับอุปกรณ์เอาท์พุทหรือหน่วยความจำ

A23-A0 เป็นบัสแอดเดรสทำหน้าที่เป็นเอาท์พุทแอดเดรสให้กับบัสแอดเดรส

BHE (bus high enable) เป็นสัญญาณเอาท์พุทบอกสถานะการติดต่อระหว่าง CPU กับอุปกรณ์ภายนอกผ่านทางบัสข้อมูลในไบต์บน (D15-D8) การทำงานจะร่วมกับ A0 ดังตารางที่ 2-1

BHE	A_0	ฟังก์ชัน
0	0	การติดต่อเป็นเวิร์ด
0	1	ติดต่อผ่านทาง 8 บิต $D_{15} - D_8$
1	0	ติดต่อผ่านทาง 8 บิต $D_7 - D_0$
1	1	ไม่ได้ใช้

ตารางที่ 2-1

S1, S0 เป็นสัญญาณเอาท์พุทที่บอกสถานะของบัสซึ่งต้องถอดรหัสร่วมกับสัญญาณเลือกระหว่างหน่วยความจำและไอโอ และสัญญาณ COD/INTA สัญญาณ S1, S0 เป็นลอจิกสามสถานะและจะมีอิมพีแดนซ์สูง เมื่อเกิดการขอใช้บัส (bus acknowledge) เมื่อถอดรหัสจะได้ดังตารางที่ 2-2

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น และไม่อนุญาตให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

COD/INTA	M/S_0	S_1	S_0	ไซเคิลของบัสเป็น
0	0	0	0	ตอบสนองอินเตอร์รัพท์ (INTA)
0	0	0	1	สงวนไว้
0	0	1	0	สงวนไว้
0	0	1	1	ไม่ใช้
0	1	0	0	ถ้า A_1 = 1 จะเป็น Halt ถ้าไม่อยู่ในสถานะ shut down
0	1	0	1	อ่านจากหน่วยความจำ
0	1	1	0	เขียนหน่วยความจำ
0	1	1	1	ไม่ใช้
1	0	0	0	สงวนไว้
1	0	0	1	อ่านจาก I/O
1	0	1	0	เขียน I/O
1	0	1	1	ไม่ใช้
1	1	1	0	สงวนไว้
1	1	0	1	เฟตช์
1	1	1	0	สงวนไว้
1	1	1	1	ไม่ใช้

ตารางที่ 2-2

M/IO เป็นสัญญาณเอาท์พุทบอกสถานะการติดต่อระหว่าง CPU กับ อินพุท เอาท์พุท (I/O) หรือหน่วยความจำ

COD/INTA เป็นสัญญาณเอาท์พุทบอกการ เฟตช์หรือการตอบสนองต่ออินเตอร์รัพท์

LOCK เป็นสัญญาณเอาท์พุท เพื่อบอกสถานะการล็อกของบัสเอาไว้ใช้งาน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

READY เป็นอินพุท เพื่อหยุดทำงานหรือยืดไซเคิลของบัสออกไปอีก เพื่อการซิงโครนัสกับอุปกรณ์ที่ทำงานได้ช้ากว่า CPU

HOLD เป็นอินพุท เป็นสัญญาณการขอใช้บัสจากภายนอก

HOLA เป็นเอาท์พุท เป็นสัญญาณการตอบรับให้ใช้บัสจากภายนอก เช่น สภาวะ DMA

INTR เป็นอินพุท เป็นการขออินเตอร์รัพต์ CPU

NMI เป็นอินพุท หมายถึง สัญญาณการขออินเตอร์รัพต์แบบนอนมาสเคเบิล

PEREQ เป็นอินพุทมีชื่อว่า Processor extension operand requenst ทำหน้าที่ในการจัดการหน่วยความจำในการขยายหน่วยความจำออกไป

PEACK เป็นเอาท์พุท เป็นสัญญาณตอบสนองของ PEREQ

BUSY เป็นสัญญาณอินพุท มีชื่อว่า Processor extension busy เป็นสัญญาณที่ใช้ต่อร่วมกับการทำงานภายนอก เช่น 80287

ERROR เป็นสัญญาณอินพุท มีชื่อว่า Processor extension error เป็นระบบการทำงานจากโปรเซสเซอร์ภายนอก

RESET เป็นสัญญาณอินพุท สำหรับการ RESET CPU

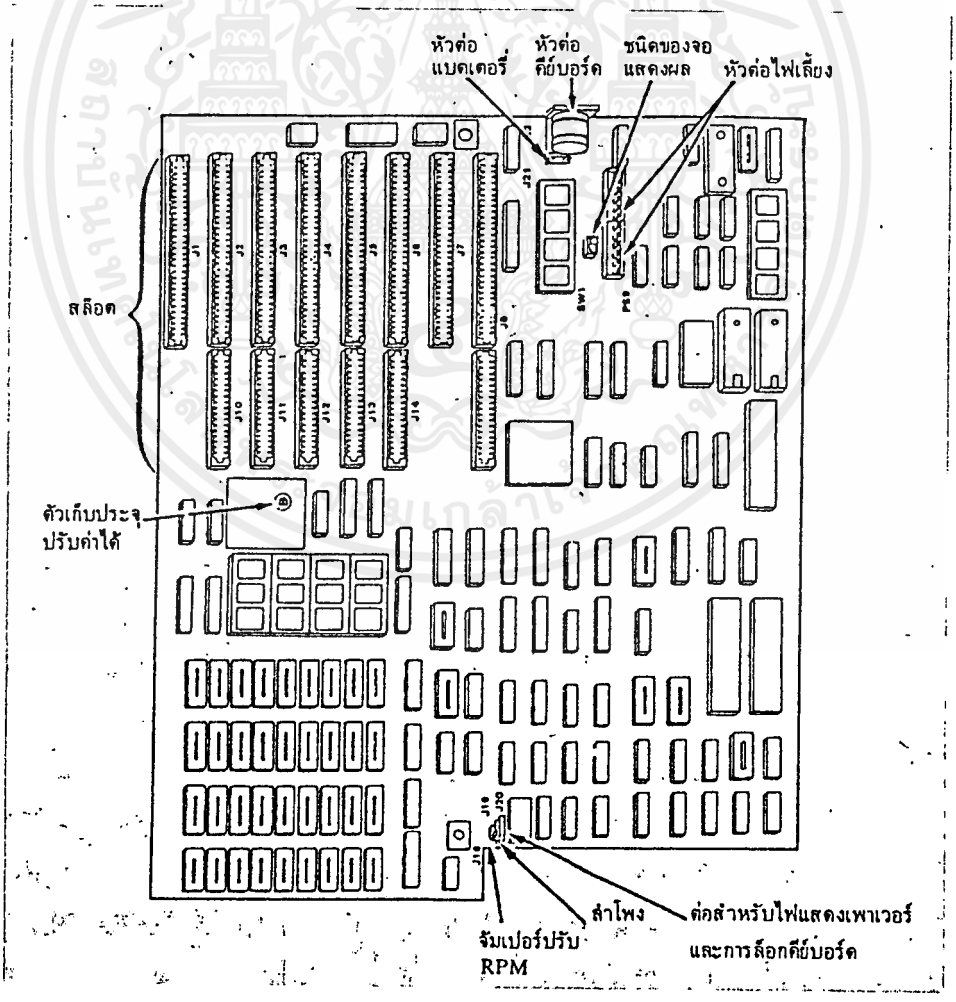
Vss แหล่งจ่ายไฟ 0 โวลต์

Vcc แหล่งจ่ายไฟ 5 โวลต์

CAP ต่อกับตัวเก็บประจุลงกราวนด์ ค่าตัวเก็บประจุใช้ขนาด 0.047 ไมโครฟาราด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บอร์ดหลักของไอบีเอ็มเอ่ทีเป็นบอร์ดขนาดกว้าง 30.5 เซนติเมตร ยาว 33 เซนติเมตร บนแผ่นเมนบอร์ดประกอบด้วยไมโครโปรเซสเซอร์ 80286 และซ็อกเกตสำหรับ 80287 หน่วยความจำรวม 74128 แรม ขนาด 128K x 1 จำนวน 4 แถว (สำหรับเครื่องคอมพาทิเบิลใช้แรมขนาด 256 x 1 จำนวน 4 แถว) ชิปดีเอ็มเอ 8237A สำหรับจัดการดีเอ็มเอ 2 ชิป 8259 ทำหน้าที่ควบคุมอินเตอร์รัปต์ มี 2 ชิป เพื่อจัดการอินเตอร์รัพต์จำนวน 16 ระดับ 8042 เป็นไมโครโปรเซสเซอร์ชิปเดียวสำหรับจัดการเกี่ยวกับอินพุทหรือเอาท์พุทในระบบ นอกจากนี้ บนบอร์ดยังมีหน่วยความจำแบบซีมอสแรมขนาด 64 ไบต์ อยู่หนึ่งชิป คือ MC146818 เพื่อใช้ในการเก็บข้อมูลเซตอัพระบบทั้งหมดนี้ แสดงดังรูปที่ 2-4



รูปที่ 2-4 การวางอุปกรณ์บนเมนบอร์ดของไอบีเอ็มเอที

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โครงสร้างการวางพอร์ตอินพุทและเอาท์พุท

เพื่อให้โครงสร้างทางฮาร์ดแวร์ของพีซีเอทีใช้ซอฟต์แวร์ร่วมกับพีซีเอ็กซ์ทีได้ จำเป็นต้องให้โครงสร้างอินพุทและเอาท์พุทเหมือนกัน หมายเลขพอร์ตที่ใช้ของพีซีเอที แสดงดังตารางที่ 2-3 สำหรับใน Project นี้เลือกใช้หมายเลขพอร์ตที่ตำแหน่ง 300H ถึง 30BH

หมายเลขพอร์ตรหัสฐานสิบหก	ชื่ออุปกรณ์
000-01F	ดีเอ็มเอคอนโทรลเลอร์หมายเลข 1,8237A-5
020-03F	อินเตอร์รัพต์คอนโทรลเลอร์หมายเลข 1,8259A ตัวหลัก
040-05F	ไทเมอร์ 8254-2
060-06F	8042 คีย์บอร์ด
070-07F	นาฬิกา และ NMI และซีมอสแรม
080-09F	DMA เพจรีจิสเตอร์
0A0-0BF	อินเตอร์รัพต์คอนโทรลเลอร์หมายเลข 2, 8259A
0C0-0DF	ดีเอ็มเอคอนโทรลเลอร์หมายเลข 2, 8237A-5
0F0	เคลียร์โปรเซสเซอร์คณิตศาสตร์
0F1	รีเซตโปรเซสเซอร์คณิตศาสตร์
0F8-0FF	โปรเซสเซอร์คณิตศาสตร์
1F0-1F8	ฮาร์ดดิสก์
200-207	เกมไอโอ
278-27F	พอร์ตเครื่องพิมพ์หมายเลข 2
2F8-2FF	พอร์ตอนุกรมหมายเลข 2
300-31F	โปรโตไทป์การ์ด
360-36F	สำรอง
378-37F	พอร์ตเครื่องพิมพ์หมายเลข 1
380-38F	SDLC, ไบซิงค์ 2
3A0-3AF	ไบซิงค์ 1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

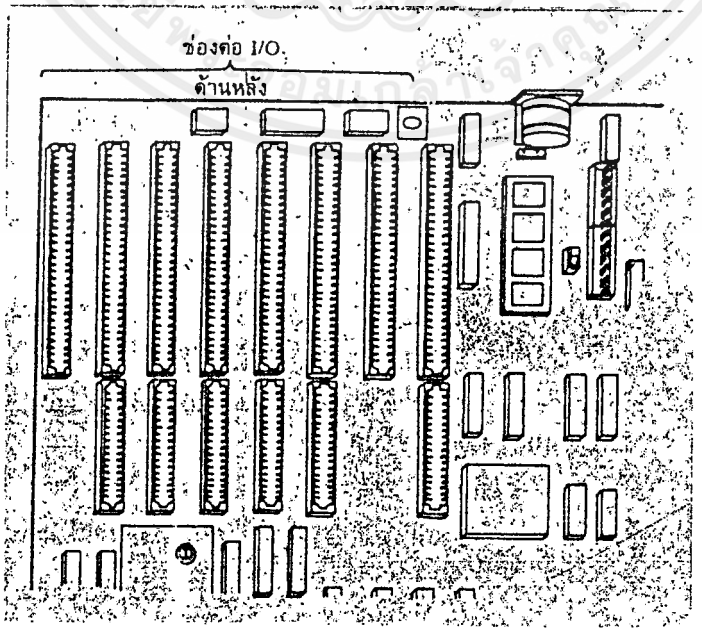
หมายเลขพอร์ตรหัสฐานสิบหก	ชื่ออุปกรณ์
3B0-3BF	โมโนโครมและเครื่องพิมพ์
3C0-3CF	สำรอง
3D0-3DF	จอภาพสี
3F0-3F7	ควบคุมดิสเกตต์
3F8-3FF	พอร์ตอนุกรมหมายเลข 1

ตารางที่ 2-3 หมายเลขพอร์ตที่ใช้กับพีซีเอที

สล็อตหรือช่องต่อสำหรับอินพุทและเอาท์พุท

ไมโครคอมพิวเตอร์แบบเอ็กซ์ทีมีสล็อตแบบ 62 จำนวน 8 สล็อตไว้ต่อเชื่อมกับอินพุทเอาท์พุท แต่เมื่อพัฒนามาเป็นแบบเอที ทำให้ขีดความสามารถบางอย่างเพิ่มขึ้น

ดังนั้น จึงจำเป็นต้องปรับปรุงสล็อตเพิ่มเติมและเพื่อให้ใช้วงจรกับของเดิมได้ บริษัทไอบีเอ็มจึงกำหนดสล็อตเพิ่มเติมจากเดิมโดยมีโครงสร้างรูปแบบดังรูปที่ 2-5

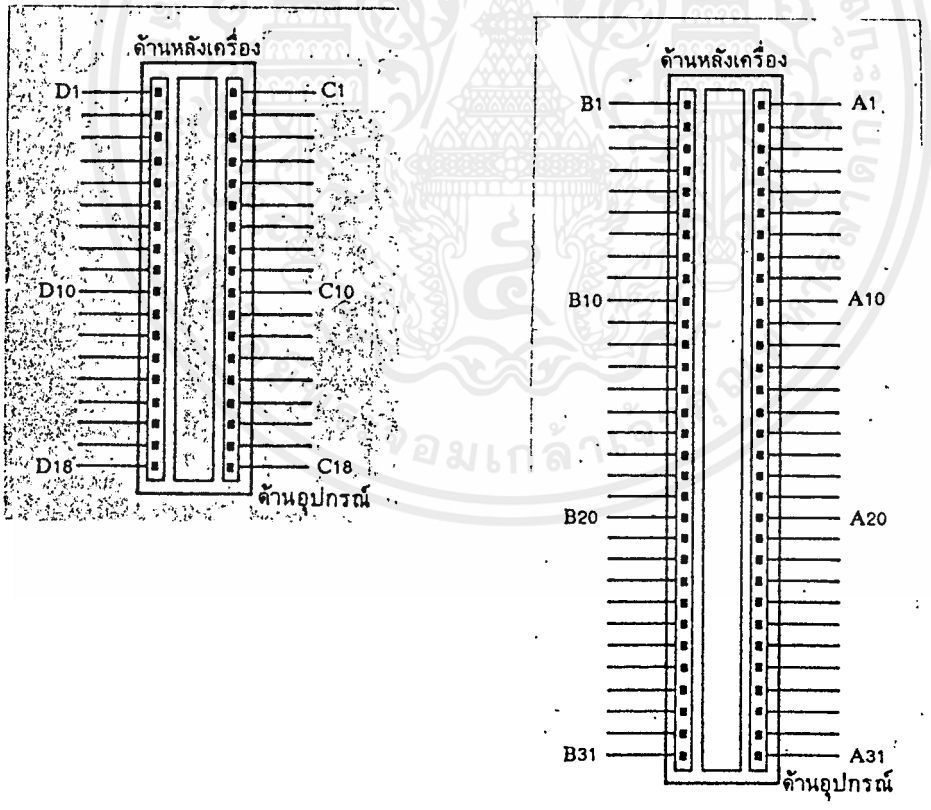


รูปที่ 2-5 ลักษณะตำแหน่งการวางสล็อตบนเมนบอร์ด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สำหรับจุดมุ่งหมายของช่วงต่ออินพุทและเอาท์พุทหรือสล็อตนี้มีเพื่อสนับสนุนดังนี้

- แอดเดรสหมายเลขพอร์ตหมายเลข 100H ถึง 3FFH
- ให้มีแอดเดรสครบ 24 เส้นตามโครงสร้างของ 80286 เพื่ออ้างอิงหน่วยความจำได้ 16 MB
- เลือกการเข้าถึงข้อมูลได้ทั้งแบบ 8 บิต และ 16 บิต
- สนับสนุนการอินเตอร์รัพต์
- แชนแนลดีเอ็มเอ
- สร้างสถานะการรอของอินพุทหรือเอาท์พุท (I/O wait state)
- เปิดสถานะของการเชื่อมต่อเพื่อให้อุปกรณ์ภายนอกเชื่อมโยงกับระบบในส่วนต่าง ๆ ได้ง่าย
- รีเฟรชหน่วยความจำจากแชนแนลของไมโครโปรเซสเซอร์ภายใน



รูปที่ 2-6 การนับขาของสล็อตแบบ 62 ขา และ 36 ขา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้
032579

ขาอินพุท เอาท์พุท	ชื่อสัญญาณ	อินพุท/ เอาท์พุท
A1	-I/O CH CK	I
A2	SD7	I/O
A3	SD6	I/O
A4	SD5	I/O
A5	SD4	I/O
A6	SD3	I/O
A7	SD2	I/O
A8	SD1	I/O
A9	SD0	I/O
A10	-I/O CH RDY	I
A11	AEN	O
A12	SA19	I/O
A13	SA18	I/O
A14	SA17	I/O
A15	SA16	I/O
A16	SA15	I/O
A17	SA14	I/O
A18	SA13	I/O
A19	SA12	I/O
A20	SA11	I/O
A21	SA10	I/O
A22	SA9	I/O
A23	SA8	I/O
A24	SA7	I/O
A25	SA6	I/O
A26	SA5	I/O

ขาอินพุท เอาท์พุท	ชื่อสัญญาณ	อินพุท/ เอาท์พุท
A27	SA4	I/O
A28	SA3	I/O
A29	SA2	I/O
A30	SA1	I/O
A31	SA0	I/O

อินพุท/เอาท์พุทแชนแนลด้าน A J1 ถึง J8

ขาอินพุท เอาท์พุท	ชื่อสัญญาณ	อินพุท/ เอาท์พุท
B1	GND	กราวนด์
B2	RESET DRV	O
B3	+5 Vdc	แหล่งจ่ายไฟเลี้ยง
B4	IRQ9	I
B5	-5 Vdc	แหล่งจ่ายไฟเลี้ยง
B6	DRQ2	I
B7	-12 Vdc	แหล่งจ่ายไฟเลี้ยง
B8	OWS	I
B9	+12 Vdc	แหล่งจ่ายไฟเลี้ยง
B10	GND	กราวนด์
B11	-SMEMW	O
B12	-SMEMR	O
B13	-IOW	I/O
B14	-IOR	I/O
B15	-DACK3	O

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ขาอินพุท เอาท์พุท	ชื่อสัญญาณ	อินพุท/ เอาท์พุท
B16	DRQ3	I
B17	-DACK1	O
B18	DRQ1	I
B19	-Refresh	I/O
B20	CLK	O
B21	IRQ7	I
B22	IRQ6	I
B23	IRQ5	I
B24	IRQ4	I
B25	IRQ3	I
B26	-DACK2	O
B27	T/C	O
B28	BALE	O
B29	+5 Vdc	แหล่งจ่ายไฟเลี้ยง
B30	OSC	O
B31	GND	กราวนด์

อินพุท/เอาท์พุทแชนเนลด้าน B J1 ถึง J8

ขาอินพุท เอาท์พุท	ชื่อสัญญาณ	อินพุท เอาท์พุท
C1	SBHE	I/O
C2	LA23	I/O
C3	LA22	I/O
C4	LA21	I/O

ขาอินพุท เอาท์พุท	ชื่อสัญญาณ	อินพุท/ เอาท์พุท
C5	LA20	I/O
C6	LA19	I/O
C7	LA18	I/O
C8	LA17	I/O
C9	-MEMR	I/O
C10	-MEMW	I/O
C11	SD08	I/O
C12	SD09	I/O
C13	SD10	I/O
C14	SD11	I/O
C15	SD12	I/O
C16	SD13	I/O
C17	SD14	I/O
C18	SD15	I/O
D1	-MEM CS16	I
D2	-I/O CS16	I
D3	IRQ10	I
D4	IRQ11	I
D5	IRQ12	I
D6	IRQ15	I
D7	IRQ14	I
D8	-DACKO	O
D9	DROQ	I
D10	-DACK5	O
D11	DRQ5	I
D12	-DACK6	O

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ขาอินพุท เอาท์พุท	ชื่อสัญญาณ	อินพุท เอาท์พุท
D13	DRQ6	I
D14	-DACK7	O
D15	DRQ7	I
D16	+5 Vdc	แหล่งจ่ายไฟเลี้ยง
D17	-MASTER	I
D18	GND	กราวนด์
D15	LA23	I/O

ตารางที่ 2-4 ชื่อของสัญญาณต่าง ๆ ของสล็อต

ตารางที่ 2-4 แสดงรายละเอียดขาต่าง ๆ ของสล็อตซึ่งสัญญาณที่ต่อเชื่อมกับอุปกรณ์อินพุท/เอาท์พุท เป็นสัญญาณที่มีขนาด 5 โวลต์ ตามมาตรฐาน TTL โดยที่แต่ละสล็อตจะเชื่อมต่อกับทีทีแอลแบบ LS ได้ 2 อินพุท ดังนั้น การต่อกับสล็อตจำเป็นต้องคำนึงถึงโหลดดังกล่าวนี้ด้วย สัญญาณที่ขาต่าง ๆ ของสล็อตมีความหมายดังนี้

- SA0 - SA19 (อินพุท/เอาท์พุท) เป็นแอดเดรสของระบบที่ใช้ติดต่อกับหน่วยความจำและอุปกรณ์อินพุท/เอาท์พุท สายสัญญาณนี้จะต่อกับหน่วยความจำได้ 1 MB แต่สำหรับแอดเดรสตำแหน่ง 300H - 30BH ใช้ขาแอดเดรส A0 - A9 ก็เพียงพอแล้ว

- LA17 - LA23 (อินพุท/เอาท์พุท) สัญญาณนี้เป็นสัญญาณที่ไม่ผ่านการแลตช์มาเลย เป็นสัญญาณที่ขยายเพิ่มต่อให้กับระบบ ใช้กับหน่วยความจำได้เต็มที่ 16 MB สัญญาณนี้จะใช้ได้ต่อเมื่อ BALE เป็น "1"

- CLK (เอาท์พุท) เป็นสัญญาณนาฬิกาของระบบ ในกรณีของไอบีเอ็มเอทีจะส่งสัญญาณนี้ขนาด 6 MHz โดยมีช่วงเวลาประมาณ 167 ns สัญญาณนี้เป็นรูปสี่เหลี่ยมมีduty cycle 50% สัญญาณนี้มีจุดมุ่งหมายเพื่อใช้ในการซิงโครนัสระบบ

- RESET DRV (เอาท์พุท) สัญญาณนี้ใช้สำหรับรีเซ็ทระบบในขณะเปิดเครื่องหรือขณะแหล่งจ่ายไฟเลี้ยงขาดหรือไฟตก สัญญาณนี้จะแอกทีฟเมื่อลอจิกเป็น "1"

เอกสารนี้ใช้เพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- SD0 - SD15 (อินพุท/เอาท์พุท) เป็นสัญญาณข้อมูลขนาด 16 บิต ที่ใช้ติดต่อกับหน่วยความจำและอุปกรณ์อินพุท/เอาท์พุท บิต D0 เป็นบิตที่มีนัยสำคัญต่ำสุด ในการติดต่อกับอุปกรณ์บางอย่างที่ต้องใช้ 8 บิต จะมีวิธีแปลงข้อมูลจาก SD8 - SD15 เข้ามาใน 8 บิตล่างได้ เพื่อให้การติดต่อเป็นไปได้ทั้งแบบ 16 บิต และ 8 บิต

- BALE (เอาท์พุท) เป็นสัญญาณที่ใช้สำหรับการแลตช์แอดเดรสของระบบ สัญญาณนี้มาจาก 82288 ตัวควบคุมบัสสัญญาณที่จะให้แลตช์แอดเดรสเมื่อเปลี่ยนจาก "1" กับ "0" และสัญญาณนี้จะได้รับการทำให้เป็น "1" ขณะที่กำลังทำดีเอ็มเอ

- I/O CHK (อินพุท) สัญญาณตรวจสอบของอินพุท/เอาท์พุท เพื่อบอกข้อมูลกับระบบ เช่นเดียวกับการตรวจสอบพาริตี้ ดังนั้น ถ้าบนอินพุท/เอาท์พุทมีข้อผิดพลาด สัญญาณนี้จะแอกทีฟเพื่อให้ส่งสัญญาณเตือนในลักษณะ Parity error

- I/O CHRDY (อินพุท) สัญญาณนี้จะได้รับการทำให้เป็น "0" ด้วยหน่วยความจำหรืออุปกรณ์อินพุท/เอาท์พุท การใช้สัญญาณนี้ก็เพื่อให้อุปกรณ์อินพุท/เอาท์พุทที่ช้าจะได้ติดต่อกับระบบด้วยการส่งสัญญาณมายัง CPU เพื่อซิงโครนัสกับระบบได้

- IRQ3 - IRQ7, IRQ9 - IRQ12, IRQ14 - IRQ15 (อินพุท) เป็นสัญญาณการอินเตอร์รัพต์

- IOR (อินพุท/เอาท์พุท) สัญญาณอ่านอินพุท/เอาท์พุท เป็นสัญญาณที่ส่งมาจาก CPU สัญญาณนี้เป็นแอกทีฟ "0"

- IOW (อินพุท/เอาท์พุท) สัญญาณเขียนข้อมูลลงบนอินพุท/เอาท์พุท สัญญาณแอกทีฟด้วยลอจิก "0"

- SMEMR (เอาท์พุท) MEMR (อินพุท/เอาท์พุท) สัญญาณนี้เป็นสัญญาณควบคุมการอ่านข้อมูลจากหน่วยความจำ SMEMR ใช้ติดต่อกับหน่วยความจำในส่วน 1 MB แรก MEMR นี้แอกทีฟกับหน่วยความจำได้หมด 16 MB

- SMEMW (เอาท์พุท) MEMW (อินพุท/เอาท์พุท) สัญญาณนี้เป็นสัญญาณควบคุมการเขียนข้อมูลลงหน่วยความจำ โครงสร้างอย่างอื่นเหมือนกับ SMEMR และ MEMR

- DRQ0-DRQ3, DRQ5-DRQ7 (อินพุท) สัญญาณการขอดีเอ็มเอแชนแนล 0-3 และ 5-7 โดย DRQ0 มีลำดับความสำคัญสูงสุด DRQ7 มีลำดับความสำคัญต่ำสุด DRQ0-DRQ3 ใช้กับดีเอ็มเอแบบ 8 บิต DRQ5-7 ใช้กับแชนแนล 16 บิต

- AEN (เอาท์พุท) อีนาเบิลแอดเดรส เป็นสัญญาณเพื่อใช้สำหรับการแยกบัสแอดเดรสในการทำดีเอ็มเอ

- REFRESH (อินพุท/เอาท์พุท) เป็นสัญญาณที่ใช้ในการแสดงสัญญาณรีเฟรชไซเคิล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- T/C (เอาท์พุท) สัญญาณ Terminal Count เป็นสัญญาณพัลซ์เมื่อดีเอ็มเอนับจำนวนมาครบตามที่กำหนด

- SBHE (อินพุท/เอาท์พุท) ชื่อสัญญาณ Bus High Enable เป็นสัญญาณบ่งบอกการถ่ายข้อมูลจาก SD8-SD15 เข้าสู่บัฟเฟอร์

- MASTER (อินพุท) สัญญาณนี้ใช้กับ DRQ เพื่อควบคุมระบบ ถ้าหากสัญญาณนี้แอกทีฟหมายความว่า CPU เดิมส่งอำนาจการควบคุมให้กับสล็อต ซึ่งอาจจะเป็น CPU อื่นเข้ามาควบคุมระบบก็ได้

- MEMECS16 (อินพุท) สัญญาณนี้เป็นตัวส่งมาบอกเมนบอร์ด ถ้าหากการถ่ายเทข้อมูลต้องการสถานะรอ

- IO CS16 (อินพุท) สัญญาณนี้เป็นตัวส่งมาบอกเมนบอร์ว่าอินพุท/เอาท์พุทต้องการสถานะรอ

- OSC (เอาท์พุท) สัญญาณนาฬิกา 14.31818 MHz สัญญาณนี้นำไปใช้ซิงโครนัสกับระบบ

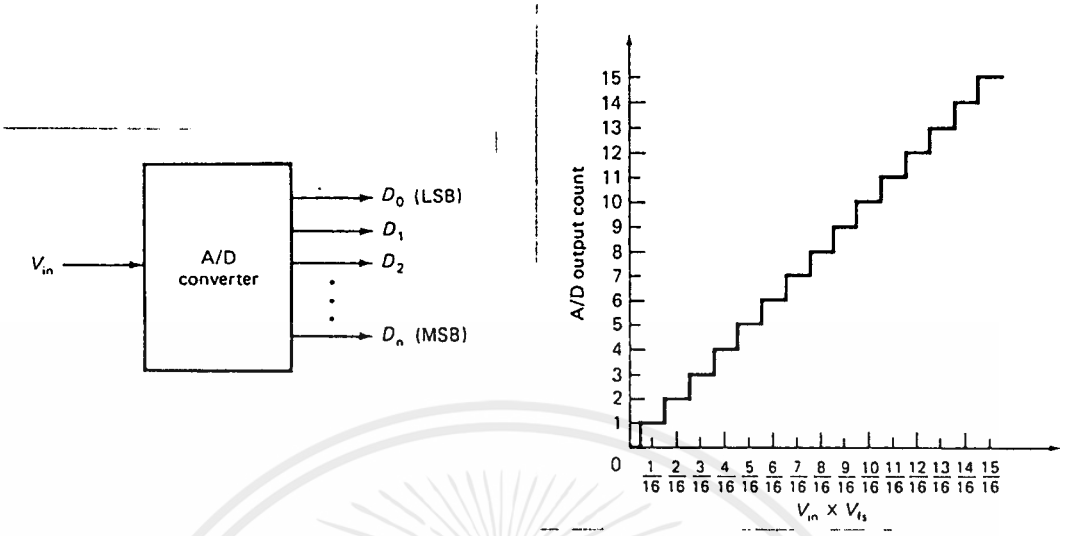
- OWS (อินพุท) เป็นสัญญาณที่จะบอก CPU ว่าการทำงานในหนึ่งรอบของบัสไม่จำเป็นต้องแทรกสถานะรอ

A/D AND D/A CONVERSION

การแปลงสัญญาณอานาลอกเป็นสัญญาณดิจิตอล (A/D CONVERSION)

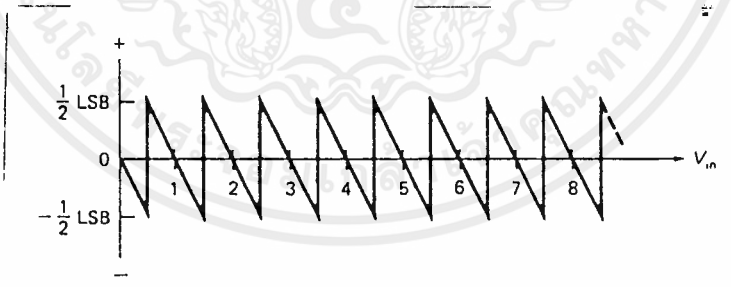
ในบางครั้งคอมพิวเตอร์จำเป็นที่จะต้องติดต่อกับอุปกรณ์ภายนอกที่ให้สัญญาณอยู่ในรูปอานาลอก แต่คอมพิวเตอร์ยอมรับสัญญาณดิจิตอล (อยู่ในรูป "0" กับ "1") เท่านั้น ดังนั้น A/D CONVERSION จึงมีความสำคัญในส่วนนี้ โดยจะทำการ Sample สัญญาณอานาลอกและสร้างสัญญาณดิจิตอล (ตัวเลข) ออกมา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2-7 A/D CONVERSION แบบ 4 บิต

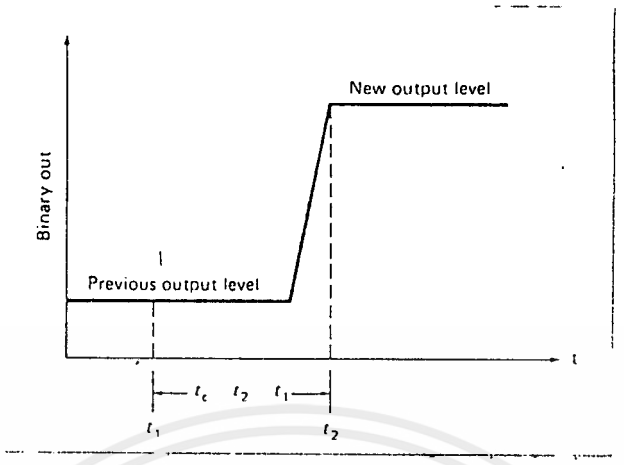
รูปที่ 2-7 แสดงบล็อกไดอะแกรมของ A/D CONVERSION ซึ่งจะให้เอาท์พุทเป็นไบนารี่ โดยจะเป็นสัดส่วนโดยตรงกับแรงดันอินพุท จากกราฟจะเห็นได้ว่าเมื่อแรงดันอินพุทต่ำ จะให้เอาท์พุทที่เป็นไบนารี่ต่ำ เมื่อแรงดันอินพุทเข้ามาสูงขึ้น เอาท์พุทก็จะให้ค่าไบนารี่ที่มากขึ้น จากรูปจะเห็นว่ามีลักษณะเหมือนขั้นบันได



รูปที่ 2-8 error ของการ A/D CONVERSION

รูปที่ 2-8 แสดงการเกิด error ของการแปลงสัญญาณอานาลอกเป็นดิจิตอล ซึ่งมีชื่อเรียกว่า quantization error แต่เราสามารถแก้ไขให้ error นี้ลดน้อยลงได้โดยการเพิ่มจำนวนบิต เช่น ถ้าเพิ่มเป็น 8 บิต จะทำให้ error น้อยลง และการ CONVERSION จะเที่ยงตรงมากขึ้น สิ่งที่สำคัญอีกอย่างหนึ่งคือ เวลาในการ CONVERSION จากสัญญาณอานาลอกเป็นดิจิตอล (tc) ดังรูปที่ 2-9 หรืออาจจะเรียกอีกอย่างหนึ่งว่า time delay เป็นเวลาที่ใช้ในการเปลี่ยนจากระดับหนึ่งไปสู่อีกระดับหนึ่ง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งไม่อนุญาตให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2-9 ผลตอบสนองทางเวลาของ A/D CONVERSION

จากรูปที่ 12 t_1 เป็นเวลาที่เอาท์พุทมีสถานะปัจจุบัน และ t_2 เป็นเอาท์พุทที่สถานะต่อไป ดังนั้น tc จึงเป็นผลต่างระหว่าง t_1 และ t_2 ซึ่งค่า tc อันนี้จะเป็นตัวกำหนด อัตราการสุ่มสัญญาณสูงสุด ถ้าค่า t_2 มีค่าต่ำ หมายความว่า อัตราการสุ่มสัญญาณจะสูงขึ้น นั่นคือ ย่อมมีความเที่ยงตรงสูงขึ้น

เนื่องจาก ADC ต้องการค่าเวลาขณะหนึ่งที่ใช้ในกระบวนการแปลงสัญญาณอานาลอกเป็นดิจิตอล ช่วงเวลาหนึ่งจะใช้สำหรับการสุ่มตัวอย่าง (sampling) ของสัญญาณตัวอย่าง เช่น ADC สามารถเปลี่ยนสัญญาณเสร็จสมบูรณ์ได้ภายใน 1 ms ดังนั้น จึงสามารถเปลี่ยนสัญญาณได้ 1,000 ครั้ง ใน 1 วินาที (ในทางทฤษฎี) อัตราการเปลี่ยนสัญญาณสูงสุด มีค่าเท่ากับส่วนกลับของค่าเวลาการเปลี่ยน

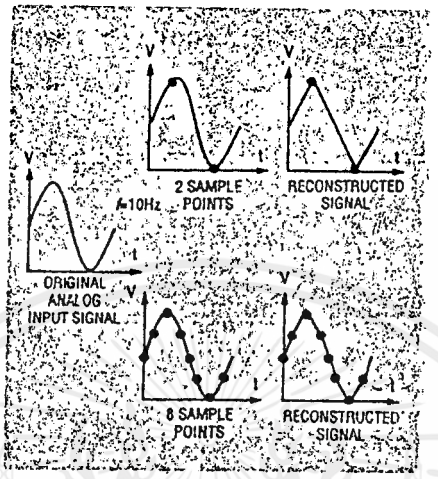
$$\text{conversion rate} = \frac{1}{\text{conversion time}} \qquad (2\text{-}1)$$

ตัวคอนเวอร์เตอร์จะสุ่มตัวอย่างของสัญญาณด้วยอัตราต่ำสุดเป็น 2 เท่าของความถี่สูงสุดของสัญญาณอินพุทที่เข้ามา อัตราการสุ่มนี้เรียกว่า Nyquist rate

พิจารณาสัญญาณอานาลอกที่เป็นรูปคลื่นซายน์ 10 Hz จ่ายให้กับตัว ADC ตามรูปที่ 2-10

อัตราต่ำสุดของการสุ่มตัวอย่างเป็น 2f หรือ 20 Hz ซึ่งจะให้ข้อมูลดิจิตอลขนาด 2 บิต ออกมาในแต่ละไซเคิล เมื่อข้อมูลดิจิตอลถูกนำมาสร้างเป็นสัญญาณอานาลอกขึ้นมาใหม่ โดย DAC สัญญาณอานาลอกตัวใหม่จะมีลักษณะคล้ายคลึงกับสัญญาณเดิม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2-10 ลักษณะการสุ่มสัญญาณอานาลอก

ถ้าความถี่ 10 Hz เป็นความถี่สูงสุดที่เข้ามายังตัว ADC ค่าเวลาที่ใช้ในการเปลี่ยนสัญญาณสูงสุดเป็น 1/20 Hz หรือ 500 ms เป็นต้น

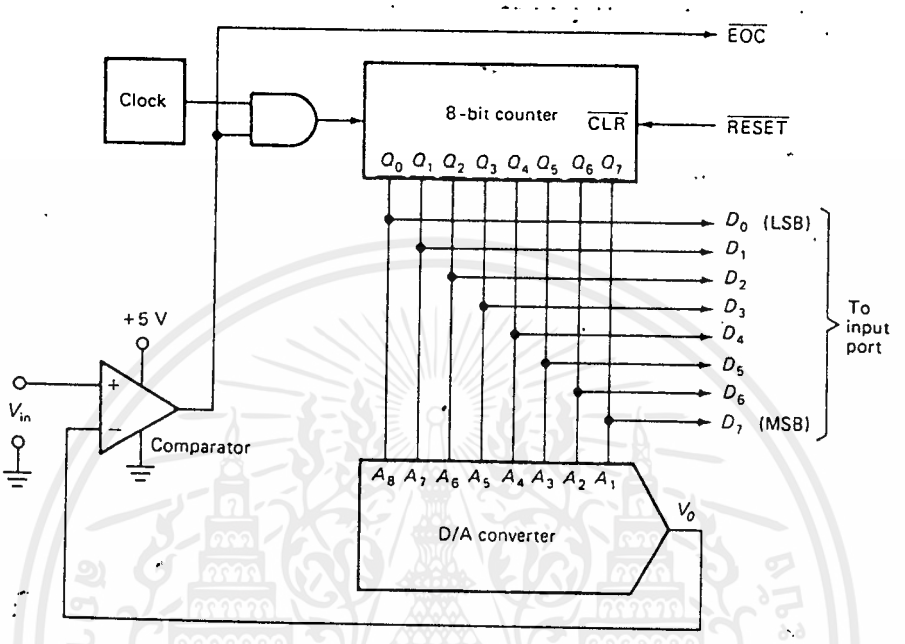
การที่เราจะปรับปรุงประสิทธิภาพของ ADC ในแง่ความเหมือนจริงของสัญญาณการแปลงให้อยู่ในรูปดิจิตอล เราจะต้องเพิ่มค่าอัตราการสุ่มในขณะที่คาบเวลาเท่าเดิม อัตราการสุ่ม 8 จุดต่อไซเคิ้ล ต้องการอัตราการสุ่มของส่วนประกอบความถี่สูงสุด อินพุท 8 ครั้ง เช่น ความถี่อินพุท 10 Hz จะต้องสุ่มตัวอย่าง 80 Hz ดังนั้น ตัวคอนเวอร์เตอร์ควรจะมีค่าเวลาการเปลี่ยน 1/80 Hz หรือ 12.5 ms ถ้าตัว ADC ไม่สามารถสุ่มตัวอย่างได้เร็วพอต่อสัญญาณอินพุทที่เปลี่ยนแปลงไป ข่าวสารข้อมูลที่บรรจุในสัญญาณอานาลอกทางอินพุทจะสูญหายไปหรือเกิด error ขึ้น

คอนเวอร์เตอร์แบบแรมป์ (Ramp A/D Converter)

A/D คอนเวอร์เตอร์แบบแรมป์แสดงดังรูปที่ 2-11 หัวใจของวงจรนี้คือ D/A คอนเวอร์เตอร์ ซึ่งมันจะเป็นส่วนที่สำคัญและมีอยู่ใน A/D คอนเวอร์เตอร์ทั่ว ๆ ไป

การทำงานของวงจรนี้มักจะถูกควบคุมโดยคอมพิวเตอร์ สมมติให้แรงดันดีซีบวกป้อนเข้าที่ขาอินพุทตัวเปรียบเทียบ คอมพิวเตอร์ส่งรีเซ็ทพัลซ์ไปที่ตัวนับ (counter) ที่อินพุทของ D/A คอนเวอร์เตอร์มีลอจิก "0" ส่งผลให้ที่เอาท์พุท (Vo) ของ D/A เป็น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใด ๆ ทั้งสิ้น อีกทั้งไม่อนุญาตให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารนี้ทุกครั้งที่มีการนำไปใช้

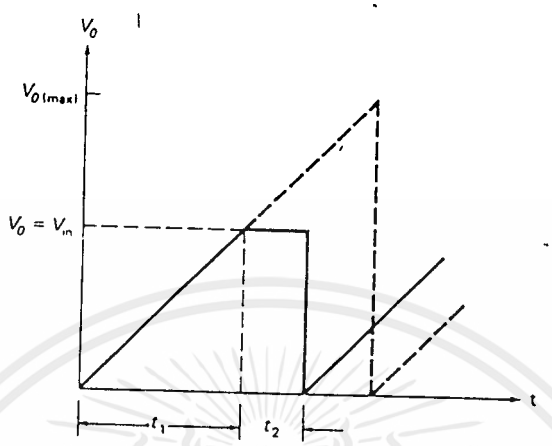


รูปที่ 2-11 A/D คอนเวอร์เตอร์แบบแรมป์

OV อินพุท-นอนอินเวอร์ติ้งของตัวเปรียบเทียบเป็นบวก โดยจะเกี่ยวพันกับอินพุทอินเวอร์ติ้ง เอาท์พุทจะขับจนถึง Saturation ประมาณ +5V จะเป็นการอีนาเบิ้ล AND gate สัญญาณนาฬิกาจะผ่านมายังตัวนับขึ้น แรงดันเอาท์พุทของ D/A คอนเวอร์เตอร์ค่อยเพิ่มขึ้นแสดงดังรูปที่ 2-12 เมื่อตัวนับสัญญาณนาฬิกานับค่าไปจนถึงจุดหนึ่งที่ทำให้เอาท์พุทของ D/A คอนเวอร์เตอร์มากกว่าแรงดัน Vin ที่เอาท์พุทของตัวเปรียบเทียบเป็น OV เป็นการดิสเซเบิ้ลสัญญาณนาฬิกาและตัวนับก็จะหยุดนับสัญญาณนาฬิกาขา EOC จะเป็น LOW และใช้สัญญาณนี้ส่งไปบอกคอมพิวเตอร์ว่าพร้อมแล้ว และให้คอมพิวเตอร์อ่านข้อมูลจากขา DATA ได้ หลังจากที่คอมพิวเตอร์อ่านข้อมูลไปแล้วคอมพิวเตอร์จะส่งรีเซ็ทพัลซ์กลับมายังตัว A/D คอนเวอร์เตอร์และเป็นการเริ่มกระบวนการ CONVERSION อีกครั้ง

จากรูปที่ 2-12 t_1 เป็นเวลาที่ใช้ในการนับค่าสัญญาณนาฬิกาหรือเรียกว่าช่วงเวลาของการ conversion t_2 เป็นช่วงเวลาพักซึ่งคอมพิวเตอร์จะทำการอ่านค่าข้อมูลและส่งสัญญาณรีเซ็ทพัลซ์ เวลาในการ conversion (t_1) จะขึ้นอยู่กับค่าของ Vin และความถี่ของสัญญาณนาฬิกา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งไม่อนุญาตให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



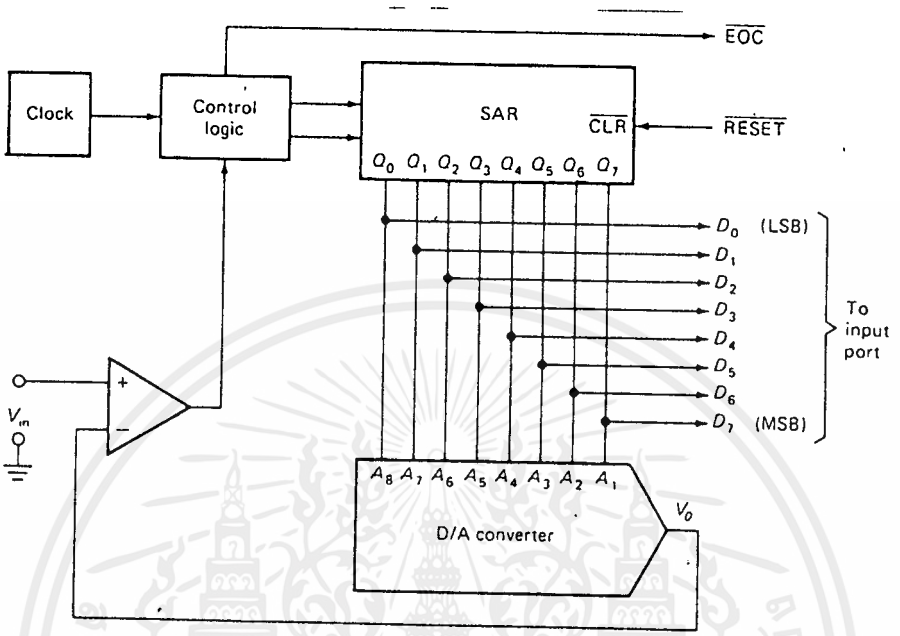
รูปที่ 2-12 แสดงแรงดันเอาท์พุทของ D/A คอนเวอร์เตอร์

คอนเวอร์เตอร์แบบค่าประมาณต่อเนื่อง
(Successive Approximation A/D Converter)

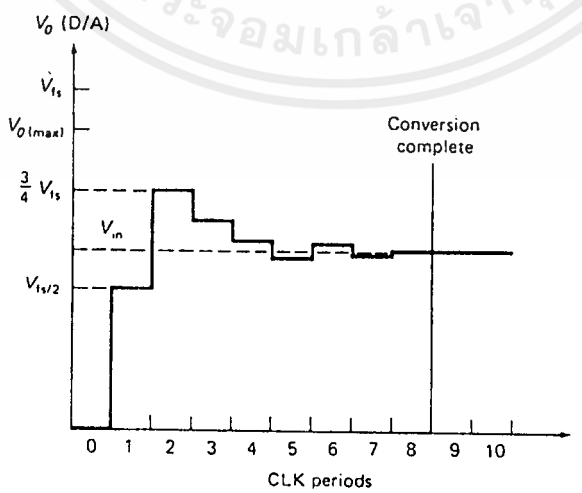
รีจิสเตอร์ค่าประมาณต่อเนื่อง (SAR) จะเป็นตัวหลักในคอนเวอร์เตอร์แบบนี้ ซึ่งเรียกว่า A/D คอนเวอร์เตอร์แบบ SAR จะเห็นว่า converter แบบ SAR และ D/A คอนเวอร์เตอร์และตัวเปรียบเทียบอยู่ด้วย คอนเวอร์เตอร์แบบ SAR ดังแสดงในรูปที่ 2-13

ความแตกต่างระหว่างคอนเวอร์เตอร์ทั้งสองคือ ภาค Digital Counting คอนเวอร์เตอร์แบบแรมป์จะทำการนับขึ้นเป็นลำดับและ Vin มีค่ามากกว่า ส่วนคอนเวอร์เตอร์แบบ SAR มีลักษณะการทำงานดังนี้ เริ่มสัญญาณนาฬิกาที่เวลาแรก ภาค control logic ส่งพัลซ์มายัง SAR ด้วยการเซ็ทค่าที่ MSB และทำการรีเซ็ทเอาท์พุทขาอื่น ๆ Vo จะเท่ากับ Vfs/2 ดังในรูป 2-14 ถ้า Vo น้อยกว่า Vin แรงดันเอาท์พุทของตัวเปรียบเทียบมีสภาพเป็น High ภาค Control logic ส่งสัญญาณมาที่ SAR และแลทช์ค่าที่ MSB มีลอจิก "1" เมื่อพัลซ์ลูกต่อไปเข้ามาเอาท์พุท Q6 ของ SAR จะถูกเซ็ทดังรูปที่ 2-14 เอาท์พุท D/A จะมากกว่า Vin และขับให้ตัวเปรียบเทียบมีเอาท์พุทเป็น LOW ตัว Control logic ส่งสัญญาณและ Q6 จะไม่แลทช์ค่า high พัลซ์ลูกต่อไปเข้ามา Q6 จะถูกเคลียร์ และ Q5

เอกสารนี้ใช้เพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น พร้อมทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2-13 A/D คอนเวอร์เตอร์แบบค่าประมาณต่อเนื่อง



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 2-14 กราฟแสดง Vo ของ D/A คอนเวอร์เตอร์

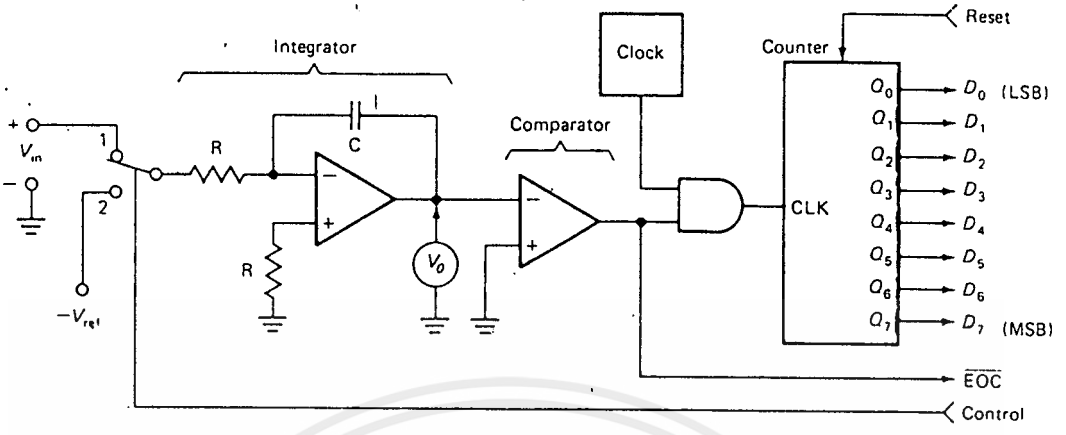
ถูกเซ็ทเอาท์พุทตัวเปรียบเทียบเป็น high อีกครั้ง ตัว control logic ทำให้ Q5 ไม่เลทช์ค่า high ลำดับขั้นตอนนี้จะเกิดขึ้น 8 คาบเวลา เพราะเป็นคอนเวอร์เตอร์แบบ 7 บิต การเริ่มต้นที่ MSB ของ SAR ถ้าเอาท์พุทของ D/A มีค่ามากกว่า Vin บิตนั้นจะถูกคัดทิ้ง ถ้าการเซ็ทค่าบิตเอาท์พุท SAR ที่ทำให้เอาท์พุทของ D/A คอนเวอร์เตอร์น้อยกว่าค่า Vin บิตนั้นจะแลทช์ไว้ที่ high เมื่อหลังจากทำการ test บิตครบทุกบิตแล้วไบนารี่เอาท์พุทนี้จะเป็นสัดส่วนกับ Vin จะเห็นว่า A/D คอนเวอร์เตอร์แบบนี้ดีกว่าคอนเวอร์เตอร์แบบแรมป์ คือ ช่วงเวลาการคอนเวอร์ชั่นจะเป็นปฏิภาคโดยตรงกับจำนวนบิตของ SAR ส่วนแบบแรมป์ช่วงเวลาการคอนเวอร์ชั่นเป็นปฏิภาคกับค่า 2^n เมื่อ n คือ จำนวนบิตของเคาน์เตอร์ A/D คอนเวอร์เตอร์ชนิด SAR จะใช้งานกันอย่างกว้างขวางกว่าชนิดแรมป์

คอนเวอร์เตอร์แบบสโลปคู่ (Dual-Slope A/D converter)

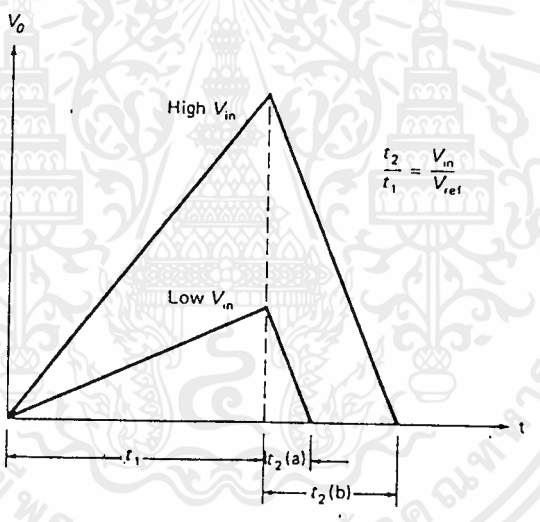
คอนเวอร์เตอร์ชนิดนี้จะมีส่วนของวงจร integrator อยู่ที่ภาคแรกของวงจร สมมติในตอนเริ่มต้นให้รีเซ็ทตัวนับ (counter) และ Vo ที่วงจร integrator เป็นศูนย์ ให้สวิทช์ไปที่ตำแหน่ง 1 อินพุทของวงจร integrator ต่อเข้ากับ Vin ตัวเก็บประจุจะประจุอย่างเชิงเส้น Vo ก็จะค่อย ๆ เป็นลบเพิ่มขึ้นในอัตราคงที่ เมื่อเอาท์พุทของวงจร integrator เป็นลบจนถึงจุดหนึ่งจะส่งผลให้เอาท์พุทของตัวเปรียบเทียบ (comparator) มีสถานะเป็น high สัญญาณนาฬิกาผ่านไปยังตัวนับขึ้น วงจร integrator จะให้สัญญาณแรมป์เพียงคาบเวลาที่คงที่ขณะหนึ่งเท่านั้น หลังจากช่วงเวลานี้แล้ว วงจรควบคุมจะทำการเคลียร์วงจรนับและเปลี่ยนสวิทช์มายังตำแหน่ง 2 ต่อกับแรงดันอ้างอิงที่มีค่าลบเป็นผลให้ Vo ของวงจร integrator เป็นบวก วงจรนับจะเริ่มต้นนับใหม่จนกระทั่งเอาท์พุทของวงจร integrator ตกลงเป็นศูนย์ที่จุดนี้ เอาท์พุทของวงจรเปรียบเทียบมีสถานะเป็น LOW สัญญาณนาฬิกาไม่สามารถอ่านไปยังวงจรนับได้ วงจรควบคุมจะทำการตรวจสอบและแลทช์การนับที่เอาท์พุทไว้แล้วทำการเคลียร์วงจรนับอีกครั้ง ดังแสดงในรูปที่ 2-16 ค่าที่นับได้ครั้งสุดท้ายจะแทนแรงดันอินพุท (Vin) ที่เข้ามา ความสัมพันธ์ระหว่างค่า Vin, Vref, t_1 และ t_2 เขียนดังสมการ

$$t_2/t_1 = Vin/Vref \qquad (2\text{-}2)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2-15 A/D แบบสโลปคู่



รูปที่ 2-16 สัญญาณที่เอาท์พุทของวงจร integrator

ซึ่ง t_1 และ t_2 หาได้จากค่าความถี่ของสัญญาณนาฬิกา ดังนั้น สามารถหาค่าแรงดันอินพุท (Vin) ได้จาก

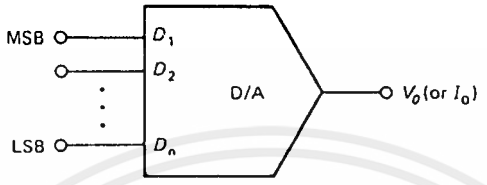
$$Vin = (Vref \times count\ 2)/count1 \qquad (2\text{-}3)$$

<u>การแปลงสัญญาณดิจิตอลเป็นอานาลอก</u> (D/A CONVERSION)

การใช้งานคอมพิวเตอร์บางครั้ง เราต้องนำคอมพิวเตอร์ไปควบคุมและติดต่อกับอุปกรณ์ภายนอก ซึ่งส่วนมากแล้วมักจะเป็นอุปกรณ์ทางด้านอานาลอก ดังนั้น จึงมีความจำเป็นมากที่จะต้องมีอุปกรณ์แปลงสัญญาณดิจิตอล (สัญญาณที่มาจากคอมพิวเตอร์)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารนี้ทุกครั้งที่มีการนำไปใช้

เป็นสัญญาณอานาลอกซึ่งมีชื่อเรียกว่า Digital to analog converter (D/A หรือ DAC)



รูปที่ 2-17 บล็อกไดอะแกรมของ D/A converter

จากบล็อกไดอะแกรมเอาท์พุทที่ได้อาจจะอยู่ในรูปของระดับแรงดันหรือกระแส ซึ่งเอาท์พุทที่ได้นั้นจะขึ้นอยู่กับลักษณะโครงสร้างของวงจรที่เป็นตัว converter ขนาดความแตกต่างของระดับแรงดันหรือกระแสที่เอาท์พุทของ D/A converter จะสัมพันธ์กับจำนวนบิตที่อินพุทโดยสมการ

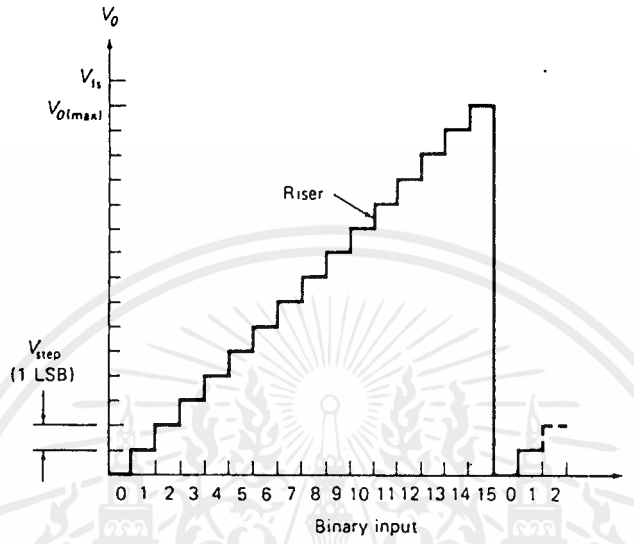
$$N = 2^n \qquad (2\text{-}4)$$

เมื่อ N คือ ค่าของความแตกต่างระดับเอาท์พุทที่ D/A converter ผลิตได้และ n คือ จำนวนบิตทางด้านอินพุทที่ตัว converter มี เช่น D/A converter มีอินพุท 10 บิต ดังนั้น ความแตกต่างระดับเอาท์พุทเท่ากับ $N = 2^{10} = 1024$ ระดับ ค่าความแตกต่างระดับที่เอาท์พุทของ D/A converter สามารถนำไปหาค่าความละเอียด (Resolution) ของอุปกรณ์ได้จากการสมการ

$$\text{เปอร์เซ็นต์ความละเอียด} = \frac{1}{2^n} \times 100 \qquad (2\text{-}5)$$

จากสมการจะสังเกตเห็นได้ว่าความละเอียดจะขึ้นอยู่กับค่า n ดังนั้น ค่าความละเอียดจึงขึ้นอยู่กับจำนวนบิตทางด้านอินพุท จากรูปที่ 2-11 ถ้าสมมติให้มีอินพุท 4 บิต กราฟของความสัมพันธ์ระหว่าง Vo ต่ออินพุท (transfer function) ของ D/A converter 4 บิต ดังแสดงในรูปที่ 2-18

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ ดัดแปลง เผยแพร่ หรือแสวงหาประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น โดยไม่ได้รับอนุญาตจากเจ้าของเอกสารก่อน และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2-18 Transfer characteristics for a 4-bit D/A converter

ระดับแรงดันเอาท์พุทมี 16 ระดับ เริ่มนับจาก 0 ถึง 15 เมื่อขึ้นถึงระดับที่ 16 นั่นหมายถึง Vo จะมีค่าสูงสุด เอาท์พุทจะตกลงในเวลาสั้น ๆ เมื่อเพิ่มค่าขึ้นหรือ step ขนาดการเพิ่มสัญญาณเอาท์พุทเรียกว่า 1 LSB แรงดันเอาท์พุทจะเกิดการเปลี่ยนแปลง เมื่อ LSB ดิจิตอลอินพุทเปลี่ยนสถานะ การเพิ่มขึ้นของเอาท์พุท (แรงดันหรือกระแส) จะเป็น step สามารถหาได้จากค่าความละเอียดและ Vfs

$$\text{Step size} = \frac{Vfs}{2^n} \qquad (2\text{-}6)$$

เมื่อ n คือ จำนวนบิตทางด้านอินพุทของ converter และ Vfs คือ แรงดัน full-scale ของ ideal equivalent D/A converter เช่น converter 4 บิต มีค่า Vfs = 10V มีโมดูลัสอินพุทเป็น 12

$$\text{Step size} = \frac{10}{16} = 0.625V$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ดังนั้น แรงดันอินพุท (Vo) = 0.625 x 12

= 7.5V

ในการแปลงสัญญาณดิจิตอลเป็นสัญญาณอานาลอกจะต้องคำนึงถึงความถูกต้อง (accuracy) ด้วย ค่า accuracy ได้จากการเปรียบเทียบระหว่าง เอาท์พุทจริงและเอาท์พุทที่ปรากฏโดยคิดเต็ม Scale ถ้าวงจรเปลี่ยนสัญญาณมีเอาท์พุทเต็ม Scale 10V มีค่า accuracy 0.2% ดังนั้น ค่า accuracy สูงสุด คือ 0.002 x 10V = 20 mV ในทางทฤษฎีแล้ว ความถูกต้องของวงจร D/A converter ไม่ควรต่ำกว่า /2 ของค่าที่ LSB เช่น วงจร D/A converter ขนาด 10 บิต มีค่า resolution 1/1024 หรือประมาณ 0.1% ควรมีค่า accuracy 0.05%

ค่าผิดพลาด (error) ย่อมจะเกิดขึ้นเมื่อทำการแปลงสัญญาณดิจิตอลเป็นอานาลอก มีด้วยกัน 3 ลักษณะ

<u>ความผิดพลาดเชิงเส้น</u> (linearlity error) ค่าจริงที่ได้จาก เอาท์พุทจริง จะต่างจาก เอาท์พุทในทางทฤษฎีที่ควรจะเป็นเส้นตรง ค่าความผิดพลาดในลักษณะนี้มักจะมาจากความผิดพลาดจากแหล่งจ่ายกระแสหรือค่าความต้านทาน ดังแสดงในรูปที่ 2-19

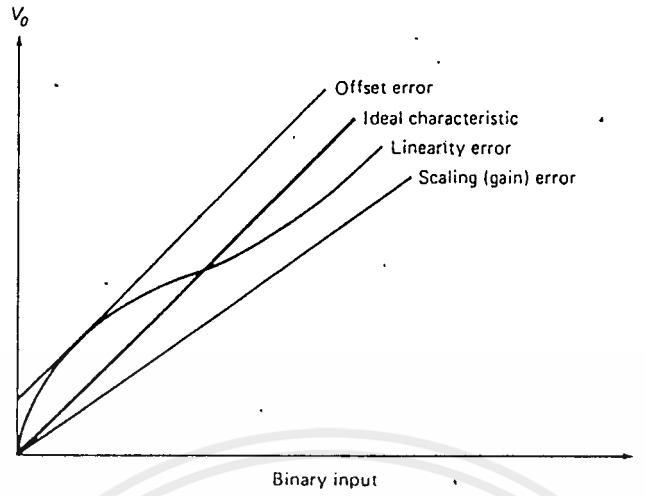
<u>ความผิดพลาดทางอัตราขยาย</u> (gain error) หรืออาจเรียกว่า sealing error ซึ่งจะทำให้ขนาดของ step ใหญ่หรือเล็กกว่าค่าจริง ค่าผิดพลาดนี้เกิดจากความผิดพลาดของตัวต้านทานป้อนกลับของออปแอมป์ที่ทำหน้าที่เปลี่ยนจากกระแสเป็นแรงดัน ดังแสดงในรูปที่ 2-19

<u>ความผิดพลาดออฟเซ็ท</u> (offset error) เกิดขึ้นเมื่ออินพุททุกตัวเป็นศูนย์หมดแล้ว แต่ เอาท์พุทยังไม่เป็นศูนย์ ทำให้เอาท์พุทมีค่าแรงดันผิดพลาดค่าหนึ่งบวกกับค่าแรงดันจริงอยู่ตลอดเวลา ค่าความผิดพลาดชนิดนี้เกิดจากความผิดพลาดของการขยายของออปแอมป์และกระแสรั่วไหลที่การสวิตช์ ดังแสดงในรูปที่ 2-19

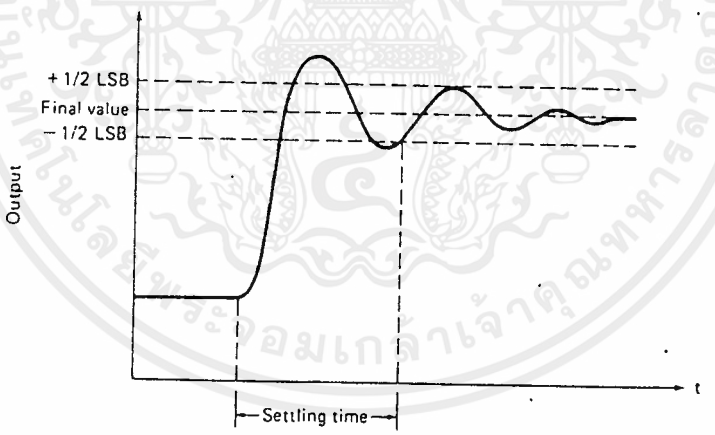
ในการแปลงสัญญาณดิจิตอลเป็นอานาลอก ยังมีค่าอีกค่าหนึ่งที่จะต้องคำนึงถึงคือ setting time เป็นเวลาที่เอาท์พุทของวงจรเปลี่ยนสัญญาณใช้ในการเพิ่มขึ้นถึง 1/2 ของ LSB หลังจากมีการเปลี่ยนแปลงทางอินพุท ดังแสดงในรูปที่ 2-20

ถ้าวงจรเปลี่ยนสัญญาณถูกใช้งานย่านความถี่สูง อาจทำให้มีการเพิ่มแรงดันไม่ถึงค่าที่ถูกต้อง ทำให้เกิดความผิดพลาดเกิดขึ้นได้ ดังนั้น ค่า setting time จึงเป็นอีกค่าหนึ่งที่บ่งบอกถึงความแม่นยำในการเปลี่ยนสัญญาณดิจิตอลเป็นสัญญาณอานาลอก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2-19 ความผิดพลาดที่เกิดขึ้นในการเปลี่ยนสัญญาณ ก) เชิงเส้น ข) อัตราขยาย ค) ออฟเซ็ท

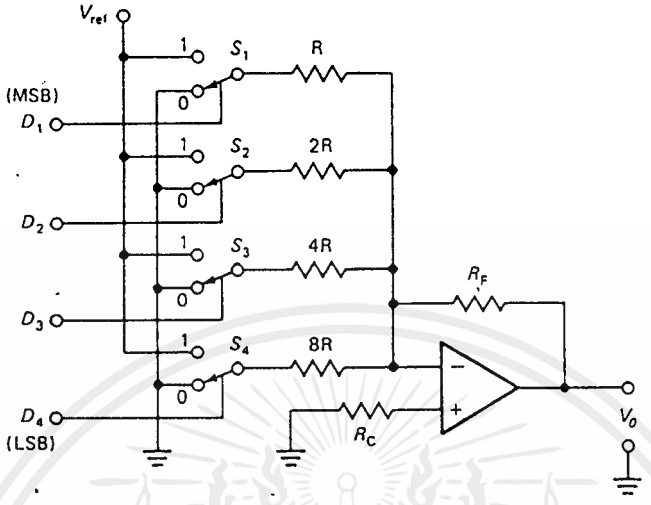


รูปที่ 2-20 output response showing setting time

ชนิดของ D/A converter

1. weighted resistor summing amplifier

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2-21 weighted resistor D/A converter

D/A converter ชนิดนี้ประกอบด้วยตัวต้านทานค่าต่าง ๆ และออปแอมป์ ซึ่งมีอัตราขยายสูง โดยทั่วไปประมาณ 100,000 เท่า มีค่าความต้านทานเอาท์พุทต่ำ ความต้านทานอินพุทสูงมาก สิ่งที่สำคัญที่สุดที่จะต้องตระหนักไว้คือ สัญญาณที่เอาท์พุทถูกป้อนกลับมายังอินพุทแบบกลับเฟส เอาท์พุทของออปแอมป์จะเป็นตัวจ่ายหรือรับกระแส (source or sink) เพื่อให้แรงดันที่เปรียบเทียบกันนั้นมีค่าเดียวกัน แรงดันที่เอาท์พุทหาได้จากสมการ

$$Vo = - Vref\ (D_1RF/R + D_2RF/2R + D_3RF/4R + D_4RF/8R) \qquad (2-7)$$

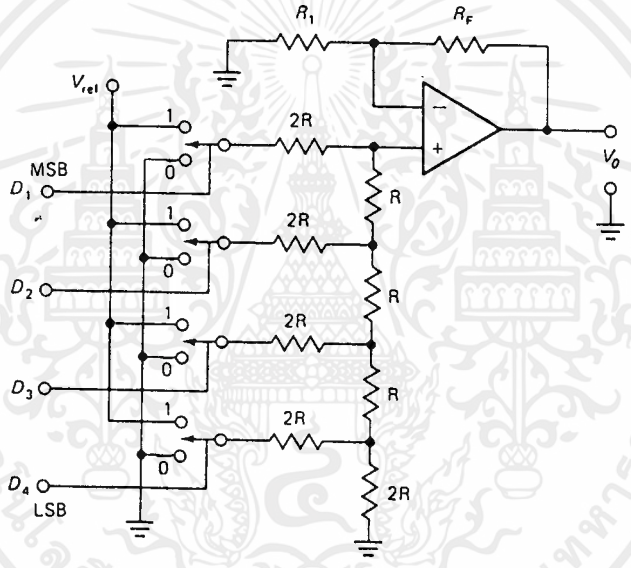
2. R-2R Ladder D/A converter

D/A converter ชนิด weighted resistor เมื่อมีขนาดของบิต อินพุทเพิ่มขึ้นจะเกิดปัญหาเนื่องจากต้องการค่าความต้านทานที่มีช่วงกว้างมาก แต่ด้วยวิธี R-2R Ladder จะแก้ปัญหานี้ได้ ดังแสดงในรูปที่ 2-22 จากวงจรรูปที่ 2-22 จะมีค่าความต้านทานเพียง 2 ค่า ดังนั้น เราสามารถเพิ่มจำนวนบิตอินพุทมากขึ้นได้โดยที่ค่าความต้านทานยังคงเท่าเดิม ส่วนออปแอมป์ต่อในลักษณะวงจรขยายแบบไม่กลับสัญญาณ (non-inverting) เกนการขยายของออปแอมป์เป็น $A_v = 1 + R_F/R_1$ แรงดันที่เอาท์พุท

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จะแปรผันตรงกับดิจิต อินพุท ดังสมการ

$$V = Av\ Vref\ (D_1/2 + D_2/4 + D_3/8 + ---) \qquad (2\text{-}8)$$



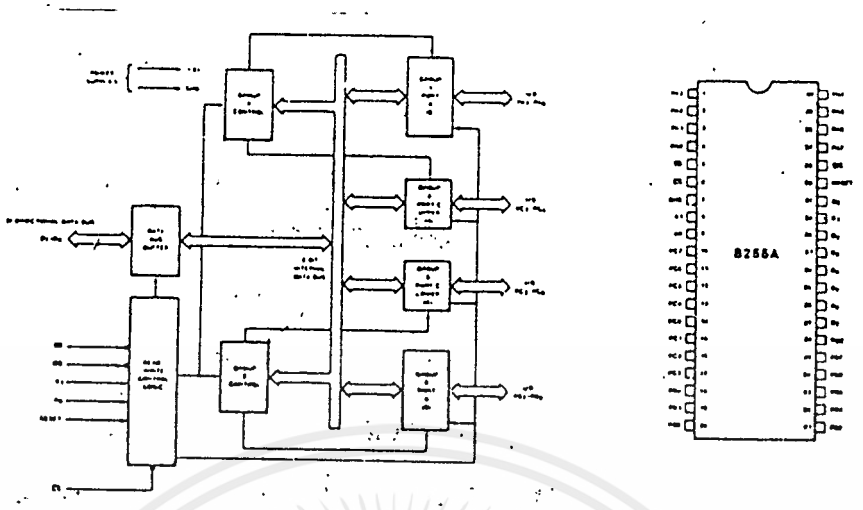
รูปที่ 2-22 R-2R Ladder D/A converter

8255 ship support

8255 เป็นอุปกรณ์ LSI (Large Scale Integrated Circuit) บรรจุอยู่ใน Package 40 ขาแบบ DIP (Dual in line package) เริ่มผลิตโดยบริษัท INTEL จุดประสงค์เพื่อใช้งานร่วมกับ 8080 แต่เราสามารถประยุกต์นำไปใช้งานร่วมกับ CPU เบอร์อื่นได้

บล๊อกจำนวน 4 บล๊อกที่อยู่ทางขวามือของรูปจะเป็นส่วนที่เชื่อมกับอุปกรณ์ภายนอกอื่น ๆ โดยมีสาย PA0 - PA7, PB0 - PB7 และ PC0-PC7 เป็นทางผ่านข้อมูลระหว่าง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2-23 แสดงบล็อกไดอะแกรมและการวางตำแหน่งขาของ 8255

อุปกรณ์ภายนอกกับ 8255 สายสัญญาณเหล่านี้จะถูกแบ่งออกเป็น 3 I/O พอร์ต ได้แก่ พอร์ต A(PA) พอร์ต B(PB) และพอร์ต C(PC) พอร์ตเหล่านี้สามารถเป็นได้ทั้งพอร์ตอินพุทและเอาท์พุท แต่ละบล็อกจะมีสายสัญญาณเชื่อมเข้ากับบัสข้อมูลภายใน 8255

บล็อกกลุ่มถัดมา ได้แก่ GROUP A CONTROL และ GROUP B CONTROL ซึ่งจะเป็นตัวกำหนดลักษณะการทำงานของทั้ง 3 I/O พอร์ต (มีลักษณะการทำงานแตกต่างกัน 3 โหมด) จะเห็นว่า พอร์ต C จะประกอบด้วย พอร์ตขนาด 4 บิต 2 พอร์ต กลุ่มหนึ่งถูกควบคุมโดย CROUP A CONTROL และอีกกลุ่มหนึ่งจะถูกควบคุมโดย CROUP B CONTROL

บล็อกกลุ่มสุดท้าย ได้แก่ DATA BUS BUFFER และ READ/WRITE CONTROL LOGIC บล็อกเหล่านี้จะเป็นส่วนที่ติดต่อกับ CPU, DATA BUS BUFFER จะเป็นบัฟเฟอร์ให้กับบัสข้อมูลของ CPU ส่วน READ/WRITE CONTROL LOGIC จะเป็นส่วนควบคุมให้ข้อมูลเข้าหรือออกจากรีจิสเตอร์ภายในตัวที่ถูกต้องและในเวลาที่เหมาะสม

รายละเอียดการจัดเรียงขาของ 8255 ในส่วนนี้จะพิจารณาหน้าที่ของขาแต่ละขาของ 8255 ซึ่งมีดังต่อไปนี้

D0-D7 : เป็นสายข้อมูลอินพุท/เอาท์พุทแบบสองทิศทาง (BI-DIRECTIONAL BUS) เป็นทางผ่านของข้อมูลระหว่างพอร์ตต่าง ๆ ของ 8255 กับบัสข้อมูลของ CPU

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

CS (CHIP SELECT INPUT) : เมื่อขานี้มีสถานะลอจิก "0" CPU สามารถที่จะอ่านหรือเขียนข้อมูลกับ 8255 ได้

RD (READ INPUT) : เมื่อขานี้มีสถานะลอจิก "0" และสัญญาณ CS มีลอจิกเป็น "0" ข้อมูลจาก 8255 จะปรากฏสู่ระบบบัสข้อมูล CPU ก็สามารถอ่านออกไปได้

WR (WRITE INPUT) : เมื่อขานี้มีสถานะลอจิกเป็น "0" และขาสัญญาณ CS มีลอจิกเป็น "0" ข้อมูลจากระบบบัสข้อมูลจะถูกเขียนเข้าไปยัง 8255 ได้

A0 - A7 (ADDRESS INPUT) : จะเป็นตัวกำหนดการเลือกใช้รีจิสเตอร์ภายในของ 8255

RESET : ขานี้เมื่อมีสถานะเป็น "1" 8255 จะอยู่ในสภาวะรีเซ็ททุก ๆ พอร์ตของ 8255 จะถูกเซ็ทให้อยู่ในโหลดอินพุท

PA0 - PA7, PB0 - PB7 : ขาสัญญาณเหล่านี้จะถูกใช้เป็นพอร์ต I/O ขนาด 8 บิต ใช้ต่อเข้ากับอุปกรณ์ภายนอกอื่น ๆ

PC0 - PC7 : ขาสัญญาณนี้ถูกใช้เป็นพอร์ต I/O ขนาด 8 บิต เช่นเดียวกับ PA0 - PA7 และ PB0 - PB7 แต่กลุ่มของขาสัญญาณเหล่านี้สามารถแบ่งออกเป็น 2 กลุ่ม โดยแต่ละกลุ่มมีขนาด 4 บิต

8255 READ WRITE REGISTER

ก่อนการใช้งาน 8255 เราต้องทำการโปรแกรมรีจิสเตอร์ควบคุมเสียก่อน เพื่อกำหนดโหมดและพอร์ตต่าง ๆ ดังแสดงในรูปที่ 2-24

โหมด 0 (0 MODE)

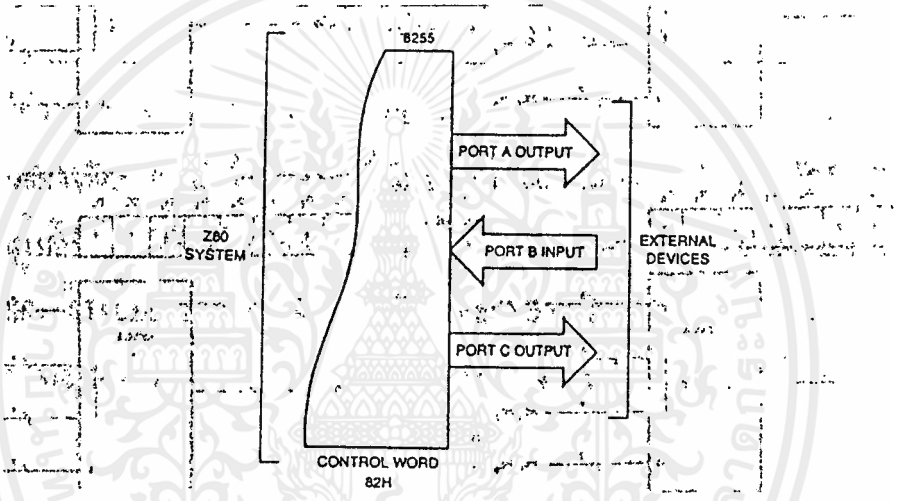
การเซ็ท 8255 ให้ทำงานในโหมด 0 นั้นจะต้องส่งคำสั่งควบคุม (control word) ให้แก่รีจิสเตอร์ควบคุมก่อน

คำสั่งควบคุมนี้จะกำหนดลักษณะการทำงานให้แก่แต่ละพอร์ตของ 8255 เช่น

D7	D6	D5	D4	D3	D2	D1	D0
1	0	0	0	0	0	0	0

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

D7	D6	D5	D4	D3	D2	D1	D0
1	0	0	0	0	0	1	0

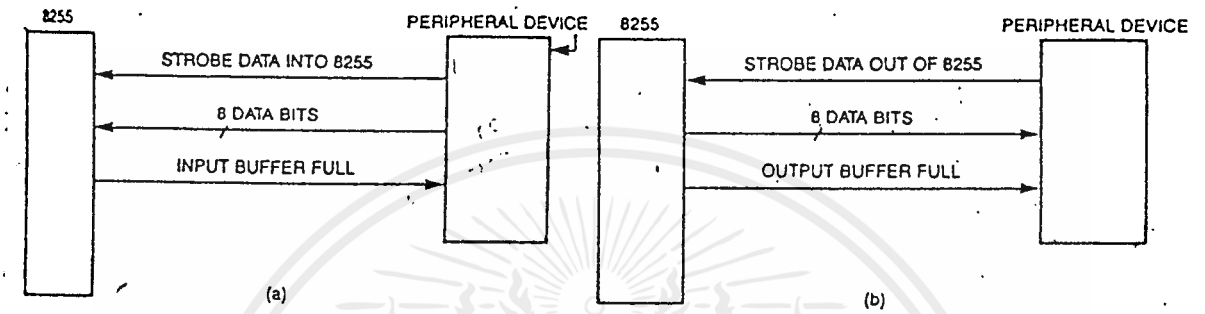


รูปที่ 2-25 บล็อกไดอะแกรมแสดงลักษณะการทำงานของ 8255 ในโหมด 0

โหมด 1 (1 MODE)

การทำงานของ 8255 ในโหมด 1 นี้เป็นการทำงานในลักษณะของการ HANDSHAKE พอร์ต A และ B จะเป็นพอร์ตข้อมูล ส่วนพอร์ต C จะทำหน้าที่ในการ HANDSHAKE โดย 4 บิตบนเป็นสัญญาณ HANDSHAKE ให้กับพอร์ต A และ 4 บิตล่างเป็นสัญญาณ HANDSHAKE ให้กับพอร์ต B หลักการรับส่งข้อมูลในวิธีของการ HANDSHAKE นี้ คือการให้อุปกรณ์ภายนอกส่งสัญญาณแสดงสภาวะความพร้อมให้กับ 8255 ดังรูปที่ 2-26

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

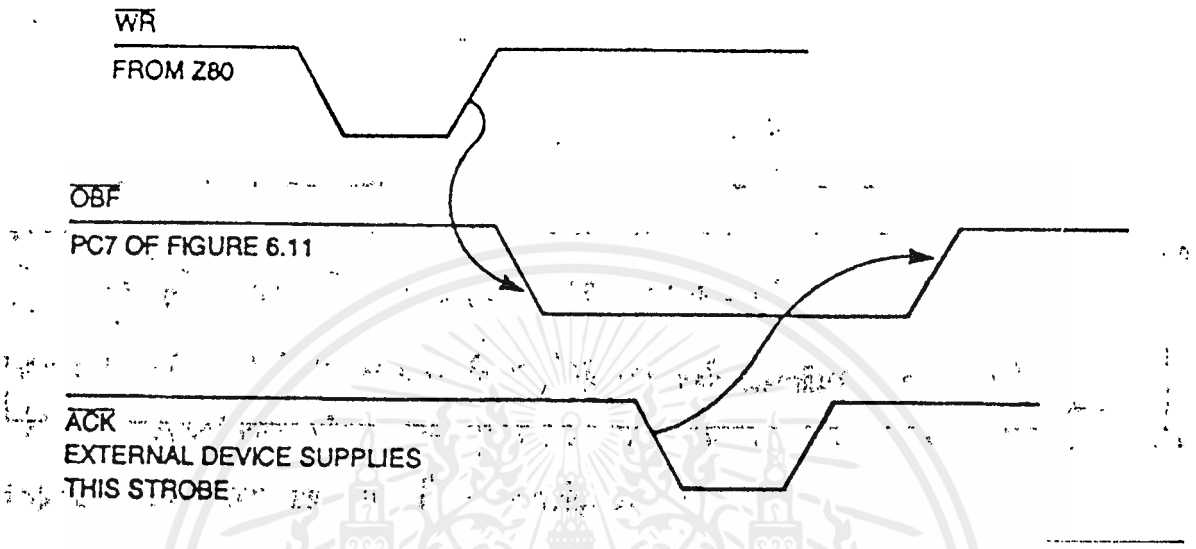


รูปที่ 2-26 บล็อกไดอะแกรมแสดงลักษณะการทำงานของการติดต่อระหว่าง 8255 กับอุปกรณ์ภายนอกในลักษณะ HANDSHAKE

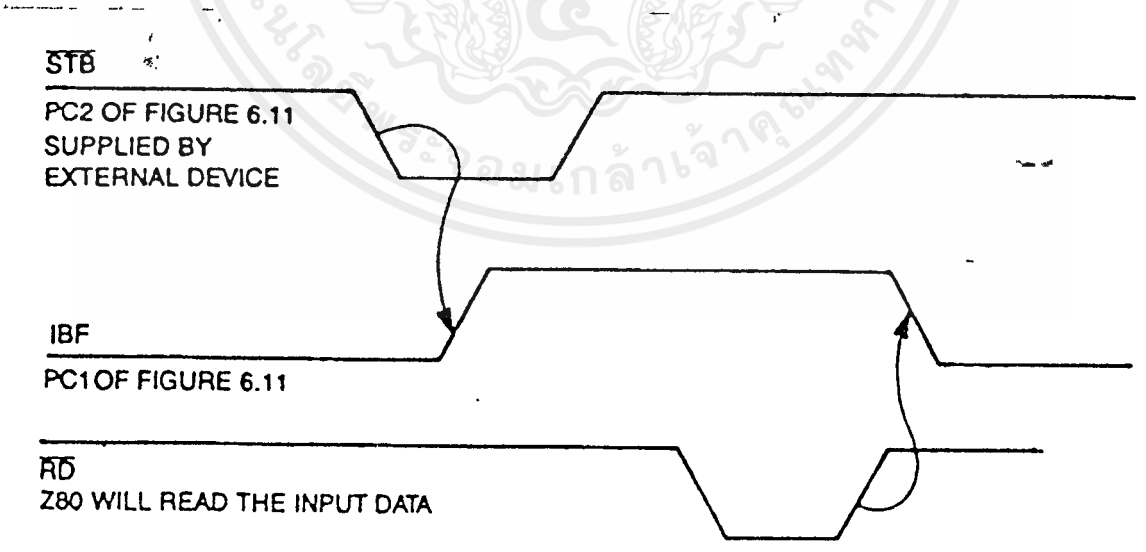
จากรูปที่ 2-26 a 8255 ทำหน้าที่เป็นตัวอ่านข้อมูล ก่อนที่อุปกรณ์ภายนอกจะส่งข้อมูลให้กับ 8255 จะต้องมีการตรวจสอบ INPUT BUFFER FULL FLAG (IBF) เสียก่อน ถ้า FLAG นี้เป็นจริง แสดงว่าข้อมูลในบัฟเฟอร์ 8255 ยังไม่ถูกอ่านโดย CPU หมายถึง ข้อมูลจากอุปกรณ์ภายนอกส่งให้กับ 8255 แล้ว แต่ CPU ยังไม่ได้อ่านข้อมูลจาก 8255 เข้าไป ถ้า FLAG นี้เป็นเท็จแสดงว่า CPU อ่านข้อมูลจาก 8255 ไปแล้ว อุปกรณ์ภายนอกสามารถส่งข้อมูลให้กับ 8255 ได้และ IBF จะกลับมาเป็นจริงอีกครั้ง

จากรูปที่ 2-26 b 8255 ทำหน้าที่เป็นตัวเขียนข้อมูล ก่อนที่ 8255 จะทำการส่งข้อมูลให้กับอุปกรณ์ภายนอกจะต้องทำการเซ็ท OUTPUT BUFFER FULL FLAG (OBF) เพื่อบอกให้อุปกรณ์ภายนอกรู้ว่าขณะนี้ 8255 พร้อมที่จะส่งข้อมูลแล้ว จากนั้นอุปกรณ์ภายนอกส่งสัญญาณ STROBE รับเอาข้อมูลเข้าไป OBF จะเปลี่ยนเป็นเท็จทันที เพื่อบอกให้อุปกรณ์ภายนอกรู้ว่าไม่มีข้อมูลใน 8255 แล้วจากนั้น CPU ก็จะทำการส่งข้อมูลใหม่ให้กับ 8255 OBF จะเป็นจริงอีกครั้ง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2-27 แสดง Timing Diagram ของการอ่านข้อมูลจากอุปกรณ์ภายนอก



รูปที่ 2-28 แสดง Timing Diagram ของการส่งข้อมูลไปยังอุปกรณ์ภายนอก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในการทำงานในโหมด 1 นั้น ขาต่าง ๆ ของพอร์ต C จะสถานะและหน้าที่การทำงาน ดังแสดงในตารางที่ 2-5

ขา	IN	OUT
Pc0	$INTR_b$	$INTR_b$
Pc1	IBF_b	OBF_b
Pc2	STB_b	ACK_b
Pc3	$INTR_a$	$INTR_a$
Pc4	STB_a	I/O
Pc5	IBF_a	I/O
Pc6	I/O	ACK_a
Pc7	I/O	OBF_a

ตารางที่ 2-5 แสดงสถานะขาต่าง ๆ ของพอร์ต C

Signal generator

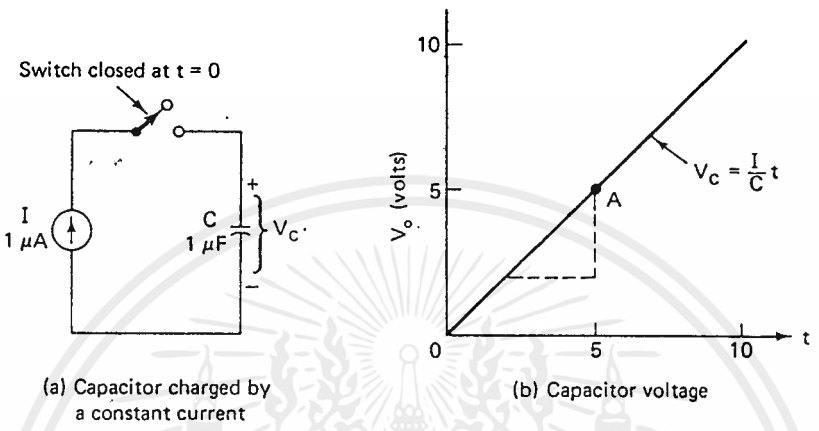
ฟรีรันนิ่งมัลติไวเบรเตอร์มีลักษณะการต่อตัวเก็บประจุที่อินพุทของออปแอมป์ ถ้าหากนำตัวเก็บประจุต่อเป็นลูปป้อนกลับ (feedback loop) จะเรียกวงจรลักษณะนี้ว่า อินทิเกรเตอร์ ตัวเก็บประจุที่ต่อป้อนกลับจะประจุกระแสที่คงที่ เราสามารถควบคุมได้โดยแหล่งจ่ายแรงดัน

ทฤษฎีการผลิตแรมป์ (Ramp-Generator Theory)

ตัวจ่ายกระแสคงที่ในรูปที่ 2-29 จะให้แรงดันตกคร่อมตัวเก็บประจุ Vc เมื่อเวลาผ่านไปแรงดันเพิ่มขึ้นเรื่อย ๆ ลักษณะรูปร่างของ Vc ต่อเวลา เรียกว่า แรมป์ (ramp) ตัวเก็บประจุจะประจุ Q โดยขึ้นอยู่กับกระแสคงที่ I และเวลาที่ผ่านไปดังสมการ

$$Q = It \qquad (2\text{-}9)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2-29 แสดงการเกิดแรมป์

โดยที่ $Q = CVc$

ดังนั้น $$Vc = \frac{I}{C} \times t \qquad (2\text{-}10)$$

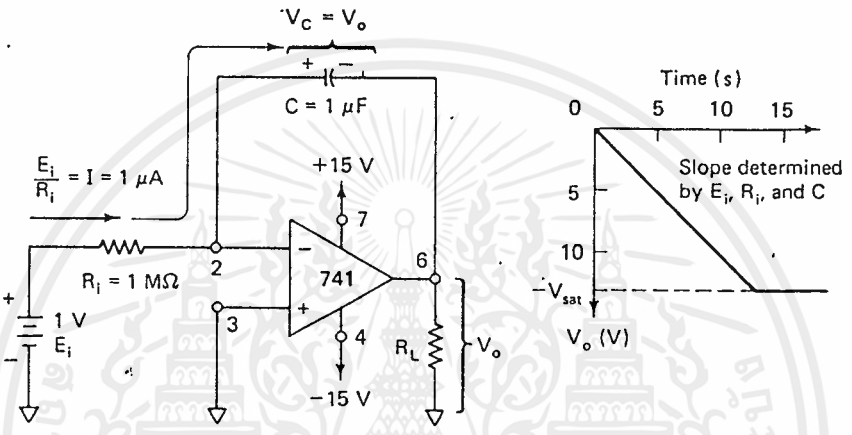
เมื่อ Vc เป็นโวลต์ t เป็นวินาที I เป็นแอมแปร์ และ C เป็นฟาราด ถ้ารู้ I และ C แรงดัน Vc จะสัมพันธ์โดยตรงกับค่าเวลาที่ผ่านไปหลังจากสวิทช์ต่อ Vc ปรากฏ ต่อเนื่องโดยตัวเก็บประจุจะเก็บประจุ เช่น หลังจากวินาทีแรก Vc = 1V และตัวเก็บประจุเก็บประจุได้ 1 ไมโครคูลอมป์ (c) วินาทีต่อมาตัวเก็บประจุจะเก็บประจุเป็นหลาย ๆ ไมโครคูลอมป์ ก็จะได้ Vc ที่เพิ่มขึ้นเรื่อย ๆ ลักษณะนี้เรียกว่า แรมป์ และเป็นพื้นฐานในการสร้างและควบคุมสัญญาณ

วงจรผลิตแรมป์ (Ramp-Generator Circuit)

แหล่งจ่ายกระแสในรูปที่ 2-29 ถูกแทนด้วยแรงดันอินพุท Ei และ Ri และออมแอมป์ ดังในรูปที่ 2-30 กระแส I กำหนดโดย Ei และ Ri โดย I= Ei/Ri เพราะฉะนั้น จะได้แรงดันเอาท์พุท Vo

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$Vo = - Ei \times \frac{1}{Ric} \times t \qquad (2\text{-}11)$$



รูปที่ 2-30 พื้นฐานอินทิเกรเตอร์ผลิต Single-Ramp

เมื่อ Ri เป็นโอห์ม C เป็นฟาราด t เป็นวินาที Vo และ Ei เป็นโวลต์ เครื่องหมายลบในสมการแสดงถึง Ei ผ่าน Ri ถึงอินพุท (-) แรงดันที่ตัวเก็บประจุ Vc เท่ากับ Vo กระแสรั่วไหลค้ามาจากขั้วเอาท์พุทของออปแอมป์และตัวเก็บประจุจะไม่คายออกมา Vo จะมีระดับจนถึง -Vsat Vo จะไม่เป็นศูนย์ถึงแม้ Ei = 0v มีวิธีที่จะทำให้ตัวเก็บประจุหยุดการประจุ คือ ช็อทตัวมัน Vc และ Vo จะเป็น 0V ต่อมาก็จะเริ่มแรมป์อีกครั้ง

อินทิเกรเตอร์ (Integrator)

ในวงจรที่รูปคลื่นแรงดัง เอาท์พุทเป็นอินทิกรัลของรูปคลื่นแรงดันอินพุทเป็น อินทิเกรเตอร์หรือวงจรขยายอินทิเกรเตอร์ โดยลักษณะวงจรเป็นแบบขยายอินเวอร์ติ้ง ถ้าตัวต้านทาน Rf ถูกแทนด้วย Cf ดังรูปที่ 2-30 สมการของแรงดันเอาท์พุท Vo สามารถใช้กฎกระแสของ Kirchhoff ได้ คือ

$$i_1 = I_B + i_F \qquad (2\text{-}12)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

แต่ I_B มีค่าน้อยมากสามารถตัดทิ้งได้

$$i_1 \quad i_F$$

ความสัมพันธ์ระหว่างกระแสที่ไหลผ่านและแรงดันที่ตกคร่อมตัวเก็บประจุเป็น

$$i_e = C \frac{dvc}{dt}$$

ดังนั้น จะได้ว่า

$$\frac{Vin-Vs}{R_1} = C_F(d)(V2-Vo) \qquad (2\text{-}13)$$

$$\frac{dt}{}$$

แต่ $V_1 = V_2 = 0$ จะได้ว่า

$$\frac{V_{in}}{R_1} = C_F \frac{d}{dt}(-V_0)$$

$$\therefore \int_0^t \frac{V_{in}}{R_1}\,dt = \int_0^t C_F \frac{d}{dt}(-V_0)\,dt$$

$$= C_F(-V_0) + V_0 \quad t=0$$

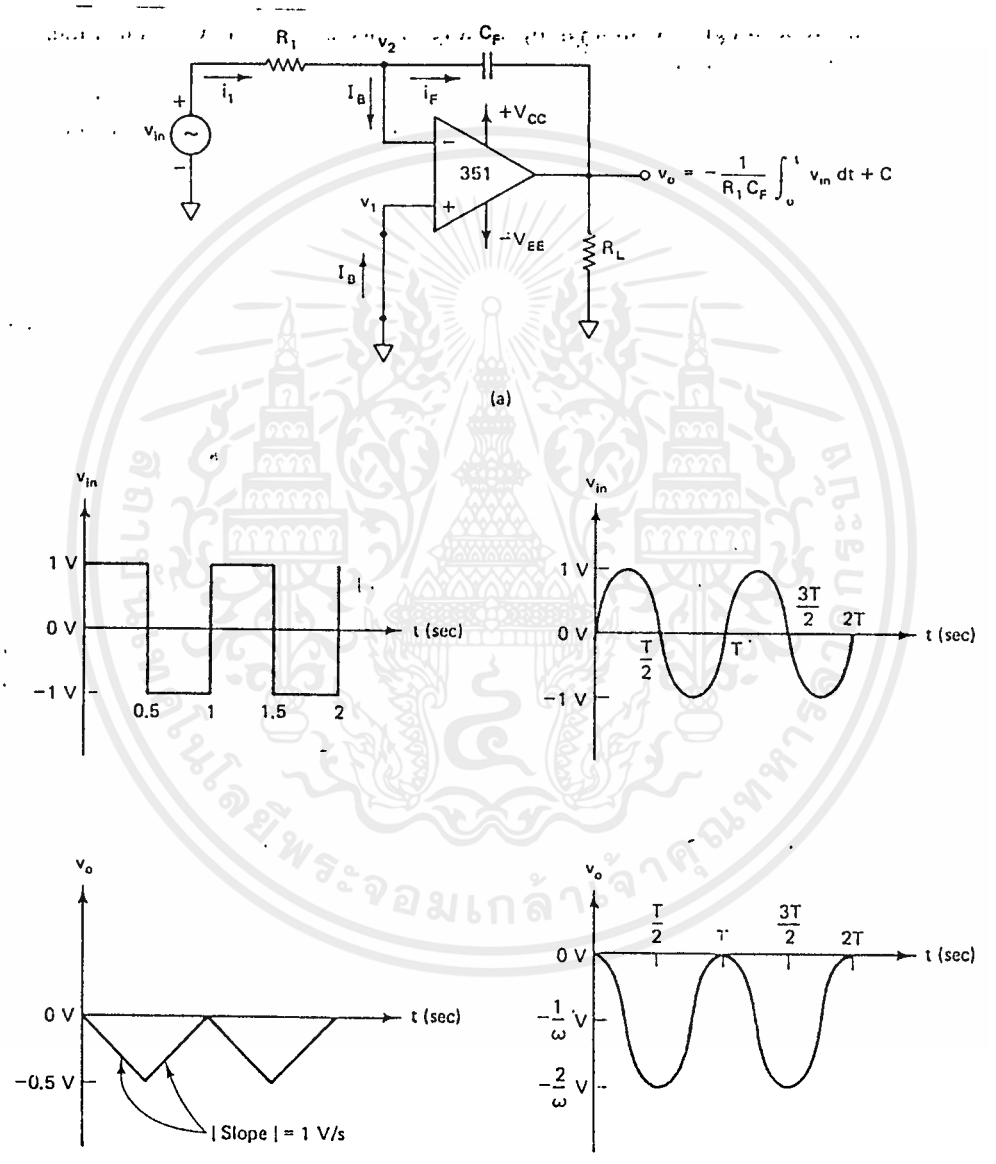
ดังนั้น

$$V_o = -\frac{1}{R_1C_F}\int_0^t V_{in}\,dt + C \qquad (2\text{-}14)$$

เมื่อ C เป็นค่าคงที่และเป็นสัดส่วนกับค่าแรงดันเอาท์พุท Vo ที่เวลา t = 0 วินาที

จากสมการแสดงถึงแรงดันเอาท์พุทที่เป็นปฏิภาคโดยตรงกับอินทิกรัลลบของแรงดันอินพุทและเป็นปฏิภาคผกผันกับค่า time constant R_1C_F เช่น ถ้าแรงดันอินพุทเป็น Sine wave เอาท์พุทจะเป็น cosine wave หรือถ้าอินพุทเป็นรูปคลื่นสี่เหลี่ยมเอาท์พุทจะเป็นรูปคลื่นสามเหลี่ยมดังรูปที่ 2-31 (b) และ (c)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

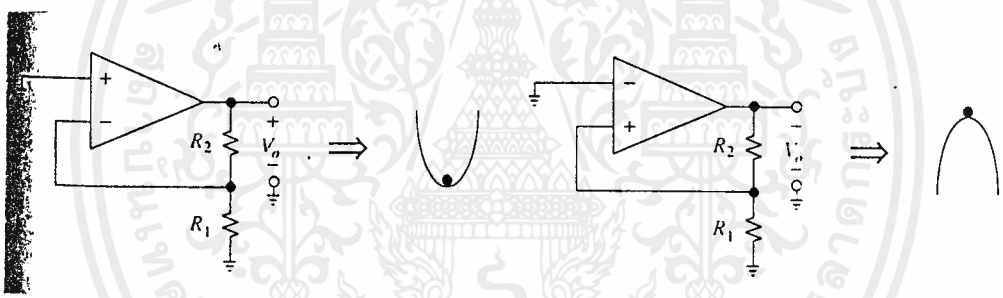


รูปที่ 2-31 (a) วงจรอินทิเกรเตอร์ (b) และ (C) รูปคลื่นอินพุทและเอาท์พุท เมื่อผ่านอินทิเกรเตอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

SCHMITT TRIGGER

การป้อนกลับแบบลบทำให้วงจรทำการขยายอยู่ในช่วงที่เป็นเชิง เส้นป้อนกลับแบบบวกทำให้วงจรทำงานจนถึงจุดอิ่มตัว การป้อนกลับของทั้งสองชนิดเปรียบเทียบกันได้ดังรูปที่ 2-32 วงจรทั้งคู่จะมีสถานะปกติ Vo = 0 ถ้าเราพยายามรบกวนระบบวงจรป้อนกลับแบบลบจะส่งผลให้ Vo มีค่าที่มากกว่า 0 วงจรขยายจะทำการป้อนกลับมาที่ตัวมันเอง ทำให้มีสถานะ Vo = 0 ส่วนกรณีการป้อนกลับแบบบวกผลตอบสนองของวงจรขยายจะเปลี่ยนแปลงตามการรบกวนและส่งผลให้วงจรขยายเข้าสู่สภาวะอิ่มตัว ในทางปฏิบัติการรบกวนนี้จะอยู่ในรูปของ noise



รูปที่ 2-32 การเปรียบเทียบการป้อนกลับแบบลบและแบบบวก

วงจรป้อนกลับแบบบวกจะมีสองสถานะเท่านั้นคือ Vo = V_{SATL} และ Vo = V_{SATH} วงจรลักษณะนี้เรียกว่า Schmitt triggers หรือ Comparator with hysteresis Schmitt trigger มี 2 ชนิด คือ อินเวอร์ติ้งและนอนอินเวอร์ติ้ง

Inverting Schmitt Trigger

ในวงจรรูปที่ 2-33 ประกอบด้วยตัวเปรียบเทียบ 301 และ ตัวต้านทาน R_1 และ R_2 เป็นชุดป้อนกลับแบบบวก แรงดัน Threshold ควบคุมโดยเอาท์พุทเพราะว่าการป้อนกลับแบบบวกมี 2 สถานะ Vo = V_{SATH} และ Vo = V_{SATL} เราจะได้แรงดัน Threshold

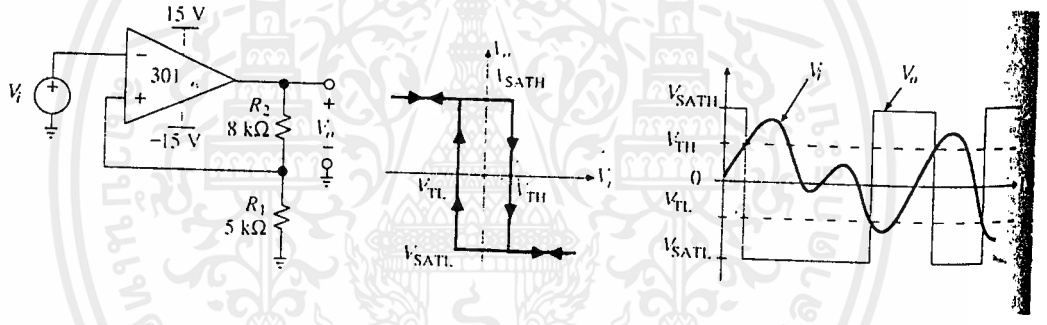
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น ทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$V_{TH} = \frac{R_1}{R_1+R_2} V_{SATH} \qquad (2\text{-}15)$$

และ

$$V_{TL} = \frac{R_1}{R_1+R_2} V_{SALT} \qquad (2\text{-}16)$$

โดย V_{SAT} = 13V ค่าต่างที่แสดงในวงจรจะให้ค่า V_{TH} = 5V และ V_{TL} = -5V นั่นคือ V_T = 15V เมื่อ V_i เป็นลบตัวเปรียบเทียบจะถึงจุดอิ่มตัว ในทางบวก



รูปที่ 2-33 อินเวอร์ติ้ง Schmitt trigger, VTC และรูปคลื่นอินพุทเอาท์พุท

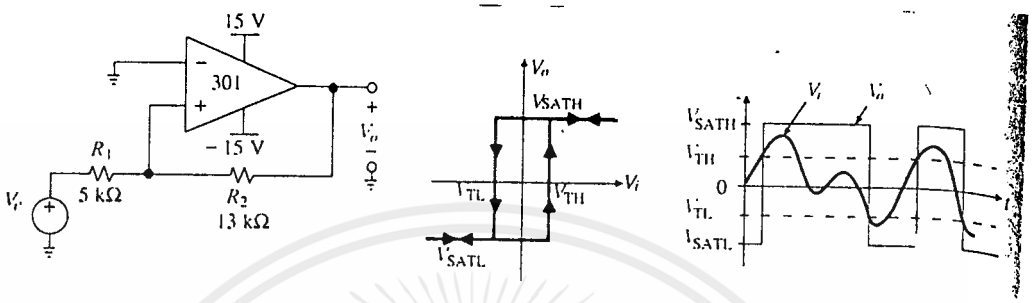
$V_P = V_{TH}$ = 5V เมื่อ V_i ค่อยเพิ่มขึ้นจุดทางานจะเคลื่อนมายังส่วนทางด้านสูงของ เคลิฟ V_{TH} จะอยู่ที่จุดนี้ ถ้า V_i เพิ่มขึ้นอีก Vo จะเปลี่ยนแปลงทันทีทันใดจาก V_{SATH} เป็น V_{SATL} ครงนี้ทาให้ Vp เปลี่ยนจาก V_{TH} เป็น V_{TL} นั่นคือจาก 5V เป็น -5V

Noninverting Schmitt Trigger

วงจรในรูป 2-34 คล้ายกับในรูป 2-33 ยกเว้นขาอินเวอร์ติ้งต่อลงกราวด์และสัญญาณอินพุทต่อเข้าขานอนอินเวอร์ติ้ง

เมื่อ Vi เป็นลบ Vo จะอิ่มตัวในด้านลบ ถ้าต้องการให้วงจรเปลี่ยนสถานะสูง Vi จะต้องมีค่าสูงขึ้น ค่าของ Vi นี้ เราจะกาหนดที่ V_{TH} ซึ่ง $(V_{TH}-0)/R_1 = (0-V_{SATL})/R_2$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2-34 แสดงวงจรนอนอินเวอร์ติ้ง Schmitt trigger

นั่นคือ

$$V_{TH} = - \frac{R_1}{R_2} V_{SATL} \qquad (2\text{-}17)$$

เมื่อขอเปลี่ยนเป็น V_{SATH} V_i ปรับให้มีทิศทางที่ตรงกันข้ามจะทำให้ขอเปลี่ยนกลับเป็น V_{SATL} แรงดันที่จุดนี้เราจะกำหนดที่ V_{TL} โดย $(V_{SATH}-0)/R_2 = (0-V_{TL})/R_1$

นั่นคือ

$$V_{TL} = - \frac{R_1}{R_2} V_{SATH} \qquad (2\text{-}18)$$

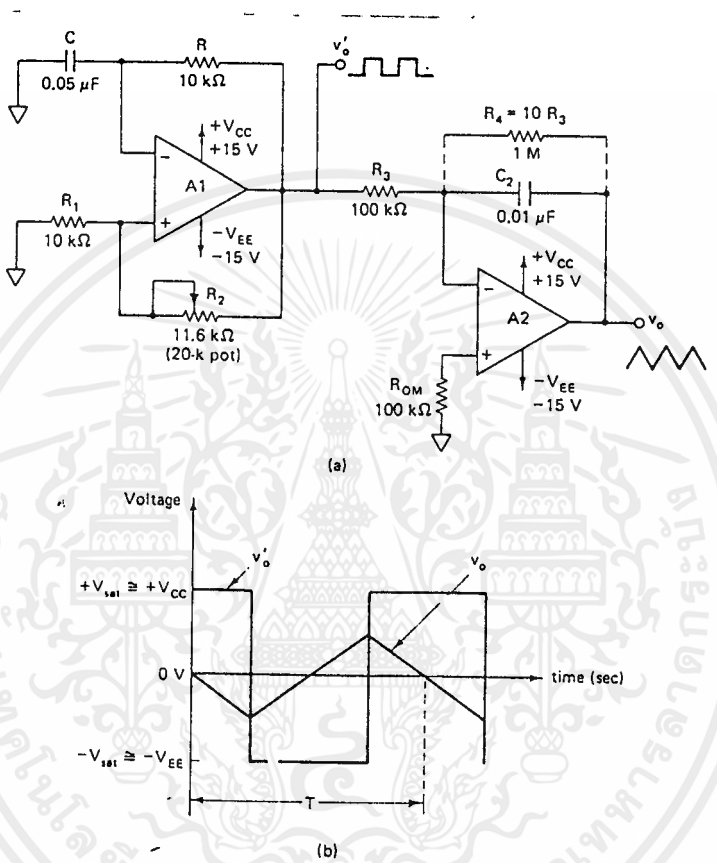
เราสามารถเขียนอยู่ในรูป hysteresis ได้เป็น

$$V_H = - \frac{R_1}{R_2} (V_{SATH} - V_{SATL}) \qquad (2\text{-}19)$$

การผลิตคลื่นสามเหลี่ยม

เมื่อนำวงจรอินทิเกรเตอร์มารวมกับวงจร schmitt trigger ก็จะได้วงจรผลิตสัญญาณ โดยเอาท์พุทของวงจรอินทิเกรเตอร์จะเป็นรูปคลื่นสามเหลี่ยม ถ้าอินพุทเป็นรูปคลื่นสี่เหลี่ยม นี่ก็หมายความว่า การผลิตคลื่นสามเหลี่ยมกระทำได้โดยการป้อนคลื่นสี่เหลี่ยมเข้าวงจรอินทิเกรเตอร์ดังวงจรในรูปที่ 2-35 วงจรนี้ประกอบไปด้วย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2-35 แสดงวงจรผลิตคลื่นสามเหลี่ยม

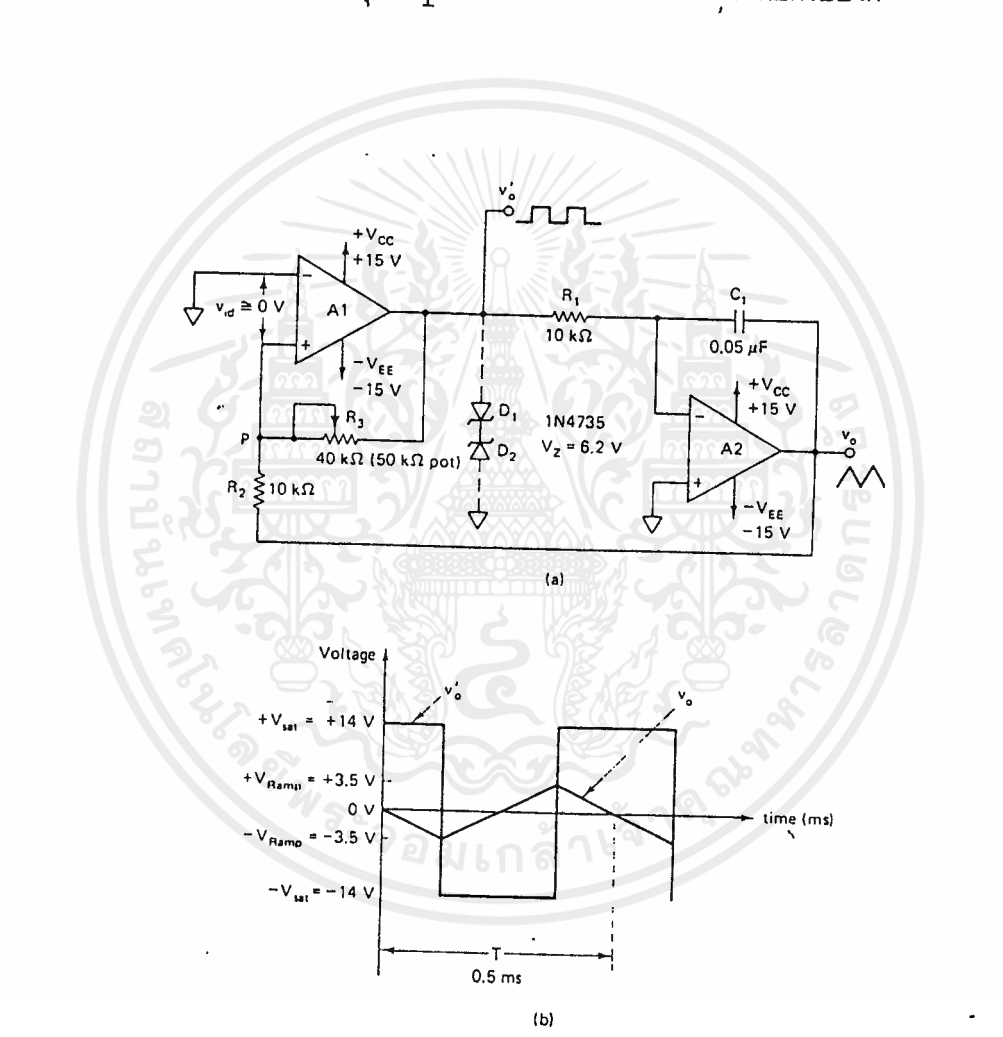
ออปแอมป์ 2 ตัว ตัวเก็บประจุ 2 ตัวและตัวต้านทาน 5 ตัว ความถี่ของคลื่นสี่เหลี่ยมและคลื่นสามเหลี่ยมมีค่าเท่ากัน R_1; R_2 และ C มีค่าคงที่ ความถี่ของคลื่นสี่เหลี่ยมกับคลื่นสามเหลี่ยมอาศัยตัวต้านทาน R เมื่อ R มีค่าเพิ่มขึ้นความถี่ของคลื่นสามเหลี่ยมจะลดลง และถ้าค่า R ลดลง ความถี่ของคลื่นสามเหลี่ยมจะเพิ่มขึ้น แอมปลิจูดของคลื่นสี่เหลี่ยมจะคงที่ (V_{SAT})

เอาท์พุทของ A_2 จะให้คลื่นสามเหลี่ยมนั้น $5R_3C_2>T/2$ เมื่อ T คือ Period ของคลื่นสี่เหลี่ยม อินพุทตามกฎทั่วไป R_3C_2 ควรเท่ากับ T การทำให้คลื่นสามเหลี่ยมมีเสถียรภาพ จำเป็นต้องต่อตัวต้านทาน R_4 = 10 R_3 คร่อมตัวเก็บประจุ C_2 และต่อวงจรชดเชยแรงดัน offset ที่ขานอนอินเวอร์ติ้งของ A_2 ความถี่ของการผลิต

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

คลื่นสามเหลี่ยมถูกจำกัดที่ slew-rate ของออปแอมป์ ดังนั้น ถ้าผลิตความถี่สูง slew-rate ควรสูง

วงจรผลิตคลื่นสามเหลี่ยมอีกแบบหนึ่งแสดงดังรูปที่ 2-36 ซึ่งประกอบไปด้วย ตัวเปรียบเทียบ (A_1) และอินทิเกรเตอร์ (A_2) ตัวเปรียบเทียบ A_1 จะทำการเปรียบเทียบแรงดันที่จุด P อย่างต่อเนื่อง โดยขาอินเวอร์ติ้งเป็น 0V เมื่อแรงดันที่จุด P ต่ำกว่าหรือประมาณ 0V เอาท์พุท A_1 จะเป็นระดับอิ่มตัวทางด้านลบหรือบวก



รูปที่ 2-36 การผลิตคลื่นสามเหลี่ยมอีกชนิดหนึ่ง

เมื่อเอาท์พุท A_1 อิ่มตัวทางด้านบวก $+V_{sat}$ ($+V_{cc}$) + V_{sat} นี้ เป็นอินพุทอินทิเกรเตอร์ A_2 เอาท์พุท A_2 จะเป็นแรมป์ที่วิ่งไปทางด้านลบ เมื่อมีค่าเพิ่มขึ้นจนถึงแรงดันที่จุด P ($-V_{Ramp}$) กำหนดโดย R_2, R_3 แรงดันเอาท์พุทของ A_1 จะเปลี่ยนจากจุดอิ่มตัวด้านบวกเป็นด้านลบ ($-V_{sat}$ - V_{EE}) นั่นคือเอาท์พุท A_2 จะหยุดการเพิ่มทางด้านลบและจะเริ่มเปลี่ยนไปทางด้านบวก เอาท์พุท A_2 จะเพิ่มขึ้นอย่างต่อเนื่องจนถึง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$+ V_{Ramp}$ เอาท์พุทของ A_1 จะเปลี่ยนกลับจากจุดอิ่มตัวทางด้านลบมาเป็นทางด้านบวก อีกครั้งและจะเกิดเหตุการณ์อย่างนี้ต่อไปเรื่อย ๆ ความถี่คลื่นสี่เหลี่ยมและคลื่นสามเหลี่ยมมีค่าเท่ากัน แอมปลิจูดคลื่นสี่เหลี่ยมขึ้นกับแรงดันของแหล่งจ่ายไฟ แต่สามารถกำหนดได้โดยค่อซีเนอร์ไดโอดที่เอาท์พุทของ A_1 ดังรูปที่ 2-36 (a) แอมปลิจูดและความถี่ของคลื่นสามเหลี่ยมหาได้จากรูป 2-36 (b)

$$\frac{-V_{Ramp}}{R_2} = \frac{+V_{Sat}}{R_3}$$

หรือ
$$-V_{Ramp} = -\frac{R_2}{R_3}(+V_{Sat}) \qquad (2\text{-}20)$$

ทำนองเดียวกันแรงดันเอาท์พุท $(+V_{Ramp})\,A_2$ เมื่อเอาท์พุท A_1 เปลี่ยนจาก $-V_{Sat}$ ไป $+V_{Sat}$

$$+V_{Ramp} = -\frac{R_2}{R_3}(-V_{Sat}) \qquad (2\text{-}21)$$

ดังนั้น แอมปลิจูดจากยอดถึงยอด (P-P) ของคลื่นสามเหลี่ยมเป็น

$$V_{o(p\text{-}p)} = +V_{Ramp} - (-V_{Ramp})$$

$$V_{o(p\text{-}p)} = 2\frac{R_2}{R_3}(V_{Sat}) \qquad (2\text{-}22)$$

เมื่อ $V_{Sat} = |+V_{Sat}| = |-V_{Sat}|$ จากสมการแสดงถึงแอมปลิจูดของคลื่นสามเหลี่ยมลดลง เมื่อเพิ่มค่า R_3 ช่วงเวลาที่รูปคลื่นเอาท์พุทสวิงจาก $-V_{Ramp}$ ถึง $+V_{Ramp}$ (หรือจาก $+V_{Ramp}$ ถึง $-V_{Ramp}$) เท่ากับครึ่งหนึ่งของ Period T/2 ดังนั้น จะได้

$$V_{o(p\text{-}p)} = -\frac{1}{R_1C_1}\int_0^{T/2}(-V_{Sat})\,dt \qquad (2\text{-}23)$$

$$= \left(\frac{V_{Sat}}{R_1C_1}\right)\left(\frac{T}{2}\right)$$

โดย
$$T = \frac{V_{o(p\text{-}p)}}{V_{Sat}}(R_1C_1)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หรือ $$T = (2R_1C_1)\frac{V_{o(pp)}}{V_{Sat}}$$

$$T = \frac{4R_1C_1R_2}{R_3}$$

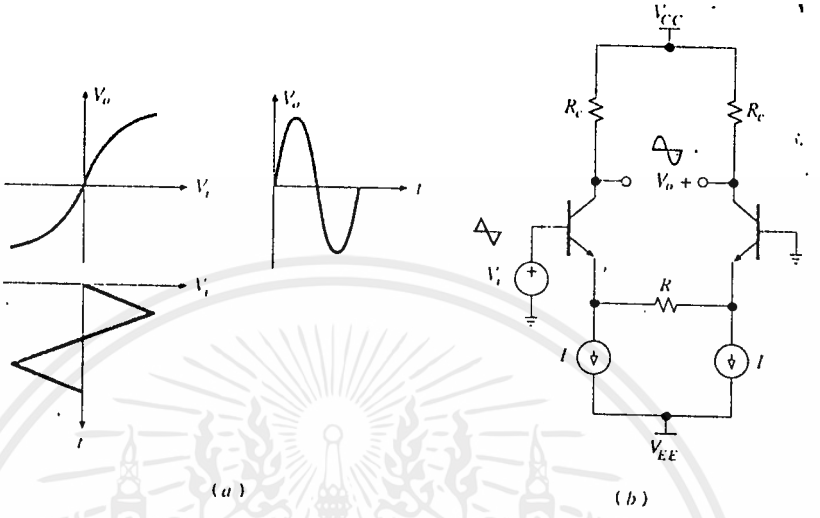
ความถี่ออสซิลเลเตอร์เป็น

$$f_o = \frac{R_3}{4R_1C_1R_2} \qquad (2\text{-}24)$$

การแปลงคลื่นสามเหลี่ยมเป็นซายน์ (Triangular-to-Sine Wave Converter) ในการผลิตรูปคลื่นซายน์นั้นนำคลื่นสามเหลี่ยมผ่านเข้าวงจรนอนลิเนีย (nonlinear wave shaping) ก็จะเอาท์พุทออกมาเป็นสัญญาณ Sinusoidal วงจรดังแสดงในรูป 2-37 ซึ่งเป็นวงจรอย่างง่าย ประสิทธิภาพของคลื่นสามเหลี่ยมนั้นจะต้องเป็นลักษณะสมมาตรกัน และมีแอมปลิจูดที่เหมาะสมกับ VTC (Voltage Transfer Curve) ซึ่งวงจรนอนลีเนียจะมีกระบวนการที่สัมพันธ์กับขนาดแอมปลิจูดของคลื่น ในทางปฏิบัติแล้วรูปร่างของคลื่นจะใกล้เคียงกับ Sinusoidal VTC โดยการพล็อตคุณสมบัติของอุปกรณ์นอนลิเนียได้แก่ ทรานซิสเตอร์และไดโอด

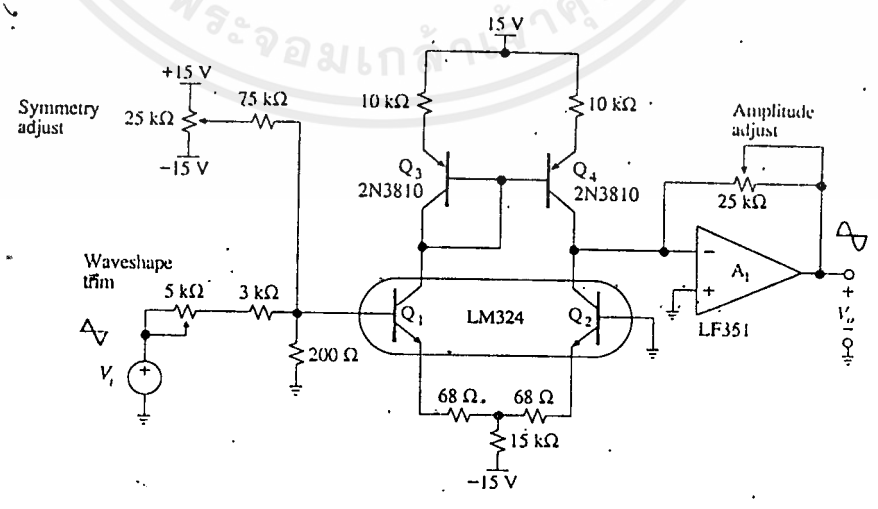
The Logarithmic Wave Shaper วงจร Logarithmic จะให้ค่าที่ใกล้เคียงกับ Sinusoidal VTC ในวงจรขยายประกอบด้วย emitter-coupled BJT คู่ เกนของทั้งสองจะเท่ากัน ผลของรูปคลื่นที่ออกมายอดแหลมของคลื่นสามเหลี่ยมจะค่อยลดลง ค่า THD ของคลื่นที่เอาท์พุทมีค่าต่ำประมาณ 0.2% ให้ RI = 2.5 Vt และ Vim = 6.6 Vt เมื่อ Vim คือ ยอดคลื่นของคลื่นสามเหลี่ยมและ Vt เป็น Thermal Voltage (Vt 26 mv ที่อุณหภูมิห้อง) จะได้ RI = 65 mv และ Vim = 172 mv ค่าที่แสดงนี้เป็นของคลื่นสามเหลี่ยม โดยทั่วไปจะอยู่ในย่านโวลต์และเป็นค่าที่เหมาะสมก็จะได้รูปคลื่นที่ต้องการ ในรูปที่ 2-38 เป็นวงจรในทางปฏิบัติ ในวงจรประกอบด้วย LM324 เป็นคู่แมทช์ Q_3 และ Q_4 เป็น PNP เป็นคู่จ่ายกระแสให้กับคอลเล็คเตอร์ดิฟเฟอร์เรนซ์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ ดัดแปลง เผยแพร่ หรือนำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2-37 การแปลงสัญญาณสามเหลี่ยมเป็นซายน์อย่างง่าย

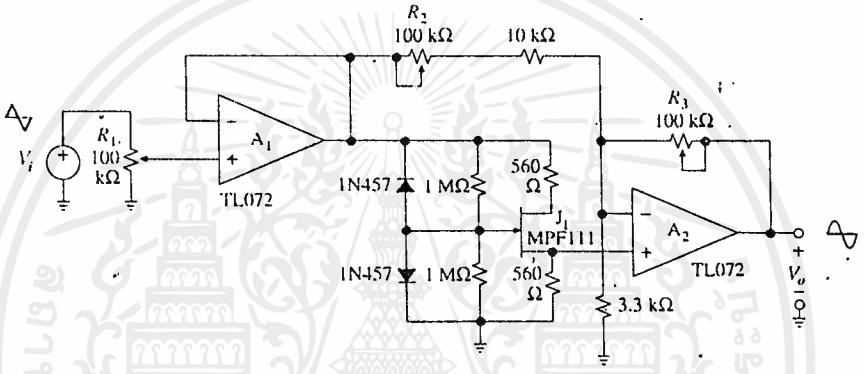
กระแสเอาท์พุทของวงจรดิฟเฟอร์เรนเชียลถูกแปลงเป็นแรงดันโดยออปแอมป์ การปรับแต่งค่าในวงจรนั้นพ็อต 25 K ปรับให้เอาท์พุทสมมาตร พ็อต 5K ปรับให้ความเพี้ยนต่ำสุด พ็อตตัวสุดท้าย 25 K ปรับระดับแอมปลิจูดของคลื่นเอาท์พุท



รูปที่ 2-38 วงจร Logarithmic

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเอกสารทุกครั้งที่มีการนำไปใช้

The JFEF Wave Shaper JFET จะให้ที่ใกล้เคียงกับ Sinusoidal VTC โดยการพล็อตค่า I-V characteristic ของ JFET ในย่านโอห์มิค ถ้าแอมปลิจูดของคลื่นสามเหลี่ยมเหมาะสมพอดีกับคุณสมบัติของ JFET กระแสที่ไหลผ่านช่องจะเป็น quarter sinusoid ซึ่ง drain และ source จะเปลี่ยนแปลงทำให้อยู่ใน quadrants ที่ 1 และ 3



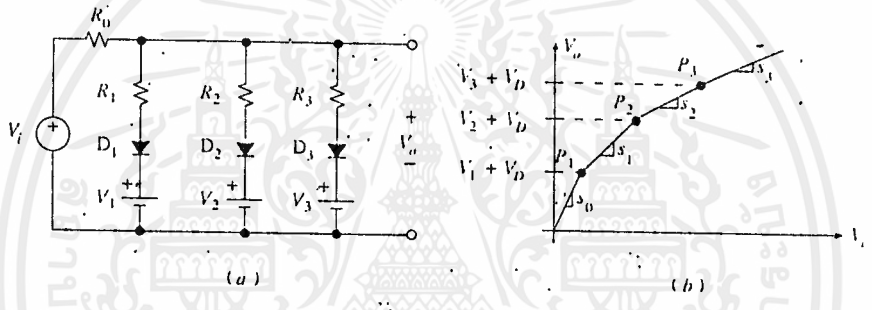
รูปที่ 2-39 JFET เปลี่ยนจากสามเหลี่ยมเป็นซายน์

ในรูปที่ 2-39 รูปร่างของคลื่นจะขึ้นกับ J_1 ชุดวงจรไดโอดและตัวต้านทานที่ต่อที่ขา drain และ source จะช่วยในการลด THD ตัวต้านทานที่ source จะแปลงกระแสที่ไหลในช่องเป็นแรงดัน A_2 ขยายระดับแรงดันตามต้องการ ในวงจร 2-39 นั้นจะมีการป้อนสัญญาณสามเหลี่ยมเข้าขาอินเวอร์ติ้งของ A_2 ผ่าน R_2 และตัวต้านทาน 1 K ในการปรับค่าต่าง ๆ ของวงจรนั้น R_1 ปรับให้ได้รูปคลื่น Sinusoidol ที่ดี และ R_2 ปรับเพื่อกำจัดปลายแหลมของยอดคลื่น R_3 ใช้ปรับระดับสัญญาณเอาท์พุท

The Breakpoint Wave Shaper วิธีแบบนี้จะอาศัยไดโอดและตัวต้านทานต่อเป็นเน็ทเวอร์ค จุดหยุดจะออกไว้ที่ระดับต่าง ๆ ของสัญญาณซึ่งจะให้ค่าคล้ายกับ VTC โดยจะมีค่าเพิ่มขึ้นอย่างต่อเนื่อง ดังแสดงในรูป 2-40 เป็นตัวอย่างซึ่งมีจุดหยุด 3 จุด จุดหยุดสร้างขึ้นได้โดยการไบอัสที่คาโถดของไดโอด ให้ระดับแรงดันเพิ่มขึ้นต่อเนื่อง $V_1<V_2<V_3$ ให้ V_i เล็กเพียงพอที่ทำให้ไดโอดไม่ทำงาน และ $V_o = V_1$ นั่นคือไม่มีโหลด ดังนั้น สรุป VTC คือ $S_o = 1$ เพื่อให้ Vi เพิ่มขึ้น ถึงจุด Threshold $V_i + V_D$ เมื่อ V_D

เอกสารนี้ ... ไม่ว่ากรณีใด ๆ ทั้งสิ้น ... ไม่ว่ากรณีใด ๆ ทั้งสิ้น ...

เป็นแรงดัน Forward ไดโอด D_1 จะทำงาน R_1 จึงเป็นโหลด สโลป $S_1 = V_o/V_i = R_1/(R_o + R_1)$ ผลจากการทำงานของ D_1 เป็นการสร้างจุดหยุดที่ $V_o = V_1 + V_D$ เมื่อเพิ่ม V_i จนถึงจุด threshold $V_2 + V_D$ ที่จุดนี้ D_2 จะทำงาน ดังนั้น จึงเป็นการสร้างจุดหยุดใหม่โดยสโลปเป็น $S_2 = (R_1//R_2)/[R_o + (R_1//R_2)]$ ถ้าเพิ่ม V_i ถึงจุด threshold $V_3 + V_D$ สโลปเปลี่ยนเป็น $S_3 = (R_1//R_2//R_3)/[Rot\ (R_1//R_2//R3)]$



รูปที่ 2-40 การเปลี่ยนสามเหลี่ยมเป็นซายน์โดยวิธี Breakpoint

ในการเลือกตำแหน่งของจุดหยุดที่มากขึ้นจะทำให้วงจรมีคุณสมบัติที่ใกล้เคียงกับ VTC จากในรูป 2-40 นั้นเป็นการสร้างครึ่งคลื่นในทางบวกเท่านั้น ในการสร้างครึ่งคลื่นลบนั้นจะต้องทำการไบอัสที่ขาอาโนดของไดโอดเพิ่มขึ้นในทางลบอย่างต่อเนื่อง

<u>การแปลงจาก AC เป็น DC</u>

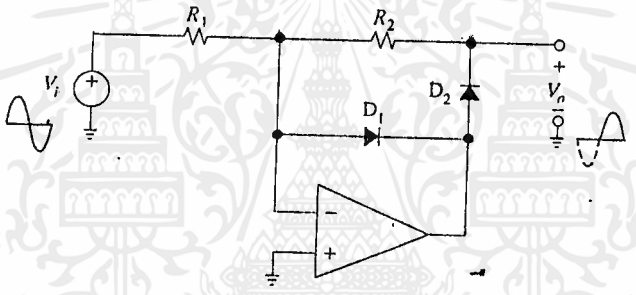
<u>Half-Wave Rectifier</u> ในวงจรรูปที่ 2-41 เป็นรูปของวงจรเร็คติไฟเออร์แบบครึ่งคลื่นที่นำไดโอดต่อร่วมกับออปแอมป์ โดยจะทำการวิเคราะห์เป็นสองลำดับ ดังนี้

เมื่อ $V_i > 0V$ ที่ออปแอมป์ $V_p = V_n = 0$ กระแสไหลผ่าน R_1 จากซ้ายไปขวา กระแสไหลผ่านเฉพาะ D_1 เท่านั้น ซึ่ง $V_{OA} = V_n - V_{D(on)}$ -0.7 V โดยที่ $V_n = 0$ และ $V_{OA} = -0.7$ V กระแสไม่ไหลผ่าน R_2, D_2 ซึ่ง D_2 ไม่ทำงาน ดังนั้น $V_o = 0$ V

เอกสารนี้สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

V_i < 0 V ที่ออบแอมป์ $V_n = V_p = 0$ กระแสไหลผ่าน R_1 และไหลผ่าน D_2, R_2 ทำให้ $V_{OA} > V_n$ ซึ่ง D_1 หยุดทำงาน $V_n = 0$ V_o และ V_i จะสัมพันธ์กันในลักษณะของการขยายแบบอินเวอร์ติ้ง คือ

$$V_o = - \frac{R_2}{R_1} V_i \; ; \; V_i < 0V \qquad (2\text{-}25)$$



รูปที่ 2-41 แสดงวงจร half-wave rectifier

โดยที่ V_i เป็นค่าลบ จะได้ V_o เป็นค่าบวก ในคุณลักษณะเฉพาะออบแอมป์ Swing ค่ามากกว่า V_o อยู่ 0.7 V ดังนั้น ที่เอาท์พุทจะได้เพียงครึ่งไซเคิลบวกออกมา

Full-Wave Rectifier วงจรเร็คติไฟเออร์แบบเต็มคลื่นรับสัญญาณเอซีทางด้านอินพุท และทำการแปลงกลับให้เป็นแรงดันบวกหรือลบทางด้านเอาท์พุท ดังแสดงในรูปที่ 2-42 การทำงานวงจรเร็คติไฟเออร์แบบเต็มคลื่นที่ให้แรงดันทางด้านบวกมีสมการเป็น

$$V_o = V_i \qquad (2\text{-}26)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

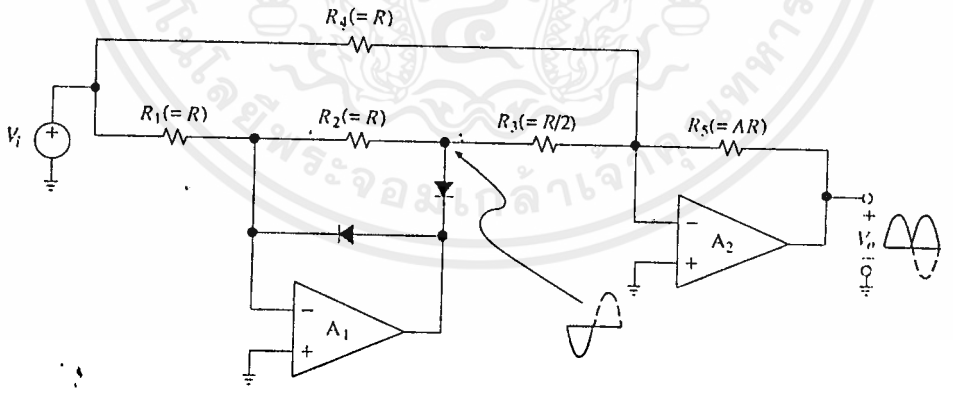
และวงจรที่ให้ค่าแรงดันทางด้านลบมีสมการเป็น

$$V_o = - \quad V_i \qquad (2\text{-}27)$$

ในวงจรรูปที่ 2-42 ประกอบด้วย A_1 เป็นวงจรเร็คติไฟเออร์แบบครึ่งคลื่น และ A_2 เป็นวงจรบวกในอัตราส่วน 1 ต่อ 2 เอาท์พุทของวงจรเร็คติไฟเออร์แบบครึ่งคลื่น V_{hw} มีเอาท์พุทเป็นลบสลับกับค่า V_i $V_{hw} = - (R_2/R_1)V_i$ ที่เอาท์พุทของ A_2 $V_o = - (R_5/R_4)V_i - (R_5/R_3)V_{hw}$ จะได้

$$V_o = - A_n V_i \quad \text{ให้} \quad V_i < 0V \qquad (2\text{-}28)$$

$$V_o = \quad A_p V_i \quad \text{ให้} \quad V_i > 0V \qquad (2\text{-}29)$$



รูปที่ 2-42 วงจร Full wave rectifier

เมื่อ $A_n = \dfrac{R_5}{R_4}$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

และ
$$A_P = \frac{R_2 R_5}{R_1 R_3} - A_n$$

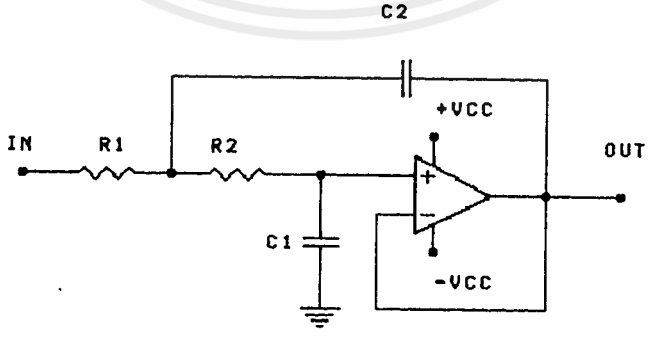
เราต้องการให้ในแต่ละไซเคิลของคลื่นเท่ากันต้องให้ $A_p = A_n = A$ ดังนั้น $V_o = -A_{vi}$ เมื่อ $V_i < 0V$ และ $V_o = AV_i$ เมื่อ $V_i > 0V$ นั่นคือ

$$V_{o1} = A \ V_i \qquad (2\text{-}30)$$

โดยจะต้องให้ $R_1 = R_2 = R_4 = R$ $R_3 = R/2$ และ $R_5 = AR$

<u>วงจรกรองความถี่</u> (Filter)

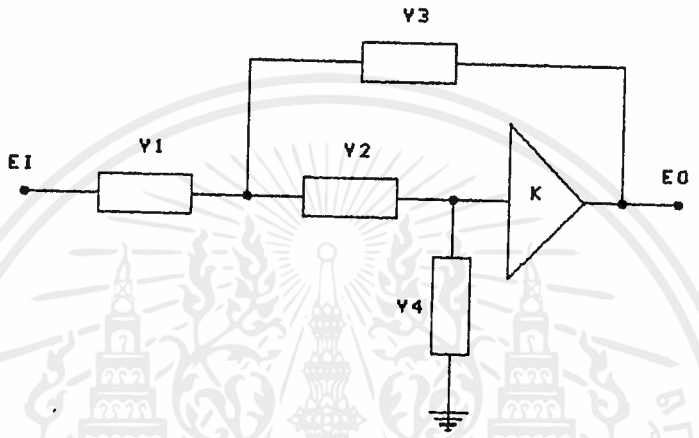
<u>วงจรกรองความถี่ต่ำ</u> (Lowpass filter) ในรูปที่ 2-43 เป็นวงจรกรองความถี่ต่ำชนิด 2 order ซึ่งค่าความชันของ curve 40dB/decade เราสามารถหาสมการความสัมพันธ์ระหว่าง เอาท์พุทกับอินพุทได้



รูปที่ 2-43 วงจรกรองความถี่ต่ำชนิด 2 order

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากในรูป 2-43 ทำการแปลงให้อยู่ในรูปของ admittance Y_1, Y_2, Y_3, Y_4 และ K คือ ค่าเกนการขยายของวงจรซึ่งกำหนดโดย R_1 และ R_F ก็จะได้ดังรูปที่ 2-44



รูปที่ 2-44 การแปลงวงจรในรูป admittance

จากรูป 2-44 นำวิธีของ Node Voltage มาใช้ คือ จะแบ่ง Node เป็น 2 Node ที่ Node A

$$I_1 + I_2 + I_3 = 0$$

$$(V_A - E_i)Y_i + (V_A - V_B)Y_2 + (V_A - E_o)Y_3 = 0$$

$$(Y_1 + Y_2 + Y_3)V_A - Y_1E_1 - Y_2 V_B - Y_3 E_o = 0 \qquad (2\text{-}31)$$

ที่ Node B

$$I_2 + I_4 = 0$$

$$(V_B - V_A)\, Y_2 + V_B\, Y_4 = 0$$

$$(Y_2 + Y_4)\, V_B - Y_2\, V_A = 0 \qquad (2\text{-}32)$$

และ

$$K = \frac{E_o}{V_B}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ดังนั้น

$$V_B = \frac{E_o}{K} \qquad (2\text{-}33)$$

นำสมการที่ (2-33) แทนในสมการที่ (2-32) จะได้

$$V_A = \frac{(Y_2 + Y_4)}{Y2} \left\{\frac{E_o}{K}\right\} \qquad (2\text{-}34)$$

นำสมการที่ (2-33) และ (2-34) แทนใน (2-31) จะได้

$$\frac{E_o}{E_i} = \frac{1/R_1R_2C_1C_2}{S^2 + S(1/C_1R_1 + 1/C_1R_2) + 1/R_1R_2C_1C_2}$$

ให้ K = 1 ดังนั้น

$$\frac{E_o}{E_i} = \frac{Y_1 Y_2}{Y_1Y_2 + Y_1Y_4 + Y_2Y_4 + Y_2Y_3 + Y_3Y_4 + Y_2Y_3K} \qquad (2\text{-}35)$$

แทนค่า $y_1 = 1$, $Y_2 = \frac{1}{R_4}$, $Y_3 = SC_1$ $Y_4 = SC_2$ ลงในสมการที่ (2-35)

$$\frac{E_o}{E_i} = \frac{1 / R_2 R_2 C_1 C_2}{S^2 + S (1/C_1R_1 + 1/C_1R_2) + 1/R_1R_2C_1C_2} \qquad (2\text{-}36)$$

ดังนั้น จึงได้ค่า

$$W^2_H = \frac{1}{R_1 R_2 C_1 C_2}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

และ

$$f_H = \frac{1}{2\pi \sqrt{R_1 R_2 C_1 C_2}}$$

ให้ $R_1 = R_2 = R$ และ $C_1 = C_2 = C$

$$f_H = \frac{1}{2\pi RC} \qquad (2\text{-}37)$$

โดยที่ f_H คือ จุดความถี่ (cut off frequency) ที่จุดตัดความถี่ขนาดแรงดันที่เอาท์พุทจะลดลง 3 dB จากค่าสูงสุดที่ความถี่ผ่าน เราสามารถหาค่า Voltage gain magnitude ได้จากสมการ

$$\frac{E_0}{E_1} = \frac{A_F}{1 + (f/f_H)^4} \qquad (2\text{-}38)$$

เมื่อ $A_F = 1 + \frac{R_F}{R_1}$ เป็นเกนของวงจร

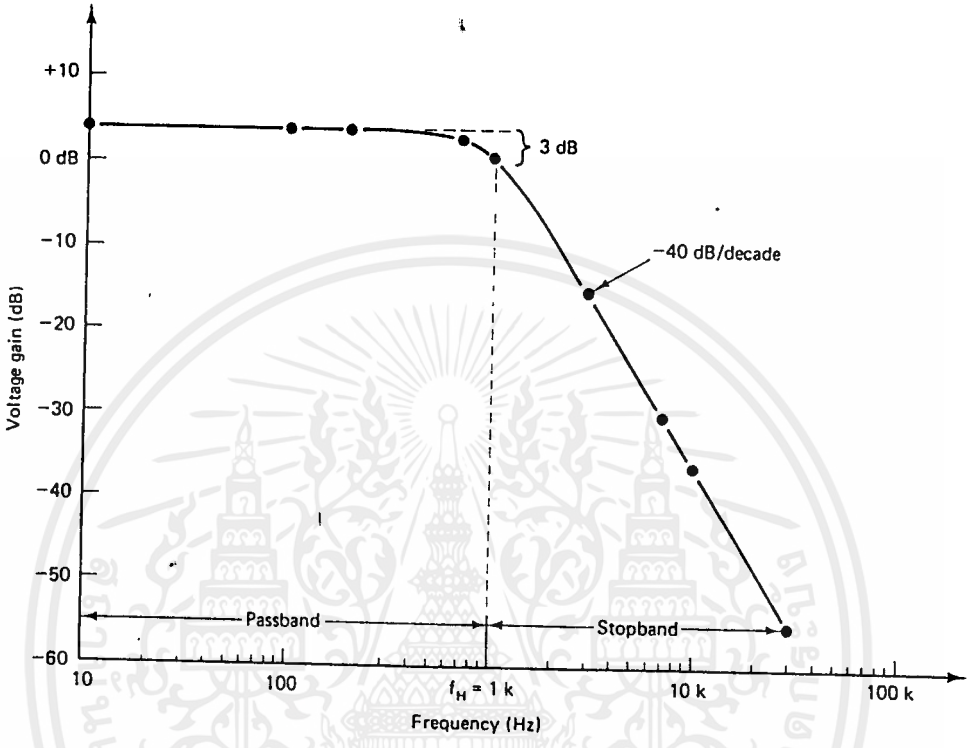
f = ความถี่อินพุท (H_z)

f = ความถี่จุดตัด (H_z)

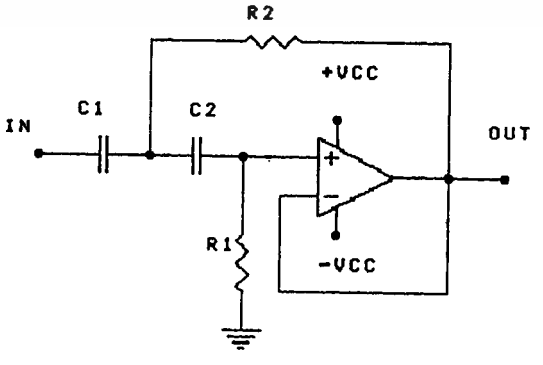
<u>วงจรกรองความถี่สูง</u> (High pas filter) วงจรกรองความถี่สูงจะยอมให้ช่วงความถี่ย่านสูงผ่านตลอดและกั้นช่วงความถี่ย่านต่ำเอาไว้ รูปที่ 2-46 เป็นวงจรกรองความถี่สูง 2 order ซึ่งมีความชันของ Curve 40 dB/decade เราสามารถหาค่าความสัมพันธ์ระหว่างอินพุทและเอาท์พุทได้ จากสมการที่ (2-35) นั้น สามารถนำมาใช้ได้โดยการ

แทนค่า $Y_1 = SC_1$ $Y_2 = SC_2$ $Y_3 = \frac{1}{R_1}$ $Y_4 = \frac{1}{R_2}$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2-45 ผลตอบสนองความถี่ของวงจรกรองความถี่ต่ำ 2 order



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 2-46 วงจรกรองความถี่สูง 2 order

$$\frac{E_o}{E_i} = \frac{S^2}{S^2 + S(1/R_2C_1 + 1/R_2C_2) + 1/R_1R_2C_1C_2} \qquad (2\text{-}39)$$

$$W_L^2 = \frac{1}{R_1R_2C_1C_2}$$

ดังนั้น $$f_L = \frac{1}{2\pi\sqrt{R_1R_2C_1C_2}}$$

ให้ $R_1 = R_2 = R$ $C_1 = C_2 = C$ จะได้ความถี่จุดตัดเป็น

$$f_L = \frac{1}{2\pi RC} \qquad (2\text{-}40)$$

และเราสามารถหาค่า Voltage gain magnitude ของวงจรกรองความถี่สูงได้จากสมการ

$$\frac{E_o}{E_i} = \frac{A_F}{\sqrt{1 + (f_L/f)^4}} \qquad (2\text{-}41)$$

เมื่อ A_F คือ เกนการขยายของวงจร

f คือ ความถี่ของสัญญาณอินพุท (H_z)

f_L คือ ความถี่จุดตัด (H_z)

<u>วงจรกรองแบบผ่านแถบ</u> (Band pass filter) วงจรกรองความถี่ชนิดนี้มีช่วงผ่านความถี่ (passband) อยู่ระหว่างสองจุดตัดความถี่ คือ f_H และ f_L ซึ่ง $f_H > f_L$ ที่ช่วงความถี่อื่น ๆ ที่ไม่อยู่ในย่านความถี่นี้จะถูกลดทอน วงจรกรองผ่านแถบมีสองชนิด

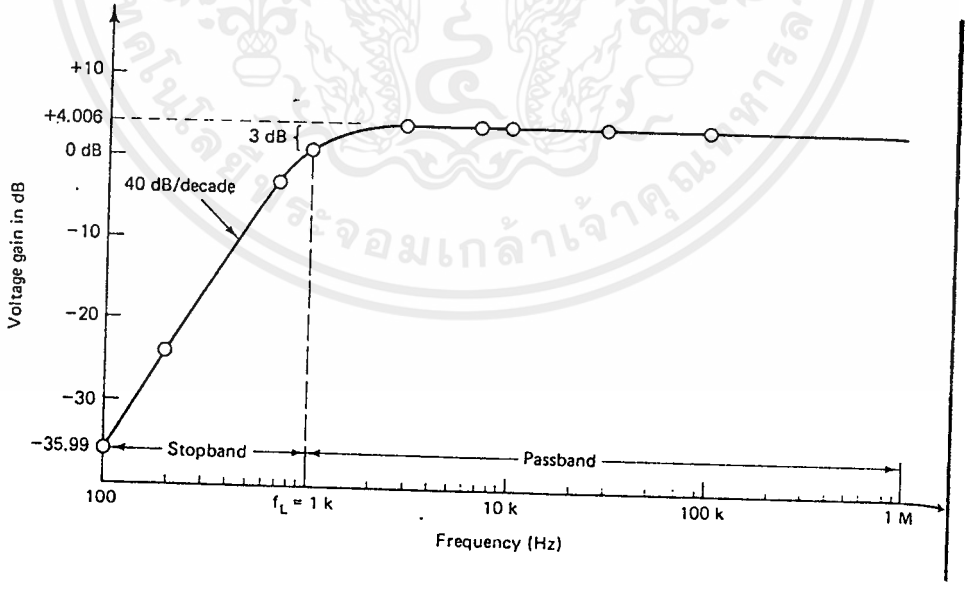
เอกสารนี้ได้รับการคุ้มครองตามกฎหมายลิขสิทธิ์ ห้ามนำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

แบบกรองย่านความถี่กว้าง (wide band) และแบบกรองย่านความถี่แคบ (narrow band) ตัวที่กำหนดว่าเป็นวงจรกรองชนิดไหนนั้นคือ figure of merit หรือ quality factor ถ้า Q < 10 แบบชนิดแบนด์กว้าง Q > 10 เป็นชนิดแบนด์แคบ ดังนั้น Q เป็นตัววัด selectivity หมายถึง ค่า Q สูง selectivity ก็มาก หรือ แบนด์วิดธ์แคบ (BW.) ความสัมพันธ์ระหว่างค่า Q และแบนด์วิดธ์ (ที่ -3dB) และความถี่กลาง เป็นดังสมการ

$$Q = \frac{f_e}{B.W.} = \frac{f_e}{f_H - f_L} \qquad (2\text{-}42)$$

เมื่อ f_H เป็นจุดตัดความถี่สูง (H_Z)

f_L เป็นจุดตัดความถี่ต่ำ (H_Z)



รูปที่ 2-47 ผลตอบสนองความถี่ของวงจรกรองความถี่สูง 2 order

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วงจรกรองความถี่แบบแบนด์กว้าง หาได้โดยการนำวงจรกรองความถี่สูงและวงจรกรองความถี่ต่ำมาต่อเรียงกัน (cascading) ดังรูปที่ 2-48 ตัวที่กำหนดจุดตัดความถี่ต่ำ (f_L) คือวงจรกรองความถี่สูงและตัวที่กำหนดจุดตัดความถี่สูง (f_H) คือวงจรกรองความถี่ต่ำ ความชันของ curve ขึ้นอยู่กับ order ของวงจรกรอง เหล่านี้ จุดตัดความถี่ต่ำและสูง หาได้จากสมการ

$$f_L = \frac{1}{2\pi RC} \qquad (2\text{-}43)$$

$$f_L = \frac{1}{2\pi R C} \qquad (2\text{-}44)$$

เมื่อ $f_H > f_L$

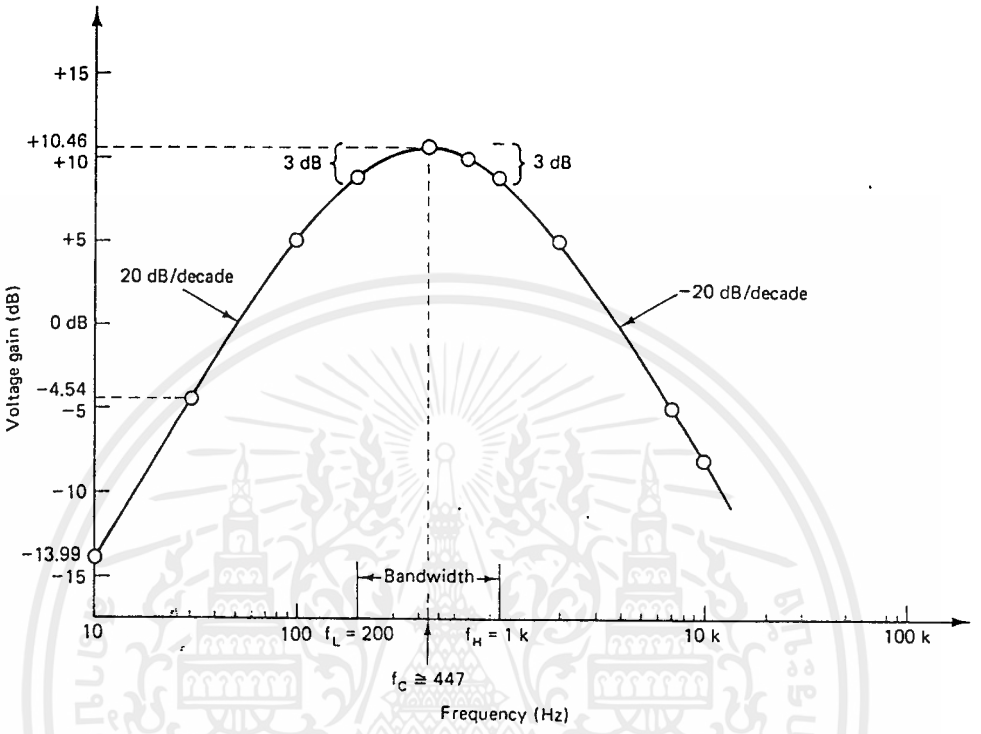
ค่า Voltage gain magnitude ของวงจรกรองผ่านแถบแบบแบนด์กว้าง - เกิดจากการนำค่า Voltage gain magnitude ของวงจรกรองความถี่สูงและวงจรกรองความถี่ต่ำมาคูณกัน

$$\frac{E_o}{E_i} = \frac{A_{FT}\,(f/f_L)}{\pi[1+(f/f_L)^2][1+(f/f_H)^2]} \qquad (2\text{-}45)$$

เมื่อ

A_{FT}	เป็นเกนรวมทั้งหมด	
f	เป็นความถี่สัญญาณอินพุท	(H_Z)
f_L	เป็นจุดตัดความถี่ต่ำ	(H_Z)
f_H	เป็นจุดตัดความถี่สูง	(H_Z)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



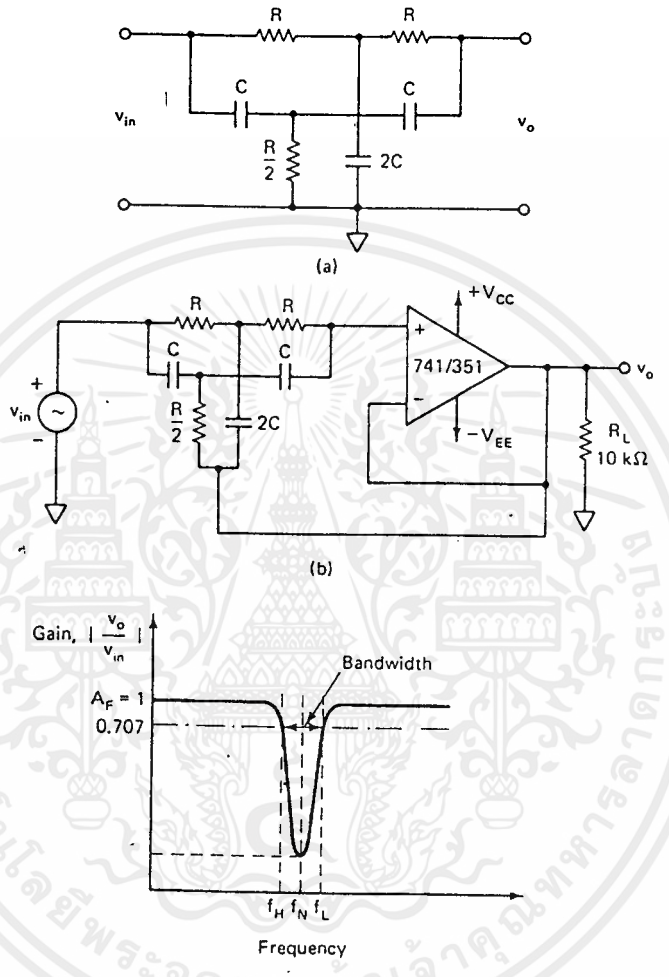
รูปที่ 2-48 ผลตอบสนองความถี่ของวงจร Wide Band-pass filter

<u>วงจรกรองความถี่แบบแบนด์รีเจ็ค</u> (Band-Reject filter) ในรูป 2-49 เป็นวงจรแบบ Narrow Band-Reject filter หรือเรียกอีกชื่อหนึ่งว่า notch filter ประกอบไปด้วย ชุด twin-T network ซึ่งเป็น passive filter และออปแอมป์ที่ความถี่นอทช์ (f_N) สัญญาณที่เอาท์พุทจะถูกลดทอนสูงสุด ความถี่นอทช์หาได้จากสมการ

$$f_L = \frac{1}{2\pi RC} \qquad (2\text{-}46)$$

ในรูปที่ 2-49 b ทำให้ค่า figure of merit Q เพิ่มขึ้น เพราะการป้อนกลับจาก เอาท์พุทของออปแอมป์มายัง R/2 และ 2C ผลตอบสนองทางความถี่ของวงจรกรองความถี่แบบนอทช์ แสดงในรูป 2-49 c วงจรกรองความถี่แบบนอทช์นิยมนำไปใช้ในงานเกี่ยวกับการสื่อสารและในงานเครื่องมือวัด

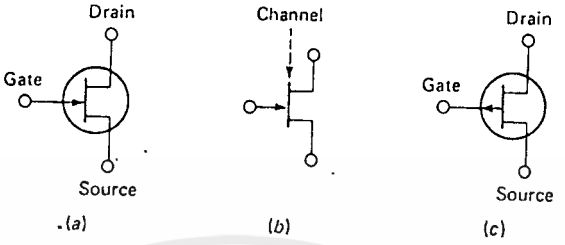
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2-50 วงจรกรองความถี่แบบนอทช์ (notch filter)

Field-Effect Transistor หรือเรียกว่า FET มีอยู่หลายชนิดแต่ในที่นี้จะพิจารณาเฉพาะ Junction Field-Effect Transistor หรือ JFET เท่านั้น JFET มี 2 ชนิด คือ N-Channel และ P-Channel ดังแสดงในรูป 2-51 เป็นสัญญลักษณ์ของ JFET โดยรูป 2-51 a เป็นชนิด N-Channel สังเกตได้จากหัวลูกศรชี้เข้า ถ้าเป็นชนิด P-Channel หัวลูกศรจะชี้ออกดังรูปที่ 2-51C หมายความว่าถ้าเป็นชนิด N-Channel ขา Drain และ ขา Source จะต่อกับสารกึ่งตัวนำชนิด N ส่วนขา gate ต่อกับสารกึ่งตัวนำชนิด P

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

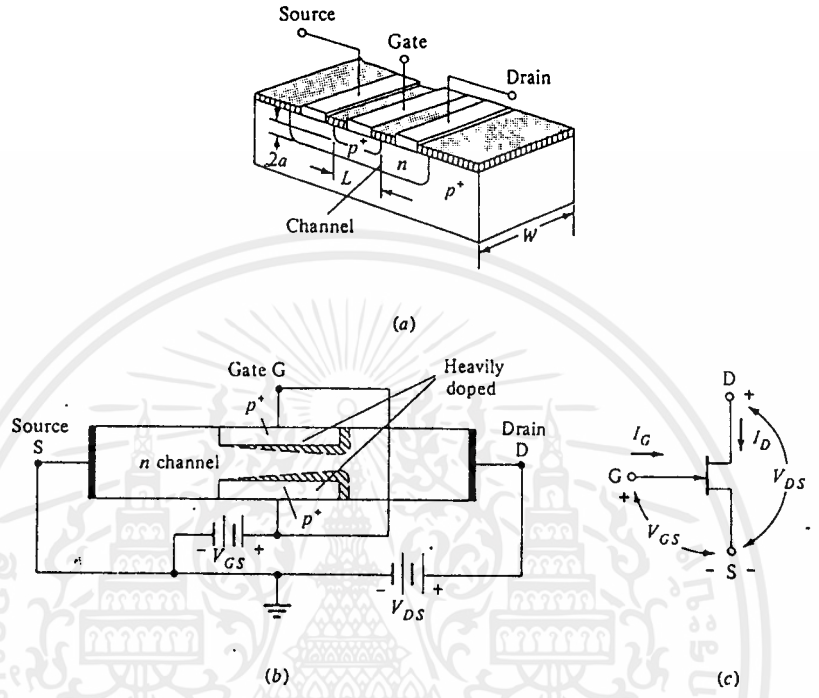


รูปที่ 2-51 แสดงโครงสร้างของ JFET

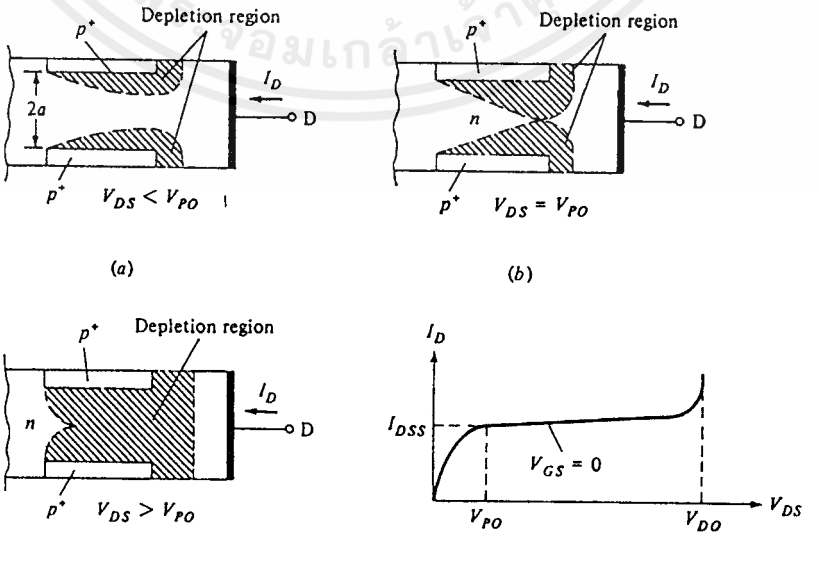
โครงสร้างของ JFET ชนิด N-Channel แสดงในรูปที่ 2-52 ซึ่งประกอบด้วยแชนแนล โดยมีขา source และ drain ต่อที่ปลายของแท่งสารชนิด N ที่ตรงกลางของแท่งสารมีการโด๊ปสาร P เข้าไป และต่อขา gate ที่สารชนิด P ส่วน JFET ชนิด P-Channel มีลักษณะโครงสร้างที่ตรงกันข้ามกับชนิด N-Channel FET มีความแตกต่างจากทรานซิสเตอร์ (BJT) ตรงที่ FET มีกระแสชนิดเดียวที่ไหลในตัวอุปกรณ์ คือ อิเล็กตรอน หรือ โฮลเพียงอย่างเดียว

เมื่อเราเพิ่มแรงดันระหว่าง Drain และ Source หรือ V_{DS} จากศูนย์ โดยให้ V_{GS} เป็น 0V เราก็จะได้คุณสมบัติของ V-I characteristic curve 2-53 d โดยแบ่งช่วงของ curve เป็น 3 ส่วน คือ ช่วงที่ $V_{DS} < V_{po}$ ซึ่งแสดงลักษณะโครงสร้างในรูป 2-53 a การทำงานในช่วงนี้ JFET มีคุณสมบัติเหมือนตัวต้านทาน จึงเรียกว่า Ohmic region เมื่อ $V_{DS} = V_{po}$ ช่วงนี้กระแสที่ไหลในแชนแนลค่อนข้างคงที่ การทำงานในช่วงนี้จึงเหมาะสำหรับขยายสัญญาณและเรียกว่า saturation region ดังแสดงโครงสร้างในรูป 2-53 b ถ้าเพิ่มแรงดัน $V_{DS} > V_{po}$ กระแสไหลผ่านในแชนแนลเป็นจำนวนมากจนทำให้ตัว JFET เสียหาย ซึ่งการทำงานแบบนี้ เราไม่พึงประสงค์ ในช่วงนี้เรียกว่า Breakdown region ต่อไปเราจะพิจารณาเฉพาะ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2-52 แสดงโครงสร้างของ JEFT ชนิด N-Channel



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 2-53 แสดงคุณสมบัติต่าง ๆ ของ JFET

การทำงานใน Ohmic region การทำงานในช่วงนี้ แรงดัน V_{DS} มีค่าต่ำมาก ($V_{DS} < V_{po}$) สามารถเขียนความสัมพันธ์ของ V-I Characteristic ได้ดังนี้

$$I_D = I_{DSS} \left[2 \left(1 + \frac{V_{GS}}{V_{PO}}\right) \frac{V_{DS}}{V_{PO}} - \left(\frac{V_{DS}}{V_{PO}}\right)^2\right]$$

โดย $0 < V_{DS} < V_{GS} + V_{PO}$ (2-47)

เนื่องจากแรงดัน V_{DS} มีค่าน้อยมากจึงประมาณได้

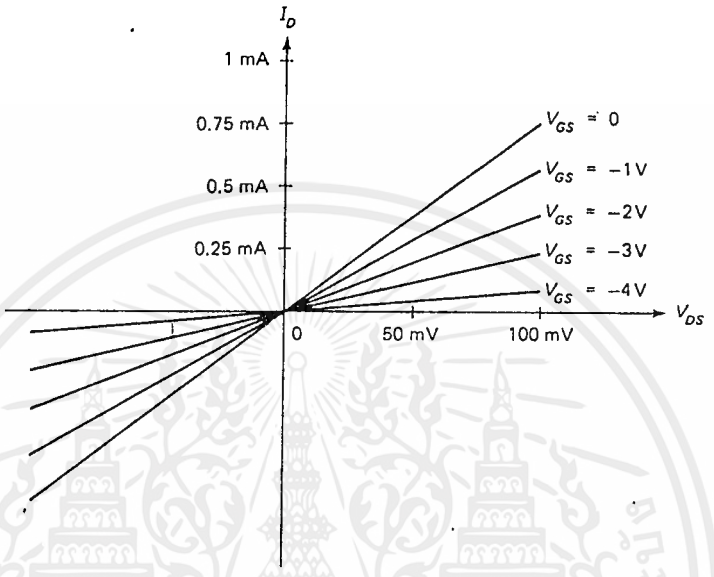
$$I_O = \frac{2 I_{DSS}}{V_{PO}} \left(1 + \frac{V_{GS}}{V_{PO}}\right) V_{DS} \quad (2\text{-}48)$$

ถ้าหาการ diff สมการ (2-48) สามารถหาค่าความต้านทานของแชนเนลได้ดังสมการที่ (2-49)

$$r_{dS} = \frac{V_{PO}}{2 I_{DSS} \left(1 + \frac{V_{GS}}{V_{PO}}\right)} \quad (2\text{-}49)$$

ค่าของแรงดัน V_{po} และกระแส I_{DSS} มีค่าคงที่และขึ้นอยู่กับคุณสมบัติของ JFET แต่ละตัว เพราะฉะนั้น ค่าความต้านทาน (r_{ds}) ขึ้นอยู่กับการเปลี่ยนแปลงของแรงดัน V_{GS} เมื่อ $V_{GS} = 0V$ r_{ds} มีค่าต่ำสุดหรือเรียกว่า $r_{ds(on)}$ ถ้าเพิ่มค่าแรงดัน V_{GS} ในทางลบ ค่าความต้านทาน r_{ds} มีค่าเพิ่มขึ้นและถ้าเพิ่มแรงดัน $V_{GS} = V_{po}$ ความต้านทาน r_{ds} = คุณสมบัติต่าง ๆ เหล่านี้แสดงดังรูปที่ 2-54

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2-54 ความต้านทาน (r_{ds}) ที่ขึ้นกับ V_{GS}

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 3

การออกแบบวงจร

ภาคอินเตอร์เฟสและควบคุม (Interface and Control)

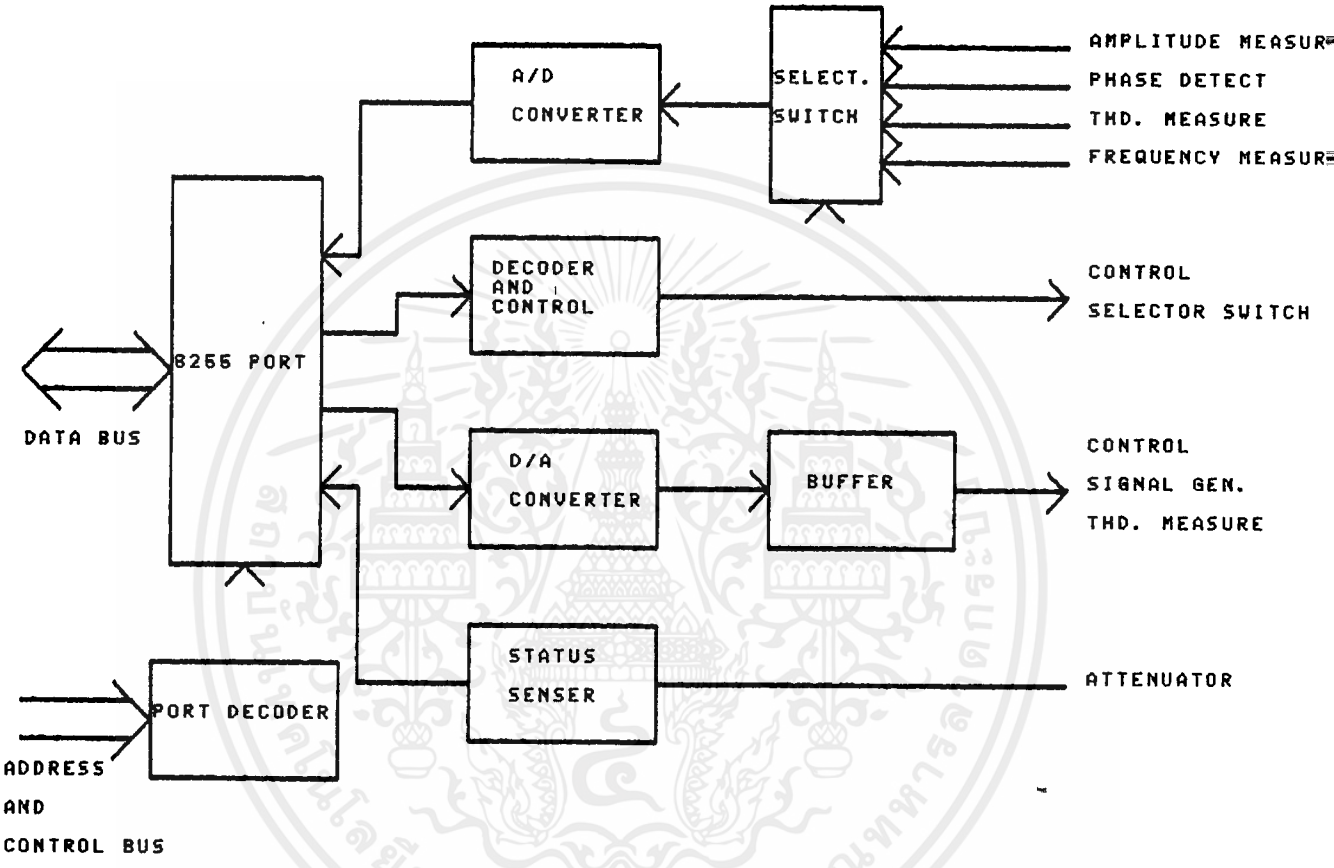
ภาคอินเตอร์เฟสและควบคุมทำหน้าที่ติดต่อกับคอมพิวเตอร์และควบคุมการทำงานทั้งหมดของระบบ ในการติดต่อกับคอมพิวเตอร์นั้น ภาคอินเตอร์เฟสและควบคุมจะทำหน้าที่ส่งและรับข้อมูลจากคอมพิวเตอร์ ข้อมูลที่ส่งไปยังคอมพิวเตอร์ก็คือ ค่าต่าง ๆ ที่วัดได้ในทางไฟฟ้าอยู่ในรูปสัญญาณทางอานาลอกและแปลงให้อยู่ในรูปของข้อมูล ส่วนข้อมูลที่รับมาจากคอมพิวเตอร์ก็คือคำสั่งต่าง ๆ ที่ใช้ในการควบคุมการทำงานของระบบทั้งหมด โดยภาคอินเตอร์เฟสและควบคุมจะทำหน้าที่ในการแปลงข้อมูลให้อยู่ในรูปของสัญญาณควบคุม แล้วส่งไปคุมการทำงานของภาคอื่น ๆ อีกต่อไป ภาคอินเตอร์เฟสและควบคุมแสดงดังรูปที่ 3-1 ในแต่ละบล็อกไดอะแกรมมีหลักการทำงานดังนี้

การถอดรหัสพอร์ต (Port decoder)

ภาคถอดรหัสพอร์ตมีหน้าที่ในการถอดรหัสการเลือกใช้พอร์ต ซึ่งอยู่ในช่วง 300H-30BH ดังนั้น จะต้องใช้ 8255 พอร์ต จำนวน 3 ตัว โดยตัวที่ 1 มีหมายเลขพอร์ตอยู่ที่ตำแหน่ง 300H-303Hz ตัวที่ 2 อยู่ที่ตำแหน่ง 304H-307H ตัวที่ 3 อยู่ที่ตำแหน่ง 308H-30BH นั้นคือเอาท์พุทที่วงจรถอดรหัสพอร์ตจะมีอยู่ 3 เอาท์พุท ดังรูปที่ 3-2

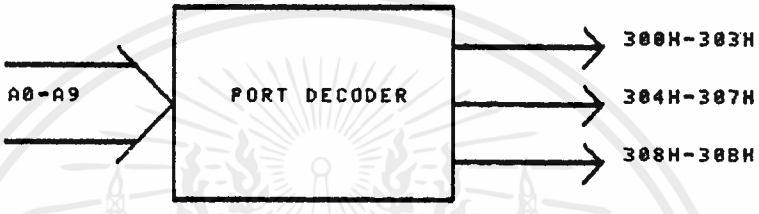
แอดเดรสบัสที่นำมาถอดรหัสใช้เพียง 10 เส้นก็พอ (A0 - A9) รูปที่ 3-3 แสดงวงจรถอดรหัสพอร์ตประกอบไปด้วย IC74LS244 เป็นไอซีบัฟเฟอร์โดยมีแอดเดรสบัส A2 - A9 จากคอมพิวเตอร์ต่อเข้ามา ส่วนแอดเดรสบัส A0, A1 นำไปต่อเข้า 8255 พอร์ตโดยตรง ไอซี 74LS32 74LS08 และ 74LS138 ทำหน้าที่ร่วมกันในการถอดรหัสพอร์ต เอาท์พุทของวงจร คือ ขา Y0 Y1 Y2 ต่อเข้ากับขา CS ของ 8255 พอร์ต เมื่อพอร์ตแอดเดรสยังไม่ถูกเรียกใช้งานเอาท์พุทของวงจรถอดรหัสพอร์ตมีสถานะเป็นลอจิก "1" (High) คือ ขา Y0 Y1 Y2 8255 พอร์ตทั้ง 3 ตัว ไม่สามารถทำงานได้และมีสถานะเป็น High Impedance เมื่อพอร์ตแอดเดรสในช่วง 300H - 303H ถูกเรียกใช้ ขา Y0 มีสถานะเป็นลอจิก "0" นอกนั้นมีลอจิกเป็น "1" 8255 พอร์ตตัวแรกทำงาน พอร์ตแอดเดรส 304H - 307H ถูกเรียกใช้ ขา Y1 มีลอจิกเป็น "0" 8255 พอร์ตตัวที่ 2 ทำงานและพอร์ตแอดเดรส 308H - 30BH ถูกเรียกใช้ ขา Y2 มีลอจิกเป็น "0" 8255 พอร์ตตัวที่ 3 ทำงาน แสดงรายละเอียดต่าง ๆ ดังตารางที่ 3-1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

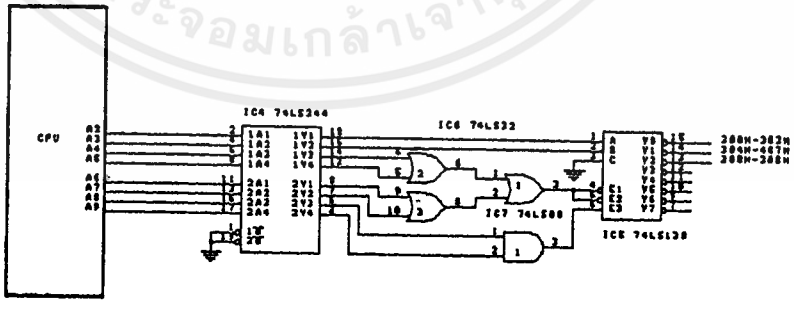


รูปที่ 3-1 บล็อกไดอะแกรมของภาคอินเตอร์เฟสและควบคุม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3-2 บล็อกไดอะแกรมการถอดรหัสพอร์ต



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 3-3 วงจรถอดรหัสพอร์ต

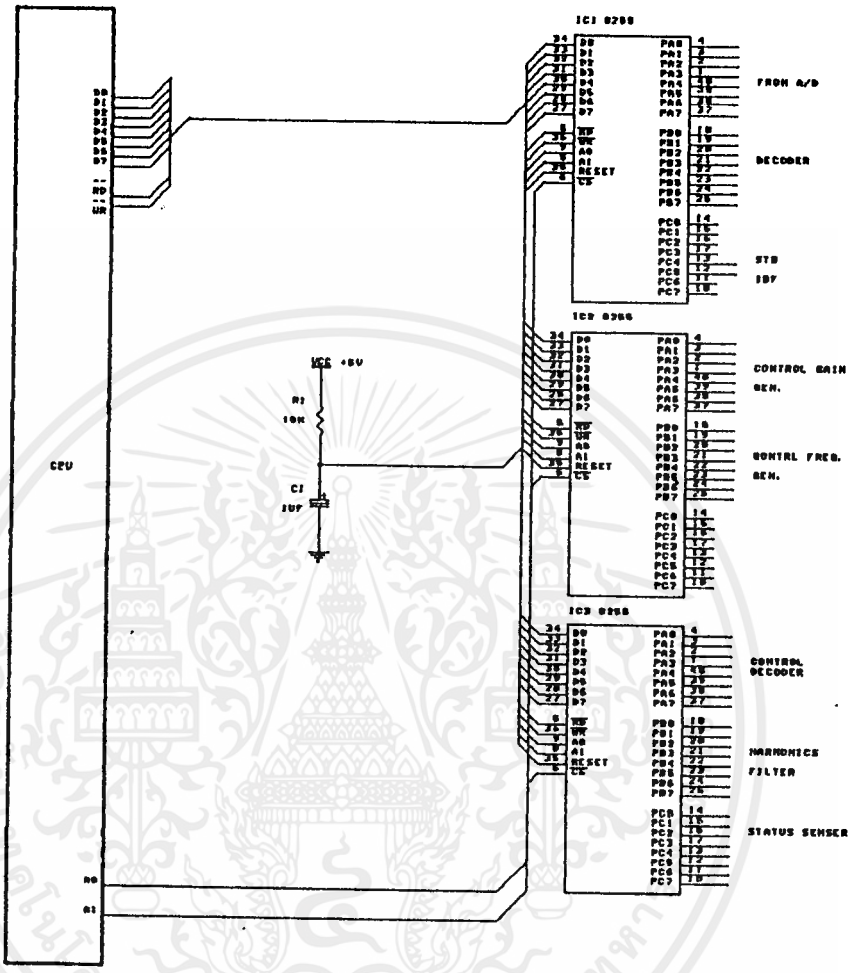
แอดเดรส	พอร์ตที่ถูกเรียกใช้งาน
300H	พอร์ต A 8255 ตัวที่ 1
301H	พอร์ต B 8255 ตัวที่ 1
302H	พอร์ต C 8255 ตัวที่ 1
303H	WRITE CONTROL WORD 8255 ตัวที่ 1
304H	พอร์ต A 8255 ตัวที่ 2
305H	พอร์ต B 8255 ตัวที่ 2
306H	พอร์ต C 8255 ตัวที่ 2
307H	WRITE CONTROL WORD 8255 ตัวที่ 2
308H	พอร์ต A 8255 ตัวที่ 3
309H	พอร์ต B 8255 ตัวที่ 3
30AH	พอร์ต C 8255 ตัวที่ 3
30BH	WRITE CONTROL WORD 8255 ตัวที่ 3

ตารางที่ 3-1 แสดงรายละเอียดของพอร์ตแอดเดรส

8255 พอร์ต

ภาคนี้ทำหน้าที่ในการรับและส่งข้อมูลกับคอมพิวเตอร์ โดยการรับและส่งข้อมูลนั้นกระทำครั้งละ 8 บิต ดังแสดงในรูปที่ 3-4 ในวงจรประกอบด้วยไอซี 8255 3 ตัว โดย IC1 มีพอร์ตแอดเดรส 300H - 303H IC2 มีพอร์ตแอดเดรส 304H - 307H IC3 มีพอร์ตแอดเดรส 308H - 30BH การทำงานของไอซีแต่ละตัวจะถูกควบคุมการทำงานโดยขา CS A0 A1 RD และ WR ขา CS เป็นตัวเลือกว่าต้องการให้ไอซีตัวไหนทำงาน ขา A0 และ A1 ใช้ร่วมกันในการกำหนดการเลือกใช้พอร์ตภายในตัวไอซี คือ พอร์ต A B และ C ดังแสดงในตาราง 3-2

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3-4 วงจร 8255 พอร์ต

A0	A1	สถานะการทำงาน
0	0	พอร์ต A
0	1	พอร์ต B
1	0	พอร์ต C
1	1	CONTROL WORD

ตารางที่ 3-2 การเลือกพอร์ตภายใน 8255

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

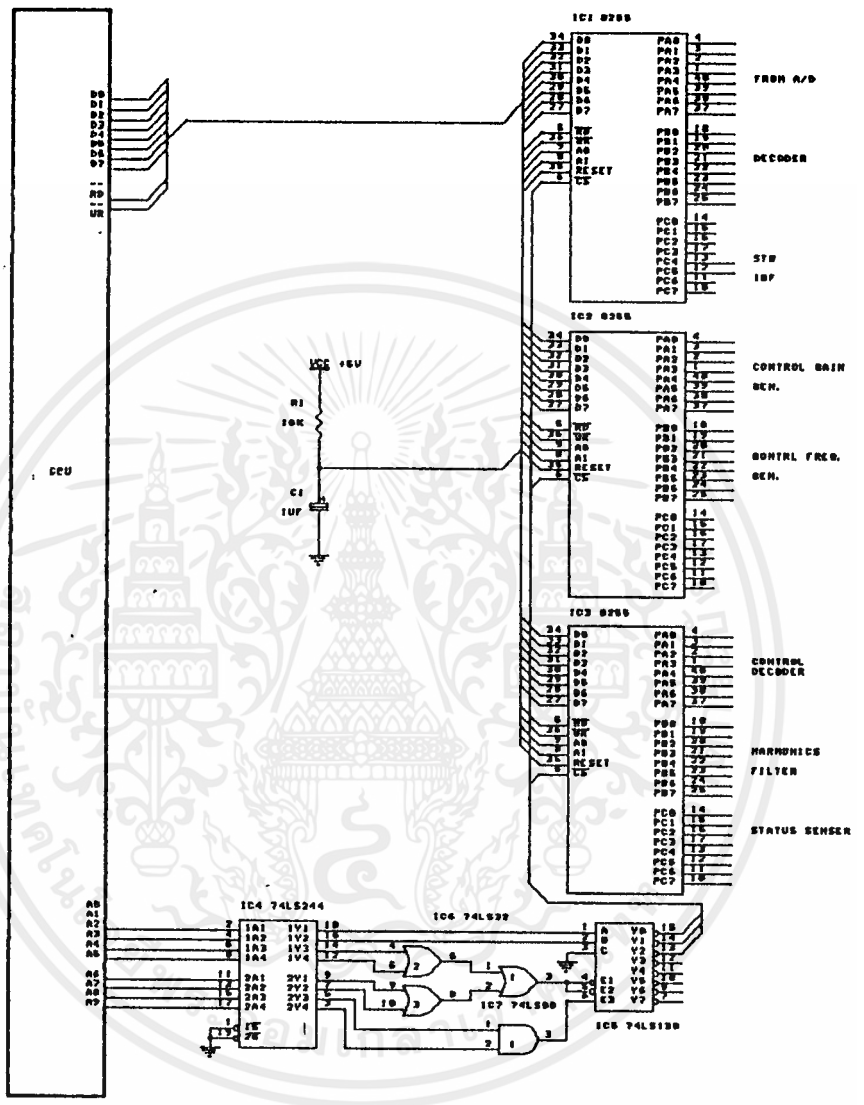
ขา RD และ WR เป็นตัวกำหนดว่าจะทำการอ่านหรือเขียนข้อมูลจากพอร์ตที่ถูกกำหนด เช่น ขา CS ของ IC1 เป็นลอจิก "0" ขา A0 A1 มีลอจิก "0" และขา RD มีลอจิก "0" หมายความว่า IC1 ถูกเลือกให้ทำงาน และไอซีตัวอื่น ๆ จะไม่ทำงาน พอร์ต A ของ IC1 ก็ถูกเลือกใช้งานและพอร์ต A นี้มีหน้าที่ในการส่งข้อมูลให้กับคอมพิวเตอร์ได้อย่างเดียว

ก่อนที่เราจะใช้คำสั่งในการเลือกใช้พอร์ตเราจะต้องทำการ Control Word เพื่อกำหนดโหมดการทำงานของ 8255 ก่อน ในที่นี้เราได้กำหนดให้ IC_1 ทำงานในโหมด 1 IC2 และ IC3 ทำงานในโหมด 0 หน้าที่การทำงานของพอร์ตต่าง ๆ แสดงดังตารางที่ 3-3

แอดเดรส	หน้าที่การทำงาน
300H	อ่านข้อมูลจาก A/D CONVERTER
301H	ส่งข้อมูลไปยังภาคถอดรหัสคำสั่ง
302H	ทำ HAND SHAKE A/D CONVERTER
303H	CONTROL WORD IC1
304H	ส่งข้อมูลไปยังภาค D/A CONVERTER
305H	ส่งข้อมูลไปยังภาค D/A CONDVERTER
306H	ไม่ใช้งาน
307H	CONTROL WORD IC2
308H	ส่งข้อมูลไปยังภาคถอดรหัสคำสั่ง
309H	ส่งข้อมูลไปยังภาค D/A CONVERTER
30AH	รับข้อมูลจาก Status senser
30BH	CONTROL WORD IC3

ตารางที่ 3-3 แสดงหน้าที่การทำงานของพอร์ตต่าง ๆ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

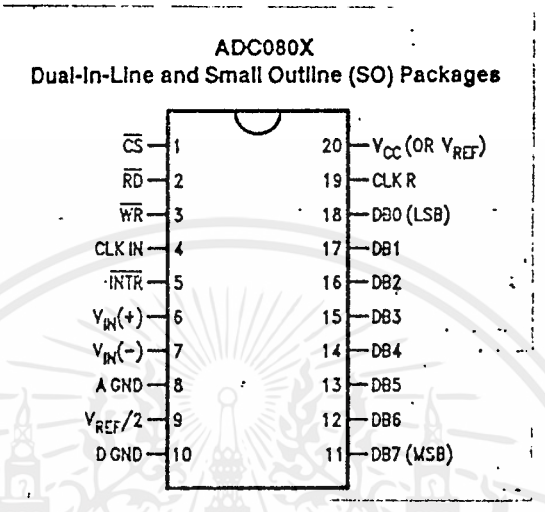


รูปที่ 3-5 แสดงวงจร 8255 พอร์ตและวงจรถอดรหัสพอร์ต

A/D คอนเวอร์เตอร์และการเลือกสัญญาณ ภาคนี้จะรับสัญญาณจากภาค Amplitude detector (AC/DC converter) ภาควัดความถี่ ภาคกรองความถี่ฮาร์โมนิกส์และภาควัดเฟส ซึ่งอยู่ในรูปแรงดัน DC ทำการแปลงให้อยู่ในรูปสัญญาณทางดิจิตอลหรือข้อมูลไอซีเบอร์ ADC 0804 จะถูกเลือกใช้งานในส่วนนี้ อินพุทที่เข้ามามี 4 อินพุท แต่ A/D สามารถรับอินพุทเข้ามาทำการคอนเวอร์ชั่นได้เพียงอินพุทเดียว ดังนั้น จึงต้องใช้สวิทช์เลือก (Selector Switch) เป็นตัวเลือกอินพุทเพียงอินพุทเดียว โดยที่สวิทช์เลือกตัวนี้ถูกควบคุมด้วยคอมพิวเตอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งไม่อนุญาตให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ADC 0804 A/D Converter ไอซี ADC 0804 เป็น Monolithic A/D Converter 8 บิต ภายในเป็นคอนเวอร์เตอร์ชนิด SAR การใช้งานของไอซีเบอร์นี้สามารถต่อเข้าโดยตรงกับไมโครโปรเซสเซอร์หรือคอมพิวเตอร์ได้



รูปที่ 3-6 แสดงรายละเอียดของขาต่าง ๆ

DB0 - DB7 : เป็นขาเอาท์พุท ขาเหล่านี้จะให้สัญญาณดิจิตอลออกมามีทั้งหมด 8 บิต ขา DATA OUTPUT นี้มีลักษณะเป็นแบบ TRI-STATE และแลทช์ข้อมูลเอาไว้ ดังนั้น จึงสามารถต่อเข้าโดยตรงกับ DATA BUS ของไมโครโปรเซสเซอร์ได้

CS : เมื่อขานี้มีสถานะเป็น "0" วงจรภายในของ ADC 0804 จะทำงาน

WR : เมื่อมีสถานะเป็น "0" พร้อมกับขา CS ADC 0804 จะอยู่ในสถานะ CONVERSION คือทำการแปลงสัญญาณอานาลอกเป็นดิจิตอล โดยใช้เวลาในการ CONVERSION 135 ns

RD : มีสถานะเป็น "0" พร้อมกับขา CS ADC 0804 จะทำการส่งข้อมูลไปให้ CPU

INTR : เป็นขาอินเตอร์รัพต์ จะมีสถานะเป็น ACTIVE LOW

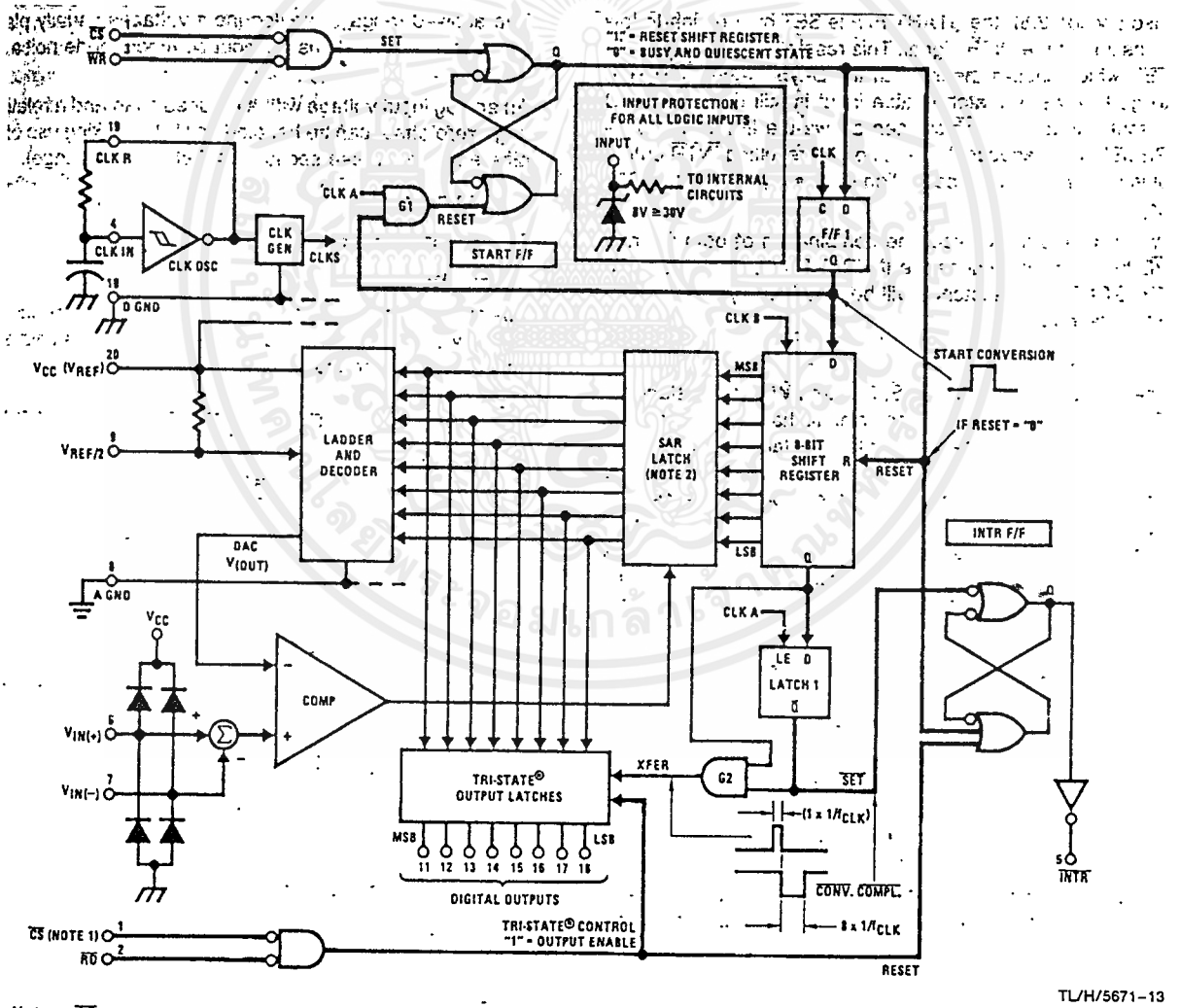
VIN(+), VIN (-) : เป็นขาอินพุท โดยรับสัญญาณอานาลอกเข้ามา ระดับแรงดันอินพุทอยู่ในย่าน 0V ถึง 5V

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

CLKR, CLKIN : ขานี้จะมีอุปกรณ์ R, C ต่อไว้เป็น Time constant เพื่อกำหนดความถี่ของวงจรผลิต CLOCK ภายในตัว ADC 0804

VROF/S : เป็นขาแรงดันอ้างอิงจะยาใช้แรงดันประมาณ 2.5V

AGND, DGND : เป็นขากราวด์โดย AGND หมายถึงขาอานาลอกกราวด์และ DGND หมายถึงขาดิจิตอลกราวด์ในทางปฏิบัติจะต่อถึงกัน



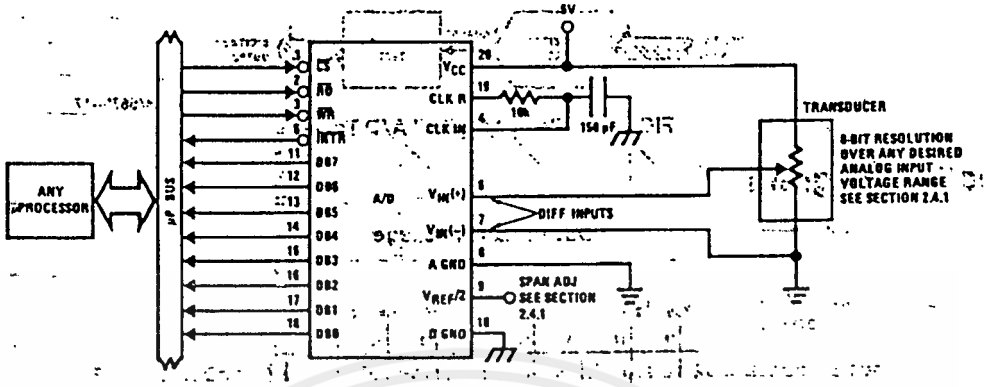
TL/H/5671–13

Note 1: $\overline{CS}$ shown twice for clarity.

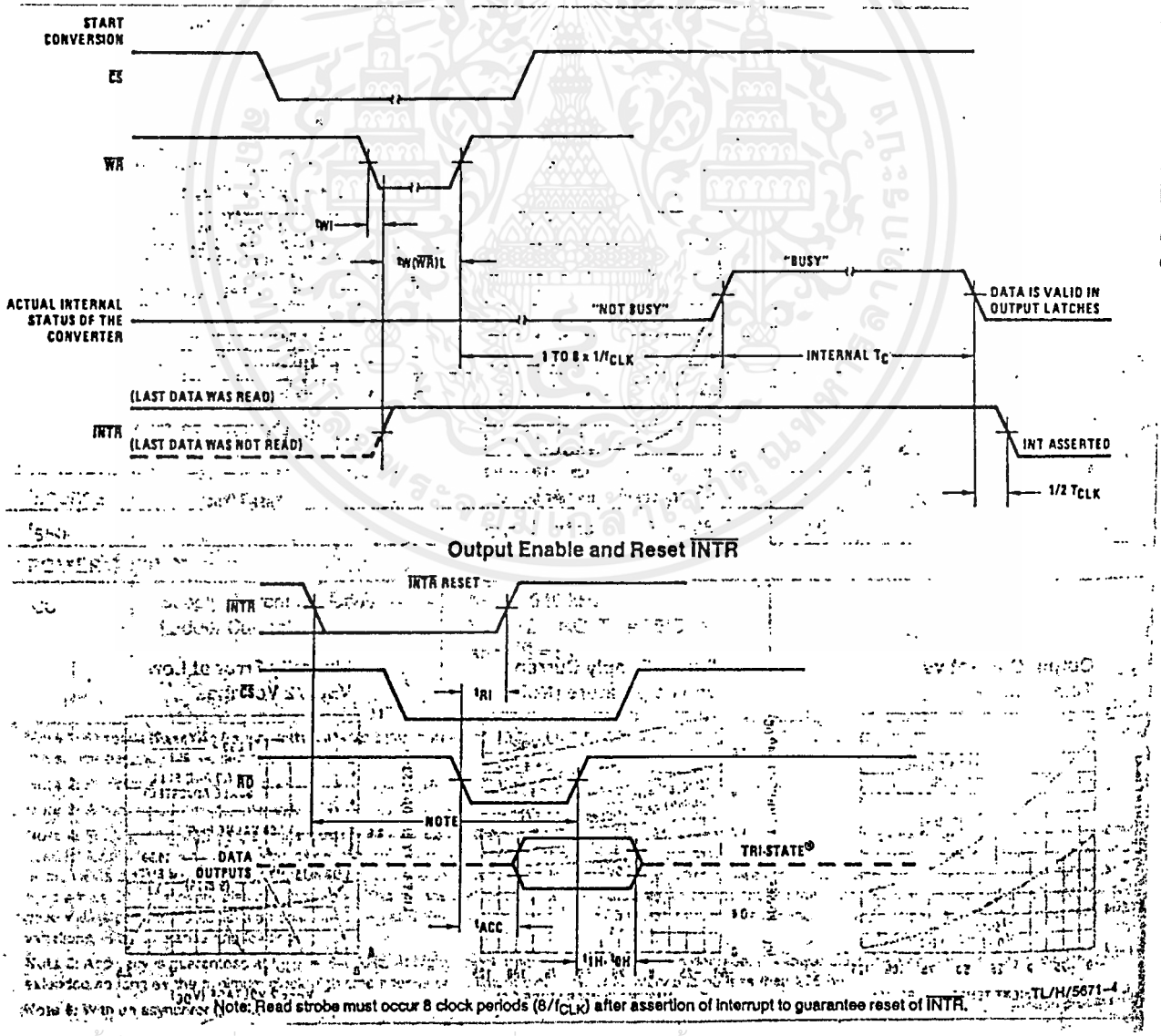
Note 2: SAR = Successive Approximation Register.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 3-7 แสดงบล็อกไดอะแกรมภายในของ ADC 0804



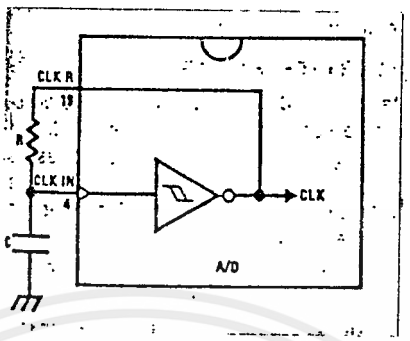
รูปที่ 3-8 แสดงการต่อ ADC 0804 กับไมโครโปรเซสเซอร์



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 3-9 แสดง Timing Diagram ของ ADC 0804

คล็อกของ A/D สามารถนำมาจากคล็อกของ CPU ก็ได้ หรือจากภายนอกก็ได้ มิฉะนั้น อาจจะต่อ RC เพื่อกำเนิดคล็อกเอง (self-clocking) ซึ่งมีสูตรคำนวณเป็น



รูปที่ 3-10 Self-clocking the A/D

$$fCLK = \frac{1}{1.1\ RC}$$

$$R = 10\ K$$

$$C = 150\ pF$$

เพราะฉะนั้น ความถี่คล็อกเป็น $\frac{1}{1.1 \times 10K \times 150pF}$

$$= 606KHz$$

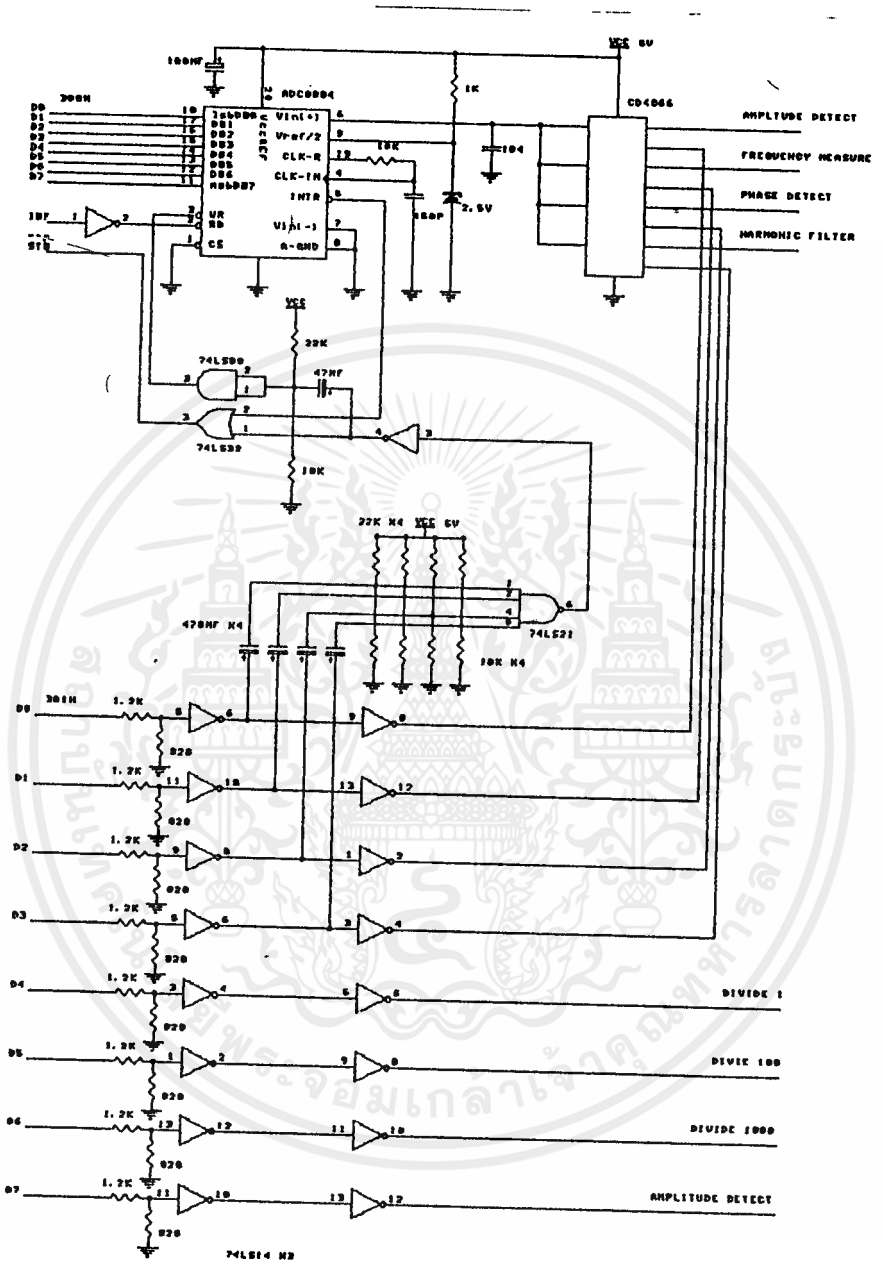
ADC 0804 มีแรงดันอินพุทสูงสุด (Vin <max>) 5V ซึ่งจะให้ข้อมูลออกทาง DATA BUS OUTPUT เป็น 255 ออกมา ดังนั้น เราสามารถหาช่วงการเปลี่ยนแปลงในแต่ละ Step (แรงดันอินพุท) จากสูตร

$$\text{Step (Input Voltage)} = \frac{\text{Vin (max)}}{\text{DATA OUT (max)}}$$

$$= \frac{5V}{255}$$

$$= 19.6\ mV$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

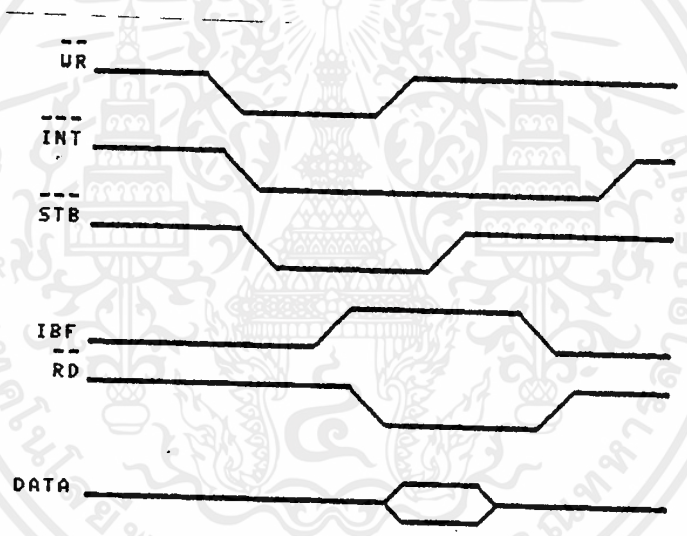


รูปที่ 3-11 แสดงวงจร A/D Converter และ Selector Switch

จากวงจรในรูป 3-11 ประกอบไปด้วย ไอซี ADC 0804 ทำหน้าที่แปลงสัญญาณอานาลอกให้เป็นดิจิตอล ไอซี CD 4066 ทำหน้าที่เป็นสวิทช์เลือก และชุดไอซีเกททำหน้าที่ HAND SHAKE กับ ไอซี 8255

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ขาเอาท์พุทของ ADC 0804 (D0-D7) ต่อเข้ากับพอร์ต A ของไอซี 8255 ตัวที่ 1 ซึ่งมีตำแหน่งพอร์ต 300H เมื่อสัญญาณอานาลอกซึ่งเป็นแรงดัน DC เข้ามาที่ขา 6 A/D ไอซีทำการแปลงเป็นสัญญาณดิจิตอลหรือข้อมูลแล้วส่งออกทางขา D0-D7 (ขา 11-18) ไปให้กับพอร์ต A ของ 8255 ในการส่งข้อมูลไปให้ 8255 มีการ HAND SHAKE กัน ระหว่าง A/D กับ 8255 เพื่อให้สามารถทำงานได้สอดคล้องกัน แสดงเป็น Timing diagram ดังรูปที่ 3-12



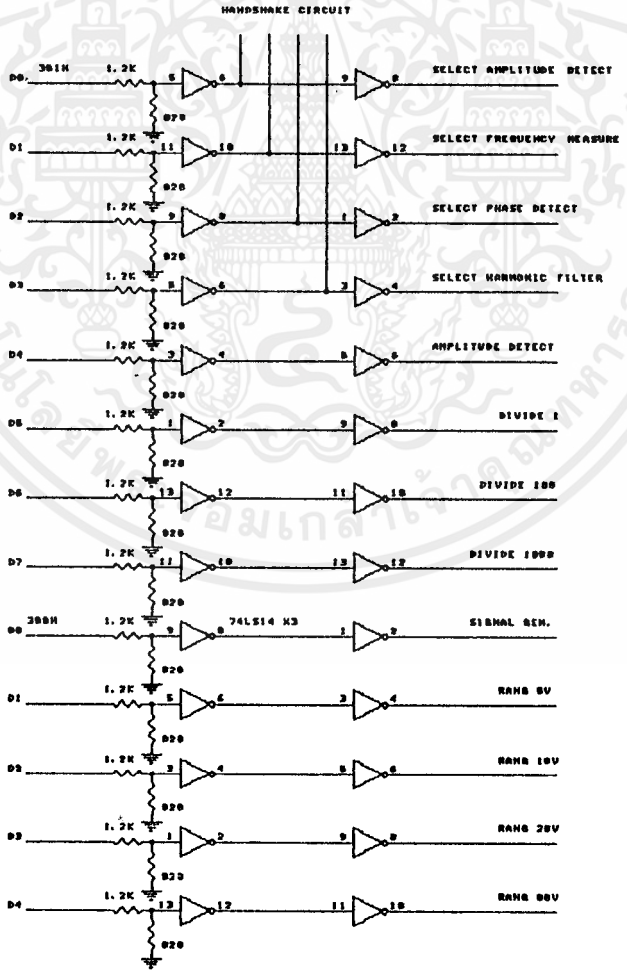
รูปที่ 3-12 แสดง Timing diagram ในการส่งข้อมูล A/D ไปให้ 8255

ตัวต้านทาน 10K และตัวเก็บประจุ 150 pF เป็น RC time constant เพื่อสร้างคล็อกให้กับ ADC 0804 ไอซี CD 4066 เป็นอิเล็กทรอนิกส์สวิทช์ ภายในมีสวิทช์ 4 ตัว โดยที่สวิทช์ภายในถูกควบคุมการทำงาน (ON และ OFF) ด้วยขา Control ขา 13 ควบคุมการสวิทช์ระหว่างขา 1 กับ 2 ขา 12 ควบคุมการสวิทช์ขา 10 กับ 11 ขา 5 ควบคุมการสวิทช์ระหว่างขา 3 กับ 4 และขา 6 ควบคุมการสวิทช์ระหว่างขา 8 กับ 9 เมื่อขา

เอกสารนี้ สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น และไม่อนุญาตให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

control เป็นลอจิก "1" (+5V) สวิทช์ภายในตัวไอซีจะต่อ (ON) เมื่อขา Control เป็นลอจิก "0" (0V) สวิทช์ภายในไอซีตัดออก (OFF) โดยที่ขา Control เหล่านี้ถูกควบคุมจากวงจรถอดรหัสและควบคุม (decoder and control) ซึ่งรับคำสั่งจากคอมพิวเตอร์มาถอดรหัส

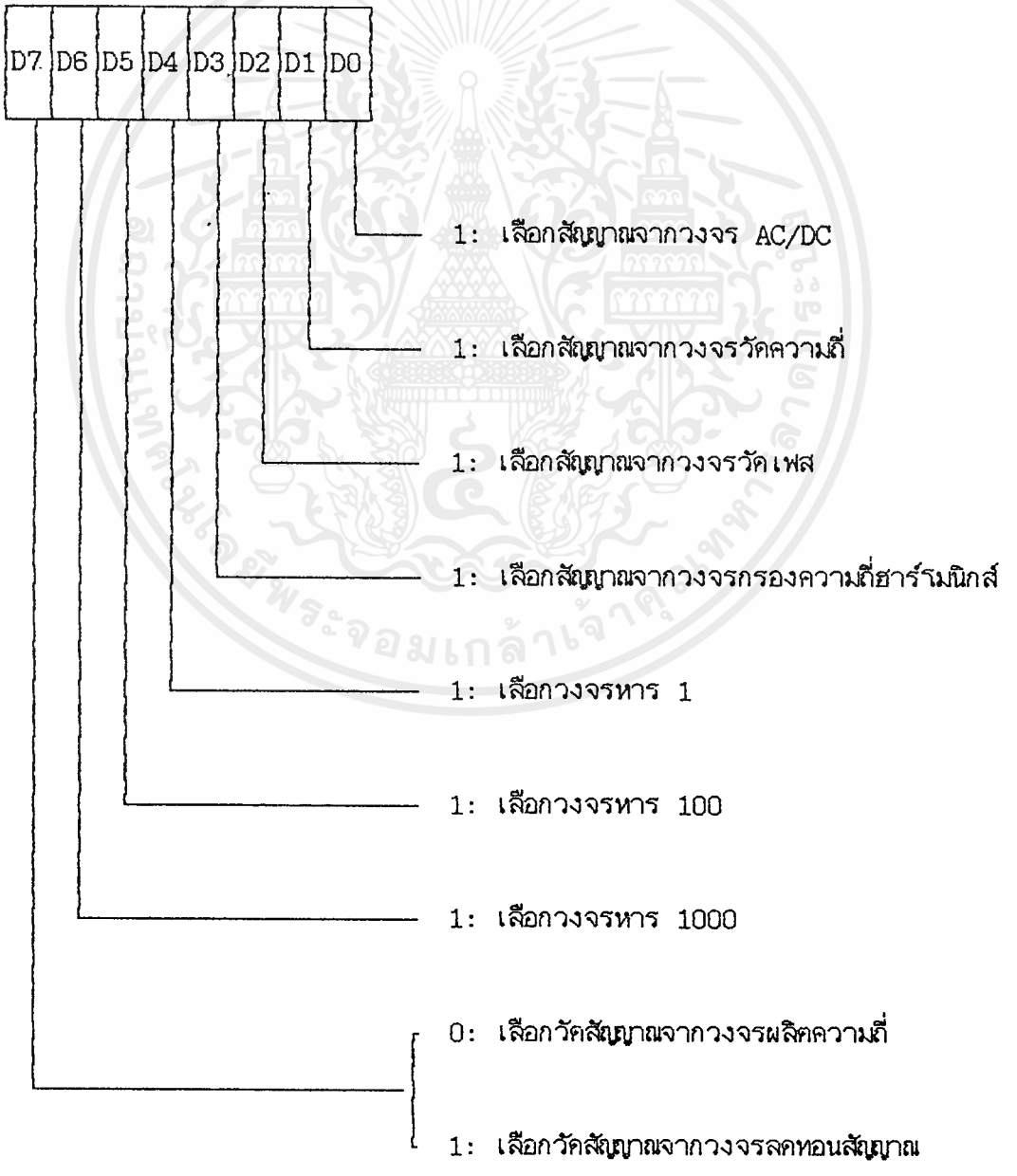
<u>การถอดรหัสและควบคุม</u> ภาคนี้ทำหน้าที่รับคำสั่งจากคอมพิวเตอร์เมื่อมาควบคุมพวกสวิทช์เลือกที่ภาคต่าง ๆ เช่น วงจรเลือกสัญญาณอินพุท (CD4066) วงจรผลิตความถี่ (Signal Gen.) วงจรลดทอนสัญญาณ (Attenuator) วงจรวัดความถี่และวงจร AC/DC



รูปที่ 3-13 วงจรถอดรหัสและควบคุม

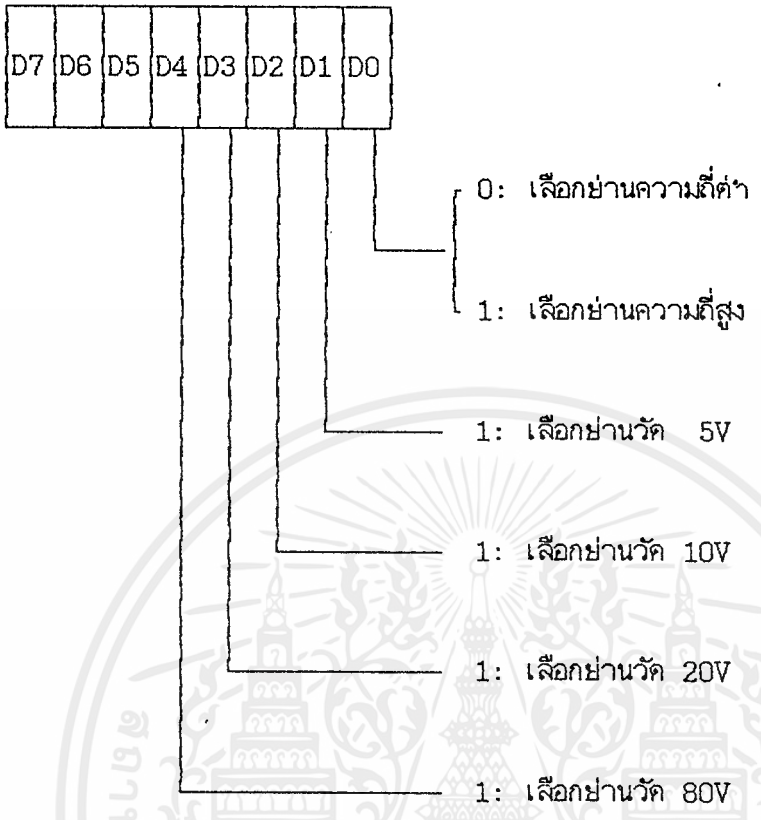
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากวงจรรูปที่ 3-13 วงจรชุดนี้รับรหัสคำสั่งมาจากคอมพิวเตอร์โดยผ่านทางพอร์ต B ของไอซี 8255 ตัวแรก มีตำแหน่งพอร์ตที่ 301H และต่อกับพอร์ต A ของ 8255 ตัวที่ 3 มีตำแหน่งพอร์ตที่ 308H รหัสข้อมูล D0-D3 ของตำแหน่งพอร์ต 301H ควบคุมสวิทช์เลือก (CD4066) และควบคุมการทำงานของ ADC0804 รหัสข้อมูลจาก D4-D6 ของตำแหน่งพอร์ต 301H ควบคุมการทำงานของวงจรวัดความถี่ และ D7 ตำแหน่งพอร์ต 301H ควบคุมการทำงานของวง AC/DC ที่ตำแหน่งพอร์ต 308H รหัสข้อมูลจาก D0 ควบคุมการทำงานของวงจรผลิตความถี่ D1-D4 ควบคุมวงจรลดทอนสัญญาณ D5-D7 ไม่ใช้งาน รายละเอียดแสดงในรูปที่ 3-14



a) รูปแบบของรหัสคำสั่งที่ตำแหน่งพอร์ต 301H

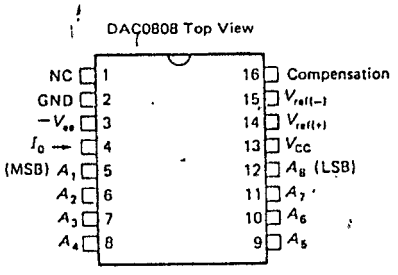
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



b) รูปแบบรหัสคำสั่งของตำแหน่งพอร์ต 308H

รูปที่ 3-14 แสดงรูปแบบรหัสคำสั่งของตำแหน่งพอร์ต 301H และ 308H

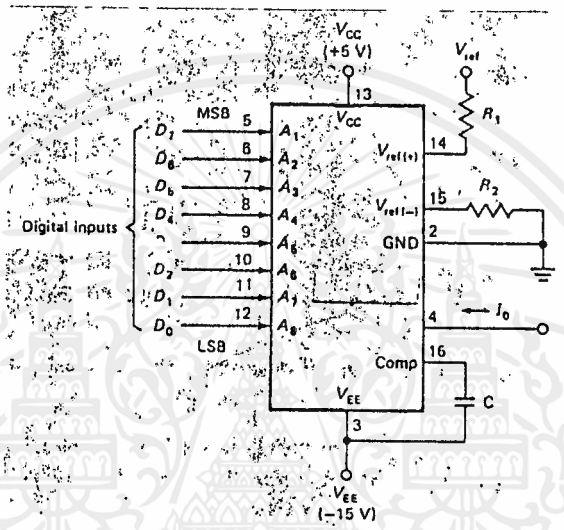
D/A Converter ไอซี MC 1408 เป็น D/A Converter มีขนาด 8 บิต วงจรภายในเป็น Converter ชนิด R-2R Ladder มีช่วง Setting time ประมาณ 300 nS แสดงตัวถังและขาของ MC 1408 ดังรูปที่ 3-15



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเอกสารนี้ทุกครั้งที่มีการนำไปใช้

รูปที่ 3-15 แสดงตัวถังของ MC 1408 D/A Converter

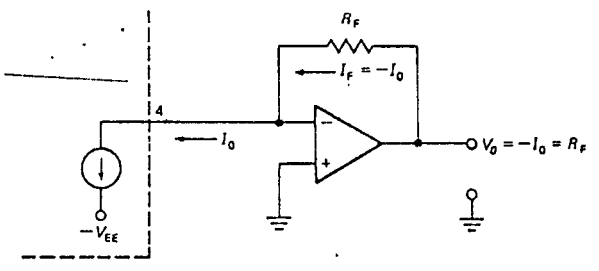
MC 1408 รับสัญญาณดิจิตอลหรือข้อมูลจากคอมพิวเตอร์เข้ามาทางขา 5-12 (D0-D7) แปลงเป็นสัญญาณอานาลอกซึ่งอยู่ในรูปของกระแส (Io) ออกทางขา 4 ในการแปลงเป็นกระแสเอาท์พุทต้องอาศัยแรงดันอ้างอิงที่ขา 14 ซึ่งแสดงในรูป 3-16 กระแสเอาท์พุทหาได้ดังสมการที่ 3-1



รูปที่ 3-16 วงจรแปลงจาก Data เป็นกระแส

$$Io = - \frac{Vref}{R_1} (D7/2+D6/4+D5/8+....+D0/256) \quad (3\text{-}1)$$

แต่ในการใช้งานจริง เราต้องการเปลี่ยนจากข้อมูลให้เป็นแรงดันดีซีออกทาง เอาท์พุท สามารถทำได้โดยใช้ออปแอมป์เปลี่ยนจากกระแสให้เป็นแรงดัน แสดงในรูปที่ 3-17



รูปที่ 3-17 วงจรแปลงจากกระแสเป็นแรงดัน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

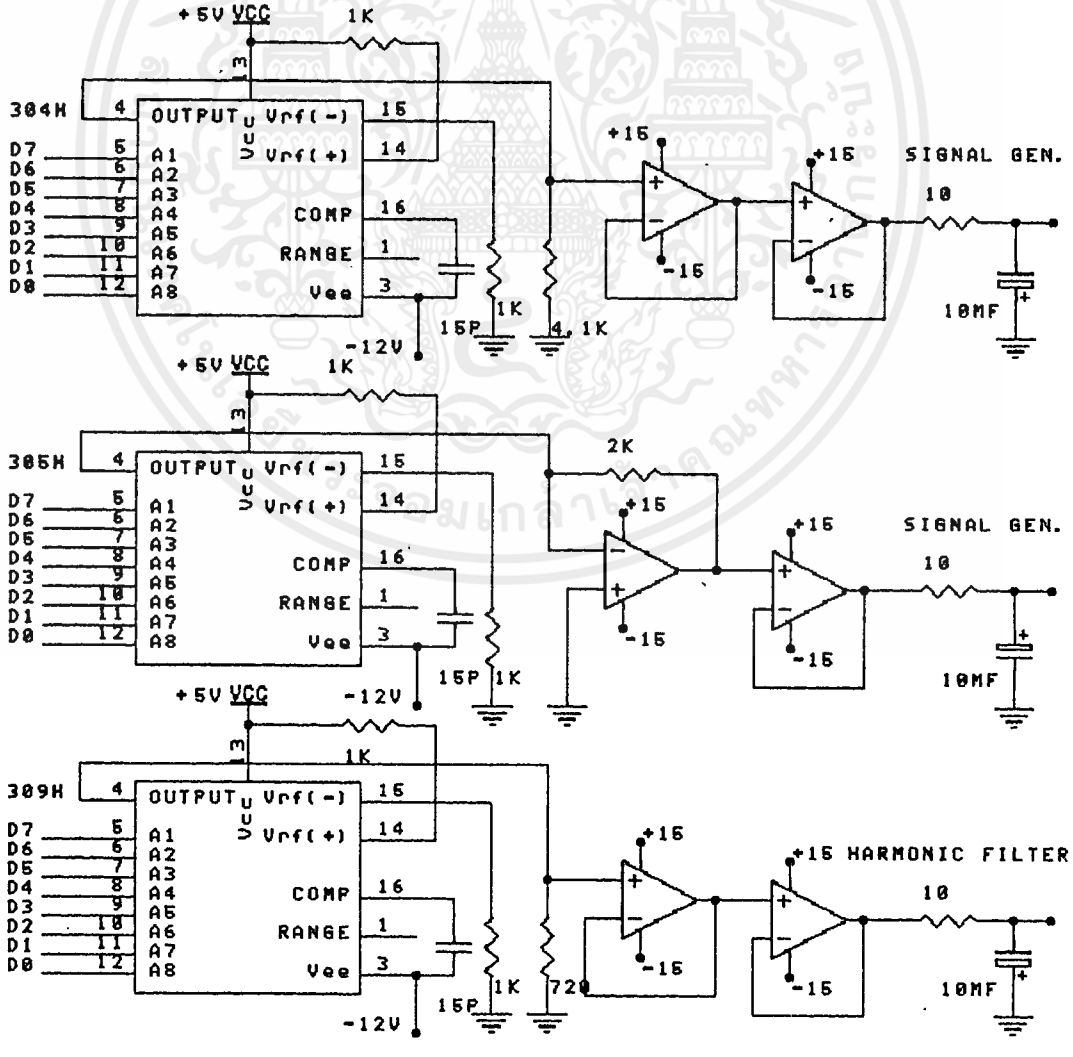
ในรูปที่ 3-17 ออปแอมป์เป็นวงจรแบบอินเวอร์ติ้ง ดังนั้น จึงได้สมการของแรงที่เอาท์พุทคือ

$$Vo = - Io\ Rf \qquad (3\text{-}2)$$

นำสมการ (3-11) แทนลงในสมการที่ (3-2) จะได้

$$Vo = \frac{Vref\ Rf}{R_1} (D7/2+D6/4+D5/8+...+Do/256 \qquad (3\text{-}3)$$

วงจรใช้งานจริงของ D/A Converter แสดงดังรูปที่ 3-18



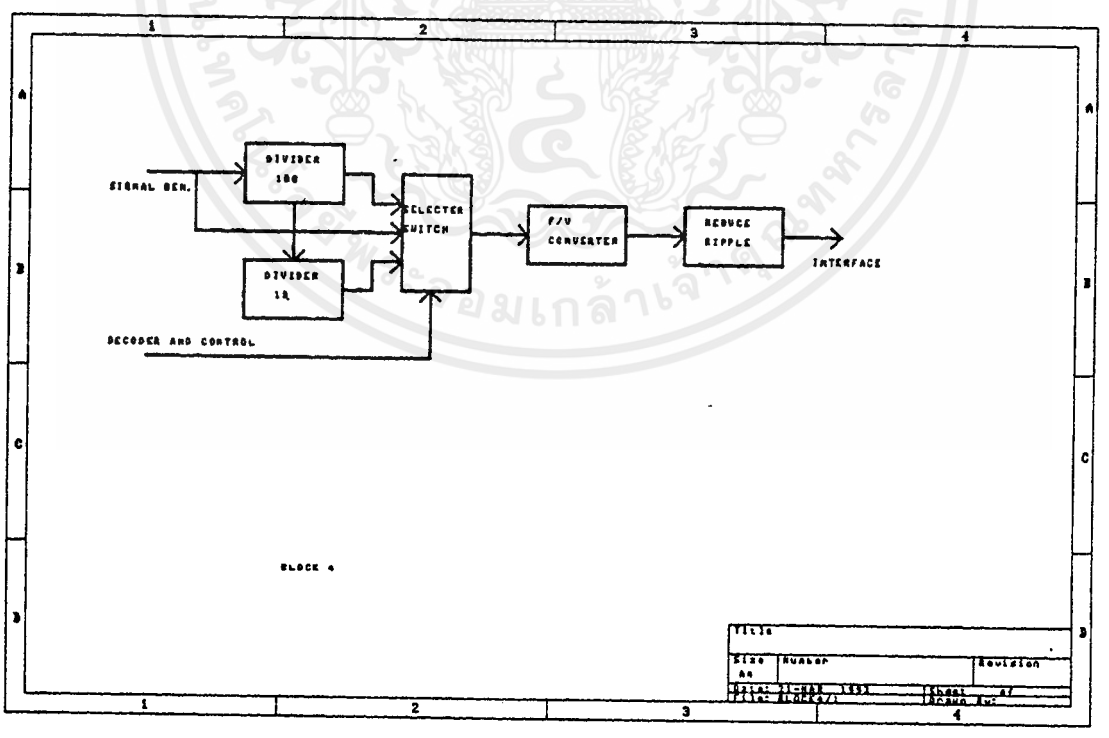
รูปที่ 3-18 วงจรใช้งานของภาค D/A Converter

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากรูปที่ 3-18 ประกอบด้วย MC 1408 3 ตัว และออปแอมป์ 4558 6 ตัว D/A ตัวแรกรับข้อมูลมากจากพอร์ต A ของไอซี 8255 ตัวที่ 2 มีตำแหน่งพอร์ต 304H แรงดันเอาท์พุทของวงจรชุดนี้ไปควบคุมเกนของวงจรผลิตความถี่ ไอซี D/A ตัวที่ 2 รับข้อมูลจากพอร์ต B ของ 8255 ตัวที่ 2 ตำแหน่งพอร์ต 305H และเอาท์พุทของวงจรชุดนี้ไปควบคุมความถี่ของของวงจรผลิตความถี่ ไอซี D/A ตัวที่ 3 รับข้อมูลจากพอร์ต B ของ 8255 ตัวที่ 3 มีตำแหน่งพอร์ต 309H แรงดันเอาท์พุทของวงจรชุดนี้ควบคุมจุดคัดความถี่ของวงจรกรองความถี่อาร์โมนิกส์

<u>ภาควัดความถี่</u> (Freguency measurement)

ภาควัดความถี่ประกอบไปด้วยชุดวงจรหาร วงจรสวิทช์เลือก วงจรแปลงความถี่เป็นแรงดัน (F/V Converter) และวงจรกำจัด ripple แสดงเป็นบล็อกไดอะแกรมดังรูปที่ 3-19

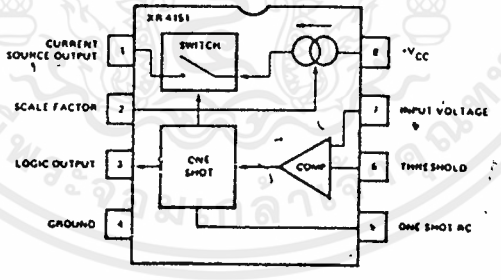


รูปที่ 3-19 แสดงบล็อกไดอะแกรมของภาควัดความถี่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากบล็อกไดอะแกรม วงจรหารทำหน้าที่หารความถี่ให้ลดลง เมื่อความถี่อินพุทเข้ามามีความถี่สูงขึ้น ดังนั้น ทำให้สามารถวัดความถี่ได้กว้างตั้งแต่ย่านความถี่ต่ำ ๆ จนถึงย่านความถี่สูง ซึ่งสวิทช์เลือก เป็นตัวเลือกชุดวงจรหารว่าต้องการความถี่ลงเท่าไร โดยชุดสวิทช์เลือกถูกควบคุมด้วยคอมพิวเตอร์ ข้อมูลถูกส่งผ่านมาทางตำแหน่งพอร์ต 301H และวงจรถอดรหัสคำสั่งจะส่งสัญญาณควบคุมมาที่ชุดสวิทช์เลือก วงจร F/V Converter เป็นตัวแปลงความถี่สัญญาณอินพุทที่เข้ามาให้เป็นแรงดันดีซี แต่แรงดันดีซีที่ได้นี้อาจจะมี ripple ซึ่งทำให้เกิดปัญหาในการแปลงแรงดันดีซีให้เป็นสัญญาณดิจิตอลในวงจร A/D Converter ดังนั้นแรงดันที่ได้จากวงจร F/V Converter จึงผ่านวงจรกำจัด ripple ก่อนที่จะส่งไปที่วงจร A/D Converter

F/V Converter XR-4151 เป็นไอซีทำหน้าที่ในการแปลงความถี่เป็นแรงดันดีซี จึงมีความเหมาะสมในการใช้งานร่วมกับ A/D Converter



รูปที่ 3-20 แสดงตำแหน่งขาและโครงสร้างภายใน XR-4151

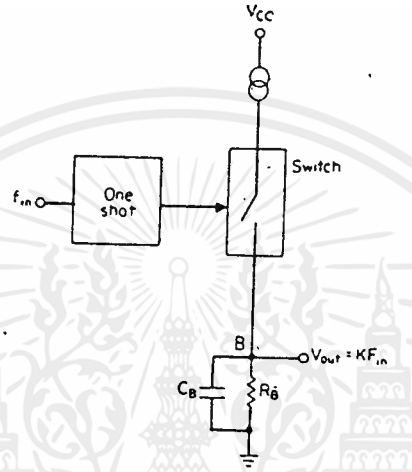
สัญญาณอินพุทที่ป้อนให้กับตัว F/V จะต้องเป็นสัญญาณสี่เหลี่ยมมีขนาด 5Vp-p แรงดันเอาท์พุทที่ได้จะเป็นปฏิภาคโดยตรงกับภาคความถี่อินพุทดังสมการ

$$Vout = K\ fin \qquad (3\text{-}4)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เมื่อ K คือเกนของการ Conversion มีหน่วยเป็น Volt/hertz

$$K = 2.058\ R_B R_O C_O / R_S\ V/Hz \qquad (3\text{-}5)$$

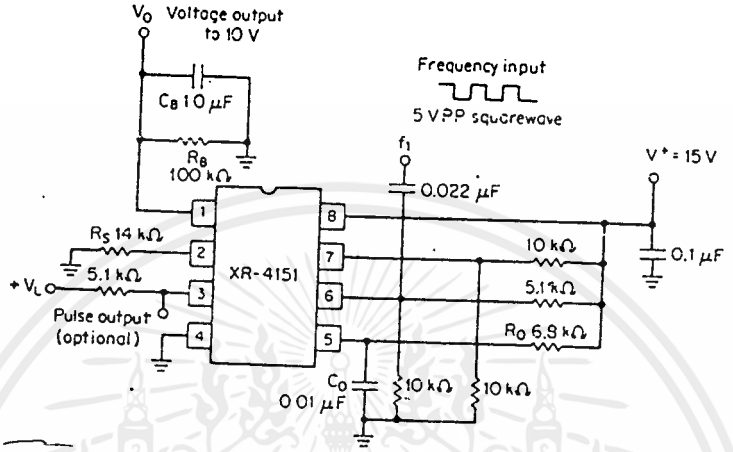


รูปที่ 3-21 บล็อกไดอะแกรมการทำงานของ F/V Converter

วงจร Oneshot จะทำงานในช่วงขอบขาขึ้นของสัญญาณอินพุท ซึ่งจะให้สัญญาณทริกออกมาทางเอาท์พุท สวิทช์จะปิดเป็นช่วงระยะเวลาสั้น ๆ ตามสัญญาณทริก กระแสจากแหล่งจ่าย (source) ไหลผ่านสวิทช์เข้าสู่ชุดวงจร R_BC_B C_B จะทำการเก็บประจุแรงดันที่จุด B (V_{out}) เพิ่มขึ้นเรื่อยตามการเก็บประจุของ C_B เมื่อสวิทช์เปิด C_B จะทำการคายประจุผ่าน R_B ขอบขาขึ้นของสัญญาณสี่เหลี่ยมลูกใหม่เข้ามา Oneshot ส่งสัญญาณทริกให้กับสวิทช์อีกครั้ง กระแสจากแหล่งจ่ายไหลผ่านสวิทช์เข้าสู่วงจรชุด R_BC_B C_B ก็จะทำการเก็บประจุอีกครั้ง การทำงานในลักษณะนี้จะเกิดขึ้นอย่างต่อเนื่องไปเรื่อย ๆ และจะได้แรงดันเอาท์พุทออกมาค่า ๆ หนึ่ง

ถ้าเราทำการเพิ่มความถี่ของสัญญาณอินพุท Oneshot จะให้สัญญาณทริกออกมาถี่ขึ้น สวิทช์ตัดต่อถี่ขึ้น กระแสจากแหล่งจ่ายไหลอย่างต่อเนื่องมากขึ้น C_B ก็จะเก็บประจุได้มากขึ้น ทำให้แรงดันที่เอาท์พุทเพิ่มขึ้น นั่นคือ แรงดันเอาท์พุทเป็นปฏิภาคโดยตรงกับความถี่อินพุท

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3-22 วงจรอย่างง่ายของ F/V Converter

จากรูปที่ 3-22 Rs เป็นตัวปรับ Full scale ของแรงดันเอาท์พุท โดยทั่วไปมีค่าประมาณ 14K RoCo เป็นชุด Time constant ให้กับ Oneshot สามารถหาได้จากสมการ

$$T = 1.1\ RoCo \qquad (3\text{-}6)$$

และ

$$T = 0.75\ [1/fo] \qquad (3\text{-}7)$$

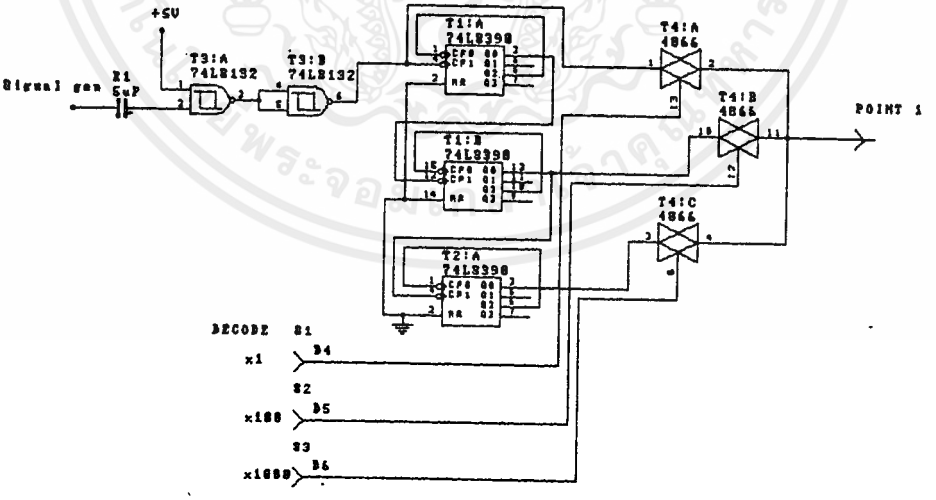
เมื่อ fo คือ ตัวกำหนดความถี่ full-scale

C_B และ R_B เป็นตัวที่ช่วยให้ ripple ของแรงดันเอาท์พุทลดลงโดย $C_B = 10^{-2}\ (1/fo)$ ถ้าเราเพิ่มค่า C_B มาก ๆ แรงดันเอาท์พุทจะเรียบมากแต่เกิดการหน่วงเวลาเมื่อความถี่อินพุทเปลี่ยนแปลงแรงดันเอาท์พุทเปลี่ยนแปลงตามไม่ทัน ถ้าให้ C_B มีค่าต่ำ ๆ แรงดันเอาท์พุทเปลี่ยนแปลงได้เร็วแต่ ripple ที่เอาท์พุทสูงขึ้น ดังนั้น จะต้องเลือกค่า C_B ให้เหมาะสม

R_B หาได้จาก $R_B = V_{IO}/100\mu A$ เมื่อ V_{IO} คือ แรงดันอินพุท full-scale

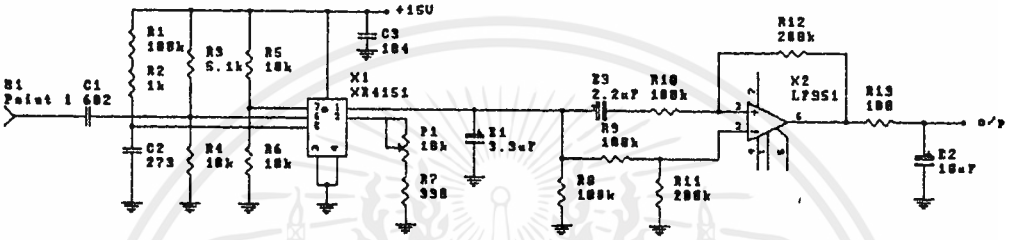
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากรูปที่ 3-23 เป็นวงจราใช้งานจริงของภาควัดความถี่ ซึ่งสามารถวัดความถี่ในย่าน 1 H_Z - 250 KH_Z สัญญาณอินพุทเป็นสัญญาณสี่เหลี่ยมมีขนาด 5 V_{p-p} วงจรชุดหารความถี่ประกอบด้วยไอซี 74LS390 2 ตัว ภายในไอซีแต่ละตัวประกอบด้วยวงจรนับ 10 จำนวน 2 ชุด และสามารถนำมาประยุกต์เป็นวงจรหาร 10 ได้ ในการหารสัญญาณจะมีไอซี CD4066 ซึ่งเป็นอิเล็กทรอนิกส์สวิทช์ ทำการเลือกว่าต้องการหารสัญญาณลงเท่าไร เมื่อคอมพิวเตอร์ส่งข้อมูลมาทางตำแหน่งพอร์ต 301H โดยที่ข้อมูลบิตที่ 4 (D4) เป็นลอจิก "1" D5 และ D6 เป็น "0" (ดูในรูปที่ 3-14a ประกอบ) ขาที่ 1 และ 2 ของ CD4066 ต่อถึงกัน สัญญาณอินพุทสามารถผ่านเข้าไปที่ไอซี XR-4151 (F/V Converter) ได้โดยตรงโดยที่ไม่ผ่านการหารความถี่ลง เมื่อให้ D5 มีลอจิกเป็น "1" ขา 10 และ 11 ของ CD4066 ต่อถึงกัน สัญญาณอินพุทจะถูกหารความถี่ลง 100 เท่า ถ้าให้ D6 มีลอจิกเป็น "1" ขา 3 และ 4 ของ CD4066 ต่อถึงกัน สัญญาณอินพุทถูกหารความถี่ลง 1000 เท่า ชุดวงจร F/V Converter มีค่า K = 20 x 10^{-3} นั่นคือ แรงดันเอาท์พุทมีค่าเท่ากับ 5V เมื่อความถี่อินพุทเท่ากับ



รูปที่ 3-23 (a) วงจรวัดความถี่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

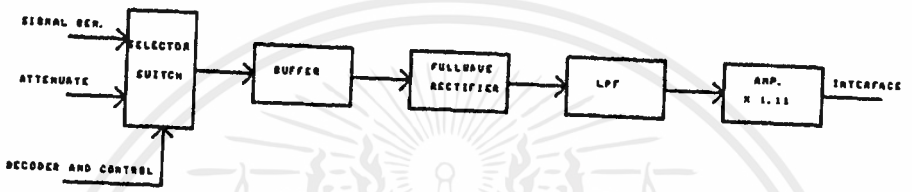


รูปที่ 3-23 (b) วงจรวัดความถี่

250 H_z วงจร F/V Converter ชุดนี้สามารถวัดความถี่ได้สูงสุด 250 H_z เมื่อนำชุด F/V Converter ต่อร่วมกับชุดวงจรหาร สามารถวัดความถี่ได้สูงสุด 250 KH_z โดยแบ่งออกเป็น 3 ย่านวัดคือ 1-250 H_z 250 H_z - 25 KH_z และ 25 KH_z - 250 KH_z แรงดันเอาท์พุทของชุด F/V อาจจะมี ripple และกำจัดได้โดยใช้วงจรขยายความแตกต่าง เอาท์พุทที่ได้จึงเป็นแรงดันดีซีที่ปราศจาก ripple เอาท์พุทของวงจรวัดความถี่จะนำไปต่อเข้ากับภาคอินเตอร์เฟสและควบคุม

<u>ภาคแอมปลิจูดดีเทคเตอร์</u> (Amplitude detector) หรืออาจจะเรียกว่า ภาค AC/DC Converter ภาคนี้ทำหน้าที่แปลงสัญญาณเอซีให้เป็นค่าแรงดันดีซี โดยแรงดันที่ได้จะเป็นค่า r.m.s. แสดงเป็นบล็อกไดอะแกรม ดังรูปที่ 3-24

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3-24 แสดงบล็อกไดอะแกรมภาคแอมปลิจูดดีเทคเตอร์

จากรูปประกอบด้วยชุดสวิทช์เลือก ซึ่งเป็นตัวเลือกว่าต้องการวัดขนาดของสัญญาณจากภาคผลิตความถี่หรือจากภาคลดทอนสัญญาณ โดยสวิทช์เลือกถูกควบคุมโดยคอมพิวเตอร์ ชุดบัฟเฟอร์ ชุด fullwave rectifier เป็นตัวเปลี่ยนสัญญาณเอซีเป็นแรงดันดีซี ชุด LPF (low pass filter) ทำหน้าที่กรองให้แรงดันดีซีมีค่า ripple น้อยลง และชุด Amplifier x1.11 เป็นชุดขยายแรงดัน 1.11 เท่า เมื่อให้แรงดันดีซีเอาท์พุทมีค่าเป็นระดับ r.m.s.

เมื่อนำสัญญาณเอซีมาทำการเรกติไฟเออร์และผ่านชุดกรองความถี่ต่ำ ค่าแรงดันที่เอาท์พุทจะเป็นค่าแรงดันเฉลี่ยสามารถหาได้จากสมการ

$$V_{avg} = \frac{1}{T} \int_{0}^{T} V(t)\, dt \qquad (3-8)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

V(t) คือ สัญญาณเอซี และ T คือ คาบเวลา ในกรณีสัญญาณ Sinusoidal V(t) = Vm SIN (2πft) เมื่อ Vm คือ ยอดคลื่น และ f = 1/T ดังนั้น เมื่ออินทิเกรทสมการ (3-8) จะได้

$$V_{avg} = 2\ Vm = 0.637\ Vm \qquad (3\text{-}9)$$

แต่ในการนำไปใช้งานเราต้องการค่าแรงดันดีซีที่เป็น r.m.s. (root-mean-square) สามารถหาได้จากสมการ

$$V_{rms} = \left[\frac{1}{T}\int_0^T V(t)^2\,dt\right]^{1/2} \qquad (3\text{-}10)$$

แทนค่า V(t) = Vm Sin (2πft) ลงใน (3-10) และอินทิเกรทจะได้

$$V_{rms} = \frac{1}{\sqrt{2}}\ Vm = 0.707\ Vm \qquad (3\text{-}11)$$

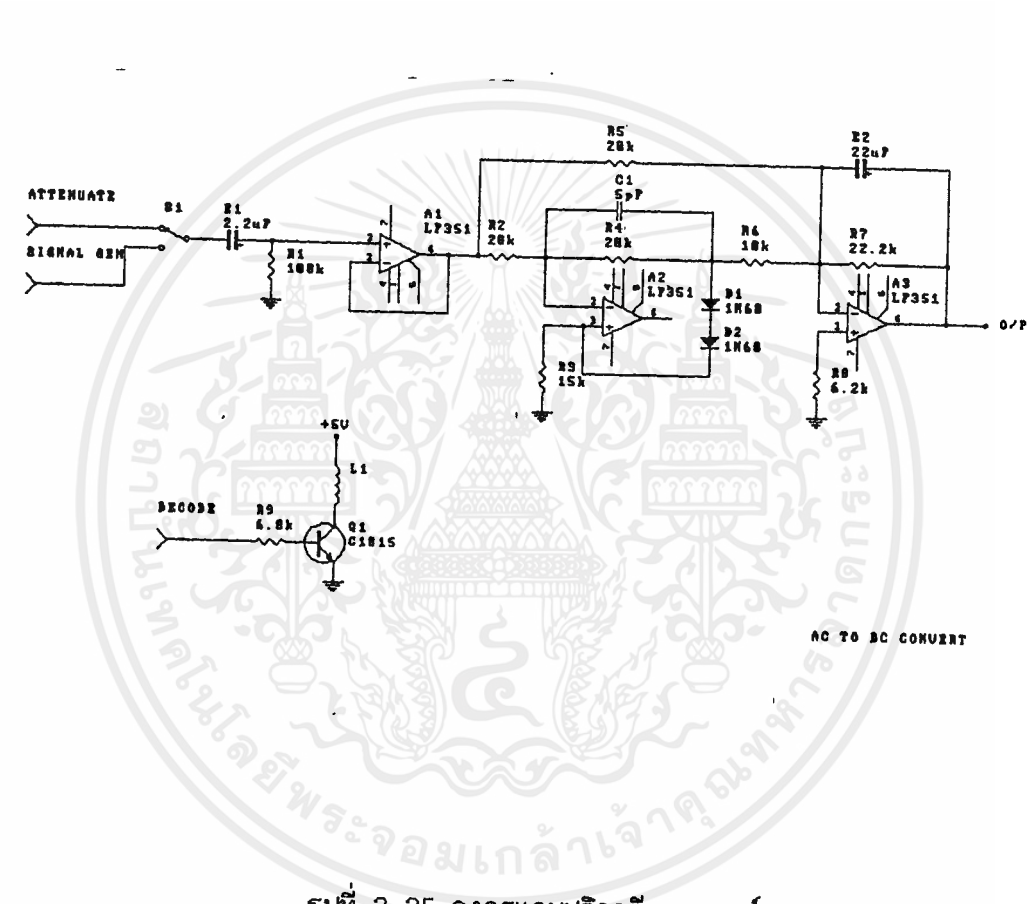
ถ้านำสมการ (3-11) หารด้วยสมการ (3-9) จะได้

$$A = \frac{Vrms}{Vavg}$$

$$A = \frac{0.707\ Vm}{0.637\ Vm} = 1.11 \qquad (3\text{-}12)$$

ในสมการที่ (3-12) หมายถึง เกนการขยายของ Amplifier เป็น 1.11 เท่า นั่นคือ เราสามารถแปลงแรงดันเฉลี่ยที่เอาท์พุทของวงจรกรองความถี่ค่าให้เป็นแรงดัน r.m.s. ได้ตามต้องการ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



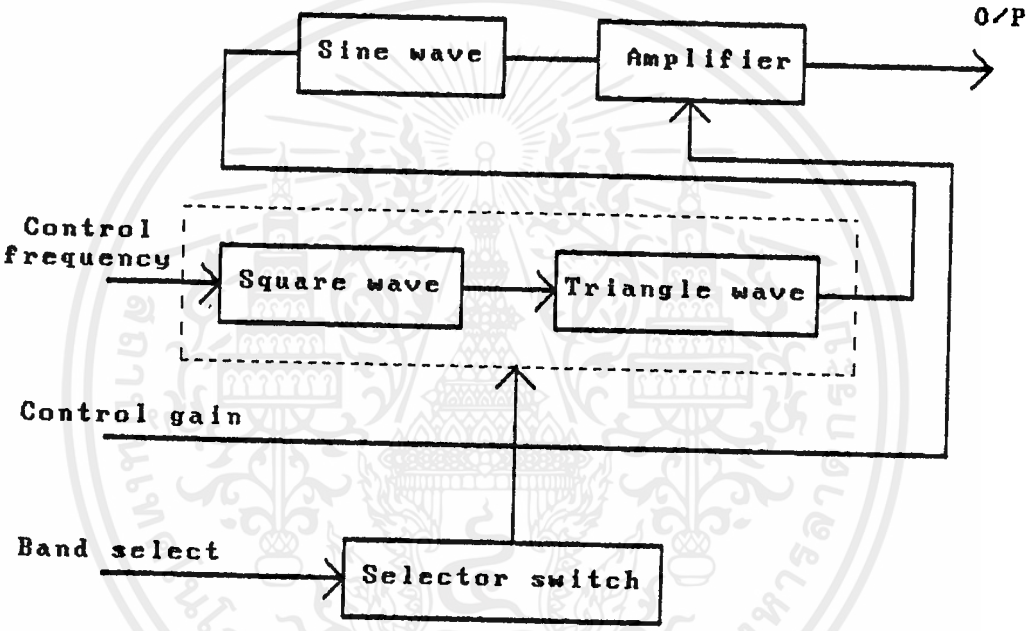
รูปที่ 3-25 วงจรแอมปลิจูดดีเทคเตอร์

รูปที่ 3-25 วงจรชุดสวิทช์เลือกาใช้รีเลย์เป็นตัวเลือกสัญญาณ เมื่อคอมพิวเตอร์ส่งข้อมูลมาทางตำแหน่งพอร์ต 301H (ดูรูปที่ 3-14 a ประกอบ) ถ้าบิต D7 มีลอจิกเป็น "0" ทรานซิสเตอร์ Q1 ไม่ทำงานรีเลย์ก็ไม่ทำงาน สัญญาณจากภาคผลิตความถี่สามารถผ่านมาได้ เป็นการวัดขนาดของสัญญาณจากภาคผลิตความถี่ เมื่อบิต D7 มีลอจิกเป็น "1" ก็เป็นการวัดขนาดสัญญาณจากภาคลดทอนสัญญาณไอซีตัวที่ 1 ทำหน้าที่บัฟเฟอร์ ไอซีตัวที่ 2 และ 3 ทำหน้าที่ร่วมกันเป็นวงจร fullwave rectifier โดยไอซีตัวที่ 3 ทำหน้าที่เป็น Amplifier ที่มีเกน 1.11 เท่าไปด้วยในตัว C 22μF และ R 22.2 K ทำหน้าที่กรองความถี่ต่ำ (LPF) ด้วยเอาท์พุทของวงจรนี้นำไปต่อกับภาคอินเตอร์เฟสและควบคุม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผลิตความถี่ (Signal generator)

ภาคนี้ผลิตสัญญาณขึ้น 2 ชนิด คือ สัญญาณซายน์และสัญญาณสี่เหลี่ยม โดยสัญญาณซายน์สร้างขึ้นเพื่อป้อนให้กับชุดวงจรต่าง ๆ ที่ต้องการทดสอบและสัญญาณสี่เหลี่ยมสร้างขึ้นเพื่อป้อนให้กับวงจรวัดความถี่



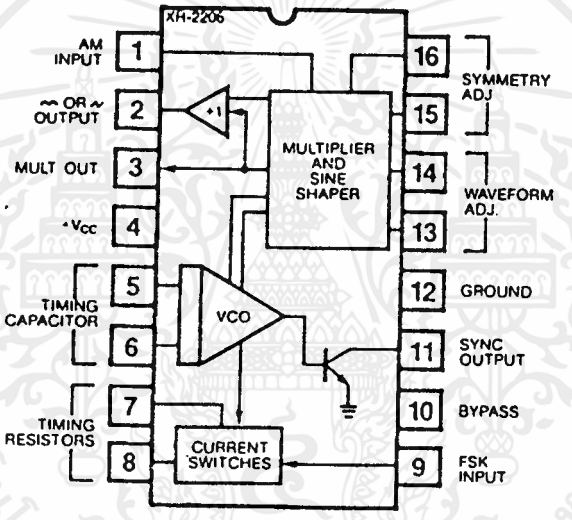
รูปที่ 3-26 แสดงบล็อกไดอะแกรมของภาคผลิตความถี่

ในรูปที่ 3-26 ประกอบด้วยชุดสร้างสัญญาณสามเหลี่ยมและสี่เหลี่ยม ซึ่งสัญญาณทั้งสองนี้มีความสัมพันธ์กัน ความถี่ของวงจรชุดนี้ถูกควบคุมด้วยคอมพิวเตอร์ สัญญาณสามเหลี่ยมถูกนำไปแปลงเป็นสัญญาณซายน์ โดยผ่านวงจร nonlinear สัญญาณซายน์ที่ได้นำไปขยายให้มีขนาดแรงขึ้นด้วยภาคขยายสัญญาณ เกนการขยายของภาคขยายสัญญาณถูกควบคุมด้วยคอมพิวเตอร์ สัญญาณสี่เหลี่ยมมีขนาด $5V_{p-p}$ ตลอดย่านความถี่ที่ผลิต

XR-2206 เป็นไอซีโมโนลิธิคฟังก์ชั่นเจเนอเรเตอร์ที่สามารถผลิตความถี่สัญญาณซายน์ สัญญาณสามเหลี่ยม สัญญาณแรมป์และสัญญาณสามเหลี่ยม มีย่านความถี่ตั้งแต่ 0.01 Hz ถึง 1 MHz บล็อกไดอะแกรมภายในของ XR-2206 แสดงในรูปที่ 3-27 การทำงานของ XR-2206

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารนี้ทุกครั้งที่มีการนำไปใช้

เริ่มต้นที่ไอซีจะตรวจสอบสถานะที่ขา 9 ว่าเป็น "1" หรือ "0" ถ้ามีสถานะเป็น "1" ชุดสวิทช์กระแส (current switch) จะทำให้ความต้านทานที่ขา 7 มีผลต่อวงจร VCO ถ้าที่ขา 9 มีสถานะเป็น "0" ค่าความต้านทานที่ขา 8 จะมีผลต่อวงจร VCO ค่าความต้านทานที่ขา 7 หรือขา 8 นี้ทำงานร่วมกับตัวเก็บประจุที่ต่อระหว่างขา 5 และ ขา 6



รูปที่ 3-27 แสดงบล็อกไดอะแกรมภายในของ XR-2206

เพื่อควบคุมให้ VCO ผลิตความถี่ออกมา ความถี่นี้หาได้จากสมการ

$$f = \frac{(V_o - V_c)}{V_o \; R \; C} \qquad (3\text{-}13)$$

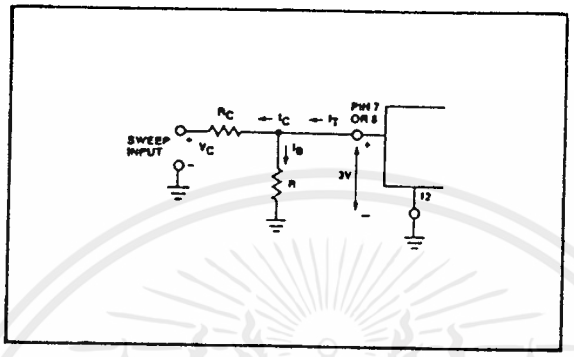
โดย R คือ ตัวเก็บประจุที่ต่อระหว่างขา 5 และ ขา 6

C คือ ความต้านทานที่ต่อที่ขา 7 หรือ ขา 8

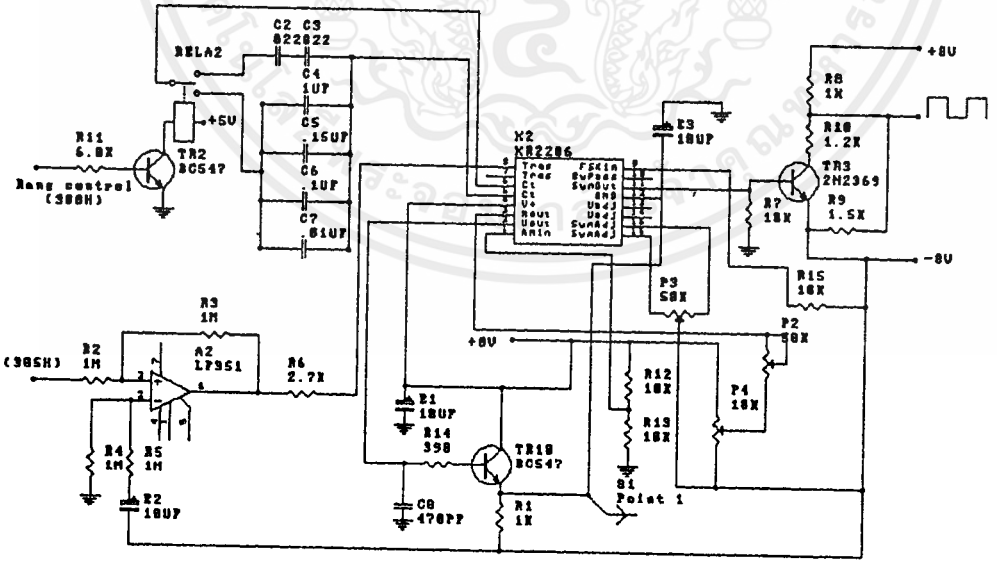
Vo คือ แรงดันที่ขา 7 หรือ ขา 8

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Vo จะมีค่าคงที่เพื่อเป็นแรงดันอ้างอิง แรงดันตกคร่อม RC ทำให้เกิดกระแส IC ไหล ซึ่งเป็นตัวควบคุมให้ VCO ผลิตความถี่ออกมาได้ VCO จะผลิตความถี่แปรผันได้ตรงกับ IC

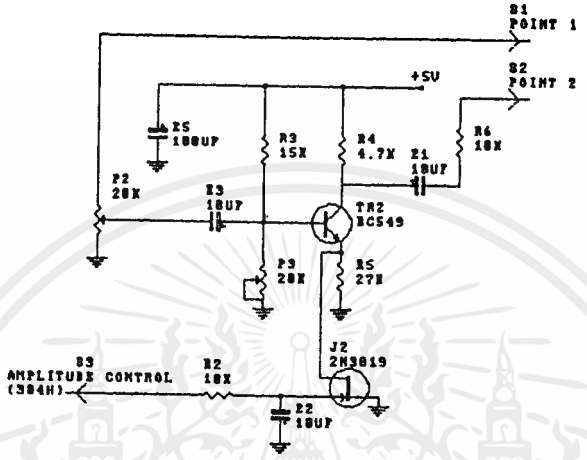


รูปที่ 3-28 การผลิตความถี่จากแรงดัน

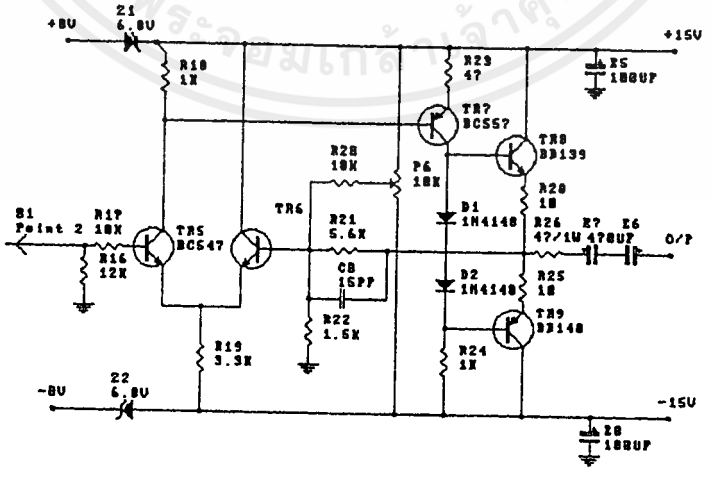


รูปที่ 3-29 (a) วงจรผลิตความถี่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

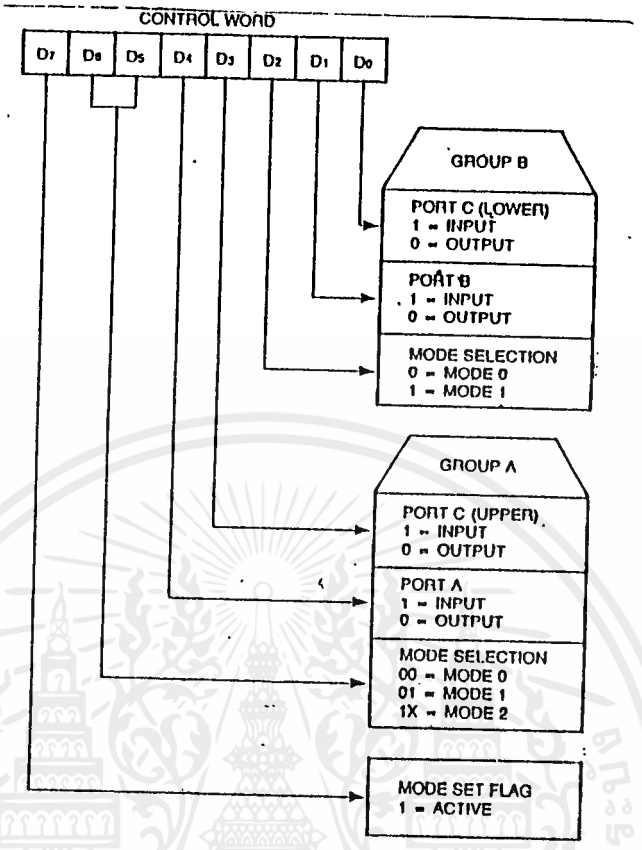


รูปที่ 3-29 (b) วงจรผลิตความถี่



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 3-29 (c) วงจรผลิตความถี่



รูปที่ 2-24 แสดงรายละเอียดแต่ละบิตของรีจิสเตอร์ควบคุมของ 8255

บิต D7 เป็นตัวกำหนดว่าเป็นคำสั่งควบคุม (Control word)

บิต D6 และ D5 กำหนดโหมดการทำงานของพอร์ต A และพอร์ต C ในช่วง 4 บิตบน จากตัวอย่าง D5, D6 เป็น "00" แสดงว่ากำหนดให้อยู่ในโหมด 0

บิต D4 เป็น "0" กำหนดให้พอร์ต A เป็นพอร์ตเอาท์พุท

บิต D3 เป็น "0" กำหนดให้พอร์ต C 4 บิตบนเป็นพอร์ตเอาท์พุท

บิต D2 เป็น "0" กำหนดให้พอร์ต B และพอร์ต C ในช่วง 4 บิตล่างอยู่ในโหมด 0

บิต D1 เป็น "0" กำหนดให้พอร์ต B เป็นพอร์ตเอาท์พุท

บิต D0 เป็น "0" กำหนดให้พอร์ต C ในช่วง 4 บิตล่างเป็นพอร์ตเอาท์พุท

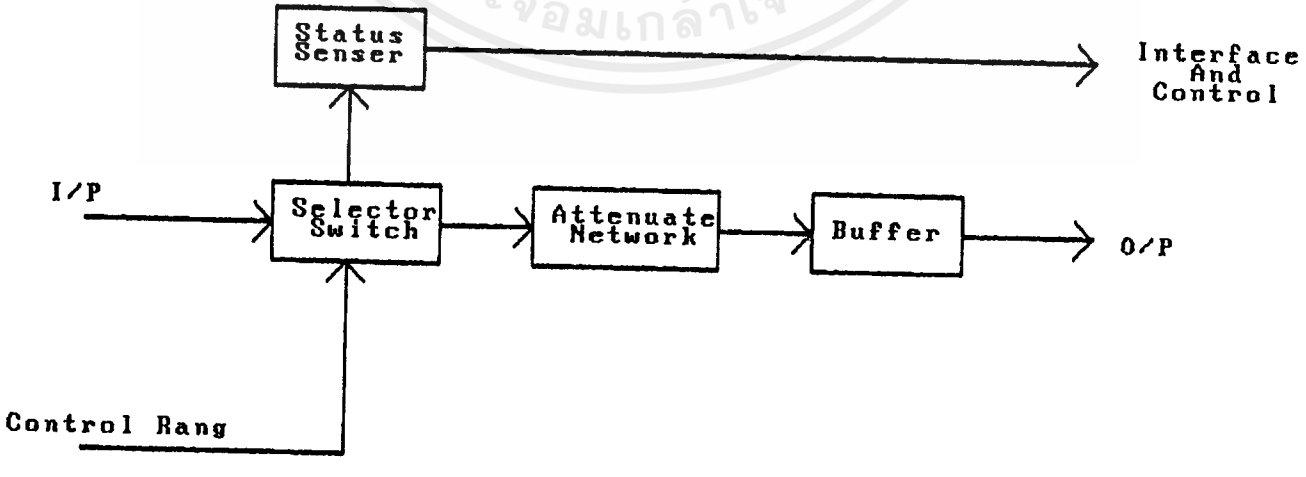
จากตัวอย่างข้างบนเป็นการกำหนดให้พอร์ตทั้งสามของ 8255 ทำงานอยู่ในโหมด 0 และเป็นพอร์ตเอาท์พุทซึ่งจะได้สายสัญญาณที่สามารถติดต่อกับอุปกรณ์ภายนอกได้ถึง 24 สาย ในการทำงานโหมด 0 ของ 8255 อาจจะสั่งให้พอร์ตของ 8255 เป็นอินพุทและเอาท์พุทพร้อมกันก็ได้ เช่น ให้พอร์ต A และพอร์ต C เป็นพอร์ตเอาท์พุทและพอร์ต B เป็นพอร์ตอินพุท สามารถส่งคำสั่งควบคุมให้แก่รีจิสเตอร์ควบคุมในลักษณะดังนี้

เอกสารนี้เป็น ... ไม่ว่ากรณีใดๆ ... ครั้งที่มีการนำไปใช้

วงจรผลิตความถี่ถูกควบคุมด้วยคอมพิวเตอร์ 3 ส่วนด้วยกัน คือ ย่านความถี่ จากรูปที่ 3-29 จะเห็นได้ว่า ชุดของตัวเก็บประจุที่ต่อระหว่างขา 5 กับ ขา 6 มีอยู่ 2 ชุด โดยมีรีเลย์เป็นตัวเลือก ดังนั้น XR-2206 จะผลิตความถี่ 2 ย่าน คือ ย่านความถี่ต่ำ 1 H_Z - 769 H_Z และย่านความถี่สูง 769 H_Z - 208 KH_Z เมื่อคอมพิวเตอร์ส่งข้อมูลผ่านทางตำแหน่งพอร์ต 308 H (ดูรูปที่ 3-14 b ประกอบ) ถ้า D_0 เป็น "0" XR-2206 ผลิตความถี่ที่ย่านความถี่ต่ำ ถ้า D_0 เป็น "1" XR-2206 จะผลิตที่ย่านความถี่สูง ส่วนที่ 2 คือ ส่วนควบคุมความถี่ละเอียด คอมพิวเตอร์จะส่งข้อมูลมาทางตำแหน่งพอร์ต 305 H และให้ D/A Converter แปลงข้อมูลเป็นระดับแรงดันดีซีเพื่อมาควบคุมความถี่ ส่วนที่ 3 คือ การควบคุมขนาดของสัญญาณซายน์ คอมพิวเตอร์ส่งข้อมูลมาทางตำแหน่งพอร์ต 304 H และแปลงเป็นแรงดันดีซีโดย D/A Converter เพื่อควบคุมเกนการขยายของภาคขยายสัญญาณขนาดของสัญญาณที่เอาท์พุทของภาคผลิตความถี่อยู่ในช่วง 50 mV_{p-p} V_{p-p}

<u>ภาคลดทอนสัญญาณ</u> (Attenuator)

ภาคลดทอนสัญญาณเป็นชุดวงจรที่อยู่ในภาคแรกของระบบมีหน้าที่ในการลดทอนสัญญาณให้มีขนาดต่ำลงให้อยู่ในช่วงที่สามารถทำการวิเคราะห์ได้ เมื่อสัญญาณที่เข้ามีขนาดที่แรงมากเกินไป ดังนั้น ภาคลดทอนสัญญาณเป็นตัวที่ช่วยให้ย่านการทดสอบสัญญาณกว้างขึ้น

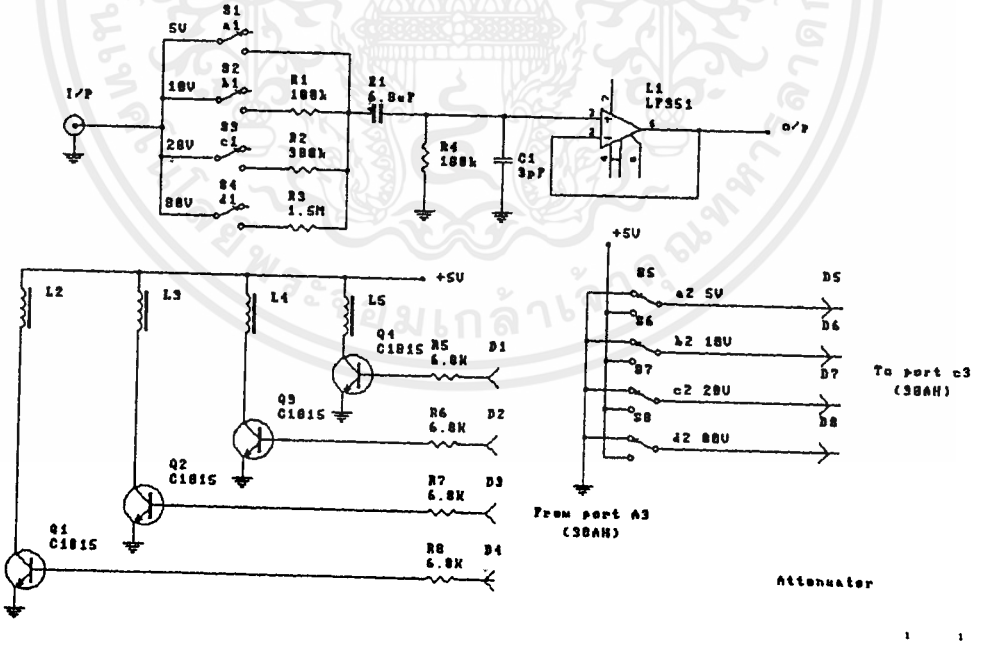


รูปที่ 3-30 แสดงบล็อกไดอะแกรมของภาคลดทอนสัญญาณ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งไม่อนุญาตให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บล็อกไดอะแกรมในรูปที่ 3-30 ประกอบด้วย ชุดสวิทช์เลือกซึ่งถูกควบคุมโดย คอมพิวเตอร์ ก่อนที่คอมพิวเตอร์จะส่งคำสั่งมาควบคุมการลดทอนสัญญาณ จะต้องมีการวัดขนาดของสัญญาณก่อนว่ามีขนาดเกินย่านการวัดหรือยัง โดยใช้ชุดวงจรแอมปลิจูดดีเทคเตอร์เป็นตัววัด ถ้าขนาดของสัญญาณเกินย่านการวัด คอมพิวเตอร์จะส่งคำสั่งควบคุมมาที่สวิทช์เลือกเพื่อทำการเลือกชุดวงจรลดทอนสัญญาณซึ่งประกอบไปด้วย resistor network ทำให้สัญญาณมีขนาดต่ำลงอยู่ในย่านการวัดที่สามารถวัดได้ นอกจากนี้ ภาคลดทอนสัญญาณจะต้องส่งสถานะของการลดทอนไปให้คอมพิวเตอร์ทราบด้วยว่า ลดทอนขนาดของสัญญาณลงเท่าไร เมื่อทำการคำนวณจะได้นำค่าการลดทอนบวกเข้าไปด้วยก็จะได้ค่าขนาดของสัญญาณที่ถูกต้อง

วงจรในรูปที่ 3-31 แบ่งย่านการวัดออกเป็น 4 ย่าน คือ 5 V_{rms} 10 V_{rms} 20 V_{rms} และ 80 V_{rms} ดังนั้น เราสามารถทดสอบเครื่องขยายเสียงที่มีกำลังสูงสุด 800 วัตต์ ที่โหลด 8 โอห์ม และ 1600 วัตต์ ที่โหลด 4 โอห์ม

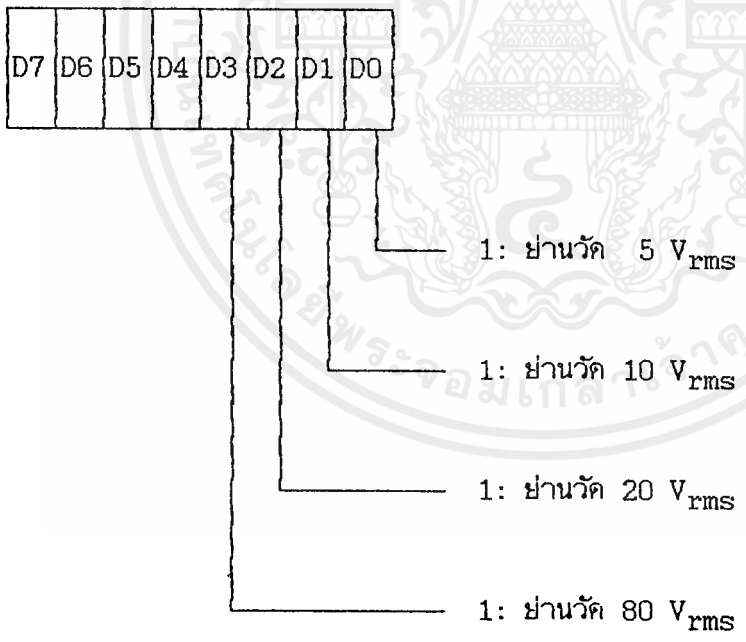


รูปที่ 3-31 วงจรลดทอนสัญญาณ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

คอมพิวเตอร์ส่งข้อมูลผ่านทางตำแหน่งพอร์ต 308 H (ดูรูป 3-14 b ประกอบ) ถ้าบิต D1 เป็น "1" การวัดอยู่ในย่าน 5 V_{rms} จากวงจรจะเห็นว่าชุดสวิทช์เลือกเป็นรีเลย์ชนิด 2 หน้าสัมผัส เมื่อชุด a1 ทำงาน ชุด a2 ก็ทำงานพร้อมกัน ดังนั้น ชุด a2 มีลอจิกเป็น "1" สถานะนี้ถูกส่งให้ที่คอมพิวเตอร์ผ่านทางตำแหน่งพอร์ต 30 AH เพราะฉะนั้น D0 ของพอร์ต 30 AH เป็น "1" เมื่อคอมพิวเตอร์มาอ่านสถานะที่พอร์ตนี้จะทราบได้ทันทีว่า อยู่ในย่านวัด 5 V_{rms}

เมื่อ D2 ของพอร์ต 308 H เป็น "1" เป็นการทำงานในย่านวัด 10 V_{rms} และ D1 ของพอร์ต 30 AH เป็น "1" ถ้า D3 ของพอร์ต 308 H เป็น "1" เป็นการทำงานในย่านวัด 20 V_{rms} บิต D2 ของพอร์ต 30 A เป็น "1" ถ้า D4 ของตำแหน่งพอร์ต 308 H เป็น "1" คือ การทำงานในย่านวัด 80 V_{rms} และ บิต D_3 ของพอร์ต 30 A มีลอจิกเป็น "1"

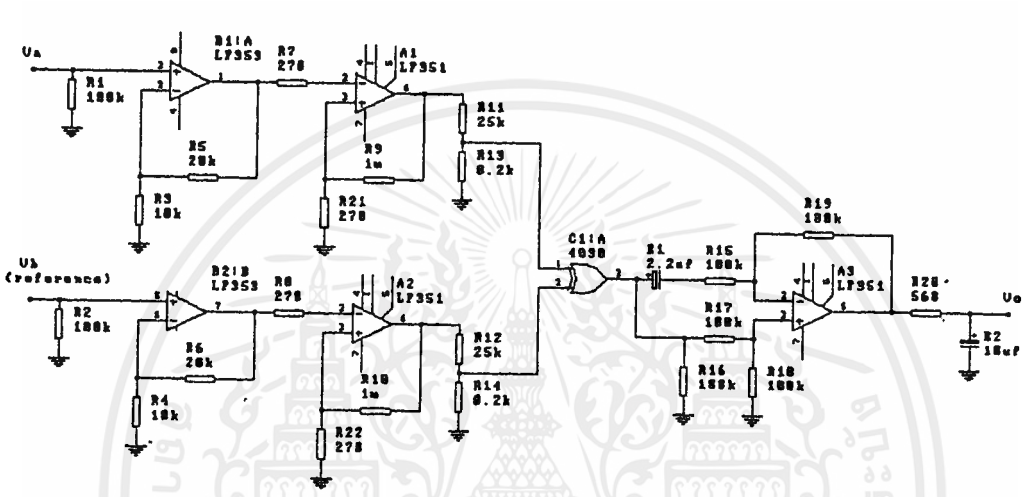


รูปที่ 3-32 แสดงการอ่านค่าสถานะของตำแหน่งพอร์ต 30 AH

ภาค Phase Detector

ภาคนี้จะใช้วงจรดังรูปที่ 3-33

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3-33 วงจรวัดเฟส

จากวงจรจะเห็นว่าประกอบไปด้วยออปแอมป์ 2 ตัวแรก ซึ่งจะทำหน้าที่เป็น Buffer โดยจัดวงจรให้เป็นวงจรขยายซึ่งมีเกนเป็น 5 เท่า จุดที่จัดชุดนี้เข้าไปก็เพราะว่าที่ออปแอมป์ชุดถัดมานั้นจะถูกจัดวงจรให้เป็นวงจร non-inverting ชมิททริกเกอร์ ซึ่งเราได้จัดให้มี voltage ฮีเตอร์รีซีสต่ำ ๆ เท่าที่จะต่ำได้ก็เพื่อว่าเมื่อใดที่ i/p เกิดมีสัญญาณซึ่งมี amplitude ต่ำมากเข้ามาเมื่อใด วงจรชุดนี้ก็ยังสามารถทำงานอยู่ได้

แต่จากผลที่ได้ก็ยังไม่เป็นที่พอใจเพราะว่าสัญญาณ i/p ที่เข้าถึง แม้ว่าจะมีค่าเป็นมิลลิโวล์ท แต่ก็ยังอยู่ในค่าราวหลักร้อย ซึ่งความต้องการในงานนี้ต้องการให้มีค่าต่ำที่สุดควรจะอยู่ในราวหลักสิบเท่านั้น ดังนั้น จึงใช้วงจรขยายดังที่ได้กล่าวไว้แล้วในตอนต้น ทั้งนี้ ก็เพื่อว่าเมื่อสัญญาณต่ำ ๆ เข้ามา วงจร phase detector ชุดนี้จะยังคงที่ และสามารถทำงานอยู่ได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ประโยชน์อีกประการสำหรับการจัดให้มีชุด Buffer นี้ นอกจากที่กล่าวมาแล้วนั้น ในชุดนี้จะยังไม่เกิดการโหลดกับชุดข้างหน้า ซึ่งมี impedance ห่างกันอีกด้วย Buffer ชุดนี้ เราได้เลือกออปแอมป์ที่ควรมี Band Width ในย่าน 20 H_z ถึง 20 kH_z เป็นอย่างต่ำ ในความหมายอันนี้หมายความว่าจะต้องไม่มีการเพี้ยนของสัญญาณในช่วงความถี่ที่ต้องการ

จากการทดลองเลือกใช้และทดสอบตาม Spec พบว่า IC OP-AMP เบอร์ LF 351 และ เบอร์ LF 353 (มี OP-AMP อยู่ภายใน 2 ตัว) มีความสามารถดีในช่วงการตอบสนองดังกล่าว ซึ่งการทดลองนี้เราได้เปรียบเทียบกันกับ IC เบอร์ 301, 741 และ 324 โดยที่ LF 351 กับ 353 สัญญาณจะมีความเพี้ยนน้อยมาก หรือ OFF (ไม่ทำงาน) ได้กว้างกว่ามาก

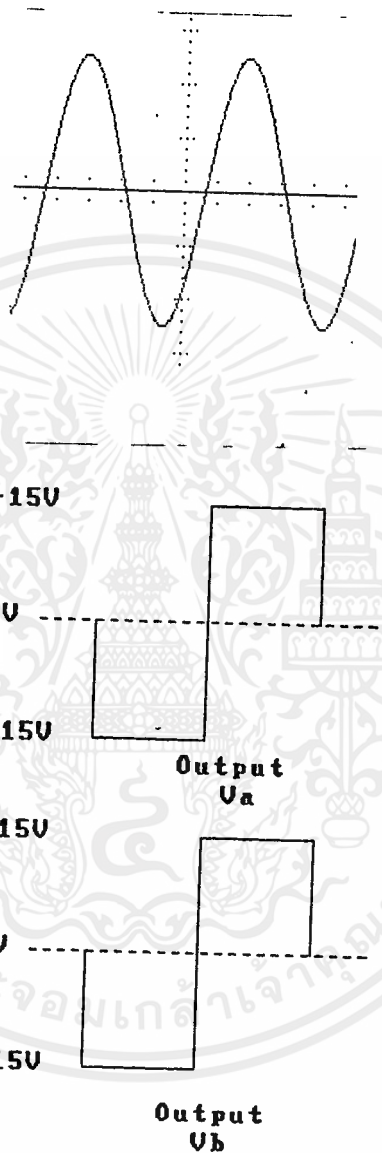
เมื่อ i/p ที่เป็น Sine Wave ผ่านเข้าไปในชุดของ non-inverting ชมิกทริกเกอร์ ที่วงจรชุดนี้ก็จะทำหน้าที่เปลี่ยนสัญญาณ Sine Wave ที่ถูกป้อนเข้ามาให้กลายเป็นสัญญาณ Square Wave ซึ่งมีลักษณะสมมาตรกันระหว่าง pulse บวก และ pulse ลบ ซึ่งมีขนาด amplittude ซีกบวก คือ 15 volt และ ซีกลบ คือ - 15 volt (วงจรชุดนี้ป้อนไฟเลี้ยง 15 V) โดยที่ Square Wave นี้จะมีลักษณะกลับเฟสกับ i/p จาก o/p ที่ได้จะเห็นว่าจะมี Resister คือ R11, R13, R12 และ R14 จะเป็นตัว Divide ให้ Square Wave ที่ได้มีเฉพาะซีกบวกและมี amplitude เพียง +5 V เท่านั้น เพื่อป้อนให้กับภาคถัดไป สำหรับในส่วนนี้จะได้ curve ดังรูปที่ 3-34

จากนั้นจะนำสัญญาณทั้ง 2 สัญญาณ คือ V_a กับ V_b (reference) ที่ถูกทำให้กลายเป็น Square Wave นำมาเปรียบเทียบกันโดยใช้คุณสมบัติของ XOR GATE ซึ่งมีคุณสมบัติที่ว่าเมื่อสัญญาณ i/p เกิดเหมือนกัน ตัว XOR GATE จะให้ o/p เป็นศูนย์หรือมีค่าเป็นศูนย์ แต่ถ้า i/p เกิดต่างกันจะให้ o/p เป็น 1 ดังนั้น ถ้าเฟสที่เข้ามามีลักษณะเหมือนกันทุกประการ o/p ที่ออกจาก XOR ก็จะเป็นศูนย์ ในกรณีที่ไม่มีการต่างเฟส

แต่ถ้ามีการต่างเฟสเมื่อใดแล้วก็จะมี pulse เกิดขึ้นไปเป็นช่วง ๆ ซึ่งจะทำให้ค่า dc เฉลี่ยไม่เท่ากับศูนย์ ซึ่งค่า dc นี้จะแปรเปลี่ยนไปตามองศาของการต่างเฟสของสัญญาณทั้งสอง ซึ่งถ้าต่างเฟสมากก็จะมี dc เฉลี่ยสูงขึ้น แต่อย่างไรก็ตาม o/p ของ XOR จะมีค่า MAX ที่ +5 V เพราะฉะนั้น ถ้าเฟสของสัญญาณทั้งสองนี้ต่างกัน 180 องศา ก็จะมี dc เฉลี่ยเป็น 5 V ดังนั้น เราสามารถที่จะหาค่า step ของ volt ที่จะ 1" ได้โดย

$$\frac{5V}{180} = 27.7\ mV \qquad (3\text{-}14)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

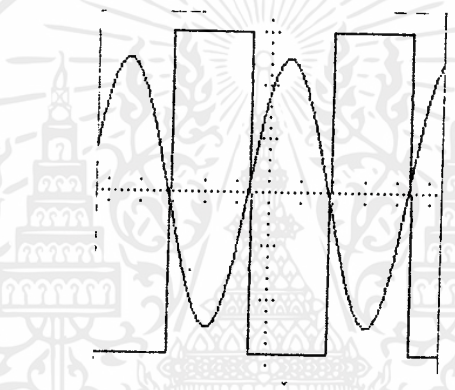


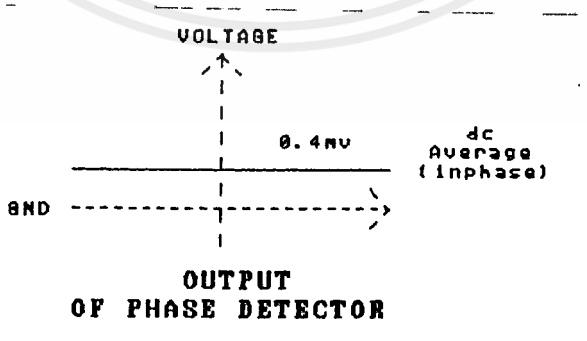
รูปที่ 3-34 แสดง Curve ของชุดชมิททริกเกอร์

จะเห็นได้ว่าค่า 27.7 mV นี้หมายความว่า ถ้าเฟสของ i/p คือ V_o, V_b เกิดต่างกัน 1° เมื่อไร o/p เป็น dc เฉลี่ย จะมีค่าเป็น 27.7 mV จากที่ได้กล่าวมาแล้ว จะได้ผลจากการทดลองดังรูปที่ 3-35

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคที่อยู่ถัดจาก XOR มานั้น จะเป็นชุดที่ใช้ในการกำจัด ripple noise ที่เกิดขึ้นจากตัว XOR ซึ่งถ้าไม่ขจัดทิ้งก่อนที่จะไปทำให้เป็น dc เฉลี่ยแล้ว ผลของ dc เฉลี่ยที่ได้อาจเกิดค่าผิดพลาดขึ้นได้ สำหรับวงจรนี้มีหลักการทำงานคือป้อน i/p ให้กับ inverting และ non-inverting โดยที่ขาข้างหนึ่ง ac ผ่านได้ แต่ขาอีกข้างหนึ่ง ac ไม่สามารถผ่านได้ แล้วนำมาหักล้าง จะเหลือแต่ส่วนที่เป็นสัญญาณจริง ๆ ที่ไม่มี ripple ฉะนั้นนำไปเข้า R กับ C จะเป็น dc เฉลี่ยเพื่อใช้ในการวัดเฟส Computer ต่อไปได้





OUTPUT
OF PHASE DETECTOR

รูปที่ 3-35 แสดงผลของ output ต่าง ๆ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

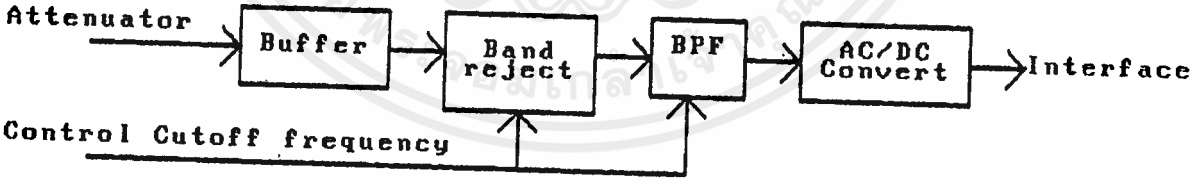
ภาคกรองความถี่ฮาร์โมนิกส์ (Harmonics filter)

ในวงจรขยายสัญญาณ สิ่งที่ต้องพิจารณาอีกประการหนึ่ง คือ ความเพี้ยนของสัญญาณทางด้านฮาร์โมนิกส์รวม (Total Harmonic distortion) หรือเรียกว่า THD การเกิดความเพี้ยนฮาร์โมนิกส์มีสาเหตุมาจากความไม่เป็นเชิงเส้นของวงจรขยายสัญญาณ ดังนั้นเครื่องเสียงที่ดีจะต้องมีค่า THD ต่ำ ๆ ค่า THD มักจะคิดเป็นเปอร์เซนต์สามารถหาได้จากสมการ

$$\% \text{ THD} = \frac{V\text{harmonics}}{V\text{fundamental}} \times 100 \qquad (3\text{-}15)$$

สำหรับภาคนี้มีหน้าที่กรองความถี่ฮาร์โมนิกส์โดยทำการกรองความถี่ถึงฮาร์โมนิกส์ที่ 3 เพราะที่ความถี่ฮาร์โมนิกส์สูงขึ้นจะมีแอมปลิจูดลดลงซึ่งมีผลน้อยมาก จึงสามารถตัดทิ้งได้ และอีกประการหนึ่ง เพื่อป้องกัน noise ที่ความถี่สูง ๆ ความถี่ fundamental ได้มาจากภาคแอมปลิจูดดีเทค ซึ่งเป็นการวัดแอมปลิจูดของความถี่ดั้งเดิมอยู่แล้วจึงสามารถนำมาใช้ได้

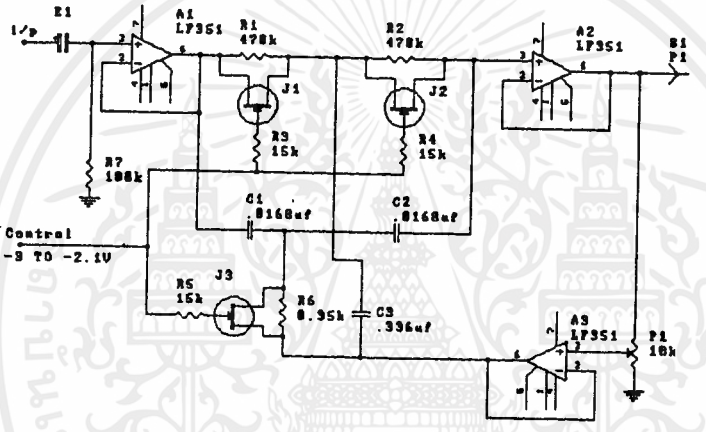
ภาคกรองความถี่ฮาร์โมนิกส์ ประกอบไปด้วยชุดบัฟเฟอร์ ชุดกรองความถี่ชนิด Band reject เพื่อต้องการตัดสัญญาณความถี่ fundamental ออกไป สัญญาณที่ได้นำไปเข้า



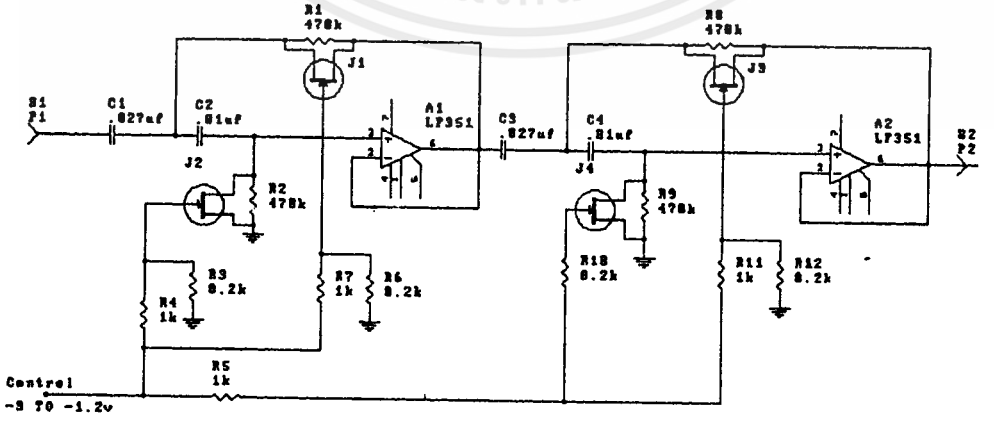
รูปที่ 3-36 แสดงบล็อกไดอะแกรมของภาคกรองความถี่ฮาร์โมนิกส์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น

วงจรกรองความถี่ชนิด Band pass จึงได้สัญญาณความถี่เพียงฮาร์โมนิกส์ที่ 3 ส่วนความถี่ที่สูงกว่าฮาร์โมนิกส์ที่ 3 จะถูกตัดออกไป ในการกรองความถี่ฮาร์โมนิกส์ จะทำการกรองคลอดย่านความถี่เสียงคือ 20 Hz - 20 KHz (ความถี่ fundamental) ดังนั้น จุดตัดความถี่จะต้องเปลี่ยนแปลงได้ โดยการเปลี่ยนแปลงถูกควบคุมด้วยคอมพิวเตอร์ สัญญาณจากชุดกรองความถี่จะผ่านชุด AC/DC เพื่อเปลี่ยนเป็นแรงดันดีซีและส่งต่อไปให้ภาคอินเตอร์เฟสและควบคุมต่อไป

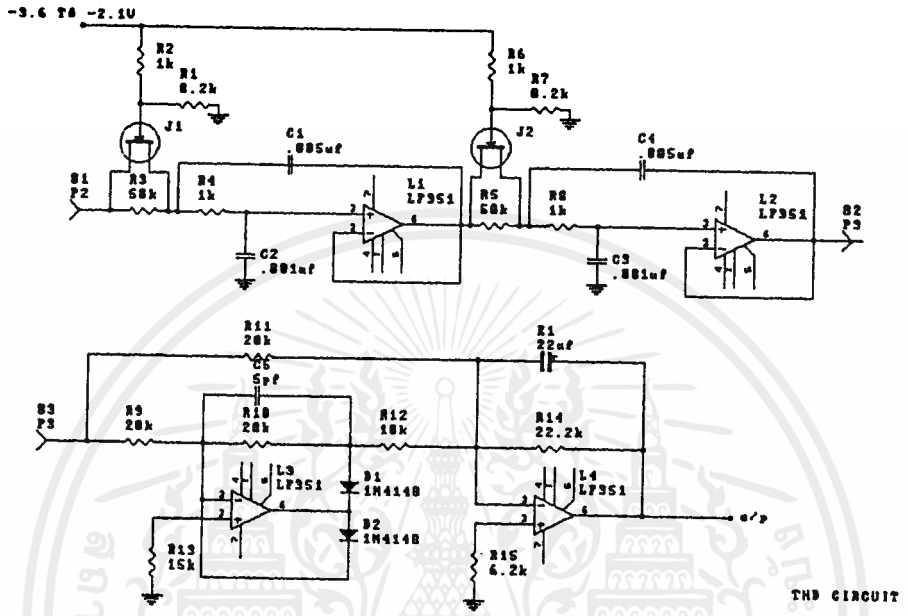


รูปที่ 3-37 (a) วงจรกรองความถี่ฮาร์โมนิกส์



รูปที่ 3-37 (b) วงจรกรองความถี่ฮาร์โมนิกส์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3-37 (c) วงจรกรองความถี่ฮาร์โมนิกส์

วงจรกรองความถี่แบบ Band reject เป็นชนิด Narrow band วงจรกรองความถี่แบบ Band pass เป็นชนิด wide band โดยนำวงจรกรองความถี่ต่ำต่อ cascade กับวงจรกรองความถี่ต่ำ โดยจุดตัดความถี่ของวงจรกรองความถี่ทั้งสองจะเปลี่ยนแปลงไปพร้อม ๆ กัน ซึ่งถูกควบคุมโดยคอมพิวเตอร์ คำสั่งควบคุมถูกส่งมาทางตำแหน่งพอร์ต 309H

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 4

ผลการทดลอง

จากการทำ PROJECT เรื่อง การทดสอบคุณลักษณะของ เครื่องขยายเสียงด้วย เครื่องไมโครคอมพิวเตอร์ ปรากฏผลการทดลองดังต่อไปนี้

ข้อมูลที่ใช้ควบคุม	ข้อมูลที่อ่านได้	แอมปลิจูดจากการวัด (V_{p-p})	ข้อมูลที่ใช้ควบคุม	ข้อมูลที่อ่านได้	แอมปลิจูดจากการวัด (V_{p-p})
0	134	7.4	75	87	4.8
5	131	7.2	80	84	4.6
10	127	7	85	81	4.4
15	124	6.8	90	79	4.4
20	120	6.6	95	76	4.2
25	117	6.48	100	73	4
30	114	6.3	110	67	3.7
35	111	6.1	120	61	3.4
40	108	5.9	130	55	3
45	105	5.8	140	48	2.6
50	102	5.6	150	41	2.3
55	98	5.4	160	34	1.9
60	96	5.3	170	27	1.5
65	93	5.1	180	18	1
70	90	4.9			

ตารางที่ 4-1 ผลการทดลองวงจรแอมปลิจูดดีเทคเตอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ข้อมูลที่ใช้ควบคุม	ข้อมูลที่อ่านได้	ความถี่ที่วัดได้ (Hz)	ข้อมูลที่ใช้ควบคุม	ข้อมูลที่อ่านได้	ความถี่ที่วัดได้ (Hz)
5	16	16	60	214	213
10	34	33.3	65	232	233
15	51	50	70	250	250
20	69	68	80	3	286
25	86	84	90	3	322
30	103	103	100	4	357
35	121	119	120	5	435
40	141	138	140	6	488
45	161	157	160	7	555
50	178	175	180	8	625
55	196	196	200	9	690

ตารางที่ 4-2 a ผลการทดลองวงจรวัดความถี่ที่ย่านความถี่ต่ำ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ข้อมูลที่ใช้ควบคุม	ข้อมูลที่อ่านได้	ความถี่ที่วัดได้ (KHz)	ข้อมูลที่ใช้ควบคุม	ข้อมูลที่อ่านได้	ความถี่ที่วัดได้ (KHz)
5	45	4.4	55	57	55
10	97	9.5	60	62	60.6
15	148	14.5	65	67	65
20	200	19.6	70	72	70
25	251	24.6	75	77	75
30	30	29.5	80	82	80
35	36	35	85	87	85
40	41	40	90	92	90
45	46	45	95	97	95
50	51	50	100	102	100

ตารางที่ 4-2 b ผลการทดลองวงจรวัดความถี่ที่ย่านความถี่สูง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ความถี่ Hz	ข้อมูลที่อ่านได้	องศา	ความถี่ Hz	ข้อมูลที่อ่านได้	องศา
20	0	0	500	7	4.96
30	0	0	550	7	4.96
40	1	0.7	600	8	5.67
50	1	0.7	650	9	6.38
60	1	0.7	700	9	6.38
70	1	0.7	3K	40	28.2
80	1	0.7	4.3K	52	37
90	1	0.7	5.3K	64	45.4
100	1	0.7	6.3K	79	56
110	1	0.7	7.2K	80	59
120	2	1.4	8.3K	85	61
130	2	1.4	9K	100	71
140	2	1.4	10K	119	84
150	2	1.4	11K	138	98
160	2	1.4	12K	152	108
170	2	1.4	13K	163	115
180	2	1.4	14K	172	122
190	3	2.1	15K	178	126
200	3	2.1	16K	186	132
250	3	2.1	17K	192	136
300	4	2.8	18K	196	139
350	5	3.5	19K	202	143
400	5	3.5	20K	207	146
450	6	4.25			

ตารางที่ 4-3 ผลการทดลองวงจรวัดเฟส

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ความถี่ (Hz)	ข้อมูลที่อ่านได้	แรงดันที่วัดได้ (V_{rms})	ความถี่ (Hz)	ข้อมูลที่อ่านได้	แรงดันที่วัดได้ (V_{rms})
20	8	160 mV	4.3K	8	160 mV
30	8	160 mV	5.3K	8	160 mV
40	8	160 mV	6.3K	8	160 mV
50	8	160 mV	7.2K	8	160 mV
60	8	160 mV	8.3K	8	160 mV
70	8	160 mV	9K	8	160 mV
80	8	160 mV	10K	8	160 mV
90	8	160 mV	11K	8	160 mV
100	8	160 mV	12K	8	160 mV
200	8	160 mV	13K	8	160 mV
300	8	160 mV	14K	8	160 mV
400	8	160 mV	15K	8	160 mV
500	8	160 mV	16K	8	160 mV
600	8	160 mV	17K	8	160 mV
700	8	160 mV	18K	8	160 mV
800	8	160 mV	19K	8	160 mV
900	8	160 mV	20K	8	160 mV
3K	8	160 mV			

ตารางที่ 4-4 ผลการทดลองวงจรกรองความถี่ฮาร์โมนิกส์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 5

สรุปผลและวิจารณ์

ในบทนี้จะขอกล่าวถึงสรุปผลและวิจารณ์ การทำ PROJECT เรื่อง การทดสอบคุณลักษณะของ เครื่องขยายเสียงด้วย เครื่องไมโครคอมพิวเตอร์ ดังนี้

การทดสอบคุณลักษณะของ เครื่องขยายเสียงนั้น แต่เดิมใช้การทดสอบด้วยเครื่องมือต่าง ๆ เช่น SIGNAL GENERATOR OSCILLOSCOPE FREQUENCY COUNTER PHASE METER THD.METER WATT METER เป็นต้น ซึ่งเป็นเครื่องมือที่ให้ความเที่ยงตรงสูง จึงทำให้มีราคาแพงไปด้วย การที่ต้องการความเที่ยงตรงสูงนี้ ทำให้ต้องใช้เวลาในการวัดมากและเกิดความยุ่งยากในการใช้งาน ดังนั้น ผู้ทำ PROJECT จึงมีแนวความคิดที่จะนำเครื่องไมโครคอมพิวเตอร์มาช่วยในการทดสอบคุณลักษณะของ เครื่องขยายเสียงแทนเครื่องมือที่กล่าวมาข้างต้น ซึ่งเครื่องไมโครคอมพิวเตอร์สามารถช่วยลดความยุ่งยากในการทดสอบและช่วยประหยัดเวลาในการทดสอบได้มาก และให้ผลลัพธ์ที่มีความแม่นยำสูงกว่า นอกจากนี้ยังมีราคาถูกกว่าเครื่องมือที่ใช้อยู่เดิมอีกด้วย

นับว่าการทำ PROJECT นี้เป็นการพัฒนาเทคโนโลยีโดยประยุกต์ใช้งานอิเล็กทรอนิกส์และคอมพิวเตอร์เข้าด้วยกัน สำหรับการพัฒนาต่อไป คือ หากต้องการพัฒนาให้มีความแม่นยำในการทดสอบสูงขึ้น สามารถทำได้โดยการเลือกใช้ A/D CONVERTER ที่มีจำนวนบิตสูงขึ้น และเลือกใช้อุปกรณ์ที่มีคุณภาพสูง นอกจากนี้ ควรจะพัฒนาทางด้าน SOFT WARE เพื่อที่จะสามารถนำข้อมูลมาสร้างกราฟบนจอภาพ เพื่อความสะดวก ถูกต้อง และแม่นยำ ในการอ่านค่าที่ต้องการจะวัดได้อย่างแน่นอน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บรรณานุกรม

คอมพิวเตอร์ อิเล็กทรอนิกส์ เวิลด์ ฉบับที่ 135 "พื้นฐาน A/D และ D/A คอนเวอร์เตอร์" กรุงเทพฯ: บริษัทอิเล็กทรอนิกส์ เวิลด์ จำกัด, มปป.

ชูชัย ธนสารตั้งเจริญ. การใช้งานZ80. กรุงเทพฯ: ศูนย์ภาษาคอมพิวเตอร์, มปป.

ยืน ภู่วรวรรณ. เทคโนโลยี ฮาร์ดแวร์ IBM PC. กรุงเทพฯ: บริษัทซีเอ็ดยูเคชั่น จำกัด, 2533.

Coughlin, Robert F. & Driscoll Frederick F. Operational Amplifier and linear integrated circuits.

Dailey, Denton J. Small copmputer theory and applications. New York: McGraw-Hill, 1988.

Gayakwad, Ramakant A. Op-Amp and linear integrated circuit. 1988.

Ghausi M. S. Electronic devices and circuits discrete and integrated. 1985.

Wojslaw, Charles F., Moustakas, Evangelos A. and Wiley Operational Amplifier. 1986.

Franco Sergio. Design with Operatinal Amplifier and Analog Integrated Circuits. 1988.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Monolithic Function Generator

GENERAL DESCRIPTION

The XR-2206 is a monolithic function generator integrated circuit capable of producing high quality sine, square, triangle, ramp, and pulse waveforms of high-stability and accuracy. The output waveforms can be both amplitude and frequency modulated by an external voltage. Frequency of operation can be selected externally over a range of 0.01 Hz to more than 1 MHz.

The circuit is ideally suited for communications, instrumentation, and function generator applications requiring sinusoidal tone, AM, FM, or FSK generation. It has a typical drift specification of 20 ppm/°C. The oscillator frequency can be linearly swept over a 2000:1 frequency range, with an external control voltage, having a very small affect on distortion.

FEATURES

Low-Sine Wave Distortion	.5%, Typical
Excellent Temperature Stability	20 ppm/°C, Typical
Wide Sweep Range	2000:1, Typical
Low-Supply Sensitivity	0.01%V, Typical
Linear Amplitude Modulation	
TTL Compatible FSK Controls	
Wide Supply Range	10V to 26V
Adjustable Duty Cycle	1% to 99%

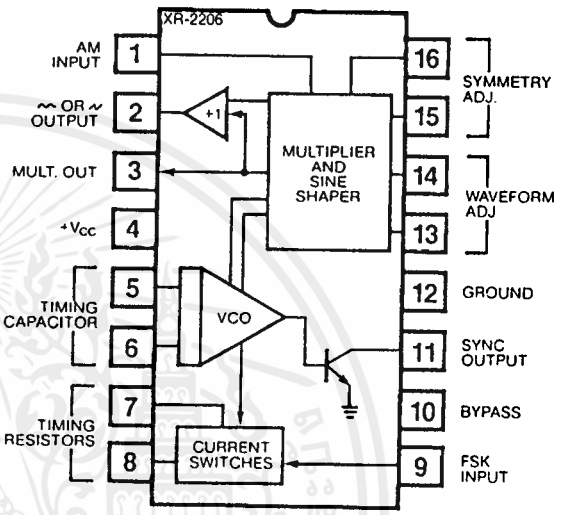
APPLICATIONS

Waveform Generation
Sweep Generation
AM/FM Generation
V/F Conversion
FSK Generation
Phase-Locked Loops (VCO)

ABSOLUTE MAXIMUM RATINGS

Power Supply	26V
Power Dissipation	750 mW
Derate Above 25°C	5 mW/°C
Total Timing Current	6 mA
Storage Temperature	-65°C to +150°C

FUNCTIONAL BLOCK DIAGRAM



ORDERING INFORMATION

Part Number	Package	Operating Temperature
XR-2206M	Ceramic	-55°C to +125°C
XR-2206N	Ceramic	0°C to +70°C
XR-2206P	Plastic	0°C to +70°C
XR-2206CN	Ceramic	0°C to +70°C
XR-2206CP	Plastic	0°C to +70°C

SYSTEM DESCRIPTION

The XR-2206 is comprised of four functional blocks; a voltage-controlled oscillator (VCO), an analog multiplier and sine-shaper; a unity gain buffer amplifier; and a set of current switches.

The VCO actually produces an output frequency porportional to an input current, which is produced by a resistor from the timing terminals to ground. The current switches route one of the timing pins current to the VCO controlled by an FSK input pin, to produce an output frequency. With two timing pins, two discrete output frequencies can be independently produced for FSK Generation Applications.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ELECTRICAL CHARACTERISTICS

Test Conditions: Test Circuit of Figure 1, $V^+ = 12V$, $T_A = 25°$, $C = 0.01\ \mu F$, $R_1 = 100\ k\Omega$, $R_2 = 10\ k\Omega$, $R_3 = 25\ k\Omega$ unless otherwise specified. S_1 open for triangle, closed for sine wave.

PARAMETER	XR-2206M			XR-2206C			UNIT	CONDITIONS
	MIN.	TYP.	MAX.	MIN.	TYP.	MAX.		
GENERAL CHARACTERISTCS								
Single Supply Voltage	10		26	10		26	V	
Split-Supply Voltage	±5		±13	±5		±13	V	
Supply Current		12	17		14	20	mA	$R_1 \geq 10\ k\Omega$
OSCILLATOR SECTION								
Max. Operating Frequency	0.5	1		0.5	1		MHz	$C = 1000\ pF$, $R_1 = 1\ k\Omega$
Lowest Practical Frequency		0.01			0.01		Hz	$C = 50\ \mu F$, $R_1 = 2\ M\Omega$
Frequency Accuracy		±1	±4		±2		% of f_o	$f_o = 1/R_1C$
Temperature Stability		±10	±50		±20		ppm/°C	$0°C \leq T_A \leq 75°C$, $R_1 = R_2 = 20\ k\Omega$
Supply Sensitivity		0.01	0.1		0.01		%/V	$V_{LOW} = 10V$, $V_{HIGH} = 20V$, $R_1 = R_2 = 20\ k\Omega$
Sweep Range	1000:1	2000:1			2000:1		$f_H = f_L$	f_H @ $R_1 = 1\ k\Omega$, f_L @ $R_1 = 2\ M\Omega$
Sweep Linearity								
10:1 Sweep		2			2		%	$f_L = 1\ kHz$, $f_H = 10\ kHz$
1000:1 Sweep		8			8		%	$f_L = 100\ Hz$, $f_H = 100\ kHz$
FM Distortion		0.1			0.1		%	±10% Deviation
Recommended Timing Components								
Timing Capacitor: C	0.001		100	0.001		100	μF	See Figure 4.
Timing Resistors: R_1 & R_2	1		2000	1		2000	kΩ	
Triangle Sine Wave Output								See Note 1, Figure 2.
Triangle Amplitude		160			160		mV/kΩ	Figure 1, S_1 Open
Sine Wave Amplitude	40	60	80		60		mV/kΩ	Figure 1, S_1-Closed
Max. Output Swing		6			6		Vp-p	
Output Impedance		600			600		Ω	
Triangle Linearity		1			1		%	
Amplitude Stability		0.5			0.5		dB	For 1000:1 Sweep
Sine Wave Amplitude Stability		4800			4800		ppm/°C	See Note 2.
Sine Wave Distortion								
Without Adjustment		2.5			2.5		%	$R_1 = 30\ k\Omega$
With Adjustment		0.4	1.0		0.5	1.5	%	See Figures 6 and 7.
Amplitude Modulation								
Input Impedance	50	100		50	100		kΩ	
Modulation Range		100			100		%	
Carrier Suppression		55			55		dB	
Linearity		2			2		%	For 95% modulation
Square-Wave Output								
Amplitude		12			12		Vp-p	Measured at Pin 11.
Rise Time		250			250		nsec	$C_L = 10\ pF$
Fall Time		50			50		nsec	$C_L = 10\ pF$
Saturation Voltage		0.2	0.4		0.2	0.6	V	$I_L = 2\ mA$
Leakage Current		0.1	20		0.1	100	μA	$V_{11} = 26V$
FSK Keying Level (Pin 9)	0.8	1.4	2.4	0.8	1.4	2.4	V	See section on circuit controls
Reference Bypass Voltage	2.9	3.1	3.3	2.5	3	3.5	V	Measured at Pin 10.

Note 1: Output amplitude is directly proportional to the resistance, R_3, on Pin 3. See Figure 2

Note 2: For maximum amplitude stability, R_3 should be a positive temperature coefficient resistor.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

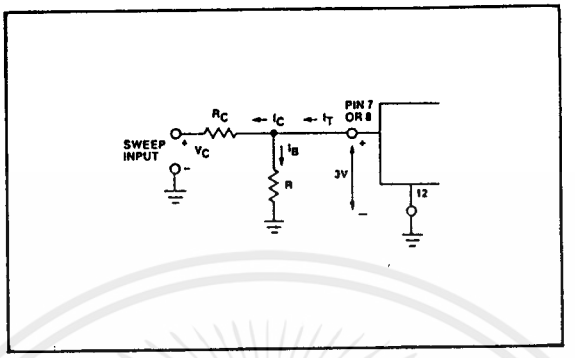


Figure 9: Circuit Connection for Frequency Sweep.

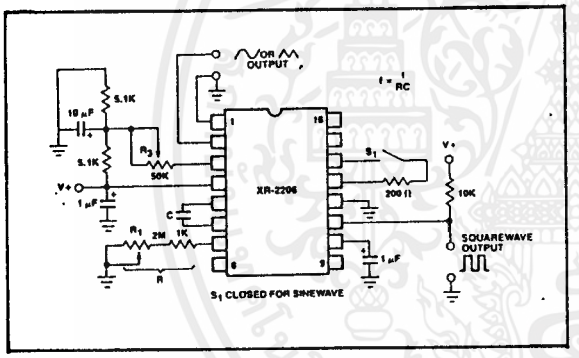


Figure 10: Circuit for Sine Wave Generation without External Adjustment. (See Figure 2 for Choice of R_3.)

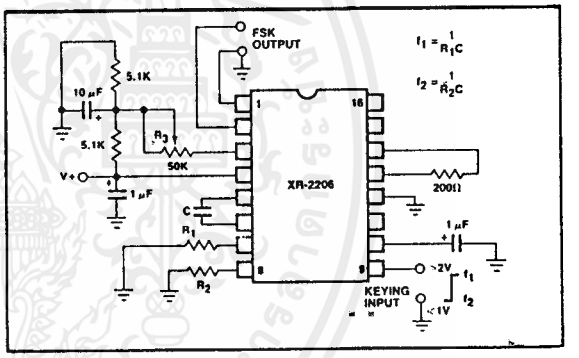


Figure 12: Sinusoidal FSK Generator.

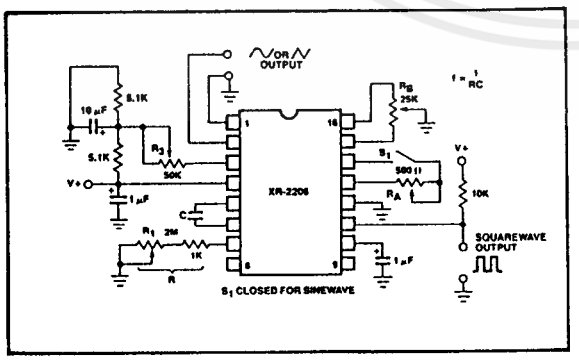


Figure 11: Circuit for Sine Wave Generation with Minimum Harmonic Distortion. (R_3 Determines Output Swing — See Figure 2.)

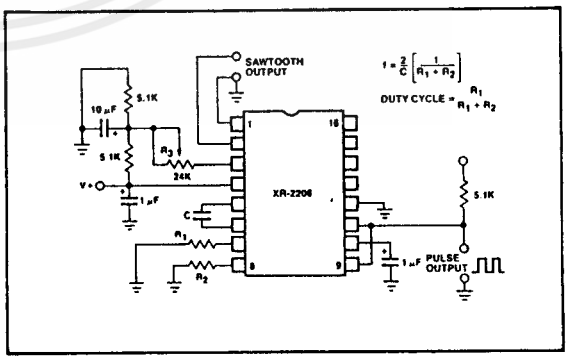


Figure 13: Circuit for Pulse and Ramp Generation.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Frequency-Shift Keying:

The XR-2206 can be operated with two separate timing resistors, R_1 and R_2, connected to the timing Pin 7 and 8, respectively, as shown in Figure 12. Depending on the polarity of the logic signal at Pin 9, either one or the other of these timing resistors is activated. If Pin 9 is open-circuited or connected to a bias voltage $\geq$2V, only R_1 is activated. Similarly, if the voltage level at Pin 9 is $\leq$1V, only R_2 is activated. Thus, the output frequency can be keyed between two levels, f_1 and f_2, as:

$$f_1 = 1/R_1C \text{ and } f_2 = 1/R_2C$$

For split-supply operation, the keying voltage at Pin 9 is referenced to V^-.

Output DC Level Control:

The dc level at the output (Pin 2) is approximately the same as the dc bias at Pin 3. In Figures 10, 11 and 12, Pin 3 is biased midway between V^+ and ground, to give an output dc level of $\approx V^+/2$.

APPLICATIONS INFORMATION

Sine Wave Generation

Without External Adjustment:

Figure 10 shows the circuit connection for generating a sinusoidal output from the XR-2206. The potentiometer, R_1 at Pin 7, provides the desired frequency tuning. The maximum output swing is greater than $V^+/2$, and the typical distortion (THD) is <2.5%. If lower sine wave distortion is desired, additional adjustments can be provided as described in the following section.

The circuit of Figure 10 can be converted to split-supply operation, simply by replacing all ground connections with V^-. For split-supply operation, R_3 can be directly connected to ground.

With External Adjustment:

The harmonic content of sinusoidal output can be reduced to $\approx$0.5% by additional adjustments as shown in Figure 11. The potentiometer, R_A, adjusts the sine-shaping resistor, and R_B provides the fine adjustment for the waveform symmetry. The adjustment procedure is as follows:

1. Set R_B at midpoint, and adjust R_A for minimum distortion.
2. With R_A set as above, adjust R_B to further reduce distortion.

Triangle Wave Generation

The circuits of Figures 10 and 11 can be converted to triangle wave generation, by simply open-circuiting Pin 13 and 14 (i.e., S_1 open). Amplitude of the triangle is approximately twice the sine wave output.

FSK Generation

Figure 12 shows the circuit connection for sinusoidal FSK signal operation. Mark and space frequencies can be independently adjusted, by the choice of timing resistors, R_1 and R_2; the output is phase-continuous during transitions. The keying signal is applied to Pin 9. The circuit can be converted to split-supply operation by simply replacing ground with V^-.

Pulse and Ramp Generation

Figure 13 shows the circuit for pulse and ramp waveform generation. In this mode of operation, the FSK keying terminal (Pin 9) is shorted to the square-wave output (Pin 11), and the circuit automatically frequency-shift keys itself between two separate frequencies during the positive-going and negative-going output waveforms. The pulse width and duty cycle can be adjusted from 1% to 99%, by the choice of R_1 and R_2. The values of R_1 and R_2 should be in the range of 1 kΩ to 2 MΩ.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

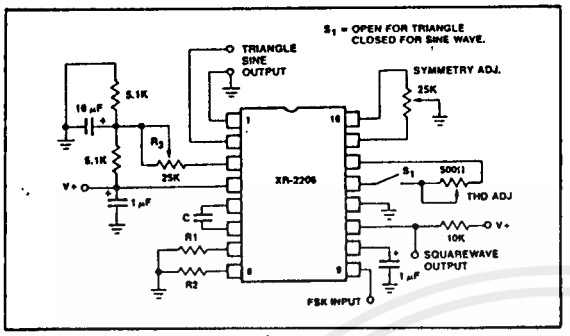


Figure 1: Basic Test Circuit.

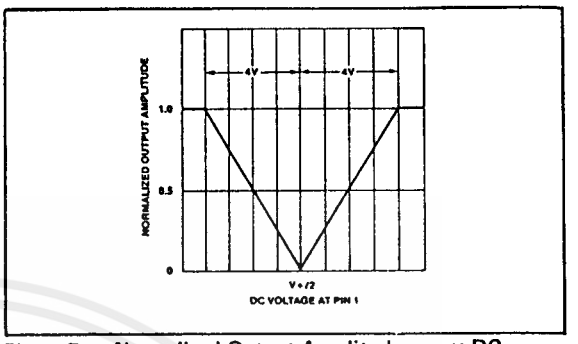


Figure 5: Normalized Output Amplitude versus DC Bias at AM Input (Pin 1).

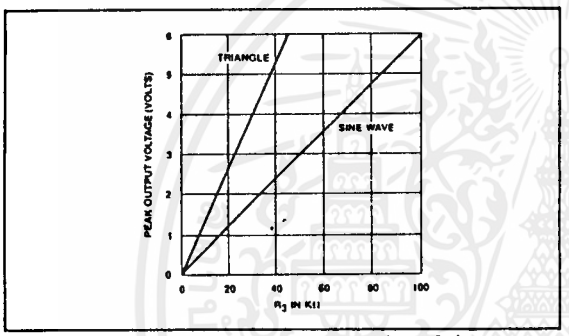


Figure 2: Output Amplitude as a Function of the Resistor, R_3, at Pin 3.

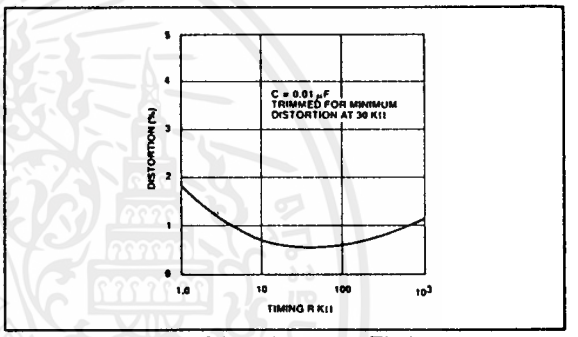


Figure 6: Trimmed Distortion versus Timing Resistor.

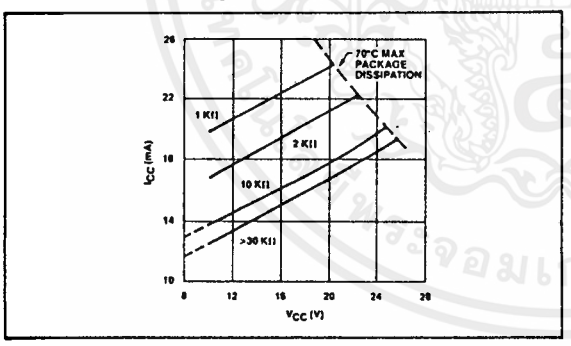


Figure 3: Supply Current versus Supply Voltage, Timing, R.

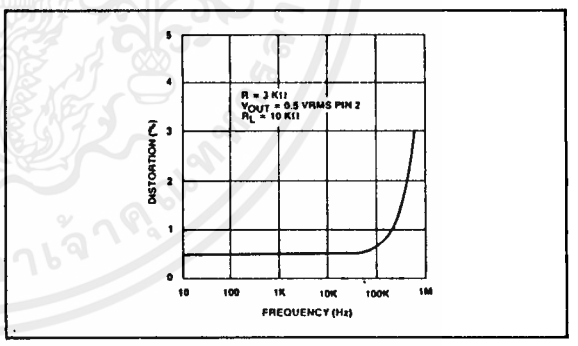


Figure 7: Sine Wave Distortion versus Operating Frequency with Timing Capacitors Varied.

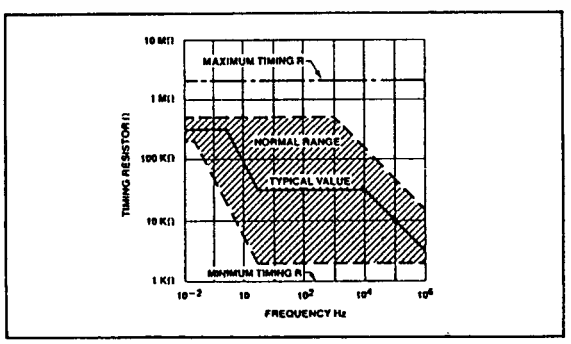


Figure 4: R versus Oscillation Frequency.

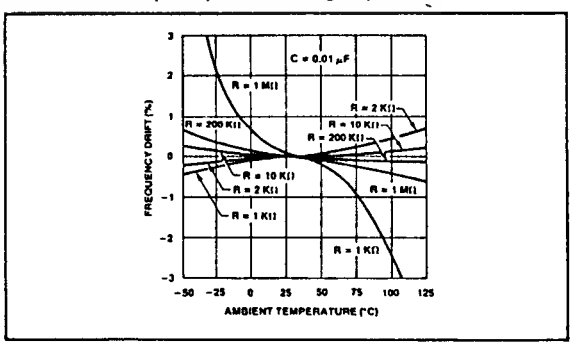


Figure 8: Frequency Drift versus Temperature.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

PRINCIPLES OF OPERATION

Description of Controls

Frequency of Operation:
The frequency of oscillation, f_o, is determined by the external timing capacitor, C, across Pin 5 and 6, and by the timing resistor, R, connected to either Pin 7 or 8. The frequency is given as:

$$f_o = \frac{1}{RC} \text{ Hz}$$

and can be adjusted by varying either R or C. The recommended values of R, for a given frequency range, are shown in Figure 4. Temperature stability is optimum for 4 kΩ < R < 200 kΩ. Recommended values of C are from 1000 pF to 100 μF.

Frequency Sweep and Modulation:
Frequency of oscillation is proportional to the total timing current, I_T, drawn from Pin 7 or 8.

$$f = \frac{320 I_T \text{ (mA)}}{C \text{ } (\mu F)} \text{ Hz}$$

Timing terminals (Pin 7 or 8) are low-impedance points, and are internally biased at +3V, with respect to Pin 12. Frequency varies linearly with I_T, over a wide range of current values, from 1 μA to 3 mA. The frequency can be controlled by applying a control voltage, V_C, to the activated timing pin as shown in Figure 9. The frequency of oscillation is related to V_C as:

$$f = \frac{1}{RC}\left[1 + \frac{R}{R_C}\left(1 - \frac{V_C}{3}\right)\right] \text{ Hz}$$

where V_C is in volts. The voltage-to-frequency conversion gain, K, is given as:

$$K = \partial f / \partial V_C = -\frac{0.32}{R_C C} \text{ Hz/V}$$

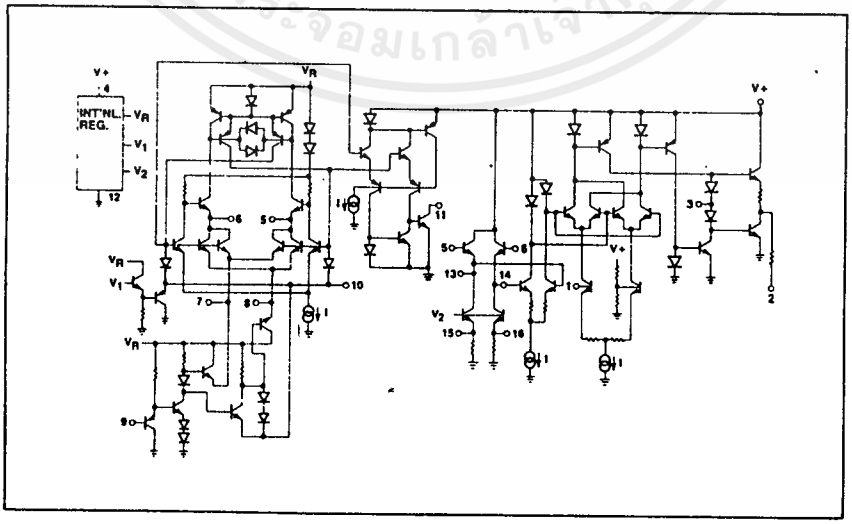
CAUTION: For safe operation of the circuit, I_T should be limited to ≤3 mA.

Output Amplitude:
Maximum output amplitude is inversely proportional to the external resistor, R_3, connected to Pin 3 (see Figure 2). For sine wave output, amplitude is approximately 60 mV peak per kΩ of R_3; for triangle, the peak amplitude is approximately 160 mV peak per kΩ of R_3. Thus, for example, R_3 = 50 kΩ would produce approximately ±3V sinusoidal output amplitude.

Amplitude Modulation:
Output amplitude can be modulated by applying a dc bias and a modulating signal to Pin 1. The internal impedance at Pin 1 is approximately 100 kΩ. Output amplitude varies linearly with the applied voltage at Pin 1, for values of dc bias at this pin, within ±4 volts of $V^+/2$ as shown in Figure 5. As this bias level approaches $V^+/2$, the phase of the output signal is reversed, and the amplitude goes through zero. This property is suitable for phase-shift keying and suppressed-carrier AM generation. Total dynamic range of amplitude modulation is approximately 55 dB.

CAUTION: AM control must be used in conjunction with a well-regulated supply, since the output amplitude now becomes a function of V^+.

EQUIVALENT SCHEMATIC DIAGRAM



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ELECTRICAL CHARACTERISTICS (V_{CC} = +15V, T_A = +25°C, unless otherwise specified)

	LIMITS				
PARAMETER	MIN	TYP	MAX	UNITS	CONDITIONS
Supply Current	2.0 2.0	3.5 4.5	6.0 7.5	mA mA	8V < V_{CC} < 15V 15V < V_{CC} < 22V
Conversion Accuracy Scale Factor	0.90	1.00	1.10	kHz/V	Circuit of Figure 3, V_I = 10 R_S = 14. 0k
Drift with Temperature	–	±100	–	ppm/°C	Circuit of Figure 3, V_I = 10
Drift with V_{CC}	–	0.2	1.0	%/V	Circuit Figure 3, V_I = 10 8V < V_{CC} < 18V
Input Comparator Offset Voltage Offset Current Input Bias Current Common Mode Range (Note 1)	 – – – 0	 5 ±50 –100 0 to V_{CC}–2	 10 ±100 –300 V_{CC}–3.0	 mV nA nA V	
One-Shot Threshold Voltage, Pin 5 Input Bias Current, Pin 5 Reset V_{SAT}	 0.63 – –	 .667 –100 0.15	 0.70 –500 0.50	 x V_{CC} nA V	 Pin 5, I = 2.2mA
Current Source Output Current Change with Voltage Off Leakage	 – – –	 138.7 1.0 1	 – 2.5 50.0	 µA µA nA	 Pin 1, V = 0, R_S = 14.0 Pin 1, V = 0V to V = Pin 1, V = 0V
Reference Voltage	1.70	1.9	2.08	V	Pin 2
Logic Output V_{SAT} V_{SAT} Off Leakage	 – – –	 0.15 0.10 .1	 0.50 0.30 1.0	 V V µA	 Pin 3, I = 3.0mA Pin 3, I = 2.0mA

Note 1: Input Common Mode Range includes ground.

PRINCIPLE OF OPERATION

SINGLE SUPPLY MODE VOLTAGE-TO-FREQUENCY CONVERTER

In this application, the XR-4151 functions as a stand-alone voltage-to-frequency converter operating on a single positive power supply. Refer to the functional block diagram and Figure 3, the circuit connection for single supply voltage-to-frequency conversion. The XR-4151 contains a voltage comparator, a one-shot, and a precision switched current source. The voltage comparator compares a positive input voltage applied at pin 7 to the voltage at pin 6. If the input voltage is higher, the comparator will fire the one-shot. The output of the one-shot is connected to both the logic output and the precision switched current source. During the one-shot period, T, the logic output will go low and the current source will turn on with curreht I. At the end of the one-shot period the logic output will go high and the current source will shut off. At this time the current source has injected an amount of charge Q = I_OT into the network R_B–C_B. If this charge has not increased the voltage V_B such that V_B >V_I, the comparator again fires the one-shot and the current source injects another lump of charge, Q, into the R_B–C_B network. This process continues until V_B>V_I. When this condition is achieved, the current source remains off and the voltage V_B decays until V_B is again equal to V_I. This completes one cycle. The VFC will now run in a steady state mode. The current source dumps lumps of charge into the capacitor C_B at a rate fast enough to keep V_B>V_I. Since the discharge rate of capacitor C_B is proportional toV_B/R_B, the frequency at which the system runs will be proportional to the input voltage.

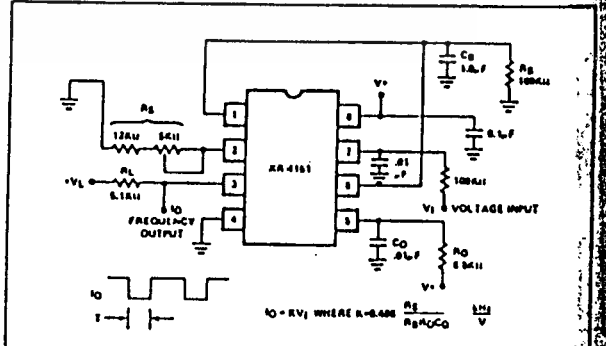


Figure 3. Voltage-to-Frequency Converter

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

XR-4151

Voltage-to-Frequency Converter

GENERAL DESCRIPTION

The XR-4151 is a device designed to provide a simple, low-cost method for converting a DC voltage into a proportional pulse repetition frequency. It is also capable of converting an input frequency into a proportional output voltage. The XR-4151 is useful in a wide range of applications includng A/D and D/A conversion and data transmission.

FEATURES

- Single Supply Operation (+8V to +22V)
- Pulse Output Compatible With All Logic Forms
- Programmable Scale Factor (K)
- Linearity ±0.05% typical–precision mode
- Temperature stability ±100% ppm/°C typical
- High Noise Rejection
- Inherent Monotonicity
- Easily Transmittable Output
- Simple Full Scale Trim
- Single-Ended Input, Refernced to Ground
- Also Provides Frequency-to-Voltage Conversion
- Direct Replacement for RC/RV/RM-4151

ABSOLUTE MAXIMUM RATINGS

Power Supply	22V
Output Sink Current	20mA
Internal Power Dissipation	500mW
Input Voltage	−0.2V to $+V_{CC}$
Output Short Circuit to Ground	Continuous

APPLICATIONS

- Voltage-to-Frequency Conversion
- A/D and D/A Conversion
- Data Transmission
- Frequency-to-Voltage Conversion
- Transducer Interface
- System Isolation

AVAILABLE TYPES

Part Number	Package	Operating Temperature
XR-4151P	Plastic	−40°C to +85°C
XR-4151CP	Plastic	0°C to +70°C

EQUIVALENT SCHEMATIC DIAGRAM

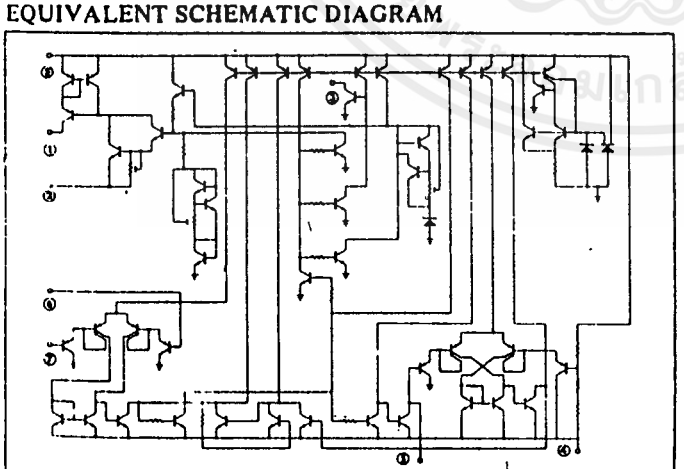


Figure 1.

FUNCTIONAL BLOCK DIAGRAM

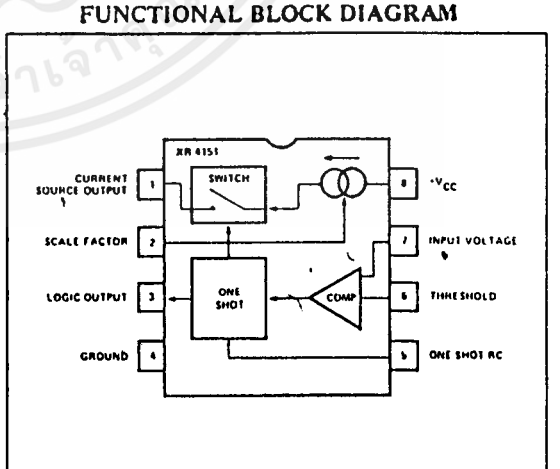


Figure 2.

EXAR INTEGRATED SYSTEMS, INC.
750 Palomar Ave., P.O. Box 62229, Sunnyvale, CA 94088
(408) 732-7970 TWX 910-339-9233

3-26

Rev. 1, 11/79

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TYPICAL APPLICATIONS

SINGLE SUPPLY VOLTAGE-TO-FREQUENCY CONVERTER

Figure 3 shows the simplest type of VFC that can be made with the XR-4151. The input voltage range is from 0 to +10V, and the output frequency is from 0 to 10kHz. The full scale frequency can be tuned by adjusting R_S, the output current set resistor. This circuit has the advantage of being simple and low in cost, but it suffers from inaccuracy due to a number of error sources. Linearity error is typically 1%. A frequency offset will also be introduced by the input comparator offset voltage. Also, response time for this circuit is limited by the passive integration network R_B C_B. For the component values shown in Figure 3, response time for a step change input from 0 to +10V will be 135msec. For applications which require fast response time and high accuracy, use the circuit of Figure 4.

PRECISION VOLTAGE-TO-FREQUENCY CONVERTER

In this application (Figure 4) the XR-4151 is used with an operational amplifier integrator to provide typical linearity of 0.05% over the range of 0 to −10V. Offset is adjustable to zero. Unlike many VFC designs which lose linearity below 10mV, this circuit retains linearity over the full range of input voltage, all the way to 0V.

Trim the full scale adjust pot at V_I = −10V for an output frequency of 10kHz. The offset adjust pot should be set for 10Hz with an input voltage of −10mV.
The operational amplifier integrator improves linearity of this circuit over that of Figure 3 by holding the output of

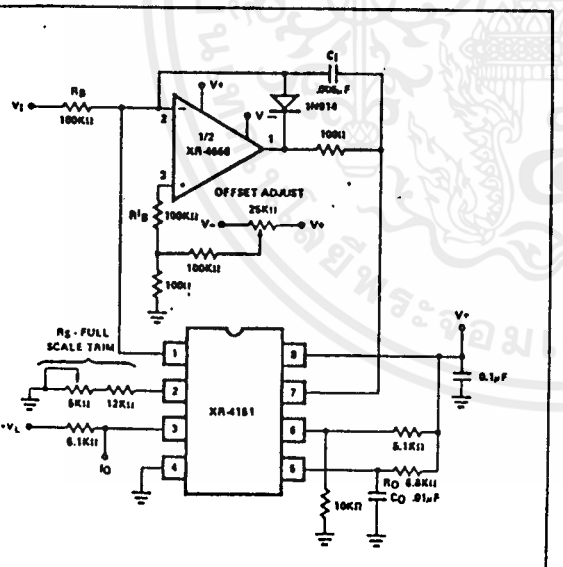


Figure 4. Precision Voltage-to-Frequency Converter

the source, Pin 1, at a constant 0V. Therefore, the linearity error due to the current source output conductance is eliminated. The diode connected around the op-amp prevents the voltage at pin 7 of the XR-4151 from going below 0. Use a low-leakage diode here, since any leakage will degrade the accuracy. This circuit can be operated from a single positive supply if an XR-3403 ground-sensing op-amp is used for the integrator. In this case, the diode can be left out. Note that even though the circuit itself will operate from a single supply, the input voltage is necessarily negative. For operation above 10kHz, bypass pin 6 of the XR-4151 with .01μF.

FREQUENCY-TO-VOLTAGE CONVERSION

The XR-4151 can be used as a frequency-to-voltage converter. Figure 5 shows the single-supply FVC configuration. With no signal applied, the resistor bias networks tied to pins 6 and 7 hold the input comparator in the off state. A negative going pulse applied to pin 6 (or positive pulse to pin 7) will cause the comparator to fire the one-shot. For proper operation, the pulse width must be less than the period of the one-shot, T = 1.1 R_0 C_0. For a 5V p-p square-wave input the differentiator network formed by the input coupling capacitor and the resistor bias network will provide pulses which correctly trigger the one-shot. An external voltage comparator can be used to "square-up" sinusoidal input signals before they are applied to the XR-4151. Also, the component values for the input signal differentiator and bias network can be altered to accommodate square waves with different amplitudes and frequencies. The passive integrator network R_B C_B filters the current pulses from the pin 1 output. For less output ripple, increase the value of C_B.

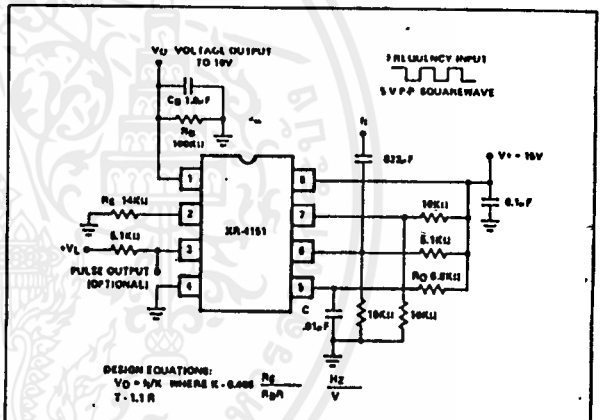


Figure 5. Frequency-to-Voltage Converter

For increased accuracy and linearity, use an operational amplifier integrator as shown in Figure 6, the precision FVC configuration. Trim the offset to give −10mV out with 10Hz in and trim the full scale adjust for −10V out with 10kHz in. Input signal conditioning for this circuit is necessary just as for the single supply mode and the scale factor can be programmed by the choice of component values. A tradeoff exists between the amount of output ripple and the response time, through the choice of integration capacitor C_I. If C_I = 0.1μf the ripple will be about 100mV. Response time constant $\tau R = R_B C_I$. For R_B = 100kΩ and C_I = 0.1μf, τR = 10msec.

PRECAUTIONS

1. The voltage applied to comparator input pins 6 and 7 should not be allowed to go below ground by more than 0.3 volt.

2. Pins 3 and 5 are open-collector outputs. Shorts between these pins and $+V_{CC}$ can cause overheating and eventual destruction.

3. Reference voltage terminal pin 2 is connected to the

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

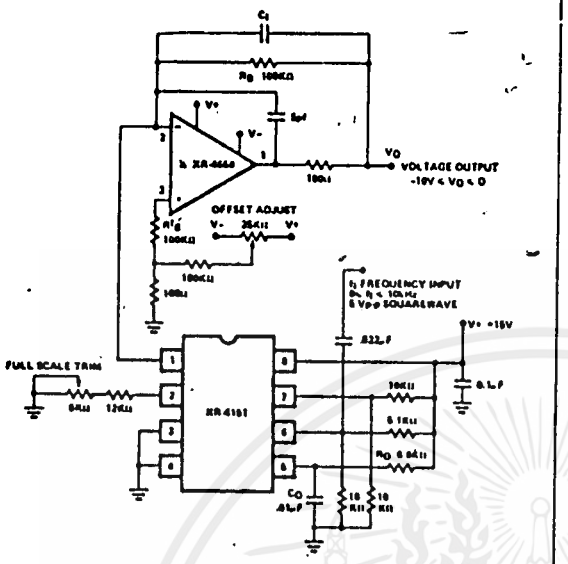


Figure 6. Precision Frequency-to-Voltage Converter

emitter of an NPN transistor and is held at approximately 1.9 volts. This terminal should be protected from accidental shorts to ground or supply voltages. Permanent damage may occur if the current in pin 2 exceeds 5mA.

4. Avoid stray coupling between pins 5 and 7; it could cause false triggering. For the circuit of Figure 3, bypass pin 7 to ground with at least 0.01μf. This is necessary for operation above 10kHz.

PROGRAMMING THE XR-4151

The XR-4151 can be programmed to operate with a full scale frequency anywhere from 1.0Hz to 100kHz. In the case of the VFC configuration, nearly any full scale input voltage from 1.0V and up can be tolerated if proper scaling is employed. Here is how to determine component values for any desired full scale frequency.

1. Set R_S = 14kΩ or use a 12k resistor and 5k pot as shown in the figures. (The only exception to this is Figure 4.)

2. Set $T = 1.1\ R_0C_0 = 0.75[1/f_o]$ where f_o is the desired full scale frequency. For optimum performance make 6.8kΩ $< R_0 <$ 680kΩ and 0.001$\mu f < C_0 <$ 1.0μf.

3. a) For the circuit of Figure 3 make $C_B = 10^{-2}\ [1/f_o]$ Farads.

   Smaller values of C_B will give a faster response time, but will also increase the frequency offset and nonlinearity.

   b) For the active integrator circuit make

   $C_I = 5 \times 10^{-5}\ [1/f_o]$ Farads.

   The op-amp integrator must have a slew rate of at least $135 \times 10^{-6}\ [1/C_I]$ volts per second where the value of C_I is in Farads.

4. a) For the circuit of Figure 4 keep the values of R_S and R_B as shown and use an input attenuator to give the desired full scale input voltage.

   b) For the precision mode circuit of Figure 4, set $R_B = V_{IO}/100\mu A$ where V_{IO} is the full scale input voltage.

   Alternately, the op-amp inverting input (summing node) can be used as a current input with the full scale input current $I_{IO} = -100\mu A$.

5. For the FVC's, pick the value of C_B or C_I to give the optimum tradeoff between the response time and output ripple for the particular application.

DESIGN EXAMPLE

I. Design a precision VFC (from Figure 5) with f_o = 100kHz and $V_{IO} = -10V$.

1. Set R_S = 14.0kΩ

2. $T = 0.75\ [1/10^5] = 7.5\mu$sec

   Let R_0 = 6.8kΩ and C_0 = 0.001μf.

3. $C_I = 5 \times 10^{-5}\ [1/10^5] = 500$pf.

   Op-amp slew rate must be at least

   $SR = 135 \times 10^{-6}\ [1/500\text{pf}] = 0.27V/\mu$sec

4. $R_B = 10V/100\mu A = 100k\Omega$.

II. Design a precision VFC with f_o = 1Hz and $V_{IO} = 10V$.

1. Let R_S = 14.0kΩ

2. $T = 0.75\ [1/1] = 0.75$ sec.

   Let R_0 = 680kΩ and C_0 = 1.0μf.

3. $C_I = 5 \times 10^{-5}\ [1/1]F = 50\mu f$.

4. R_B = 100kΩ.

III. Design a single supply FVC to operate with a supply voltage of 9V and full scale input frequency f_o = 83.3Hz. The output voltage must reach at least 0.63 of its final value in 200msec. Determine the output ripple.

1. Set R_S = 14.0kΩ

2. $T = 0.75\ [1/83.3] = 9$msec

   Let R_0 = 82kΩ and C_0 = 0.1μf.

3. Since this FVC must operate from 8.0V, we shall make the full scale output voltage at pin 6 equal to 5.0V.

4. $R_B = 5V/100\mu A = 50k\Omega$.

5. Output response time constant is $\tau_R \leq$ 200msec

   Therefore-

   $C_B \leq \tau_R/R_B = (200 \times 10^{-3}) / (50 \times 10^3) = 4\mu f$

   Worst case ripple voltage is:

   $V_R = (9mS \times 135\mu A) / 4\mu f = 304$mV.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

National Semiconductor Corporation

ADC0801, ADC0802, ADC0803, ADC0804, ADC0805 8-Bit μP Compatible A/D Converters

General Description

The ADC0801, ADC0802, ADC0803, ADC0804 and ADC0805 are CMOS 8-bit successive approximation A/D converters that use a differential potentiometric ladder—similar to the 256R products. These converters are designed to allow operation with the NSC800 and INS8080A derivative control bus with TRI-STATE® output latches directly driving the data bus. These A/Ds appear like memory locations or I/O ports to the microprocessor and no interfacing logic is needed.

Differential analog voltage inputs allow increasing the common-mode rejection and offsetting the analog zero input voltage value. In addition, the voltage reference input can be adjusted to allow encoding any smaller analog voltage span to the full 8 bits of resolution.

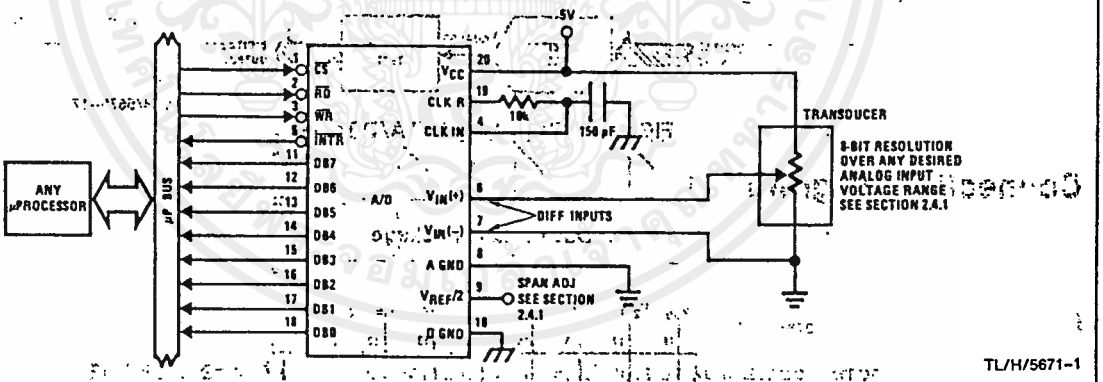
Features

- Compatible with 8080 μP derivatives—no interfacing logic needed - access time - 135 ns
- Easy interface to all microprocessors, or operates "stand alone"
- Differential analog voltage inputs
- Logic inputs and outputs meet both MOS and TTL voltage level specifications
- Works with 2.5V (LM336) voltage reference
- On-chip clock generator
- 0V to 5V analog input voltage range with single 5V supply
- No zero adjust required
- 0.3" standard width 20-pin DIP package
- 20-pin molded chip carrier or small outline package
- Operates ratiometrically or with 5 V_{DC}, 2.5 V_{DC}, or analog span adjusted voltage reference

Key Specifications

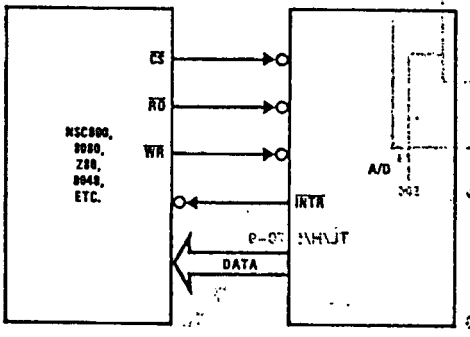
- Resolution: 8 bits
- Total error: ±¼ LSB, ±½ LSB and ±1 LSB
- Conversion time: 100 μs

Typical Applications



TL/H/5671–1

8080 Interface



TL/H/5671–31

Part Number	Error Specification (Includes Full-Scale, Zero Error, and Non-Linearity): Full-Scale Adjusted	$V_{REF}/2 = 2.500\ V_{DC}$ (No Adjustments)	$V_{REF}/2$ = No Connection (No Adjustments)
ADC0801	±¼ LSB		
ADC0802		±½ LSB	
ADC0803	±½ LSB		
ADC0804		±1 LSB	
ADC0805			±1 LSB

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการ
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Absolute Maximum Ratings (Notes 1 & 2)

If Military/Aerospace specified devices are required, contact the National Semiconductor Sales Office/ Distributors for availability and specifications.

Supply Voltage (V_{CC}) (Note 3)	6.5V
Voltage	
Logic Control Inputs	−0.3V to +18V
At Other Input and Outputs	−0.3V to (V_{CC} + 0.3V)
Lead Temp. (Soldering, 10 seconds)	
Dual-In-Line Package (plastic)	260°C
Dual-In-Line Package (ceramic)	300°C
Surface Mount Package	
Vapor Phase (60 seconds)	215°C
Infrared (15 seconds)	220°C
Storage Temperature Range	−65°C to +150°C
Package Dissipation at T_A = 25°C	875 mW
ESD Susceptibility (Note 10)	800V

Operating Ratings (Notes 1 & 2)

Temperature Range	$T_{MIN} \le T_A \le T_{MAX}$
ADC0801/02LJ	−55°C ≤ T_A ≤ +125°C
ADC0801/02/03/04LCJ	−40°C ≤ T_A ≤ +85°C
ADC0801/02/03/05LCN	−40°C ≤ T_A ≤ +85°C
ADC0804LCN	0°C ≤ T_A ≤ +70°C
ADC0802/03/04LCV	0°C ≤ T_A ≤ +70°C
ADC0802/03/04LCWM	0°C ≤ T_A ≤ +70°C
Range of V_{CC}	4.5 V_{DC} to 6.3 V_{DC}

Electrical Characteristics

The following specifications apply for V_{CC} = 5 V_{DC}, $T_{MIN} \le T_A \le T_{MAX}$ and f_{CLK} = 640 kHz unless otherwise specified.

Parameter	Conditions	Min	Typ	Max	Units
ADC0801: Total Adjusted Error (Note 8)	With Full-Scale Adj. (See Section 2.5.2)			±¼	LSB
ADC0802: Total Unadjusted Error (Note 8)	$V_{REF}/2$ = 2.500 V_{DC}			±½	LSB
ADC0803: Total Adjusted Error (Note 8)	With Full-Scale Adj. (See Section 2.5.2)			±½	LSB
ADC0804: Total Unadjusted Error (Note 8)	$V_{REF}/2$ = 2.500 V_{DC}			±1	LSB
ADC0805: Total Unadjusted Error (Note 8)	$V_{REF}/2$-No Connection			±1	LSB
$V_{REF}/2$ Input Resistance (Pin 9)	ADC0801/02/03/05 ADC0804 (Note 9)	2.5 0.75	8.0 1.1		kΩ kΩ
Analog Input Voltage Range	(Note 4) V(+) or V(−)	Gnd−0.05		V_{CC}+0.05	V_{DC}
DC Common-Mode Error	Over Analog Input Voltage Range		±1/16	±⅛	LSB
Power Supply Sensitivity	V_{CC} = 5 V_{DC} ±10% Over Allowed $V_{IN}(+)$ and $V_{IN}(-)$ Voltage Range (Note 4)		±1/16	±⅛	LSB

AC Electrical Characteristics

The following specifications apply for V_{CC} = 5 V_{DC} and T_A = 25°C unless otherwise specified.

Symbol	Parameter	Conditions	Min	Typ	Max	Units
T_C	Conversion Time	f_{CLK} = 640 kHz (Note 6)	103		114	μs
T_C	Conversion Time	(Note 5, 6)	66		73	$1/f_{CLK}$
f_{CLK}	Clock Frequency Clock Duty Cycle	V_{CC} = 5V, (Note 5) (Note 5)	100 40	640	1460 60	kHz %
CR	Conversion Rate in Free-Running Mode	$\overline{INTR}$ tied to $\overline{WR}$ with $\overline{CS}$ = 0 V_{DC}, f_{CLK} = 640 kHz	8770		9708	conv/s
$t_{W(\overline{WR})L}$	Width of $\overline{WR}$ Input (Start Pulse Width)	$\overline{CS}$ = 0 V_{DC} (Note 7)	100			ns
t_{ACC}	Access Time (Delay from Falling Edge of $\overline{RD}$ to Output Data Valid)	C_L = 100 pF		135	200	ns
t_{1H}, t_{0H}	TRI-STATE Control (Delay from Rising Edge of $\overline{RD}$ to Hi-Z State)	C_L = 10 pF, R_L = 10k (See TRI-STATE Test Circuits)		125	200	ns
t_{WI}, t_{RI}	Delay from Falling Edge of $\overline{WR}$ or $\overline{RD}$ to Reset of $\overline{INTR}$			300	450	ns
C_{IN}	Input Capacitance of Logic Control Inputs			5	7.5	pF
C_{OUT}	TRI-STATE Output Capacitance (Data Buffers)			5	7.5	pF
CONTROL INPUTS [Note: CLK IN (Pin 4) is the input of a Schmitt trigger circuit and is therefore specified separately]						
V_{IN} (1)	Logical "1" Input Voltage (Except Pin 4 CLK IN)	V_{CC} = 5.25 V_{DC}	2.0		15	V_{DC}

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

AC Electrical Characteristics (Continued)

The following specifications apply for $V_{CC} = 5V_{DC}$ and $T_{MIN} \le T_A \le T_{MAX}$, unless otherwise specified.

Symbol	Parameter	Conditions	Min	Typ	Max	Units
CONTROL INPUTS [Note: CLK IN (Pin 4) is the input of a Schmitt trigger circuit and is therefore specified separately]						
V_{IN} (0)	Logical "0" Input Voltage (Except Pin 4 CLK IN)	$V_{CC} = 4.75\ V_{DC}$			0.8	V_{DC}
I_{IN} (1)	Logical "1" Input Current (All Inputs)	$V_{IN} = 5\ V_{DC}$		0.005	1	μA_{DC}
I_{IN} (0)	Logical "0" Input Current (All Inputs)	$V_{IN} = 0\ V_{DC}$	−1	−0.005		μA_{DC}
CLOCK IN AND CLOCK R						
V_T+	CLK IN (Pin 4) Positive Going Threshold Voltage		2.7	3.1	3.5	V_{DC}
V_T-	CLK IN (Pin 4) Negative Going Threshold Voltage		1.5	1.8	2.1	V_{DC}
V_H	CLK IN (Pin 4) Hysteresis $(V_T+)-(V_T-)$		0.6	1.3	2.0	V_{DC}
V_{OUT} (0)	Logical "0" CLK R Output Voltage	$I_O = 360\ \mu A$, $V_{CC} = 4.75\ V_{DC}$			0.4	V_{DC}
V_{OUT} (1)	Logical "1" CLK R Output Voltage	$I_O = -360\ \mu A$, $V_{CC} = 4.75\ V_{DC}$	2.4			V_{DC}
DATA OUTPUTS AND $\overline{INTR}$						
V_{OUT} (0)	Logical "0" Output Voltage Data Outputs $\overline{INTR}$ Output	 $I_{OUT} = 1.6$ mA, $V_{CC} = 4.75\ V_{DC}$ $I_{OUT} = 1.0$ mA, $V_{CC} = 4.75\ V_{DC}$			 0.4 0.4	 V_{DC} V_{DC}
V_{OUT} (1)	Logical "1" Output Voltage	$I_O = -360\ \mu A$, $V_{CC} = 4.75\ V_{DC}$	2.4			V_{DC}
V_{OUT} (1)	Logical "1" Output Voltage	$I_O = -10\ \mu A$, $V_{CC} = 4.75\ V_{DC}$	4.5			V_{DC}
I_{OUT}	TRI-STATE Disabled Output Leakage (All Data Buffers)	$V_{OUT} = 0\ V_{DC}$ $V_{OUT} = 5\ V_{DC}$	−3		 3	μA_{DC} μA_{DC}
I_{SOURCE}		V_{OUT} Short to Gnd, $T_A = 25°C$	4.5	6		mA_{DC}
I_{SINK}		V_{OUT} Short to V_{CC}, $T_A = 25°C$	9.0	16		mA_{DC}
POWER SUPPLY						
I_{CC}	Supply Current (Includes Ladder Current) ADC0801/02/03/04LCJ/05 ADC0804LCN/LCV/LCWM	$f_{CLK} = 640$ kHz, $V_{REF}/2 = NC$, $T_A = 25°C$ and $\overline{CS} = 5V$		 1.1 1.9	 1.8 2.5	 mA mA

Note 1: Absolute Maximum Ratings indicate limits beyond which damage to the device may occur. DC and AC electrical specifications do not apply when operating the device beyond its specified operating conditions.

Note 2: All voltages are measured with respect to Gnd, unless otherwise specified. The separate A Gnd point should always be wired to the D Gnd.

Note 3: A zener diode exists, internally, from V_{CC} to Gnd and has a typical breakdown voltage of 7 V_{DC}.

Note 4: For $V_{IN}(-) \ge V_{IN}(+)$ the digital output code will be 0000 0000. Two on-chip diodes are tied to each analog input (see block diagram) which will forward conduct for analog input voltages one diode drop below ground or one diode drop greater than the V_{CC} supply. Be careful, during testing at low V_{CC} levels (4.5V), as high level analog inputs (5V) can cause this input diode to conduct—especially at elevated temperatures, and cause errors for analog inputs near full-scale. The spec allows 50 mV forward bias of either diode. This means that as long as the analog V_{IN} does not exceed the supply voltage by more than 50 mV, the output code will be correct. To achieve an absolute 0 V_{DC} to 5 V_{DC} input voltage range will therefore require a minimum supply voltage of 4.950 V_{DC} over temperature variations, initial tolerance and loading.

Note 5: Accuracy is guaranteed at $f_{CLK} = 640$ kHz. At higher clock frequencies accuracy can degrade. For lower clock frequencies, the duty cycle limits can be extended so long as the minimum clock high time interval or minimum clock low time interval is no less than 275 ns.

Note 6: With an asynchronous start pulse, up to 8 clock periods may be required before the internal clock phases are proper to start the conversion process. The start request is internally latched, see *Figure 2* and section 2.0.

Note 7: The $\overline{CS}$ input is assumed to bracket the $\overline{WR}$ strobe input and therefore timing is dependent on the $\overline{WR}$ pulse width. An arbitrarily wide pulse width will hold the converter in a reset mode and the start of conversion is initiated by the low to high transition of the $\overline{WR}$ pulse (see timing diagrams).

Note 8: None of these A/Ds requires a zero adjust (see section 2.5.1). To obtain zero code at other analog input voltages see section 2.5 and *Figure 5*.

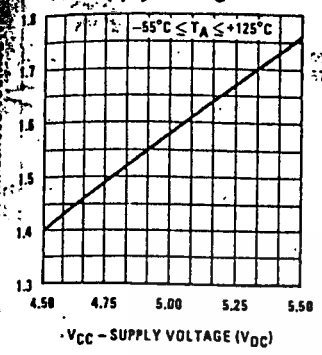
Note 9: The $V_{REF}/2$ pin is the center point of a two resistor divider connected from V_{CC} to ground. Each resistor is 2.2k, except for the ADC0804LCJ where each resistor is 16k. Total ladder input resistance is the sum of the two equal resistors.

Note 10: Human body model, 100 pF discharged through a 1.5 kΩ resistor.

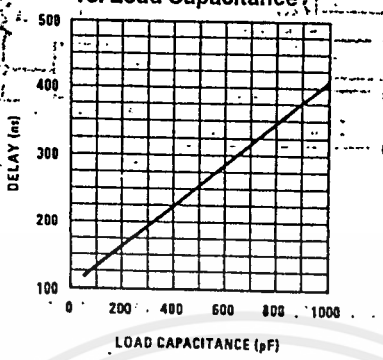
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Performance Characteristics

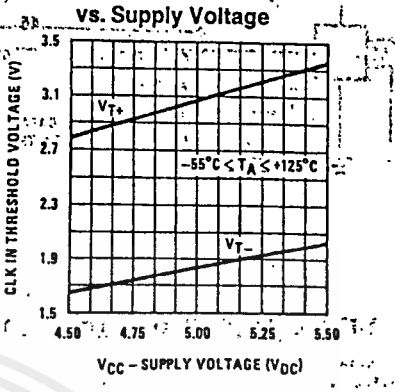
Logic Input Threshold Voltage vs. Supply Voltage



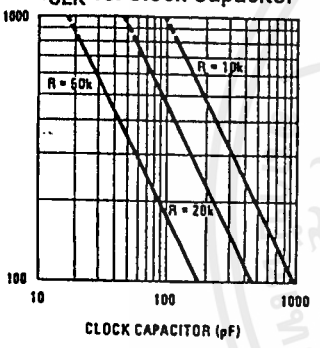
Delay From Falling Edge of $\overline{RD}$ to Output Data Valid vs. Load Capacitance



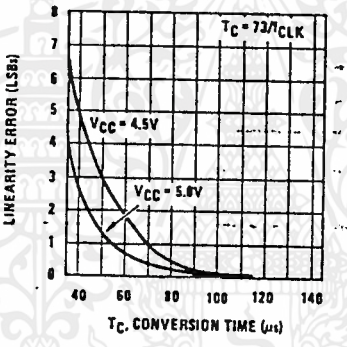
CLK IN Schmitt Trip Levels vs. Supply Voltage



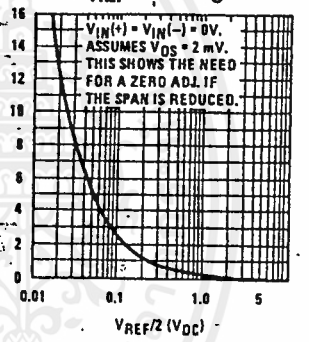
f_{CLK} vs. Clock Capacitor



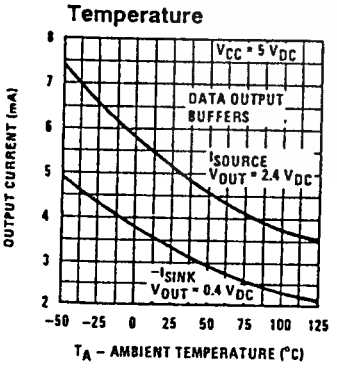
Full-Scale Error vs Conversion Time



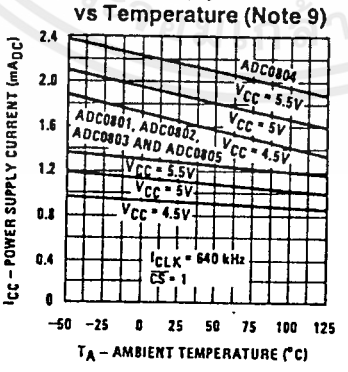
Effect of Unadjusted Offset Error vs. $V_{REF}/2$ Voltage



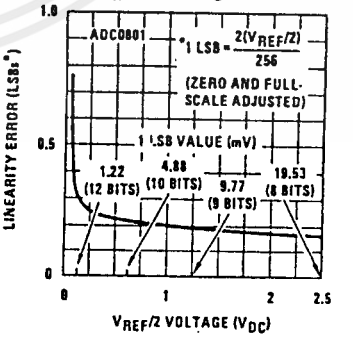
Output Current vs Temperature



Power Supply Current vs Temperature (Note 9)



Linearity Error at Low $V_{REF}/2$ Voltages



TL/H/5671–2

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้