การส่งสัญญาณPCMผ่านคลื่นวิทยุ

PCM TELEMETRY

โดย

นายทวีศักดิ์ เวชพันธุ์

นายธีรยศ เวียงทอง

นายมนูญ เส็งพานิช

ปริญญานิพนธ์นี้ เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตร์บัณฑิต

สาขาวิศวกรรมอิเล็กทรอนิกส์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2535

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

032544

ปริญญานิพนธ์ปีการศึกษา 2535

ภาควิชา อิเล็กทรอนิกส์

คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เรื่อง PCM TELEMETRY

ผู้จัดทำ

1.นายทวีศักดิ์ เวชพันธุ์ เลขประจำตัว 321103

2.นายธีรยศ เวียงทอง เลขประจำตัว 321125

3.นายมนูญ เส็งพานิช เลขประจำตัว 321237

รศ.ดร. มนัส สังวรศิลป์ อาจารย์ที่ปรึกษา

(.....)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

032544

PCM TELEMETRY

ทวีศักดิ์ เวชพันธุ์ 321103

ธีรยศ เวียงทอง 321125

มนูญ เส็งพานิช 321237

รศ.ดร.มนัส สังวรศิลป์ อาจารย์ที่ปรึกษา

บทคัดย่อ

โครงงานนี้มีจุดประสงค์ เพื่อศึกษาและพัฒนาระบบการส่งสัญญาณระยะไกล(Telemetry)ในระบบมัลติเพล็กซ์แบบแบ่งช่วงเวลาของสัญญาณเข้าขนาดหลายช่อง(4ช่อง)โดยได้นำเสนอในรูปแบบของระบบดิจิตอลพีซีเอ็ม(Digital PCM) ซึ่งประกอบด้วยส่วนต่างๆคือ ในภาคส่งประกอบด้วย-สัญญาณ inputแบบอนาล็อก วงจรแปลงสัญญาณอนาล็อกเป็นดิจิตอล วงจรมัลติเพล็กซ์แบบแบ่งช่วงเวลา วงจรซิงโครไนซ์สัญญาณ ในส่วนของภาครับประกอบด้วย วงจรclock recovery ด้วยวิธี Phase locked loop วงจรแยกสัญญาณและแปลงสัญญาณกลับเป็นสัญญาณอนาล็อกของแต่ละช่องสัญญาณ โดยใช้คลื่นวิทยุเชื่อมโยงระหว่างภาคส่งและภาครับ

สำหรับโครงงานนี้ เมื่อแล้วเสร็จสมบูรณ์ก็จะสามารถนำไปประยุกต์ใช้กับการส่งสัญญาณรูปแบบต่างๆ เช่น สัญญาณไฟฟ้าจากร่างกายมนุษย์ในทางการแพทย์ การควบคุมอุปกรณ์ระยะไกล (remote control),ฯลฯ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

PCM TELEMETRY

THAWEESAK WETCHAPUN 321103

TEERAYOT VIENGTHONG 321125

MANOON SENGPANICH 321237

ABSTRACT

This Project is to study and develop multichannel Telemetry system by Time Division Multiplexing Technique of 4 channels input. By using digital PCM technique,the system is compose of transmitter; which include analog input channels,ADC device,TDM Multiplexing circuit,and synchronization circuit;receiver is include clock recovery circuit by PLL,DACs device. The transmitter and the receiver are linked by radio frequency circuit.

The complete project will leads to many applications:for example,for monitoring bio-electrical signal in medical unit,multichannel remote control,etc.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ

	หน้า
บทคัดย่อ	i
Abstract	ii
บทที่ 1 บทนำ	1
บทที่ 2 pulse code modulation	2
บทที่ 3 phase locked loop	16
บทที่ 4 วงจรที่ใช้ในการทดลอง	30
บทที่ 5 ผลการทดลอง สรุปและวิจารณ์ผล	56
กิตติกรรมประกาศ	58

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทนำ

โครงงานนี้เป็นการศึกษาการส่งสัญญาณระยะไกล โดยส่งสัญญาณ telemetry ขนาด 4 ช่องสัญญาณ เพื่อใช้กับสัญญาณซึ่งมีความถี่ต่ำในช่วงต่ำกว่า 200 Hz ซึ่งมีเป้าหมายที่จะนำไปพัฒนาเป็นระบบtelemetry ที่ใช้ในการส่ง-รับ สัญญาณในวงการแพทย์ เช่นสัญญาณหัวใจ สัญญาณแรงดันและยังสามารถประยุกต์ใช้ในการควบคุมระยะไกลได้

สำหรับโครงงานนี้ได้ศึกษาระบบ telemetry ขนาด 4 ช่องสัญญาณ ด้วยเครื่องส่งเพียงชุดเดียว ดังนั้นจึงได้ใช้ระบบ multiplex แบบ TDM เนื่องจากมีประสิทธิภาพสูงกว่าแบบ FDM และทำการแปลงสัญญาณเข้าซึ่งเป็นอนาล็อกให้เป็นสัญญาณดิจิตอล ทั้งนี้เพื่อศึกษาระบบ digital ซึ่งเป็นระบบที่มีประสิทธิภาพสูงและมีความยืดหยุ่นมากกว่าระบบ อนาล็อก

ส่วนต่างๆของระบบ telemetry ที่สร้างขึ้นมาประกอบด้วย

1.วงจรภาคส่ง ประกอบด้วย การแปลงสัญญาณ อนาล็อกเป็นดิจิตอล การมัลติเพล็กซ์สัญญาณแบบ TDM การเพิ่มสัญญาณ synchronize

2.วงจรภาครับ ประกอบด้วย วงจร clock recovery การแยกสัญญาณแต่ละช่อง การแปลงสัญญาณดิจิตอลเป็นอนาล็อก เพื่อนำไปแสดงผล

3.วงจรเชื่อมโยงด้วยคลื่นวิทยุ เป็นการเชื่อมโยงระหว่างภาครับและภาคส่งเข้าด้วยกันด้วยคลื่นวิทยุระบบ AM

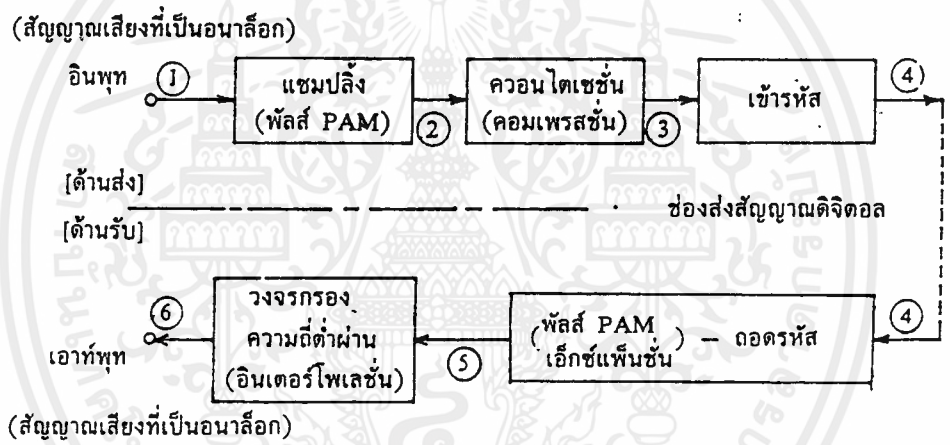
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

พัลซ์โค้ดมอดูเลชั่น

(Pulse Code Modulation)

กระบวนการเข้ารหัสและถอดรหัสของพีซีเอ็ม

รูปที่ 1 แสดงขั้นตอนการประมวลสัญญาณเพื่อให้ได้รับPCM กล่าวอย่างกว้างๆก็คือการเข้ารหัส(Coding) และการนำสัญญาณไปแปลงกลับซึ่งเรียกว่าการถอดรหัส(Decoding) เพื่อให้ได้สัญญาณเดิม สำหรับรูปที่ 2 แสดงลักษณะคลื่นในโดเมนเวลาและสเปคตรัมในโดเมนความถี่ของแต่ละขั้นตอนในกระบวนการนี้ซึ่งหลักการของแต่ละขั้นตอน จะกล่าวให้ละเอียดดังต่อไปนี้

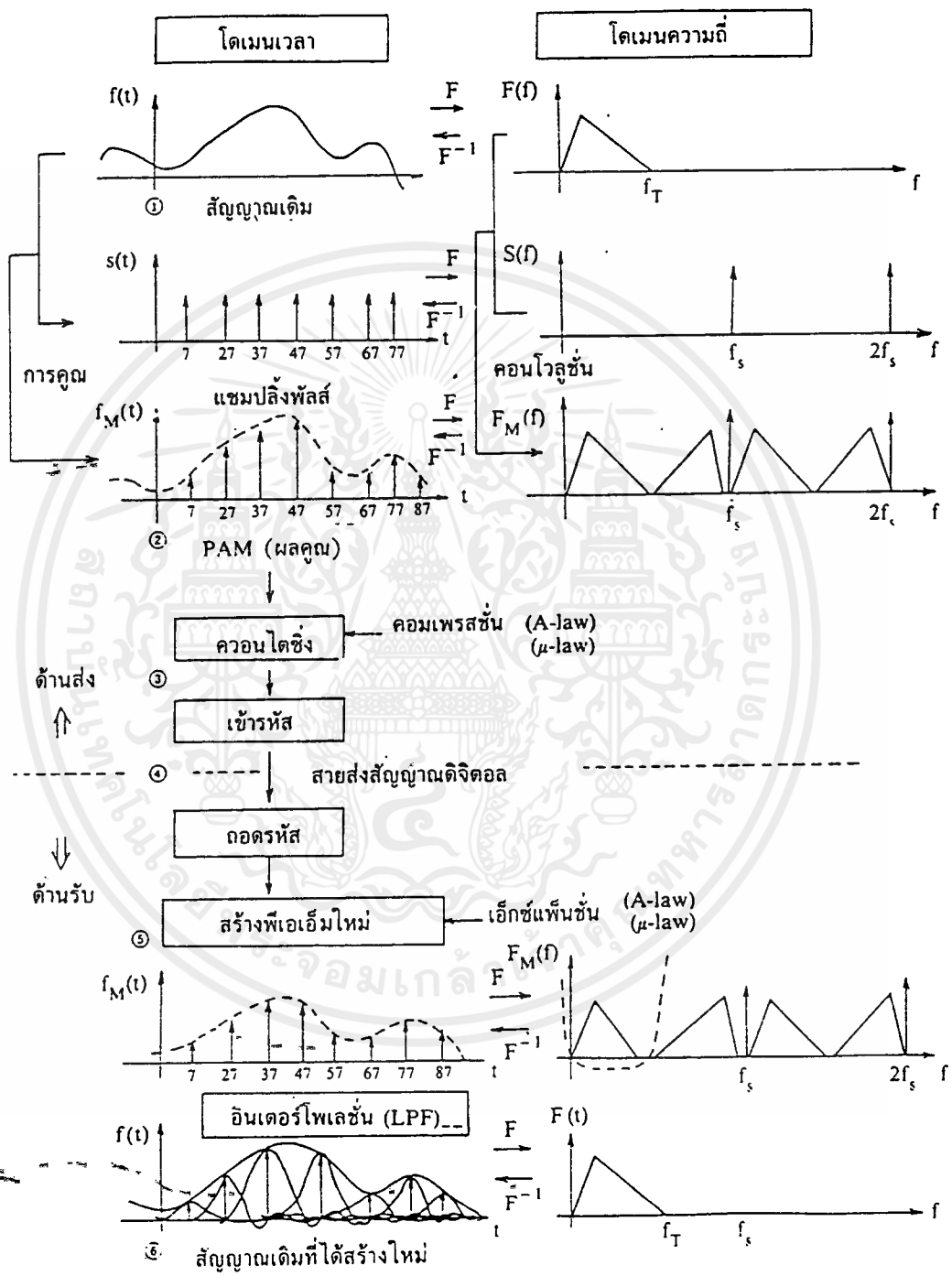


รูปที่ 1 กระบวนการเข้ารหัสและถอดรหัสของ PCM

การแซมปลิ้ง(Sampling)

ตามที่ทราบกันดีแล้วว่าการแซมปลิ้ง คือการทำสัญญาณซึ่งมีค่าต่อเนื่อง ให้เป็นดีสครีทในช่วงเวลาที่เท่าๆกัน และตามที่ได้กล่าวมาแล้วข้างต้นว่า ทฤษฎีการแซมปลิ้งนั้น ถ้าเก็บแซมเปิ้ลด้วยค่าอัตรา 2 เท่าหรือมากกว่าความถี่สูงสุดของสัญญาณอนาล็อกแล้วจะสามารถกระทำให้สัญญาณเดิมกลับคืนมาได้ เนื่องจากสัญญาณเสียงที่ใช้ในระบบโทรศัพท์นั้นถูกจำกัดให้มีค่าความถี่ระหว่าง0.3-3.4kHz ดังนั้นอัตราการแซมปลิ้งต่ำสุดจะต้องเท่ากับ 6.8kHz สำหรับในทางปฏิบัติจะให้ 8 kHz คือแซมปลิ้งทุกๆ 125μs

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2 กระบวนการเข้ารหัสและถอดรหัส (โดเมนเวลาและความถี่)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การแซมปลิ้งนี้ จะแปลงสัญญาณอนาล็อกให้เป็นขบวนพัลซ์ซึ่งเรียกว่า PAM และจะมีผลดีได้จะต้องมีเงื่อนไขดังนี้

ก) สัญญาณอินพุทต้องไม่มีองค์ประกอบเกินความถี่สูงสุด f_0

ข) ขบวนพัลซ์ที่ใช้สำหรับแซมปลิ้งจะต้องเป็นอิมพัลซ์ซึ่งมีความกว้าง 0 และมีอัมปลิจูดเป็นอนันต์

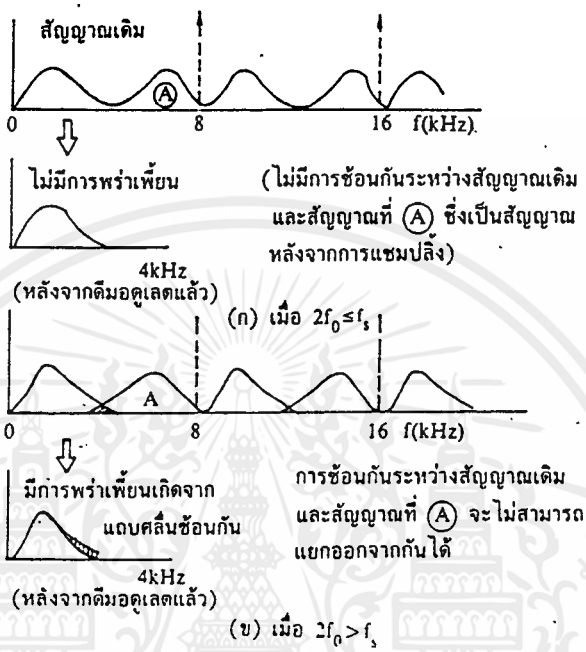
ค) ทางด้านรับต้องใช้วงจรกรองความถี่ต่ำตามอุดมคติ(Ideal low pass filter) ซึ่งยอมให้ความถี่ต่ำกว่า f_0 ผ่านได้ทั้งหมด

แต่อย่างไรก็ตาม ในทางปฏิบัตินั้นจะไม่สามารถทำให้เป็นไปได้ตามเงื่อนไขดังกล่าวข้างต้นได้สมบูรณ์ เมื่อเป็นเช่นนี้จะเกิดความพร่าเหี้ยน (distortion) ต่างๆขึ้น คือ

<u>ความพร่าเหี้ยนเกิดจากแถบคลื่นซ้อนกัน</u>

ถ้าความถี่สูงสุดของสัญญาณอินพุทเป็น f_0 และความถี่ที่ใช้แซมปลิ้งเป็น f_s เมื่อ $f_s \geq 2f_0$ วงจรกรองความถี่ต่ำทางด้านรับจะขจัดองค์ประกอบความถี่ที่มากกว่าf_0ออก ทำให้ง่ายต่อการนำสัญญาณเดิมให้กลับคืนมาได้ ตามรูป 3.3 (ก) แต่ถ้าสัญญาณอินพุทมีองค์ประกอบความถี่สูงกว่า $f_0 \geq f_{s/2}$ รวมอยู่ด้วย ขบวนพัลซ์ PAMที่ได้รับจะมีสเปคตรัมเกิดขึ้นดังแสดงไว้ในรูป 3.3(ข) จะเห็นได้ว่ามีความซ้อนกันระหว่างสเปคตรัมสัญญาณเดิมกับ LSBจึงเป็นการลำบากที่จะทำให้สัญญาณเดิมกลับมาได้อย่างสมบูรณ์แม้ว่าวงจรกรองความถี่จะกรองความถี่ที่สูงกว่า f_0 ออกแล้วก็ตามก็ยังคงเหลือนอยส์ปนอยู่กับสัญญาณที่ได้ดีมอดูเลตแล้ว ปรากฏการณ์นี้เรียกว่า Aliasing distortion

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

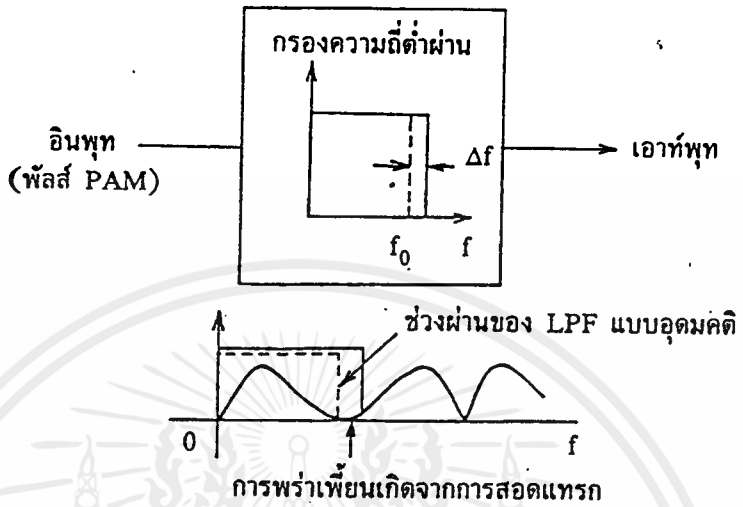


รูปที่ 3 การพร่าเพี้ยนเกิดจากแถบคลื่นซ้อนกัน

<u>การพร่าเพี้ยนเกิดจากการสอดแทรก</u> (Interpolation distortion)

การดีมอดูเลตพัลส์ PAM ทางด้านรับนั้นจะได้ LPF ตามอุดมคติ ดังที่ได้กล่าวมาแล้วข้างต้นว่า ในทางปฏิบัติไม่สามารถจะสร้างวงจรแบบนี้ได้ จึงเพียงแต่สร้างให้มีคุณลักษณะใกล้เคียงเท่านั้น ดังนั้นจึงไม่สามารถจะกำจัดความถี่ซึ่งสูงกว่า f_s และฮาร์โมนิกส์ต่างๆ ออกไปได้ตามที่แสดงไว้ในรูปที่ 4 สิ่งดังกล่าวเหล่านี้จะสอดแทรกเข้าไปปนกับสัญญาณที่ได้จากการดีมอดูเลต จึงเป็นผลทำให้เกิดการพร่าเพี้ยนซึ่งเรียกว่า Interpolation distortion

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

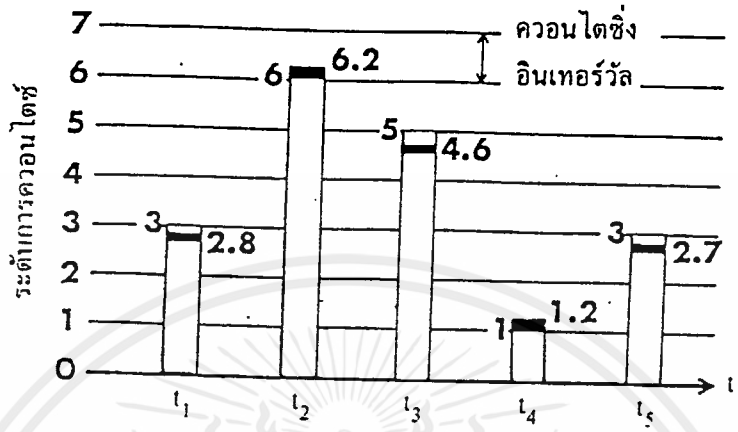


รูปที่ 4 การพร่าเพี้ยนเกิดจากการสอดแทรก

การจัดระดับ (Quantizing)

ขบวนพัลส์ PAM ที่ผ่านการแซมปลิ้งมาแล้ว ยังถือว่าเป็นชนิดอนาล็อกอยู่ คือมันจะมีอัมปลิจูดที่เปลี่ยนแปลงอย่างต่อเนื่องไปกับเวลาที่เป็นช่วงๆ การจัดระดับ คือ กระบวนการที่เปลี่ยนอัมปลิจูดของ PAM เหล่านั้นให้เป็นค่าตัวเลขแบบดีสครีทตามที่แสดงไว้ในรูป 5

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 5 การจัดระดับ

จากรูปที่ 5 อัมปลิจูดของแซมเปิ้ลทุกตัวของ PAM จะถูกจัดให้เป็นระดับซึ่งเรียกว่า ระดับควอนไตซ์ (Quantizing level)โดยมีระยะห่างระหว่างระดับข้างเคียง เรียกว่า ควอนไตซิ่งอินเทอร์วัล (Quantizing interval) หรือควอนไตซิ่งสเต็ปนั้นเท่านั้น กรณีนี้เรียกว่าการจัดระดับแบบยูนิฟอร์มหรือแบบลิเนียร์ (Uniform Quantizing) ขนาดของแซมเปิ้ลทุกตัวจะแสดงด้วยค่าระดับควอนไตซ์ที่ใกล้เคียงที่สุด เช่นขนาดของแซมเปิ้ลที่ $t=t_1$ คือ 2.8 จะจัดให้เป็นระดับ 3 หรือค่าแซมเปิ้ลที่ $t=t_2$ มีขนาด 6.2จะจัดให้เป็นระดับ 6 เป็นต้น จะเห็นได้ว่าสัญญาณ PAM ที่ถูกจัดระดับแล้วนี้จะเป็นเพียงค่าโดยประมาณของสัญญาณอนาล็อกเท่านั้น ดังนั้นส่วนเกินและส่วนขาดจากการจัดระดับ จึงเป็นค่าผิดพลาดระหว่างสัญญาณเดิมและค่าที่ได้จัดระดับซึ่งค่าผิดพลาดนี้เรียกว่า ควอนไตซิ่งนอยส์ (Quantizing noise) หรือความพร่าเพี้ยนจากการควอนไตซ์ (Quantizing Distortion)

อนึ่ง จากหลักการที่กล่าวมานี้ ทางปฏิบัติจะไม่สามารถหลีกเลี่ยงควอนไตซิ่งนอยส์ได้ แต่เพื่อรักษาคุณภาพของเสียงในการสนทนาให้ดี จึงจำเป็นต้องทำให้นอยส์นี้ลดลง ในเบื้องต้น คือการลดควอนไตซิ่งอินเทอวัลลงครึ่งหนึ่ง ปริมาณของควอนไทซิ่งนอยส์จะลดลงเป็น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

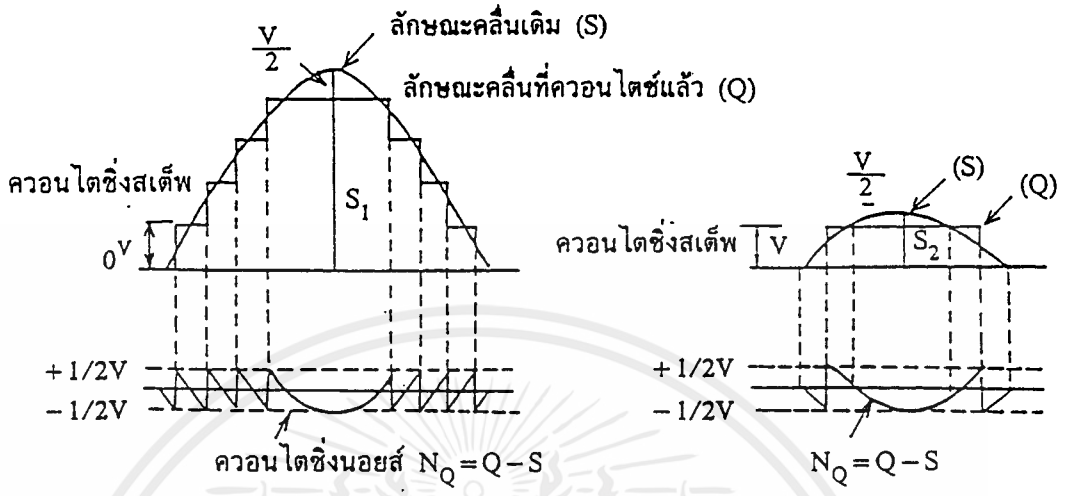
1/4 และการลดอินเทอร์วัลให้เหลือครึ่งหนึ่งนั้นจะสอดคล้องกับการเพิ่มจำนวนบิทอีก 1 บิท นั่นคือ เพาเวอร์ของควอนไตซิ่งนอยส์จะลดลง 6 ทุกๆการเพิ่ม 1 บิท

คอมแพนดิ้ง(Companding)

ตามที่ได้กล่าวมาจาก3.4แล้วว่าเราไม่สามารถจะหลีกเลี่ยงควอนไตซิ่งนอยส์ที่เกิดขึ้นได้ แต่จะต้องทำให้ลดลงโดยการลดควอนไตซิ่งอินเทอร์วัลหรือการเพิ่มจำนวนระดับนั่นเอง แต่เมื่อเพิ่มจำนวนระดับขึ้นแล้ว จำนวนบิทที่ใช้จะเพิ่มขึ้น จึงจำเป็นต้องใช้ความเร็วในการส่งสัญญาณดิจิตอลให้สูงขึ้น ตามปกติควอนไตซิ่งนอยส์จะเกิดขึ้นอย่างสม่ำเสมอในทุกอินเทอร์วัล โดยไม่เกี่ยวข้องกับอิมปลิจูดของสัญญาณเดิม หรือกล่าวอีกนัยหนึ่งคือ เพาเวอร์ของควอนไตซิ่งนอยส์เกือบจะคงที่โดยไม่ขึ้นอยู่กับสัญญาณ และในการวัดคุณภาพของการเข้ารหัสของสัญญาณเสียงจะใช้อัตราส่วนของสัญญาณ S ต่อควอนไตซิ่งนอยส์ N_q เมื่อเป็นเช่นนี้จะเข้าใจได้ว่าในกรณีที่สัญญาณมีระดับสูง S/N_q จะดีกว่ากรณีของสัญญาณที่มีระดับต่ำดังนั้นจึงจำเป็นต้องพิจารณาควอนไตซิ่งนอยส์ในบริเวณที่สัญญาณมีระดับต่ำ อย่างเช่นในรูป 3.6ซึ่งกรณีที่เป็นการจัดระดับแบบยูนิฟอร์ม จะเห็นได้ว่าเมื่อสัญญาณมีเพาเวอร์ต่ำ นอยส์จะมีระดับสูง เมื่อเทียบกับระดับของสัญญาณ จึงทำให้ S/N_q เลวลง ด้วยเหตุนี้จึงใช้การจัดระดับโดยวิธีอื่น กล่าวคือ แบบน็อนยูนิฟอร์ม(Non-Uniform Quantizing) คือบริเวณที่สัญญาณมีอัมปลิจูดต่ำจะใช้ควอนไตซิ่งสเต็ปแคบๆ และในทางตรงกันข้ามบริเวณที่สัญญาณมีอัมปลิจูดสูงจะใช้ควอนไตซิ่งสเต็ปกว้างๆ ซึ่งการทำให้เป็นแบบน็อนยูนิฟอร์มนั้นจะใช้หลักการของ Companding เข้าช่วย

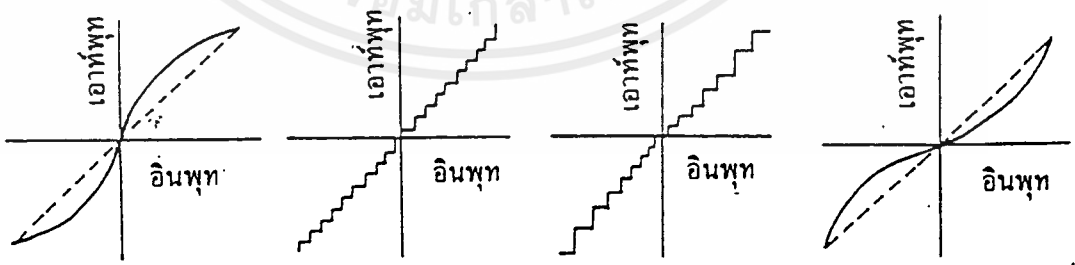
คอมแพนดิ้งเป็นชื่อรวมของวงจรคอมเพรสเซอร์(Compressor) ซึ่งใช้สำหรับด้านส่ง และวงจรเอกซ์แพนเดอร์(Expander) ซึ่งใช้สำหรับด้านรับ คุณสมบัติของวงจรนี้จะกล่าวในภายหลัง อย่างไรก็ตาม ตัวอย่างการจัดระดับควอนไตซ์แบบน็อนยูนิฟอร์มได้แสดงไว้ในรูป 3.7 ซึ่งมีขั้นตอนคือ ก่อนที่จะทำการจัดระดับจะผ่านสัญญาณไปยังคอมเพรสเซอร์ 3.7 (ข) ก็จะได้การจัดระดับแบบน็อนยูนิฟอร์มตามรูปที่ 7 (ค) สำหรับทางด้านรับนั้นเมื่อสัญญาณ PCM ผ่านขั้นตอนการถอดรหัสแล้วก็จะผ่านไปยังวงจรเอกแพนเดอร์ซึ่งมีคุณลักษณ์ตรงข้ามกับคอมเพรสเซอร์ตามรูป 7(ง)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



$$\frac{\frac{V}{2}}{S_1} < \frac{\frac{V}{2}}{S_2}$$

รูปที่ 6 การควอนไตซ์และควอนไตซิ่งนอยส์

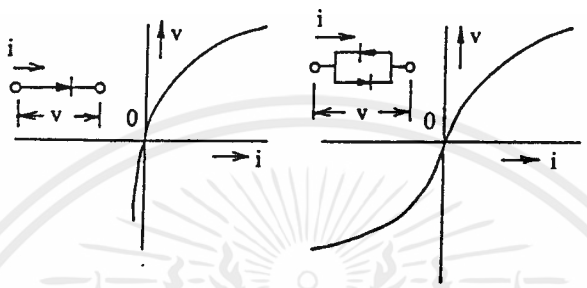


รูปที่ 7 คุณลักษณะการจัดระดับด้วยคอมเพรสเซอร์และเอกซ์แพนเดอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

032544

สำหรับคุณลักษณะของคอมเพรสเซอร์นั้นจะเป็นลอการิทึม รูปแบบทั่วไปจะใช้คุณสมบัติ V-I ของไดโอด ตามรูปที่ 8 กรณีที่ใช้เป็นคอมเพรสเซอร์จะมีกรณีที่ใช้เป็นคอมเพรสเซอร์จะมีกระแส I เป็นอินพุท โวลเตจ V เป็นอินพุท สำหรับกรณีที่ใช้เป็นเอกซ์แพนเดอร์จะมีโวลเตจเป็นอินพุทและกระแสเป็นเอาท์พุท



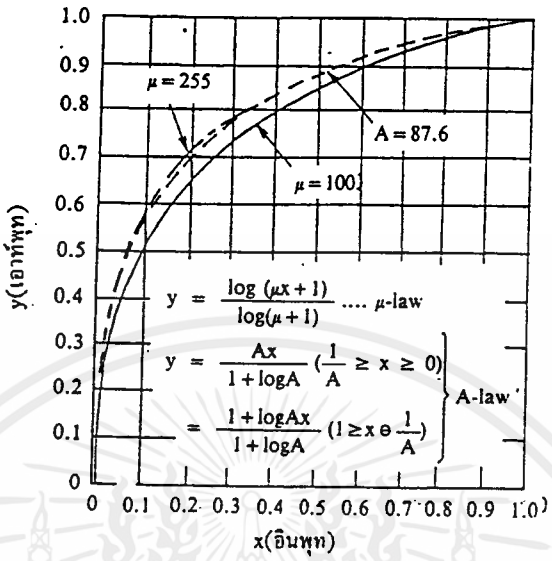
(ก) ไดโอดตัวเดียว (ข) ไดโอดหลายตัว

รูปที่ 8 คุณลักษณะคอมเพรสชั่นของไดโอด

คุณลักษณะของคอมเพรสเซอร์ที่ใช้สำหรับประกอบการเข้ารหัสสัญญาณเสียงในปัจจุบันคือ μ-law ซึ่งใช้ในHierarchy ของระบบ 1.5Mb/s และ A-lawใช้ใน Hierarchyของระบบ 2 Mb/s คุณลักษณะทั้ง 2 แบบนี้แสดงไว้ในรูป 3.9 เฉพาะกรณีของ μ=100,225 และ A=87.6

กรณีμ=100 จะใช้วงจรคอมเพรสเซอร์ตามรูป3.8 แต่กรณีμ=225 และ A=86.7 จะใช้วงจรคอมเพรสเซอร์ที่มีคุณสมบัติเป็นเส้นตรงโดยแยกเป็นส่วนๆซึ่งมีคุณลักษณะใกล้เคียงกับในรูป 3.9 ตามปกติในวงจรเข้ารหัสจะมีหน้าที่นี้ร่วมอยู่ด้วยแล้วนำการกดและเข้ารหัสไปพร้อมๆกัน วงจรเข้ารหัสนี้ถูกเรียกว่า Broken line encoder

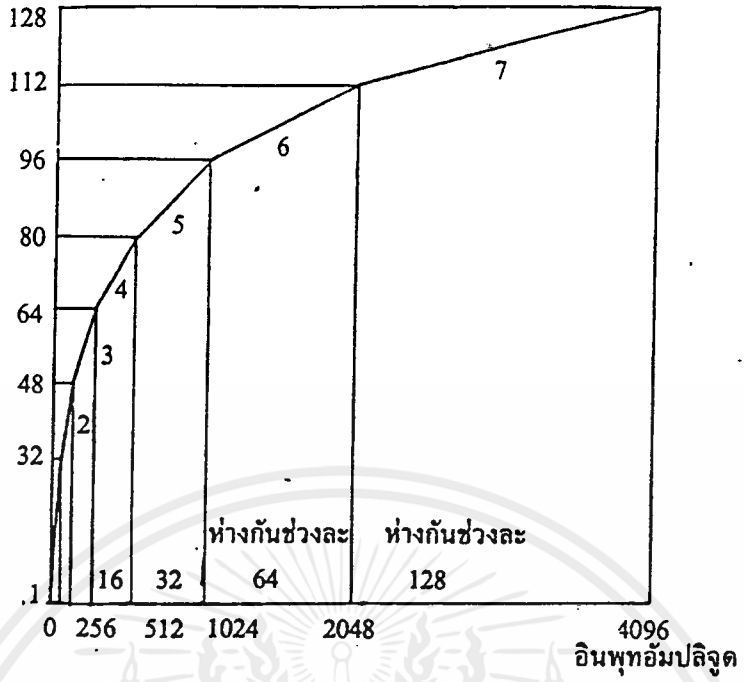
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 9 แบบอย่างคุณลักษณะของคอมเพรสชั่น

อนึ่งกรณีที่ใช้μ=225จะประมาณด้วยเส้นตรง 15 เส้น สำหรับกรณีที่ใช้ A= 87.6 จะแบ่งเป็นเส้นตรง 13 ส่วน โดยส่วนที่ 1 จะเป็นเส้นตรงผ่านจุดเริ่มต้นไปทั้งทางบวกและทางลบ สำหรับคุณลักษณะของ A-lawนี้แสดงไว้ในรูป 10 ซึ่งแสดงคุณลักษณะเฉพาะด้านบวกเท่านั้นอินพุทอัมปลิจูด 4096 จะสอดคล้องกับสัญญาณซึ่งมีเพาเวอร์3.14 dBm0 สำหรับเอาท์พุทนั้นจะถูกจัดให้เป็น 256 ระดับ(ทั้งด้านบวกและลบ) คือใช้ 8 บิทต่อแซมเปิ้ล 1 ตัว

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รหัส : A B C D E F G H (8 บิท)

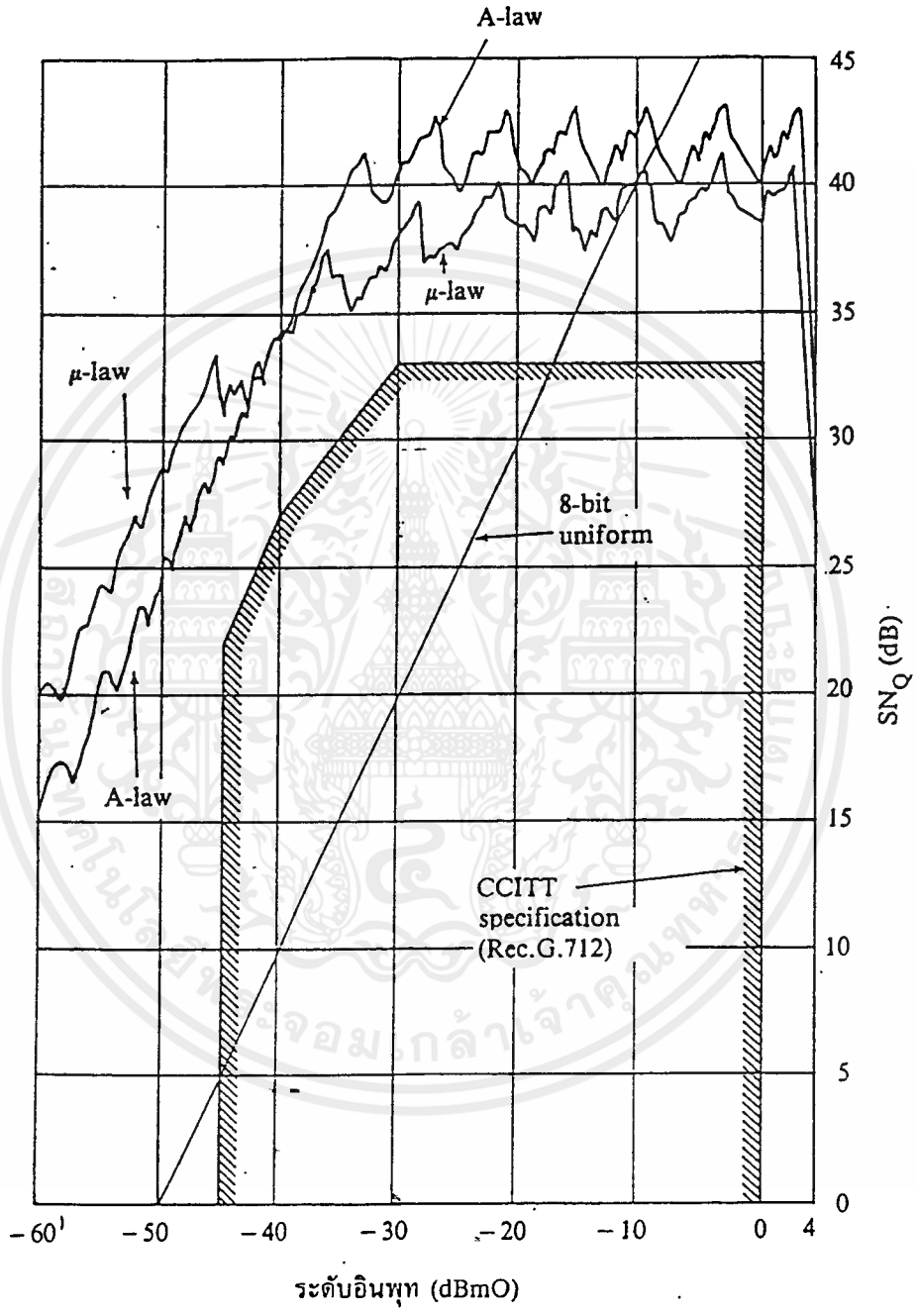
- A : ขั้ว
- B C D : หมายเลขของส่วนที่แบ่ง (1-7)
- E F G H : สเต็พใน 1 ส่วนที่แบ่ง (16 หรือ 32 สเต็พเท่า ๆ กัน)

รูปที่ 10 คุณลักษณะของคอมแพนด้ิงเมื่อ A=87.6

เมื่อเปรียบเทียบคุณลักษณะของคอมเพรสเซอร์ระหว่าง A-law และμ-law ที่เกี่ยวข้องกับS/N_qแล้ว ตามรูปที่ 11 จะเห็นได้ว่าคุณลักษณะของทั้ง A-law และ μ-law จะเป็นฟันเลื่อยเนื่องจากส่วนโค้งของคอมแพนเดอร์จะถูกประมาณค่าให้เป็นเส้นตรงส่วนย่อยๆ และจะเห็นได้ว่าส่วนที่มีเพาเวอร์สูง A-law จะมีS/N_q ดีกว่าในทางตรงกันข้ามส่วนที่สัญญาณมีเพาเวอร์ต่ำจะมีS/N_q ด้อยกว่าทั้งนี้เนื่องจากกรณีแรก ควอนไตซิ่งอินเทอร์วัลของ A-lawจะมีขนาดแคบกว่าของμ-law สำหรับกรณีหลังของ A-law จะกว้างกว่า แต่อย่างไรก็ตามทั้งA-law และμ-law พิจารณาได้ว่าจะมี S/N_q สูง และเกือบคงที่แม้ว่าสัญญาณจะมีเพาเวอร์ต่ำ

จากหลักการที่ได้กล่าวมาแล้วนี้จะเข้าใจได้ว่าการปรับปรุง S/N_q ในบริเวณสัญญาณซึ่งมีเพาเวอร์ต่ำโดยใช้วิธีจัดระดับแบบน็อนยูนิฟอร์มจะมีผลดีกว่าแบบยูนิฟอร์มเป็นอย่างมาก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูป 11 ความสัมพันธ์ระหว่างระดับอินพุทต่อ S/N_Q เมื่อใช้คอมแพนดิ้งวิธีต่างๆ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การเข้ารหัส(Coding)

หลังจากขบวนพัลซ์ PAM ได้ผ่านขั้นตอนการจัดระดับมาแล้วจะต้องเปลี่ยนขนาดเหล่านั้นให้เป็นรหัสไบนารี(binary codes) กรณีที่เป็นสัญญาณเสียงสำหรับการส่งทางโทรศัพท์จะถูกเปลี่ยนเป็นรหัส 8 บิท ซึ่งแสดงค่าอัมปลิจูดได้ 2^8(256) ระบบการเข้ารหัสจะมีหลายๆ แบบแต่ส่วนมากจะใช้กัน 3 แบบ ดังแสดงในตารางที่ 1 ซึ่งแสดงไว้เพียง 3 บิทเพื่อง่ายต่อการเข้าใจ

ตารางที่ 1 รหัสไบนารีแบบต่างๆ

ระดับการควอนไตซ์	รหัสไบนารี แบบธรรมดา	รหัสไบนารี แบบเกรย์	รหัสไบนารี แบบสมมาตร
0	000	000	011
1	001	001	010
2	010	011	001
3	011	010	000
4	100	110	100
5	101	111	101
6	110	101	110
7	111	100	111

รหัสไบนารีแบบธรรมดา(Natural binary code) จะใช้สัมประสิทธิ์ $a_1, a_2 .. a_n$ จากสมการแสดงขนาดของอัมปลิจูดของสัญญาณ เป็นรหัสโดยตรงคือ

$$m = a_1 2^{n-1} + a_2 2^{n-2} + \ldots + a_n 2^0$$

รหัสไบนารีแบบเกรย์(Gray Code) เป็นการเข้ารหัสโดยที่รหัสข้างเคียงซึ่งสอดคล้องกับระดับข้างเคียงจะมีบิทซึ่งแตกต่างกันเพียงตำแหน่งเดียวเท่านั้น

รหัสไบนารีแบบสมมาตร(Symmetrical binary code) ในรหัสนี้ บิทแรกจะชี้ว่าสัญญาณจะเป็นบวกหรือลบ บิทที่ 2 จนถึงบิทสุดท้ายจะแสดงค่าสัมบูรณ์ของสัญญาณและนำมาจัดเรียงใหม่อย่างไมมาตรจากกึ่งกลางของระดับควอนไตซ์ไปจนถึงระดับสูงสุดหรือระดับต่ำ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สุด ดังนั้นการเข้ารหัสแบบนี้จึงเหมาะสมที่จะใช้แสดงสัญญาณที่อยู่ในรูปไบโพลาร์

ตามที่ได้กล่าวมาแล้วข้างต้น ไม่ว่าจะเป็นการเข้ารหัสแบบใดก็ตาม เมื่อบิทใดๆ เกิดการผิดพลาดเนื่องจากนอยส์ในช่องสัญญาณแล้ว เมื่อสัญญาณอนาล็อกถูกสร้างกลับมาใหม่ที่ด้านรับ S/N ซึ่งเลวลงอยู่แล้วจะมีค่าแตกต่างกันเป็นอย่างมาก เมื่อบิทที่ผิดพลาดมีตำแหน่งต่างกัน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วงจรรวมเฟสล็อคลูฟวงจรเฟสล็อคลูฟ (PLL)โดยพื้นฐานเป็นวงจรอิเล็กทรอนิคส์เซอร์โวลูฟ ประกอบด้วย

- ตัวเปรียบเทียบเฟส
- low pass filter
- voltage control oscillator(VCO)

เฟสล็อคลูฟจะควบคุมให้ VCO สร้างความถี่ขึ้นให้สอดคล้อง(synchronize)กับสัญญาณเข้า แนวความคิดนี้ได้มีการพัฒนาและประยุกต์ใช้กันอย่างกว้างขวางในปัจจุบัน ซึ่งในปัจจุบันได้มีการพัฒนาสร้างเป็นวงจรรวม สามารถนำไปใช้ได้ทั้งทางอนาลอกและ digital signal proces sing

ในการออกแบบวงจรเลือกความถี่ด้วยวงจรรวม สิ่งที่เป็นปัญหาสำคัญก็คือการทำ inductor ซึ่งสามารถแก้ปัญหาได้ด้วยการใช้ Active RC filter ทำหน้าที่เลือกความถี่ในการตอบสนอง โดยเทคนิคนี้มีข้อจำกัด 3 ประการ คือ

1.ช่วงความถี่(frequency range) โดยมากจะใช้ในช่วงความถี่ต่ำกว่า 100 KHz จึงจะทำให้มีเสถียรภาพ

2.ความไว(sensitivity) ความถี่ย่านกลางมีผลอย่างมากต่อความไวของ active gain และค่าของส่วนประกอบทางป้อนกลับ

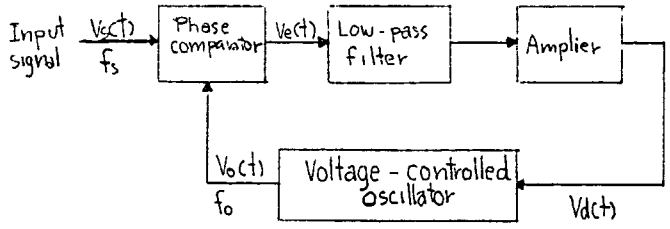
3.ราคา(cost)ในแง่ราคาและความยุ่งยากแล้ว การใช้ RC active filterไม่เหมาะสมเพราะต้องใช้ R,Cถึง4 ตัว ในการสร้าง Complex pole 2 คู่ อีกทั้ง R,C ดังกล่าวไม่สามารถสร้างอยู่ได้ในตัวไอซีได้ ต้องนำมาประกอบเพิ่มภายนอก ทำให้ราคาและความซับซ้อนมากขึ้น

ดังนั้นเมื่อเราสามารถแก้ปัญหาทั้งสามข้อนี้ได้แล้ว การสร้างวงจรรวมเฟสล็อคลูฟก็จะมีราคาถูก และทำเป็นวงจรโมโนลิทิค package ให้มีความสมบูรณ์อยู่ในตัวเองเหมือนวงจรออปแอมป์ แต่การทำงานพื้นฐานของเฟสล็อคลูฟไม่ได้เปลี่ยนไปเลย ซึ่งคุณสมบัติและการทำงานของ PLL ไม่ได้เปลี่ยนไปเลย

หลักการทำงานของPLL

เฟสล็อคลูฟคือ ระบบที่มีการป้อนความถี่กลับ ประกอบด้วยเฟสดีเท็คเตอร์ low pass filter และ error amplifier ซึ่งอยู่ทางที่สัญญาณเดินไปหน้า และVCO ซึ่งอยู่ในทางป้อนกลับ แผนภาพของระบบ PLL ดังแสดงในรูปที่ 1 ซึ่งสามารถอธิบายได้ดังนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่1 Block diagram ของ PLL

ขณะที่ยังไม่มีสัญญาณเข้าไปในระบบ แรงดันควบคุม $V_d(t)$ จะเท่ากับศูนย์ VCO จะทำงานโดยการตั้งความถี่ไว้ที่ f_o ซึ่งเรียกว่า "free running frequency" ถ้าสัญญาณเข้าไปในระบบ phase comparator จะทำการเปรียบเทียบเฟส และความถี่ของสัญญาณอินพุท VCO และผลิตแรงดันคลาดเคลื่อน $V_e(t)$ ซึ่งสัมพันธ์กับความแตกต่างของเฟส และความถี่ระหว่างสัญญาณทั้งสอง แรงดันคลาดเคลื่อนนี้จะถูกกรอง และขยายส่งไปควบคุม VCO ในการนี้แรงดันควบคุม $V_d(t)$ จะไปบังคับความถี่ VCO ให้เปลี่ยนไปในทิศทางที่จะลดความถี่ที่แตกต่างกันระหว่าง f_o จากการป้อนกลับของ PLL ทำให้ PLL synchronize หรือ lock กับสัญญาณที่เข้ามา ขณะที่ทำการ lock นั้น ความถี่ VCO จะเท่ากับสัญญาณอินพุท แต่ phase ยังต่างกันอยู่ ความแตกต่างของเฟส ϕ_o มีความจำเป็นต่อการผลิตแรงดันคลาดเคลื่อนที่จะไปคอยปรับความถี่ VCO จะปรับค่า free running ให้ เท่ากับความถี่ที่เข้ามา f_s ดังนั้น PLL จะยังคงรักษาสภาพการ lock เช่นเดิม ช่วงของความถี่ซึ่ง PLL สามารถติดตามการ lock กับสัญญาณที่เข้ามา เรียกว่า "lock range" ของระบบ ค่าของมันจะขึ้นอยู่กับแรงดันคลาดเคลื่อน โดยไม่ขึ้นอยู่กับ band edge ของ ฟิลเตอร์ ช่วงความถี่นี้จะมากกว่าช่วงความถี่ที่ PLL สามารถทำการ lock อย่างแท้จริงกับสัญญาณอินพุท ช่วงความถี่นี้เรียกว่า"capture range" ของระบบ ช่วง capture range นี้จะขึ้นอยู่กับ band edge ของ ฟิลเตอร์ และ closed loop gain(K_v) ของระบบทั้งหมด โดยมีผลเกี่ยวข้องกับ selectivity ของวงจร PLL และยังช่วยเพิ่มความปลอดภัยเกี่ยวกับสัญญาณรบกวนทางด้าน outband signal ที่จะมากวนได้เป็นอย่างดี

ขบวนการ capture เป็นขบวนการที่ยุ่งยากมากและไม่สามารถที่จะวิเคราะห์โดยคณิตศาสตร์อย่างง่าย แต่อย่างไรก็ตาม การอธิบายเกี่ยวกับ capture อาจกล่าวได้ดังต่อไปนี้คือ ความถี่คือเฟสที่เปลี่ยนไปตามเวลา ความถี่และความคลาดเคลื่อนทางเฟสใน loop สามารถที่จะ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เขียนความสัมพันธ์ได้เป็น

$$2\pi\Delta f = d\phi_e/dt$$

เมื่อ Δf เป็นความถี่ระหว่างสัญญาณอินพุทและความถี่ VCO

ถ้าเส้นทางที่ป้อนกลับของ PLL ถูกเปิดออก คือ ระหว่าง low pass filter และอินพุทควบคุม VCO ดังนั้น จากความถี่ที่ตั้งไว้ของ f_o และ f_r จะทำให้สัญญาณที่ออกจาก phase comparator จะเป็น sinusoidal beat note ที่มีความถี่คงที่ Δf ถ้าf_r และ f_o มีความถี่ที่ใกล้เคียงกับ beat note จะไปปรากฏที่ทางออกจาก filter โดยไม่ถูกลดขนาดลง คราวนี้สมมติว่าทางป้อนกลับถูกปิดลงโดยการต่อ low pass filter ไปควบคุม VCO ดังนั้น ความถี่ VCO จะถูก modulated กับ beat note Δf จะกลายมาเป็น function ของเวลาถ้าระหว่างขบวนการ modulation นี้ ความถี่ VCO เคลื่อนเข้าใกล้ f_r ดังนั้น $d\phi_e/dt$ จะลดลง และสัญญาณที่ออกจาก phase comparator จะเปลี่ยนไปอย่างช้าๆเป็น function ของเวลา ในทำนองเดียวกัน ถ้า VCO ถูก modulated ให้ออกจาก f_r ซึ่ง $d\phi_e/dt$ จะเพิ่มขึ้นและแรงดันคลาดเคลื่อนจะเปลี่ยนไปอย่างรวดเร็วเป็น function ของเวลา ดังนั้นภายใต้เงื่อนไขนี้ beat note waveform จะไม่อยู่ในลักษณะ sinusoidal มันจะมองดูเป็นอนุกรมของคาบเวลา "cusps" ดังแสดงในรูปที่ 2 (ก) เนื่องจากความไม่เท่ากันของ beat note waveform และมีสัญญาณกระแสตรงเป็นส่วนประกอบค่าเฉลี่ย (average value) ของมันจะไปควบคุมให้ VCO เพิ่มค่า f_o และจะทำให้เกิดการล็อค เมื่อระบบอยู่ในช่วงล็อค Δf จะเท่ากับศูนย์ และจะเหลือเพียงดีซี error voltage คงที่

รูปที่ 2 (ข) เป็นการแสดง oscillogram ของ loop error voltage V_e ในขณะที่ระบบ PLL กำลังทำงานระหว่างขบวนการ capture สิ่งที่น่าสังเกตคือ ขณะที่ทำการล็อค Δf จะลดลง การลดขนาดของ low pass filter จะน้อย และขนาดของ beat note จะเพิ่มขึ้น

เวลาที่ PLL ใช้ในการล็อค เรียกว่า "Pull in time" ซึ่งจะขึ้นกับความถี่เริ่มแรก และความแตกต่างของเฟสระหว่างสองสัญญาณ รวมทั้งอัตราขยายทั้งหมด และช่วงกว้างของ low pass filter โดย Pull in time อาจสั้นกว่าคาบเวลาของ beat note และ ลูฟ สามารถ ล็อคโดยปราศจาก error transient

การทำงานของลูฟ low pass filter มีหน้าที่ 2 อย่าง คือ

1.การลดค่าคลาดเคลื่อนที่เป็นความถี่สูงที่ออกจาก Phase comparator โดยการใช้คุณสมบัติ interference rejection

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2. ทำหน้าที่เหมือนกับ short term memory สำหรับ PLL และจะ capture กับ สัญญาณใหม่อีกทันที เมื่อระบบหลุดออกจากการ lock เนื่องจากสัญญาณรบกวนในช่วง transient

เนื่องจาก low pass filter ลดค่าแรงดันคลาดเคลื่อนของความถี่สูงระหว่าง loop มันเป็นตัวควบคุมการ capture โดยตรง และคุณสมบัติ transient response ของ PLL

การลดช่วงกว้างของ filter จะส่งผลไปยังการทำงานของระบบคือ

1.ขบวนการ capture จะช้าลง และ pull in time จะ เพิ่มมากขึ้น

2.ช่วง capture จะลดลง

3.คุณสมบัติทาง interference-rejection ของ PLL จะดีขึ้น เพราะว่าแรงดันคลาดเคลื่อน เนื่องจากความถี่ interference จะถูกลดไป

4.ผลตอบสนอง transient ของ PLL ต่อการเปลี่ยนทันทีของสัญญาณเข้าในช่วงความถี่ capture จะอยู่ในลักษณะภายใต้การแดมพ์(underdamp)

สำหรับผลอันสุดท้ายถูกนำมาใช้ในทางปฏิบัติด้วยการจำกัดความกว้างของ low pass loop filter และคุณสมบัติเกี่ยวกับ roll off เนื่องจากเสถียรภาพ

<u>พารามิเตอร์ของระบบ</u>

เมื่อ PLL อยู่ในช่วง non linear capture transients จะ ปรากฏไม่นาน ดังนั้นภายใต้เงื่อนไขที่ lock เราจะถือว่า PLL เป็นระบบควบคุมเชิงเส้น ดังแสดงในรูปที่ 3 และสามารถวิเคราะห์โดยการใช้เทคนิค laplace transform ในกรณีนี้ เพื่อความสะดวกจะใช้เฟสที่คลาดเคลื่อนใน loop ($\phi_i - \phi_o$) เป็นตัวแปรของระบบ ดังนั้นอัตราขยายแต่ละเทอมที่สอดคล้องกับบล็อกสามารถกำหนดได้ดังนี้คือ

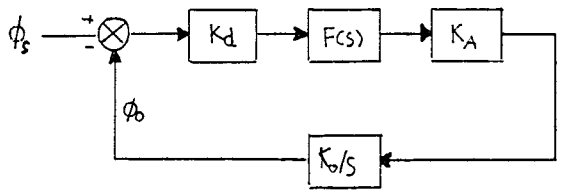
K_d = อัตราขยายเฟสดีเท็คเตอร์ (V/rad)

F(S) = transfer characteristic ของ LPF

K_Δ = อัตราขยาย VCO (rad/v.s)

ข้อสังเกต เนื่องจาก VCO เปลี่ยนแรงดันให้เป็นความถี่ และเฟสเป็นการ integral ของความถี่ VCO จะเป็นตัว integrator ในส่วนของการป้อนกลับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่3 โมเดลเชิงเส้น PLL ในลักษณะของระบบป้อนกลับ

Transfer function แบบ open loop สำหรับ PLL สามารถเขียนได้เป็น

$$T(s) = K_T F(s)/S$$

เมื่อ K_T เป็นอัตราขยายทั้งหมดของ loop นั้นคือ $K_T = K_d K_A K_o$ การวิเคราะห์โดยใช้เทคนิคของการป้อนกลับเชิงเส้น ลักษณะของ transfer แบบ closed loop H(S) สามารถที่จะเขียนสัมพันธ์กับ open loop ได้คือ

$$H(s) = T(s)/(1+T(s))$$

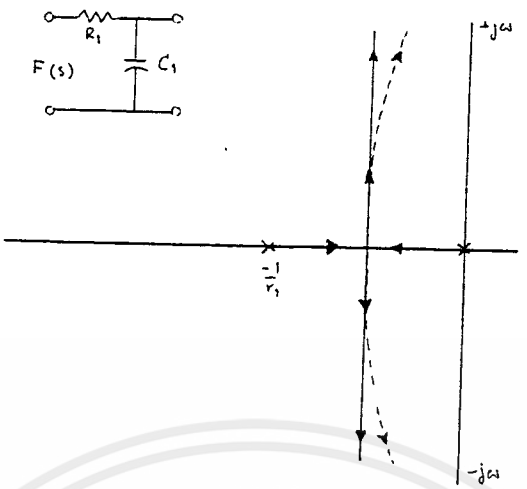
และรากของ characteristic system polynomial สามารถหาได้โดยใช้เทคนิคของ root locus

รูปที่4 แสดง root locus ของ PLL เป็น function ของอัตราขยายทั้งหมด K_T สำหรับ single pole low pass filter F(s) ซึ่งมีลักษณะเป็น

$$F(s) = 1/(1+T_1 S)$$

เมื่อ $T_1 = R_1 C_1$ จากรูป open loop pole อยู่ที่ origin เนื่องมาจากการ integrated ของ VCO

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4 รูทโลคัสของ PLL สำหรับฟิลเตอร์ lag $T_1=R_1C_1$

จากคุณสมบัติของ root locus ทำให้เราสามารถตั้งข้อสังเกตได้ดังนี้

1. เมื่ออัตราขยาย K_T เพิ่มขึ้นด้วยการเลือก T_1 imaginary part ของclosed loop pole เพิ่มขึ้น ดังนั้น ความถี่ธรรมชาติ(natural frequency)ของ loop เพิ่มขึ้นและยิ่งให้ผลตอบสนองเป็น underdamped มากขึ้น

2. ถ้า filter time constant T_1 เพิ่มขึ้น real part ของ closed loop จะยิ่งน้อยลง loop damping จะลดลง

ในทางปฏิบัติเกี่ยวกับระบบป้อนกลับใดๆ การเลื่อน pole ระหว่าง PLL สามารถทำให้ root loci เบนไปทางขวาของ half plane ดังแสดงเป็นเส้นประในรูปที่ 6.4 การเกิดเช่นนี้เหมือนกับว่า loop gain หรือ filter time constan มีค่ามากเกินไปทำให้ loop เกิดการ oscillate

ปัญหาเกี่ยวกับเสถียรภาพสามารถแก้ได้โดยการใช้ filter แบบ lag lead ซึ่งแสดงดังรูปที่ 6.5 filter ชนิดนี้ มี transfer function ดังนี้

$$F(s) = (1+T_2s)/(1+(T_1+T_2)s$$

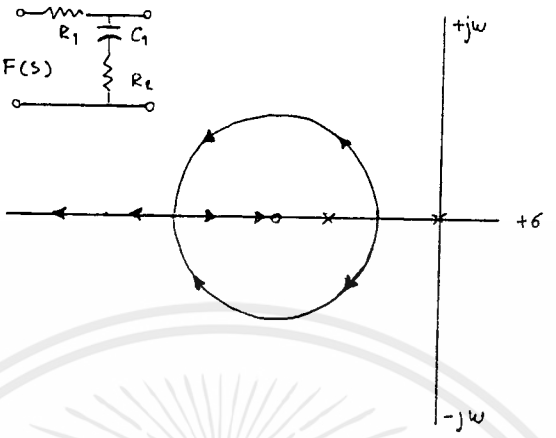
โดยที่ $T_2 = R_2C_1$

$$\tau_1 = R_1C_1$$

โดยการเลือก R_2 ให้ root locus ของ filter ชนิดนี้อยู่ทางครึ่งซ้ายของระนาบเพื่อความแน่ใจในเรื่องเสถียรภาพ อย่างไรก็ตาม มันยังสามารถทำให้ระบบมีแถบความถี่ของสัญ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ญาณรบกวนกว้างขึ้น และยังทำให้คุณสมบัติ interference rejection ลดลง เนื่องจากการลดทอนขนาดของความถี่สูงในลูฟจะลดน้อยลง



รูปที่ 5 รูทโลคัสของ PLL สำหรับฟิลเตอร์แบบ lag-lead

สำหรับความหมายของคำว่า basic gain ของระบบ range ของ PLL ΔW_L สามารถแสดงให้เห็นว่ามีค่าเท่ากับอัตราขยายกระแสตรงของลูฟ

$$\Delta W_L = 2\pi\Delta f_L = K_T$$

เนื่องจาก capture range ΔW_L มีผลในช่วง transient ซึ่งเป็นไปตามการวิเคราะห์ของMoschytz เราสามารถเขียนค่า capture rang ได้โดยประมาณ

$$\Delta W_L = 2\pi\Delta f_c = K_T|F(j\Delta W_c)|$$

$F(j\Delta W_c)$เป็นการตอบสนองต่อขนาดของ low pass filter ที่ $W=\Delta W_c$ สิ่งที่น่าสังเกตคือ $|F(j\Delta W_c)| \leq 1$ และ capture range สั้นกว่า lock range เสมอ ถ้าเราใช้ filter แบบ lag อย่างง่ายที่แสดงในรูปที่ 4 สมการ capture range สามารถเขียนได้เป็น

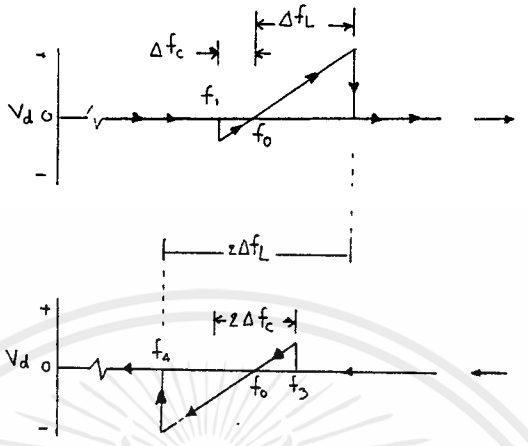
$$\Delta W_c = \sqrt{(\Delta W_L/T_1)} - \sqrt{(K_T/T_1)}$$

ดังนั้น capture range ลดลงเมื่อ low pass filter time constant ลดลงแต่จะไม่มีผลสำหรับ lock range อัตราขยายลูฟ จะมีผลกับ lock range

รูปที่ 6 แสดงลักษณะการเปลี่ยนจากความถี่ไปเป็นแรงดัน ของระบบ PLL โดยการสมมติให้สัญญาณเข้าเป็น sine wave ที่เปลี่ยนความถี่ไปอย่างช้าๆ ขนาดตามแนวดิ่งเป็นแรงดันคลาดเคลื่อน รูปที่ 6 (ก) ความถี่ของสัญญาณเข้าค่อยๆเพิ่มขึ้น loop จะไม่มีการตอบสนองต่อสัญญาณ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เข้าจนกระทั่งความถี่ของสัญญาณเข้าถึง f_1 ซึ่งเป็นความถี่ต่ำสุดของ capture range ดังนั้น loop จะlock กับสัญญาณที่เข้าทันที ทำให้เกิดแรงดันคลาดเคลื่อน V_d มีค่าเป็นลบ



รูปที่ 6 แสดงถึง transfer characteristics ของ ความถี่กับโวลท์เต็จของ PLL

(ก) กรณีความถี่อินพุทเพิ่มขึ้น (ข) ความถี่อินพุทลดลง

และ V_d จะเปลี่ยนไปตามความถี่ด้วยลักษณะของ slope เนื่องจากอัตราขยาย VCO ($1/K_o$) V_d จะมีค่าเท่ากับศูนย์เมื่อ $T_2 = f_o$ ลูฟจะติดตามสัญญาณเข้าจนกระทั่งถึงความถี่ f_2 ซึ่งเป็นความถี่สูงสุดของ lock range PLL จะไม่มีการ lock และแรงดันคลาดเคลื่อนจะมีค่าเป็นศูนย์ ถ้าให้สัญญาณเข้ามีความถี่ค่อยๆลดกลับไปจะทำให้เกิดวัฏจักรขึ้น ดังแสดงในรูปที่ 6 (ข) สัญญาณจะเริ่มกลับเข้าสู่ capture ของ loop ที่ความถี่ f_3 และการติดตามของ loop จะหมดไปเมื่อถึง f_4 ความถี่ f_4-f_1 เรียกว่า total capture range ของระบบ และความถี่ f_2-f_4 เรียกว่า total lock range นั่นคือ

$$f_3-f_1 = 2\Delta f_c \text{ และ } f_2-f_4 = 2\Delta f_L$$

ข้อสังเกต จากการที่แสดง transfer characteristic ในรูปที่ 6 ระบบ PLL จะเลือกความถี่ที่เป็นความถี่กึ่งกลางโดยการตั้ง free running frequency ที่ VCO และมันจะตอบสนองเฉพาะความถี่ของสัญญาณที่เข้าช่วงจาก f_o ไปจนถึงค่าที่น้อยกว่า Δf_c หรือ Δf_L ทั้งนี้ขึ้นอยู่กับเงื่อนไขที่ว่า loop เริ่มต้นด้วยการ lock หรือเปล่า ในการใช้งานระบบ PLL โดยมากต้องการ VCO ที่ทำการแปลงแรงดันให้เป็นความถี่ที่มีลักษณะเป็นเชิงเส้นอย่างแท้จริง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การประยุกต์ใช้งานของ PLL

เฟสล็อคลูฟได้ถูกนำไปประยุกต์ใช้งานอย่างกว้างขวาง ซึ่งสามารถอธิบายการใช้งานด้านต่างๆดังนี้คือ

1. FM Demodulation

ถ้า PLL lock กับสัญญาณ frequency-modulation(FM) VCO จะติดตามความถี่ของสัญญาณที่เข้าทันที แรงดันคลาดเคลื่อนจาก filter $V_d(t)$ เป็นตัวทำให้ VCO รักษาการ lock กับสัญญาณเข้าให้สอดคล้องกับ demodulated output ในกรณีนี้ ลักษณะการแปลงแรงดันให้เป็นความถี่ของ VCO จะให้ demodulated ออกมามีลักษณะเป็นเชิงเส้น PLL สามารถใช้เป็นตัว detectสัญญาณ FM ที่มีช่วงความถี่กว้างหรือแคบได้ ในลักษณะเป็นเชิงเส้นมากกว่าจะใช้อย่างอื่นเป็นตัว detect นั่นคือ สำหรับในกรณีที่ FM PLL จะมีลักษณะเป็นระบบเครื่องรับแบบ self containedเพราะมันประกอบด้วย functionของการเลือกค่าความถี่และการ demodulation

เนื่องจาก PLL อยู่ในสภาวะล็อค ตอนช่วงขบวนการ FM demodulation การตอบสนองความถี่อย่างเช่น delay time ของสัญญาณจากการ demodulated สามารถทำนายจากการ plot root locus ดังรูปที่ 4 หรือ รูปที่ 5

ในกรณีของการส่งข้อมูลโดยใช้ frequency shift keyed (FSK) ข่าวสารที่อยู่ในรูปดิจิตอลจะถูกส่งโดยการ switching ความถี่สัญญาณที่เข้าระหว่างอันใดอันหนึ่ง ช่วงที่ไม่ต่อเนื่อง 2 ช่วงของความถี่สัญญาณเข้า ซึ่งสอดคล้องกับค่าทาง ลอจิก "หนึ่ง" หรือ "ศูนย์" เมื่อ Phase lock กับสัญญาณเข้าที่เป็น FSK แรงดันคลาดเคลื่อน V_d ซึ่งอยู่ในลักษณะ discrete Voltage step จะสอดคล้องกับสัญญาณออกที่เป็น demodulated binary

2.Frequency Synchronization

การใช้ระบบ phase locked loop ความถี่ของ oscillator อย่าง VCO สามารถที่จะ phase locked กับสัญญาณระดับต่ำแต่เสถียรภาพสูงได้ ยิ่งกว่านั้นความถี่ที่ออกจาก VCO จะเหมือนกับความถี่ของสัญญาณที่เข้า แต่จะมีระดับกำลังที่สูงกว่า การใช้งานในบางกรณีสัญญาณ synchronizing จะออกมาอย่างรวดเร็วในระยะสั้น (low duty cycle burst) ณ ความถี่ที่กำหนด PLL ยังสามารถที่จะใช้ในการผลิต CW ที่ต่อเนื่องกันโดยใช้ synchronizing pulse สั้นๆที่ lock ไว้เป็นความถี่อ้างอิง ตัวอย่างที่ใช้คือ phase locked chroma reference generator ของเครื่องรับโทรทัศน์สี

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

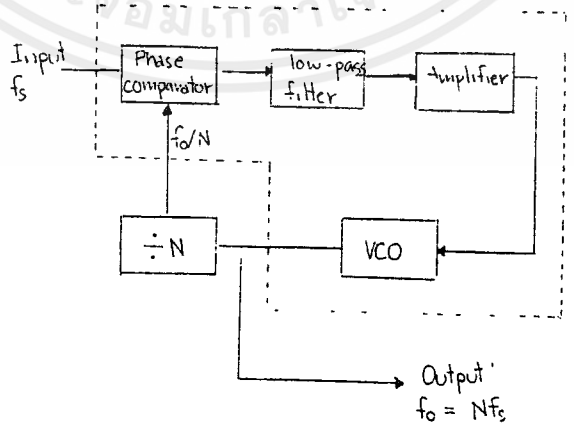
ในระบบ digital PLL สามารถใช้สำหรับ synchronization ฟังก์ชั่นได้เป็นอันมาก ตัวอย่างเช่น ระบบสัญญาณ clock สองระบบสามารถ phase locked ซึ่งกันและกัน ดังนั้นแต่ละอันจะเป็นฟังก์ชันของอีกอันหนึ่ง หรือใช้ใน synchronizing disk หรือ tape ที่ขับโดยทางกล ในส่วน เก็บข่าวสาร และระบบการเอากลับ เครื่องรับในการสื่อสารที่ใช้ pulse code modulation(PCM) หรือระบบทานสัญญาณ PLL ใช้สำหรับเป็น bit synchronization

2.Signal Conditioning

โดยการเลือกความถี่ free running ของ VCO PLL สามารถใช้ในการ lock สัญญาณที่เข้า ดังนั้น VCO จะให้สัญญาณที่มีความถี่ที่ต้องออกมาในขณะที่มันจะทำกการกำจัดความถี่ของ sideband ที่ไม่ต้องการที่เข้ามา ถ้าพิสัยของ loop มีลักษณะแคบ อัตราส่วนของสัญญาณต่อสัญญาณรบกวนที่ออกทางด้านออกของ VCO จะดีกว่าทางด้านเข้า ดังนั้น PLL สามารถใช้เป็นตัวกรองสัญญาณรบกวน สำหรับผลิตสัญญาณที่อ่อน โดยปราศจากสัญญาณรบกวน

3.Frequency Multiplication and division

โดยการแทรกตัวหารความถี่เข้าไปในทางป้อนกลับระหว่างทางด้านออกจาก VCO และทางด้านเข้าของ phase comparator ระบบ PLL สามารถใช้เป็น frequency selector, frequency multiplierโครงสร้างนี้แสดงได้ด้วยแผนภาพในรูปที่ 7 เมื่อ Nเป็นfrequency divider modulus เมื่อระบบอยู่ในสภาวะ lockสัญญาณทั้งสองที่เข้าไปยัง phase comparator มีความถี่ เท่ากัน และ $f_o = Nf_s$



รูปที่ 7 การทวีความถี่โดยใช้การหารความถี่ใน PLL

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภายใต้เงื่อนไขที่แน่นอน การทำงานของ PLL ใน"harmonic-locking" mode สามารถใช้ในการคูณความถี่โดยไม่ใช้วงจรตัวหารความถี่ ถ้าสัญญาณที่เข้าเป็นพวก harmonic-rich (เช่นพวกสัญญาณ pulse ที่เป็นขบวน) VCO สามารถใช้ในการ lock harmonic ที่ n ของสัญญาณเข้า VCO จะมีความถี่เป็น n เท่า ของสัญญาณที่เข้าหรือ $f_o=nf_s$ ในทำนองเดียวกัน ถ้า VCO ให้รูปคลื่นเป็น harmonic rich ออกมา harmonic ที่ m ที่ออกจาก VCO จะสามารถ synchronized กับสัญญาณที่เข้ามา ดังนั้น ภายใต้เงื่อนไขนี้ VCO จะเป็น subharmonic ของความถี่ที่เข้ามานั่นคือ $f0 = f_s/m$ เมื่อใช้ PLL ทำงานใน harmonic-locking mode ช่องว่างระหว่าง harmonic ใน frequency spectrum จะลดลงอย่างรวดเร็วขณะที่ harmonic ลำดับที่ n เพิ่มขึ้น ในทางกลับกัน เสถียรภาพของความถี่ที่เพิ่มขึ้นสำหรับความถี่ free running ของ VCO เป็นสิ่งที่ต้องการเพื่อให้ระบบแยกความแตกต่างระหว่าง harmonic ได้ ในระบบ phase locked loop ที่ใช้วงจรรวม ซึ่ง ใช้ออสซิลเลเตอร์แบบ multivibrator thermal drifts ของความถี่ VCO โดยทั่วไปจะจำกัดการทำงานโดย harmonic lock ของระบบด้วยค่า nหรือ m มีค่ามากคือ phase detector gain(K_d) จะลดลงในทิศทางตรงข้ามกับลำดับของ harmonic ดังนั้นที่ harmonic สูงขึ้นจะทำให้ช่วง lock และช่วง capture ของระบบลดลง

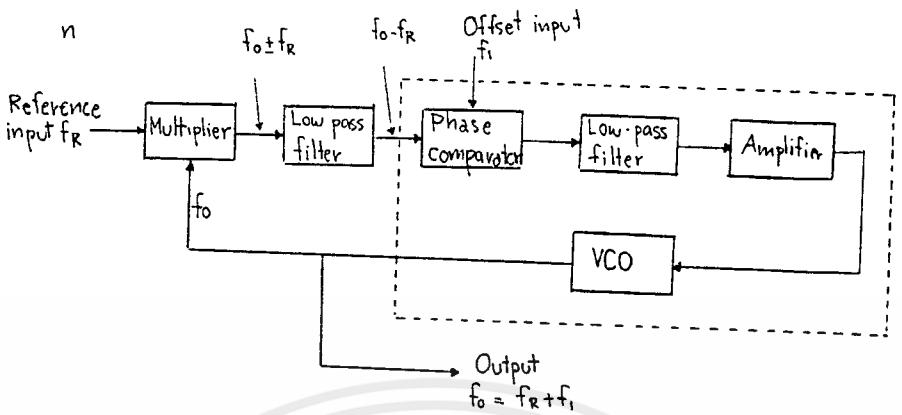
5.Frequency Translation

ระบบ PLL สามารถใช้ในการแปลงความถี่ให้มีเสถียรภาพสูงและคงที่ เมื่อเทียบกับออสซิเลเตอร์ โดยการเพิ่ม mixer และ low pass filter เข้าไปใน PLL ดังแสดงในรูปที่ 8 ในรณีนี้ ผลต่างของสัญญาณเข้า f_R และf_o จะออกจาก mixer ผลบวกจะถูก low pass filter กรองไว้ translation หรือความถี่ off set f_1 จะถูกป้อนไปยัง phase comparator พร้อมกับ f_R-f_o ที่ออกมาจาก mixer เมื่อระบบอยู่ในสภาวะ lock ความถี่ทั้งสองที่เข้า comparator จะมีความถี่เท่ากัน นั่นคือ

$$f_o-f_R = f_1$$

หรือ $$f_o = f_R+f_1$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



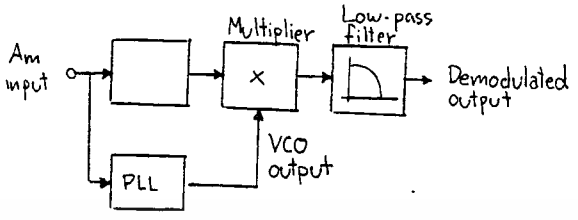
รูปที่8 Frequency translation หรือ"offset loop"

6.AM Detection

PLL สามารถใช้เป็น detector ของ สัญญาณ AM อย่างต่อเนื่อง การทำงานแบบนี้ PLL จะ lock กับคลื่นพาห์ของสัญญาณ AM และสร้างสัญญาณออกมาจาก VCO ให้มีความถี่แตกต่างจากความถี่คลื่นพาห์ของ AM ที่ยังไม่ได้ผสมโดยการคูณสัญญาณอ้างอิงที่ต่อเนื่องนี้ด้วยสัญญาณผสมที่เข้ามาและนำสัญญาณที่ออกจากตัวคูณไปทำการกรองให้ความถี่ต่ำผ่านไปได้ข่าวสารออกมา เป็นการ demodelated วิธีหนึ่ง แผนภาพของระบบ แสดงในรูปที่ 9 เนื่องจาก PLL จะตอบสนองสำหรับความถี่คลื่นภาห์ที่ใกล้เคียง กับความถี่ VCO f_o เท่านั้น ระบบ phase locked AM detector จะให้ selectivity ระดับสูงโดยมีความถี่กึ่งกลางอยู่ที่ f_o phase shift networkในรูปที่ 9 เป็นจำพวก RC ซึ่งใช้ในการ offset ให้ phase shift ไป 90 องศา ซึ่งเป็นหลักการของ PLL

วิธีการของ PLL AM detection ในรูปที่ 9 เป็นการ detect อย่างต่อเนื่อง มันจะกำจัดสัญญาณรบกวนได้ดีกว่า AM demodulator แบบ peak detector

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่9 Coherent amplitude-modulation detection โดยใช้ เฟสล็อคลูป(PLL)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การออกแบบวงจรระบบ PCM TELEMETRY 4-CHANNEL

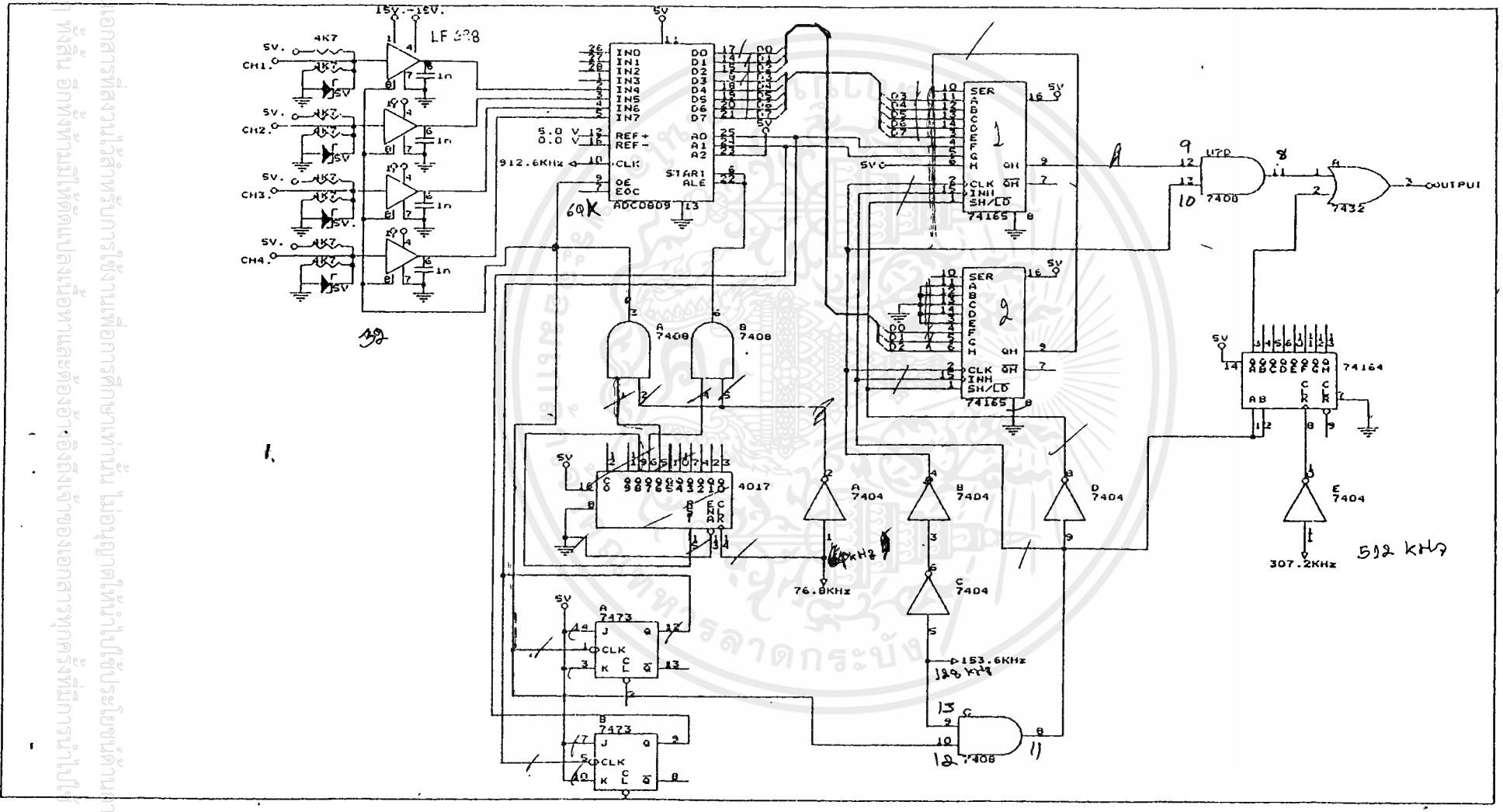
เนื่องจาก Project ชิ้นนี้ เน้นการออกแบบสำหรับการส่งสัญญาณจากร่างกายผู้ป่วย เช่น คลื่นสัญญาณไฟฟ้าหัวใจ อัตราการหายใจ อัตราการเต้นของหัวใจ แรงดันโลหิต ซึ่งสัญญาณเหล่านี้มีความถี่ต่ำ สำหรับสัญญาณไฟฟ้าหัวใจ จะมีความถี่ในช่วง 0.5-200 Hz เท่านั้น

การออกแบบจะใช้วิธีการ Multiplex แบบแบ่งตามคาบเวลา หรือ TDM (Time Division Multiplex) ในการส่ง 4-channel ซึ่งเหมาะสำหรับสัญญาณแบบ Digital signal สัญญาณแต่ละช่องจะผ่านกระบวนการตั้งแต่ผ่านตัวกรอง (filter) การ Sampling จนถึงการเปลี่ยนจาก Analog เป็น Digital การเข้าโคดด้วยรูปแบบที่กำหนดไว้แล้ว หลังจากนั้นก็ส่งผ่านตัวกลางไปยังเครื่องรับ ที่เครื่องรับจะมีการเปลี่ยนกลับคืนเป็นสัญญาณ Ana-log อย่างเดิม

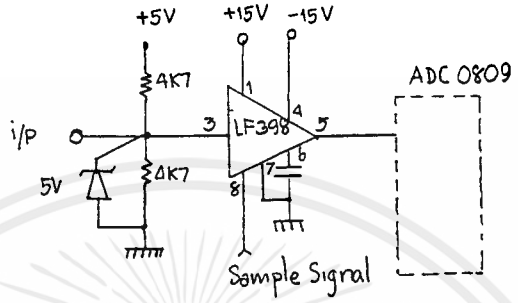
ภาคส่ง

วงจรภาคส่งที่ได้ออกแบบไว้แสดงได้ดังรูป 1 สัญญาณ input จะมี 4 ช่อง สัญญาณ ถูกทำการ shiftให้มี voltage อยู่ในช่วง 0 โวลท์ ถึง +5 โวลท์แล้วจึงผ่านการsampling & hold ด้วย LF 398 เข้าไปยัง A/D converter ADC 0809 ซึ่งมี Multiplexerในตัว 8 ช่อง แล้วจะผ่านกระบวนการจัดเรียงข้อมูลจากขนานเป็นอนุกรม โดยมี wordsynch. (1 bit),bit address แสดงว่าข้อมูลจากช่องไหน (2 bit) และ bit ข้อมูล (8 bit)รวมทั้งหมด 11 bit ต่อ 1 channel

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 1 แสดงวงจรภาคส่ง



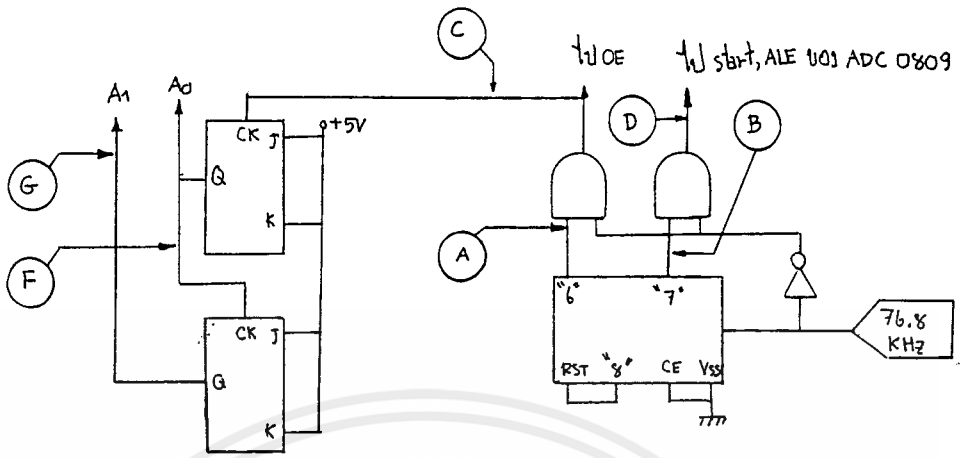
รูปที่ 2 วงจร sample and hold

จากรูปที่ 2 zenor diode จะทำการตัดสัญญาณที่มี voltage เกิน 5 โวลท์ และต่ำกว่า 0 โวลท์

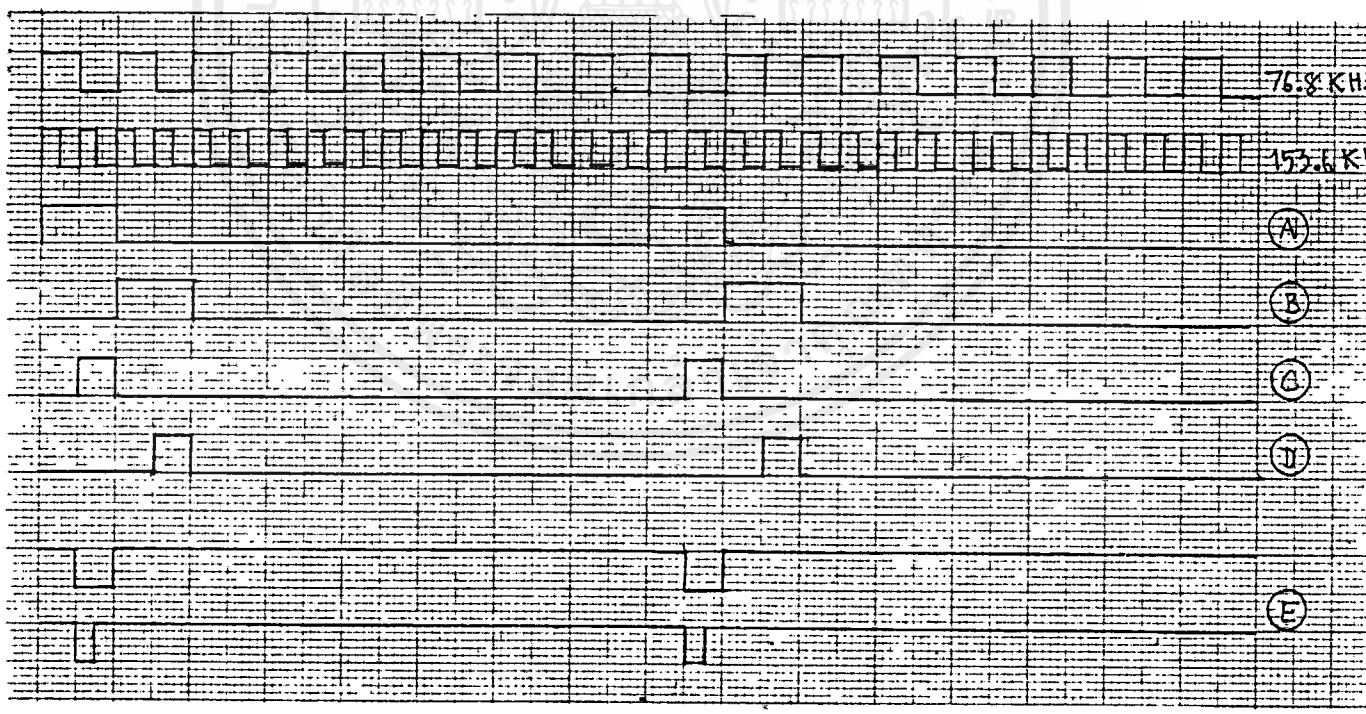
LF398 ทำหน้าที่เป็นวงจร sample and hold output ที่ได้จะเป็นสัญญาณ PAM นำไปเข้าเป็น input ของ ADC 0809

วงจรสร้างสัญญาณ sample สำหรับ LF398 ใช้สัญญาณเดียวกับสัญญาณ output enable โดยได้มาจาก IC4017 Decade counter โดย clock input มี ความถี่ 76.8 kHz นำมาหาร 8 เหลือความถี่ออกมา 9.6 KHz ใช้เป็นสัญญาณ sample 4 channel ดังนั้นอัตราการสุ่มของแต่ละช่องมีค่าเท่ากับ 9.6 kHz/4 =2kHz ซึ่งเพียงพอสำหรับสัญญาณ ไฟฟ้าหัวใจที่มีช่วงความถี่ 0.5 Hz-200 Hz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



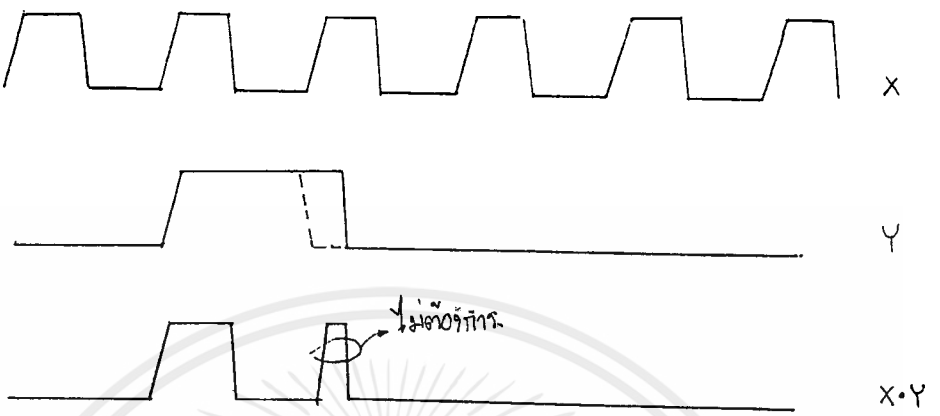
รูปที่ 3



รูปที่ 4 Timing diagram ของ IC4017

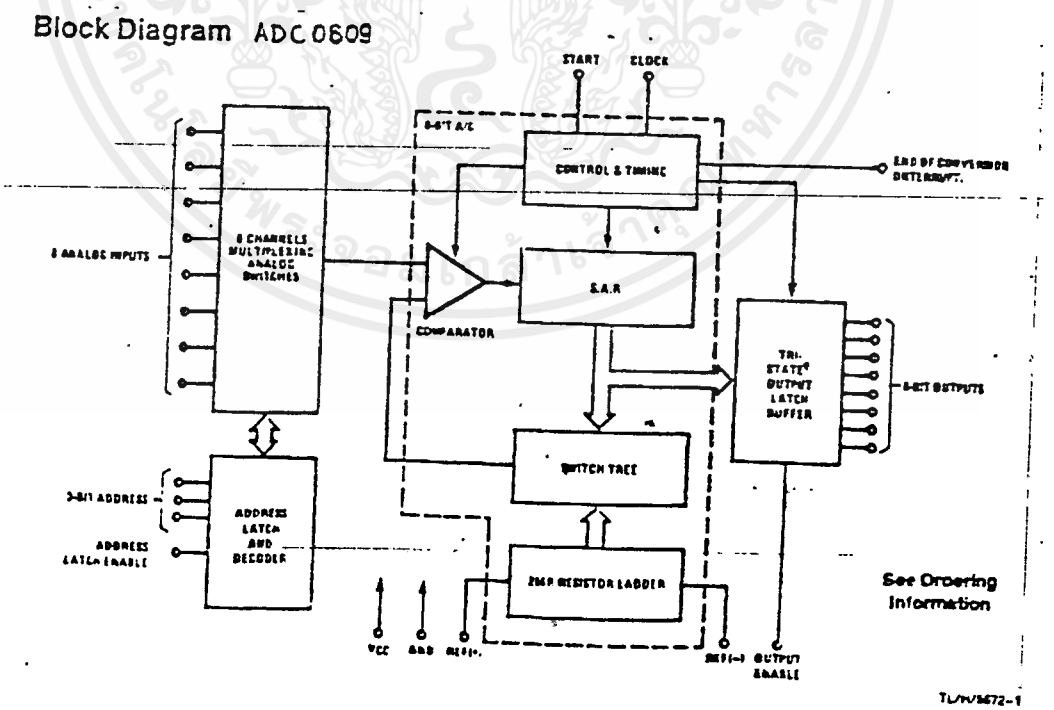
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การที่ใส่ inverter ให้ clock ก่อนจะเข้า and gate นั้น เพื่อกำจัด pulse ที่เกิดจากการ delay ของตัวนับ ดังรูป 5



รูปที่ 5

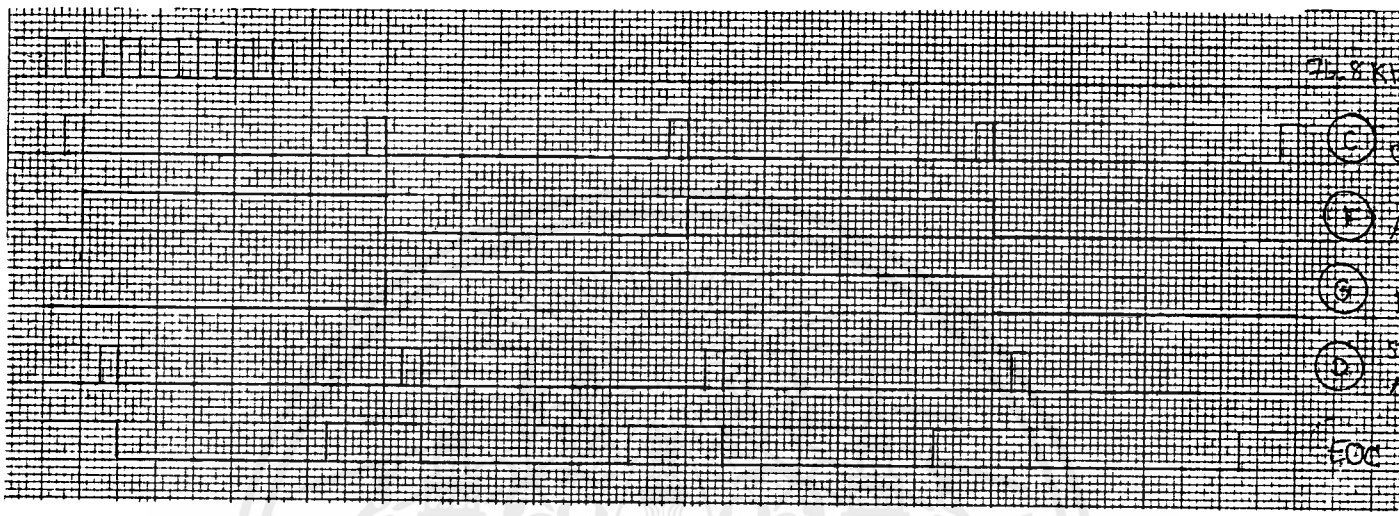
ส่วนการทำงานของ AD0809 นั้น จะมีขา Analog input อยู่ 8 ขา(IN0-IN7)โดยมี 3 BIT ADDRESS เป็นตัวควบคุมว่าจะให้ Analog input ช่องไหนเข้า



รูปที่ 6

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เนื่องจากจะใช้ input เพียง 4 ช่อง จึงกำหนดให้ 3 bit address เป็น 100 101 110 และ 111โดยจะได้มาจากการนำสัญญาณที่จุด C (รูปที่ 3) เป็น ck ของ T-FF ได้เป็น bit ต่ำสุดของ Addressเข้าที่ขา Address A และนำไปหารสอง แล้วต่อเข้าที่ขา Address B ส่วน Address C นั้นต่อกับ Vcc ได้เลย (ดูรูปที่ 7)



รูปที่ 7

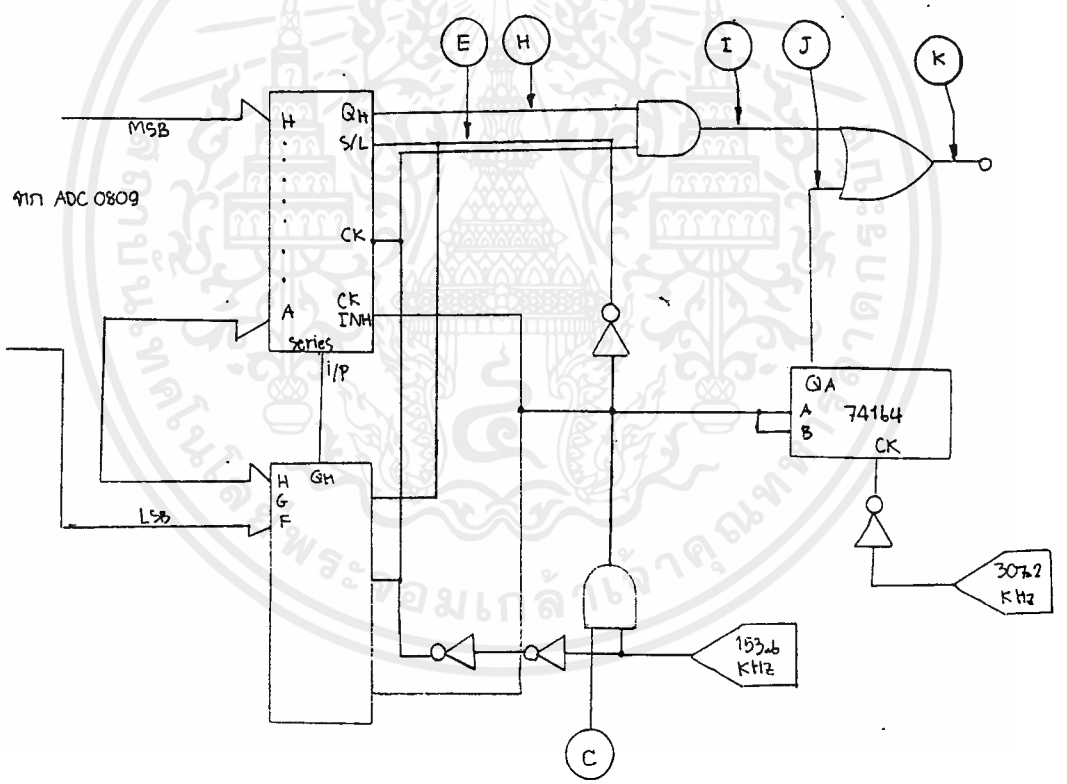
ส่วนสัญญาณ Output Enable (OE) ซึ่งเป็นตัวควบคุมให้ ADCส่งข้อมูลออกมา และจะนำไปป้อนเข้าวงจรแปลงข้อมูลจากขนานเป็นอนุกรมต่อไป ก็ได้มาจากสัญญาณที่จุด C

ส่วนสัญญาณที่ขา START และ Address Latch Enable (ALE) ซึ่งจะเป็นตัวควบคุมให้ A/D เริ่มการ conversion โดยรับ Address ที่ขาขึ้นของสัญญาณ ALE จึงใช้สัญญาณที่จุด D มาใช้เป็นตัวควบคุมสัญญาณ สำหรับ clock ของตัว ADC นั้นใช้ประมาณ 900 kHz ซึ่งความถี่ขนาดนี้ conversion time จะมีค่าประมาณ 80 μs/sampling ซึ่งน้อยกว่าคาบของการ sampling คือ 104 μs

เมื่อข้อมูลแบบ Digital ของตัว ADC มาอยู่ที่ parallel outputโดยสัญญาณ OE แล้ว Parallel Data ของ ADC0809 จะถูกเปลี่ยนไปเป็น Serial Data โดยใช้ IC74165 (8 bit PISO) Serial Data ที่จะถูกส่งออกไปนั้น จะถูกส่งออกไปทีละ word โดย 1 word แทนข้อมูล 1 ช่อง โดยจะมีอยู่ด้วยกัน 11 bit บิตแรกจะเป็น word synch.สองบิตถัดมาจะเป็น bit address ซึ่งจะเป็นตัวบอกว่าเป็นข้อมูลจากช่องไหน อีกแปดบิตหลังจะเป็นค่าของข้อ-มูล Analog

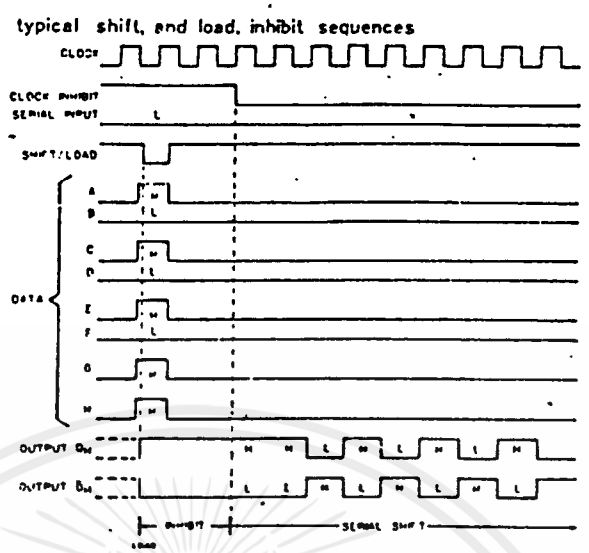
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

bit rate ของ data ที่ออกจาก 74165 จะเท่ากับ clock ที่ป้อนให้ ซึ่งจะใช้ 153.6 kHz จะมีช่วงเวลาที่จะต้องส่งให้เสร็จเท่ากับ $1/9.6*10^{3}$ = 104 μs เรามีแค่ 11 บิต ความกว้างของแต่ละ bit =1/153.6kHz =6.5 μs เพราะฉะนั้นในการส่ง 11 บิต จะใช้เวลาประมาณ 71.6 μs เท่านั้น เวลาที่เหลือ อาจจะใช้เมื่อเพิ่ม bit rate ของ Address เมื่อเพิ่มช่องการส่ง หรือเพิ่ม bit ของข้อมูลเพื่อเพิ่มความละเอียดของข้อมูล



รูปที่ 8

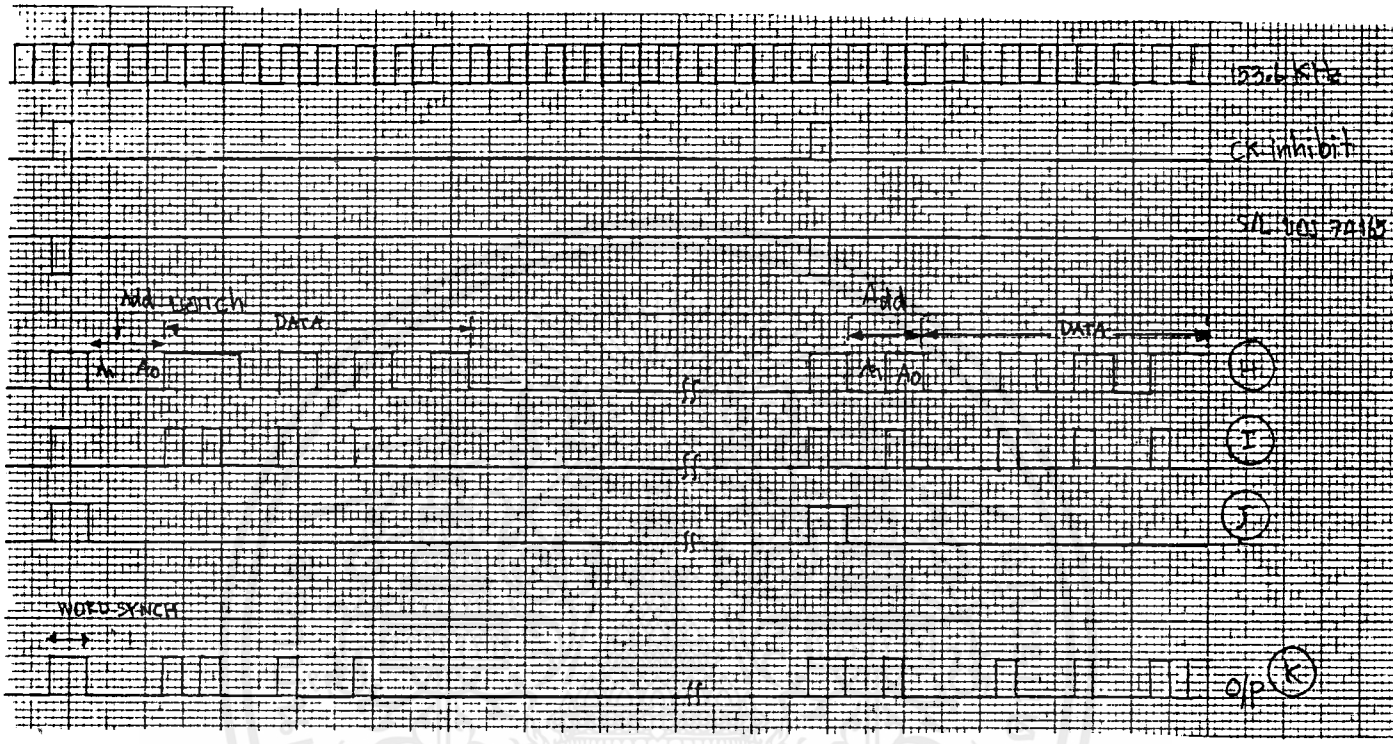
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 9 แสดง timing diagram ของ 74165

เนื่องจากข้อมูลที่จะส่งมี 11 บิตแต่ input แบบ parallel ของ 74165 มีแค่ 8 bit จึงใช้ 74165 สองตัว อนุกรมกัน บิตนัยสำคัญมากสุด (MSB) จะให้เป็น word synch ซึ่งเป็น high สองบิตถัดมาได้มาจาก bit address ของ ADC0809,parallel input ที่ไม่ได้ใช้ของ 74165 จะ load data เข้าด้วยสัญญาณ shift/load จากนั้น จึง shift ออกไปด้วยความถี่ ของ clock ของมันเอง หลังจากสัญญาณ clock inhibit เป็น(L) low (ดูรูป 9 timing diagram)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



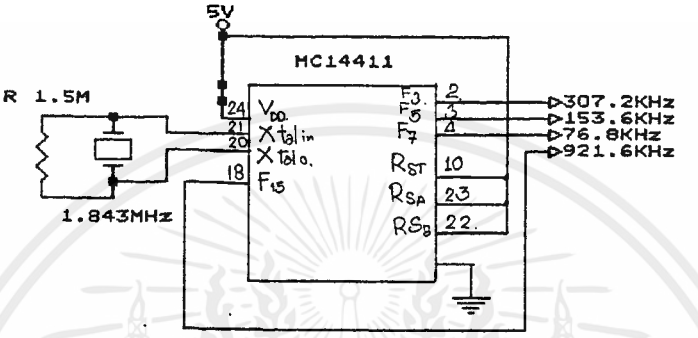
รูปที่ 10

สัญญาณที่ส่งออกไปตามสายนั้นจะต้องมีการเข้าโค้ด เพื่อใช้ในการ detect สัญญาณภาครับ ในโครงงานนี้ใช้แบบ Unipolar Return to Zero โดยการนำสัญญาณที่จุด H ไป AND กับ clock 153.6 KHz ได้สัญญาณที่จุด I (ดูรูป) ต่อไปเมื่อเราต้องการ word synch มีความกว้าง 1 bit ทำได้โดยนำสัญญาณ clock inhibit ไป shift ถอยไปอีก 1/2 bit โดยผ่าน IC 74164 ได้เป็นสัญญาณออกที่จุด J เมื่อนำไป OR กับสัญญาณที่จุด I ก็จะได้ output สุดท้ายตามที่ต้องการ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วงจรสร้างสัญญาณ clock

ในส่วนของวงจรสร้าง clock นั้นจะใช้ IC เบอร์ MC 14411 ซึ่งสามารถผลิตความถี่ออกมาโดยใช้ crystal ได้ถึง 16 ค่าต่างๆกัน โดยสามารถเลือกค่านำไปใช้ได้ตามต้องการ



CLOCK PART

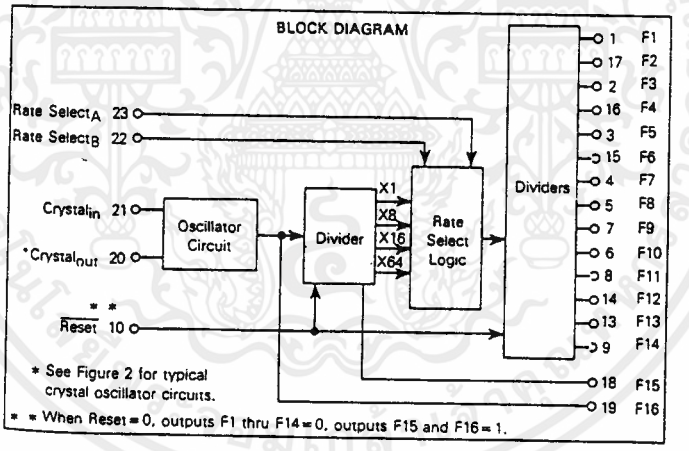


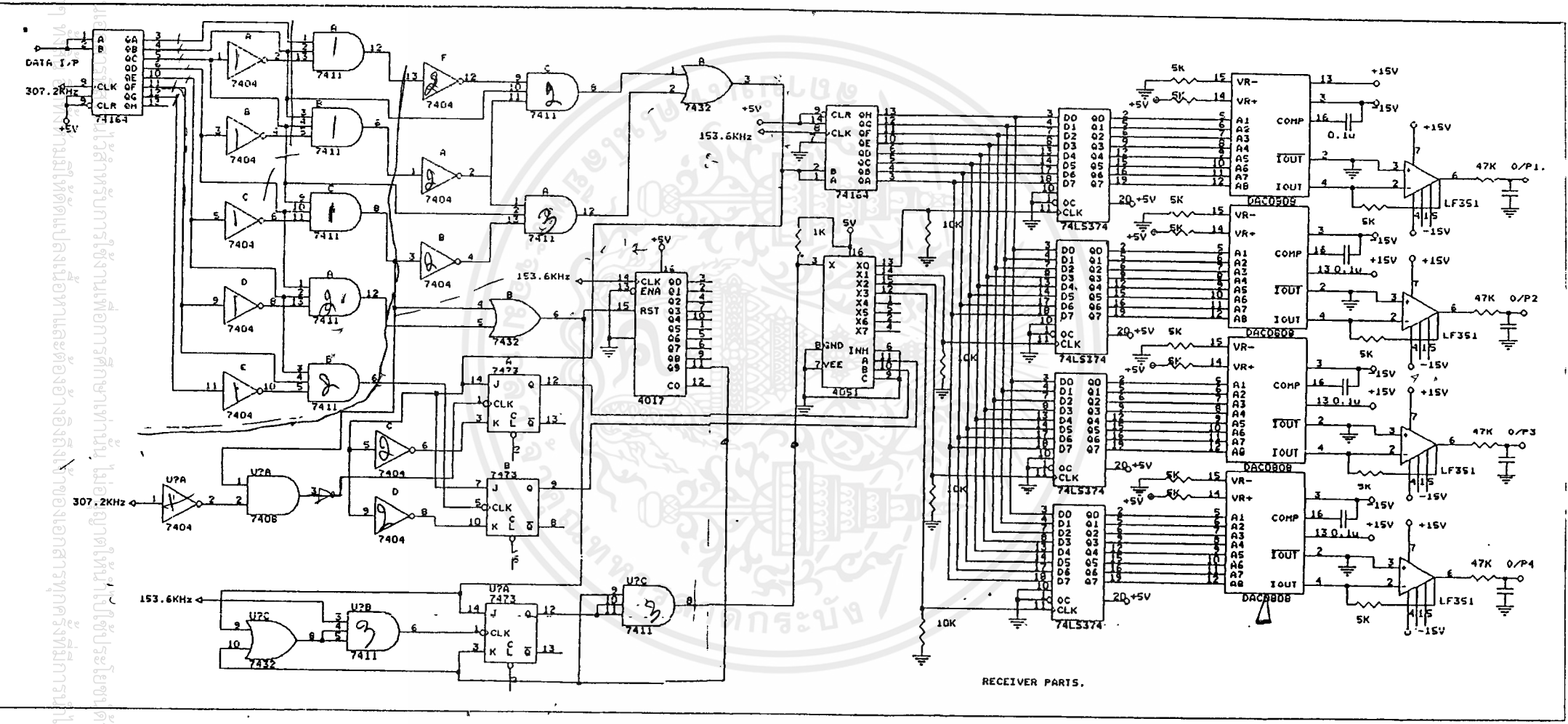
TABLE 1 — OUTPUT CLOCK RATES

Rate Select B	Rate Select A	Rate
0	0	X1
0	1	X8
1	0	X16
1	1	X64

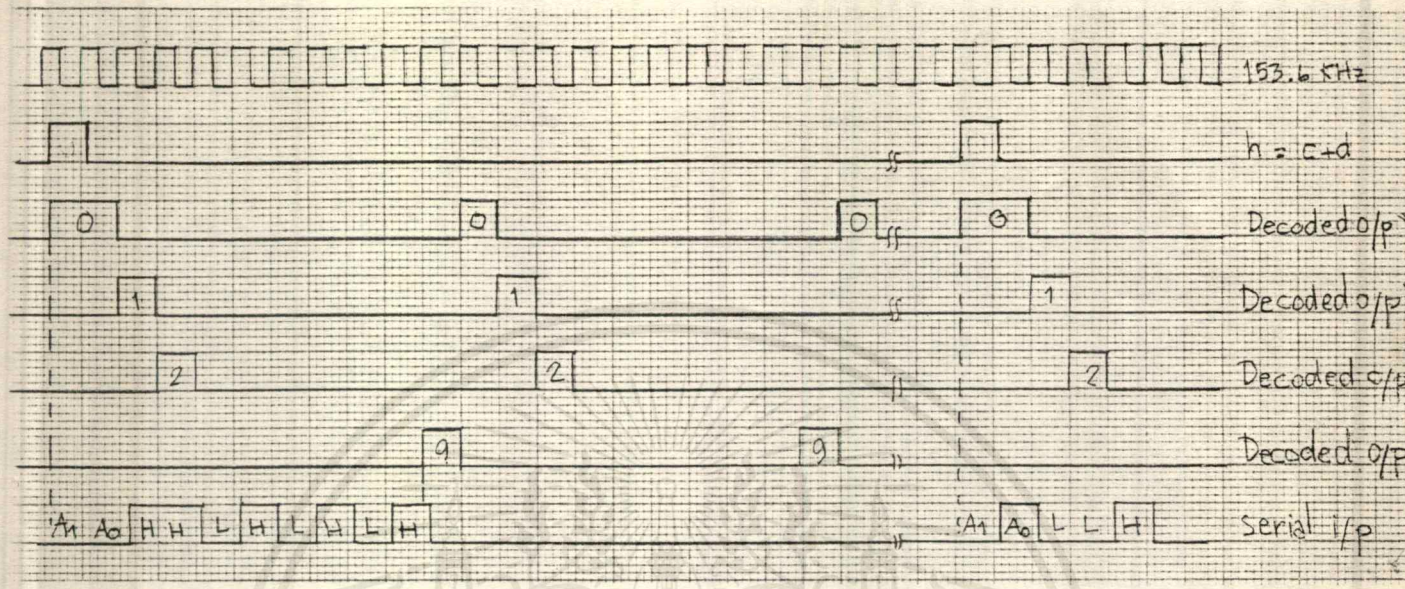
Output Number	Output Rates (Hz)			
	X64	X16	X8	X1
F1	614.4 k	153.6 k	76.8 k	9600
F2	460.8 k	115.2 k	57.6 k	7200
F3	307.2 k	76.8 k	38.4 k	4800
F4	230.4 k	57.6 k	28.8 k	3600
F5	153.6 k	38.4 k	19.2 k	2400
F6	115.2 k	28.8 k	14.4 k	1800
F7	76.8 k	19.2 k	9600	1200
F8	38.4 k	9600	4800	600
F9	19.2 k	4800	2400	300
F10	12.8 k	3200	1600	200
F11	9600	2400	1200	150
F12	8613.2	2153.3	1076.6	134.5
F13	7035.5	1758.8	879.4	109.9
F14	4800	1200	600	75
F15	921.6 k	921.6 k	921.6 k	921.6 k
F16*	1.843 M	1.843 M	1.843 M	1.843 M

*F16 is buffered oscillator output.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 11 แสดงวงจรภาครับ



รูปที่ 16

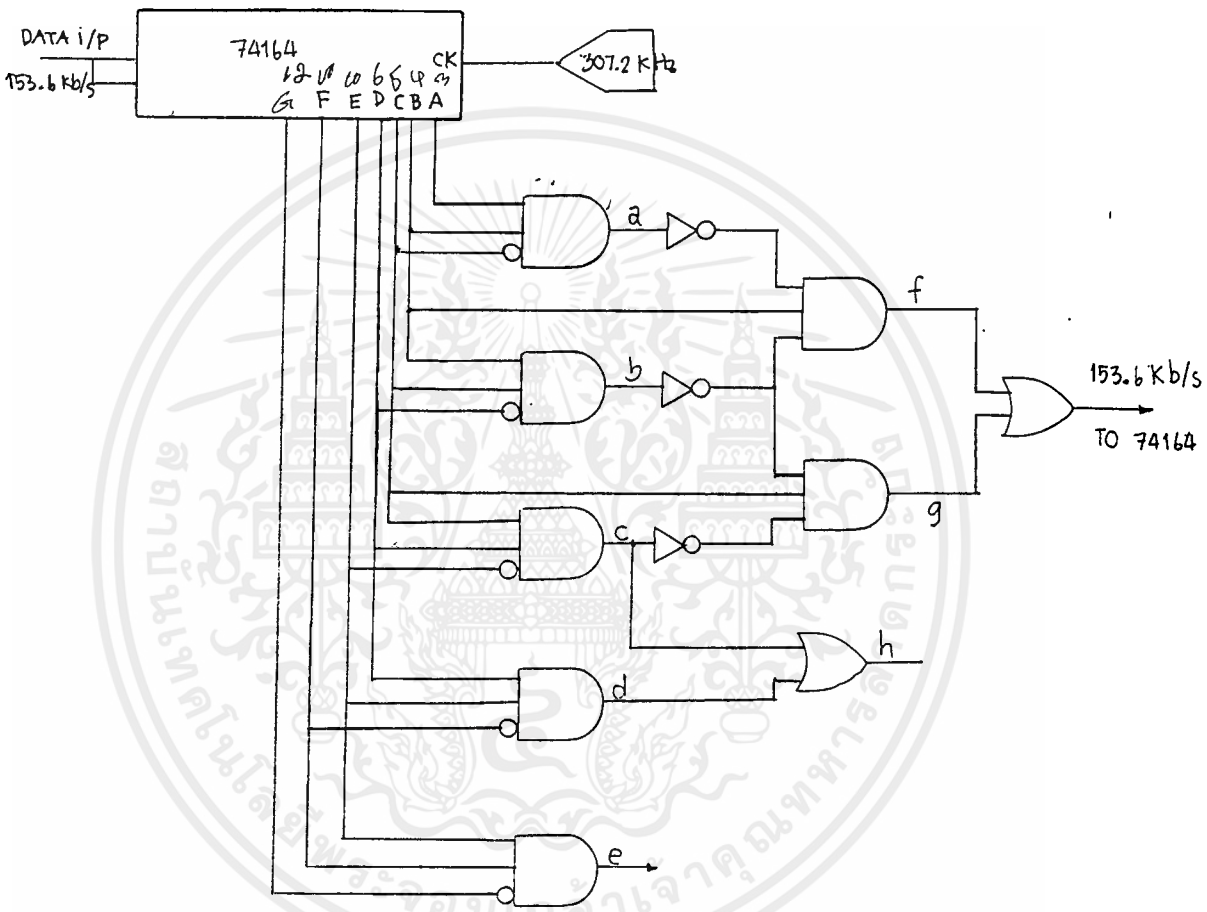
ใช้สัญญาณที่จุด h เข้าขา Reset ของ IC4017 เป็นตัวบอกให้เริ่มต้นนับ เนื่องจากสัญญาณที่จุด h ตรงกับ Address bit (A_1) ห่างจากบิตนัยสำคัญต่ำสุดของข้อมูล 10 bit จึงให้ IC4017 ทำการนับสิบ แล้วจึงใช้สัญญาณนับสิบที่ออกจากขา 11

เนื่องจากในคาบหนึ่งของสัญญาณ h มี clock ที่ออกจาก IC4017 หลายลูกแต่เราต้องการเพียงลูกที่ตรงกับ LSB ของข้อมูลเท่านั้น ซึ่งสามารถทำได้โดยใช้ JK-FF ให้สัญญาณ h เข้าขา J สัญญาณ i จากขา decoded output "9" (ขา 11 ของ IC4017) เข้าขา K ส่วน clock ของ JK-FF ได้จากการนำสัญญาณ h รวมกับสัญญาณ i แล้วลดความกว้างของ clock ลงครึ่งหนึ่ง (เพราะมีผลต่อการทำงานของ Flip-Flop ถ้าใช้ความกว้าง clock เท่าเดิม) จะได้ output เป็นสัญญาณ j เมื่อนำไป AND กับสัญญาณ i จะได้สัญญาณ k ดังรูป 17

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วงจรภาครับ

วงจรภาครับ จะใช้ clock frequency ซึ่งมีค่าเท่ากับของภาคส่ง โดยการสร้างสัญญาณ clock ขึ้นที่ภาครับด้วยวงจรสังเคราะห์ความถี่ PLL เพื่อให้ภาคส่งและภาครับสามารถ synchronize กันได้ รูป 11 เป็นรูปแสงวงจรภาครับ โดย IC 74164 เป็นตัวทำให้ data ที่รับมามีคาบสัมพันธ์กับ clock ของเครื่องรับ



รูปที่ 12 แสดง 74164และ and gate

รูปที่ 12 เป็นวงจร Synchronization เมื่อ data เข้ามาที่ IC 75164 ซึ่งเป็น IC ที่รับ Serial input แล้วเปลี่ยนเป็น Parallel output(SIPO) โดยจะใช้ความถี่ clock เป็นสองเท่าของ bit rate ของ ข้อมูล ดังนั้น output แต่ละขาจะ delay กันอยู่ $^1/_2$ bit. output ที่ออกมาแต่ละขา จะสัมพันธ์กับ clock เสมอ จึงตัดปัญหาความไม่สัมพันธ์กันของ data bit กับ clock ไปได้

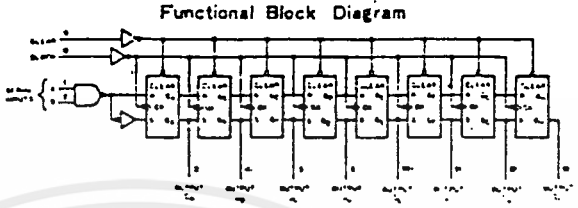
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

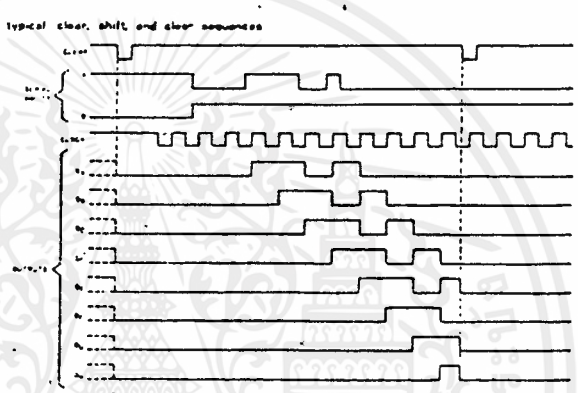
Function Table

'164, 'LS164, 'L164 (see Note 2)

INPUTS				OUTPUTS			
CLEAR	CLOCK	A	B	QA	QB	...	QH
L	X	X	X	L	L		L
H	L	X	X	Q_{A0}	Q_{B0}		Q_{H0}
H	↑	H	H	H	Q_{An}		Q_{Gn}
H	↑	L	X	L	Q_{An}		Q_{Gn}
H	↑	X	L	L	Q_{An}		Q_{Gn}

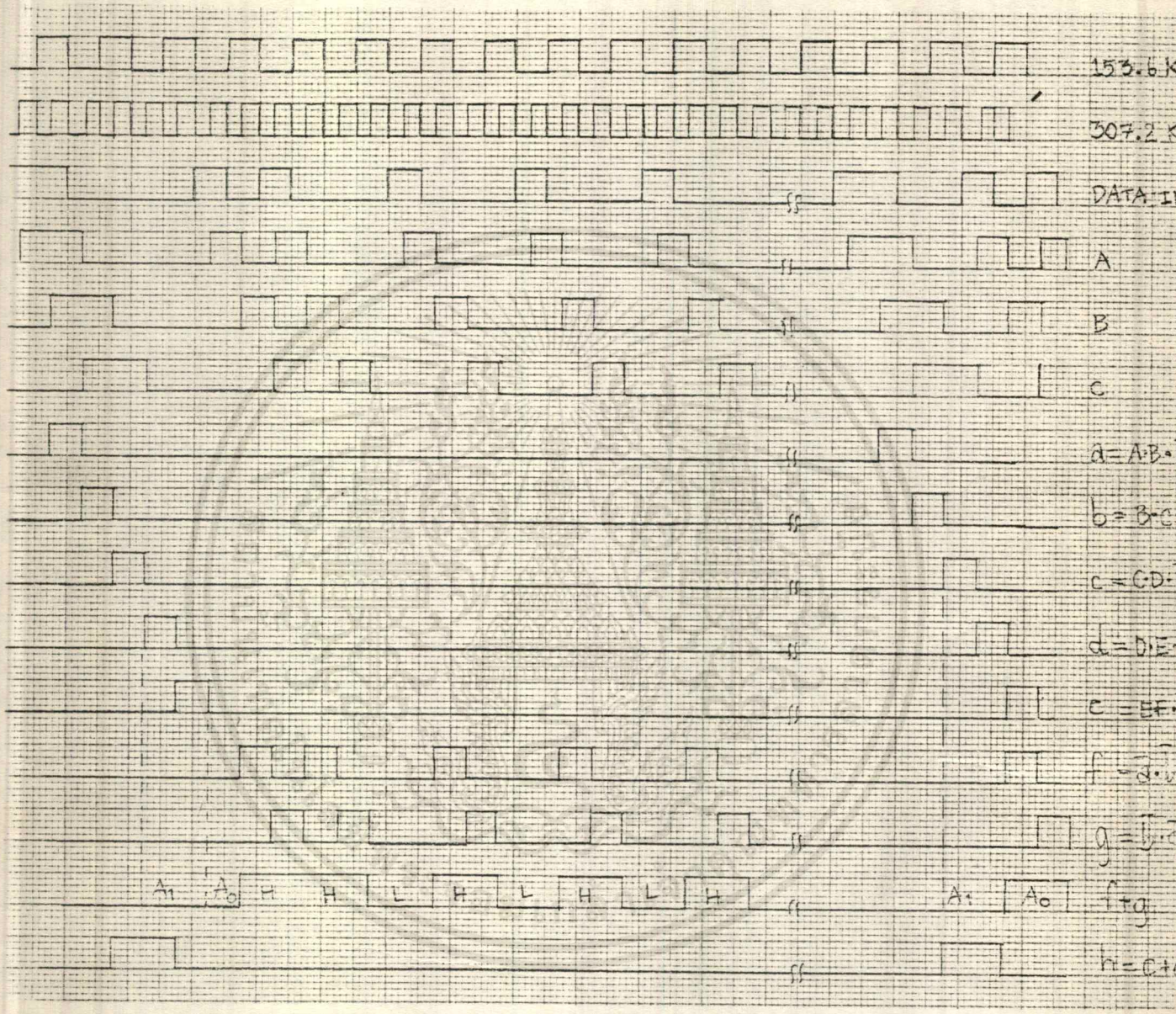
Functional Block Diagram





รูปที่ 13 timing diagram ของ 74164

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



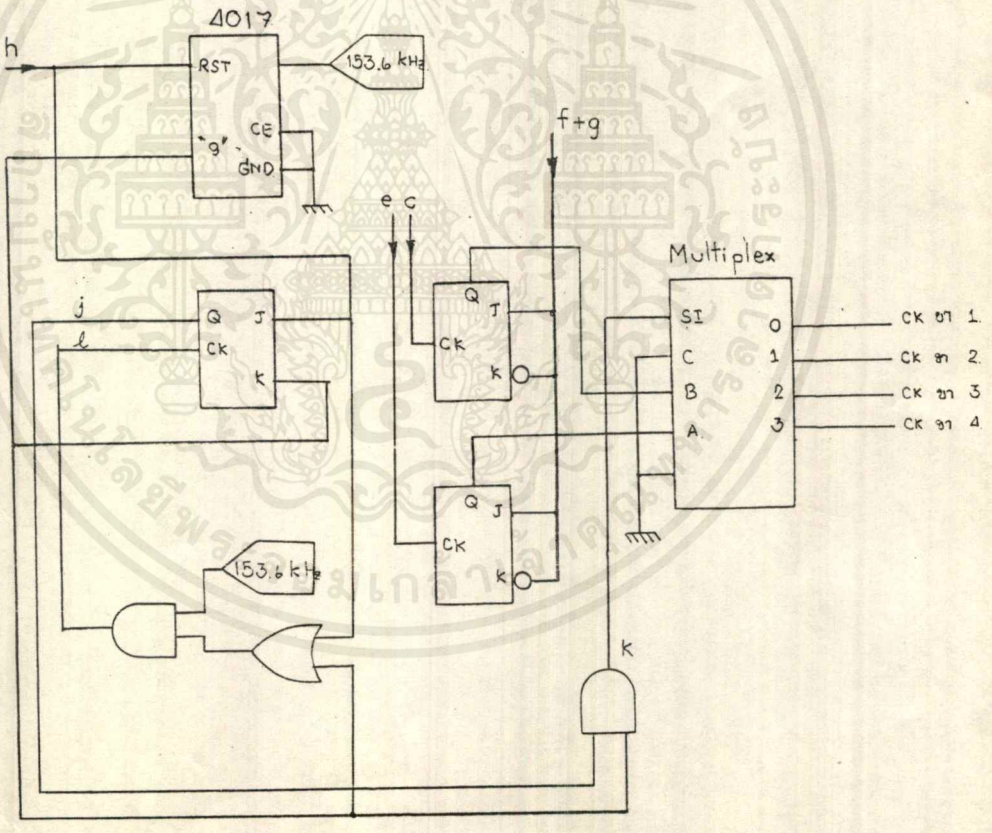
รูปที่ 14 กราฟ 1

รูปที่ 14 แสดงสัญญาณที่ออกจากจุดต่างๆในรูป 12 แสดงการ detect word syncbit, Address bit และ Data bit ออกมา Address bit จะถูก detect เพื่อป้อนเข้าเป็น - Address ของตัว Demultiplex อีกครั้งหนึ่งโดยใช้ JK-FF ทำเป็น D-FF inputเข้าได้จาก สัญญาณ f+g ใช้วัญญาณที่จุด c เป็น clock ซึ่งจะได้ output Q ก็คือ A_1 ส่วน A_0 ก็ใช้วิธีการ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

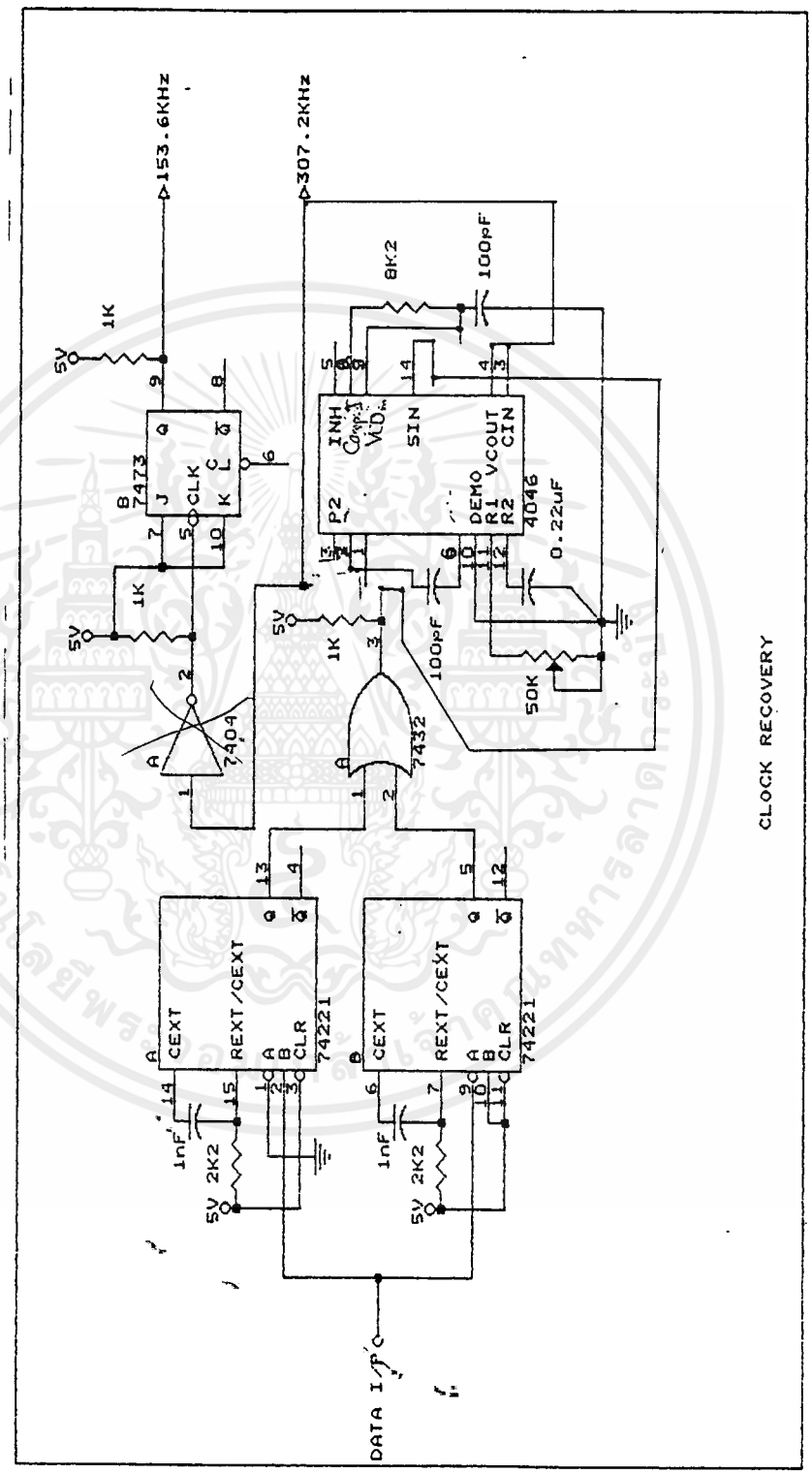
เดียวกันโดยใช้ D-FF อีกตัวแต่ให้สัญญาณที่จุด e เป็น clock แทน(ดูกราฟที่ 14)

ตัว Demultiplex ในโครงงานนี้จะใช้ IC 4051 เป็นตัว Demultiplex สัญญาณที่จะไปเป็น clock ควบคุมให้ IC74374 (octal D-tpye flipflop) ทำการ load ข้อมูลแบบขนาน 8 bit ที่กำหนดได้จาก Address ว่าจะให้ IC74374 ตัว ไหนรับข้อมูลนั้นไป ซึ่งจะต้องเป็นช่องที่ข้อมูล Digital 8 bit มาอยู่ตรงกลาง Q_H จนถึง Q_A ของ IC74164 พอดี นั่นคือช่วงเวลาขาขึ้นของ clock ควบคุมนั้น จะต้องอยู่ระหว่าง บิตนัยสำคัญต่ำสุดของข้อมูลเพราะ IC74374 จะload ข้อมูลเข้าช่วงขาขึ้นของ clock สัญญาณควบคุมสร้างโดยใช้clock 153.6 kHz ผ่านวงจรนับสิบ โดยใช้ IC4017(ดูรูป16)

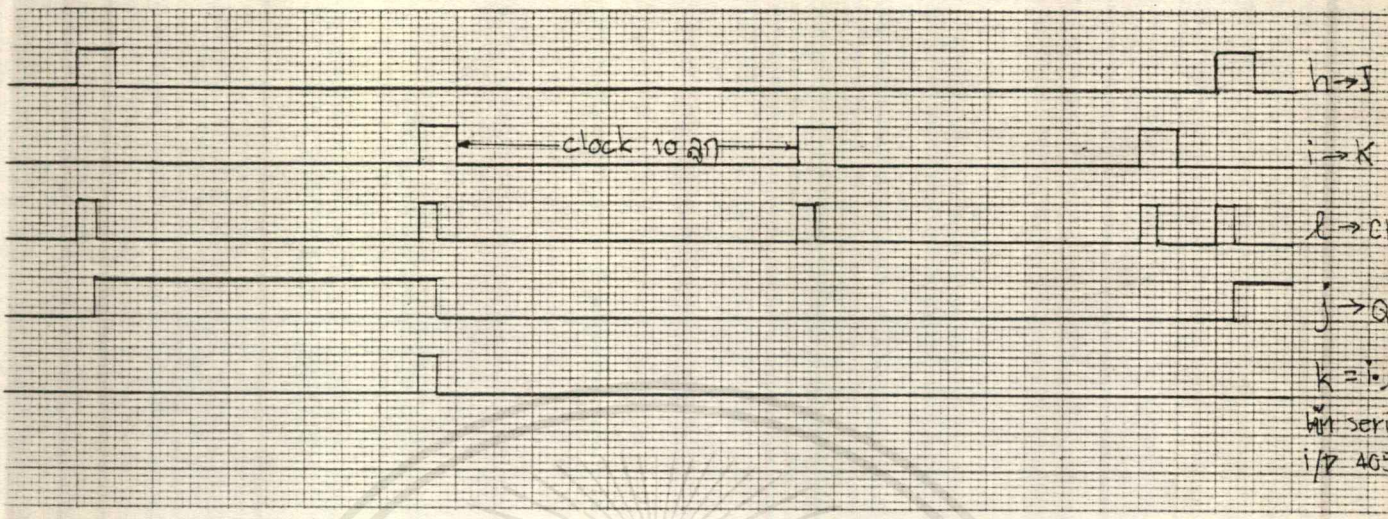


รูปที่ 15

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

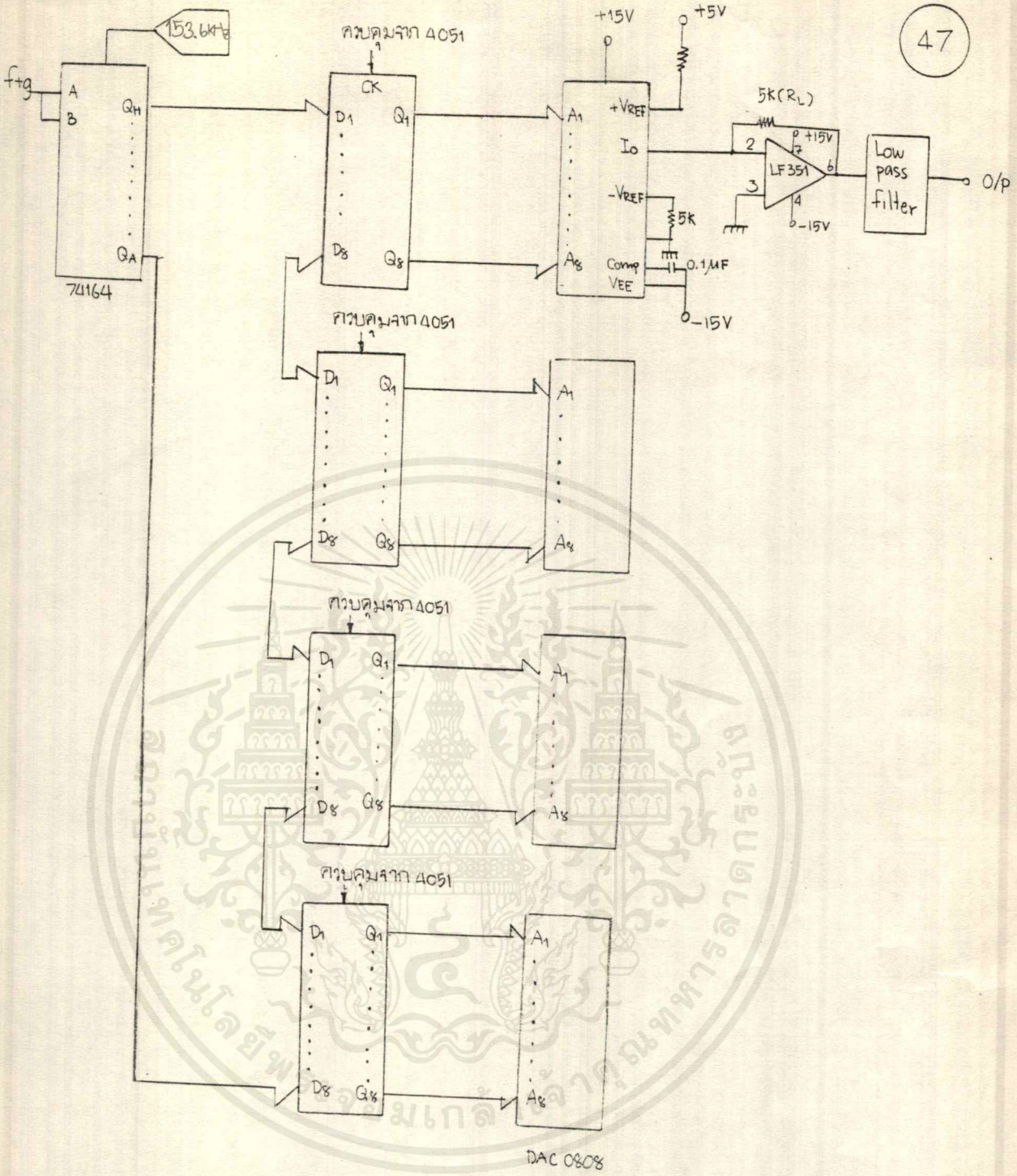


รูปที่ 17

เมื่อได้สัญญาณ k แล้วจะนำไป Demultiplex เพื่อจ่ายเป็น clock ของ IC74374 ควบคุมการ loadข้อมูลให้แยกเป็น 4 ช่อง จากนั้น DAC0808 จะเปลี่ยนข้อมูลจาก Digital เป็น Analog outputของ DAC0808 จะอยู่ในรูปของการเปลี่ยนแปลงของกระแส ดังนั้นจึงต้องทำการเปลี่ยนเป็นรูปแบบของ Voltage โดย LF351จึงจะได้ output ที่เหมือนกับสัญญาณ PAM

ในภาคส่ง เมื่อนำมาผ่าน filter จึงจะได้สัญญาณ Analog เป็น output สุดท้ายที่มีลักษณะเหมือนกับสัญญาณ Analog ของภาคส่ง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

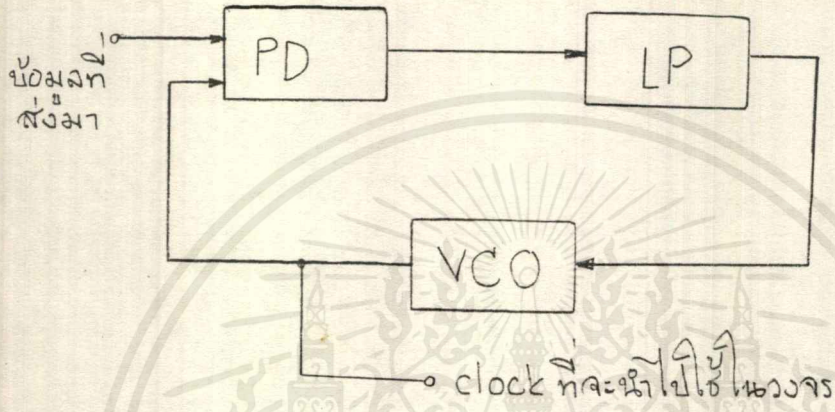


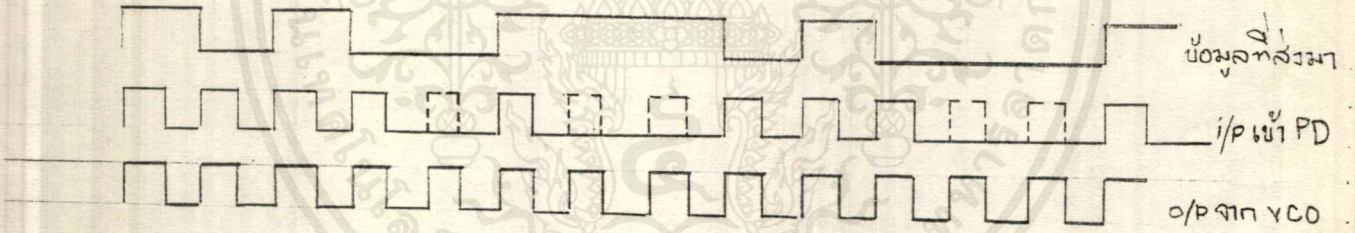
รูปที่ 18

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การทำงานของวงจร clock recovery

วงจรนี้เป็นวงจรที่ใช้สร้าง clock ขึ้นมาใหม่ เพื่อใช้ประโยชน์ในการ detectเอา สัญญาณ อินพุทที่เข้ามา โดย phase locked loop เข้าช่วย

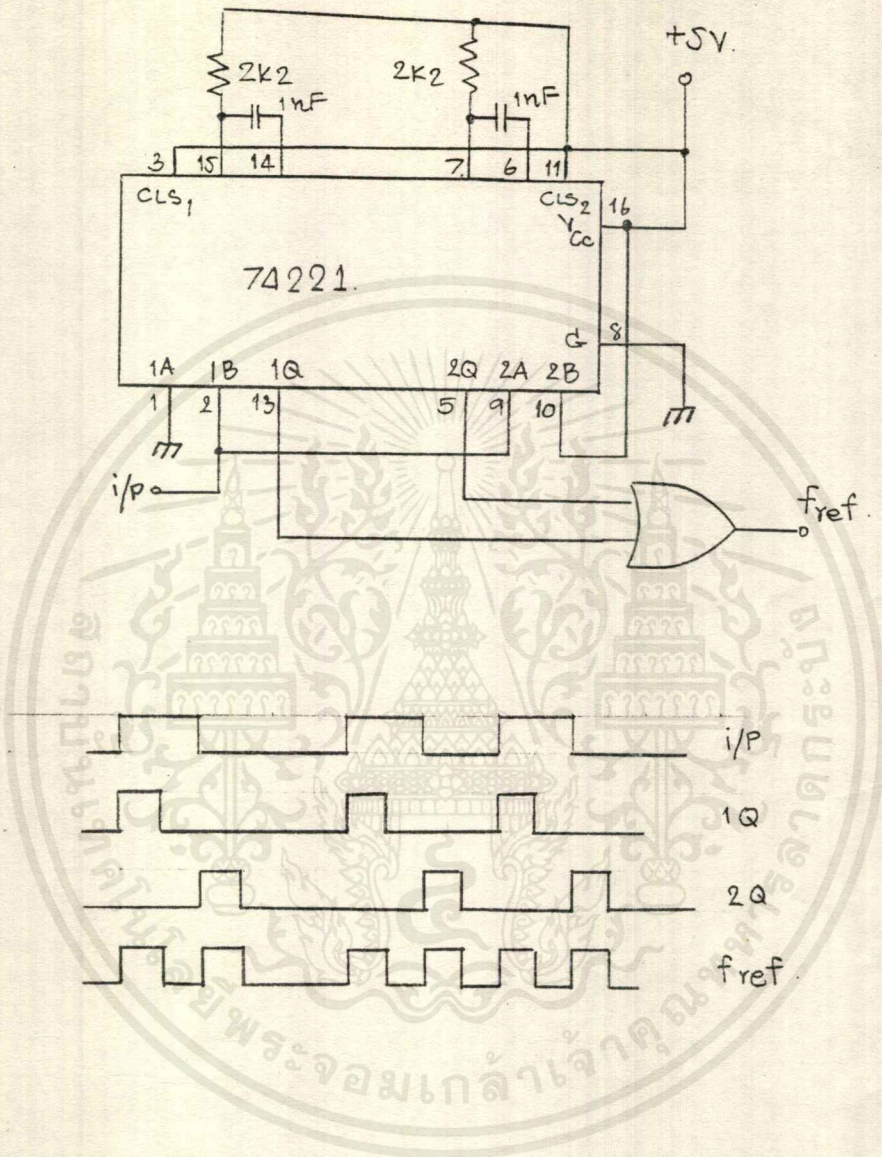




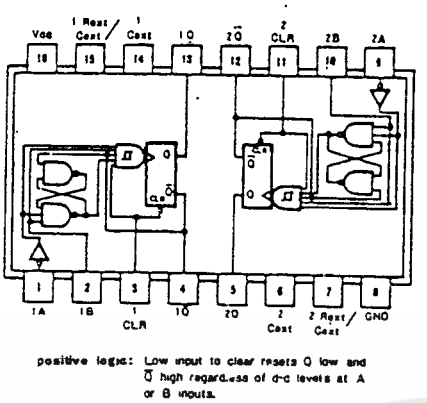
จากรูปสัญญาณ i/p ที่เข้ามาคือ ข้อมูลที่ส่งมาจากเครื่องส่ง เอามาใช้ประโยชน์และจะต้องมีความถี่เป็นสองเท่าของความถี่สูงสุดของข้อมูลที่ส่งมา เพื่อจะนำมาใช้ในการ detect ข้อมูลได้ จึงต้องนำข้อมูลไปผ่านวงจรโมโนสเตเบิล โดยใช้ขาขึ้นและขาลงของข้อมูลเป็นตัวกำหนดจุดที่เริ่มสร้าง pulse ให้มีช่วงกว้างประมาณครึ่งหนึ่งแล้วนำมา OR กัน จะได้สัญญาณที่จะป้อนเข้า i/p ของ phase detector

ในโครงงานใช้ IC โมโนสเตเบิลเบอร์ 74221 โดยใช้ขาขึ้นและขาลงของข้อมูลเป็นตัว trig

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



positive logic: Low input to clear resets Q low and Q̄ high regardless of d-c levels at A or B inputs.

Function Table

'221, 'LS221 (EACH MONOSTABLE)

INPUTS			OUTPUTS	
CLEAR	A	B	Q	Q̄
L	X	X	L	H
X	H	X	L	H
X	X	L	L	H
H	L	↑	⎍	⎎
H	↓	H	⎍	⎎

H = high level (steady state)
L = low level (steady state)
↑ = transition from low to high level
↓ = transition from high to low level
⎍ = one high-level pulse
⎎ = one low-level pulse
X = irrelevant

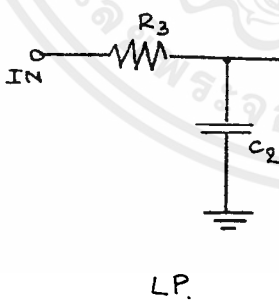
หลังจากข้อมูลผ่านวงจรโมโนสเตเบิ้ลแล้วก็จะเข้าไปเป็น i/p ของวงจร phase detector (f_{ref}) ซึ่งเราจะต้องตั้งความถี่กลาง f_o ไว้ประมาณความถี่ของ clock ที่ต้องการ ซึ่งกำหนดได้จากค่า R,C ของ PLL เบอร์ 4046 (หาได้จากรูปกราฟใน Data sheet) ส่วนวงจร low pass filter นั้นใช้วงจร RC filter ค่า RC กำหนดได้จากสูตร

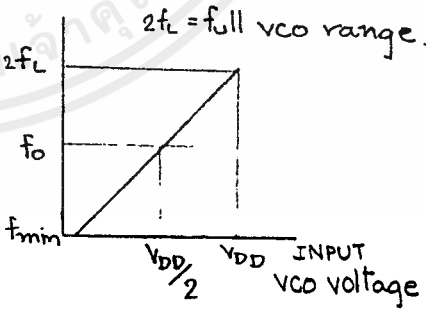
$$2f_c = (1/\pi)/(2\pi f_L T_1)$$

เมื่อ $2f_c$ คือ Frequency Capture Range

$$T_1 = R_3 C_2$$

$$f_L = (f_{max} - f_{min})/2$$





ซึ่งเราต้องการ Frequency Capture Range =400 kHz

เพราะฉะนั้น $T_1 = (2\pi f_L/(2\pi f_c)^2 = f_L/2\pi f_c^2$

จะได้ $T_1 = 8*10^{-7} = R_3 C_2$

เลือกให้ C_2 =100 pF

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เพราะฉะนั้น R_3 =8 กิโลโอห์ม

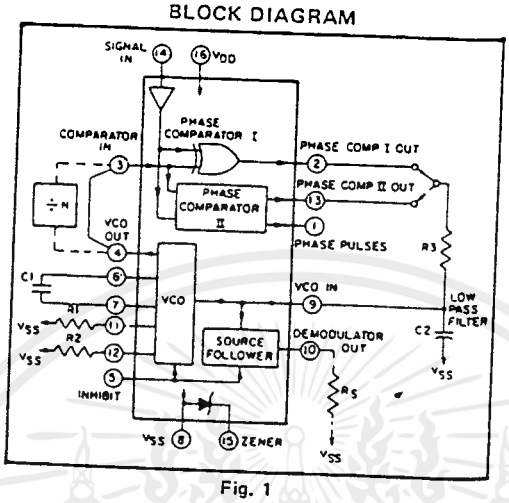
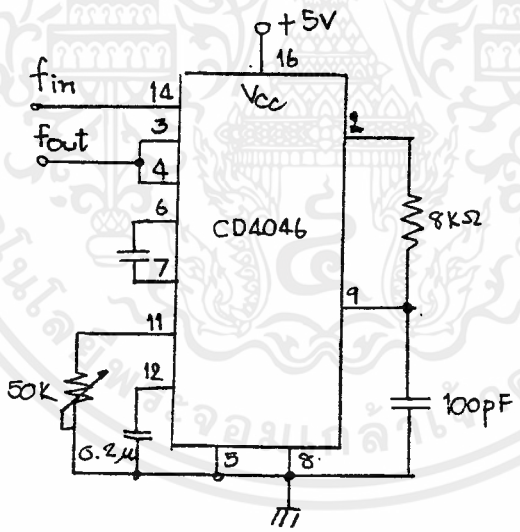


Fig. 1

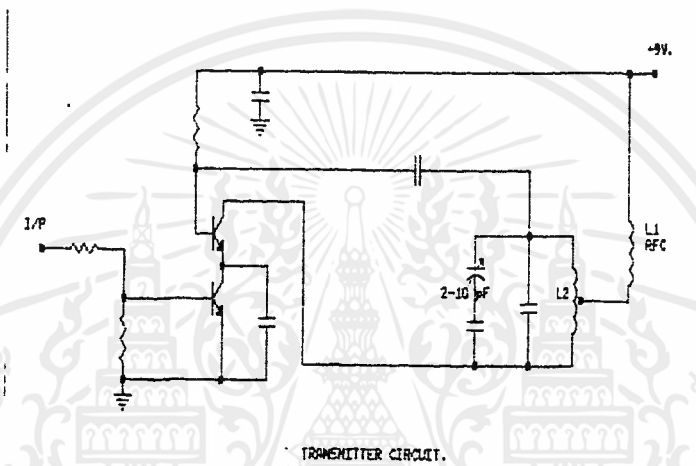


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การทำงานของวงจรเครื่องส่ง- รับ สัญญาณ

เครื่องส่งและเครื่องรับที่ใช้เป็นแบบ AM ย่านความถี่ UHF ซึ่งความถี่ที่ใช้ประมาณ 300 MHz โดยนำมาใช้กับสัญญาณ ขาเข้าซึ่งเป็น ดิจิตอล ซึ่งสามารถอธิบายการทำงานของเครื่องส่งและเครื่องรับได้ดังนี้

เครื่องส่ง

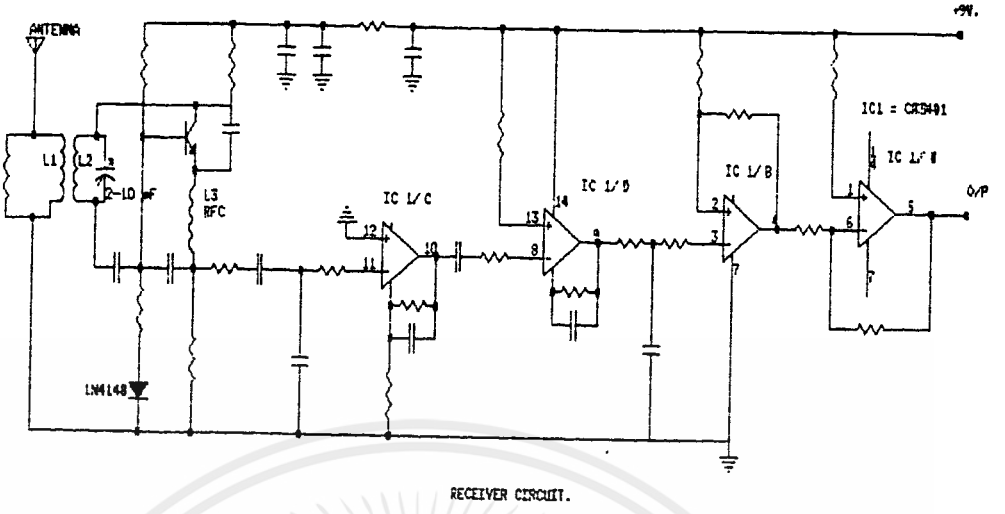


รูปแสดงวงจรของเครื่องส่ง UHF

เครื่องส่งเป็นวงจรแบบ regenerative ซึ่งมีลักษณะการทำงาน แบบ on-off keying ซึ่งใช้กับสัญญาณเข้าซึ่งเป็นดิจิตอล โดย R_2และR_3 ทำหน้า ที่ bias ให้ทรานซิสเตอร์ Q_2 สัญญาณอินพุทที่เข้ามาซึ่งมีค่า ศูนย์และหนึ่งจะทำให้ทรานซิสเตอร์ Q_2 ซึ่งทำหน้าที่เป็นสวิทช์ on และ off ซึ่งจะมีผลให้ Q_1 ซึ่งเป็นวงจร ฮาร์ทเลย์ออสซิลเลเตอร์ทำงานในลักษณะ on และoff โดยความถี่ของวงจรออสซิลเลเตอร์ถูกกำหนดโดยวงจรแทงค์ ซึ่งประกอบด้วยขดลวด L_2 และตัวเก็บประจุ C_3,C_4 และVC(trimmer)โดยการปรับ ทริมเมอร์ VC ค่าความถี่ออสซิลเลตก็จะสามารถเปลี่ยนไปได้ C_2 ทำหน้าที่เป็นส่วนป้อนกลับให้กับวงจรออสซิลเลเตอร์ L_1เป็น RF choke ซึ่งทำหน้าที่แยกวงจรออสซิลเลเตอร์ออกจาก power supply

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เครื่องรับ



RECEIVER CIRCUIT.

รูปแสดงวงจรเครื่องรับที่สมบูรณ์

วงจรเครื่องรับดังแสดงในรูปเป็นแบบ regenerative โดยที่มีวงจร resonance L_2, VC ทำหน้าที่ synchronize ความถี่กับความถี่ของเครื่องส่ง เพื่อให้สามารถรับความถี่ได้ตรงกับความถี่ที่ถูกส่งออกมาโดยการ ปรับ VC เอาท์พุทของวงจรดีเท็กเตอร์จะถูกต่อผ่านไปยังวงจรกรองความถี่ต่ำซึ่งประกอบด้วย R_6และC_7 ซึ่งได้ตั้งค่าความถี่ f_c ไว้ที่ 160 K Hz สัญญาณที่ได้ที่จุด TP จะเป็นสัญญาณ digital และสัญญาณนี้จะถูกขยายโดย $IC_{1/2}$และมี $IC_{1/3}$ เป็นวงจรชมิตต์ทริกเกอร์ ซึ่งทำหน้าที่ลดสัญญาณรบกวน และปรับรูปคลื่นให้มีรูปร่างที่ถูกต้องเพื่อให้วงจรภาคต่อไปสามารถรับสัญญาณได้อย่างถูกต้อง จากนั้นก็จะถูกกลับเฟสโดยอินเวอร์เตอร์$IC_{1/4}$ ซึ่งก็จะได้สัญญาณ ดิจิตอลที่ถูกต้องตามต้องการ หลังจากนั้นสัญญาณดิจิตอลที่ได้ก็จะถูกส่งเข้าไปยังวงจรภาคต่อไปเพื่อแยกสัญญาณออกเป็นช่องๆทั้ง 4 ช่อง

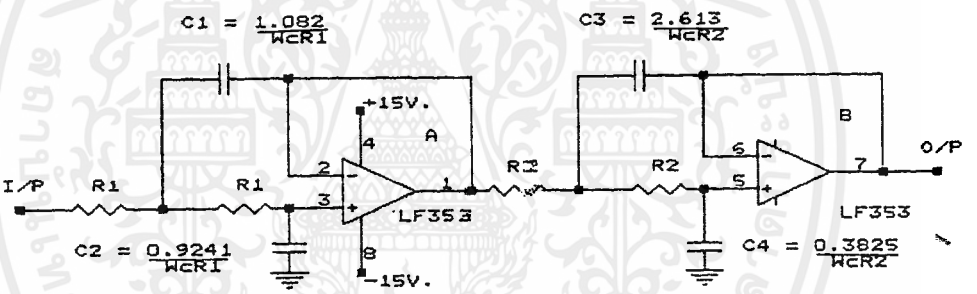
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การออกแบบวงจร Low Pass Filter (LPF)

ที่วงจรความถี่ต่ำ Active Filter ได้ถูกออกแบบมาที่คุณภาพการใช้งานที่ดีกว่า Passive Filter จำนวนเลขของ pole เป็นตัวเลขของ capacitor ในวงจรขั้นพื้นฐาน คุณภาพของ Filter ที่ใช้จะมีคุณภาพใกล้ Ideal มากขึ้นเมื่อจำนวน pole มากขึ้น

ชนิดของ capacitor ที่ใช้ในวงจรควรเป็นแบบ polystyrene,mylarหรือmica ที่มีคุณภาพสูงไม่ควรใช้capacitorชนิด electrolyte หรือ capacitor คุณภาพต่ำ เช่น ceramic เพราะ มีช่วงกว้าง

ในการออกแบบ LPF นี้เราใช้วงจรของ Butterworth filter ชนิด 4 pole เพื่อให้ค่าที่ได้มีค่าใกล้เคียงกับค่าที่คำนวณได้ ดังนี้



LOW PASS FILTER CIRCUIT.

รูปแสดงวงจร Four pole active low pass butterworth filter

ดังนั้นในการคำนวณเราใช้ f_c= 500Hz ที่ 3 dB ค่า $w_c = 2\pi f_c$

กำหนด R_1 = 4.2 k ดังนั้น

$C_1 = 1.082/w_cR_1$ $C_2 = 0.9241/w_cR_1$

C_1 =oco82 μF C_2 = 0.07μF

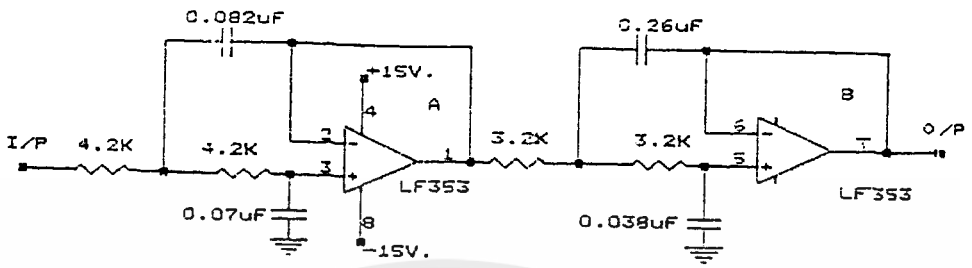
กำหนด R_2 =3.2 k ดังนั้น

$C_3 = 2.613/w_cR_1$ $C_4 = 0.3825/w_cR_1$

C_3 =0.26μF C_4 = 0.038μF

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วงจรที่ออกแบบสมบูรณ์แสดงดังรูป



LOW PASS FILTER CIRCUIT.

รูปแสดงวงจร Low Pass Filter

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ผลการทดลอง

จากการทดลองระบบ pcm telemetry สำหรับการส่งสัญญาณมัลติเพล็กซ์ ขนาด 4 ช่องสัญญาณ จะได้ว่า

1. การทดลองส่งสัญญาณมัลติเพล็กซ์ 4 ช่องสัญญาณ โดยการใช้สายเชื่อมต่อระหว่างภาคส่งและภาครับสามารถส่งและรับได้ โดยสัญญาณที่ส่งและสัญญาณที่รับได้มีลักษณะเหมือนกันโดยไม่มีการรบกวนข้ามช่องกัน

2. การทดลองส่งผ่านด้วยคลื่นวิทยุ พบว่าสามารถส่งได้ระยะใกล้ๆและส่งได้ดีเฉพาะสัญญาณบิตเรทต่ำๆ เท่านั้น สำหรับสัญญาณบิตเรทสูงๆสัญญาณจะมีความเพี้ยนสูงมากจนไม่สามารถนำสัญญาณ o/p ออกไปใช้ได้ ซึ่งจากการทดลองโดยการลดบิตเรทให้มีค่าประมาณ 28 kilobit/sec โดยส่งทีละช่อง ภาครับสามารถรับได้ โดยมีลักษณะสัญญาณเพี้ยนอยู่บ้าง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สรุปผลและวิจารณ์

โครงงานนี้หลังจากทดลองส่งสัญญาณดิจิตอลแบบ NRZ โดยผ่านสายส่งสัญญาณด้วยความเร็ว 153.6 kb/s แล้วสามารถส่งได้ 4 ช่องตามที่ต้องการโดยใช้ clock ต้านละชุดแยกกัน สามารถรับส่งสัญญาณได้ถูกต้อง ในการทดลองได้ใช้สัญญาณรูปร่างต่าง ๆ กันเป็นสัญญาณ Analog i/p ซึ่งมีความถี่ไม่เกิน 200 Hz เพราะได้ออกแบบไว้สำหรับการส่งสัญญาณที่มีความถี่ต่ำ ๆ เช่น สัญญาณหัวใจ สัญญาณที่ output ของเครื่องรับหลังจากผ่าน low pass filter แล้วก็มีรูปร่างเหมือนกับสัญญาณที่ส่งมาแต่ละช่องโดยไม่มีการรบกวนกัน หลังจากนั้นได้ทดลองส่งออกอากาศโดยผ่านคลื่นวิทยุด้วยวิธีการมอดแบบ ASK โดยใช้ความถี่ carrier ประมาณ 300 MHz แต่ไม่สามารถส่งสัญญานดิจิตอลที่ความถี่สูง ๆ ได้ หลังจากได้ทดลองแก้ไขวงจรบางส่วนแล้ว เนื่องจาก วงจรออสซิเลตต้องอาศัยเวลาช่วงหนึ่งในการเริ่มออสซิเลตจนถึงความถี่ 300 MHz เมื่อส่งสัญญานดิจิตอลที่ความถี่สูง ๆ จึงเกิดการเพี้ยนของสัญญาณที่ output ของเครื่องรับ จึงลดช่องการส่งสัญญาณเมื่อส่งทางคลื่นวิทยุ เพื่อลด bitrate ของการส่งสัญญาณดิจิตอล และให้เครื่องรับสามารถรับข้อมูลได้ถูกต้อง โดยจะมีส่วนวงจรที่เลือกช่องสำหรับการส่งออกอากาศ ส่วนการส่งตามสายสัญญาณยังคงสามารถส่งได้ 4 ช่องเช่นเดิม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กิตติกรรมประกาศ

ขอขอบคุณ อาจารย์ประภากร สุวรรณะ เป็นอย่างยิ่งที่ได้ให้คำปรึกษาและชี้แนะแนวทางแก้ปัญหา ขอบคุณ รศ.ดร มนัส สังวรศิลป์ อาจารย์ที่ได้เอื้อเฟื้อห้องทดลองและอุปกรณ์การทดลอง เพื่อนๆที่คอยให้กำลังใจด้วยดีเสมอมา ขอบคุณวิทยาลัยมหานครที่ได้กรุณาให้ใช้เครื่องมืออันทันสมัย ตลอดจนคำแนะนำต่างๆด้วยความเป็นกันเอง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บรรณานุกรม

1. Motorola Inc RF DEVICE DATA , third edition, first printing. 1983
2. Motorola Inc TELECOMMUNICATION DAVICE DATA , series A , 1984
3. Texas Instruments THE TTL DATA BOOK FOR DESIGN ENGINEER , second edition , 1976
4. National semiconductor DATA CONVERSION/ACQUISITION DATABOOK , 1984
5. ถวิล กิ่งทอง , เทคโนโลยีการส่งสัญญาณดิจิตอล , คณะวิศวกรรมศาสตร์ สจล. พิมพ์ครั้งที่ 2 , พ.ศ. 2535
6. เซมิคอนดักเตอร์อิเลคทรอนิกส์ , รีโมทคอนโทรล UHF 16 ช่อง , ฉบับที่ 113, 114

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้