บันทึกเสียงระบบดิจิตอล

(DIGITAL AUDIO RECORDING AND SOUND EFFECT)

โดย

นายกิตติ์ ปั้นศิริ

นายวรพล เก้าอุดม

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตร์บัณฑิต

สาขาวิศวกรรมอิเล็กทรอนิกส์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2535

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

032543

บันทึกเสียงระบบดิจิตอล

(DIGITAL AUDIO RECORDING AND SOUND EFFECT)

โดย

นายกิตติ ปั้นศิริ

นายวรพล เก้าอุดม

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตร์บัณฑิต

สาขาวิศวกรรมอิเล็กทรอนิกส์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2535

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

032543

ปริญญานิพนธ์ปีการศึกษา 2535

เรื่อง บันทึกเสียงระบบดิจิตอล

ผู้จัดทำ

1. นายกิตติ	ปั้นศิริ	32.1015
2. นายวรพล	เก้าอุดม	32.1276

.....อาจารย์ที่ปรึกษา

(รศ.ดร. มนัส สังวรศิลป์)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บันทึกเสียงระบบดิจิตอล

(DIGITAL AUDIO RECORDING AND SOUND EFFECT)

นายกิตติ ปั้นศิริ 32.1015
นายวรพล เก้าอุดม 32.1276

อาจารย์ที่ปรึกษา
รศ.ดร.มนัส สังวรศิลป์
ปีการศึกษา 2535

บทคัดย่อ

วิทยานิพนธ์ฉบับนี้ เสนอการนำเอาสัญญาณเสียงแบบอะนาลอก อาจเป็นเสียงพูดหรือเสียงดนตรีมาเก็บบันทึกในระบบดิจิตอล โดยทำสัญญาณเสียงนั้นให้เป็นข้อมูลดิจิตอลก่อน โดยมีจุดประสงค์เพื่อศึกษาพัฒนาระบบบันทึกเสียงแบบดิจิตอล เนื่องจาก การบันทึกเสียงด้วยระบบอะนาลอกแบบเก่ามีตัวแปรที่ทำให้เกิดความไม่เที่ยงตรง เช่น ทั้งจากคุณสมบัติของแผ่นเสียงหรือเทป ฝุ่นละออง การเหนี่ยวนำให้เกิดเรโซแนนซ์ และการเคลื่อนย้าย (ก๊อปปี้) ข้อมูลก็ทำได้ไม่สะดวกเพราะต้องคำนึงถึงปัจจัยหลายอย่างซึ่งก่อให้เกิดความผิดเพี้ยนของสัญญาณได้มิใช่น้อย เมื่อเกิดสัญญาณรบกวนก็จะมีการสะสมสัญญาณรบกวนนั้นรวมกับสัญญาณเดิมซึ่งแก้ไขยาก ส่วนระบบ CD ที่ใช้ในปัจจุบันก็เป็นการเปลี่ยนสัญญาณอะนาลอกเป็นข้อมูลดิจิตอลที่มีจำนวนข้อมูลมหาศาล แล้วนำไปบันทึกลงหน่วยความจำซึ่งเปลืองหน่วยความจำมาก ดังนั้นจึงหันมาวิเคราะห์พัฒนาระบบบันทึกเสียงระบบดิจิตอลแบบใหม่ ที่จะใช้ปริมาณหน่วยความจำลดลงได้หลายเท่าตัว การเคลื่อนย้าย (ก๊อปปี้) ข้อมูลทำได้สะดวก และได้เสียงที่มีคุณภาพทัดเทียมหรือดีกว่าระบบเดิม เพื่อนำไปพัฒนาและประยุกต์ใช้งานต่อไป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

DIGITAL AUDIO RECORDING AND SOUND EFFECT

KITTI PANSIRI 32.1015

WORAPON KAOW-U-DOM 32.1276

ADVISER

Assoc.Prof. Dr.Manus Sangworasil

ABSTRACT

This report presents about analog to digital and digital to analog converter by use speech signal or musical signal. Analog signal is converted by deltamodulator and restore to diskette. Since mixing by analog mixer has some variable that nonpredictable i.e. dust, inductive resonant etc and difficult in copying. In CD system use too much memory that cause CD cassette expensive. So this project use deltamodulator witch use memory less than other method and can be developed in other field.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ

เรื่อง หน้า

บทคัดย่อภาษาไทย.....ก

Abstract.....ข

สารบัญ.....ค

บทนำ.....ง

Digital audio recording and sound effect.....1

ขบวนการทางอะนาลอก vs ดิจิตอล.....2

หลักการเบื้องต้นของการสุ่มสัญญาณ.....3

เทคนิคโอเวอร์แซมปลิ้ง.....9

การบันทึกเสียงระบบดิจิตอล.....11

เดลต้ามอดูเลชั่น.....12

CVSD.....14

การทำงานของวงจร.....23

การทดลองและผลการทดลอง.....24

สรุปและวิจารณ์.....24

กิตติกรรมประกาศ.....25

ภาคผนวก.....26

- วงจรของโครงงาน
- โปรแกรมคอมพิวเตอร์ ที่ใช้ตรวจสอบสัญญาณ
- Motorola semiconductor technical data MC3417, MC3517, MC3418, MC3518

หนังสืออ้างอิง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทนำ

ปัจจุบัน คอมพิวเตอร์ได้เข้ามาเป็นส่วนหนึ่งของชีวิตประจำวันของเรามากขึ้นเรื่อย ๆ ไม่ว่าในด้านการศึกษา ด้านธุรกิจ ด้านอุตสาหกรรม หรือแม้กระทั่งในเรื่องของศิลปะทางดนตรี ซึ่งในด้านการบันทึกเสียงที่ต้องการอารมณ์ทางศิลปะยังต้องการการบันทึกจากการเล่นจริง ๆ หรือจากคอนเสิร์ต หรือจากเครื่องดนตรีบางชนิดที่เป็นแบบอะนาลอก และระบบ CD. ในปัจจุบันก็ต้องมีความหนาแน่นในการเก็บข้อมูลสูง เพราะต้องเก็บข้อมูลเป็นจำนวนมาก ซึ่งทำให้แผ่น CD. มีราคาค่อนข้างสูง

โครงงานที่กลุ่มของกระผมจัดทำขึ้นนี้ เป็นการอินเตอร์เฟสระหว่างอุปกรณ์ภายนอกกับระบบไมโครคอมพิวเตอร์ของบริษัทไอบีเอ็ม และเครื่องซึ่งใช้แทนกันได้ (compatable) โดยอาศัยหลักการของการแปลงสัญญาณไฟฟ้าที่เป็น analog ให้เป็นสัญญาณ digital ที่คอมพิวเตอร์สามารถรับรู้ และนำไปประมวลผลได้ โดยใช้สัญญาณจากเครื่องดนตรีที่ให้สัญญาณ analog เป็น input และนำเอาข้อมูลในรูปของเลขฐานสองไปเก็บไว้ในแผ่น Diskette ได้ทั้งแบบแข็งและแบบอ่อน จากนั้นก็สามารถที่จะนำไปประมวลผลโดยการกรองความถี่ หรือการวิเคราะห์ ฟูเรียร์ เพื่อแปลงรูปร่างของสัญญาณ input ให้ได้ output ในรูปแบบต่างๆ (effection) ประโยชน์ที่สำคัญของโครงงานนี้คือ ทำให้เราประยุกต์ใช้งาน microcomputer สำหรับงานควบคุมอุปกรณ์ภายนอกชนิดอื่นๆ ได้อีกกมากมาย และ ลดปริมาณข้อมูลที่นำมาเก็บลงได้มาก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

DIGITAL AUDIO RECORDING AND SOUND EFFECT

การส่งสัญญาณต่อเนื่อง (อะนาลอก) ในรูปของสัญญาณไม่ต่อเนื่อง (ดิจิตอล) สามารถแก้ปัญหาสัญญาณรบกวน (noise)และความผิดเพี้ยน (distortion)ที่ยังไม่มีผู้ใดสามารถเอาชนะได้ในระบบอะนาลอก ซึ่งเทคนิคในการส่งสัญญาณต่อเนื่อง (อะนาลอก)ในรูปของสัญญาณไม่ต่อเนื่อง (ดิจิตอล) มีหลายวิธี เช่น PCM (Pulse Code Modulation)ซึ่งเป็นวิธีการแปลงสัญญาณอะนาลอกเป็นข้อมูลดิจิตอลหลายๆบิตตามความเหมาะสมและวิธี CVSD (Continuous Variable Slop Delta modulation) ซึ่งจะแปลงข้อมูลจากอะนาลอกเป็นดิจิตอลขนาดหนึ่งบิตอย่างไรก็ดีระบบเหล่านี้ ยังไม่ได้รับการยอมรับกันในสมัยก่อน เนื่องจากยุคนั้นยังไม่มีการพัฒนาอุปกรณ์พัลส์ความเร็วสูง และราคาระบบดิจิตอลในขณะนั้นสูงกว่าระบบอะนาลอกหลายเท่าตัวในปัจจุบันเทคโนโลยี LSI และ VLSI ทำให้สามารถคิดค้นเทคนิคพัลส์ความเร็วสูงขึ้น และทำให้ราคาของระบบดิจิตอลลงมาต่ำกว่าระบบอะนาลอก

เทคโนโลยีด้านดิจิตอลออดิโอ ทำให้เกิดการเปลี่ยนแปลงมากมายในอุตสาหกรรมด้านออดิโอ ไม่ว่าจะเป็นการบันทึกเสียง, การประมวลผลสัญญาณเสียง, ทางด้านการดนตรี, การเก็บข้อมูลหรือการเชื่อมโยงของระบบโทรศัพท์ เหล่านี้ทำให้มองเห็นถึงแนวโน้มของงานด้านออดิโอในอนาคตได้ว่า คงวางหลักอยู่บนดิจิตอลเทคนิค

หลักการของดิจิตอลออดิโอมีหลักพื้นฐานสำคัญ ๆ 2 ประการคือ *การสุ่มตัวอย่าง* (sampling) และ *การกำหนดขนาด* (quantisation) และเมื่อจะเอ่ยถึงดิจิตอลออดิโอในทางใดก็หนีไม่พ้นที่จะต้องเกี่ยวข้องกับคำว่าอะนาลอกเพราะไม่ว่าจะเป็นเสียงแบบไหน จากแหล่งกำเนิดแบบใดที่มากระทบหูเรา ล้วนเป็นคลื่นเสียงที่มีความเป็นอะนาลอก โดยที่คุณสมบัติที่มีความสัมพันธ์ระหว่างแอมปลิจูดกับเวลาเป็นไปอย่างต่อเนื่อง ดู ๆ ไปแล้วสัญญาณอะนาลอกน่าจะสะดวก เหมาะสมต่อ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การส่งการรับ หรือการบันทึกและสร้างสัญญาณกลับขึ้นมาจากตัวกลางที่ใช้บันทึกแต่จริง ๆ แล้วมันเป็นในทางทฤษฎี ในทางปฏิบัติมีอุปสรรคขัดขวางต่อคุณภาพเสียงหลายอย่าง

ขบวนการทางอะนาลอก vs ดิจิตอล

ลองมาดูขบวนการทางอะนาลอก โดยเริ่มจากไมโครโฟนทำหน้าที่แปลงสัญญาณคลื่นเสียงให้เป็นสัญญาณแรงดันทางไฟฟ้าเนื่องจากมีขนาดต่ำมากจึงต้องผ่านภาคขยายสัญญาณ ซึ่งจะต้องใช้ภาคขยายที่มีความเที่ยงตรง ไม่ผิดเพี้ยนคุณสมบัติของแผ่นเสียงหรือเทปแม่เหล็กที่จะใช้บันทึก ก็ต้องเหมาะสมที่จะเก็บสัญญาณให้เหมือนต้นฉบับมากที่สุด ขบวนการดังกล่าวมีตัวแปรที่จะทำให้เกิดความไม่เที่ยงตรง มีความผิดเพี้ยนของสัญญาณที่บันทึกได้มิใช่น้อย เช่นเครื่องเล่นแผ่นเสียงในขณะเล่นกลับร่องแผ่นเสียงซึ่งแทนสัญญาณไฟฟ้าก็อาจมีฝุ่นละออง ความสกปรกเกิดขึ้นได้ง่าย หรือมีการเปลี่ยนรูปของสารที่ใช้เคลือบแผ่นเสียงทำให้เกิดเรโซแนนซ์ เหล่านี้ล้วนทำให้หัวเข็มแปลงสัญญาณกลับมาได้ไม่สมบูรณ์ขบวนการทางอะนาลอกจึงง่ายต่อการเกิดความผิดเพี้ยนรวมไปทั้งสัญญาณรบกวนแบบต่าง ๆ

ขบวนการทางดิจิตอลนั้นแตกต่างไป แทนที่จะสนใจสัญญาณอะนาลอกอย่างต่อเนื่องก็เลือกสนใจแอมปิจูดของสัญญาณแบบไม่ต่อเนื่อง แต่เป็นช่วง ๆ ไป โดยมีคาบเวลาที่คงที่ค่าหนึ่ง แอมปลิจูดที่วัดได้ในแต่ละช่วงก็จะถูกนำมาแทนค่าด้วยรหัสเลขฐานสอง เพื่อที่จะนำไปบันทึกหรือประมวลผลต่อไปการที่คลื่นสัญญาณถูกแทนด้วยตัวเลขมีข้อดีมากมาย ที่เห็นได้ชัดก็คือมีการถ่ายเทเคลื่อนย้ายรูปคลื่นในรูปแบบของตัวเลขได้อย่างมีประสิทธิภาพ ถูกต้องขึ้น สะดวกขึ้น ตัวอย่างเช่น สัญญาณที่บันทึกแบบดิจิตอลสามารถทำก๊อบปี้ได้โดยง่าย เพียงแต่ลอกข้อมูลตัวเลขจากต้นฉบับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ไปยังอีกตัวกลางหนึ่งเท่านั้นเอง

การเกิดสัญญาณรบกวนแบบที่เกิดกับสัญญาณอะนาลอกอันเนื่องมาจากตัวกลางที่ใช้ในการบันทึก หรือตัวกลางที่ใช้ในการส่งสัญญาณย่อมจะไม่เกิดกับข้อมูลแบบตัวเลข ทำให้วิธีทางดิจิตอลให้คุณภาพเสียงที่สมบูรณ์กว่า สัญญาณรบกวนน้อยกว่า แต่จะดีกว่ามากน้อยเพียงใดขึ้นกับเงื่อนไขที่สำคัญ 2 ประการคือ *ประการแรก* การกำหนดขนาดของตัวอย่างที่สุ่มมาได้มีประสิทธิภาพแค่ไหน *ประการที่สอง* ความถี่ในการวัดแอมปลิจูดหรือการสุ่มตัวอย่างมากน้อยเพียงใด

หลักการเบื้องต้นของการสุ่มสัญญาณ

สัญญาณเสียงจะถูกทำการสุ่มค่า (sampling) แปลงเป็นตัวเลข (1/0) ตามการเปลี่ยนแปลงของสัญญาณอะนาลอก ซึ่งจะได้ค่าเป็นอะไรก็ตาม แล้วแต่วิธีการเข้ารหัส และการ modulate นั้น จากนั้นจึงนำข้อมูลที่ได้ไปเก็บลงหน่วยความจำ หรือทำการประมวลผล แล้วจากค่าตัวเลขนั้นก็จะถูกนำออกมาทำการแปลงกลับเป็นสัญญาณเสียงที่เหมือนเดิมส่งออกไปอีกที

องค์ประกอบสำคัญที่ต้องคำนึงถึงในการสุ่มค่าสัญญาณก็คือ การใช้ความถี่ของการสุ่มเท่าไรจึงจะเหมาะสม ทฤษฎีของการสุ่มตัวอย่างกล่าวว่า ฟังก์ชั่นอะนาลอกใด ๆ สามารถนำมาสุ่มตัวอย่างค่าแอมปลิจูดในแต่ละช่วงเวลาที่มีคาบคงที่แล้ว ตัวอย่างที่ได้สามารถนำมาสร้างสัญญาณอะนาลอกต้นฉบับขึ้นมาใหม่ได้อย่างเหมือนเดิม ทฤษฎีนี้นาย *ฮาร์รี่ไนควิสต์* วิศวกรไฟฟ้าเป็นคนเสนอขึ้นในปี ค.ศ. 1926

ไนควิสต์กล่าวว่า ภายใต้เงื่อนไขที่ถูกต้องแล้ว การสุ่มตัวอย่างจะไม่ทำให้ข่าวสารหรือเนื้อหาของสัญญาณอะนาลอกต้นแบบสูญเสียไป ซึ่งเป็นพื้นฐานของระ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บบดิจิไตเซชั่นทั่วไป

โดยความรู้สึกแล้ว ก็ยากที่จะจินตนาการได้ว่าจะมีชุดตัวอย่างที่ได้จากการสุ่มตัวอย่างจำนวนใด ๆ ที่สามารถแทนคลื่นสัญญาณอะนาลอกที่มีความต่อเนื่องได้อย่างสมบูรณ์ เพราะจริง ๆ แล้วภายใต้เงื่อนไขของไนควิสต์นั้น จะทำให้เกิดข้อจำกัดต่อการตอบสนองความถี่ของระบบดิจิไตเซชั่น โดยจะขึ้นอยู่กับความถี่ของการสุ่มตัวอย่าง หรือกล่าวอีกนัยหนึ่งก็คือ ตัวอย่างที่ได้จากการสุ่มตัวอย่างจะนำมาสร้างสัญญาณอะนาลอกขึ้นมาใหม่ได้อย่างสมบูรณ์นั้นมีความถี่จำกัดอยู่ค่าหนึ่ง

เราลองเปรียบเทียบการสุ่มตัวอย่างกับการถ่ายทำภาพเคลื่อนไหวดู ตัวอย่างที่สุ่มได้เปรียบได้กับแต่ละเฟรมของฟิล์ม ความถี่ของการสุ่มตัวอย่างเปรียบได้กับอัตราความเร็วของแต่ละเฟรม ดังนั้นจะได้ว่าความถี่สูงสุดของสัญญาณอะนาลอกก็เปรียบได้กับวัตถุที่เคลื่อนที่เร็วสุดในขณะถ่ายทำ

เพื่อที่ให้เห็นการเคลื่อนไหวอย่างต่อเนื่องเหมือนจริงในขณะเล่นกลับของฟิล์มที่ถ่ายทำมา ก็ต้องมีความสัมพันธ์ระหว่างอัตราความเร็วของเฟรมกับความเร็วของวัตถุที่เคลื่อนที่ เช่นเดียวกันก็ต้องมีความสัมพันธ์ระหว่างความถี่ของการสุ่มตัวอย่างกับความถี่ของสัญญาณออดิโอ ในแบบที่ทำให้ได้ตัวอย่างที่สมบูรณ์

ทฤษฎีของไนควิสต์บอกถึงความสัมพันธ์นี้ว่า *ถ้าเราสุ่มตัวอย่างในอัตราที่เป็น 2 เท่าของความถี่สูงสุดของสัญญาณออดิโอแล้ว ตัวอย่างที่สุ่มได้สามารถนำมาสร้างสัญญาณออดิโอกลับขึ้นมาใหม่ได้อย่างสมบูรณ์* ซึ่งนี่คือเงื่อนไขสำคัญที่นายไนควิสต์กล่าวไว้

แม้ว่าตัวอย่างที่ได้จะสร้างสัญญาณออดิโอได้อย่างสมบูรณ์ก็จริง แต่ก็ต้องคำนึงถึงการตอบสนองความถี่ของระบบ ความถี่ของสัญญาณออดิโอที่สูง ๆ ขึ้นไปเกินจากเงื่อนไขของไนควิสต์ เมื่อถูกสุ่มตัวอย่างจะให้ตัวอย่างที่ไม่สมบูรณ์ เป็นเหตุให้เกิดความเพี้ยนที่เรียกว่า *อะเลียสซิ่ง* ขึ้นมาได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การป้องกันการเกิดความเพี้ยนแบบอะเลียสซิ่งนี้ ก็โดยการจำกัดช่วงของสัญญาณอินพุต โดยการนำไปผ่านวงจรกรองชนิดความถี่ต่ำผ่าน หรือเรียกว่า *แอนตี้-อะเลียสซิ่งฟิลเตอร์* ก่อนนำไปสุ่มตัวอย่างวัตถุประสงค์ก็เพื่อกำจัดความถี่สัญญาณอินพุตที่สูงกว่าครึ่งหนึ่งของความถี่ของอัตราการสุ่มตัวอย่าง ซึ่งเป็นส่วนที่ไม่เป็นไปตามเงื่อนไขของไนควิสต์ และเพื่อไม่ต้องใช้ความถี่ของการสุ่มตัวอย่างสูงเกินไป แค่พอให้ผลตอบสนองความถี่อยู่ในย่านออดิโอที่ต้องการ จึงต้องใช้วงจรกรองความถี่ที่ชันมาก ๆ เป็น *วงจรกรองความถี่แบบบริควอลล์* (Brickwall filter)

ความถี่ของการสุ่มตัวอย่างเป็นตัวกำหนดช่วงการตอบสนองความถี่ ของระบบดิจิไตเซชั่น ยกตัวอย่างเช่นถ้าระบบมีการสุ่มตัวอย่าง S ครั้งใน 1 วินาที นั่นคือตัวอย่างที่สุ่มมาได้เมื่อนำมาสร้างสัญญาณขึ้นมาใหม่สามารถตอบสนองความถี่ที่ไม่เกินความถี่เท่ากับ S/2 เฮิรตซ์

ลองมาพิจารณาระบบดิจิไตเซชั่นที่สัญญาณอินพุตรูปซายน์ 24 kHz ความถี่ของการสุ่มตัวอย่างเท่ากับ 48 kHz ดังนั้นใน 1 คาบของสัญญาณอินพุตจะถูกสุ่มตัวอย่าง 2 ครั้ง ตัวอย่างที่ได้จะถูกนำไปสร้างเป็นสัญญาณขั้นบันได ซึ่งในกรณีนี้จะเป็นสัญญาณรูปสี่เหลี่ยมความถี่ 24 kHz ออกมาเพื่อให้ได้สัญญาณรูปซายน์ออกมาดังอินพุต ทางด้านเอาต์พุตของระบบดิจิไตเซชั่นทุกระบบต้องมีส่วนของวงจรกรองความถี่สูงกว่าครึ่งหนึ่งของการสุ่มตัวอย่างแต่เหตุผลที่ต้องมีแตกต่างกัน

เหตุที่ต้องกรองความถี่ต่ำทางด้านเอาต์พุตก็เพราะว่าผลจากการสุ่มตัวอย่างมีการผลิตแถบความถี่เงาในย่านอุลตร้าโซนิกขึ้นมา ซึ่งอยู่เหนือช่วงความถี่ออดิโอ โดยมีค่าเป็นจำนวนเท่าของความถี่ของการสุ่มตัวอย่าง แถบความถี่เงาที่เกิดขึ้นเป็นผลมาจากขบวนการมอดูเลตในขณะสุ่มตัวอย่าง

วงจรกรองความถี่ต่ำทางเอาต์พุต หรือเรียกว่า *แอนตี้-อิมเมจ ฟิลเตอร์* (anti-image filter) จะกำจัดแถบความถี่เงา ซึ่งเป็นฮาร์มอนิกอันดับต่างๆ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ที่อยู่เหนือครึ่งหนึ่งของความถี่ของการสุ่มตัวอย่างจากตัวอย่างที่ยกมาสัญญาณสี่เหลี่ยม 24 kHz เมื่อผ่านวงจรกรองความถี่ต่ำก็จะได้เอาต์พุตสัญญาณรูปซายน์ 24 kHz ออกมา ข้อที่น่าสังเกตก็คือ ถ้าสัญญาณอินพุตไม่ได้เป็นรูปซายน์แล้วจะได้เอาต์พุตเป็นอย่างไร -คำตอบก็คือ แม้ว่าสัญญาณอินพุตจะไม่ใช่รูปซายน์ แต่สัญญาณที่จะถูกสุ่มตัวอย่างนั้นเป็นส่วนประกอบของสัญญาณรูปซายน์เสมอ ไม่ว่าสัญญาณอินพุตจะเป็นอะไรก็ต้องผ่านการกรองความถี่ต่ำก่อน ส่วนประกอบความถี่สูง ๆ คือฮาร์มอนิกต่าง ๆ จะถูกกำจัดไปจนเหลือส่วนประกอบสัญญาณรูปซายน์ที่จะถูกสุ่มตัวอย่างต่อไป

กล่าวย้ำอีกครั้งว่า ความถี่ที่สูงกว่าครึ่งหนึ่งของความถี่การสุ่มตัวอย่างจะถูกกำจัดทิ้งไป ความถี่เหล่านี้ หูคนเราไม่ได้ยินอยู่แล้ว การกำจัดทิ้งไปจึงไม่ได้ทำให้คุณภาพเสียงด้อยลงแต่อย่างไร

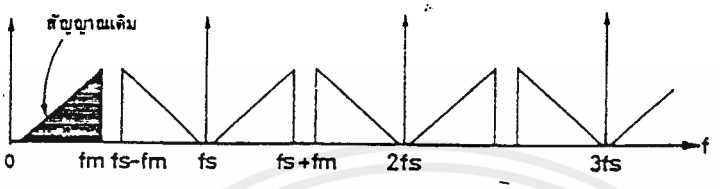
ในกรณีของคอมแพ็กดิสก์ ความถี่การสุ่มตัวอย่างเท่ากับ 44.1 kHz ซึ่งตามทฤษฎีสามารถตอบสนองความถี่ตั้งแต่ 0 ถึง 22.05 kHz โดยทางอินพุตมีวงจรกรองความถี่ต่ำเพื่อป้องกันความเพี้ยนอะเลียสซิ่ง และทางเอาต์พุตก็มีวงจรกรองความถี่ต่ำเพื่อกำจัดแถบความถี่เงา

รูปที่ 1 แสดงให้เห็นแถบความถี่ (frequency spectrum) ของสัญญาณที่ได้ผ่านการสุ่มค่าแล้ว โดยมีความถี่สูงสุดของสัญญาณอะนาลอก (fm) และความถี่ของการสุ่มค่า (fs) เมื่อนำขบวนสัญญาณพัลส์มาวิเคราะห์ทางคณิตศาสตร์ด้วยอนุกรมฟูเรียร์ พบว่าประกอบด้วยฮาร์มอนิกของสัญญาณซายน์ที่มีความถี่เป็นทวีคูณของความถี่ขบวนพัลส์รวมกันอยู่ (0, fs, 2fs, 3fs, ...)

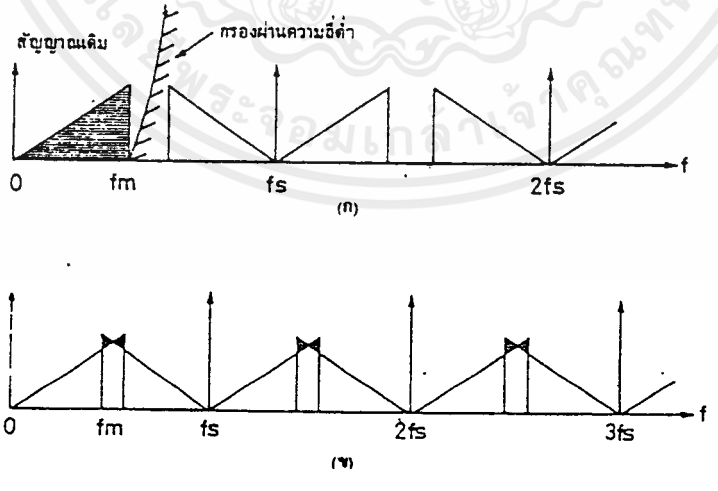
จากรูป 2 ก. จะเห็นว่าถ้าความถี่ fs มีค่ามากกว่า 2 เท่าของค่าความถี่ fm ความถี่แถบข้าง (side band)จะไม่ซ้อนทับกัน ซึ่งกรณีนี้สามารถนำสัญญาณอะนาลอกกลับคืนมาได้โดยการผ่านวงจรกรองผ่านความถี่ต่ำ ในทางตรงข้าม (ดูรูป 2 ข. ประกอบ) ถ้าความถี่ fs มีค่าน้อยกว่าสองเท่าของความถี่ fm ความถี่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

แถบข้าง(sideband)จะซ้อนทับกันซึ่งไม่มีวิธีการใด ๆ ที่จะนำสัญญาณอะนาลอกกลับคืนมาได้

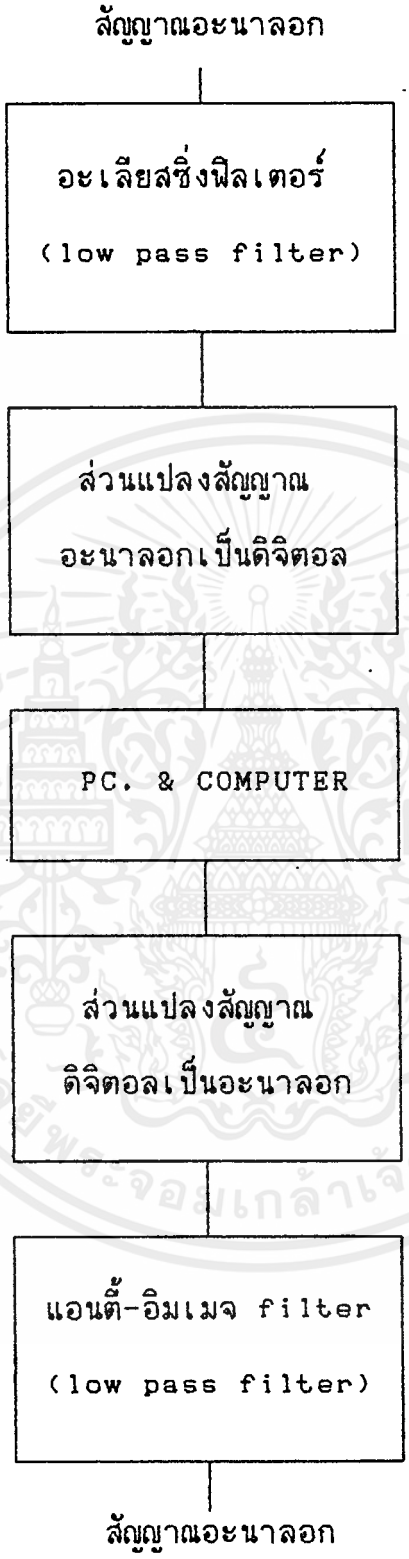


รูปที่ 1 แถบความถี่ของสัญญาณซึ่งผ่านการสุ่มค่าแล้ว



รูปที่ 2 ผลของความถี่สัญญาณสุ่มค่าและสัญญาณอะนาลอกต่อสัญญาณที่สุ่มค่าได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3 แสดงบล็อกไดอะแกรมการแปลงสัญญาณเสียง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เทคนิคโอเวอร์แซมปลิ้ง (Oversampling)

ขณะที่เทคโนโลยีด้านดิจิตอลออดิโอกำลังเติบโตขึ้นก็มีเทคนิควิธีการหลาย ๆ แบบที่นำมาใช้เสริมหรือปรับปรุงให้คุณภาพเสียงดีขึ้นไปอีก มาดูเทคนิคต่อไปนี้ที่สร้างความฮือฮามาก โดยเฉพาะกับในวงการคอมแพ็กดิสก์ ซึ่งก็คือดิจิตอลฟิลเตอร์โอเวอร์แซมปลิ้ง (digital filter oversampling)

ดิจิตอลฟิลเตอร์หรือการกรองความถี่แบบดิจิตอล ก็มีหน้าที่เช่นเดียวกับวงจรกรองความถี่แบบอะนาลอก จะต่างก็ตรงวิธีการเท่านั้น การกรองความถี่แบบดิจิตอลเป็นการประมวลผลข้อมูลเลขฐานสองได้จากขั้นตอนการสุ่มตัวอย่าง และการกำหนดขนาดผลที่ได้ก็จะเป็นข้อมูลเอาต์พุต

กรณีของดิจิตอลออดิโอ เราทราบมาแล้วว่าทางด้านเอาต์พุตต้องมีวงจรกรองความถี่ต่ำแบบอะนาลอกอยู่ ตรงส่วนเอาต์พุตนี่แหละที่มีการนำเทคนิคของการกรองความถี่แบบดิจิตอลโอเวอร์แซมปลิ้งเข้ามามีบทบาท โดยทำการสร้างข้อมูลตัวอย่างเพิ่มขึ้นมาจากตัวอย่างเดิมที่ได้จากการสุ่มตัวอย่างและการกำหนดขนาดจากเดิมเป็น 2 เท่า, 4 เท่า, 8 เท่าหรือมากกว่าตามลำดับ ก็แล้วแต่ว่ามีการทำโอเวอร์แซมปลิ้งกี่เท่า

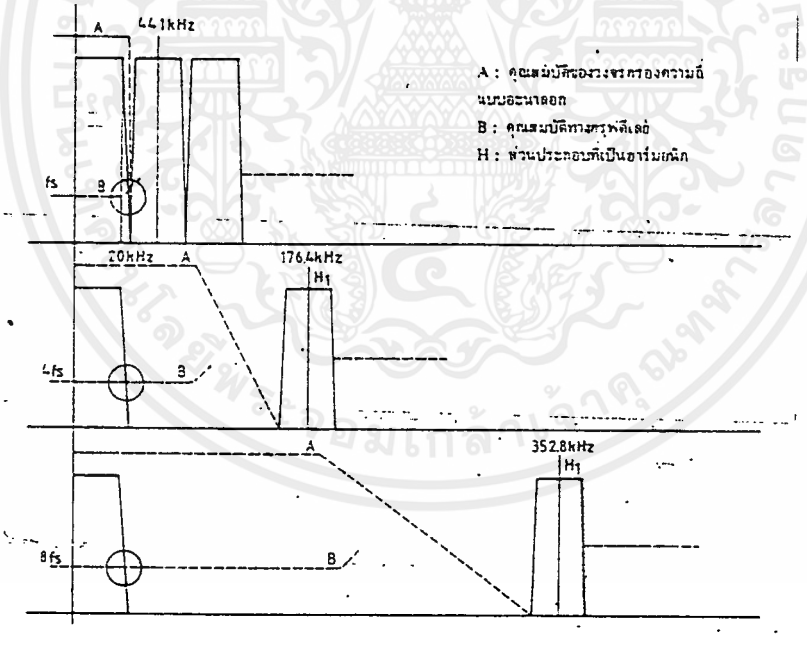
วิธีการเพิ่มจำนวนตัวอย่างขึ้นมาจากการทำโอเวอร์แซมปลิ้ง ก็โดยการสร้างตัวอย่างใหม่เข้าไประหว่างตัวอย่างเดิม โดยสร้างเพิ่มเข้าไป 1, 3, 7,... ตามลำดับตามแต่ว่าทำโอเวอร์แซมปลิ้งกี่เท่า วิธีการสร้างตัวอย่างใหม่ก็โดยการหาค่าเฉลี่ยของตัวอย่างที่สนใจอยู่ขณะนั้นกับตัวอย่างก่อนหน้านั้น โดยนำค่าขนาดมาบวกกันแล้วหาร 2 ผลที่ได้ก็จะเป็นขนาดของตัวอย่างใหม่ที่ได้ซึ่งเป็นลักษณะนี้เรื่อยไปจนได้ตัวอย่างใหม่จนครบ

ตัวอย่างเอาต์พุตที่ได้จากการทำโอเวอร์แซมปลิ้ง เมื่อผ่านเข้าไปยังวงจรแปลงดิจิตอลเป็นอะนาลอก ผลที่ได้เมื่อวิเคราะห์ทางโดเมนของความถี่แล้วก็คือแถบความถี่เงา ซึ่งเป็นฮาร์มอนิกอันดับต่าง ๆ ของความถี่การสุ่มตัวอย่างถูกเลื่อน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้
032543

ออกไปเป็นจำนวนเท่าของความถี่ของการสุ่มตัวอย่างโดยจะเป็นจำนวนกี่เท่าก็ขึ้นอยู่ว่าทำโอเวอร์แซมปลิ้งกี่เท่า

ยกตัวอย่าง ถ้ามีการทำโอเวอร์แซมปลิ้ง 4 เท่า นี่นคือแถบความถี่เงาอันดับแรกที่เกิดขึ้นจะมีความถี่เท่ากับ 4 เท่าของความถี่การสุ่มตัวอย่าง (44.1 kHz) นั่นคือเท่ากับ 176.4 kHz ดังรูปที่ 4



รูปที่ 4 เมื่อทำโอเวอร์แซมปลิ้ง 4 เท่า ก็จะเลื่อนแถบความถี่เงาอันดับแรกของสัญญาณเอาต์พุต ไปที่ 176.4 kHz และเมื่อทำโอเวอร์แซมปลิ้ง 8 เท่าก็จะเลื่อนไปที่ 352.8 kHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ข้อดีของการที่ความถี่เงาเลื่อนออกไปมาก ๆ ก็คือเราสามารถกำจัดมันได้โดยง่าย โดยใช้วงจรกรองความถี่ต่ำผ่านแบบอะนาลอกทางด้านเอาต์พุตแบบธรรมดา ๆ ไม่ต้องซับซ้อนมาก

การกรองความถี่ทางอะนาลอกจัดว่ามีคุณสมบัติที่ยากต่อการเกิดความผิดเพี้ยนทางเฟส ยิ่งการกรองความถี่แบบดิจิตอลด้วยแล้ว ยิ่งมีคุณสมบัติทางด้านนี้ดีกว่าอีก ดังนั้นระบบที่ใช้การทำโอเวอร์แซมปลิ้ง จึงตัดปัญหาการเกิดความผิดเพี้ยนทางเฟสออกไปได้ การกรองความถี่แบบดิจิตอลสามารถทำได้โดยง่าย ประกอบกับมีข้อดีหลาย ๆ อย่าง ที่การกรองความถี่แบบอะนาลอกไม่สามารถทำได้ หรือทำได้ไม่ดีเท่า

ขั้นต่อไป ถ้ามีการใช้อุปกรณ์ที่มีความละเอียดสูงมาทำการแปลงข้อมูลดิจิตอลนี้ให้เป็นสัญญาณอะนาลอก ก็จะลดผลความเพี้ยนได้อีก

การบันทึกเสียงระบบดิจิตอล

การบันทึกเสียงสำหรับนำมาใช้ใหม่โดยใช้วิธีทางด้านดิจิตอล ทำให้ไม่จำเป็นต้องใช้กลไกเคลื่อนไหวใด ๆ ดังเช่นแบบเดิม แต่จะใช้อุปกรณ์หน่วยความจำเก็บข้อมูลเสียงแทนเส้นเทปหรือแผ่นเสียง เทคนิคการบันทึกเสียงด้วยระบบดิจิตอลมีด้วยกันหลายวิธี ในที่นี้จะทำการศึกษาและออกแบบระบบดิจิตอลออดิโอที่ใช้วิธี CVSD เพื่อเป็นแนวทางในการศึกษาและพัฒนาต่อไป

ในการบันทึกเสียงระบบดิจิตอลไม่ว่าจะใช้วิธีการอะไร ก็จะประกอบด้วย 3 ส่วนสำคัญคือ ส่วนแรกทำหน้าที่แปลงสัญญาณเสียงที่เป็นอะนาลอกให้เป็นข้อมูลดิจิตอล แล้วจึงนำไปบันทึกลงในหน่วยความจำซึ่งเป็นส่วนที่สอง และส่วนสุดท้ายคือ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ส่วนที่ทำหน้าที่แปลงข้อมูลดิจิตอลจากหน่วยความจำออกมาเป็นสัญญาณอะนาลอก ต่อไปนี้เราจะมาศึกษาการทำงานของระบบที่ทำหน้าที่ในการแปลงสัญญาณ

เดลต้ามอดูเลชั่น

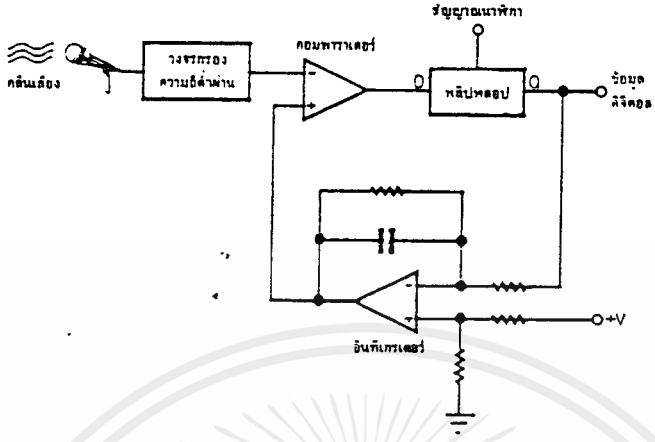
เทคนิคของเดลต้ามอดูเลชั่นจะไม่ใช้การสุ่มสัญญาณหนึ่งจุดแล้วแปลงเป็นข้อมูลดิจิตอลหนึ่งเวิร์ด ที่มีความละเอียดเป็นจำนวนบิตที่ต้องการ แต่จะใช้วิธีเปรียบเทียบความสูงหรือการเปลี่ยนแปลงของสัญญาณเสียงแทน

ข้อมูลที่ได้ก็คือทิศทางของการเปลี่ยนแปลง ซึ่งก็มีเพียง ขึ้น หรือ ลง เท่านั้น ดังนั้นความกว้างของข้อมูลดิจิตอลจึงใช้เพียงบิตเดียวก็เพียงพอ ข้อดีของเดลต้ามอดูเลชั่นก็คือใช้หน่วยความจำน้อยกว่าวิธีแบบอื่น ๆ

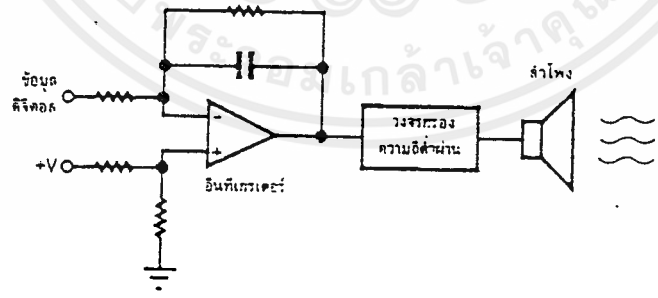
รูปที่ 5 เป็นวงจรเบื้องต้นของเดลต้ามอดูเลชั่น คอมพาราเตอร์จะทำหน้าที่เปรียบเทียบสัญญาณอินพุตปัจจุบันกับสัญญาณอินพุตก่อนหน้า ซึ่งได้จากการป้อนกลับมายังอินทิเกรเตอร์ เอาต์พุตจากการเปรียบเทียบถูกป้อนผ่านฟลิปฟลอปที่ควบคุมด้วยสัญญาณนาฬิกาเพื่อให้ได้เป็นข้อมูลดิจิตอล ซึ่งก็คือกำหนดอัตราการสุ่มสัญญาณนั่นเอง

สัญญาณที่ได้จากตัวเปรียบเทียบและจากอินทิเกรเตอร์ เปรียบเทียบกับสัญญาณอินพุต แสดงในรูปที่ 7 ลักษณะเช่นนี้จะพบว่า ยิ่งความถี่ของสัญญาณนาฬิกามีค่าสูงก็ยิ่งสามารถบันทึกการเปลี่ยนแปลงที่แคบได้มากขึ้น ทำให้ได้คุณภาพเสียงที่ดีขึ้น แต่ก็สิ้นเปลืองหน่วยความจำมากขึ้นตามไปด้วย ความถี่เท่าใดจึงจะเพียงพอ ทฤษฎีการสุ่มตัวอย่างกล่าวไว้ว่า ไม่น้อยกว่าสองเท่าของความถี่สูงสุดที่นำมาสุ่ม ซึ่งจะเป็นตัวกำหนดอัตราเร็วข้อมูล (bit rate) ซึ่งที่ 100 kHz ก็เท่ากับ 100000 บิตต่อวินาที

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

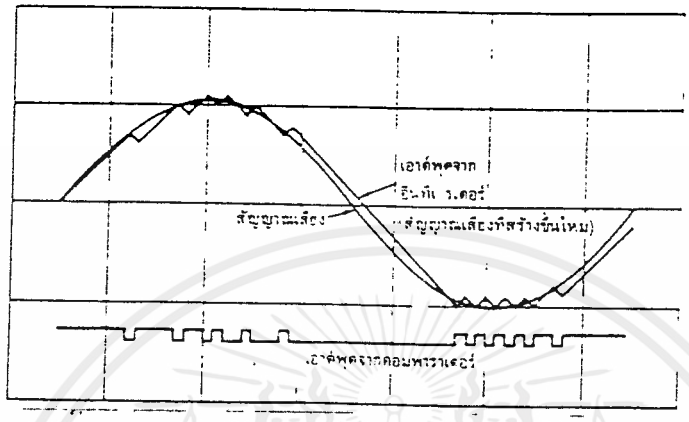


รูปที่ 5 วงจรเบื้องต้นของเดลต้ามอดูเลชั่นในส่วนของการแปลงจากสัญญาณเสียงเป็นดิจิตอล



รูปที่ 6 วงจรที่ใช้แปลงกลับจากข้อมูลดิจิตอลเป็นสัญญาณเสียง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 7 เปรียบเทียบสัญญาณอินพุตกับข้อมูลที่ได้สัญญาณอะนาลอกจากอินทิเกรเตอร์

CVSD

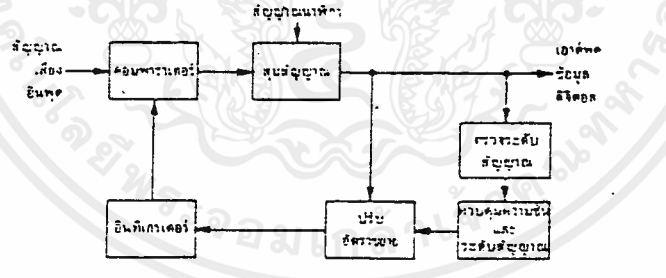
ข้อจำกัดของวิธีการเดลต้ามอดูเลชั่นก็คือ แถบกว้างความถี่ใช้งาน ซึ่งถูกจำกัดโดยความถี่สัญญาณนาฟิกา และจะสูงกว่าความถี่สูงสุดของสัญญาณอินพุตมากกว่าสองเท่าขึ้นไป อีกอันหนึ่งคือความเร็วของการเปลี่ยนแปลงความสูงของสัญญาณ หรือ *ไดนามิกเรนจ์* ระบบเดลต้ามอดูเลชั่นธรรมดามีค่าไดนามิดเรนจ์ที่แคบ จำเป็นต้องมีส่วนเพิ่มเติมทำหน้าที่ขยายไดนามิกเรนจ์ให้กว้าง โดยการควบคุมอัตราขยายของอินทิเกรเตอร์ เพื่อให้ตอบสนองต่อสัญญาณที่มีความชันมาก ๆ ได้ทัน ระบบนี้มีชื่อเรียกใหม่ว่า *ระบบเดลต้ามอดูเลชั่นแบบเปลี่ยนแปลงความชันต่อเนื่อง* หรือ CVSD (continuous veriable slope delta modulation)

ระบบ CVSD ทั้งส่วนแปลงจากอะนาลอกเป็นดิจิตอล และส่วนแปลงกลับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

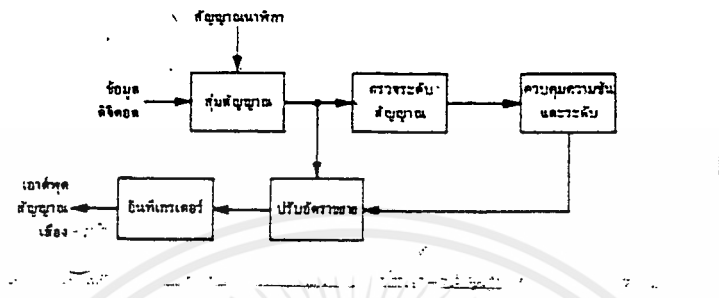
จากดิจิตอลเป็นอะนาลอก แสดงในรูปที่ 8 และ 9 ตามลำดับ วิธีการของ CVSDก็คือมีการตรวจระดับสัญญาณ โดยอาจใช้วิธีการจัดให้มีรีจิสเตอร์สำหรับเก็บข้อมูลดิจิตอลล่าสุดจำนวน 3 ถึง 4 บิตแล้วตรวจดูว่าเป็น "0" หมด หรือ "1" หมดหรือไม่ ถ้าใช่แสดงว่า ขณะนี้อัตราขยายของอินทิเกรเตอร์ต่ำเกินไป ตอบสนองต่อความชันของสัญญาณไม่ทัน ก็จะทำการเพิ่มอัตราขยายให้สูงขึ้นเฉพาะในช่วงนั้น

ในส่วนของการแปลงกลับก็จะต้องมีการทำงานในลักษณะเดียวกัน คือมีรีจิสเตอร์ตรวจดูข้อมูลว่าเป็น "0" หมดหรือ '1' หมดหรือไม่ แล้วจัดการควบคุมอัตราขยายของอินทิเกรเตอร์ให้สอดคล้องกัน



รูปที่ 8 แผนผังการทำงานของระบบ CVSD ในส่วนของการแปลงสัญญาณเสียงเป็นข้อมูลดิจิตอล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3 แผนผังการทำงานของระบบ CVSD ในส่วนแปลงกลับจากดิจิตอลเป็นสัญญาณเสียง

เมื่อรู้จักทฤษฎีการทำงานของการแปลงสัญญาณเสียงโดยใช้เทคนิค CVSD แล้วก็มารู้จักกับไอซีสำเร็จที่ทำหน้าที่ดังกล่าวสักหนึ่งเบอร์ ซึ่งออกแบบมาสำหรับงานแปลงเสียงพูดและแปลงกลับโดยเฉพาะคือ เบอร์ MC3417 และ MC3418 ซึ่งเป็น CVSD มอดูเลเตอร์/ดีมอดูเลเตอร์ ของโมโตโรล่า ตัวเดียวทำหน้าที่ทั้งแปลงจากสัญญาณอะนาลอกเป็นดิจิตอล และแปลงกลับจากดิจิตอลเป็นอะนาลอก ออกแบบมาใช้กับระบบสื่อสารสมัยใหม่ที่เป็นระบบดิจิตอล แต่สามารถนำมาดัดแปลงใช้งานในด้านที่ต้องการศึกษานี้ได้พอดี

MC3417

MC3417, MC3517 และ MC3418, MC3518 มีชื่อเรียกเต็ม ๆ ว่า continuous variable slope delta modulator/demodulator เป็นไอ

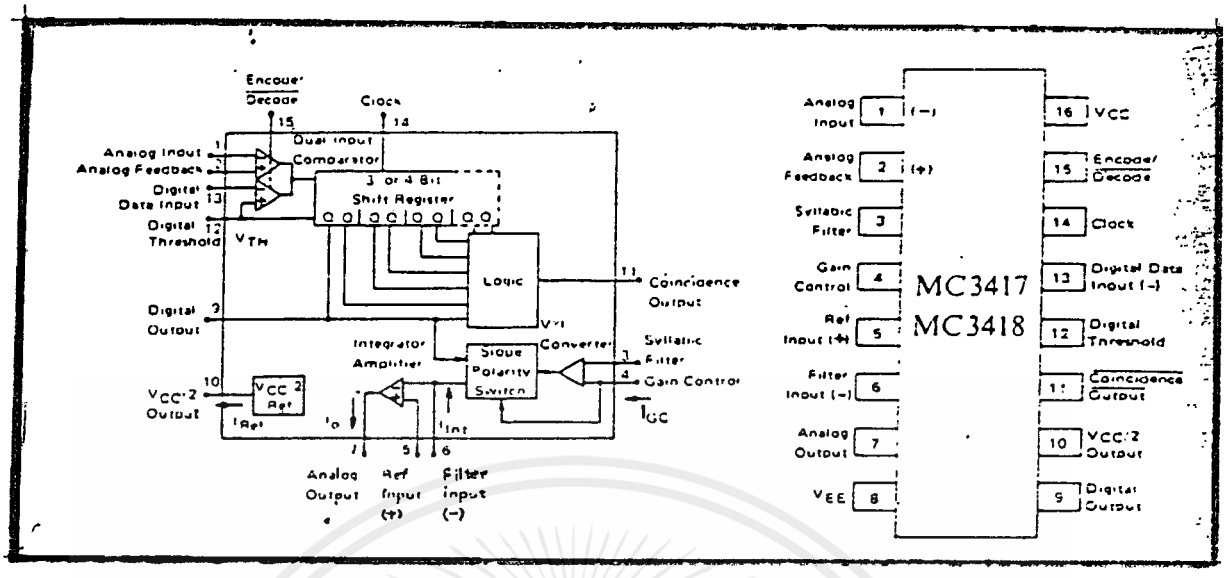
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ชิ้นที่ทำหน้าที่แปลงสัญญาณอะนาลอกเป็นข้อมูลดิจิตอลขนาดกว้างหนึ่งบิต และแปลงข้อมูลดิจิตอลหนึ่งบิตนี้กลับเป็นสัญญาณอะนาลอกตามเดิม ข้อมูลดิจิตอลขนาดหนึ่งบิตสามารถส่งไปได้แบบอนุกรมโดยใช้แชลเนลของระบบสื่อสารทั่วไปได้เช่น ระบบวิทยุและโทรศัพท์ โดยมีข้อดีคือประสิทธิภาพและความชัดเจนของสัญญาณดีกว่า ทั้งยังป้องกันข่าวสารได้ด้วย

การทำงานของ MC3417 ก็ใช้หลักการของ CVSD ดังที่ได้อธิบายไปแล้ว โครงสร้างภายในมีชิฟต์รีจิสเตอร์อยู่ 1 ชุด สำหรับตรวจระดับสัญญาณและควบคุมอัตราขยายเพื่อเพิ่มไดนามิกเรนจ์ โดย MC3417 ใช้รีจิสเตอร์ขนาด 3 บิต ส่วน MC3418 ใช้รีจิสเตอร์ขนาด 4 บิตซึ่งให้คุณภาพสัญญาณที่ดีกว่า โครงสร้างวงจรภายในและลักษณะการจัดขาภายนอกแสดงในรูปที่ 10 และหน้าที่การทำงานของขาสัญญาณต่าง ๆ แสดงในตารางที่ 1

ในการออกแบบใช้งาน MC3417 และ MC3418 ต้องมีวงจรภายนอกเพิ่มเติมอีกหลายส่วน ซึ่งมีขั้นตอนการพิจารณาอยู่หลายหัวข้อ *(ดูรายละเอียดได้ที่ data ที่แนบมาด้วย)* วงจรที่ต้องเพิ่มเติมนอกเหนือจาก CVSD มอดูเลเตอร์/ดีมอดูเลเตอร์ ก็คือ ภาคขยายส่วนหน้า วงจรกรองความถี่ต่ำผ่าน และภาคขยายส่วนหลังสำหรับขยายเสียงส่งออกลำโพงหรือต่อเข้ากับ power amp อีกที ในการนำมาทำระบบบันทึกเสียงนั้น ข้อมูลดิจิตอลที่ได้เราก็นำไปเก็บไว้ในหน่วยความจำหรือ interface เข้ากับ computer เพื่อนำไปทำการควบคุม, ประมวลผล หรือเก็บลงหน่วยความจำ เพื่อการประยุกต์ใช้งานด้านต่าง ๆ ต่อไป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 10 แสดงโครงสร้างวงจรภายในของ CVSD มอดูเลเตอร์/ดีมอดูเลเตอร์เบอร์ MC3417 และ MC3418 และแสดงการจัดขาภายนอก

รายละเอียดและหน้าที่ขาใช้งานของ MC3417, 3418

ขา 1 Analog Input

เป็นขาอินพุตของคอมพาราเตอร์สำหรับสัญญาณอะนาลอก เชื่อมต่อได้ทั้งแบบเอซีและดีซี ถ้าต้องการเสื่อมระดับดีซีของสัญญาณให้เท่ากับแรงดันอ้างอิงภายในต้องมีตัวต้านทานไบแอสต่อระหว่างขา 1 กับขา 10

ขา 2 Analog Feedback

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เป็นขาอินพุตไม่กลับเฟสของคอมพาราเตอร์ตัวเดียวกัน สำหรับป้อนกลับสัญญาณอะนาลอกที่สร้างขึ้นเพื่อเปรียบเทียบกับสัญญาณอะนาลอกที่เข้ามาใหม่ ซึ่งจะใช้เฉพาะการแปลงจากอะนาลอกเป็นดิจิตอล โดยต่อขา 2 นี้เข้ากับขา 7 แต่ในการแปลงกลับจากดิจิตอลเป็นอะนาลอกขา 2 นี้ไม่ใช้

ขา 3 Syllable Filter

เป็นขาสำหรับต่อแรงดันที่ได้จากการตรวจระดับสัญญาณ แล้วผ่านวงจรกรองป้อนกลับเข้าไอซี เพื่อควบคุมอัตราขยายของอินทิเกรเตอร์ให้ตอบสนองสัญญาณได้ทัน โดยจะมีวงจร RC ต่อระหว่างขา 11 และขา 3 ซึ่งมีค่าไทม์คอนสแตนต์ 6 ms ถึง 50 ms

ขา 4 Gain Control Input

ใช้กำหนดอัตราขยายคงที่ของอินทิเกรเตอร์โดยใช้งานร่วมกับขา 3 ซึ่งเป็นขาปรับอัตราขยายตามระดับสัญญาณ ค่าความต้านทานที่ใช้กำหนดอัตราขยายนี้แปรไปตามอัตราขยายลูปของระบบ แต่จะมีค่าได้ไม่เกิน 5 kโอห์ม เพื่อรักษาเสถียรภาพของวงจร

ขา 5 Reference Input

ขาอินพุตไม่กลับเฟสของอินทิเกรเตอร์ ใช้เลื่อนระดับดีซีของเอาต์พุต ในโหมดการแปลงจากอะนาลอกเป็นดิจิตอลจะจัดให้เท่ากับขา 1 โดยต่อเข้ากับขา 10

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ขา 6 Filter Input

ขาอินพุตกลับเฟสของอินทิเกรเตอร์สำหรับต่อกับอุปกรณ์ภายนอก คือ ตัวเก็บประจุอินทิเกรเตอร์ และตัวต้านทานค่าระหว่าง 8 kโอห์ม - 13 kโอห์ม

ขา 7 Analog Output

เป็นเอาต์พุตของอินทิเกรเตอร์ สามารถจ่ายกระแสได้สูงสุด 30 mA ทั้ง 2 ทิศทาง ออปแอมป์ที่เป็นอินทิเกรเตอร์ตัวนี้มีสลูร์เรต 0.5 V/ s

ขา 8 V_{EE}

MC3417, MC3418 สามารถออกแบบใช้งานได้ทั้งกับไฟเลี้ยงเดี่ยว (single supply)และไฟคู่บวกลบ (dual supply) ซึ่งขา 8 นี้จะต้องต่อกับขั้วไฟลบเสมอ

ขา 9 Digital Output

ขาเอาต์พุตสัญญาณดิจิตอลที่ได้จากการแปลง มีค่าสวิงอยู่ระหว่าง V_{CC} กับ V_{EE} คอมแพตกับทั้ง CMOS และ TTL ข้อมูลเลื่อนที่ขอบขาลงของสัญญาณนาฬิกาที่ขา 14

ขา 10 V_{CC} / 2 Output

ขาแรงดันอ้างอิงครึ่งหนึ่งของแรงดันไฟเลี้ยง เมื่อใช้งานไฟเลี้ยงเดี่ยว

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จ่ายกระแสได้สูงสุด 10 mA ต้องมีตัวเก็บประจุขายพาสค่า 0.1 F ต่อจากขา 10 กับ V_{zz}

ขา 11 Coincidence Output

ให้เอาต์พุตที่มีค่าดิวตี้ไซเคิลแปรตามสัญญาณดิจิตอลที่ได้จากการแปลง ซึ่งจะเป็นศูนย์เมื่อชิฟต์รีจิสเตอร์ภายในเป็น "1" หมด หรือ "0" หมด เป็นสัญญาณตรวจวัดระดับอินพุตเพื่อควบคุมอัตราขยายของอินทิเกรเตอร์

ขา 12 Digital Threshold

ใช้กำหนดระดับเทรชโฮลด์ของขา 13, 14 และ 15 เพื่อให้สอดคล้องกับการใช้งานกับลอจิกตระกูลต่าง ๆ ถ้าเป็น CMOS จะต่อกับ V_{cc} / 2 หรือไบแอสด้วยไดโอด 2 ตัวdropเหนือ V_{zz} เมื่อใช้กับ TTL

ขา 13 Digital Data Input

ขาอินพุต ของสัญญาณดิจิตอลในโหมดของการแปลงกลับจากดิจิตอลเป็นอะนาลอก ข้อมูลอินพุตต้องคงที่เป็นเวลาอย่างน้อย 0.5 s ก่อนและหลังการทริกของสัญญาณนาฬิกา (ขอบขาลง)

ขา 14 Clock Input

สำหรับกำหนดบิตเรตของข้อมูล ซึ่งก็คืออัตราเร็วของการแปลงสัญญาณบิตเรต 32 K ก็เท่ากับความถี่สัญญาณนาฬิกา 32 kHz ระดับเทรชโฮลด์ของขานี้กำ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หนดโดยขา 12 ความกว้างพัลส์ซิกบวกต่ำสุด 300 ns ซิกลบต่ำสุด 900 ns

ขา 15 Encod / Decode

ขานี้เป็นตัวควบคุมว่าจะเลือกคอมพาราเตอร์ที่จะต่อไปยังชิฟต์รีจิสเตอร์ ถ้าเป็น "1" เลือกคอมพาราเตอร์ด้านอะนาลอกที่รับอินพุตเข้ามา ถ้าเป็น "0" ก็เลือกคอมพาราเตอร์ด้านดิจิตอลสำหรับการแปลงกลับ เป็นการกำหนดโหมดการทำงาน นอกจากนี้ยังสามารถรับสัญญาณอินพุตที่เป็นดิจิตอลได้โดยป้อนเข้าทางขาที่ 13

ขา 16 V_{cc}

ขาแรงดันไฟเลี้ยง มีค่าระหว่าง 4.75 ถึง 16.5 โวลต์ เทียบกับ V_{ee}

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ส่วนของ HARDWARE

วงจรในส่วน input interface ชั้ IC 74LS164 ซึ่งเป็น SIPO ทำการรับข้อมูลทีละบิตจาก MC3417 เข้ามาเก็บไว้จนครบ 8 บิต จากนั้นจะมีสัญญาณให้ส่งค่าที่แปลงจาก serial เป็น parallel ขนาด 8 บิต ไปให้ 74LS365 เพื่อทำการ shift ออก โดยสัญญาณที่นำมาทริก 74LS365 คือ clock ของวงจรที่นำมาผ่านวงจรหาร 8 เพื่อไม่ให้มีการรับข้อมูลเข้ามาอย่างไม่เป็นระเบียบ จากนั้นจึงต่อกับวงจร Decode เพื่อคอยตรวจสอบว่าจะรับข้อมูลเข้ามาเมื่อใด

วงจรในส่วน output interface จะส่งข้อมูล parallel ออกมาพักข้อมูลที่ 74LS374 โดยจะส่งข้อมูลออกเฉพาะช่วงขอบขาขึ้นของ clock ที่นำมาหารด้วย 8 เท่านั้น จากนั้นจะส่งข้อมูลไปให้ IC เบอร์ 74LS165 ซึ่งเป็น PISO เพื่อทำการเปลี่ยนเป็นสัญญาณ serial เพื่อส่งต่อให้ MC3417 ทำการแปลงเป็นสัญญาณอะนาลอกต่อไป โดย IC ที่จะนำมาทริกขา shift/load ของ 74LS165 ใช้ IC เบอร์ 74LS123 เป็น monostable โดยที่จะทำการส่งสัญญาณ shift/load ออกไปเมื่อถึงขอบขาขึ้นของ clock หาร 8 เท่านั้นและเพื่อให้ข้อมูลเป็นไปอย่างสมบูรณ์จึงต่อวงจร Inverter เพื่อทำการ Pull up กระแสไว้ด้วย โดย clock ของ 74LS165 จะใช้clock ที่กลับเฟสกับ clock หาร 8 เพื่อให้สามารถรับข้อมูลได้ครบทุกตัว

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การทดลองและผลการทดลอง

โดยการป้อนสัญญาณจากฟังก์ชั่น เจนเนอร์เรเตอร์ และใช้ความถี่ในการแซมปลิ้งประมาณ 100 kHz. จะได้สัญญาณที่แปลงกลับออกมาเป็นรูปร่างใกล้เคียงของเดิมมาก ซึ่งจะได้มีการนำไปเก็บบันทึกอีกทีหนึ่ง

สรุปและวิจารณ์

จากการทดลอง พบว่าถ้าใช้ความถี่ในการแซมปลิ้งน้อยกว่า 2 เท่าของความถี่ที่ป้อนจะได้ข้อมูลที่เพี้ยนมาก ซึ่งความถี่ในการแซมปลิ้งที่พอใช้การได้จะประมาณ 8 - 10 เท่าขึ้นไป และในส่วนที่มีปัญหามากคือไฟเลี้ยงที่ต่อจากเครื่อง computer ซึ่งจะมีสัญญาณรบกวนมากดังนั้นจึงต้องใช้ไฟเลี้ยงต่างหาก และถ้าจะให้ดียิ่งขึ้นต้องแยกกราวด์ AC. และ DC. ออกจากกัน โดยใช้ Optoisolater เป็นตัวเชื่อมสัญญาณ

การนำระบบบันทึกแบบดิจิตอลไปใช้งานน่าจะใช้งานได้สะดวก และประหยัดขึ้นถ้าต่อไปได้มีการพัฒนาอย่างจริงจัง เพราะในยุคปัจจุบันเป็นยุคที่ดิจิตอลกำลังเฟื่องฟู จะเห็นได้ว่าในระบบCD. ก็เป็นการเก็บข้อมูลแบบดิจิตอลดังนั้นน่าจะมีการพัฒนาการเก็บข้อมูลให้ใช้งานได้สะดวก และประหยัดขึ้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

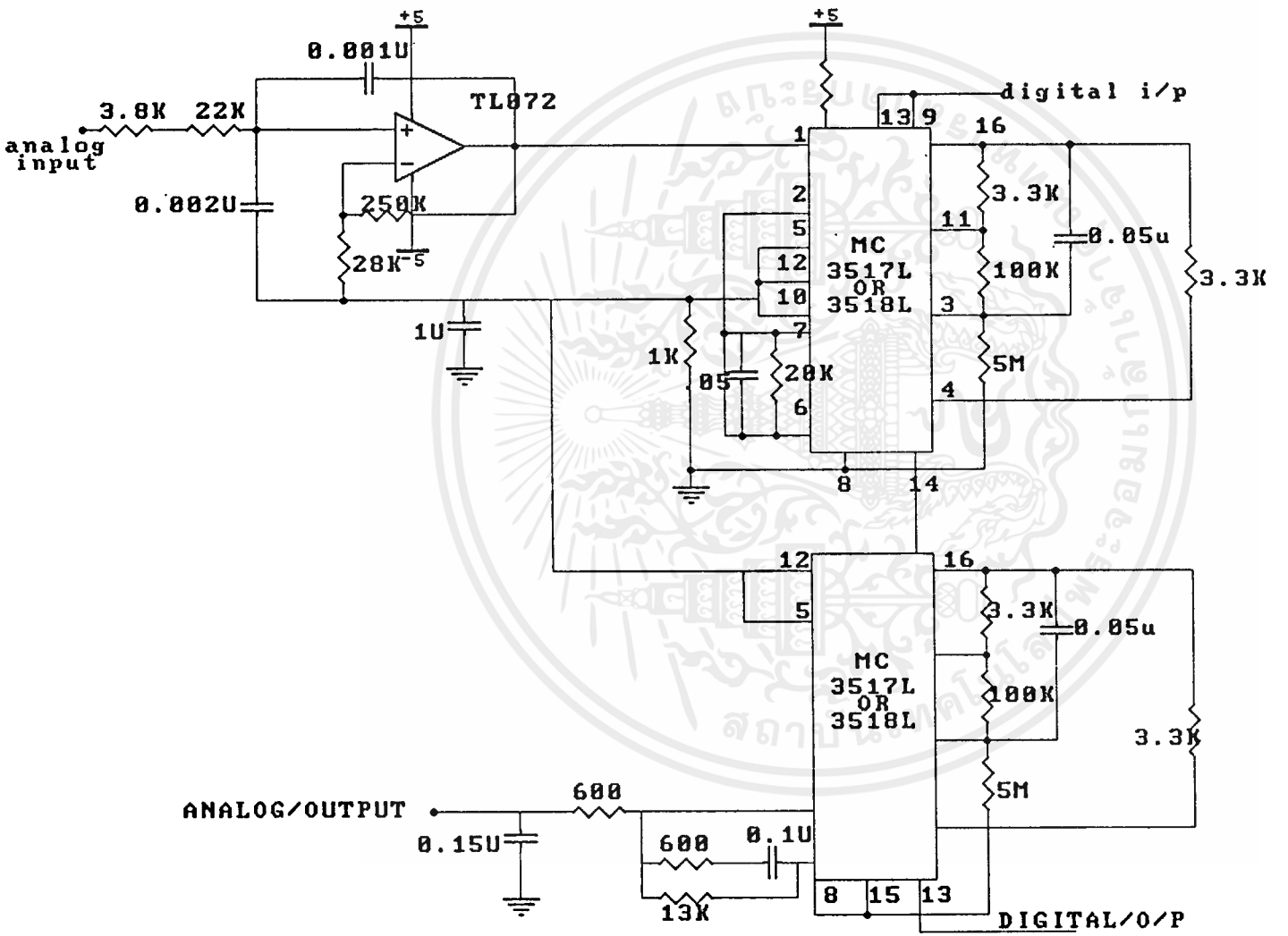
กิตติกรรมประกาศ

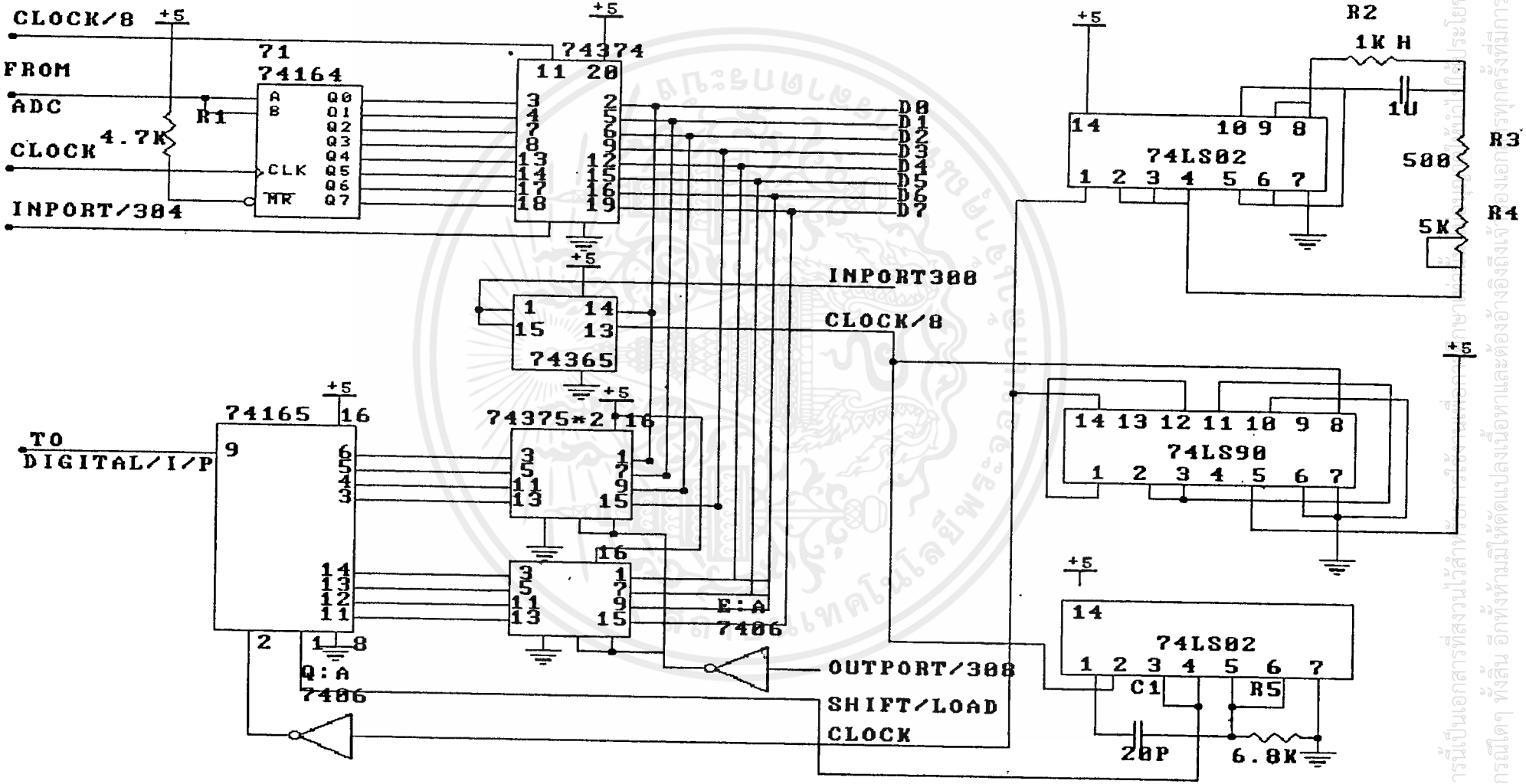
โครงงาน และ รายงานในภาคการศึกษานี้ สำเร็จลุล่วงไปด้วยดีเนื่องจากได้รับคำปรึกษา และคำแนะนำจากท่านอาจารย์ รุ่นพี่ท่านต่าง ๆ และเพื่อน ๆ จึงขอขอบพระคุณอาจารย์มนัส สังวรศิลป์ ซึ่งเป็น Advicer รวมทั้งท่านอาจารย์ รุ่นพี่ท่านต่าง ๆ และเพื่อน ๆ ที่ไม่ได้กล่าวนามมาในที่นี้เป็นอย่างสูง

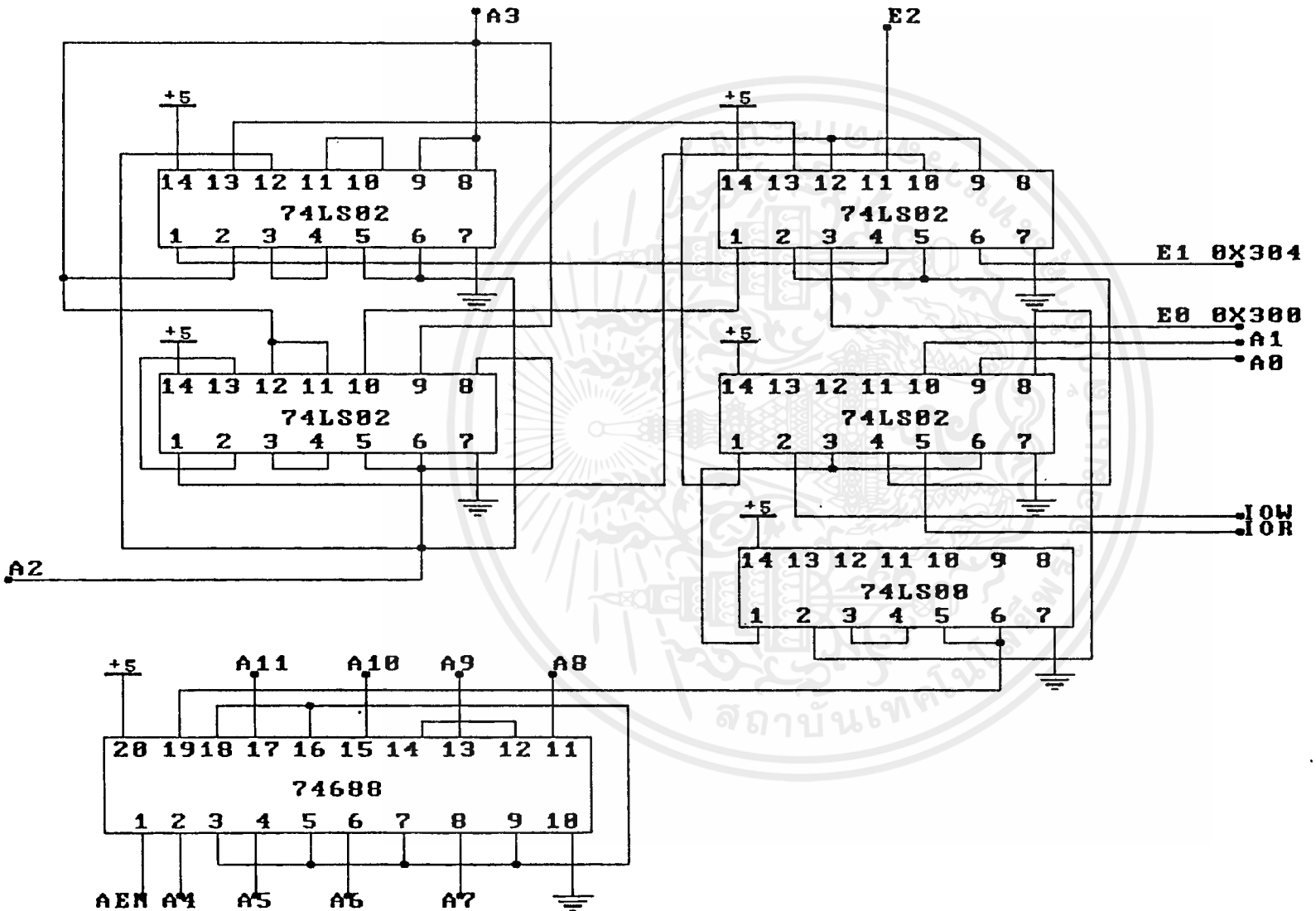
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- ภาคผนวก -

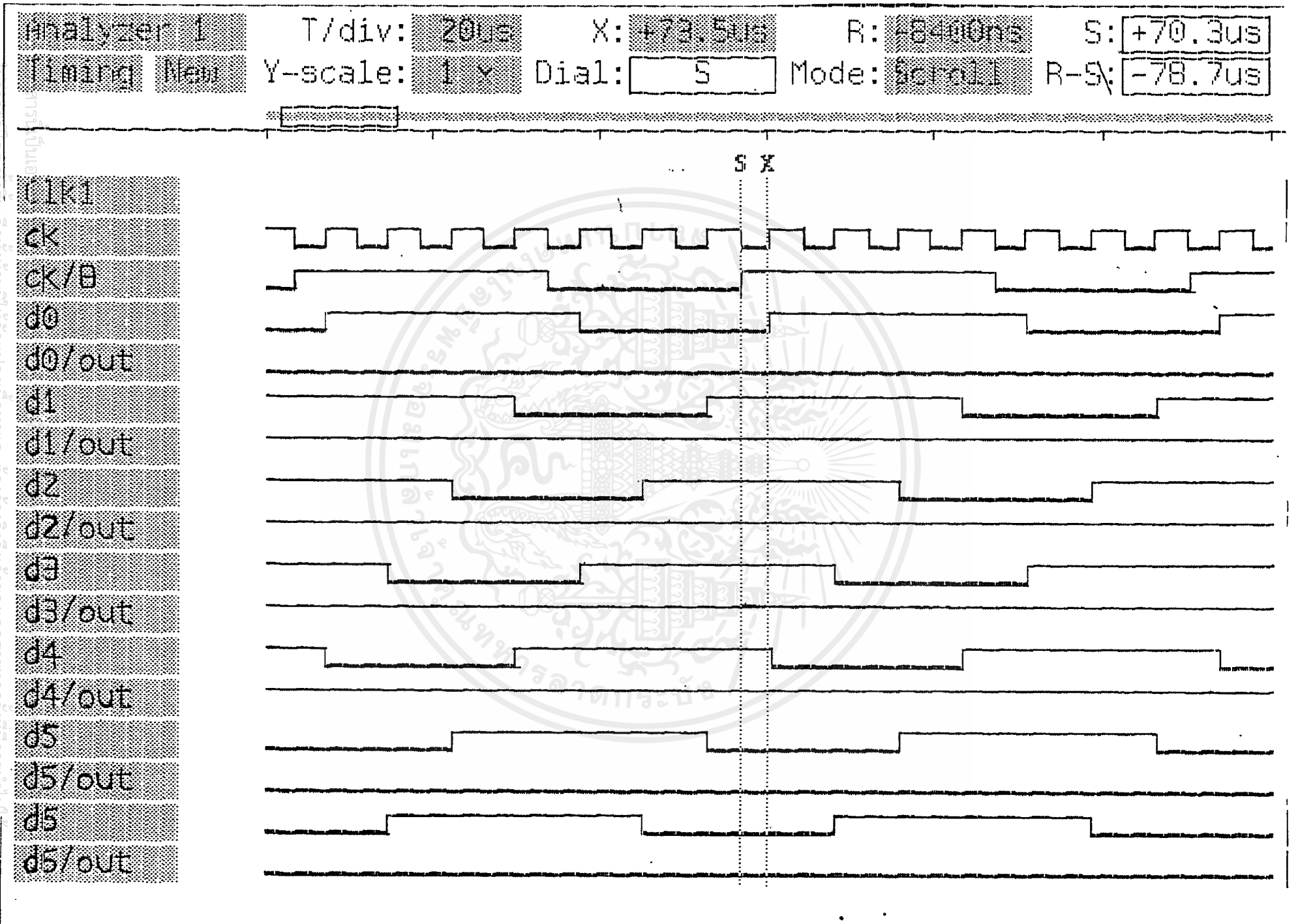
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

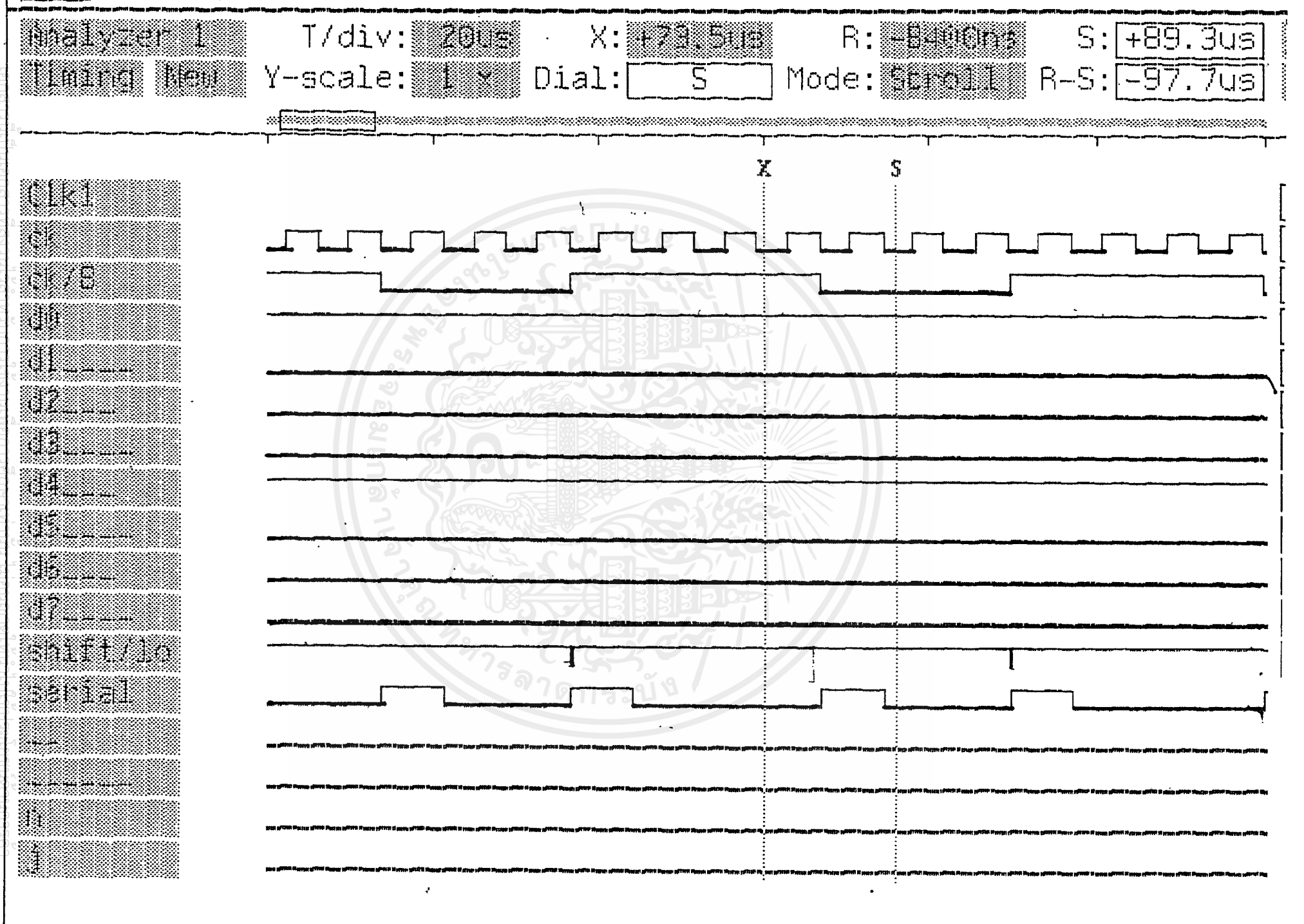

+5
0.001U
TL072
3.8K
22K
analog input
0.002U
250K
28K
-5
1U
+5
digital i/p
13
9
16
1
2
5
12
10
7
6
8
14
MC 3517L OR 3518L
11
3
4
3.3K
0.05u
100K
5M
1K
05
20K
3.3K
12
16
5
MC 3517L OR 3518L
3.3K
0.05u
100K
5M
3.3K
ANALOG/OUTPUT
600
0.15U
600
0.1U
13K
8
15
13
DIGITAL/O/P


CLOCK/8
+5
FROM
ADC
CLOCK
INPORT/304
4.7K
R1
71
74164
A
B
CLK
MR
Q0
Q1
Q2
Q3
Q4
Q5
Q6
Q7
74374
D0
D1
D2
D3
D4
D5
D6
D7
INPORT300
CLOCK/8
74365
74375*2
74165
TO
DIGITAL/I/P
Q:A
7406
E:A
7406
OUTPORT/300
SHIFT/LOAD
CLOCK
R2
1K H
1U
R3
500
R4
5K
74LS02
74LS90
C1
20P
R5
6.8K



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้


Analyzer 1
Timing Menu
T/div: 20us
Y-scale: 1 v
X: +73.5us
Dial: S
R: +840ns
Mode: Scroll
S: +70.3us
R-S: -78.7us
S
X
clk1
ck
ck/0
d0
d0/out
d1
d1/out
d2
d2/out
d3
d3/out
d4
d4/out
d5
d5/out
d5
d5/out


Analyzer 1
Timing Menu
T/div: 20us
Y-scale: 1 x
X: +79.5us
Dial: S
R: -840ns
Mode: Scroll
S: +89.3us
R-S: -97.7us
X
S
Clk1
Clk/8
Q1
Q2
Q3
Q4
Q5
Q6
Q7
Shift/Ld
Serial

```
#include<stdio.h>
#include<dos.h>
#include<alloc.h>
#include<conio.h>

void nui_input(void);
void nui_output(char *filename);
unsigned char *C;
void main(void)
{
   char a;
   char filen[100];

   printf("Enter your command\n");
   printf("1.in to computer\n");
   printf("2.out from computer\n");
   a = getche();
   switch(a){
     case '1':
     nui_input();
     break;
     case '2':
     printf("Enter your file name:");
     gets(filen);
     getch();
     nui_output(filen);
     break;
     default:
     printf("No option select");
   }
}


void nui_input(void)
{
   char ch=0;
   unsigned char A,B;

   unsigned long int m,cnt=0;
   FILE *fp;
   char filename[100];

   if((C = (unsigned char *)farmalloc(400000L))\
         == NULL ) {
               perror("Memory Allocation");
               exit(1);
   }
   cprintf("Press any key to begin.\n\r");
   getch();
   printf("OK\n");
   for(;(cnt<400000L)&&(ch!=27);){

     if(kbhit()) {
        ch = getch();
        continue;
     }
     do {
       A = inportb(0x300);
       B = inportb(0x300);
       A &= 0x01;
       B &= 0x01;
     } while( (A==0x00) && (B==0x01) );
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น รวมทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
                *(C+cnt) = (unsigned char far)inportb(0x304);
      cnt++;
    }


    printf("\nEnter file's name : ");
    gets(filename);
    printf("%ld\n",cnt);
    if( (fp = fopen(filename,"wb")) == NULL ) {
        cprintf("Cannot open file.\n");
        putch(7);
        return;
    }
    for(m=0;m<cnt;m++){
    fwrite( (unsigned char  *)(C+m),sizeof(unsigned char  ),1,fp);
    }
    fclose(fp);

    farfree(C);
}

void nui_output(char *filename)
{
    FILE *fp;
    unsigned A,B;
    char tem;
    long int cnt=0,cnt1=0;


     if((C = (unsigned char *)farmalloc(400000L))\
           == NULL ) {
                perror("Memory Allocation");
                exit(1);
     }
      if( (fp = fopen(filename,"rb")) == NULL ) {
        cprintf("Cannot open file.\n");
        putch(7);
        return;
      }
      while(!feof(fp)) {
        fread((C+cnt),sizeof(char),1,fp);
        /*printf("%c\n",tem);*/
        cnt++;
      }
      while(cnt1<cnt) {
                          outportb(0x308,*(C+cnt1));
       putch(*(C+cnt1));
       do{
          A = inportb(0x300);
          B = inportb(0x300);
          A &= 0x01;
          B &= 0x01;
        }while( (A==0x00) && (B==0x01) );
       cnt1++;
      }


      fclose(fp);
}
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MC3417, MC3517
MC3418, MC3518

Specifications and Applications Information

CONTINUOUSLY VARIABLE SLOPE DELTA MODULATOR/DEMODULATOR

LASER-TRIMMED INTEGRATED CIRCUIT

CONTINUOUSLY VARIABLE SLOPE DELTA MODULATOR/DEMODULATOR

Providing a simplified approach to digital speech encoding/decoding, the MC3517/18 series of CVSDs is designed for military secure communication and commercial telephone applications. A single IC provides both encoding and decoding functions.

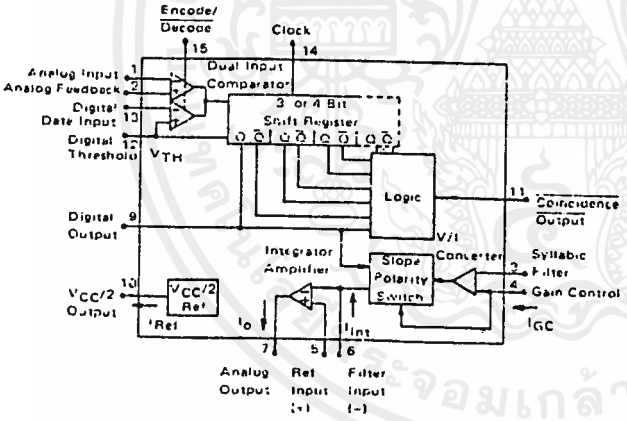
- Encode and Decode Functions on the Same Chip with a Digital Input for Selection
- Utilization of Compatible I^2L – Linear Bipolar Technology
- CMOS Compatible Digital Output
- Digital Input Threshold Selectable ($V_{CC}/2$ reference provided on chip)
- MC3417/MC3517 has a 3-Bit Algorithm (General Communications)
- MC3418/MC3518 has a 4-Bit Algorithm (Commercial Telephone)

L SUFFIX
CERAMIC PACKAGE
CASE 620-10

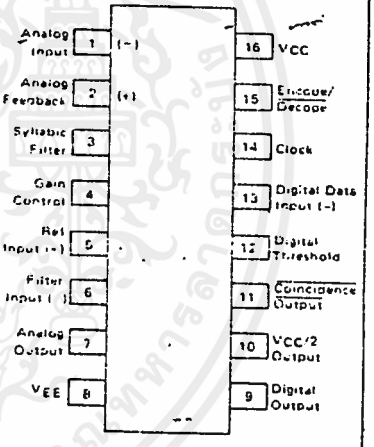
P SUFFIX
PLASTIC PACKAGE
CASE 648-08

DW SUFFIX
PLASTIC PACKAGE
CASE 751G-01
SO-16L

CVSD BLOCK DIAGRAM



PIN CONNECTIONS



ORDERING INFORMATION

Device	Package	Temperature Range
MC3417L	Ceramic DIP	0°C to +70°C
MC3418DW	Plastic SOIC	0°C to +70°C
MC3418L	Ceramic DIP	0°C to +70°C
MC3418P	Plastic DIP	0°C to +70°C
MC3517L	Ceramic DIP	–55°C to +125°C
MC3518L	Ceramic DIP	–55°C to +125°C

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MAXIMUM RATINGS

(All voltages referenced to V_{EE}. T_A = 25°C unless otherwise noted.)

Rating	Symbol	Value	Unit
Power Supply Voltage	V_{CC}	−0.4 to +18	Vdc
Differential Analog Input Voltage	V_{ID}	±5.0	Vdc
Digital Threshold Voltage	V_{TH}	−0.4 to V_{CC}	Vdc
Logic Input Voltage (Clock, Digital Data, Encode/$\overline{\text{Decode}}$)	V_{Logic}	−0.4 to +18	Vdc
Coincidence Output Voltage	$V_{O(Con)}$	−0.4 to +18	Vdc
Syllabic Filter Input Voltage	$V_{I(Syl)}$	−0.4 to V_{CC}	Vdc
Gain Control Input Voltage	$V_{I(GC)}$	−0.4 to V_{CC}	Vdc
Reference Input Voltage	$V_{I(Ref)}$	$V_{CC}/2$ − 1.0 to V_{CC}	Vdc
$V_{CC}/2$ Output Current	I_{Ref}	−25	mA

ELECTRICAL CHARACTERISTICS

(V_{CC} = 12 V, V_{EE} = Gnd, T_A = 0°C to +70°C for MC3417/18, T_A = −55°C to +125°C for MC3517/18 unless otherwise noted.)

Characteristic	Symbol	MC3417/MC3517			MC3418/MC3518			Unit
		Min	Typ	Max	Min	Typ	Max	
Power Supply Voltage Range (Figure 1)	V_{CCR}	4.75	12	16.5	4.75	12	16.5	Vdc
Power Supply Current (Figure 1) (@ Idle Channel)	I_{CC}							mA
(V_{CC} = 5.0 V, All except MC3418P,DW)		—	3.7	5.0	—	3.7	5.0	
(V_{CC} = 5.0 V, MC3418P,DW)		—	—	—	—	3.7	5.5	
(V_{CC} = 15 V, All except MC3418P,DW)		—	6.0	10	—	6.0	10	
(V_{CC} = 15 V, MC3418P,DW)		—	—	—	—	6.0	11	
Gain Control Current Range (Figure 2)	I_{GCR}	0.002	—	3.0	0.002	—	3.0	mA
Analog Comparator Input Range (Pins 1 and 2) (4.75 V ≤ V_{CC} ≤ 16.5 V)	V_I	1.3	—	V_{CC} − 1.3	1.3	—	V_{CC} − 1.3	Vdc
Analog Output Range (Pin 7) (4.75 V ≤ V_{CC} ≤ 16.5 V, I_O = ±5.0 mA)	V_O	1.3	—	V_{CC} − 1.3	1.3	—	V_{CC} − 1.3	Vdc
Input Bias Currents (Figure 3) (Comparator in Active Region)	I_{IB}							μA
Analog Input (I1)		—	0.5	1.5	—	0.25	1.0	
Analog Feedback (I2)		—	0.5	1.5	—	0.25	1.0	
Syllabic Filter Input (I3)		—	0.06	0.5	—	0.06	0.3	
Reference Input (I5)		—	−0.06	−0.5	—	−0.06	−0.3	
Input Offset Current (Comparator in Active Region)	I_{IO}							μA
Analog Input/Analog Feedback |I1 − I2| — Figure 3		—	0.15	0.6	—	0.05	0.4	
Integrator Amplifier |I5 − I6| — Figure 4		—	0.02	0.2	—	0.01	0.1	
Input Offset Voltage V/I Converter (Pins 3 and 4) — Figure 5	V_{IO}	—	2.0	6.0	—	2.0	6.0	mV
Transconductance	gm							mA/mV
V/I Converter, 0 to 3.0 mA		0.1	0.3	—	0.1	0.3	—	
Integrator Amplifier, 0 to ±5.0 mA Load		1.0	10	—	1.0	10	—	
Propagation Delay Times (Note 1)								μs
Clock Trigger to Digital Output	t_{PLH}	—	1.0	2.5	—	1.0	2.5	
(C_L = 25 pF to Gnd)	t_{PHL}	—	0.8	2.5	—	0.8	2.5	
Clock Trigger to Coincidence Output	t_{PLH}	—	1.0	3.0	—	1.0	3.0	
(C_L = 25 pF to Gnd) (R_L = 4.0 kΩ to V_{CC})	t_{PHL}	—	0.8	2.0	—	0.8	2.0	
Coincidence Output Voltage — Low Logic State ($I_{OL(Con)}$ = 3.0 mA)	$V_{OL(Con)}$	—	0.12	0.25	—	0.12	0.25	Vdc
Coincidence Output Leakage Current — High Logic State (V_{OH} = 15 V, 0°C ≤ T_A ≤ 70°C)	$I_{OH(Con)}$	—	0.01	0.5	—	0.01	0.5	μA

NOTE 1. All propagation delay times measured 50% to 50% from the negative going (from V_{CC} to +0.4 V) edge of the clock.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ELECTRICAL CHARACTERISTICS (continued)

Characteristic	Symbol	MC3417/MC3517 Min	MC3417/MC3517 Typ	MC3417/MC3517 Max	MC3418/MC3518 Min	MC3418/MC3518 Typ	MC3418/MC3518 Max	Unit
Applied Digital Threshold Voltage Range (Pin 12)	V_{TH}	+1.2	—	$V_{CC}-2.0$	+1.2	—	$V_{CC}-2.0$	Vdc
Digital Threshold Input Current ($1.2\ V \le V_{th} \le V_{CC} - 2.0\ V$)	$I_{I(th)}$							μA
(V_{IL} applied to Pins 13, 14 and 15)		—	—	5.0	—	—	5.0	
(V_{IH} applied to Pins 13, 14 and 15)		—	−10	−50	—	−10	−50	
Maximum Integrator Amplifier Output Current	I_O	±5.0	—	—	±5.0	—	—	mA
$V_{CC}/2$ Generator Maximum Output Current (Source only)	I_{Ref}	+10	—	—	+10	—	—	mA
$V_{CC}/2$ Generator Output Impedance (0 to +10 mA)	z_{Ref}	—	3.0	6.0	—	3.0	6.0	Ω
$V_{CC}/2$ Generator Tolerance ($4.75\ V \le V_{CC} \le 16.5\ V$)	e_r	—	—	±3.5	—	—	±3.5	%
Logic Input Voltage (Pins 13, 14 and 15)								Vdc
Low Logic State	V_{IL}	Gnd	—	$V_{th}-0.4$	Gnd	—	$V_{th}-0.4$	
High Logic State	V_{IH}	$V_{th}+0.4$	—	18	$V_{th}+0.4$	—	18	
Dynamic Total Loop Offset Voltage (Note 2) — Figures 3, 4 and 5	ΣV_{offset}							mV
I_{GC} = 12 μA, V_{CC} = 12 V								
T_A = 25°C (All except 3418P,DW)		—	—	—	—	±0.5	±1.5	
(MC3418P,DW)		—	—	—	—	±0.5	±3.0	
0°C ≤ T_A ≤ +70°C (MC3417/18L)		—	—	—	—	±0.75	±2.3	
(MC3418P,DW)		—	—	—	—	±0.75	±3.8	
−55°C ≤ T_A ≤ +125°C (MC3517/18)		—	—	—	—	±1.5	±4.0	
I_{GC} = 33 μA, V_{CC} = 12 V								
T_A = 25°C		—	±2.5	±5.0	—	—	—	
0°C ≤ T_A ≤ +70°C (MC3417/18)		—	±3.0	±7.5	—	—	—	
−55°C ≤ T_A ≤ +125°C (MC3517/18)		—	±4.5	±10	—	—	—	
I_{GC} = 12 μA, V_{CC} = 5.0 V								
T_A = 25°C (All except MC3418P,DW)		—	—	—	—	±1.0	±2.0	
(MC3418P,DW)		—	—	—	—	±1.0	±3.5	
0°C ≤ T_A ≤ +70°C (MC3417/18L)		—	—	—	—	±1.3	±2.8	
(MC3418P,DW)		—	—	—	—	±1.3	±4.3	
−55°C ≤ T_A ≤ +125°C (MC3517/18)		—	—	—	—	±2.5	±5.0	
I_{GC} = 33 μA, V_{CC} = 5.0 V								
T_A = 25°C		—	±4.0	±6.0	—	—	—	
0°C ≤ T_A ≤ +70°C (MC3417/18)		—	±4.5	±8.0	—	—	—	
−55°C ≤ T_A ≤ +125°C (MC3517/18)		—	±5.5	±10	—	—	—	
Digital Output Voltage								Vdc
(I_{OL} = 3.6 mA)	V_{OL}	—	0.1	0.4	—	0.1	0.4	
(I_{OH} = −0.35 mA)	V_{OH}	$V_{CC}-1.0$	$V_{CC}-0.2$	—	$V_{CC}-1.0$	$V_{CC}-0.2$	—	
Syllabic Filter Applied Voltage (Pin 3) (Figure 2)	$V_{I(Syl)}$	+3.2	—	V_{CC}	+3.2	—	V_{CC}	Vdc
Integrating Current (Figure 2)	$\|I_{Int}\|$							
(I_{GC} = 12 μA)		8.0	10	12	8.0	10	12	μA
(I_{GC} = 1.5 mA) (All except 3418P,DW)		1.45	1.5	1.55	1.45	1.5	1.55	mA
(MC3418P,DW)		—	—	—	1.42	1.5	1.58	mA
(I_{GC} = 3.0 mA)		2.75	3.0	3.25	2.75	3.0	3.25	mA
Dynamic Integrating Current Match (I_{GC} = 1.5 mA) Figure 6	$V_{O(Ave)}$							mV
(All except MC3418P,DW)		—	±100	±250	—	±100	±250	
(MC3418P,DW)		—	—	—	—	±100	±280	
Input Current — High Logic State (V_{IH} = 18 V)	I_{IH}							μA
Digital Data Input		—	—	+5.0	—	—	+5.0	
Clock Input		—	—	+5.0	—	—	+5.0	
Encode/Decode Input		—	—	+5.0	—	—	+5.0	
Input Current — Low Logic State (V_{IL} = 0 V)	I_{IL}							μA
Digital Data Input		—	—	−10	—	—	−10	
Clock Input		—	—	−360	—	—	−360	
Encode/Decode Input		—	—	−36	—	—	−36	
Clock Input, V_{IL} = 0.4 V		—	—	−72	—	—	−72	

NOTE 2. Dynamic total loop offset (ΣV_{offset}) equals V_{IO} (comparator) (Figure 3) minus V_{IOX} (Figure 5). The input offset voltages of the analog comparator and of the integrator amplifier include the effects of input offset current through the input resistors. The slope polarity switch current mismatch appears as an average voltage across the 10 k integrator resistor. For the MC3417/MC3517, the clock frequency is 16 kHz. For the MC3418/MC3518, the clock frequency is 32 kHz. Idle channel performance is guaranteed if this dynamic total loop offset is less than one-half of the change in integrator output voltage during one clock cycle (ramp step size). Laser trimming is used to insure good idle channel performance.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

DEFINITIONS AND FUNCTION OF PINS

Pin 1 — Analog Input

This is the analog comparator inverting input where the voice signal is applied. It may be ac or dc coupled depending on the application. If the voice signal is to be level shifted to the internal reference voltage, then a bias resistor between Pins 1 and 10 is used. The resistor is used to establish the reference as the new dc average of the ac coupled signal. The analog comparator was designed for low hysteresis (typically less than 0.1 mV) and high gain (typically 70 dB).

Pin 2 — Analog Feedback

This is the noninverting input to the analog signal comparator within the IC. In an encoder application it should be connected to the analog output of the encoder circuit. This may be Pin 7 or a low pass filter output connected to Pin 7. In a decode circuit Pin 2 is not used and may be tied to $V_{CC}/2$ on Pin 10, ground or left open.

The analog input comparator has bias currents of 1.5 μA max, thus the driving impedances of Pins 1 and 2 should be equal to avoid disturbing the idle channel characteristics of the encoder.

Pin 3 — Syllabic Filter

This is the point at which the syllabic filter voltage is returned to the IC in order to control the integrator step size. It is an NPN input to an op amp. The syllabic filter consists of an RC network between Pins 11 and 3. Typical time constant values of 6.0 ms to 50 ms are used in voice codecs.

Pin 4 — Gain Control Input

The syllabic filter voltage appears across C_S of the syllabic filter and is the voltage between V_{CC} and Pin 3. The active voltage to current (V−I) converter drives Pin 4 to the same voltage at a slew rate of typically 0.5 V/μs. Thus the current injected into Pin 4 (I_{GC}) is the syllabic filter voltage divided by the R_X resistance. Figure 7 shows the relationship between I_{GC} (x-axis) and the integrating current, I_{Int} (y-axis). The discrepancy, which is most significant at very low currents, is due to circuitry within the slope polarity switch which enables trimming to a low total loop offset. The R_X resistor is then varied to adjust the loop gain of the codec, but should be no larger than 5.0 kΩ to maintain stability.

Pin 5 — Reference Input

This pin is the noninverting input of the integrator amplifier. It is used to reference the dc level of the output signal. In an encoder circuit it must reference the same voltage as Pin 1 and is tied to Pin 10.

Pin 6 — Filter Input

This inverting op amp input is used to connect the integrator external components. The integrating current (I_{Int}) flows into Pin 6 when the analog input (Pin 1) is high with respect to the analog feedback (Pin 2) in the encode mode or when the digital data input (Pin 13) is high in the decode mode. For the opposite states, I_{Int} flows out of Pin 6. Single integration systems require a capacitor and resistor between Pins 6 and 7. Multipole configurations will have different circuitry. The resistance between Pins 6 and 7 should always be between 8.0 kΩ and 13 kΩ to maintain good idle channel characteristics.

Pin 7 — Analog Output

This is the integrator op amp output. It is capable of driving a 600-ohm load referenced to $V_{CC}/2$ to +6.0 dBm and can otherwise be treated as an op amp output. Pins 5, 6, and 7 provide full access to the integrator op amp for designing integration filter networks. The slew rate of the internally compensated integrator op amp is typically 0.5 V/μs. Pin 7 output is current limited for both polarities of current flow at typically 30 mA.

Pin 8 — V_{EE}

The circuit is designed to work in either single or dual power supply applications. Pin 8 is always connected to the most negative supply.

Pin 9 — Digital Output

The digital output provides the results of the delta modulator's conversion. It swings between V_{CC} and V_{EE} and is CMOS or TTL compatible. Pin 9 is inverting with respect to Pin 1 and non-inverting with respect to Pin 2. It is clocked on the falling edge of Pin 14. The typical 10% to 90% rise and fall times are 250 ns and 50 ns respectively for V_{CC} = 12 V and C_L = 25 pF to ground.

Pin 10 — $V_{CC}/2$ Output

An internal low impedance mid-supply reference is provided for use of the MC3417/18 in single supply applications. The internal regulator is a current source and must be loaded with a resistor to insure its sinking capability. If a +6.0 dBmo signal is expected across a 600 ohm input bias resistor, then Pin 10 must sink 2.2 V/600 Ω = 3.66 mA. This is only possible if Pin 10 sources 3.66 mA into a resistor normally and will source only the difference under peak load. The reference load resistor is chosen accordingly. A 0.1 μF bypass capacitor from Pin 10 to V_{EE} is also recommended. The $V_{CC}/2$ reference is capable of sourcing 10 mA and can be used as a reference elsewhere in the system circuitry.

Pin 11 — $\overline{\text{Coincidence Output}}$

The duty cycle of this pin is proportional to the voltage across C_S. The coincidence output will be low whenever the content of the internal shift register is all 1s or all 0s. In the MC3417 the register is 3 bits long while the MC3418 contains a 4 bit register. Pin 11 is an open collector of an NPN device and requires a pull-up resistor.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

If the syllabic filter is to have equal charge and discharge time constants, the value of Rp should be much less than R_S. In systems requiring different charge and discharge constants, the charging constant is $R_S C_S$ while the decaying constant is $(R_S + R_p)C_S$. Thus longer decays are easily achievable. The NPN device should not be required to sink more than 3.0 mA in any configuration. The typical 10% to 90% rise and fall times are 200 ns and 100 ns respectively for R_L = 4.0 kΩ to +12 V and C_L = 25 pF to ground.

Pin 12 — Digital Threshold

This input sets the switching threshold for Pins 13, 14, and 15. It is intended to aid in interfacing different logic families without external parts. Often it is connected to the $V_{CC}/2$ reference for CMOS interface or can be biased two diode drops above V_{EE} for TTL interface.

Pin 13 — Digital Data Input

In a decode application, the digital data stream is applied to Pin 13. In an encoder it may be unused or may be used to transmit signaling message under the control of Pin 15. It is an inverting input with respect to Pin 9. When Pins 9 and 13 are connected, a toggle flip-flop is formed and a forced idle channel pattern can be transmitted. The digital data input level should be maintained for 0.5 μs before and after the clock trigger for proper clocking.

Pin 14 — Clock Input

The clock input determines the data rate of the codec circuit. A 32K bit rate requires a 32 kHz clock. The switching threshold of the clock input is set by Pin 12. The shift register circuit toggles on the falling edge of the clock input. The minimum width for a positive-going pulse on the clock input is 300 ns, whereas for a negative-going pulse, it is 900 ns.

Pin 15 — Encode/$\overline{\text{Decode}}$

This pin controls the connection of the analog input comparator and the digital input comparator to the internal shift register. If high, the result of the analog comparison will be clocked into the register on the falling edge at Pin 14. If low, the digital input state will be entered. This allows use of the IC as an encoder/decoder or simplex codec without external parts. Furthermore, it allows non-voice patterns to be forced onto the transmission line through Pin 13 in an encoder.

Pin 16 — V_{CC}

The power supply range is from 4.75 to 16.5 volts between Pin V_{CC} and V_{EE}.

FIGURE 1 – POWER SUPPLY CURRENT

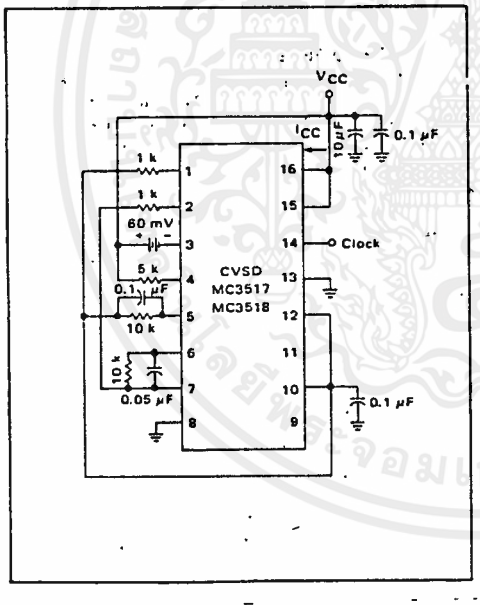
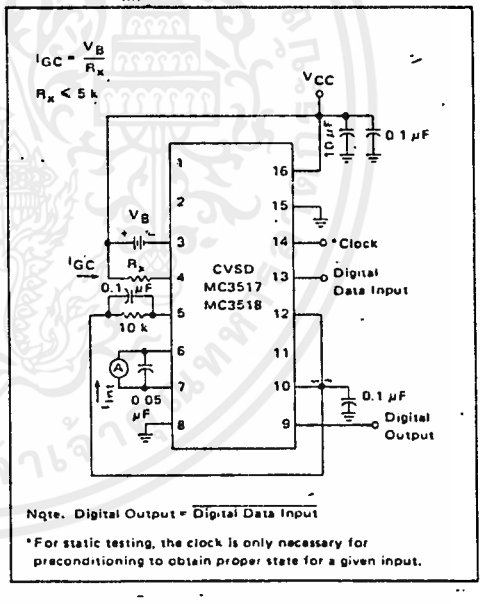


FIGURE 2 – I_{GCR}, GAIN CONTROL RANGE and I_{Int} – INTEGRATING CURRENT

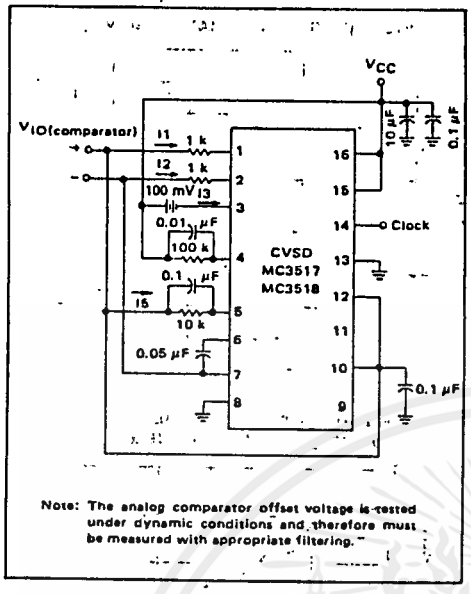


Note: Digital Output = $\overline{\text{Digital Data Input}}$

*For static testing, the clock is only necessary for preconditioning to obtain proper state for a given input.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

FIGURE 3 – INPUT BIAS CURRENTS, ANALOG COMPARATOR OFFSET VOLTAGE AND CURRENT



Note: The analog comparator offset voltage is tested under dynamic conditions and therefore must be measured with appropriate filtering.

FIGURE 4 – INTEGRATOR AMPLIFIER OFFSET VOLTAGE AND CURRENT

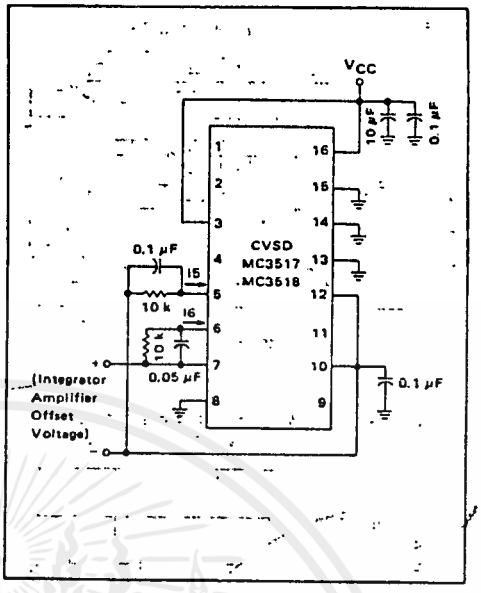
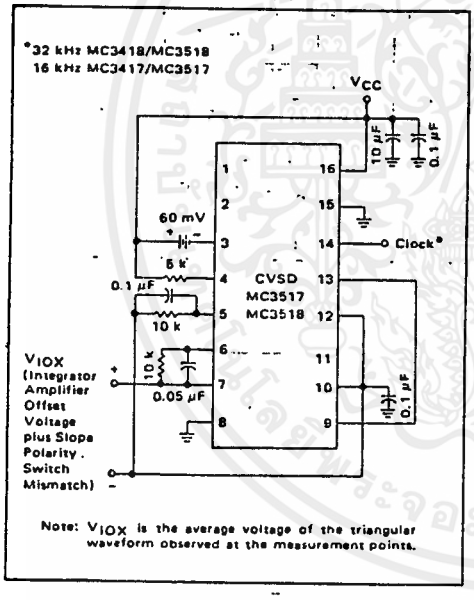
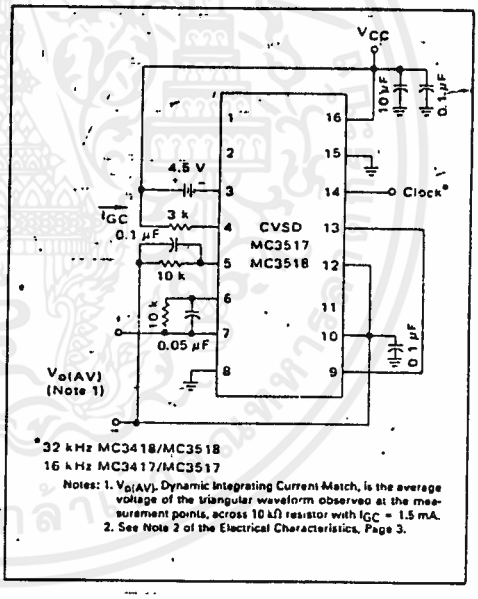


FIGURE 5 – V/I CONVERTER OFFSET VOLTAGE, V_{IO} and V_{IOX}



Note: V_{IOX} is the average voltage of the triangular waveform observed at the measurement points.

FIGURE 6 – DYNAMIC INTEGRATING CURRENT MATCH



*32 kHz MC3418/MC3518
16 kHz MC3417/MC3517

Notes: 1. $V_{O(AV)}$, Dynamic Integrating Current Match, is the average voltage of the triangular waveform observed at the measurement points, across 10 kΩ resistor with I_{GC} = 1.5 mA.
2. See Note 2 of the Electrical Characteristics, Page 3.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TYPICAL PERFORMANCE CURVES

FIGURE 7 – TYPICAL I_{Int} versus I_{GC} (Mean ± 2σ)

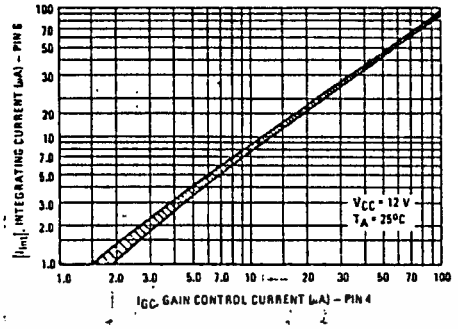


FIGURE 8 – NORMALIZED DYNAMIC INTEGRATING CURRENT MATCH versus V_{CC}

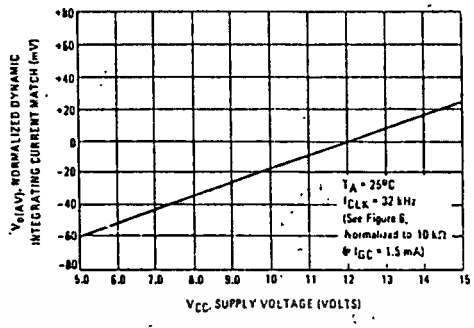


FIGURE 9 – NORMALIZED DYNAMIC INTEGRATING CURRENT MATCH versus CLOCK FREQUENCY

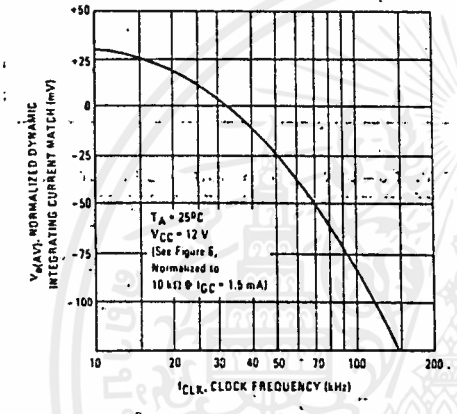


FIGURE 10 – DYNAMIC TOTAL LOOP OFFSET versus CLOCK FREQUENCY

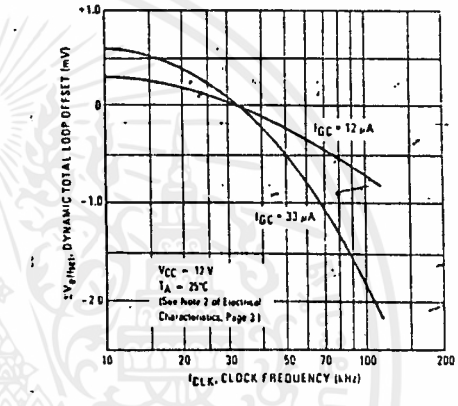
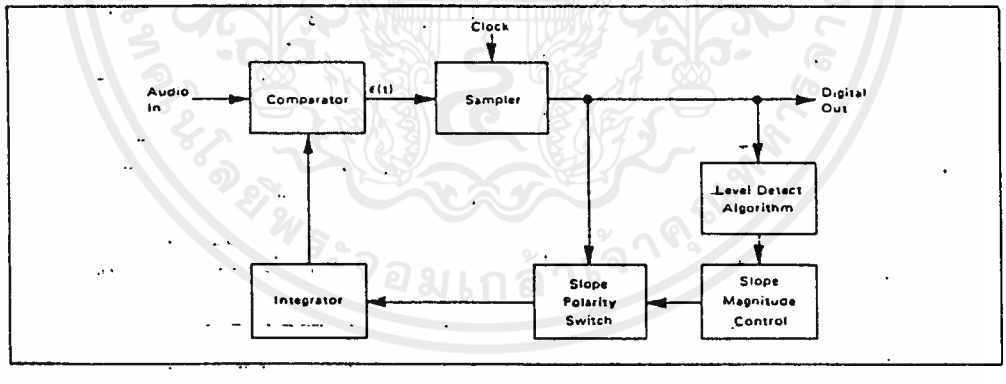


FIGURE 11 – BLOCK DIAGRAM OF THE CVSD ENCODER



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

FIGURE 12 – CVSD WAVEFORMS

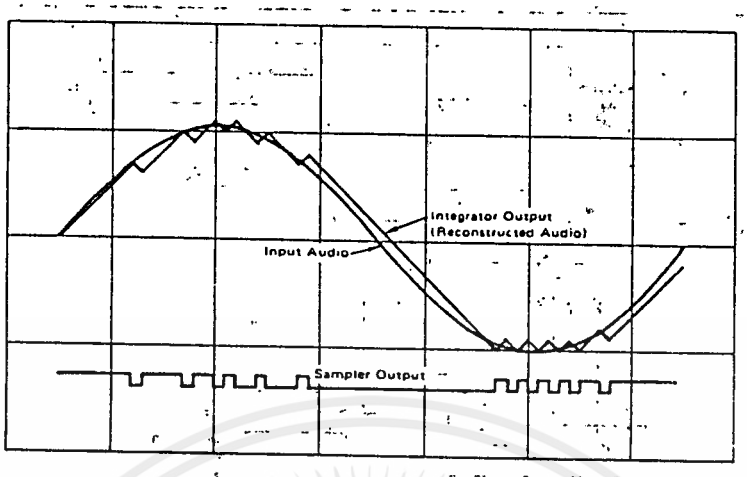
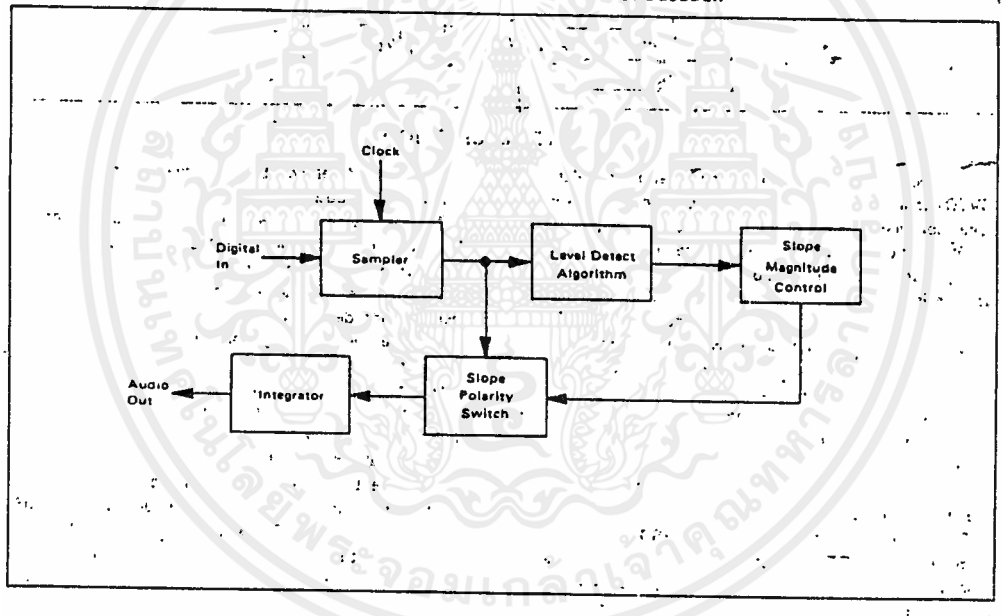
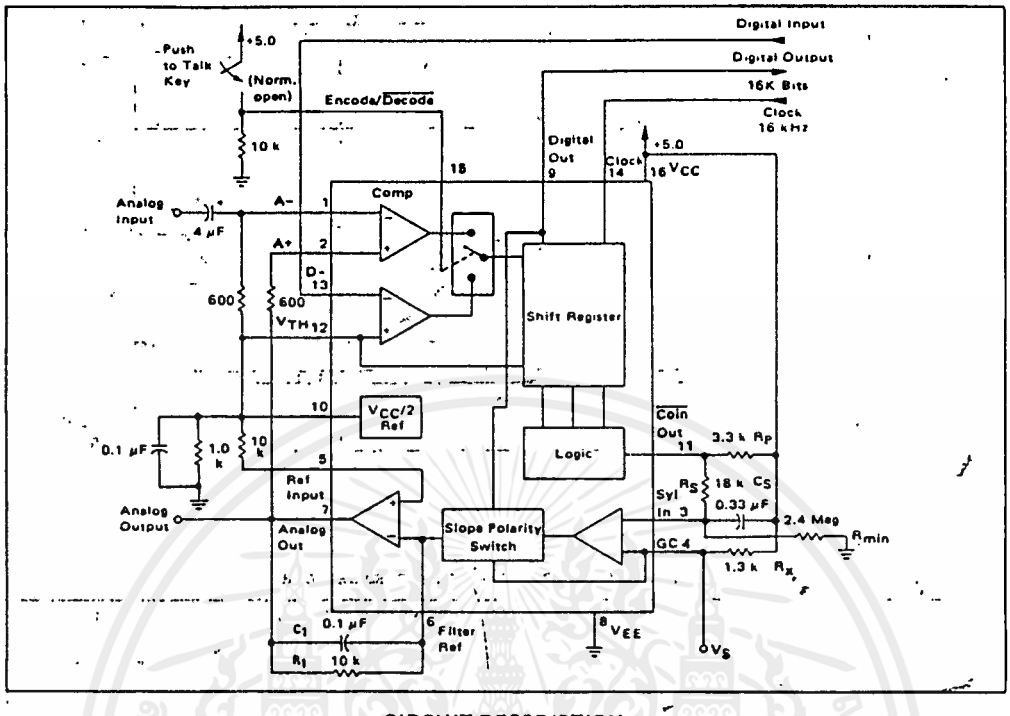


FIGURE 13 – BLOCK DIAGRAM OF THE CVSD DECODER



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

FIGURE 14 – 16 kHz SIMPLEX VOICE CODEC
(Using MC3417, Single Pole Companding and Single Integration)



CIRCUIT DESCRIPTION

The continuously variable slope delta modulator (CVSD) is a simple alternative to more complex conventional conversion techniques in systems requiring digital communication of analog signals. The human voice is analog, but digital transmission of any signal over great distance is attractive. Signal/noise ratios do not vary with distance in digital transmission and multiplexing, switching and repeating hardware is more economical and easier to design. However, instrumentation A to D converters do not meet the communications requirements. The CVSD A to D is well suited to the requirements of digital communications and is an economically efficient means of digitizing analog inputs for transmission.

The Delta Modulator

The innermost control loop of a CVSD converter is a simple delta modulator. A block diagram CVSD Encoder is shown in Figure 11. A delta modulator consists of a comparator in the forward path and an integrator in the feedback path of a simple control loop. The inputs to the comparator are the input analog signal and the integrator output. The comparator output reflects the sign of the difference between the input voltage and the integrator output. That sign bit is the digital output and also controls the direction of ramp in the integrator. The comparator is normally clocked so as to produce a synchronous and band limited digital bit stream.

If the clocked serial bit stream is transmitted, received, and delivered to a similar integrator at a remote point, the remote integrator output is a copy of the transmitting control loop integrator output. To the extent that the integrator at the transmitting locations tracks the input signal, the remote receiver reproduces the input signal. Low pass filtering at the receiver output will eliminate most of the quantizing noise, if the clock rate of the bit stream is an octave or more above the bandwidth of the input signal. Voice bandwidth is 4 kHz and clock rates from 8 k and up are possible. Thus the delta modulator digitizes and transmits the analog input to a remote receiver. The serial, unframed nature of the data is ideal for communications networks. With no input at the transmitter, a continuous one zero alternation is transmitted. If the two integrators are made leaky, then during any loss of contact the receiver output decays to

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

CIRCUIT DESCRIPTION (continued)

zero and receive restart begins without framing when the receiver reacquires. Similarly a delta modulator is tolerant of sporadic bit errors. Figure 12 shows the delta modulator waveforms while Figure 13 shows the corresponding CVSD decoder block diagram.

The Companding Algorithm

The fundamental advantages of the delta modulator are its simplicity and the serial format of its output. Its limitations are its ability to accurately convert the input within a limited digital bit rate. The analog input must be band limited and amplitude limited. The frequency limitations are governed by the nyquist rate while the amplitude capabilities are set by the gain of the integrator.

The frequency limits are bounded on the upper end; that is, for any input bandwidth there exists a clock frequency larger than that bandwidth which will transmit the signal with a specific noise level. However, the amplitude limits are bounded on both upper and lower ends. For a signal level, one specific gain will achieve an optimum noise level. Unfortunately, the basic delta modulator has a small dynamic range over which the noise level is constant.

The continuously variable slope circuitry provides increased dynamic range by adjusting the gain of the integrator. For a given clock frequency and input bandwidth the additional circuitry increases the delta modulator's dynamic range. External to the basic delta modulator is an algorithm which monitors the past few outputs of the delta modulator in a simple shift register. The register is 3 or 4 bits long depending on the application. The accepted CVSD algorithm simply monitors the contents of the shift register and indicates if it contains all 1s or 0s. This condition is called coincidence. When it occurs, it indicates that the gain of the integrator is too small. The coincidence output charges a single pole low pass filter. The voltage output of this syllabic filter controls the integrator gain through a pulse amplitude modulator whose other input is the sign bit or up/down control.

The simplicity of the all ones, all zeros algorithm should not be taken lightly. Many other control algorithms using the shift register have been tried. The key to the accepted algorithm is that it provides a measure of the average power or level of the input signal. Other techniques provide more instantaneous information about the shape of the input curve. The purpose of the algorithm is to control the gain of the integrator and to increase the dynamic range. Thus a measure of the average input level is what is needed.

The algorithm is repeated in the receiver and thus the level data is recovered in the receiver. Because the algorithm only operates on the past serial data, it changes the nature of the bit stream without changing the channel bit rate.

The effect of the algorithm is to compand the input signal. If a CVSD encoder is played into a basic delta modulator, the output of the delta modulator will reflect the shape of the input signal but all of the output will be at an equal level. Thus the algorithm at the output is needed to restore the level variations. The bit stream in the channel is as if it were from a standard delta modulator with a constant level input.

The delta modulator encoder with the CVSD algorithm provides an efficient method for digitizing a voice input in a manner which is especially convenient for digital communciations requirements.

APPLICATIONS INFORMATION

CVSD DESIGN CONSIDERATIONS

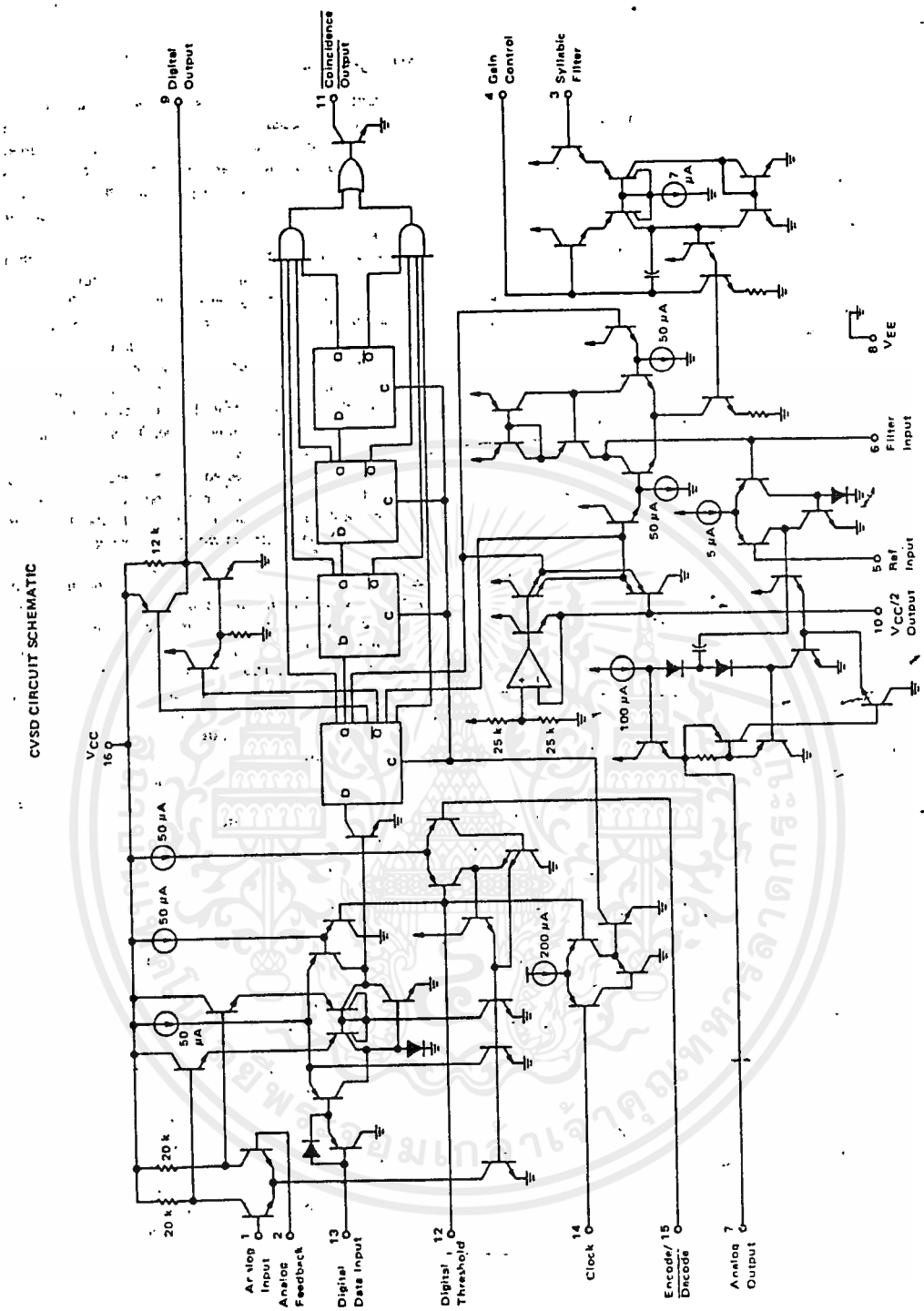
A simple CVSD encoder using the MC3417 or MC3418 is shown in Figure 14. These ICs are general purpose CVSD building blocks which allow the system designer to tailor the encoder's transmission characteristics to the application. Thus, the achievable transmission capabilities are constrained by the fundamental limitations of delta modulation and the design of encoder parameters. The performance is not dictated by the internal configuration of the MC3417 and MC3418. There are seven design considerations involved in designing these basic CVSD building blocks into a specific codec application, and they are as follows:

1. Selection of clock rate
2. Required number of shift register bits
3. Selection of loop gain
4. Selection of minimum step size
5. Design of integration filter transfer function
6. Design of syllabic filter transfer function
7. Design of low pass filter at the receiver

The circuit in Figure 14 is the most basic CVSD circuit possible. For many applications in secure radio or other intelligible voice channel requirements, it is entirely sufficient. In this circuit, items 5 and 6 are reduced to their simplest form. The syllabic and integration filters are both single pole networks. The selection of items 1 through 4 govern the codec performance.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

CVSD CIRCUIT SCHEMATIC



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

CVSD DESIGN CONSIDERATIONS (continued)

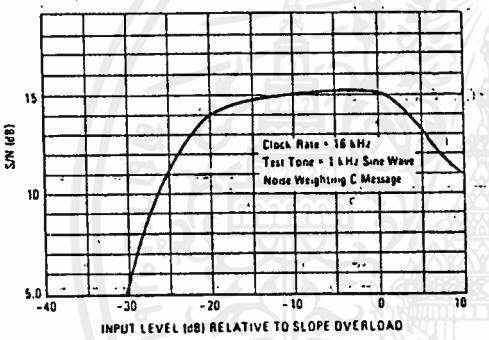
Layout Considerations

Care should be exercised to isolate all digital signal paths (Pins 9, 11, 13, and 14) from analog signal paths (Pins 1–7 and 10) in order to achieve proper idle channel performance.

Clock Rate

With minor modifications the circuit in Figure 14 may be operated anywhere from 9.6 kHz to 64 kHz clock rates. Obviously the higher the clock rate the higher the S/N performance. The circuit in Figure 14 typically produces the S/N performance shown in Figure 15. The selection of clock rate is usually dictated by the bandwidth of the transmission medium. Voice bandwidth systems will require no higher than 9600 Hz. Some radio systems will allow 12 kHz. Private 4-wire telephone systems are often operated at 16 kHz and commercial telephone performance can be achieved at 32K bits and above. Other codecs may use bit rates up to 200K bits/sec.

FIGURE 15 – SIGNAL-TO-NOISE PERFORMANCE OF MC3417 WITH SINGLE INTEGRATION, SINGLE-POLE AND COMPANDING AT 16K BITS – TYPICAL



Shift Register Length (Algorithm)

The MC3417 has a three-bit algorithm and the MC3418 has a four-bit algorithm. For clock rates of 16 kHz and below, the 3-bit algorithm is well suited. For 32 kHz and higher clock rates, the 4-bit system is preferred. Since the algorithm records a fixed past history of the input signal, a longer shift register is required to obtain the same internal hsitory. At 16 bits and below, the 4-bit algorithm will produce a slightly wider dynamic range at the expense of level change response. Basically the MC3417 is designed for low bit rate systems and the MC3418 is intended for high performance, high bit rate system. At bit rates above 64K bits either part will work well.

Selection of Loop Gain

The gain of the circuit in Figure 14 is set by resistor R_X. R_X must be selected to provide the proper integrator step size for high level signals such that the companding ratio does not exceed about 25%. The companding ratio is the active low duty cycle of the coincidence output on Pin 11 of the codec circuit. Thus the system gain is dependent on:

1. The maximum level and frequency of the input signal.
2. The transfer function of the integration filter.

For voice codecs the typical input signal is taken to be a sine wave at 1 kHz of 0 dBmo level. In practice, the useful dynamic range extends about 6 dB above the design level. In any system the companding ratio should not exceed 30%.

To calculate the required step size current, we must describe the transfer characteristics of the integration filter. In the basic circuit of Figure 14, a single pole of 160 Hz is used.

$$R_1 = 10\ k\Omega,\ C_1 = 0.1\ \mu F$$

$$\frac{V_o}{I_i} = \frac{1}{C(S + 1/RC)} \equiv \frac{K}{S + \omega_o}$$

$$\omega_o = 2\pi f$$

$$10^3 = \omega_o = 2\pi f$$

$$f = 159.2\ Hz$$

Note that the integration filter produces a single-pole response from 300 to 3 kHz. The current required to move the integrator output a specific voltage from zero is simply:

$$I_i = \frac{V_o}{R_1} + \left(C_1 \times \frac{dV_o}{dt}\right)$$

Now a 0 dBmo sine wave has a peak value of 1.0954 volts. In 1/8 of a cycle of a sine wave centered around the zero crossing, the sine wave changes by approximately its peak value. The CVSD step should trace that change. The required current for a 0 dBm 1 kHz sine wave is:

$$I_i = \frac{1.1\ V}{*2(10\ k\Omega)} + \frac{0.1\ \mu F(1.1)}{0.125\ ms} = 0.935\ mA$$

*The maximum voltage across R_1 when maximum slew is required is:

$$\frac{1.1\ V}{2}$$

Now the voltage range of the syllabic filter is the power supply voltage, thus:

$$R_X = 0.25(V_{CC})\ \frac{1}{0.935\ mA}$$

A similar procedure can be followed to establish the proper gain for any input level and integration filter type.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

CVSD DESIGN CONSIDERATIONS (continued)

Minimum Step Size

The final parameter to be selected for the simple codec in Figure 14 is idle channel step size. With no input signal, the digital output becomes a one-zero alternating pattern and the analog output becomes a small triangle wave. Mismatches of internal currents and offsets limit the minimum step size which will produce a perfect idle channel pattern. The MC3417 is tested to ensure that a 20 mVp-p minimum step size at 16 kHz will attain a proper idle channel. The idle channel step size must be twice the specified total loop offset if a one-zero idle pattern is desired. In some applications a much smaller minimum step size (e.g., 0.1 mV) can produce quiet performance without providing a 1-0 pattern.

To set the idle channel step size, the value of R_{min} must be selected. With no input signal, the slope control algorithm is inactive. A long series of ones or zeros never occurs. Thus, the voltage across the syllabic filter capacitor (C_S) would decay to zero. However, the voltage divider of R_S and R_{min} (see Figure 14) sets the minimum allowed voltage across the syllabic filter capacitor. That voltage must produce the desired ramps at the analog output. Again we write the filter input current equation:

$$I_i = \frac{V_o}{R_1} + C\frac{dV_o}{dt}$$

For values of V_o near $V_{CC}/2$ the V_o/R term is negligible; thus

$$I_i = C_S\frac{\Delta V_o}{\Delta T}$$

where ΔT is the clock period and ΔV_o is the desired peak-to-peak value of the idle output. For a 16K-bit system using the circuit in Figure 14

$$I_i = \frac{0.1\,\mu F\ 20\,mV}{62.5\,\mu s} = 33\,\mu A$$

The voltage on C_S which produces a 33 μA current is determined by the value of R_X.

$$I_i R_X = V_{Smin};\ \text{for } 33\,\mu A,\ V_{Smin} = 41.6\ mV$$

In Figure 14 R_S is 18 kΩ. That selection is discussed with the syllabic filter considerations. The voltage divider of R_S and R_{min} must produce an output of 41.6 mV.

$$V_{CC}\frac{R_S}{R_S + R_{min}} = V_{Smin} \qquad R_{min} \simeq 2.4\ M\Omega$$

Having established these four parameters — clock rate, number of shift register bits, loop gain and minimum step size — the encoder circuit in Figure 14 will function at near optimum performance for input levels around 0 dBm.

INCREASING CVSD PERFORMANCE

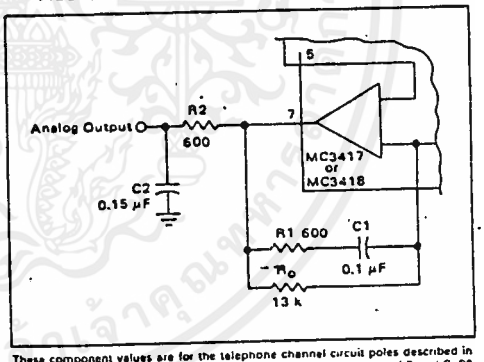
Integration Filter Design

The circuit in Figure 14 uses a single-pole integration network formed with a 0.1 μF capacitor and a 10 kΩ resistor. It is possible to improve the performance of the circuit in Figure 14 by 1 or 2 dB by using a two-pole integration network. The improved circuit is shown.

The first pole is still placed below 300 Hz to provide the 1/S voice content curve and a second pole is placed somewhere above the 1 kHz frequency. For telephony circuits, the second pole can be placed above 1.8 kHz to exceed the 1633 touchtone frequency. In other communication systems, values as low as 1 kHz may be selected. In general, the lower in frequency the second pole is placed, the greater the noise improvement. Then, to ensure the encoder loop stability, a zero is added to keep the phase shift less than 180°. This zero should be placed slightly above the low-pass output filter break frequency so as not to reduce the effectiveness of the second pole. A network of 235 Hz, 2 kHz and 5.2 kHz is typical for telephone applications while 160 Hz, 1.2 kHz and 2.8 kHz might be used in voice only channels. (Voice only channels can use an output low-pass filter which breaks at about 2.5 kHz.) The two-pole network in Figure 16 has a transfer function of:

$$\frac{V_o}{I_i} = \frac{R_0R_1\left(S + \frac{1}{R_1C_1}\right)}{R_2C_2(R_0 + R_1)\left(S + \frac{1}{(R_0 + R_1)C_1}\right)\left(S + \left(\frac{1}{R_2C_2}\right)\right)}$$

FIGURE 16 — IMPROVED FILTER CONFIGURATION



These component values are for the telephone channel circuit poles described in the text. The R2, C2 product can be provided with different values of R and C. R2 should be chosen to be equal to the termination resistor on Pin 1.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

INCREASING CVSD PERFORMANCE (continued)

Thus the two poles and the zero can be selected arbitrarily as long as the zero is at a higher frequency than the first pole. The values in Figure 16 represent one implementation of the telephony filter requirement.

The selection of the two-pole filter network effects the selection of the loop gain value and the minimum step size resistor. The required integrator current for a given change in voltage now becomes:

$$I_i = \frac{V_o}{R_0} + \left(\frac{R_2C_2}{R_0} + \frac{R_1C_1}{R_0} + C_1\right)\frac{\Delta V_o}{\Delta T} + \left(R_2C_2C_1 + \frac{R_1C_1R_2C_2}{R_0}\right)\frac{\Delta V_o^2}{\Delta T^2}$$

The calculation of desired gain resistor R_X then proceeds exactly as previously described.

Syllabic Filter Design

The syllabic filter in Figure 14 is a simple single-pole network of 18 kΩ and 0.33 μF. This produces a 6.0 ms time constant for the averaging of the coincidence output signal. The voltage across the capacitor determines the integrator current which in turn establishes the step size. The integrator current and the resulting step size determine the companding ratio and the S/N performance. The companding ratio is defined as the voltage across C_S/V_{CC}.

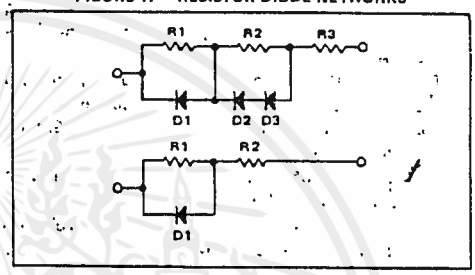
The S/N performance may be improved by modifying the voltage to current transformation produced by R_X. If different portions of the total R_X are shunted by diodes, the integrator current can be other than $(V_{CC}-V_S)/R_X$. These breakpoint curves must be designed experimentally for the particular system application. In general, one would wish that the current would double with input level. To design the desired curve, supply current to Pin 4 of the codec from an external source. Input a signal level and adjust the current until the S/N performance is optimum. Then record the syllabic filter voltage and the current. Repeat this for all desired signal levels. Then derive the resistor diode network which produces that curve on a curve tracer.

Once the network is designed with the curve tracer, it is then inserted in place of R_X in the circuit and the forced optimum noise performance will be achieved from the active syllabic algorithm.

Diode breakpoint networks may be very simple or moderately complex and can improve the usable dynamic range of any codec. In the past they have been used in high performance telephone codecs.

Typical resistor-diode networks are shown in Figure 17.

FIGURE 17 – RESISTOR-DIODE NETWORKS



If the performance of more complex diode networks is desired, the circuit in Figure 18 should be used. It simulates the companding characteristics of nonlinear R_X elements in a different manner.

Output Low Pass Filter

A low pass filter is required at the receiving circuit output to eliminate quantizing noise. In general, the lower the bit rate, the better the filter must be. The filter in Figure 20 provides excellent performance for 12 kHz to 40 kHz systems.

TELEPHONE CARRIER QUALITY CODEC USING MC3418

Two specifications of the integrated circuit are specifically intended to meet the performance requirements of commercial telephone systems. First, slope polarity switch current matching is laser trimmed to guarantee proper idle channel performance with 5 mV minimum step size and a typical 1% current match from 15 μA to 3 mA. Thus a 300 to 1 range of step size variation is possible. Second, the MC3418 provides the four-bit algorithm currently used in subscriber loop telephone systems. With these specifications and the circuit of Figure 18, a telephone quality codec can be mass produced.

The circuit in Figure 18 provides a 30 dB S/Nc ratio over 50 dB of dynamic range for a 1 kHz test tone at a 37.7K bit rate. At 37.7K bits, 40 voice channels may be multiplexed on a standard 1.544 megabit T1 facility. This codec has also been tested for 10^{-7} error rates with asynchronous and synchronous data up to 2400 baud and for reliable performance with DTMF signaling. Thus, the design is applicable in telephone quality subscriber loop carrier systems, subscriber loop concentrators and small PABX installations.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TELEPHONE CARRIER QUALITY CODEC USING MC3418 (continued)

The Active Companding Network

The unique feature of the codec in Figure 18 is the step size control circuit which uses a companding ratio reference, the present step size, and the present syllabic filter output to establish the optimum companding ratios and step sizes for any given input level. The companding ratio of a CVSD codec is defined as the duty cycle of the coincidence output. It is the parameter measured by the syllabic filter and is the voltage across C_S divided by the voltage swing of the coincidence output. In Figure 18, the voltage swing of Pin 11 is 6.0 volts. The operating companding ratio is analoged by the voltage between Pins 10 and 4 by means of the virtual short across Pins 3 and 4 of the V to I op amp within the integrated circuit. Thus, the instantaneous companding ratio of the codec is always available at the negative input of A1.

The diode D1 and the gain of A1 and A2 provide a companding ratio reference for any input level. If the output of A2 is more than 0.7 volts below $V_{CC}/2$, then the positive input of A1 is ($V_{CC}/2$ − 0.7). The on diode drop at the input of A1 represents a 12% companding ratio (12% = 0.7 V/6.0 V).

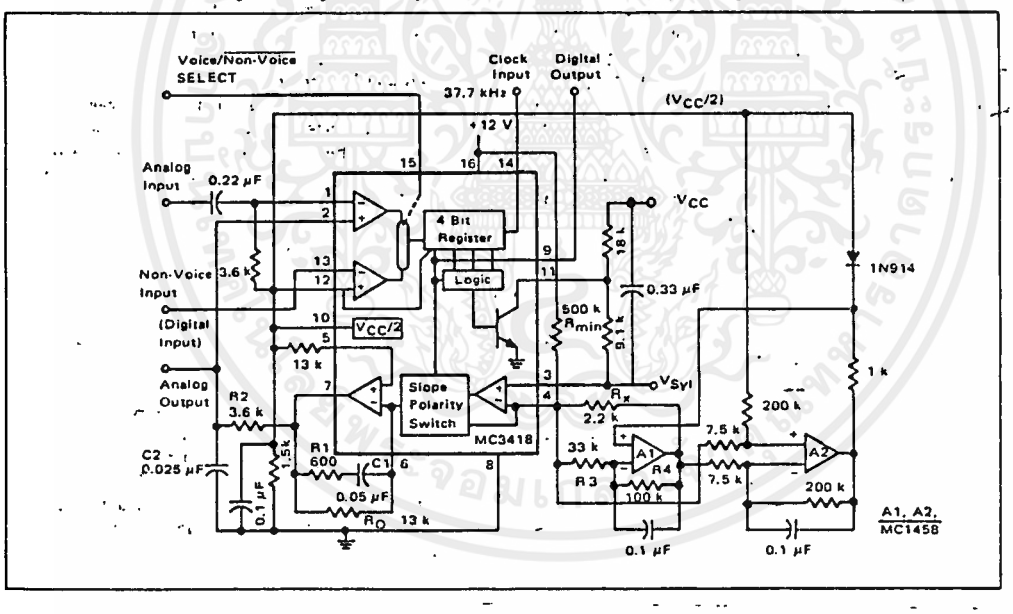
The present step size of the operating codec is directly related to the voltage across R_X, which established the integrator current. In Figure 18, the voltage across R_X is amplified by the differential amplifier A2 whose output is single ended with respect to Pin 10 of the IC.

For large signal inputs, the step size is large and the output of A2 is lower than 0.7 volts. Thus D1 is fully on. The present step size is not a factor in the step size control. However, the difference between 12% companding ratio and the instantaneous companding ratio at Pin 4 is amplified by A1. The output of A1 changes the voltage across R_X in a direction which reduces the difference between the companding reference and the operating ratio by changing the step size. The ratio of R4 and R3 determines how closely the voltage at Pin 4 will be forced to 12%. The selection of R3 and R4 is initially experimental. However, the resulting companding control is dependent on R_X, R3, R4, and the full diode drop D1. These values are easy to reproduce from codec to codec.

For small input levels, the companding ratio reference becomes the output of A2 rather than the diode drop. The operating companding ratio on Pin 4 is then compared to a companding ratio smaller than 12% which is determined by the voltage drop across R_X and the gain of A2 and A1. The gain of A2 is also experimentally determined, but once determined, the circuitry is easily

FIGURE 18 – TELEPHONE QUALITY DELTAMOD CODER

(Both double integration and active companding control are used to obtain improved CVSD performance. Laser trimming of the integrated circuit provides reliable idle channel and step size range characteristics.)

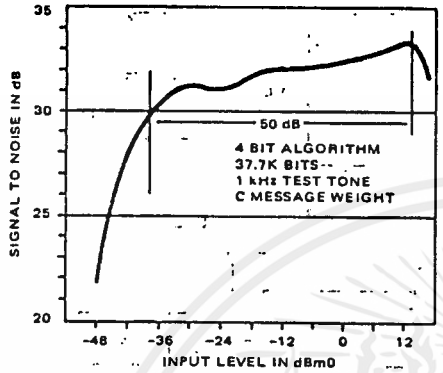


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

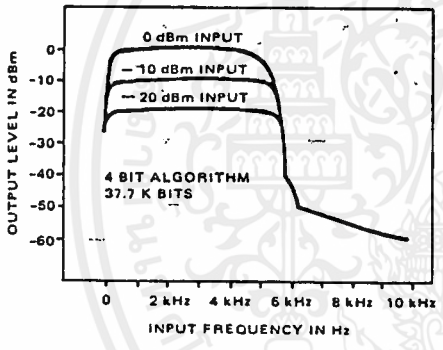
TELEPHONE CARRIER QUALITY CODEC USING MC3418 (continued)

FIGURE 19 – SIGNAL-TO-NOISE PERFORMANCE AND FREQUENCY RESPONSE
(Showing the improvement realized with the circuit in Figure 18.)

a. SIGNAL-TO-NOISE PERFORMANCE OF TELEPHONY QUALITY DELTAMODULATOR



b. FREQUENCY RESPONSE versus INPUT LEVEL (SLOPE OVERLOAD CHARACTERISTIC)



repeated.

With no input signal, the companding ratio at Pin 4 goes to zero and the voltage across R_X goes to zero. The voltage at the output of A2 becomes zero since there is no drop across R_X. With no signal input, the actively controlled step size vanished.

The minimum step size is established by the 500 k resistor between V_{CC} and $V_{CC}/2$ and is therefore independently selectable.

The signal to noise results of the active companding network are shown in Figure 19. A smooth 2 dB drop is realized from +12 dBm to −24 under the control of A1. At −24 dBm, A2 begins to degenerate the companding reference and the resulting step size is reduced so as to extend the dynamic range of the codec by 20 dBm.

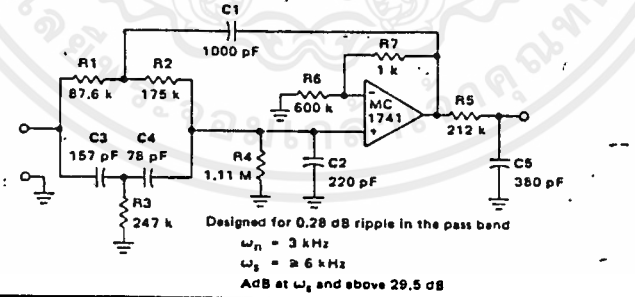
The slope overload characteristic is also shown. The active companding network produces improved performance with frequency. The 0 dBm slope overload point is raised to 4.8 kHz because of the gain available in controlling the voltage across R_X. The curves demonstrate that the level linearity has been maintained or improved.*

The codec in Figure 18 is designed specifically for 37.7K bit systems. However, the benefits of the active companding network are not limited to high bit rate systems. By modifying the crossover region (changing the gain of A2), the active technique may be used to improve the performance of lower bit rate systems.

The performance and repeatability of the codec in Figure 18 represents a significant step forward in the art and cost of CVSD codec designs.

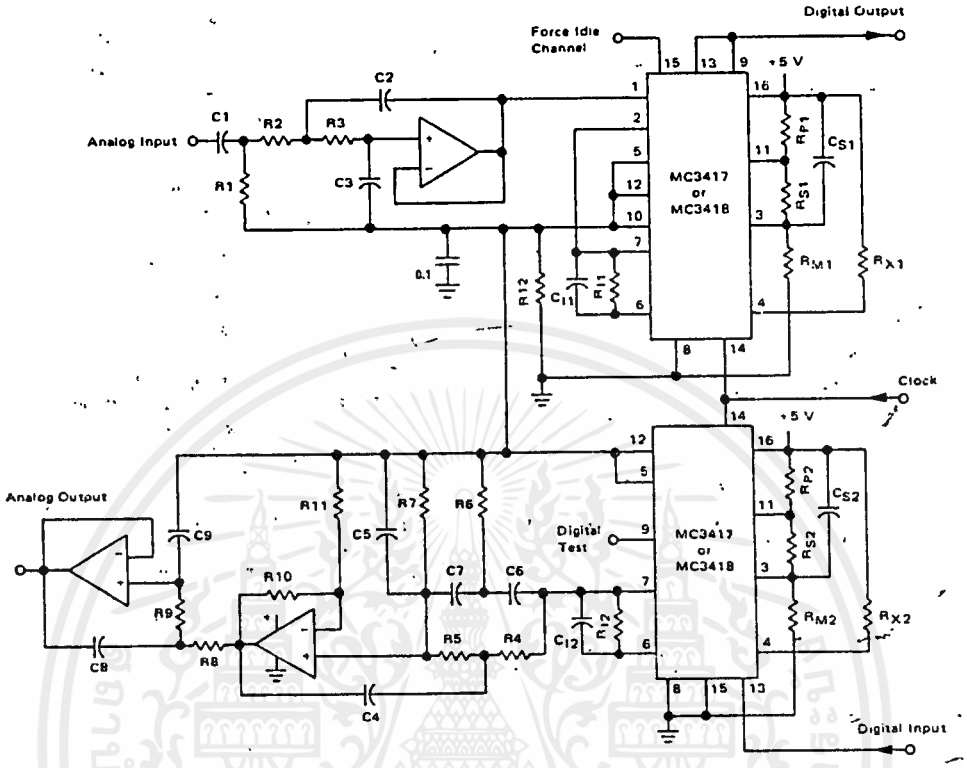
*A larger value for C2 is required in the decoder circuit than in the encoder to adjust the level linearity with frequency. In Figure 18, 0.050 μF would work well.

FIGURE 20 – HIGH PERFORMANCE ELLIPTIC FILTER FOR CVSD OUTPUT



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

FIGURE 21 – FULL DUPLEX/32K BIT CVSD VOICE CODEC USING MC3517/18 AND MC3503/6 OP AMP



Codec Components

R_{X1}, R_{X2} – 3.3 kΩ
R_{P1}, R_{P2} – 3.3 kΩ
R_{S1}, R_{S2} – 100 kΩ
R_{11}, R_{12} – 20 kΩ
R_{12} – 1 kΩ
R_{M1}, R_{M2} - 5 MΩ (MC3417)
Minimum step size = 20 mV
R_{M1}, R_{M2} – 15 MΩ (MC3418)
Minimum step size = 6 mV

C_{S1}, C_{S2} – 0.05 µF
C_{11}, C_{12} – 0.05 µF

2 MC3417 (or MC3418)
1 MC3403 (or MC3406)

Note: All Res. 5%
All Cap. 5%

Input Filter Specifications

12 dB/Octave Rolloff above 3.3 kHz
6 dB/Octave Rolloff below 50 Hz

Output Filter Specifications

Break Frequency – 3.3 kHz
Stop Band – 9 kHz
Stop Band Atten. – 50 dB
Rolloff – > 40 dB/Octave

Filter Components

R1 – 965 Ω
R2 – 72 kΩ
R3 – 72 kΩ
R4 – 63.46 kΩ
R5 – 127 kΩ
R6 – 365.5 kΩ
R7 – 1.645 MΩ
R8 – 72 kΩ
R9 – 72 kΩ
R10 – 29.5 kΩ
R11 – 72 kΩ

C1 – 3.3 µF
C2 – 837 pF
C3 – 536 pF
C4 – 1000 pF
C5 – 222 pF
C6 – 77 pF
C7 – 38 pF
C8 – 837 pF
C9 – 536 pF

Note: All Res. 0.1% to 1%.
All Cap. 1.0%

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

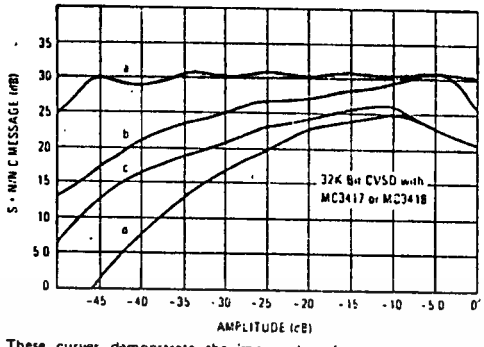
COMPARATIVE CODEC PERFORMANCE

The salient feature of CVSD codecs using the MC3517 and MC3518 family is versatility. The range of codec complexity tradeoffs and bit rate is so wide that one cannot grasp the interdependency of parameters for voice applications in a few pages.

Design of a specific codec must be tailored to the digital channel bandwidth, the analog bandwidth, the quality of signal transmission required and the cost objectives. To illustrate the choices available, the data in Figure 22 compares the signal-to-noise ratios and dynamic range of various codec design options at 32K bits. Generally, the relative merits of each design feature will remain intact in any application. Lowering the bit rate will reduce the dynamic range and noise performance of all techniques. As the bit rate is increased, the overall performance of each technique will improve and the need for more complex designs diminishes.

Non-voice applications of the MC3517 and MC3518 are also possible. In those cases, the signal bandwidth and amplitude characteristics must be defined before the specification of codec parameters can begin. However, in general, the design can proceed along the lines of the voice applications shown here, taking into account the different signal bandwidth requirements.

FIGURE 22 – COMPARATIVE CODEC PERFORMANCE – SIGNAL-TO-NOISE RATIO FOR 1 kHz TEST TONE



These curves demonstrate the improved performance obtained with several codec designs of varying complexity.

Curve a — Complex companding and double integration (Figure 18 — MC3418)
Curve b — Double integration (Figure 14 using Figure 16 — MC3418)
Curve c — Single integration (Figure 14 — MC3418) with 6.0 mV step size
Curve d — Single integration (Figure 14 — MC3417) with 25 mV step size

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

REFERENCE BOOKS

1. MOTORORA TELECOMMUNICATIONS DEVICE DATA.

2. SEMICONDUCTOR 84^{th}.

3. SEMICONDUCTOR 85^{th}.

4. SEMICONDUCTOR 99^{th}.

5. ANALOG IC DATABOOK.
   Precision analog integrated circuits '1988.

6. MICROCOMPUTER INTERFACING HANDBOOK.
   A/D & D/A.
   By JOSEPH J. CARR.
   First printing.

7. MOTOROLA inc.
   LINEAR AND INTERFACING INTEGRATED CIRCUIT.
   Previous Edition '1983.

8. C LANGUAGE ALGORITHMS FOR DIGITAL SIGNAL PROCESSING.
   By PAUL M. EMBREE & BRUCE KIMBILE '1991.

9. FOURIER ANALYSIS
   By HWEI P.HSU, Ph.D.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้