โครงข่ายโทรศัพท์แบบดิจิตอล
สำหรับเส้นใยนำแสง
DIGITAL TELEPHONE NETWORK
FOR OPTICAL FIBER

โดย
ปาริฉัตร์ ทรงสุรเวทย์
ปิยพงศ์ เผ่าวณิช
ปิยะนุช ม่วงยิ้มพงษ์

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตร์บัณฑิต
สาขาวิศวกรรมอิเลคทรอนิคส์
สถาบันเทคโนโลยีพระจอมเกล้าฯเจ้าคุณทหารลาดกระบัง
ปีการศึกษา 2535

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ปีการศึกษา 2535

โครงข่ายโทรศัพท์แบบดิจิตอลสำหรับเส้นใยนำแสง

โดย

นางสาว ปาริฉัตร์ ทรงสุรเวทย์
นาย ปิยพงศ์ เผ่าวณิช
นางสาว ปิยะนุช ม่วงยิ้มพงษ์

อาจารย์ที่ปรึกษา

อาจารย์ สมศักดิ์ เชียร์ศิริกุล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

032538

ปริญญานิพนธ์ปีการศึกษา 2535
ภาควิชา อิเลคทรอนิคส์
คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าฯเจ้าคุณทหารลาดกระบัง
เรื่อง โครงข่ายโทรศัพท์แบบดิจิตอลสำหรับเส้นใยนำแสง
ผู้จัดทำ

1. นางสาว ปาริฉัตร์ ทรงสุรเวทย์ 32.1185
2. นาย ปิยพงศ์ เผ่าวณิช 32.1188
3. นางสาว ปิยะนุช ม่วงยิ้มพงษ์ 32.1191

.....

(อาจารย์ สมศักดิ์ เชียร์ศิริกุล) อาจารย์ที่ปรึกษา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

032538

โครงข่ายโทรศัพท์ระบบดิจิตอลโดยเส้นใยนำแสง

นางสาว ปาริฉัตร์ ทรงสุรเวทย์
นาย ปิยพงศ์ เผ่าวณิช
นางสาว ปิยะนุช ม่วงยิ้มพงษ์

อ.สมศักดิ์ เชียร์ศิริกุล อาจารย์ที่ปรึกษา
ปีการศึกษา 2535

บทคัดย่อ

ในยุคปัจจุบันที่เทคโนโลยีมีความก้าวหน้าขึ้นอย่างรวดเร็วนี้ ได้ก่อให้เกิดเทคนิคมากมายในการจัดการกับสัญญาณต่างๆ เพื่อเพิ่มประสิทธิภาพในการรับส่งสัญญาณเหล่านี้ ซึ่งในปริญญานิพนธ์ฉบับนี้จะเป็นการศึกษาและพัฒนา ชุมสายโทรศัพท์ระบบดิจิตอล ที่อาศัยเทคนิคในการเข้ารหัสข้อมูล โดยวิธี พัลส์ โค้ด มอดูเลชั่น โดยมีการเข้ารหัสสัญญาณเสียงให้เป็นสัญญาณดิจิตอลขนาด 8 บิท และทำการรับ-ส่งสัญญาณดิจิตอลเหล่านี้ ด้วยการแบ่งช่วงเวลาแบบ ไทม์ ดิวิชั่น มัลติเพล็กซ์ ซึ่งจะทำให้การติดต่อสื่อสารระหว่างชุมสายโทรศัพท์ระบบนี้อาศัยสายส่งเพียง 2 เส้นเท่านั้น คือ สายรับ และ สายส่ง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

DIGITAL TELEPHONE NETWORK FOR OPTICAL FIBER

Miss Parichat Songsurawate
Mr. Piyapong Paowanich
Miss Piyanuch Muangyimpong

Mr. Somsak Chearsirikul Advisor

1992

Abstract

Nowadays ,in a period of advanced technology, it gives many technical methods for gaining more efficient technique in transmitting and receiving information. This thesis describes a study and development of a digital telephone network that uses Pulse Code Modulation technique to encode voice signal to be an 8-bit digital signal and then transmits and receives this signal with a time sharing method ,Time Division Multiplex, that yeild only 2 lines for transmitting and receiving between two exchanges. These are transmitted line and received line.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ

บทที่ 1	บทนำ	1
บทที่ 2	หลักการของการสื่อสารแบบดิจิตอล เส้นใยนำแสง และ ระบบสวิทชิงโทรศัพท์	5
บทที่ 3	PCM (PULSE CODE MODULATION)	9
	TDM (TIME DIVISION MULTIPLEXING)	14
บทที่ 4	หลักการทำงานและการออกแบบวงจร	
	ส่วนเชื่อมต่อคู่สายโทรศัพท์	15
	ส่วนสร้างสัญญาณโทรศัพท์	19
	วงจรออสซิลเลเตอร์	21
	วงจรสุ่มสัญญาณและกำหนดช่องสัญญาณ	23
	วงจรถอดรหัสสัญญาณ	24
	วงจรสวิทช์พาธ	33
	วงจรส่วนเชื่อมต่อกับสายไฟเบอร์ออปติก	35
	วงจรรับส่งข้อมูลระหว่างชุมสาย	39
บทที่ 5	การทดลองและผลการทดลอง	41
บทที่ 6	บทสรุปและวิจารณ์ผล	45
	ภาคผนวก	
	กิตติกรรมประกาศ	
	หนังสืออ้างอิง	

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 1

บทนำ (INTRODUCTION)

1.1 จุดประสงค์

โครงงานนี้จัดทำขึ้นเพื่อศึกษาเกี่ยวกับระบบการสื่อสารแบบดิจิตอล ซึ่งกำลังเป็นที่นิยมและนำมาใช้แทนการสื่อสารแบบเดิมที่ใช้การส่งด้วยสัญญาณอนาลอก การสื่อสารด้วยสัญญาณดิจิตอลแบบ PCM เป็นชนิดหนึ่งที่มีการใช้งานอย่างกว้างขวาง โดยเฉพาะในระบบชุมสายโทรศัพท์

จึงได้ทดลองสร้างระบบชุมสายโทรศัพท์แบบ PCM ขึ้น 2 ชุมสาย แต่ละชุมสายมีขนาด 3 ช่องสัญญาณ ซึ่งตามมาตรฐาน ของ CCITT (The International Telegraph and Telephone Consultative Committee) มีขนาดถึง 24 ช่องสัญญาณ แต่ละชุมสายสามารถต่อเครื่องลูกโทรศัพท์ได้ 22 เครื่อง และทำการทดลองรับส่งสัญญาณระหว่างกัน ซึ่งระหว่างชุมสายทั้งสองจะใช้สายส่งสัญญาณเพียง 2 คู่ เพราะใช้การส่งสัญญาณแบบ TDM ตัวสายส่งใช้เส้นใยนำแสง ซึ่งมีความเหมาะสมสำหรับสัญญาณดิจิตอล

หรือสามารถแบ่งวัตถุประสงค์ของการศึกษาโครงงานวิจัยนี้ เป็นข้อ ๆ ดังนี้

1. เพื่อศึกษา ออกแบบ และสร้างโครงข่ายโทรศัพท์ขนาดเล็กแบบดิจิตอล
2. เพื่อศึกษารูปแบบการสื่อสารแบบดิจิตอล
3. เพื่อศึกษาการใช้งานเส้นใยนำแสงสำหรับงานการสื่อสาร

1.2 คุณสมบัติของเครื่องชุมสายโทรศัพท์ระบบดิจิตอลที่สร้างขึ้น

1. แปลงสัญญาณเสียงด้วยวิธีพัลส์โคดมอดูเลชัน (Pulse Code Modulation ;PCM)
2. มัลติเพลกซ์แบบแบ่งช่วงเวลา (Time Division Multiplex ;TDM)
3. ระบบสวิทชิงแบบดิจิตอล Time switch
4. ใช้เส้นใยนำแสงเป็นช่องสัญญาณระหว่างโครงข่าย
5. มีจำนวนคู่สายในแต่ละโครงข่าย 3 คู่สาย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

1.3 ส่วนประกอบของระบบ

แบ่งออกเป็นส่วนย่อย ๆ ได้ดังนี้

1. **ส่วนเชื่อมต่อคู่สายโทรศัพท์** (Subscriber Loop Interface Circuit) โดยใช้ไอซี เบอร์ MC3419L ทำหน้าที่ แยกสัญญาณรับส่ง จ่ายไฟเลี้ยงDC ให้แก่เครื่องโทรศัพท์ แสดงสถานะการยกหู และควบคุมการส่งสัญญาณเรียก (Ringing Tone)

2. **ส่วนกำเนิดสัญญาณ** (Tone Generator) ทำหน้าที่สร้างสัญญาณให้หมุน (Dial Tone) สัญญาณเรียกกลับ (Ringback Tone) สัญญาณไม่ว่าง (Busy Tone) สัญญาณเรียก (Ringing Tone)

3. วงจรออสซิลเลเตอร์ (Oscillator) ทำหน้าที่กำเนิดความถี่ เพื่อกำหนดจังหวะการทำงานของไอซีสุ่มสัญญาณและกำหนดช่องสัญญาณโดยจะสร้างสัญญาณพัลส์ที่มีค่าคงที่ออกมาตลอดเวลา

4. วงจรสุ่มสัญญาณและกำหนดช่องสัญญาณ (Sampling and Time slot) ทำหน้าที่รับและส่งข้อมูลดิจิตอลระหว่างคู่สายแต่ละคู่สายผ่านทางโทรศัพท์ วงจรสุ่มสัญญาณใช้ไอซีของโมโตโรลา เบอร์ MC14400 ส่วนวงจรกำหนดช่องสัญญาณในการส่งข้อมูลของแต่ละช่องสัญญาณใช้ไอซีของโมโตโรลาเบอร์ MC14416

5. วงจรถอดรหัสสัญญาณหรือถอดรหัสความถี่โทรศัพท์ (Integrated DTMF Receiver) ทำหน้าที่ถอดรหัสความถี่ซึ่งเกิดจากการกดปุ่มตัวเลขของโทรศัพท์ชนิดกดปุ่ม (ชนิด Tone) ให้เป็นระบบตัวเลข BCD ขนาด 4 บิต

6. วงจรสวิทช์พาธ (Switch Path) ทำหน้าที่เป็นสวิทช์ควบคุมการผ่านเข้าออกของสัญญาณในแต่ละชุมสาย หรือการควบคุมให้เครื่องใดทำหน้าที่รับ หรือส่ง ตามต้องการ วงจรที่ใช้สามารถต่อสัญญาณให้ผ่านได้พร้อมกัน 4 คู่สาย โดยไม่เกิดการต่อช้อน (Crosstalk) รวมทั้งติดต่อได้ 2 ทิศทางอีกด้วย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

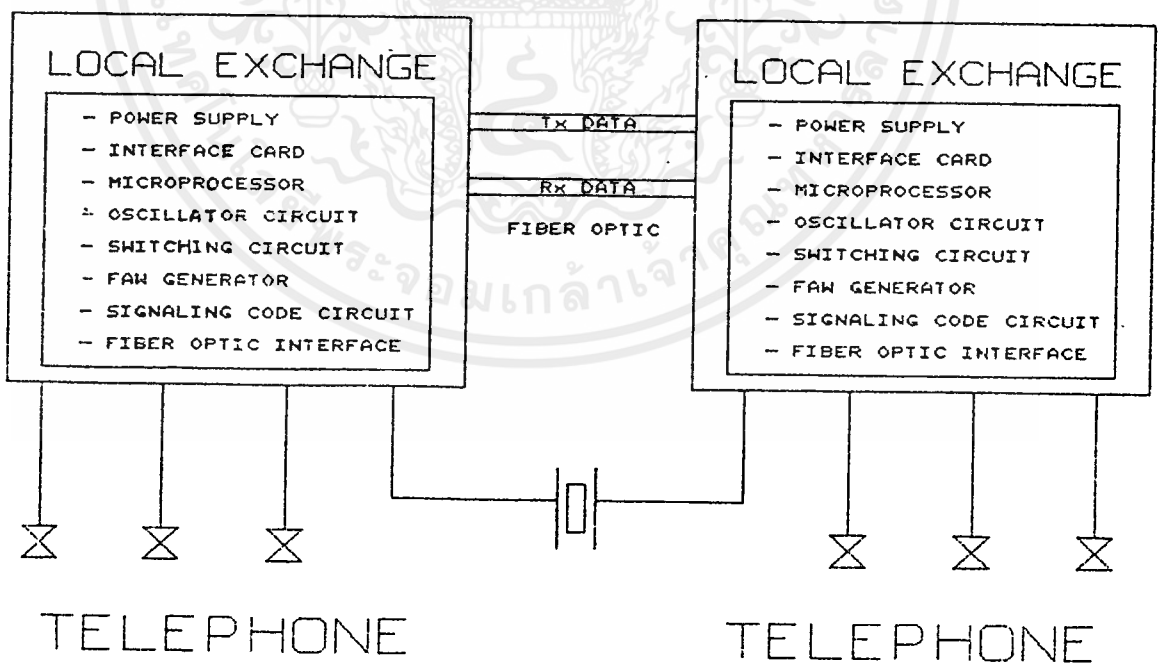
7. วงจรส่วนเชื่อมต่อกับสายไฟเบอร์ออพติก

แบ่งออกเป็นวงจรส่งสัญญาณโดยการผสม(modulation) สัญญาณมากับแสงเลเซอร์ และวงจรรับสัญญาณแสงซึ่งจะทำหน้าที่เปลี่ยนแสงเป็นกระแสไฟฟ้า แสงเลเซอร์ที่ส่งจะส่งผ่านทางสายไฟเบอร์ออพติก (Fiber Optic)

8. วงจรรับส่งข้อมูลระหว่างชุมสาย

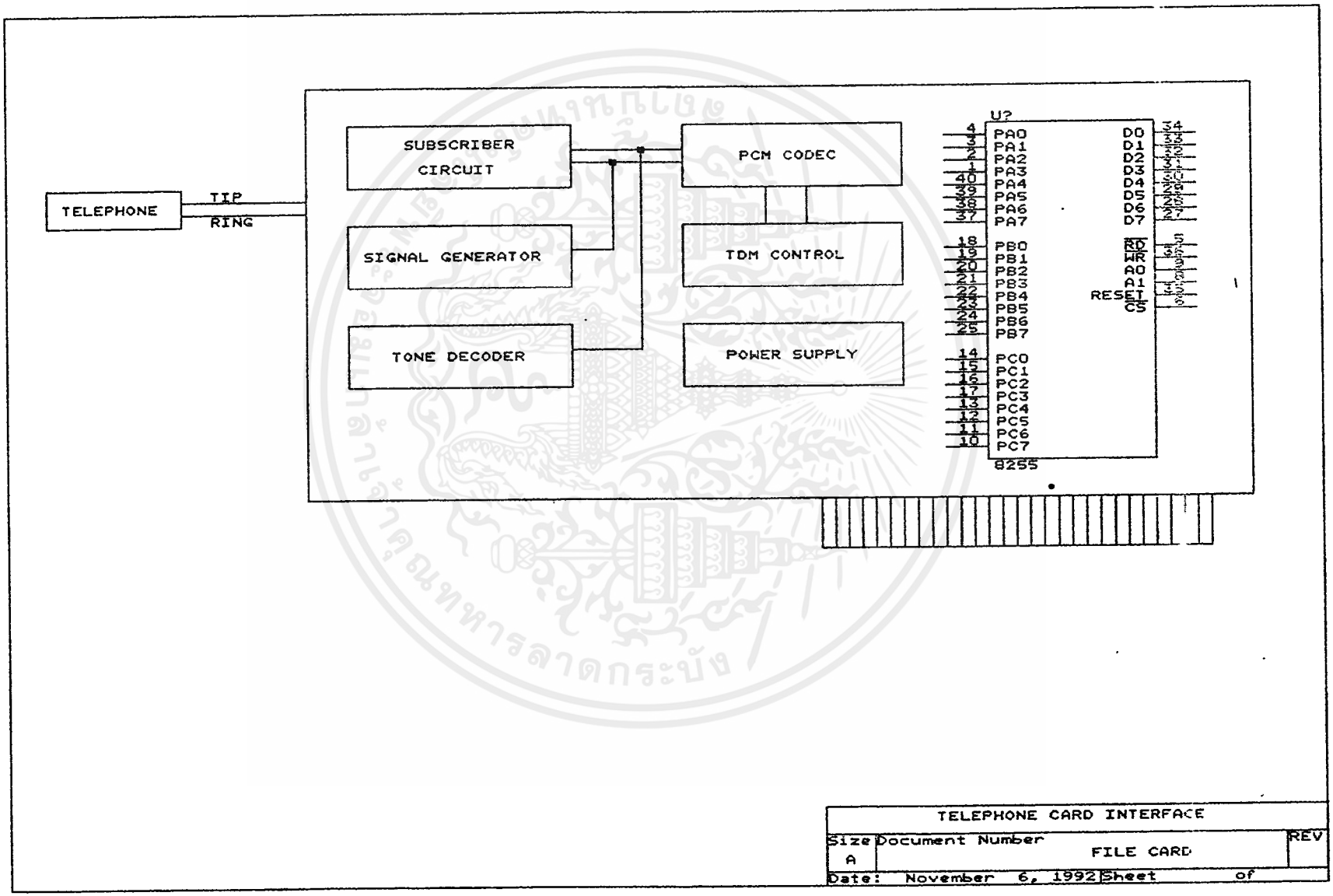
วงจรรับส่งข้อมูลระหว่างชุมสายเป็นวงจรที่ทำหน้าที่สร้างสัญญาณ FAW เพื่อให้อีกชุมสายสามารถทำงานได้สอดคล้องกัน และสัญญาณ SIGNALING เพื่อบอกให้อีกชุมสายทราบสถานะโทรศัพท์ของชุมสายตัวเอง โดยจะประกอบไปด้วยวงจรส่วนส่งข้อมูลและรับข้อมูลซึ่งมีสองชุดที่เหมือนกันคือ ชุดรับ-ส่งข้อมูลที่เป็นสัญญาณ FAW และชุดรับส่งข้อมูลที่เป็นสัญญาณ SIGNALING

9. ส่วนควบคุมการทำงานของระบบ (Control Unit) เป็นส่วนที่ใช้ควบคุมการทำงานของชุมสายโทรศัพท์ที่สร้างขึ้น มีไมโครโปรเซสเซอร์สำหรับควบคุมการทำงานและประมวลผลข้อมูลของโทรศัพท์แต่ละคู่สาย ในโครงงานนี้ใช้ไมโครโปรเซสเซอร์ตระกูล MCS-51 ซึ่งมีคุณสมบัติเหมาะสมสำหรับนำมาใช้ควบคุมระบบ



ภาพแสดง block diagram ของระบบ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้


TELEPHONE
TIP
RING
SUBSCRIBER CIRCUIT
SIGNAL GENERATOR
TONE DECODER
PCM CODEC
TDM CONTROL
POWER SUPPLY
U?
PA0
PA1
PA2
PA3
PA4
PA5
PA6
PA7
PB0
PB1
PB2
PB3
PB4
PB5
PB6
PB7
PC0
PC1
PC2
PC3
PC4
PC5
PC6
PC7
D0
D1
D2
D3
D4
D5
D6
D7
RD
WR
A0
A1
RESET
CS
8255
TELEPHONE CARD INTERFACE
Size A
Document Number
FILE CARD
REV
Date: November 6, 1992
Sheet of

บทที่ 2
หลักการของการสื่อสารแบบดิจิตอล เส้นใยนำแสง และระบบสวิทชิงโทรศัพท์

2.1 คุณสมบัติของการสื่อสารด้วยสัญญาณดิจิตอล

สัญญาณแบบดิจิตอลสามารถนำมาใช้สื่อสารแทนสัญญาณอนาลอก โดยการแปลงสัญญาณจากอนาลอกให้เป็นดิจิตอล แล้วนำไปเข้ารหัสหรือจัดแปลงให้เหมาะสมกับการส่ง ซึ่งจะขึ้นอยู่กับวิธีการส่งและตัวสายส่ง ข้อดีของการสื่อสารด้วยสัญญาณดิจิตอล ที่สำคัญมีดังนี้

1. สะดวกต่อการมัลติเพลกซ์
2. สะดวกในการส่งสัญญาณควบคุม โดยจะกำหนดให้ช่องเวลาช่องหนึ่งในระบบ TDM เป็นช่องสำหรับรับส่งสัญญาณควบคุม
3. สัญญาณรบกวนต่ำ ในระบบอนาลอกนั้น สัญญาณรบกวน(Noise) และสัญญาณสอดแทรก (Interference) สามารถเข้าไปผสมและผ่านไปยังผู้รับได้ง่าย กล่าวคือ ในระหว่างการส่งถ้ามีการขยายสัญญาณข้อมูล ก็จะทำการขยายสัญญาณรบกวนเหล่านี้ไปด้วย แต่ในระบบดิจิตอลนั้น สัญญาณอยู่ในรูปของระดับแรงดัน 0 (low) และ 1 (high) ถ้าสัญญาณรบกวนมีขนาดไม่มากพอที่จะทำให้สัญญาณจริงเปลี่ยนระดับได้ ก็จะไม่มีผลไปถึงผู้รับ
4. ง่ายต่อการเข้ารหัส ในกรณีที่ต้องการให้ข้อมูลนั้นเป็นความลับ เราสามารถเข้ารหัสข้อมูล เช่น การสแครมเบลอร์ ที่ปลายทางก็จะมีวงจรดีสแครมเบลอร์สำหรับถอดรหัส

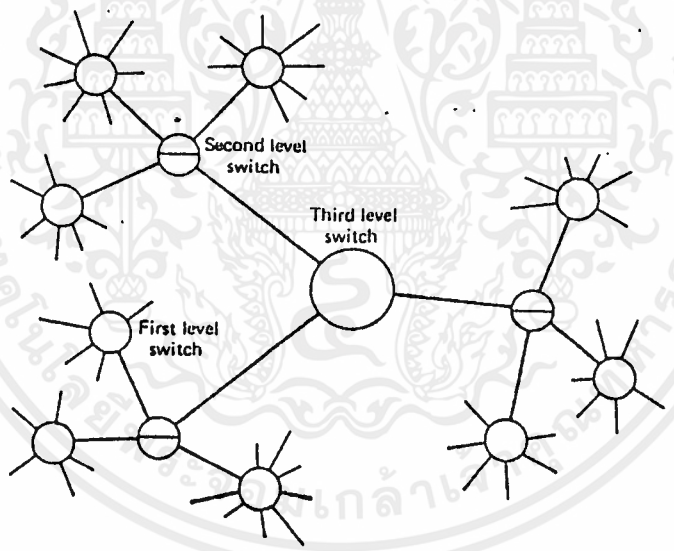
อย่างไรก็ตามระบบสื่อสารแบบดิจิตอลก็มีข้อเสียอยู่ ที่สำคัญคือ

1. เพิ่มแบนด์วิดธ์ของสัญญาณ เช่น สัญญาณเสียงพูดสำหรับโทรศัพท์ ซึ่งกำหนดไว้ว่ามีแบนด์วิดธ์ไม่เกิน 3.4 KHz เมื่อแปลงเป็นสัญญาณดิจิตอลแล้วส่งด้วยอัตรา 2.048 Mb/s. อย่างน้อยที่สุดสายส่งที่ใช้ต้องมีผลตอบสนองต่อความถี่ในย่าน 2.048 MHz ได้ ทำให้ต้องใช้สายส่งที่มีราคาแพงขึ้น
2. การซิงโครไนเซชัน (Synchronization) ทางด้านรับนั้นต้องมีวงจรสร้างสัญญาณเวลาที่ซิงโครไนซ์ (Synchronize) กับทางด้านส่งสำหรับตรวจจับ (sample) สัญญาณที่เข้ามาแต่ละบิท (bit) ไม่ให้ผิดพลาด รวมทั้งจะต้องรู้จุดเริ่มต้นของขบวนสัญญาณ(data stream) ด้วย ดังนั้นจึงต้องมีวงจรซิงโครไนเซชันที่ทำให้สัญญาณเวลาทางด้านรับซิงโครไนซ์กับทางด้านส่ง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.2 ระบบสวิทชิ่งโทรศัพท์

ระบบสวิทชิ่งที่พัฒนาขึ้นนี้ใช้ไมโครคอมพิวเตอร์ในการควบคุมการตัดต่อ จึงมีชื่อเรียกโดยทั่วไปว่าระบบ SPC (Stored Program Control) ซึ่งมีข้อดีเหนือระบบสเต็ปบายสเต็ป (step-by-step) และระบบครอสบาร์ (crossbar) ที่ใช้กันอยู่เดิม คือไม่ต้องใช้อุปกรณ์อิเลคโตรเมคคานิคอล (electromechanical) เช่น รีเลย์ (relay) ในการตัดต่อสวิทชิ่งแมททริก (switching matrix) และอุปกรณ์ควบคุมต่าง ๆ เพราะใช้วิธีการตัดต่อช่องสัญญาณภายในตารางข้อมูลที่เป็นหน่วยความจำของคอมพิวเตอร์ ระบบสวิทชิ่งจึงมีขนาดเล็กลง ราคาถูก ง่ายต่อการบำรุงรักษา นอกจากนี้ยังสามารถเพิ่มประสิทธิภาพอื่น ๆ ให้แก่ผู้ใช้ได้ เช่นการหมุนหรือตอบรับโทรศัพท์อัตโนมัติ เก็บข้อมูล จัดประชุมทางโทรศัพท์หรือต่อพ่วงอุปกรณ์อื่น ๆ เข้ามาใช้รับส่งข้อมูลในระบบได้ เช่น คอมพิวเตอร์ เป็นต้น

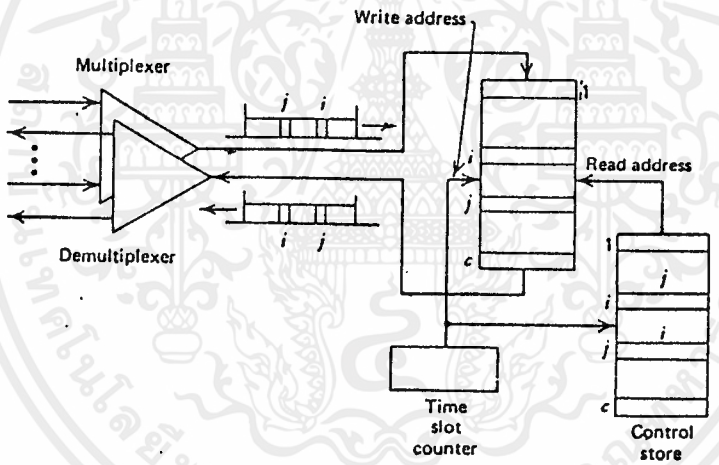


รูป 2.1 รูปแบบของระบบสวิทชิ่ง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ระบบสวิทชิ่งโดยทั่วไปแสดงได้ด้วยรูป 2.1 ในพื้นที่หนึ่ง ๆ ที่มีผู้ใช้โทรศัพท์จะมีศูนย์รวมเรียกว่า เซ็นทรัลออฟฟิซ (central office หรือ first level switch) ทำหน้าที่ตัดต่อโทรศัพท์ โดยทั่วไปจะเรียกศูนย์รวมในระดับนี้ว่า EO (End Offices) และหลาย ๆ EO ก็จะติดต่อกับศูนย์รวมอีกระดับหนึ่ง คือ ทอลเซ็นเตอร์ (Toll center หรือ second level switch) เพื่อการติดต่อระหว่างผู้ใช้ที่อยู่ห่างไกลกัน และเช่นเดียวกันก็จะมีศูนย์รวมระดับใหญ่ขึ้นไปเรื่อย ๆ ดังรูป

สำหรับวิธีการตัดต่อช่องสัญญาณนั้น มีหลักการสำคัญอยู่ 2 วิธี คือ ไทม์สวิทช์ (Time switch) และ สเปซสวิท (Space switch) ในระบบใหญ่ ๆ จะใช้ทั้ง 2 วิธีนี้รวมกัน แต่สำหรับระบบขนาดเล็กที่สร้างขึ้นในโครงงานนี้ใช้เฉพาะวิธีไทม์สวิทช์ ซึ่งมีวงจรการทำงานดังรูปที่ 2.2 เพราะเหมาะสมในด้านราคารวมทั้งการออกแบบวงจรด้วย



รูปที่ 2.2 วงจรไทม์สวิทช์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากรูป ข้อมูลหลาย ๆ ช่องสัญญาณซึ่งถูกมัลติเพลกซ์แบบ TDM จะต้องผ่านวงจรซีเรียล-ทู-พาราเลล (serial-to-parallel) เป็นข้อมูลของแต่ละช่องสัญญาณ ก่อนที่จะถูกเขียนลงในหน่วยความจำตามลำดับของช่องสัญญาณ และจะถูกอ่านออกในช่องเวลาที่ต้องการ ซึ่งการเขียนและการอ่านถูกควบคุมโดยวงจรนับช่องเวลาและหน่วยความจำอีกชุดหนึ่ง ซึ่งเก็บแอดเดรส (address) ของการอ่านไว้ มีชื่อเรียกว่า TSI (Time slot interchange) memory

ช่องสัญญาณเข้า (incoming time slot) ถูกเขียนแบบตามลำดับ (sequential write) คือช่องสัญญาณที่ 1 ถูกเขียนลงบนหน่วยความจำลำดับที่ 1 แล้วเรียงกันไปเรื่อย ๆ โดยแอดเดรสจะถูกชี้ด้วยวงจรนับช่องเวลา ส่วนการอ่านถูกอ่านแบบแรนดอม (Random-read) ด้วยข้อมูลของ TSI ที่จะไปชี้แอดเดรสการอ่าน ข้อมูลของ TSI ถูกเขียนโดย CPU ซึ่งเป็นตัวควบคุมการตัดต่อ แล้วข้อมูลที่ได้จากการอ่านก็จะถูกดีมัลติเพลกซ์เข้าโทรศัพท์แต่ละเครื่องต่อไป

2.3 สายส่ง

การส่งสัญญาณข้อมูลไปยังผู้รับมีได้หลายวิธี ทั้งการส่งออกอากาศหรือส่งผ่านสายเคเบิ้ล (cable) ซึ่งมีใช้หลายชนิด ในปัจจุบันชนิดที่มีการนำมาใช้กันอย่างแพร่หลายคือเส้นใยนำแสง ซึ่งมีข้อดีเหนือสายเคเบิ้ลทั่ว ๆ ไปหลายประการ คือ

1. มีขนาดเล็กและน้ำหนักเบา
2. ไม่ถูกรบกวนจากสัญญาณแม่เหล็กไฟฟ้า เนื่องจากส่งด้วยสัญญาณแสงและตัวสายส่งเองก็จะไม่แพร่กระจายคลื่นออกไปภายนอก เนื่องจากคุณสมบัติของเส้นใยนำแสง ทำให้คลื่นหักเหไปมาอยู่เฉพาะภายในสาย ดังนั้นจะไม่มีปัญหาเรื่องครอสทอค (crosstalk)
3. การลดทอน (attenuation) ของสัญญาณน้อยมาก เมื่อเทียบกับสายส่งแบบอื่น ๆ
4. ใช้งานได้ดีที่ความถี่สูง และมีแบนด์วิดธ์กว้างมาก ปัญหาการเกิดดีสเพอชัน (Dispersion) ของสัญญาณที่รับได้ที่ปลายทางจะน้อย เป็นการลดผลของจิทเตอร์(Jitter) อันเนื่องจากสายส่งลงได้มาก

นอกจากเหตุผลดังกล่าวแล้ว ปัจจุบันราคาของอุปกรณ์การสื่อสารด้วยแสงกำลังมีราคาถูกลงเรื่อย ๆ จึงมีความเหมาะสมที่จะนำเส้นใยนำแสงมาใช้เป็นสายส่ง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 3
PCM และการมัลติเพลกซ์แบบ TDM

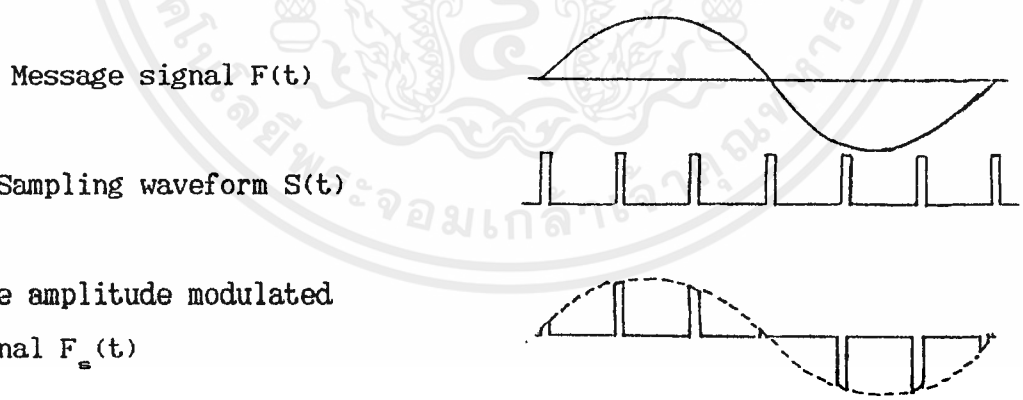
สำหรับโทรศัพท์ในระบบสวิทชิ่งแบบดิจิตอลนี้ เมื่อติดต่อใช้งานกัน สัญญาณเสียงจะถูกแปลงให้เป็นสัญญาณดิจิตอลแบบ PCM กระบวนการแปลงสัญญาณแบ่งออกเป็น

1. การแซมปลิ้ง (sampling)
2. การควอนไทซิ่ง (quantizing)
3. การโคดดิ้ง (coding) ตามลำดับ

ได้เป็นขบวนสัญญาณดิจิตอลขนาด 8 บิท หรือ 1 เวอร์ด สำหรับการแซมปลิ้ง 1 ครั้ง เมื่อนำดิจิตอลเวอร์ดของโทรศัพท์แต่ละเครื่องมาเรียงต่อกันตามลำดับจนครบทุกเครื่อง และรวมสัญญาณควบคุมและ FAW (Frame Alignment Word) แล้ว จะได้ขบวนสัญญาณดิจิตอลขนาด 1 เฟรม (Frame) ซึ่งก็คือการมัลติเพลกซ์แบบ TDM แล้วจึงส่งออกไป รายละเอียดของแต่ละขั้นตอนจะอธิบายในแต่ละหัวข้อดังต่อไปนี้

3.1 การแซมปลิ้ง

สัญญาณข้อมูลซึ่งเป็นอนาลอกจะถูกแซมเปิ้ล(sampled) แต่ละครั้งโดยมีระยะเวลาห่างเท่าๆ กันทุกครั้ง โดยสัญญาณแซมปลิ้งได้เป็นสัญญาณ PAM (Pulse Amplitude Modulation) ดังรูปที่ 3.1



รูปที่ 3.1 ลักษณะสัญญาณของการแซมปลิ้ง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้
032538

สัญญาณ PAM มีความกว้างเท่ากับความกว้างของสัญญาณแซมปลิ้ง และมีขนาดแอมปลิจูด (amplitude) เท่ากับแอมปลิจูดของสัญญาณข้อมูลในขณะที่ถูกแซมเปิ้ล

ถ้ากำหนดให้สัญญาณข้อมูลมีแบนด์-ลิมิท (band-limited) เท่ากับ f_m Hz (หมายความว่าความถี่สูงสุดของสัญญาณข้อมูลไม่เกิน f_m Hz) แล้ว สัญญาณแซมปลิ้ง f_o ต้องมีความถี่มากกว่าหรือเท่ากับ $2f_m$ Hz

$$f_o >= 2f_m \qquad ...(3.1)$$

เพราะว่าที่ปลายทางจะมีวงจรโลว์พาสฟิลเตอร์(lowpass filter) กรองเอาสัญญาณข้อมูลเดิมกลับมา ถ้า f_o มีค่าน้อยกว่า $2f_m$ จะทำให้สัญญาณข้อมูลที่รับได้ที่ปลายทางผิดเพี้ยนไป (Aliasing , Fold-over) เนื่องจากสเปกตรัมของสัญญาณ PAM จะเกิดการโอเวอร์แลป (overlap) กัน ดังนั้น f_o อย่างน้อยที่สุดต้องมีค่าเท่ากับ $2f_m$ อัตราความถี่นี้เรียกว่า คริติคอลแซมปลิ้ง เรท หรือ ไนควิสท์ เรท (critical sampling rate or Nyquist rate) ในทางปฏิบัติเพื่อให้แน่ใจว่าสัญญาณข้อมูลมีแบนด์-ลิมิทไม่เกิน f_m Hz จะต้องมีวงจรโลว์พาสฟิลเตอร์ที่มีอัตราการลดทอนที่จุดคัทออฟสูง (sharp-cutoff) ทำการกรองสัญญาณข้อมูลก่อนที่จะได้รับการแซมปลิ้ง สำหรับสัญญาณเสียงทางโทรศัพท์นั้นกำหนดว่ามีแบนด์วิดธ์ไม่เกิน 3.4 KHz โดยทั่วไปจะใช้ f_o มีค่าเท่ากับ 8 KHz

3.2 ควอนไทเซชันและโคดดิ้ง

เป็นการเปรียบเทียบขนาดของสัญญาณPAM ที่ได้จากการแซมเปิ้ลกับระดับของแรงดันเปรียบเทียบที่ใกล้เคียงกันที่สุด ซึ่งระดับแรงดันเปรียบเทียบนี้จะแบ่งเป็นส่วนย่อย ๆ จำนวนขั้นของส่วนย่อย ๆ ที่เปรียบเทียบได้ก็จะนำมาแปลงเป็นตัวเลขไบนารี (Binary) ต่อไป

วิธีการควอนไทซ์ที่ใช้กันทั่วไป สำหรับการแปลง PCM คือ วิธีนอนยูนิฟอร์ม ควอนไทเซชัน (Nonuniform Quantization) ซึ่งขนาดของแรงดันเปรียบเทียบที่แบ่งเป็นขั้น ๆ จะไม่เท่ากันตลอด เนื่องจากในความเป็นจริง สัญญาณเสียงพูดมีความเป็นไปได้ ที่จะมีขนาดอยู่ในช่วงแรงดันขนาดต่ำ ๆ มากกว่า ดังนั้นเพื่อการควอนไทซ์ที่ดีที่สุด จึงแบ่งขั้น (quantum level) ในช่วงแรงดันน้อย ๆ ให้เป็นขั้นเล็ก ๆ และค่อย ๆ เพิ่มขนาดของขั้นให้ใหญ่ขึ้นในช่วงแรงดันสูง ๆ ในทางปฏิบัติ จะใช้วิธีการกด (compress) ขนาดของสัญญาณ PAM ที่เรียกว่า การคอมแพนดิ้ง (companding) และในที่นี้จะใช้การคอมแพนดิ้งแบบ A law ตามมาตรฐานของ CCITT ขนาด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ของสัญญาณจะถูกกดในลักษณะที่เป็นลิเนียร์ (linear) สำหรับสัญญาณที่มีขนาดเล็ก ๆ แต่เป็นล็อคการิทมิค (logarithmic) สำหรับสัญญาณที่มีขนาดใหญ่ ตามสมการ ดังนี้

$$F_A(x) = \mathrm{sgn}(x)\left\{ \frac{A|x|}{1+\ln(A)} \right\} \qquad 0 \le |x| \le 1/A$$

$$= \mathrm{sgn}(x)\left\{ \frac{1+\ln|Ax|}{1+\ln(A)} \right\} \qquad 1/A \le |x| \le 1 \qquad ..(3.2)$$

โดยที่ $F_A(x)$ = สัญญาณที่ถูกกด

x = สัญญาณอินพุท

$\mathrm{sgn}(x)$ = ขั้ว (polarity) ของสัญญาณ x

ที่ปลายทางด้านรับเมื่อแปลงสัญญาณจากดิจิตอลกลับเป็นอนาลอก เพื่อที่จะให้ได้สัญญาณกลับเหมือนเดิม ก็จะต้องมีการขยาย (Expansion) สัญญาณกลับให้เหมือนเดิมด้วยสมการดังนี้

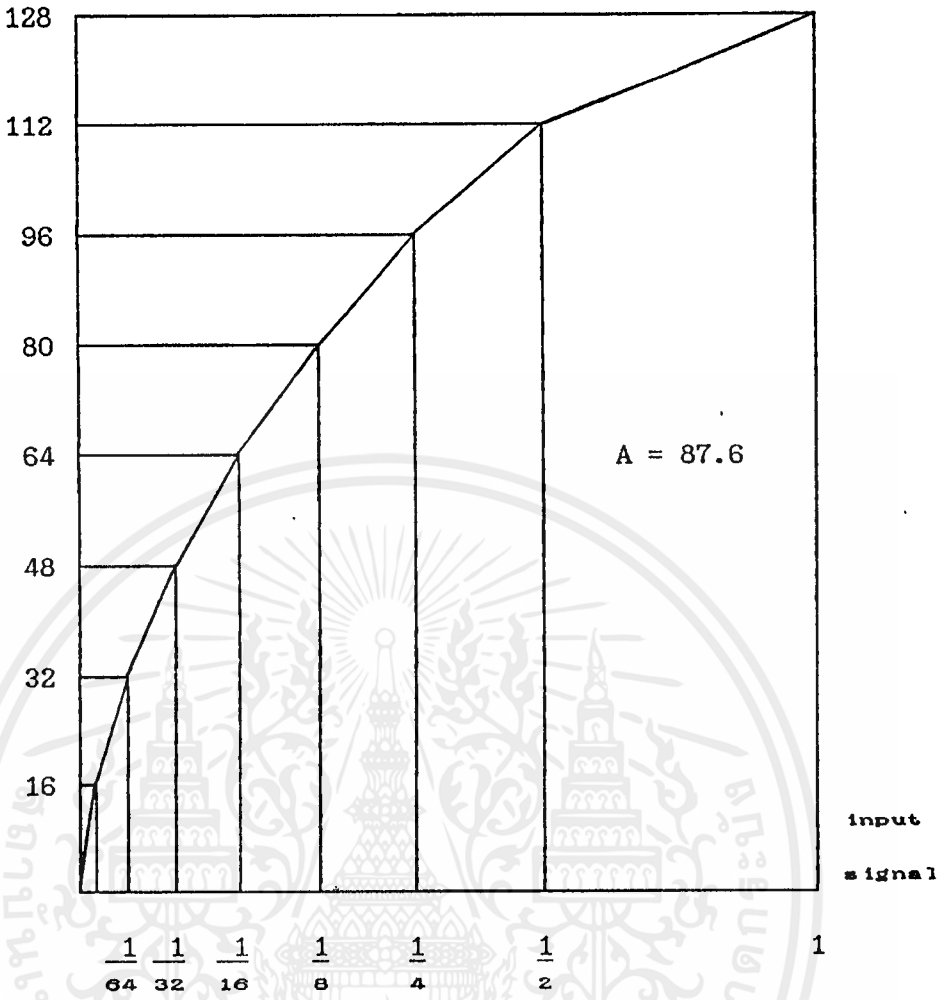
$$F_A^{-1}(y) = \mathrm{sgn}(y)\left\{ \frac{|y|[1+\ln(A)]}{A} \right\} \qquad 0 \le |y| \le \frac{1}{1+\ln(A)}$$

$$= \mathrm{sgn}(y)\left\{ \frac{e^{|y|[1+\ln(A)]-1}}{A} \right\} \qquad \frac{1}{1+\ln(A)} \le |y| \le 1 \qquad ..(3.3)$$

โดยที่ $y = F_A(x)$

จากนี้ก็จะถึงการโค้ดดิ้ง คือการนำค่าของสัญญาณเปรียบเทียบที่ได้จากการควอนไทเซชันมาแปลงเป็นรหัสไบนารี ในทางปฏิบัตินั้นเพื่อความสะดวกและประหยัดในการออกแบบวงจร จึงใช้การควอนไทซ์แบบที่เรียกว่าเซกเมนท์ควอนไทเซชัน (segment quantization) คือการแบ่งช่วงของการกดสัญญาณออกเป็นเซกเมนท์ ในแต่ละเซกเมนท์มีขั้นของการควอนไทเซชันที่เรียกว่าควอนตัมสเต็ปในจำนวนเท่า ๆ กัน แตกต่างกันที่ขนาดของขั้นในแต่ละเซกเมนท์ รูปที่ 3.2 คือกราฟแสดงคุณสมบัติของเซกเมนท์ควอนไทเซชันแบบ A law เมื่อสัญญาณอินพุทเป็นบวก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูป 3.2 เซกเมนท์ควอนไทเซชันแบบ A law

ค่าที่ได้จากการควอนไทซ์แต่ละครั้งจะแปลงเป็นรหัสไบนารีขนาด 8 บิท โดยที่บิทแรก (MSB) เป็นตัวบอกเครื่องหมาย (sign bit or polarity bit) ถ้าเป็น 1 หมายถึงสัญญาณแซมเปิ้ลเป็นบวก 0 หมายถึงสัญญาณแซมเปิ้ลเป็นลบ 3บิทต่อมาเป็นเซกเมนท์โค๊ด (segment code) บอกให้ทราบว่าสัญญาณแซมเปิ้ลนั้นมีขนาดอยู่ในช่วงเซกเมนท์ใด ส่วน 4 บิทสุดท้ายเรียกว่า ควอนไทเซชันโค๊ด หรือ ควอนตัมสเต็ป คือจำนวนของขั้นในเซกเมนท์ซึ่งจะมี 16 ขั้น คุณสมบัติของรหัสแบบ A law นี้ ดูได้จากตารางที่ 3.1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

VOICE DIGITIZATION

SEGMENTED *A*-LAW ENCODING/DECODING TABLE

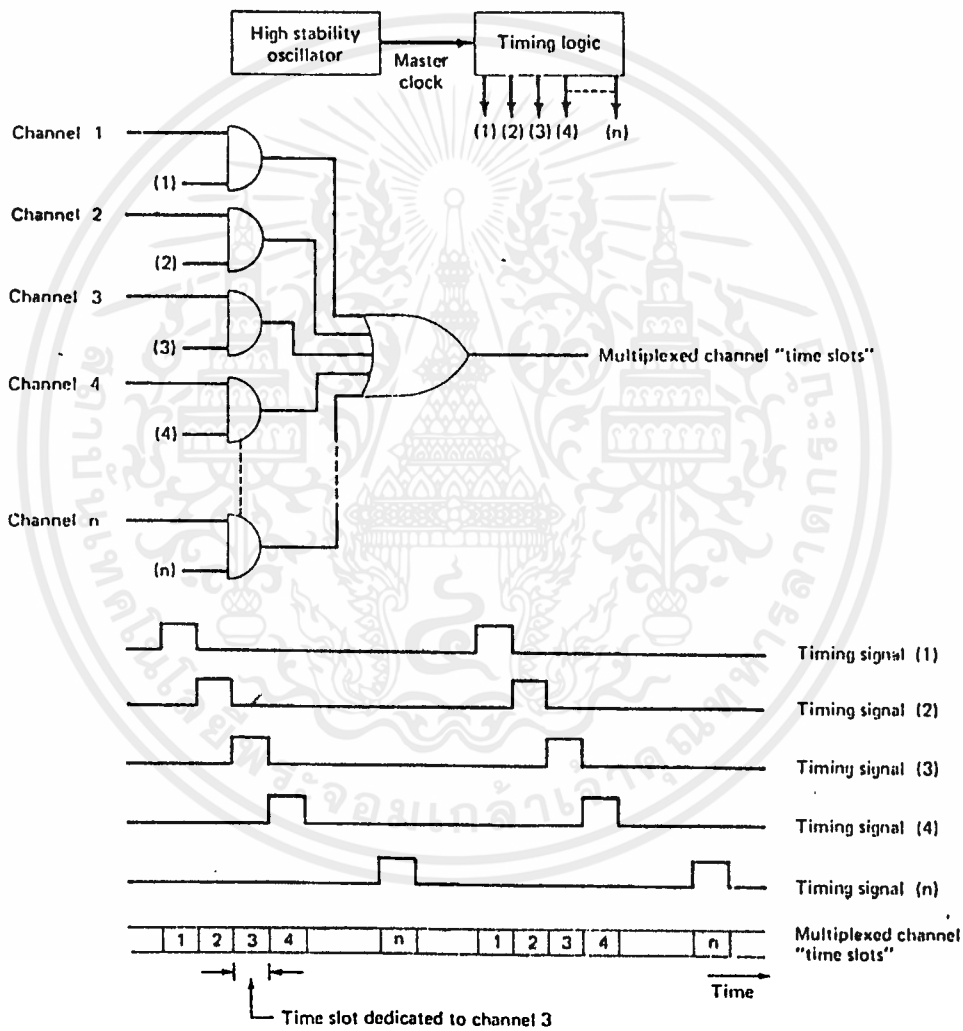
Input Amplitude Range	Step Size	Segment Code S	Quantization Code Q	Code Value	Decoder Amplitude
0-2			0000	0	1
2-4		000	0001	1	3
⋮			⋮	⋮	⋮
30-32	2		1111	15	31
32-34			0000	16	33
⋮		001	⋮	⋮	⋮
62-64			1111	31	63
64-68			0000	32	66
⋮	4	010	⋮	⋮	⋮
124-128			1111	47	126
128-136			0000	48	132
⋮	8	011	⋮	⋮	⋮
248-256			1111	63	252
256-272			0000	64	264
⋮	16	100	⋮	⋮	⋮
496-512			1111	79	504
512-544			0000	80	528
⋮	32	101	⋮	⋮	⋮
992-1024			1111	95	1008
1024-1088			0000	96	1056
⋮	64	110	⋮	⋮	⋮
1984-2048			1111	111	2016
2048-2176			0000	112	2112
⋮	128	111	⋮	⋮	⋮
3968-4096			1111	127	4032

ตาราง 3.1 คุณสมบัติของรหัสแบบ A Law

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.3 TDM

จากหัวข้อที่แล้วหลังจากได้รหัส PCM จากการแซมปลิ้งแต่ละครั้งแล้ว ก็จะถึงการมัลติเพล็กซ์สัญญาณข้อมูลจากหลาย ๆ ช่องสัญญาณให้รวมกันเป็นขบวนสัญญาณเดียวกัน รหัส 8 บิท ที่ได้จากสัญญาณแต่ละช่องจะถูกส่งออกไปแบบซีเรียล (serial) ลงในช่องสัญญาณของตัวเลขดัง รูปที่ 3.3 เป็นลักษณะพื้นฐานของ TDM



รูปที่ 3.3 ลักษณะการมัลติเพลกซ์แบบ TDM

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 4

หลักการทำงานและการออกแบบวงจร

1. วงจรส่วนเชื่อมต่อคู่สายโทรศัพท์

ในส่วนการติดต่อของคู่สายโทรศัพท์ภายในเราใช้ไอซีเบอร์ MC3419 ของบริษัทโมโตโรลา ซึ่งถูกออกแบบมาให้ทำหน้าที่เป็นวงจรไฮบริดทรานสฟอร์เมอร์ (HYBRID TRANSFORMER CIRCUIT) ในเครื่องชุมสายอัตโนมัติและยังทำหน้าที่เป็นซับสไครเบอร์ แคริเออร์ อีควิปเมนต์ (SUBSCRIBER CARRIER EQUIPMENT) ทำการเปลี่ยนการส่งสัญญาณจากแบบ 2 สาย ให้ไปเป็นแบบ 4 สาย

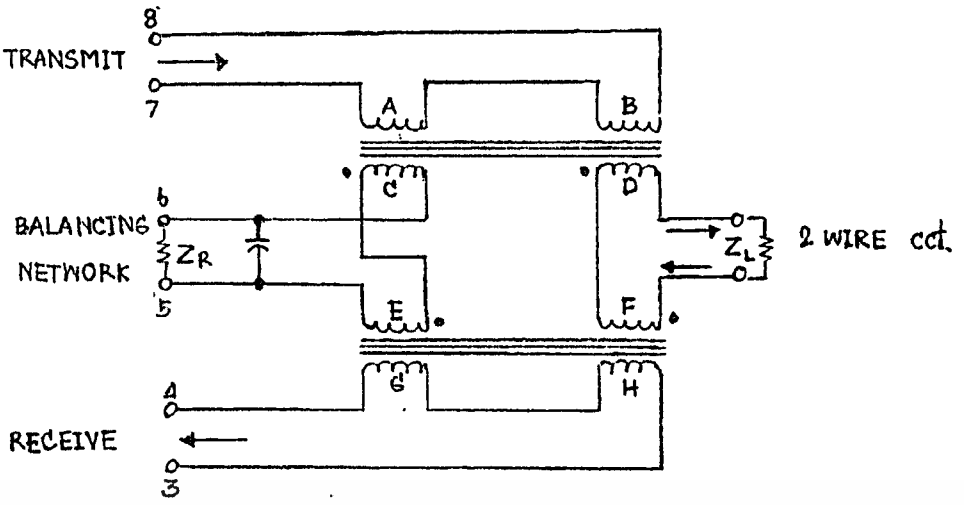
ก่อนที่จะกล่าวถึงการทำงานของวงจรส่วนติดต่อของคู่สายโทรศัพท์ภายใน ซึ่งใช้ไอซีเบอร์ MC3419 นี้ จะขอกล่าวถึงทฤษฎีของวงจรไฮบริดทรานสฟอร์เมอร์และการแปลงการส่งสัญญาณจากแบบสองสาย (TWO-WIRE DIFFERENTIAL) ให้เป็นแบบสี่สาย (FOUR-WIRE SINGLE END) โดยทั่วไปก่อนเพื่อให้เข้าใจและอธิบายการทำงานได้ง่ายขึ้น

วงจรไฮบริดทรานสฟอร์เมอร์ มีหน้าที่เป็นตัวเชื่อมต่อของระบบวงจรสองสายกับวงจรสี่สาย เพื่อการทำงานในลักษณะ ฟูลดิวเพล็กซ์ (FULL DUPLEX) ในการสื่อสารฟูลดิวเพล็กซ์หมายถึงการส่งสัญญาณระหว่างวงจรจะเกิดขึ้นทั้ง 2 ทิศทาง ในเวลาเดียวกัน ระบบวงจรสองสายมักถูกใช้ในวงจรที่ใช้งานในเครื่องของผู้ใช้ เพราะมีราคาถูกกว่าระบบวงจร 4 สาย แต่ในส่วนอื่นนั้นเราจะใช้เน็ทเวอร์คแบบ ระบบวงจรแบบ 4 สาย เกือบทั้งหมด ดังนั้นเราจึงใช้วงจรไฮบริดจ์ทรานฟอร์มเมอร์ที่เครื่องศูนย์กลาง สำหรับเชื่อมต่อวงจรท้องถิ่นกับสายหลัก และระหว่างสายหลักกับสายหลักในระบบโทรศัพท์

สำหรับในโครงงานนี้เราใช้วงจรไฮบริดนี้เพื่อทำหน้าที่แปลงระบบวงจร 2 สาย ให้เป็นระบบวงจรแบบ 4 สาย เพื่อใช้ติดต่อกันระหว่างโทรศัพท์

ไฮบริดเป็นมัลติเพิลไวน์ดิ้งทรานสฟอร์เมอร์ (MULTIPLE WINDING TRANSFORMER) แบบหนึ่งสามารถแสดงได้ด้วยวงจรดังรูป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูป 4.1 รูปวงจรไฮบริดชนิดหนึ่ง

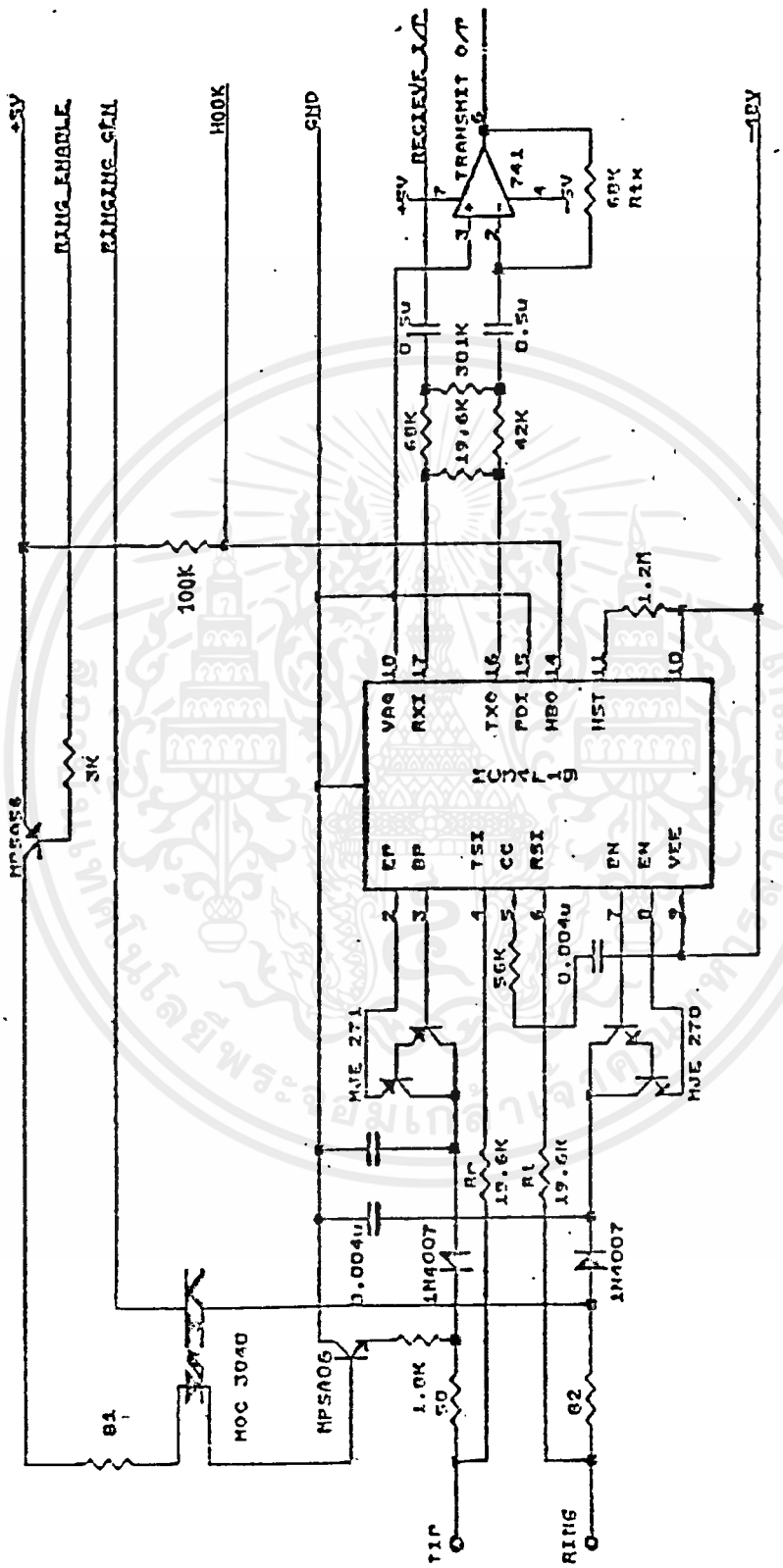
จากรูป สัญญาณถูกส่งเข้ามายังปลายสาย 7-8 ทำให้เกิดการเหนี่ยวนำทางสนามแม่เหล็กข้ามไปยังขดลวด C และ D โดยกระแสที่ไหลผ่านขดลวด A และ B จะเหนี่ยวนำไฟฟ้าขึ้น ในขดลวด D จะทำให้กระแสไหลผ่าน วงจร 2 สาย ซึ่งต่ออยู่ที่ปลายสาย 1-2 สำหรับการส่งผ่านสัญญาณต่อไป และกระแสที่เกิดขึ้นจะไหลผ่านขดลวด F ซึ่งทำให้เกิดการเหนี่ยวนำไฟฟ้าขึ้นในขดลวด H

ในทำนองเดียวกัน การเหนี่ยวนำไฟฟ้าที่เกิดในขดลวดC จะทำให้เกิดกระแสไหลผ่านวงจรสมดุลย์ (BALANCE NETWORK) และขดลวด E อิมพีแดนซ์ Z_B ของวงจรสมดุลย์มีค่าเท่ากับไลน์อิมพิแดนซ์ (LINE IMPEDANCE) Z_L เพราะ Z_R เท่ากับ Z_L รอบขดลวดบนขดลวด C และ E และวงจร D และ F ท่ากัน ทำให้การเหนี่ยวนำไฟฟ้าเกิดขึ้นบนขดลวด G และ H (เพราะขดลวด G และ H มีจำนวนรอบเท่ากัน)

จะเห็นได้ว่า ขดลวด C และ E มีการต่อขั้วเดียวกันเข้าหากัน ต่างจากขดลวด D และ F ดังนั้น การเหนี่ยวนำไฟฟ้าในขดลวด G มีเฟสตรงกันข้ามกับขดลวด H (การเหนี่ยวนำไฟฟ้า ในขดลวด G และ H มีขนาดเท่ากัน) ทำให้หักล้างซึ่งกันและกันจนหมด เหตุผลนี้ทำให้สัญญาณจากตัวส่ง ที่ปรากฏที่ปลายสาย 7-8 ถูกส่งไปที่ปลายสาย 1-2 แต่ไม่ปรากฏที่ปลายสาย 3-4 ซึ่งต่อไปยังตัวรับ ระดับสัญญาณที่ปลายสาย 1-2 จะเป็นเพียงครึ่งหนึ่งของระดับอินพุทที่ปลายสาย 7-8 เพราะระดับสัญญาณที่เหลืออีกครึ่งหนึ่งจะสูญเสียไปในวงจรสมดุลย์

ในทำนองเดียวกัน เมื่อปรากฏสัญญาณเข้ามาที่ปลายสาย 1-2 จากสายกระแสไหลผ่านขดลวด D และ F และทำให้เกิดการเหนี่ยวนำไฟฟ้าที่ขดลวด B และ H โวลเตจที่เกิดขึ้นใน H จะทำให้เกิดกระแสไหลผ่านวงจรตัวรับและขดลวด G และ H กระแสที่ไหลผ่านขดลวด G (ซึ่งเท่ากับกระแสที่ไหลผ่านขดลวด H) จะทำให้เกิดการเหนี่ยวนำไฟฟ้าขึ้นที่ขดลวด E และ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.2 วงจร SUBSCRIBER LOOP INTERFACE CIRCUIT

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2. วงจรสร้างสัญญาณโทรศัพท์

สัญญาณต่าง ๆ ที่ใช้ในระบบโทรศัพท์ ประกอบด้วย

1. สัญญาณเรียก (Ringing Tone)

เป็นสัญญาณที่ใช้ในการบอกแก่ผู้ที่อยู่ปลายทาง ว่าขณะนี้มีผู้ต้องการจะติดต่อด้วยทำการเรียกเข้ามายังโทรศัพท์เครื่องนั้น สัญญาณนี้จะเป็นสัญญาณไฟสลับที่มีขนาดประมาณ 100 โวลต์ 50 Hz โดยจะดัง 1 วินาที และดับ 4 วินาทีสลับกันไป จนกว่าจะมีผู้รับสาย หรือครบตามเวลาที่กำหนด

2. สัญญาณให้หมุน (Dial Tone)

เป็นสัญญาณที่ใช้บอกแก่ผู้เรียก เมื่อผู้เรียกยกหูโทรศัพท์เพื่อจะติดต่อไปยังคู่สายปลายทางให้หมุนหมายเลขที่ต้องการจะติดต่อนั้นได้ โดยจะเป็นสัญญาณไฟสลับขนาด 5 โวลต์ ความถี่ 400 Hz

3. สัญญาณไม่ว่าง (Busy Tone)

เป็นสัญญาณที่ใช้บอกแก่ผู้เรียก หลังจากที่ผู้เรียกได้ทำการหมุนหมายเลขที่ต้องการติดต่อด้วยเรียบร้อยแล้ว ว่าขณะนี้คู่สายปลายทางที่ต้องการติดต่อด้วยกำลังใช้งานอยู่ จึงไม่สามารถต่อคู่สายให้ได้ โดยจะเป็นสัญญาณไฟสลับขนาด 5 โวลต์ ความถี่ 400 Hz ดัง 0.5 วินาที และดับ 0.5 วินาที สลับกันไป

4. สัญญาณเรียกกลับ (Ringback Tone)

สัญญาณนี้จะเกิดขึ้นในลำดับเดียวกับสัญญาณไม่ว่าง แต่จะเป็นการแจ้งให้ผู้เรียกทราบว่าสามารถติดต่อกับคู่สายปลายทางได้และรอให้ผู้ที่อยู่ปลายทางทำการตอบรับสัญญาณเรียกนั้นอยู่ โดยจะเป็นสัญญาณไฟสลับ ขนาด 5 โวลต์ ความถี่ 400 Hz ดัง 1 วินาที และดับ 4 วินาที สลับกันไป เช่นเดียวกับสัญญาณเรียก

หลักการในการสร้างสัญญาณจะใช้ไอซี 556 เป็นตัวกำเนิดความถี่โดยมีหลักการคำนวณดังนี้

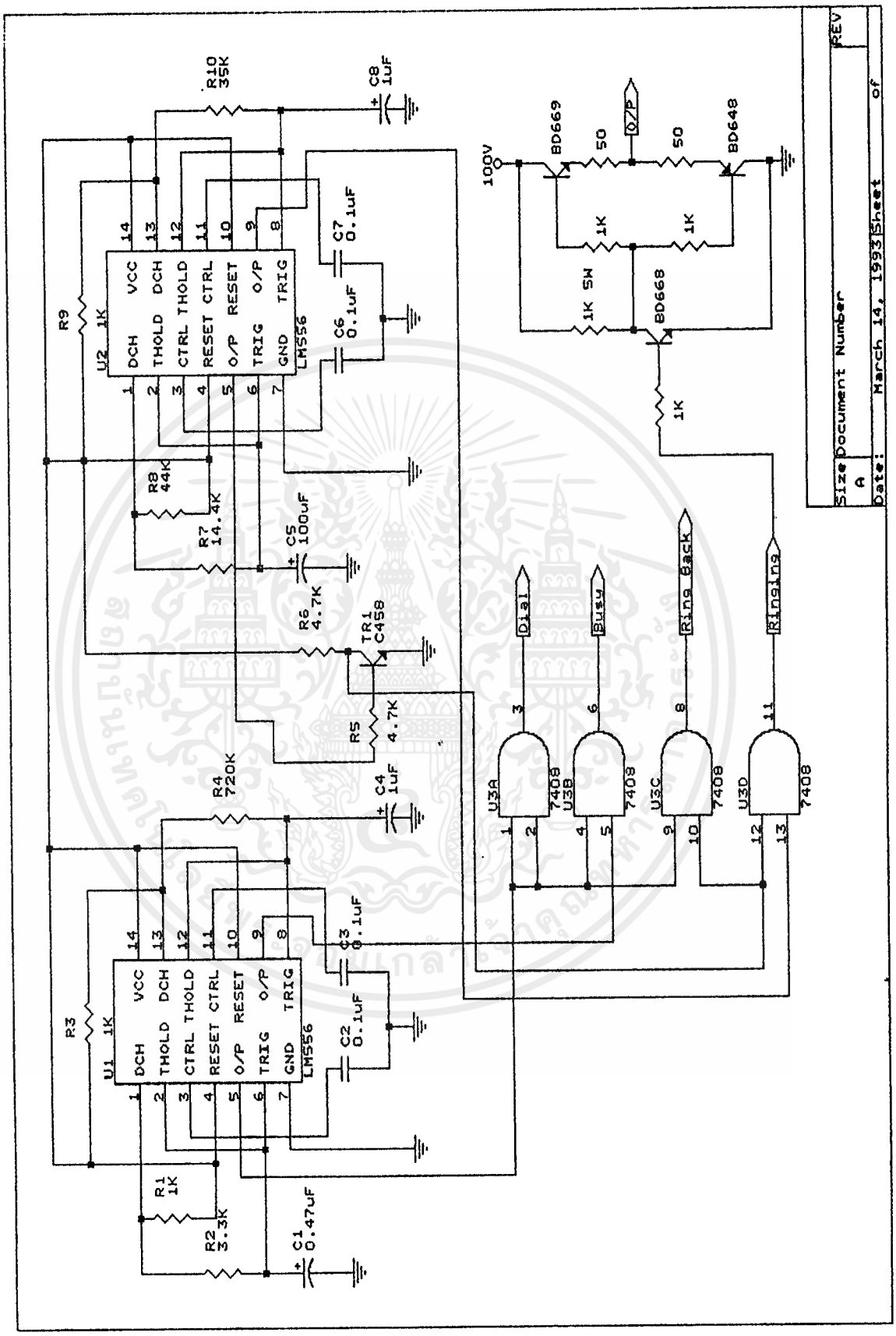
$$f = 1.44 / (Ra + 2 Rb)C$$

$$\text{DUTY CYCLE} = (Ra + Rb) / (Ra + 2 Rb)$$

และนำสัญญาณที่ได้มาควบคุมการผ่านโดยใช้ แอนด์เกท(AND GATE) 7408 ได้เป็นสัญญาณต่าง ๆ ตามต้องการ

สัญญาณริงกิ้งนั้นต้องการให้มีศักดาสูงถึง 100 โวลต์ ดังนั้นการต่อใช้งานจะต้องต่อร่วมกับทรานซิสเตอร์กำลัง โดยทำการต่อแบบ คอมพลีเมนทารี (COMPLEMENTARY) เพื่อให้สามารถจ่ายกระแสได้มากกว่าการต่อแบบใช้ทรานซิสเตอร์กำลังเพียงตัวเดียว

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.3 รูปแสดงวงจรสร้างสัญญาณโทรศัพท์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3. วงจรออสซิเลเตอร์

วงจรออสซิเลเตอร์ เป็นวงจรที่ใช้ในการกำเนิดความถี่ เพื่อกำหนดจังหวะการทำงานของไอซีสุ่มสัญญาณและกำหนดช่องสัญญาณ โดยจะสร้างสัญญาณพัลส์ที่มีค่าคงที่ออกมาตลอดเวลา

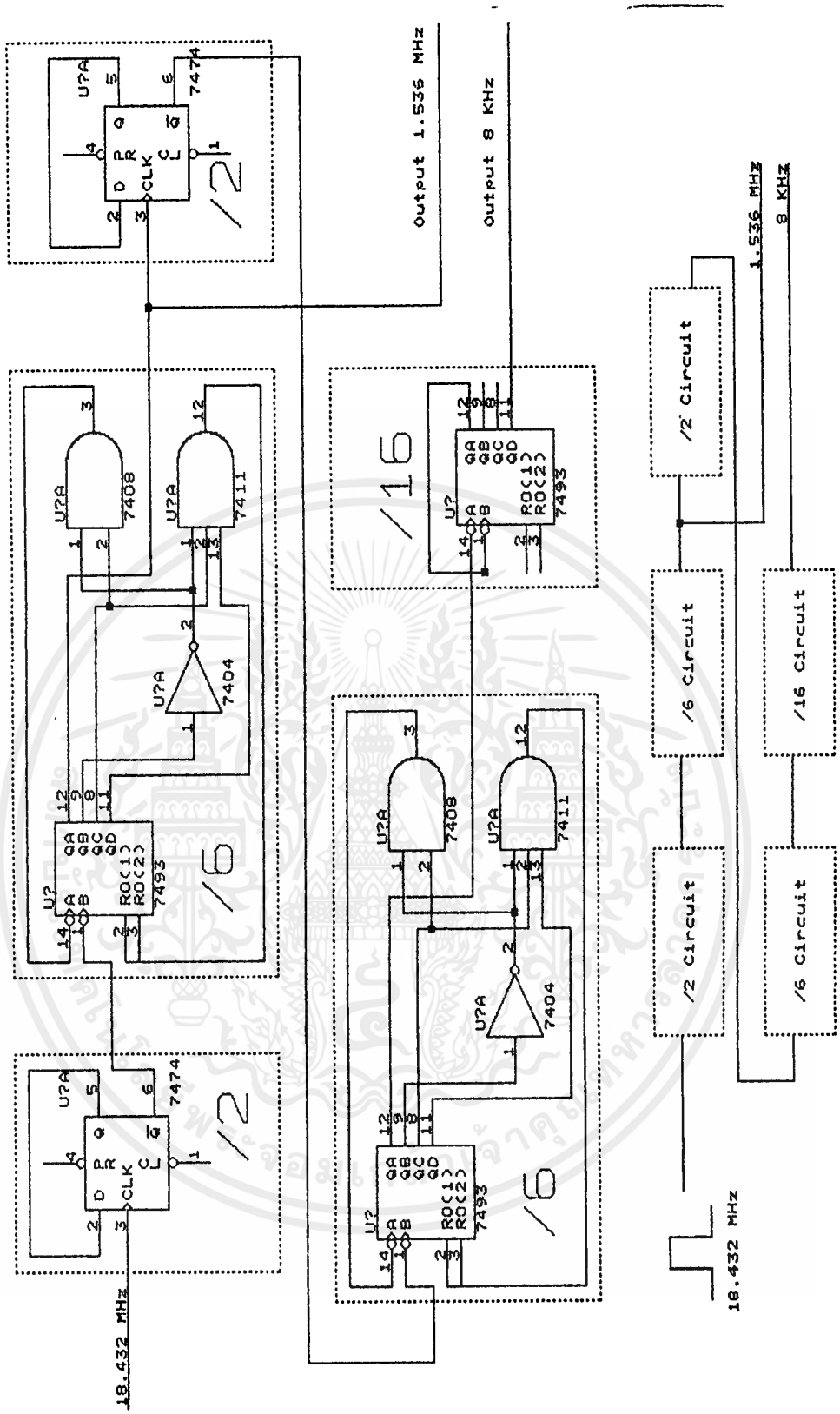
จากการคำนวณความเร็วในการส่งข้อมูลและความถี่ในการสุ่มสัญญาณข้อมูล ปรากฏว่าต้องการใช้สัญญาณที่มีความถี่ 1.536 MHz และ 8 MHz ซึ่งสัญญาณความถี่ทั้งสอง สร้างได้จากการนำเอาความถี่ที่ได้จากออสซิเลเตอร์ 18.432 MHz มาหารความถี่เพื่อให้ได้ค่าที่ต้องการ การหารความถี่ใช้ไอซีที่เป็นฟลิปฟลอป และเกทต่าง ๆ มาประกอบกันเป็นวงจรดังรูป

รายละเอียดการทำงานของวงจรหารความถี่มีดังนี้

ออสซิเลเตอร์กำเนิดสัญญาณความถี่ 18.432 MHz จากนั้นนำสัญญาณที่ได้ไปผ่านวงจรหารสอง ซึ่งใช้ไอซีที่เป็นฟลิปฟลอปเบอร์ 74LS74 ซึ่งเป็นดีฟลิปฟลอป ได้ความถี่ออกมาเป็น 9.216 MHz จากนั้นนำสัญญาณที่ได้ไปผ่านวงจรหาร 6 เพื่อให้ได้ความถี่ 1.536 MHz ตามที่ต้องการ ความถี่นี้จะใช้ในการกำหนดความเร็วในการส่งข้อมูลระหว่างคู่สายแต่ละคู่สาย

วงจรหาร 6 ประกอบขึ้นจากไอซีฟลิปฟลอปเบอร์ 7493 ซึ่งภายในประกอบด้วย เจเค-ฟลิปฟลอป 4 ตัว ดังนั้นเราจะต้องดัดแปลงเพื่อให้หาร 6 และให้ได้ Duty Cycle 50 % เมื่อได้สัญญาณความถี่ 1.536 MHz ออกจากวงจรหาร 6 แล้ว จะนำสัญญาณนี้ไปผ่านวงจรหาร 2 ตามด้วยวงจรหาร 6 และวงจรหาร 16 ตามลำดับ สุดท้ายจะได้ความถี่ 8 KHz ตามต้องการ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



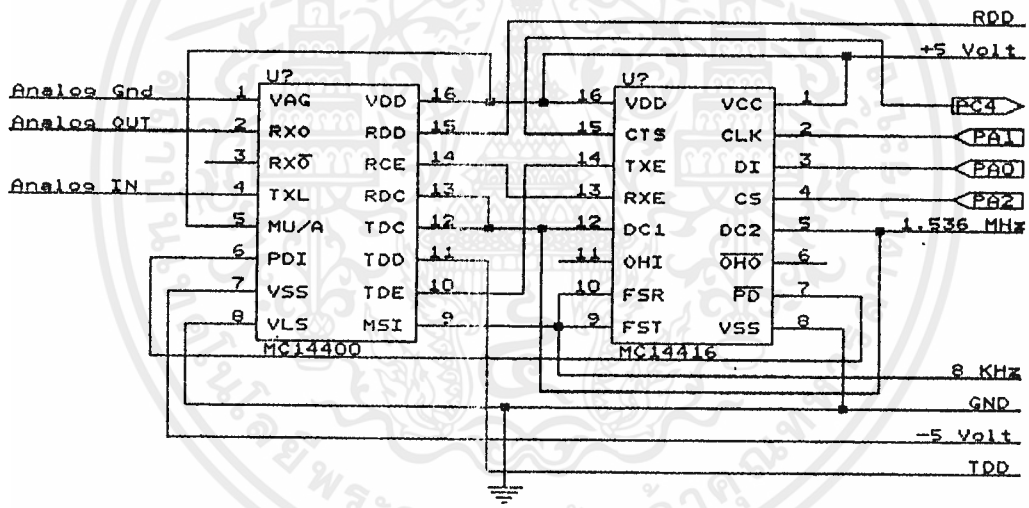
รูปที่ 4.4 รูปแสดงวงจรออสซิเลเตอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4. วงจรสุ่มสัญญาณและกำหนดช่องสัญญาณ

วงจรสุ่มสัญญาณใช้ไอซีเบอร์ MC14400 ส่วนที่ทำหน้าที่กำหนดช่องเวลาในการส่งข้อมูลของแต่ละช่องสัญญาณ ใช้ไอซีเบอร์ MC14416 ซึ่งมีรายละเอียดทั้งหมดอยู่ในส่วนท้ายของรายงาน

ส่วนที่ทำหน้าที่สุ่มสัญญาณ และกำหนดช่องสัญญาณ เป็นส่วนที่อยู่ถัดจากวงจรส่วนเชื่อมต่อคู่สายโทรศัพท์ ส่วนที่ทำหน้าที่สุ่มและกำหนดช่องสัญญาณนี้ จะเป็นส่วนที่รับและส่งข้อมูลดิจิตอลระหว่างคู่สายแต่ละคู่ผ่านทางชุมสายโทรศัพท์ ดังรูป



รูปที่ 4.5 รูปวงจรสุ่มสัญญาณและกำหนดช่องสัญญาณ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5. วงจรถอดรหัสสัญญาณ

ปัจจุบันนี้วงการโทรศัพท์ได้พัฒนาอย่างรวดเร็วมาก จากการใช้ระบบ Mechanic Relay จนถึงระบบ Common Control ซึ่งเป็นระบบกึ่ง Electronics ฉะนั้นตัวเครื่องโทรศัพท์ (Telephone Set) ก็ได้รับการพัฒนาไปด้วย เพื่อให้ผู้ใช้มีความสะดวกสบายมากขึ้น

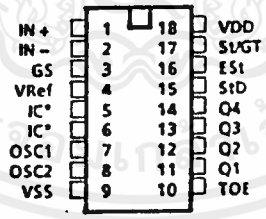
ระบบโทรศัพท์แบบกดปุ่มนั้น แทนที่จะทำการหมุนหน้าปัทม์ก็เปลี่ยนมาเป็นเพียงแต่กดปุ่มเท่านั้น การกดปุ่มก็เพื่อที่จะส่งสัญญาณความถี่ออกไป ซึ่งเรียกว่าเป็น Multifrequency Signal ประโยชน์ที่ได้รับก็คือ

1. เวลาในการหมุนหน้าปัทม์น้อยลง
2. การกดปุ่มเลขหมายง่ายขึ้น
3. มีความผิดพลาดในการส่งเลขหมายน้อยลง
4. สามารถที่จะเพิ่มปุ่มอื่น ๆ เพื่อการใช้งานอย่างอื่นได้ด้วย
5. ใช้สัญญาณความถี่ระดับเดียวกับคลื่นเสียง

ในการถอดรหัสความถี่จากโทรศัพท์ชนิดกดปุ่มเพื่อส่งไปให้ส่วนไมโครโปรเซสเซอร์ทราบนั้น เราใช้ไอซีเบอร์ MT8870 ซึ่งเป็นไอซีถอดรหัสความถี่โทรศัพท์ (Integrated DTMF Receiver) ซึ่งหมายถึงการแปลงสัญญาณความถี่ ซึ่งเกิดจากการกดปุ่มตัวเลขของโทรศัพท์ชนิดกดปุ่ม (ชนิด Tone หรือ DTMF) ให้เป็นระบบตัวเลขทางดิจิตอล ซึ่งใช้ไอซี MT8870 แปลงความถี่โทรศัพท์ให้เป็นเลขฐานสองขนาด 4 บิท

ก่อนนั้น การออกแบบวงจรถอดรหัสความถี่ของโทรศัพท์ มักใช้ไอซีจำพวกเฟสล็อกลูปซึ่งเกิดปัญหามาก เช่น เรื่องของความถี่ที่เปลี่ยนแปลงไป การปรับแต่งวงจร ขนาดของวงจรที่ใหญ่ เพราะใช้ไอซีจำนวนมาก

Pin Connections



Connected to VSS

Ordering Information

MT8870BE/MT8870BE-1 Plastic DIP
MT8870BC/MT8870BC-1 Cerdip
-40°C to +85°C

รูปที่ 4.6 รูปแสดงรายละเอียดของขา MT8870

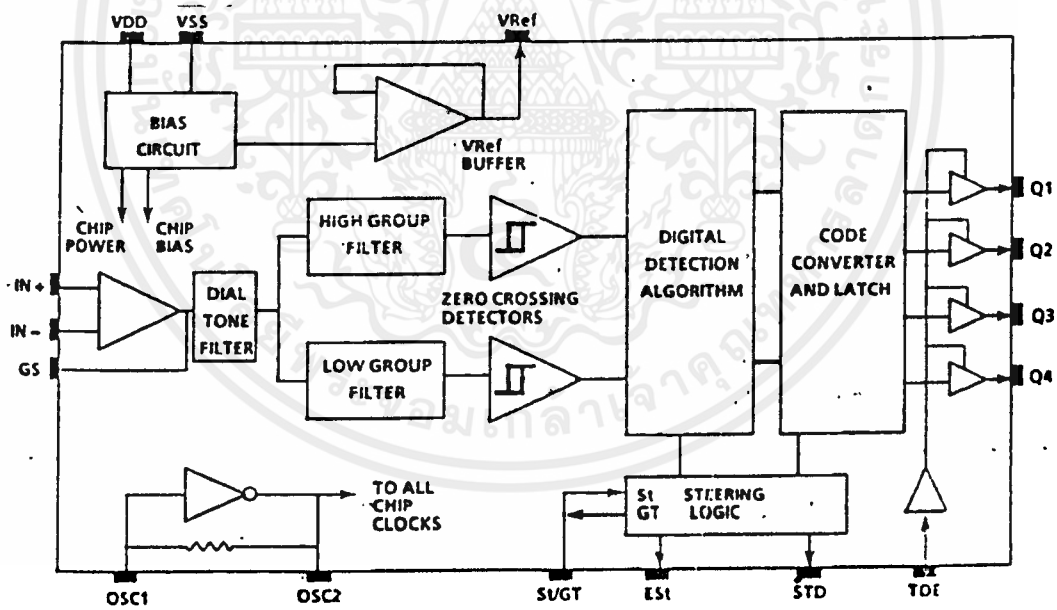
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

คุณสมบัติของ MT8870

1. เป็นตัวรับและถอดรหัสความถี่ (DTMF Receiver)
2. กินไฟน้อย ใช้ไฟเลี้ยงระดับเดียวกับ TTL
3. สามารถตั้งอัตราขยายภายในตัวไอซีได้
4. สามารถปรับการ์ดไทม์ (Guard Time) ได้
5. เป็นไอซีมีคุณภาพสูง

การนำ MT8870 ไปใช้งาน

1. เครื่องป้องกันโทรศัพท์ทางไกล
2. ใช้งานเกี่ยวกับเครดิตการ์ด
3. นำไปใช้งานด้านรีโมทคอนโทรล
4. ใช้งานร่วมกับคอมพิวเตอร์
5. ใช้ในเครื่องชุมสายขนาดย่อย หรือพีเอบีเอ็กซ์ (PABX)
6. ใช้กับงานทางด้านโทรศัพท์ทั่วไป
7. ใช้กับเครื่องกันขโมย
8. การควบคุมอุปกรณ์ทางโทรศัพท์



รูปที่ 4.7 *รูปแสดงโครงสร้างภายในของ MT8870*

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โครงสร้างภายในของ MT8870 ประกอบด้วย ส่วนสำคัญดังต่อไปนี้

วงจรกรองความถี่และวงจรถอดรหัสฟังก์ชันทางดิจิตอล

เป็นไอซีที่สร้างโดยใช้เทคโนโลยี ISO^2 - CMOS

วงจรความถี่

ใช้เทคนิคของสวิทช์คาปาซิเตอร์ฟิลเตอร์กรองความถี่สูงและต่ำ

วงจรถอดรหัส

ใช้เทคนิคการนับทางดิจิตอลเพื่อตรวจจับและถอดรหัสทั้ง 16 ความถี่ ออกเป็นเลขฐานสอง ขนาด 4 บิต และเช็คช่วงเวลาที่สัญญาณเข้ามา

วงจรขยาย

ภาคอินพุทเป็นออปแอมป์ ซึ่งสามารถปรับอัตราขยายได้ โดยต่ออุปกรณ์ภายนอก

วงจรแลตช์ 3 สถานะ

ภาคเอาท์พุทเป็นวงจรแลตช์ 3 สถานะ

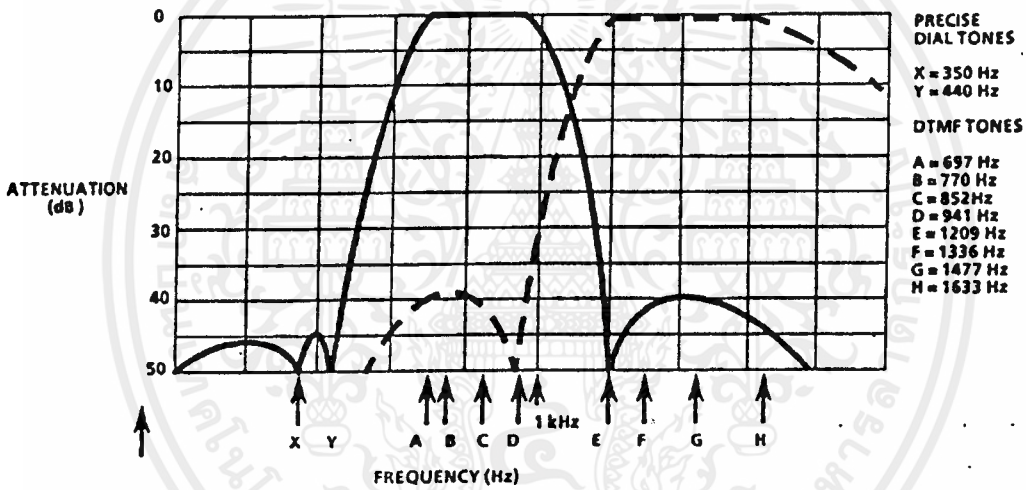
ภายใน MT8870 ประกอบด้วยส่วนสำคัญ 5 ส่วน คือ

1. ภาคกรองความถี่ (Filter section)
2. ภาคถอดรหัส (Decoder section)
3. ภาคตรวจสอบสัญญาณ (Steering circuit)
4. ภาคขยายสัญญาณความแตกต่าง (Differential input)
5. ภาคกำเนิดความถี่ (Oscillator)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคกรองความถี่

ในส่วนนี้จะแยกสัญญาณ DTMF ที่เข้ามาออกเป็น 2 กลุ่ม ความถี่คือช่วงความถี่สูงและช่วงความถี่ต่ำ โดยใช้วงจรกรองแถบความถี่อันดับ 6 ชนิด สวิทช์คาปาซิเตอร์ (six order switched capacitor band pass filter) ซึ่งแถบความถี่แยกได้เป็น 2 ช่วง คือ ช่วงความถี่สูงและช่วงความถี่ต่ำ



รูปที่ 4.8 รูปแสดงความถี่ที่ได้จากภาคกรองความถี่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคถอดรหัส

ความถี่ DTMF ที่ถูกกรองเรียบร้อยแล้ว จะผ่านเข้าวงจรกรองรหัสความถี่ออกเป็นตัวเลข โดยใช้เทคนิคการนับแบบดิจิตอล และมีการตรวจสอบความถี่ที่เข้ามาว่าเป็นความถี่มาตรฐาน DTMF หรือไม่เพื่อป้องกันความถี่อื่นเข้ามาผสม เมื่อตรวจสอบว่าความถี่นั้นถูกต้อง สัญญาณที่ขา Est (Early steering) ก็จะแอคทีฟ สำหรับค่าที่ถอดรหัสได้จากความถี่ต่าง ๆ นั้น แสดงในรูป

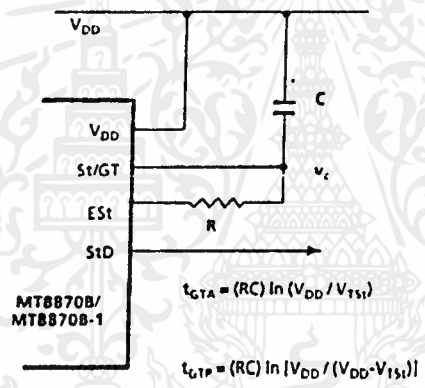
F_{LOW}	F_{HIGH}	NO.	TOE	Q_4	Q_3	Q_2	Q_1
697	1209	1	H	0	0	0	1
697	1336	2	H	0	0	1	0
697	1477	3	H	0	0	1	1
770	1209	4	H	0	1	0	0
770	1336	5	H	0	1	0	1
770	1477	6	H	0	1	1	0
852	1209	7	H	0	1	1	1
852	1336	8	H	1	0	0	0
852	1477	9	H	1	0	0	1
941	1336	0	H	1	0	1	0
941	1209	*	H	1	0	1	1
941	1477	#	H	1	1	0	0
697	1633	A	H	1	1	0	1
770	1633	B	H	1	1	1	0
852	1633	C	H	1	1	1	1
941	1633	D	H	0	0	0	0
-	-	ANY	L	Z	Z	Z	Z

รูปที่ 4.9 รูปแสดงค่าที่ถอดรหัสได้จากความถี่ต่าง ๆ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคตรวจสอบสัญญาณ

ก่อนที่จะมีการถอดรหัสความถี่ออกไปให้ที่เอาท์พุท จะมีการตรวจสอบช่วงความถี่ที่เข้ามาว่ามีระยะเวลาตามที่กำหนดหรือไม่ โดยสังเกตจากระยะเวลาการกดปุ่มโทรศัพท์ ซึ่งต้องกดปุ่มให้มีความถี่ออกมาเป็นช่วงเวลาพอสมควร มิฉะนั้นวงจรนี้จะไม่รับ โดยถือว่าสัญญาณนั้นไม่ถูกต้อง ส่วนช่วงเวลายาวเท่าใดนั้น เราสามารถกำหนดได้โดยใช้ RC ต่อภายนอก สัญญาณที่ขา Est จะเป็น "High" นานใกล้เคียงกับระยะเวลาที่มีความถี่ DTMF เข้ามา จากรูป เมื่อขา Est เป็น "High"ทำให้ VC สูงขึ้น ตัวเก็บประจุ C จะคายประจุ ทำให้แรงดันสูงขึ้นจนถึงค่าเทรชโฮลด์ วงจรถอดรหัสจึงจะถอดรหัสออกเป็นตัวเลขขนาด 4 บิต รายละเอียดการทำงานดูจากแผนภูมิเวลา หรือไทมิ่งไดอะแกรม (timing diagram) ในรูป



รูปที่ 4.10 รูปแสดงวงจรตรวจสอบสัญญาณอย่างง่าย และแสดงการกำหนดเวลาการ์ดไทม์ (guard time) พร้อมวิธีคำนวณ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

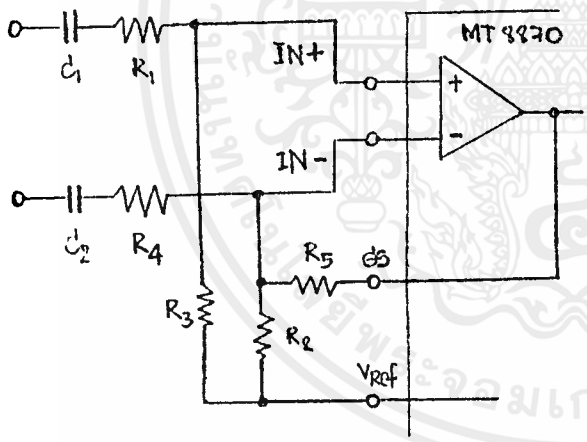
การ์ดไทม์(Guard time) หมายถึง ช่วงคาบเวลาของความถี่ที่เข้ามา ซึ่งจะต้องนานเท่ากับหรือมากกว่าช่วงเวลาที่ตั้งไว้ จึงจะได้รับการยอมรับว่าสัญญาณความถี่นั้นถูกต้อง หรือพูดได้ว่าเวลาที่เราตั้งไว้โดย RC คือการ์ดไทม์นั่นเอง เมื่อสัญญาณความถี่เข้ามานานเท่าหรือมากกว่าเวลาที่ตั้งไว้ จึงจะสามารถแปลงเป็นตัวเลขได้ ถ้าสัญญาณความถี่เข้ามาสั้นกว่า ก็จะไม่มีการถอดรหัสเป็นตัวเลขออกไป การตั้งเวลาและคำนวณเวลา ดูได้จากรูปข้างต้น

ภาคขยายสัญญาณความแตกต่าง

วงจรส่วนอินพุทของ MT8870 เป็นภาคขยายออปแอมป์ที่สามารถปรับอัตราขยายโดยต่อวงจรภายนอกเพิ่มเข้าไป รูปด้านล่างแสดงการต่อวงจรภายนอกเข้ากับอินพุท ซึ่งสามารถคำนวณอัตราขยายความแตกต่างของอินพุทและอิมพิแดนซ์ได้ดังนี้

$$\text{อัตราขยาย } (A_v \text{ diff}) = \frac{R_5}{R_1}$$

$$\text{อินพุทอิมพีแดนซ์ } (Z_{in} \text{ diff}) = 2\left(R_1\right)^2 + \left(\frac{1}{\omega C}\right)^2$$



ภาคขยายความแตกต่างด้านอินพุท

$C_1=C_2=$ 10nF

$R_1=R_4=R_5=$ 100kOhm $\pm$ 1%

$R_2=$ 60KOhm, $R_3=$ 37.5KOhm $\pm$ 5%

$R_3 = R_2R_5 \;/\; R_2+R_5$

อัตราขยายแรงดัน $(A_v \text{diff}) = R_5/R_1$

อินพุทอิมพิแดนซ์

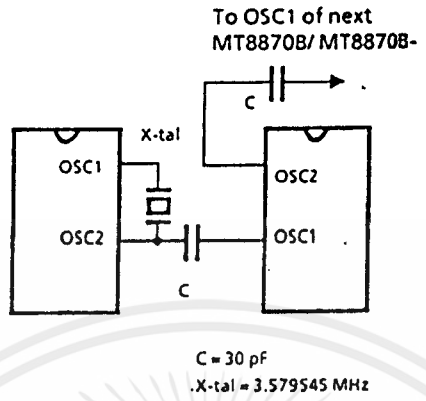
$(Z_{INDIFF}) = 2(R_1)^2 + \left(\frac{1}{\omega C}\right)^2$

รูปที่ 4.11 รูปแสดงการต่อวงจรภาคอินพุท

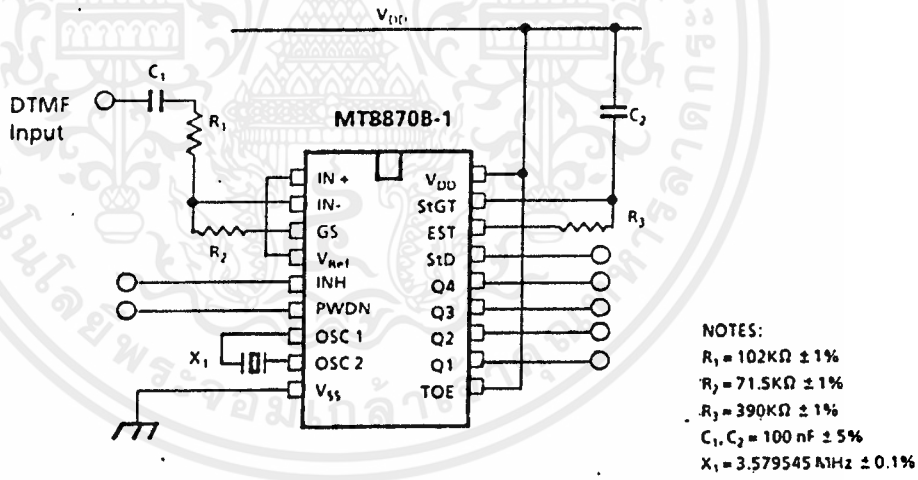
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคกำเนิดความถี่

ในภาคนี้ภายในไอซีจะมีวงจรเวลาอยู่ภายใน เพียงแต่ต่อคริสตอลขนาด 3.579545 MHz ก็สามารถใช้งานได้ทันที การต่อวงจรกำเนิดความถี่แสดงดังรูป



รูปที่ 4.12 รูปแสดงการต่อวงจรผลิตความถี่



รูปที่ 4.13 รูปแสดงวงจรใช้งานเบื้องต้นของ MT8870

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ขั้นตอนการทำงาน

A) ตรวจสอบความถี่เข้ามา แต่คาบเวลาไม่ถูกต้อง เอาท์พุทไม่เปลี่ยน

B) ความถี่#nถูกตรวจพบและมีคาบเวลาที่ถูกต้อง ความถี่ถูกถอดรหัสและแลตช์ไว้ที่เอาท์พุท

C) จบความถี่ #n ช่วงห่างถูกต้อง เอาท์พุทยังคงแลตช์อยู่จนกว่าจะได้รับความถี่ที่ถูกต้องใหม่

D) เอาท์พุทเปลี่ยนเป็นไฮอิมพีแดนซ์

E) ความถี่ #n+1 ถูกตรวจพบ คาบเวลาถูกต้อง ความถี่ถูกถอดรหัสและแลตช์ไว้

F) ความถี่ #n+1 หายไป ช่วงห่างไม่ถูกต้อง เอาท์พุทยังคงแลตช์อยู่

G) จบความถี่ #n+1 ช่วงห่างถูกต้อง เอาท์พุทยังคงแลตช์อยู่จนถึงความถี่ใหม่ที่ถูกต้อง

คำศัพท์ต่าง ๆ

V_{in}	สัญญาณความถี่ DTMF ที่เข้ามา
Est	Early Steering Output ใช้แสดงความถี่ที่ถูกต้อง
St/GT	Steering Input/Guard Output สำหรับต่อกับ RC ภายนอก
Q_1-Q_4	เอาท์พุท BCD ขนาด 4 บิท
StD	Delayed Steering Output ใช้แสดงว่าความถี่ที่ได้รับ หรือหายไปมีคาบเวลาตามที่กำหนด เพื่อแสดงความถูกต้องของสัญญาณ
TOE	Tone Output Enable (input) ใช้ควบคุม Q_1-Q_4 ให้เป็นไฮอิมพีแดนซ์
t_{rec}	คาบเวลานานที่สุดที่ตรวจพบความถี่ DTMF แล้วยังไม่ถูกต้อง
t_{rec}	คาบเวลาสั้นที่สุดที่ต้องการเพื่อแสดงว่าสัญญาณถูกต้อง
t_{ID}	เวลาสั้นที่สุดระหว่างสัญญาณ DTMF ที่ถูกต้อง 2 สัญญาณ
t_{DO}	เวลานานที่สุดที่ยอมให้สัญญาณหายไปได้ในคาบเวลาความถี่ที่ถูกต้อง
t_{DP}	เวลาที่ใช้ในการตรวจพบสัญญาณความถี่ DTMF ที่ถูกต้อง
t_{DA}	เวลาที่ใช้ในการตรวจพบการหายไปของสัญญาณความถี่ DTMF ที่ถูกต้อง
t_{GTP}	การ์ดไทม์ของการปรากฏความถี่ DTMF
t_{GTA}	การ์ดไทม์ของการหายไปของความถี่ DTMF

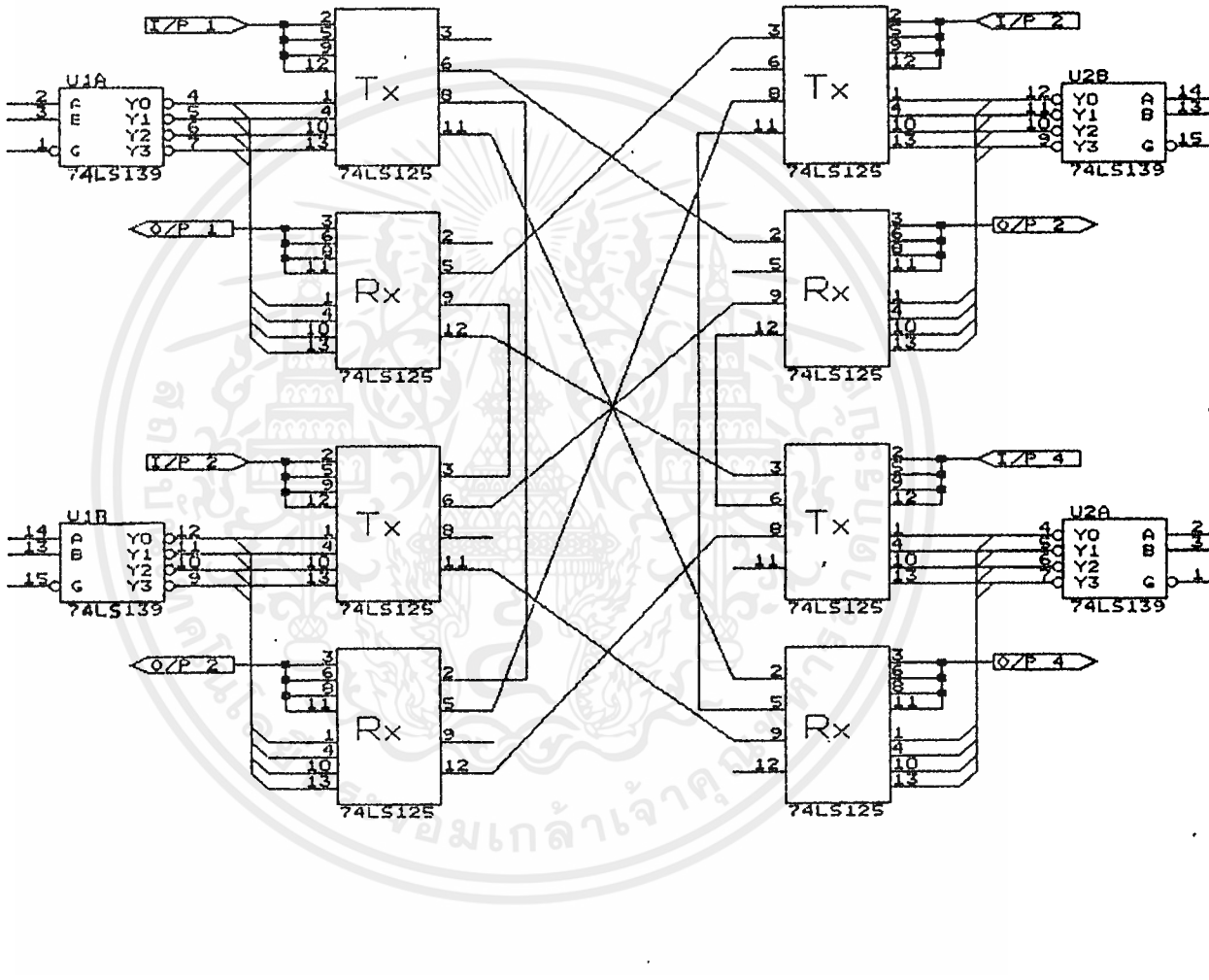
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

6. วงจรสวิทช์พาธ (Switch Path Circuit)

วงจรเสียงพูดผ่านของชุมสายโทรศัพท์สาขาที่พัฒนาขึ้นนี้ มีโครงสร้างเหมือนกับครอสพอยท์สวิทชิง (Crosspoint Switching) ซึ่งมีขนาด 4 ทางเข้า (Inlet) และ 4 ทางออก (Output) ซึ่งง่ายต่อการออกแบบวงจรควบคุม เนื่องจากสัญญาณที่ผ่านวงจรสวิทช์พาธนี้ เป็นสัญญาณดิจิตอล จึงเลือกใช้ไอซีเบอร์ 74LS125 ซึ่งทำหน้าที่เป็นสวิทช์ได้อย่างดี โดยต่อทำงานร่วมกับไอซีเบอร์ 74LS139 คุณสมบัติของวงจรเสียงพูดผ่านมีดังนี้

- ต่อให้สัญญาณดิจิตอลผ่านได้พร้อมกัน 4 คู่สาย
- ไม่เกิดการต่อช้อน (Crosstalk) อย่างแน่นอน
- ติดต่อกันแบบ 2 ทิศทาง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.14 รูปแสดงวงจรสวิทช์พาธ

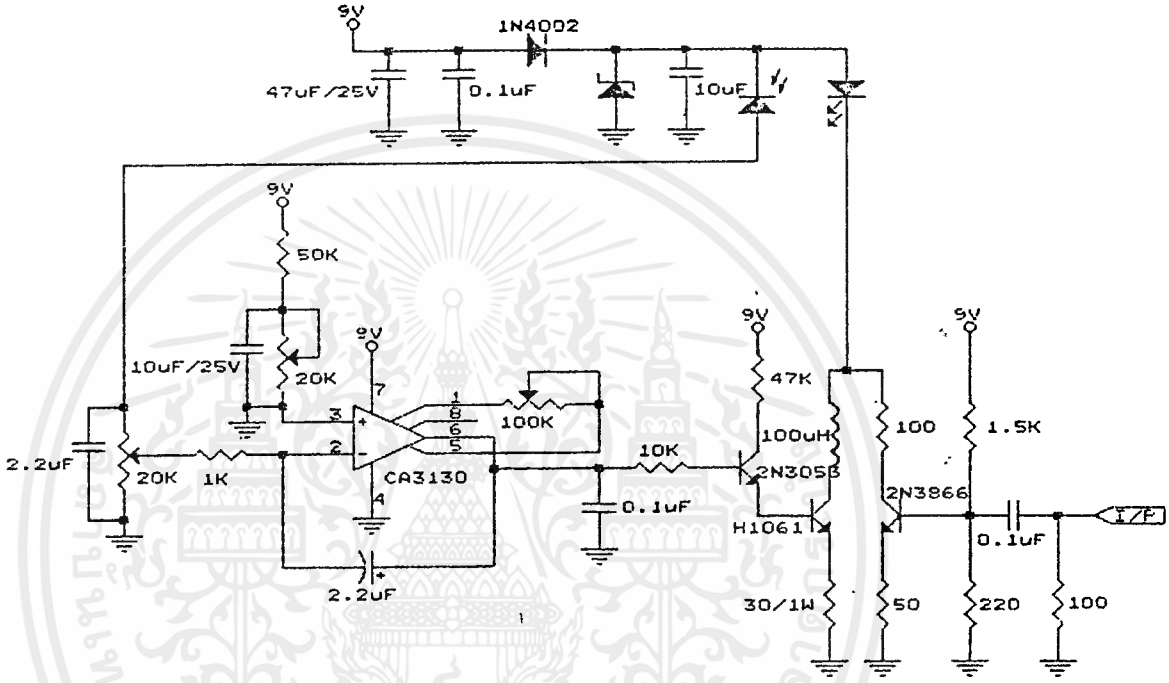
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

7. วงจรส่วนเชื่อมต่อกับสายไฟเบอร์ออพติก

7.1 วงจรส่งสัญญาณ

วงจรขับเลเซอร์ไดโอดซึ่งให้พลังงานแสงที่เปล่งออกมาคงที่ ภายใต้ภาวะการเปลี่ยนแปลง Ambient temperature แสดงได้ดังรูป กระแสที่ป้อนให้กับเลเซอร์ไดโอด เป็นกระแสที่มาจากวงจรดาร์ลิงตัน ถูกควบคุมโดยใช้ออปแอมป์ เบอร์ CA3130 กระแสที่ได้จากโฟโตไดโอดจะถูกแปลงเป็นแรงดันไฟฟ้า ซึ่งเป็นสัดส่วนเดียวกับพลังงานแสงที่ได้จากเลเซอร์ ค่าแรงดันที่ได้นี้ถูกป้อนกลับเข้ามาทางอินเวอร์ทติงอินพุท (inverting input) ของออปแอมป์ และไปควบคุมกระแสที่ไหลผ่านเลเซอร์ไดโอดอีกส่วนหนึ่งเป็นการรักษาความเป็นเชิงเส้นของกระแสนั่นเอง อีกส่วนหนึ่งเป็นวงจรมอดดูเลทสัญญาณอนาลอก ซึ่งมีผลตอบสนองต่อความถี่มากกว่า ในช่วง 50 kHz ถึง 50 MHz วงจรขับเลเซอร์ต้องการแรงดันไฟเลี้ยงคงที่ และมีเสถียรภาพจึงมีไดโอดที่ทำหน้าที่ป้องกันการป้อนไฟเลี้ยงผิดขั้ว และมีซีเนอร์ไดโอด 9 โวลท์ เพื่อรักษาระดับของไฟเลี้ยงวงจร

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



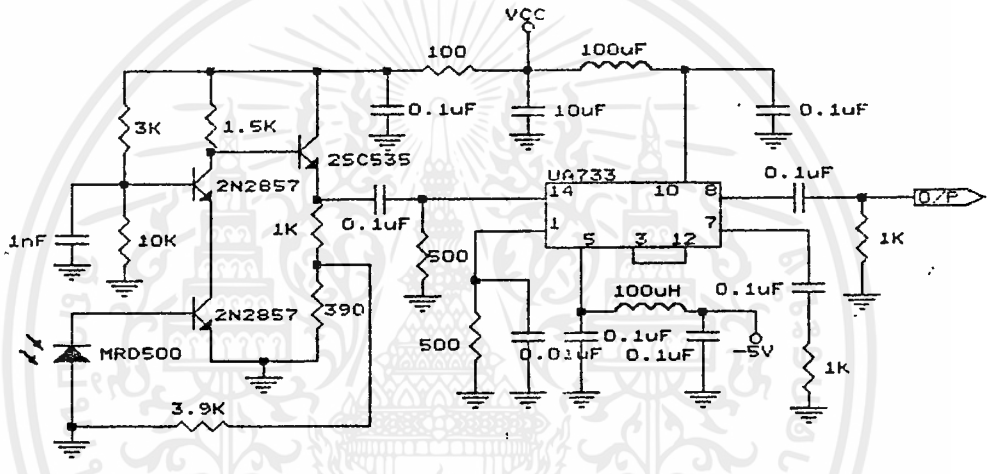
รูปที่ 4.15 วงจรขับเลเซอร์สำหรับสัญญาณ 50 kHz ถึง 50 MHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

7.2 วงจรรับสัญญาณแสง

พินไดโอด (p-i-n diode) ทำหน้าที่เปลี่ยนสัญญาณแสงเป็นกระแส โดยวงจรขยายสัญญาณทรานสอิมพิแดนซ์แบบคาสโคด (cascode) ซึ่งจะขยายสัญญาณกระแสนี้ให้เป็นสัญญาณแรงดันไฟฟ้า ซึ่งได้ค่าทรานสอิมพิแดนซ์ประมาณ 12k สัญญาณรบกวนที่เกิดมีค่าต่ำมาก ส่วนแบนด์วิดธ์ (Bandwidth) มีค่ามากกว่า 15 MHz สัญญาณที่ได้จากวงจรทรานสอิมพิแดนซ์จะถูกขยายอีก 50 เท่า โดย Video Amp. เบอร์ UA733

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.16 วงจรรับสัญญาณแสง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

8. วงจรรับส่งข้อมูลระหว่างชุมสาย

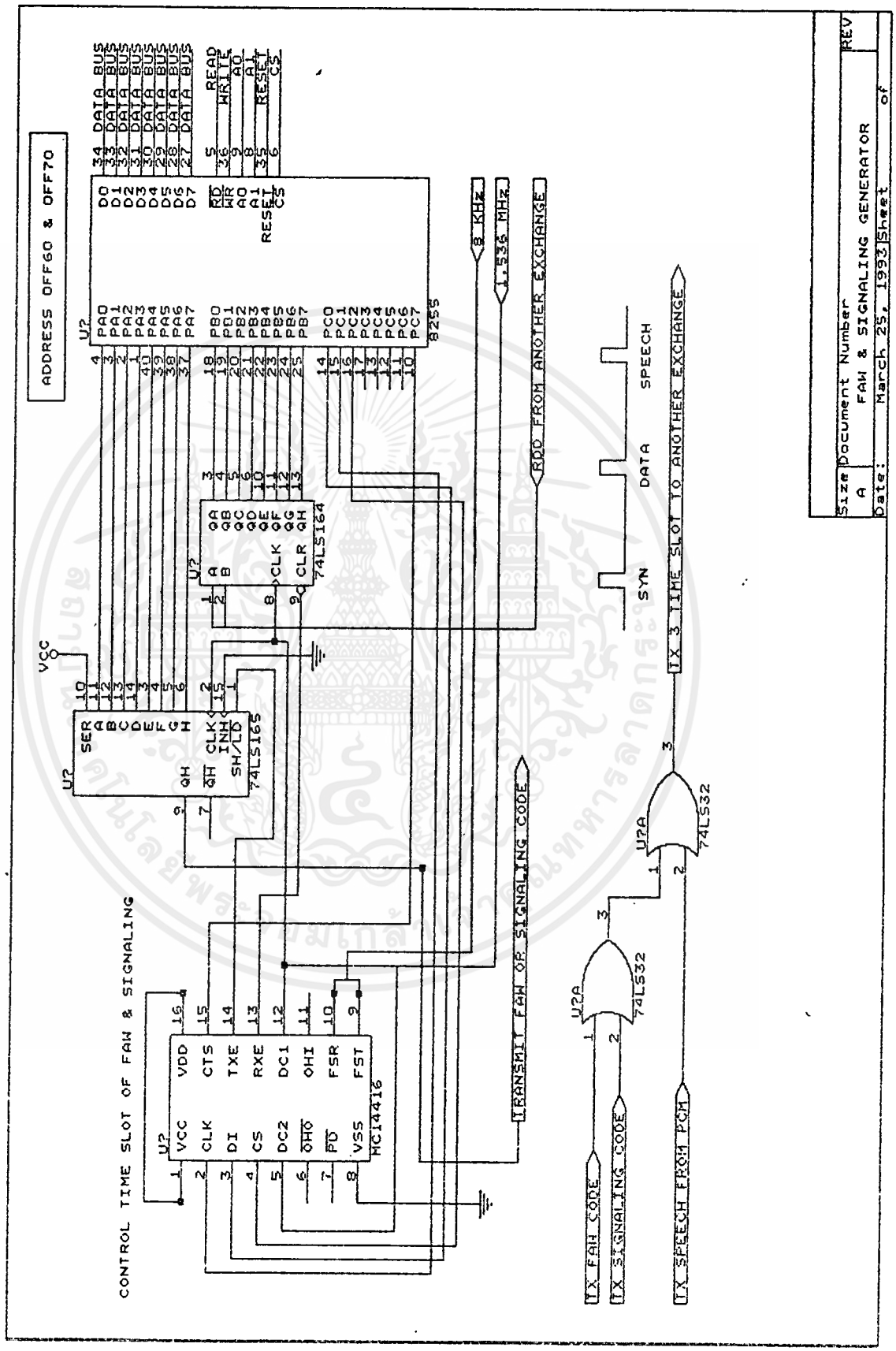
วงจรรับส่งข้อมูลระหว่างชุมสายเป็นวงจรที่ทำหน้าที่สร้างสัญญาณ FAW เพื่อให้อีกชุมสายสามารถทำงานได้สอดคล้องกัน และสัญญาณ SIGNALING เพื่อบอกให้อีกชุมสายทราบสถานะโทรศัพท์ของชุมสายตัวเอง โดยจะประกอบไปด้วยวงจรส่วนส่งข้อมูลและรับข้อมูลซึ่งมีสองชุดที่เหมือนกันคือ ชุดรับ-ส่งข้อมูลที่เป็นสัญญาณ FAW และชุดรับส่งข้อมูลที่เป็นสัญญาณ SIGNALING ดังแสดงวงจรในภาพหน้าถัดไป

วงจรส่งข้อมูลระหว่างชุมสายจะใช้ไอซีเบอร์ 74165 ซึ่งทำหน้าที่แปลงข้อมูลแบบขนานที่ได้จากไอซี 8255 มาเป็นข้อมูลแบบอนุกรมเพื่อรอส่งออกไปยังอีกชุมสาย

วงจรรับข้อมูลระหว่างชุมสายจะใช้ไอซีเบอร์ 74164 ซึ่งทำหน้าที่แปลงข้อมูลแบบอนุกรมที่รับได้จากอีกชุมสายเป็นข้อมูลแบบขนานเพื่อส่งให้ 8255

วงจรรับและส่งข้อมูลแต่ละชุมจะใช้ไอซี 14416 ทำหน้าที่กำหนดช่วงเวลาในการรับหรือส่งข้อมูลในเวลาที่กำหนด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



วงจรรับส่งข้อมูลระหว่างชุมสาย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งาน[illegible]ให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 5

การทดลองและผลการทดลอง

การทดลองและผลการทดลองแต่ละวงจรที่สร้างขึ้น

1. ส่วนเชื่อมต่อคู่สายโทรศัพท์ (Subscriber Loop Interface Circuit,SLIC)

การทดลองในส่วนนี้ ซึ่งมีไอซีเบอร์ 3419L เป็นตัวหลัก หน้าที่ที่สำคัญคือจ่ายไฟให้โทรศัพท์ เช็คสภาวะยกหู/วางหู แยกสายรับ-ส่ง การจ่ายไฟให้โทรศัพท์นั้น สามารถเช็คได้จากการที่ยกหูขึ้นแล้วสามารถได้ยินเสียงครางและเมื่อเราส่งเสียงพูด เราก็จะได้ยินเสียงตัวเองด้วย การเช็คสภาวะยกหู/วางหู อาศัยผลการเช็คจากขาที่ 14 ของไอซี ซึ่งขณะวางหูจะวัดศักดาเทียบกับกราวด์ได้ประมาณ -15 โวลท์ ขณะยกหูจะวัดศักดาได้ประมาณ -0.8 โวลท์การจะทำให้ศักดาค่าเหล่านี้บอกสภาวะลอจิกเพื่อติดต่อกับไมโครโปรเซสเซอร์ได้ คือ 0 และ 5 โวลท์ นั้น ก็โดยการต่อความต้านทานพูลอัพ (pull up) ค่าประมาณ 100 กิโลโอห์ม จะทำให้ได้ลอจิก 1 ขณะวางหู และลอจิก 0 ขณะยกหู และในส่วนของการแยกรับ(Receive) / ส่ง(Transmit)นั้น การทดสอบความสามารถในการรับก็โดยการลองป้อนสัญญาณโทรศัพท์ เช่น ไดอัลโทน เข้าทางสายรับ ถ้าขณะเรายกหูขึ้นฟัง เราสามารถได้ยินเสียงไดอัลโทน แสดงว่าภาครับนี้ใช้งานได้ ส่วนความสามารถในการส่ง ก็ตรวจสอบได้โดยการจับสัญญาณที่สายส่ง หรือที่เอาท์พุทของออปแอมป์ ถ้าขณะเรายกหูขึ้นพูด แล้วมีสัญญาณเสียงออกมาก็แสดงว่าภาคส่งนี้ใช้งานได้ ขนาดของเสียงที่ออกมานี้ ปกติที่ขา 16 ซึ่งเป็นขาส่งจะมีขนาดสัญญาณออกมาประมาณ 0.1 โวลท์ เราสามารถปรับอัตราการขยายได้ โดยการปรับความต้านทานฟีดแบค (Feedback) ของออปแอมป์ โดยสัญญาณเอาท์พุทนี้จะต้องนำไปต่อเข้ากับวงจรสุ่มสัญญาณซึ่งต้องการสัญญาณขนาดสูงถึงประมาณ 4-6 โวลท์

ผลการทดลอง เป็นไปตามเป้าหมาย ทดลองนำส่วนเชื่อมต่อคู่สายโทรศัพท์ของสองเครื่องมาติดต่อกัน โดยการต่อภาครับเข้ากับภาคส่งของอีกเครื่อง ในทำนองเดียวกัน ต่อภาคส่งเข้ากับภาครับของอีกเครื่องโดยตรง จะสามารถได้ยินเสียงพูดของอีกฝ่าย มีสัญญาณรบกวนบ้าง อีกทั้งเสียงที่ได้ยินก็ไม่ดังนัก แต่ปรับแต่งได้ด้วยความต้านทานฟีดแบคดังกล่าวข้างต้นจะทำให้ได้ยินเสียงได้ดังขึ้น

2. ส่วนสร้างสัญญาณโทรศัพท์

ในส่วนของวงจรสร้างสัญญาณโทรศัพท์ ความถี่และดิวตี้ไซเคิล (Duty cycle) ที่ต้องการ สามารถหาค่าของตัวต้านทานและตัวเก็บประจุได้จากสูตร ดังในบทที่ 4 แต่ผลที่ได้ออกมาถึงแม้จะไม่เท่ากับที่คำนวณพอดี คือมีความเบี่ยงเบนไปบ้าง แต่ก็สามารถนำมาใช้งานได้ โดยลองป้อนเข้าทางภาครับของส่วนเชื่อมต่อคู่สายโทรศัพท์ก็สามารถได้ยินเสียงดังชัดเจนดี

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ส่วนที่มีปัญหาคือ ในส่วนของวงจรขับสัญญาณเรียก ที่ต้องการขนาดถึง 100 โวลท์ โดยประมาณ การต่อวงจรใช้งานจึงใช้ทรานซิสเตอร์กำลังทำการต่อแบบคอมพลีเมนทารี (Complementary) เพื่อการจ่ายกระแสสูง เนื่องจากศักดาสูงการต่อใช้งานจึงต้องควรระมัดระวังอย่าให้เกิดความผิดพลาด เพราะการจ่ายสัญญาณในส่วนนี้จะทำโดยการอีนาเบิลอุปกรณ์ออปโตไอโซเลเตอร์ (Opto Isolator) เบอร์ MOC3040 และผ่านสัญญาณไปต่อเข้ากับสายโทรศัพท์ทางสายริง (Ring) ซึ่งต่ออยู่กับไอซี 3419L ถ้าเกิดความผิดพลาด ศักดาสูงขนาดนี้อาจทำความเสียหายต่อไอซี 3419Lได้ เอาท์พุทที่ได้จากวงจรขับนี้ จะต้องผ่านตัวเก็บประจุซึ่งทนศักดาสูงก่อนที่จะผ่านมา ถึง MOC3040 เพื่อกรองไฟสัญญาณดีซีออก การปรับแต่งเพื่อให้ได้สัญญาณสูงตามต้องการสามารถกระทำได้ โดยการปรับแต่งที่ค่าความต้านทานต่าง ๆ เช่น ความต้านทานที่ใช้ไบอัสให้กับทรานซิสเตอร์ตัวหน้าสุด หรือ ความต้านทานที่ต่อกับชาอีมิดเตอร์ทางเอาท์พุท การเลือกค่าต้องเลือกให้ถูกต้องมิฉะนั้นจะทนกระแสไม่ได้ เนื่องจากใช้ไฟสูงมาก ถ้าสัญญาณยังต่ำไป อาทิเช่น 50 โวลท์ เสียงที่ได้ยินจะไม่ได้ยินเลย หรือขาดเป็นห้วง ๆ แต่เมื่อเพิ่มศักดาขึ้นอีกจนถึงค่า ๆ หนึ่งจะสามารถได้ยินเสียงสัญญาณเรียกชัดเจน

ผลการทดลอง เกิดปัญหาในเรื่องการเลือกค่าตัวเก็บประจุที่นำมาต่อคร่อมที่เอาท์พุทก่อนจะผ่านสัญญาณไปให้สายโทรศัพท์ ต้องเลือกค่าที่เหมาะมิฉะนั้นจะเกิดการดึงขนาดสัญญาณได้ เมื่อได้ค่าตามต้องการแล้วจับดูสัญญาณก็ได้สัญญาณที่สมบูรณ์ทั้งรูปร่างและขนาดที่ต้องการ

3. วงจรออสซิเลเตอร์

วงจรส่วนนี้ใช้ในการสร้างสัญญาณนาฬิกาเพื่อให้วงจรทั้งหมดทำงานได้ถูกต้องตามจังหวะเวลา ซึ่งในการสร้างวงจรนี้ใช้ออสซิลเลเตอร์ และใช้วงจรหารความถี่ให้ได้ค่าที่ต้องการ ซึ่งจากการสร้างและทดลองปรากฏว่าได้ผลดี ไม่เกิดปัญหาแต่อย่างใด

4. วงจรสุ่มสัญญาณและกำหนดช่องสัญญาณ

วงจรส่วนนี้สร้างโดยใช้ไอซีที่ทำหน้าที่กำหนดช่วงเวลาและสุ่มสัญญาณโดยตรง โดยไอซีที่ทำหน้าที่กำหนดช่องสัญญาณใช้เบอร์ MC14416 ซึ่งสามารถควบคุมช่องสัญญาณได้จากพอร์ทของ 8255 ซึ่งควบคุมจากไมโครโปรเซสเซอร์ ผลการทดลองและใช้งานปรากฏว่าใช้งานได้ดี โดยการกำหนดช่องสัญญาณต้องมีการเขียนโปรแกรมประกอบซึ่งไม่พบปัญหาแต่อย่างใด

วงจรสุ่มสัญญาณใช้ไอซี MC14400 ซึ่งทำหน้าที่สุ่มสัญญาณอนาลอกเป็นสัญญาณดิจิตอล และรับสัญญาณดิจิตอลแล้วแปลงกลับเป็นสัญญาณอนาลอกได้ในตัวเดียวกัน โดยถูกกำหนดช่องสัญญาณจาก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ไอซีเบอร์ MC14416 ซึ่งผลการทดลองในระยะแรกมีปัญหาที่กราวด์ไม่ได้ระดับตามต้องการ แต่ก็สามารถแก้ปัญหาได้โดยการเปลี่ยนไฟเลี้ยงไอซีใหม่ ทำให้สามารถใช้งานได้ดีไม่มีปัญหาใดๆ

5. วงจรถอดรหัสสัญญาณ

การทดลองวงจรนี้ไม่ยุ่งยากนัก เนื่องจากประกอบไปด้วยอุปกรณ์ที่นำมาต่อเข้ากับไอซีที่ใช้ถอดรหัสความถี่โทรศัพท์ คือ ไอซีเบอร์ MT8870 เพียงไม่กี่ตัว การทดสอบการทำงานก็โดยการตรวจสอบที่ BCD เอาท์พุท ทั้ง 4 บิต ว่าเมื่อกดหมายเลขต่าง ๆ แล้ว ได้ผลดังตารางหรือไม่ อาทิเช่น ที่บิต Q_1 จะมีสภาวะ "High" เมื่อกดปุ่มหมายเลขคี่ หรือ * , A และ C เท่านั้น อีกทั้งต้องตรวจสอบการทำงานที่ขา StD ซึ่งจะ "High" เมื่อมีการกดปุ่ม เพื่อความสะดวกในการตรวจสอบจึงใช้แอลอีดีแสดงผลการทดลอง

ผลการทดลองเป็นไปตามต้องการ แต่เมื่อต่อวงจรร่วมกันทั้งหมดอาจเกิดการรบกวนกันความถี่เพี้ยนไปจนไม่สามารถดีโคด (decode) ได้

6. วงจรสวิทช์พาธ (Switch Path)

การทดลองวงจรนี้ ทดลองโดยใช้สัญญาณความถี่ประมาณ 1 MHz ผ่านเข้าไปยังอินพุทของวงจรและวัดเอาท์พุทที่ได้ โดยในการทดลองต้องควบคุมวงจรนี้โดยใช้ 8255 ซึ่งควบคุมจากไมโครโปรเซสเซอร์ร่วมกับโปรแกรม ผลการทดลองวัดเอาท์พุทที่ได้ปรากฏว่าสัญญาณอินพุท และเอาท์พุทมีลักษณะเหมือนกัน นั่นแสดงว่าสามารถส่งผ่านสัญญาณดิจิตอลที่เป็นสัญญาณเสียง ซึ่งถูกแปลงเป็นสัญญาณดิจิตอลแล้วได้

7. วงจรส่วนเชื่อมต่อกับสายไฟเบอร์ออพติก

การทดลองแยกเป็นภาคส่งสัญญาณกับภาครับสัญญาณ ดังนี้

7.1 ภาคส่งสัญญาณ

เพื่อป้องกันความเสียหายที่จะเกิดขึ้นแก่เลเซอร์ไดโอดซึ่งมีราคาแพง ดังนั้นการทดสอบจึงควรใช้ไดโอดเปล่งแสงและโฟโตไดโอดในการทดสอบแทนไปก่อน การเร่งให้ไดโอดเปล่งแสงทำงานได้ก็ด้วยการปรับแต่งที่ตัวต้านทานทางขาบวกของออปแอมป์ จนเมื่อไดโอดเปล่งแสงทำงาน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

แล้ว ก็จะเกิดกระแสไหลมาทางโฟโตไดโอด เราต้องจับให้ไดโอดเปล่งแสงและโฟโตไดโอดมาใกล้จนชนกัน คือกระทำตัวเสมือนเป็นเลเซ่อร์ไดโอดตัวหนึ่ง จากนั้นปรับแต่งตัวต้านทานทางขาลบของออปแอมป์เพื่อให้ได้กระแสผ่านไดโอดอยู่ในช่วงที่ต้องการ ปรกติประมาณ 50 มิลลิแอมป์ การตรวจสอบกระแสนี้ โดยการวัดศักดาคร่อมความต้านทาน 30 โอห์ม

เมื่อเห็นว่าวงจรสามารถทำงานให้เป็นไปตามต้องการได้แล้วก็เปลี่ยนใช้เลเซอร์ไดโอดจริง

7.2 ภาครับสัญญาณ

จากการทดลองรับสัญญาณที่ส่งผ่านมาจากไฟเบอร์ออปติก ปรากฏว่ามีสัญญาณรบกวนเล็กน้อย แต่ยังสามารถแยกแยะออกได้ว่าเป็นข้อมูลที่ส่งมาจริง และพบว่าสามารถใช้ในย่านความถี่ที่กำหนดได้ (1.536 MHz)

8. **วงจรรับส่งข้อมูลระหว่างชุมสาย**

การทดลองวงจรนี้ทำโดยการส่งข้อมูลไปและทดลองรับข้อมูลที่ส่งไปแล้วเทียบกัน ผลปรากฏว่าข้อมูลที่รับได้ถูกต้องทุกประการ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 6
สรุปและวิจารณ์ผล

ชุมสายโทรศัพท์ระบบดิจิตอลที่จัดทำขึ้น มีขอบเขตจำกัดที่ต้องใช้วงจรออสซิลเลเตอร์ร่วมกัน ซึ่งในทางปฏิบัติจะต้องแยกกันคนละชุมสายและมีวงจรตรวจสอบสัญญาณออสซิลเลเตอร์ให้สามารถทำงานได้สอดคล้องกัน แต่ในการทำโครงงานนี้ได้ใช้วงจรออสซิลเลเตอร์ร่วมกัน ทั้งนี้เนื่องจากจุดประสงค์หลักของโครงงานนี้คือ การติดต่อสื่อสารระหว่างชุมสายให้สามารถสื่อสารร่วมกันได้ด้วยเทคนิคการส่งข้อมูลแบบดิจิตอล และอีกประการหนึ่งก็เพื่อลดความยุ่งยากทางด้านฮาร์ดแวร์ที่ต้องมีการตรวจสอบสัญญาณออสซิลเลเตอร์จากชุมสายหลักตลอดเวลา

สำหรับผลการทดลองเป็นที่น่าพอใจทุกส่วน ซึ่งอาจต้องมีการปรับแต่งในบางส่วนภายหลังบ้างเมื่อมีการประกอบเข้าด้วยกันเป็นภาครวมทั้งระบบ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในส่วนที่เป็นภาคผนวกนี้จะอธิบายวงจรที่ใช้ในการอินเตอร์เฟซกับไมโครโปรเซสเซอร์คร่าวๆ เพื่อให้ผู้อ่านได้ทราบถึงการติดต่อระหว่างตัวเครื่องโทรศัพท์กับซีพียูแต่ละส่วนดังนี้

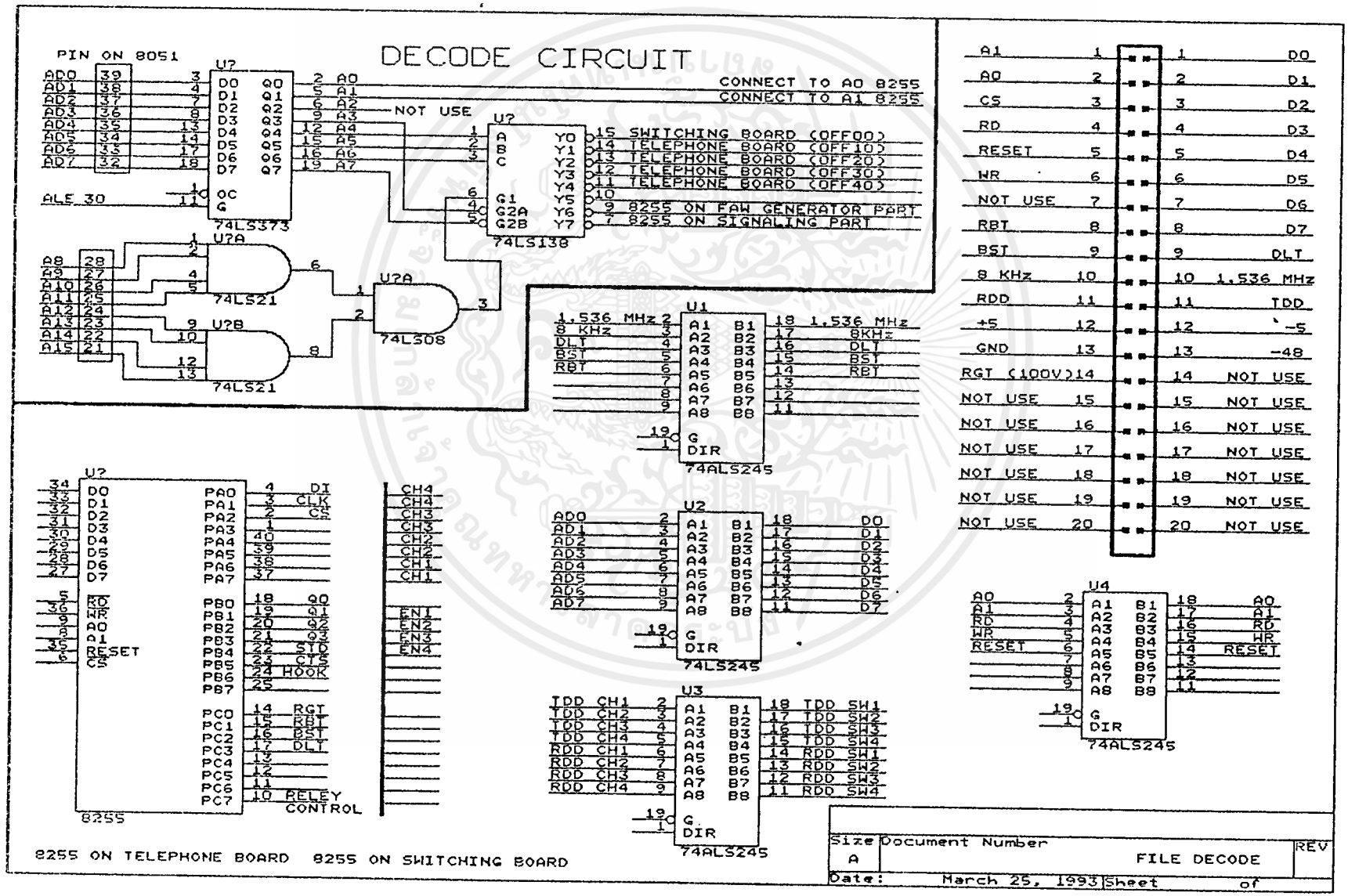
วงจรกำหนดแอดแดรสของไอซี 8255

วงจรนี้มีดังแสดงในภาพหน้าถัดไป โดยมีการทำงานคร่าวๆ คือ กำหนดให้ไอซี 8255 ทั้ง 8 ตัวมีตำแหน่งแอดแดรสดังนี้คือ

0FF00 - 0FF03	เป็นแอดแดรสของ 8255 ตัวที่ 1
0FF10 - 0FF13	เป็นแอดแดรสของ 8255 ตัวที่ 2
0FF20 - 0FF23	เป็นแอดแดรสของ 8255 ตัวที่ 3
0FF30 - 0FF33	เป็นแอดแดรสของ 8255 ตัวที่ 4
0FF40 - 0FF43	เป็นแอดแดรสของ 8255 ตัวที่ 5
0FF50 - 0FF53	เป็นแอดแดรสของ 8255 ตัวที่ 6
0FF60 - 0FF63	เป็นแอดแดรสของ 8255 ตัวที่ 7
0FF70 - 0FF73	เป็นแอดแดรสของ 8255 ตัวที่ 8

การถอดรหัสแอดแดรสของ 8255 ใช้ไอซีเบอร์ 74138 เพื่อเลือกช่วงแอดแดรสที่ต้องการ โดยทำงานร่วมกับไอซีเบอร์ 74373 ซึ่งทำหน้าที่ค้างสถานะแอดแดรสบัสของซีพียูไว้ (เนื่องจากไอซี 8031 ใช้แอดแดรสบัสไบท์ต่ำและดาต้าบัสร่วมกัน จึงต้องใช้ 74373 เป็นตัวแยกแอดแดรสบัสไบท์ต่ำออกจากดาต้าบัส โดยการควบคุมจากขา ALE จาก 8031 ดังนั้น Q0-Q7 ของไอซี 74373 จึงมีค่าของแอดแดรสบัส A0-A7 ส่วนแอดแดรสบัสไบท์สูงใช้จากขาของ 8031 โดยตรง การเลือกช่วงแอดแดรสใช้ A4, A5, A6 ต่อกับไอซี 74138 ส่วน A0 และ A1 ต่อเข้าโดยตรงกับ 8255 ทุกตัว

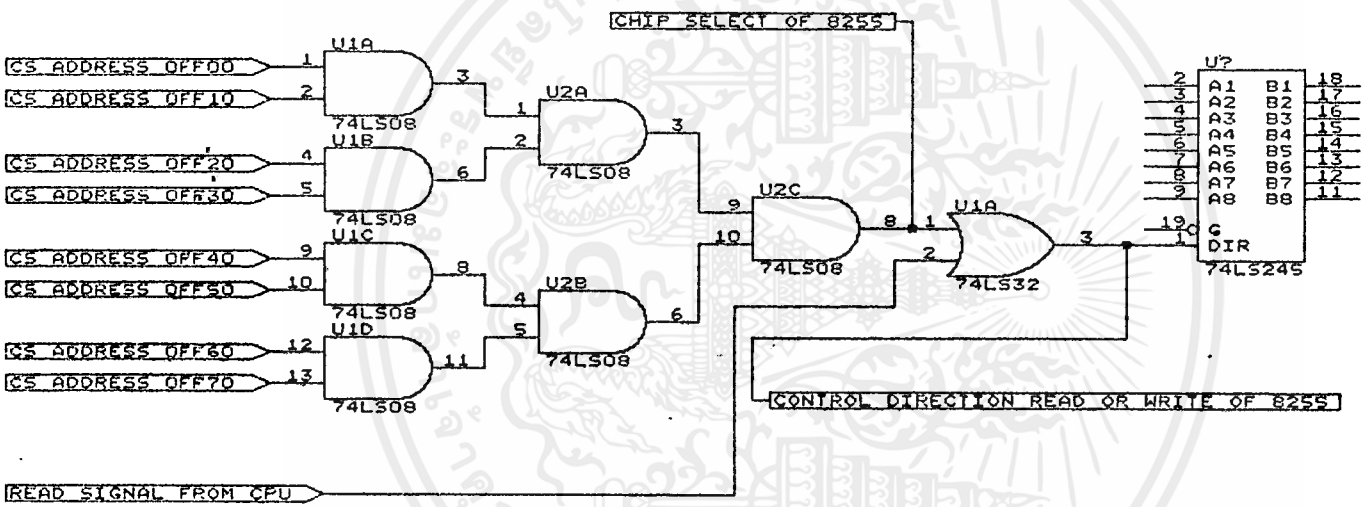
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้


DECODE CIRCUIT
PIN ON 8051
U?
74LS373
ALE 30
U2
74LSI38
CONNECT TO A0 8255
CONNECT TO A1 8255
NOT USE
15 SWITCHING BOARD (OFF00)
14 TELEPHONE BOARD (OFF10)
13 TELEPHONE BOARD (OFF20)
12 TELEPHONE BOARD (OFF30)
11 TELEPHONE BOARD (OFF40)
9 8255 ON FAW GENERATOR PART
7 8255 ON SIGNALING PART
U2A
U2B
74LS21
74LS08
U1
74ALS245
1.536 MHz
8 KHz
DLT
BST
RBT
U2
74ALS245
U3
74ALS245
U4
74ALS245
U?
8255
DI
CLK
CS
RGI
RBT
BST
DLT
RELEY CONTROL
HOOK
CH4
CH3
CH2
CH1
EN1
EN2
EN3
EN4
TDD SW1
TDD SW2
TDD SW3
TDD SW4
RDD SW1
RDD SW2
RDD SW3
RDD SW4
A1
A0
CS
RD
RESET
WR
+5
GND
RGI (100V)
1.536 MHz
8KHz
TDD
-5
-48
NOT USE
8255 ON TELEPHONE BOARD 8255 ON SWITCHING BOARD
Size
A
Document Number
FILE DECODE
REV
Date: March 25, 1993
Sheet of

วงจรสร้างสัญญาณควบคุมการอ่านและเขียนข้อมูลกับ 8255

เนื่องจากซีพียูต้องทำการอ่านหรือเขียนข้อมูลระหว่าง 8255 ในขณะทำงานตามโปรแกรม ดังนั้นสัญญาณการอ่าน (RD) จะต้องแอกทีฟในช่วงที่มีการเลือกอ่านหรือเขียนข้อมูลกับ 8255 จึงจำเป็นต้องนำสัญญาณ CS ของ 8255 ทุกตัวมาเข้า OR เกท (เพราะสัญญาณ CS และสัญญาณการอ่านข้อมูลแอกทีฟที่ลอจิกต่ำ) จากนั้นจึงนำไปต่อเข้ากับขา DIR ของ 74245 เพื่อเลือกว่าจะเป็นการอ่านหรือเขียนข้อมูลระหว่างซีพียูกับ 8255 วงจรสร้างสัญญาณควบคุมการอ่านและเขียนข้อมูลกับ 8255 มีดังแสดงในภาพหน้าถัดไป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



Size	Document Number	REV
A	CS AND RD CONTROL	
Date: March 25, 1993	Sheet of	

การต่อวงจรเพื่อใช้งานกับ 8255

MOTOROLA
SEMICONDUCTOR
TECHNICAL DATA

MC3419-1L

2

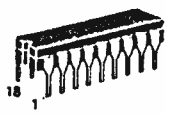
TELEPHONE LINE-FEED CIRCUIT

. . . designed as the heart of a circuit to provide BORSHT functions for telephone service in Central Office, PABX, and Subscriber Carrier equipment. This circuit provides dc power for the telephone (Battery), Overvoltage protection, Supervision features such as hook status and dial pulsing, two-wire differential to four-wire single-ended conversions and suppression of longitudinal signals at the two-wire input (Hybrid), and facilitates ringing insertion, Ring trip detection and Testing.

- Totally Upward Compatible with the MC3419
- All Key Parameters Externally Programmable
- Current Sensing Outputs Monitor Status of Both Tip and Ring Leads for Auxiliary Functions such as: Ground Key, Ring Trip, Message Waiting Lamp, etc.
- On-Hook Power Below 5.0 mW
- Digital Hook Status Output
- Powerdown Input
- Ground Fault Protection
- Operates from Single −20 V to −56 V Power Source
- Size and Weight Reduction Over Conventional Approaches
- The sale of this product is licensed under Patent No. 4,004,109. All royalties related to this patent are included in the unit price.

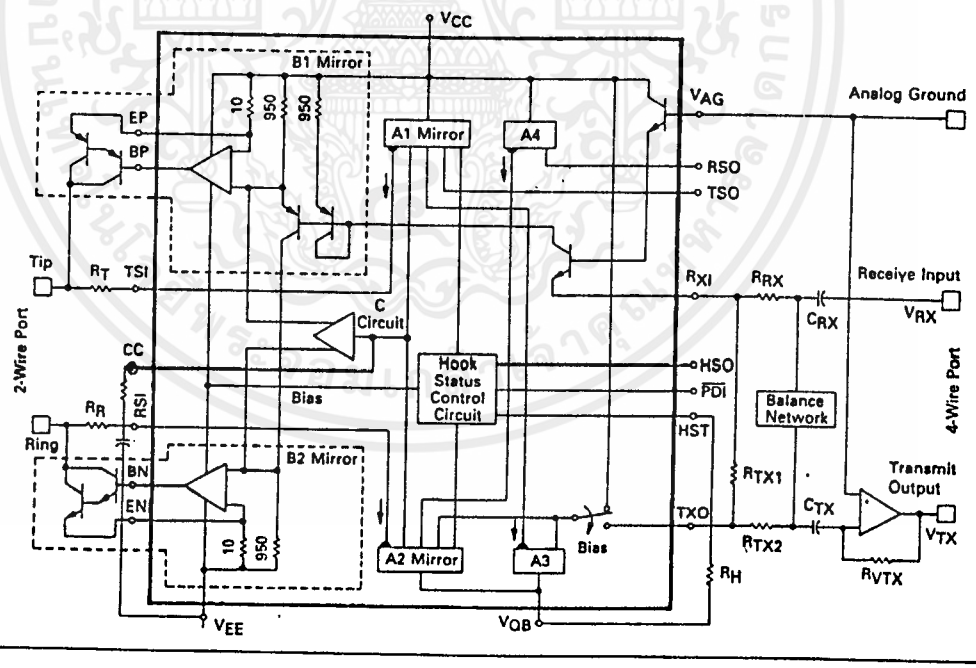
SUBSCRIBER LOOP INTERFACE CIRCUIT (SLIC)

BIPOLAR LASER-TRIMMED INTEGRATED CIRCUIT



L SUFFIX
CERAMIC PACKAGE
CASE 726-04

FUNCTIONAL BLOCK DIAGRAM



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านก
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

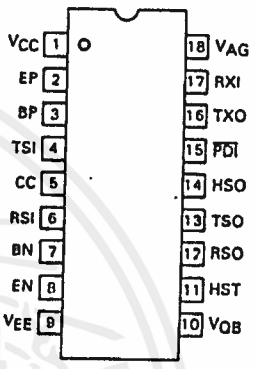
MAXIMUM RATINGS (Voltages Referenced to V_{CC}.)

Rating	Symbol	Value	Unit
Voltage	V_{EE} V_{OB}	−60 V_{EE} − 1.0 V	Vdc
Powerdown Input Voltage Range	$V_{\overline{PDI}}$	+15 to −15	Vdc
Sense Current Steady State Pulse — Figure 4	I_{TSI}, I_{RSI}	 100 200	mAdc
Storage Temperature Range	T_{stg}	−65 to +150	°C
Operating Junction Temperature (θ_{JA} = 100°C/W Typ)	T_J	150	°C

OPERATING CONDITIONS (Voltages Referenced to V_{CC}.)

Rating	Symbol	Value	Unit
Operating Ambient Temperature Range	T_A	0 to +70	°C
Loop Current	I_L	10 to 120	mA
Voltage	V_{EE} V_{OB}	−20 to −56 −20 to V_{EE}	Vdc
Analog Ground (I_L = 0 to 60 mA) (I_L = 0 to 120 mA)	V_{AG}	 0 to −12 −2.5 to −12	Vdc
Supervisory Output Voltage Compliance Range	V_{RSO}, V_{TSO}	−2.0 to −20	Vdc
Hook Status Output	V_{HSO}	+15 to −20	Vdc
Loop Resistance	R_L	0 to 2500	Ω

PIN CONNECTIONS



TRANSMISSION CHARACTERISTICS (R_L = 600 Ω unless otherwise noted.)

Characteristic	Figure	Symbol	Min	Typ	Max	Unit
Transmit and Receive Gain Variation (Insertion Loss) (1.0 kHz @ 0 dBm Input)	1	V_{TX}/V_L, V_L/V_{RX}	−0.3	0	+0.3	dB
Transhybrid Rejection (Input — 1.0 kHz @ 0 dBm) Fixed (1%) Resistor Balance Network Trimmed Balance Network All Types	1	V_{TX}/V_{RX}	 −23 —	 −35 −55	 — —	dB
Level Linearity (−48 to +3.0 dBm, referenced to 0 dBm @ 1.0 kHz) Transmission Reception	1	 V_{TX}/V_L V_L/V_{RX}	 −0.1 −0.1	 0 0	 +0.1 +0.1	dB
Frequency Response (200–3400 Hz referenced to 1.0 kHz @ 0 dBm) Transmission Reception	1	 V_{TX}/V_L V_L/V_{RX}	 −0.1 −0.1	 0 0	 +0.1 +0.1	dB
Total Distortion @ 1.0 kHz, 0 dBm (C-Message Filtered)	1	V_L/V_{RX} V_{TX}/V_L	— —	−60 −60	— —	dB

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2

PIN DESCRIPTIONS

Pin	Name	Function
1	V_{CC}	The positive supply voltage. This point is ground in typical applications.
2, 8	EP & EN	Loop current sensing inputs. These are connected to the emitters of the PNP and NPN Darlington transistors. They are tied through 10 Ω resistors to V_{CC} and V_{EE}, respectively. The maximum continuous current through these inputs is 240 mA.
3, 7	BP & BN	Base drive outputs. These pins drive the bases of the PNP and NPN transistors and are able to sink or source, respectively, up to 5.0 mA.
4, 6	TSI & RSI	Tip and Ring voltage Sensing Inputs. They are low impedance inputs (approximately 600 Ω each i.e., 400 Ω + 3 diodes) that translate the voltages on Tip and Ring to a current through resistors R_T and R_R. TSI is referenced to V_{CC} and RSI is referenced to V_{QB}. These pins have 6.0 V zener diodes (to their respective reference) for protection against overvoltage line surges.
5	CC	Compensation Capacitor pin. This pin is used to stabilize the longitudinal or common mode circuitry.
9	V_{EE}	Negative supply voltage. This pin ties to the chip substrate. Its operating voltage range is − 20 V to − 56 V. It can withstand − 60 V without damage and can sustain a voltage surge to − 75 V for less than 4.0 ms without significant degradation of performance. Most of the loop current and bias currents flow through this pin.
10	V_{QB}	Quiet Battery Voltage reference. This is the voltage reference for the RSI pin. Its voltage must not go more negative than V_{EE}. The current through this pin, while powered up, is proportional to the loop current, allowing it to be used for loop current limiting. The voltage on this pin, less 4 volts, is the "effective battery feed voltage for the 2-wire lines even though most of the power comes from the V_{EE} supply.
11	HST	Hook Status Threshold programming resistor input. R_H determines the value of loop resistance at which on-hook and off-hook status is switched.
12	RSO	Ring Sense current Output. This output reflects the voltage status of the Ring terminal for voltages more positive than V_{QB}. The current is sourced from this output, it is one-sixth I_{RSI}, its voltage range is 0 to − 20 V and its saturation voltage is approximately − 2.0 V.
13	TSO	Tip Sense current Output. This output reflects the voltage status of the Tip terminal for voltages more negative than V_{CC}. The current is sourced from this output, it is one-sixth I_{TSI}, its voltage range is 0 V to − 20 V and its saturation voltage is approximately − 2.0 V.
14	HSO/$\overline{\text{HSO}}$	Hook Status Output. This is a digital output that reflects the condition of the loop resistance. If loop resistance is less than a predetermined value established by R_H, usually R_L < 2.5 kΩ, the HSO pin will be active, i.e., with positive voltage logic (a resistor tied from a + 5.0 V or + 12 V supply to HSO), this pin will sink current to V_{CC} (V_{HSO} ≅ 0 V); with negative voltage logic (a resistor tied from a − 12 V supply to HSO), this pin will source current from V_{CC} (V_{HSO} ≅ 0 V). If loop resistance is greater than a predetermined value again established by the same resistor R_H, usually R_L > 10 kΩ, the HSO pin is inactive, i.e., V_{HSO} = logic supply voltage.
15	$\overline{\text{PDI}}$	Powerdown Input pin. This pin is used to deny service to the subscriber. A logic level "0" (V_{IL} < − 4.0 V) powers down the MC3419-1 except for HSO, TSO and RSO. The voltage range of this high impedance input pin is ± 15 V.
16	TXO	Transmit current Output. This output sinks current to V_{QB} and is proportional to I_{TSI} + I_{RSI} by a ratio of K1 where: K1 = 0.51. Its saturation voltage is V_{QB} + 2.5 V typ. (+ 3.5 V over the temperature range). This pin is only active during the off-hook power-up condition.
17	RXI	Receive Input. This input sums ac currents from TXO and the receive voltage input (V_{RX}) and sources all the dc current to TXO. It has a low input impedance (15 Ω) typically biased 4.5 V below the V_{AG} pin voltage during off-hook power-up conditions. During powerdown conditions, the voltages on RXI and TXO can drift up to V_{AG}.
18	V_{AG}	Analog Ground Voltage reference input. The input impedance of this pin is much greater than 1.0 MΩ. It should be ac coupled to system ground and could be direct coupled if system ground is between 0 V and − 12 V. AC coupling requires 300 kΩ to V_{CC} and 0.1 μF to system ground. If V_{CC} and system ground are common, tie V_{AG} directly to V_{CC}. If dc loop currents are allowed to go higher than 60 mA, V_{AG} should be biased from − 2.5 V to − 12 V to avoid problems at high ambient temperatures.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

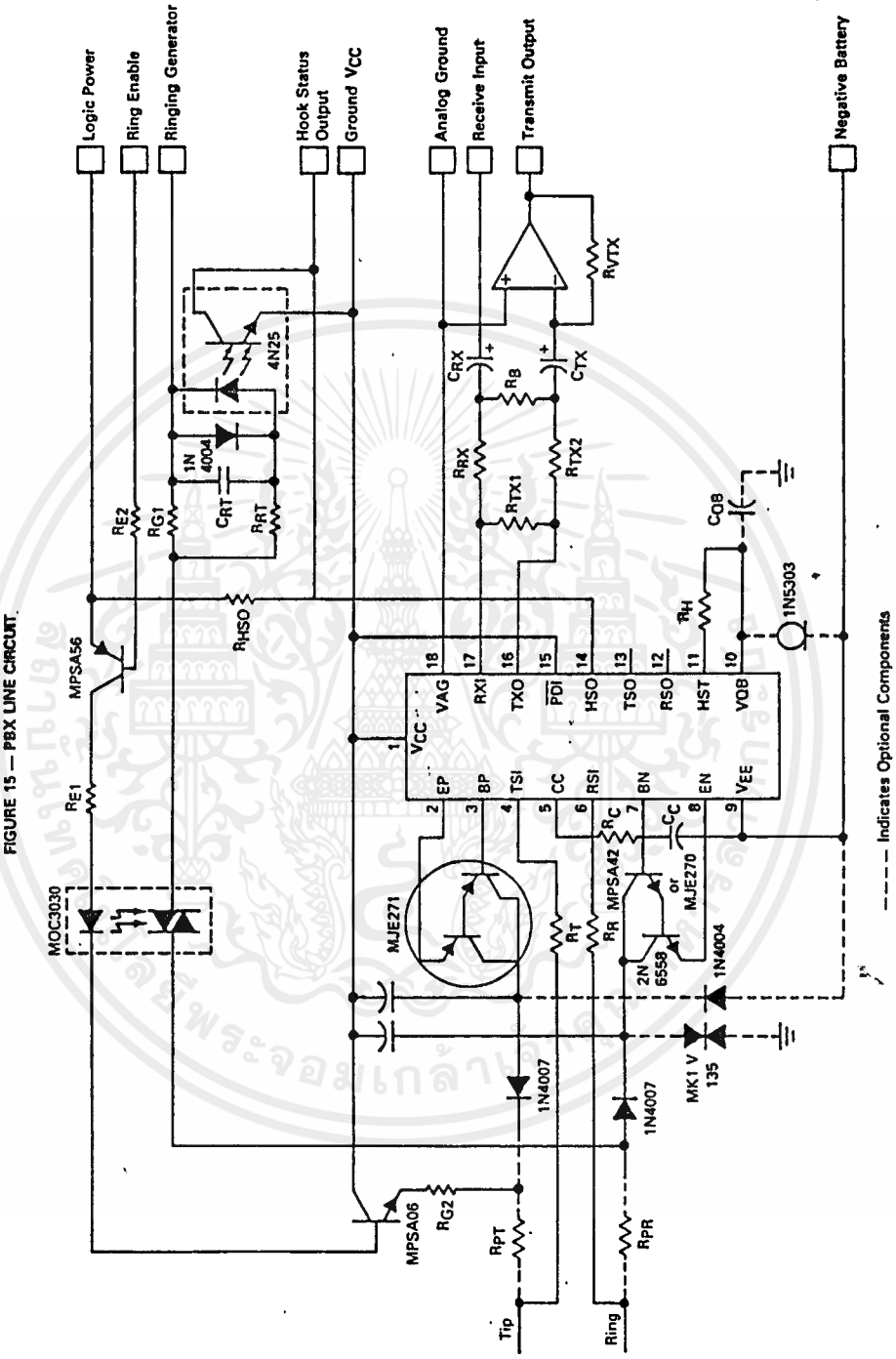


FIGURE 15 — PBX LINE CIRCUIT

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการ
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

SYSTEM EQUATIONS (continued)

on the Ring lead to exceed the power supply voltages, a 1N4007 and an MK1V-135 (Sidac) are used for protection. The forward voltage drop across the 1N4007, during normal operation, will not affect the parametric characteristics of the MC3419-1 since it is "inside" a feedback circuit. If the MJE270 is used, the MK1V-135 should be replaced with a lower voltage Sidac or MO-sorb transient suppressor.

An optocoupled transistor circuit is used for ring trip detection on long lines. It samples only the ac and dc ringing signal current and uses a simple one pole filter to eliminate the low level ac signal. Under worst case conditions this circuit will ring trip in 1½ to 4 cycles. In systems serving only short loops (<700 Ω), if R_{G1} and R_{G2} are 620 Ω or greater, the optotransistor circuit is not needed, the Hook Status Output will perform ring trip on a Zero Crossing. The Ring Enable input and the Hook Status Output interface with standard CMOS and TTL logic.

The op amp in this circuit is an integral part of the following codecs, filters or combos:

MC3417/8 — MC145414
MC14404/6/7 — MC14413/4
MC14401/2/3/5

2

LONG LINES OFF-PREMISE LINES

Specifications

R_F	— 200 Ω	R_O	— 600 Ω
I_L(max)	— 60 mA	R_X Gain	— 0 dB 200–3400 Hz
R_L(max)	— 1900 Ω	T_X Gain	— 0 dB 200–3400 Hz

Off-Hook	— <2500 Ω	V_{Logic}	— +5.0 V
On-Hook	— >10 kΩ	V_{EE}	— −42 to −56 Volts
Protection	— 1000 V	$V_{Ringing}$	— (40 V to 120 V_{RMS}) + V_{EE}
Ringer Equivalent	— 5		

Parts List

MPSA56	R_R	— 9.09 k	1%	Matched
2N3905	R_T	— 9.09 k	1%	If desired
2N6558	R_{PT}	— 47 Ω	5%	
MPSA42	R_{PR}	— 75 Ω	5%	
MJE271	R_{G1}	— 620 Ω	5%	
1N4007	R_{G2}	— 100 Ω	5%	
MK1V135	R_{E1}	— 91 Ω	5%	
1N4007	R_{E2}	— 3.0 k	5%	
1N4007	R_{RT}	— 20 k	5%	
1N5303	R_C	— 24 k	5%	
1N4004	R_H	— 127 k	1–3%	
MC3419-1	R_{HSO}	— 10 k	5%	

MOC3030
4N25

R_{TX1}	—	12.1 k 1%
R_{TS2}	—	5.76 k 1%
R_{RX}	—	28.7 k 1%
R_B	—	28.0 k 1%
R_{VTX}	—	28.6 k 1%
C_T		0.004 µF
C_R	—	0.004 µF
C_C	—	0.001 µF
C_{RX}	—	1.0 µF/20 V
C_{TX}	—	2.0 µF/40 V
C_{RT}	—	20 µF/5.0 V
C_{OB}	—	10 µF/60 V

SHORT LINES ON-PREMISE LINES

Specifications

R_F	—	500 Ω
R_L(max)	—	700 Ω
Ring Trip	—	<50 ms
Ringer Equivalent	—	2.5
R_O	—	600 Ω

R_X Gain	—	−5.0 dB
T_X Gain	—	0 dB
V_{Logic}	—	+5.0 Volts
V_{EE}	—	−20 to −56 Volts
$V_{Ringing}$	—	(40 V to 70 V_{RMS}) + V_{EE}

Parts List

MJE271	R_R	— 19.6 k	1%	
MJE270	R_T	— 19.6 k	1%	
MPSA56	R_{G1}	— 620 Ω	5%	
2N3905	R_{G2}	— 620 Ω	5%	
1N4007	R_{E1}	— 91 Ω	5%	
1N4007	R_{E2}	— 3.0 k	5%	

MOC3030

C_T	—	0.004 µF
C_R	—	0.004 µF
C_C	—	0.004 µF
C_{RX}	—	0.1 µF
C_{TX}	—	0.5 µF

R_{HSO}	—	10 k	5%
R_{TX1}	—	19.6 k	1%
R_{TX2}	—	42.2 k	1%
R_{RX}	—	69.8 k	1%
R_B	—	301 k	1%
R_{VTX}	—	127 k	1%
R_C	—	56 k	5%

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MC14400
MC14401
MC14402
MC14403
MC14405

2

CMOS LSI

(LOW-POWER COMPLEMENTARY MOS)

CODEC-FILTER
PCM MONO-CIRCUIT

CODEC-FILTER PCM-MONO-CIRCUIT

The MC14400, MC14401, MC14402, MC14403, and MC14405 are all per channel codec-filter PCM mono-circuits. These devices perform the voice digitizing and recovery, as well as the band limiting and signal restoration necessary in PCM systems. The MC14400 and MC14403 are general purpose devices that are offered in a 16-pin package. They are designed to operate in both synchronous and asynchronous applications and contain an on-chip precision voltage reference. The MC14401 is the same device, but offered in an 18-pin package. In addition, it offers the user the capability of selecting from three peak overload voltages (2.5, 3.15 and 3.78 V). The MC14405 is a synchronous device in a 16-pin package intended for instrument use. The MC14402 is the full feature device which presents all of the options available on the chip. This device is packaged in a 22-pin DIP and 28-pin chip carrier package, and contains all the features of the MC14400 and MC14401 plus several more. Most of these features can be made available in a lower pin count package tailored to a specific user's application. Contact the factory for further details.

The devices were designed to be upward compatible with the MC14404/06/07 codecs and other industry standard codecs. They also maintain compatibility with Motorola's family of TSACs (MC14416/MC14417/MC14418) as well as the MC3419 SLIC.

The PCM codec-filter mono-circuits utilize CMOS due to its reliable low-power performance and proven capability for complex analog/digital LSI functions.

MC14400

- 16-Pin Package
- On-Chip Precision Voltage Reference (3.15 V)
- Power Dissipation — 45 mW at 2.048 MHz at 10 V
  0.1 mW Powered Down at 10 V
- Compatibility with Various Supply Configurations: ±5, ±6, + 10, + 12 Volts (5%)
- Pin Selectable TTL and CMOS Digital Levels
- Automatic Prescale Divide of Any One of 5 Clock Frequencies (128 kHz, 1.536 MHz, 1.544 MHz, 2.048 MHz, or 2.56 MHz) to Generate the Internal Sequencing Clock
- Pin Selection of Both A-LAW/Mu-LAW Companding and D3/D4 or CCITT Digital Formats
- Output Drive Capability for 600 and 900 Ohm Loads of + 12 dBm
- Synchronous and Asynchronous Operation
- On-Chip Attendent Interrupt Conferencing
- Transmit Bandpass and Receive Low-Pass Filters on Chip

MC14401 — All of the Above Plus:

- 18 Pin Package
- Selectable Peak Overload Voltages (2.5, 3.15 and 3.78 Volts)
- Access to the "Minus" Input of the Tx Input Op Amp

MC14402 — All of the Above Plus:

- 22-Pin Package
- Variable Data Clocks (64 kHz to 3.088 MHz)
- Access to Transmit Input Amplifier
- An External Precision Reference May Be Used
- External Gain Adjust for Complex SLIC Configurations

MC14403

- 16-Pin Package
- Same Device as MC14400 with Access to Transmit Input Amplifier with Single Ended Receive Output
- MSI Tied Internally to TDE

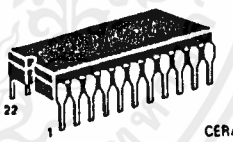
MC14405

- 16-Pin Package
- Same Device as MC14403 with Common 64 kHz to 3.088 MHz Data Clocks

OBSOLETE
MC5500 SERIES
FOR NEW
DESIGN

MC14400/03/05
L SUFFIX
CERAMIC PACKAGE
CASE 620

MC14401
L SUFFIX
CERAMIC PACKAGE
CASE 726



MC14402
L SUFFIX
CERAMIC PACKAGE
CASE 730

MC14402
Z SUFFIX
28-PIN CHIP CARRIER
CASE 763

ORDERING INFORMATION

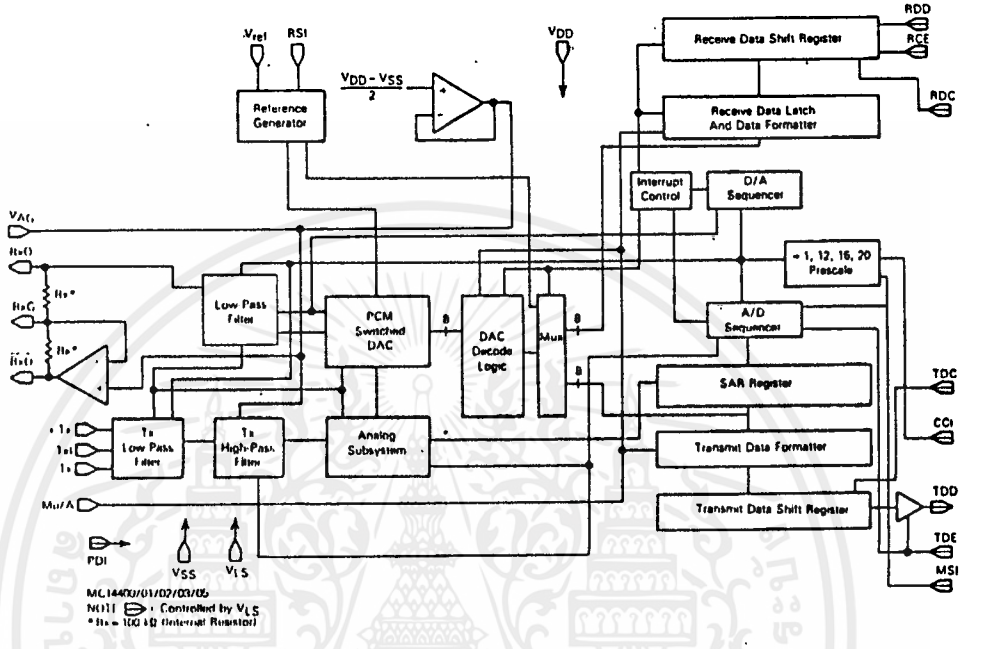
MC14XXXXX

- 1 CCITT (G7.12)
- 2 D3/D4 (PUB 43801)
- L Ceramic Package
- Z Leadless Ceramic Package

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2

PCM MONO-CIRCUIT BLOCK DIAGRAM



DEVICE DESCRIPTIONS

There are five distinct versions of the Motorola PCM mono-circuit.

MC14400

The MC14400 PCM mono-circuit is a PCM codec-filter intended for standard word interleaved synchronous or asynchronous applications. The TDC pin on this device is the input to both the TDC and CCI functions in the pin description. Consequently, for MSI = 8 kHz, TDC can be one of five discrete frequencies. These are 128 kHz (40 to 60% duty) 1.536, 1.544, 2.048 or 2.56 MHz. (For other data clock frequencies see MC14402 or MC14405.) The internal reference is set for 3.15 volts peak full scale, and the full scale input level at Txi and output level at RxO is 6.3 volts peak-to-peak. This is the + 3 dBm0 level of the PCM mono-circuit. All other functions are described in the pin description.

MC14401

The MC14401 PCM mono-circuit offers the same features and is for the same application as the MC14400, but offers two additional pins and features. The reference select input allows the full scale level of the device to be set at 2.5 Vp, 3.15 Vp or 3.78 Vp. The − Tx pin allows for external transmit gain adjust and simplifies interface to the MC3419 SLIC. Otherwise, it is identical to MC14400.

MC14402

The MC14402 PCM mono-circuit is the full featured 22-pin device. It is intended for use in applications requiring maximum flexibility. The MC14402 contains all the features of the MC14400 and MC14401. The MC14402 is intended for bit interleaved or word interleaved operation with data clock frequencies which are non standard or time varying. One of the five standard frequencies (listed above) is applied to the CCI input and the data clock inputs can be any frequency between 64 kHz and 3.088 MHz. The V_{ref} pin allows for use of an external shared reference or selection of the internal reference and RxG and + Tx provide maximum flexibility for analog interface.

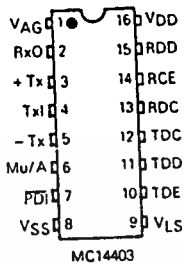
MC14403

The MC14403 PCM mono-circuit is intended for standard word interleaved asynchronous or synchronous applications. TDC can be one of five discrete frequencies. These are 128 kHz (40 to 60% duty) 1.536, 1.544, 2.048 or 2.56 MHz. (For other data clock frequencies see MC14402 or MC14405.) The internal reference is set of 3.15 volts peak full scale, and the full scale input level at Txi and output level at RxO is 6.3 volts peak-to-peak. This is the + 3 dBm0 level of the PCM mono-circuit. The + Tx and − Tx inputs provide maximum flexibility for analog interface. All other functions are described in the pin description.

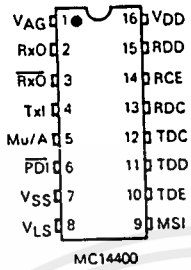
MC14405

The MC14405 PCM mono-circuit is intended for word interleaved synchronous applications. The MC14405 has all the features of the MC14403 but internally connects TDC and RDC (see pin description) to the DC pin. One of five standard frequencies (listed above) should be applied to CCI and the DC input can be any frequency between 64 kHz and 3.088 MHz.

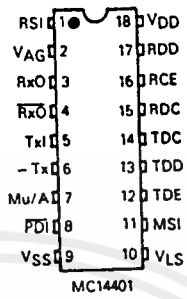
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



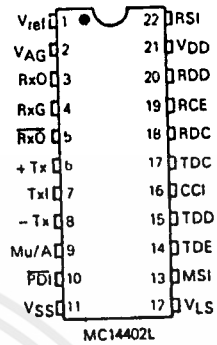
MC14403



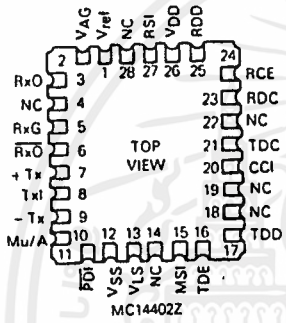
MC14400



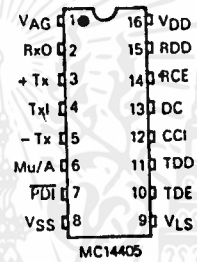
MC14401



MC14402L



MC14402Z



MC14405

MAXIMUM RATINGS (Voltage Referenced to V_{SS})

Rating	Symbol	Value	Unit
DC Supply Voltage	$V_{DD} - V_{SS}$	– 0.5 to 13	V
Voltage, Any Pin to V_{SS}	V	– 0.5 to V_{DD} + 0.5	V
DC Current Drain per Pin (Excluding V_{DD}, V_{SS})	I	10	mAdc
Operating Temperature Range	T_A	– 40 to + 85	°C
Storage Temperature Range	T_{stg}	– 85 to + 150	°C

RECOMMENDED OPERATING CONDITIONS

Parameter	Pins	0 to 70°C Min	25°C Typ	0 to 70°C Max	Unit
DC Supply Voltage	V_{CC} to V_{SS}	6	10 to 12	13	V
Power Dissipation CMOS Mode 10 V TTL Mode 10 V	V_{DD} to V_{SS}	– –	45 75	70 110	mW
Power Down Dissipation 10 V	V_{DD} to V_{SS}	–	0.1	1.0	mW
Clock Rate Transmit and Receive	MSI	7.5	8.0	8.5	kHz
Data Rate MC14400, MC14401, and MC14403 (Must Use One of These Frequencies) ±7%	TDC, RDC	– – – – –	128 1536 1544 2048 2560	– – – – –	kHz
Data Rate MC14402, MC14405		64	–	3088	kHz
Full Scale Output and Input Levels MC14400, MC14403, MC14405	RxO, Txl	–	3.15	–	Vp
MC14401 and MC14402, $V_{ref} = V_{SS}$ RSI = V_{DD}		–	3.78	–	
RSI = V_{SS}		–	3.15	–	
RSI = V_{AG}		–	2.50	–	

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

SWITCHING CHARACTERISTICS (V_{DD} = (10 to 12 V), T_A = 0 to 70°C, C_L = 50 pF CMOS or TTL Mode)

Characteristic			Symbol	Min	Typ	Max	Unit
Output Rise Time Output Fall Time	TDD		t_{TLH} t_{THL}	–	30	80	ns
Input Rise Time Input Fall Time	DC, TDE, CCI, RCE, RDC, TDC, MSI		t_{TLH} t_{THL}	–	–	4	µs
Pulse Width	DC, TDE Low, CCI, RCE, RDC, TDC, MSI		t_{WH}	100	–	–	ns
Clock Pulse Frequency	DC, TDC, RDC		f_{CL}	64	–	3088	kHz
Clock Pulse Frequency (MSI = 8 kHz) This Pin Will Accept One of These 5 Discrete Clock Frequencies and Compensate to Produce Internal Sequencing.	CCI	1 2 3 4 5	f_{CL1} f_{CL2} f_{CL3} f_{CL4} f_{CL5}	– – – – –	128 1536 1544 2048 2560	– – – – –	kHz
Propagation Delay Time	TTL	TDE to TDD Low Impedance	t_{P1}	85	130	180	ns
	CMOS	TDE to TDD Low Impedance	t_{P1}	50	100	160	
	TTL	TDE to TDD High Impedance	t_{P2}	–	50	75	
	CMOS	TDE to TDD High Impedance	t_{P2}	–	20	40	
	TTL	TDC* to TDD	t_{P3}	–	120	180	
	CMOS	TDC* to TDD	t_{P3}	–	80	160	
TDE Rising Edge to TDC Falling Edge Setup Time			t_{su1} t_{su2}	20 100	– –	– –	ns ns
RCE Rising Edge to RDC Falling Edge Setup Time			t_{su3} t_{su4}	20 100	– –	– –	ns ns
MSI Rising Edge to CCI Falling Edge Setup Time			t_{su6} t_{su7}	20 100	– –	– –	ns ns
RDD Valid to RDC Falling Edge Setup Time			t_{su5}	60	40	–	ns
RDD Hold Time from RDC Falling Edge			t_h	100	60	–	ns

* For the sign bit, t_{P3} is measured from TDE or TDC, whichever is last.

PIN DESCRIPTION

DIGITAL

V_{LS} selects CMOS or TTL compatibility for all digital I/Os. $V_{LS} = V_{DD}$; all I/O is CMOS, (V_{DD} to V_{SS} swing). $V_{LS} < V_{DD} - 4$ volts; all I/O is TTL with switchpoint 1.4 V above V_{LS}. The pins controlled by V_{LS} are inputs MSI, CCI, TDC, RDC, TDE, RCE, RDD, $\overline{PDI}$ and output TDD. In TTL applications V_{LS} is Digital GND.

MSI is a continuous 8 kHz (for sampling rate) signal which is used as a time base for internally selecting a prescale divider for CCI input. MSI should be tied to the frame sync or system sync signal, but has no relation to transmit or receive data timing, except as described under TDE. MSI should be derived from the transmit timing in asynchronous applications. In many applications MSI can be tied to TDE. (MSI is tied to TDE in MC14403/05.)

CCI input is designed to accept five discrete clock frequencies. These are 128 kHz 40 to 60% duty cycle, 1.536 MHz, 1.544 MHz, 2.048 MHz or 2.56 MHz. The frequency at this input is compared with MSI and prescale divided to produce the internal sequencing clock at 128 kHz (or 16 times the sampling rate). The four clocks in the MHz frequency range have only minimum pulse width duty cycle requirements. In the asynchronous applications, CCI should be derived from transmit timing. (CCI is tied to TDC in MC14400/01/03).

TDC is the transmit data bit rate input. It can be any frequency from 64 kHz to 3.088 MHz, and is often tied in common to CCI if the data rate is equal to one of the five discrete frequencies. This clock is the shift clock for the transmit shift register and leading edges produce successive data bits at TDD. In asynchronous applications, TDE should be derived from this clock. (TDC and RDC are tied together in MC14405 and are called DC.)

TDE serves two functions for the transmit data timing. It establishes the transmit sync in conjunction with MSI. If the leading edges of TDE occur at 8 kHz and both MSI and TDE are derived from TDC, then the MSI relationship is transparent and TDE is simply transmit sync. The leading edge of TDE produces the sign bit at TDD during the current TDC period. The TDC shifts out the remaining bits at the TDC rate. The TDD pin is active as long as TDE is high. If there is more than one TDE leading edge per frame, then the first TDE after MSI is the Tx sync. Thus, TDE may be taken low to three state TDD after the first leading edge. The additional TDE high periods before the next MSI merely un-three-states TDD. This can be used for bit interleaved systems. In asynchronous applications, TDE is derived from TDC.

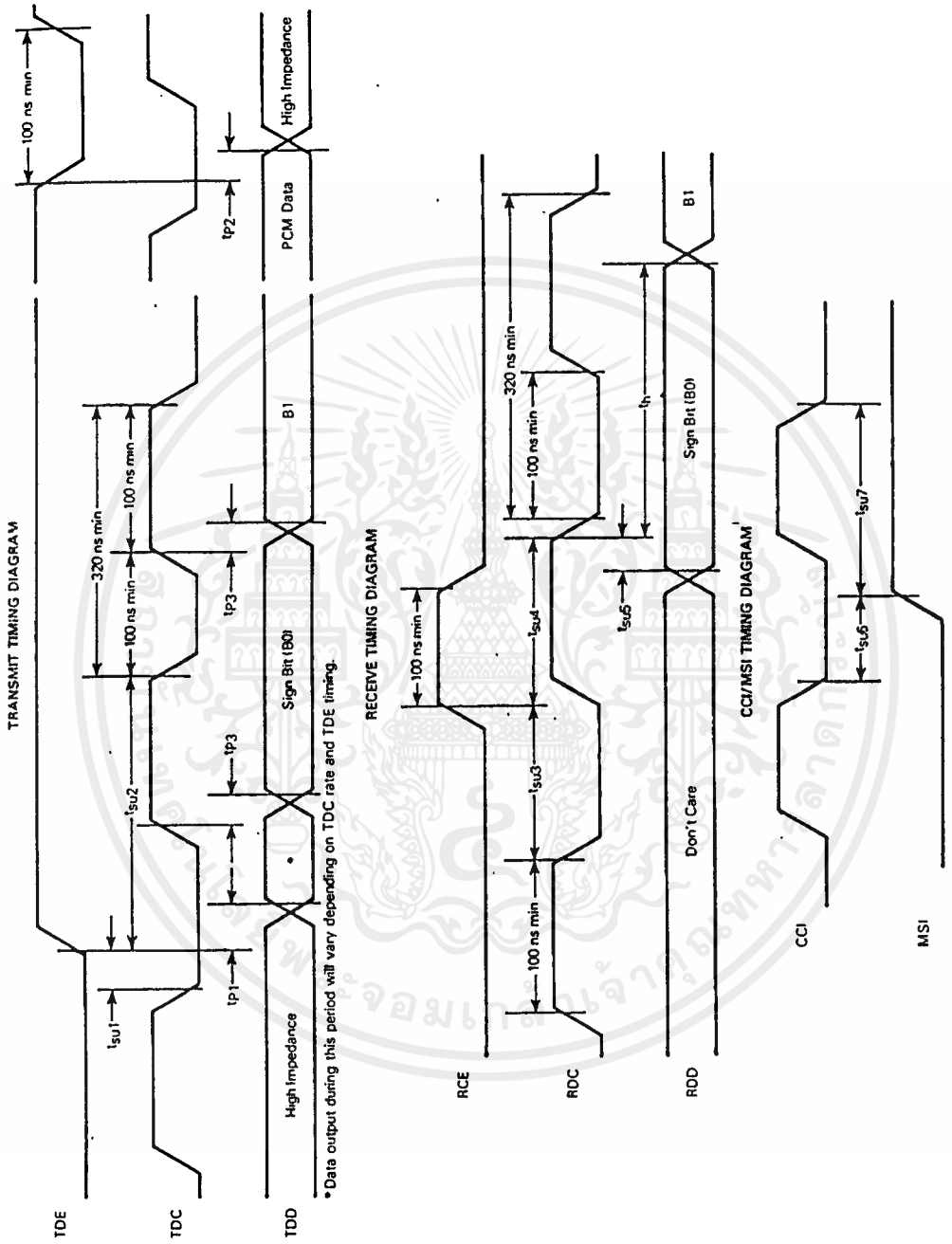
TDD is the digital data output. It operates in sync with TDC and TDE. It is a three-state output. TDC, TDE, and TDD independently control transmit data timing. The data format (Mu-Law, A-Law or sign magnitude) is controlled by Mu/A. This output may be made high-speed CMOS compatible using a pullup resistor.

RDC is the receive data clock and works in conjunction with RCE and RDD to produce all receive data timing. These three signals must be synchronous, but can be asynchronous with all other digital pins. RDC provides the receive register clock. The RDC clock may be any frequency from 64 kHz to 3.088 MHz.

RCE – The rising edge of RCE should identify the sign bit of a receive word on RDD. The next falling edge of RDC, after a rising RCE, loads the first bit of the PCM word into the receive register. The next seven falling edges enter the remainder of the PCM word. On the ninth rising edge, the receive word is transferred to the receive buffer register and the A/D sequence is interrupted to commence the decode process. In the asynchronous mode and with an 8 kHz transmit sample rate, the receive sample rate should be between 7.5 and 8.5 kHz. Two receive words may be decoded each transmit frame to allow on chip conferencing.

RDD is the digital data input. It operates synchronously with RDC and RCE. The data format is determined by the Mu/A pin.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MC14416
MC14418

MOS LSI
(LOW-POWER COMPLEMENTARY MOS)

TSAC
TIME SLOT ASSIGNER
CIRCUITS

2

PER CHANNEL, ADDRESSABLE TIME SLOT ASSIGNER CIRCUITS (TSACs)

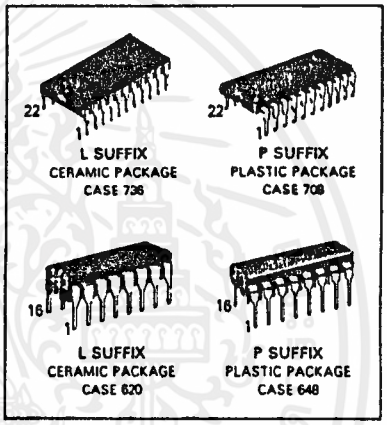
The MC14416 and MC14418 are per channel devices that allow variable codec time slot assignment to be programmed through a serial microprocessor port (0-63 time slots). Both devices have independent transmit and receive frame syncs and enables. They also include chip select and clear to send signals which simplify system design.

The MC14418 provides the additional addressing capability which allows a parallel bus back plane in the channel group. In addition, the MC14418 provides control bits which can be used for the power down, ring enable and ring trip functions on a line circuit.

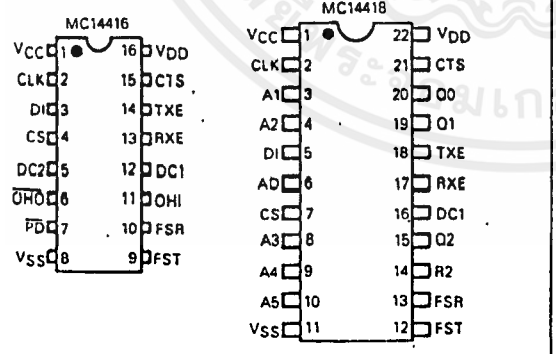
The MC14416 provides the ability to multiplex off hook signals for a bank of TSACs.

Both devices are fabricated using the CMOS technology for reliable low power performance. The MC14418 is the full featured device produced in a 22-pin package. The MC14416 without the addressing capability is offered in a 16-pin package.

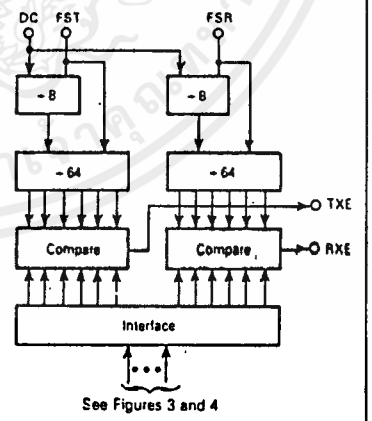
- Low Power
- 5-Volt Interface on Microprocessor Port
- 5-16 Volt Output Logic Levels
- Independent Transmit and Receive Frame Syncs and Enables
- Up to 64 Time Slots Per Frame
- For Use With Up to 2.56 MHz Clocks
- Provides Power Down Control for Line Circuits
- Compatible with MC14400/01/02/03/05 and MK5116 Codecs
- Provides the Ring Enable and Ring Trip Functions (MC14418)
- Allows Use of a Parallel Backplane for Line Circuits Due to the Hard Wired Address Feature (MC14418)
- Off-Hook Multiplex Control (MC14416)
- CMOS Metal Gate for High Reliability



PIN ASSIGNMENTS



BLOCK DIAGRAM



See Figures 3 and 4

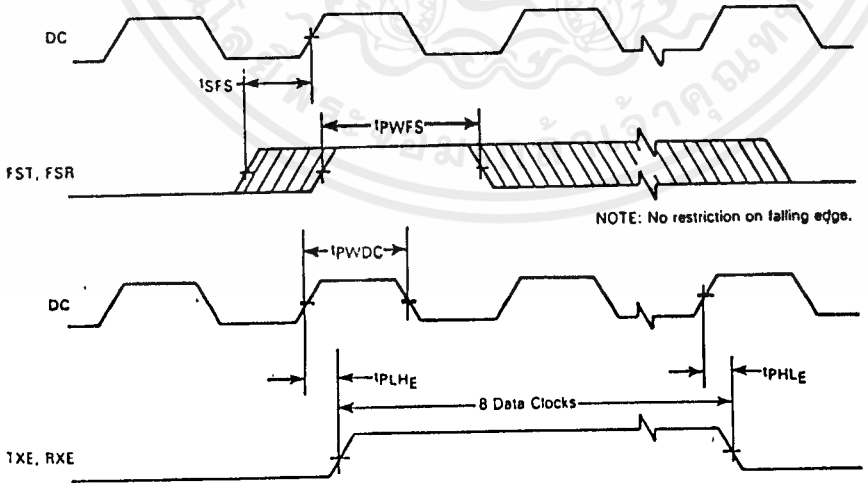
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

SWITCHING CHARACTERISTICS (C_L = 60 pF, T_A = 25°C, unless otherwise noted)

Characteristic	Symbol	Fig.	V_{DD}	Min	Typ	Max	Unit
Output Rise Time TXE, RXE, Q0, Q1, Q2, $\overline{P_D}$	t_r	–	5 12	– –	100 50	200 100	ns
Output Fall Time TXE, RXE, Q0, Q1, Q2, $\overline{P_D}$	t_f	–	5 12	– –	100 50	200 100	ns
Frame Sync Setup Time	t_{SFS}	1	5 12	−150 −75	– –	+150 +75	ns
Frame Sync Pulse Width	t_{PWFS}	1	5 12	200 100	– –	– –	ns
Propagation Delay — DC to TXE, RXE (Note 1) C_L = 20 pF	t_{PLHE}, t_{PHLE}	1	5 12	– –	130 80	180 125	ns
Data Clock Frequency	f_{DC}	–	5 12	– –	– –	2.048 2.6	MHz
Data Clock Pulse Width (at $f_{DC(MAX)}$)	t_{PWDC}	1	5 12	200 140	244 192	293 260	ns
Clock Frequency	f_{CLK}	–	5 12	00 00	– –	0.3 0.3	MHz
Clock Pulse Width (at $f_{CLK(MAX)}$)	t_{PWC}	2	5 12	0.5 0.5	– –	– –	µs
Address and Data Setup Time	t_{su}	2	5 12	300 300	– –	– –	ns
Address and Data Hold Time	t_h	2	5 12	200 200	– –	– –	ns
Propagation Delay — DC1 to CTS	t_{PCL}	2	5 12	– –	– –	250 150	ns
DC1 or FST to CTS 10K Pullup or Equivalent	t_{PCH}	2	5 12	– –	– –	300 200	ns
Propagation Delay — DC to PD	t_{PQ}	2	5 12	– –	– –	300 200	ns
DC to Q0-Q2	t_{PQ}	2	5 12	– –	– –	300 200	ns
Propagation Delay — R to Q2	t_P	2	5 12	– –	100 50	200 100	ns
Chip Select Setup Time Leading CS to Falling CLK	t_{SCS}	2	5 12	1 1	–	–	µs
Chip Select Hold Time Falling CTS to Falling CS	t_{HCS}	2	5 12	10 10	– –	– –	ns

NOTE 1: For time slot 0, t_{PHLE} and t_{PLHE} are measured from leading edge of DC or FST (FSR), whichever occurs last.

FIGURE 1 — TIMING DIAGRAMS



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2

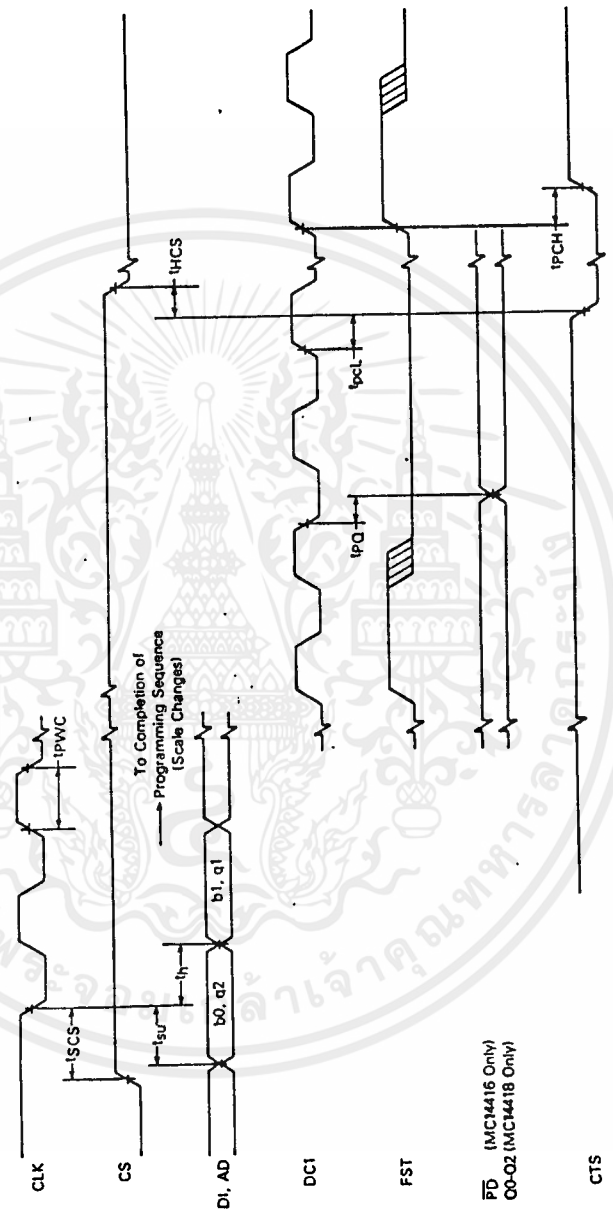
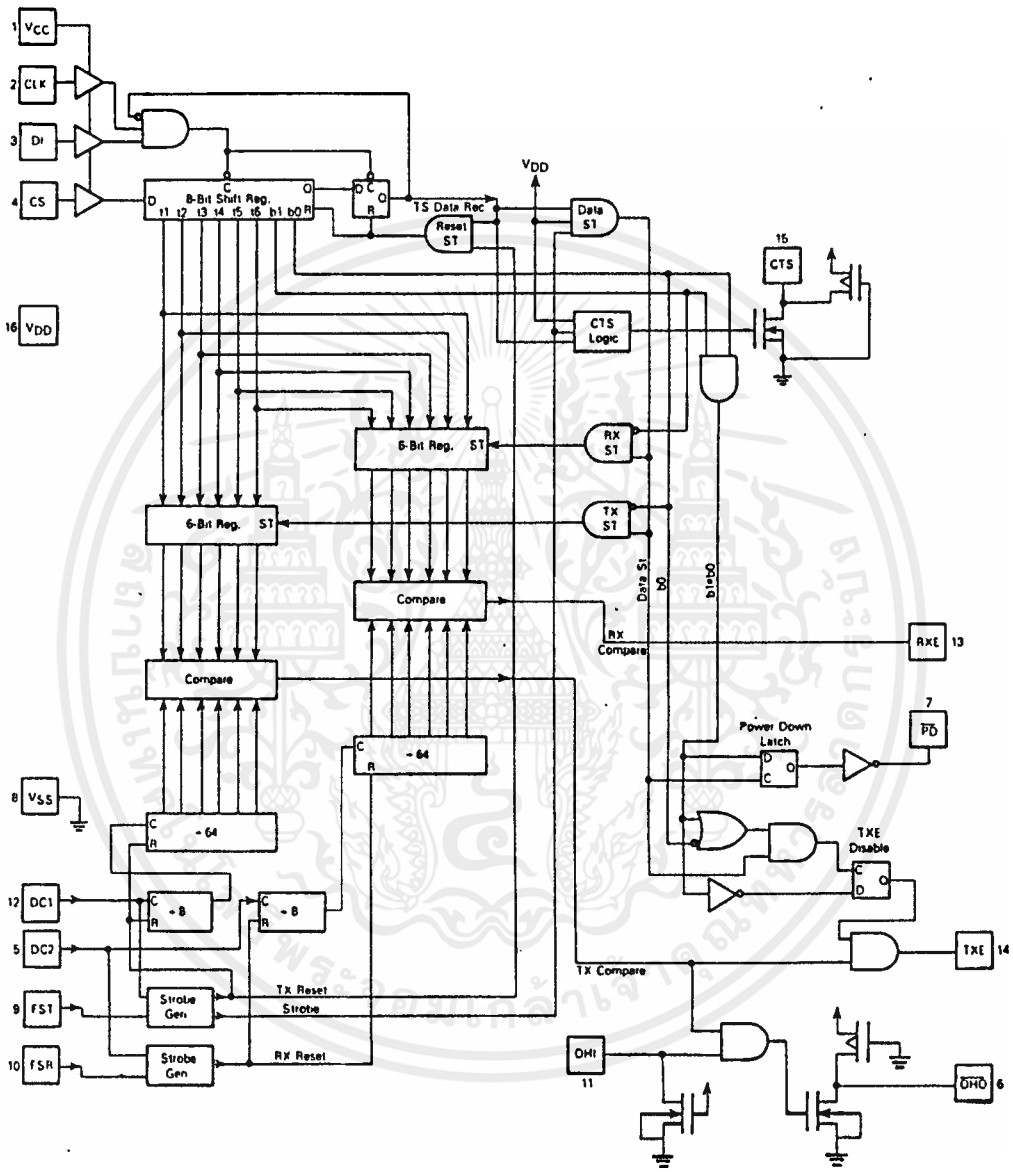


FIGURE 2 — PROPAGATION DELAYS FOR PROCESSOR INTERFACE PINS

NOTE: tPCH is measured from the rising edge of the latter of FST or DC1.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

FIGURE 4 — MC14416 16 PIN



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

GENERAL DEVICE DESCRIPTION

The MC14416 and MC14418 TSACs are microprocessor peripherals intended to be used to control and supervise per channel codec subscriber channel units. The TSACs consist of three basic functions.

The Serially Programmable Microprocessor Port consists of V_{CC}, CLK, DI, CS and CTS for the MC14416 and further includes AD and A1 through A5 for the MC14418. This port allows the call processing microprocessor to access load data into each TSAC. See the applications section for a detailed description of the microprocessor port. Figure 5 defines the data word bit assignments.

The Supervision Controls consist of Q0, Q1, Q2, R2 on the MC14418 and OHI, $\overline{OHO}$ and $\overline{PD}$ on the MC14416. These functions provide data path for the supervision and control of user selected requirements in the subscriber channel unit. Figure 3 shows some typical uses of these bits.

The Time Slot Computation section of the chip derives separate transmit and receive time slot outputs (TXE and RXE) for the controlled codec from the bit rate clock and sync pins DC1, DC2, FST and FSR, respectively. The computed time slot is then derived from the information received through the microprocessor port.

PIN DESCRIPTIONS

V_{CC} (Positive Supply for Microprocessor Port) — If this is a 5 volt supply, AD, DI, CS and CLK are TTL compatible CMOS inputs. V_{CC} may be any voltage from 4.5 V to V_{DD} allowing either TTL or CMOS compatibility.

CS (Chip Select Input) — For the MC14418, the pin is used to select a bank of TSACs.

For the MC14416, the CS is used to select that individual TSAC. All CSs are normally held low. To PROGRAM A SPECIFIC TSAC, CS must go high prior to the first falling edge of CLK. CS must stay high until the selected CTS goes low to guarantee a valid access.

CS is synchronous with DI, AD and CLK. CS can be asynchronous with DC1, DC2, FST or FSR. (This pin is normally intended to be set by a microprocessor.)

CLK (Microprocessor Clock Input) — Serial data is entered through the AD and DI pins under the control of CLK. The data is entered on the trailing edge of CLK. CLK is synchronous with CS, AD and DI and can be asynchronous with the TSAC's data clocks (DC1 or DC2).

DI (Serial Time Slot Data and Mode Input) — 8-bit words are clocked into the device through DI under the control of CLK after CS is brought high. The first 2 bits of DI control the various programming modes while the last 6 bits are time slot data. (See Figure 5 for the format of the DI word.)

AD (Serial Address and Control Bits Input — MC14418 only) 8-bit words are clocked into the device through AD under the control of CLK after CS is brought high. AD words are loaded in parallel with the DI words. The first 3 bits of AD program the control bits Q0, Q1, and Q2 while the last 5 bits are compared with the hardware address on A1 through A5 to identify a specific TSAC in a bank. (See Figure 5 for the format of the AD words.)

A1-A5 (Codec Address Inputs — MC14418 only) — These five pins provide a unique identity for each TSAC. The TSAC address pins are either hardwired on the PC board or in the channel bank backplane. The processor loads the 5-bit address data into AD, and each MC14418 in the selected bank compares this data to the hardwired address set by its A1-A5 to determine if the time slot data loaded into DI is intended for that TSAC. By this process, only one of 32 TSACs in a bank will accept the transmitted time slot data. A1-A5 are CMOS inputs, logical "1" = V_{DD} and logical "0" = V_{SS}.

Q0, Q1, Q2 (Status Bit Outputs — MC14418 Only) — These three bits are programmed by the first 3 bits of the 8-bit word which is loaded into AD. The bits are used for the basic control functions of a line circuit. See the applications section (ref. Figure 11) for an example of how these status bits are used. In this example, Q1 selects to receive data streams, Q0 is used for the power down control, and Q2 is used for the ring enable. These are CMOS outputs.

R2 (Reset Input for Q2) — The R2 input provides a direct reset of the Q2 output. When R2 is taken high, Q2 is set to "0" independent of all other TSAC functions. See the applications section (ref Figure 11) for an example of how this reset bit is used, i.e., the ring trip signal is used to reset Q2 which is the ring enable. This combination of R2 and Q2 allows a simple solution to the ring trip function.

CTS (Clear to Send Output) — This output provides a simple diagnostic capability for the processor TSAC combination. The selected TSAC outputs the CTS signal after it has accepted data. This output goes low three data clock cycles after the next FST, and returns high on the subsequent FST. For the MC14418, only the TSAC which accepts transmitted data will respond with CTS low. All other TSACs in the bank will leave CTS high. The CTS output is an open drain transistor with a weak internal pullup. Normally a bank of CTS outputs are wire ORed together to provide a single diagnostic bus, which can be used to verify that transmitted data was properly acknowledged by some TSAC in the bank.

CTS may also be used to strobe additional supervision data into a selected channel unit, due to its dependence upon the address selection logic of the MC14418.

DC1, DC2 (Data Clock Input) — The data clock input establishes the bit rate of the TSAC and its associated codec. It is intended to be between 1.536 and 2.56 MHz and is the same as the codec's bit rate clock. Both TSACs divide these inputs by eight to derive the time slot rate. For the MC14418, DC1 provides the data rate clock for both transmit and receive time slot computation. The MC14416 derives transmit timing from DC1 and receive timing from DC2. They are CMOS compatible inputs.

FST, FSR (Frame Sync Transmit and Frame Sync Receive Inputs) — These inputs are leading-edge sensitive synchronization pulses for establishing the position of time slot zero in the transmit and receive frames, respectively.

The rising edge of DC (1 or 2) associated with the rising edge of FST or FSR identifies the sign bit period of time slot zero. See Figures 6 and 7 for detailed timing. In the MC14418, both zero time slots are derived from DC1 but may be different by an integral number of bits. In the MC14416, FST and DC1 derive the transmit time slot zero, while FSR and DC2 derive the receive time slot zero independently. DC1 and DC2 can be asynchronous. FSR and FST are CMOS inputs.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2

TXE, RXE (Transmit Enable and Receive Enable Outputs) — These are the outputs of the time slot computation circuitry. Each output is high for eight data clocks; i.e., an integral number of time slots after the rising edge of FST and FSR for TXE and RXE, respectively. The binary number entered in the last 6 bits of the DI input indicates the number of eight data clock intervals (time slots) between FST or FSR and the eight data clock time slot, when TXE or RXE will be high. These are CMOS B series outputs which will drive one TTL LS input when V_{DD} is five volts. See Figure 6 and Figure 7 for detailed timing and numbering.

TABLE 1 — BASIC OPERATION OF MC14418

Input Conditions				Action to Outputs After Next FST						
TS Data Received	Address Compare	b0	b1	CTS	TX Reg. Load	RX Reg. Load	TXE Disabled	RXE Disabled	Data Reg. (Q0-Q2) Load	Time Slot Counters Running
No	X	X	X	1	No	No	No Change	No Change	No	No Change
Yes	No	X	X	1	No	No	No Change	No Change	No	No Change
Yes	Yes	0	0	0	Yes	Yes	No	No	Yes	Yes
Yes	Yes	0	1	0	Yes	No	No	No	Yes	Yes
Yes	Yes	1	0	0	No	Yes	No Change	No	Yes	Yes
Yes	Yes	1	1	0	X	Yes	Yes	Yes	Yes	No

TABLE 2 — BASIC OPERATION OF MC14416

Input Conditions					Action to Outputs After Next FST			
TX Data Received	CS	b0	b1	CTS	TX Reg. Load	RX Reg. Load	TXE Disabled	$\overline{PD}$ Output
No	X	X	X	1	No	No	No Change	No Change
Yes	0	X	X	1	No	No	No Change	No Change
Yes	1	0	0	0	Yes	Yes	No	1
Yes	1	0	1	0	Yes	No	No	1
Yes	1	1	0	0	No	Yes	No Change	1
Yes	1	1	1	0	No	No	Yes	0

Note 1: The $\overline{OHO}$ output remains operational when TXE is disabled.

FIGURE 5 — FORMAT FOR DI AND AD WORDS

MC14418	DI Word Input								AD Word Input							
	First Bit Sent								First Bit Sent							
Results of Bit Pattern	Mode		Time Slot Data						Status Bits			Address Data				
	b0	b1	t6	t5	t4	t3	t2	t1	q2	q1	q0	a5	a4	a3	a2	a1
Assign TSAC 16 to the first time slot (TSO) for both receive and transmit and set its status bit to 011	0	0	0	0	0	0	0	0	0	1	1	1	0	0	0	0
Assign TSAC 1 to time slot 8 for receive only and set status bits to 011	1	0	0	0	1	0	0	0	0	1	1	0	0	0	0	1
Assign TSAC 8 to time slot 2 for transmit only and set status bits to 011	0	1	0	0	0	0	1	0	0	1	1	0	1	0	0	0
Program TSAC 4 to idle (no time slot outputs) and set status bits to 011	1	1	X	X	X	X	X	X	0	1	1	0	0	1	0	0
Codec 1 is powered down (80 = 0)	X	X	X	X	X	X	X	X	0	1	0	0	0	0	0	1
Line circuit associated with codec 2 is programmed to ring the line (See Fig. 13)	X	X	X	X	X	X	X	X	1	1	1	0	0	0	1	0

MC14416								
Assign the selected TSAC to the first time slot (TSO) for both receive and transmit and set $\overline{PD}$ = 1	0	0	0	0	0	0	0	0
Assign the selected TSAC to time slot 8 for receive only and set $\overline{PD}$ = 1	1	0	0	0	1	0	0	0
Assign the selected TSAC to time slot 2 for transmit only and set $\overline{PD}$ = 1	0	1	0	0	0	0	1	0
Power down the selected TSAC, i.e., $\overline{PD}$ to "0"	1	1	X	X	X	X	X	X

*See Figures 12 and 13 for the hardware implementations using MC14418 and MC14416.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

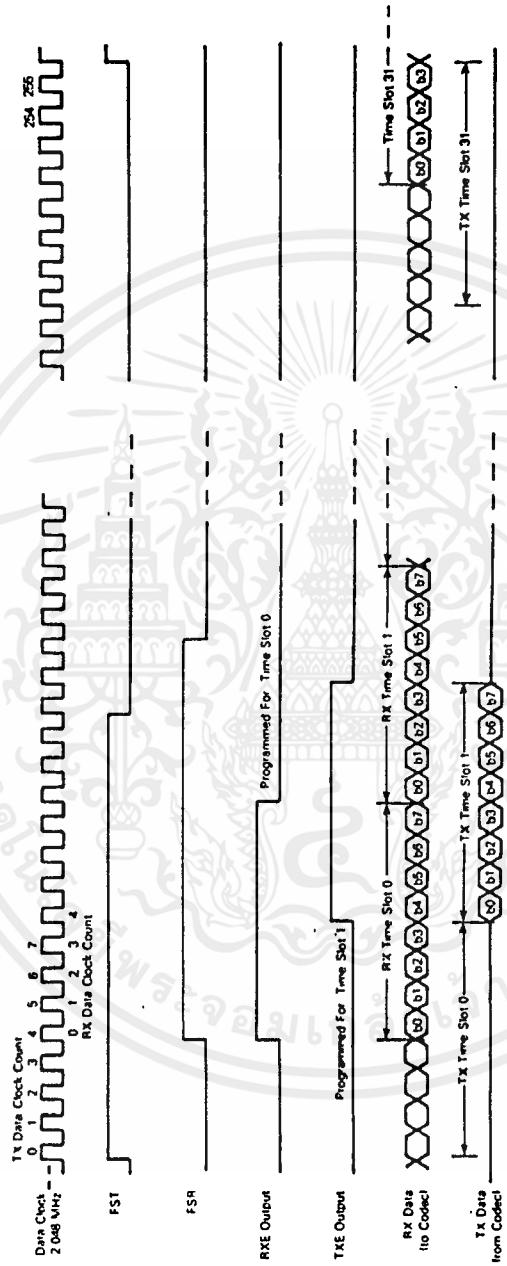


FIGURE 6 – DATA MULTIPLEX TIMING FOR 2.048 MHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2

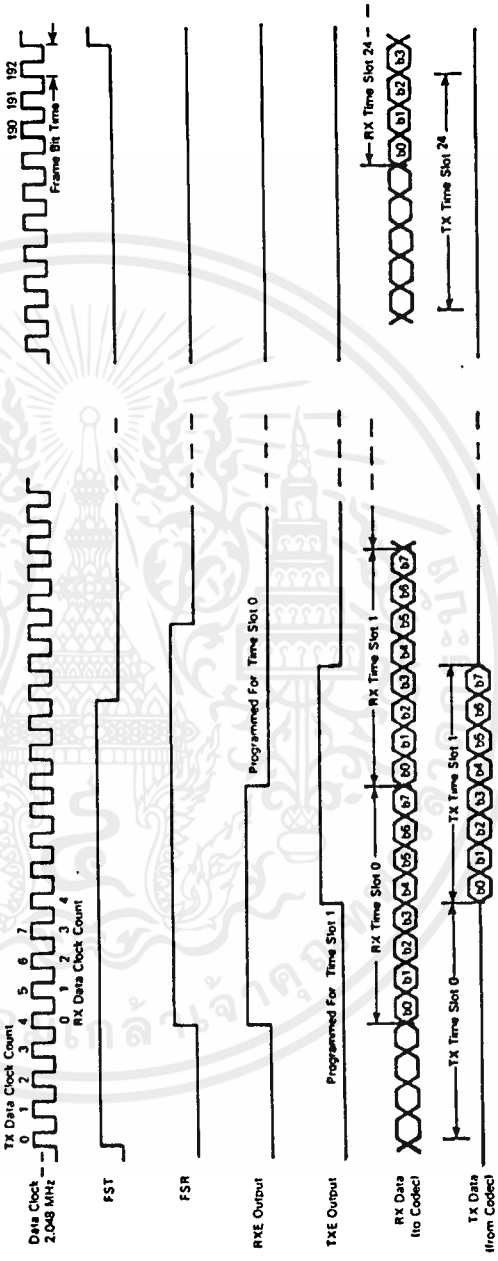


FIGURE 7 – DATA MULTIPLEX TIMING FOR 1.544 MHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$\overline{PD}$ (Power Down Output — MC14416 Only) — The $\overline{PD}$ output is normally high. It is set high whenever b0 or b1 is a zero and the TSAC is programmed. If b0 and b1 are both one, then PD will be set low. This output is intended to be used to power down other circuitry in the channel unit when the channel unit is idle. This is a CMOS B series output which will drive one TTL LS load when V_{DD} is five volts.

OHI (Off Hook Input — MC14416 Only) — The OHI is a CMOS input with an internal pull-down resistor. A DC level at this pin will appear at the OHO output during the programmed TXE time slot.

$\overline{OHO}$ (Off Hook Output Inverted — MC14416 Only) — During the programmed transmit time slot, the data at OHI appears inverted at $\overline{OHO}$; otherwise $\overline{OHO}$ will be pulled high passively. The $\overline{OHO}$ output is an open drain N-channel transistor with a weak pull-up to V_{DD}. A number of these outputs can be wire ORed together to form a hook status bus consisting of a serial stream of hook information from a bank of channels. When the MC14416 powers down its codec, the TXE output is disabled; but the $\overline{OHO}$ output continues to multiplex out OHI and transmit time slot information during the previously entered transmit time slot.

V_{SS} — This is the most negative supply pin and digital ground for the package.

V_{DD} — This is the most positive supply. V_{DD} is typically 12 V with an operation range of 5 to 16 volts. All logic outputs swing the full supply voltage.

APPLICATIONS

The following section is intended to facilitate device understanding through several application examples. Included are Data Multiplex Timing Diagrams, a description of the TSAC Microprocessor port, a sample program, two circuit configurations using Motorola's devices, a systems drawing and two suggested clock circuits for obtaining codec data and control clocks.

In Figures 6 and 7 are shown Data Multiplex Timing Diagrams for 2.048 MHz and 1.544 MHz data clocks. The major points to be seen from these examples are:

1) Receive and transmit programming for the MC14418 are bit synchronous and word asynchronous. The MC14416 can be completely asynchronous.
2) The rising edges of FST and FSR initiate the programming frame for transmit and receive channels, respectively, and identify transmit and receive time slot "0," respectively.
3) Time slots identify eight data clock words. In this example: the transmit time slot is programmed as time slot "1." Therefore, bits 8 through 15 after FST are time slot "1."
4) For the 1.544 MHz clock, the framing bit is at the very end of the frame.

TSAC Microprocessor Port (MC14418 and MC14416) — The MC14418 provides four pins with 5-volt microprocessor input characteristics. These are AD, CS, CLK, and DI. The input supply for these inputs is V_{CC}. The CTS output is an open drain device with a weak pull up to V_{DD}. Typically, these five pins are bused in parallel to 24 or 32 TSACs per processor port. If desired, AD, CLK, DI, and CTS may be bused to greater than 32 TSACs by using the CS input as a group select. A microprocessor port of eight bits can thus control four groups of 32 TSACs with no additional decoding, as shown in Figure 8.

In order to program any given codec to a transmit or receive time slot, the processor simply exercises the corresponding 8-bit port.

Beginning with CS1 to CS4 low, all TSACs in the bank have their data registers in the Ready for Data Mode. The microprocessor takes the appropriate CS high and clocks in two bits of data into the 32 selected TSACs through DI and AD using CLK. The microprocessor presents data on the leading edge of CLK and the TSACs clock in data on the trailing edge of CLK. After eight CLK pulses (high, then low) the 32 selected TSACs will have two new 8-bit words; one in the data register through DI and one in the address register through AD. The unique TSAC, whose last 5 bits of the address register match its hardwired address on A1 through A5, acknowledges the new data. After the next FST, the selected TSAC will pull CTS low. This event notifies the processor that its transmission has been recognized. If CTS occurs at any other time, the processor can recognize the fault condition and restart the transmission using the reset function of the TSAC chip select. The uniquely selected TSAC will load its new program data into the appropriate TIME SLOT register on the next leading edge of FST. The bank of 32 TSACs will internally reset to the Ready for Data Mode when the transmission is completed, after the next FST. The TSAC, which was uniquely selected, and which has CTS low, will clear CTS to the pulled-up condition with the next FST. The processor may now program a new time slot immediately, with or without returning the selected CS low. Time Slot data can thus be sent at the rate of once every 256 μsec. for 8 kHz sampling (FST). The processor need not operate in an interrupt mode even though the TSAC's DC and CLK are asynchronous.

The processor port of the MC14416 works similarly to the MC14418, but will accept data if CS is high, and does not compare a hardwired address to the address word.

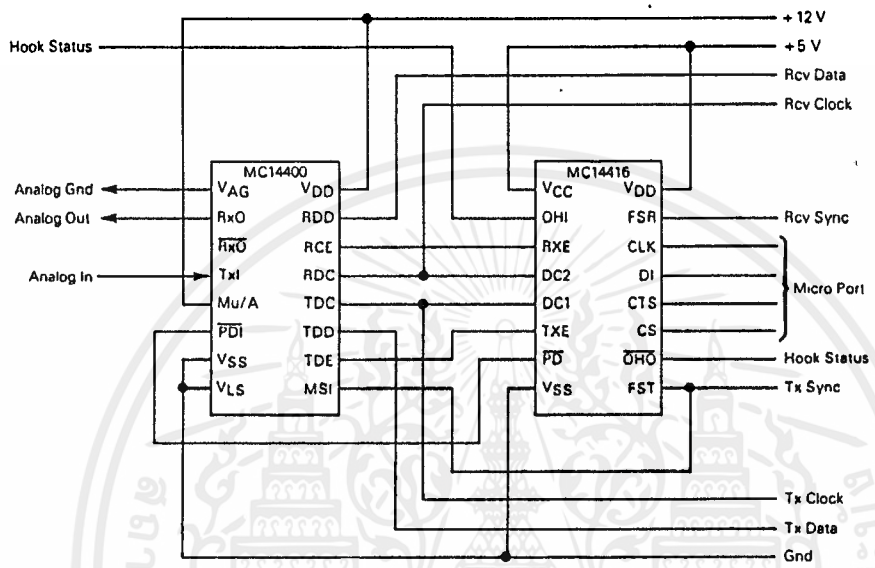
Figure 11 shows the typical signal timing for programming the microprocessor port.

To demonstrate the programming of the TSAC, consider the following configuration. A microprocessor is used to control four groups of thirty-two TSACs through an eight-bit PIA port. Four of the PIA lines are used for group select lines. The other four lines are dedicated to CLK, DI, AD, and CTS. The TSACs are programmed by serially loading bits into the DI and AD leads. Data bits are latched on the falling edge of CLK. The PIA port is connected as shown in Figure 9. The flow chart in Figure 10 and the following program illustrate one method of TSAC programming.

Before running the following program, the address, time slot, and group number must be entered in appropriate locations. During execution, CS (group select), AD, and DI words are arranged for serial presentation to the TSACs. The bits are presented with CLK high and are latched in with the falling edge of CLK. After eight passes through the loop, the TSAC is programmed, and CTS falls on the third data clock pulse after the next FST. The program waits for CTS to go high again before removing CS to prevent aborting the TSAC's programming. This program allows a maximum rate of programming equal to one TSAC per two frames.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

FIGURE 12 — TYPICAL CIRCUIT CONFIGURATION USING MC14416 IN CONJUNCTION WITH MC14400



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กิตติกรรมประกาศ

ขอขอบพระคุณอย่างสูงต่อ อาจารย์สมศักดิ์ เชียร์ศิริกุล ในฐานะอาจารย์ที่ปรึกษา และคุณเกียรติศักดิ์ ศรีพิมานวัฒน์ ที่ได้ช่วยให้คำปรึกษาและคำแนะนำในระหว่างการทำโครงงานและปริญญานิพนธ์ฉบับนี้ตั้งแต่ต้นจนจบการศึกษาให้สำเร็จลุล่วงไปด้วยดี รวมทั้งเพื่อนนักศึกษาภาควิชาอิเลคทรอนิคส์ทุกคนที่ได้ให้ความช่วยเหลือด้วยดีตลอดมา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หนังสืออ้างอิง

1. พีรพล ผดุงพจน์ , "เครื่องชุมสายโทรศัพท์สาขาอัตโนมัติระบบดิจิตอลสปีชพาทส์" , ปริญญานิพนธ์สำหรับปริญญาวิศวกรรมศาสตร์บัณฑิต สาขาวิชาอิเลคทรอนิคส์ คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าฯเจ้าคุณทหารลาดกระบัง,พ.ศ.2534

3. John D. Lenk , "Complete Guide To Telephone Equipment Troubleshooting And Repair" , Prentice-Hall,Inc.,Englewood Cliffs , 1987

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้