



**การส่งสัญญาณเสียงผ่านเส้นใยนาแสง
(AUDIO SIGNAL VIA FIBER OPTIC)**



**วิทยานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาค้นคว้าหลักสูตรปริญญาวิทยาศาสตรบัณฑิต
สาขาวิชาบรรณคดี เอกชนอนินทร์
สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง
ปีการศึกษา 2535**

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

032533

ปฏิทินพจนานุกรมปีการศึกษา 2535

ภาควิชา วิศวกรรมอิเล็กทรอนิกส์

คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เรื่อง การส่งสัญญาเสี่ยงผ่านเส้นใยนาแสง

ผู้จัดทำ

นายธเนศ ไสภณวิเศษรุ่งวงศ์

อาจารย์ ประภากร สุวรรณะ อาจารย์ที่ปรึกษา

(.....)



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

032533

การส่งสัญญาณเสียงผ่านเส้นใยนาแสง

นายอเนต โสภณวิเชษฐวงศ์

อาจารย์ที่ปรึกษา:

อาจารย์ ประภากร สุวรรณะ

บทคัดย่อ

เนื่องจากความต้องการสำหรับการสื่อสารทางโทรศัพท์มีจำนวนเพิ่มขึ้นอย่างรวดเร็วทั่วโลก ตัวนำหลอดทองแดงที่ใช้อยู่ไม่เพียงแต่จะมีราคาแพงมากเท่านั้น และข้อมูลที่เกี่ยวข้องกับหลอดตัวนำยังมีไม่พอ อีกด้วย ข้อจำกัดทางความถี่ของระบบตัวนำหลอดทองแดงมีค่าประมาณ 1 MHz ซึ่งยังไม่เพียงพอสำหรับการสื่อสารแบบความเร็วสูง (High Speed Communication) เส้นใยนาแสง (Fiber Optic) มีน้ำหนักเบาและมีคุณสมบัติสูง (ประมาณ 40 GHz) และไม่มีอาการจากการแผ่รังสีของคลื่นแม่เหล็กไฟฟ้า เมื่อนำเส้นใยนาแสงดังกล่าวมาใช้ร่วมกับเทคนิคการรวมสัญญาณแบบ FSK (FSK Modulation) จะช่วยลดการสูญเสียของข้อมูลในสายส่ง และได้สัญญาณที่มีความเพี้ยนน้อยมากที่ปลายทาง

Audio Signal via Fiber Optic

By

Mr.Thanet Sophonwichettawong

Advisor:

Prapakorn Suwana

Abstrack

Because of rapidly increasing demands for telephone communication through out the world,multiconductor copper cables have become not only very expensive but also an inefficient way to meet these information requirement.The frequency limitations inherent the copper conductor system (approximately 1 MHz) make a conducting medium for high speed communication necessary.The optical fiber,with its low weight and high-frequency characteristics (approximately 40 GHz) and its imperviousness to interference from electromagnetic radiation,has become for all heavy-demand long-line telephone communication systems.When the optical fiber is used with FSK modulation technuque,this decreases data losses in the cables and at the destination the signal is also retrieved with very small distortion.

กิตติกรรมประกาศ

ขอขอบพระคุณ อาจารย์ ประภากร สุวรรณะ เป็นอย่างสูง ที่ได้ให้การประสิทธิ์ประสาทวิชาให้ศึกษา
แนะนำรักษาในเรื่องต่างแก่ผู้เขียน และขอขอบคุณ เพื่อน ๆ ที่ได้กำลังใจในการหาวิทยานิพนธ์นี้จนสำเร็จ
เร็วกว่าที่หวังไว้ด้วยดี

ธเนศ วัฒนวิเศษฐวงศ์

ผู้จัดทำ



บท โดยที่แต่ละบทมีหัวข้อและเนื้อหาดังต่อไปนี้

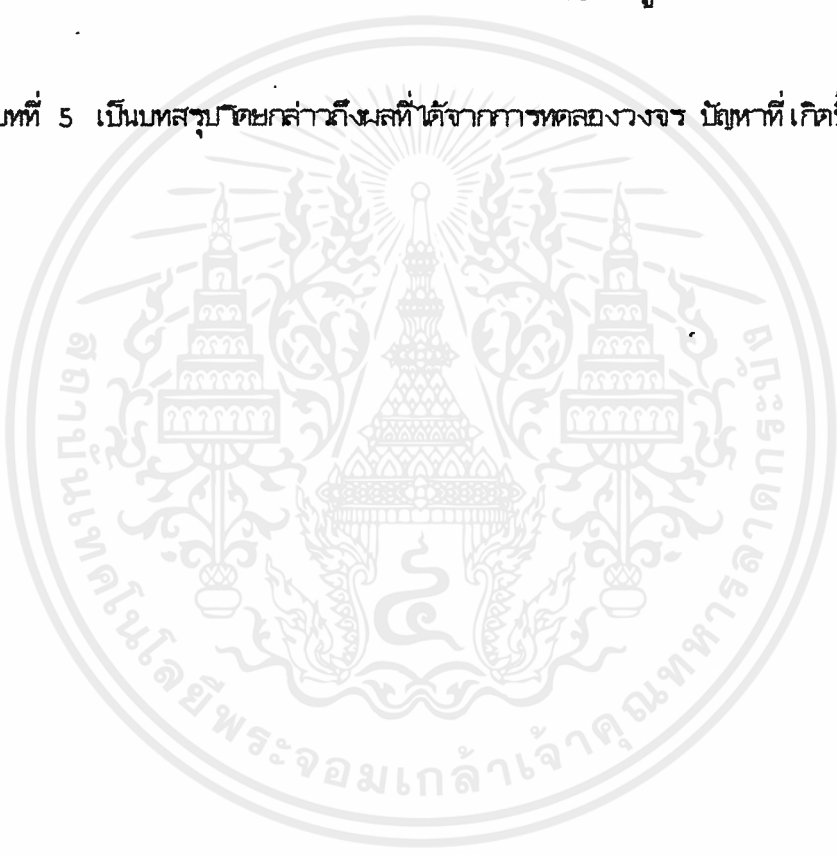
บทที่ 1 เป็นบทนำ กล่าวถึงวัตถุประสงค์ และขอบเขตของโครงการ

บทที่ 2 เป็นการกล่าวถึง หลักการเบื้องต้นของการสื่อสารด้วยแสง ซึ่งประกอบด้วยหัวข้อสำคัญ เช่น โดเมนแวกการทางานของระบบ ใยไฟเบอร์/ทรานซิสเตอร์ เส้นใยนาแสง เป็นต้น

บทที่ 3 เป็นการออกแบบเครื่องส่งที่มีสัญญาณเสียงเป็นอนาล็อกอินพุท ซึ่งประกอบด้วยวงจรต่างๆ ที่ทำการเข้ารหัสสัญญาณเสียงให้อยู่ในรูปแบบที่พร้อมจะทำการส่ง

บทที่ 4 เป็นการออกแบบเครื่องรับ โดยทำการนำสัญญาณที่ถูกส่งนั้นมาถอดรหัสเพื่อให้ได้สัญญาณเดิมกลับคืนมา

บทที่ 5 เป็นบทสรุปโดยกล่าวถึงผลที่ได้จากการทดลองวงจร ปัญหาที่เกิดขึ้นและข้อ เสนอแนะต่างๆ



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ

	หน้า
บทคัดย่อ.....	i
Abstract.....	ii
กิตติกรรมประกาศ.....	iii
บทที่ 1 บทนำ	
1.1 วัตถุประสงค์ของวิทยานิพนธ์.....	1
1.2 ขอบเขตการวิจัย.....	2
บทที่ 2 หลักการเบื้องต้นของการสื่อสารด้วยแสง	
2.1 Block Diagram ของระบบ.....	4
2.2 LED.....	4
2.3 Photo Diode/Transistor.....	13
2.4 Fiber Optic.....	19
2.5 Digital Encoder	
FSK Modulation.....	28
A/D และ D/A.....	29
2.6 Digital Decoder	
FSK Demodulation(PLL).....	49
Synchronizer.....	53
บทที่ 3 การออกแบบเครื่องส่ง	
3.1 Block Diagram และการทำงาน.....	54
3.2 วงจร Pre Amplifier.....	55
3.3 วงจร Low Pass Filter.....	58
3.4 วงจร A/D Converter.....	60
3.5 วงจรควบคุมและเปลี่ยนข้อมูลเป็นแบบอนุกรม.....	66
3.6 วงจร FSK Modulation.....	70
3.7 วงจรขับ LED.....	72

สารบัญ (ต่อ)

บทที่ 4 การออกแบบเครื่องรับ

4.1 Block Diagram และการทำงาน.....	73
4.2 วงจร Photodiode, Pre Amp. และ Voltage Comparator....	75
4.3 วงจร FSK Demodulation.....	76
4.4 วงจร Sync. Seperator.....	78
4.5 วงจร Clock Recover.....	79
4.6 วงจรควบคุมและเลือกข้อมูลเป็นแบบขนาน.....	80
4.7 วงจร D/A.....	81

บทที่ 5 บทสรุป

เอกสารอ้างอิง

ภาคผนวก ก. วงจรไฟเลี้ยงของระบบ

ภาคผนวก ข. เอกสารประกอบอุปกรณ์ที่จำเป็น

บทที่ 1

บทนำ

ในปัจจุบันนี้การสื่อสารข้อมูลกลายเป็นสิ่งสำคัญในการขยายการใช้งานด้านคอมพิวเตอร์และการประมวลผลทางข้อมูล (Data Processing) และได้ก่อให้เกิดการพัฒนาเพื่อใช้ในด้านอุตสาหกรรมที่มีการเชื่อมต่อของคอมพิวเตอร์ และการส่งข้อมูลระหว่างผู้ใช้ที่อยู่ห่างไกลกัน การสื่อสารข้อมูลนี้ขึ้นกับ ดิจิตอลอิเล็กทรอนิกส์ (Digital Electronics) ซึ่งเป็นเรื่องราวที่เกี่ยวข้องกับระบบเลขฐานสอง โดยทั่วไปแล้วการสื่อสารทางโทรคมนาคมส่วนใหญ่มักจะอยู่ในรูปพัลส์ (Pulse) และการใช้งานในด้านนี้นับวันก็จะมีแนวโน้มเพิ่มขึ้นอย่างรวดเร็ว จุดหักมุมที่เพิ่มขึ้นของการสื่อสารทางดิจิตอลซึ่งเพิ่มขึ้นในขณะที่ใช้จ่ายทางอะนาล็อกสูง นั้นเป็นเหตุมาจาก 2 ปัจจัย ประการแรกคือความจริงที่ว่า ข้อมูลจำนวนมากที่ถูกส่งจะอยู่ในรูปของพัลส์ และการส่งในรูปแบบนี้เป็นวิธีที่ง่ายที่สุด ปัจจัยที่สอง เป็นที่มาของการรวมขนาดใหญ่ (Large Scale Integration) ซึ่งเป็นการใช้ระบบการเข้ารหัสที่เป็นข้อดีที่สุดในการใช้ของสัญญาณให้น้อยลง เพื่อเป็นการเพิ่มความจุของช่องสัญญาณให้เพิ่มขึ้น

การสื่อสารข้อมูลโดยเฉพาะการสื่อสารทางเสียง ในปัจจุบันทั่วโลกมีการพัฒนากันอย่างรวดเร็ว สำหรับการสื่อสารทางโทรศัพท์ แต่เดิมใช้ตัวนำสายทองแดงซึ่งมีข้อจำกัดทางความถี่ (ประมาณ 1 MHz) จึงไม่เป็นการเพียงพอสำหรับการสื่อสารความเร็วสูง (High Speed Communication) ดังนั้นเพื่อที่จะพัฒนาให้การสื่อสารทางเสียงดีขึ้น จึงเป็นที่มาของโครงการนี้

1.1 วัตถุประสงค์ของโครงการ

เทคนิคการรวมสัญญาณแบบ Frequency Shift Keying หรือ FSK Modulation เป็นวิธีการที่นำมาใช้ในการเข้ารหัสของสัญญาณเสียงที่ผ่านทาบเบลนเป็นดิจิตอลแล้วให้อยู่ในรูปของความถี่เพื่อส่งผ่านทางเส้นใยนำแสง วิธีการนี้จะช่วยลดความถี่ของสัญญาณ เนื่องจากการสูญเสียในสายส่งได้เป็นอย่างดี ด้วยเหตุที่ว่าตัวนำสายทองแดงที่ใช้อยู่เดิมนั้นมีข้อจำกัดทางความถี่ที่ 1 MHz หรือต่ำกว่าอีกนัยหนึ่งก็คือ เป็นระบบของการสื่อสารความเร็วต่ำ (Low Speed Communication) ในปัจจุบันได้มีการนำเส้นใยนำแสงมาใช้แทนสายตัวนำดังกล่าว เส้นใยนำแสงมีคุณสมบัติทางความถี่สูง (ประมาณ 40 GHz) และมีน้ำหนักเบา ด้วยคุณสมบัติดังกล่าวของเส้นใยนำแสงและเทคนิคการรวมสัญญาณแบบ FSK นี้จึงได้รับความนิยมน้อยมากในระบบการสื่อสารทางโทรศัพท์

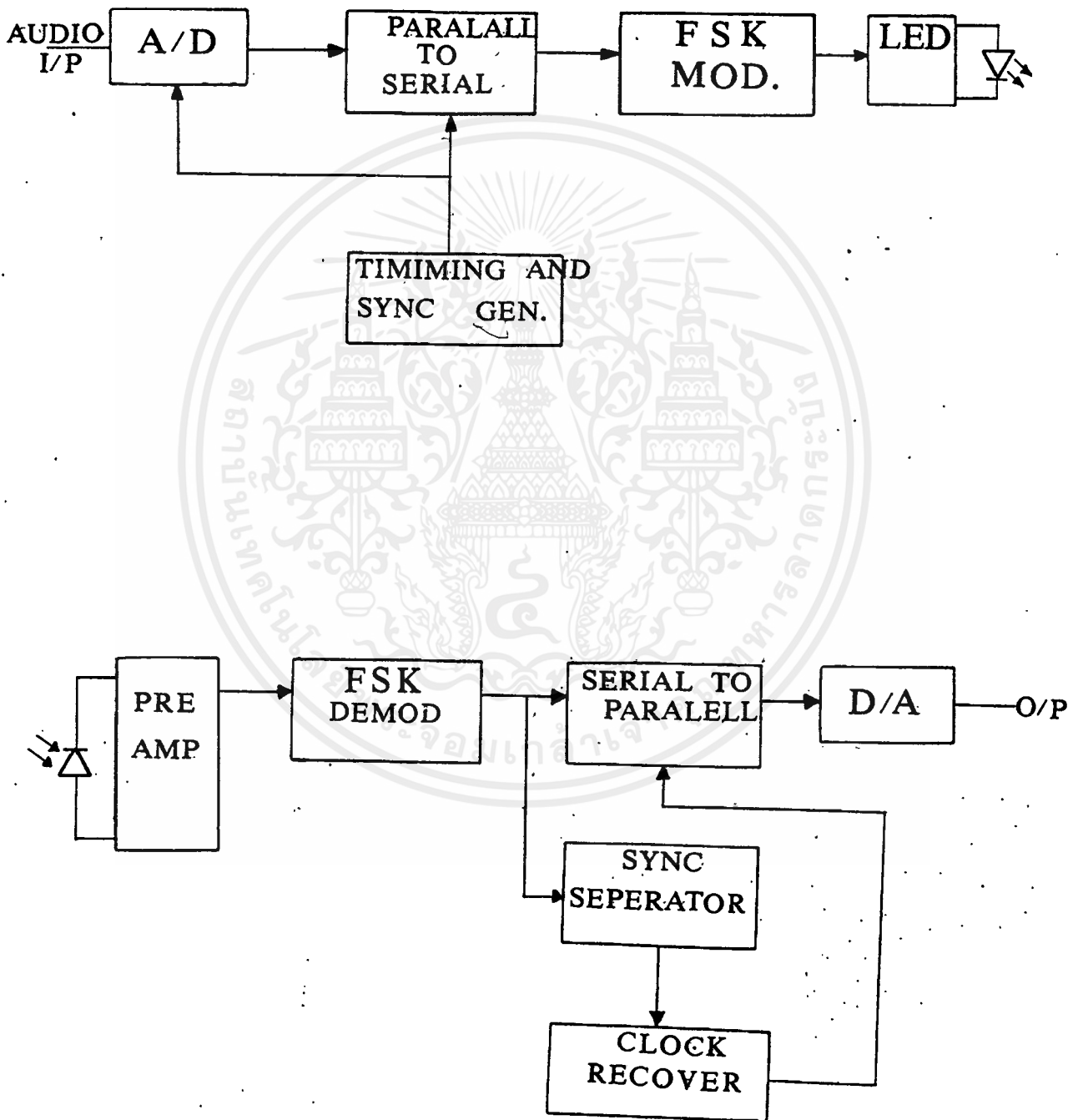
1.2 ขอบเขตของโครงการ

ในส่วนของโครงการได้เสนอ เทคนิคการเข้ารหัสและถอดรหัสสัญญาณ เพื่อที่จะสามารถลดความถี่ของสัญญาณที่เกิดจากการสูญเสียในสายส่ง รายละเอียดของโครงการนี้จะแบ่งย่อยออกเป็น 4 เอกสารและเป็นเอกสารที่สงวนไว้สำหรับนักเรียนเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 2

หลักการเบื้องต้นของการสื่อสารด้วยแสง

2.1 Block Diagram ของระบบ

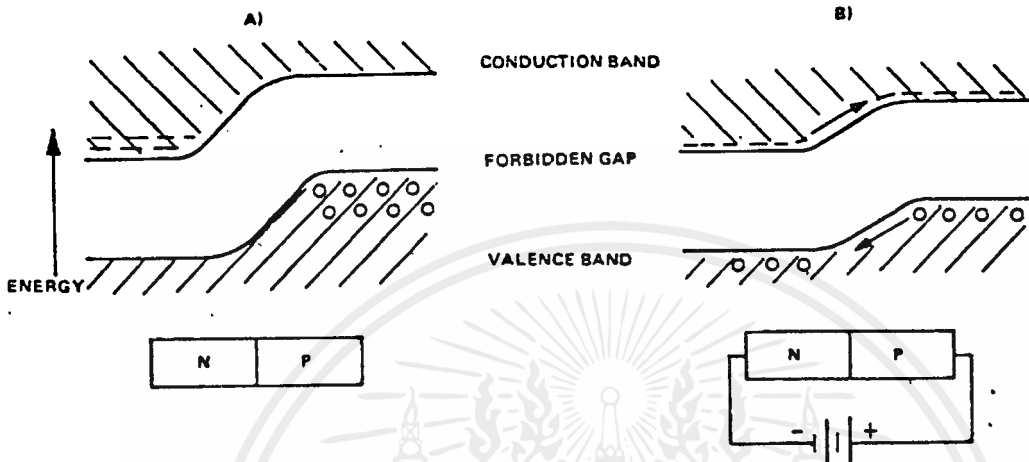


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.2 LED

สารกึ่งตัวนำที่เปล่งแสงได้นี้เป็นอุปกรณ์รอยต่อ พี-เอ็น ซึ่งเมื่อได้ไบอัสตรง (Forward Bias) ก็จะมีเปล่งแสงได้ เนื่องจากเหตุนี้จึงได้มีชื่อเรียกโดยทั่ว ๆ ไปว่า LED (Light Emitting Diodes); VLEDs (Visible Light Emitting Diodes), หลอดไฟ solid state (Solid state lamps) หรือ photoluminescent diodes เนื่องจาก LED เป็นไดโอดแบบรอยต่อ พี-เอ็น มันจึงมีคุณสมบัติทางไฟฟ้าเหมือนไดโอดทั่วๆ ไป กล่าวคือ มันสามารถที่จะนำกระแสไฟฟ้าได้เมื่ออิเล็กตรอนถูกฉีดเข้าไปในบริเวณเอ็น และกั้นการไหลของกระแสไฟฟ้า เมื่ออิเล็กตรอนถูกฉีดเข้าไปในบริเวณพี และมันยังสามารถที่จะเปล่งแสงได้ด้วย LED ผลิตแสงออกมาได้โดยอาศัยกลศาสตร์ของการฉีดและการรวมตัวกันใหม่ ซึ่งอิเล็กตรอนและโฮลจะถูกฉีด และรวมตัวกันใหม่ในลักษณะที่จะลดพลังงานในรูปโฟตอน (photon) ในความคิดโดยทั่วๆ ไปมันจะแตกต่างจากตัวตรวจจับสนามรอยต่อ พี-เอ็น ซึ่งคู่อิเล็กตรอน-โฮล จะถูกสร้างขึ้นมาจากการดูดซับโฟตอน รูปที่ 2.1a เป็นการแทนรอยต่อ พี-เอ็น ด้วยแถบพลังงาน โดยที่ไม่มีไบอัสและรูปที่ 2.1b เป็นรอยต่อเดียวกัน เมื่อมีไบอัสตรงจากภายนอก การไบอัสภายนอกที่เพียงพอจะย้ายระดับระหว่างแถบ Valence และแถบ conduction ที่อยู่ติดกัน และค่าศักย์ของการไบอัส ประมาณว่ามีค่าใกล้เคียงกับค่า energy gap แล้วโฮลจะไหลจากด้านพีของแถบ valence ซึ่งโฮลเป็นพาหะส่วนใหญ่ ไบด้านเอ็น และ อิเล็กตรอนจะไหลจากด้านเอ็นของแถบ conduction (ซึ่งอิเล็กตรอนเป็นพาหะส่วนใหญ่ ไบด้านพี เนื่องจาก โฮลและอิเล็กตรอนกำลังไหลหรือกำลังถูกฉีดไปยังบริเวณซึ่งมัน เป็นพาหะส่วนน้อย ขบวนการนี้จึงถูกเรียกว่า "การฉีดพาหะส่วนน้อย" (minority carrier injection) ขบวนการฉีดนี้จะทำให้เกิดสภาวะที่ไม่สมดุล ซึ่งจะถูกรักษาให้คงไว้โดยการ bias จากภายนอก พาหะส่วนน้อยจะหายไปโดยการข้ามผ่าน energy gap ที่ซึ่งอิเล็กตรอนสามารถรวมกันกับโฮลอิสระในแถบ valence และดังนั้นทั้งอิเล็กตรอนและโฮลจะหายไป ซึ่งเรียกว่า "การรวมกันใหม่ของโฮลและอิเล็กตรอน" เมื่ออิเล็กตรอนส่วนเกินจากแถบ conduction ไปยังแถบ valence เพื่อที่จะรวมตัวกันใหม่ มันจะปลดปล่อยพลังงานซึ่งนำไปสู่เมื่อตอนแรกจากแหล่งกำเนิดภายนอก พลังงานที่ปลดปล่อยโดยอิเล็กตรอนนี้จะเป็นสัดส่วนโดยตรงกับพลังงานแถบว่าง และอาจจะอยู่ในรูปของความร้อน (phonons) หรือแสง (photons) ถ้าอิเล็กตรอนผ่านโดยตรงจากแถบ conduction ไปแถบ valence และรวมตัวกันใหม่ เป็นที่รู้จักกันว่า "band to band recombination" ซึ่งเป็นกลศาสตร์ของการกำเนิดแสงในสารกึ่งตัวนำ direct-gap (Gallium Arsenide GaAs คือตัวอย่างของสารกึ่งตัวนำนั้น)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



NOTE: THE ENERGY STEP IS LESS ON B THAN ON A.

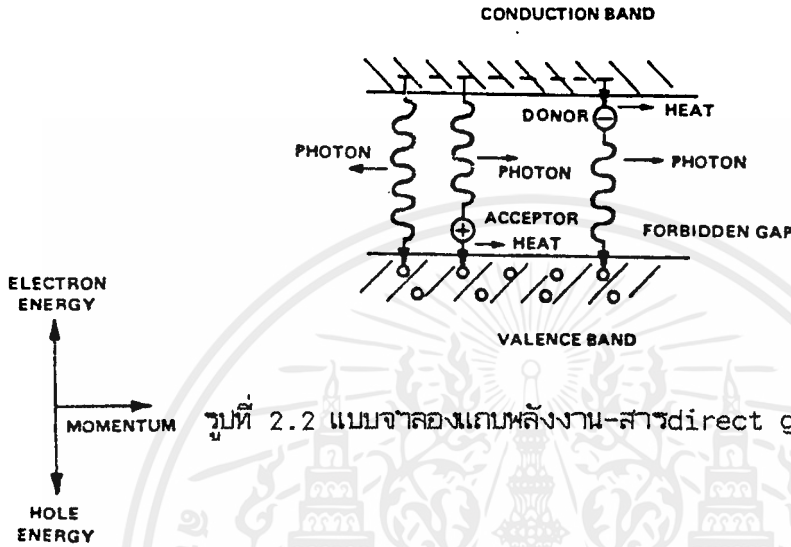
รูปที่ 2.1a รอยต่อพี-เอ็นที่เป็นอัสคูนย์ รูปที่ 2.1b รอยต่อพีเอ็นที่เป็นอัสตรง
 ความยาวคลื่นของแสงที่เปล่งออกมาคือ :

$$\lambda (\text{microns}) = hc/E_g = 1.24/E_g$$

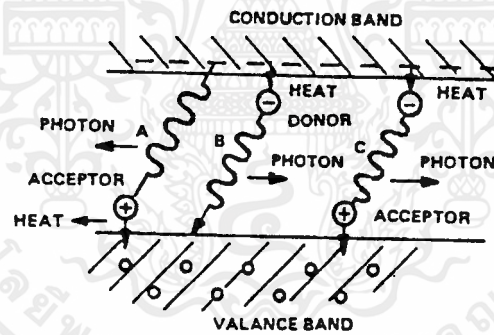
ซึ่ง E_g คือค่าพลังงานของแถบว่างในหน่วยอิเล็กตรอนโวลต์ (eV) ในการรวมตัวกันใหม่ประเภทนี้พลังงานจะถูกอนุรักษไว้และพลังงานทั้งหมดจะถูกเปลี่ยนไปเป็นโฟตอน สำหรับสารชนิด direct gap มีทางเป็นไปได้ที่จะปล่อยคอมของสารเจือ ซึ่งจะหาให้เกิดสถานะสารเจือผู้รับเหมือนแถบ valence และสถานะสารเจือผู้ให้ได้แถบ conduction ดังนั้น band-to-band recombination จะดำเนินจากสารเจือผู้ให้ไปยังสารเจือผู้รับที่พลังงานน้อยกว่าพลังงานแถบว่าง ดังรูปที่ 2.2 (Gallium Arsenide Phosphide and Gallium Aluminium Arsenide เป็นตัวอย่างของสารที่ขบวนการนี้เกิดขึ้น)

ในสารกึ่งตัวนำ indirect gap ซึ่งแถบพลังงานได้แสดงไว้ดังรูปที่ 2.3 โวลต์ และอิเล็กตรอนมีค่าพลังงานที่แตกต่างกัน และอิเล็กตรอนไม่สามารถที่จะข้ามแถบว่างได้โดยตรง จึงไม่มีการอนุรักษไว้พลังงานระหว่างกระบวนการรวมตัวกันใหม่ และดังนั้นพลังงานความร้อน (phonons) จึงถูกปล่อยออกหรือดูดซับไว้ เพื่อเป็นการอนุรักษไว้พลังงานทั้งหมด เนื่องจากกระบวนการรวมตัวกันใหม่ที่เกิดขึ้นประเภทนี้ต้องการการชนกันแบบ 3 ส่วน ซึ่งความน่าจะเป็นนั้นน้อยกว่าสาร indirect gap จึงไม่มีประ

ลักษณะภาพเท่าสาร direct gap (Gallium Phosphide GaP เป็นตัวอย่างที่ใช้กันอย่างแพร่หลายของ
เอกสาร indirect gap)



รูปที่ 2.2 แบบจำลองแถบพลังงาน-สารdirect gap



รูปที่ 2.3 แบบจำลองแถบพลังงาน-สารindirect gap

เมื่อตอนที่ผ่านมาเป็นการกล่าวถึงการเกิดโพรงภายในสารกึ่งตัวนำ หรือประสิทธิภาพควอนตัมภายในของสารกึ่งตัวนำ กล่าวคืออัตราส่วนของจำนวนโพรงที่เกิดขึ้นต่อจำนวนของพาหะที่ถูกฉีด ในขณะที่ประสิทธิภาพภายในนี้อาจจะมีค่าสูงมากสำหรับสาร direct gap และมีค่าต่ำกว่าในสาร indirect gap อันที่จริงแล้วมัน เป็นประสิทธิภาพควอนตัมภายนอกซึ่งเกี่ยวข้องกับผู้ใช้อุปกรณ์ (อัตราส่วนของจำนวนโพรงที่เกิดขึ้นที่เบ่งออกมาจากโครงสร้างต่อจำนวนพาหะที่ถูกฉีด) ประสิทธิภาพควอนตัมภายนอกประกอบด้วย

1. ประสิทธิภาพควอนตัมภายใน เป็นขบวนการรวมกันใหม่โดยแผ่รังสี (direct หรือ indirect gap, etc.)

เอกสารนี้เป็นเอกสารที่สงวนลิขสิทธิ์ไว้เพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ 2. ลิขสิทธิ์ของโพรงภายในตัวสารเอง

3. การสะท้อนของโพคอนที่มีหน้าทางออก
4. ประสิทธิภาพทางไฟฟ้า
5. การสูญเสียทางแสงเนื่องจากเลนส์, ช่องรับแสงและลักษณะของเรขาคณิตของตัวถัง

ผู้ออกแบบ LED ที่ใช้งานจริงจะต้องคำนึงถึงปัจจัยเหล่านี้ เพื่อที่จะผลิตอุปกรณ์ได้อย่างมีประสิทธิภาพ ตารางที่ 1 สรุปถึงสารที่ใช้สำหรับ LED โดยทั่วไป และความยาวคลื่นของแสงที่เปล่งออกมา และขอบเขตของประสิทธิภาพ ปัจจุบัน LED ทางการค้า ทั่วมาจาก GaAs, GaP หรือ GaAsP ซึ่งแต่ละอันจะนำมาใช้ทำอะไร

ตารางที่ 1 LED Material Guide

Material	Approximate Bandgap eV	Typical Emission Wavelength nm	λ_p
GaP, N doped	2.18	530 - 595	565
GaP, Zn doped	2.24	530 - 575	553
SiC	1.97	430 - 700	590
GaAs, P, Al	1.92	630 - 660	645
GaP, ZnO doped	1.76	615 - 730	700
GaAlAs, red	1.78	680 - 720	690
GaAs, Zn doped	1.37	890 - 920	905
GaAs: Si	1.33	890 - 980	930

Gallium Arsenide Emitters

Gallium Arsenide เป็นสาร direct gap และเนื่องจากพลังงานแถบว่างของมันมีค่าประมาณ 1.37eV พลังงานแสงที่ได้มันจึงมีค่าใกล้เคียง infrared ที่ 0.9 ไมครอนเมตร จากตอนที่แล้วเรารู้ว่าโพคอนจะถูกทำให้เกิดขึ้นโดย band-to-band recombination และมีค่าพลังงานใกล้เคียงกันมากกับพลังงานแถบว่าง ขณะที่ในคอนแรกวิธีนี้ปรากฏว่าเป็นที่ต้องการมาก แต่ที่ความยาวคลื่นของแสงที่เปล่งออกมาซึ่งตรงกับแถบว่างนี้ สารกึ่งตัวนำจะมีคราบของการหักเหสูง และโพคอนมีแนวโน้มที่จะถูกดูดซับไว้ภายใน GaAs มากกว่าที่จะหนีไป โพคอนจะถูกสร้างขึ้นที่บริเวณพี แต่ที่บริเวณนี้มี การดูดซับที่เกือบจะสมบูรณ์ในขณะที่ยังคงอยู่ เพียงแค่ยอมให้ 2% ของโพคอนหนีไป ซึ่งก็เนื่องมาจากมีการดูดซับสูงที่บริเวณขอบของแถบ ถ้าโพคอนมีพลังงานต่ำกว่านี้แล้ว การดูดซับก็จะเป็นไปได้น้อยเช่นกัน (เนื่องจากโพคอน เหล่านั้นห่างจากขอบของแถบ) และดูเหมือนโพคอน เหล่านั้นจะหนีไป เป็นส่วนใหญ่ วิธีการลดพลังงานโพคอนให้ต่ำกว่าพลังงานแถบว่างคือ สารเจือปนให้ และผู้รับใน forbidden gap ซึ่งการรวมตัวกันใหม่เกิดขึ้นที่ระดับกลาง (intermediate levels (ซึ่งทำให้เกิดความร้อน) และโพคอนหลักก็จะมีพลังงานน้อยกว่าพลังงานแถบว่างใน GaAs ซึ่งก็ก่อนสามารถจะผลิตตัวไดโอดชนิดพี และ

ชนิดอื่น เพื่อที่จะหาให้เกิดเป็นทั้งสารเจือปนและผู้ให้ และเพราะฉะนั้น ก็จะเป็นการเพิ่มประสิทธิภาพให้กับ GaAs LED ด้วย

สิ่งสำคัญที่ควรพิจารณาอีกประการหนึ่งคือ การสะท้อนของโหมดที่บริเวณผิวหน้าทางออก ซึ่งผลก็คือ โหมดนั้นจะถูกสะท้อนกลับเข้าไปในตัวสาร และจะไม่ทำให้เกิดแสงที่เป็นผลอย่างแท้จริง

เมื่อเราพิจารณาที่แสงผ่านจากตัวกลางหนึ่งไปยังอีกตัวกลางหนึ่ง จะมีมุมวิกฤติของการตกกระทบภายนอก ซึ่งแสงจะถูกสะท้อน มุมวิกฤตินี้มีความสัมพันธ์กับดัชนีหักเหของ 2 ตัวกลาง (n_1 และ n_2)

โดย :

$$\sin \psi_c = n_1/n_2$$

ซึ่ง n_1 คือ ดรรชนีหักเหของตัวกลาง 1

n_2 คือ ดรรชนีหักเหของตัวกลาง 2

ในกรณีของ GaAs และอากาศ ($n_2 = 3.6$ และ $n_1=1$ ตามลำดับ) มุมวิกฤติคือ 16 องศา ส่วนหนึ่งของแสง L_E ซึ่งมาถึงผิวหน้าทางออกของไดโอด คือ :

$$L_E = (1 - \cos \psi_c)$$

และสำหรับ GaAs + air คือ 4% ยังมีส่วนหนึ่งของแสงด้วยที่เกิดการสะท้อน (ประมาณ 30% ถ้าไม่มีการใช้สารป้องกันการสะท้อน) ซึ่งให้ค่าประสิทธิภาพคอนดัคชันภายนอกสุทธิประมาณ 2.8% เท่านั้น ถึงแม้ว่าประสิทธิภาพภายในจะเป็น 100% ก็คือ สำหรับประสิทธิภาพภายนอกที่สูงขึ้น มีความจำเป็นที่จะต้องเพิ่มค่ามุมวิกฤติซึ่งสามารถทำได้โดยสร้างยอดครึ่งทรงกลมขึ้นเหนือบริเวณรอยต่อที่มีการเปล่งแสง ถ้าอัตราส่วน เส้นผ่าศูนย์กลางของยอดครึ่งทรงกลมต่อรอยต่อ อย่างน้อยที่สุดมีค่ามากกว่าอัตราส่วนของ n_2 ต่อ n_1 (กล่าวคือ 3.6 สำหรับ Ga As และอากาศ) แล้วแสงซึ่งมาถึงผิวหน้าทางออกจะไม่มีทางออกไปได้ ψ มุมวิกฤติ ถ้ายอดครึ่งทรงกลมเหนือบริเวณรอยต่อเป็น GaAs แล้วการปรับปรุงจะมีค่าเพิ่มขึ้น 10 เท่า (ค่าทางทฤษฎีประมาณ 25 เท่า แต่การดูดซับที่เพิ่มขึ้นภายใน GaAs จะลดประสิทธิภาพลง) ยอดครึ่งทรงกลมสามารถที่จะถูกสร้างจากสารอื่นได้อีก เช่น epoxy ซึ่งจะมีค่าดรรชนีหักเหอยู่ระหว่างดรรชนีหักเหของอากาศ และ GaAs (ประมาณ 1.6) และสามารถให้การปรับปรุงเพิ่มขึ้น 3

เท่า เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



ในทางปฏิบัติ LED แบบ GaAs จะถูกผลิตขึ้นด้วยรอยต่อ พี-เอ็น ซึ่งถูกสร้างโดยการแพร่ความร้อนอะตอมของสังกะสี (Zn) เข้าไปในสาร เหลลลูเรียมเนื้อเดียวแบบผลึกเดี่ยว (Single Crystal Homogenous Tellurium) ซึ่งฐานรอง (substrate) จะถูกโด๊ป (doped) ให้เป็นรูปร่างแบน (Flat) หรือไม่กี่เป็นโครงสร้างแบบยอดครึ่งทรงกลมของ GaAs (GaAs Hemispherically Domed Structure) รอยต่อ พี-เอ็นแบบซิลิกอนซึ่งมีโครงสร้างแบบ รูนแบน หรือยอดครึ่งทรงกลม (GaAs หรือ epoxy) จะถูกนำมาใช้ให้เกิดประโยชน์ด้วยความแตกต่างที่สำคัญประการหนึ่งคือ ไดโอด GaAs : Si จะมี rise time และ fall time ที่มีขนาดมากกว่า LED แบบ GaAs บางชนิดซึ่งมีหลายลักษณะ และ เอาท์พุท ถูกแสดงไว้ในรูปที่ 2.4

Type	Pkg	Pout Min mW	@ If mA	% Power Angle°	V _f Max V	@ If mA	λ Peak μ	Features
T1L23	A	0.40	50	35	1.5	50	0.93	Pill package for double-sided printed circuit board mounting
T1L24	A	1.00	50	35	1.5	50	0.93	
T1XL06	B	0.6	500	115	2.3	500	0.91	0.0075 ins flat emitter
T1XL12	B	40.0	300	130	2.0	300	0.93	0.036 ins dome emitter
T1XL13	B	20.0	300	130	2.0	300	0.93	0.036 ins dome emitter
T1XL14	B	60.0	1000	130	2.0	1000	0.93	0.072 ins dome emitter
T1XL15	B	30.0	1000	130	2.0	1000	0.93	0.072 ins dome emitter
T1XL16	C	200.0	2000	150	2.0	2000	0.93	0.072 ins dome emitter
SL1183	D	200.0	2000	20	2.0	2000	0.93	175 mW into 20° cone
SL1191	C	350.0	3000	150	2.0	3000	0.93	Available with 20° reflector
T1XL19	E	10.0	200	—	2.0	200	0.85	Matched for use with photoemissive sensors
T1XL20	E	5.0	200	—	2.0	200	0.82	Matched for use with photoemissive sensors
T1XL21	F	10.0	200	—	2.0	200	0.85	Matched for use with photoemissive sensors
T1XL22	F	5.0	200	—	2.0	200	0.82	Matched for use with photoemissive sensors
T1XL26	G	0.50	35	—	1.4	35	0.93	Industrial emitter
T1XL27	I	15.0	300	135	2.2	300	0.94	Stud Header
T1L31	J	3.3	100	10	1.75	100	0.944	Hermetic TO-46
T1L32	K	0.5	20	55	1.60	200	0.944	Plastic, 2 leads



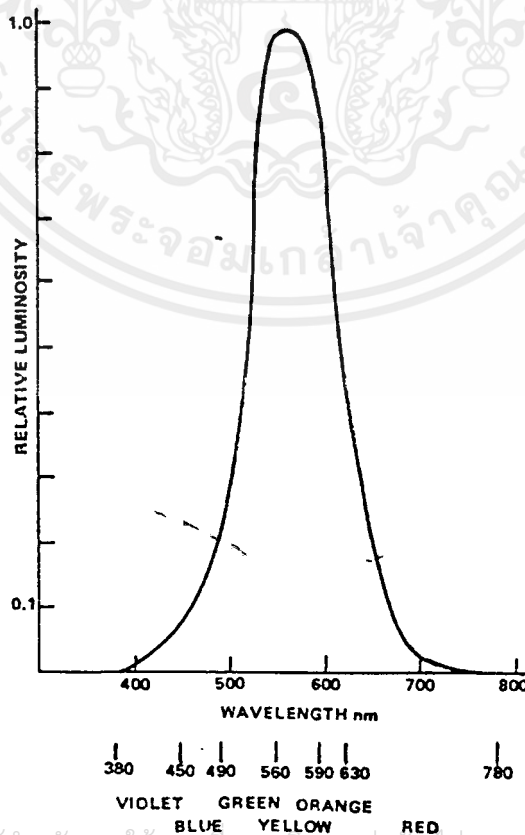
รูปที่ 2.4 GaAs LED ที่มีใช้ทั่วไป

Gallium Phosphide Emitters

Gallium Phosphide เป็นสาร indirect gap ซึ่งมีค่าพลังงานแถบว่างประมาณ 2.24 eV ซึ่งให้แสงสีเขียวที่มีความยาวคลื่น 0.55 ไมโครเมตรความที่คาดไว้ สารเจือผู้ให้และผู้รับที่เพิ่มเข้าไปในแถบห้ามเช่นเดียวกับใน GaAs สามารถที่จะสลับพลังงานของโพดอน และมีกัมพบยอดครึ่งคือเอกลักษณะเป็นเอกลักษณ์สำหรับวิธีการใช้งานเพื่อการศึกษาด้านนี้ ไม่นับอยู่แต่เห็นไปเซประยะขึ้นด้านการค้าสามารถที่จะให้แสงที่มีประสิทธิภาพเพิ่มขึ้น วิธีการนี้สามารถทำได้โดยการเติมไนโตรเจนที่พอเหมาะ ซึ่ง

จะลดพลังงานแถบว่างลงเหลือประมาณ 2.18 eV GaP สามารถที่จะให้แสงสีแดงได้ โดยการเชื่อมด้วยสารสังกะสีออกไซด์ ZnO ซึ่งจะหาให้สภาวะระดับความเข้มเกิดขึ้นในแถบว่าง สังกะสีจะหาให้เกิดระดับของคู่อิเล็กตรอน valence และออกซิเจนจะหาให้เกิดระดับของคู่อิเล็กตรอน valence ผลที่ได้คือพลังงานแถบว่างประมาณ 1.8eV ซึ่งมีความยาว 0.69 ไมครอนเมตร เพราะฉะนั้น ตัวเปล่งแสงสีเขียวนั้นไม่จำเป็นที่จะต้องมีประสิทธิภาพเท่ากับตัวเปล่งแสงสีแดงเพื่อที่หาให้เกิดผลต่อการมองเห็นเดียวกัน

GaP ต่างจาก GaAs ในลักษณะที่สำคัญอีกประการหนึ่ง สาร GaP จะเปล่งแสงสีแดงมากกว่าแสงสีเขียว ดังนั้นจุดอ่อนที่เกิดขึ้นที่รอยต่อ พีเอ็น สามารถที่จะเคลื่อนผ่านสาร พี และ เอ็นที่อยู่ติดกัน โดยมีการถูกดูดซับเล็กน้อย และออกจากอุปกรณ์นั้นทั่วทุกผิวหน้า การพิจารณาสมรรถนะ ยังคงเป็นจริงอยู่ และชั้นพลังงานจะถูกหาทำให้เกิดเป็นโครงสร้างที่มีลักษณะเหมือนขดคกริ่งทรงกลม เนื่องจากความเปล่งใสของ GaP ที่ให้แสงสีแดง โดยทั่วไปแล้วตัวสะท้อนจะถูกนำมาใช้เพื่อรวบรวมการแผ่รังสีด้านข้างและเปลี่ยนทิศทางไปยังผู้สังเกต และบริเวณหน้าสัมผัสอิมิตเตอร์จะถูกลดขนาดลงมากเท่าที่จะเป็นไปได้ เพื่อลดการสะท้อนลง



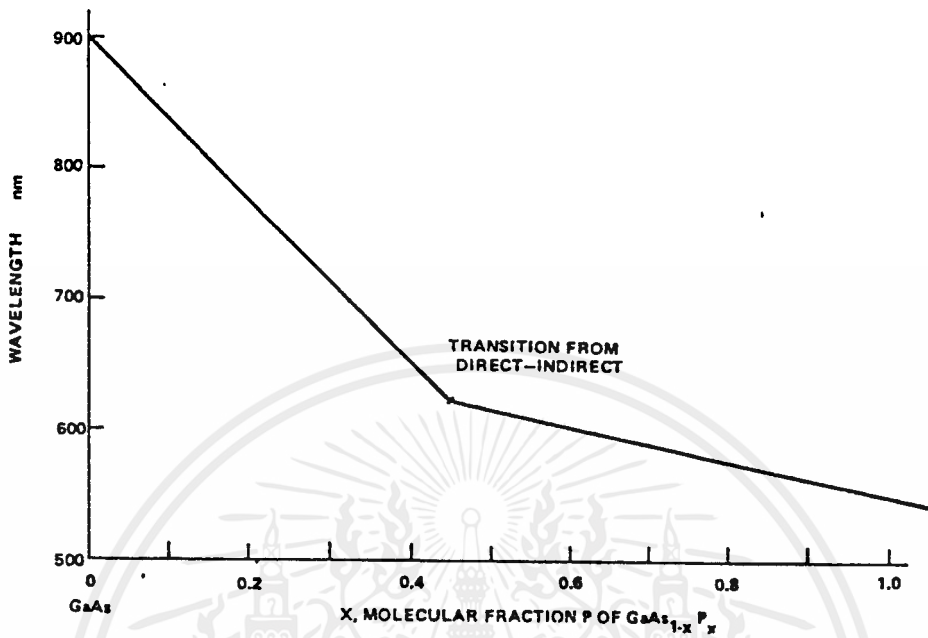
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามทำซ้ำหรือดัดแปลงข้อมูลขององค์การวิจัยทางดาราศาสตร์ทุกครั้งที่มีการนำไปใช้

รูปที่ 2.5 การตอบสนองของตา vs ความยาวคลื่น

Gallium Arsenide Phosphide Emitters

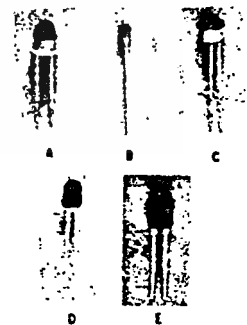
Gallium Arsenide Phosphide LED เป็นตัวอย่างของอุปกรณ์ผลึกผสมเนื้อเดียว สารชนิดนี้เกิดจากการผสมระหว่าง GaP (สาร indirect gap) กับ GaAs (สาร direct gap) เพื่อทำให้เกิดเป็นผลึกเชิงซ้อน ซึ่งเมื่อใช้ในรอยต่อ พีเอ็น จะให้แสงที่มีความยาวคลื่นระหว่าง 55 ไมโครเมตร ของ GaP และ 0.9 ไมโครเมตรของ GaAs รูปที่ 2.6 แสดงถึงความสัมพันธ์ระหว่างความยาวคลื่นของแสงที่เปล่งออกมา และสารประกอบเชิงซ้อน $GaAs_{1-x}P_x$ จะเป็นสาร direct gap เมื่อ x มีค่าน้อยกว่า 0.45 และที่ค่ามากกว่า 0.45 มันจะกลายเป็นสาร indirect gap และประสิทธิภาพจะลดลงอย่างรวดเร็ว ที่จุดหักมุมพลังงานแถบว่างจะมีค่าประมาณ 1.96 eV ซึ่งตรงกับความยาวคลื่น 0.63 ไมโครเมตร ในการเพิ่มความเข้มข้นของฟอสฟอรัสของ GaAsP ดอมนแรกจะทำให้ดูเหมือนว่าเป็นวิธีที่สะดวกในการทำให้ได้แสงสีเขียวและสีแดง หรือสีปานกลางจากสารเดียวกัน อย่างไรก็ตาม ประสิทธิภาพจะลดลงอย่างมาก และการอิมิตของกระแสที่รอยต่อจะทำให้ไม่เป็นที่พอใจที่จะสร้างอุปกรณ์เพื่อใช้งานที่ความยาวคลื่น 0.6 ไมโครเมตร

ในทางพาณิชย์ GaAsP LED ถูกสร้างจากสาร GaAsP ชนิด n ซึ่งวางอยู่บนฐานของ GaAs และเล็วรอยต่อพี-เอ็นก็จะถูกทำให้รวมกันโดยการแพร่ความร้อนของสังกะสี โดยทั่วไปแล้วรอยต่อพี-เอ็นจะถูกทำให้รวมกันโดยผ่านกระบวนการฟานาร์ (panar process) แต่รอยต่อแบบลาดชันได้ถูกนำมาใช้ด้วย (โดยเฉพาะอย่างยิ่งสำหรับเลเซอร์ไดโอด) หน้าสัมผัสที่มีศิลปะจะถูกหัดไว้ทั้ง 2 ด้านของรอยต่อ ซึ่งด้านเอ็น (ฐานรอง GaAs) จะถูกขุดลึกลงอย่างสมบูรณ์หน้าสัมผัส และด้านพีที่มีรูปแบบของหน้าสัมผัสที่เหมาะสมสำหรับการกระจายของกระแสสูงสุด ซึ่งมีการกำบังที่น้อยที่สุดของบริเวณเปล่งแสง ตัวชิปนั้นจะใช้รูปทรงจตุรัสเล็ก ๆ สำหรับ discrete LED หรือรูปสี่เหลี่ยมผืนผ้ายาวสำหรับการแสดงนลทางตัวเลข



รูปที่ 2.6 ความยาวคลื่น vs ส่วนประกอบของ GaAsP

Type	Pkg	Min	Output Typ fL	@ I _F mA	V _F Max V	@ I _F mA	Features
TIL203	A	375	750	10	2.0	20	TO-18-clear lens
TIL204	A	375	750	20	2.0	20	TO-18-red lens
TIL205	B	375	750	20	2.0	20	Coaxial package-clear lens
TIL206	B	375	750	20	2.0	20	Coaxial package-red lens
TIL207	C	375	750	20	2.0	20	TIL63 header-clear lens
TIL208	C	375	750	20	2.0	20	TIL63 header-red lens
TIL209	D	15 μW	-	20	2.0	20	All plastic-red
TIL210	E	25 μW	-	20	2.0	20	All plastic-red large



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและดัดแปลงข้อมูลใดๆ ของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 2.7 GaAsP VLED ที่ใช้ทั่วไป

2.3 Photo Diode/Transistor

Photodiode

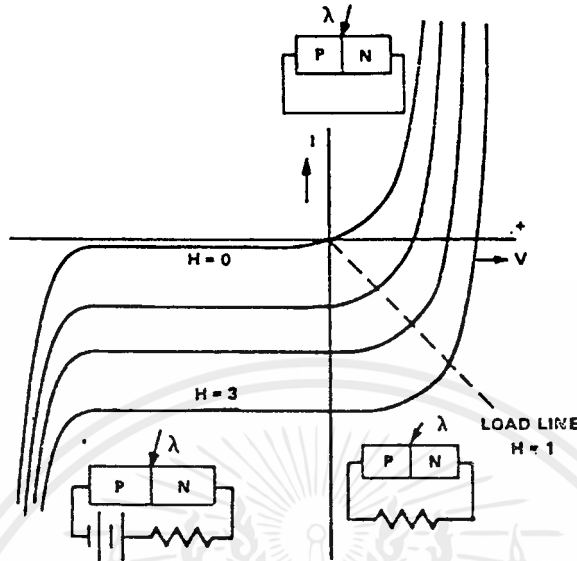
อุปกรณ์ตรวจจับแสงโฟโตไดโอดเป็นรอยต่อพีเอ็น เช่นเดียวกับอุปกรณ์ photovoltaic แต่โฟโตไดโอดถูกออกแบบมาเพื่อให้ทำงานที่ไบอัสกลับ (Reverse Bias) ดังที่กล่าวมาแล้วว่าที่สภาวะสมดุลของรอยต่อพีเอ็นจะมีจำนวนอิเล็กตรอนเกินที่บริเวณพี และโฮลเกินอยู่ที่บริเวณเอ็นเป็นการใช้ศักดิกาภายนอกเพื่อหาให้ด้านพีมีความเป็นลบมากกว่าด้านเอ็น จะทำให้สนามไฟฟ้าบริเวณรอยต่อมีค่าเพิ่มขึ้น และขยายบริเวณปลอดพาหะให้เพิ่มขึ้น บริเวณปลอดพาหะที่เพิ่มขึ้นจะต้านทานการไหลของประจุพาหะและเพราะฉะนั้นจะไม่มีกระแสไหลข้ามสิ่งกีดขวางนี้ได้ ความจริงแล้วความต้านทานของบริเวณปลอดพาหะจะมีค่ามากกว่าความต้านทานของสารกึ่งตัวนำหลายเท่า ความกว้างของบริเวณพีจะคงเพิ่มขึ้นขณะที่ตกดาคที่จ่ายมีค่าเพิ่มขึ้น จนกระทั่งมีการเบรคดาวน์ (Break Down) ของรอยต่อเกิดขึ้น ในตอนนี้ถ้าโฟตอนถูกดูดซับในบริเวณปลอดพาหะนี้ อิเล็กตรอนจะถูกกวาดเข้าไปในบริเวณเอ็น และ โฮลจะถูกกวาดเข้าไปในบริเวณพี ดังนั้นจะทำให้เกิดมีกระแสไหลที่ไหลในวงจรรภายนอก แล้วโฟโตไดโอดจะประพฤติตัว เหมือนกับ เป็นตัวกำเนิดกระแสไฟฟ้า และกระแสนั้นก็ เป็นสัดส่วนโดยตรงกับความเข้มของแสงด้วย

$$I_{tot} = I_L + I_D$$

- ซึ่ง I_L คือกระแสไหลลดขณะมีแสง
 I_D คือกระแสเสริมตัวของไดโอดขณะไม่มีแสง

อุปกรณ์ประเภทนี้จะนามาจากซิลิคอนโดยทั่วไป I_D จะมีค่า 1 nA ขณะที่ I_L จะมีค่า 10 สำหรับพื้นที่ 5 mm^2 ที่แสงในท้องปกติ โฟตอนที่ถูกดูดซึมในบริเวณปลอดพาหะหรือภายในบริเวณ 1 ความยาวของการแพร่ จะทำให้เกิดคู่อิเล็กตรอน 1 คู่ กล่าวคือประสิทธิภาพมีค่า 100 % รูปที่ 2.8 แสดงคุณสมบัติ วิโอทีสมบรูณ์ของตัวตรวจจับแสงแบบรอยต่อพีเอ็น ชนิดซิลิคอน ซึ่งทำงานได้ทั้งแบบ open และ short circuit mode เป็นที่น่าสังเกตรว่กราฟที่ $H=0$ เท่านั้นที่ผ่านจุดกำเนิด และเป็นที่น่าสังเกตรว่อีกด้ว้ว่ารอยต่อพีเอ็น เดียวสามารถเป็นตัวกำเนิดศักดิกาไฟฟ้าหรือตัวกำเนิดกระแสไฟฟ้าได้อย่างไร

ความกว้างของบริเวณปลอดพาหะสามารถที่จะถูกควบคุมได้โดย reverse bias ที่ให้ และความต้านทานสารกึ่งซิลิคอน เป็นพื้นฐาน (ที่ตกดว้ไบอัสกลับ) ความกว้างจะเป็นสัดส่วนกับรากที่ 2 ของความต้านทาน) บริเวณปลอดพาหะยิ่งกว้างขึ้นเท่าไร ความจุไฟฟ้าที่บริเวณรอยต่อก็ยิ่งน้อยลงเท่านั้น



รูปที่ 2.8 กราฟแรงดัน vs กระแส ของรอยต่อพี-เอ็นที่ความเข้มแสงต่างๆ

ดังนั้น ตัวตรวจจับแสงประเภทนี้สามารถใช้งานได้ที่มีความถี่สูง เนื่องจากคู่ โวล-อี เลคตรอนที่เกิดขึ้นมีความน่าจะเป็นสูง ในการเกิดที่บริเวณรอยต่อพี-เอ็นหรือภายในระยะทางสั้น ๆ ของบริเวณรอยต่อพี-เอ็น และความจุไฟฟ้าต่อ/สนามไฟฟ้าสูงจะมีผลใน เวลาอันสั้น

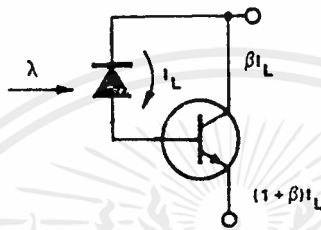
พีดีไดโอดสามารถที่จะถูกออกแบบมาเพื่อให้มีข้อได้เปรียบในเรื่องปรากฏการณ์อะวาลานซ์ เพื่อให้ reverse bias ที่รอยต่อมีค่าเข้าใกล้ค่าหักเหเบรคตามแล้ว โฟตอนที่สร้างคู่ โวล-อี เลคตรอนสามารถที่จะทำให้มีพลังงานเพียงพอให้การสร้างคู่ โวลอี เลคตรอนอื่น ๆ เมื่อพวกมันชนกับ อะตอมของฐานรอง ซึ่งมีผลในการทวีกระแสไฟฟ้าขึ้น

โดยทางทฤษฎีแล้ว สารกึ่งตัวนำสามารถที่จะนำมาสร้างพีดีไดโอดได้เกือบทุกชนิด แต่ซิลิกอน เป็นสารที่ถูกใช้มากที่สุด ขณะที่สารเจมาเนียมจะถูกนำมาใช้กับไดโอดชนิดพิเศษในช่วงที่เข้าใกล้ อินฟราเรด ซึ่งได้แก่สาร InAs, InSb, Hg:Ge, HgCd Te ซิลิกอนพีดีไดโอดถูกผลิตเช่นเดียวกับซิลิกอนไดโอดธรรมดาทั่วไป ซึ่งมีการแพร่แบบพลาร์นา (planar diffusion) ของสารชนิด พี หรือเอ็น เข้าไปในผลึกเดี่ยวของซิลิกอน ซิลิกอนพีดีไดโอดสามารถใช้เทคนิคผ่านก้างแบบ Schottky (Schottky barrier technigne) ได้อีกด้วย ซึ่งการเชื่อมต่อนี้ของซิลิกอนกับโลหะจะทำให้เกิดรอยต่อพีเอ็นที่มีประสิทธิภาพที่บริเวณผิวหน้า ขนาดของพีดีไดโอดที่มีจำหน่ายทั่วไป มีตั้งแต่ขนาดเล็กกว่า 5×10^{-6} ตารางนิ้ว ถึงขนาดใหญ่กว่า 1 ตารางนิ้ว

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Phototransistor

นอกจากโฟโตไดโอดแล้ว ยังมีตัวตรวจจับแสง (Light Sensor) อีกประเภทหนึ่ง ซึ่งก็คือ โฟโตทรานซิสเตอร์ โฟโตทรานซิสเตอร์มีการทำงาน เหมือนกับทรานซิสเตอร์ธรรมดา เพียงแต่ต่างกัน ตรงการให้กระแส เบสจากภายนอก เพื่อขับทรานซิสเตอร์ไดโอดที่ขาดคอลเลคเตอร์-เบส จะทำหน้าที่ คล้ายกับ เป็นแหล่งกำเนิดกระแส รูปที่ 2.9 เป็นวงจรเสมือนของโฟโตทรานซิสเตอร์ แบบ เอ็นพีเอ็น



NOTE: THE DIODE IS COINCIDENT WITH THE TRANSISTOR COLLECTOR-BASE

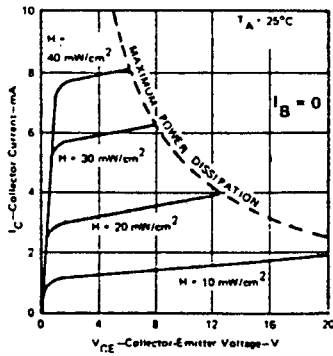
รูปที่ 2.9 ไดโอดที่ต่อขนานอยู่กับทรานซิสเตอร์

แสงเป็นตัวที่ทำให้เกิดคู่อิเล็กตรอน-โฮลในไดโอดที่ขาดคอลเลคเตอร์-เบส ซึ่งสามารถที่จะ พิจารณาได้ว่าขนานอยู่กับทรานซิสเตอร์ทั้งที่ความเป็นจริงแล้วมันทำงาน เป็นส่วน เดียวกัน และทำงานที่ reverse bias อันเดียวกัน ดังนั้น ทรานซิสเตอร์นี้จะคูณกระแสของโฟโตไดโอดด้วยอัตราขยายกระแสของมัน (h_{fe})

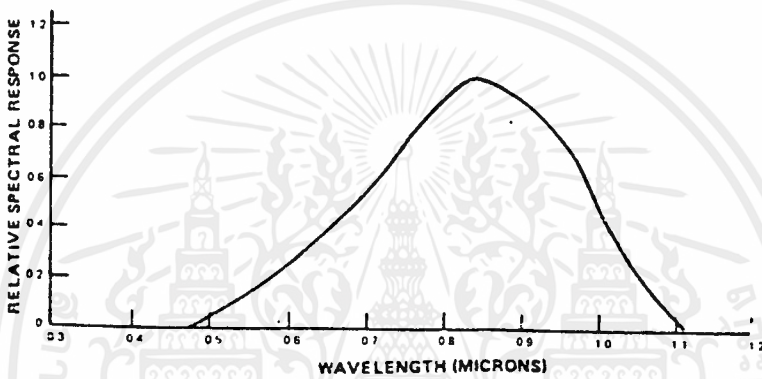
$$I_c = I_e = (1+h_{fe}) I_L$$

แน่นอนกระแสเสมือนของโฟโตไดโอดจะถูกคูณด้วย h_{fe} เช่นกัน ซึ่งมีผลทำให้กระแสรั่วไหล มีค่าสูง แสงที่ถูกดูดซับใน forward bias ของ อิเล็กตรอน-เบส ไดโอดจะไม่ผลต่อการทำงานของ โฟโตทรานซิสเตอร์ รูปที่ 2.10 แสดงคุณลักษณะของ V_{ce} กับ I_c สำหรับค่าความเข้มแสงค่าต่าง ๆ ของโฟโตทรานซิสเตอร์แบบซิลิกอนที่ใช้งานทั่วไป ขณะที่รูปที่ 2.11 แสดงการตอบสนองสเปกตรัมการควบคุมช่วงชีวิต(Lifetime) ของสารทั้งก่อนนั้น มีทางเป็นไปได้ที่จะมีผลกระทบต่อการตอบสนองสเปกตรัมทั้งหมด ช่วงชีวิตที่ยาวกว่าจะตอบสนองความยาวคลื่นที่ยาวในขณะในช่วงชีวิตที่สั้นกว่าจะลดผลตอบสนองทั้งหมดพร้อมกับเลื่อนการตอบสนองไปยังความยาวคลื่นที่สั้นกว่า ผลตอบสนองรวมของโฟโตทรานซิสเตอร์ (ตามความยาวคลื่นและความเข้มของแสงที่ตกทอด) เป็นฟังก์ชันของพื้นที่ของคอลเลคเตอร์-เบสไดโอด และ h_{fe} ของทรานซิสเตอร์

ตัวตรวจจับแสงประเภทอื่น ๆ รวมทั้งโฟโตไทรสเตอร์ (photothyristor) ซึ่งคล้ายกับ ไทรสเตอร์ธรรมดา ยกเว้นพื้นที่รอยต่อที่คอลเลคเตอร์ถูกขยาย เพื่อให้สามารถทำงานกับแสงได้ ตัวตรวจจับแสงประเภทโฟโตดาลิ่งตัน (photodarlington) เป็นการรวมกันเอง โฟโตทรานซิสเตอร์ไวแสงตัว



รูปที่ 2.10 V_{CE} และ I_C ของซิลิกอนไพเอตทรานซิสเตอร์ที่ความเข้มแสงต่างๆ



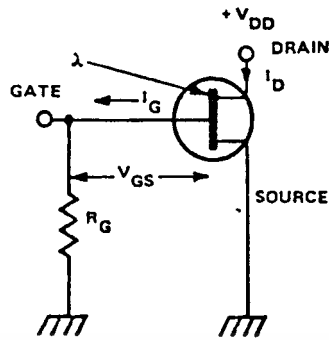
รูปที่ 2.11 การตอบสนองของสเปกตรัมของซิลิกอนไพเอตทรานซิสเตอร์

หนึ่งซึ่งยับยั้ง เบสของทรานซิสเตอร์อีกตัวหนึ่ง เพื่อให้ได้กระแสมากที่สุด สำหรับอินพุตแสงต่าง ๆ ไพเอตคาบิลิตัน เป็นอุปกรณ์เสริมซึ่งมีความเร็วช้ากว่าไพเอตทรานซิสเตอร์ และกระแสเกิดของคอลเลคเตอร์-เบสไดโอดซึ่งไวต่อแสงจะต้องถูกควบคุมด้วยทรานซิสเตอร์ตัวหลังนี้

โครงสร้างของ JFET (Junction Field Effect Transistor) สามารถที่จะเป็นประโยชน์ในการผลิตตัวตรวจจับแสงแบบไพเอต FET ใน n-channel FET เดรน (drain) กับเกต (gate) จะถูก reverse bias และเพราะฉะนั้น รอยต่อ พีเอ็นนี้สามารถที่จะถูกใช้ในการสร้างกระแสไพเอต (photocurrent) โดยอาศัยหลักการพื้นฐานของการสร้างคู่อิเล็กตรอน-โฮล สำหรับไพเอตที่ถูกดูดซับ ถ้าตัวต้านทาน R_G ถูกต่ออนุกรมกับเกตแล้ว กระแสไพเอตซึ่งถูกสร้างขึ้นในบริเวณรอยต่อ เกต-เดรน จะทำให้เกิดศักดาที่ขาเกตซึ่งจะถูกขยายโดยอุปกรณ์ตัวนี้ ดังรูปที่ 2.12 ซึ่งเป็นวงจรพื้นฐาน ความไวต่อแสงของ FET สามารถถูกปรับได้ เนื่องจากมันเป็นสัดส่วนโดยตรงกับ R_G และด้วยการคัดเลือก มันสามารถที่จะเป็นไปได้อัตราขยายของกระแสไพเอตจะมีค่าถึง 10^4 หรือ เป็นไปได้อัตราขยายความไวให้มากกว่า 6 ค่าของขนาด เนื่องจากความไวต่อแสงของ FET เป็นฟังก์ชันของ R_G , G_m และกระแสรั่วไหล (ที่ขาเดรน-เกต) มันจะเพิ่มขึ้นที่อุณหภูมิค่า และจะลดลงที่อุณหภูมิสูง กล่าวคือตรงกันข้ามกับ

ไพเอตทรานซิสเตอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



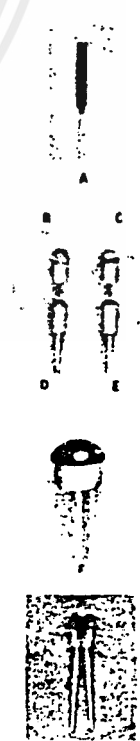
$$I_{D \text{ light}} \approx g_m V_{GS} = g_m R_G I_{G \text{ light}}$$

WHERE g_m = SMALL SIGNAL COMMON-SOURCE FORWARD TRANSFER ADMITTANCE
 $g_m = \frac{\Delta I_D}{\Delta V_{GS}}$

รูปที่ 2.12 วงจร Photo FET

โฟโตทรานซิสเตอร์และอุปกรณ์อื่น ๆ ดังที่กล่าวไปนั้น จะใช้ซิลิกอนเป็นส่วนประกอบ และคุณสมบัติตามลักษณะเดียวกับอุปกรณ์ประเภทเดียวกันที่ไม่เกี่ยวกับแสง ถึงอย่างไรก็ตาม เพื่อให้มีคุณสมบัติของแสงที่ดี จึงได้มีการเอาใจใส่อย่างใกล้ชิดพร้อมกับมีการจัดใส่ตัวถังที่ทันสมัยด้วย รูปที่ 2.13 แสดงถึงโฟโตทรานซิสเตอร์ชนิดต่าง ๆ บางประเภทที่ผลิตขึ้นมา และคุณสมบัติทางแสงและไฟฟ้า

Type	Pkg	Light Current		Dark Current	Power	Features
		Min	Max @ V			
LS400	A	1.0	5	25	50	Hermetic glass package
LS600	B	0.8	5	25	50	Pill package
TIL601	B	0.5	5	25	50	Round lens
TIL602	B	2.0	5	25	50	For mounting on double-sided printed circuit board
TIL603	B	4.0	5	25	50	
TIL604	B	7.0	5	25	50	
TIL605	C	0.5	5	25	50	Same as LS600 except with flat lens for wider field of view
TIL606	C	2.0	5	25	50	
TIL607	C	4.0	5	25	50	
TIL608	C	7.0	5	25	50	
TIL609	D	0.5	5	25	50	Coaxial package
TIL610	D	2.0	5	25	50	Round lens
TIL611	D	4.0	5	25	50	For mounting on single-sided printed circuit board
TIL612	D	7.0	5	25	50	
TIL613	E	0.5	5	25	50	Same as TIL609 except with flat lens for wider field of view
TIL614	E	2.0	5	25	50	
TIL615	E	4.0	5	25	50	
TIL616	E	7.0	5	25	50	
TIL63	F	0.4	5	25	50	Low cost TO-18 header with epoxy lens
TIL64	F	0.4	5	25	50	Operating temperature range - 40°C to +80°C
TIL65	F	1.0	5	25	50	
TIL66	F	2.5	5	25	50	
TIL67	F	6.0	5	25	50	
TIL78	G	1.0	5	25	50	2-lead plastic package.



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
 รูปที่ 2.13 ซิลิกอนโฟโตทรานซิสเตอร์ที่มีใช้ทั่วไป
 ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งยังมีเหตุผลที่เปลี่ยนแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เกณฑ์ในการคัดเลือกเพื่อนำมาใช้งาน

ชนิดที่ไม่ดี เลขที่ไม่ เป็นการร่ายนักษสำหรับวิศวกรในการคัดเลือกตัวตรวจจับแสงที่ดีที่สุด สำหรับ การใช้งาน เฉพาะด้าน เนื่องจากไม่ เพียงตัวแปรทางวงจรไฟฟ้าของอุปกรณ์สารกึ่งตัวนำ จะต้องถูก พิจารณา เพียงอย่าง เดียว แต่ยังคงพิจารณาถึงตัวแปรทางแสงของตัวอุปกรณ์ และความสัมพันธ์กับ แหล่งกำเนิดแสงอีกด้วย สิ่งที่ต้องจำไว้เสมอคือ ความยาวคลื่น การกระจายของสเปกตรัมของแสงที่จะ ถูกตรวจจับ ตัวกลางซึ่งแสงจะต้องผ่านก่อนเข้าตัวตรวจจับ และแน่นอน ส่วนไหนในวงจรทั้งหมดที่จะใช้ ตัวตรวจจับ ตารางที่ 2 แสดง เกณฑ์ในการคัดเลือก

ตารางที่ 2 การเลือกใช้ตัวตรวจจับแสง

Device Type	Advantages/Uses	Limitations
Photo-resistors	Response in visible spectrum. Large light to dark ratio. Large sensitive areas available. Zero offset voltage.	Memory or hysteresis effect. Limited temperature range. Slow response – milliseconds.
Photo-voltaic	Voltage generator – no external bias required. Large areas available. Efficient conversion of solar energy. Very linear with respect to radiation in short circuit mode.	Slow speed of response. Low level outputs.
Photo-diodes	High speed operation – 10^{-6} to 10^{-9} seconds. Good linearity with light levels and temperature. Low noise. Wide range of spectral responses visible to infrared.	Low level outputs.
Photo-transistors	Integral current gain, can drive TTL. Small sizes available for close spacing, wide variety of packages.	Limited frequency response, 500kMz. Non-linear with respect to light levels.
Photo-thyristors	Highest output current. Light used only to trigger – will remain 'on' after light removed. Can be used to switch high voltage with isolation.	Highly temperature sensitive. Poor dV/dT performance.
Photo-Darlington	High current output at very low light levels.	Long response time. Higher leakage current due to gain multiplication. Non linear with intensity and temperature.
Photo-FET	Sensitivity adjustable by R_G selection. High gain – bandwidth product Good low temperature operation.	Non linear. Poor high temperature characteristics.

2.4 Fiber Optic

เนื่องจากความต้องการสำหรับการสื่อสารทางโทรทัศนียภาพมีจำนวนเพิ่มขึ้นอย่างรวดเร็วทั่วโลก ด้วนาลวดทองแดงที่ใช้อยู่ไม่เพียงแต่จะมีราคาแพงเท่านั้น ข้อมูลที่เกี่ยวข้องกับลวดตัวนำยังมีไม่พออีกด้วย ข้อจำกัดทางความถี่ของระบบด้วนาลวดทองแดงมีค่าประมาณ 1 MHz ซึ่งยังไม่เพียงพอสำหรับการสื่อสารแบบความเร็วสูง (High Speed Communication) เส้นใยนำแสง (Fiber Optic) มีน้ำหนักเบา และมีคุณสมบัติทางความถี่สูง กล่าวคือประมาณ 40 GHz และไม่มีการรบกวนจากภาพแผ่รังสีของคลื่นแม่เหล็กไฟฟ้า ดังนั้น เส้นใยนำแสงจึงได้รับความนิยมอย่างมากในระบบการสื่อสารโทรทัศนียภาพ

ตัวอย่างต่อไปนี้แสดงให้เห็นข้อดีของการใช้เส้นใยนำแสง

1. มีน้ำหนักเบาและไม่เป็นสนิม ซึ่งเหมาะมากสำหรับใช้งานในยานอวกาศและรถยนต์
2. เส้นใยนำแสง 1 เส้น สามารถที่จะมีช่องสัญญาณเสียงได้มากเท่ากับ 1500 คู่สาย
3. ความห่างของตัวขยายสัญญาณสำหรับเส้นใยมีค่าตั้งแต่ 35 ถึง 80 กิโลเมตร ซึ่งตรงข้ามกับสายธรรมดาซึ่งมีค่าตั้งแต่ 1 ถึงแค่ 1 1/2 กิโลเมตรเท่านั้น
4. เส้นใยจะไม่มีการรบกวนจากฟ้าแลบ และการแผ่รังสีของคลื่นแม่เหล็กไฟฟ้า

เส้นใยนำแสง

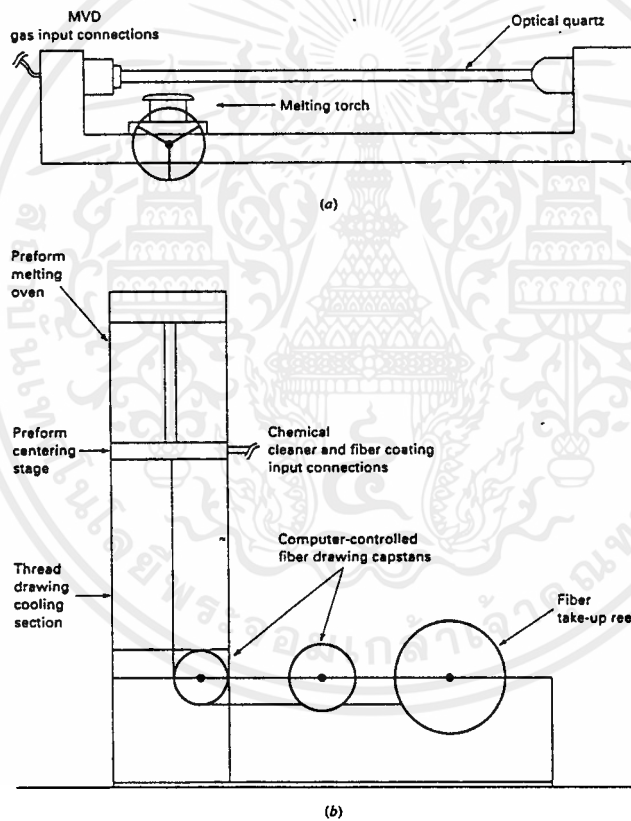
การผลิตและการสร้างเส้นใยขึ้นพื้นฐานนั้น เป็นเรื่องที่ยุ่งยาก แต่สามารถอธิบายได้พอสังเขป คือ หลอดควอตซ์ที่ถูกทำให้บริสุทธิ์แล้วจะถูกเติมด้วยก๊าซปรอท (ซิลิกอนเตตระคลอไรด์, เนอร์มาเนียมเตตระคลอไรด์, พอสฟอรัสออกไซด์คลอไรด์) หลอดซึ่งมีความยาวประมาณ 4 ฟุต และเส้นผ่าศูนย์กลางประมาณ 1 นิ้ว จะถูกตั้งที่เครื่องกลึง และก๊าซเหล่านั้นก็จะถูกฉีดเข้าไปในหลอดที่กลึงนั้น หลอดจะถูกหมุนรอบตัวเองบนเบลาไฟ ที่อุณหภูมิประมาณ 1600 F การเผาด้วยก๊าซจะทาให้เกิดตะกอนขึ้นภายในหลอด แล้วความร้อนจะถูกเพิ่มเป็นประมาณ 2100 F เพื่อให้หลอมเหลว และยุบหลอดให้เหลือประมาณ 13 มิลลิเมตร

แท่งควอตซ์ ซึ่งผ่านขบวนการ modified chemical vapor deposition (MCVD) แล้ว จะถูกวางในแนวตั้ง ในหอดึง (drawing tower) ซึ่งจะถูกให้ความร้อนต่ออีก (2200 F) และถูกดึงลงด้านล่างโดยหลักการของการหลอมเหลวควบคุมด้วยคอมพิวเตอร์ และขบวนการการดึง เพื่อจะทาให้ได้เส้นใยคุณภาพสูง มีความยาวประมาณ 6.25 กิโลเมตร และเส้นผ่าศูนย์กลางประมาณ 125

ไมโครเมตร

เป็นหน่วยวัดที่ใช้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่นิยมนำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ศูนย์กลางซึ่งถูกเรียกว่าแกน หรือ Core (เส้นผ่าศูนย์กลาง 8 ไมโครเมตร) จะถูกล้อม

รอบด้วยควอร์ตที่บริสุทธิ์น้อยกว่า ซึ่งถูกเรียกว่าชั้นคลุม หรือ cladding (ขอบเขตประมาณ 117 ไมครเมตร ซึ่งเกิดขึ้นระหว่างขบวนการ MCVD)

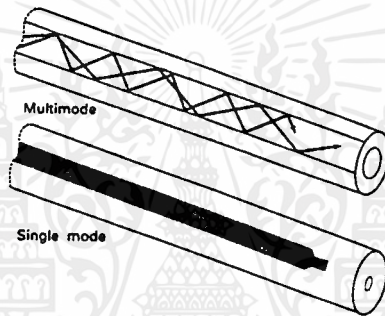


รูปที่ 2.14a การผลิตบนแท่งกลึง รูปที่ 2.14b ทอดึงเส้นใย

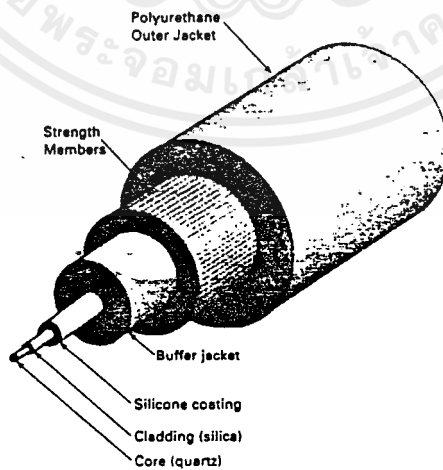
โดยพื้นฐานแล้ว เส้นใยนำแสงประกอบด้วย 2 ชั้นใหญ่ ๆ คือ แกนนำแสง (50 ไมครเมตร) และชั้นปกคลุม ชั้นปกคลุมจะประพาดตัวเป็นตัวกลางของดรรชนีหักเห และยอมให้แสงถูกส่งผ่านแกนเพื่อไปยังอีกปลายอีกด้านหนึ่ง โดยที่มิเกิดการสะท้อน และความเพี้ยนน้อยมาก ดังรูป 2.14 ซึ่งแสงถูกใส่เข้าไปใน เส้นใยและชั้นปกคลุมจะทำให้แสงหักเหหรือสะท้อนในรูปแบบที่ซิกแซก ตลอดความยาวของแกน ขบวนการนี้สามารถที่จะเป็นไปได้ เพราะวามแตกต่างระหว่างและมุมสะท้อนมีค่าเท่ากัน แสงซึ่งถูกใส่เป็นมุมแหลมจะชนกับชั้นปกคลุม และจะสูญเสียไปในสารที่ทำชั้นปกคลุม เส้นใยซึ่งถูกสร้างเสร็จเรียบร้อยแล้วจะประ

กอนด้วย

1. Core-quartz
2. Cladding-silica
3. Jacket-acrylic
4. Buffer jacket
5. Strength member
6. Outer jacket



รูปที่ 2.15 การเคลื่อนที่ของแสงในแกน

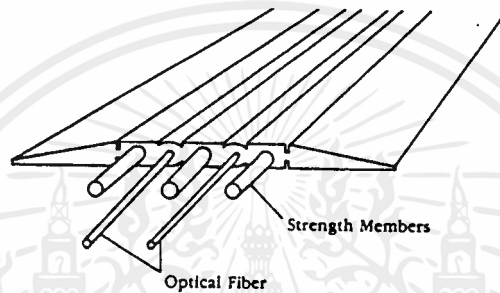


รูปที่ 2.16 เส้นใยเดี่ยว

คุณสมบัติของเส้นใย

เอกสารนี้เป็นเอกสารที่สงวนลิขสิทธิ์ของ บริษัท ออริจินัล เทคโนโลยี จำกัด เมื่อผู้ซื้อได้เห็นไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใด องค์ประกอบของเส้นใย แผลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2. จำนวนและชนิดของแสงที่ใส่เข้าไป เส้นใย
3. เส้นผ่าศูนย์กลางและความยาวของ เส้นใย



รูปที่ 2.17 การประกอบของ เส้นใยในสำนักงาน

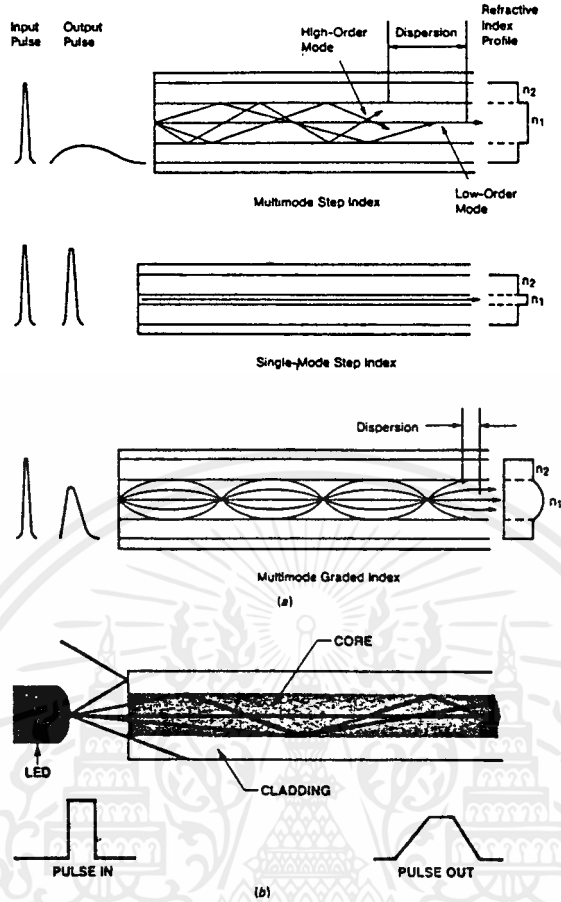
องค์ประกอบของ เส้นใยจะเป็นตัวกำหนดดัชนีหักเห โดยขบวนการซึ่งเรียกว่าการเจือสาร (doping) สารอื่นจะถูกใส่เข้าไป เพื่อที่จะให้เบสิ่นดรรชนีหักเหในเส้นใยเดี่ยว ซึ่งมีดรรชนีของแกน n_1 และดรรชนีของผิวหน้า (ชั้นปกคลุม) n_2 (โดยทั่วไป $n_1 = 1.48$ และ $n_2 = 1.46$)

คุณสมบัติอีกอย่างหนึ่งของเส้นใยก็คือ รูปแบบของการทำงาน (mode of operation) ว่าเป็น "รูปแบบ" ใดที่นี้หมายถึง การอธิบายการกระจายพลังงานผ่านตัวกลาง โดยใช้คณิตศาสตร์และฟิสิกส์ จำนวนรูปแบบของเส้นใยเดี่ยวสามารถมีค่าต่ำได้ถึง 1 หรือมีค่าสูงได้ถึง 100,000 นั่นคือ เส้นใยหนึ่ง ๆ สามารถมีทางเดินสำหรับแสงหนึ่งรังสี หรือแสงรังสี จากคุณสมบัตินี้จึงเป็นที่มาของรูปแบบเดี่ยว (single mode) และหลายรูปแบบ (multimode) ดังรูป 2.18

Refractive index profile เป็นความสัมพันธ์ระหว่างดรรชนีหักเหซึ่งมีอยู่ในแกนและชั้นปกคลุมของเส้นใย ความสัมพันธ์นี้สามารถกล่าวง่าย ๆ คือ "แสงจะมีการเปลี่ยนแปลงความเร็วเมื่อมันผ่านจากตัวกลางหนึ่งไปยังอีกตัวกลางหนึ่ง" จากความสัมพันธ์นี้สามารถแบ่งออกเป็น 2 ดรรชนีคือ

1. ดรรชนีขั้น (step index)
2. ดรรชนีราบ (graded index)

ดรรชนีขั้น เป็นดรรชนีที่มีการเปลี่ยนแปลงอย่างทันทีทันใดจากแกนไปยังชั้นปกคลุม เช่น แกนซึ่งมีดรรชนีคงที่ (1.48) และชั้นปกคลุมซึ่งมีดรรชนีคงที่ (1.46) ค่านี้จะลดลงเรื่อย ๆ จนกระทั่งมันมาถึงดรรชนีของชั้นปกคลุม นั่นคือ ใกล้เคียงผิวหน้า มันมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.18 a) การเปรียบเทียบรูปแบบและดรรชนีหักเห b) การแพร่ในเส้นใยและ Modal Dispersion จากส่วนต่าง ๆ เหล่านี้สามารถแบ่งเส้นใยเป็น 3 แบบ คือ

1. เส้นใยดรรชนีหักเหหลายรูปแบบ (Multimode step-index fiber)
2. เส้นใยดรรชนีหักเหหลายรูปแบบ (Multimode graded-index fiber)
3. เส้นใยดรรชนีหักเหรูปแบบเดียว (Singlemode step-index fiber)

เส้นใยดรรชนีหักเหหลายรูปแบบมีแกน ซึ่งมีเส้นผ่าศูนย์กลางตั้งแต่ 100 ถึง 970 ไมโครเมตร ด้วยเหตุที่แกนมีเส้นผ่าศูนย์กลางที่ใหญ่ จึงมีเส้นทางสำหรับให้แสงผ่านได้หลายเส้นทาง (multimode) เพราะฉะนั้น รังสีแสงที่เคลื่อนที่เป็นเส้นตรงจึงมาถึงปลายก่อนรังสีอื่น ๆ ซึ่งเคลื่อนที่แบบซิกแซก ความแตกต่างกันในเรื่องความยาวของเวลานั้นทำให้ได้แสงมากมาย ที่ทางออกซึ่งเรียกว่า การกระเจิง (modal dispersion) นี้เป็นแบบหนึ่งของความ फैนของสัญญาณซึ่งเป็นตัวจำกัดแบนด์วิดท์ของเส้นใย

เส้นใยดรรชนีหักเหหลายรูปแบบ เป็นแบบที่รับรุมมาจากเส้นใยดรรชนีหักเหหลายรูปแบบ การเคลื่อนที่ของแสงที่แกนจะช้ากว่าแสงที่บริเวณผิวหน้า เพราะว่าแสงจะเคลื่อนที่ได้เร็วขึ้น เมื่อผ่านตัวกลางที่มีค่าดรรชนีหักเหต่ำกว่า เพราะฉะนั้น รังสีแสงทั้ง 2 อันจะมาถึงทางออกเกือบจะเป็น เวลาเดียวกัน ด้วยเหตุที่มีการลดการกระเจิงนั่นเอง (ตัวอย่างของการสูญเสียสามารถดูได้จากรูปที่ 2.18) โดยทั่วไป

ใยเส้นใยทรงรีราบจะมีเส้นผ่าศูนย์กลางของแกนอยู่ในช่วงตั้งแต่ 50 ถึง 85 ไมโครเมตร และเส้นผ่าศูนย์กลางของชั้นเปลือก 125 ไมโครเมตร

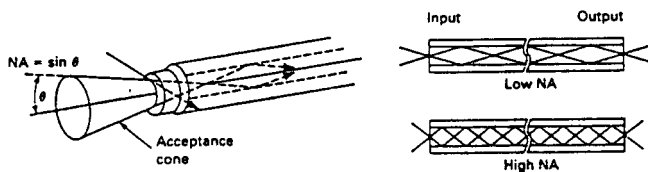
ดังที่กล่าวมาแล้วข้างต้น เป็นที่ทราบว่าปัจจุบันนี้ เส้นใยทรงรีราบมีชั้นรูปแบบ เดียว เป็นที่นิยมใช้กันมากที่สุดจากระบบการสื่อสารแบบช่องสัญญาณกว้าง เส้นใยชนิดนี้จึงสามารถที่จะเคลื่อนที่ โดยอาศัยช่องทางเดี่ยวเท่านั้น เพราะฉะนั้น การกระเจิงจึงเป็นศูนย์ เส้นผ่าศูนย์กลางของแกนของเส้นใยชนิดนี้อยู่ในช่วงตั้งแต่ 5 ไมโครเมตร ถึง 10 ไมโครเมตร (เส้นผ่าศูนย์กลางมาตรฐานของชั้นเปลือกคือ 125 ไมโครเมตร) คุณสมบัติบางประการของเส้นใยรูปแบบเดี่ยว คือ

1. แบนด์วิธมีค่าตั้งแต่ 50 ถึง 100 GHz/km
2. อัตราการสื่อสารแบบดิจิทัล เกินกว่า 2,000 mbytel/s
3. ใช้งานได้มากกว่า 100,000 ช่องสัญญาณเสียง
4. ความยาวคลื่นของแสงมีค่าใกล้เคียงเส้นผ่าศูนย์กลางของแกน เพราะฉะนั้นจึงมีความสามารถทางความถี่มากขึ้น
5. ค่า Mode Field Diameter (MFD) มีค่ามากกว่าเส้นผ่าศูนย์กลางแกน

Numerical Aperture (NA) เกี่ยวข้องกับความสามารถในการรวมแสงเข้าด้วยกันของเส้นใยแสง ซึ่งกระหนบเส้นใยที่มุมมากกว่ามุมวิกฤติ จะถูกทำให้กระจาย ค่า NA นี้สัมพันธ์กับดัชนีของทั้งแกน และชั้นเปลือก กล่าวคือ

$$NA = \sqrt{n_1^2 - n_2^2}$$

จากสมการนี้เราสามารถที่จะสร้างความสัมพันธ์อีกอันหนึ่ง ซึ่งอธิบายถึงมุมการกระจายของแสงที่มากที่สุด (maximum light propagation angle) ซึ่งโดยทั่วไปถูกเรียกว่า การขอมรับ (cone of acceptance)



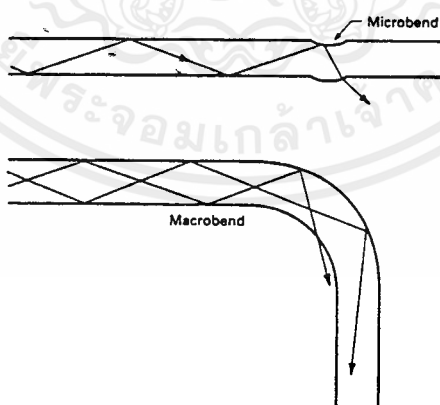
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับรูป 2.19 Cone of Acceptance นุญาติให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โดยทั่วไป เส้นใยที่มีเบนด์วีกว้างจะมีค่า NA ต่ำ และดังนั้นรูปแบบน้อยกว่า และการกระเจิงก็น้อยกว่า ช่วงของค่า NA มีค่าตั้งแต่ 0.5 สำหรับพลาสติกถึง 0.21 สำหรับเส้นตรงชนิดราม

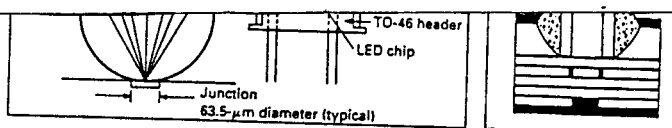
การสูญเสียของเส้นใย

การสูญเสียพลังงานและการลดทอนของสัญญาณ มีสาเหตุดังนี้

1. การกระเจิงของแสงมีสาเหตุมาจากความไม่สมบูรณ์ในเส้นใย มันจะทำให้ความยาวคลื่นแต่ละอันต่างกันอยู่ $\lambda/4$ การสูญเสียให้ผลการกระเจิงดังนี้
 - 2.5 dB ที่ 820 nm
 - 0.24 dB ที่ 1300 nm
 - 0.012 dB ที่ 1550 nm
2. การดูดซึมของพลังงานแสง เนื่องจากความร้อนของอิมพริวเวนต์ของสารเชื่อมเส้นใยทำให้เกิดแสงส่วที่ตอนปลายของเส้นใย
3. การสูญเสียแบบ microbend เนื่องจากความผิดปกติน้อยในชั้นปกคลุม ทำให้แสงไม่มีการสะท้อนที่มุมที่จะไม่มีการสะท้อนต่อไป
4. Macrobend เป็นการงอของสายทั้งหมด ซึ่งทำให้รูปแบบปกติไม่มีการสะท้อน และเพราะฉะนั้นทำให้เกิดการสูญเสียต่อชั้นปกคลุม ดังรูปที่ 2.20
5. การลดทอน เป็นการสูญเสียของพลังงานแสงขณะที่มันเคลื่อนตัวผ่านเส้นใย การสูญเสียนี้มีหน่วยเป็น เดซิเบลต่อกิโลเมตร การลดทอนจะแปรค่าอยู่ตั้งแต่ 300 dB/km สำหรับเส้นใยราคาไม่แพง จนถึง 0.21 dB/km สำหรับเส้นใยรูปแบบดีขาคคุณภาพดี นอกจากนี้ค่าการลดทอนยังมีการแปรค่าของความยาวคลื่นอีกด้วย ความยาวคลื่นที่แถบจะไม่มีการลดทอนเกิดขึ้นเลย เราเรียกว่า กรอบ (Windows)



รูปที่ 2.20 การสูญเสียเนื่องจาก Microbend และ Macrobend



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้คัดลอกหรือเผยแพร่ข้อมูลของเอกสารทุกครั้งที่มีการนำไปใช้

สัญญาณรบกวน

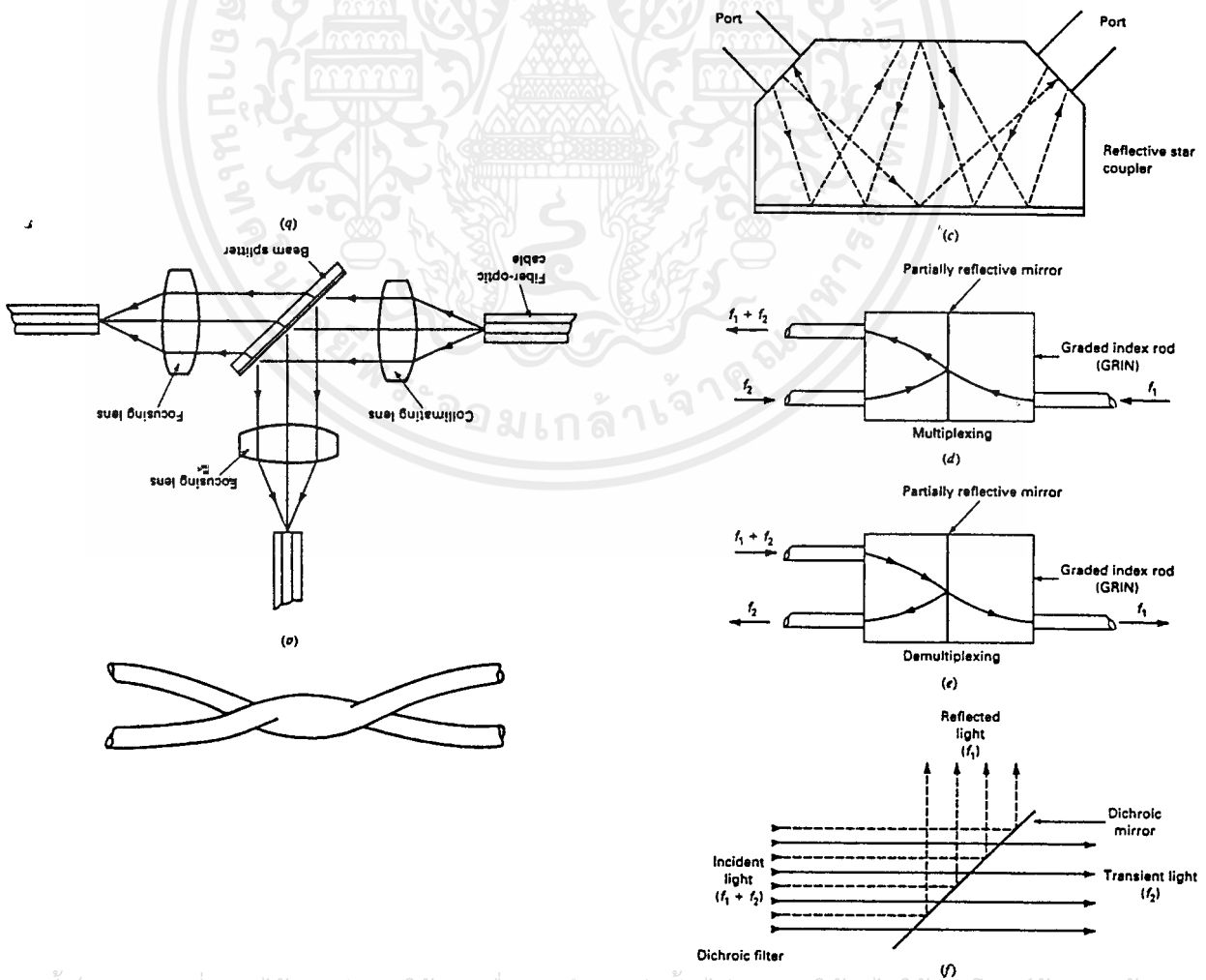
สัญญาณรบกวนมีผลกระทบต่อระบบอิเล็กทรอนิกส์ทางแสง เหมือนกับระบบอิเล็กทรอนิกส์ทั่วไป สามารถแบ่งได้ 2 ประเภทดังนี้

1. Shot noise (สัญญาณรบกวนที่เกิดโดยการไหลของอิเล็กตรอนที่ไม่สม่ำเสมอ)
2. Thermal noise (สัญญาณรบกวนที่เกิดจากตัวต้านทาน)

ตัวเชื่อมมาแสง

ตัว เชื่อมนี้จะถูกต่ออยู่ระหว่างแหล่งกำเนิดกับตัวตรวจจับ โดยปกติแล้วส่วนนี้ของระบบสามารถที่จะประกอบด้วย อุปกรณ์เพิ่มเติม ซึ่งนอกเหนือจากเส้นใยมาแสง ตัวอย่างเช่น

1. Fused tapered couplers
2. Beam-splitting couplers.
3. Reflective star couplers.
4. Optical multiplexers
5. Optical demultiplexers
6. Dichroic filters



รูป 2.22 Passive Optical Connector

อุปกรณ์ข้างต้น เหล่านี้ถูกใช้ เพื่อแบ่งสัญญาณแสงให้เป็นหลาย เออร์เทท ทุกครั้งที่สัญญาณถูกแบ่ง กำลังที่เออร์เททจะลดลง และการสูญเสีย เนื่องจากการเชื่อมต่อจะเกิดขึ้น (ประมาณ 0.5 dB ต่อการเชื่อมต่อ) เพราะฉะนั้น ถ้ามีหนึ่งอินพุท และสองเออร์เทท กำลังจะถูกแยกไปแต่ละเออร์เทท (3 dB ต่อเออร์เททพอร์ต) เมื่อรวมการสูญเสียเข้าด้วยกัน ผลรวมของการสูญเสียจะเป็น limiting factor (3.5 dB ต่อเออร์เทท) ส่วนใหญ่มีถูกกำหนดโดยความไวของตัวตรวจจับ

คลื่นแสง

ตัวตรวจจับหรือตัวรับคลื่นแสง เป็นอุปกรณ์ตัวสุดท้ายของระบบการสื่อสารด้วยแสงขั้นพื้นฐานของเรา โดยปกติตัวตรวจจับเป็น ฟิล์มไดโอดที่มีสัญญาณรบกวนต่ำ กำลังต่ำ ซึ่งคู่อยู่กับเครื่องขยายแบบใช้ FET

หลักใหญ่ซึ่งใช้ในการพิจารณา เพื่อ เลือกตัวตรวจจับ ควรจะเป็นการตอบสนองซึ่งเป็นอัตราส่วนของกระแส เออร์เททของไดโอดต่อกำลังแสงค่านอินพุท ดังนี้ :

$$R = \frac{IA}{PW}$$

ซึ่ง R คือ การตอบสนอง (A/W)

IA คือ แสงตกกระทบ

PW คือ กระแสไดโอด

2.5 Digital Encoder

Frequency-Shift Keying (FSK)

FSK เป็นระบบหนึ่งของ Frequency Modulation (FM) ความถี่ของคลื่นพาหะที่ยังไม่ได้มอดูเลท ตรงกับสภาพเครื่องหมาย และช่องว่างถูกแทนด้วยความถี่ที่เลื่อนต่ำลงมา สำหรับคลื่นวิทยุ HF จำนวน 850 Hz จะถูกออกแบบไว้ในระบบ FSK แถบช่องสัญญาณกว้าง สำหรับการส่งโดยระบบสาย หรือกระจายเสียง กระแสเลื่อนคือ 60 Hz ถ้าใส่อยู่ใน CCITT Rec.R35 ซึ่งเป็นที่รู้จักกันในชื่อ FSK ช่องสัญญาณแคบ หรือ frequency-modulated voice-frequency telegraph (FMVFT) FSK ยังคงเป็นที่นิยมใช้สำหรับการส่งคลื่นวิทยุ HF ซึ่งมีความถี่เลื่อน กล่าวคือ โดยทั่วไป 170 Hz ข้อได้เปรียบหลักของระบบช่องสัญญาณกว้าง คือมีสัญญาณรบกวนต่ำ ในขณะที่ระบบช่องสัญญาณแคบถูกใช้เพื่อโอนรหัสสเปคตรัมความถี่ที่กำหนด FSK เป็นระบบหนึ่งของ FM ซึ่งความถี่คลื่นพาหะอยู่ตรงกลางระ

หว่างความถี่เครื่องพาสกับความถี่ช่องว่าง ในการปฏิบัติ ความถี่เบื้องต้นของคลื่นสี่เหลี่ยมจะถูกส่งไป และทำให้เกิดขึ้นใหม่ในด้านรับ

ในตัวกำเนิด FSK ความถี่เลื่อนอาจทำได้โดยใส่ DC เบรคท์ที่เบรคท์ค่าได้ของเครื่องส่ง ทรเลขไปสู่วาล์วเรคเตอร์ไดโอด (Varactor Diode) ในคริสตัลลออสซิลเลเตอร์ (Crystal Oscillator) ที่ปลายด้านรับนั้น สัญญาณจะถูกมีลติเพลกซ์ และถูกนำมาใช้ที่ตัวแยกเฟสมาตรฐาน จากตัวแยกเฟสนี้ สัญญาณของซิวาไดซ์หนึ่งจะยังคงอยู่ หลังจากผ่านการแต่งรูปพัลส์แล้ว สัญญาณจะถูกนำมาออกที่เครื่อง ทรพมพ์ ถ้าการส่งทรเลขถูกส่งทางคลื่นวิทยุ HF (High Frequency) ตัวแยกความถี่จะทำงานที่ ความถี่ปานกลาง ถึงแม้ว่าวิธีอื่น ๆ จะเป็นไปได้ สำหรับการดีมอดูเลชั่น ตัวจำกัดแอมพลิจูดจะถูกใช้ เสมอในเครื่องรับ เพื่อที่จะให้ได้ว่าข้อได้เปรียบเพิ่มเติมในด้านลดสัญญาณรบกวนของ FSK

D/A และ A/D

ในโลกที่เราอาศัยกันทุกวันนี้ สัญญาณต่าง ๆ ที่เราค้นเคยมักเป็นสัญญาณที่มีการเปลี่ยนแปลงอย่างต่อเนือง หรือที่เราเรียกว่า สัญญาณอะนาล็อกนั้น เป็นสัญญาณที่เราเห็นหรือรู้สึกสัมผัสได้ใน ชีวิตประจำวัน เช่น แสงสี, เสียง อุณหภูมิ ตลอดจนแรงเคลื่อนไฟฟ้าหรือกระแสไฟฟ้า โดยมากแล้ว พารามิเตอร์ของปริมาณทางฟิสิกส์และไฟฟ้านั้น เราเห็นและเข้าใจในรูปแบบของฟังก์ชันที่มีการเปลี่ยนแปลงอย่างต่อเนืองที่ไม่มีสิ้นสุด จึงเป็นการยากที่จะควบคุมสัญญาณอะนาล็อกให้ทำงานตามที่เรต้องการ แต่ในทางตรงกันข้าม เราจะพบว่า สัญญาณอีกรูปแบบหนึ่งซึ่งไม่เป็นฟังก์ชันของเวลา หรือที่เรา เรียกว่าสัญญาณดิจิทัลนั้น สามารถควบคุมและทำความเข้าใจ และควบคุมได้ง่ายกว่าสัญญาณอะนาล็อก ซึ่งเราอาจจะใช้วงจรลอจิกอย่างง่าย ๆ หรือไมโครโปรเซสเซอร์ควบคุมก็ได้ ซึ่งถ้าเป็นสัญญาณ อะนาล็อกแล้ว เราไม่สามารถใช้ไมโครโปรเซสเซอร์ไปควบคุมได้โดยตรง

แต่เมื่อวงจรดิจิทัลต้องการรับสัญญาณอินพุตที่เป็นสัญญาณอะนาล็อก หรือต้องการส่งสัญญาณ เอาท์พุทออกมาเป็นสัญญาณอะนาล็อก ในทางปฏิบัติเราจะนำสัญญาณหรือวงจรทั้งสองมา เชื่อมต่อโดยตรง ไม่ได้ จำเป็นต้องนำเอาสัญญาณอะนาล็อกนั้นมาผ่านอุปกรณ์เชื่อมต่อที่เรียกว่าตัวแปลงสัญญาณดิจิทัลให้เป็น สัญญาณอะนาล็อก (Digital to Analog converter) เรียกย่อ ๆ ว่า D/A คอนเวอร์เตอร์ หรือ ผ่านตัวแปลงสัญญาณอะนาล็อกให้เป็นสัญญาณดิจิทัล (Analog to Digital Converter) หรือเรียกว่า A/D คอนเวอร์เตอร์ ดังนั้น D/A และ A/D คอนเวอร์เตอร์จึงกลายเป็นหัวใจสำคัญของการเชื่อม โลกของดิจิทัล เข้ากับโลกของอะนาล็อก

ในบทความนี้ เราจะอธิบายถึงเทคนิคขั้นพื้นฐานบางประการของ D/A และ A/D คอนเวอร์เตอร์ พร้อมทั้งคุณลักษณะ เฉพาะตัวที่สำคัญของคอนเวอร์เตอร์แบบต่าง ๆ วงจรคอนเวอร์เตอร์

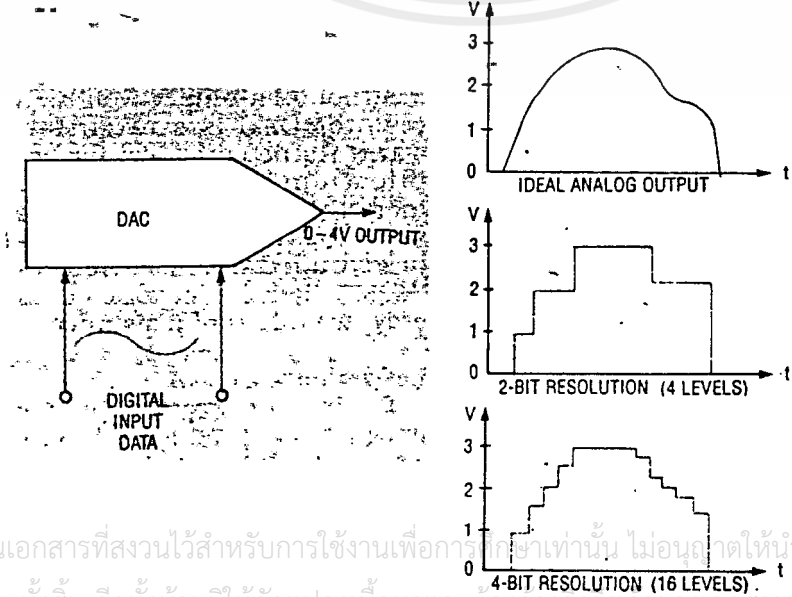
แบบง่าย ๆ ที่มีราคาไม่แพง มีส่วนประกอบวงจรไม่ซับซ้อน ซึ่งสามารถสร้างได้ด้วยตนเอง

D/A (Digital-to-Analog converters)

D/A คอนเวอร์เตอร์ หรือเรียกย่อ ๆ ว่า ตัว DAC เป็นตัวแปลงรหัสเลขฐานสอง จากคอมพิวเตอร์ หรือจากวงจรถิจิตอลใด ๆ 1 ให้กลายเป็นระดับแรงดันอนาล็อกที่มีความสัมพันธ์กับระบบ เลขฐานสอง ตัว DAC สามารถนำไปใช้กับอุปกรณ์ที่เป็นอนาล็อกได้ เช่น มิเตอร์ มอเตอร์, อุปกรณ์ควบคุม หรือวงจรที่เกี่ยวข้องกับสัญญาณเสียง เช่น เครื่องเล่นคอมแพ็คดิสก์ ตัว DAC ในเครื่องเล่นคอมแพ็คดิสก์นั้นถูกใช้สำหรับการ เปลี่ยนข้อมูลที่เป็นทิกเป็นสัญญาณดิจิตอลบนแผ่น CD 1 ให้กลายเป็นสัญญาณเสียงที่มีคุณภาพสูง ออกมาให้เราได้ยิน

ต่อไปเราจะพิจารณาแนวความคิดที่สำคัญของ D/A เริ่มจากความละเอียดของ DAC เราจะนิยามไว้เป็นระดับแรงดันในแต่ละขั้น ที่เอาท์พุทสามารถจะผลิตออกมาได้ ซึ่งมีความสัมพันธ์โดยตรงต่อจำนวนของบิตทางด้านอินพุทที่อยู่ในรูปของรหัสไบนารี DAC ขนาด 4 บิต จะมีอินพุทบิตอยู่ 4 อินพุท ซึ่ง จะมีความละเอียดเท่ากับ 4 จำนวนของระยะและความแตกต่างของระดับสัญญาณอนาล็อก ทางด้านเอาท์พุทที่ DAC ขนาด 4 บิต สามารถผลิตได้จะมีค่าเท่ากับ $2^4 (2^4) = 16$ ระดับ นั้นขอมหมายถึงสัญญาณอนาล็อกทางเอาท์พุทสามารถแทนได้ด้วยระดับแรงดัน 16 ขั้นด้วยกัน

ที่นี้มาดู DAC ขนาด 8 บิต ๆ สามารถให้สัญญาณอนาล็อกทางด้านเอาท์พุทที่เป็นระดับแรงดันได้ 2^8 หรือ 256 ระดับ DAC ขนาด 12 บิต สามารถในระดับแรงดันทางเอาท์พุทได้ 2^{12} หรือ 4096 ระดับ อย่างที่เราได้เห็นแล้วว่า ADC มีขนาดอินพุทบิตมากเท่าไรความละเอียดและความถูกต้องของระดับแรงดันอนาล็อกทางเอาท์พุทที่ DAC สามารถผลิตได้จะมากขึ้นตามดังแสดงในรูปที่ 2.23



ถัดมาจากความละเอียดของ DAC เราจะมาพิจารณาถึง เวลาเข้าสู่สภาวะของตัว (Settling time) เวลาเข้าสู่สภาวะคงตัว เป็นค่าของเวลาที่ระดับแรงดัน เอาท์พุท เข้าสู่สภาวะคงที่ เมื่อทดสอบทางอินพุท เปลี่ยนแปลงไป โดยปกติจะคิดที่สัญญาณทางเอาท์พุทคงที่ ในช่วงของ LSB (Least significant bit) ของค่าที่คาดว่าจะจะเป็นหลังจากที่สวิตช์ทางอินพุท เปลี่ยนไป นั้น หมายความว่าในเงื่อนไขของการปฏิบัติงานจริง ๆ มีความสัมพันธ์กับค่าซึ่งเป็นอยู่ในขณะนั้น ต่อ LSB ของมันเอง ถ้า DAC ขนาด 8 บิต มีช่วงแรงดันทางเอาท์พุทอยู่ในช่วง 0-10 โวลต์ ดังนั้น LSB มีค่าเท่ากับ $10/2^8$ หรือ 0.039 โวลต์ ครึ่งหนึ่งของค่า $10/2^8$ เป็น 0.0195 โวลต์ ดังนั้น ค่าเวลาที่ระดับแรงดัน เอาท์พุท เข้าสู่สภาวะคงที่ควรจะเป็นค่าเวลาที่เอาท์พุท เพิ่มขึ้นถึง 0.0195 โวลต์ ของค่าระดับที่คาดหมายไว้ตามปกติ ค่าเวลาเข้าสู่สภาวะคงตัวมีค่าน้อยกว่า 10

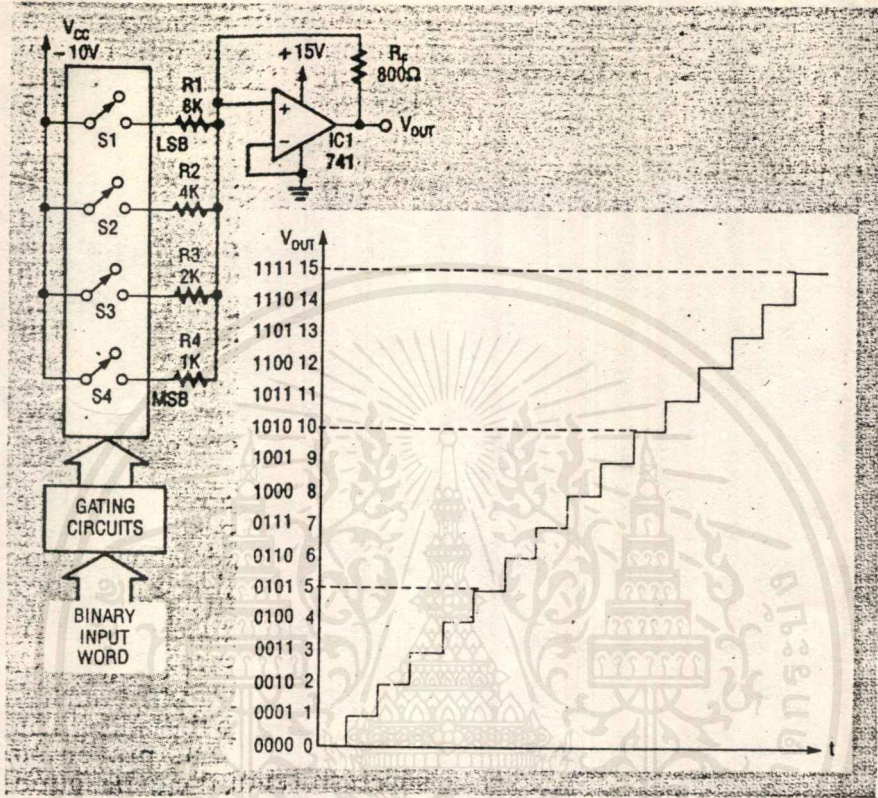
ค่าความแม่นยำเป็นแฟกเตอร์ที่สำคัญอีกตัวหนึ่งของ DAC ในเงื่อนไขปกติ ค่าความแม่นยำของ DAC ในเงื่อนไขปกติ ค่าความแม่นยำของ DAC คือ ทุก ๆ ตำแหน่งจาก 1/2 ถึง 2 ค่าของ LSB สำหรับ DAC ซึ่งมีค่าความแม่นยำ 1 ค่า LSB แรงดันเอาท์พุทสามารถเปลี่ยนแปลงไปในทาง + หรือ - ค่าของ 1 บิต ถ้า DAC มีแรงดันเอาท์พุทอยู่ในช่วง 0 ถึง 5 โวลต์ มีความละเอียดเท่ากับ 12 บิต LSB ควรจะเป็น $5/2^{12}$ หรือ 0.00122 โวลต์ สำหรับทุก ๆ ค่าของรหัสไบนารีทางด้านเอาท์พุทแรงดันอาจจะสูงหรือต่ำกว่าค่าที่คาดหมายไว้ 0.00122 โวลต์ ถ้า DAC ตัวเดียวกันมีค่าความแม่นยำเท่ากับ 1/2 ค่าความถูกต้อง LSB ค่าเอาท์พุทจะสามารถผิดพลาดไปได้ $0.00122/2$ หรือ 0.00061 โวลต์ ยิ่งค่าความแม่นยำน้อยเท่าไร ค่าความละเอียดก็จะมากขึ้นตาม และจะมีค่าใกล้เคียงกับค่าเอาท์พุทที่คาดไว้

หลายปีที่ผ่านมาได้มีการค้นคิดพัฒนาวิธีการของการ เปลี่ยนสัญญาณดิจิตอลไป เป็นสัญญาณอะนาล็อก ในบทความนี้ เราจะพูดถึงหลักการใหญ่ของวิธี เปลี่ยนสัญญาณดิจิตอลไป เป็นสัญญาณอะนาล็อก 2 วิธีด้วยกัน Binary weighted และ Binary ladder D/A

Binary-weighted resistor D/A

เทคนิคจัดหน้าหนักของรหัสไบนารี เป็นวิธีที่ง่ายที่สุดและ ค่าที่สุดของการแปลงดิจิตอลบิตให้เป็นสัญญาณอะนาล็อก วงจรของ Binary-weighted resistor D/A แสดงไว้ในรูปที่ 2.24

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.24 วงจร Binary Weighted DAC และกราฟเอาต์พุตของDAC 3-2

รหัสไบนารีจะถูกป้อนให้ขาเกิดของอะนาล็อกสวิตช์ เมื่อรหัสไบนารีเป็น 0000 ถูกป้อนให้ที่ขาเกิด อะนาล็อกสวิตช์ทั้งหมดจะเปิดวงจร ดังนั้น จึงไม่มีแรงดันเข้าที่พหุจ่ายไปที่อินพุตเอาต์พุต จากอินพุตจึงเป็นศูนย์ เมื่อรหัสไบนารีเป็น 0001 สวิตช์ S₁ จะปิดลง และแรงดัน 10 โวลต์จะจ่ายให้กับ R₁ เพราะที่อินพุตของอินพุตเอาต์พุตจะมองได้ว่าเป็นกราวด์เสมือน (Virtual Ground) เป็นผลให้แรงดัน 10 โวลต์ ตกคร่อมตัวต้านทาน 8 k (R₁) ซึ่งเป็นเหตุให้เกิดกระแส 1.25 mA (10 V/8000) ไหลผ่านความต้านทานย้อนกลับ (R_f) ค่า 800 แรงดันตกคร่อม R_f ควรจะมีค่า 800 × 1.25 mA หรือเท่ากับ 1 โวลต์

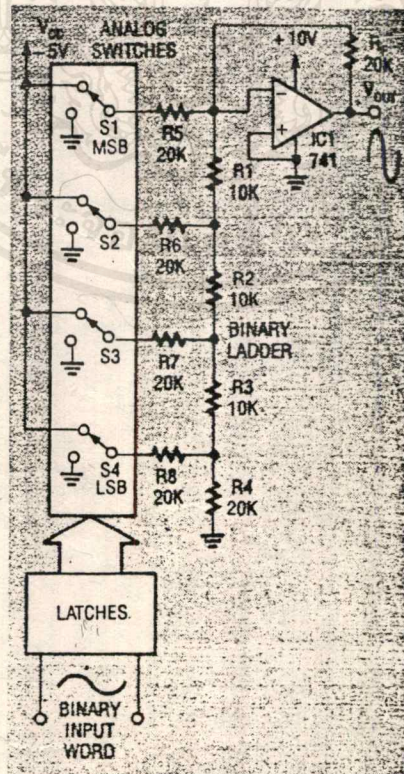
เมื่อรหัสไบนารีเปลี่ยนไปเป็น 0010 S₁ จะเปิด และ S₂ ปิดวงจร เป็นเหตุให้กระแส 2.5 mA (10 V/4000) ไหลผ่าน R₂ แรงดันตกคร่อม R_f มีค่าเท่ากับ 800 × 2.5 mA หรือ 2 โวลต์ รหัสไบนารี 0100 จะให้แรงดันเข้าที่พหุเท่ากับ 4 โวลต์ และถ้ารหัสไบนารีเป็น 1000 แรงดันเข้าที่พหุ จะมีค่าเป็น 8 โวลต์ จะสังเกตได้ว่า รหัสทางอินพุตและค่าของ R_f มีผลต่อระดับแรงดันทางเข้าที่พหุ อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สวิตช์แต่ละตัวสามารถปิดวงจรพร้อมกันได้ เมื่อทำการรวมกัน เพื่อสร้างสัญญาณอนาล็อกทาง
เข้าที่หุ้ที่มีค่าจาก 0 ถึง 15 โวลต์ (0000=0 โวลต์, 0111= 7 โวลต์ และ 1111 =15 โวลต์)
ในการเพิ่มขึ้น 1 โวลต์ต่อ 1 ชั้น

ถึงแม้ว่า Binary-weighted resisto DAC มีลักษณะวงจรที่ง่าย ๆ ตรงไปตรงมา แต่
ไม่สะดวกในการนำไปใช้งาน ถ้าต้องการความละเอียดของ DAC มากกว่า 4 บิต เพราะว่าค่าของตัว
ต้านทานที่ใช้มากมายหลายค่าเกินไป ซึ่งต่างจาก Ladder network ที่ต้องการใช้ตัวต้านทานเพียง 2
ค่าเท่านั้น

Ladder network D/A

เทคนิคเลดเดอร์เน็ตเวิร์ค สามารถสร้างแรงดันตามน้ำหนักของรหัสไบนารี โดยอาศัย
ความต้านทานเพียง 2 ค่าเท่านั้น ที่จัดในลักษณะวงจรแบ่งแรงดัน หรือที่เรียกว่าไบนารี เลดเดอร์
(Binary ladder) ดังแสดงในรูปที่ 2.25



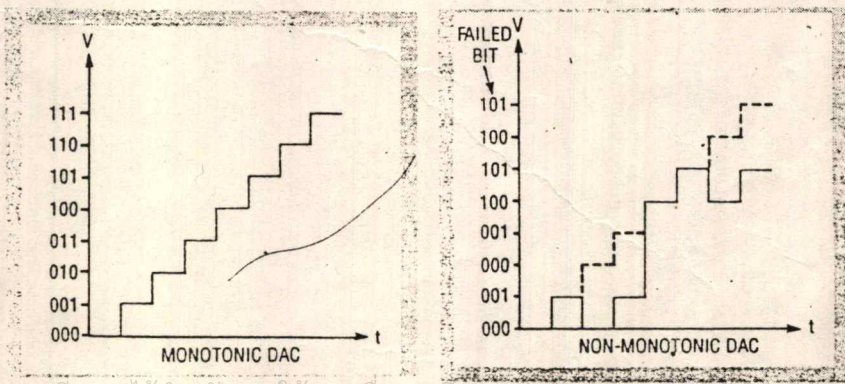
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
รูปที่ 2.25 วงจร Binary Ladder DAC 33
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ถึงแม้ว่าวงจร DAC แบบเลดเดอร์เน็ตเวิร์คนั้นดูผ่าน ๆ แล้วค่อนข้างจะยาก แต่การ
 ทำงานของวงจรมีลักษณะคล้ายกับการทำงานของวงจร Binary weighted DAC (รูปที่ 2.24) เกณฑ์ต่อ
 อยู่ในลักษณะอนุกรมถูกใช้สำหรับขั้นตอนาล็อกสวิตช์ เมื่อรหัสไบนารี 0000 ถูกส่งมายังเกตอะนาล็อก
 สวิตช์ทั้งหมดจะเปิดออก ดังนั้น แรงดันเข้าที่พหุที่ได้จากออปแอมป์จึงมีค่าเป็นศูนย์ สวิตช์ S_1 จะปิดลง
 เมื่อเกตได้รับรหัสไบนารีเป็น 1000 เป็นผลให้เกิดแรงดันเข้าที่พหุ 5 โวลต์ ออกมาจากออปแอมป์
 ถัารหัสไบนารีเป็น 0010 สวิตช์ S_3 ก็จะปิด และทำให้เกิดแรงดัน 1.25 โวลต์ ที่เข้าที่พหุ และ
 สุดท้ายถ้าอินพุทเป็น 0001 สวิตช์ S_4 จะปิดลง ออปแอมป์จะให้แรงดันเข้าที่พหุออกมา 0.0625 โวลต์
 จะสัง เกตได้ว่าแต่ละแรงดัน เข้าที่พหุอยู่ในรูปอันดับของไบนารี คือเข้าที่พหุสามารถเปลี่ยนจาก 0 ถึง 10
 โวลต์ เพิ่มขึ้นขั้นละ 0.625 โวลต์ (24 หรือ 16 ขั้น)

ข้อดีของเลดเดอร์ เน็ตเวิร์ค DAC คือ สามารถออกแบบได้ง่าย เนื่องจากใช้ความดัน
 ทานเพียง 2 ค่าเท่านั้น และในทุกวันนี้บริษัทผู้ผลิต DAC เกือบทั้งหมดจะใช้ เทคนิคแบบ เลดเดอร์
 เน็ตเวิร์ค ในการผลิต DAC

วงจรไบนารี เลดเดอร์ มักจะมีความถูกต้องแม่นยำมากกว่าวงจร binary weighted
 เพราะว่าเราจะหาค่าความดันทานที่ถูกต้อง 2 ค่า (เช่น 10 k หรือ 20k) ได้ง่ายกว่าค่าความดัน
 ทานหลาย ๆ ค่าที่ใช้ในวงจร Binary weighted DAC ไขว้ DAC สำเร็จรูปที่นิยมใช้ชื่อคือเบอร์
 DAC-08

ที่นี่เราจะอธิบายหลักการเริ่มทำงานของ DAC เราสามารถพิจารณารายละเอียดที่สำคัญ
 สุดท้ายของ monotonicity (ดูความหมายใน เทอมและนิยาม) ตามที่คุณได้รู้มา แรงดันเข้าที่พหุที่เป็น
 สัญญาณอะนาล็อกของ DAC จะเพิ่มขึ้น เป็นลำดับคล้ายกับการเพิ่มของรหัสไบนารีทางอินพุท ดังแสดงอยู่
 ในรูปที่ 2.26



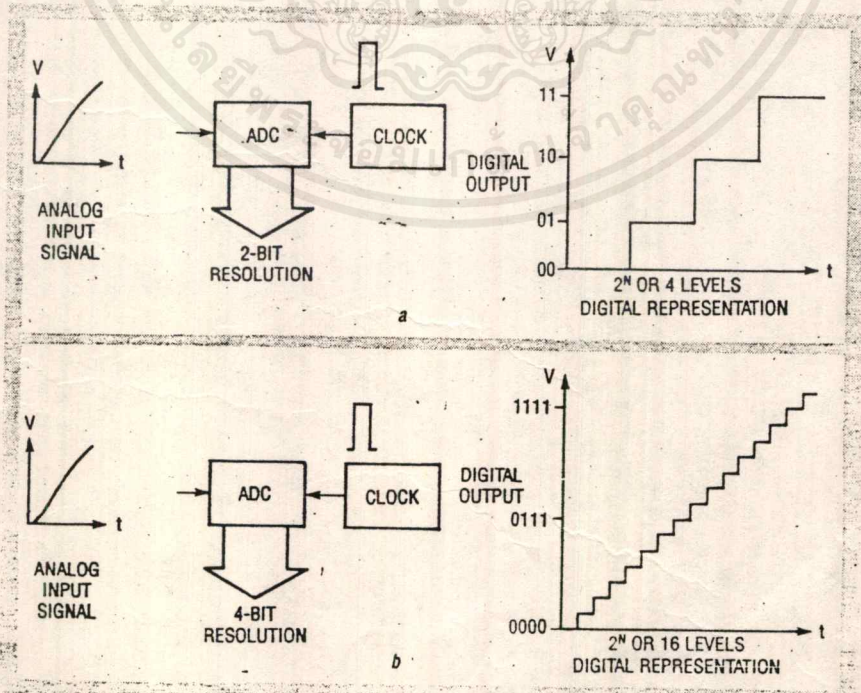
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
 ไม่ว่ากรณีใดๆ รูปที่ 2.26 Monotonic DAC จะมากขึ้นทุกที ค่าของสัญญาณอะนาล็อกที่ถูกต้องมีดังนี้

ในทางอุดมคติแล้ว การเพิ่มขึ้นของสัญญาณอินพุตที่เป็นรหัสไบนารีจะเป็นเหตุให้เราสามารถทาบและรู้ถึงแรงดันเข้าที่พุดได้ ในอุปกรณ์บางตัว ส่วนของการสวิตชิงและส่วนขยายสัญญาณไม่สามารถถ่ายกระแสไฟฟ้าภายในเงื่อนไขเหล่านั้นได้อย่างเพียงพอ จึงเป็นสาเหตุที่ทำให้ DAC เกิดการ "skip" หรือการกระโดดข้ามขั้นนั่นเอง การเกิด skip นี้จะมีอัตราน้อยในบิตน้อยๆ แต่จะมีมากขึ้นเมื่อน้ำหนักของบิตเพิ่มขึ้น

A/D (Analog-to-digital converters)

A/D คอนเวอร์เตอร์ หรือ ADC ใช้สำหรับการแปลงสัญญาณอินพุตที่เป็นอะนาล็อกให้เป็นจำนวนจำกัดของดิจิตอลบิต ผลลัพธ์ที่ได้จะอยู่ในรูปของ "WORD" ทางดิจิตอลซึ่งจะกลายเป็นรหัสเลขฐานสองที่แทนระดับ แต่ละระดับของสัญญาณอะนาล็อกในขณะที่ ADC กำลังทำการแปลงสัญญาณอยู่

ความละเอียดของ ADC จะคล้ายกับความละเอียดของ DAC อย่างมาก ๆ กล่าวคือ จำนวนบิตทางเข้าทั้งหมดหลาย ๆ บิต ความละเอียดของ ADC ตัวนั้นก็จะมีมากขึ้น เช่น ADC ขนาด 12 บิต ก็จะมีค่าความละเอียดเท่ากับ 12 เป็นต้น ดังแสดงอยู่ในรูปที่ 2.27



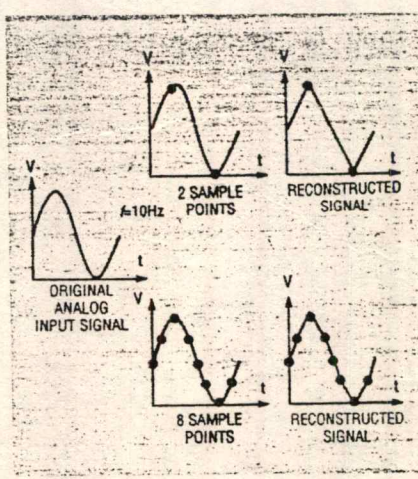
ค่าเวลาการแปลงนั้น (Conversion time) เป็นเกณฑ์ที่สำคัญอีกตัวหนึ่งของ ADC ตามที่
 คุณได้เห็นมาแล้ว การแปลงสัญญาณอะนาล็อกให้กลายเป็นสัญญาณทางดิจิทัลไม่ได้เกิดขึ้นโดยทันทีทันใด
 แต่ต้องมีการผ่านกระบวนการต่าง ๆ ด้วย เหตุที่ผลลัพธ์ต้องใช้เวลาค่าเวลาขณะหนึ่งที่จะทำการสุ่ม
 (Sample) สัญญาณอินพุตและให้สัญญาณดิจิทัลที่เป็นรหัสบนารีโอออกมาที่เอาต์พุต ดังนั้น ค่าเวลาการแปลง
 นั้นคือ ช่วงเวลาที่ต้องการทำการกระบวนการให้เสร็จสิ้น ซึ่งมีค่าอยู่ประมาณเป็น สำหรับ DAC
 ความเร็วสูง และเป็น ms สำหรับ DAC แบบธรรมดา เนื่องจากการเปลี่ยน A/D นั้นต้องการการประมวล
 การเชิงตรรกะในสล็อตที่แน่นอนและแม่นยำ, แหล่งกำเนิดสัญญาณนาฬิกาจึงจำเป็นต้องมีในวงจร

ทฤษฎีการสุ่มตัวอย่าง (Sampling theory)

เนื่องจาก ADC ต้องการค่าเวลาขณะหนึ่งที่ใช้ในการประมวลการแปลงสัญญาณอะนาล็อกไปเป็น
 สัญญาณดิจิทัล ช่วงเวลาช่วงหนึ่งจะใช้สำหรับการสุ่มตัวอย่าง (Sampling) ของสัญญาณอย่างตัวอย่าง
 เช่น ADC สามารถเปลี่ยนสัญญาณเสร็จสมบูรณ์ได้ภายใน 1 ms ดังนั้นมันจึงสามารถเปลี่ยนสัญญาณได้
 1,000 ครั้งใน 1 วินาที (วินาทีทางทฤษฎี) อัตราการเปลี่ยนสัญญาณสูงสุดมีค่าเท่ากับส่วนกลับของค่า
 เวลาการเปลี่ยน (Conversion rate = $\frac{1}{\text{Conversion time}}$)

ตัวคอนเวอร์เตอร์จะสุ่มตัวอย่างของสัญญาณด้วยอัตราค่าสุด เป็น 2 เท่าของความถี่สูง
 สุดของสัญญาณอินพุตที่เข้ามา อัตราการสุ่มนี้เรียกว่า "Nyquist rate"

พิจารณาสัญญาณอะนาล็อกที่เป็นคลื่นรูปไซน์ 10 Hz จำเข้าให้กับตัว ADC ตามรูปที่ 2.28



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
 ไม่ว่ากรณีใดๆ ทั้งสิ้น รูปที่ 2-28 การสุ่มหลายๆ ช่วงจะมีลักษณะใกล้เคียงกับสัญญาณเดิม

อัตราค่าสุทธของการสุ่มตัวอย่าง เป็น $2f$ หรือ 20 Hz ซึ่งจะให้ข้อมูลดิจิทัลขนาด 2 บิต ออกมาในแต่ละไซเคิล เมื่อข้อมูลดิจิทัลถูกนำมาสร้างเป็นสัญญาณอะนาล็อกขึ้นมาใหม่โดย DAC สัญญาณอะนาล็อกตัวใหม่มีลักษณะคล้ายคลึงกับสัญญาณดั้งเดิม (ตัวฟิลเตอร์ในตัว DAC จะทำให้รูปร่างของสัญญาณเข้าที่อุท เรียบขึ้น) ถ้าความถี่ 10 Hz เป็นความถี่สูงสุดที่เข้ามายังตัว ADC ค่าเวลาที่ใช้ในการเปลี่ยนสัญญาณสูงสุดเป็น $0/20 \text{ Hz}$ หรือ 500 ms เป็นต้น

การที่เราจะปรับปรุงประสิทธิภาพของ ADC ในแง่ความเหมือนจริงของสัญญาณการแปลงให้อยู่ในรูปดิจิทัล เราจะต้องเพิ่มอัตราการสุ่มขึ้นในขณะที่คาบเวลาเท่าเดิม อัตราการสุ่ม 8 จุดต่อไซเคิล ต้องการอัตราการสุ่มของส่วนประกอบความถี่สูงสุดอินพุต 8 ครั้ง เช่น ความถี่อินพุต 10 Hz จะต้องสุ่มตัวอย่างที่ 80 Hz ดังนั้น ตัวคอนเวอร์เตอร์ควรมีค่าเวลาการเปลี่ยนเป็น $1/80 \text{ Ha}$ หรือ 12.5 ms ถ้าตัว ADC ไม่สามารถสุ่มตัวอย่างได้เร็วพอต่อสัญญาณอินพุตที่เปลี่ยนแปลงไป ข่าวดสารข้อมูลที่บรรจุในสัญญาณอะนาล็อกทางอินพุตจะสูญหายไป

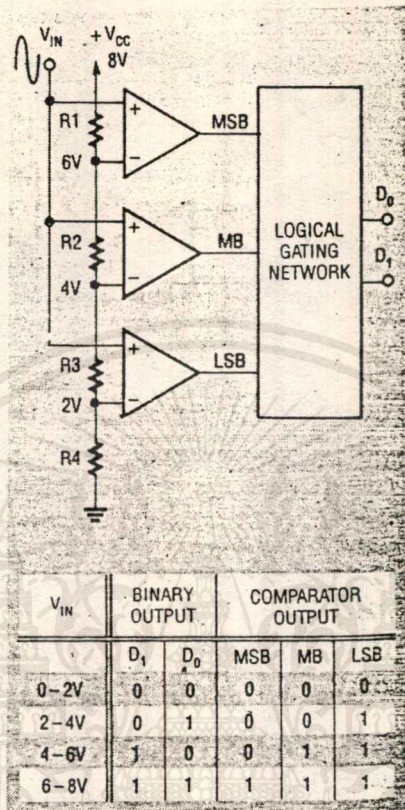
ความสัมพันธ์ระหว่างความถี่ทางอินพุต, ค่าเวลาในการเปลี่ยนสัญญาณและอัตราการสุ่ม เป็นพารามิเตอร์ของ ADC ที่สำคัญตัวหนึ่ง วิธีการหลาย ๆ วิธีได้ถูกพัฒนาในช่วงหลายปีที่ผ่านมา เพื่อที่จะทำการแปลงสัญญาณอะนาล็อกให้อยู่ในรูปของสัญญาณดิจิทัล หลายวิธีที่ยังใช้อยู่ทุกวันนี้มี 6 วิธีด้วยกัน คือ

- 1) Flash Techniques เทคนิคแบบแฟลช
- 2) Single Slope Techniques เทคนิคแบบสลอปเดี่ยว
- 3) Single Slope Techniques เทคนิคแบบสลอปคู่
- 4) Single Counter Techniques เทคนิคแบบเคาเตอร์เดี่ยว
- 5) Tracking counter Techniques เทคนิคแบบแทร็คคิงเคาเตอร์
- 6) Sccessive Approximation Techniques เทคนิคแบบการประมาณค่า

และ
หลายครั้ง

A/D แบบแฟลช (Flash Converter)

แฟลช คอนเวอร์เตอร์ เป็น ADC ที่เร็วที่สุดในบรรดา ADC ที่ใช้เทคนิคแบบอื่น ๆ ลักษณะวงจรของแฟลช คอนเวอร์เตอร์ จะใช้ชุดของตัวเปรียบเทียบ (Comparator) ที่ก่อในลักษณะขนานกัน เพื่อจะทำการแปลงสัญญาณอะนาล็อกทางอินพุตให้เป็นรหัสดิจิทัล ดังนั้น แฟลชคอนเวอร์เตอร์จึงเป็นเอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับบริการใช้งานเพื่อการศึกษานานนี้ ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
คอนเวอร์เตอร์แบบขนาน
ไม่มีการแก้ไขข้อบกพร่องอีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.29 แพลซ A/D มีความเร็วในการเปลี่ยนแปลงสัญญาณสูง วงจรง่ายแต่รายละเอียด

พิจารณาวงจรในรูปที่ 2.29 ตัวต้านทานที่ต่ออนุกรมกันจะอยู่ในรูปวงจรแบ่งแรงดันที่ติดคร่อมตัวเปรียบเทียบแต่ละตัว แรงดันอินพุตสูงสุดจะขึ้นอยู่กับค่าของ V_{CC} สัญญาณเข้าที่พหุจากตัวเปรียบเทียบแต่ละตัวจะเป็น "1" หรือ "0" ซึ่งเป็นระดับสัญญาณโลจิกของวงจรดิจิทัล

เมื่อไม่มีแรงดันอินพุตเข้ามา เข้าที่พหุของตัวเปรียบเทียบแต่ละตัวจะเป็นโลจิก "0" ต่อมาแรงดันอินพุตเพิ่มขึ้น เข้าที่พหุของตัวเปรียบเทียบแต่ละตัวจะเป็นโลจิก "1" ไปตามลำดับขึ้นไป เมื่อแรงดันอินพุตมีมากกว่าแรงดันอ้างอิงแต่ละค่าที่ถูกใช้คือวงจรแบ่งแรงดัน เหนือเวอร์คของดิจิทัลเกตถูกใช้ในการเรียงลำดับของสัญญาณจากตัวเปรียบเทียบให้อยู่ในรูปรหัสเลขฐานสอง ซึ่งเป็นการสร้างรหัสที่เข้าที่พหุของคอนเวอร์เตอร์

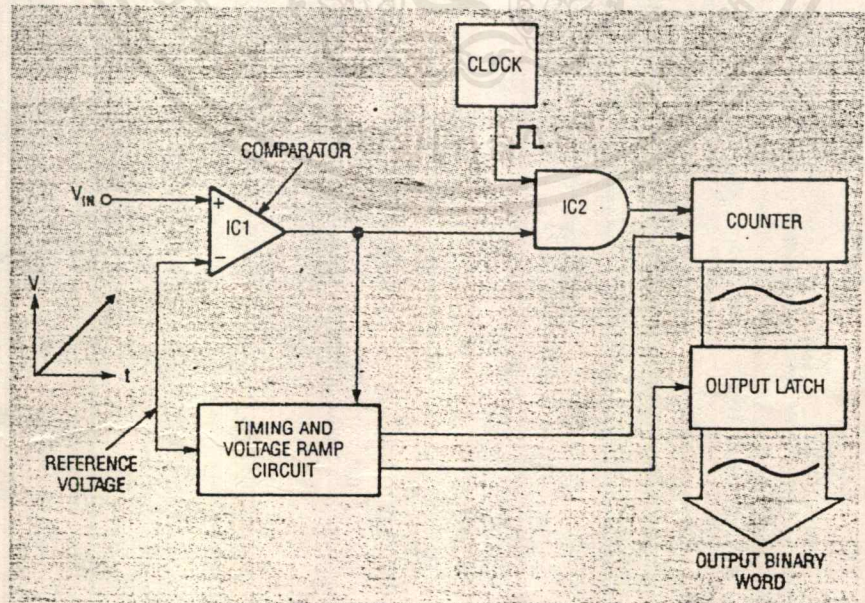
ตัวอย่างที่ยกมาให้ดูในรูปที่ 2.29 นั้น เป็น ADC ขนาด 2 บิต ซึ่งไม่สามารถนำไปใช้งานจริง ๆ ได้ เนื่องจากความละเอียดต่ำเกินไป แต่มันก็แสดงแนวความคิดที่สำคัญ ๆ ในการสร้าง ADC แบบแฟลชคอนเวอร์เตอร์ได้เป็นอย่างดี ถ้าเราสังเกตรูปวงจรในรูปที่ 2.29 ให้ดี จะพบว่าวงจรจะใช้ตัวเปรียบเทียบ $2^n - 1$ ตัว เป็นการแสดงถึงความละเอียดของคอนเวอร์เตอร์ จากตัวอย่างคอนเวอร์เตอร์ไม่เคอร์ขนาด $2^2 - 1 = 3$ ตัว เปรียบเทียบคอนเวอร์เตอร์เคอร์ขนาด 4 บิต ต้องใช้

เปรียบเทียบ 2^4-1 ตัว หรือ 15 ตัว และคอนเวอร์เตอร์ขนาด 8 บิต ต้องใช้ตัวเปรียบเทียบถึง 2^8-1 ตัว หรือ 255 ตัว จึงจะเห็นได้ ขนาดของคอนเวอร์เตอร์ยิ่งมากขึ้นเท่าไร ตัวเปรียบเทียบที่ใช้ก็ยิ่งมากขึ้น เป็นทวีคูณ จึงทำให้เกิดความซับซ้อนยุ่งยากในการสร้างวงจรมัลติคอนเวอร์เตอร์ขึ้นมาใช้ข้อนี้เองจึงเป็นข้อเสียของแมลชคอนเวอร์เตอร์ และข้อเสียอีกข้อหนึ่งก็คือ เมื่อใช้ตัวเปรียบเทียบมากขึ้น วงจรก็จะมีขนาดใหญ่ เทอะทะเกินกว่าจะนำไปใช้งานจริง ๆ ได้

แมลช คอนเวอร์เตอร์ก็มีข้อเสียของมัน เพียงอย่างเดียว แต่มันยังมีข้อดีที่ ADC แบบอื่น ๆ ไม่มีหรือสู้ไม่ได้ คือความเร็ว เพราะว่าสัญญาณอนาล็อกทางอินพุตถูกถ่ายเข้าที่กับตัวเปรียบเทียบแต่ละตัวพร้อม ๆ กัน ช่วงเวลาในการเปลี่ยน (conversion time) นั้นจึงมีค่าเท่ากัน เวลาหน่วงในตัวเปรียบเทียบแต่ละตัวและวงจรเกทในวงจรเท่านั้น ซึ่งในเวลาเพียงไม่กี่ไมโครเซคตั้น

ADC แบบสลอปเดี่ยว (Single-Slope ADC)

วิธีการแปลงสัญญาณอนาล็อกให้เป็นสัญญาณดิจิทัลที่มีประสิทธิภาพสูงวิธีหนึ่ง คือ วิธีแบบ A/D สลอปเดี่ยว หรือเรียกว่า A/D แรมป์เดี่ยว (Single-ramp A/D) ดังแสดงในรูปที่ 2.30



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกที่รูปที่ 2.30 ส่วนประกอบที่สำคัญของ A/D แบบสลอปเดี่ยว ครั้งนี้มีการนำไปใช้

จากวงจรวัฏจักรการทำงานของวงจร A/D สไลด์เดี่ยว เริ่มต้นที่การรีเซ็ตวงจรนับ (Counter) และแรงดันแรมป์อยู่ที่ศูนย์ เอ้าท์พุทของตัว เบริบ เทียบที่จุด เริ่มต้น เป็นศูนย์ ดังนั้นจึงไม่มี สัญญาณนาฬิกาจ่ายให้กับวงจรนับ เมื่อแรงดันอินพุทถูกจ่ายให้กับตัวคอน เวอร์ท เคอร์ซาอินพุทอนอิน เวอติง (non inverting (+) จะมีค่าของแรงดันเกินกว่าแรงดันที่ขาอินพุทอิน เวอติง (inverting (-) ดังนั้น เอ้าท์พุทของตัว เบริบ เทียบจึงเป็นลอจิก "High" สัญญาณลอจิก "High" นี้ไปเอนาเบิ้ลให้ AND เกตทำงานยอมให้พัลส์ของสัญญาณนาฬิกาผ่านตัวมัน เข้าไปยังวงจรมับ เลขฐานสองให้ทำงาน ในขณะ เดียวกัน วงจรใหม่จึงจะขับให้ แรงดันแรมป์ เพิ่มขึ้น ซึ่งทำให้แรงดันอ้างอิงที่ขาอิน เวอติงของตัว เบริบ เทียบ เพิ่มขึ้นอย่างรวดเร็ว เมื่อแรงดันแรมป์อ้างอิง เริ่มมากกว่าแรงดันอินพุท เอ้าท์พุทของตัว เบริบ เทียบจะ ตกลงเป็นลอจิก "Low" อีกครั้งหนึ่ง พัลส์ของสัญญาณนาฬิกาจึงหยุดลง เนื่องจากไม่สามารถผ่านตัวเอนด์ เกตได้ และวงจรใหม่จึงส่งสัญญาณไปยังวงจรมับ เลขฐานสองเกิดการล๊อค (Latch) ค่าที่นับไว้ขณะหนึ่ง ต่อมาจึงทำการรีเซ็ตตัวนับสำหรับวัฏจักรการแปลงสัญญาณช่วงต่อไป

เมื่อแรงดันแรมป์อ้างอิงมีค่า เท่ากับ แรงดันอินพุทที่จ่าย เข้ามา วงจรมับจะถูกระงับให้นับ เลขฐานสอง ในขณะ เดียวกันค่าที่นับได้จึง เป็นสัญญาณดิจิทัลของสัญญาณอนาล็อกทางด้านอินพุทที่ เข้า มาขณะนั้น จะสังเกตได้ว่าความเร็วของสัญญาณนาฬิกาและอัตราการ เพิ่มขึ้นในลักษณะ เป็นแรงดันแรมป์จะ ต้องมีความสัมพันธ์กันอย่างถูกต้อง เพื่อให้วงจรมับทำงานตามหน้าที่ ได้อย่างถูกต้องนั้น เอง

ค่า เวลาที่ต้องการทำการ เปลี่ยนขึ้นอยู่ระดับของสัญญาณอนาล็อกทางอินพุท เพราะ ว่าวงจรมับและแรงดันแรมป์อ้างอิงทั้งคู่ เริ่มต้นจากศูนย์ที่ทุก ๆ วัฏจักรการแปลงมัน มันจึงใช้เวลาค่อนข้าง นานที่จะทำให้แรงดันอ้างอิง เท่ากับแรงดันอินพุทในทางตรงกันข้าม ถ้าแรงอินพุทมีค่าน้อย ช่วง เวลาที่แรงดันแรมป์อ้างอิง เพิ่มขึ้น จน เท่ากับแรงดันอินพุทจึงใช้ เวลานั้นน้อยกว่ากรณีแรงดันอินพุทมีค่ามาก ๆ

แรงดันแรมป์อ้างอิงสามารถ เปลี่ยนแปลง เพิ่มขึ้นจน เท่ากับแรงดันอินพุทได้ เร็วกว่า 1 โวลท์ ต่อ 1/100 วินาที เช่น ถ้าแรงดันอินพุทเป็น 2 โวลท์ ถูกจ่ายให้กับวงจรมับที่ 8 วงจรจะใช้ เวลา 2x1 Volt/mS ซึ่งเท่ากับ 2 mS สำหรับแรงดันแรมป์ที่จะ เพิ่มขึ้นจนมีระดับแรงดัน เท่ากับแรงดันอินพุท การนับเลขฐานสองจะกระทำหลังจาก 2 mS ไปแล้ว ความเร็วในช่วงนี้ขึ้นอยู่กับความเร็วของสัญญาณ นาฬิกา ถ้าความเร็วของสัญญาณนาฬิกามีค่าสูงจะทำให้จังหวะในการนับ เร็วขึ้นด้วย

เนื่องจากการทำงานของสัญญาณนาฬิกาขึ้นอยู่กับแรงดันแรมป์ จึง เป็นลักษณะพิเศษของ A/D สไลด์เดี่ยว ที่มีสัญญาณ เอ้าท์พุทออกมา เป็น เลขฐานสองโดยตรง ไอซี เครื่องมือวัดบางตัวที่ใช้ เทคนิคแบบส ลิปเดี่ยวนี้จะแปลงรหัส BCD ไปขึ้นภาคแสดงผล 7 เซกเมนต์ ได้โดยตรง ซึ่งทำให้สะดวกและข้อ ได้

เปรียบเทียบกับเทคนิค A/D แบบอื่นอย่างมาก งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ข้อเสียของ A/D สไลบเดี่ยว คือการทำงานที่ไม่ค่อยมีเสถียรภาพเมื่อใช้งาน A/D เป็นเวลานาน ๆ โดยปราศจากการประสานจังหวะ (Synchronization) ระหว่างวงจรมลิตสัญญาณนาฬิกาและวงจรสร้างสัญญาณแรมป์ ทุก ๆ การเลื่อนของความถี่สัญญาณนาฬิกา หรือแรงดันแรมป์ เป็นเหตุทำให้เกิดความผิดพลาดขึ้นที่รหัสทางเข้าที่พหุ จึงเป็นสาเหตุที่สำคัญที่ทำให้ A/D สไลบเดี่ยวไม่น่าไว้วางใจในการทำงานที่ต้องการความถูกต้องสูง ๆ

A/D แบบสไลบคู่ (Double-Slope ADC)

เทคนิคการแปลงสัญญาณอะนาล็อกไปเป็นสัญญาณดิจิทัลแบบสไลบคู่ เป็นเทคนิคที่ทำให้ข้อด้อยในด้านเสถียรภาพของการแปลงสัญญาณ เมื่อสัญญาณอินพุตมีการเปลี่ยนแปลงอย่างรวดเร็ว วงจรมลิตสัญญาณแรมป์อ้างอิงได้ปรับสูงขึ้นโดยตัดเอาผลกระทบของการเลื่อนไหล เมื่อใช้วงจรไม่นาน ๆ

สัญญาณอินพุตของตัวคอนเวอร์เตอร์แบบสไลบคู่จะป้อนให้กับวงจรอินทิเกรตเตอร์ เมื่อสัญญาณอินพุตที่เป็นบวกถูกป้อนเข้ามายังตัว ADC ความชันของแรงดันแรมป์ทางด้านเข้าที่พหุของวงจรอินทิเกรตเตอร์จะมีทิศทางเป็นลบ และจะมีค่าเป็นลบ (เพราะป้อนอินพุตเข้าขาอินเวอร์ตติ้งของออปแอมป์) ด้วยแรงดันลบที่ได้นี้ ทำให้เข้าที่พหุของวงจรเปรียบเทียบกับ "high" ด้วยเหตุนี้จึงเป็นการกระตุ้นให้เกิดสัญญาณนาฬิกาป้อนเข้าในยังขั้วอินพุตของวงจรมลิต ซึ่งจะเป็นการเริ่มต้นนับขึ้นไปเรื่อย ๆ วงจรอินทิเกรตเตอร์จะให้สัญญาณแรมป์เพียงคาบเวลาที่คงที่ขณะหนึ่งเท่านั้น หลังจากช่วงเวลานี้แล้ว วงจรควบคุมจะทำการเคลียร์วงจรมลิต และทำการเปลี่ยนอินพุตของวงจรอินทิเกรตเตอร์ไปต่อกับแรงดันอ้างอิงที่มีค่าเป็นลบ ($-V_{Ref}$) ดังนั้น ในช่วงนี้แรงดันลบถูกป้อนให้กับวงจรอินทิเกรตเตอร์ ความชันของสัญญาณแรมป์ทางด้านเข้าที่พหุกลับมามีทิศทางเป็นบวก วงจรมลิตจะเริ่มต้นนับใหม่จนกระทั่งเข้าที่พหุของวงจรอินทิเกรตเตอร์ตกลงเป็นศูนย์ที่จุดนี้ เข้าที่พหุของวงจรเปรียบเทียบกับ "Low" ซึ่งทำให้เกิดสัญญาณนาฬิกาที่ป้อนให้วงจรมลิตหยุดลง วงจรควบคุมจะทำการตรวจสอบซึ่ง เปลี่ยนและเลขที่การนับที่เข้าที่พหุไว้แล้วทำการเคลียร์วงจรมลิตอีกครั้ง คอนเวอร์เตอร์แบบสไลบคู่ที่มีสัญญาณดิจิทัลที่นับได้ครั้งสุดท้ายนี้จะแทนแรงดันอินพุตอะนาล็อกที่เข้ามา

อัตราของการอินทิเกรตขึ้นอยู่กับขนาดของแรงดันอินพุต เช่นเดียวกับค่าของ R_1 และ C_1 ดังนั้น แรงดันอินพุตที่ต่ำ ๆ จะลดเข้าที่พหุของวงจรอินทิเกรตเตอร์ให้น้อยกว่าแรงดันอินพุตที่มีค่าสูง ๆ ในช่วงคาบเวลาอินพุตที่แน่นอนของวัฏจักรการแปลงนั้น (Conversion Cycle)

เมื่อแรงดันลบอ้างอิงที่มีค่าคงที่ถูกป้อนเข้ามา (ค่าของ R_1 และ C_1 ยังคงเหมือนเดิม) เวลาที่ต้องการสำหรับเข้าที่พหุของวงจรอินทิเกรตเตอร์เข้าสู่ศูนย์เป็นอัตราแปรผันโดยตรงต่อเอกสโปเนนเชียลเป็นเอกสโปเนนเชียลที่สงวนไว้สำหรับการศึกษาเท่านั้น ไม่นอนูญาติให้มองไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ข้อเสียของ A/D สไลบเดี่ยว คือการทำงานที่ไม่ค่อยมีเสถียรภาพเมื่อใช้งาน A/D เป็นเวลานาน ๆ โดยปราศจากการประสานจังหวะ (Synchronization) ระหว่างวงจรผลิตสัญญาณนาฬิกาและวงจรสร้างสัญญาณแรมป์ ทุก ๆ การเลื่อนของความถี่สัญญาณนาฬิกา หรือแรงดันแรมป์ เป็นเหตุทำให้เกิดความผิดพลาดขึ้นที่รหัสทางเข้าที่พหุ จึงเป็นสาเหตุที่สำคัญที่ทำให้ A/D สไลบเดี่ยวนำมาใช้งานที่ต้องการความถูกต้องสูง ๆ

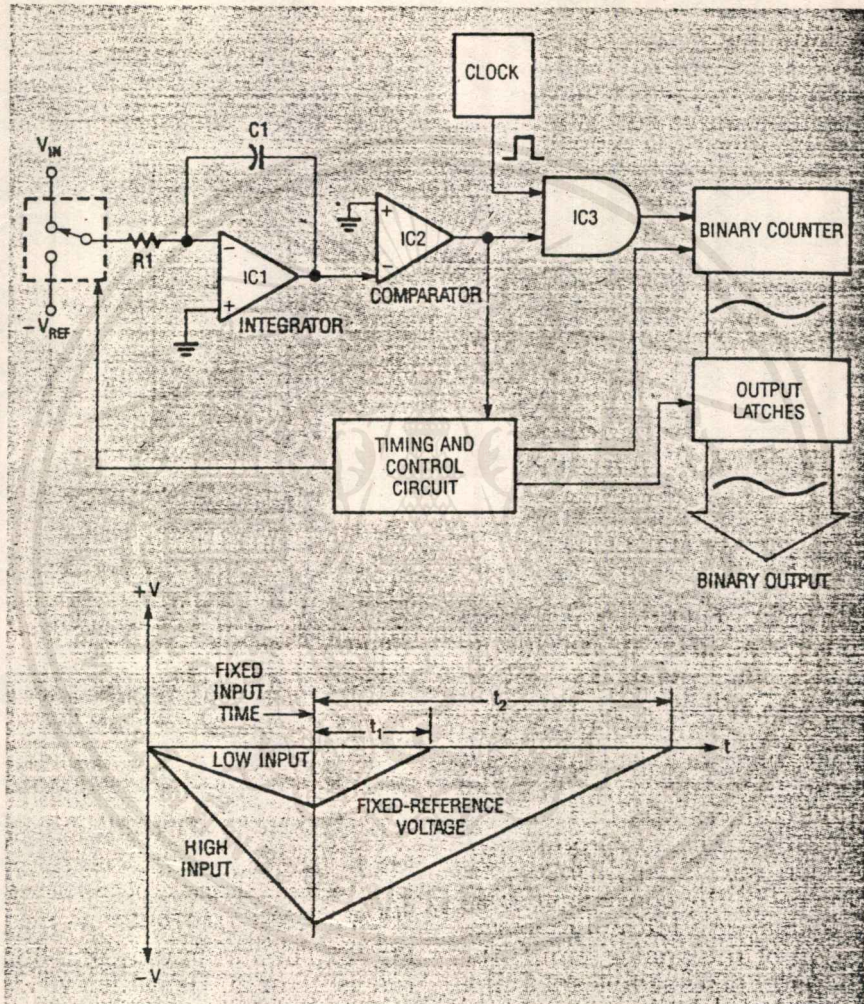
A/D แบบสไลบคู่ (Double-Slope ADC)

เทคนิคการแปลงสัญญาณอะนาล็อกไปเป็นสัญญาณดิจิทัลแบบสไลบคู่ เป็นเทคนิคที่ให้ข้อดีในด้านเสถียรภาพของการแปลงสัญญาณ เมื่อสัญญาณอินพุตมีการเปลี่ยนแปลงอย่างรวดเร็ว วงจรผลิตสัญญาณแรมป์อ้างอิงได้รับปรังขึ้นโดยตัดเอาผลกระทบของการเลื่อนไหล เมื่อใช้วงจรไปนาน ๆ

สัญญาณอินพุตของตัวคอนเวอร์เตอร์แบบสไลบคู่จะป้อนให้กับวงจรอินทิเกรตเตอร์ เมื่อสัญญาณอินพุตที่เป็นบวกถูกป้อนเข้ามายังตัว ADC ความชันของแรงดันแรมป์ทางด้านเข้าที่พหุของวงจรอินทิเกรตเตอร์จะมีทิศทางเป็นลบ และจะมีค่าเป็นลบ (เพราะป้อนอินพุตเข้าขาอินเวอร์ตติ้งของออปแอมป์) ด้วยแรงดันลบที่ได้นี้ ทำให้เข้าที่พหุของวงจรเปรียบเทียบกับ "high" ด้วยเหตุนี้จึงเป็นการกระตุ้นให้เกิดสัญญาณนาฬิกาป้อนเข้าไปยังขั้วอินพุตของวงจรมบ ซึ่งจะเป็นการเริ่มต้นนับขึ้นไปเรื่อย ๆ วงจรอินทิเกรตเตอร์จะให้สัญญาณแรมป์เพียงคาบเวลาที่คงที่ขณะหนึ่งเท่านั้น หลังจากช่วงเวลานี้แล้ววงจรควบคุมจะทำการเคลียร์วงจรมบ และทำการเปลี่ยนอินพุตของวงจรอินทิเกรตเตอร์ไปต่อกับแรงดันอ้างอิงที่มีค่าเป็นลบ ($-V_{Ref}$) ดังนั้น ในช่วงนี้แรงดันลบถูกป้อนให้กับวงจรอินทิเกรตเตอร์ ความชันของสัญญาณแรมป์ทางด้านเข้าที่พหุกลับมามีทิศทางเป็นบวก วงจรมบจะเริ่มต้นนับใหม่จนกระทั่งเข้าที่พหุของวงจรอินทิเกรตเตอร์ตกลงเป็นศูนย์ที่จุดนี้ เข้าที่พหุของวงจรเปรียบเทียบกับ "Low" ซึ่งทำให้เกิดสัญญาณนาฬิกาที่ป้อนให้วงจรมบหยุดลง วงจรควบคุมจะทำการตรวจสอบซึ่งเปลี่ยนและเสถียรภาพการนับที่เข้าที่พหุไว้แล้วทำการเคลียร์วงจรมบอีกครั้ง คอนเวอร์เตอร์แบบสไลบคู่นี้สัญญาณดิจิทัลที่นับได้ครั้งสุดท้ายนี้จะแทนแรงดันอินพุตอะนาล็อกที่เข้ามา

อัตราของการอินทิเกรตขึ้นอยู่กับขนาดของแรงดันอินพุต เช่นเดียวกับค่าของ R_1 และ C_1 ดังนั้น แรงดันอินพุตที่ต่ำ ๆ จะลดเข้าที่พหุของวงจรอินทิเกรตเตอร์ให้น้อยกว่าแรงดันอินพุตที่มีค่าสูง ๆ ในช่วงคาบเวลาอินพุตที่แน่นอนของวัฏจักรการแปลงมัน (Conversion Cycle)

เมื่อแรงดันลบอ้างอิงที่มีค่าคงที่ถูกรับเข้ามา (ค่าของ R_1 และ C_1 ยังคงเหมือนเดิม) วัฏจักรที่คงที่สำหรับเข้าที่พหุของวงจรอินทิเกรตเตอร์ก็เข้าสู่ศูนย์ เป็นอัตราแปรผันโดยตรงคือไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.31 ADC แบบสไลบคู่ ให้เสถียรภาพในการทำงานสูงกว่า ADC แบบสไลบเดี่ยว 3.8

ขนาดตั้งเดิมของแรงดันอินพุต ทุก ๆ การเปลี่ยนแปลง เพราะฉะนั้น ในวงจรอินทิเกรตเตอร์เวลาหรือ
 อุดหนุนที่มีผลต่อการทำงานของวงจรจะถูกหักออกโดยอัตโนมัติ ดังนั้น คอนเวอร์เตอร์แบบสไลบคู่จึงมี
 เสถียรภาพเหมาะสำหรับการประยุกต์ใช้งานที่มีความแม่นยำสูง

คอนเวอร์เตอร์แบบสไลบคู่มีสิ่งที่คล้ายคลึงกับคอนเวอร์เตอร์แบบสไลบเดี่ยว คือ สลับ

สภาพอินพุตสามารถถูกเปลี่ยนให้อยู่ในรูป BCD ได้ หรืออยู่ในรูปอื่น ๆ ได้โดยตรง เช่น รหัสไบนารี ใน

ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ดิจิตอลโวลท์มิเตอร์ โดยมากแล้วจะใช้ เทคนิคแบบสไลบคู้ในการแปลงสัญญาณอินพุทให้อยู่ในรูป BCD

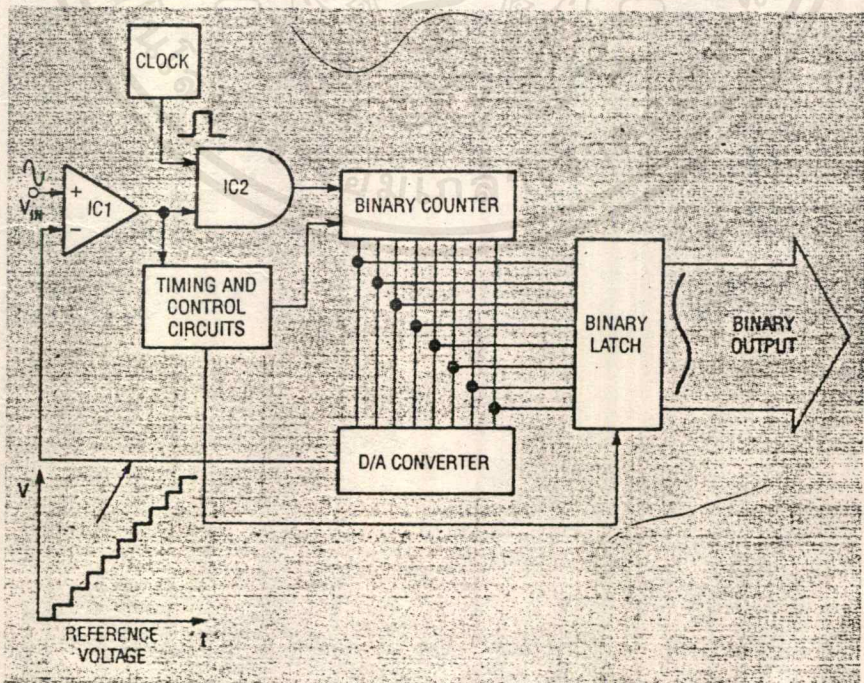
ข้อเสียของการแปลงนั้นแบบสไลบคู้คือ คาบเวลาที่ขยายออกไปที่ต้องการใช้ในการแปลงนั้น คอนเวอร์เตอร์แบบสไลบคู้ ต้องการคาบเวลาที่มากกว่า 100 ns ต่อการเปลี่ยนสัญญาณอินพุทที่มีแรงดันสูง ๆ ให้อยู่ในรูปสัญญาณดิจิตอล

DAC แบบมีการย้อนกลับ (D/A Feedback Converters)

D/A คอนเวอร์เตอร์ที่ใช้สัญญาณย้อนกลับมาเป็นสัญญาณอ้างอิงที่วงจรเปรียบเทียบมี 2 ชนิด คือ

- 1) วงจรนับแบบเดี่ยว (Single counter)
- 2) วงจรนับแบบเทรคคิง (tracking counter)

วงจรของ ADC แบบวงจรถัดไปได้มีการพัฒนาจนมีลักษณะคล้ายคลึงกับ ADC แบบสไลบคู้ เดี่ยว ตลอดจนการทำงานของวงจรทั้งสองยังคล้ายกันอีกด้วย แต่ ADC แบบวงจรถัดไปจะอ่านการนับสัญญาณนาฬิกาที่ได้จากวงจรถัดไป เลขฐานสอง แล้วทำให้เป็นแรงดันย้อนกลับไปยังวงจรถัดไปเปรียบเทียบแทนวงจรถัดไป เกรตเตอร์ หรือแหล่งจ่ายแรงดันแปรปรวน ๆ

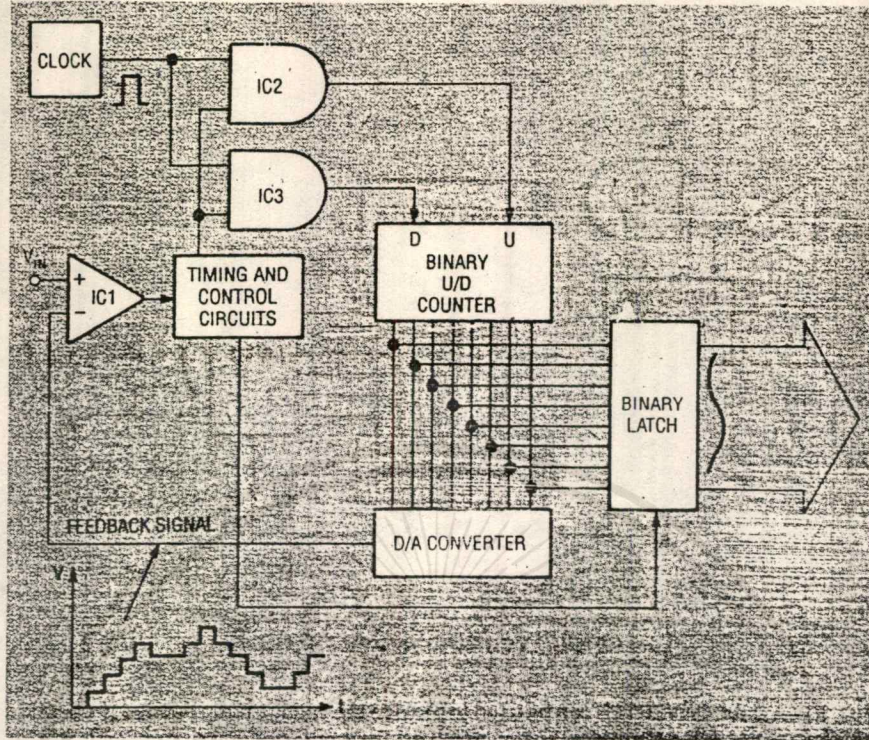


เมื่อสัญญาณอะนาล็อกทางอินพุตถูกจ่ายให้วงจร เปรียบเทียบ เอาท์พุทของมันจะมีสถานะเป็น "High" ดังนั้น วงจรควบคุมจึงยอมให้สัญญาณนาฬิกาผ่าน เข้าไปยังวงจรมัน ๆ ก็จะนับ เลขฐานสองขึ้นไปเรื่อย ๆ เมื่อวงจรมันนับค่าเพิ่มขึ้นไป แรงดันเอาท์พุทของตัว DAC ก็จะเพิ่มขึ้นตามด้วย เอาท์พุทของ DAC ที่ได้นี้จะถูกบ้อนกลับไปยังอินพุตของวงจร เปรียบเทียบ เมื่อระดับแรงดันเอาท์พุทของ DAC เริ่มมีค่ามากกว่าระดับแรงดันอินพุตที่เข้ามา เอาท์พุทของวงจร เปรียบเทียบก็จะมีสถานะเป็น "Low" (วงจร เปรียบเทียบหยุดทำงาน) วงจรควบคุมก็จะส่งสัญญาณไปยังวงจรมัน เลขฐานสอง (Binary Latch) ให้ต่างค่าที่ได้จากการนับที่เอาท์พุทไว้ หลังจากนั้น วงจรควบคุมจึงทำการรีเซ็ต วงจรมันสำหรับวัฏจักร การแปลงมันต่อไป

ถึงแม้ว่าการแปลงมันแบบวงจรมัน เต็มๆ เป็นวิธีที่รวดเร็วกว่าวิธีสลิตคู่ แต่ความแม่นยำของวงจรมันก็ขึ้นอยู่กับ DAC ที่ใช้ในวงจรมัน ถ้าต้องการให้ ADC แบบวงจรมัน เต็มๆ มีความแม่นยำสูง DAC ที่ต้องการใช้ในวงจรมันต้องมีความแม่นยำสูงด้วย เพื่อให้ได้สัญญาณบ้อนกลับที่เป็น เอาท์พุทของ DAC มีความแม่นยำ บ้อนกลับไปยังวงจรมัน เปรียบเทียบ วงจร ADC แบบวงจรมัน เต็มๆ ยังต้องใช้วงจรมันที่ เริ่มต้นจากศูนย์ ทุก ๆ การแปลงมัน ดังนั้น จึงมีความเป็น ไปได้ที่จะมีการสูญหายของข้อมูล เป็นบิตของเวลาไป ทุก ๆ วัฏจักร ใดๆ เฉพาะอย่างยิ่งถ้าแรงดันที่ถูกแปลงมันมีค่าใกล้ เคียงกับระดับแรงดันสูงสุดของ ADC

เทคนิคแบบวงจรมัน เทร็คก็งสามารถทำการแปลงมันได้รวดเร็วกว่า เทคนิคแบบวงจรมัน เต็มๆ ซึ่งการแปลงมันที่รวดเร็วกว่านี้ เป็น เพราะวงจรมัน เทร็คก็งใช้วงจรมัน เลขฐานสองแบบขึ้น/ลงได้ (Binary Up/Down [U/D] Counter) แทนวงจรมันขึ้นอย่างเดียว เหมือนกับตัวอย่างที่ผ่านมา วงจรมันสามารถ เพิ่มค่าขึ้นหรือลดค่าลง ได้ขึ้นอยู่กับสถานะทาง เอาท์พุทของวงจร เปรียบเทียบ ซึ่งจะหาให้ รหัสไบนารีที่ได้มีความ เป็นจริงต่อสัญญาณอะนาล็อกมากขึ้น

วัฏจักรการทำงาน ของ ADC แบบวงจรมัน เทร็คก็ง เริ่มต้นที่สัญญาณอะนาล็อกถูกบ้อนมายังอินพุทของวงจร เปรียบเทียบ การนับบนวงจรมัน เลขฐานสองขึ้น/ลง อาจจะเริ่มที่ค่าใด ๆ ก็ได้ ดังนั้น หมายถึงแรงดันบ้อนกลับที่มาจากตัว DAC อาจจะมากกว่าหรือน้อยกว่าสัญญาณอะนาล็อกทางอินพุตก็ได้ ถ้าแรงดันบ้อนกลับมีค่ามากกว่าสัญญาณอะนาล็อกทางอินพุต เอาท์พุทของวงจร เปรียบเทียบจะมีสถานะเป็น "Low" และวงจรควบคุมจะส่งสัญญาณไป เปิด เกตให้พัลส์ของสัญญาณนาฬิกาผ่านไปยังวงจรมัน แต่การนับ ครั้งนี้จะเป็นการนับลง ดังนั้น จึงเป็นการลดค่า เลขฐานสองซึ่งเป็น เอาท์พุทของวงจรมัน และเป็นการลดแรงดันบ้อนกลับที่วงจร เปรียบเทียบลง เมื่อแรงดันบ้อนกลับตกลงต่ำกว่าแรงดันทางอินพุต เอาท์พุทของวงจร เปรียบเทียบจะมีสถานะเป็น "high" ทันที และวงจรควบคุมส่งสัญญาณไปยังวงจรมัน เลขฐานสองทาง เอาท์พุทให้ต่างข้อมูลทาง เอาท์พุทไว้ วงจร เทร็คก็งจะส่งสัญญาณนาฬิกาไป เพิ่มอินพุทของวงจรมันขึ้น (ซึ่งวงจรมันจะเอ็กสทรานเป็น เอ็กสทรานสองวินาทีสำหรับการใช้งานเพื่อการรักษาเท่านั้น ไม่อนุญาตให้เข้าไปใช้ประโยชน์ด้านการคำนวณ) ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.33 วงจรนับเลขฐานสองแบบขึ้น/ลง ทำให้ A/D เปลี่ยนแปลงสัญญาณย้อนกลับ *3.202*

ไม่ถูกริเซ็ท) และเป็นเหตุให้วงจรมีค่าขึ้นอีกครั้ง สำหรับการเปลี่ยนแปลงของสถานะช่วงต่อไป

ถ้าสัญญาณอินพุตยังคงมีค่าคงที่อยู่ที่ V_{in} เข้าที่พหุคูณในนาฬิกาได้มีก็จะเกิดการออสซิลเลชัน $1 \times \text{LSB}$ คล้ายกับตัวคอนเวอร์เตอร์พหุคูณรับค่าให้เข้าสู่ค่ากลางของมัน ปัญหาระดับของการออสซิลเลชันเลดจึงเป็นปัญหาสำคัญของ A/D คอนเวอร์เตอร์แบบวงจรมีเทร็คคิง และกลายมาเป็นข้อเสียของ ADC แบบนี้

ตามที่เราคาดไว้ว่า เทคนิคแบบวงจรมีเทร็คคิงนั้นมีความเร็วสูงกว่าเทคนิคแบบวงจรมีเด็ช แต่มันยังมีข้อดีที่กว่านั้นอีกคือ เทคนิคแบบวงจรมีเทร็คคิงนั้นเหมาะสำหรับการแปลงสัญญาณอินพุตที่มีการเปลี่ยนแปลงอย่างรวดเร็ว ให้อยู่ในรูปสัญญาณดิจิทัลได้ดียิ่งด้วย

ADC แบบประมาณค่าหลาย ๆ ครั้ง (Successive-Approximation ADC)

เทคนิคแบบการประมาณค่าหลาย ๆ ครั้ง มีชื่อย่อว่า SA ซึ่งย่อมาจากคำว่า "Successive Approximation" เป็นเทคนิคที่น่าเลือกใช้เพราะมีราคาถูก, มีความละเอียดพอสมควร และเป็น A/D คอนเวอร์เตอร์ที่มีความเร็วสูง เทคนิคการประมาณค่าหลาย ๆ ครั้ง เป็นเทคนิคที่มีความสามารถสูงและใช้งานได้ดี ซึ่งสามารถใช้แปลงสัญญาณอนาล็อกให้เป็นสัญญาณดิจิทัลได้รวดเร็ว และมีประสิทธิภาพ เพราะไม่เกิดการออสซิลเลชัน แต่กระบวนการทางเทคนิคแบบนี้จะเข้าใจได้ง่ายกว่า

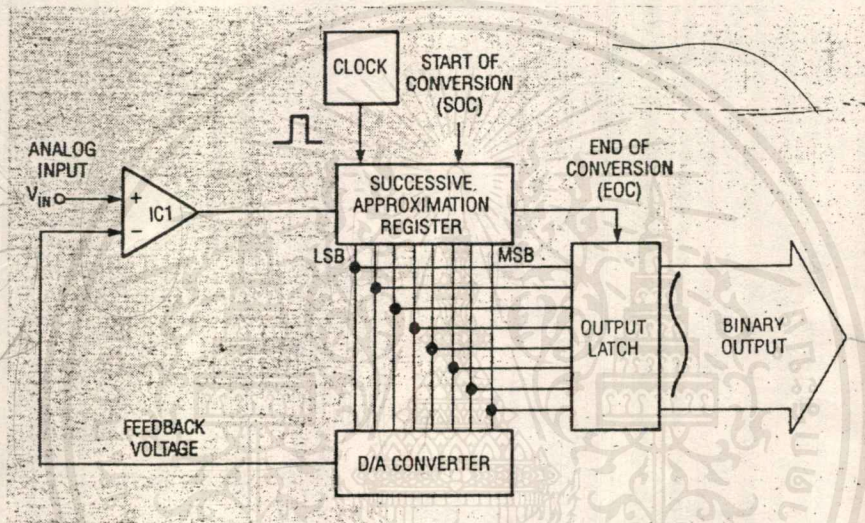
เอกสารนี้เป็นเอกสารสงวนลิขสิทธิ์หรือการสงวนเพื่อการค้าเท่านั้น เมื่ออยู่ใต้เห็นไปจะอยู่เห็นเห็นการคัด

ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เทคนิคแบบวงจรมันที่เราได้กล่าวมาแล้ว

หัวใจของ SA คอนเวอร์เตอร์ คืออุปกรณ์ที่เรียกว่า "Successive approximation register"(SAR) ซึ่งเป็นอุปกรณ์ที่มีจุดประสงค์แตกต่างวงจรมันทั่ว ๆ ไปอย่างมาก ดังแสดงในรูปที่

2.34



รูปที่ 2.34 Successive Approximation Register(SAR) เป็นตัวเร่งความเร็วของ 3.11 กระบวนการแปลงสัญญาณอนาล็อกให้เป็นสัญญาณดิจิทัล

วัฏจักรการแปลงมัน เริ่มต้น เมื่อสัญญาณอนาล็อกถูกย่นให้กับคอนเวอร์เตอร์ และพัลส์การแปลงเริ่มต้น (Start conversion pulse : SOC) ถูกย่นให้กับตัว SAR พัลส์สัญญาณนาฬิกาสูงแรกที่ย่นให้กับตัว SAR จะ "ON" เข้าที่พหุของบิตหนักสูงสุด ดังนั้นจึงเป็นการรับให้เอาที่พหุของ DAC เป็น 50% ของแรงดันเข้าที่พหุของอินเวอร์เตอร์ ตัว SAR จะมองไปยังเข้าที่พหุของวงจรเปรียบเทียบว่า เอาที่พหุของ DAC มีค่ามากกว่าหรือน้อยกว่าสัญญาณอนาล็อกทางอินพุท ถ้าแรงดันของ DAC มีค่ามากกว่าวงจรเปรียบเทียบ จะยังคงอยู่ในสถานะ "off" ดังนั้น ตัว SAR จะ "off" บิตหนักสูงสุดลงและ

าที่ชื่อว่า สถานะ "0" ถ้าแรงดันของ DAC มีค่าน้อยกว่าสัญญาณอนาล็อกทางอินพุทวงจรเปรียบเทียบจะยังคงทำงานอยู่ ดังนั้น ตัว SAR จะยังคงบล็อยให้บิตหนักสูงสุด "On" อยู่ และเราเรียกสถานะนี้ว่า "1" ซึ่งสถานะ "1" หรือ "0" นี้ จะกระทำภายในพัลส์ของสัญญาณนาฬิกา เพียงพัลส์เดียวบนสัญญาณนาฬิกาถัดไป ตัว SAR จะ "ON" บิตหนักสูงสุด ย่นดับ 2 และทำการตรวจสอบผลลัพธ์ที่ได้อีกครั้งหนึ่งจากวงจร

เอกสารนี้เป็นเอกสารสงวนลิขสิทธิ์ การใช้งานเพื่อการศึกษาก็ได้เช่น เมื่อผู้ที่ได้เห็นไปใช้ประโยชน์ในการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เปรียบเทียบ ถ้าสัญญาณจาก DAC ครึ่งโหม่นี้มีค่ามากกว่าแรงดันอินพุต เอาท์พุทของวงจรถ่ายเปรียบเทียบจะไม่มี ดังนั้น ตัว SAR จะ "off" บิตขั้นสูงสุดอันดับ 2 ทั้ง และเรียกมันว่า "0" แต่ถ้าสัญญาณจาก DAC มีค่าน้อยกว่าวงจรถ่ายเปรียบเทียบจะยังคงทำงานและตัว SAR จะปล่อยให้บิตขั้นสูงสุดอันดับ 2 นี้ "ON"

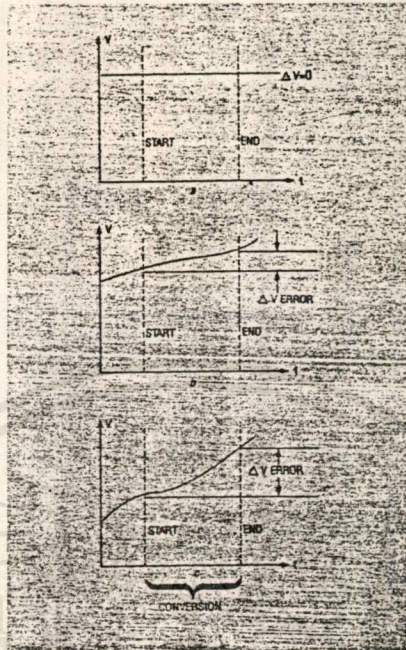
ตัว SAR จะพิจารณาแต่ละบิตด้วยวิธีเดียวกัน (บิตขั้นสูงสุดถึงบิตขั้นต่ำสุด) จนกระทั่งทุกบิตถูกพิจารณาหมด เนื่องจาก 1 บิต ถูกหาค่าภายใน 1 ฟิลล์ ADC ขนาด 8 บิตจึงใช้สัญญาณนาฬิกาเพียง 8 ฟิลล์ก็สามารถทำการแปลงได้จนจบกระบวนการ เมื่อบิตขั้นต่ำสุดถูกพิจารณาเสร็จสิ้นแล้ว ตัว SAR จะส่งสัญญาณสิ้นสุดการแปลงนั้น (End of Conversion : EOC) ไปทำการคั่งจนผลลัพธ์ที่ได้ซึ่งเป็นเลขฐานสองทางเอาท์พุทไว้

SA คอนเวอร์เตอร์เป็นคอนเวอร์เตอร์ที่มีประสิทธิภาพสูงมาก และสามารถทำการแปลงสัญญาณได้อย่างรวดเร็ว พร้อมทั้งมีความละเอียดสูงอีกด้วย คอนเวอร์เตอร์หลายตัวที่ใช้เทคนิคแบบนี้สามารถทำการแปลง A/D ขนาด 12 บิตได้โดยใช้เวลาน้อยกว่า 10

Quantizing error

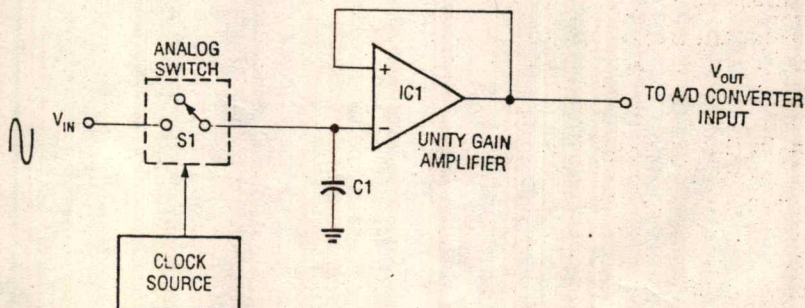
หลังจากจบการอธิบายการทำงานของ A/D ทั้ง 6 แบบแล้ว ในตอนนี้เราก็จะมีความเข้าใจเกี่ยวกับการทำงานของ ADC ดีขึ้น ต่อมาเราจะพูดถึงคุณลักษณะเฉพาะตัวของ ADC อีกตัวหนึ่งซึ่งเราเรียกว่า Quantizing error ซึ่งมีความสามารถเนื่องมาจากการเปลี่ยนแปลงระดับสัญญาณอะนาล็อกทางด้านอินพุตในระหว่างที่ทำการแปลงสัญญาณอยู่

ยังคงจำกันได้ว่า สัญญาณอะนาล็อกของ ADC ถูกจ่ายให้กับวงจรถ่ายเปรียบเทียบ เมื่อวัฏจักรเริ่มต้นขึ้น ADC ต้องการเวลาอยู่ช่วงหนึ่ง (มีค่าอยู่ในช่วง จนถึง ms) เพื่อที่จะสร้างสัญญาณดิจิทัลออกมาทางเอาท์พุท ถ้าแรงดันอินพุตเกิดการเปลี่ยนแปลงขึ้นในระหว่างการแปลงสัญญาณ ไม่นานเข้าเอาท์พุทสุดท้ายจะแทนระดับแรงดันที่ต่ำสุดของวัฏจักร แทนที่จะเป็นช่วงเริ่มต้น เมื่อไม่มีการเปลี่ยนแปลงแรงดันอินพุตขึ้น เช่น ในกรณีของแรงดันไฟตรง ในกรณีนี้จะไม่เกิด quantizing error ขึ้น ดังแสดงอยู่ในรูปที่ 2.35a สัญญาณที่มีการเปลี่ยนแปลงอย่างรวดเร็ว หรือที่เราเรียกกันว่า "slew rate" นั้นจะก่อให้เกิด quantizing error มากกว่ายิ่งขึ้น ดังแสดงในรูปที่ 2.35b และ 2.35c ตามลำดับ



รูปที่ 2.35 Quantizing error เกิดขึ้น เนื่องจากลักษณะนาฬิกาทางอินพุตเกิดการเปลี่ยนแปลงขึ้นในระหว่างวัฏจักรการแปลงสัญญาณในรูป a) จะไม่เกิด quantizing error ขึ้น เนื่องจากแรงดันอินพุตไม่มีการเปลี่ยนแปลง b) เกิด quantizing error ขึ้น เล็กน้อยกับสัญญาณอินพุตที่มีความถี่ต่ำ c) เมื่อสัญญาณอินพุตมีความถี่สูงขึ้น ระดับของ quantizing error ก็จะมากขึ้นด้วย

วิธีหนึ่งที่สามารถกำจัด quantizing error ได้ คือใช้วงจร S/H (Sampling and Hold Circuit) ก่อนวงจรเปรียบเทียบ ในรูปที่ 2.36 แสดงวงจรของ ADC ที่ใช้ S/H



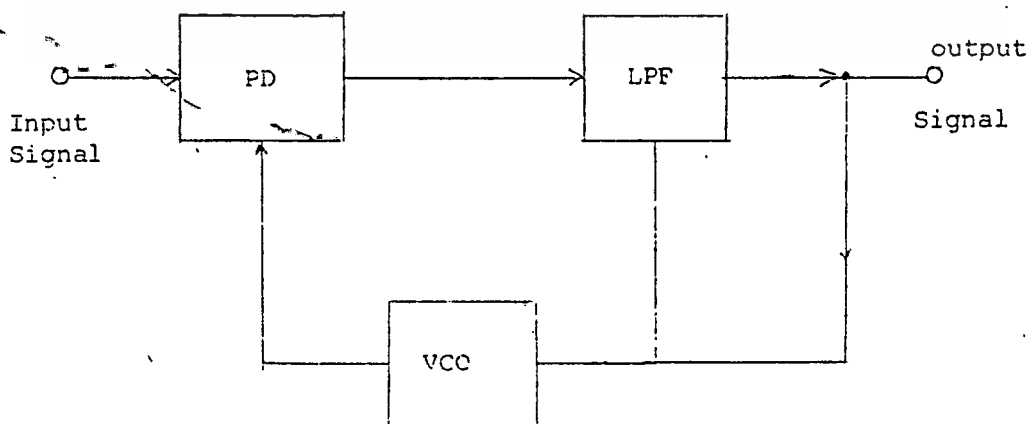
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรู๊ปที่ 2.36 วงจร S/H แบบง่าย ๆ สามารถกำจัดผลกระทบที่เกิดจาก Quantizing Error ได้

สวิตช์อิเล็กทรอนิกส์จะปิดวงจรเพื่อทำการสุ่มสัญญาณอะนาล็อกทางอินพุต ตัวเก็บประจุ C_1 มีหน้าที่เก็บประจุค่าของสัญญาณอินพุตที่เข้ามา ต่อมาสวิตช์อิเล็กทรอนิกส์จะเปิดวงจรออก ดังนั้น จึงเป็นการกำจัดผลกระทบที่เกิดจาก quantizing error ทิ้งไป เพราะตัวเก็บประจุยังคงเก็บค่าของสัญญาณอะนาล็อกที่สุ่มไว้ โดยค่าไม่คำนึงถึงสัญญาณอินพุตจะเปลี่ยนแปลงไปอย่างไร เมื่อต้องการแปลงสัญญาณในช่วงเวลาถัดไป วงจรก็จะทำการสุ่มสัญญาณขึ้นใหม่อีกครั้ง

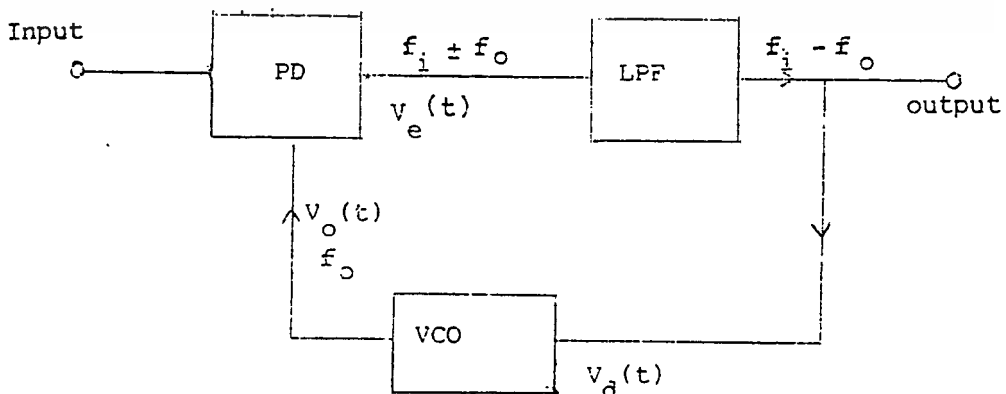
2.6 Digital Decoder

FSK Demodulation (PLL)

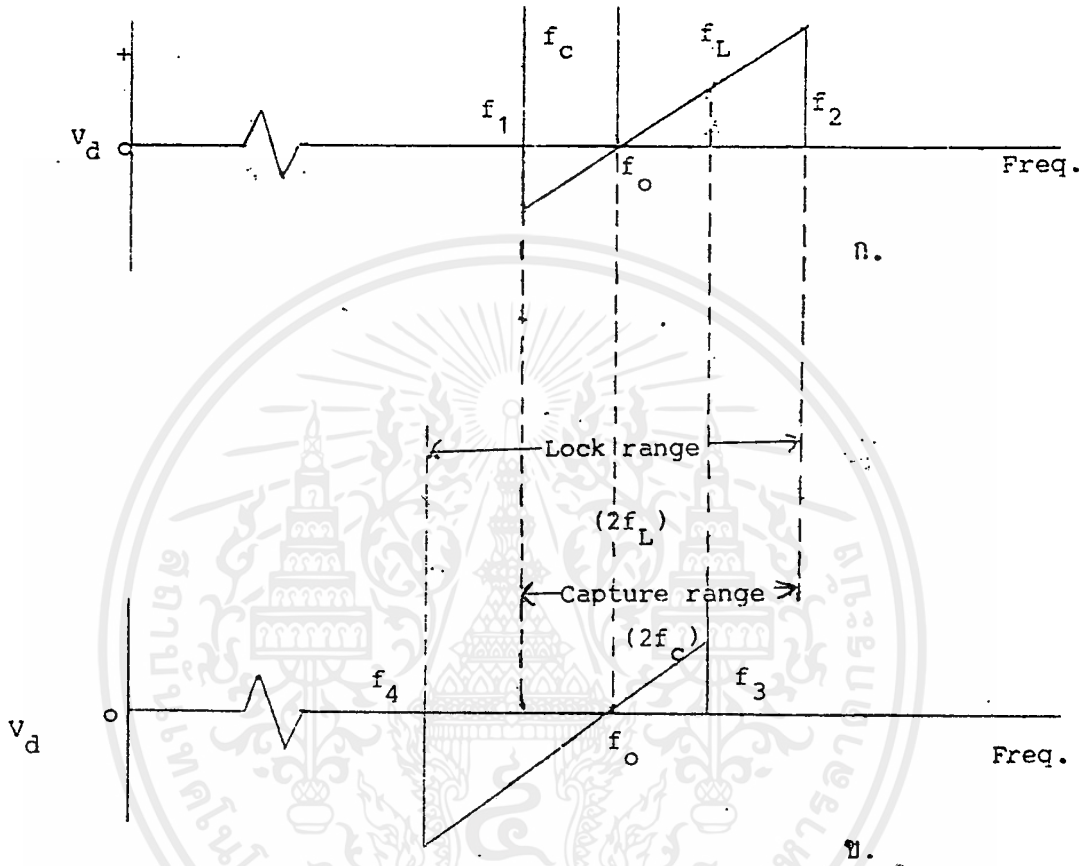
เฟสล็อกลูป (PLL) เป็นระบบอิเล็กทรอนิกส์เซอร์โวลูป แบบพื้นฐานประกอบด้วย เฟสดีเทคเตอร์ (PD) โวลท์พาสฟิลเตอร์ (LPF) และโวลท์เดจคอนโทรลลออสซิลเลเตอร์ (VCO) เฟสจะไปควบคุมออสซิลเลเตอร์ให้เอาท์พุทสามารถล็อกหรือ Synchronizing กับสัญญาณอินพุต ถ้าเฟสเปลี่ยนแปลงว่าความถี่อินพุต เปลี่ยน เอาท์พุทของ PD ก็จะมีเพิ่มขึ้นหรือลดลงเพื่อรักษาให้ความถี่ออสซิลเลเตอร์เท่ากับความถี่อินพุต ซึ่งเรียกว่าอยู่ในภาวะล็อกไว้ ดังนั้น โวลท์เดจเฉลี่ยที่ป้อนให้กับ VCO จะขึ้นฟังก์ชันกับความถี่ของสัญญาณอินพุตและโวลท์เดจ เอาท์พุทของ LPF ก็คือไดโมดูเลเทด เอาท์พุท (Demodulated output) เมื่อสัญญาณอินพุตเป็นพรีเคมซีพมูเลท (Frequency Modulate : FM) เทคนิคของ PLL จะใช้ประโยชน์ได้มาก เช่น Demodulation ของ FM Am และ FSK, ToneDecoder Frequency Synthesizer, Bit Synchronizers เป็นต้น



หลักการทางานเบื้องต้นของ PLL อธิบายได้ดังนี้ เมื่อยังไม่มีสัญญาณอินพุตป้อนให้กับแรงดันควบคุม $V_d(t)$ ก็จะเป็นศูนย์และ VCO จะทางานตามความถี่ f_0 ที่คงไว้ เรียกว่าความถี่ Free-running ถ้าสัญญาณอินพุตป้อนให้กับระบบ PD ก็จะเปรียบเทียบเฟสและความถี่ของอินพุตกับความถี่ VCO และสร้างแรงดัน Error $V_e(t)$ ซึ่งสัมพันธ์กับความต่างเฟสและความถี่ของสัญญาณทั้งสอง วงจร error นี้ก็จะถูกกรองให้ความถี่ต่ำผ่านไป และป้อนกลับไปยัง VCO ในลักษณะนี้ $V_{se}(t)$ จะบังคับค่าของความถี่ของ VCO เปลี่ยนแปลงไปในทิศทางที่ลดความแตกต่างของความถี่ f_0 กับความถี่ของสัญญาณอินพุต f_1 ลง ถ้า f_1 ใกล้เคียงกับ f_0 ด้วยคุณสมบัติการป้อนกลับของ PLL จะทำให้ VCO เกิดการ Synchronized หรือเรียกว่าล็อกกับสัญญาณอินพุต เมื่ออยู่ในสภาวะล็อกความถี่ VCO จะเท่ากับความถี่ของสัญญาณอินพุตและเฟสต่างกันเล็กน้อย ความต่างเฟส ที่ได้มีความสำคัญเพื่อให้ได้แรงดัน error $V_0(t)$ สำหรับไปเลื่อนความถี่ของ VCO ไปยังค่าความถี่สัญญาณอินพุต f_1 เพื่อรักษาสภาวะล็อกไว้ความสามารถในการปรับสภาพตัวเองให้ถูกต้องได้ของระบบนี้ ทำให้ PLL สามารถแทรก (Track) การเปลี่ยนแปลงความถี่ของสัญญาณอินพุตได้ในขณะที่อยู่ในสภาวะล็อกตลอดช่วงความถี่ PLL สามารถดำรงสภาวะล็อกกับสัญญาณอินพุตไว้ได้ เราเรียกว่าพิสัยในสภาวะล็อก หรือ Lock range ของระบบตลอดช่วงความถี่ ซึ่ง PLL สามารถยึดสภาวะล็อกไว้ได้จริงกับสัญญาณอินพุต คือพิสัยการเข้าสู่สภาวะล็อก หรือ capture range ของระบบซึ่งพิสัยนี้จะต่างกับพิสัยแรกจะไม่กว้างกว่าพิสัยแรกซึ่งอธิบายต่อไป



ล็อกและการเข้าสู่สภาวะล็อก



รูปที่ 2.39 แสดง Transfer Characteristics ของความถี่กับค่าโวลเตจ V_d

ก) การมีความถี่อื่นพุ่งเพิ่มขึ้น ข) การมีความถี่อื่นพุ่งลดลง

จากรูปแสดงถึง Transfer Characteristic ของความถี่กับค่าโวลเตจ V_d ในตอนนี้เราจะได้พิจารณาถึงขณะที่ลูบยังไม่ได้อยู่ในสภาวะล็อก PD จะเป็นตัว Mixer สัญญาณอินพุตและสัญญาณของ VCO และทำให้ผลรวมและผลต่างของความถี่ f_1+f_0 อย่างไม่ก็ความถี่ ในขณะนั้นผลรวมและผลต่างของความถี่ทั้งสองอยู่นอกขอบเขต (Band edge) ของ LPF และถูกรองทิ้งไป ซึ่งจะทำให้ไม่มีสัญญาณบ้อนกลับมา VCO ทำให้ความถี่ของ VCO อยู่ที่ความถี่ freerunning (f_0) คงเดิม

เมื่อความถี่ f_1 ไกลกับ f_0 ของ VCO จะทำให้ส่วนผลต่างของ $f_1 - f_0$

ลดลงและจะใกล้ขอบเขตของ LPF และในช่วงนี้บางส่วนของผลต่างความถี่ ($f_1 - f_0$) จะผ่าน LPF ไม่ได้ ซึ่งจะทำให้ VCO มีความถี่เข้าใกล้อินพุต ในขณะที่ f_1-f_0 จะลดลงและจะมีสัญญาณไม่วากรณ์ใดๆ ทั้งสิ้น อีกทั้งยังมีเหตุดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งหมการนำไปใช้

ผ่าน LPF ไปยัง VCO มากขึ้นนี้คือ ขบวนการย้อนกันแบบบวก (Positive feedback) ซึ่งจะเป็นตัว
เอกลการสำคัญที่ทำให้ PLL เกิดการล๊อคอินพุทได้

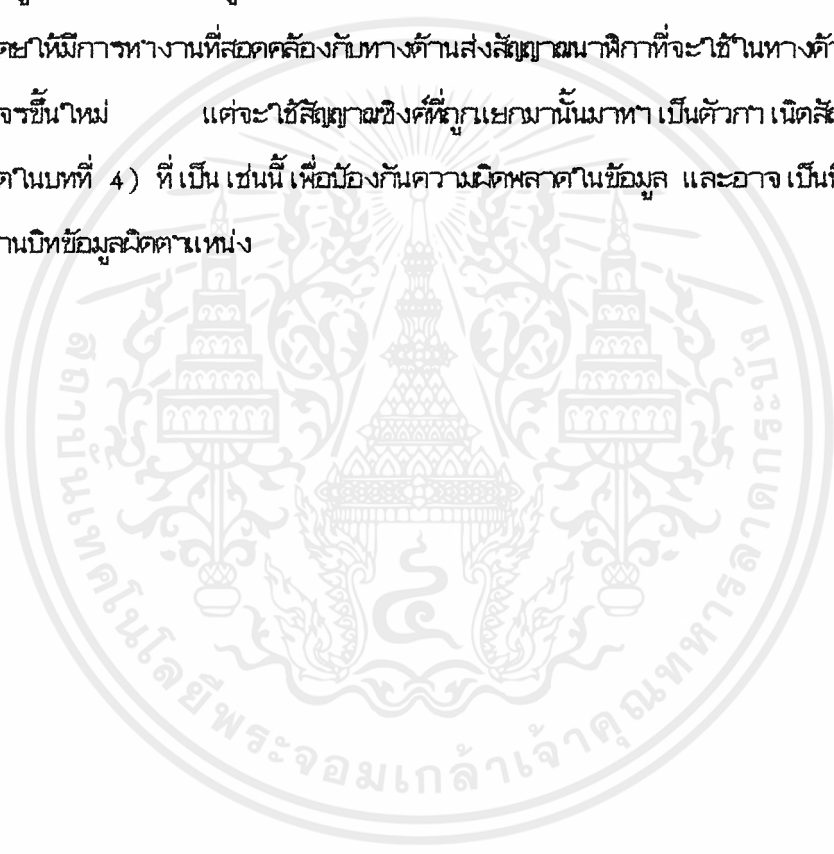
ในขณะที่ค่าแรงดัน error $V_0(t)$ เริ่มผ่าน LPF ได้แสดงว่า PLL เริ่ม
"Capture" หลังจากนั้นความถี่ f_0 ของ VCO เข้าใกล้ความถี่ f_1 ของอินพุท จนกระทั่ง f_0
 $= f_1$ ในภวณะนี้เราเรียกว่า PLL อยู่ในสภาวะล๊อค (in lock) เมื่อ PLL อยู่ในสภาวะล๊อคค่า $V_e(t)$
จะมีค่าคงที่ซึ่งเกิดจากความต่างเฟสทำให้ได้ Control Voltage $V_d(t)$ ซึ่งเป็นค่า
เฉลี่ยของแรงดัน error เป็นค่าค่ากระแสตรง (dc) คงที่ใช้ควบคุม VCO ให้มีความถี่เท่ากับความถี่
ของสัญญาณอินพุท

จากรูปก. ในขณะที่ PLL เริ่มล๊อคกับสัญญาณอินพุท หมายถึง $f_1 = f_0$ ซึ่งเป็นความถี่ค่า
สุดของการเริ่ม capture ความถี่สัญญาณ VCO จะเข้าใกล้สัญญาณอินพุท จากนั้นการล๊อคของ PLL จะขึ้น
อยู่กับความสามารถของ VCO ที่จะเปลี่ยนความถี่ไปโดยมี Slope การเปลี่ยนแปลงของความถี่กับ
Control Voltage $V_d(t)$ และ เมื่อความถี่ $f_1 = f_0$, จะทำให้ $V_d(t) = 0$ ลูพอจะคิด
ตามสัญญาณเข้าจนกระทั่งถึงความถี่ f_2 ซึ่งเป็นความถี่สูงสุดของ Lock range ก็จะหลุดจากสภาวะล๊อค
และเมื่อ f_1 ลดลงจะเป็นในรูป ข. เมื่อ $f_1 = f_3$ ซึ่งเป็นความถี่สูงสุดของการเริ่ม Capture
Range จะเริ่มล๊อคอินพุท สังเกตว่าจุดสูงสุดของ Capture Range จะต่ำลงกว่าจุดสูงสุดของ Lock
Range เมื่อ PLL เข้าสู่สภาวะล๊อค การล๊อคจะขึ้นอยู่กับการเปลี่ยนแปลงตาม
อินพุท เช่นเดิม และเมื่อ f_1 ลดลงเรื่อย ๆ จน $f_1 = f_4$ ซึ่งเป็นจุดต่ำสุดของ Lock Range
ก็จะทำให้ VCO หลุดจากสภาวะล๊อคอีก สังเกตว่าจุดต่ำสุดนี้จะต่ำกว่าจุดต่ำสุดของ Capture Range จะ
เห็นว่า

$$f_1 \text{ ถึง } f_3 \text{ คือ Capture Range } (2f_c)$$
$$f_4 \text{ ถึง } f_2 \text{ คือ Lock Range } (2f_L)$$
$$\text{และ } f_c \quad f_L$$

Synchronizer

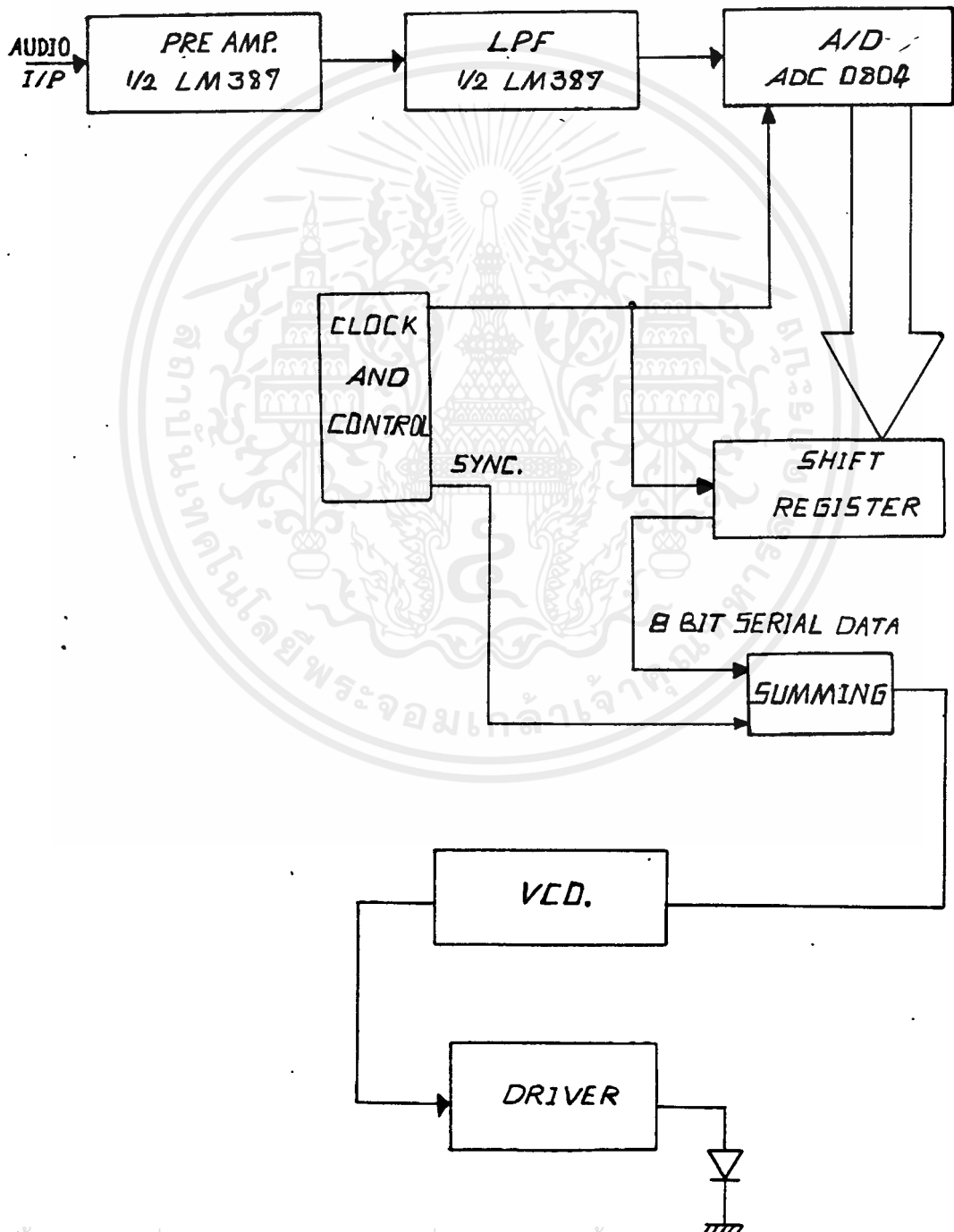
เป็นวิธีการของภาครับในการหาให้สัญญาณที่รับได้นั้นมีการทำงาน เป็นที่สอดคล้อง (Synchronous) กับกับสัญญาณที่ถูกส่งมา ทางด้านส่งจะมีการสร้างสัญญาณซิงค์ (Sync.) หรือซิงโครนัส (Synchronous) เพื่อเป็นตัวกำหนดการเริ่มต้นและสิ้นสุดของข้อมูล สัญญาณซิงค์นี้จะถูกสร้างมาจากสัญญาณนาฬิกาของวงจรภาคคออสซิลเลเตอร์ (Oscillator) (ดังมีรายละเอียดในบทที่ 3) เมื่อถึงด้านรับ สัญญาณซิงค์จะถูกแยกออกจากข้อมูลโดยลิ้นเชิง เพื่อที่จะนำสัญญาณซิงค์นั้นมาเป็นตัวกำหนดจังหวะใหม่ให้ทางด้านรับโดยให้มีการทำงานที่สอดคล้องกับทางด้านส่งสัญญาณนาฬิกาที่จะใช้ในทางด้านรับจะไม่มี การสร้างวงจรขึ้นใหม่ แต่จะใช้สัญญาณซิงค์ที่ถูกแยกมานั้นมาทำเป็นตัวกำเนิดสัญญาณนาฬิกาขึ้นใหม่ (รายละเอียดในบทที่ 4) ที่เป็นเช่นนี้เพื่อบริเวณความผิดพลาดในข้อมูล และอาจเป็นที่มาของสัญญาณเฟสชิ่ง เนื่องจากอ่านบิตข้อมูลผิดตำแหน่ง



บทที่ 3

การออกแบบเครื่องส่ง

3.1 Block Diagram และการทำงาน



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากบล็อกไดโอดแอมพลิฟายเออร์เสียงจะถูกนำมาขยายให้มีขนาดใหญ่ขึ้นด้วยวงจรขยายปรีแอมป์ (Pre Amp) หลังจากที่ได้สัญญาณอะนาล็อกที่มีขนาดความถี่ต้องการแล้ว สัญญาณอะนาล็อกนั้นจะถูกนำมาทำให้มีช่วงความถี่ปฏิบัติงาน (Band Width) โดยผ่านวงจรกรองผ่านความถี่ต่ำ (Low Pass Filter) วงจร A/D จะทำการแปลงจากอนาล็อกอินพุตที่มีช่วงความถี่ปฏิบัติงานแล้วให้เป็นสัญญาณข้อมูลแบบดิจิทัล 8 บิต ข้อมูลดิจิทัล 8 บิตที่ได้จากเอาต์พุตของ A/D นี้เป็นแบบขนาน ซึ่งเป็นเรื่องยากในการส่งข้อมูลแบบขนาน ดังนั้นจึงต้องแปลงข้อมูลดังกล่าวให้อยู่ในรูปอนุกรม โดยใช้ชิพรีจิสเตอร์ (Shift Register) ชนิดที่แปลงจากข้อมูลขนานเป็นข้อมูลอนุกรม ข้อมูลอนุกรมที่ได้นั้นไม่สามารถที่จะถูกแยกได้ว่าเป็นข้อมูลชุดเดียวกันหรือไม่ เนื่องจากจะมีการห่อของข้อมูลไปเรื่อยๆ เพื่อแก้ปัญหาที่เกิดขึ้นดังกล่าวจึงต้องมีสัญญาณที่บอกถึงการเริ่มต้นและสิ้นสุดของข้อมูล นั่นก็คือสัญญาณซิงค์ ซึ่งจะถูกรูปร่างมาจากส่วนของ Clock และ Control ส่วนนี้จะทำหน้าที่ผลิตสัญญาณนาฬิกา เพื่อบ้อนให้กับ A/D และ ชิพรีจิสเตอร์ และผลิตสัญญาณซิงค์ดังกล่าว ทั้งสัญญาณซิงค์และข้อมูล 8 บิต อนุกรมจะถูกนำมารวมกันโดยผ่านวงจรรวมสัญญาณ (Summing Amplifier) สัญญาณที่ได้จะถูกขยายด้วยอัตราขยายที่ไม่เท่ากัน กล่าวคือ สัญญาณซิงค์จะถูกขยายด้วยอัตราที่มากกว่าข้อมูลสัญญาณที่ได้จะถูกมอดูเลชัน (Modulation) ด้วยวิธีการ FSK Modulation โดยใช้ Voltage Controlled Oscillator กล่าวคือ เมื่อแรงดันต่างกัน ความถี่ที่ถูกรูปร่างจะมีความถี่ต่างกันด้วย ความถี่ที่ได้จะมี 3 ความถี่ คือความถี่ของซิงค์ประมาณ ความถี่ของข้อมูล high level ประมาณ 820 KHz และความถี่ของข้อมูล low level ประมาณ 600 KHz ค่าเฉลี่ยที่ได้จากข้อมูล high level และ low level คือค่าความถี่ศูนย์กลาง (Center Frequency) หรือความถี่ของสัญญาณพาหะ (Carrier) ในการส่งจะส่งผ่านเส้นใยนำแสง ดังนั้นจึงต้องมีการขับ LED โดยใช้วงจรส่วน LED Driver สัญญาณข้อมูลทั้งหมดจะหาให้อยู่ในรูปแสง และส่งผ่านเส้นใยนำแสง (Fiber optic) เพื่อส่งไปยังภาครับต่อไป

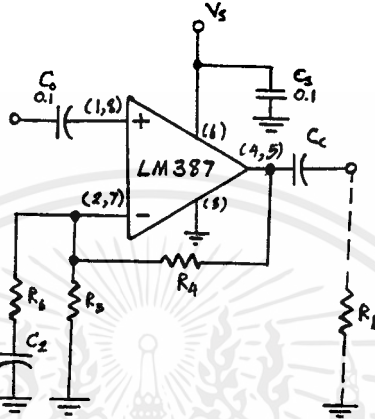
3.2 วงจร Pre Amplifier

วงจรปรีแอมป์เป็นวงจรส่วนแรกของภาคส่ง ซึ่งทำหน้าที่ขยายสัญญาณเสียงแอมพลิฟายเออร์ที่มีค่ามากพอที่จะส่งไปยังส่วนต่อไป ปรีแอมป์ที่ใช้จะเป็นออปแอมป์เบอร์ LM387 LM387 มีราคาถูก และมีออปแอมป์ 2 ตัวอยู่ในตัวซึ่งมี 8ขา ปรีแอมป์นี้เป็นแอมป์ที่มีสัญญาณรบกวนต่ำ สัญญาณรบกวนเสมือนที่เข้ามาทั้งหมดโดยทั่วไปจะมีค่า $0.65\mu V_{RMS}$ ($R_s = 600 \Omega$, 100 Hz - 10kHz) และ Supply Rejection Ratio เป็น 110dB ($f = 1 \text{ KHz}$)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้拿去ใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Non-Inverting AC Amplifier

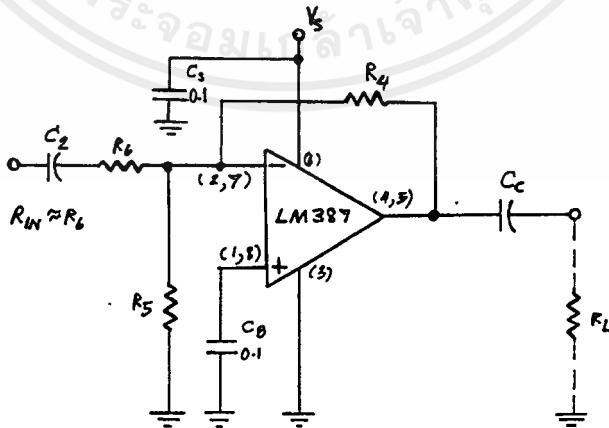
สำหรับการใช้งานสัญญาณระดับต่ำซึ่งต้องการการกระหนาบของสัญญาณรวมกันที่เหมาะสม รูปแบบ non-inverting ยังคงเป็นที่นิยมมากที่สุด การออกแบบใช้งานและวงจรได้แสดงไว้ ดังนี้



รูปที่ 3.1 วงจร Non-inverting AC amplifier

Inverting AC Amplifier

สำหรับสัญญาณระดับสูง (มากกว่า 300 mV) รูปแบบ inverting อาจจะถูกใช้เพื่อเอาชนะจำกัดโอเวอร์โหลด(Over Load)ของอินพุตมาก การขยายต่ำกว่า 20dB เป็นไปได้กับรูปแบบ inverting เนื่องจากตัวต้านทาน R5 ซึ่งเป็น DC โวลต์ ทาหน้าที่เป็นตัวแบ่งศักดาของสัญญาณที่เข้ามา สมการ การออกแบบและวงจรมแสดงไว้ดังนี้

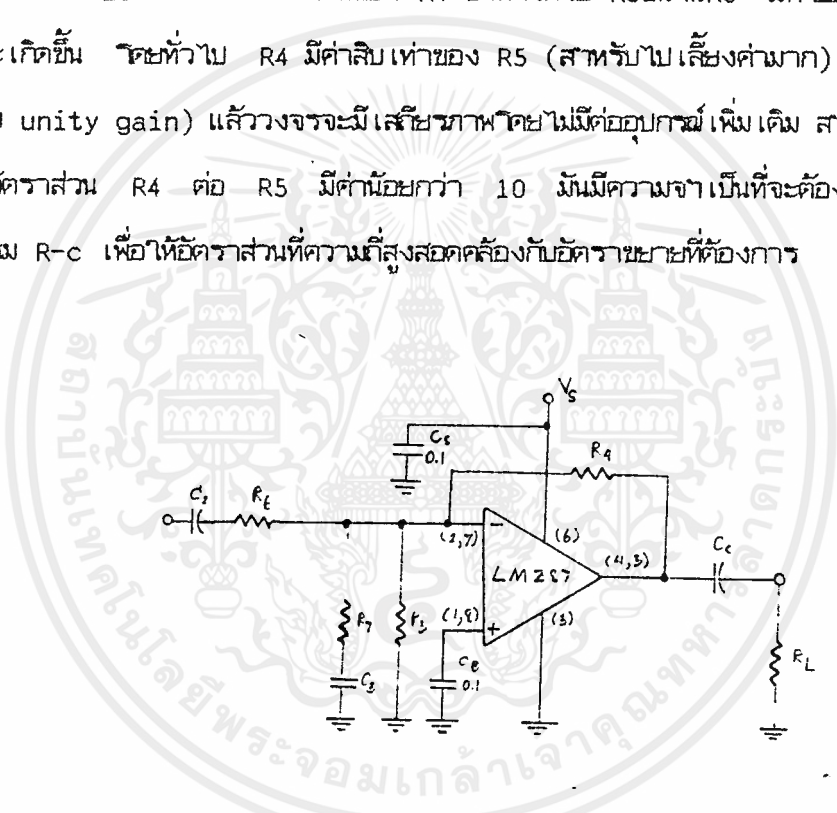


รูปที่ 3.2 วงจร Inverting AC amplifier

Unity Gain Inverting Amplifier

ความต้องการสำหรับเสี่ยภาพ unity gain คือว่าอัตราขยายจาก ขา2 (หรือ 7) เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไปยัง ขา4 (หรือ 5) จะต้องเป็นอย่างน้อย 10 เท่า ที่ทุกความถี่ การขยายนี้เป็นอัตราส่วนของตัวไม่ว่ากรณีต่าง ๆ กัน มิได้ให้ที่แน่ชัดและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กำหนดย้อนกลับ R4 ทหารด้วยอิมพีแดนซ์ทั้งหมดมองจากอินพุทเทียบกับกราวน์ สมมติว่าอิมพีแดนซ์ของ แหล่งกำเนิดมีค่าน้อยมากจนละทิ้งได้ ในรูปที่ 3.2 อิมพีแดนซ์สุทธิซึ่งมองจากอินพุทคือ R5ขนานR6 ที่ ความถี่สูง (ที่ความถี่ต่ำ ซึ่ง loop gain มีค่ามาก อิมพีแดนซ์ที่ inverting input มีค่าน้อยมาก และ R5 เหมือนกันไม่มีอยู่ ที่ความถี่สูงขึ้น loop gain มีค่าลดลง เป็นเหตุให้ inverting impedance เพิ่มขึ้นจนถึงขีดจำกัดซึ่งกำหนดโดย R5 ที่ความถี่เหล่านี้ R5 จะทำหน้าที่เป็นคัมเบงแรงดันสำหรับคัทคก อินพุทซึ่งมีการขยาย 10 เท่า ถ้าอัตราส่วนของ R4 ซึ่งทหารด้วย R5ขนานR6 มีค่าอย่างน้อย 10 แล้ว เสรีภาพจะเกิดขึ้น ใดๆทั่วไป R4 มีค่าสิบเท่าของ R5 (สำหรับโพเสียงค่ามาก) และ R8 เท่ากับ R4 (สำหรับ unity gain) แล้ววงจรจะมีเสรีภาพโดยไม่มีต่ออุปกรณ์เพิ่มเติม สำหรับการใช้งานที่ แรงดันต่ำซึ่งอัตราส่วน R4 ต่อ R5 มีค่าน้อยกว่า 10 มันมีความจำเป็นที่จะต้องต่อ R5 ขนนาน กับวงจรอนุกรม R-c เพื่อให้อัตราส่วนที่ความถี่สูงสอดคล้องกับอัตราขยายที่ต้องการ



รูปที่ 3.3 วงจร Unity gain inverting amplifier

ตัวอย่างเช่น ในคำขอแบบ unity gain สัญญาณรบกวนค่า inverting amplifur ให้ทำงานที่โพเสียง 12 V ซึ่งมีความสามารถความถี่ต่ำถึง 20 Hz input impedance เท่ากับ 20k และ load impedance เท่ากับ 100k

การออกแบบ

1. $R_{in} = R_6 = 20k$
2. สำหรับ unity gain $R_4=R_6$, $R_4=20k$
3. จากรูปที่ 3.2

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการ $R_4 = (V_S/2.6 - 1)R_5 = (12/2.6 - 1)R_5$ โยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลง $R_4 = 3.62 R_5$ อ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เพราะฉะนั้น

$$R5 = R4 / 3.62 = 20k / 3.62 = 5,525$$

ใช้ R5 = 5.6k

$$4. R5//R6 = \frac{5.6k \times 20k}{5.6k + 20k} = 4,375$$

$$5. R7 < \frac{R_Y R_4}{10R_Y - R_4} = \frac{4375 \times 20 \times 10^3}{10 \times 4375 - (20 \times 10^3)} = 3,684$$

ใช้ R7 = 3.6 k

6. สำหรับ $f_0 = 20 \text{ Hz}$

ใช้ $C_z = 0.5 \mu\text{F}$

7. ในการเลือก C_3 ให้เป็นค่าคงที่ค่าหนึ่ง ในขณะที่สของมันมีที่ความถี่สูง เท่านั้น

ความถี่ที่สะดวกในการคำนวณ คือ 20kHz

ใช้ $C_3 = 0.002 \mu\text{F}$

3.3 วงจร Low Pass Filter

ตามทฤษฎีการส่งตัวอย่างของแชนนอน(Shannon) กล่าวว่าการจะส่งตัวอย่างได้ถูกต้องก็คือ เมื่อต้องรู้ค่าแถบความถี่ปฏิบัติการของสัญญาณ หรืออีกนัยหนึ่งสัญญาณต้องมีแถบความถี่ปฏิบัติการจริงจะหา การส่งตัวอย่างได้ดังนั้น ในบางครั้งเพื่อให้มั่นใจว่าสัญญาณที่ทำการประมวลผลถูกประมวลผลอย่างถูกต้อง ในภาคที่สองจึงอาจมีวงจรกรองผ่านความต่ำ (Low-pass filter) ไว้เป็นตัวกำหนดแถบความถี่ปฏิบัติการของสัญญาณ

ถ้าเรามีแถบความถี่ปฏิบัติการ (Band Width) เท่ากับ f_0 แล้ว เราสามารถหาการส่ง ตัวอย่าง โดยที่สัญญาณที่ได้ไม่สูญเสียเนื้อหาสำคัญ ก็คือ เมื่อความถี่ในการส่งตัวอย่าง f_s มีค่ามากกว่า หรือ เท่ากับสอง เท่าของความถี่ f_0 หรือ

$$f_s \geq 2f_0$$

โดยทั่วไปเราจะส่งตัวอย่างด้วยค่าความถี่ $f_{SN} = 2f_0$ พอดี ค่าความถี่นี้เมื่อ เรียบกว่าความถี่ นิควิสต์ (Nyquist Frequency) และคาบเวลา $T_n = 1/(2f_0)$ นี้ เรียบกว่าช่วงการส่งตัวอย่างนิควิสต์ (Nyquist Interval) ห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในการปฏิบัติเพื่อหลีกเลี่ยงผลของปรากฏการณ์ไม่เป็นเชิงเส้น (Nontlinearity) ที่อาจเกิดจากการลู่เข้าอย่าง เรามักใช้ความถี่ในการลู่เข้าอย่าง f_s มากกว่าค่าความถี่นิกวิต หรือ f_{SN} ขึ้นไป ส่วนจะมีค่ามากกว่าเท่าใดนั้นขึ้นกับลักษณะงาน ไม่ได้มีการกำหนดที่แน่นอน ซึ่งอาจใช้เป็น $2.5f_0$ หรือ $5f_0$ หรือ $10f_0$ ก็ได้

รูปแบบของวงจรกรองผ่านความถี่ต่ำสำหรับ LM387 ได้แสดงไว้ดังรูป ขึ้นตอนในการออกแบบจะเลือก R_4 ที่หลังสุด ถ้ารู้ค่า A_0 , และ f_c แล้ว สามารถคำนวณหาค่า K ได้ดังนี้

$$K = 1 / (4Q^2(A_0 + 1))$$

เลือกค่า C_1 ให้สะดวกที่สุด

$$\text{จะได้ว่า } C_2 = KC_1$$

คำนวณค่า ω_0 จาก $\omega_c = 2\pi f_c$ และ Q

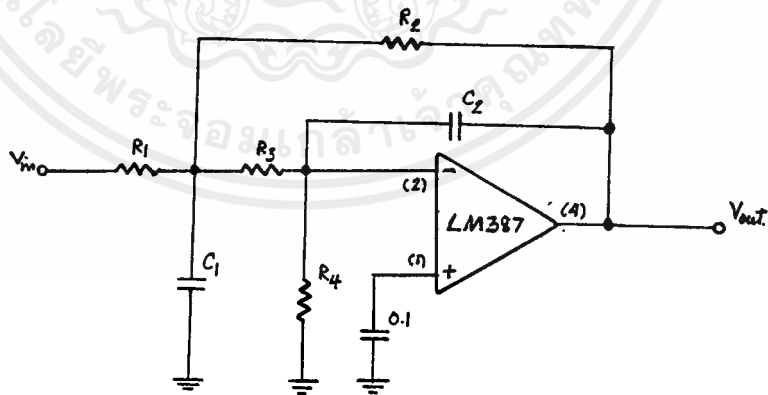
แล้ว

$$R_2 = 1 / (2Q\omega_0 C_1 K)$$

$$R_3 = R_2 / (A_0 + 1)$$

$$R_1 = R_2 / A_0$$

$$R_4 = (R_2 + R_3) / (V_s / 2.6 - 1)$$



รูปที่ 3.4 วงจร Low pass filter

ตัวอย่างเช่น ในการออกแบบวงจรกรองผ่านความถี่ต่ำ แบบ 2 โพล โดยมี Pass band gain $A_0=1, Q = 0.707$ (Butterworth) และ Corner frequency $f_c = 10\text{KHz}$ Supply $V_s = 12\text{V}$ เอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การออกแบบ

$$1. \quad K = \frac{1}{(4)(0.707)^2 (1+1)} = 0.25$$

$$2. \quad \text{เลือก } C_1 = 560\text{pF}$$

$$3. \quad C_2 = KC_1 = (0.25)(560\text{pF}) = 140\text{pF}$$

$$\text{ใช้ } C_2 = 150\text{pF}$$

$$4. \quad \text{เนื่องจาก } \omega = 0.707, \omega_0 = \omega_c = 2\pi f_c$$

$$5. \quad R_2 = \frac{1}{(2)(0.707)(2\pi)(10\text{kHz})(560\text{pF})(0.25)} = 80.4\text{k}$$

$$\text{ใช้ } R_2 = 82\text{k}$$

$$6. \quad R_3 = \frac{82\text{k}}{2} = 41\text{k}$$

$$\text{ใช้ } R_3 = 39\text{k}$$

$$7. \quad R_1 = \frac{R_2}{1} = R_2 = 82\text{k}$$

$$8. \quad R_4 = \frac{82\text{k} \times 39\text{k}}{(12 - 1)}$$

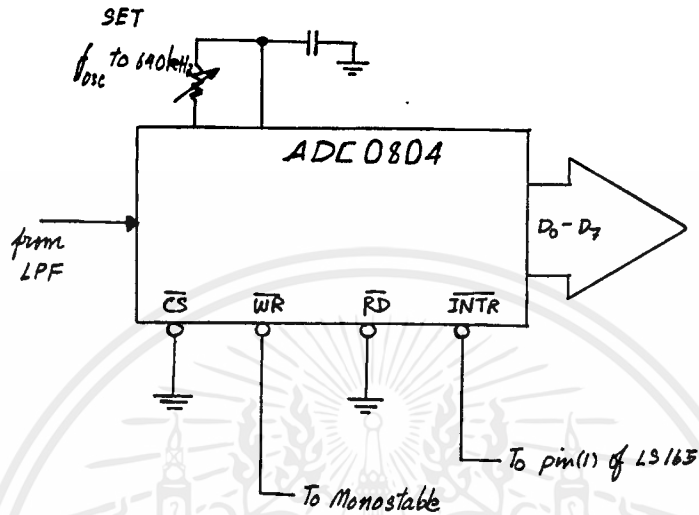
$$2.6$$

$$\text{ใช้ } R_4 = 33\text{k}$$

3.4 วงจร Analog to Digital Converter

สัญญาณเสียงที่ผ่านวงจรของผ่านความถี่ต่ำมาแล้วนั้น จะมีสัญญาณรบกวนสูงมาก เมื่อส่งไประยะทางไกล ๆ สัญญาณรบกวนที่เข้ามารบกวนซึ่งเป็นสัญญาณอะนาล็อกเช่นกัน มีตำแหน่งและแอมพลิจูด ไม่แน่นอน จึงยากต่อการกำจัดและป้องกัน แต่สัญญาณดิจิทัลมีเพียง 2 ระดับคือ "0" และ "1" สัญญาณรบกวนที่มีขนาดเล็ก ๆ จึงไม่มีผลกระทบ ดังนั้น จึงนำสัญญาณดิจิทัลมาช่วยในการสื่อสารทางไกล โดยเปลี่ยนสัญญาณอะนาล็อกเป็นดิจิทัลด้วย A/D ส่งไปตามสายแล้วรับสัญญาณดิจิทัล เปลี่ยน เป็นอะนาล็อกอีกครั้งด้วย D/A

ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.5 วงจร A/D

4-2

Digital Control Inputs

ดิจิทัลคอนโทรลอินพุตมีอยู่ด้วยกัน 3 ขา คือ CS, RD และ WR สำหรับการใช้งานที่ไมใช้ไมโครโปรเซสเซอร์ ขาอินพุต CS (ขา 1) และขาอินพุต RD (ขา 2) จะถูกต่อลงกราวด์ ขาอินพุตซึ่ง active Low จะเป็นตัวควบคุมการทำงานของ A/D กล่าวอีกนัยหนึ่งก็คือ A/D จะทำการแปลงตรงเวลาที่ขา WR นั้นเป็น low ดังนั้นจึงออกแบบให้เชื่อมกับ Monostable Multivibrator

Start

Analog Differential Voltage Inputs and Common Mode Rejection

A/D นี้มีความยืดหยุ่นในการใช้งานอีก เนื่องจากความแตกต่างของแรงดันอะนาล็อกอินพุตอินพุต Vin (-) (ขา 7) สามารถที่จะใช้เพื่อลบค่าแรงดันคงที่จากค่าอินพุตที่อ่านได้ และยังมีการชดเชยในการแปลงสัญญาณกระแส 4mA - 20mA ยิ่งไปกว่านั้นสัญญาณรบกวน common mode สามารถทำให้ลดลงโดยใช้ความแตกต่างของอินพุต ช่วงเวลาระหว่างการสุ่มตัวอย่าง Vin (+) และ Vin (-) คือ 4 ครั้งของคาบสัญญาณนาฬิกา แรงดัน error สูงสุด เนื่องจากความแตกต่างที่เล็กน้อยของเวลาระหว่างการสุ่มแรงดันอินพุตทั้งสอง คือ

$$\Delta V_e(\max) = 2\Delta V_p f_{cm} \cdot (4.5/f_{CLK})$$

ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาดังกล่าวเพื่อใช้ในการเผยแพร่โดยไม่ได้รับอนุญาตจากเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- ซึ่ง ΔV_e คือ แรงดัน error เนื่องจาก Sampling delay
- V_p คือ ค่ายอดของ common-mode voltage
- f_{cm} คือ common mode frequency

ตัวอย่างเช่น เพื่อที่จะรักษา error ให้เป็น 1/4 LSB (5 mV) เมื่อทำงานที่ common-mode frequency, f_{cm} 50 Hz และใช้ A/D clock, f_{clk} 640 KHz จะมีค่า V_p ดังนี้

$$V_p = (\Delta V_{e(max)} \cdot f_{CLK}) / (9 \cdot f_{cm})$$

หรือ

$$V_p = [(5 \times 10^{-3})(640 \times 10^3)] / (6.28)(50)(4.5)$$

จะได้ว่า

$$V_p = 2.3 \text{ V}$$

Input Bypass Capacitors

Bypass Capacitor ที่อินพุทจะเฉลี่ยประจุและทำให้กระแส DC ไหลผ่านตัวต้านทานเอาต์พุทของแหล่งกำเนิดสัญญาณอะนาล็อก ประจุนี้จะไม่เป็นผลดีสำหรับการแปลงที่ต่อเนื่อง ด้วยแรงดันอินพุท $V_{in} (+)$ ที่เต็มสเกล สำหรับการแปลงที่ต่อเนื่องซึ่งมีความถี่ของสัญญาณนาฬิกา 640 KHz และ อินพุท $V_{in} (+)$ 5V กระแส DC จะมีค่าสูงสุดประมาณ 5mA เพราะฉะนั้น bypass capacitor ไม่ควรจะถูกใช้ที่อะนาล็อกอินพุท หรือ ขา VREF/2 สำหรับความต้านทานที่สูง (>1k) ถ้า input bypass capacitor มีความจำเป็นสำหรับการของสัญญาณรบกวน และความต้านทานสูงถูกต้องการเพื่อลดขนาดของตัวเก็บประจุ ผลของแรงดันตกคร่อม ความต้านทานอินพุทจะถูกกำจัดด้วยการปรับเต็มสเกล

Input Source Resistance

ค่ามากของความต้านทานแหล่งกำเนิด ซึ่ง input bypass capacitor ไม่ถูกใช้ จะไม่ทำให้เกิด error ถ้าวงจรรองรับความถี่ต่ำที่ต้องการในระบบ จะต้องใช้ความต้านทานอนุกรมค่าต่ำ สำหรับส่วน passive RC หรือเพิ่ม op amp RC active low pass filter สำหรับการใช้งานความต้านทานแหล่งกำเนิดที่น้อยกว่า 1k bypass capacitor 0.1µF ที่อินพุทจะป้องกันสัญญาณรบกวนที่เกิดขึ้น เนื่องจากความเหนี่ยวนำอนุกรมของสายไฟที่ยาว ความต้านทานอนุกรม 100

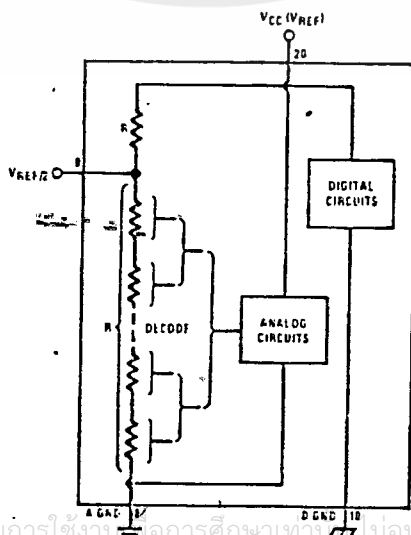
สามารถที่จะถูกใช้เพื่อแยกตัวเก็บประจุนี้ ทั้ง R และ C จะถูกต่อออกมาสู่บ่อนกลับจากเอาต์พุทของ op amp

Noise

สายที่ต่อต้านอะนาล็อกอินพุท (ขา 6 และ 7) ควรจะหาให้สั้นเท่าที่จะหาได้ เพื่อลดสัญญาณรบกวนที่จะเพิ่มขึ้นเข้ามา ทั้งสัญญาณรบกวนและการคับ เบิ้ลิ่งของสัญญาณมาศึกษาทางดิจิทัลที่ไม่ต้องการต่ออินพุทนี้ จะทำให้ระบบเกิดความผิดพลาดได้ โดยทั่วไปแล้วความต้านทานแหล่งกำเนิดควรจะให้ต่ำกว่า 5 k สำหรับค่าความต้านทานที่สูงกว่านี้จะเป็น เหตุทำให้สัญญาณรบกวนที่ไม่ต้องการของระบบเกิดขึ้น ตัวเก็บประจุบายพาสด้านอินพุท (Input Bypass Capacitor) ที่ต่อจากอะนาล็อกอินพุทลงกราวด์ จะเป็นตัวกำจัดสัญญาณรบกวนที่เข้ามาในระบบ แต่ก็สามารถที่จะทำให้เกิดการผิดพลาดของสเกลได้ เนื่องจากตัวเก็บประจุนี้จะเป็นตัว เปลี่ยนกระแสสวิชชิงด้านอินพุท (Transient Input Switching Current) ของ A/D ความผิดพลาดของสเกลขึ้นอยู่กับทั้งความต้านทานแหล่งกำเนิดที่มีค่ามาก และตัวเก็บประจุบายพาสด้านอินพุท ความผิดพลาดนี้สามารถที่จะถูกกำจัดได้โดยใช้การปรับ เต็มสเกลของ A/D ซึ่งมีความต้านทานแหล่งกำเนิดและตัวเก็บประจุบายพาสต่ออยู่

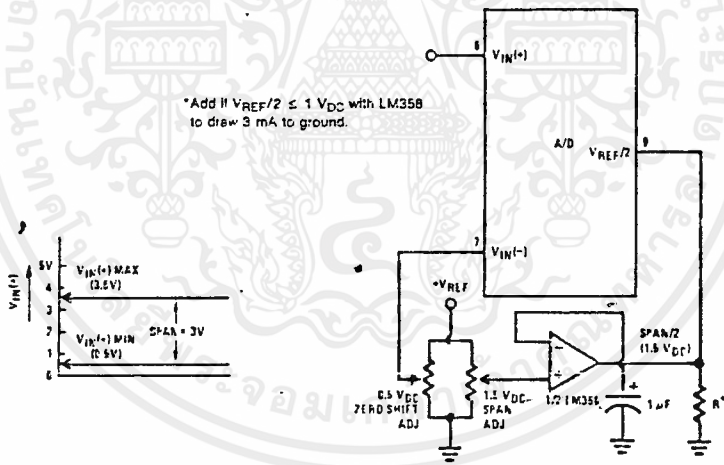
Span Adjust

เพื่อให้มีความยืดหยุ่นในการใช้งานสูงสุด A/D เหล่านี้จึงถูกออกแบบมาเพื่อให้ใช้ได้กับไฟเลี้ยง 5V_{DC}, 2.5V_{DC} และแรงดันอ้างอิงที่ปรับค่าได้ ดังแสดงไว้ในรูปที่ 3.6



เป็นที่น่าสังเกตว่า แรงดันอ้างอิงสำหรับไอซีนี้ เป็นได้ทั้งแบบครึ่งหนึ่งของแรงดันไฟเลี้ยงหรือ เท่ากับแรงดันที่ใส่ให้ที่ขา $V_{REF}/2$ จากภายนอก แรงดันอ้างอิง $5 V_{DC}$ สามารถที่จะถูกใช้ เป็นไฟเลี้ยงที่ขา V_{CC} (V_{REF}) หรือแรงดันที่น้อยกว่า $2.5 V_{DC}$ สามารถที่จะถูกใส่ไว้ที่ขา $V_{REF}/2$ เพื่อให้ความยืดหยุ่นในการใช้งานสูงขึ้น อัตราการขยายภายในต่อ $V_{REF}/2$ เป็น 2 ทำให้ความแตกต่างของแรงดันอินพุตที่เต็มสเกลมีค่าเป็นสองเท่าของแรงดันที่ขา 9

ตัวอย่างสำหรับการใช้แรงดันอ้างอิงปรับค่าได้ คือการปรับช่วงหาแรงดันไดนามิกของอะนาล็อกอินพุตให้เหมาะสม ถ้าแรงดันอะนาล็อกอินพุตมีผลจาก $0.5V_{DC}$ ถึง $3.5 V_{DC}$ แทนที่จะเป็น $0V$ ถึง $5V_{DC}$ ช่วงกว้างจะเป็น $3 V$ ดังรูปที่ 3.7 ถ้า $0.5 V_{DC}$ ถูกต่อไว้ที่ขา $V_{in}(-)$ เพื่อจุดซีมออฟเซต แรงดันอ้างอิงสามารถที่จะถูกทำให้เท่ากับครึ่งหนึ่งของ $3V$ หรือ $1.5 V_{DC}$ ขณะนี้ A/D จะเข้ารหัสสัญญาณที่ $V_{in}(+)$ จาก $0.5 V$ ถึง $3.5V$ ซึ่งมี $0.5 V$ ตรงกับค่าศูนย์ และ $3.5 V_{DC}$ ตรงกับค่าเต็มสเกล เพราะฉะนั้น พิสัยแรงดันอะนาล็อกอินพุตจะถูกตัดทอนลงให้เหลือความละเอียดเพียง 8 บิตเต็ม



a) Analog Input Signal Example

b) Accommodating an Analog Input from 0.5V (Digital Out = 00HEX) to 3.5V (Digital Out = FFHEX)

Zero Error

ค่าศูนย์ของ A/D ไม่ต้องการการปรับ ถ้าค่าแรงดันอะนาล็อกอินพุตที่ต่ำสุด $V_{in} (min)$ ไม่ถูกต่อลงกราวด์แล้ว จะมีการหาออฟเซตศูนย์ ตัวแปลงนี้สามารถที่จะให้ดิจิตอลเอาท์พุตเป็น 0000 0000 สำหรับแรงดันอินพุตต่ำสุด โดยการไบอัสขาเอ็นพุต $V_{in}(-)$ ของ A/D ที่ค่า $V_{in} (min)$ นี้ ซึ่งวิธีนี้เป็นการใช้งานแบบดิฟเฟอเรนเชียลโหมด (Differential Mode) ของ A/D ค่าความผิดพลาดศูนย์ (Zero error) ของ A/D สามารถถูกวัดโดยต่อขา $V_{in}(-)$ ลงกราวด์ และใส่แรงดันบวกค่าน้อยที่ขา $V_{in}(+)$ ค่าความผิดพลาดศูนย์จะเป็นผลต่างระหว่างแรงดันอินพุตกระแสตรงที่แท้จริง ซึ่งทำให้ดิจิตอลเอาท์พุตมีการเปลี่ยนแปลงจาก 0000 0000 เป็น 0000 0001 และ ค่า $1/2$ LSB ในอุดมคติ

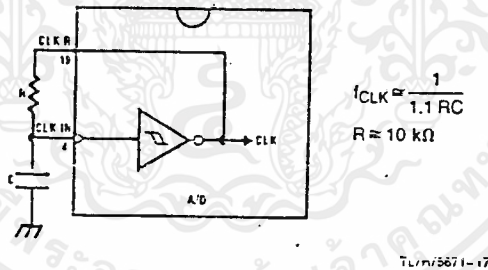
(1/2 LSB=9.8 mV สำหรับ $V_{REF}/2= 2.500V_{DC}$)

Full Scale

การรับเต็มสเกลสามารถหาได้โดยใส่แรงดันอินพุตที่ต่างกัน ซึ่ง 1 1/2 LSB จะน้อยกว่า พัลส์แรงดันอนาล็อกอินพุตเต็มสเกล แล้วรับขนาดของ $V_{REF}/2$ (ขา 9 หรือไฟเลี้ยง V_{CC1} ถ้าขา 9 ไม่ถูกใช้) สำหรับดิจิตอลเอาท์พุตซึ่งกำลังจะเปลี่ยนจาก 1111 1110 เป็น 1111 1111

Clocking Option

สัญญาณนาฬิกา (Clock) สำหรับ A/D สามารถหาได้จากสัญญาณนาฬิกาของ CPU หรือ RC ภายนอก สามารถถูกนำมาต่อ เพื่อกำเนิดสัญญาณนาฬิกาให้ตัวเอง ขา CLK IN (ขา 4) เป็นการ ใช้ซีมัทริกเกอร์ (Schmitt trigger) ดังรูปที่ 3.8



รูปที่ 3.8

ตัวเก็บประจุค่ามาก หรือการกระแสตรง (DC Loading) ของขาที่ต่อ R ควรจะถูกหลีกเลี่ยง เนื่องจากมันจะเป็นการรบกวนการแปลงที่สภาวะปกติ ภาระ (Load) ที่น้อยกว่า 50pf สามารถที่จะใช้ได้ เช่น การขับ (Drive) อินพุตสัญญาณนาฬิกาของ A/D 7 ขา จาก 1 ขาของขาสัญญาณนาฬิกา R

Restart During a Conversion

ถ้า A/D ถูกทำให้เริ่มทำงานใหม่ (Restart) และ เปลี่ยนจาก low เป็น high) ระหว่างการแปลง (Conversion) A/D จะถูกรีเซ็ต (Reset) และการแปลงชุดใหม่จะเริ่มขึ้น มีตัวเก็บข้อมูลด้าน เอาท์พุต (Output Data Latch) จะไม่มีข้อมูล ถ้าการแปลงในการคำนวณ

สมบูรณ์ เพราะฉะนั้น ข้อมูลในการแปลงก่อนหน้านั้นจะยังคงอยู่ในแลช (Latch) ขา INTR ยังคงเป็นลอจิก 1 อยู่

Continuous Conversions

สำหรับการทำงานในแบบอิสระ (Free-Running Mode) พัลส์ (Pulse) ในตอนเริ่มต้นควรจะถูกใช้เพื่อให้มีใจในการทำงานของวงจร โดยการใช้งานวิธีนี้ ขา CS ต่อลงกราวด์ และขา WR ต่อกับขา INTR ขา WR และ INTR นี้ควรจะใช้ลอจิก (Logic) ตูมย์ เพื่อเป็นการประกันว่าการทำงานจะเป็นแบบต่อเนื่อง

Power Supplies

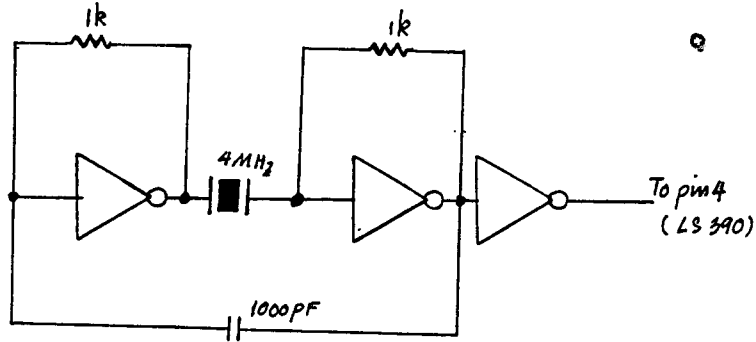
สัญญาณรบกวนสไปค (Noisc Spike) บนสายไฟเลี้ยง Vcc สามารถที่จะทำให้เกิดความผิดพลาดในการแปลงได้ เนื่องจากตัวคอมพาราเตอร์ (Comparator) จะมีการตอบสนองต่อสัญญาณรบกวน ตัวเก็บประจุที่เป็นตัวกรองความถี่ต่ำ (Low Inductance Tantalum Filter Capacitor) ควรจะถูกใช้ต่อกับขา Vcc ของ A/D และควรจะมีค่า 1 μ F หรือมากกว่า

3.5 วงจรควบคุมและเลื่อนข้อมูลแบบอนุกรม

ส่วนนี้เป็นส่วนควบคุมและเลื่อนข้อมูลซึ่งต่อจาก A/D เข้าที่พหุที่ได้จาก A/D จะมีความละเอียด 8 บิต มีลักษณะเป็นการขนานกันของข้อมูล เพื่อที่จะนำข้อมูลที่ได้จากเข้าที่พหุของ A/D ไปใช้งานก่อนนั้น จึงต้องมีส่วน เลื่อนข้อมูลจากขนานให้ เป็นอนุกรม ระบบของวงจรควบคุมและเลื่อนข้อมูลนั้นแบ่งได้เป็น 3 ส่วนใหญ่ ดังนี้

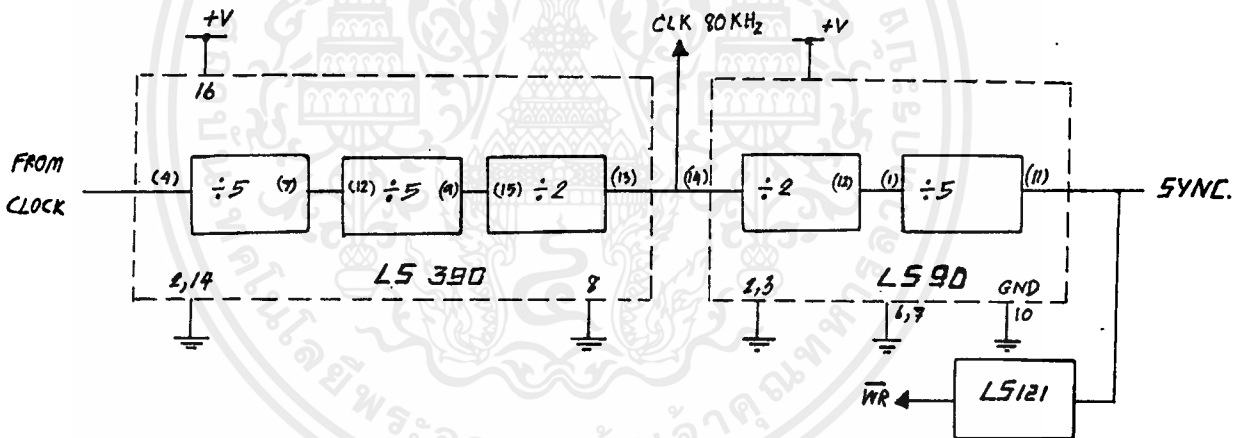
Clock and Control

ในการกำเนิดสัญญาณนาฬิกาใช้ไอซีเบอร์ LS04 ซึ่งเป็นอินเวอร์เตอร์ (Invertor) นามาทำเป็นวงจรคริสตัลออสซิลเลเตอร์ (Crytal Oscillator) ซึ่งผลิตสัญญาณนาฬิกาความถี่ 4 MHz ดังแสดงวงจรไว้ดังรูปที่ 3.9



รูปที่ 3.9 วงจรกำเนิดสัญญาณนาฬิกา

สัญญาณนาฬิกาที่ได้นี้จะนำมาผ่านวงจรหาร 50 เพื่อให้ได้ความถี่ 80 KHz ซึ่งใช้ในการบิอนาให้กับไอซี เลื่อนข้อมูล (LS165) ถ้านาสัญญาณที่ผ่านวงจรหาร 50 มาผ่านวงจรหาร 10 จะได้สัญญาณที่ใช้ในการควบคุมการแปลงของ A/D ซึ่งมีชื่อเรียกสัญญาณซิงค์ (Synchronous signal) ขบวนการในการสร้างวงจรหาร 50 และหาร 10 ใดๆจะใช้ไอซีเบอร์ LS390 ตามลำดับ



รูปที่ 3.10 วงจรกำเนิดสัญญาณซิงค์

Monostable

สัญญาณซิงค์ที่ได้อาจจะนำมาไบซี เป็นอินพุตให้กับพินสเคเบิ้ล (Monostable) ซึ่งพินสเคเบิ้ลตัวนี้ได้จากไอซีเบอร์ LS121 ทางานที่สัญญาณขอบขาลงของสัญญาณซิงค์เอาท์พุทที่ได้จากพินสเคเบิ้ล จะเป็น low มีความกว้าง 5μs ซึ่งนำไปเป็นอินพุตให้กับขา WR ของ A/D เพื่อใช้ในการแปลงอะนาล็อกเป็นดิจิตอล ในการออกแบบพินสเคเบิ้ลที่มีความของเอาท์พุท 5μs สามารถหาได้จากสูตร

$$t(out) = C_{ext} R_T \ln 2$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้ = 0.7 C_{ext} R_T นั้น ไม่นอนุญาตให้ทำไปใช้ประโยชน์ด้านการศึกษาใดๆ
 ในที่นี้เลือก C_{ext} = 1000p

t = 0.7 C_{ext} R_T ln 2
 0.7 x 10⁻⁹ x 10³ x ln 2
 2.07 x 10⁻⁶ R

$$\frac{1}{10^{-6}} = 0.1 \times 100 \times 10^{-12} \times 10^3$$

$$10^{-6} =$$

แทนค่า $t(out) = 5$

$C_{ext} = 100pF$

เพราะฉะนั้น $R_T = 7.14 k \mu s \approx 5 \mu s$

เลือกใช้ $R_T = 7k$

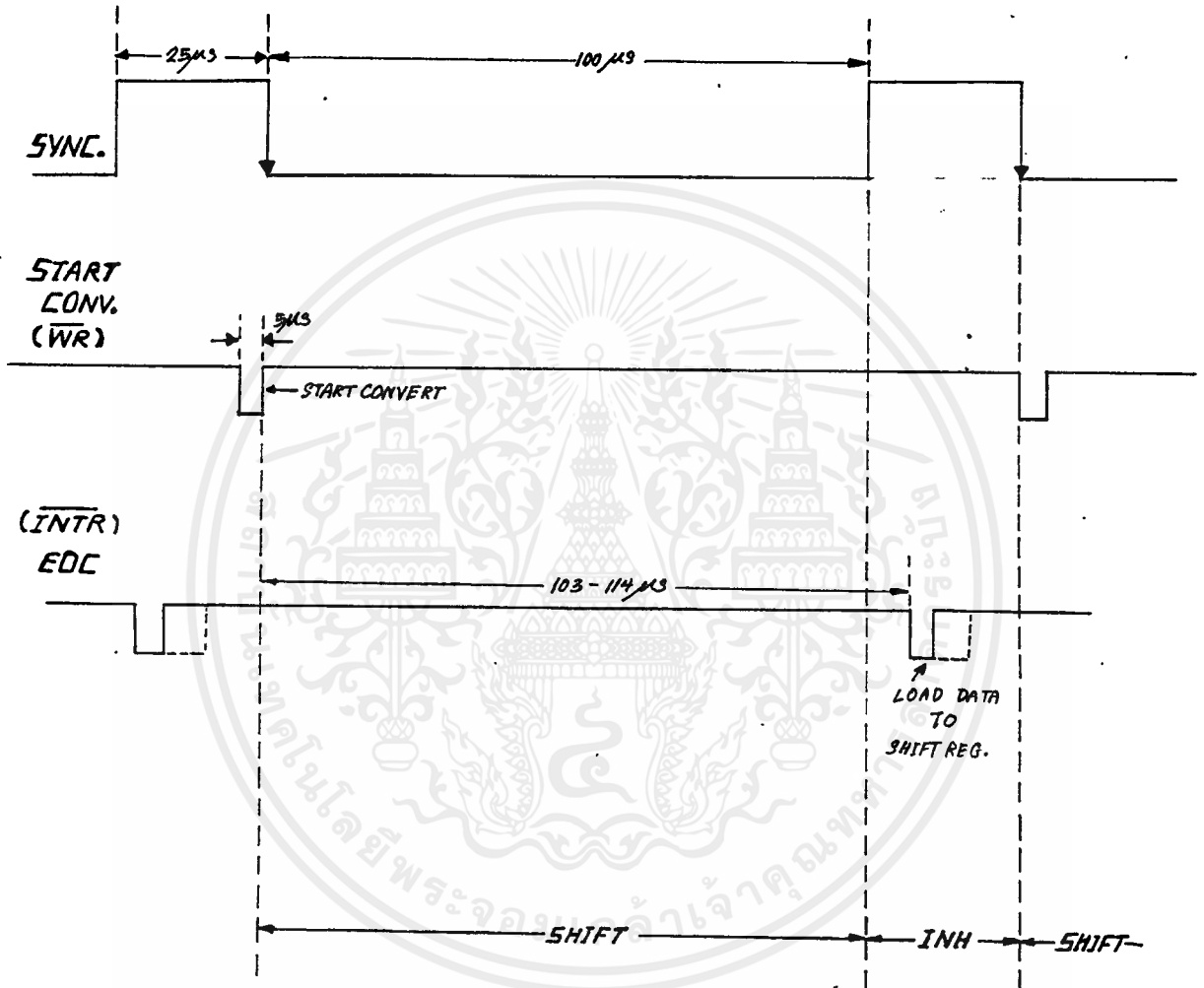
เมื่อได้ค่าอุปกรณ์ตามต้องการแล้ว ให้ต่อขา A1 (ขา 3) และขา B (ขา 5) เป็น high จากนั้นมา
สัญญาณซึ่งมาต่อที่ขา A2 (ขา 4) เพื่อใช้เป็นอินพุตให้กับอิน เซกเบล และนำเอาที่พุดอกที่ขา
(ขา 1)

Shift Register

ไอซีเบอร์ LS165 เป็นชิฟทรีจิสเตอร์ (Shift Register) ขนาด 8 บิต ซึ่งทำการเลื่อน
ข้อมูลในทิศทางของ Q_A ไปยัง Q_B เมื่อมีสัญญาณนาฬิกา การเข้าแบบขนานของแต่ละขาจะถูกทำให้
ปรากฏขึ้นภายในตัวไอซี ขณะที่ขา shift/load เป็น low ซึ่งก็หมายถึงเป็นการโหลด (Load) ข้อมูล
มูลนั้นเอง สัญญาณนาฬิกาจะถูกทำให้ผ่านมาจากอินพุตเทอร์มินัลแบบ 2 อินพุต (2-Input Positive-
NOR Gate) โดยให้อินพุตหนึ่งทำหน้าที่เป็น คล็อกอินฮิบิต (Clock Inhibit) การคงค่าคล็อกอินพุตเป็น
high จะเป็นการห้ามการทำงานของสัญญาณนาฬิกา และการคงค่าคล็อกอินพุตเป็น low ซึ่งมีขา
shift/load อินพุตเป็น high จะทำให้คล็อกอินพุตอีกอินพุตหนึ่งทำงานได้ขาดคล็อกอินฮิบิต ควรจะถูกเปลี่ยน
เป็น high เท่านั้น ในขณะที่คล็อกอินพุตเป็น high การนำเข้าของข้อมูลแบบขนานจะถูกห้าม ตรงกับเท่า
ที่ขา shift/load เป็น high ข้อมูลที่อินพุตแบบขนาน จะถูกนำเข้าสู่ตัวรีจิสเตอร์โดยตรงขณะที่มีการ
เปลี่ยนแปลงจาก high เป็น low ของขา shift/load อินพุต โดยไม่ขึ้นกับระดับสัญญาณนาฬิกา,
คล็อกอินฮิบิต หรือ อินพุตอนุกรมเลข (การต่อวงจรของ LS165 สามารถดูได้จากหัวข้อ 3.1 และขา
ของอุปกรณ์จากภาคผนวก)



Timing Diagram



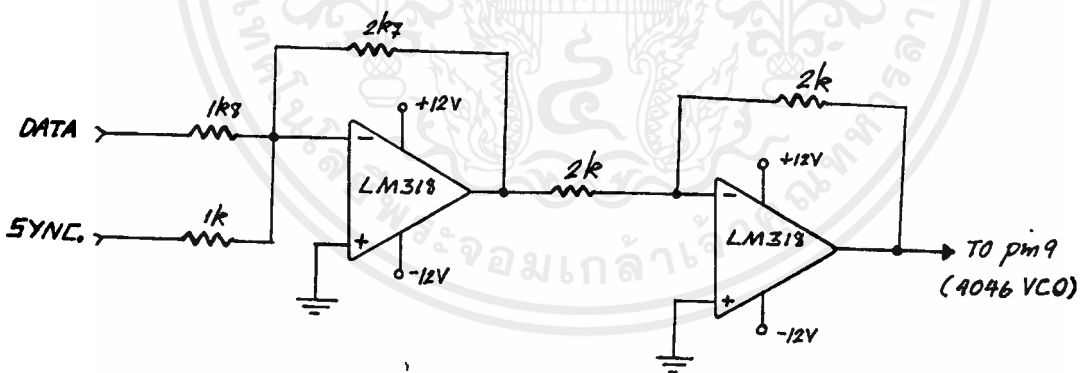
รูปที่ 3.11 แสดง Timing Diagram

โดยระยะเวลาเป็นการสรุปการทำงานของการแปลงจากอะนาล็อกอินพุทไปเป็นดิจิตอลแบบขนาน จากนั้นจึงนำข้อมูลดิจิตอลแบบขนานมาทำให้เป็นข้อมูลดิจิตอลแบบอนุกรมเพื่อใช้ในการส่งข้อมูลต่อไปจากวงจรมานีโครคอมพิวเตอร์ หลังจากผ่านวงจรหาร 50 จะได้สัญญาณนาฬิกาซึ่งมีความถี่ 80 KHz ความถี่นี้จะใช้เป็นสัญญาณนาฬิกาให้กับซีพียูหรือซีพียูจะรับสัญญาณนาฬิกาซึ่งจะถูกป้อนเข้าที่ขาคล็อกอินพุท เพื่อหาหน้าที่เป็นจุดเริ่มต้นของข้อมูล จากโดยระยะเวลาจะเห็นว่าที่ขอบขาลง (เปลี่ยนจาก high เป็น low) ของสัญญาณนาฬิกาจะเป็นตัวทริก (Trig) ให้พินสเตเบิลทำงาน A/D เริ่มทำการแปลงข้อมูลจากอะนาล็อกเป็นดิจิตอล หลังจากที่ได้รับสัญญาณ low จากพินสเตเบิลเข้าที่ขา WR เวลาที่ใช้ในการแปลงประมาณ 103-114µs เมื่อเสร็จสิ้นการแปลงที่ขา INTR ของ A/D จะให้ Low ออกมา (ตรงกับช่วงที่เป็นสัญญาณนาฬิกา) เพื่อ

ป้อนให้กับซีพริจิสเตอร์ในการรับข้อมูลขนาดที่แปลงเสร็จเรียบร้อยแล้ว ในที่สุดที่เอาต์พุตของซีพริจิสเตอร์ จะได้ข้อมูลทั้งหมดอยู่ในรูปอนุกรมซึ่งพร้อมที่จะถูกส่ง

Summing Amplifier

ถึงตอนนี้เรามีสัญญาณอยู่ 2 ชนิดด้วยกันคือ สัญญาณที่เป็นข้อมูล 8 บิตอนุกรมกันจาก MSB (Most Significant Bit) ถึง LSB(least Significant Bit) และ สัญญาณซิงค์ซึ่งใช้สำหรับขึ้น ข้อมูล เพื่อที่จะนำสัญญาณทั้ง 2 มาใช้ร่วมกัน จึงต้องมีการรวมสัญญาณทั้ง 2 นี้เข้าด้วยกัน ในการรวมกัน ของสัญญาณ วงจรรวมสัญญาณ (Summing Amplifier) จึงถูกนำมาใช้สำหรับกรณีนี้ วงจรรวมสัญญาณเป็น แบบ inverting amplifier ดังนั้น เพื่อให้จะได้สัญญาณมีรูปร่างคงเดิมจึงต้องมี inverting amplifier อีกตัวหนึ่ง เนื่องจากวงจรขยายนี้เป็นแบบกลับเฟส สัญญาณซิงค์จะถูกขยายด้วยอัตราขยาย 2.7 เท่า และข้อมูล 8 บิตอนุกรมจะถูกขยายด้วยอัตราของ 1.5 เท่า สำหรับออปแอมป์ที่ใช้ในที่นี้ เป็น เบอร์ LM318 high speed op amp



รูปที่ 3.12 วงจร Summing Amp

3.6 วงจร FSK Modulation

ในส่วนนี้เป็นการมอดูเลชันสัญญาณ เพื่อให้จะได้สัญญาณนั้นถูกส่งไปได้ไกล ๆ โดยใช้หลักการของ FSK (Frequency Shift Keying) หลักการดังกล่าวนี้ใช้วิธีการของ VCO (Voltage Controlled Oscillator) โดยใช้แรงดันในการควบคุมความถี่ นั่นคือ แรงดันต่ำ ความถี่ที่ถูกลด ผลคือออกมาจะมีค่าต่ำและที่แรงดันสูง ความถี่ที่ได้จะมีค่าสูง จากหัวข้อที่ 3.5 สัญญาณที่ได้จะมี 3 ระดับคือ สัญญาณซิงค์ 9V สัญญาณข้อมูล high level ซึ่งมีขนาด 5V และสัญญาณข้อมูล low level 0V ในการสร้าง FSK Modulation นี้ ใช้ไอซีเบอร์ MC14046B ซึ่งเป็นเฟสล็อกคัลเลอร์

ประกอบด้วย Self Bias Circuit, Phase Comparator 1 และ 2, Source Follower. และ VCO การทำ FM Modulation จะใช้ส่วนที่เรียกว่า VCO เพียงส่วนเดียว ในการกำเนิดความถี่ค่าต่าง ๆ ซึ่งขึ้นกับแรงดัน สมการที่ใช้ในการออกแบบ คือ

$$f_{min} = 1/[R_2(C_1+32 \text{ Pf})] \quad (V_{co} \text{ input} = 0V)$$

$$f_{max} = 1/[R_1(C_1+32PF)] \quad (V_{co} \text{ input} = 5V)$$

ซึ่ง : $10k \leq R_1 \leq 1 \text{ M}$

$10k \leq R_2 \leq 1 \text{ M}$

$100pF \leq C_1 \leq 0.01\mu F$

กำหนดค่าที่ ความถี่ที่ 0V ประมาณ 600 k Hz

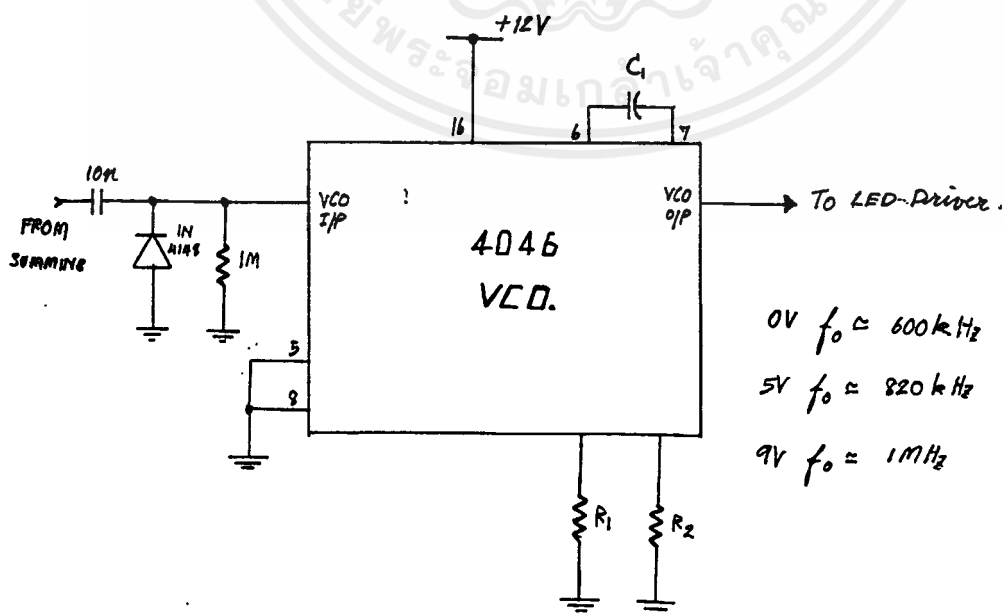
ความถี่ที่ 5V ประมาณ 820 k Hz

ความถี่ขึงค์ 9 V ประมาณ 1 MHz

ใช้ $C_1 = 100 \text{ pF}$

เพราะฉะนั้น $R_2 = 12.6 \text{ k}$ ใช้ $R_2 = 13 \text{ k}$

$R_1 = 9.2k$ ใช้ $R_1 = 10k$

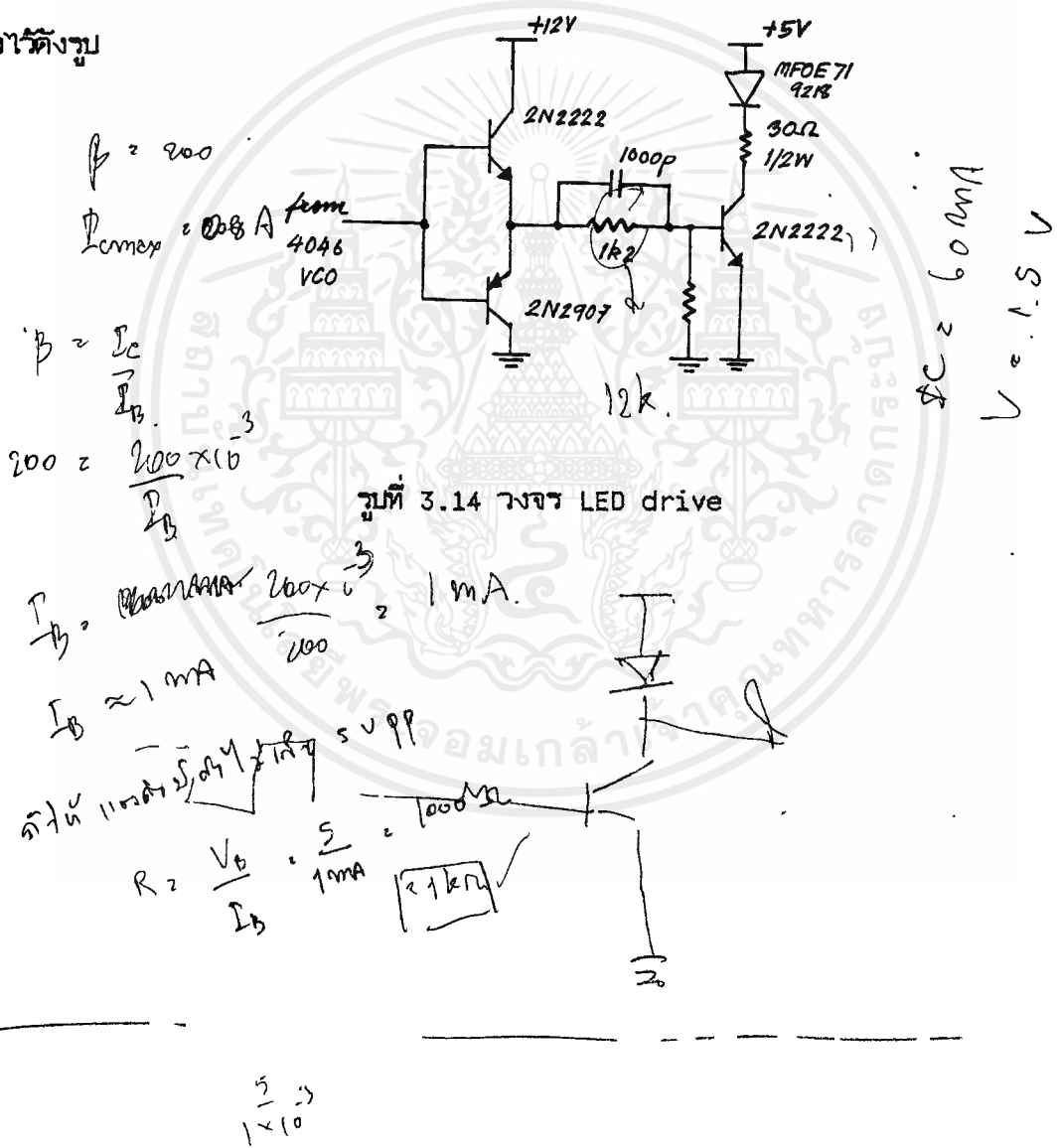


หมายเหตุ : ขาอินพุตที่ไม่ได้ใช้ควรจะต้องกับระดับแรงดันทางตรรก (ไฟเลี้ยงหรือกราวด์)

ขา 6,7,10,11,12 และ 15 ถ้าไม่ถูกใช้ ควรจะ open ไว้

3.7 วงจร LED Drive

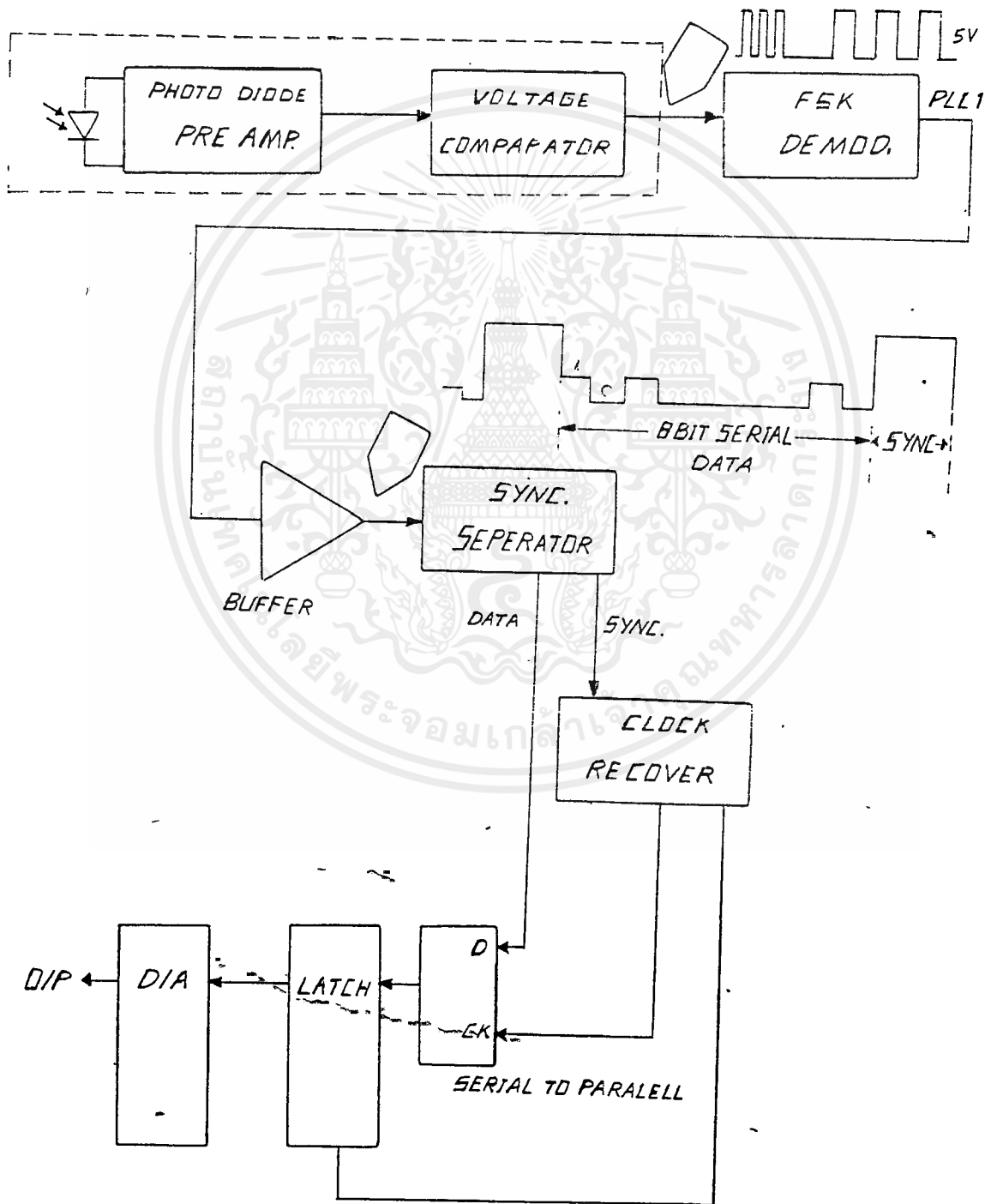
เมื่อทำการบัดกรีเสร็จแล้ว สัญญาณที่ได้นั้นพร้อมที่จะส่งแล้ว แต่กำลังในการส่งยังไม่พอ จึงต้องเพิ่มวงจรขับ LED ซึ่งประกอบด้วย 2 ส่วนคือ วงจรขยายกำลัง และวงจรไบอัส LED วงจรขับ LED แสดงไว้ดังรูป



บทที่ 4

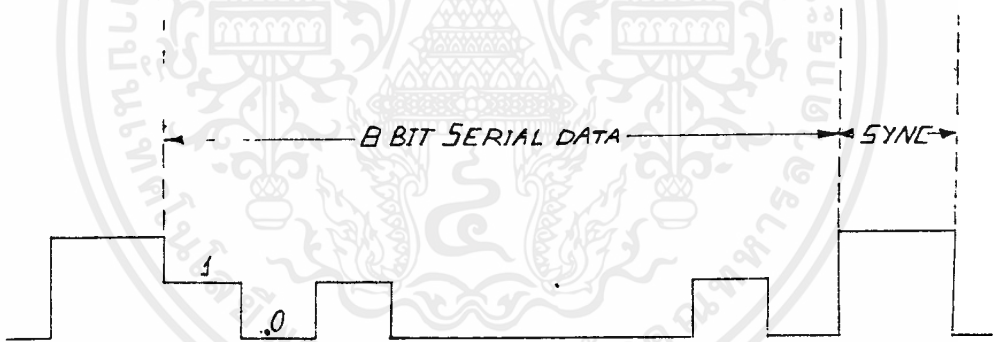
ภาคอนาล็อกเครื่องรับ

4.1 Block Diagram



รูปที่ 4.1 Block Diagram ของภาครับ

สัญญาณที่ถูกส่งมานั้นจะผ่านผ่านทางเส้นนิยามแสงที่มีความยาว เนื่องจากความยาวของเส้นนิยามแสงดังที่กล่าวในบทที่ 2 จะทำให้สัญญาณเกิดการสูญเสียพลังงานไปส่วนหนึ่ง ดังนั้น สัญญาณที่รับได้จากโฟโตไดโอด จึงมีขนาดเล็ก เพื่อที่จะขยายสัญญาณดังกล่าวให้มีขนาดใหญ่พอที่จะนำไปใช้งานได้นั้น จำเป็นจะต้องมีภาคขยายพรีแอมป์ (Pre Amplifier) ต่ออยู่กับโฟโตไดโอด และสัญญาณจะถูกนำมาเข้าวงจรเปรียบเทียบแรงดัน (Voltage Comparator) เพื่อให้สัญญาณที่ได้นั้นอยู่ในช่วงแรงดันทางตรรก (Logic) กล่าวคือ high level มีค่า 3V และ low level มีค่าประมาณ 0.25V [National Semiconductor Corporation] แต่สัญญาณนั้นยังอยู่ในรูปความถี่ค่าต่าง ๆ จึงจำเป็นต้องนำสัญญาณนั้นมาเข้าวงจร FSK Demodulation ซึ่งจะทำการแปลงความถี่ค่าต่าง ๆ เหล่านั้นให้เป็นแรงดันที่ต่างกัน เพราะฉะนั้น ในตอนนี้จะมีสัญญาณของข้อมูล 8 บิตอนุกรม และสัญญาณซิงค์ ซึ่งเหมือนกับข้อมูลคอนทอนเข้า FSK Modulation ของภาคส่ง ดังรูปที่ 4.2



รูปที่ 4.2 สัญญาณพัลส์

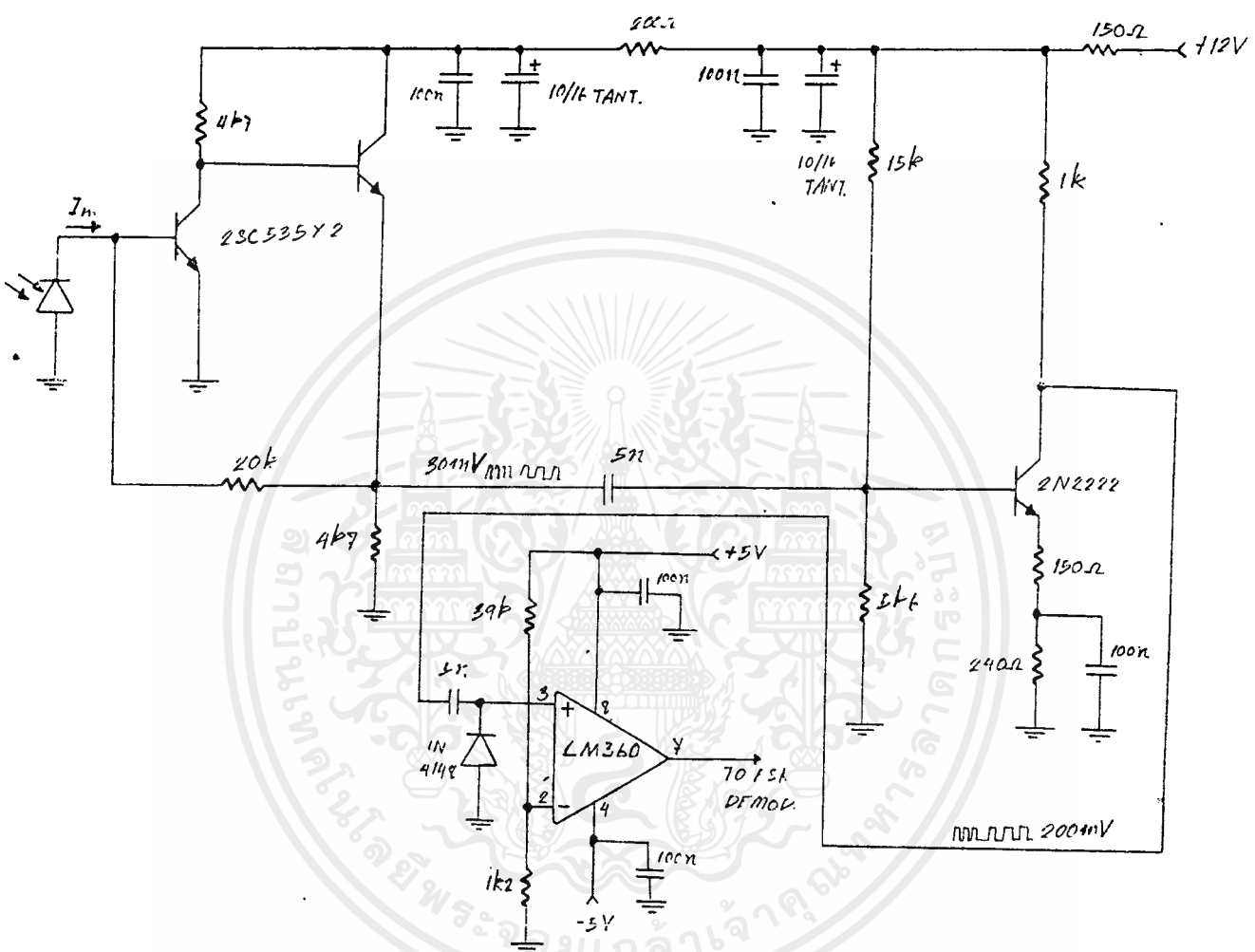
หลังจากนั้น ข้อมูลจะผ่านบัฟเฟอร์ (Buffer) และผ่านมายังวงจรแยกสัญญาณซิงค์ (Syne Seperator) ซึ่งจะหาหน้าที่แยกสัญญาณซิงค์ออกจากข้อมูล 8 บิตอนุกรม สัญญาณซิงค์ที่ถูกแยกออกมานี้จะนำมาสร้างเป็นสัญญาณนาฬิกาโดยผ่านวงจร Clock Recover และสัญญาณนาฬิกาดังกล่าวนี้จะถูกนำมาป้อนให้กับชิพรีจิสเตอร์ (Shift Register) และเลตช์ (Latch) ข้อมูล 8 บิตอนุกรมจะถูกทำเป็นข้อมูลแบบขนาน โดยผ่านชิพรีจิสเตอร์เพื่อแปลงจากข้อมูล 8 บิตอนุกรมเป็นข้อมูล 8 บิตขนาน นำไปเข้า D/A เพื่อให้ได้สัญญาณอะนาล็อกเดินออกมา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$I_{D0} = I_C = 2.5 \text{ mA}$$

Common sheet 4/12v

4.2 วงจร Photo Diode, Pre Amp และ Voltage Comparator



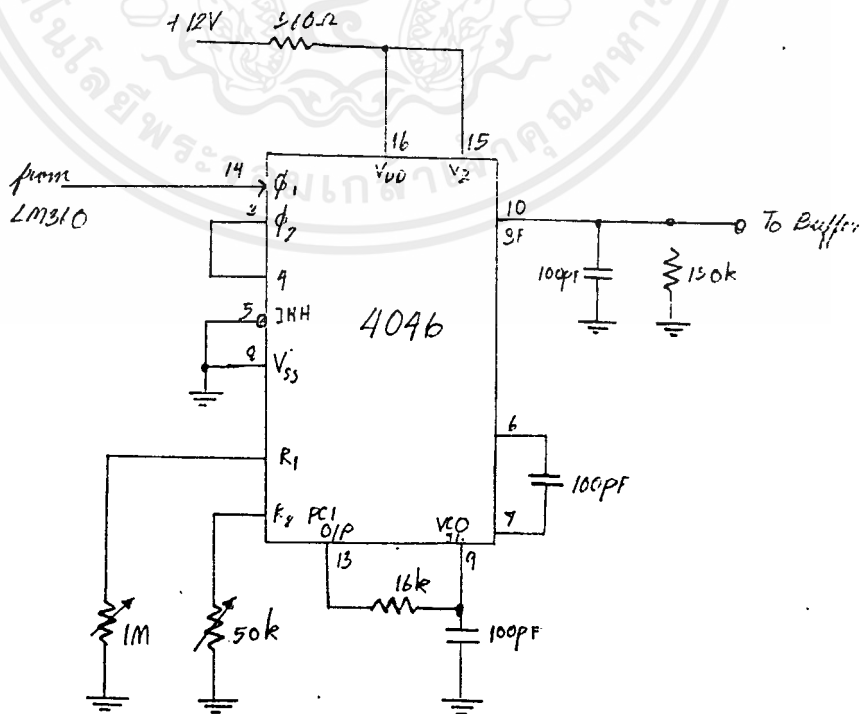
รูปที่ 4.3 วงจรฟิวดิโอด ปริแอมป์ และวงจรเปรียบเทียบแรงดัน

ฟิวดิโอด (Photo Diode) ทำหน้าที่เป็นตัวรับสัญญาณที่ถูกส่งมา สัญญาณแสงที่ถูกส่งมา จะถูกฟิวดิโอดแปลงให้เป็นกระแส ดังนั้น จึงต้องมีการแปลงจากกระแสอินพุตให้เป็นแรงดันโดยใช้ทรานซิสเตอร์ทำงานในรูปแบบทรานซิสเตอร์ (Transresistance) กล่าวคือ อินพุตเป็นกระแสและเอาต์พุตเป็นแรงดัน หลังจากผ่านทรานซิสเตอร์ เบอร์ 2SC535 ทั้ง 2 ตัวแล้ว จะได้แรงดันประมาณ 30 mV นำมาขยายแรงดันโดยวงจรอิมิตเตอร์ร่วม (Common Emitter) ซึ่งใช้ทรานซิสเตอร์เบอร์ 2N2222 เพื่อเพิ่มแรงดันให้มีขนาดเป็น 200mV เนื่องจากสัญญาณที่ผ่านวงจรปริแอมป์มานี้ยังมีขนาดเล็กเกินไปที่จะนำไปใช้งานได้ อีกทั้งรูปคลื่นไม่ชัดเจน มีสัญญาณรบกวน (Noise) มาก จึงจำเป็นต้องมีวงจร Voltage Comparator วงจรนี้ประกอบด้วยออปแอมป์เบอร์ LM360 ซึ่งเป็น High Speed Differential Comparator ทำหน้าที่แปลงรูปคลื่นและขยายแรงดันให้เป็น 3V เพื่อที่จะสามารถนำไปใช้งานได้ ทั้งสิ้น อีกทั้งยังมีให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.3 วงจร FSK Demodulation

ในการถอดรหัสซึ่งมีอนุพหุอยู่ในรูปของความถี่นั้น จำเป็นที่จะต้องนำใช้หลักการของ PLL (Phase Lock Loop) ไอซีที่ใช้เป็น ไอซี เบอร์ MC14046 ซึ่งการทำงานนั้นประกอบด้วยส่วนสำคัญคือ PC (Phase Comparator), LPF (low Pass Felter) และ VCo (Voltage Controlled Oscillator) ขั้นตอนในการออกแบบมีดังนี้

1) กำหนดให้ $R_1 = 1M$ ปรับค่าได้ ส่วน $R_2 = 50k$ ปรับค่าได้ สิ่งที่ต้องการคือ $f_{max} 820 \text{ kHz}$ และ $f_{min} 600 \text{ kHz}$ หมายถึง Lock Range มีค่าตั้งแต่ 600 kHz ถึง 820 kHz นั้นเอง วิธีการปรับค่าทำได้โดยให้แรงดันขา 9 เป็น V_{DD} เพื่อตั้งค่า f_{max} โดยปรับ R_1 ให้ได้ 820 kHz ที่เข้าที่พหุ แล้วให้ขา 9 เป็น V_{SS} เพื่อตั้งค่า f_{min} โดยปรับ R_2 ให้ได้ 600 kHz ดังนั้น f_0 จะได้ที่ 710 kHz ซึ่งเป็น Carrier ของสัญญาณที่จะ Demodulate



รูปที่ 4.4 วงจร FSK Demodulation

2) ขั้นตอนต่อไปเป็นการคำนวณค่าสมาชิกตัวเก็บประจุ (Loop Filter) R_3 และ C_2 ซึ่งเป็นตัวกำหนด Capture Range จากสมการ

$$2f_c = (1/5) \cdot \pi [(2\pi f_L)/R_2 C_3]$$

โดย $2f_L$ = Lock Range ซึ่งเท่ากับ 220 kHz

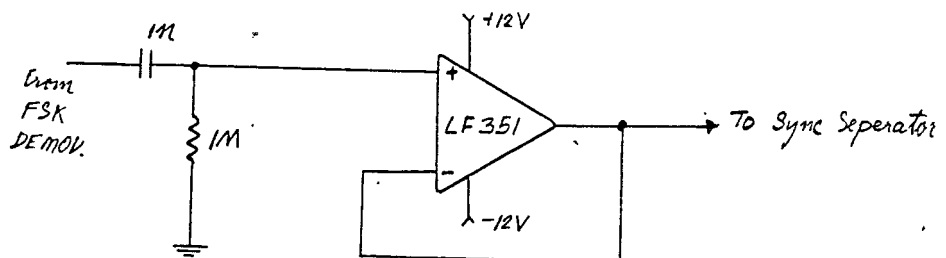
$2f_c$ = Capture Range กำหนดให้ไม่น้อยกว่า Lock Range

ซึ่งสมมติให้เป็น 200 kHz

$$f_L = 110 \text{ kHz}, f_c = 100 \text{ kHz}$$

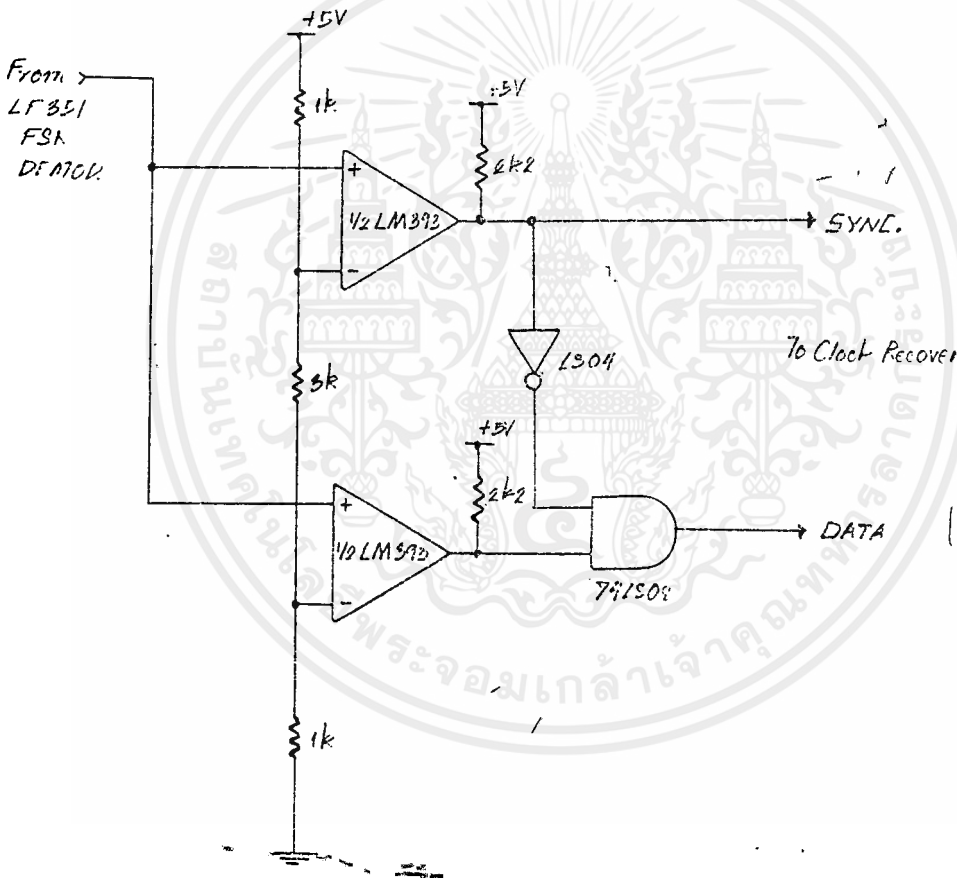
จากสมการข้างต้น ถ้ากำหนดให้ $C_2 = 100 \text{ pF}$ จะได้ R_3 ประมาณ 16 k

ตัววงจร $C_2 = 100 \text{ pF}$ และ $R_3 = 16 \text{ k}$ ลงในวงจรพร้อมทั้ง $R_{SF} = 150 \text{ k}$ ซึ่งเป็นโหลด (Load) ใช้ตัวเก็บประจุค่า 0.33 μF ต่อที่ขา V_{DD} กับกราวด์ เพื่อป้องกันสัญญาณรบกวนความถี่สูงในไฟเลี้ยง และใช้ตัวเก็บประจุค่า 100pF ต่อที่เข้าที่พหุ ขา 10 ลงกราวด์ เพื่อบายพาส (By Pass) สัญญาณความถี่สูงที่ออกมาทางเข้าที่พหุ สัญญาณที่ได้ในตอนนี้จะเป็นสัญญาณซิกซ์ และข้อมูล 8 บิตอนุกรมกัน นำสัญญาณที่ได้มาผ่านบัฟเฟอร์ (Buffer) ซึ่งเป็นตัวกั้นระหว่างภาค FSK Demodulation กับ Sync Separator เพื่อป้องกันมิให้ความถี่สูงของสัญญาณไปรบกวนการทำงานของภาค Sync Separator ซึ่งเป็นอะนาล็อกอนแอมป์



4.4 Sync Separator

วงจรแยกสัญญาณซิงค์ (Sync Separator) เป็นวงจรที่อาศัยหลักการของการเปรียบเทียบแรงดัน (Voltage Comparator) ในการแยกซิงค์ออกจากข้อมูล หลักการก็คือ กำหนดแรงดันเป็น 3 ช่วงคือ 0V ถึง 1V, 1V ถึง 4V และ 4V ขึ้นไป เนื่องจากเมื่อสัญญาณผ่านวงจร FSK Demodulation มาจะทำให้สัญญาณซิงค์มีแรงดันประมาณ 4.5V ส่วนข้อมูล high level มีแรงดันประมาณ 3.3V และข้อมูล low level มีแรงดันประมาณ 2.2V ดังรูป



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปะเนื้อหามาเผยแพร่โดยไม่ได้รับอนุญาตของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 4.6 วงจรแยกสัญญาณซิงค์

การทำงานของวงจรส่วนนี้สามารถอธิบายได้ดังนี้คือ ถ้ามีแรงดัน 4.5V (Sync.) จาก FSK Demod. มาเข้าที่อินพุท ขอบแอมป์ทั้ง 2 จะทำงานเป็นผลทำให้เอาต์พุทที่ขอบแอมป์ทั้ง 2 มีลจิกเป็น 1 ที่ขาต้านหนึ่งของ AND เกทจะมีลจิก 0 เนื่องจากอินเวอร์เตอร์ (inverter) ดังนั้น เอาต์พุทที่ AND เกทจะเป็นศูนย์ แต่เอาต์พุทของขั้วจะมีสัญญาณออกมา นั่นคือจะไม่มีข้อมูลในช่วงที่มีซิงค์ หรือถ้ามีแรงดัน 3.3V (high level data) มาเข้าที่ขาอินพุทของขอบแอมป์ทั้ง 2 ขอบแอมป์ตัวบนจะไม่ทำงาน จึงเปรียบเสมือนที่เอาต์พุทมีลจิกเป็น 0 เพราะฉะนั้นที่ขาต้านหนึ่งของ AND เกทซึ่งต่อกับขอบแอมป์ตัวบน โดยผ่านอินเวอร์เตอร์จึงมีลจิกเป็น 1 ประกอบกับขอบแอมป์ตัวล่างทำงาน จึงทำให้อินพุทของ AND เกทเป็น 1 ทั้งคู่ เอาต์พุทที่ได้จึงมีลจิกและที่ขา Syne เป็น 0 ในทางอนเดียวกันกับถ้ามีแรงดัน 2.2v (low level data) มาที่อินพุทของขอบแอมป์ ทำให้อินพุททั้ง 2 ไม่ทำงาน จึงได้เอาต์พุทเป็นลจิก 0 ที่ขา data และ sync.

หลักการในการออกแบบเพื่อสร้างแรงดันอ้างอิงก็คือ เนื่องจากใช้ไฟเลี้ยง 5V มาตรฐานความต้านทานค่า 1k, 3k และ 1k มาต่อกันดังรูป เพื่อให้ได้แรงดันแต่ละจุดเป็น 4V ที่ขอบแอมป์ตัวบนและ 1V ที่ขอบแอมป์ตัวล่าง

4.5 วงจร Clock Recover

วงจร Clock Recover เป็นวงจรสร้างสัญญาณนาฬิกาที่มีความถี่เท่ากับภาคส่งนั่นคือ 80KHz โดยใช้สัญญาณซิงค์เป็นตัวควบคุม ไอซีที่ใช้เป็น เบอร์ MC14046 ซึ่งทำงานในรูปแบบของการสังเคราะห์และทวีความถี่ (Frequency Synthesis and Multiplication) ส่วนประกอบของภาคนี้จะมีรวมวงจรรวม 10 เข้าไปด้วย โดยเพิ่มเติมจากส่วนประกอบของ 4046 วงจรรวม 10 ที่เพิ่มเข้าไปนี้จะทำให้เอาต์พุทของ VCO มีความถี่เพิ่มมากกว่าเดิม 10 เท่า หลักการออกแบบให้ทำการกำหนดค่าดังนี้

- กำหนดค่าให้ค่า $C_1 = 2700 \text{ pF}$
- $R_1 = 1 \text{ M}$ ปรับค่าได้
- $R_2 = \text{infinity (open R2)}$
- $R_3 = 1 \text{ k}$
- $C_2 = 100 \text{ pF}$

1) ตั้ง VCO ให้ f_0 ประมาณ 8 KHz (โดยนำใส่ R_3 และ C_2 ให้แรงดันที่ขา 9 เท่ากับ $V_{DD}/2$ ปรับค่า R_1 ัด VCO เอาต์พุทให้ได้ 8 KHz

- 2) ใส่ R_3 และ C_2 ต่อ R_3 ต่อกับขา Z เพราะใช้ Phase Comparator I
- 3) นำ LS90 (วงจรหาร 10) มาต่อเข้าที่ VCO out ขา 4 กับ PCB in ขา 3 ดังรูป
- 4) ต่ออินเวอร์เตอร์ และ AND เกตดังรูป

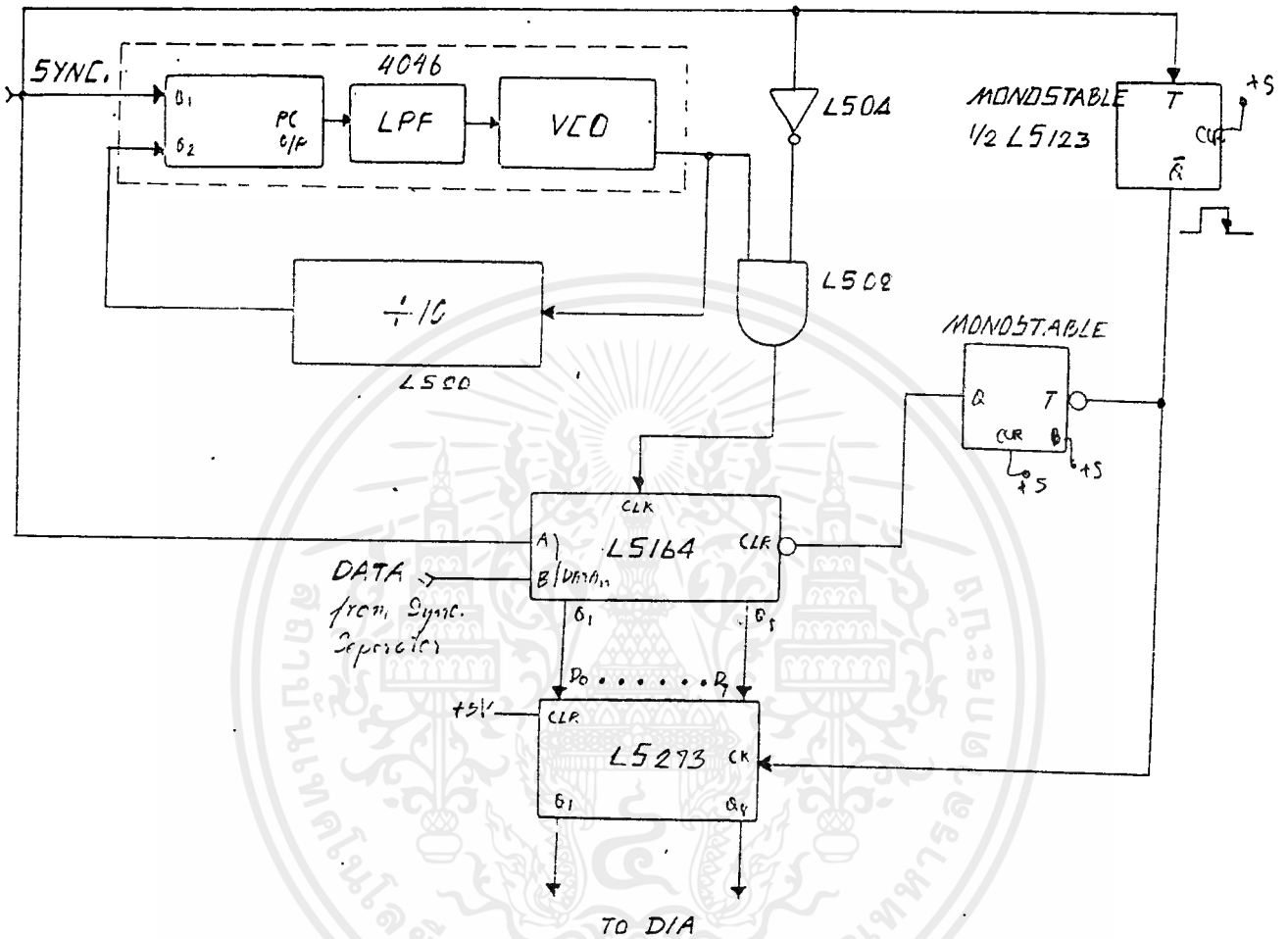
เมื่อนำเอาท์พุทที่ได้จาก VCO และการ INVERSE ของ ซิงค์มา AND กันจะทำให้ได้ความถี่ 80 KH_z ออกมา จึงนำไปเข้าเป็นสัญญาณนาฬิกาของซีพริจิส เคอร์ค็อบไป

4.6 วงจรควบคุมและเปลี่ยนข้อมูลแบบขนาน

ส่วนประกอบหลักของวงจรในส่วนนี้คือ ซีพริจิส เคอร์ค็อบซึ่งทำหน้าที่แปลงข้อมูลแบบอนุกรม (Serial Data) ไปเป็นข้อมูลแบบขนาน (Parallel Data) นอกนั้นเป็นส่วนย่อยที่นำมาประกอบกับ ซีพริจิส เคอร์ค็อบเพื่อให้ข้อมูลที่ได้นั้น ซิงค์กับทางด้านส่ง การทำงานของวงจรมีดังนี้คือ ที่วงจรมหากซิงค์ออกจากข้อมูลจะหาให้ได้เป็นสัญญาณ 2 ชุด คือ สัญญาณซิงค์ และสัญญาณข้อมูล 8 บิตอนุกรม สัญญาณซิงค์ที่ได้จะถูกนำมาใช้ประโยชน์ดังนี้

- 1) สร้างคิกผ่านวงจร Clock Recover ดังที่กล่าวในหัวข้อที่แล้ว
- 2) นำมาผ่านพินสเตเบิล (Monostable 1) เพื่อเป็นสัญญาณนาฬิกาให้กับไอซีเบอร์ 273 ซึ่งจะกล่าวต่อไป
- 3) จากพินสเตเบิล 1 นำมาผ่านพินสเตเบิล 2 เพื่อไปทริก (Trig) ขา clear ของซีพริจิส เคอร์ค็อบ
- 4) บ้อนใส่ที่ขา Data In A (ขา 1)

สัญญาณข้อมูลจะถูกนำมาต่อที่ขา Serial Data In B (ขา 2) สัญญาณดังกล่าวจะถูกแปลงเป็นสัญญาณข้อมูล 8 บิตขนาน ซึ่งเอาท์พุทที่ได้จะนำไปต่อกับแลทช์ (Latch) เพื่อนักข้อมูลก่อนส่งให้ D/A เมื่อเอาท์พุทของพินสเตเบิลลูกใหม่มีการเปลี่ยนแปลงจาก high เป็น low เนื่องจากซิงค์จะเป็นผลทำให้พินสเตเบิล 2 หากทริกขา clear เพื่อทำการล้างข้อมูลเก่าทั้งหมด พร้อมทั้งจะนำข้อมูลใหม่มาใส่ ซีพริจิส เคอร์ค็อบก็จะทำการแปลงเช่นเดิมอีก สัญญาณเอาท์พุทของพินสเตเบิล 1 จะถูกนำไปใช้เป็นสัญญาณนาฬิกาให้กับแลทช์ เพื่อเป็นการบอกว่าเป็นการโหลด (Load) ข้อมูล 8 บิตขนานมาเก็บไว้ในตัวมัน เพื่อให้ D/A แปลงเป็นสัญญาณอะนาล็อก



รูปที่ 4.8 วงจรควบคุมและเลื่อนข้อมูลแบบขนาน

4.7 วงจร D/A

วงจรสุดท้ายที่จะกล่าวถึงในการออกแบบวงจรตัวรับนี้ คือวงจรแปลงสัญญาณดิจิทัลเป็นอะนาล็อก ซึ่งใช้ไอซีเนอร์ DAC 0808 การนำ D/A ไปใช้งานมีดังนี้

Reference Amplifier Drive and Compensation

การขยายอ้างอิง (Referena Amplifier) นำแรงดันเข้าที่ขา 14 เพื่อแปลงจากแรงดันอ้างอิงไปเป็นกระแสในการป้อนให้กับความต้านทานขั้นบันไดภาษา (R-Ladder) กระแสอินพุทของการขยายอ้างอิง I14 จะต้องไหลเข้าที่ขา 14 เสมอ โดยไม่สนใจถึงขั้วของแรงดันอ้างอิง ในที่นี้จะใช้แรงดันบวกที่ขา 14 ดังรูป แหล่งกำเนิดแรงดันอ้างอิงจะจ่ายกระแส I14 เดิมพิคิต สำหรับสัญญาณแบบไม่ว่าจะมีโพลาร์ ทั้งลบ อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2. ขั้ว (Bipolar Reference Signal) R15 จะถูกนำมาต่อกับแรงดันลบ ซึ่งตรงกับระดับอินพุทที่ค่าที่

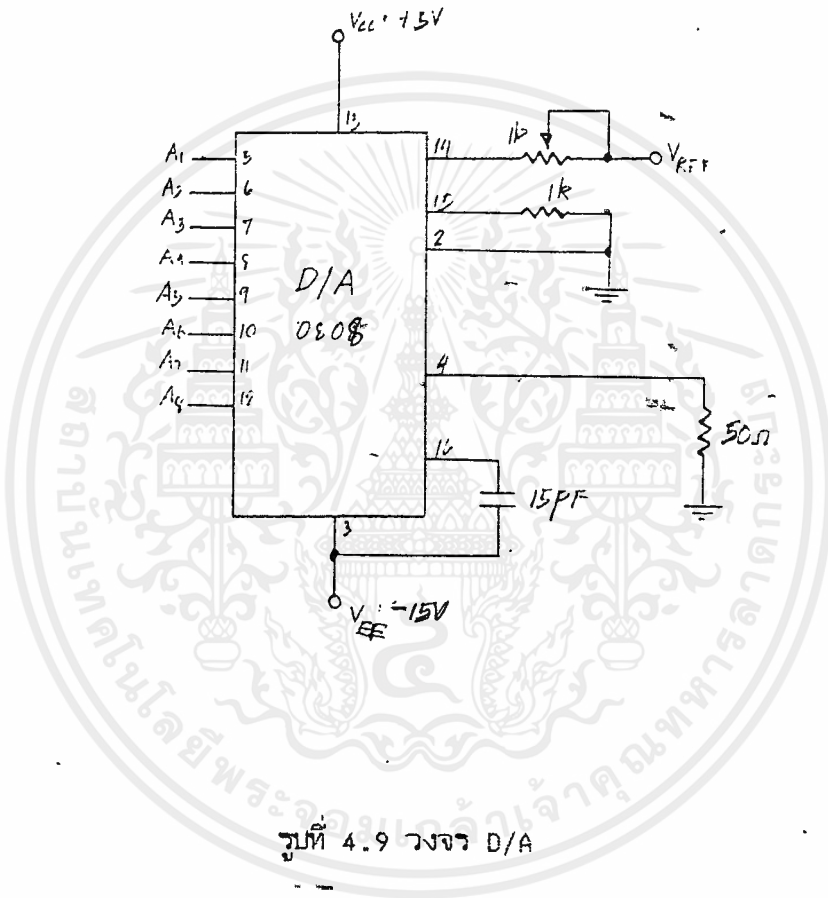
สุดท้าย ค่าความจุไฟฟ้าชดเชย (Compensation Capacitor) จะต้องเพิ่มขึ้นเมื่อค่า R14 เพิ่มขึ้น เพื่อคงค่าเฟสแมจิ้น (Phase Margin) ไว้ สำหรับค่า R14 ที่ 1,25 และ 5 K ค่าความจุไฟฟ้าค่าสุดท้ายคือ 15,37 และ 75 pF ตามลำดับ ตัวเก็บประจุอาจจะถูกต่อกับ V_{EE} หรือไฟกราวด์ (Ground) แต่การใช้ V_{EE} จะเป็นการเพิ่ม Negative Supply Rejection เมื่อมีการใช้แรงดันกระแสตรงอ้างอิง (DC Reference Voltage) ควรจะมีการต่อตัวกับประจุบายพาส (Capacitive Bypass) ลงกราวด์ แรงดันทางตรรก (Logic Supply) 5V ไม่ควรจะถูกใช้ เป็นแรงดันอ้างอิง ถ้าแรงดัน 5V ซึ่งเป็นแรงดันทางตรรกถูกใช้ เป็นแรงดันอ้างอิงแล้ว R14 ควรจะถูกแยกออกโดยการต่อตัวมันเข้ากับแรงดัน 5V โดยผ่านตัวต้านทานอีกตัวหนึ่ง และบายพาสรอยต่อของตัวต้านทานทั้งสองด้วยตัวเก็บประจุค่า 0.1 μ F ลงกราวด์ สำหรับแรงดันอ้างอิงที่มากกว่า 5V ควรจะมีการต่อเดลมป์ไดโอด (Clamp Diode) ระหว่างขา 14 กับกราวด์ ถ้าขา 14 ถูกขับด้วยค่าอินพุตอิมพีแดนซ์สูง (High Impedance) เช่น แหล่งกำเนิดกระแสทรานซิสเตอร์ (Transistor Current Source) วิชิตเซตทั้งหมดที่กล่าวมาข้างต้นจะเข้าไม่ได้ และตัวขยาย (Amplifier) จะต้องถูกนำมาใช้ในการลดค่าแถบความถี่ใช้งาน (Band Width) ทั้งหมด

Output Voltage Range

แรงดันที่ขา 4 จะถูกจำกัดไว้ที่พิลลีย์ (Range) -0.55 ถึง 0.4V เมื่อ V_{EE} -5V เนื่องจากวิธีสวิตชิงของกระแส (Current Switching Method) ที่ใช้ใน DAC0808 ค่าแรงดันเอาต์พุตลบ (Negative Output Voltage) ที่มีได้ใน DAC0808 คือแค่ไปถึง -5V ซึ่งค่าแรงดันที่ขา 4 นั้นจะต้องเป็นค่าที่ลบมากกว่า -10V การใช้กระแสเต็มสเกลที่ 1.992 mA และตัวต้านทานที่เป็นโหลด ค่า 2.5 k ระหว่างขา 4 และกราวด์ จะถูกกล่าวได้ว่า แรงดันเอาต์พุตจะมี 256 ระดับ ที่แรงดันระหว่าง 0 และ -4.980 V การปล่อยขา 1 ให้ลอยไว้จะไม่มีผลต่อความเร็วในการแปลง หรือการสูญเสียกำลังงาน อย่างไรก็ตาม ค่าของตัวต้านทานโหลดจะเป็นตัวกำหนดเวลาของการสวิตชิง (Switching Time) เนื่องจากแรงดันที่สวิงมีค่าเพิ่มขึ้น ค่าของ R_L ที่ขึ้นถึง 500 จะไม่มีผลกระทบสำคัญต่อการปฏิบัติงาน แต่ค่า 2.5 k จะเพิ่มค่า Settling Time เป็น 1.2 ซึ่งเป็นค่าที่แย่ที่สุด (เมื่อบิตทั้งหมดเป็น ON)

Output Current Range

กระแสเอาต์พุตสูงสุดที่มีขีดถึง 4.2 mA อาจจะถูกใช้ในกรณีของแรงดันไฟเลี้ยงค่าลบ ที่มีค่าลบมากกว่า -8V เนื่องจากแรงดันตกคร่อมตัวต้านทานในวงจรขยายกระแสอ้างอิงที่เพิ่มขึ้น



รูปที่ 4.9 วงจร D/A

บทที่ 5

สรุปผล

โครงการการส่งสัญญาณเสียงผ่านเส้นใยนำแสงนี้ ใช้เทคนิคการเข้ารหัสและถอดรหัสสัญญาณแบบ FSK (Frequency Shift Keying) และใช้เส้นใยนำแสง (Fiber Optic) เป็นตัวเชื่อมระหว่างภาคส่งและภาครับ ผลที่ได้จากการทดลองของโครงการนี้ ปรากฏว่าวงจรสามารถที่จะทำงานได้ กล่าวคือสามารถส่ง/รับข้อมูลได้ แต่มีบางครั้งที่ทางค้ำรับไม่สามารถล็อก (Lock) ความถี่ได้ ทั้งนี้ เนื่องมาจากสัญญาณรบกวนที่มากเกินไป

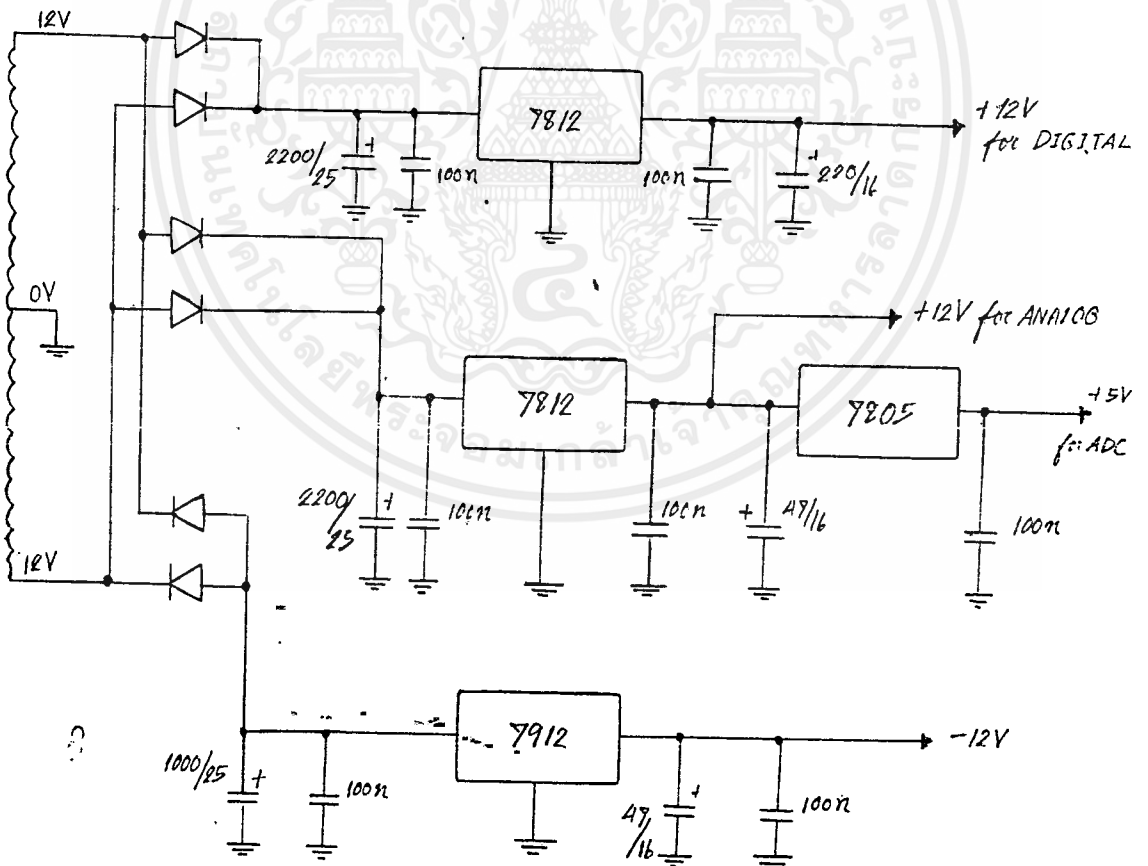
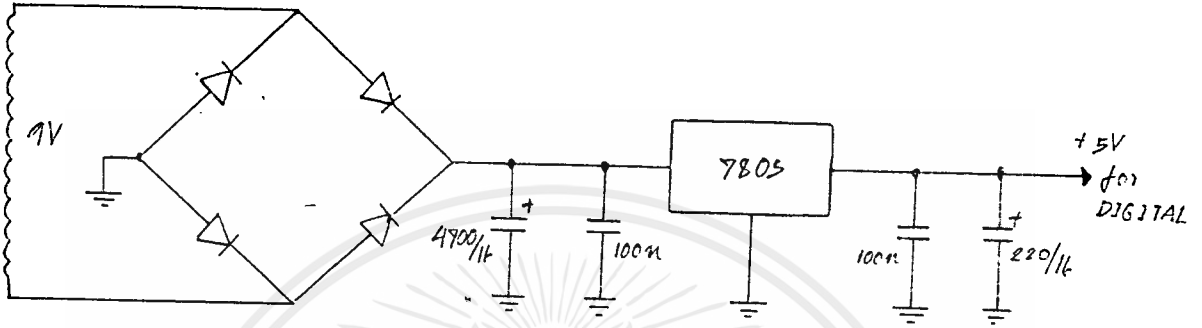
โครงการนี้ เป็นการส่งสัญญาณเสียงเพียงอย่างเดียว เนื่องจากเส้นใยนำแสงที่ใช้อยู่ยังมีขีดจำกัดทางความถี่ ถึงแม้จะใช้สัญญาณเสียงเป็นสัญญาณทดลอง แต่การส่งสัญญาณภาพก็ใช้หลักการเดียวกัน แต่แตกต่างกัน เฉพาะค่าความถี่ของข้อมูลจึงมีค่าสูง และค่าความถี่นี้ขึ้นอยู่กับค่า Cut off ของเส้นใยนำแสง ดังนั้น ในการประยุกต์ใช้กับสัญญาณภาพ จึงควรเลือกใช้เส้นใยนำแสงที่เหมาะสม

เอกสารอ้างอิง

- [1] Carr Joseph J. Microprocessor Interfacing Tab Books Inc., 1984.
- [2] Kennedy, George Davis, Bernard Electronic Communication System McGraw-Hill, 1993.
- [3] Lancaster, Don CMOS Cookbook Howard W. Sams & Co., Inc., 1977.
- [4] National Semiconductor Corporation Linear Databook 2 , 1988.
- [5] Norris, Bryan Digital Integrated Circuits and Operational Amplifier and Optoelectronic Circuit Design McGraw-Hill, 1976.
- [6] Motorola Inc. CMOS Databook, 1978.
- [7] Texas Instruments Inc. The TTL Databook, 1985.

ภาคผนวก ก.

วงจรไฟเลี้ยงระบบ



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



MC14046B

PHASE-LOCKED LOOP

The MC14046B phase-locked loop contains two phase comparators, a voltage-controlled oscillator (VCO), source follower, and zener diode. The comparators have two common signal inputs, PCA_{in} and PCB_{in} . Input PCA_{in} can be used directly coupled to large voltage signals, or indirectly coupled (with a series capacitor) to small voltage signals. The self-bias circuit adjusts small voltage signals in the linear region of the amplifier. Phase comparator 1 (an exclusive OR gate) provides a digital error signal $PC1_{out}$, and maintains 90° phase shift at the center frequency between PCA_{in} and PCB_{in} signals (both at 50% duty cycle). Phase comparator 2 (with leading edge sensing logic) provides digital error signals $PC2_{out}$ and PCP_{out} , and maintains a 0° phase shift between PCA_{in} and PCB_{in} signals (duty cycle is immaterial). The linear VCO produces an output signal VCO_{out} whose frequency is determined by the voltage of input VCO_{in} and the capacitor and resistors connected to pins C1A, C1B, R1, and R2. The source-follower output SF_{out} with an external resistor is used where the VCO_{in} signal is needed but no loading can be tolerated. The inhibit input Inh , when high, disables the VCO and source follower to minimize standby power consumption. The zener diode can be used to assist in power supply regulation.

Applications include FM and FSK modulation and demodulation, frequency synthesis and multiplication, frequency discrimination, tone decoding, data synchronization and conditioning, voltage-to-frequency conversion and motor speed control.

- VCO Frequency = 1.4 MHz Typical @ $V_{DD} = 10$ Vdc
- VCO Frequency Drift with Temperature = 0.04%/°C Typical @ $V_{DD} = 10$ Vdc
- VCO Linearity = 1% Typical
- Quiescent Current = 5.0 nA/package typical @ 5 Vdc
- Low Dynamic Power Dissipation -- 70 μ W Typical @ $f_0 = 10$ kHz, $V_{DD} = 5.0$ Vdc, $R1 = 1.0$ M Ω , $R2 = \infty$, $R_{SF} \leq \infty$
- Buffered Outputs Compatible with MHTL and Low-Power TTL
- Diode Protection on All Inputs
- Supply Voltage Range = 3.0 to 18 Vdc
- Pin-for-Pin Replacement for CD4046B

CMOS MSI

(LOW-POWER COMPLEMENTARY MOS)

PHASE-LOCKED LOOP



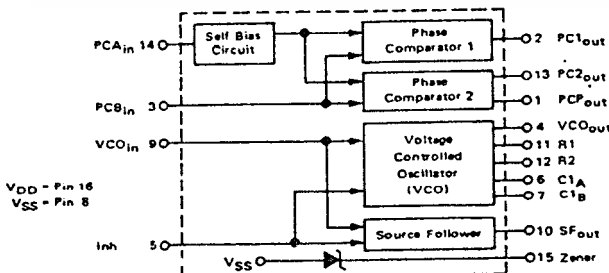
L SUFFIX
CERAMIC PACKAGE
CASE 620

P SUFFIX
PLASTIC PACKAGE
CASE 648

ORDERING INFORMATION

MC14XXXB	Suffix	Denotes
	L	Ceramic Package
	P	Plastic Package
	A	Extended Operating Temperature Range
	C	Limited Operating Temperature Range

BLOCK DIAGRAM



This device contains circuitry to protect the inputs against damage due to high static voltages or electric fields; however, it is advised that normal precautions be taken to avoid application of any voltage higher than maximum rated voltages to this high impedance circuit. For proper operation it is recommended that V_{in} and V_{out} be constrained to the range $V_{SS} < (V_{in} \text{ or } V_{out}) < V_{DD}$.

Unused inputs must always be tied to an appropriate logic voltage level (e.g., either V_{SS} or V_{DD}). Pins 6, 7, 10, 11, 12, and 15 if unused must be left open.

MAXIMUM RATINGS (Voltages referenced to V_{SS})

Rating	Symbol	Value	Unit
DC Supply Voltage	V _{DD}	-0.5 to +18	Vdc
Input Voltage, All Inputs	V _{in}	-0.5 to V _{DD} + 0.5	Vdc
DC Current Drain per Pin	I	10	mAdc
Operating Temperature Range - AL Device	T _A	-55 to +125	°C
CL/CP Device		-40 to +85	°C
Storage Temperature Range	T _{stg}	-65 to +150	°C

ELECTRICAL CHARACTERISTICS

Characteristic	Symbol	V _{DD} Vdc	T _{low} *		25°C			T _{high} *		Unit
			Min	Max	Min	Typ	Max	Min	Max	
Output Voltage "0" Level V _{in} = V _{DD} or 0	V _{OL}	5.0	-	0.05	-	0	0.05	-	0.05	Vdc
		10	-	0.05	-	0	0.05	-	0.05	
		15	-	0.05	-	0	0.05	-	0.05	
Output Voltage "1" Level V _{in} = G or V _{DD}	V _{OH}	5.0	4.95	-	4.95	5.0	-	4.95	-	Vdc
		10	9.95	-	9.95	10	-	9.95	-	
		15	14.95	-	14.95	15	-	14.95	-	
Input Voltage "0" Level (V _O = 4.5 or 0.5 Vdc) (V _O = 9 C or 1.0 Vdc) (V _O = 13.5 or 1.5 Vdc)	V _{IL}	5.0	-	1.5	-	2.25	1.5	-	1.5	Vdc
		10	-	3.0	-	4.50	3.0	-	3.0	
		15	-	4.0	-	6.75	4.0	-	4.0	
Input Voltage "1" Level (V _O = 0.5 or 4.5 Vdc) (V _O = 1.0 or 9.0 Vdc) (V _O = 1.5 or 13.5 Vdc)	V _{IH}	5.0	3.5	-	3.5	2.75	-	3.5	-	Vdc
		10	7.0	-	7.0	5.50	-	7.0	-	
		15	11.0	-	11.0	8.25	-	11.0	-	
Output Drive Current (AL Device) Source (V _{OH} = 2.5 Vdc) (V _{OH} = 4.5 Vdc) (V _{OH} = 9.5 Vdc) (V _{OH} = 13.5 Vdc)	I _{OH}	5.0	-1.2	-	-1.0	-1.7	-	-0.7	-	mAdc
		5.0	-0.25	-	-0.2	-0.36	-	-0.14	-	
		10	-0.62	-	-0.5	-0.9	-	-0.35	-	
		15	-1.8	-	-1.5	-3.5	-	-1.1	-	
Output Drive Current (AL Device) Sink (V _{OL} = 0.4 Vdc) (V _{OL} = 0.5 Vdc) (V _{OL} = 1.5 Vdc)	I _{OL}	5.0	0.64	-	0.51	0.88	-	0.36	-	mAdc
		10	1.6	-	1.3	2.25	-	0.9	-	
		15	4.2	-	3.4	8.8	-	2.4	-	
Output Drive Current (CL/CP Device) Source (V _{OH} = 2.5 Vdc) (V _{OH} = 4.5 Vdc) (V _{OH} = 9.5 Vdc) (V _{OH} = 13.5 Vdc)	I _{OH}	5.0	-1.0	-	-0.8	-1.7	-	-0.6	-	mAdc
		5.0	-0.2	-	-0.16	-0.36	-	-0.12	-	
		10	-0.5	-	-0.4	-0.9	-	-0.3	-	
		15	-1.4	-	-1.2	-3.5	-	-1.0	-	
Output Drive Current (CL/CP Device) Sink (V _{OL} = 0.4 Vdc) (V _{OL} = 0.5 Vdc) (V _{OL} = 1.5 Vdc)	I _{OL}	5.0	0.52	-	0.44	0.88	-	0.36	-	mAdc
		10	1.3	-	1.1	2.25	-	0.9	-	
		15	3.6	-	3.0	8.8	-	2.4	-	
Input Current (AL Device)	I _{in}	15	-	±0.1	-	±0.00001	±0.1	-	±1.0	μAdc
Input Current (CL/CP Device)	I _{in}	15	-	±0.3	-	±0.00001	±0.3	-	±1.0	μAdc
Input Capacitance (V _{in} = 0)	C _{in}	-	-	-	-	5.0	7.5	-	-	pF
Quiescent Current (AL Device) (Per Package) (I _{nh} = "1" and PCA = "1")	I _{DD}	5.0	-	5.0	-	0.005	5.0	-	150	μAdc
		10	-	10	-	0.010	10	-	300	
		15	-	20	-	0.015	20	-	600	
Quiescent Current (CL/CP Device) (Per Package) (I _{nh} = "1" and PCA = "1")	I _{DD}	5.0	-	20	-	0.005	20	-	150	μAdc
		10	-	40	-	0.010	40	-	300	
		15	-	80	-	0.015	80	-	600	
Total Supply Current I _T (I _{nh} = "0", f _o = 10 kHz, C _L = 50 pF, R ₁ = 1 MΩ, R ₂ = ∞, R _{SF} = ∞, and 50% Duty Cycle)	I _T	5.0	I _T = (1.46 μA/kHz) f + I _{DD}							μAdc
		10	I _T = (2.91 μA/kHz) f + I _{DD}							
		15	I _T = (4.37 μA/kHz) f + I _{DD}							

*T_{low} = -55°C for AL Device, -40°C for CL/CP Device.
 T_{high} = +125°C for AL Device, +85°C for CL/CP Device.
 = Noise immunity specified for worst-case input combination.
 Noise Margin for both "1" and "0" level = 1.0 Vdc min @ V_{DD} = 5.0 Vdc
 2.0 Vdc min @ V_{DD} = 10 Vdc
 2.5 Vdc min @ V_{DD} = 15 Vdc

†To Calculate Total Current in General:

$$I_T = 2.2 \times V_{DD} \left(\frac{V_{COin} - 1.65}{R_1} + \frac{V_{DD} - 1.35}{R_2} \right)^{3/4} + 1.6 \times \left(\frac{V_{COin} - 1.65}{R_{SF}} \right)^{3/4} + 1 \times 10^{-3} (C_L + 9) V_{DD} f + 1 \times 10^{-1} V_{DD}^2 \left(\frac{100 - \% \text{ Duty Cycle of PCA}_{in}}{100} \right) + I_O$$

where: I_T in μA, C_L in pF, V_{COin}, V_{DD} in Vdc, f in KHz, and R₁, R₂, R_{SF} in MΩ, C_L on VCOout.

ELECTRICAL CHARACTERISTICS* (C_L = 50 pF, T_A = 25°C)

Characteristic	Symbol	VDD Vdc	Minimum		Typical All Types	Maximum		Units
			AL Device	CL/CP Device		AL Device	CL/CP Device	
Output Rise Time †TLH = (3.0 ns/pF) C _L + 30 ns †TLH = (1.5 ns/pF) C _L + 15 ns †TLH = (1.1 ns/pF) C _L + 10 ns	†TLH	5.0 10 15	— — —	— — —	180 90 65	350 150 110	400 200 200	ns
Output Fall Time †FHL = (1.5 ns/pF) C _L + 25 ns †FHL = (0.75 ns/pF) C _L + 12.5 ns †FHL = (0.55 ns/pF) C _L + 9.5 ns	†FHL	5.0 10 15	— — —	— — —	100 50 37	175 75 55	200 100 80	ns

PHASE COMPARATORS 1 and 2

Input Resistance – PCA _{in}	R _{in}	5.0	1.0	1.0	2.0	—	—	MΩ
		10	0.2	0.2	0.4	—	—	
– PCB _{in}	R _{in}	15	0.1	0.1	0.2	—	—	MΩ
Minimum Input Sensitivity AC Coupled – PCA _{in} C series = 1000 pF, f = 50 kHz		V _{in}	5.0 10 15	— — —	— — —	200 400 700	300 600 1050	
DC Coupled – PCA _{in} , PCB _{in}	—	5 to 15	See Noise Immunity					

VOLTAGE CONTROLLED OSCILLATOR (VCO)

Maximum Frequency (VCO _{in} = VDD, C1 = 50 pF, R1 = 5 kΩ, and R2 = ∞)	f _{max}	5.0	0.50	0.35	0.70	—	—	MHz
		10	1.0	0.7	1.4	—	—	
		15	1.4	1.0	1.9	—	—	
Temperature – Frequency Stability (R2 = ∞)	—	5.0	—	—	0.12	—	—	%°C
		10	—	—	0.04	—	—	
		15	—	—	0.015	—	—	
Linearity (R2 = ∞) (VCO _{in} = 2.50 V ± 0.30 V, R1 > 10 kΩ) (VCO _{in} = 5.00 V ± 2.50 V, R1 > 400 kΩ) (VCO _{in} = 7.50 V ± 5.00 V, R1 > 1000 kΩ)	—	5.0	—	—	1	—	—	%
		10	—	—	1	—	—	
		15	—	—	1	—	—	
Output Duty Cycle	—	5 to 15	—	—	50	—	—	%
Input Resistance – VCO _{in}	R _{in}	15	150	15	1500	—	—	MΩ

SOURCE-FOLLOWER

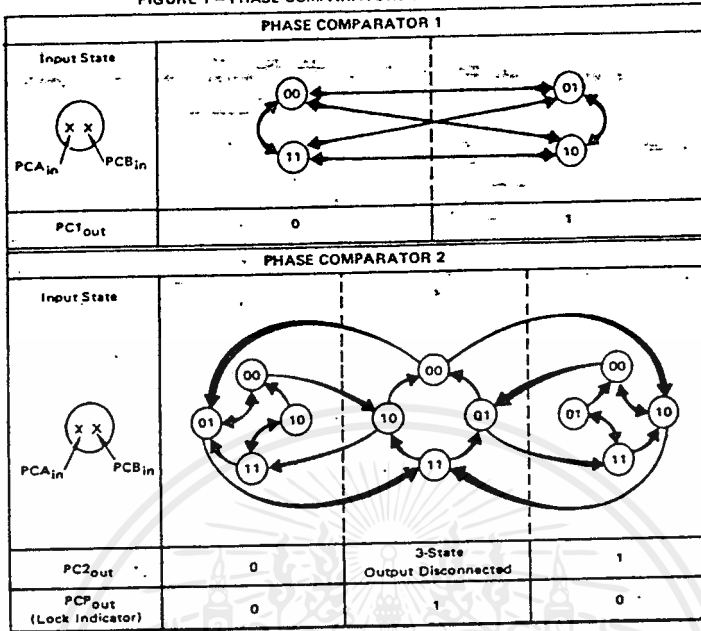
Offset Voltage (VCO _{in} minus SF _{out} , R _{SF} > 50 kΩ)	—	5.0	—	—	1.65	2.2	2.5	Vdc
		10	—	—	1.65	2.2	2.5	
		15	—	—	1.65	2.2	2.5	
Linearity (VCO _{in} = 2.50 V ± 0.30 V, R _{SF} > 50 kΩ) (VCO _{in} = 5.00 V ± 2.50 V, R _{SF} > 50 kΩ) (VCO _{in} = 7.50 V ± 5.00 V, R _{SF} > 50 kΩ)	—	5.0	—	—	0.1	—	—	%
		10	—	—	0.6	—	—	
		15	—	—	0.8	—	—	

ZENER DIODE

Zener Voltage (I _Z = 50 μA)	V _Z	—	6.7	6.3	7.0	7.3	7.7	Vdc
Dynamic Resistance (I _Z = 1 mA)	R _Z	—	—	—	100	—	—	Ω

*The formula given is for the typical characteristics only.

FIGURE 1 - PHASE COMPARATORS STATE DIAGRAMS

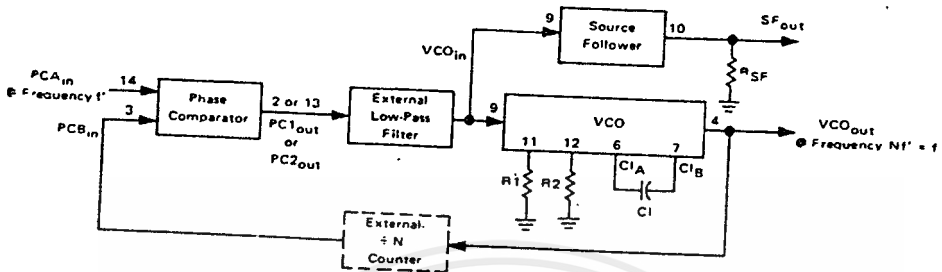


Refer to Waveforms in Figure 3.

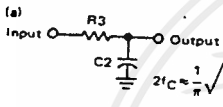
FIGURE 2 - DESIGN INFORMATION

Characteristic	Using Phase Comparator 1	Using Phase Comparator 2
No signal on input PCA _{in} .	VCO in PLL system adjusts to center frequency (f ₀).	VCO in PLL system adjusts to minimum frequency (f _{min}).
Phase angle between PCA _{in} and PCB _{in} .	90° at center frequency (f ₀), approaching 0° and 180° at ends of lock range (2f _L).	Always 0° in lock (positive rising edges).
Locks on harmonics of center frequency.	Yes	No
Signal input noise rejection.	High	Low
Lock frequency range (2f _L).	The frequency range of the input signal on which the loop will stay locked if it was initially in lock. 2f _L = full VCO frequency range = f _{max} - f _{min} .	
Capture frequency range (2f _C).	The frequency range of the input signal on which the loop will lock if it was initially out of lock.	
	Depends on low-pass filter characteristics (see Figure 3). f _C < f _L	f _C = f _L
Center frequency (f ₀).	The frequency of VCO _{out} when VCO _{in} = 1/2 V _{DD}	
VCO output frequency (f).	$f_{min} = \frac{1}{R_2(C_1 + 32 \text{ pF})} \quad (V_{CO} \text{ input} = V_{SS})$ $f_{max} = \frac{1}{R_1(C_1 + 32 \text{ pF})} + f_{min} \quad (V_{CO} \text{ input} = V_{DD})$ <p>Where: 10K < R₁ < 1M 10K < R₂ < 1M 100pF < C₁ < .01 μF</p>	

FIGURE 3 - GENERAL PHASE-LOCKED LOOP CONNECTIONS AND WAVEFORMS



Typical Low-Pass Filters



Typically:

$$R_4 C_2 = \frac{6N}{f_{max}} - \frac{N}{2\pi \Delta f}$$

$$(R_3 + 3,000\Omega) C_2 = \frac{100N\Delta f}{f_{max}^2} - R_4 C_2$$

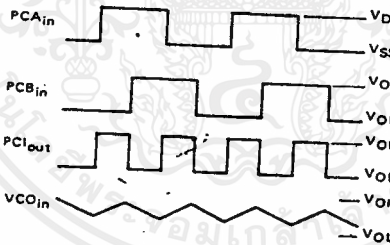
$$\Delta f = f_{max} - f_{min}$$

Note: for further information, see:

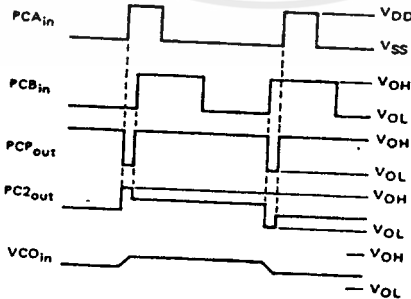
- (1) F. Gardner, "Phase-Lock Techniques", John Wiley and Son, New York, 1966.
- (2) G. S. Moschytz, "Miniature RC Filters Using Phase-Locked Loop", BSTJ, May, 1965.
- (3) Garth Nash, "Phase-Lock Loop Design Fundamentals", AN-535, Motorola Inc.

Waveforms

Phase Comparator 1



Phase Comparator 2





**National
Semiconductor
Corporation**

ADC0801, ADC0802, ADC0803, ADC0804, ADC0805 8-Bit μ P Compatible A/D Converters

General Description

The ADC0801, ADC0802, ADC0803, ADC0804 and ADC0805 are CMOS 8-bit successive approximation A/D converters that use a differential potentiometric ladder—similar to the 256R products. These converters are designed to allow operation with the NSC800 and INS8080A derivative control bus with TRI-STATE® output latches directly driving the data bus. These A/Ds appear like memory locations or I/O ports to the microprocessor and no interfacing logic is needed.

Differential analog voltage inputs allow increasing the common-mode rejection and offsetting the analog zero input voltage value. In addition, the voltage reference input can be adjusted to allow encoding any smaller analog voltage span to the full 8 bits of resolution.

Features

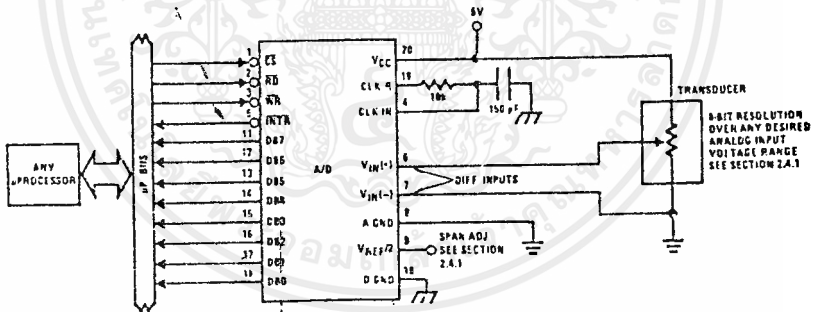
- Compatible with 8080 μ P derivatives—no interfacing logic needed - access time - 135 ns
- Easy interface to all microprocessors, or operates "stand alone"

- Differential analog voltage inputs
- Logic inputs and outputs meet both MOS and TTL voltage level specifications
- Works with 2.5V (LM336) voltage reference
- On-chip clock generator
- 0V to 5V analog input voltage range with single 5V supply
- No zero adjust required
- 0.3" standard width 20-pin DIP package
- 20-pin molded chip carrier or small outline package
- Operates ratiometrically or with 5 V_{DC} , 2.5 V_{DC} , or analog span adjusted voltage reference

Key Specifications

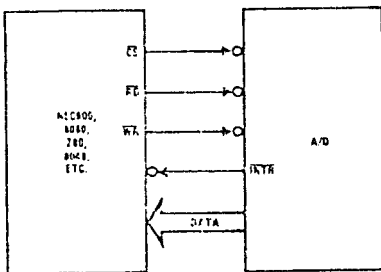
- Resolution 8 bits
- Total error $\pm 1/4$ LSB, $\pm 1/2$ LSB and ± 1 LSB
- Conversion time 100 μ s

Typical Applications



TL/H/5671-1

8080 Interface



TL/H/5671-31

Error Specification (Includes Full-Scale, Zero Error, and Non-Linearity)

Part Number	Full-Scale A_{adjusted}	$V_{REF}/2 = 2.500 V_{DC}$ (No Adjustments)	$V_{REF}/2 = \text{No Connection}$ (No Adjustments)
ADC0801	$\pm 1/4$ LSB		
ADC0802		$\pm 1/2$ LSB	
ADC0803	$\pm 1/2$ LSB		
ADC0804		± 1 LSB	
ADC0805			± 1 LSB

Absolute Maximum Ratings (Notes 1 & 2)

If Military/Aerospace specified devices are required, contact the National Semiconductor Sales Office/Distributors for availability and specifications.

Supply Voltage (V_{CC}) (Note 3)	6.5V
Voltage	
Logic Control Inputs	-0.3V to +18V
At Other Input and Outputs	-0.3V to ($V_{CC} + 0.3V$)
Lead Temp. (Soldering, 10 seconds)	
Dual-In-Line Package (plastic)	260°C
Dual-In-Line Package (ceramic)	300°C
Surface Mount Package	
Vapor Phase (60 seconds)	215°C
Infrared (15 seconds)	220°C

Storage Temperature Range	-65°C to +150°C
Package Dissipation at $T_A = 25^\circ\text{C}$	875 mW
ESD Susceptibility (Note 10)	800V

Operating Ratings (Notes 1 & 2)

Temperature Range	$T_{MIN} \leq T_A \leq T_{MAX}$
ADC0801/02LJ	-55°C $\leq T_A \leq$ +125°C
ADC0801/02/03/04LCJ	-40°C $\leq T_A \leq$ +85°C
ADC0801/02/03/05LCN	-40°C $\leq T_A \leq$ +85°C
ADC0804LCN	0°C $\leq T_A \leq$ +70°C
ADC0802/03/04LCV	0°C $\leq T_A \leq$ +70°C
ADC0802/03/04LCWM	0°C $\leq T_A \leq$ +70°C
Range of V_{CC}	4.5 V_{DC} to 6.3 V_{DC}

Electrical Characteristics

The following specifications apply for $V_{CC} = 5 V_{DC}$, $T_{MIN} \leq T_A \leq T_{MAX}$ and $f_{CLK} = 640$ kHz unless otherwise specified.

Parameter	Conditions	Min	Typ	Max	Units
ADC0801: Total Adjusted Error (Note 8)	With Full-Scale Adj. (See Section 2.5.2)			$\pm 1/4$	LSB
ADC0802: Total Unadjusted Error (Note 8)	$V_{REF}/2 = 2.500 V_{DC}$			$\pm 1/2$	LSB
ADC0803: Total Adjusted Error (Note 8)	With Full-Scale Adj. (See Section 2.5.2)			$\pm 1/2$	LSB
ADC0804: Total Unadjusted Error (Note 8)	$V_{REF}/2 = 2.500 V_{DC}$			± 1	LSB
ADC0805: Total Unadjusted Error (Note 8)	$V_{REF}/2$ -No Connection			± 1	LSB
$V_{REF}/2$ Input Resistance (Pin 9)	ADC0801/02/03/05 ADC0804 (Note 9)	2.5 0.75	8.0 1.1		k Ω k Ω
Analog Input Voltage Range	(Note 4) $V(+)$ or $V(-)$	Gnd-0.05		$V_{CC} + 0.05$	V_{DC}
DC Common-Mode Error	Over Analog Input Voltage Range		$\pm 1/16$	$\pm 1/8$	LSB
Power Supply Sensitivity	$V_{CC} = 5 V_{DC} \pm 10\%$ Over Allowed $V_{IN}(+)$ and $V_{IN}(-)$ Voltage Range (Note 4)		$\pm 1/16$	$\pm 1/8$	LSB

AC Electrical Characteristics

The following specifications apply for $V_{CC} = 5 V_{DC}$ and $T_A = 25^\circ\text{C}$ unless otherwise specified.

Symbol	Parameter	Conditions	Min	Typ	Max	Units
T_C	Conversion Time	$f_{CLK} = 640$ kHz (Note 6)	103		114	μs
T_C	Conversion Time	(Note 5, 6)	66		73	$1/f_{CLK}$
f_{CLK}	Clock Frequency Clock Duty Cycle	$V_{CC} = 5V$, (Note 5) (Note 5)	100 40	640	1460 60	kHz %
CR	Conversion Rate in Free-Running Mode	\overline{INTR} tied to \overline{WR} with $\overline{CS} = 0 V_{DC}$, $f_{CLK} = 640$ kHz	8770		9708	conv/s
$t_{W(WR)}$	Width of \overline{WR} Input (Start Pulse Width)	$\overline{CS} = 0 V_{DC}$ (Note 7)	100			ns
t_{ACC}	Access Time (Delay from Falling Edge of \overline{RD} to Output Data Valid)	$C_L = 100$ pF		135	200	ns
t_{1H}, t_{0H}	TRI-STATE Control (Delay from Rising Edge of \overline{RD} to Hi-Z State)	$C_L = 10$ pF, $R_L = 10k$ (See TRI-STATE Test Circuits)		125	200	ns
t_{WI}, t_{RI}	Delay from Falling Edge of \overline{WR} or \overline{RD} to Reset of \overline{INTR}			300	450	ns
C_{IN}	Input Capacitance of Logic Control Inputs			5	7.5	pF
C_{OUT}	TRI-STATE Output Capacitance (Data Buffers)			5	7.5	pF

CONTROL INPUTS [Note: CLK IN (Pin 4) is the input of a Schmitt trigger circuit and is therefore specified separately]

$V_{IN}(1)$	Logical "1" Input Voltage (Except Pin 4 CLK IN)	$V_{CC} = 5.25 V_{DC}$	2.0		15	V_{DC}
-------------	---	------------------------	-----	--	----	----------

AC Electrical Characteristics (Continued)

The following specifications apply for $V_{CC} = 5V_{DC}$ and $T_{MIN} \leq T_A \leq T_{MAX}$, unless otherwise specified.

Symbol	Parameter	Conditions	Min	Typ	Max	Units
CONTROL INPUTS [Note: CLK IN (Pin 4) is the input of a Schmitt trigger circuit and is therefore specified separately]						
$V_{IN(0)}$	Logical "0" Input Voltage (Except Pin 4 CLK IN)	$V_{CC} = 4.75 V_{DC}$			0.8	V_{DC}
$I_{IN(1)}$	Logical "1" Input Current (All Inputs)	$V_{IN} = 5 V_{DC}$		0.005	1	μA_{DC}
$I_{IN(0)}$	Logical "0" Input Current (All Inputs)	$V_{IN} = 0 V_{DC}$	-1	-0.005		μA_{DC}
CLOCK IN AND CLOCK R						
V_{T+}	CLK IN (Pin 4) Positive Going Threshold Voltage		2.7	3.1	3.5	V_{DC}
V_{T-}	CLK IN (Pin 4) Negative Going Threshold Voltage		1.5	1.8	2.1	V_{DC}
V_H	CLK IN (Pin 4) Hysteresis ($V_{T+} - V_{T-}$)		0.6	1.3	2.0	V_{DC}
$V_{OUT(0)}$	Logical "0" CLK R Output Voltage	$I_O = 360 \mu A$ $V_{CC} = 4.75 V_{DC}$			0.4	V_{DC}
$V_{OUT(1)}$	Logical "1" CLK R Output Voltage	$I_O = -360 \mu A$ $V_{CC} = 4.75 V_{DC}$	2.4			V_{DC}
DATA OUTPUTS AND INTR						
$V_{OUT(0)}$	Logical "0" Output Voltage Data Outputs INTR Output	$I_{OUT} = 1.6 mA, V_{CC} = 4.75 V_{DC}$ $I_{OUT} = 1.0 mA, V_{CC} = 4.75 V_{DC}$			0.4 0.4	V_{DC} V_{DC}
$V_{OUT(1)}$	Logical "1" Output Voltage	$I_O = -360 \mu A, V_{CC} = 4.75 V_{DC}$	2.4			V_{DC}
$V_{OUT(1)}$	Logical "1" Output Voltage	$I_O = -10 \mu A, V_{CC} = 4.75 V_{DC}$	4.5			V_{DC}
I_{OUT}	TRI-STATE Disabled Output Leakage (All Data Buffers)	$V_{OUT} = 0 V_{DC}$ $V_{OUT} = 5 V_{DC}$	-3		3	μA_{DC} μA_{DC}
I_{SOURCE}		V_{OUT} Short to Gnd, $T_A = 25^\circ C$	4.5	6		mA_{DC}
I_{SINK}		V_{OUT} Short to V_{CC} , $T_A = 25^\circ C$	9.0	16		mA_{DC}
POWER SUPPLY						
I_{CC}	Supply Current (Includes Ladder Current) ADC0801/02/03/04LCJ/05 ADC0804LCN/LCV/LCWM	$f_{CLK} = 640 kHz$, $V_{REF/2} = NC$, $T_A = 25^\circ C$ and $\overline{CS} = 5V$			1.1 1.9	1.8 2.5 mA mA

Note 1: Absolute Maximum Ratings indicate limits beyond which damage to the device may occur. DC and AC electrical specifications do not apply when operating the device beyond its specified operating conditions.

Note 2: All voltages are measured with respect to Gnd, unless otherwise specified. The separate A Gnd point should always be wired to the D Gnd.

Note 3: A zener diode exists, internally, from V_{CC} to Gnd and has a typical breakdown voltage of 7 V_{DC} .

Note 4: For $V_{IN(-)} \geq V_{IN(+)}$ the digital output code will be 0000 0000. Two on-chip diodes are tied to each analog input (see block diagram) which will forward conduct for analog input voltages one diode drop below ground or one diode drop greater than the V_{CC} supply. Be careful, during testing at low V_{CC} levels (4.5V), as high level analog inputs (5V) can cause this input diode to conduct—especially at elevated temperatures, and cause errors for analog inputs near full-scale. The output spec allows 50 mV forward bias of either diode. This means that as long as the analog V_{IN} does not exceed the supply voltage by more than 50 mV, the output code will be correct. To achieve an absolute 0 V_{DC} to 5 V_{DC} input voltage range will therefore require a minimum supply voltage of 4.950 V_{DC} over temperature variations, initial tolerance and loading.

Note 5: Accuracy is guaranteed at $f_{CLK} = 640 kHz$. At higher clock frequencies accuracy can degrade. For lower clock frequencies, the duty cycle limits can be extended so long as the minimum clock high time interval or minimum clock low time interval is no less than 275 ns.

Note 6: With an asynchronous start pulse, up to 8 clock periods may be required before the internal clock phases are proper to start the conversion process. The start request is internally latched, see Figure 2 and section 2.0.

Note 7: The \overline{CS} input is assumed to bracket the \overline{WR} strobe input and therefore timing is dependent on the \overline{WR} pulse width. An arbitrarily wide pulse width will hold the converter in a reset mode and the start of conversion is initiated by the low to high transition of the \overline{WR} pulse (see timing diagrams).

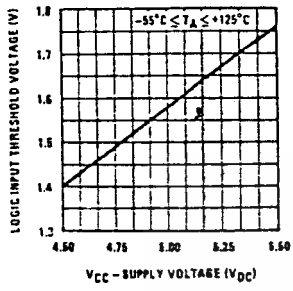
Note 8: None of these A/Ds requires a zero adjust (see section 2.5.1). To obtain zero code at other analog input voltages see section 2.5 and Figure 5.

Note 9: The $V_{REF/2}$ pin is the center point of a two resistor divider connected from V_{CC} to ground. Each resistor is 2.2k, except for the ADC0804LCJ where each resistor is 16k. Total ladder input resistance is the sum of the two equal resistors.

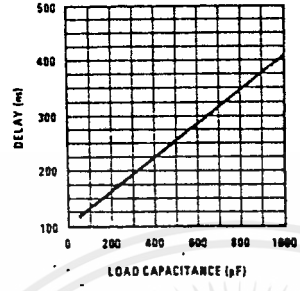
Note 10: Human body model, 100 pF discharged through a 1.5 k Ω resistor.

Typical Performance Characteristics

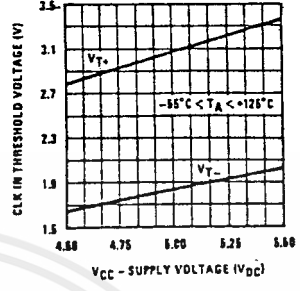
Logic Input Threshold Voltage vs. Supply Voltage



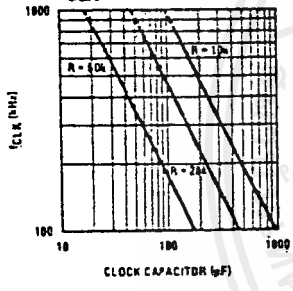
Delay From Falling Edge of RD to Output Data Valid vs. Load Capacitance



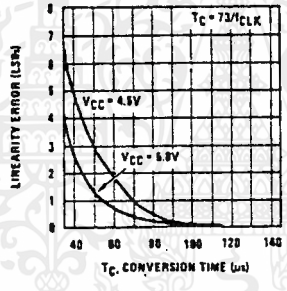
CLK IN Schmitt Trip Levels vs. Supply Voltage



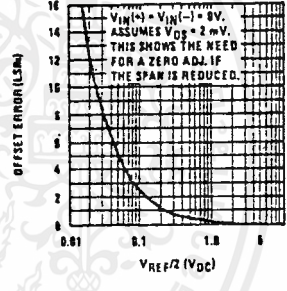
fCLK vs. Clock Capacitor



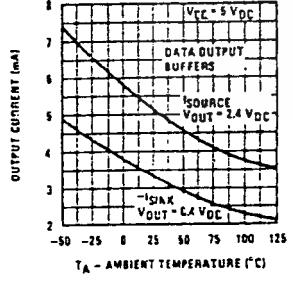
Full-Scale Error vs Conversion Time



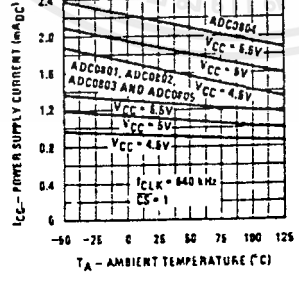
Effect of Unadjusted Offset Error vs. VREF/2 Voltage



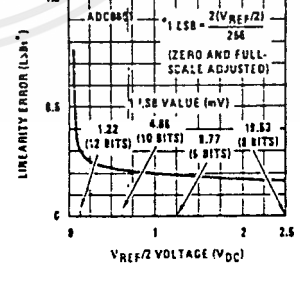
Output Current vs Temperature



Power Supply Current vs Temperature (Note 9)

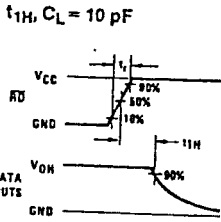
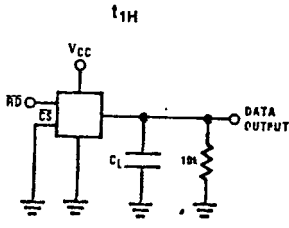


Linearity Error at Low VREF/2 Voltages

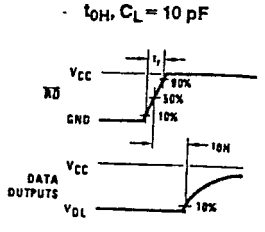
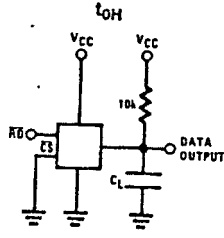


TL/H/5671-2

TRI-STATE Test Circuits and Waveforms



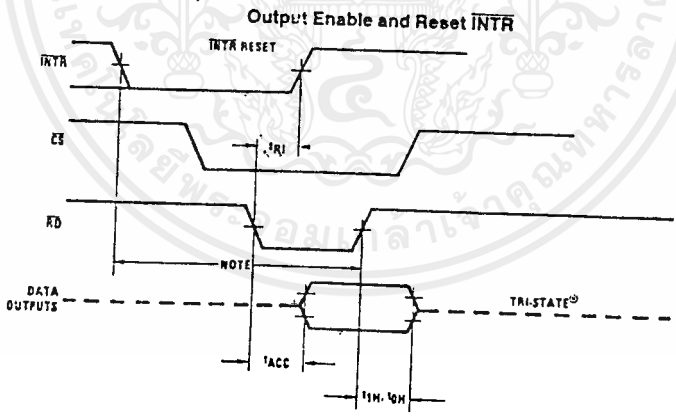
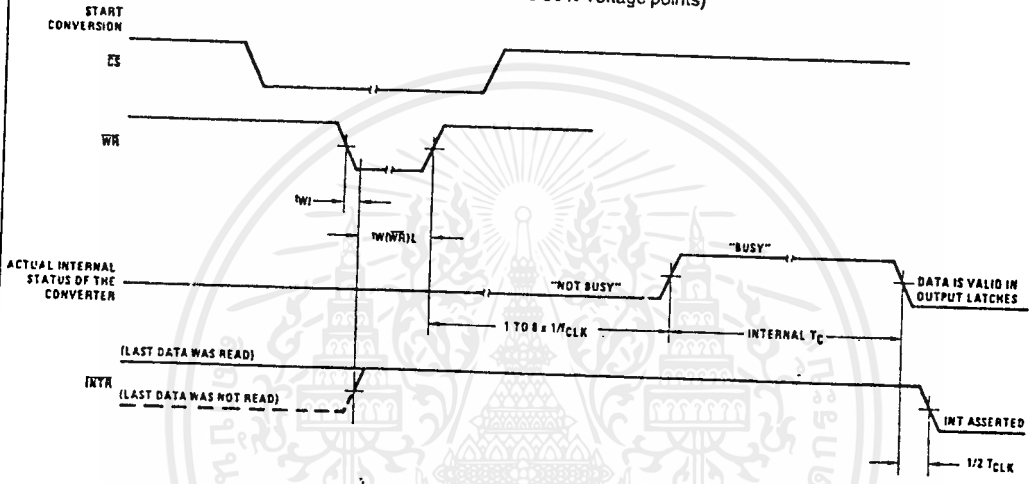
$t_1 = 20 \text{ ns}$



$t_0 = 20 \text{ ns}$

TL/H/5671-3

Timing Diagrams (All timing is measured from the 50% voltage points)

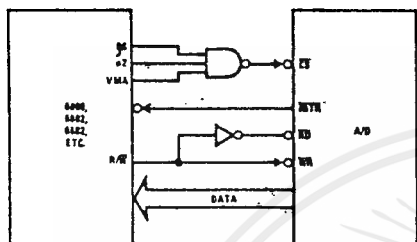


Note: Read strobe must occur 8 clock periods ($8/CLK$) after assertion of interrupt to guarantee reset of \overline{INTR} .

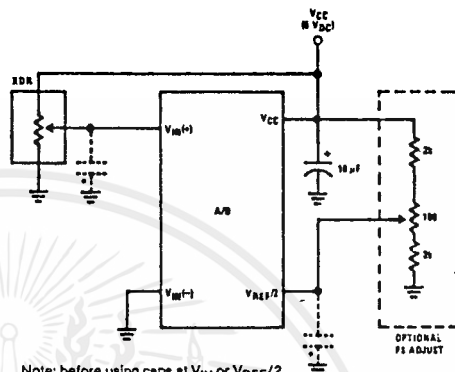
TL/H/5671-4

Typical Applications (Continued)

6800 Interface

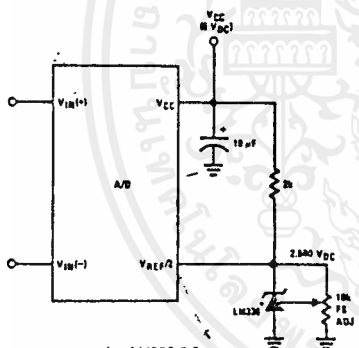


Ratiometric with Full-Scale Adjust



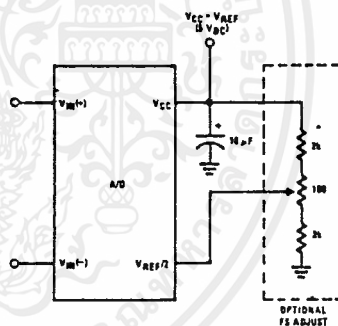
Note: before using caps at V_{IN} or $V_{REF/2}$, see section 2.3.2 Input Bypass Capacitors.

Absolute with a 2.500V Reference

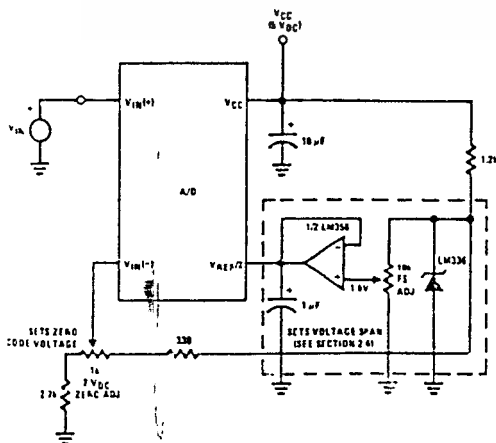


*For low power, see also LM385-2.5

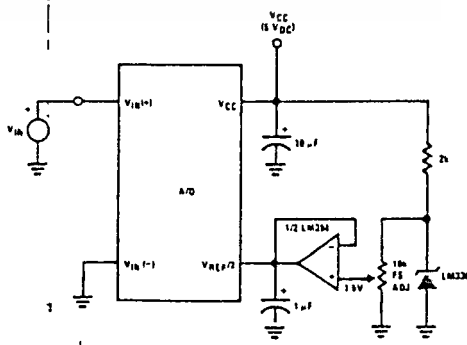
Absolute with a 5V Reference



Zero-Shift and Span Adjust: $2V \leq V_{IN} \leq 5V$



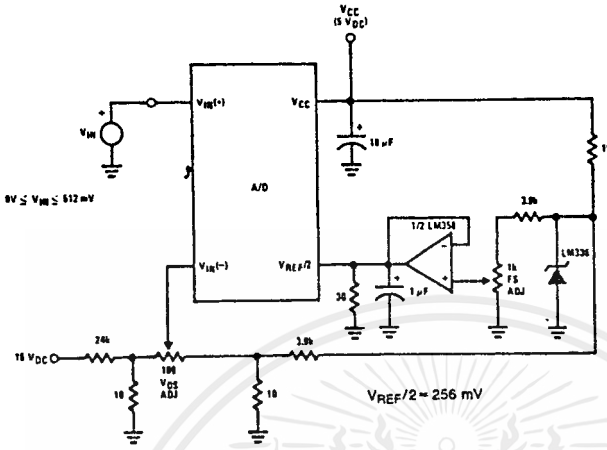
Span Adjust: $0V \leq V_{IN} \leq 3V$



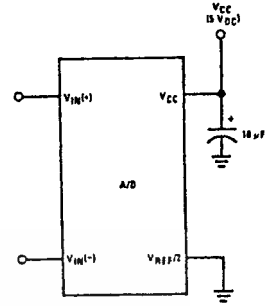
TL/M/5671-5

Typical Applications (Continued)

Directly Converting a Low-Level Signal

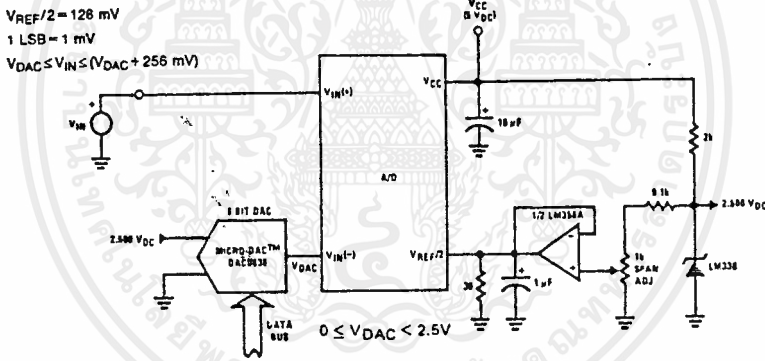


A μP Interfaced Comparator

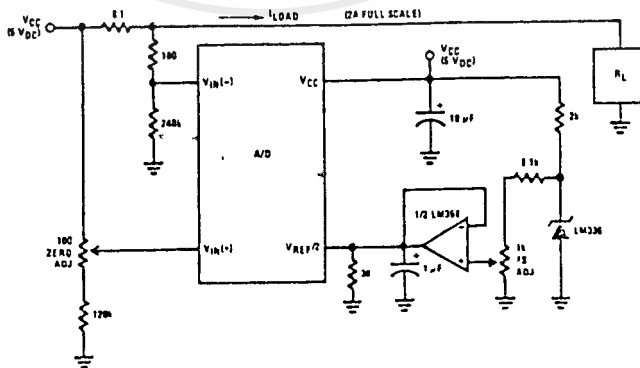


For: $V_{IN(+)} > V_{IN(-)}$
 Output = FF_{HEX}
 For: $V_{IN(+)} < V_{IN(-)}$
 Output = 00_{HEX}

1 mV Resolution with μP Controlled Range

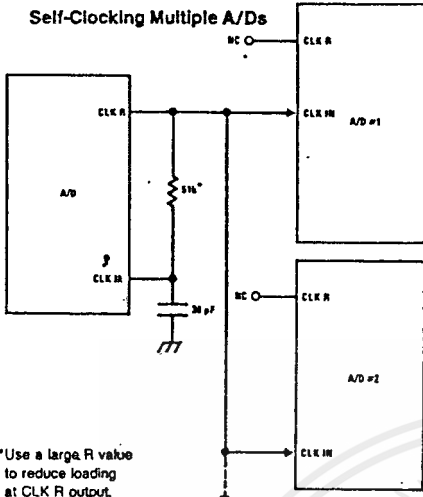


Digitizing a Current Flow



Typical Applications (Continued)

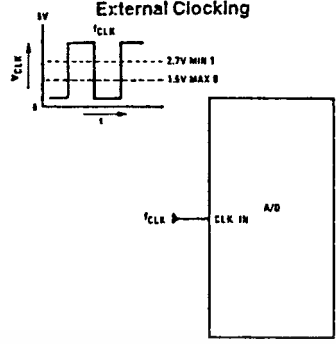
Self-Clocking Multiple A/Ds



*Use a large R value to reduce loading at CLK R output.

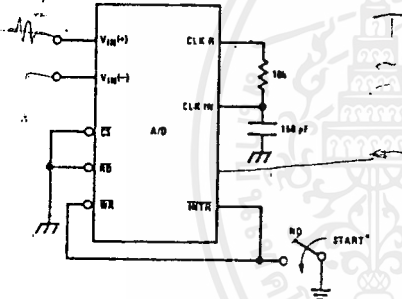
IF MORE THAN 8 ADDITIONAL A/Ds, USE A CMOS BUFFER (NOT 74121)

External Clocking



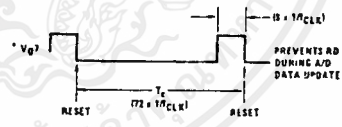
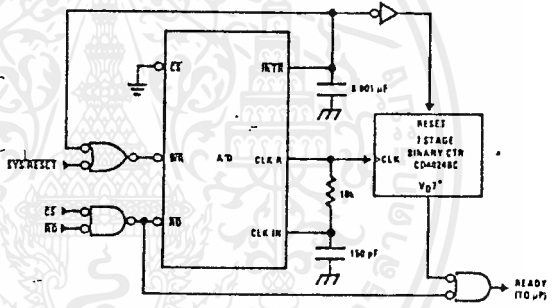
100 kHz ≤ f_{CLK} ≤ 1460 kHz

Self-Clocking in Free-Running Mode

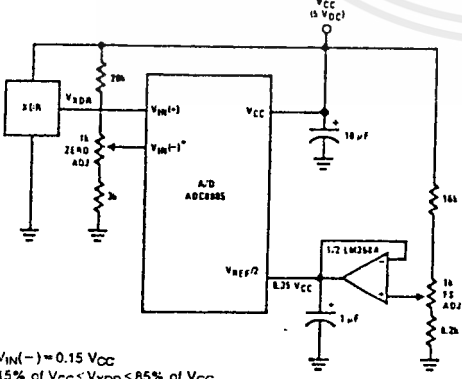


*After power-up, a momentary grounding of the WFR input is needed to guarantee operation.

μP Interface for Free-Running A/D

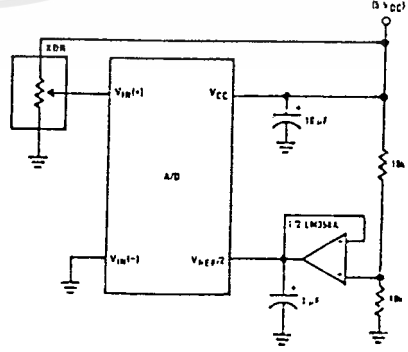


Operating with "Automotive" Ratiometric Transducers



*V_{IN(-)} = 0.15 V_{CC}
15% of V_{CC} ≤ V_{XDR} ≤ 85% of V_{CC}

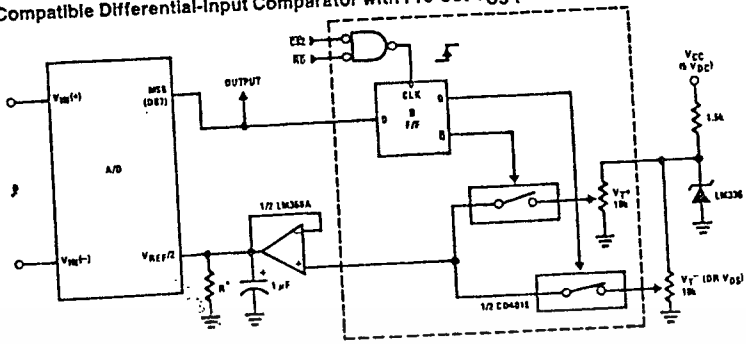
Ratiometric with V_{REF/2} Forced



TL/A/5671-7

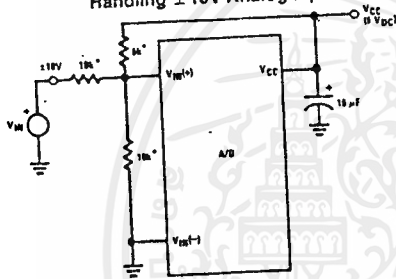
Typical Applications (Continued)

μ P Compatible Differential-Input Comparator with Pre-Set V_{OS} (with or without Hysteresis)



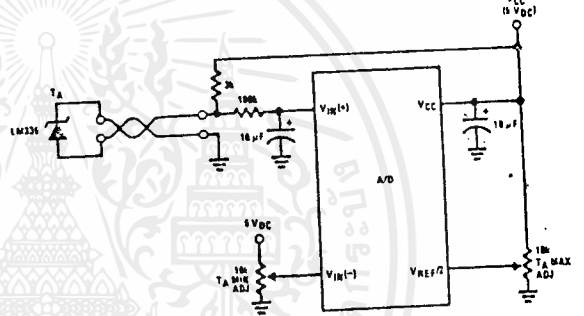
*See Figure 5 to select R value
 DB7 = "1" for $V_{IN(+)} > V_{IN(-)} + (V_{REF}/2)$
 Omit circuitry within the dotted area if hysteresis is not needed

Handling $\pm 10V$ Analog Inputs

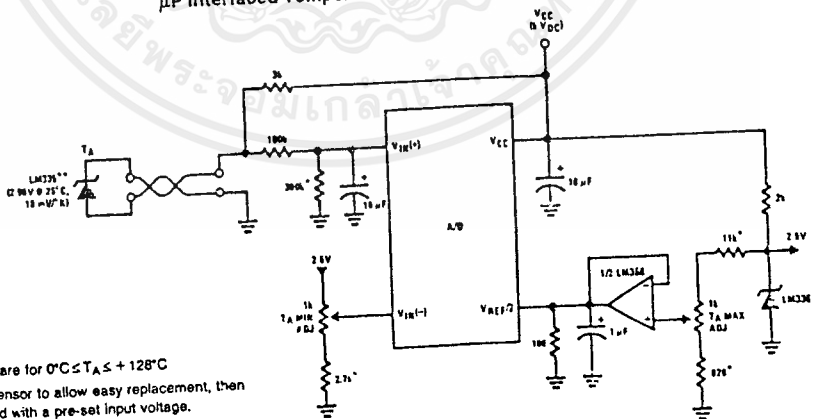


*Beckman Instruments # 694-3-R10K resistor array

Low-Cost, μ P Interfaced, Temperature-to-Digital Converter



μ P Interfaced Temperature-to-Digital Converter

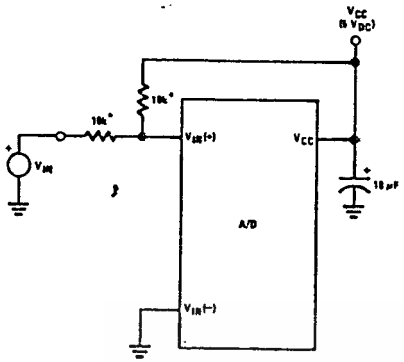


*Circuit values shown are for $0^{\circ}C \leq T_A \leq +128^{\circ}C$
 **Can calibrate each sensor to allow easy replacement, then A/D can be calibrated with a pre-set input voltage.

TLU/H/5671-B

Typical Applications (Continued)

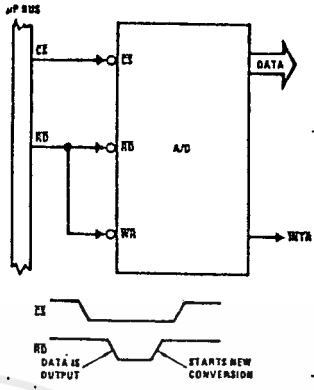
Handling $\pm 5V$ Analog Inputs



TL/H/5671-33

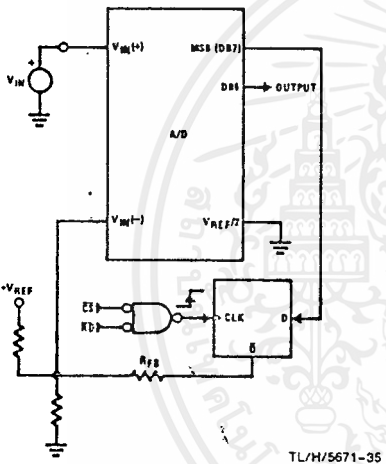
*Beckman Instruments # 694-3-R10K resistor array

Read-Only Interface



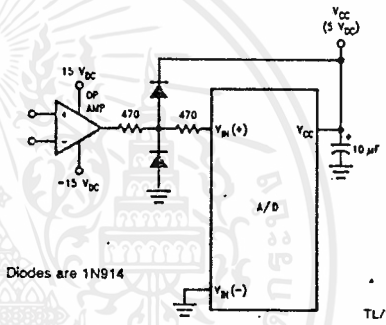
TL/H/5671-34

μP Interfaced Comparator with Hysteresis



TL/H/5671-35

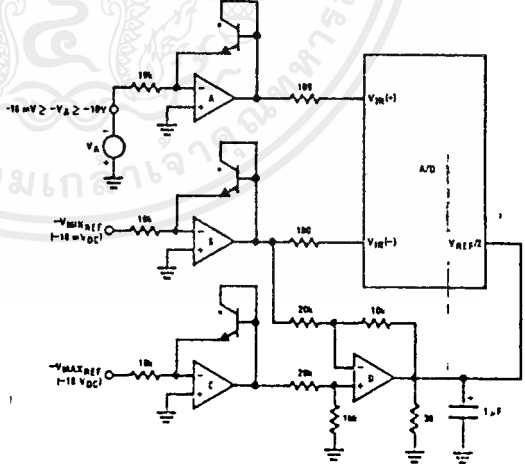
Protecting the Input



Diodes are 1N914

TL/H/5671-9

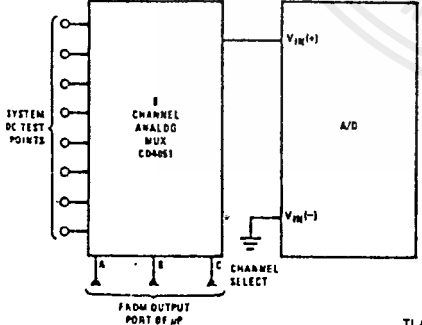
A Low-Cost, 3-Decade Logarithmic Converter



TL/H/5671-37

*LM389 transistors
A, B, C, D = LM324A quad op amp

Analog Self-Test for a System

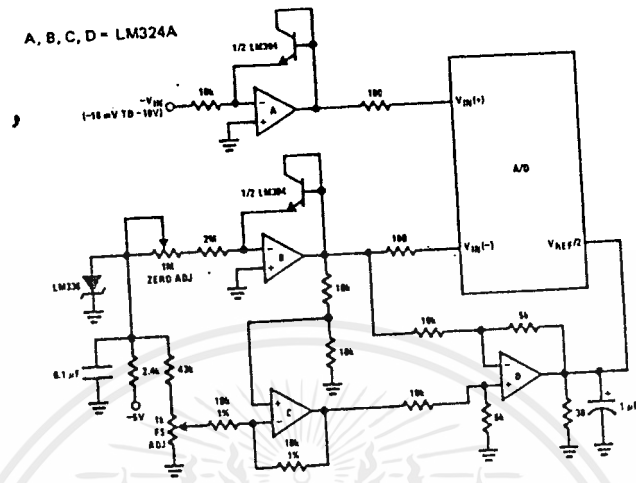


TL/H/5671-36

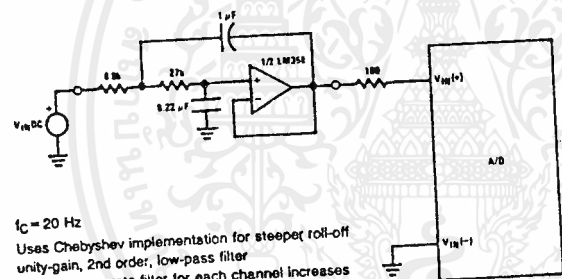
Typical Applications (Continued)

3-Decade Logarithmic A/D Converter

A, B, C, D = LM324A

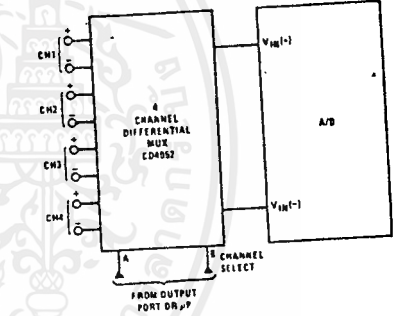


Noise Filtering the Analog Input

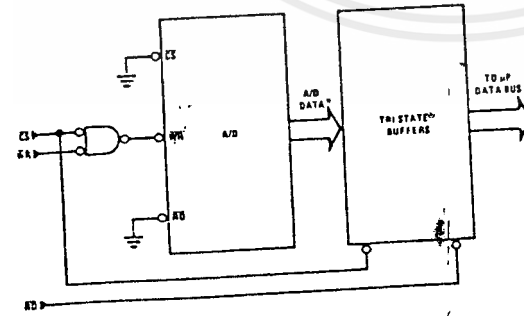


$f_c = 20$ Hz
 Uses Chebyshev implementation for steeper roll-off unity-gain, 2nd order, low-pass filter
 Adding a separate filter for each channel increases system response time if an analog multiplexer is used

Multiplexing Differential Inputs

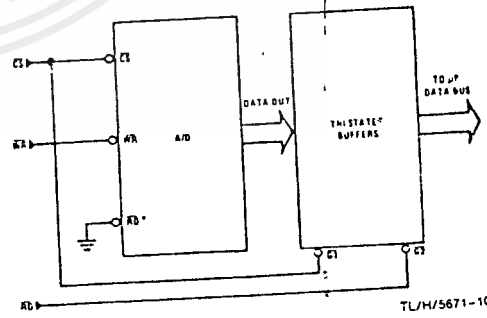


Output Buffers with A/D Data Enabled



*A/D output data is updated 1 CLK period prior to assertion of INTR

Increasing Bus Drive and/or Reducing Time on Bus

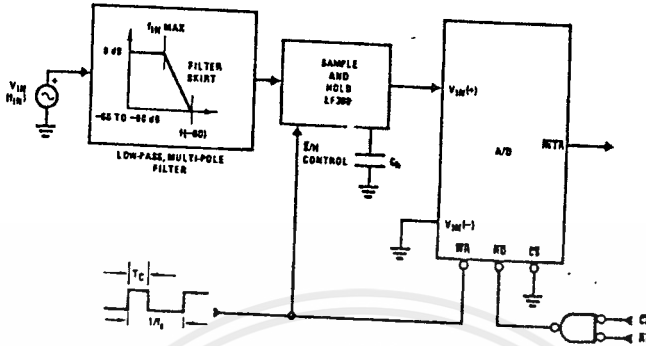


*Allows output data to set-up at falling edge of CS

Typical Applications (Continued)

ADC0801/ADC0802/ADC0803/ADC0804/ADC0805

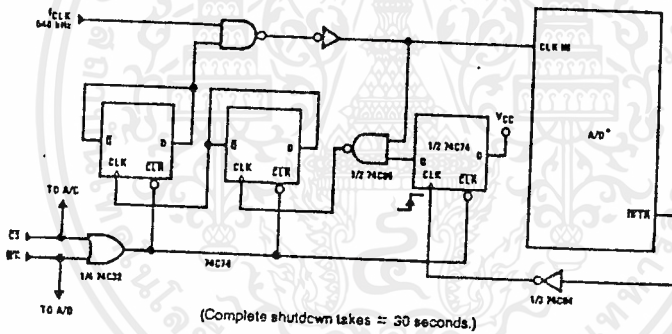
Sampling an AC Input Signal



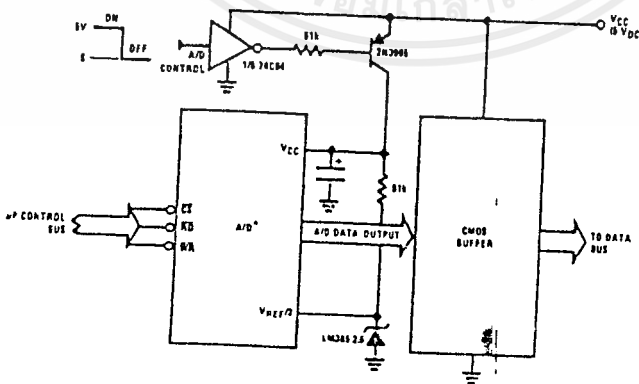
Note 1: Oversample whenever possible [keep $f_s > 2f(-60)$] to eliminate input frequency folding (aliasing) and to allow for the skirt response of the filter.

Note 2: Consider the amplitude errors which are introduced within the passband of the filter.

70% Power Savings by Clock Gating



Power Savings by A/D and V_{REF} Shutdown



*Use ADC0801, 02, 03 or 05 for lowest power consumption.

Note: Logic inputs can be driven to V_{CC} with A/D supply at zero volts.

Buffer prevents data bus from overdriving output of A/D when in shutdown mode.

TL/H/5671-11

Functional Description

1.0 UNDERSTANDING A/D ERROR SPECS

A perfect A/D transfer characteristic (staircase waveform) is shown in *Figure 1a*. The horizontal scale is analog input voltage and the particular points labeled are in steps of 1 LSB (19.53 mV with 2.5V tied to the $V_{REF}/2$ pin). The digital output codes that correspond to these inputs are shown as $D-1$, D , and $D+1$. For the perfect A/D, not only will center-value ($A-1$, A , $A+1$,) analog inputs produce the correct output digital codes, but also each riser (the transitions between adjacent output codes) will be located $\pm 1/2$ LSB away from each center-value. As shown, the risers are ideal and have no width. Correct digital output codes will be provided for a range of analog input voltages that extend $\pm 1/2$ LSB from the ideal center-values. Each tread (the range of analog input voltage that provides the same digital output code) is therefore 1 LSB wide.

Figure 1b shows a worst case error plot for the ADC0801. All center-valued inputs are guaranteed to produce the correct output codes and the adjacent risers are guaranteed to be no closer to the center-value points than $\pm 1/4$ LSB. In

other words, if we apply an analog input equal to the center-value $\pm 1/4$ LSB, we guarantee that the A/D will produce the correct digital code. The maximum range of the position of the code transition is indicated by the horizontal arrow and it is guaranteed to be no more than $1/2$ LSB.

The error curve of *Figure 1c* shows a worst case error plot for the ADC0802. Here we guarantee that if we apply an analog input equal to the LSB analog voltage center-value the A/D will produce the correct digital code.

Next to each transfer function is shown the corresponding error plot. Many people may be more familiar with error plots than transfer functions. The analog input voltage to the A/D is provided by either a linear ramp or by the discrete output steps of a high resolution DAC. Notice that the error is continuously displayed and includes the quantization uncertainty of the A/D. For example the error at point 1 of *Figure 1a* is $+1/2$ LSB because the digital code appeared $1/2$ LSB in advance of the center-value of the tread. The error plots always have a constant negative slope and the abrupt up-side steps are always 1 LSB in magnitude.

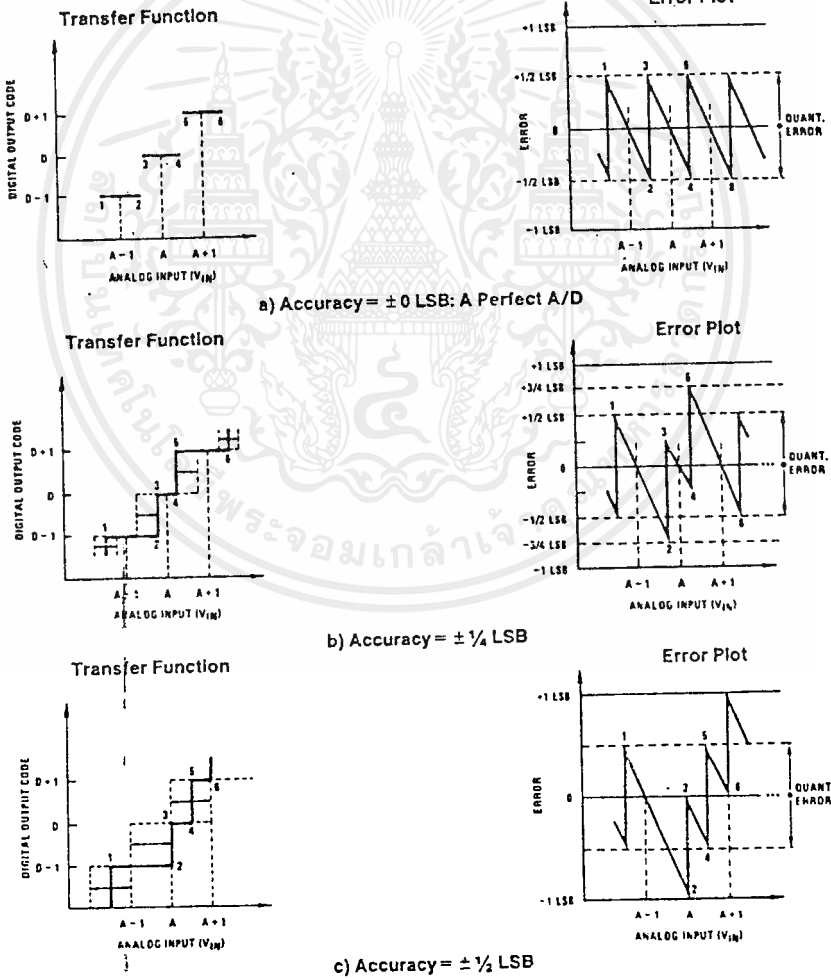


FIGURE 1. Clarifying the Error Specs of an A/D Converter

Functional Description (Continued)

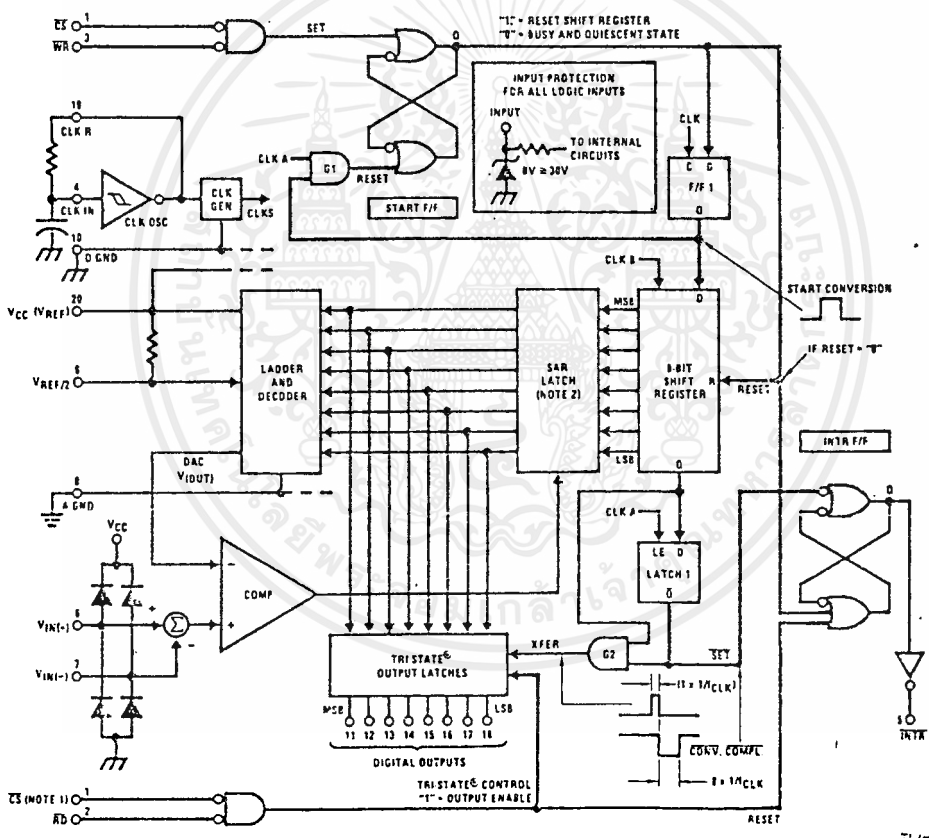
2.0 FUNCTIONAL DESCRIPTION

The ADC0801 series contains a circuit equivalent of the 256R network. Analog switches are sequenced by successive approximation logic to match the analog difference input voltage $[V_{IN(+)} - V_{IN(-)}]$ to a corresponding tap on the R network. The most significant bit is tested first and after 8 comparisons (64 clock cycles) a digital 8-bit binary code (1111 1111 = full-scale) is transferred to an output latch and then an interrupt is asserted (INTR makes a high-to-low transition). A conversion in process can be interrupted by issuing a second start command. The device may be operated in the free running mode by connecting INTR to the WR input with CS = 0. To ensure start-up under all possible conditions, an external WR pulse is required during the first power-up cycle.

On the high-to-low transition of the WR input the internal SAR latches and the shift register stages are reset. As long as the CS input and WR input remain low, the A/D will remain in a reset state. Conversion will start from 1 to 8 clock periods after at least one of these inputs makes a low-to-high transition.

A functional diagram of the A/D converter is shown in Figure 2. All of the package pinouts are shown and the major logic control paths are drawn in heavier weight lines.

The converter is started by having CS and WR simultaneously low. This sets the start flip-flop (F/F) and the resulting "1" level resets the 8-bit shift register, resets the Interrupt (INTR) F/F and inputs a "1" to the D input of F/F1, which is at the input end of the 8-bit shift register. Internal clock signals then transfer this "1" to the Q output of F/F1. The AND gate, G1, combines this "1" output with a clock signal to provide a reset signal to the start F/F. If the set signal is no longer present (either WR or CS is a "1") the start F/F is reset and the 8-bit shift register then can have the "1" clocked in, which starts the conversion process. If the set signal were to still be present, this reset pulse would have no effect (both outputs of the start F/F would momentarily be at a "1" level) and the 8-bit shift register would continue to be held in the reset mode. This logic therefore allows for wide CS and WR signals and the converter will start after at least one of these signals returns high and the internal clocks again provide a reset signal for the start F/F.



Note 1: CS shown twice for clarity.
 Note 2: SAR = Successive Approximation Register.

FIGURE 2. Block Diagram

Functional Description (Continued)

After the "1" is clocked through the 8-bit shift register (which completes the SAR search) it appears as the input to the D-type latch, LATCH 1. As soon as this "1" is output from the shift register, the AND gate, G2, causes the new digital word to transfer to the TRI-STATE output latches. When LATCH 1 is subsequently enabled, the Q output makes a high-to-low transition which causes the INTR F/F to set. An inverting buffer then supplies the $\overline{\text{INTR}}$ input signal.

Note that this $\overline{\text{SET}}$ control of the INTR F/F remains low for 8 of the external clock periods (as the internal clocks run at $\frac{1}{8}$ of the frequency of the external clock). If the data output is continuously enabled ($\overline{\text{CS}}$ and $\overline{\text{RD}}$ both held low), the $\overline{\text{INTR}}$ output will still signal the end of conversion (by a high-to-low transition), because the $\overline{\text{SET}}$ input can control the Q output of the INTR F/F even though the RESET input is constantly at a "1" level in this operating mode. This $\overline{\text{INTR}}$ output will therefore stay low for the duration of the $\overline{\text{SET}}$ signal, which is 8 periods of the external clock frequency (assuming the A/D is not started during this interval).

When operating in the free-running or continuous conversion mode ($\overline{\text{INTR}}$ pin tied to $\overline{\text{WR}}$ and $\overline{\text{CS}}$ wired low—see also section 2.8), the START F/F is SET by the high-to-low transition of the $\overline{\text{INTR}}$ signal. This resets the SHIFT REGISTER which causes the input to the D-type latch, LATCH 1, to go low. As the latch enable input is still present, the $\overline{\text{Q}}$ output will go high, which then allows the INTR F/F to be RESET. This reduces the width of the resulting $\overline{\text{INTR}}$ output pulse to only a few propagation delays (approximately 300 ns).

When data is to be read, the combination of both $\overline{\text{CS}}$ and $\overline{\text{RD}}$ being low will cause the INTR F/F to be reset and the TRI-STATE output latches will be enabled to provide the 8-bit digital outputs.

2.1 Digital Control Inputs

The digital control inputs ($\overline{\text{CS}}$, $\overline{\text{RD}}$, and $\overline{\text{WR}}$) meet standard TTL logic voltage levels. These signals have been renamed when compared to the standard A/D Start and Output Enable labels. In addition, these inputs are active low to allow an easy interface to microprocessor control busses. For non-microprocessor based applications, the $\overline{\text{CS}}$ input (pin 1) can be grounded and the standard A/D Start function is obtained by an active low pulse applied at the $\overline{\text{WR}}$ input (pin 3) and the Output Enable function is caused by an active low pulse at the $\overline{\text{RD}}$ input (pin 2).

2.2 Analog Differential Voltage Inputs and Common-Mode Rejection

This A/D has additional applications flexibility due to the analog differential voltage input. The $V_{\text{IN}}(-)$ input (pin 7) can be used to automatically subtract a fixed voltage value from the input reading (tare correction). This is also useful in 4 mA–20 mA current loop conversion. In addition, common-mode noise can be reduced by use of the differential input. The time interval between sampling $V_{\text{IN}}(+)$ and $V_{\text{IN}}(-)$ is $4\frac{1}{2}$ clock periods. The maximum error voltage due to this

slight time difference between the input voltage samples is given by:

$$\Delta V_e(\text{MAX}) = (V_p)(2\pi f_{\text{cm}}) \left(\frac{4.5}{f_{\text{CLK}}} \right),$$

where:

ΔV_e is the error voltage due to sampling delay

V_p is the peak value of the common-mode voltage

f_{cm} is the common-mode frequency

As an example, to keep this error to $\frac{1}{4}$ LSB (~ 5 mV) when operating with a 60 Hz common-mode frequency, f_{cm} , and using a 640 kHz A/D clock, f_{CLK} , would allow a peak value of the common-mode voltage, V_p , which is given by:

$$V_p = \frac{[\Delta V_e(\text{MAX})](f_{\text{CLK}})}{(2\pi f_{\text{cm}})(4.5)}$$

or

$$V_p = \frac{(5 \times 10^{-3})(640 \times 10^3)}{(6.28)(60)(4.5)}$$

which gives

$$V_p \approx 1.9V.$$

The allowed range of analog input voltages usually places more severe restrictions on input common-mode noise levels.

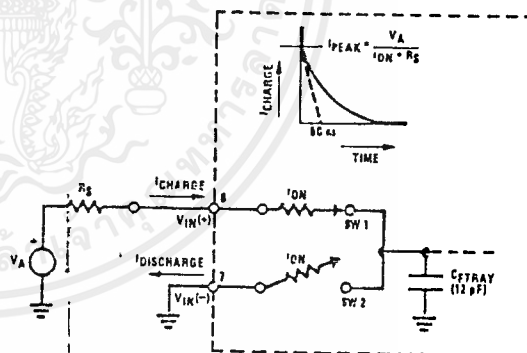
An analog input voltage with a reduced span and a relatively large zero offset can be handled easily by making use of the differential input (see section 2.4 Reference Voltage).

2.3 Analog Inputs

2.3.1 Input Current

Normal Mode

Due to the internal switching action, displacement currents will flow at the analog inputs. This is due to on-chip stray capacitance to ground as shown in Figure 3.



TL/H/5671-14

r_{ON} of SW 1 and SW 2 = 5 k Ω

$r_{\text{ON}} C_{\text{STRAY}} = 5 \text{ k}\Omega \times 12 \text{ pF} = 60 \text{ ns}$

FIGURE 3. Analog Input Impedance

Functional Description (Continued)

The voltage on this capacitance is switched and will result in currents entering the $V_{IN}(+)$ input pin and leaving the $V_{IN}(-)$ input which will depend on the analog differential input voltage levels. These current transients occur at the leading edge of the internal clocks. They rapidly decay and do not cause errors as the on-chip comparator is strobed at the end of the clock period.

Fault Mode

If the voltage source applied to the $V_{IN}(+)$ or $V_{IN}(-)$ pin exceeds the allowed operating range of $V_{CC} + 50$ mV, large input currents can flow through a parasitic diode to the V_{CC} pin. If these currents can exceed the 1 mA max allowed spec, an external diode (1N914) should be added to bypass this current to the V_{CC} pin (with the current bypassed with this diode, the voltage at the $V_{IN}(+)$ pin can exceed the V_{CC} voltage by the forward voltage of this diode).

2.3.2 Input Bypass Capacitors

Bypass capacitors at the inputs will average these charges and cause a DC current to flow through the output resistances of the analog signal sources. This charge pumping action is worse for continuous conversions with the $V_{IN}(+)$ input voltage at full-scale. For continuous conversions with a 640 kHz clock frequency with the $V_{IN}(+)$ input at 5V, this DC current is at a maximum of approximately 5 μ A. Therefore, bypass capacitors should not be used at the analog inputs or the $V_{REF}/2$ pin for high resistance sources (> 1 k Ω). If input bypass capacitors are necessary for noise filtering and high source resistance is desirable to minimize capacitor size, the detrimental effects of the voltage drop across this input resistance, which is due to the average value of the input current, can be eliminated with a full-scale adjustment while the given source resistor and input bypass capacitor are both in place. This is possible because the average value of the input current is a precise linear function of the differential input voltage.

2.3.3 Input Source Resistance

Large values of source resistance where an input bypass capacitor is not used, will not cause errors as the input currents settle out prior to the comparison time. If a low pass filter is required in the system, use a low valued series resistor (≤ 1 k Ω) for a passive RC section or add an op amp RC active low pass filter. For low source resistance applications, (≤ 1 k Ω), a 0.1 μ F bypass capacitor at the inputs will prevent noise pickup due to series lead inductance of a long wire. A 100 Ω series resistor can be used to isolate this capacitor—both the R and C are placed outside the feedback loop—from the output of an op amp, if used.

2.3.4 Noise

The leads to the analog inputs (pin 6 and 7) should be kept as short as possible to minimize input noise coupling. Both noise and undesired digital clock coupling to these inputs can cause system errors. The source resistance for these inputs should, in general, be kept below 5 k Ω . Larger values of source resistance can cause undesired system noise pickup. Input bypass capacitors, placed from the analog inputs to ground, will eliminate system noise pickup but can create analog scale errors as these capacitors will average the transient input switching currents of the A/D (see section 2.3.1.). This scale error depends on both a large source

resistance and the use of an input bypass capacitor. This error can be eliminated by doing a full-scale adjustment of the A/D (adjust $V_{REF}/2$ for a proper full-scale reading—see section 2.5.2 on Full-Scale Adjustment) with the source resistance and input bypass capacitor in place.

2.4 Reference Voltage

2.4.1 Span Adjust

For maximum applications flexibility, these A/Ds have been designed to accommodate a 5 V_{DC} , 2.5 V_{DC} or an adjusted voltage reference. This has been achieved in the design of the IC as shown in Figure 4.

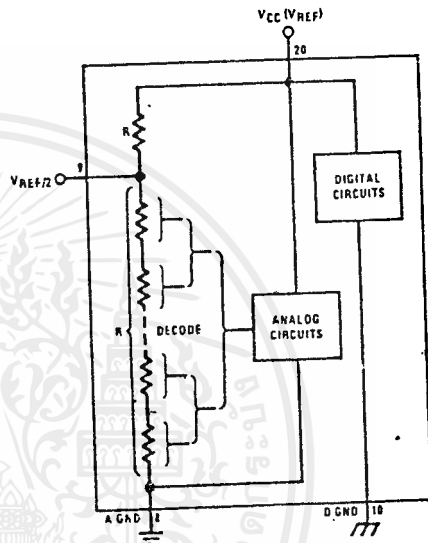
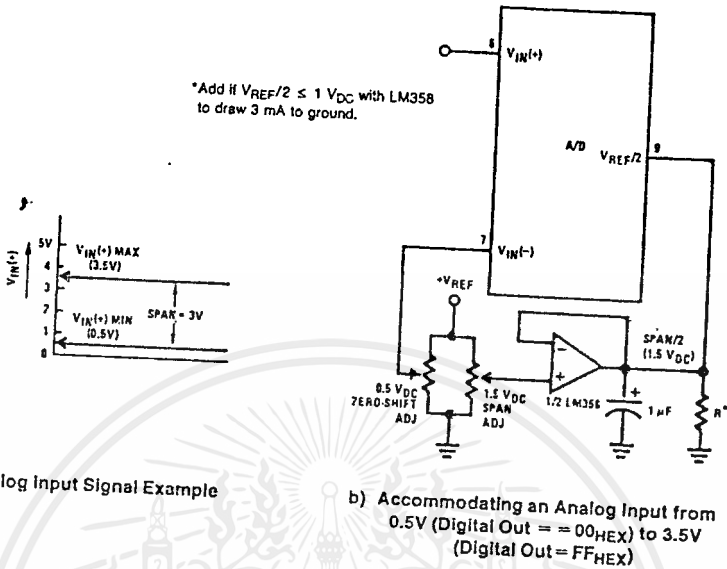


FIGURE 4. The $V_{REFERENCE}$ Design on the IC

Notice that the reference voltage for the IC is either $1/2$ of the voltage applied to the V_{CC} supply pin, or is equal to the voltage that is externally forced at the $V_{REF}/2$ pin. This allows for a ratiometric voltage reference using the V_{CC} supply, a 5 V_{DC} reference voltage can be used for the V_{CC} supply or a voltage less than 2.5 V_{DC} can be applied to the $V_{REF}/2$ input for increased application flexibility. The internal gain to the $V_{REF}/2$ input is 2, making the full-scale differential input voltage twice the voltage at pin 9.

An example of the use of an adjusted reference voltage is to accommodate a reduced span—or dynamic voltage range of the analog input voltage. If the analog input voltage were to range from 0.5 V_{DC} to 3.5 V_{DC} , instead of 0V to 5 V_{DC} , the span would be 3V as shown in Figure 5. With 0.5 V_{DC} applied to the $V_{IN}(-)$ pin to absorb the offset, the reference voltage can be made equal to $1/2$ of the 3V span or 1.5 V_{DC} . The A/D now will encode the $V_{IN}(+)$ signal from 0.5V to 3.5 V with the 0.5V input corresponding to zero and the 3.5 V_{DC} input corresponding to full-scale. The full 8 bits of resolution are therefore applied over this reduced analog input voltage range.

Functional Description (Continued)



TL/M/5671-16

FIGURE 5. Adapting the A/D Analog Input Voltages to Match an Arbitrary Input Signal Range

2.4.2 Reference Accuracy Requirements

The converter can be operated in a ratiometric mode or an absolute mode. In ratiometric converter applications, the magnitude of the reference voltage is a factor in both the output of the source transducer and the output of the A/D converter and therefore cancels out in the final digital output code. The ADC0805 is specified particularly for use in ratiometric applications with no adjustments required. In absolute conversion applications, both the initial value and the temperature stability of the reference voltage are important factors in the accuracy of the A/D converter. For $V_{REF}/2$ voltages of 2.4 V_{DC} nominal value, initial errors of ± 10 mV $_{DC}$ will cause conversion errors of ± 1 LSB due to the gain of 2 of the $V_{REF}/2$ input. In reduced span applications, the initial value and the stability of the $V_{REF}/2$ input voltage become even more important. For example, if the span is reduced to 2.5V, the analog input LSB voltage value is correspondingly reduced from 20 mV (5V span) to 10 mV and 1 LSB at the $V_{REF}/2$ input becomes 5 mV. As can be seen, this reduces the allowed initial tolerance of the reference voltage and requires correspondingly less absolute change with temperature variations. Note that spans smaller than 2.5V place even tighter requirements on the initial accuracy and stability of the reference source.

In general, the magnitude of the reference voltage will require an initial adjustment. Errors due to an improper value of reference voltage appear as full-scale errors in the A/D transfer function. IC voltage regulators may be used for references if the ambient temperature changes are not excessive. The LM336B 2.5V IC reference diode (from National Semiconductor) has a temperature stability of 1.8 mV typ (6 mV max) over $0^{\circ}C \leq T_A \leq +70^{\circ}C$. Other temperature range parts are also available.

2.5 Errors and Reference Voltage Adjustments

2.5.1 Zero Error

The zero of the A/D does not require adjustment. If the minimum analog input voltage value, $V_{IN(MIN)}$, is not ground, a zero offset can be done. The converter can be made to output 0000 0000 digital code for this minimum input voltage by biasing the A/D $V_{IN(-)}$ input at this $V_{IN(MIN)}$ value (see Applications section). This utilizes the differential mode operation of the A/D.

The zero error of the A/D converter relates to the location of the first riser of the transfer function and can be measured by grounding the $V_{IN(-)}$ input and applying a small magnitude positive voltage to the $V_{IN(+)}$ input. Zero error is the difference between the actual DC input voltage that is necessary to just cause an output digital code transition from 0000 0000 to 0000 0001 and the ideal $1/2$ LSB value ($1/2$ LSB = 9.6 mV for $V_{REF}/2 = 2.500 V_{DC}$).

2.5.2 Full-Scale

The full-scale adjustment can be made by applying a differential input voltage that is $1 1/2$ LSB less than the desired analog full-scale voltage range and then adjusting the magnitude of the $V_{REF}/2$ input (pin 9 or the V_{CC} supply if pin 9 is not used) for a digital output code that is just changing from 1111 1110 to 1111 1111.

Functional Description (Continued)

2.5.3 Adjusting for an Arbitrary Analog Input Voltage Range

If the analog zero voltage of the A/D is shifted away from ground (for example, to accommodate an analog input signal that does not go to ground) this new zero reference should be properly adjusted first. A $V_{IN}(+)$ voltage that equals this desired zero reference plus $\frac{1}{2}$ LSB (where the LSB is calculated for the desired analog span, $1 \text{ LSB} = \text{analog span}/256$) is applied to pin 6 and the zero reference voltage at pin 7 should then be adjusted to just obtain the 00_{HEX} to 01_{HEX} code transition.

The full-scale adjustment should then be made (with the proper $V_{IN}(-)$ voltage applied) by forcing a voltage to the $V_{IN}(+)$ input which is given by:

$$V_{IN}(+) \text{ fs adj} = V_{\text{MAX}} - 1.5 \left[\frac{V_{\text{MAX}} - V_{\text{MIN}}}{256} \right]$$

where:

V_{MAX} = The high end of the analog input range and

V_{MIN} = the low end (the offset zero) of the analog range. (Both are ground referenced.)

The $V_{\text{REF}}/2$ (or V_{CC}) voltage is then adjusted to provide a code change from FE_{HEX} to FF_{HEX} . This completes the adjustment procedure.

2.6 Clocking Option

The clock for the A/D can be derived from the CPU clock or an external RC can be added to provide self-clocking. The CLK IN (pin 4) makes use of a Schmitt trigger as shown in Figure 6.

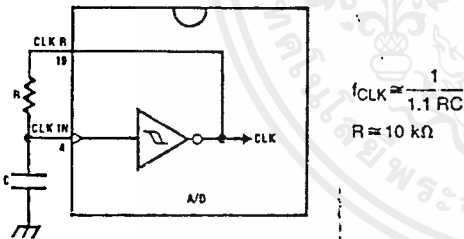


FIGURE 6. Self-Clocking the A/D

Heavy capacitive or DC loading of the clock R pin should be avoided as this will disturb normal converter operation. Loads less than 50 pF , such as driving up to 7 A/D converter clock inputs from a single clock R pin of 1 converter, are allowed. For larger clock line loading, a CMOS or low power TTL buffer or PNP input logic should be used to minimize the loading on the clock R pin (do not use a standard TTL buffer).

2.7 Restart During a Conversion

If the A/D is restarted ($\overline{\text{CS}}$ and $\overline{\text{WR}}$ go low and return high) during a conversion, the converter is reset and a new conversion is started. The output data latch is not updated if the

conversion in process is not allowed to be completed, therefore the data of the previous conversion remains in this latch. The $\overline{\text{INTR}}$ output simply remains at the "1" level.

2.8 Continuous Conversions

For operation in the free-running mode an initializing pulse should be used, following power-up, to ensure circuit operation. In this application, the $\overline{\text{CS}}$ input is grounded and the $\overline{\text{WR}}$ input is tied to the $\overline{\text{INTR}}$ output. This $\overline{\text{WR}}$ and $\overline{\text{INTR}}$ node should be momentarily forced to logic low following a power-up cycle to guarantee operation.

2.9 Driving the Data Bus

This MOS A/D, like MOS microprocessors and memories, will require a bus driver when the total capacitance of the data bus gets large. Other circuitry, which is tied to the data bus, will add to the total capacitive loading, even in TRI-STATE (high impedance mode). Backplane bussing also greatly adds to the stray capacitance of the data bus.

There are some alternatives available to the designer to handle this problem. Basically, the capacitive loading of the data bus slows down the response time, even though DC specifications are still met. For systems operating with a relatively slow CPU clock frequency, more time is available in which to establish proper logic levels on the bus and therefore higher capacitive loads can be driven (see typical characteristics curves).

At higher CPU clock frequencies time can be extended for I/O reads (and/or writes) by inserting wait states (8080) or using clock extending circuits (6800).

Finally, if time is short and capacitive loading is high, external bus drivers must be used. These can be TRI-STATE buffers (low power Schottky such as the DM74LS240 series is recommended) or special higher drive current products which are designed as bus drivers. High current bipolar bus drivers with PNP inputs are recommended.

2.10 Power Supplies

Noise spikes on the V_{CC} supply line can cause conversion errors as the comparator will respond to this noise. A low inductance tantalum filter capacitor should be used close to the converter V_{CC} pin and values of $1 \mu\text{F}$ or greater are recommended. If an unregulated voltage is available in the system, a separate LM340LAZ-5.0, TO-92, 5V voltage regulator for the converter (and other analog circuitry) will greatly reduce digital noise on the V_{CC} supply.

2.11 Wiring and Hook-Up Precautions

Standard digital wire wrap sockets are not satisfactory for breadboarding this A/D converter. Sockets on PC boards can be used and all logic signal wires and leads should be grouped and kept as far away as possible from the analog signal leads. Exposed leads to the analog inputs can cause undesired digital noise and hum pickup, therefore shielded leads may be necessary in many applications.

Functional Description (Continued)

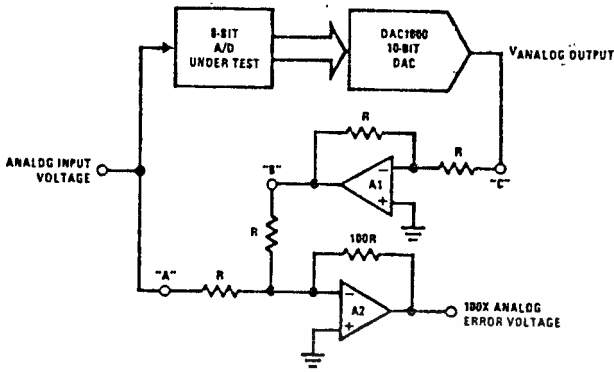


FIGURE 8. A/D Tester with Analog Error Output



TL/H/5671-19

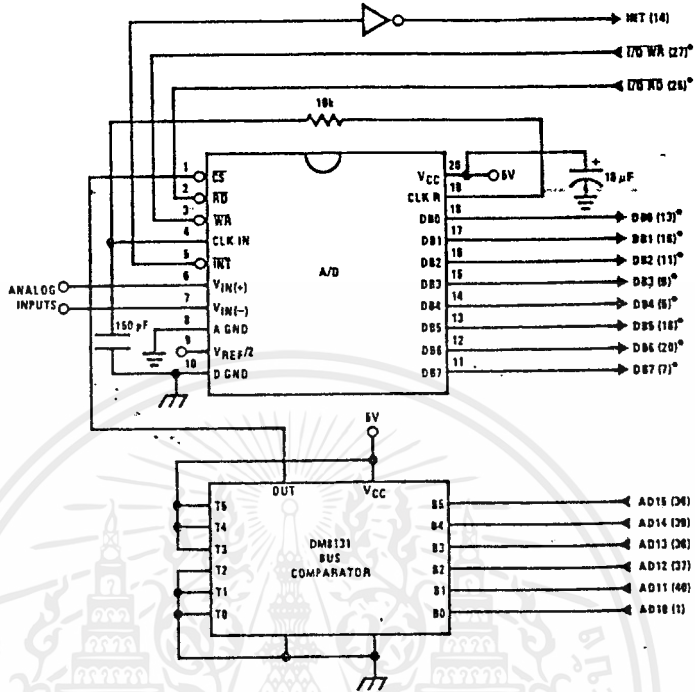
FIGURE 9. Basic "Digital" A/D Tester

TABLE I. DECODING THE DIGITAL OUTPUT LED_s

HEX	BINARY	FRACTIONAL BINARY VALUE FOR		OUTPUT VOLTAGE CENTER VALUES WITH $V_{REF}/2 = 2.560 V_{DC}$	
		MS GROUP	LS GROUP	VMS GROUP*	VLS GROUP*
		F	1 1 1 1	15/16	15/256
E	1 1 1 0	7/8	7/128	4.480	0.280
D	1 1 0 1	13/16	13/256	4.160	0.250
C	1 1 0 0	3/4	3/64	3.840	0.240
B	1 0 1 1	11/16	11/256	3.520	0.220
A	1 0 1 0	5/8	5/128	3.200	0.200
9	1 0 0 1	9/16	9/256	2/880	0.180
8	1 0 0 0	1/2	1/32	2/560	0.160
7	0 1 1 1	7/16	7/256	2.240	0.140
6	0 1 1 0	3/8	3/128	1.920	0.120
5	0 1 0 1	5/16	2/256	1.600	0.100
4	0 1 0 0	1/4	1/64	1/280	0.080
3	0 0 1 1	3/16	3/256	0.960	0.060
2	0 0 1 0	1/8	1/128	0.640	0.040
1	0 0 0 1	1/16	1/256	0.320	0.020
0	0 0 0 0			0	0

*Display Output = VMS Group + VLS Group

Functional Description (Continued)



Note 1: *Pin numbers for the DP8228 system controller, others are INS8080A.

Note 2: Pin 23 of the INS8228 must be tied to +12V through a 1 kΩ resistor to generate the RST 7 instruction when an interrupt is acknowledged as required by the accompanying sample program.

FIGURE 10. ADC0801-INS8080A CPU Interface

TL/H/5671-20

SAMPLE PROGRAM FOR FIGURE 10 ADC0801-INS8080A CPU INTERFACE

```

0038  C3 00 03  RST 7:      JMP    LD DATA
.
.
0100  21 00 02  START:      LXI H 0200H      ;HL pair will point to
.                          ;data storage locations
0103  31 00 04  RETURN:     LXI SP 0400H   ;Initialize stack pointer (Note 1)
0106  7D                MOV A, L        ;Test # of bytes entered
0107  FE 0F                CPI OF H       ;If # = 16. JMP to
0109  CA 13 01          JZ CONT        ;user program
010C  D3 E0                OUT EO H       ;Start A/D
010E  FB                EI              ;Enable interrupt
010F  00                LOOP:         NOP          ;Loop until end of
0110  C3 0F 01          JMP LOOP       ;conversion
0113  .
.
.
.
.
.
.
.
.
.
0300  DB E0          LD DATA:     IN EO H        ;Load data into accumulator
0302  77                MOV M, A      ;Store data
0303  23                INX H        ;Increment storage pointer
0304  C3 03 01          JMP RETURN
    
```

Note 1: The stack pointer must be dimensioned because a RST 7 instruction pushes the PC onto the stack.

Note 2: All address used were arbitrarily chosen.

Functional Description (Continued)

The standard control bus signals of the 8080 \overline{CS} , \overline{RD} and \overline{WR} can be directly wired to the digital control inputs of the A/D and the bus timing requirements are met to allow both starting the converter and outputting the data onto the data bus. A bus driver should be used for larger microprocessor systems where the data bus leaves the PC board and/or must drive capacitive loads larger than 100 pF.

4.1.1 Sample 8080A CPU Interfacing Circuitry and Program

The following sample program and associated hardware shown in Figure 10 may be used to input data from the converter to the INS8080A CPU chip set (comprised of the INS8080A microprocessor, the INS8228 system controller and the INS8224 clock generator). For simplicity, the A/D is controlled as an I/O device, specifically an 8-bit bi-directional port located at an arbitrarily chosen port address, E0. The TRI-STATE output capability of the A/D eliminates the need for a peripheral interface device, however address decoding is still required to generate the appropriate \overline{CS} for the converter.

It is important to note that in systems where the A/D converter is 1-of-8 or less I/O mapped devices, no address decoding circuitry is necessary. Each of the 8 address bits (A0 to A7) can be directly used as \overline{CS} inputs—one for each I/O device.

4.1.2 INS8048 Interface

The INS8048 interface technique with the ADC0801 series (see Figure 11) is simpler than the 8080A CPU interface. There are 24 I/O lines and three test input lines in the 8048. With these extra I/O lines available, one of the I/O lines (bit 0 of port 1) is used as the chip select signal to the A/D, thus eliminating the use of an external address decoder. Bus control signals \overline{RD} , \overline{WR} and \overline{INT} of the 8048 are tied directly to the A/D. The 16 converted data words are stored at on-chip RAM locations from 20 to 2F (Hex). The \overline{RD} and \overline{WR} signals are generated by reading from and writing into a dummy address, respectively. A sample interface program is shown below.

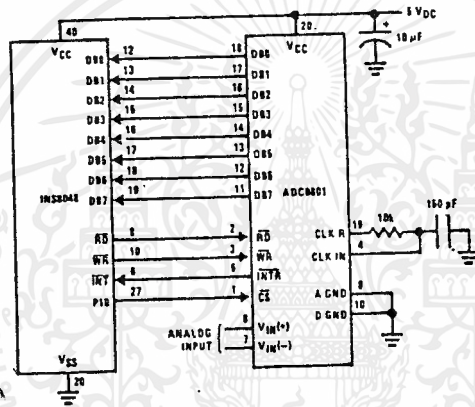


FIGURE 11. INS8048 Interface

SAMPLE PROGRAM FOR FIGURE 11 INS8048 INTERFACE

04 10	JMP	10H	: Program starts at addr 10
	ORG	3H	
04 50	JMP	50H	: Interrupt jump vector
	ORG	10H	: Main program
99 FE	ANL	P1, #0FEH	: Chip select
81	MOVX	A, @R1	: Read if the 1st data
			: to reset the intr
89 01	START:	ORL	P1, #1
B8 20		MOV	R0, #20H
B9 FF		MOV	R1, #0FFH
BA 10		MOV	R2, #10H
23 FF	AGAIN:	MOV	A, #0FFH
99 FE		ANL	P1, #0FEH
91		MOVX	@R1, A
05		EN	I
96 21	LOOP:	JNZ	LOOP
EA 1B		DJNZ	R2, AGAIN
00		NOP	: go to user's program
00		NOP	
S1	INDATA:	ORG	50H
A0		MOVX	A, @R1
18		MOV	@R0, A
89 01		INC	R0
27		ORL	P1, #1
93		CLR	A
		RETR	: the interrupt loop

Functional Description (Continued)

4.2 Interfacing the Z-80

The Z-80 control bus is slightly different from that of the 8080. General \overline{RD} and \overline{WR} strobes are provided and separate memory request, \overline{MREQ} , and I/O request, \overline{IORQ} , signals are used which have to be combined with the general strobes to provide the equivalent 8080 signals. An advantage of operating the A/D in I/O space with the Z-80 is that the CPU will automatically insert one wait state (the \overline{RD} and \overline{WR} strobes are extended one clock period) to allow more time for the I/O devices to respond. Logic to map the A/D in I/O space is shown in Figure 13.

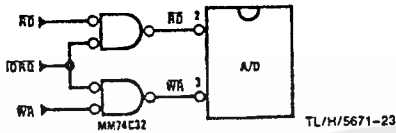


FIGURE 13. Mapping the A/D as an I/O Device for Use with the Z-80 CPU

Additional I/O advantages exist as software DMA routines are available and use can be made of the output data transfer which exists on the upper 8 address lines (A8 to A15) during I/O input instructions. For example, MUX channel selection for the A/D can be accomplished with this operating mode.

4.3 Interfacing 6800 Microprocessor Derivatives (6502, etc.)

The control bus for the 6800 microprocessor derivatives does not use the \overline{RD} and \overline{WR} strobe signals. Instead it employs a single R/ \overline{W} line and additional timing, if needed, can be derived from the $\phi 2$ clock. All I/O devices are memory mapped in the 6800 system, and a special signal, VMA, indicates that the current address is valid. Figure 14 shows an interface schematic where the A/D is memory mapped in the 6800 system. For simplicity, the \overline{CS} decoding is shown using $\frac{1}{2}$ DM8092. Note that in many 6800 systems, an al-

ready decoded $\overline{4/5}$ line is brought out to the common bus at pin 21. This can be tied directly to the \overline{CS} pin of the A/D, provided that no other devices are addressed at HX ADDR: 4XXX or 5XXX.

The following subroutine performs essentially the same function as in the case of the 8080A interface and it can be called from anywhere in the user's program.

In Figure 15 the ADC0801 series is interfaced to the M6800 microprocessor through (the arbitrarily chosen) Port B of the MC6820 or MC6821 Peripheral Interface Adapter, (PIA). Here the \overline{CS} pin of the A/D is grounded since the PIA is already memory mapped in the M6800 system and no \overline{CS} decoding is necessary. Also notice that the A/D output data lines are connected to the microprocessor bus under program control through the PIA and therefore the A/D \overline{RD} pin can be grounded.

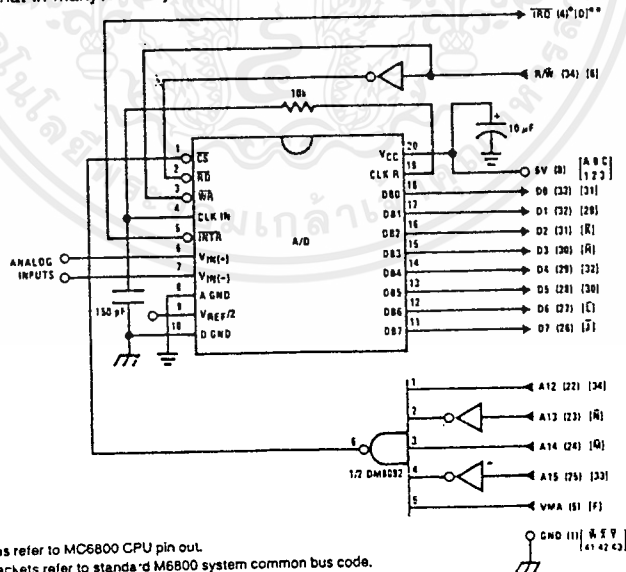
A sample interface program equivalent to the previous one is shown below Figure 15. The PIA Data and Control Registers of Port B are located at HEX addresses 8006 and 8007, respectively.

5.0 GENERAL APPLICATIONS

The following applications show some interesting uses for the A/D. The fact that one particular microprocessor is used is not meant to be restrictive. Each of these application circuits would have its counterpart using any microprocessor that is desired.

5.1 Multiple ADC0801 Series to MC6800 CPU Interface

To transfer analog data from several channels to a single microprocessor system, a multiple converter scheme presents several advantages over the conventional multiplexer single-converter approach. With the ADC0801 series, the differential inputs allow individual span adjustment for each channel. Furthermore, all analog input channels are sensed simultaneously, which essentially divides the microprocessor's total system servicing time by the number of channels, since all conversions occur simultaneously. This scheme is shown in Figure 16.



Note 1: Numbers in parentheses refer to MC6800 CPU pin out.

Note 2: Number or letters in brackets refer to standard M6800 system common bus code.

FIGURE 14. ADC0801-MC6800 CPU Interface

Functional Description (Continued)

SAMPLE PROGRAM FOR FIGURE 14 ADC0801-MC6800 CPU INTERFACE

```

0010    DF 36      DATAIN    STX      TEMP2      ; Save contents of X
0012    CE 00 2C      LDX      #002C      ; Upon  $\overline{IRQ}$  low CPU
0015    FF FF F8      STX      $FFF8      ; jumps to 002C
0018    B7 50 00      STAA     $5000      ; Start ADC0801
001B    0E          CLI          ;
001C    3E          CONVRT    WAI          ; Wait for interrupt
001D    DE 34      LDX      TEMP1
001F    8C 02 0F      CPX      #020F      ; Is final data stored?
0022    27 14      BEQ      ENDP
0024    B7 50 00      STAA     $5000      ; Restarts ADC0801
0027    08          INX
0028    DF 34      STX      TEMP1
002A    20 F0      BRA      CONVRT
002C    DE 34      INTRPT    LDX      TEMP1
002E    B6 50 00      LDAA     $5000      ; Read data
0031    A7 00      STAA     X          ; Store it at X
0033    3B          RTI
0034    02 00      TEMP1    FDB      $0200      ; Starting address for
                                ; data storage

0036    00 00      TEMP2    FDB      $0000
0038    CE 02 00      ENDP    LDX      #0200      ; Reinitialize TEMP1
003B    DF 34      STX      TEMP1
003D    DE 36      LDX      TEMP2
003F    39          RTS          ; Return from subroutine
                                ; To user's program
    
```

Note 1: In order for the microprocessor to service subroutines and interrupts, the stack pointer must be dimensioned in the user's program.

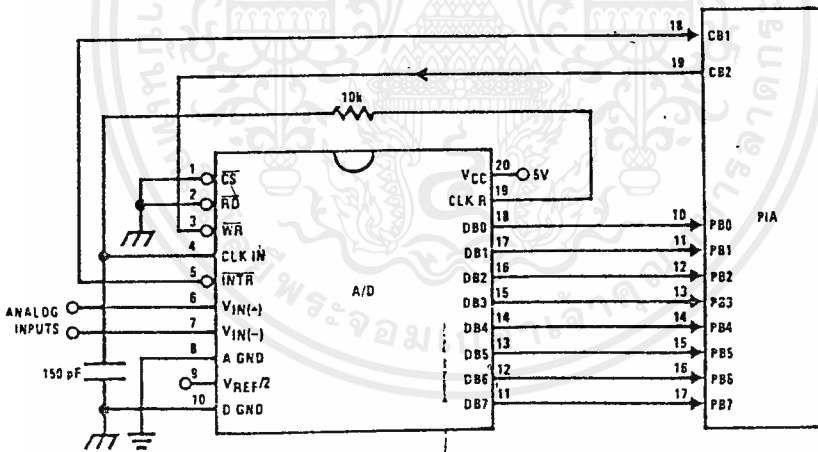


FIGURE 15. ADC0801-MC6820 PIA interface

TL/H/5671-25

Functional Description (Continued)

SAMPLE PROGRAM FOR FIGURE 15 ADC0801-MC6820 PIA INTERFACE

```

0010    CE 00 38    DATAIN    LDX    #$0038    ; Upon  $\overline{\text{IRQ}}$  low CPU
0013    FF FF F8    STX      $FFF8    ; jumps to 0038
0016    B6 80 06    LDAA   PIAORB    ; Clear possible  $\overline{\text{IRQ}}$  flags
0019    4F          CLRA
001A    B7 80 07    STAA   PIACRB
001D    B7 80 06    STAA   PIAORB    ; Set Port B as input
0020    0E          CLI
0021    C6 34      LDAB   #$34
0023    86 3D      LDAA   #$3D
0025    F7 80 07    CONVRT STAB   PIACRB    ; Starts ADC0801
0028    B7 80 07    STAA   PIACRB
002B    3E          WAI          ; Wait for interrupt
002C    DE 40      LDX    TEMP1
002E    8C 02 0F    CPX    #$020F    ; Is final data stored?
0031    27 0F      BEQ    ENDP
0033    08          INX
0034    DF 40      STX    TEMP1
0036    20 ED      BRA   CONVRT
0038    DE 40      INTRPT LDX    TEMP1
003A    B6 80 06    LDAA   PIAORB    ; Read data in
003D    A7 00      STAA   X          ; Store it at X
003F    3B          RTI
0040    02 00      TEMP1 FDB   $0200    ; Starting address for
                                ; data storage
0042    CE 02 00    ENDP   LDX    #$0200    ; Reinitialize TEMP1
0045    DF 40      STX    TEMP1
0047    39          RTS          ; Return from subroutine
                                PIAORB EQU   $8006    ; To user's program
                                PIACRB EQU   $8007

```

The following schematic and sample subroutine (DATA IN) may be used to interface (up to) 8 ADC0801's directly to the MC6800 CPU. This scheme can easily be extended to allow the interface of more converters. In this configuration the converters are (arbitrarily) located at HEX address 5000 in the MC6800 memory space. To save components, the clock signal is derived from just one RC pair on the first converter. This output drives the other A/Ds.

All the converters are started simultaneously with a STORE instruction at HEX address 5000. Note that any other HEX address of the form 5XXX will be decoded by the circuit, pulling all the $\overline{\text{CS}}$ inputs low. This can easily be avoided by using a more definitive address decoding scheme. All the interrupts are ORed together to insure that all A/Ds have completed their conversion before the microprocessor is interrupted.

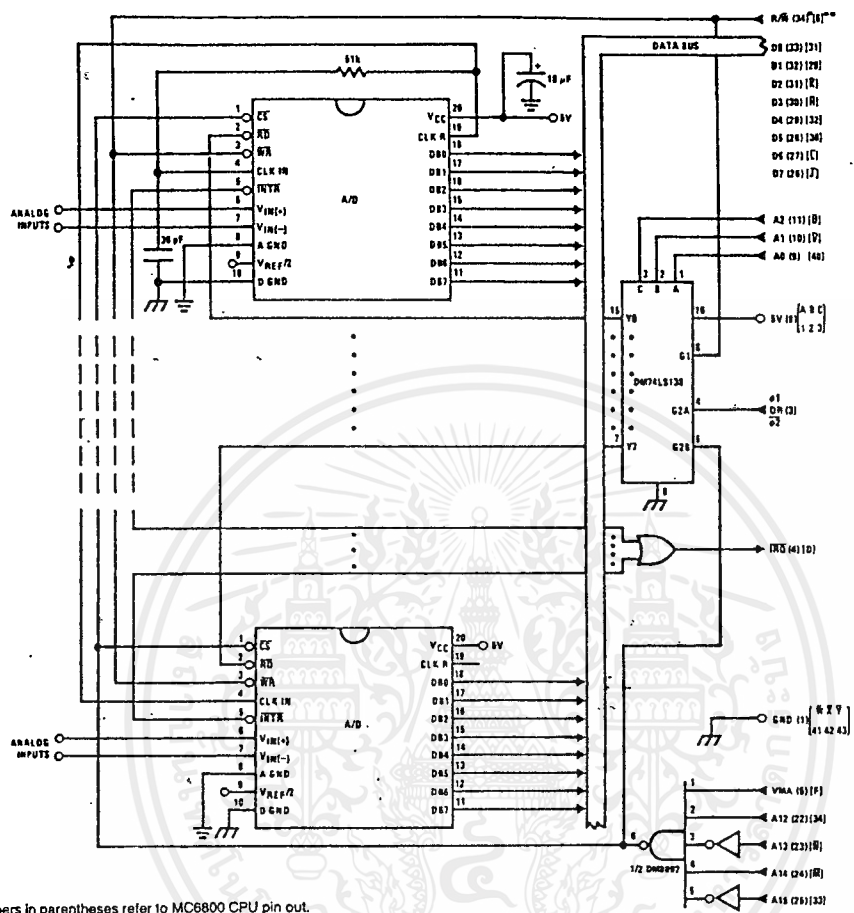
The subroutine, DATA IN, may be called from anywhere in the user's program. Once called, this routine initializes the

CPU, starts all the converters simultaneously and waits for the interrupt signal. Upon receiving the interrupt, it reads the converters (from HEX addresses 5000 through 5007) and stores the data successively at (arbitrarily chosen) HEX addresses 0200 to 0207, before returning to the user's program. All CPU registers then recover the original data they had before servicing DATA IN.

5.2 Auto-Zeroed Differential Transducer Amplifier and A/D Converter

The differential inputs of the ADC0801 series eliminate the need to perform a differential to single ended conversion for a differential transducer. Thus, one op amp can be eliminated since the differential to single ended conversion is provided by the differential input of the ADC0801 series. In general, a transducer preamp is required to take advantage of the full A/D converter input dynamic range.

Functional Description (Continued)



Note 1: Numbers in parentheses refer to MC6800 CPU pin out.

Note 2: Numbers of letters in brackets refer to standard M6800 system common bus code.

TL/H/5671-26

FIGURE 16. Interfacing Multiple A/Ds in an MC6800 System
 SAMPLE PROGRAM FOR FIGURE 16 INTERFACING MULTIPLE A/Ds IN AN MC6800 SYSTEM

ADDRESS	HEX CODE	MNEMONICS	COMMENTS
0010	DF 44	DATAIN STX TEMP	; Save Contents of X
0012	CE 00 2A	LDX #002A	; Upon IRQ LOW CPU
0015	FF FF F8	STX \$FFF8	; Jumps to 002A
0018	B7 50 00	STAA \$5000	; Starts all A/D's
001B	0E	CLI	
001C	3E	WAI	; Wait for interrupt
001D	CE 50 00	LDX #5000	
0020	DF 40	STX INDEX1	; Reset both INDEX
0022	CE 02 00	LDX #0200	; 1 and 2 to starting
0025	DF 42	STX INDEX2	; addresses
0027	DE 44	LDX TEMP	
0029	39	RIS	; Return from subroutine
002A	DE 40	INTRPT LDX INDEX1	; INDEX1 → X
002C	A6 00	LDAA X	; Read data in from A/D at X
002E	08	INX	; Increment X by one
002F	DF 40	STX INDEX1	; X → INDEX1
0031	DE 42	LDX INDEX2	; INDEX2 → X

A flow chart for the zeroing subroutine is shown in Figure 19. It must be noted that the ADC0801 series will output an all zero code when it converts a negative input ($V_{IN(-)} \geq V_{IN(+)}$). Also, a logic inversion exists as all of the I/O ports are buffered with inverting gates.

Basically, if the data read is zero, the differential output voltage is negative, so a bit in Port B is cleared to pull V_x more negative which will make the output more positive for the next conversion. If the data read is not zero, the output voltage is positive so a bit in Port B is set to make V_x more positive and the output more negative. This continues for 8 approximations and the differential output eventually converges to within 5 mV of zero.

The actual program is given in Figure 20. All addresses used are compatible with the BLC 80/10 microcomputer system. In particular:

Port A and the ADC0801 are at port address E4

Port B is at port address E5

Port C is at port address E6

PPI control word port is at port address E7

Program Counter automatically goes to ADDR:3C3D upon acknowledgement of an interrupt from the ADC0801

5.3 Multiple A/D Converters in a Z-80 Interrupt Driven Mode

In data acquisition systems where more than one A/D converter (or other peripheral device) will be interrupting program execution of a microprocessor, there is obviously a need for the CPU to determine which device requires servicing. Figure 21 and the accompanying software is a method of determining which of 7 ADC0801 converters has completed a conversion (INTR asserted) and is requesting an interrupt. This circuit allows starting the A/D converters in any sequence, but will input and store valid data from the converters with a priority sequence of A/D 1 being read first, A/D 2 second, etc., through A/D 7 which would have the lowest priority for data being read. Only the converters whose INT is asserted will be read.

The key to decoding circuitry is the DM74LS373, 8-bit D type flip-flop. When the Z-80 acknowledges the interrupt, the program is vectored to a data input Z-80 subroutine. This subroutine will read a peripheral status word from the DM74LS373 which contains the logic state of the INTR outputs of all the converters. Each converter which initiates an interrupt will place a logic "0" in a unique bit position in the status word and the subroutine will determine the identity of the converter and execute a data read. An identifier word (which indicates which A/D the data came from) is stored in the next sequential memory location above the location of the data so the program can keep track of the identity of the data entered.

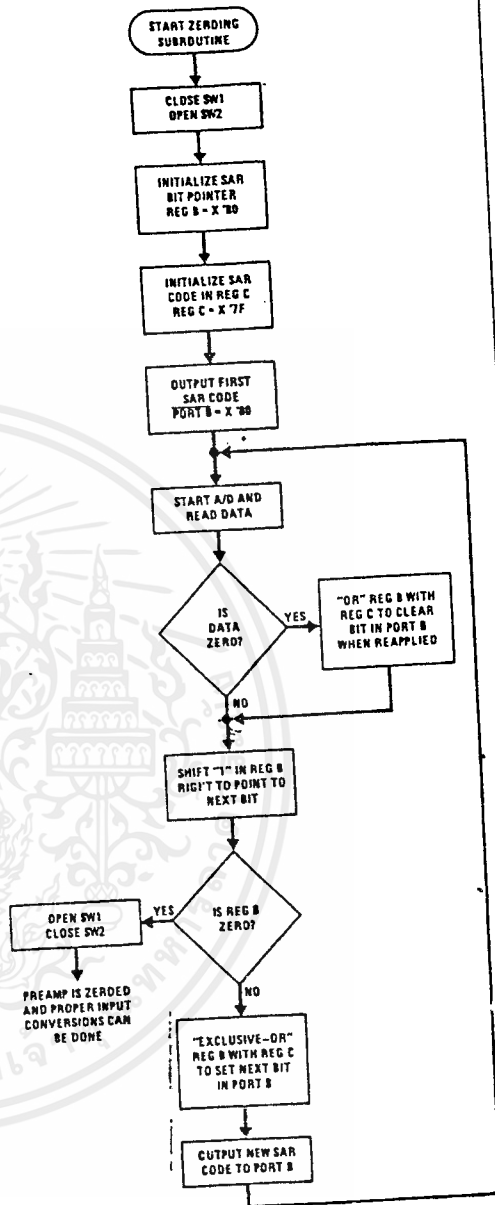


FIGURE 19. Flow Chart for Auto-Zero Routine

TL/H/5671-28

```

3D00 3E90 MVI 50 ; Program PPI
3D02 D3E7 Out Control Port
3D04 2601 MVI H 01 Auto-Zero Subroutine
3D06 7C MOV A, H
3D07 D3E6 OUT C ; Close SW1 open SW2
3D09 0680 MVI B 80 ; Initialize SAR bit pointer
3D0B 3E7F MVI A 7F ; Initialize SAR code
3D0D 4F MOV C, A Return
3D0E D3E5 OUT B ; Port B = SAR code
3D10 31AA3D LXI SP 3DAA Start ; Dimension stack pointer
3D13 D3E4 OUT A ; Start A/D
3D15 FB IE Loop ; Loop until INT asserted
3D16 00 NOP
3D17 C3163D JMP Loop Auto-Zero
3D1A 7A MOV A, D
3D1B C600 ADI 00 ; Test A/D output data for zero
3D1D CA2D3D JZ Set C Shift B
3D20 78 MOV A, B ; Clear carry
3D21 F600 ORI 00 ; Shift "1" in B right one place
3D23 1F RAR ; Is B zero? If yes last
3D24 FE00 CPI 00 ; approximation has been made
3D26 CA373D JZ Done
3D29 47 MOV B, A
3D2A C3333D JMP New C Set C
3D2D 79 MOV A, C ; Set bit in C that is in same
3D2E B0 ORA B ; position as "1" in B
3D2F 4F MOV C, A
3D30 C3203D JMP Shift B New C
3D33 A9 XRA C ; Clear bit in C that is in
3D34 C30D3D JMP Return Done ; same position as "1" in B
3D37 47 MOV B, A ; then output new SAR code.
3D38 7C MOV A, H ; Open SW1, close SW2 then
3D39 EE03 XRI 03 ; proceed with program. Preamp
3D3B D3E6 OUT C ; is now zeroed.
3D3D . Normal
.
.
.
Program for processing
proper data values
3C3D DBE4 IN A Read A/D Subroutine ; Read A/D data
3C3F EEFF XRI FF ; Invert data
3C41 57 MOV D, A
3C42 78 MOV A, B ; Is B Reg = 0? If not stay
3C43 E6FF ANI FF ; in auto zero subroutine
3C45 C21A3D JNZ Auto-Zero
3C48 C33D3D JMP Normal

```

Note: All numerical values are hexadecimal representations.

FIGURE 20. Software for Auto-Zeroed Differential A/D

5.3 Multiple A/D Converters in a Z-80® Interrupt Driven Mode (Continued)

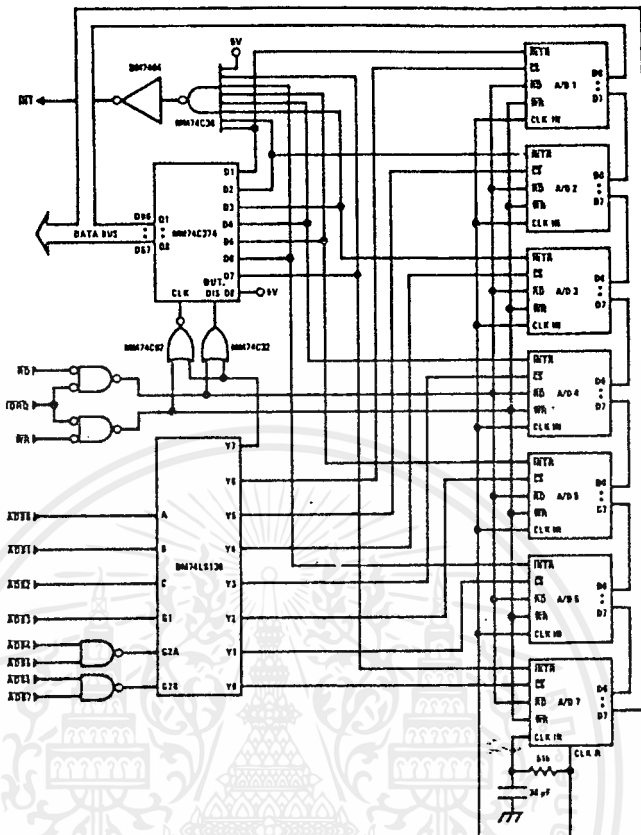
The following notes apply:

- 1) It is assumed that the CPU automatically performs a RST 7 instruction when a valid interrupt is acknowledged (CPU is in interrupt mode 1). Hence, the subroutine starting address of X0038.
- 2) The address bus from the Z-80 and the data bus to the Z-80 are assumed to be inverted by bus drivers.
- 3) A/D data and identifying words will be stored in sequential memory locations starting at the arbitrarily chosen address X 3E00.
- 4) The stack pointer must be dimensioned in the main program as the RST 7 instruction automatically pushes the PC onto the stack and the subroutine uses an additional 6 stack addresses.

5) The peripherals of concern are mapped into I/O space with the following port assignments:

HEX PORT ADDRESS	PERIPHERAL
00	MM74C274 8-bit flip-flop
01	A/D 1
02	A/D 2
03	A/D 3
04	A/D 4
05	A/D 5
06	A/D 6
07	A/D 7

This port address also serves as the A/D identifying word in the program.



TL/H/5671-29

FIGURE 21. Multiple A/Ds with Z-80 Type Microprocessor

INTERRUPT SERVICING SUBROUTINE

LOC	OBJ CODE	SOURCE	STATEMENT	COMMENT
0038	E5		PUSH HL	; Save contents of all registers affected by
0039	C5		PUSH BC	; this subroutine.
003A	F5		PUSH AF	; Assumed INT mode 1 earlier set.
003B	21 00 3E		LD (HL), X3E00	; Initialize memory pointer where data will be stored.
003E	0E 01		LD C, X01	; C register will be port ADDR of A/D converters.
0040	D3 00		OUT X00, A	; Load peripheral status word into 8-bit latch.
0042	DB 00		IN A, X00	; Load status word into accumulator.
0044	47		LD B, A	; Save the status word.
0045	79	TEST	LD A, C	; Test to see if the status of all A/D's have
0046	FE 08		CP, X08	; been checked. If so, exit subroutine
0048	CA 60 00		JFZ, DONE	
004B	78		LD A, B	; Test a single bit in status word by looking for
004C	1F		RRA	; a "1" to be rotated into the CARRY (an INT
004D	47		LD B, A	; is loaded as a "1"). If CARRY is set then load
004E	DA 55 00		JPC, LOAD	; contents of A/D at port ADDR in C register.
0051	0C	NEXT	INC C	; If CARRY is not set, increment C register to point
0052	C3 45 00		JP, TEST	; to next A/D, then test next bit in status word.
0055	ED 78	LOAD	IN A, (C)	; Read data from interrupting A/D and invert
0057	EE FF		XOR FF	; the data.
0059	77		LD (HL), A	; Store the data
005A	2C		INCL	
005B	71		LD (HL), C	; Store A/D identifier (A/D port ADDR).
005C	2C		INCL	
005D	C3 51 00		JP, NEXT	; Test next bit in status word.
0060	F1	DONE	POP AF	; Re-establish all registers as they were
0061	C1		POP BC	; before the interrupt.
0062	E1		POP HL	
0063	C9		RET	; Return to original program

ADC0801/ADC0802/ADC0803/ADC0804/ADC0805

MAX
5°C
7°C
°C
°C

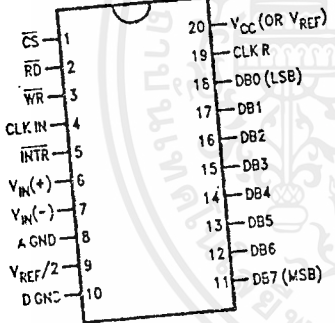
Ordering Information

TEMP RANGE		0°C TO 70°C	0°C TO 70°C	0°C TO 70°C	-40°C TO +85°C
ERROR	± 1/4 Bit Adjusted	ADC0802LCWM	ADC0802LCV	ADC0803LCV	ADC0801LCN
	± 1/2 Bit Unadjusted				ADC0802LCN
	± 1/2 Bit Adjusted				ADC0803LCN
	± 1 Bit Unadjusted				ADC0805LCN
PACKAGE OUTLINE		M20B—Small Outline	V20A—Chip Carrier	N20A—Molded DIP	

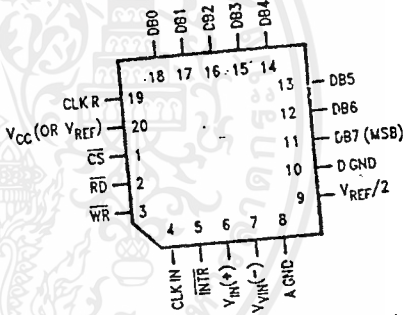
TEMP RANGE		-40°C TO +85°C	-55°C TO +125°C
ERROR	± 1/4 Bit Adjusted	ADC0801LCJ ADC0802LCJ ADC0803LCJ ADC0804LCJ	ADC0801LJ
	± 1/2 Bit Unadjusted		ADC0802LJ
	± 1/2 Bit Adjusted		
	± 1 Bit Unadjusted		
PACKAGE OUTLINE		J20A—Cavity DIP	J20A—Cavity DIP

Connection Diagrams

ADC080X
Dual-In-Line and Small Outline (SO) Packages



ADC080X
Molded Chip Carrier (PCC) Package



TL/H/5671-30

See Ordering Information

TL/H/5671-32

DAC0808, DAC0807, DAC0806 8-Bit D/A Converters

General Description

The DAC0805 series is an 8-bit monolithic digital-to-analog converter (DAC) featuring a full scale output current settling time of 150 ns while dissipating only 33 mW with $\pm 5V$ supplies. No reference current (I_{REF}) trimming is required for most applications since the full scale output current is typically ± 1 LSB of $255 I_{REF} / 256$. Relative accuracies of better than $\pm 0.19\%$ assure 8-bit monotonicity and linearity while zero level output current or less than $4 \mu A$ provides 9-bit zero accuracy for $I_{REF} \geq 2$ mA. The power supply currents of the DAC0808 series are independent of bit codes, and exhibits essentially constant device characteristics over the entire supply voltage range.

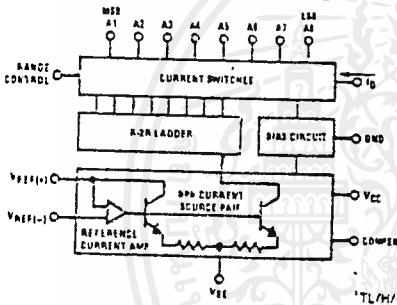
The DAC0805 will interface directly with popular TTL, DTL or CMOS logic levels, and is a direct replacement for the

MC1508/MC1405. For higher speed applications, see DAC0800 data sheet.

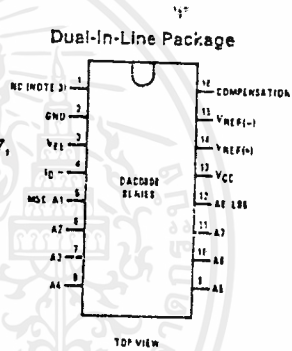
Features

- Relative accuracy: $\pm 0.19\%$ error maximum (DAC0806)
- Full scale current match: ± 1 LSB typ
- 7 and 6-bit accuracy available (DAC0807, DAC0806)
- Fast settling time: 150 ns typ
- Noninverting digital inputs are TTL and CMOS compatible
- High speed multiplying input slew rate: $6 \text{ mA}/\mu\text{s}$
- Power supply voltage range: $\pm 4.5V$ to $\pm 18V$
- Low power consumption: 33 mW @ $\pm 5V$

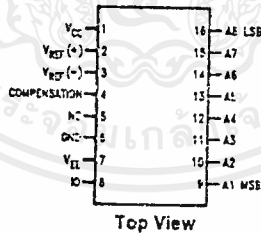
Block and Connection Diagrams



Order Number
DAC0808, DAC0807,
or DAC0806
See NS Package
Number J16A,
M16A or N16A



Small-Outline Package



Ordering Information

ACCURACY	OPERATING TEMPERATURE RANGE	ORDER NUMBERS		
		J PACKAGE (J16A)*	N PACKAGE (N16A)*	SO PACKAGE (M16A)
8-bit	$-55^{\circ}\text{C} \leq T_A \leq +125^{\circ}\text{C}$	DAC0805LJ MC1508L8	DAC0808LCN MC1408P8	DAC0808LCM
8-bit	$0^{\circ}\text{C} \leq T_A \leq +75^{\circ}\text{C}$	DAC0808LCJ MC1408L6	DAC0807LCN MC1408P7	DAC0807LCM
7-bit	$0^{\circ}\text{C} \leq T_A \leq +75^{\circ}\text{C}$	DAC0807LCJ MC1408L7	DAC0805LCN MC1408P6	DAC0805LCM
6-bit	$0^{\circ}\text{C} \leq T_A \leq +75^{\circ}\text{C}$	DAC0806LCJ MC1408L6		

*Note: Devices may be ordered by using either order number.

DAC0808/DAC0807/DAC0805

Absolute Maximum Ratings (Note 1)

If Military/Aerospace specified devices are required, contact the National Semiconductor Sales Office/Distributors for availability and specifications.

Power Supply Voltage	+18 V _{DC}
V _{CC}	-18 V _{DC}
V _{EE}	
Digital Input Voltage, V ₅ -V ₁₂	-10 V _{DC} to +18 V _{DC}
Applied Output Voltage, V _O	-11 V _{DC} to +18 V _{DC}
Reference Current, I ₁₄	5 mA
Reference Amplifier Inputs, V ₁₄ , V ₁₅	V _{CC} , V _{EE}
Power Dissipation (Note 3)	1000 mW
ESD Susceptibility (Note 4)	TBD

Storage Temperature Range	-65°C to +150°C
Lead Temp. (Soldering, 10 seconds)	260°C
Dual-In-Line Package (Plastic)	300°C
Dual-In-Line Package (Ceramic)	
Surface Mount Package	215°C
Vapor Phase (60 seconds)	220°C
Infrared (15 seconds)	

Operating Ratings

Temperature Range	T _{MIN} ≤ T _A ≤ T _{MAX}
DAC0808L	-55°C ≤ T _A ≤ +125°C
DAC0808LC Series	0 ≤ T _A ≤ +75°C

Electrical Characteristics

(V_{CC} = 5V, V_{EE} = -15V_{DC}, V_{REF}/R₁₄ = 2 mA, DAC0808: T_A = -55°C to +125°C, DAC0808C, DAC0807C, DAC0806C, T_A = 0°C to +75°C, and all digital inputs at high logic level unless otherwise noted.)

Symbol	Parameter	Conditions	Min	Typ	Max	Units
E _r	Relative Accuracy (Error Relative to Full Scale I _O)	(Figure 4)			±0.19	%
	DAC0808L (LM1508-8), DAC0808LC (LM1408-8)				±0.39	%
	DAC0807LC (LM1408-7), (Note 5) DAC0806LC (LM1408-6), (Note 5)				±0.78	%
	Settling Time to Within 1/2 LSB (Includes t _{PLH})	T _A = 25°C (Note 6), (Figure 5)		150		ns
t _{PLH} , t _{PHL}	Propagation Delay Time	T _A = 25°C, (Figure 5)		30	100	ns
T _{ClO}	Output Full Scale Current Drift			±20		ppm/°C
MSB	Digital Input Logic Levels	(Figure 3)	2		0.8	V _{DC}
V _{IH}	High Level, Logic "1"					V _{DC}
V _{IL}	Low Level, Logic "0"					V _{DC}
MSB	Digital Input Current	(Figure 3)		0	0.040	mA
	High Level	V _{IH} = 5V		-0.003	-0.8	mA
I ₁₅	Low Level	V _{IL} = 0.8V		-1	-3	μA
	Reference Input Bias Current	(Figure 3)				
I _O	Output Current Range	(Figure 3)	0	2.0	2.1	mA
		V _{EE} = -5V V _{EE} = -15V, T _A = 25°C	0	2.0	4.2	mA
I _O	Output Current	V _{REF} = 2.000V, R ₁₄ = 1000Ω, (Figure 3)	1.9	1.99	2.1	mA
	Output Current, All Bits Low	(Figure 3)		0	4	μA
	Output Voltage Compliance (Note 2)	E _r ≤ 0.19%, T _A = 25°C			-0.55, +0.4	V _{DC}
	V _{EE} = -5V, I _{REF} = 1 mA V _{EE} Below -10V				-5.0, +0.4	V _{DC}

Electrical Characteristics (Continued)

($V_{CC} = 5V$, $V_{EE} = -15V_{DC}$, $V_{REF}/R14 = 2 \text{ mA}$, DAC0808: $T_A = -55^\circ\text{C}$ to $+125^\circ\text{C}$, DAC0808C, DAC0807C, DAC0806C, $T_A = 0^\circ\text{C}$ to $+75^\circ\text{C}$, and all digital inputs at high logic level unless otherwise noted.)

Symbol	Parameter	Conditions	Min	Typ	Max	Units
SRI_{REF}	Reference Current Slew Rate	(Figure 6)	4	8		$\text{mA}/\mu\text{s}$
	Output Current Power Supply Sensitivity	$-5V \leq V_{EE} \leq -16.5V$		0.05	2.7	$\mu\text{A}/V$
I_{CC} I_{EE}	Power Supply Current (All Bits Low)	(Figure 3)		2.3 -4.3	22 -13	mA
V_{CC} V_{EE}	Power Supply Voltage Range	$T_A = 25^\circ\text{C}$, (Figure 3)	4.5 -4.5	5.0 -15	5.5 -16.5	V_{DC}
	Power Dissipation					
	All Bits Low	$V_{CC} = 5V, V_{EE} = -5V$		33	170	mW
	All Bits High	$V_{CC} = 5V, V_{EE} = -15V$ $V_{CC} = 15V, V_{EE} = -5V$ $V_{CC} = 15V, V_{EE} = -15V$		106 90 160	305	mW

Note 1: Absolute Maximum Ratings indicate limits beyond which damage to the device may occur. DC and AC electrical specifications do not apply when operating the device beyond its specified operating conditions.

Note 2: Range control is not required.

Note 3: The maximum power dissipation must be derated at elevated temperatures and is dictated by T_{JMAX} , θ_{JA} , and the ambient temperature, T_A . The maximum allowable power dissipation at any temperature is $P_D = (T_{JMAX} - T_A)/\theta_{JA}$ or the number given in the Absolute Maximum Ratings, whichever is lower. For this device, $T_{JMAX} = 125^\circ\text{C}$, and the typical junction-to-ambient thermal resistance of the dual-in-line J package when the board mounted is $100^\circ\text{C}/\text{W}$. For the dual-in-line N package, this number increases to $175^\circ\text{C}/\text{W}$ and for the small outline M package this number is $100^\circ\text{C}/\text{W}$.

Note 4: Human body model, 100 pF discharged through a 1.5 k Ω resistor.

Note 5: All current switches are tested to guarantee at least 50% of rated current.

Note 6: All bits switched.

Note 7: Pin-out numbers for the DAL080X represent the dual-in-line package. The small outline package pinout differs from the dual-in-line package.

Typical Application

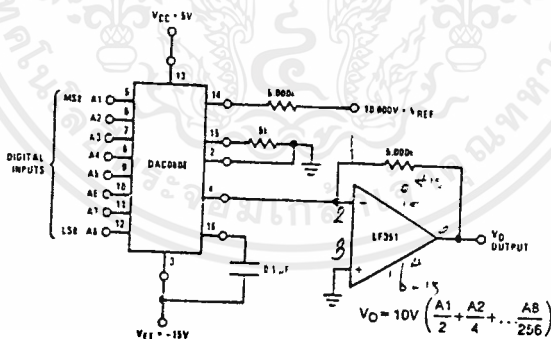
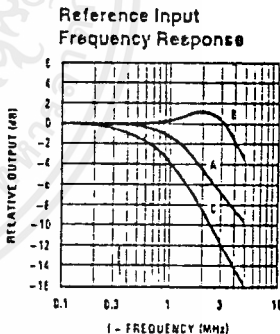
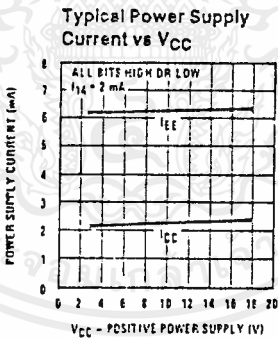
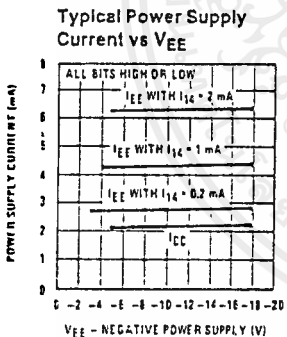
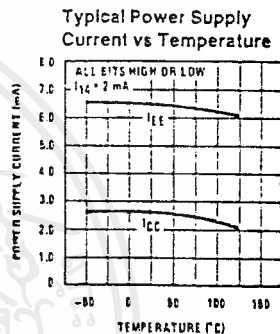
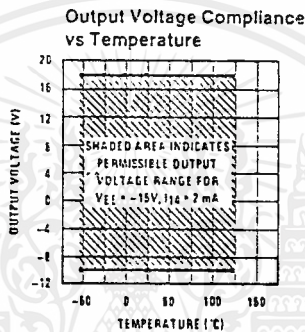
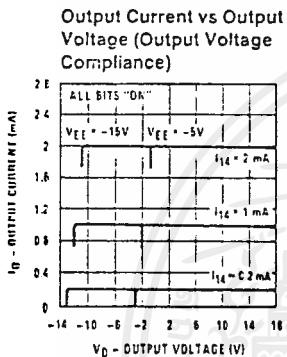
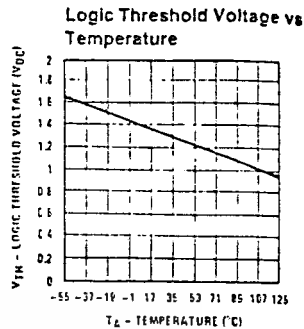
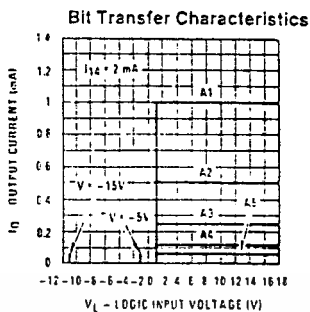
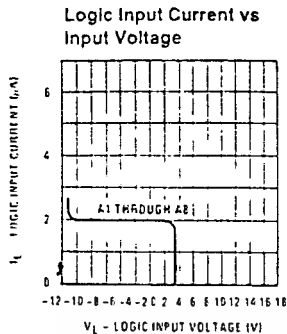


FIGURE 1. +10V Output Digital to Analog Converter (Note 7)

TL/H/5687-3

Typical Performance Characteristics

$V_{CC} = 5V$, $V_{EE} = -15V$, $T_A = 25^\circ C$, unless otherwise noted



TLH/5687-5

Unless otherwise specified: $R_{14} = R_{15} = 1\text{ k}\Omega$, $C = 15\text{ pF}$, pin 16 to V_{EE} ; $R_L = 50\Omega$, pin 4 to ground.

Curve A: Large Signal Bandwidth Method of Figure 7, $V_{REF} = 2\text{ Vp-p}$ offset 1 V above ground.

Curve B: Small Signal Bandwidth Method of Figure 7, $R_L = 250\Omega$, $V_{REF} = 50\text{ mVp-p}$ offset 200 mV above ground.

Curve C: Large and Small Signal Bandwidth Method of Figure 9 (no op amp, $R_L = 50\Omega$), $R_S = 50\Omega$, $V_{REF} = 2V$, $V_S = 100\text{ mVp-p}$ centered at 0V.

TL/H/5687-4

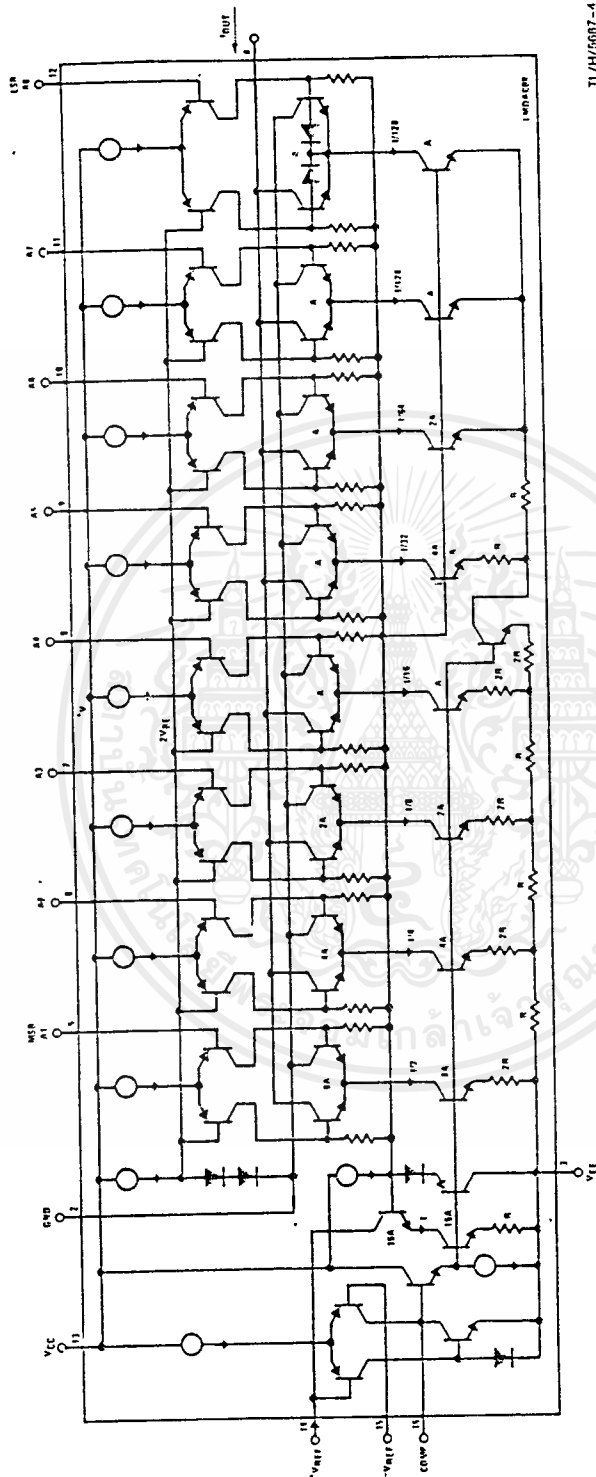
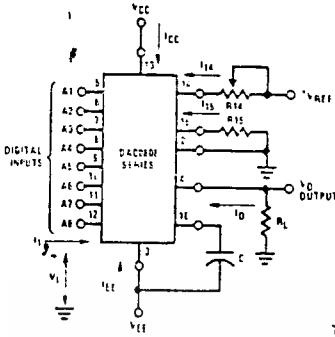


FIGURE 2. Equivalent Circuit of the DAC0808 Series (Note 7)

Test Circuits



V_I and I₁ apply to inputs A1–A8.

The resistor tied to pin 15 is to temperature compensate the bias current and may not be necessary for all applications

$$I_O = K \left(\frac{A_1}{2} + \frac{A_2}{4} + \frac{A_4}{16} + \frac{A_5}{32} + \frac{A_6}{64} + \frac{A_7}{128} + \frac{A_8}{256} \right)$$

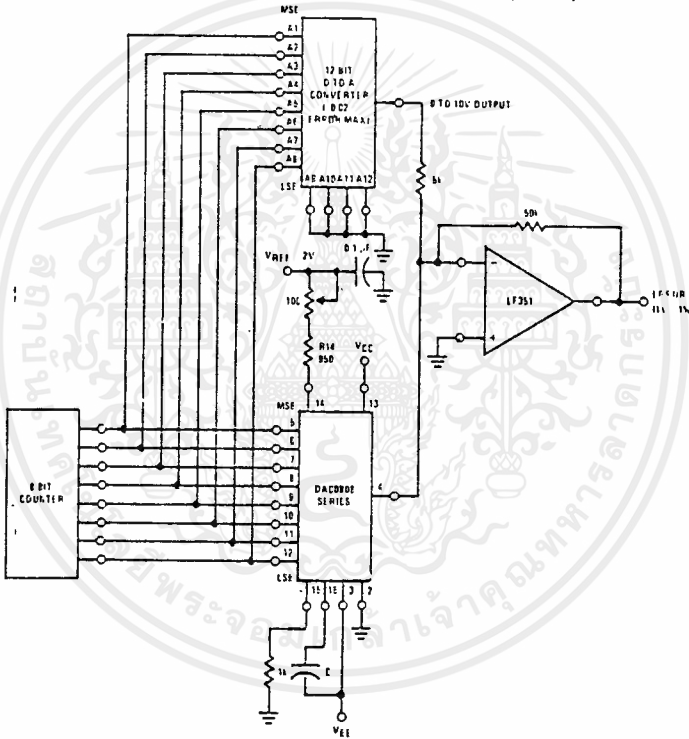
where $K \approx \frac{V_{REF}}{R_{14}}$

and A_N = "1" if A_N is at high level

A_N = "0" if A_N is at low level

TL/H/5667-6

FIGURE 3. Notation Definitions Test Circuit (Note 7)



TL/H/5687-7

FIGURE 4. Relative Accuracy Test Circuit (Note 7)

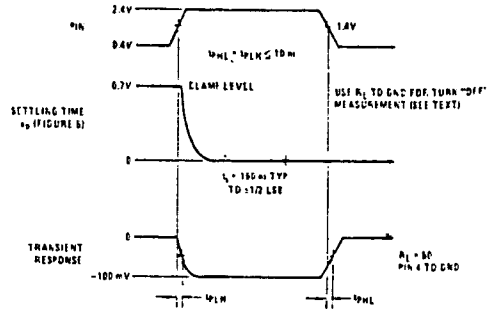
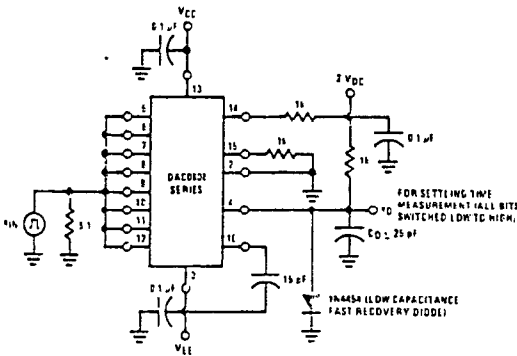


FIGURE 5. Transient Response and Settling Time (Note 7)

TL/H/5687-E

Test Circuits (Continued)

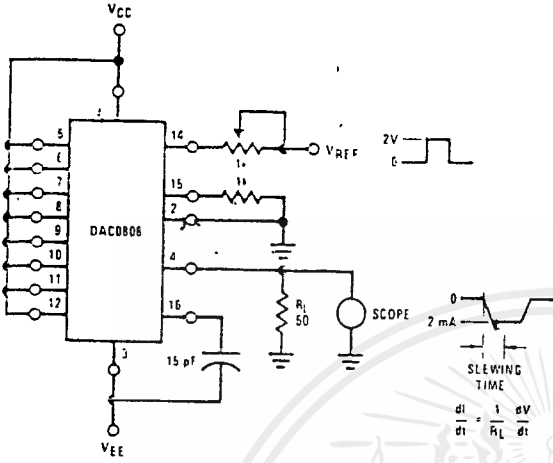


FIGURE 6. Reference Current Slew Rate Measurement (Note 7)

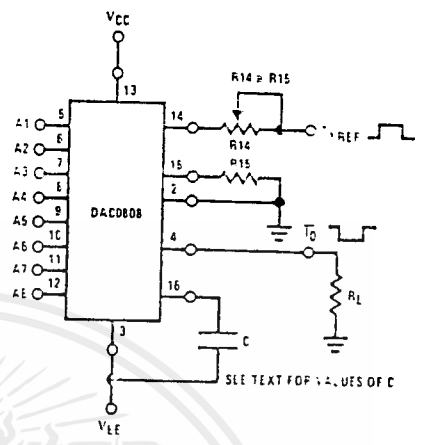


FIGURE 7. Positive VREF (Note 7)

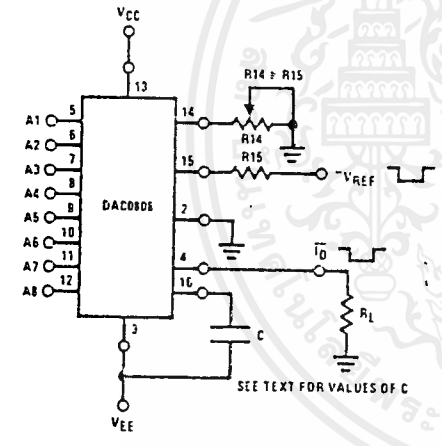


FIGURE 8. Negative VREF (Note 7)

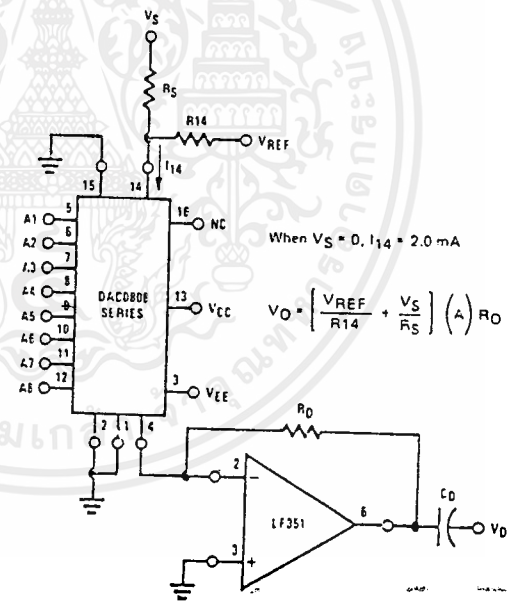


FIGURE 9. Programmable Gain Amplifier or Digital Attenuator Circuit (Note 7)

Application Hints

REFERENCE AMPLIFIER DRIVE AND COMPENSATION

The reference amplifier provides a voltage at pin 14 for converting the reference voltage to a current, and a turn-around circuit or current mirror for feeding the ladder. The reference amplifier input current, I_{14} , must always flow into pin 14, regardless of the set-up method or reference voltage polarity. Connections for a positive voltage are shown in Figure 7. The reference voltage source supplies the full current I_{14} . For bipolar reference signals, as in the multiplying mode,

R_{15} can be tied to a negative voltage corresponding to the minimum input level. It is possible to eliminate R_{15} with only a small sacrifice in accuracy and temperature drift.

The compensation capacitor value must be increased with increases in R_{14} to maintain proper phase margin; for R_{14} values of 1, 2.5 and 5 k Ω , minimum capacitor values are 15, 57 and 75 pF. The capacitor may be tied to either V_{EE} or ground, but using V_{EE} increases negative supply rejection.

Application Hints (Continued)

A negative reference voltage may be used if R14 is grounded and the reference voltage is applied to R15 as shown in Figure 8. A high input impedance is the main advantage of this method. Compensation involves a capacitor to V_{EE} on pin 16, using the values of the previous paragraph. The negative reference voltage must be at least 4V above the V_{EE} supply. Bipolar input signals may be handled by connecting R14 to a positive reference voltage equal to the peak positive input level at pin 15.

When a DC reference voltage is used, capacitive bypass to ground is recommended. The 5V logic supply is not recommended as a reference voltage. If a well regulated 5V supply which drives logic is to be used as the reference, R14 should be decoupled by connecting it to 5V through another resistor and bypassing the junction of the 2 resistors with 0.1 μ F to ground. For reference voltages greater than 5V, a clamp diode is recommended between pin 14 and ground. If pin 14 is driven by a high impedance such as a transistor current source, none of the above compensation methods apply and the amplifier must be heavily compensated, decreasing the overall bandwidth.

OUTPUT VOLTAGE RANGE

The voltage on pin 4 is restricted to a range of -0.55 to $0.4V$, when $V_{EE} = -5V$ due to the current switching methods employed in the DAC0808.

The negative output voltage compliance of the DAC0808 is extended to $-5V$ where the negative supply voltage is more negative than $-10V$. Using a full-scale current of 1.992 mA and load resistor of 2.5 k Ω between pin 4 and ground will yield a voltage output of 256 levels between 0 and $-4.980V$. Floating pin 1 does not affect the converter speed or power dissipation. However, the value of the load resistor determines the switching time due to increased voltage swing. Values of R_L up to 500 Ω do not significantly affect performance, but a 2.5 k Ω load increases worst-case settling time to 1.2 μ s (when all bits are switched ON). Refer to the subsequent text section on Settling Time for more details on output loading.

OUTPUT CURRENT RANGE

The output current maximum rating of 4.2 mA may be used only for negative supply voltages more negative than $-8V$, due to the increased voltage drop across the resistors in the reference current amplifier.

ACCURACY

Absolute accuracy is the measure of each output current level with respect to its intended value, and is dependent upon relative accuracy and full-scale current drift. Relative accuracy is the measure of each output current level as a fraction of the full-scale current. The relative accuracy of the DAC0808 is essentially constant with temperature due to

the excellent temperature tracking of the monolithic resistor ladder. The reference current may drift with temperature, causing a change in the absolute accuracy of output current. However, the DAC0808 has a very low full-scale current drift with temperature.

The DAC0808 series is guaranteed accurate to within $\pm 1/2$ LSB at a full-scale output current of 1.992 mA. This corresponds to a reference amplifier output current drive to the ladder network of 2 mA, with the loss of 1 LSB (8 μ A) which is the ladder remainder shunted to ground. The input current to pin 14 has a guaranteed value of between 1.9 and 2.1 mA, allowing some mismatch in the NPN current source pair. The accuracy test circuit is shown in Figure 4. The 12-bit converter is calibrated for a full-scale output current of 1.992 mA. This is an optional step since the DAC0808 accuracy is essentially the same between 1.5 and 2.5 mA. Then the DAC0808 circuits' full-scale current is trimmed to the same value with R14 so that a zero value appears at the error amplifier output. The counter is activated and the error band may be displayed on an oscilloscope, detected by comparators, or stored in a peak detector.

Two 8-bit D-to-A converters may not be used to construct a 16-bit accuracy D-to-A converter. 16-bit accuracy implies a total error of $\pm 1/2$ of one part in 65,535 or $\pm 0.00076\%$, which is much more accurate than the $\pm 0.019\%$ specification provided by the DAC0808.

MULTIPLYING ACCURACY

The DAC0808 may be used in the multiplying mode with 8-bit accuracy when the reference current is varied over a range of 256:1. If the reference current in the multiplying mode ranges from 16 μ A to 4 mA, the additional error contributions are less than 1.6 μ A. This is well within 6-bit accuracy when referred to full-scale.

A monotonic converter is one which supplies an increase in current for each increment in the binary word. Typically, the DAC0808 is monotonic for all values of reference current above 0.5 mA. The recommended range for operation with a DC reference current is 0.5 to 4 mA.

SETTLING TIME

The worst-case switching condition occurs when all bits are switched ON, which corresponds to a low-to-high transition for all bits. This time is typically 150 ns for settling to within $\pm 1/2$ LSB, for 8-bit accuracy, and 100 ns to $1/2$ LSB for 7 and 6-bit accuracy. The turn OFF is typically under 100 ns. These times apply when $R_L \leq 500\Omega$ and $C_O \leq 25$ pF.

Extra care must be taken in board layout since this is usually the dominant factor in satisfactory test results when measuring settling time. Short leads, 100 μ F supply bypassing for low frequencies, and minimum scope lead length are all mandatory.

TTL TYPES SN54164, SN54LS164, SN74164, SN74LS164 MSI 8-BIT PARALLEL-OUT SERIAL SHIFT REGISTERS

BULLETIN NO. DLS 7511335, MARCH 1974 - REVISED OCTOBER 1974

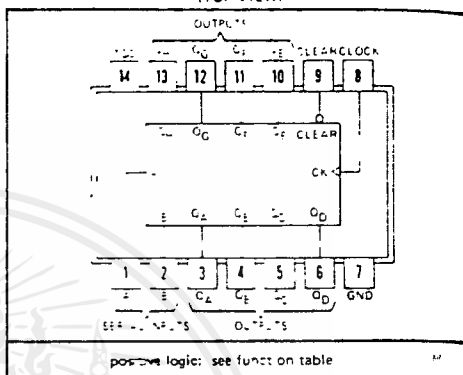
- Gated (Enable/Disable) Serial Inputs
- Fully Buffered Clock and Serial Inputs
- Asynchronous Clear

SN54164 SN54LS164 ... J OR W PACKAGE
SN54L164 SN74L164 ... J, N, OR T PACKAGE
SN74164 SN74LS164 ... J OR N PACKAGE
(TOP VIEW)

TYPE	TYPICAL MAXIMUM CLOCK FREQUENCY	TYPICAL POWER DISSIPATION
'164	36 MHz	21 mW per bit
'L164	18 MHz	11 mW per bit
'LS164	36 MHz	10 mW per bit

description

These 8-bit shift registers feature gated serial inputs and an asynchronous clear. The gated serial inputs (A and B) permit complete control over incoming data as a low at either (or both) input(s) inhibits entry of the new data and resets the first flip-flop to the low level at the next clock pulse. A high-level input enables the other input which will then determine the state of the first flip-flop. Data at the serial inputs may be changed while the clock is high or low, but only information meeting the setup requirements will be entered. Clocking occurs on the low-to-high-level transition of the clock input. All inputs are diode-clamped to minimize transmission-line effects.



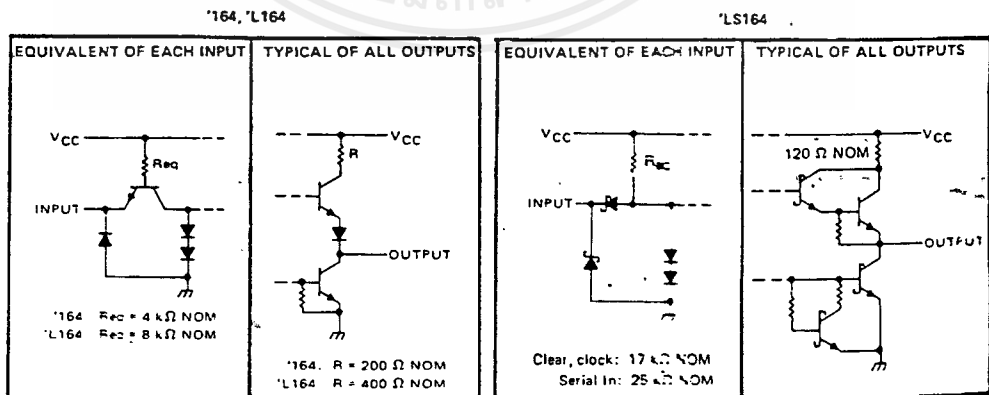
Series 54, 54L, and 54LS devices are characterized for operation over the full military temperature range of -55°C to 125°C . Series 74, 74L, and 74LS devices are characterized for operation from 0°C to 70°C .

FUNCTION TABLE

INPUTS			OUTPUTS			
CLEAR	CLOCK	A B	QA	QB	...	QH
L	X	X X	L	L	...	L
H	L	X X	QA0	QB0	...	QH0
- H	↑	H H	H	QA _n	...	QG _n
H	↑	L X	L	QA _n	...	QG _n
H	*	X L	L	QA _n	...	QG _n

H = high level (steady state), L = low level (steady state)
X = irrelevant (any input, including transitions)
↑ = transition from low to high level
QA0, QB0, QH0 = the level of QA, QB, or QH, respectively, before the indicated steady-state input conditions were established.
QA_n, QB_n, QG_n = the level of QA, QB, or QG before the most-recent ↑ transition of the clock, indicates a clock shift.

schematics of inputs and outputs

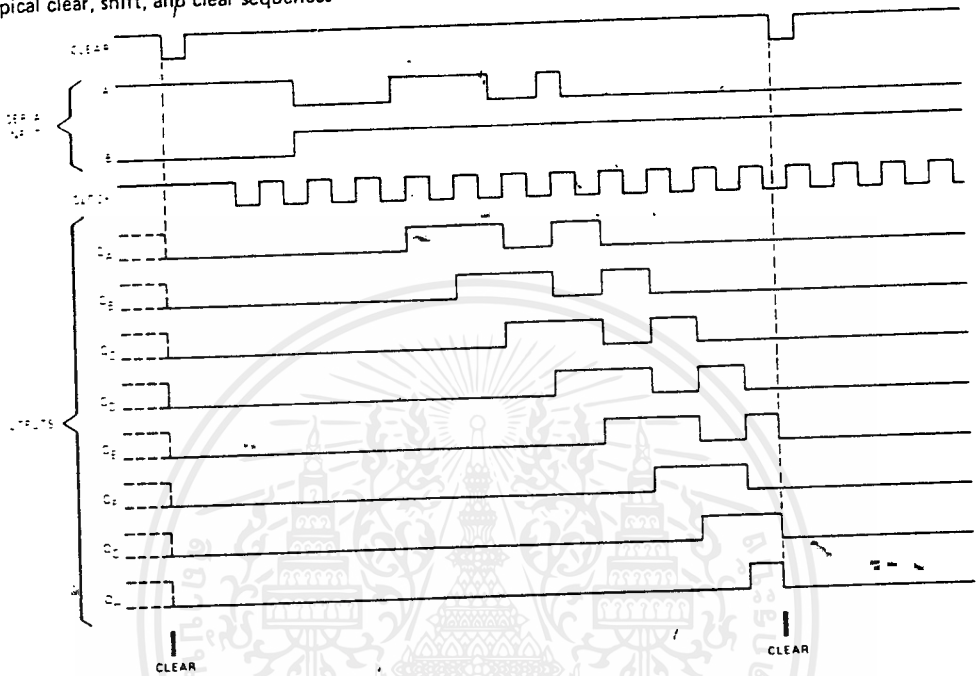


TYPES SN54164, SN54L164, SN54LS164, SN74164, SN74L164, SN74LS164

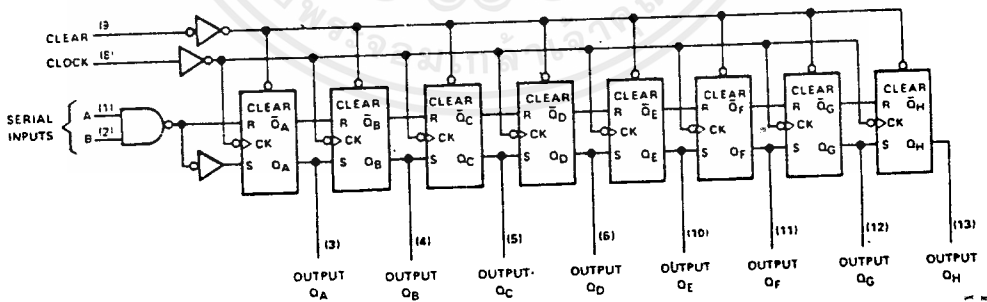
8-BIT PARALLEL-OUT SERIAL SHIFT REGISTER

REVISED OCTOBER 1976

typical clear, shift, and clear sequences



functional block diagram



TYPES SN54164, SN74164

8-BIT PARALLEL-OUT SERIAL SHIFT REGISTERS

absolute maximum ratings over operating free-air temperature range (unless otherwise noted)

Supply voltage, V_{CC} (see Note 1)	7 V
Input voltage	5.5 V
Operating free-air temperature range: SN54164	-55°C to 125°C
SN74164	0°C to 70°C
Storage temperature range	-65°C to 150°C

NOTE 1: Voltage values are with respect to network ground terminal.

recommended operating conditions

	SN54164			SN74164			UNIT
	MIN	NOM	MAX	MIN	NOM	MAX	
Supply voltage, V_{CC}	4.5	5	5.5	4.75	5	5.25	V
High-level output current, I_{OH}			-400			-400	μ A
Low-level output current, I_{OL}							μ A
Clock frequency, f_{clock}							8 MHz
Width of clock or clear input pulse, t_w	0		25	0		25	nsec
Data setup time, t_{SU} (see Figure 1)	20			20			ns
Data hold time, t_H (see Figure 1)			15			15	ns
Operating free-air temperature, T_A	5		5	5		5	ns
	-55		70	0		70	°C

electrical characteristics over recommended operating free-air temperature range (unless otherwise noted)

PARAMETER	TEST CONDITIONS†	SN54164			SN74164			UNIT
		MIN	TYP‡	MAX	MIN	TYP‡	MAX	
V_{IH} High-level input voltage		2			2			V
V_{IL} Low-level input voltage								V
V_{IK} Input clamp voltage				0.8			0.8	V
V_{OH} High-level output voltage	$V_{CC} = \text{MIN}, I_I = -12 \text{ mA}$			-1.5			-1.5	V
V_{OL} Low-level output voltage	$V_{CC} = \text{MIN}, V_{IH} = 2 \text{ V}, V_{IL} = 0.8 \text{ V}, I_{OH} = -400 \mu\text{A}$	2.4	3.2		2.4	3.2		V
I_I Input current at maximum input voltage	$V_{CC} = \text{MIN}, V_{IH} = 2 \text{ V}, V_{IL} = 0.8 \text{ V}, I_{OL} = 8 \text{ mA}$		0.2	0.4		0.2	0.4	V
I_{IH} High-level input current	$V_{CC} = \text{MAX}, V_I = 5.5 \text{ V}$			1			1	mA
I_{IL} Low-level input current	$V_{CC} = \text{MAX}, V_I = 2.4 \text{ V}$			40			40	μ A
I_{OS} Short-circuit output current§	$V_{CC} = \text{MAX}, V_I = 0.4 \text{ V}$			-1.6			-1.6	mA
I_{CC} Supply current	$V_{CC} = \text{MAX}$			-27.5			-27.5	mA
	$V_{I}(\text{clock}) = 0.4 \text{ V}$		30		30			mA
	See Note 2 $V_{I}(\text{clock}) = 2.4 \text{ V}$		37	54		37	54	mA

† For conditions shown at MIN or MAX, use the appropriate value specified under recommended operating conditions.

‡ All typical values are at $V_{CC} = 5 \text{ V}, T_A = 25^\circ\text{C}$.

§ Not more than two outputs should be shorted at a time.

NOTE 2: I_{CC} is measured with outputs open, serial inputs grounded, and a momentary ground, then 4.5 V, applied to clear.

switching characteristics, $V_{CC} = 5 \text{ V}, T_A = 25^\circ\text{C}$

PARAMETER	TEST CONDITIONS	MIN	TYP	MAX	UNIT	
f_{max} Maximum clock frequency					MHz	
t_{PHL} Propagation delay time, high-to-low-level Q outputs from clear input	$R_L = 800 \Omega$, See Figure 1	$C_L = 15 \text{ pF}$	25	36		
		$C_L = 15 \text{ pF}$		24	36	ns
t_{PLH} Propagation delay time, low-to-high-level Q outputs from clock input		$C_L = 50 \text{ pF}$		28	42	
		$C_L = 15 \text{ pF}$	8	17	27	ns
t_{PHL} Propagation delay time, high-to-low-level Q outputs from the clock input		$C_L = 50 \text{ pF}$		10	20	30
		$C_L = 15 \text{ pF}$	10	21	32	ns
	$C_L = 50 \text{ pF}$		10	25	37	ns

TYPES SN54L164, SN74L164

8-BIT PARALLEL-OUT SERIAL SHIFT REGISTERS

absolute maximum ratings over operating free-air temperature range (unless otherwise noted)

Supply voltage, V_{CC} (see Note 1)	7	V
Input voltage	5.5	V
Operating free-air temperature range: SN54L164	-55	°C to 125
SN74L164	0	°C to 70
Storage temperature range	-65	°C to 150

NOTE 1 Voltage values are with respect to network ground terminal.

recommended operating conditions

	SN54L164			SN74L164			UNIT
	MIN	NOM	MAX	MIN	NOM	MAX	
Supply voltage, V_{CC}	4.5	5	5.5	4.75	5	5.25	V
High-level output current, I_{OH}			-200			-200	μ A
Low-level output current, I_{OL}			4			4	mA
Clock frequency, f_{clock}	0		12	0		12	MHz
Width of clock or clear input pulse, t_w	40			40			ns
Data setup time, t_{SD} (see Figure 1)	30			30			ns
Data hold time, t_H (see Figure 1)	10			10			ns
Operating free-air temperature, T_A	-55		125	0		70	°C

electrical characteristics over recommended operating free-air temperature range (unless otherwise noted)

PARAMETER	TEST CONDITIONS ¹	SN54L164			SN74L164			UNIT
		MIN	TYP ²	MAX	MIN	TYP ²	MAX	
V_{IH} High-level input voltage		2			2			V
V_{IL} Low-level input voltage				0.8			0.8	V
V_{IK} Input clamp voltage	$V_{CC} = \text{MIN}, I_I = -12 \text{ mA}$			-1.5			-1.5	V
V_{OH} High-level output voltage	$V_{CC} = \text{MIN}, V_{IH} = 2 \text{ V}, V_{IL} = 0.8 \text{ V}, I_{OH} = -200 \mu\text{A}$	2.4	3.2		2.4	3.2		V
V_{OL} Low-level output voltage	$V_{CC} = \text{MIN}, V_{IH} = 2 \text{ V}, V_{IL} = 0.8 \text{ V}, I_{OL} = 4 \text{ mA}$		0.4		0.2	0.4		V
I_I Input current at maximum input voltage	$V_{CC} = \text{MAX}, V_I = 5.5 \text{ V}$		1			1		mA
I_{IH} High-level input current	$V_{CC} = \text{MAX}, V_I = 2.4 \text{ V}$		20			20		μ A
I_{IL} Low-level input current	$V_{CC} = \text{MAX}, V_I = 0.4 \text{ V}$		-0.8			-0.8		mA
I_{OS} Short-circuit output current ³	$V_{CC} = \text{MAX}$	-5	-20		-4	-20		mA
I_{CC} Supply current	$V_{CC} = \text{MAX}$, See Note 3		27		19	27		mA

¹ For conditions shown at MIN or MAX, use the appropriate value specified under recommended operating conditions.

² All typical values are at $V_{CC} = 5 \text{ V}, T_A = 25^\circ\text{C}$

³ Not more than two outputs should be shorted at a time.

NOTE 3: I_{CC} is measured with outputs open, serial inputs grounded, the clock input at 2.4 V, and a momentary ground, then 4.5 V, applied to clear.

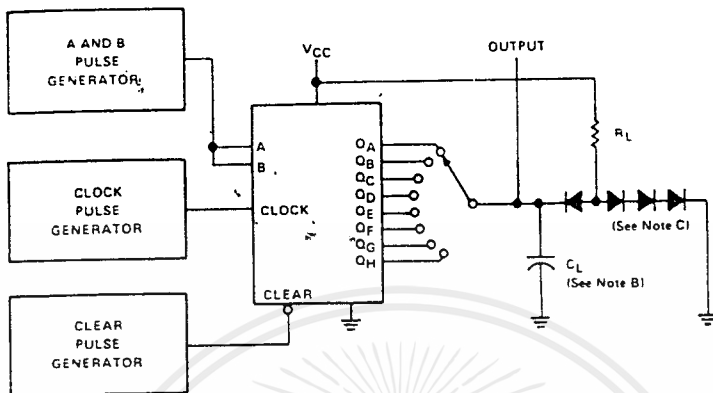
switching characteristics, $V_{CC} = 5 \text{ V}, T_A = 25^\circ\text{C}$

PARAMETER	TEST CONDITIONS	MIN	TYP	MAX	UNIT	
f_{max} Maximum clock frequency	$R_L = 800 \Omega$, See Figure 1		12	18	MHz	
t_{PHL} Propagation delay time, high-to-low-level Q outputs from clear input			48	72	ns	
t_{PLH} Propagation delay time, low-to-high-level Q outputs from clock input			56	84	ns	
t_{PLH} Propagation delay time, high-to-low-level Q outputs from the clock input			8	34	54	ns
t_{PHL} Propagation delay time, low-to-high-level Q outputs from the clock input			10	20	60	ns
t_{PHL} Propagation delay time, high-to-low-level Q outputs from the clock input			10	42	64	ns

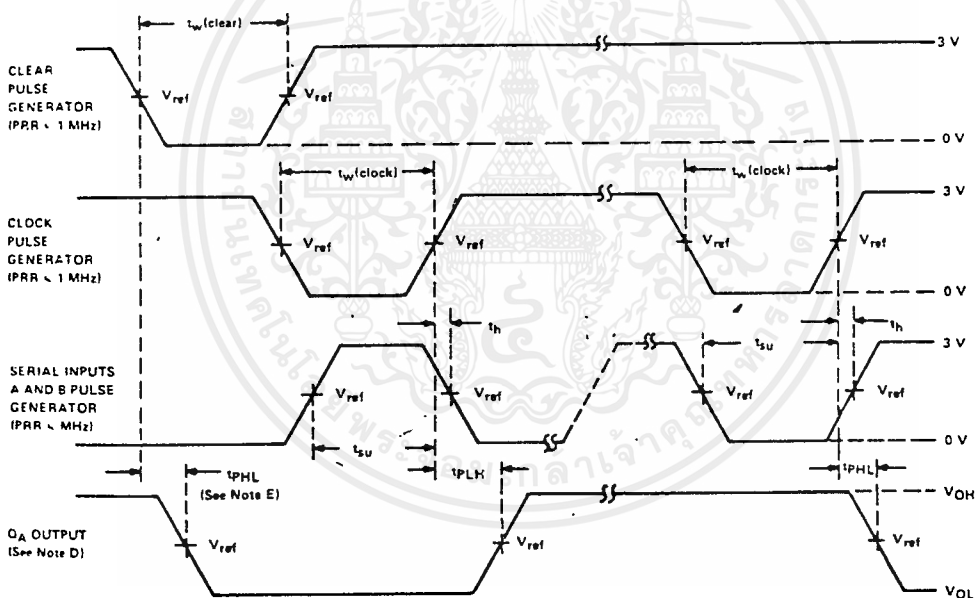
TYPES SN54164, SN54L164, SN54LS164, SN74164, SN74L164, SN74LS164

8-BIT PARALLEL-OUT SERIAL SHIFT REGISTERS

PARAMETER MEASUREMENT INFORMATION



TEST CIRCUIT



VOLTAGE WAVEFORMS

- NOTES
- The pulse generators have the following characteristics: duty cycle $\leq 50\%$, $Z_{out} = 50 \Omega$; for '164 and 'L164, $t_f \leq 10$ ns, $t_r \leq 10$ ns, and for 'LS164, $t_f \leq 15$ ns, $t_r \leq 6$ ns.
 - C_L includes probe and jig capacitance.
 - All diodes are 1N3064 or 1N916.
 - Q_A output is illustrated. Relationship of serial input A and B data to other Q outputs is illustrated in the typical shift sequence.
 - Outputs are set to the high level prior to the measurement of t_{PHL} from the clear input.
 - For '164 and 'L164, $V_{ref} = 1.5$ V; for 'LS164, $V_{ref} = 1.3$ V.

FIGURE 1—SWITCHING TIMES

TYPES SN54LS164, SN74LS164

8-BIT PARALLEL-OUT SERIAL SHIFT REGISTERS

REVISED OCTOBER 1976

absolute maximum ratings over operating free-air temperature range (unless otherwise noted)

Supply voltage, V_{CC} (see Note 1)	7 V
Input voltage	7 V
Operating free-air temperature range: SN54LS164	-55°C to 125°C
SN74LS164	0°C to 70°C
Storage temperature range	-65°C to 150°C

NOTE 1: Voltage values are with respect to network ground terminal.

recommended operating conditions

	SN54LS164			SN74LS164			UNIT
	MIN	NOM	MAX	MIN	NOM	MAX	
Supply voltage, V_{CC}	4.5	5	5.5	4.75	5	5.25	V
High-level output current, I_{OH}			-400			-400	μ A
Low-level output current, I_{OL}			4			8	mA
Clock frequency, f_{clock}	0		25	0		25	MHz
Width of clock or clear input pulse, t_w	20			20			ns
Data setup time, t_{SU} (see Figure 1)	15			15			ns
Data hold time, t_H (see Figure 1)	5			5			ns
Operating free-air temperature, T_A	-55		125	0		70	°C

electrical characteristics over recommended operating free-air temperature range (unless otherwise noted)

PARAMETER	TEST CONDITIONS†	SN54LS164			SN74LS164			UNIT	
		MIN	TYP‡	MAX	MIN	TYP‡	MAX		
V_{IH} High-level input voltage		2			2			V	
V_{IL} Low-level input voltage				0.7			0.8	V	
V_{IK} Input clamp voltage	$V_{CC} = \text{MIN}$, $I_I = -18 \text{ mA}$			-1.5			-1.5	V	
V_{OH} High-level output voltage	$V_{CC} = \text{MIN}$, $V_{IH} = 2 \text{ V}$, $V_{IL} = V_{IL \text{ max}}$, $I_{OH} = -400 \mu\text{A}$	2.5	3.5		2.7	3.5		V	
V_{OL} Low-level output voltage	$V_{CC} = \text{MIN}$, $V_{IH} = 2 \text{ V}$, $V_{IL} = V_{IL \text{ max}}$			$I_{OL} = 4 \text{ mA}$ $I_{OL} = 8 \text{ mA}$	0.25	0.4	0.25	0.4	V
I_I Input current at maximum input voltage	$V_{CC} = \text{MAX}$, $V_I = 7 \text{ V}$			0.1			0.1	mA	
I_{IH} High-level input current	$V_{CC} = \text{MAX}$, $V_I = 2.7 \text{ V}$			20			20	μ A	
I_{IL} Low-level input current	$V_{CC} = \text{MAX}$, $V_I = 0.4 \text{ V}$			-0.4			-0.4	mA	
I_{OS} Short-circuit output current‡	$V_{CC} = \text{MAX}$	-20		-100	-20		-100	mA	
I_{CC} Supply current	$V_{CC} = \text{MAX}$, See Note 3		16	27		16	27	mA	

† For conditions shown as MIN or MAX, use the appropriate value specified under recommended operating conditions.

‡ All typical values are at $V_{CC} = 5 \text{ V}$, $T_A = 25^\circ \text{C}$.

§ Not more than one output should be shorted at a time, and duration of the short-circuit should not exceed one second.

NOTE 3: I_{CC} is measured with outputs open, serial inputs grounded, the clock input at 2.4 V, and a momentary ground, then 4.5 V applied to clear.

switching characteristics, $V_{CC} = 5 \text{ V}$, $T_A = 25^\circ \text{C}$

PARAMETER	TEST CONDITIONS	MIN	TYP	MAX	UNIT
f_{max} Maximum clock frequency		25	36		MHz
t_{PHL} Propagation delay time, high-to-low-level Q outputs from clear input	$C_L = 15 \text{ pF}$, $R_L = 2 \text{ k}\Omega$		24	36	ns
t_{PLH} Propagation delay time, low-to-high-level Q outputs from clock input	See Figure 1		17	27	ns
t_{PHL} Propagation delay time, high-to-low-level Q outputs from clock input			21	32	ns

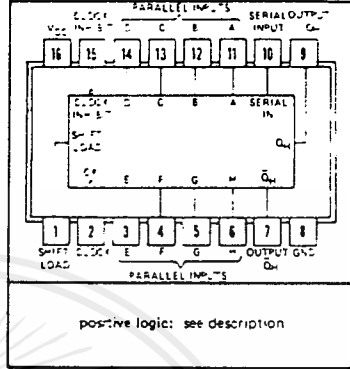
TTL
MSI

TYPES SN54165, SN54LS165, SN74165, SN74LS165 PARALLEL-LOAD 8-BIT SHIFT REGISTERS

BULLETIN NO. DLS 7611375, OCTOBER 1976

- Complementary Outputs
- Direct Overriding Load (Data) Inputs
- Gated Clock Inputs
- Parallel-to-Serial Data Conversion

SN54165, SN54LS165 ... J OR W PACKAGE
SN74165, SN74LS165 ... J OR N PACKAGE
(TOP VIEW)



TYPE	TYPICAL CLOCK FREQUENCY	MAXIMUM CLOCK FREQUENCY	TYPICAL POWER DISSIPATION
'165	26 MHz		210 mW
'LS165	35 MHz		105 mW

description

The '165 and 'LS165 are 8-bit serial shift registers that shift the data in the direction of Q_A toward Q_H when clocked. Parallel-in access to each stage is made available by eight individual direct data inputs that are enabled by a low level at the shift/load input. These registers also feature gated clock inputs and complementary outputs from the eighth bit. All inputs are diode-clamped to minimize transmission-line effects, thereby simplifying system design.

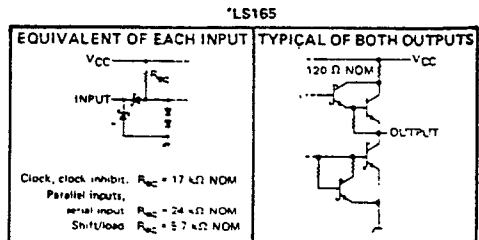
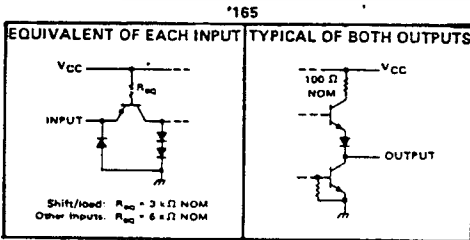
Clocking is accomplished through a 2-input positive-NOR gate, permitting one input to be used as a clock-inhibit function. Holding either of the clock inputs high inhibits clocking and holding either clock input low with the shift/load input high enables the other clock input. The clock-inhibit input should be changed to the high level only while the clock input is high. Parallel loading is inhibited as long as the shift/load input is high. Data at the parallel inputs are loaded directly into the register on a high-to-low transition of the shift/load input independently of the levels of the clock, clock inhibit, or serial inputs.

FUNCTION TABLE

SHIFT/ LOAD	CLOCK INHIBIT	INPUTS			PARALLEL A...H	INTERNAL OUTPUTS		OUTPUT QH
		CLOCK	SERIAL	QA		QB		
L	X	X	X	a...h	a	b	h	
H	L	L	X	X	Q_{A0}	Q_{S0}	Q_{H0}	
H	L	↑	H	X	H	Q_{A-}	Q_{Gn}	
H	L	↑	L	X	L	Q_{A-}	Q_{Gn}	
H	H	X	X	X	Q_{A0}	Q_{S0}	Q_{H0}	

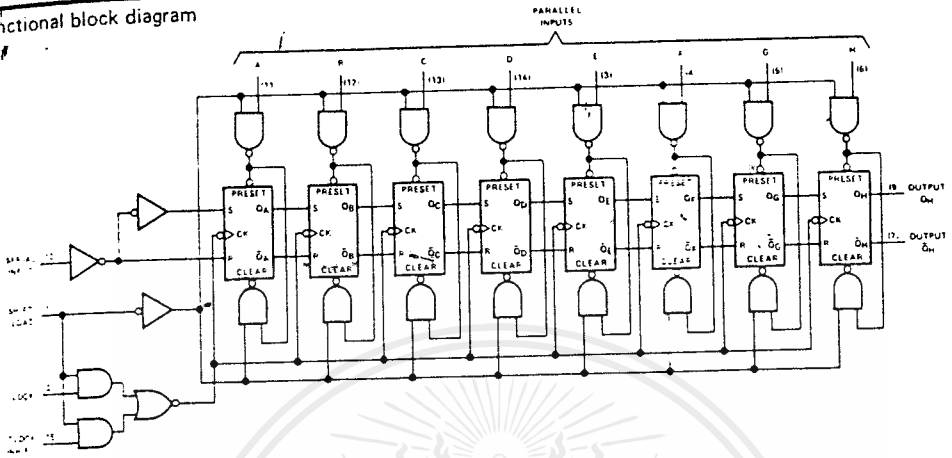
See explanation of function tables on page 3-8.

schematic of inputs and output

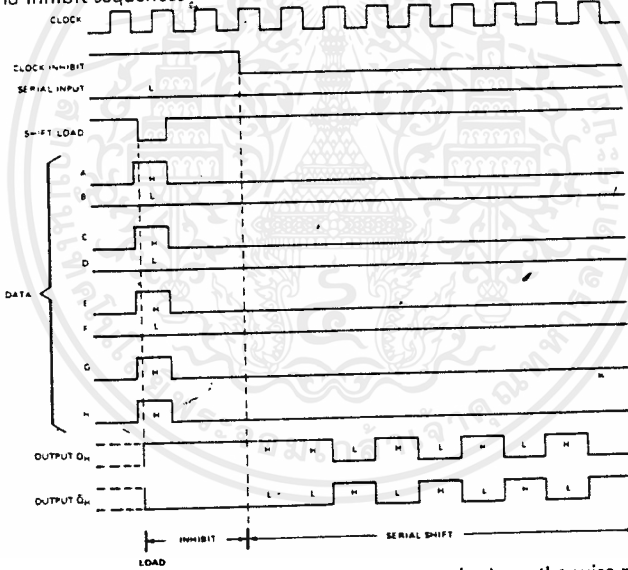


TYPES SN54165, SN54LS165, SN74165, SN74LS165 PARALLEL-LOAD 8-BIT SHIFT REGISTERS

functional block diagram



typical shift, load, and inhibit sequences



absolute maximum ratings over operating free-air temperature (unless otherwise noted)

Supply voltage, V_{CC} (see Note 1)	7 V
Input voltage: SN54165, SN74165	5.5 V
SN54LS165, SN74LS165	7 V
Intermittent voltage (see Note 2)	5.5 V
Operating free-air temperature range: SN54165, SN54LS165	-55°C to 125°C
SN74165, SN74LS165	0°C to 70°C
Storage temperature range	-65°C to 150°C

- NOTES: 1. Voltage values, except intermittent voltage, are with respect to network ground terminal.
 2. This is the voltage between two emitters of a multiple-emitter transistor. This rating applies for the '165 to the shift/load input in conjunction with the clock-inhibit inputs.

TYPES SN54165, SN74165 PARALLEL-LOAD 8-BIT SHIFT REGISTERS

recommended operating conditions

	SN54165			SN74165			UNIT
	MIN	NOM	MAX	MIN	NOM	MAX	
Supply voltage, V_{CC}	4.5	5	5.5	4.75	5	5.25	V
High-level output current, I_{OH}			-800			-800	μ A
Low-level output current, I_{OL}		16			16		mA
Clock frequency, f_{clock}	0	20		0	20		MHz
Width of clock input pulse, $t_{w(clock)}$	25			25			ns
Width of load input pulse, $t_{w(load)}$	15			15			ns
Clock-enable setup time, t_{SU} (see Figure 1)	30			30			ns
Parallel input setup time, t_{SU} (see Figure 1)	10			10			ns
Serial input setup time, t_{SU} (see Figure 2)	20			20			ns
Shift setup time, t_{SU} (see Figure 2)	45			45			ns
Hold time at any input, t_H	0			0			ns
Operating free-air temperature, T_A	-55	125		0	70		$^{\circ}$ C

electrical characteristics over recommended operating free-air temperature range (unless otherwise noted)

PARAMETER	TEST CONDITIONS ¹	SN54165			SN74165			UNIT
		MIN	TYP	MAX	MIN	TYP	MAX	
V_{IH} High-level input voltage			2				V	
V_{IL} Low-level input voltage			0.8			0.8	V	
V_{IK} Input clamp voltage	$V_{CC} = \text{MIN}, I_I = -12 \text{ mA}$		-1.5			-1.5	V	
V_{OH} High-level output voltage	$V_{CC} = \text{MIN}, V_{IH} = 2 \text{ V}, V_{IL} = 0.8 \text{ V}, I_{OH} = -800 \mu\text{A}$	2.4	3.4		2.4	3.4	V	
V_{OL} Low-level output voltage	$V_{CC} = \text{MIN}, V_{IH} = 2 \text{ V}, V_{IL} = 0.8 \text{ V}, I_{OL} = 16 \text{ mA}$		0.2	0.4		0.2	0.4	V
I_I Input current at maximum input voltage	$V_{CC} = \text{MAX}, V_I = 5.5 \text{ V}$			1		1	mA	
I_{IH} High-level input current	Shift/load			80		80	μ A	
	Other inputs			40		40	μ A	
I_{IL} Low-level input current	Shift/load			-3.2		-3.2	mA	
	Other inputs			-1.6		-1.6	mA	
I_{OS} Short-circuit output current ²	$V_{CC} = \text{MAX}$		-20	-55		-18	-55	mA
I_{CC} Supply current	$V_{CC} = \text{MAX}$. See Note 3		42	63		42	63	mA

NOTE 3: With the outputs open, clock inhibit and clock at 4.5 V, and a clock pulse applied to the shift/load input, I_{CC} is measured first with the parallel inputs at 4.5 V, then with the parallel inputs grounded.

¹ For conditions shown as MIN or MAX, use the appropriate value specified under recommended operating conditions.

² All typical values are at $V_{CC} = 5 \text{ V}, T_A = 25^{\circ}\text{C}$.

³ Not more than one output should be shorted at a time.

switching characteristics, $V_{CC} = 5 \text{ V}, T_A = 25^{\circ}\text{C}$

PARAMETER ¹	FROM (INPUT)	TO (OUTPUT)	TEST CONDITIONS	MIN	TYP	MAX	UNIT
f_{max}				20	26		MHz
t_{PLH}	Load	Any	$C_L = 15 \text{ pF}, R_L = 400 \Omega$, See Figures 1 thru 3		21	31	ns
t_{PHL}					27	40	
t_{PLH}	Clock	Any			16	24	ns
t_{PHL}					21	31	
t_{PLH}	H	O_H			11	17	ns
t_{PHL}					24	36	
t_{PLH}	H	\bar{O}_H			18	27	ns
t_{PHL}					18	27	

¹ f_{max} = maximum clock frequency

t_{PLH} = propagation delay time, low-to-high-level output

t_{PHL} = propagation delay time, high-to-low-level output

TYPES SN54LS165, SN74LS165 PARALLEL-LOAD 8-BIT SHIFT REGISTERS

recommended operating conditions

	SN54LS165			SN74LS165			UNIT
	MIN	NOM	MAX	MIN	NOM	MAX	
Supply voltage, V_{CC}	4.5	5	5.5	4.75	5	5.25	V
High-level output current, I_{OH}			-400			-400	μ A
Low-level output current, I_{OL}			4			8	mA
Clock frequency, f_{clock}	0		25	0		25	MHz
Width of clock input pulse, $t_w(\text{clock})$	25			25			ns
Width of load input pulse, $t_w(\text{load})$	15			15			ns
Clock-enable setup time, t_{su} (see Figure 1)	30			30			ns
Parallel input setup time, t_{su} (see Figure 1)	10			10			ns
Serial input setup time, t_{su} (see Figure 2)	20			20			ns
Shift setup time, t_{su} (see Figure 2)	45			45			ns
Hold time at any input, t_h	0			0			ns
Operating free-air temperature, T_A	-55		125	0		70	$^{\circ}$ C

electrical characteristics over recommended operating free-air temperature range (unless otherwise noted)

PARAMETER		TEST CONDITIONS ¹	SN54LS165		SN74LS165		UNIT
			MIN	TYP ² MAX	MIN	TYP ² MAX	
V_{IH}	High-level input voltage		2		2		V
V_{IL}	Low-level input voltage			0.7		0.8	V
V_{IK}	Input clamp voltage	$V_{CC} = \text{MIN.}$ $I_I = -18 \text{ mA}$		-1.5		-1.5	V
V_{OH}	High-level output voltage	$V_{CC} = \text{MIN.}$ $V_{IH} = 2 \text{ V.}$ $V_{IL} = V_{IL \text{ max.}}$ $I_{OH} = -400 \mu\text{A}$	2.5	3.5	2.7	3.5	V
V_{OL}	Low-level output voltage	$V_{CC} = \text{MIN.}$ $V_{IH} = 2 \text{ V.}$ $V_{IL} = V_{IL \text{ max.}}$ $I_{OL} = 4 \text{ mA}$	0.25	0.4	0.25	0.4	V
		$I_{OL} = 8 \text{ mA}$			0.35	0.5	
I_I	Input current at maximum input voltage	Shift/load		0.3		0.3	mA
		Other inputs	$V_{CC} = \text{MAX.}$ $V_I = 7 \text{ V}$	0.1		0.1	
I_{IH}	Low-level input current	Shift/load		60		60	μ A
		Other inputs	$V_{CC} = \text{MAX.}$ $V_I = 2.7 \text{ V}$	20		20	
I_{IL}	Low-level input current	Shift/load		-1.2		-1.2	mA
		Other inputs	$V_{CC} = \text{MAX.}$ $V_I = 0.4 \text{ V}$	-0.4		-0.4	
I_{OS}	Short-circuit output current ³	$V_{CC} = \text{MAX.}$	-20	-100	-20	-100	mA
I_{CC}	Supply current	$V_{CC} = \text{MAX.}$ See Note 3		21 36		21 36	mA

NOTE 3: With the outputs open, clock inhibit and clock at 4.5 V, and a clock pulse applied to the \bar{C} /load input, I_{CC} is measured first with the parallel inputs at 4.5 V, then with the parallel inputs grounded.

¹For conditions shown as MIN or MAX, use the appropriate value specified under recommended operating conditions.

²All typical values are at $V_{CC} = 5 \text{ V.}$ $T_A = 25^{\circ}\text{C.}$

³Not more than one output should be shorted at a time, and the duration of the short-circuit should not exceed one second.

switching characteristics, $V_{CC} = 5 \text{ V.}$ $T_A = 25^{\circ}\text{C}$

PARAMETER ¹	FROM (INPUT)	TO (OUTPUT)	TEST CONDITIONS	MIN	TYP	MAX	UNIT
f_{max}			$C_L = 15 \text{ pF.}$ $R_L = 2 \text{ k}\Omega.$ See figures 1, 2, 3	25	35		MHz
t_{PLH}	Load	Any		22	35		ns
t_{PHL}				22	35		ns
t_{PLH}	Clock	Any		27	40		ns
t_{PHL}				28	40		ns
t_{PLH}	H	Q_H		14	25		ns
t_{PHL}				21	30		ns
t_{PLH}	H	\bar{Q}_H		21	30		ns
t_{PHL}			16	25		ns	

¹ f_{max} = maximum clock frequency

² t_{PLH} = propagation delay time, low-to-high-level output

³ t_{PHL} = propagation delay time, high-to-low-level output

