ห้องสมุดคณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เครื่องจัดสัญญาณภาพ

FRAME SYNCHRONIZER

โดย

นายกมล จำเริญทวีทรัพย์

นายเกรียงศักดิ์ ธนะรุ่ง

นายสมยศ กิตติชัยกุลกิจ

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาตรีวิศวกรรมศาสตร์บัณฑิต

สาขา วิศวกรรมอิเล็กทรอนิกส์

สถาบันเทคโนโลยีพระจอมเกล้า เจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2535

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

032529

ปริญญานิพนธ์ปีการศึกษา ๒๕๓๕

เรื่อง เครื่องจัดการสัญญาณภาพ

FRAME SYNCHRONIZER

ผู้จัดทำ

1.นาย กมล จำเริญทวีทรัพย์

2.นาย เกรียงศักดิ์ ธนะรุ่ง

3.นาย สมยศ กิตติชัยกุลกิจ

.... อาจารย์ที่ปรึกษา

(อาจารย์ ประภากร สุวรรณะ)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4,๑๗

เครื่องจัดสัญญาณภาพ

นาย กมล จำเริญทวีทรัพย์ 321002

นาย เกรียงศักดิ์ ธนะรุ่ง 321027

นาย สมยศ กิตติชัยกุลกิจ 321353

อาจารย์ที่ปรึกษา: อาจารย์ประภากร สุวรรณะ

ปีการศึกษา 2535

บทคัดย่อ

เครื่องจัดสัญญาณภาพ (FRAME SYNCHRONIZER) เป็นอุปกรณ์ซึ่งประกอบด้วยวงจรอิเล็คทรอนิคส์ ใช้จัดการขยายสัญญาณภาพ (VIDEO SIGNAL) ปกติ ที่แสดงออกบนจอโทรทัศน์ 1 เครื่อง นำมาขยายขนาดของภาพเป็น 4 เท่าจากปกติ แสดงออกบนจอโทรทัศน์จำนวน 4 เครื่อง ประกอบกันเป็นภาพเดียว

โดยใช้หลักการแปลงสัญญาณภาพจากเครื่องเล่นวีดีโอ เป็นสัญญาณดิจิตอล (DIGITAL) ขนาด 7 บิท โดยใช้วงจร A/D CONVERTER ด้วยความถี่ในการสุ่ม (SAMPLING) 5 MHz

นำสัญญาณข้อมูลภาพ จัดเก็บลงหน่วยความจำ โดยแบ่งการจัดเก็บเป็น 2 ชุดๆละ 1 field สลับกัน ใน 1 ชุด มีหน่วยความจำย่อย 4 ส่วน และอ่านข้อมูลซ้ำตำแหน่งละ 4 ครั้ง

สัญญาณข้อมูลภาพที่อ่านจากหน่วยความจำ จะถูกแปลงเป็นสัญญาณ Analog โดยวงจร D/A CONVERTER แบบ R-2R LADDER สัญญาณที่ได้นำไปรวมกับ สัญญาณ sync ด้วยวงจร SUMMING ในที่สุดจะได้สัญญาณภาพพร้อมที่จะแสดงออกบนจอโทรทัศน์ ทั้ง 4 เครื่อง

ประโยชน์ของเครื่องจัดสัญญาณภาพ (FRAME SYNCHRONIZER) ทำให้คนจำนวนมากๆ ดูทีวี ที่มีภาพขนาดใหญ่ด้วยภาพที่คมชัดในเวลาเดียวกันได้ ดังนั้นเมื่อนำไปตั้งในที่มีคนมากๆ เช่นในงานนิทรรศการต่าง ๆ จะเหมาะสมมาก และยังช่วยประหยัดค่าใช้จ่ายอีกด้วย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

FRAME SYNCHRONIZER

KAMON CHAMROENTAWEESUP
KRIENGSAK THANARUNG
SOMYOS KITTICHAIKULKIT
ADVISOR:
PRAPAKORN SUWANNA
1992

ABSTRACT

FRAME SYNCHRONIZER IS AN ELECTRONIC CIRCUIT WHICH SEPARATE VIDEO SIGNAL FROM SINGLE MONITOR TO DISPLAY ON 4 MONITORS. ANALOG SIGNAL FROM VIDEO MUST BE CONVERTED TO SEVEN BITS DIGITAL SIGNAL WITH 5 MHz SAMPLING FREQUENCY. THEN, IT SEPARATES DIGITAL SIGNAL TO 4 PARTS AND WRITES THEM IN 4 SERIES OF STATIC RAM. EACH SERIAL OF 2 STATIC RAMS,WHEN ONE WRITES A FIELD, ANOTHER ONE WILL READ ANOTHER FIELD. READING WILL REPEAT 4 TIMES PER ONE ADDRESS. FINALLY, REAL-TIME PICTURE WILL BE SHOWN CONTINUALLY ON 4 MONITORS IN THE SAME PICTURE.

ADVANTAGES OF THIS FRAME SYNCHRONIZER CAN LET MANY PEOPLE WATCH A VERY BIG TELEVISION WITH CLEAR PICTURES IN THE SAME TIME. SO, THIS PROJECT IS PROPER THAN GENERAL TELEVISIONS WHEN SET IT IN CROWDED AREA SUCH AS EXHIBITIONS.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ

1.ทฤษฎีโทรทัศน์..1

2.หลักการในการสร้าง และวงจร.......................................11

-การจัดการหน่วยความจำ..12

-BLOCK DIAGRAM...14

-วงจรกำเนิดความถี่...17

-วงจรแยกสัญญาณซิงค์..18

-วงจรกรองผ่านความถี่ต่ำ..19

-วงจรแปลง สัญญาณอนาลอก เป็นดิจิตอล..............................20

-การสร้าง สัญญาณควบคุม การอ่าน-เขียนข้อมูล........................22

-วงจรสร้าง สัญญาณควบคุม การอ่าน-เขียนข้อมูล........................23

-วงจรสร้าง สัญญาณอ้างตำแหน่ง.......................................26

-วงจรแปลง สัญญาณดิจิตอล เป็นอนาลอก..............................28

-วงจรผสมสัญญาณ...29

3.ผลการทดลอง...30

4.บทสรุป และวิจารณ์...31

กิตติกรรมประกาศ..32

หนังสืออ้างอิง..33

ภาคผนวก...34

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ทฤษฎีโทรทัศน์

ภาพประกอบด้วยอะไรบ้าง

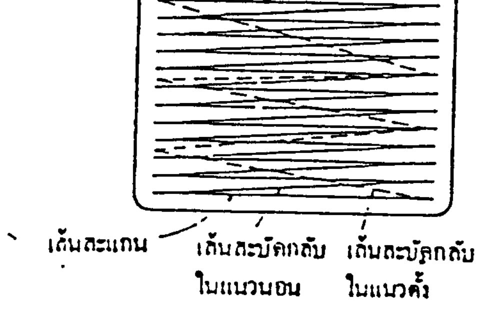
หากพิจารณาดูภาพหรือรูปที่ปรากฏในหน้าหนังสือพิมพ์และวารสารต่างๆแล้ว จะเห็นว่าภาพเหล่านี้ประกอบขึ้นด้วยจุดเล็กๆ เป็นจำนวนมาก ซึ่งมีทั้งส่วนที่ดำสนิท และส่วนที่ดำจาง ขนาดของจุดดำในส่วนของภาพที่มืดสนิท ก็จะเห็นใหญ่กว่าขนาดของจุดดำในส่วนของภาพที่จาง จำนวนจุดดำที่มีมากหรือน้อยนี้ จะมีผลทำให้ภาพมองดูละเอียดหรือหยาบแตกต่างกันด้วย ในการนี้ระยะทางที่มองดูภาพก็เข้ามามีส่วนสำคัญอยู่ไม่น้อย ภาพที่หยาบ แต่ถ้าหากมองดูในระยะทางซึ่งไกลกว่าระยะที่ใช้มองดูภาพละเอียด ก็อาจรู้สึกว่า พอจะดูได้เหมือนกัน

ในทำนองเดียวกันภาพที่ปรากฏบนจอหลอดภาพของเครื่องรับโทรทัศน์นั้น ก็ประกอบขึ้นด้วยเส้นขวางเล็กๆ ในแนวนอนเป็นจำนวนมาก ซึ่งแต่ละเส้นนี้ก็มีทั้งส่วนที่ดำสนิท ส่วนที่ดำจาง และส่วนที่สว่างมากรวมกันอยู่ เส้นขวางเล็กๆ ตามแนวนอนเหล่านี้ มีชื่อเรียกว่า เส้นสะแกน ซึ่งประกอบไปด้วยส่วนหรือจุดเล็กๆ ที่มีทั้งมืดและสว่างปะปนกัน ฉะนั้นภาพที่ปรากฏบนจอหลอดภาพจึงประกอบขึ้นด้วยจุดเล็กๆซึ่งมีระดับของความสว่างแตกต่างกันเป็นจำนวนมากมาย จุดเล็กๆเหล่านี้มีชื่อเรียกว่า ส่วนประกอบของภาพ หรือ PICTURE ELEMENTS ซึ่งมีความสัมพันธ์กับความละเอียดของภาพมาก หากจำนวนจุดเล็กๆ หรือจำนวนเส้นสะแกนในแนวนอนมีมากยิ่งขึ้นเพียงไร ภาพที่เห็นบนจอหลอดภาพก็จะมองดูละเอียดมากขึ้นเพียงนั้น ฉะนั้น โทรทัศน์ระบบยุโรป ซึ่งมีจำนวนเส้นสะแกน 625 เส้น จึงให้ภาพที่ละเอียดกว่าโทรทัศน์ระบบอเมริกัน ซึ่งมีจำนวนเส้นสะแกนเพียง 525 เส้นเท่านั้น แต่อย่างไรก็ตาม ภาพที่เห็นบนจอหลอดภาพจะมองดูละเอียด หยาบ หรือน่าดูอย่างไรนั้น ยังขึ้นอยู่กับส่วนประกอบอีกหลายอย่าง เช่น ความสว่างของภาพ และระยะทางที่มองดูภาพ เป็นต้น สำหรับโทรทัศน์ระบบอเมริกัน แม้จะมีจำนวนเส้นสะแกนน้อยกว่าจำนวนเส้นของโทรทัศน์ระบบยุโรป ซึ่งจะทำให้เห็นภาพหยาบไปบ้างก็ตาม แต่ถ้าหากมองดูในระยะทางห่างประมาณสี่ถึงแปดเท่าของความสูงภาพแล้ว ก็จะรู้สึกว่าเป็นภาพที่พอใช้ได้เหมือนกัน นอกจากนี้ สายตาของคนเราส่วนมาก ยังนิยมมองดูภาพที่มีขนาดอัตราส่วนความกว้างต่อความสูงของภาพ เป็นสี่ต่อสามอีกด้วย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

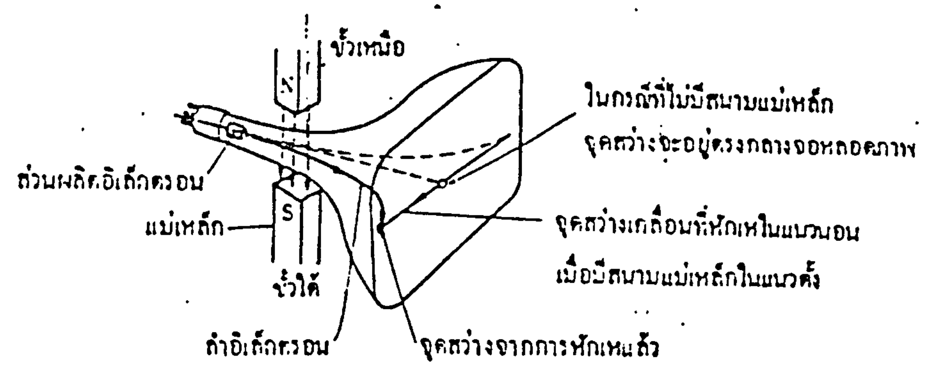
วิธีการสะแกนและการหักเหของลำอิเล็กตรอน

ภายในหลอดภาพของเครื่องรับโทรทัศน์ อิเล็กตรอนที่หลุดออกมาจากแคโถด และถูกดึงดูดให้วิ่งเป็นลำไปกระทบ แอโนด หรือ จอหลอดภาพ ซึ่งฉาบวัสดุเรืองแสงบางชนิดเอาไว้ จะทำให้มองเห็นเป็นจุดสว่างขึ้นที่จอการสะแกน ก็คือการทำให้จุดสว่างนี้ เคลื่อนที่ไปในจังหวะที่ถูกต้อง ทั้งในแนวนอนและแนวตั้งของจอหลอดภาพโดยอาศัยความเข้มของสนามแม่เหล็กเข้าช่วยเหลือ ตามที่แสดงไว้ในรูปที่ 1 และรูปที่ 2 กล่าวคือในขณะที่ไม่มีสนามแม่เหล็กลำอิเล็กตรอนก็จะวิ่งไปกระทบจอหลอดภาพตรงกลางโดยไม่ถูกหักเหเลย หากต้องการเบนลำอิเล็กตรอนนี้ไปทางซ้ายมือในแนวนอน ก็จำเป็นต้องใช้สนามแม่เหล็กที่มีขั้วเหนือ-ใต้ อยู่ในแนวตั้งตามรูปที่ 2 หากกลับขั้วแม่เหล็กนี้เสีย ลำอิเล็กตรอนก็จะถูกเบนไปทางขวามือในแนวนอนของจอหลอดภาพ การที่ลำอิเล็กตรอนถูกเบนไปทางขวามือ หรือทางซ้ายมือของจอนี้ จะทำให้เห็นเป็นจุดสว่างเคลื่อนที่ไปทางเดียวกันด้วย ในทำนองเดียวกัน หากมีขั้วแม่เหล็กในแนวนอน ลำอิเล็กตรอน หรือจุดสว่างก็จะถูกเบนไปในทางแนวตั้งของจอหลอดภาพ ฉะนั้น เพื่อช่วยในการหักเหลำอิเล็กตรอนในทิศทางที่ต้องการ จึงนิยมใช้สนามแม่เหล็กทั้งในแนวนอนและในแนวตั้งร่วมกันสองสนาม แม่เหล็กไฟฟ้านี้เกิดจากการปล่อยกระแสไฟฟ้าผ่านขดลวดที่พันอยู่รอบๆ คอหลอดภาพ ขดลวดเหล่านี้เรียกว่า ขดลวดของการหักเหทางแนวนอนและขดลวดหักเหทางแนวตั้งตามลำดับ รูปร่างของกระแสไฟฟ้าที่ไหลผ่านขดลวดทั้งสอง เพื่อที่จะทำให้เกิดการสะแกนนั้นมีความสำคัญมากและนิยมใช้เป็นกระแสรูปฟันเลื่อย ความถี่ของกระแสที่ไหลผ่านขดลวดทั้งสองนี้ไม่เท่ากัน สำหรับโทรทัศน์ระบบอเมริกัน กระแสรูปฟันเลื่อยที่ไหลผ่านขดลวดของการหักเหทางแนวนอนจะมีความถี่ 15.750 กิโลเฮิทซ์ ส่วนกระแสรูปฟันเลื่อยที่ไหลผ่านขดลวดของการหักเหทางแนวตั้ง จะมีความถี่เพียง 60 เฮิทซ์ เท่านั้น

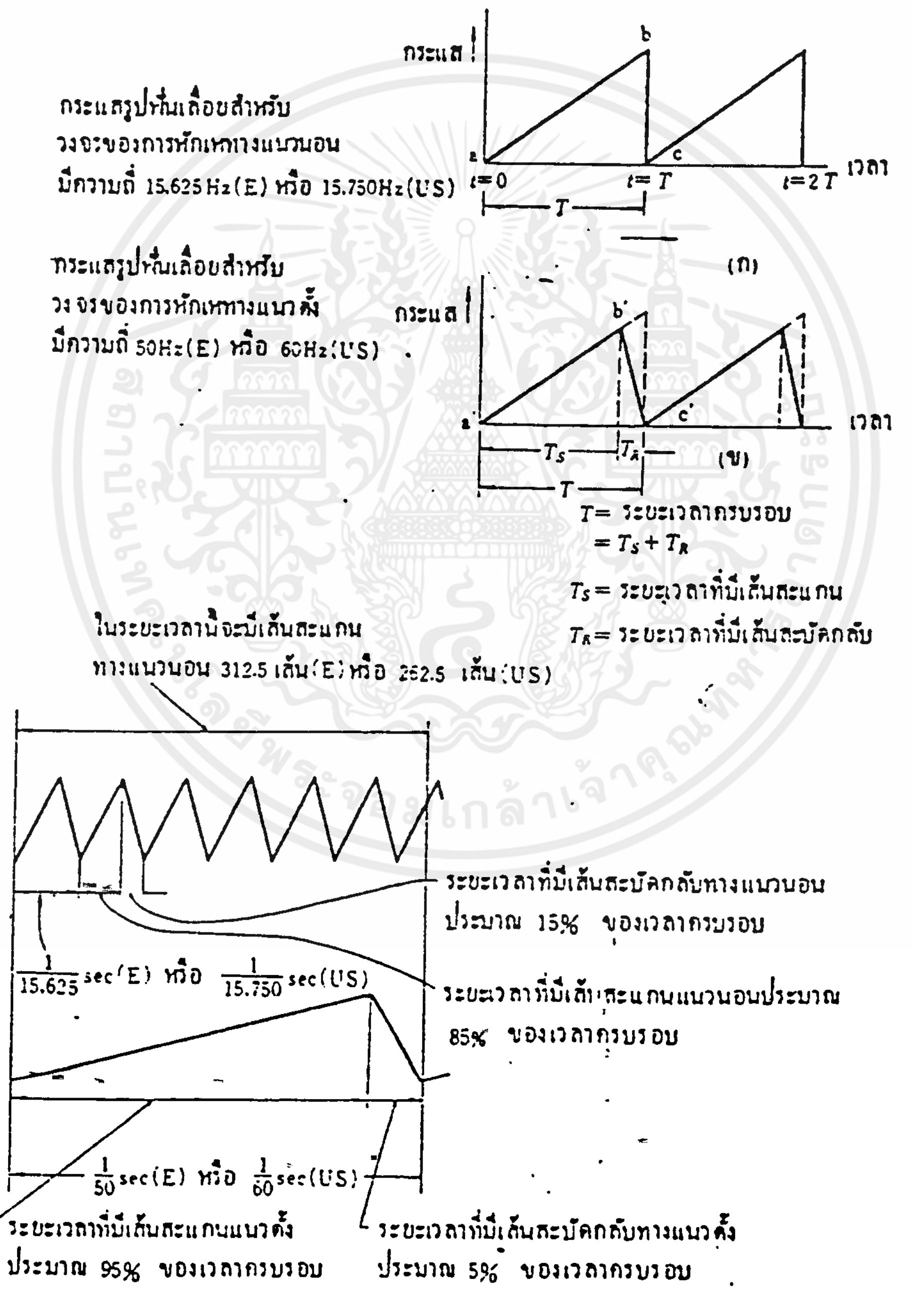


รูปที่ 1 การเคลื่อนที่หักเหของลำอิเล็กตรอนในจังหวะที่ถูกต้องทั้ง ในแนวนอนและแนวตั้ง ของจอหลอดภาพ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

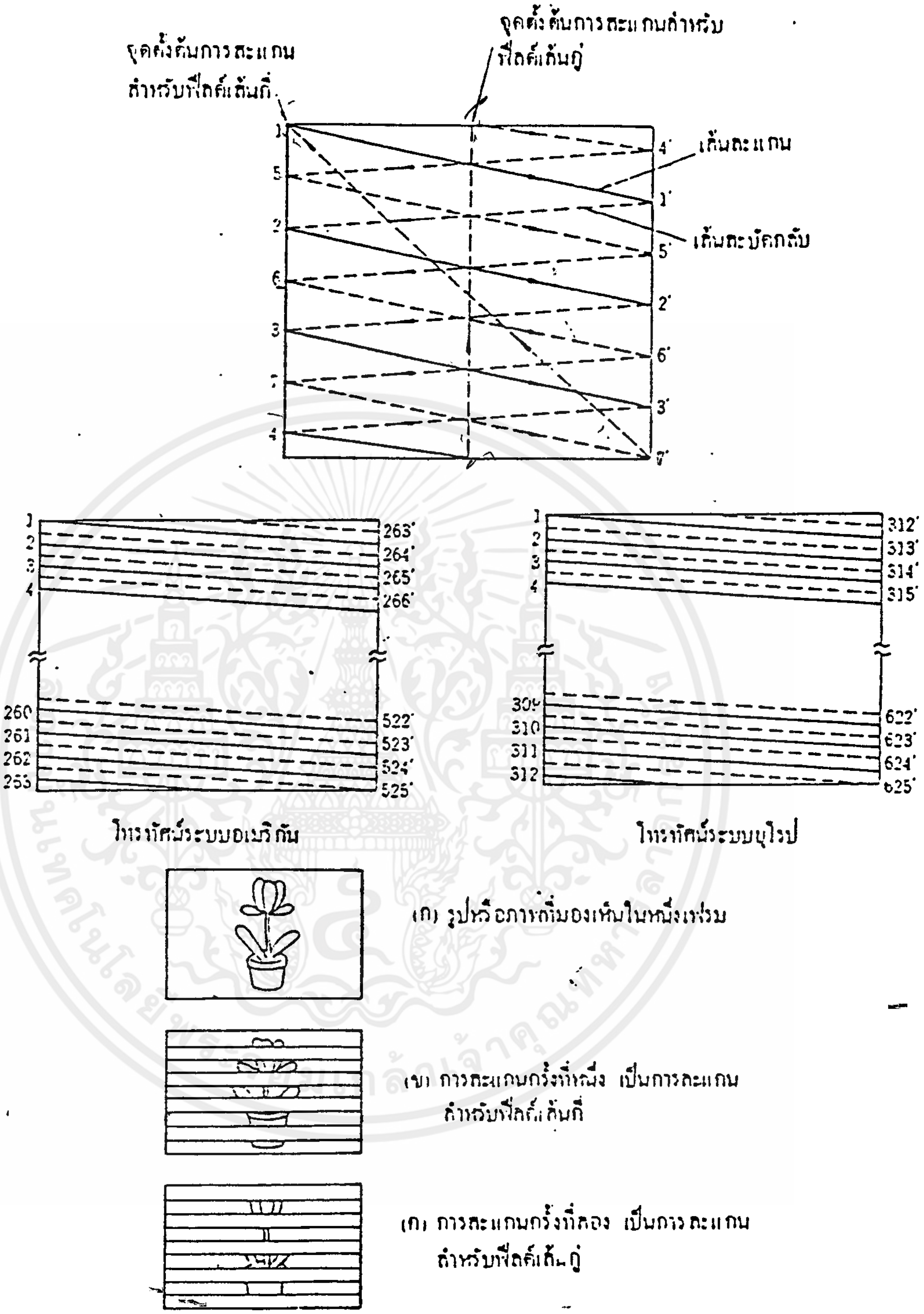


รูปที่ 2 การหักเหของลำอิเล็กตรอน โดยอาศัยสนามแม่เหล็กเข้าช่วยเหลือ



รูปที่ 3 กระแสรูปฟันเลื่อย สำหรับใช้ในวงจรที่ทำให้เกิดการหักเหของลำอิเล็กตรอน ในแนวนอน และในแนวตั้ง (US=โทรทัศน์ระบบอเมริกัน E=โทรทัศน์ระบบยุโรป)

เอกสารนี้เป็น... ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4 การสะแกนสองครั้งสำหรับภาพนิ่งแต่ละภาพ
โดยแบ่งหนึ่งเฟรมออกเป็นสองฟิลด์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โดยปกติ การสะแกนจะเริ่มต้นขึ้นโดยการทำให้จุดสว่างเคลื่อนที่จากซ้ายมือด้านบนของจอไปทางขวามือในแนวนอน ซึ่งเมื่อไปถึงตำแหน่งขวาสุด ก็จะถูกเบนต่ำลงเล็กน้อย แล้วก็จะกลับไปตั้งต้นใหม่ทางซ้ายมือเพื่อเคลื่อนที่มาทางขวามือในแนวนอนอีก เป็นอยู่เช่นนี้เรื่อยๆ จนกระทั่งจุดสว่างไปถึงตำแหน่งขวามือข้างล่างสุดของจอหลอดภาพก็เป็นอันเสร็จสิ้นการสะแกนภาพนิ่งภาพหนึ่ง ซึ่งเรียกว่า เฟรมหนึ่ง หลังจากนั้นลำอิเล็กตรอนก็จะกลับไปตั้งต้นใหม่ทางด้านซ้ายมือบนสุดของจอหลอดภาพอีก เพื่อสะแกนภาพนิ่งอันดับต่อไป อย่างไรก็ตามเพื่อลดอาการกระพริบของภาพ การสะแกนภาพนิ่งแต่ละภาพ จึงมักนิยมจัดทำสองครั้งในแบบของการสะแกนไขว้กันโดยกำหนดให้ภาพนิ่งหนึ่งเฟรม ประกอบด้วยภาพนิ่งสองฟิลด์ และเริ่มต้นด้วยการสะแกนภาพนิ่งฟิลด์เส้นคี่ก่อนเมื่อเสร็จสิ้นถึงตำแหน่งขวามือล่างสุดของจอหลอดภาพแล้ว จึงกลับไปตั้งต้นใหม่ทางซ้ายมือบนสุดของจอ แล้วเริ่มต้นสะแกนภาพนิ่งฟิลด์เส้นคู่ต่อไปจนถึงตำแหน่งขวามือล่างสุด หลังจากนั้น ก็จะเริ่มต้นสะแกนภาพนิ่งอันดับอื่นต่อไปใหม่ ฉะนั้น การสะแกนภาพนิ่งหนึ่งภาพ หรือหนึ่งเฟรม จึงประกอบด้วยการสะแกนภาพนิ่งด้วยฟิลด์เส้นคี่และการสะแกนภาพนิ่งด้วยฟิลด์เส้นคู่ สำหรับโทรทัศน์ระบบอเมริกัน ซึ่งใช้เส้นสะแกน 525 เส้นต่อภาพ และ 30 ภาพต่อวินาทีนั้น ภาพนิ่งแต่ละภาพ หรือภาพนิ่งแต่ละเฟรม จะประกอบด้วยเส้นสะแกนแนวนอน 525 เส้น และภาพนิ่งแต่ละฟิลด์ ก็จะมีเส้นสะแกนแนวนอน 262 1/2 เส้น ภาพนิ่งแต่ละภาพนี้จะเกิดขึ้นภายในระยะเวลา 1/30 วินาที ความถี่ของกระแสรูปฟันเลื่อยที่ใช้ในการหักเหทางแนวนอน ซึ่งใช้เวลา 1/30 วินาที สำหรับทำให้เกิดเส้นสะแกนแนวนอน 525 เส้น ก็จะมีค่าเป็น (525) x(30) หรือ 15,750 เฮิทซ์ ส่วนความถี่ของกระแสรูปฟันเลื่อยสำหรับการหักเหทางแนวตั้ง ซึ่งใช้เวลาในการสะแกนจากบนสุดมาล่างสุดสำหรับฟิลด์หนึ่งๆ เพียง 1/60 วินาทีเท่านั้น ก็จะเป็น 60 เฮิทซ์ ในทำนองเดียวกัน สำหรับโทรทัศน์ระบบยุโรป ซึ่งใช้เส้นสะแกนแนวนอน 625 เส้นต่อภาพ และ 25 ภาพต่อวินาทีนั้น ความถี่ของกระแสไฟฟ้าที่ทำให้เกิดการหักเหทางแนวนอน และการหักเหทางแนวตั้ง ก็จะมีค่าเป็น (625)(25) หรือ 15,625 เฮิทซ์ และ 50 เฮิทซ์ตามลำดับ ความถี่ของกระแสสำหรับการหักเหทางแนวนอนและการหักเหทางแนวตั้งทั้งสองนี้ได้แสดงการเปรียบเทียบไว้แล้วในรูปที่ 3 ในระยะเวลาครบรอบหนึ่งๆ ของกระแส

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

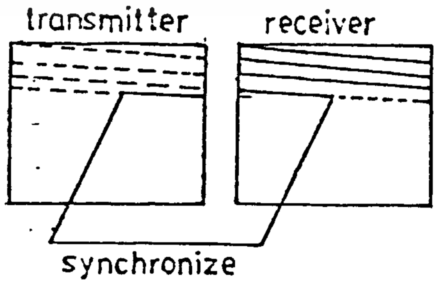
รูปฟันเลื่อย จะประกอบด้วยส่วนที่เพิ่มขึ้นจากค่าต่ำสุดไปหาค่าสูงสุด ซึ่งตรงกับเวลาที่จุดสว่างใช้ไปในการสะแกนจากซ้ายมือสุดไปจนถึงขวามือสุด และส่วนที่ลดลงจากค่าสูงสุดไปหาค่าต่ำสุดซึ่งตรงกับระยะเวลาที่จุดสว่างบนจอหลอดภาพใช้ไปในการสะบัดกลับจากขวามือสุดไปตั้งต้นใหม่ทางซ้ายมือสุด โดยปกติ ระยะเวลาที่มีเส้นสะบัดกลับ จะเป็นช่วงเวลาน้อยมาก เมื่อคิดเปรียบเทียบกับช่วงเวลาที่มีเส้นสะแกน จุดสว่างที่มองเห็นสะบัดกลับไปในช่วงเวลาดังกล่าวแล้วนี้ ไม่ก่อให้เกิดประโยชน์อันใดเลย จึงมักหาวิธีทำให้เกิดสิ่งอื่นมาข่มจุดสว่างในช่วงเวลานี้เพื่อมิให้สังเกตเห็นได้ทางจอหลอดภาพ <u>สัญญาณที่ใช้ลบเส้นสะบัดกลับนี้ เรียกว่า สัญญาณ</u>แบลังค์กิ้ง

เนื่องจากการสะแกนภาพนิ่งตามที่กล่าวถึงแล้วนี้ กระทำติดต่อกันไปเรื่อยๆ โดยมีจำนวนเส้นต่อภาพ และจำนวนภาพต่อวินาที ตามแต่ชนิดของระบบโทรทัศน์ที่ใช้ ภาพที่มาปรากฏบนจอหลอดภาพเครื่องรับโทรทัศน์ จึงมีผลเหมือนกับการฉายภาพนิ่ง ซึ่งแต่ละภาพแตกต่างกันบ้างเล็กน้อย เป็นจำนวนหลายๆภาพ ต่อหนึ่งวินาที และด้วยคุณลักษณะพิเศษของสายตาเกี่ยวกับ PERSISTENCE OF VISION นี้ จึงทำให้มองเห็นภาพบนจอหลอดภาพเครื่องรับโทรทัศน์ เป็นภาพที่เคลื่อนไหวติดต่อกันไปตลอดเวลา

<u>เครื่องส่งและเครื่องรับโทรทัศน์ จำเป็นต้องมีการสะแกนทางแนวนอน</u>
<u>และการสะแกนทางแนวตั้งพร้อมกัน จึงจะมีภาพเกิดขึ้นที่เครื่องรับโทรทัศน์</u>

ภาพที่ปรากฏขึ้นบนจอหลอดภาพ จำเป็นต้องอาศัยวงจรของการหักเหทางแนวนอนและวงจรหักเหทางแนวตั้ง ซึ่งแต่ละวงจรจะมีกระแสรูปฟันเลื่อยไหลผ่าน ทางด้านกล้องโทรทัศน์ก็

รูปที่ 5 ความถี่ของกระแสรูปฟันเลื่อยในวงจรของการหักเหทางแนวนอน และวงจรของการหักเหทางแนวตั้ง ทางด้านเครื่องส่งและเครื่องรับโทรทัศน์ต้องเท่ากันตลอดเวลา จึงจะทำให้เกิดภาพขึ้นที่จอหลอดภาพของเครื่องรับโทรทัศน์ การทำให้ความถี่ของกระแสทางด้านเครื่องส่ง และทางด้านเครื่องรับโทรทัศน์เท่ากันตลอดเวลานี้จำเป็นต้องใช้สัญญาณซิ้งค์เข้าช่วยเหลือ



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จำเป็นต้องอาศัยความถี่ทั้งสองช่วยทำให้เกิดสัญญาณทางไฟฟ้าเช่นเดียวกัน ความถี่ทางวงจรของการหักเหทางแนวนอน และวงจรหักเหทางแนวตั้งที่ใช้ในเครื่องส่งโทรทัศน์ และที่ใช้ในเครื่องรับโทรทัศน์นี้ จะต้องเท่ากันตลอดเวลา จึงจะทำให้เกิดภาพขึ้นทางเครื่องรับโทรทัศน์ ด้วยเหตุนี้จึงจำเป็นต้องมีวิธีทำให้ความถี่ของวงจรดังกล่าวทางเครื่องส่งและทางเครื่องรับโทรทัศน์ เท่ากันอยู่ทุกขณะ ตามรูปที่ 5 โดยที่สถานีโทรทัศน์ต้องส่งสัญญาณชนิดหนึ่งที่เรียกว่า สัญญาณซิ้งค์ ไปพร้อมกับสัญญาณภาพและสัญญาณเสียงตามรายละเอียดที่จะได้กล่าวถึงในหัวข้อต่อไป สัญญาณซิ้งค์นี้จะช่วยทำให้ความถี่ในวงจรของการหักเหทางแนวนอน และวงจรหักเหทางแนวตั้งในเครื่องส่งและเครื่องรับโทรทัศน์เท่ากัน เพื่อทำให้เกิดภาพที่จอหลอดภาพที่จอหลอดภาพของเครื่องรับโทรทัศน์ตลอดเวลาได้

<u>สถานีโทรทัศน์จำเป็นต้องส่งสัญญาณอะไรบ้าง</u>

เพื่อทำให้เกิดผลสมความมุ่งหมาย สถานีโทรทัศน์ที่ส่งภาพขาวดำ จำเป็นต้องส่งสัญญาณหลายอย่างคือ

- สัญญาณเสียง
- สัญญาณภาพ
- สัญญาณแบลังค์กิ้ง
- สัญญาณซิ้งค์
- สัญญาณอีควัลไลซิ่ง

สัญญาณเสียงมีคลื่นพาห์ของตัวเองโดยเฉพาะ ส่วนสัญญาณภาพและสัญญาณอื่นๆ นั้น จะรวมกันเป็นรูปร่างอันเดียวกัน ซึ่งเรียกว่า สัญญาณภาพรวม แล้วใช้คลื่นพาห์ของภาพเป็นตัวพาออกอากาศรวมกับคลื่นพาห์ของเสียงไปยังเครื่องรับโทรทัศน์ เหตุผลและความจำเป็นในการใช้สัญญาณต่างๆ มีดังนี้

ก) สัญญาณภาพ และ สัญญาณเสียง เป็นสัญญาณที่ใช้เพื่อทำให้เกิดภาพและเสียงทางเครื่องรับโทรทัศน์ตามความต้องการ

ข) เป็นสัญญาณที่ใช้เพื่อช่วยทำให้วงจรของการหักเหทางแนวนอน และ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วงจรหักเหทางแนวตั้ง เพื่อมิให้สังเกตเห็นได้ชัดทางจอหลอดภาพ สำหรับโทรทัศน์ระบบอเมริกัน วงจรของการหักเหทางแนวนอนมีความถี่ 15,750 เฮิทซ์ ฉะนั้น ในระยะเวลา 1/15,750 วินาที หรือ 63.5 ไมโครวินาที จะต้องเกิดเส้นสะแกนสะบัดกลับครั้งหนึ่ง จึงต้องใช้แบล้งค์กิ้งพัลส์ทางแนวนอนหนึ่งครั้ง โดยมีขนาดประมาณ 10 ไมโครวินาที ในทำนองเดียวกัน ทุกๆ ระยะเวลา 1/60 วินาที หรือ 16.667 ไมโครวินาที ก็ต้องใช้แบล้งค์กิ้งพัลส์ทางแนวตั้งครั้งหนึ่ง โดยมีขนาดประมาณ 1.250 ไมโครวินาที

ค) สัญญาณซิ้งค์ เป็นสัญญาณที่ใช้เพื่อช่วยทำให้วงจรของการหักเหทางแนวนอน และวงจรของการหักเหทางแนวตั้งในเครื่องส่งกับเครื่องรับโทรทัศน์มีความถี่ตรงกันตลอดเวลา สัญญาณซิ้งค์ทางแนวนอนมีความถี่ 15,750 เฮิทซ์ ซึ่งเท่ากับความถี่ของวงจรหักเหทางแนวนอน และสัญญาณซิ้งค์ทางแนวตั้งมีความถี่ 60 เฮิทซ์ ซึ่งจะเท่ากับความถี่วงจรหักเหทางแนวตั้งเหมือนกัน เนื่องจากว่าความถี่ของสัญญาณซิ้งค์มีค่าเท่ากับความถี่ของสัญญาณแบล้งค์กิ้งพอดี จึงจำเป็นต้องป้องกันการรบกวนที่อาจเกิดขึ้น โดยจำเป็นต้องกำหนดขนาดของซิ้งค์พัลซ์ให้น้อยกว่าขนาดของแบล้งค์กิ้งพัลซ์ กล่าวคือ ทำให้ซิ้งค์พัลซ์ทางแนวนอนมีขนาดเพียง 5 ไมโครวินาที และซิ้งค์พัลซ์ทางแนวตั้งมีขนาดเพียง 190 ไมโครวินาทีเท่านั้น นอกจากนี้ยังใช้วิธีส่งซิ้งค์พัลซ์เหล่านี้ปนกับแบล้งค์กิ้งพัลซ์อีกด้วย โดยให้ฐานของซิ้งค์พัลซ์อยู่ทับขอบบนของแบล้งค์กิ้งพัลซ์อีกชั้นหนึ่ง เมื่อจัดขอบเขตความต่างศักดิ์ได้ระดับสูงสุดของแบล้งค์กิ้งพัลซ์เป็นระดับดำมืดจนมองไม่เห็นแล้ว ระดับของซิ้งค์พัลซ์ที่อยู่บนยอดสูงสุดของแบล้งค์กิ้งพัลซ์ ก็จะเป็นระดับดำมืดสนิท และไม่ทำให้เกิดการรบกวนภาพที่จอหลอดภาพแต่อย่างใด

ง) สัญญาณอีควัลไลซิ่ง เป็นสัญญาณที่ใช้เพื่อช่วยให้สัญญาณซิ้งค์ทางแนวตั้ง ยังคงมีรูปร่างดีเหมือนเดิมหลังจากแยกออกมาจากสัญญาณซิ้งค์ทางแนวนอนแล้ว นอกจากนี้ยังช่วยทำให้การสะแกนแบบไขว้กันเป็นไปได้โดยเรียบร้อยสม่ำเสมอ รวมทั้งสัญญาณซิ้งค์ทางแนวนอนก็ไม่ขาดหายไปในช่วงเวลาของสัญญาณซิ้งค์ทางแนวตั้งอีกด้วยขนาดของพัลซ์ที่กล่าวถึงนี้จะเท่ากับสัญญาณซิ้งค์ทางแนวตั้ง หรือ 190 ไมโครวินาที หรือประมาณสามเท่าของขนาดสัญญาณซิ้งค์ทางแนวนอน และยังนิยมแบ่งพัลซ์นี้ออกเป็นหกพัลซ์เล็กๆ ด้วยกันตามรูปที่ 7 เพื่อทำให้เกิดสัญ

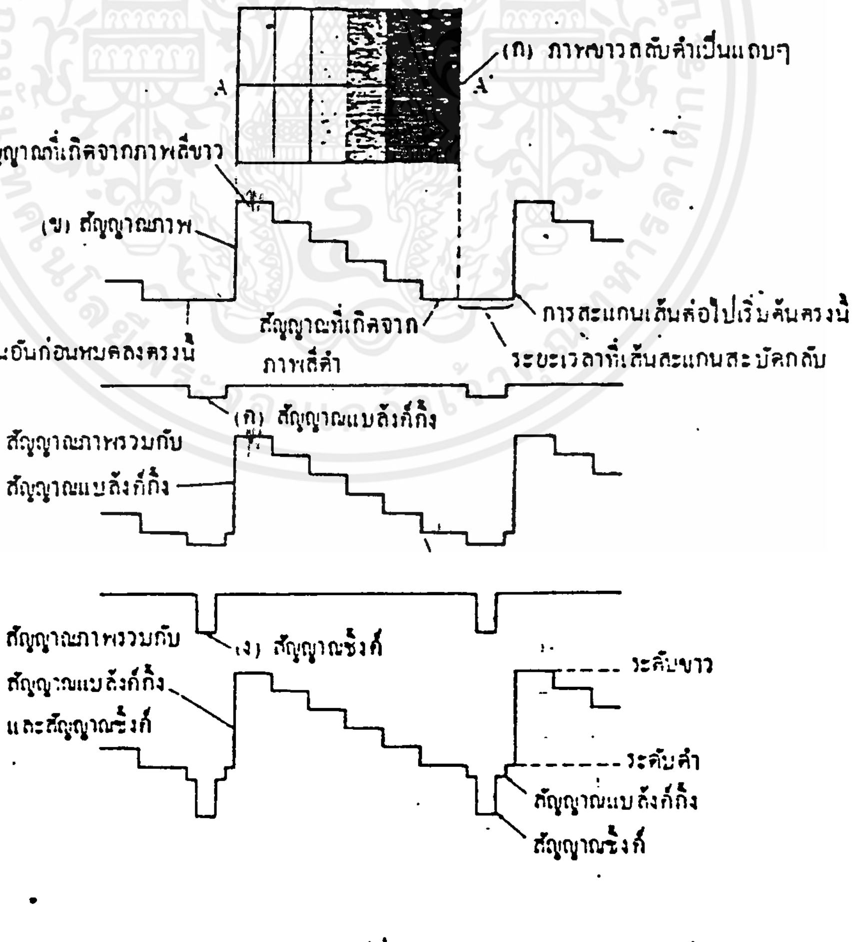
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

[stamp]

ญาณซิ้งค์ทางแนวนอนครั้งหนึ่งในทุกๆ สองครั้งที่มีนัลซ์เล็กๆ นี้ นอกจากนี้ยังนิยมแบ่งสัญญาณซิ้งค์ทางแนวตั้งออกเป็นพัลซ์เล็กๆ เช่นเดียวกัน

สัญญาณโทรทัศน์ ที่มีสัญญาณภาพรวมกับสัญญาณอื่นๆ หลายอย่าง ตามที่แสดงไว้ในรูปที่ 7 นี้มีชื่อเรียกว่าสัญญาณภาพรวม

รูปที่ 6 แสดงภาพขาวสลับดำ ซึ่งเริ่มจากสีขาว สีดำจางๆ และสีดำสนิทเป็นแถบๆ กล้องโทรทัศน์จะเปลี่ยนภาพนี้ให้เป็นสัญญาณทางไฟฟ้าชนิดหนึ่ง ซึ่งเมื่อรวมกับสัญญาณแบล้งค์กิ้งและสัญญาณซิ้งค์แล้ว ก็จะได้สัญญาณภาพรวมตามที่แสดงไว้ ภาพแต่ละชนิดจะให้สัญญาณทางไฟฟ้าที่มีความถี่สูงต่ำแตกต่างกัน สำหรับโทรทัศน์ระบบอเมริกัน ความถี่สูงสุดของภาพไม่ควรเกิน 4 เมกกะเฮิทซ์ และสำหรับโทรทัศน์ระบบยุโรป ความถี่สูงสุดนี้จะไม่เกิน 5 เมกกะเฮิทซ์ ในเรื่องนี้ ภาพที่เกิดจากสัญญาณโทรทัศน์ที่มีความถี่สูง ย่อมละเอียดกว่า หรือมีจำนวนจุดดำอันเป็นส่วนประกอบของภาพ มากกว่าภาพที่เกิดจากสัญญาณโทรทัศน์ที่มีความถี่ต่ำ

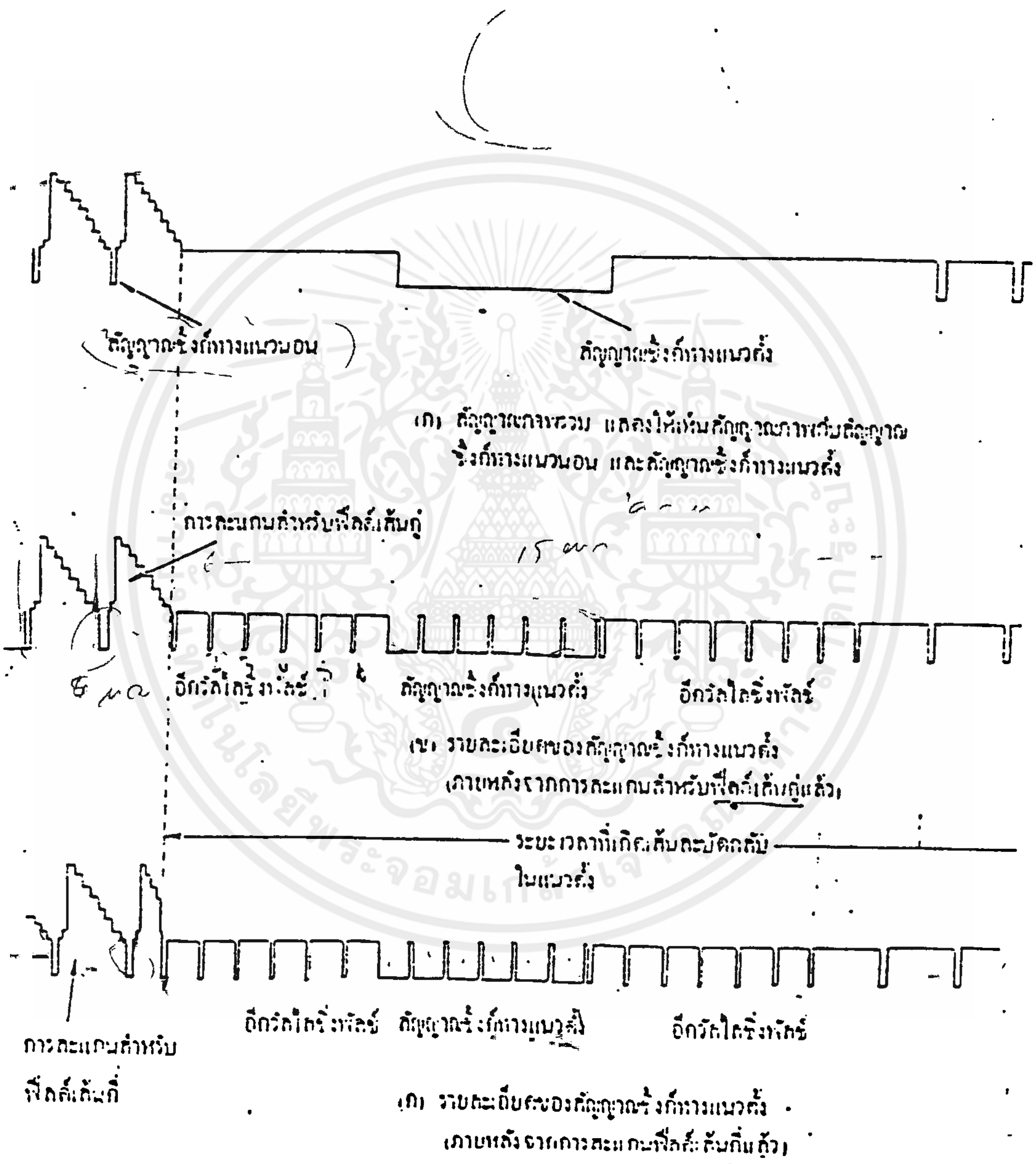


รูปที่ 6 รูปร่างของสัญญาณโทรทัศน์ที่เกิดจากภาพขาวสลับดำเป็นแถบๆ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

032529

เมื่อเครื่องรับโทรทัศน์รับเอาสัญญาณโทรทัศน์มาได้แล้วก็จะมีการแยกเอาสัญญาณต่างๆ ตามที่กล่าวถึงนี้ไปให้วงจรซึ่งทำหน้าที่ต่างๆ กัน เพื่อทำให้เกิดภาพและเสียงตามความต้องการ สัญญาณเสียงก็จะผ่านไปยังวงจรเสียง สัญญาณภาพและสัญญาณแบล้งค์กิ้ง ก็จะตรงไปยังแคโถด หรือกริดของหลอดภาพ ส่วนสัญญาณซิ้งค์นั้นเมื่อแยกออกจากสัญญาณภาพรวมแล้ว ก็จะผ่านไปยังวงจรแยกซิ้งค์ วงจรของการหักเหทางแนวนอน และวงจรหักเหทางแนวตั้ง



รูปที่ 7 สัญญาณภาพรวม แสดงให้เห็นรายละเอียดของสัญญาณแต่ละชนิด เช่น สัญญาณแบล้งค์กิ้งสัญญาณซิ้งค์ และสัญญาณอีควิไลซิ่ง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หลักการในการสร้าง

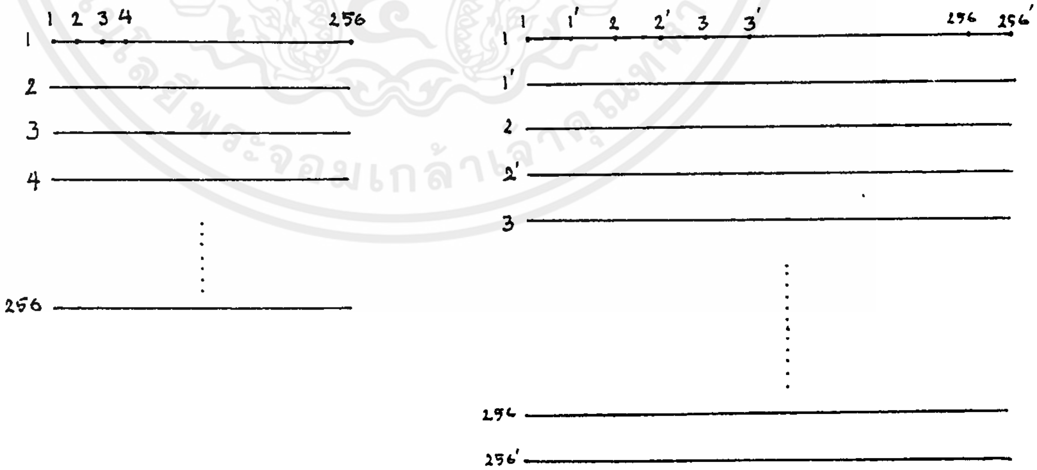
ในการขยายภาพปกติ ให้เป็นภาพใหญ่ขึ้นทำได้โดย เปลี่ยนสัญญาณภาพอนาลอก จากวีดีโอไปเป็นข้อมูลภาพดิจิตอล เก็บไว้ในหน่วยความจำ

โดยแบ่งเก็บ ฟิลด์ละ 4 ชุด แบ่งฟิลด์ออกเป็น 4 ส่วน แต่ละส่วนเก็บไวในหน่วยความจำ 8 ชุด โดยสลับกันอ่าน เขียนข้อมูลครั้งละ 4 ชุด เพื่อให้ได้ภาพที่ต่อเนื่อง เราจะใช้ 4 ชุดแรก เก็บข้อมูลของภาพ ฟิลด์คี่ อีก 4 ชุดที่เหลือใช้เก็บข้อมูลภาพของ ฟิลด์คู่ สลับกันทำงาน ดังนี้ เมื่อหน่วยความจำ 4 ชุดแรก กำลังจัดเก็บข้อมูล (WRITE) เราก็อ่านข้อมูล (READ) จากหน่วยความจำ 4 ชุดหลัง นำไปออกจอมอนิเตอร์ ขั้นตอนต่อไป อ่านข้อมูล จาก หน่วยความจำ 4 ชุดแรก ขณะที่ หน่วยความจำ 4 ชุดหลังก็ใช้เก็บข้อมูลที่เข้ามาใหม่ สลับกันทำหน้าที่โดยเป็นลำดับต่อเนื่องกันไป เราก็จะได้ภาพที่เคลื่อนไหวอย่างต่อเนื่อง เป็นเวลาจริง (REAL TIME) เพียงถูกหน่วงเวลา (DELAY) ออกไป

ในโครงงานนี้จะจัดเก็บสัญญาณภาพ 256 เส้นสะแกน และใช้ความถี่ในการสุ่ม(Sampling) 5MHz จะทำให้ ใน 1 เส้นสะแกน แบ่งออกเป็น ข้อมูลภาพ = 51.2 μs / 200 ns

= 256 pixel

หรือขนาดของภาพที่จัดเก็บ ใน 1 ฟิลด์ = 256x256 pixel



(a) pixel ของภาพปกติ (b) pixel ของภาพขยาย

รูปแสดงการเพิ่มขนาดภาพ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

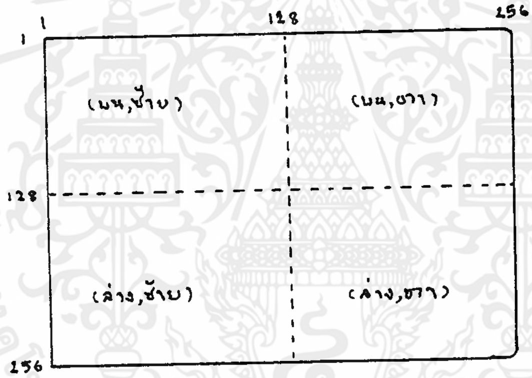
และในการขยายขนาดของภาพเป็น 4 เท่าจากปกติ หมายความว่าเราต้องอ่านข้อมูลแต่ละ pixel 4 ครั้ง ซึ่งทำได้โดย การอ่านข้อมูล ในหน่วยความจำแบบ ตำแหน่งซ้ำตำแหน่ง และ เส้นซ้ำเส้น

วิธีการอ่านแบบตำแหน่งซ้ำตำแหน่ง โดยการลดความถี่ในการอ่านข้อมูลลงครึ่งหนึ่งของความถี่ในการเขียนข้อมูล(5 MHz) คือ 2.5 MHz

วิธีการอ่านแบบเส้นซ้ำเส้น คือ อ่านข้อมูล ซ้ำทุกๆ 128 ตำแหน่งข้อมูล จากหน่วยความจำ

การจัดการหน่วยความจำ

เราแบ่ง จอภาพออกเป็น 4 ส่วน ดังรูป

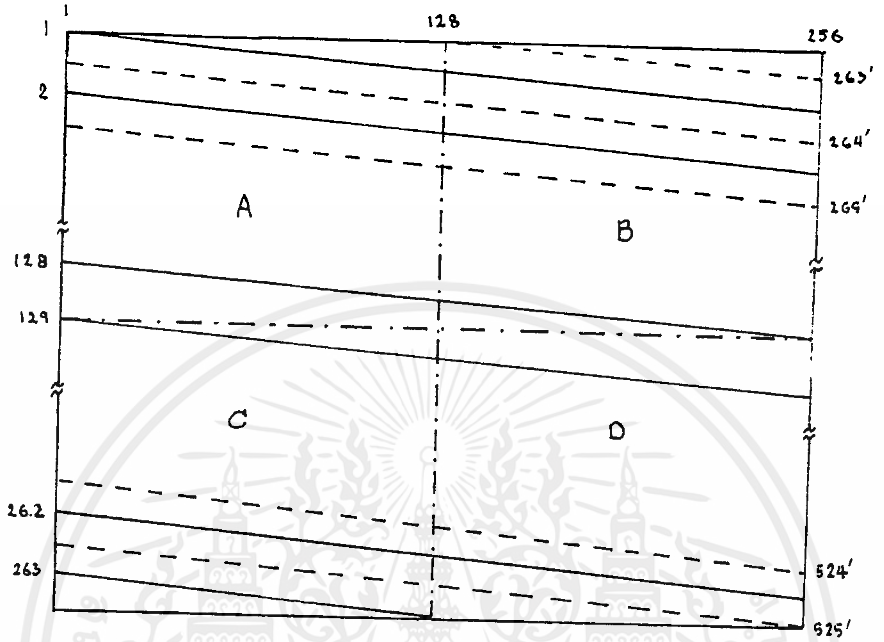


เรากำหนดให้	หน่วยความจำ	จัดเก็บข้อมูลส่วน
	A,A’	บน,ซ้าย
	B,B’	บน,ขวา
	C,C’	ล่าง,ซ้าย
	D,D’	ล่าง,ขวา

ตัวเลข 1,2 แสดงว่าเป็นหน่วยความจำคนละชุด ใช้เก็บหรืออ่านข้อมูลภาพ สลับกันในแต่ละฟิลด์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

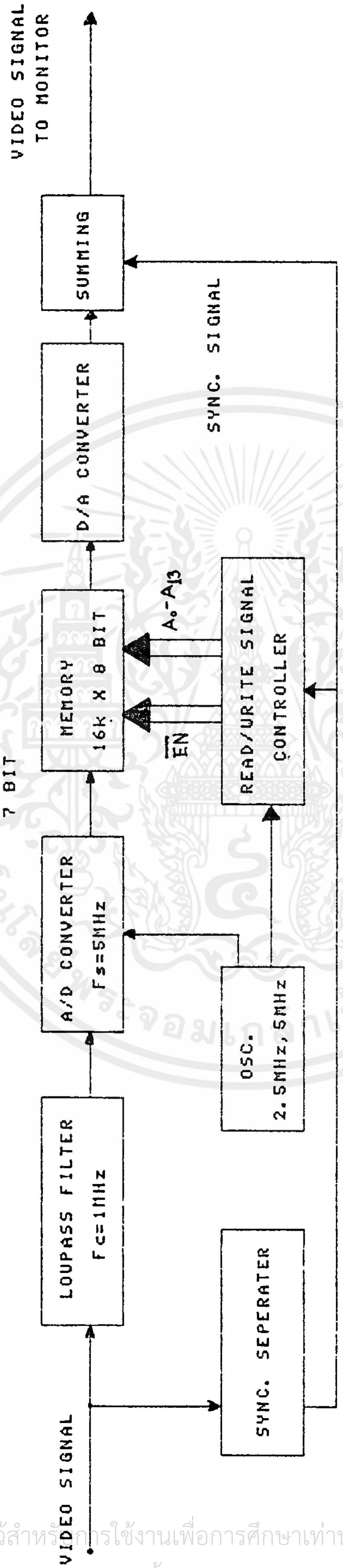
จากทฤษฎีโทรทัศน์ เรื่องการสแกน



รูปการสแกน 2 ฟิลด์ สำหรับภาพนิ่งแต่ละภาพ โดยแบ่ง เฟรมออกเป็น 2 ฟิลด์

จากรูปการสแกน พบว่า ใน ฟิลด์คี่ เส้นสะแกนที่ 1 จากตำแหน่ง PIXEL ที่ 1 ถึง PIXEL ที่ 128 จะถูกจัดเก็บ ในหน่วยความจำ ชุด A_1 (A=บนซ้าย, SUBSCRIB 1=ฟิลด์คี่)หลังจากนั้นที่ตำแหน่ง PIXEL ที่129-256 จะจัดเก็บในหน่วยความจำชุด B_1สลับกันจนถึงเส้นสะแกน ที่ 128 พอขึ้นเส้นสะแกนที่ 129 จะถูกจัดเก็บในหน่วยความจำชุด C_1,D_1 สลับกันต่อไปอีก จนถึง เส้นสะแกนที่ 263 ส่วนในฟิลด์คู่ เส้นสะแกน ที่ 263-525 จะถูกจัดเก็บในลักษณะเดียวกัน แต่จะใช้ หน่วยความจำอีกชุด ได้แก่ A_2,B_2,C_2,D_2 ซึ่งในขณะที่หน่วยความจำชุดนี้ถูกจัดเก็บ ข้อมูล ในเวลาเดียวกัน หน่วยความจำชุดแรก จะถูกอ่านข้อมูลออกด้วยเงื่อนไข ดังที่ได้กล่าวมาแล้ว

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



BLOCK DIAGRAM

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

BLOCK DIAGRAM

วงจรแยกสัญญาณซิ้งค์ (SYNC SEPERATER)

วงจรนี้ทำหน้าที่แยกสัญญาณซิ้งค์ (SYNCCHRONIZE SIGNAL) ออกเป็น สัญญาณซิ้งค์ทางแนวนอน (HORIZONTAL SYNC) และสัญญาณซิ้งค์ทางแนวตั้ง (VERTICAL SYNC) ออกจากสัญญาณ COMPOSITE จาก VDO สัญญาณซิ้งค์ที่ได้ นำไปใช้ในวงจรสร้างสัญญาณอ่าน-เขียน หน่วยความจำ วงจรอ้างตำแหน่ง และวงจรผสมสัญญาณ(SUMMING)

วงจรกำเนิดความถี่ (OSCILLATOR CCT.)

วงจรนี้ทำหน้าที่กำเนิดสัญญาณนาฬิกา (CLOCK) ความถี่ 5 MHz และ 2.5 MHz ซึ่งนำไปใช้ในวงจรส่วนต่างๆ ได้แก่ A/D CONVERTER , วงจรสร้างสัญญาณการอ่าน-เขียน

วงจรสร้างสัญญาณ อ่านและเขียนหน่วยความจำ (READ/WRITE CONTROL)

วงจรนี้ทำหน้าที่สร้างสัญญาณควบคุมการอ่านและเขียน ข้อมูล ของหน่วยความจำ ให้ลำดับการอ่าน-เขียนเป็นไปตามลำดับ อย่างถูกต้อง เพื่อให้ได้ภาพที่ถูกต้องครบถ้วน

วงจร อนาลอก/ดิจิตอล คอนเวอร์เตอร์ (A/D CONVERTER)

มีหน้าที่เปลี่ยนสัญญาณภาพ ซึ่งเป็นสัญญาณอนาลอก เป็นสัญญาณดิจิตอล ด้วยความถี่ ในการสุ่ม 5 MHz ก่อนที่จะเขียนลงหน่วยความจำ เพื่อที่นำไปใช้ในขบวนการ (PROCESS)ต่อไป

วงจรหน่วยความจำ (MEMORY CCT)

วงจรหน่วยความจำใช้ เก็บข้อมูลดิจิตอลที่ได้จากการแปลง ลงในหน่วยความจำ (MEMORY) ซึ่งประกอบด้วยหน่วยความจำ 2 ชุดๆละ 4 หน่วยความจำ

วงจร ดิจิตอล/อนาลอก คอนเวอร์เตอร์ (D/A CONVERTER)

ใช้วงจรแบบ R-2R LADDER ทำหน้าที่แปลงสัญญาณ ข้อมูลภาพดิจิตอลที่อ่านออกจากหน่วยความจำเป็นสัญญาณภาพอนาลอก เพื่อส่งต่อไปยังวงจรผสมสัญญาณ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

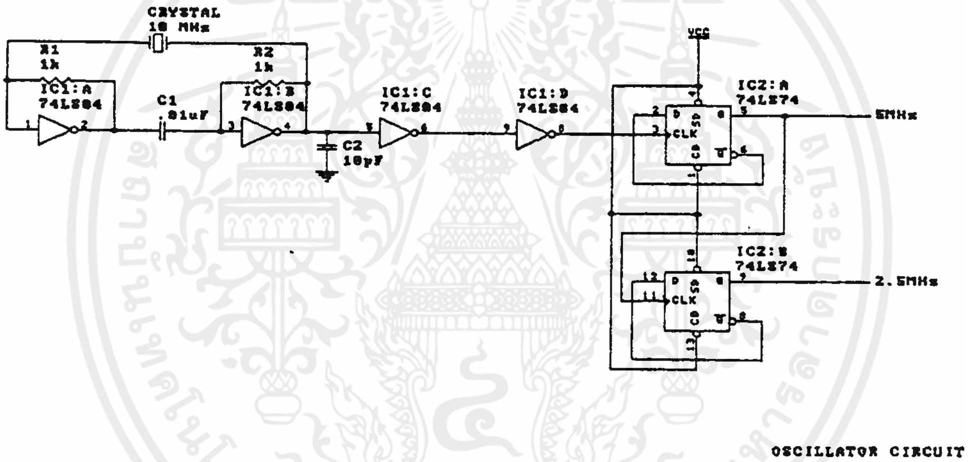
<u>วงจร SUMMING</u>

ทำหน้าที่รวมสัญญาณภาพเป็น อนาลอก จากวง D/A CONVERTER เข้ากับสัญญาณ SYNC ได้เป็นสัญญาณภาพที่สมบูรณ์ นำไปแสดงออก จอมอนิเตอร์ได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วงจรกำเนิดความถี่(OSCILLATOR CCT.)

วงจรนี้ใช้ คริสตอล(CRYSTAL) ขนาด 10 MHz เป็นตัวกำเนิดสัญญาณ โดยมี IC 1 74LS04 เป็นวงจรร่วม โดย IC 1A และ IC 1B ทำหน้าที่ขยายสัญญาณความถี่ที่ได้จาก คริสตอล และต่อเข้ากับ IC 1C ที่ทำหน้าที่เป็นบัฟเฟอร์ (BUFFER) เพื่อให้ได้สัญญาณที่เสถียร มากขึ้น IC 2A ,IC 2B 74LS74 ทำหน้าที่หารความถี่เหลือ 5 MHz และ 2.5 MHz ตาม ลำดับ เพื่อใช้ในวงจรควบคุมอื่น ๆ



รูปวงจรกำเนิดความถี่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

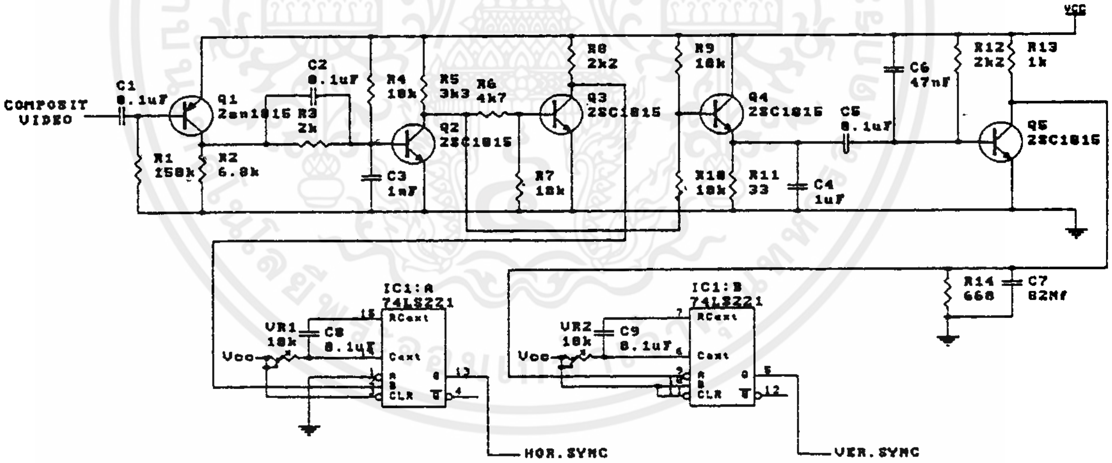
วงจรแยกสัญญาณซิ้งค์(SYNC SEPARATER)

ทำหน้าที่แยกสัญญาณซิ้งค์ออกจากสัญญาณคอมโพสิตวีดีโอ C1 เป็นตัว BYPASS สัญญาณ แล้วส่งให้ Q1 และ Q2 ทำการแยกซิ้งค์ออกมา ได้เป็น พัลส์ลบ จึงต้องทำการกลับสัญญาณ ที่ได้ให้เป็นพัลส์บวก โดย Q3 ได้เป็นสัญญาณซิ้งค์แนวนอน

พัลส์ลบจาก Q2 ถูกนำเข้า Q4 เพื่อขยายกระแส และผ่าน R-C NETWORK เพื่อกรองสัญญาณให้เหลือแต่สัญญาณความถี่ต่ำออกจาก Q5 ซึ่งเป็นสัญญาณซิงค์ในแนวตั้ง

สัญญาณซิงค์ในแนวนอนและแนวตั้ง จาก Q3 และ Q5 จะนำเข้า 74LS221 ซึ่งทำหน้าที่เป็น โมโนสเตเบิลมัลติไวเบเตอร์ ซึ่งเราสามารถใช้การเปลี่ยนค่าของ R และ C เป็นตัวกำหนดค่าความกว้างของสัญญาณพัลส์ หรือ สัญญาณซิงค์ ให้เหมาะสม สัญญาณที่ออกจาก 74LS221 ได้เป็นสัญญาณซิงค์ทางแนวนอน และแนวตั้งตามลำดับ

สัญญาณซิงค์ที่ได้จะนำไปใช้ควบคุมการทำงานในวงจรอื่น ๆ ต่อไป



SYNC. SEPARATOR CIRCIUT

รูปวงจรแยกสัญญาณซิงค์

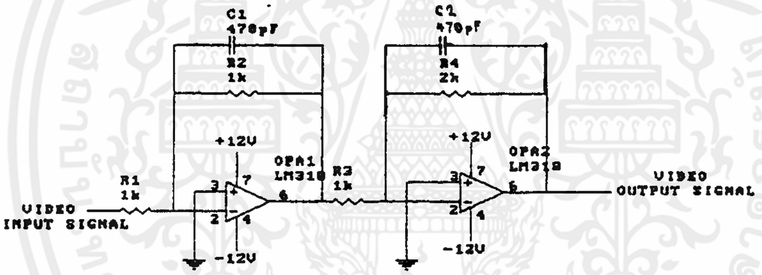
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

<u>วงจรกรองความถี่ต่ำ</u>

วงจรนี้ทำหน้าที่ในการกำจัดสัญญาณของซับแคริเออร์สี (COLOR SUBCARRIER) ซึ่งสำหรับระบบ PAL แล้วจะเป็น 4.43 MHz สัญญาณนี้จะก่อให้เกิดการบีท(BEAT)กับ สัญญาณนาฬิกา 5MHz ซึ่งทำให้เกิดลายบนภาพ ซึ่งหากใช้สัญญาณ วิดีโอที่เป็นภาพขาวดำ จะไม่เกิดปัญหานี้เลย

การกำจัดสัญญาณ 4.43 MHz ออกไปก่อนที่จะนำไปแสดงออกทางจอทีวี ทำได้โดยนำสัญญาณวิดีโอไปผ่าน วงจรกรองความถี่ต่ำผ่าน ซึ่งในวงจรนี้ประกอบด้วย opamp เบอร์ LM 318 เป็น hispeed opamp ซึ่งสามารถทำการจัดการกับความถี่สูงได้ และ R กับ C เป็นตัวกำหนดค่า gain และค่าความถี่คัทออฟ

สัญญาณที่ออก LM 318 ตัวแรกจะมีการกลับเฟส จึงต้องนำมากลับเฟสอีกทีหนึ่ง เพื่อให้สัญญาณเป็นรูปเดิม โดยสัญญาณที่ออกจากวงจรกรองความถี่ต่ำผ่านแล้ว จะได้สัญญาณที่ถูกกำจัดซับแคริเออร์สีไปทั้งหมดรวมถึงคัลเลอร์เบริสต์ (color burst) ด้วย



LOW PASS FILTER CCT.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วงจร ANALOG TO DIGITAL CONVERTER (A/D CONVERTER)

วงจร A/D CONVERTER เป็นวงจรแปลงสัญญาณอนาลอก เป็นสัญญาณดิจิตอล โดยใช้ IC CA3306 ขนาด 6 bit ความเร็วสูงสุดในการ sampling 15 MHz เพื่อให้การแปลงสัญญาณมีประสิทธิภาพเพิ่มขึ้น เราใช้ IC CA3306 จำนวน 2 ตัว มาต่อเข้าเป็นวงจรทำงานเป็น 7 bit ดังรูป วงจรนี้สามารถกำหนดขนาดของการ sampling สัญญาณอินพุทได้ โดยการกำหนด ค่าของ voltage ระหว่างขาที่ 9 (V_{ref}^{+}) และที่ขา 10 (V_{ref}^{-}) ซึ่งค่า ของ voltage ที่ใช้ในการแปลง $V_{ref} = V_{ref}^{+} - V_{ref}^{-}$ ควรจะมากกว่าขนาดของสัญญาณอินพุทเล็กน้อย เพื่อที่จะสามารถ sampling สัญญาณได้ครบถ้วน ในวงจร ค่า $V_{ref}+$ กำหนดได้ที่ขา 9 ของ IC 2 และค่า V_{ref}^{-} กำหนดไว้ที่ขา 10 ของ IC 1 และ กำหนดให้ voltage ที่ขา 9 ของ IC 1 เท่ากับ voltage ที่ขา 10 ของ IC 2 และ เท่ากับ Vref/2

การทำงานของวงจร เมื่อมีสัญญาณอินพุทเข้ามา จะเริ่มการแปลงที่ IC 1 ในช่วงศักดา 0 - V_{ref}^{-} เมื่อค่าสัญญาณอินพุทมากกว่า $V_{ref}/2$ IC 1 จะเกิด overflow ส่งสัญญาณเป็น 1 ไปที่ขา CE1 ของ IC 1 ทำให้ หยุดทำงาน และส่งไปที่ขา CE2 ของ IC 2 ทำให้ IC 2 เริ่มทำการแปลงต่อในช่วงศักดาตั้งแต่ $V_{ref}/2$ ถึง V_{ref}^{+}

จากวงจรเราสามารถคำนวนโวลเตจในแต่ละบิตได้โดย

$$V_{tap}(n) = [n*V_{ref}]/128$$

V_{tap} = ระดับโวลเตจอ้างอิงที่จุด n

$V_{ref} = V_{ref}^{+} - V_{ref}^{-}$

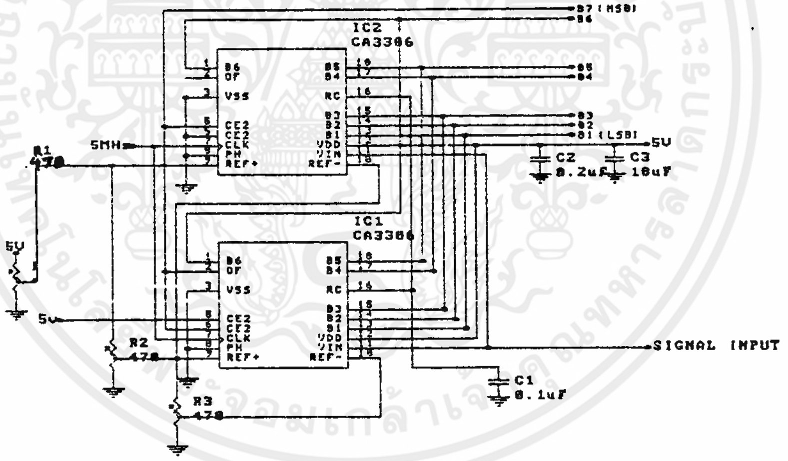
n = จำนวน tap (1-128)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

IC CA3306 นี้ทำงานโดยใช้ clock มี auto balance กับ sample โดยมี phase control เป็นตัวควบคุมรูปแบบการทำงานซึ่งมี 2 แบบดังนี้

1. ขา phase control (ขา 8) มีค่าลอจิกเป็น low สัญญาณอนาลอก จะถูกนำมาเปรียบเทียบที่ขอบขาขึ้นและแปลงเข้าไปใน o/p register ที่ขอบขาลง ของ auto balance

2. ขา phase control มีค่าลอจิกเป็น high สัญญาณอนาลอกจะถูกนำมาเปรียบเทียบที่ขอบขาลงของ sampling signal และถูกแปลงเข้าไปใน o/p register ที่ขอบขาขึ้นของ sampling signal ช่วงเวลาที่ข้อมูลเข้าไปใน o/p register จนปรากฏ ข้อมูลออกมาที่ 3 stage driver เรียกว่า time delay (T_d)

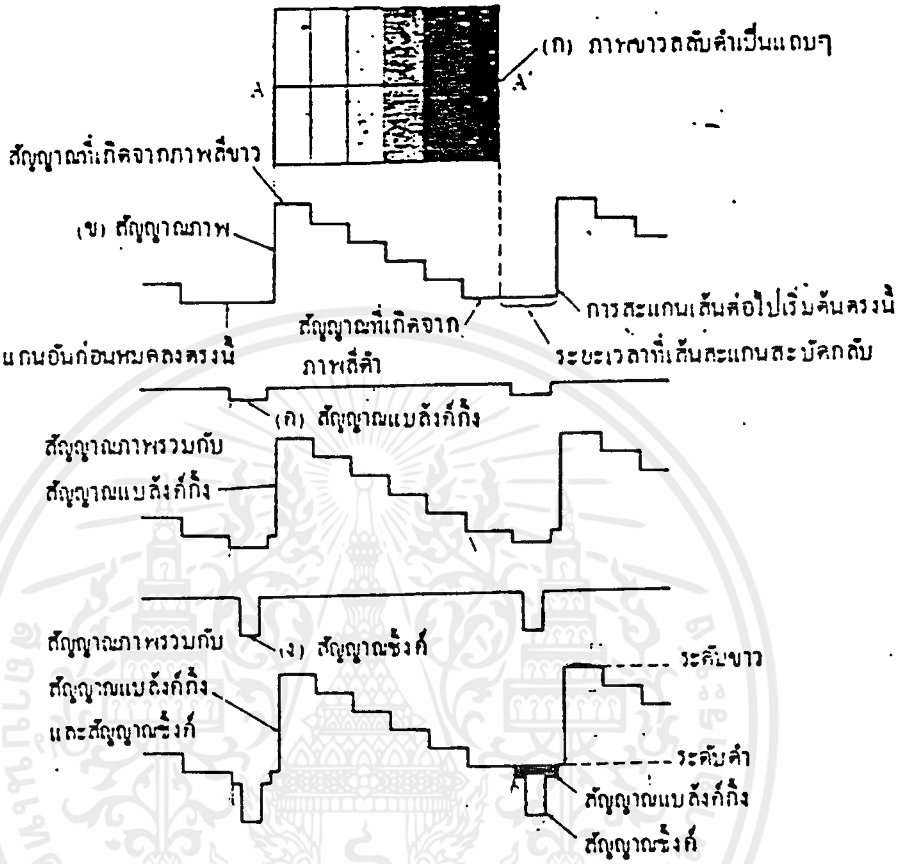


ANALOG TO DIGITAL CONVERTER
5MHz SAMPLING RATE

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การสร้างสัญญาณควบคุมการเขียน-อ่านข้อมูลและสัญญาณอ้าง Address

พิจารณาจากสัญญาณภาพโทรทัศน์



ประกอบด้วย สัญญาณภาพ และ สัญญาณซิงค์ ในการเก็บข้อมูลภาพจะเก็บเฉพาะส่วนที่เป็นสัญญาณภาพเท่านั้น ซึ่งใช้สัญญาณซิงค์ทางแนวนอน และ แนวตั้ง จากวงจรแยกซิงค์ มาควบคุม

การแบ่งภาพออกเป็น 4 ส่วน

ตามแนวตั้ง ใช้วงจรนับ นับเส้นสะแกน หรือนับจำนวนสัญญาณ hor-sync เพื่อแบ่งส่วนบนและส่วนล่างของภาพ ส่วนละ 128 เส้นสะแกน

ตามแนวนอน ใช้วงจรนับ นับ clock 5 MHz นับไป 128 pixel แบ่งส่วนของจอเป็นซีกซ้ายและซีกขวา

โดยใช้ IC 74LS191,JK-FF,D-FF,OR-GATE,AND-GATE ...

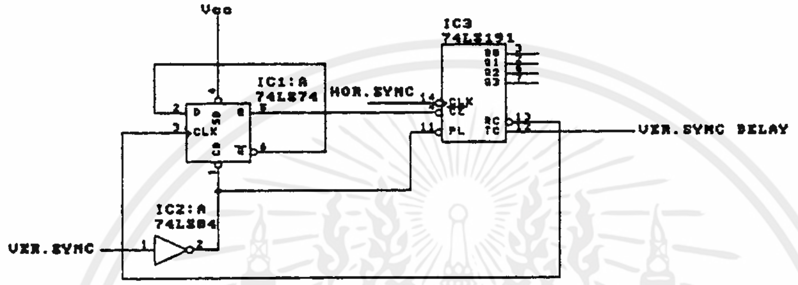
ในการสร้างวงจรนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วงจรสร้างสัญญาณควบคุมการเขียน-อ่านข้อมูล

วงจรหน่วงสัญญาณ ver-sync

โดยใช้ IC 74LS191 เป็นตัวนับสัญญาณhor-sync ประกอบกับ D-FF ควบคุมการนับ จะได้สัญญาณver-sync ที่หน่วงเวลาออกไป จำนวน 15 เส้นสะแกน เป็นตำแหน่งเริ่มของสัญญาณภาพดังรูป

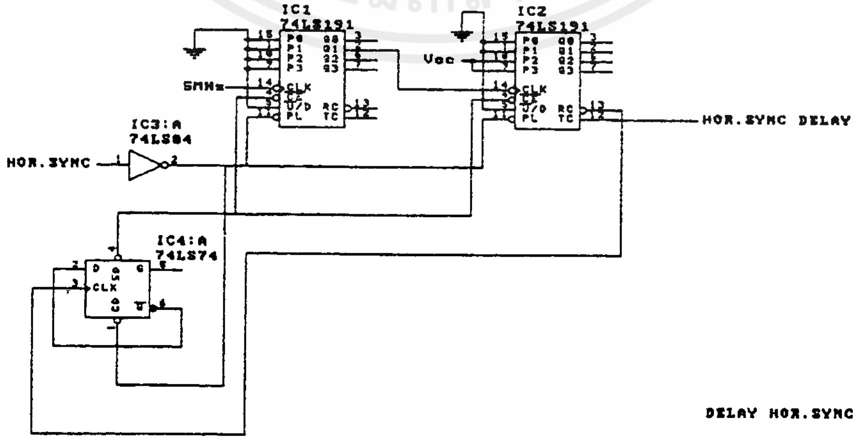


74LS191 U/D AND ALL INPUT PINS CONNECT TO GND.

DELAY VER.SYNC CIRCUIT

วงจรหน่วงสัญญาณ hor-sync

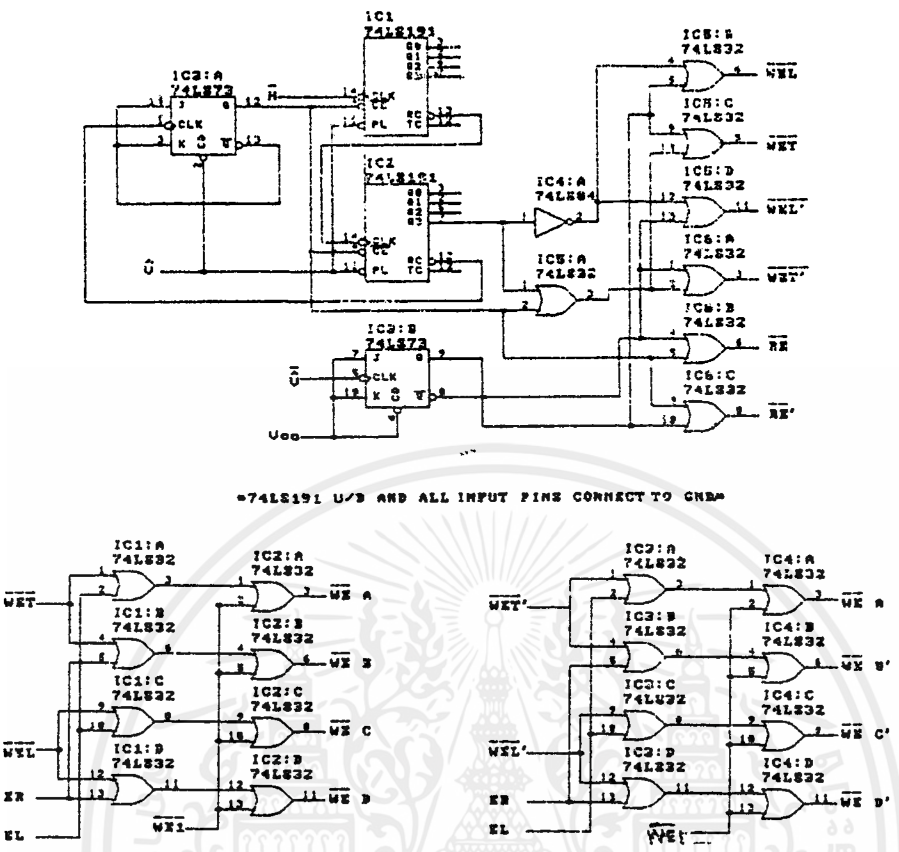
ใช้ IC 74LS191 2 ตัว ทำงานร่วมกัน นับ clock 5 MHz และใช้ D-FF ควบคุมการนับ จะได้สัญญาณhor-sync ที่ถูกหน่วงเวลาไปประมาณ 10 μs ถึงตำแหน่งเริ่มสัญญาณภาพ ดังรูป



DELAY HOR.SYNC CIRCUIT

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

<u>วงจรสร้างสัญญาณควบคุมการเขียนข้อมูล</u>



รูปแสดงวงจรสร้างสัญญาณควบคุมการเขียนข้อมูล

ใช้ IC 74LS191 2 ตัวทำงานร่วมกันเป็น 8 บิท นับสัญญาณ hor-sync ใช้ JK-FF ควบคุมการนับ โดยใช้สัญญาณ ver-sync ที่ถูกหน่วง เป็น สัญญาณเริ่มการนับ ใช้ JK-FF อีกตัวสร้างสัญญาณที่ Active ฟิลด์ เว้น ฟิลด์ จะได้สัญญาณ Q_7 และสัญญาณ EN ดังรูป

นำสัญญาณทั้ง 3 มา OR กัน ได้สัญญาณต่างๆ ดังรูป

คือ WET = สัญญาณ write enable ใน ส่วนบน ของจอภาพ ฟิลด์คู่

WEL = สัญญาณ write enable ใน ส่วนล่าง ของจอภาพ ฟิลด์คู่

WET'= สัญญาณ write enable ใน ส่วนบน ของจอภาพ ฟิลด์คี่

WEL'= สัญญาณ write enable ใน ส่วนล่าง ของจอภาพ ฟิลด์คี่

หมายเหตุ ฟิลด์คู่ ,ฟิลด์คี่ เป็นการตั้งชื่อ เพื่อแสดงว่า ต่างฟิลด์กัน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

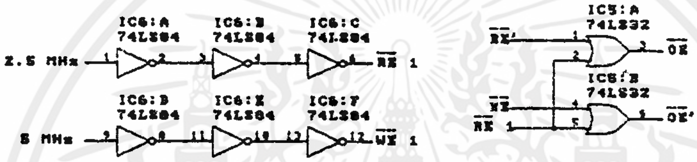
ดังนั้น สัญญาณควบคุมการเขียน write enable ของแต่ละ หน่วยความจำ เป็นดังนี้

หน่วยความจำชุด A	WE A	=	WET + EL + WE1
หน่วยความจำชุด B	WE B	=	WET + ER + WE1
หน่วยความจำชุด C	WE C	=	WEL + EL + WE1
หน่วยความจำชุด D	WE D	=	WEL + ER + WE1

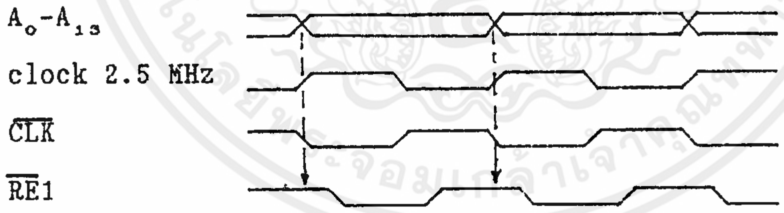
ส่วนในชุด A',B',C',D' จะ เปลี่ยนจากสัญญาณ WET,WEL ไปเป็น WET',WEL'แทน ดังแสดงในรูปข้างต้น

<u>วงจรสร้างสัญญาณควบคุมการอ่าน OUTPUT ENABLE : OE</u>

จากสัญญาณ RE,RE' อยู่ในวงจรเดียวกันกับวงจรสร้างสัญญาณควบคุมการเขียน จะ Active ("Low") ฟิลด์เว้นฟิลด์สลับกัน



และเช่นเดียวกัน ในการอ่านข้อมูล ช่วงการเปลี่ยน Address ค่า ของสัญญาณ output enable : $\overline{OE}$ ต้องเป็น "High" ด้วย ซึ่งพิจารณาจาก สัญญาณ Clock 2.5 MHz และช่วงเปลี่ยนค่าของสัญญาณอ้าง Address ดังรูป



สัญญาณ $\overline{RE1}$ ได้จากสัญญาณ Clock 2.5 MHz ผ่าน inverter และ ผ่าน Buffer ให้หน่วงเวลาไปประมาณ 40 ns ให้ สัญญาณ $\overline{RE1}$ เป็น "High" ในช่วงการเปลี่ยน Address ดังนั้น จะได้สัญญาณควบคุมการอ่านดังนี้

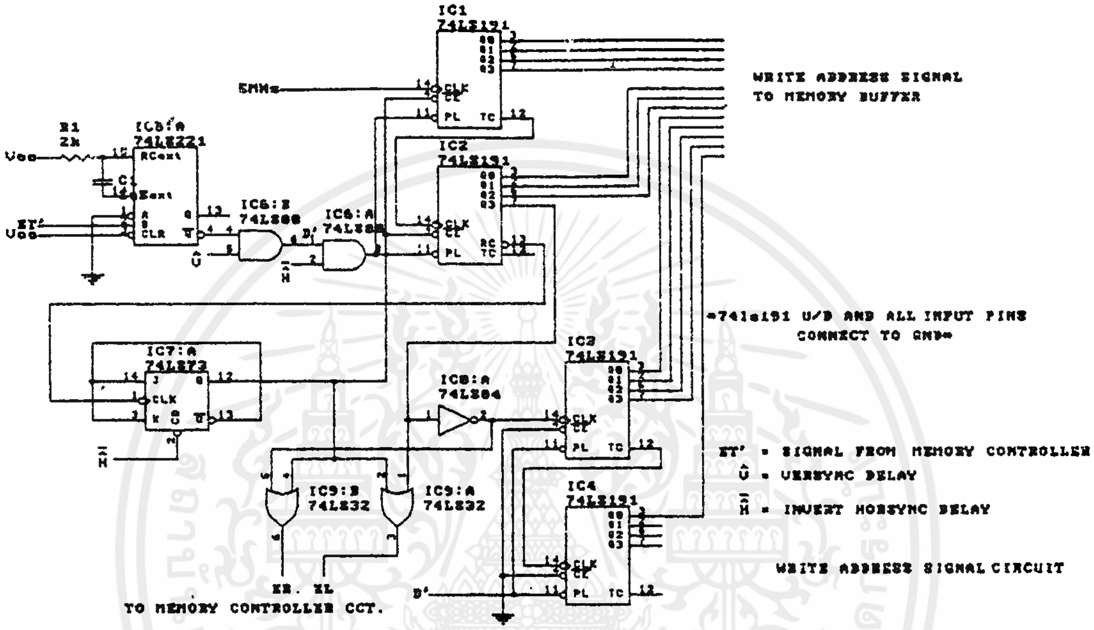
สัญญาณ Output enable ในฟิลด์คู่ $\overline{OE} = \overline{RE'} + \overline{RE1}$

สัญญาณ Output enable ในฟิลด์คี่ $\overline{OE'} = \overline{RE} + \overline{RE1}$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

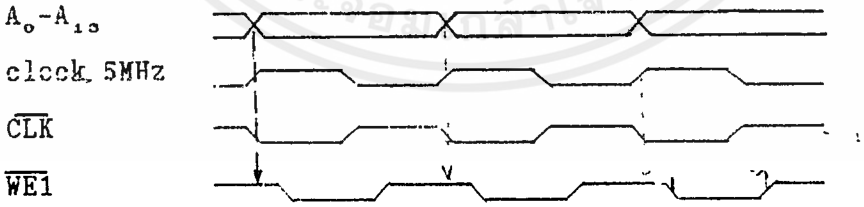
วงจรสร้างสัญญาณอ้างตำแหน่ง

นำสัญญาณ ver-sync และ สัญญาณ hor-sync ที่ถูกหน่วงเวลา กำหนดเริ่มนับ ใช้ JK-FF สร้างสัญญาณ Enable ควบคุมการนับ ใช้ IC 74LS191 เป็นตัวนับ clock 5MHz และให้นับซ้ำ 128 เพื่อใช้อ้างตำแหน่งของหน่วยความจำ ซีกซ้าย 128 ตำแหน่ง , ซีกขวา 128 ตำแหน่ง ใช้วงจรเพียงวงจรเดียว โดยการจัดให้ การเปลี่ยน บิทที่ 7 ไป 2 ครั้ง นับเป็น 1 ครั้ง สังเกต การเปลี่ยนค่าของ Q_7 และสัญญาณ Enable ทั้งสองสัญญาณ นำมาสร้างสัญญาณ ที่ Active ด้านซีกซ้าย,ซีกขวา ของจอภาพ (EL,ER)



ในการเขียนข้อมูลลงหน่วยความจำ ในช่วงการเปลี่ยน Address ต้องให้ สัญญาณ write enable หรือ สัญญาณ Chip select เป็น "High" ตัวใดตัวหนึ่ง

พิจารณาจาก ช่วงการเปลี่ยนสัญญาณอ้าง Address และ Clock 5 MHz ดังรูป

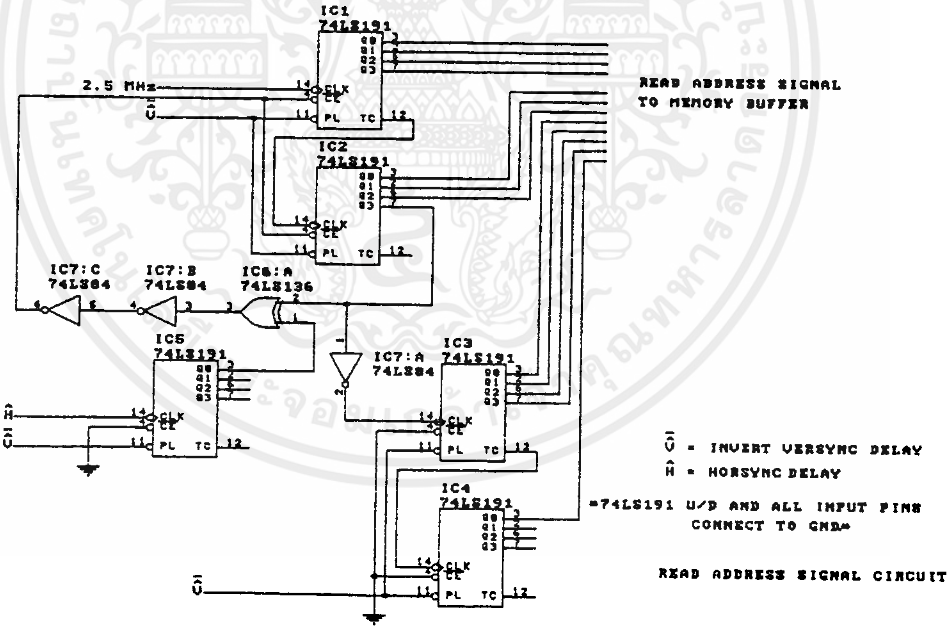


สัญญาณ $\overline{WE1}$ ได้จาก สัญญาณ Clock 5 MHz ผ่าน inverter และ Buffer ให้หน่วงเวลาไปประมาณ 40 ns จะได้สัญญาณ เป็น "High" ในช่วงการเปลี่ยน Address และ เป็น "Low" มีความกว้างเท่ากับ 100 ns ซึ่งกว้างพอที่หน่วยความจำจะสามารถ Access ข้อมูลได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

<u>วงจรสร้างสัญญาณอ้างตำแหน่งการอ่านข้อมูล</u>

การอ่านข้อมูลออกจาก memory เพื่อให้ได้สัญญาณที่มีการอ่านซ้ำจุดและซ้ำเส้น โดยใช้ IC 74LS191 เป็นตัวสร้างสัญญาณอ้างตำแหน่ง ซึ่งความถี่ clock =2.5 MHz ทำให้สัญญาณที่ออกจาก memory เหมือนมีการซ้ำจุด ส่วนการอ้างตำแหน่งซ้ำเส้น Q7 จาก 74LS191 จะป้อนเป็น clock ให้กับ 74LS191 ตัวถัดไป จึงมีการนับซ้ำเส้น และเพื่อความถูกต้องในการอ่านข้อมูลจาก memory การอ้างตำแหน่งการอ่าน จะมีการหยุดการนับของ 74LS191 เมื่อนับครบเส้นสะแกน หรือ 128 ตำแหน่ง และเริ่มนับต่อ เมื่อเริ่มเส้นสะแกนใหม่ โดยมี IC 74LS191 และ IC 74LS136 เป็นตัวสร้างสัญญาณ ENABLE ไปควบคุมในการนับและหยุดนับ ของชุด IC 74LS191 สัญญาณ ENABLE ที่ได้นี้จะ ผ่าน INVERTOR 2 ตัว ก่อนเพื่อให้สัญญาณมีขนาดเพียงพอที่จะป้อนให้กับ IC 74LS191 ที่ทำการนับตำแหน่งการอ่านข้อมูล

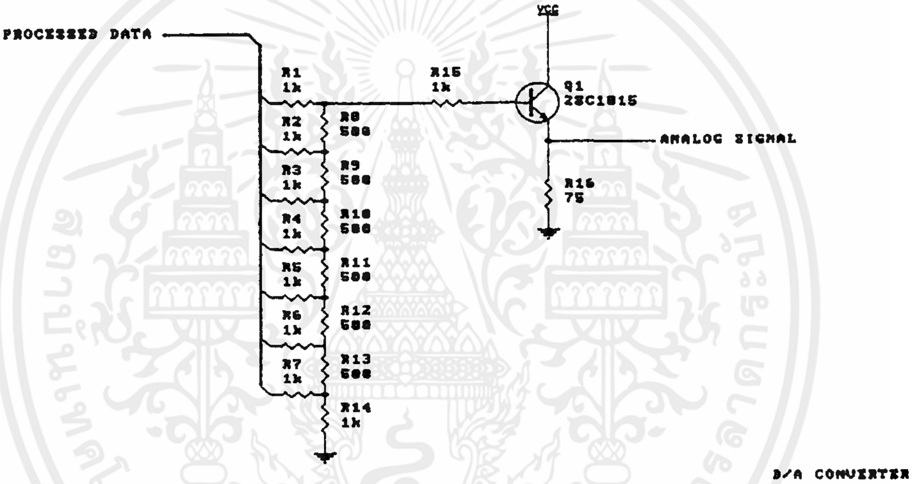


READ ADDRESS SIGNAL CIRCUIT

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วงจรแปลงสัญญาณดิจิตอลเป็นอนาลอก(D/A CONVERTER)

วงจร DAC ใช้แบบ R-2R LADDER ดังรูป เป็นวงจรที่ไม่ยุ่งยาก มีราคาถูกและมีประสิทธิภาพที่ดีในการใช้งานที่ความถี่สูง ซึ่งในที่นี้ใช้วงจร R-2R LADDER ขนาด 7 BIT แปลงสัญญาณดิจิตอลจากหน่วยความจำเป็นสัญญาณอนาลอก โดยมี ทรานซิสเตอร์ เบอร์ 2SC1815 ทำหน้าที่เป็นบัฟเฟอร์ (BUFFER) เพื่อขยายกระแสสัญญาณอนาลอกไปยัง วงจรSUMMING ก่อนที่จะเข้าเครื่องโทรทัศน์



รูปวงจรแปลงสัญญาณดิจิตอลเป็นอนาลอก

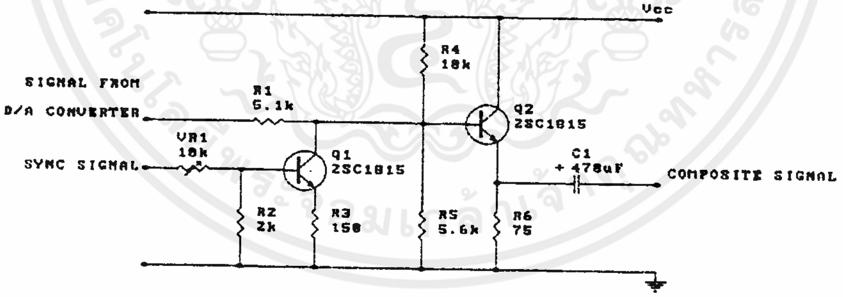
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วงจร SUMMING

การ process สัญญาณภาพ จะเก็บเฉพาะส่วนที่เป็นสัญญาณภาพลงหน่วยความจำ ภายหลังการ process แล้ว เมื่อผ่านวงจร D/A CONVERTER จะได้สัญญาณส่วนที่เป็นสัญญาณภาพเพียงอย่างเดียว ไม่สามารถนำไปแสดงออกจอมอนิเตอร์ได้

จึงต้องนำสัญญาณจากวงจร D/A CONVERTER มาผสมกับสัญญาณซิงค์ ซึ่งประกอบด้วยซิงค์แนวตั้งและซิงค์แนวนอนจากวงจรแยกซิงค์ ดังรูป

จากวงจร summing Transistor Q_1 ทำหน้าที่ กลับค่าสัญญาณซิงค์ให้เป็น pulse ลบ เพื่อไปรวมกับสัญญาณภาพที่ Transistor Q_2 ซึ่งทำงานแบบ common-collector นำสัญญาณ output ออกทางขา Emitter ผ่าน C_1 coupling ได้สัญญาณภาพ video นำไปแสดงออกจอมอนิเตอร์



SIGNAL SUMMING CIRCUIT

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ผลการทดลอง

ในการทดลองเกิดสัญญาณรบกวนขึ้น สรุปสาเหตุและการแก้ไขดังนี้

1. สัญญาณรบกวนจากความถี่ 2.5 MHz และ 5MHz ของวงจรกำเนิดความถี่ซึ่งมีผลต่อ Power Supply ทำให้วงจรต่างๆทำงานผิดพลาด แต่สามารถลดสัญญาณรบกวนนี้โดย

- ต่อ C ค่ามากๆ คร่อมระหว่าง Vcc กับ GND ของ Power Suuply
- ต่อ GND ของทุกวงจรไว้ที่จุดเดียวกันก่อนเข้า Power Supply
- พันสาย Vcc กับ GND ให้เป็นเกลียว และเดินสายให้สั้นที่สุด
- ต่อขา input ของ IC ที่ไม่ใช้ลง GND

2. สัญญาณรบกวนจากการเกิดบีต ระหว่างซับแคริเออร์สี 4.43 MHz กับความถี่สุ่ม 5 MHz ดังนั้นใช้วงจรกรองความถี่ต่ำผ่านความถี่ที่มีความถี่คัดออฟ 1 MHz เพื่อกรองสัญญาณซับแคริเออร์สีออก ก่อนนำสัญญาณภาพไปใช้งาน

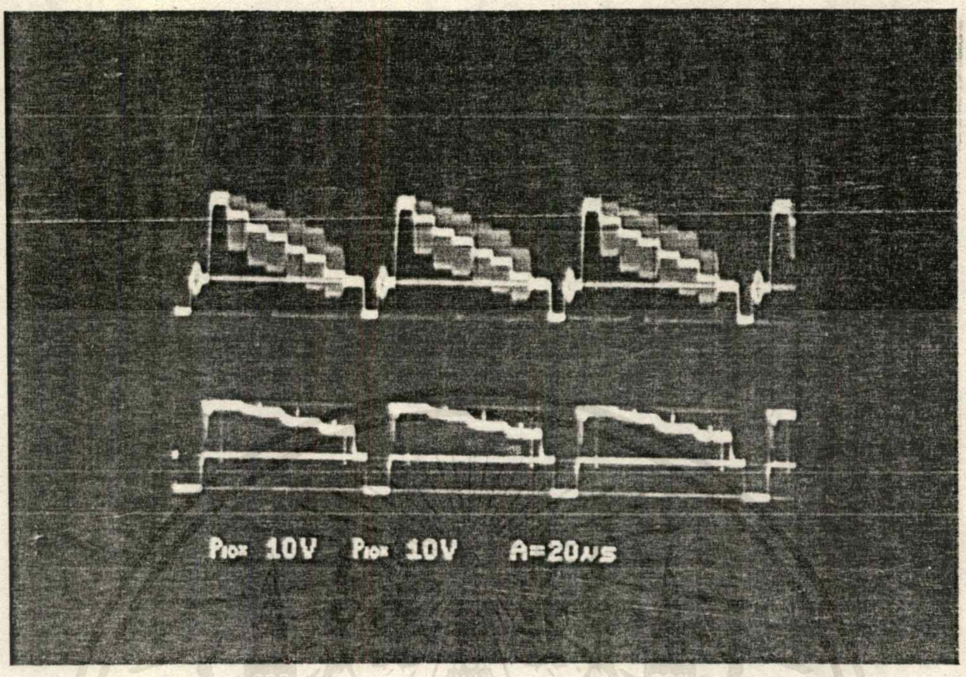
3. สัญญาณรบกวนระหว่างสัญญาณอนาลอกและดิจิตอล ซึ่งในการต่อต้องแยก Vcc และ GND ของสัญญาณทั้งสองออกจากกัน

4. สัญญาณรบกวนที่เกิดจากการเดินสายบนปริ้นต์ สามารถลดได้โดยการเดินสาย Vcc กับ GND ขนานกันระหว่างขา IC และการเดินสาย GND เพื่อให้เป็น GND Plane มากที่สุดเท่าที่จะทำได้

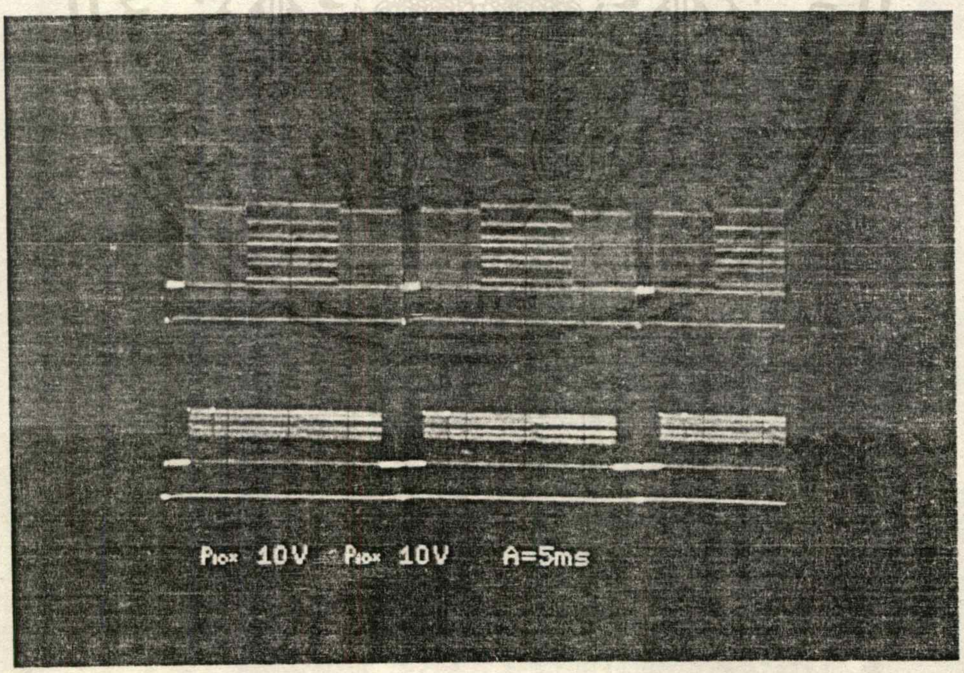
ผลการทดลองภาพที่ได้มีขนาดเป็น 4 เท่าถูกต้อง แต่ภาพยังไม่สมบูรณ์ เกิดเป็นเส้นสีขาวเป็นตารางขึ้น ซึ่งเป็นผลมาจากสัญญาณรบกวนในส่วนวงจรควบคุม และการใช้ memmory อ่านและเขียนสัญญาณภาพคนละชุด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สัญญาณ VDO INPUT เทียบกับ OUTPUT ของจอ A



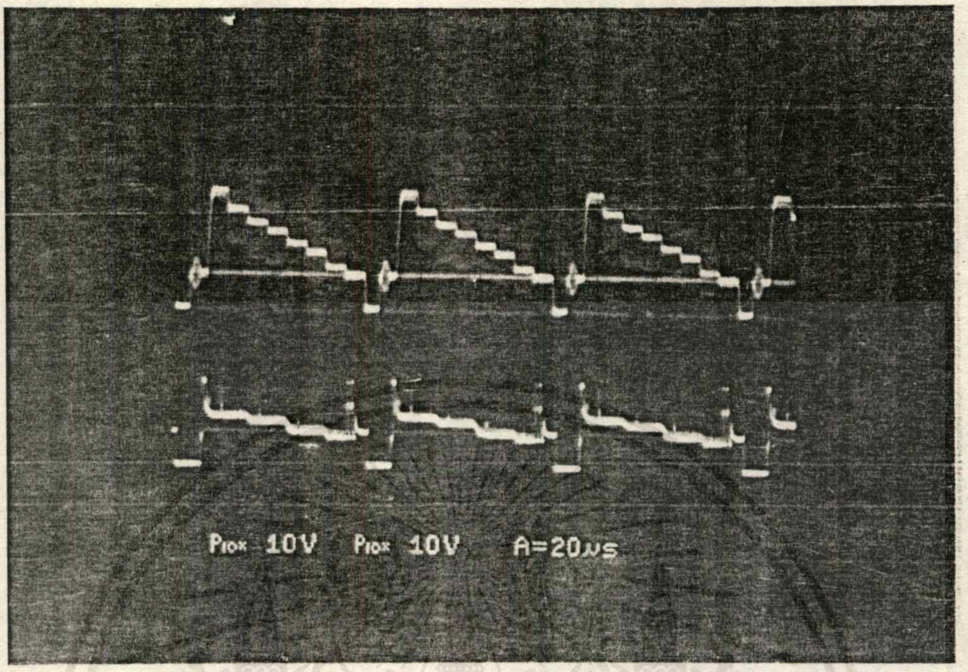
สัญญาณ VDO 1 เส้นสะแกน



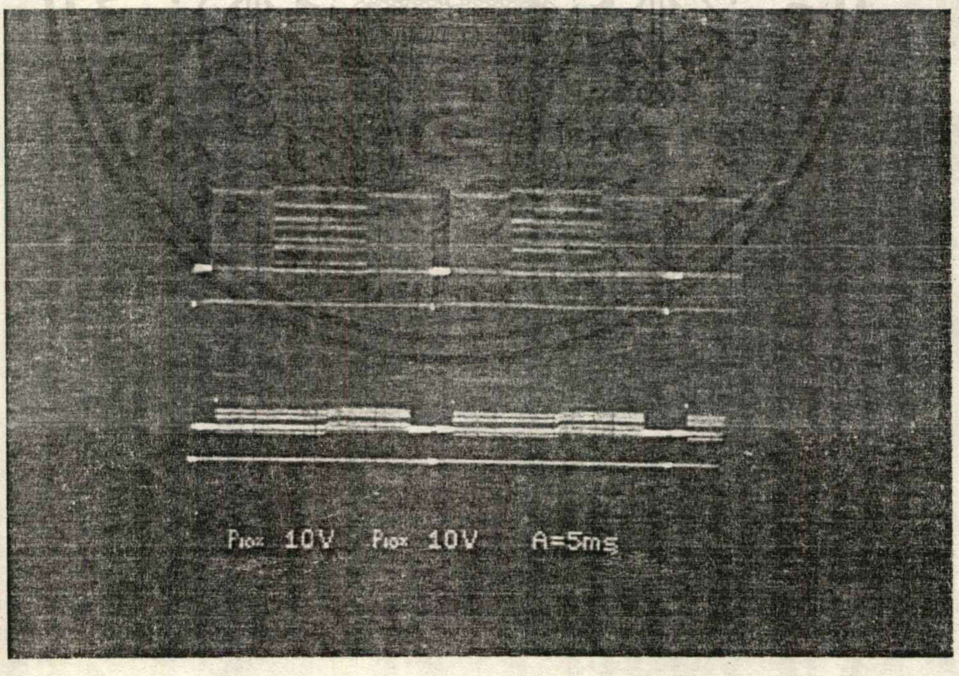
สัญญาณ VDO 1 FIELD

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สัญญาณ VDO INPUT เทียบกับ OUTPUT ของจอ B



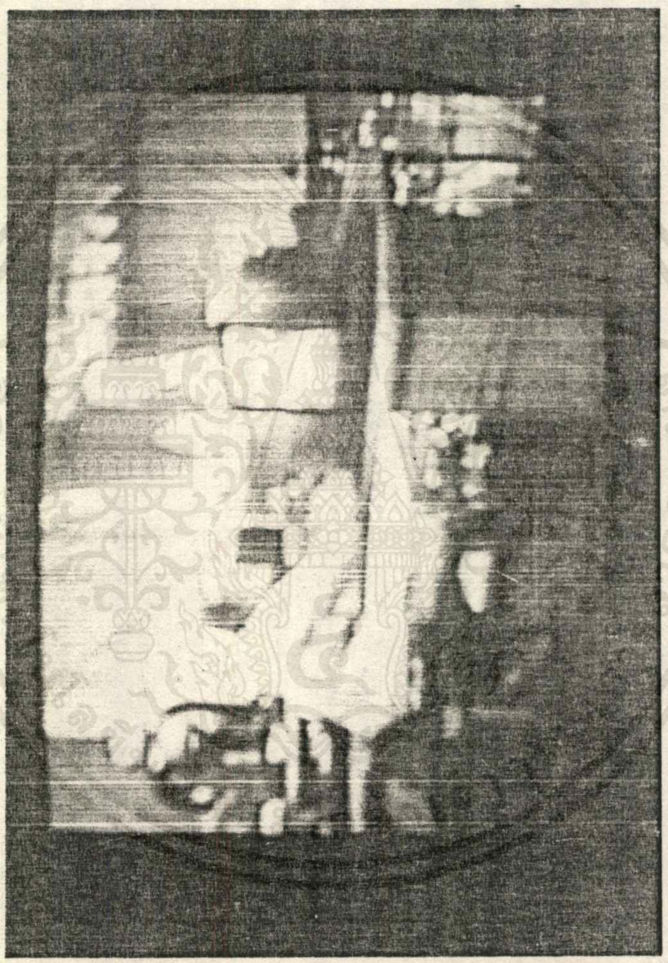
สัญญาณ VDO 1 เส้นสะแกน



สัญญาณ VDO 1 FIELD

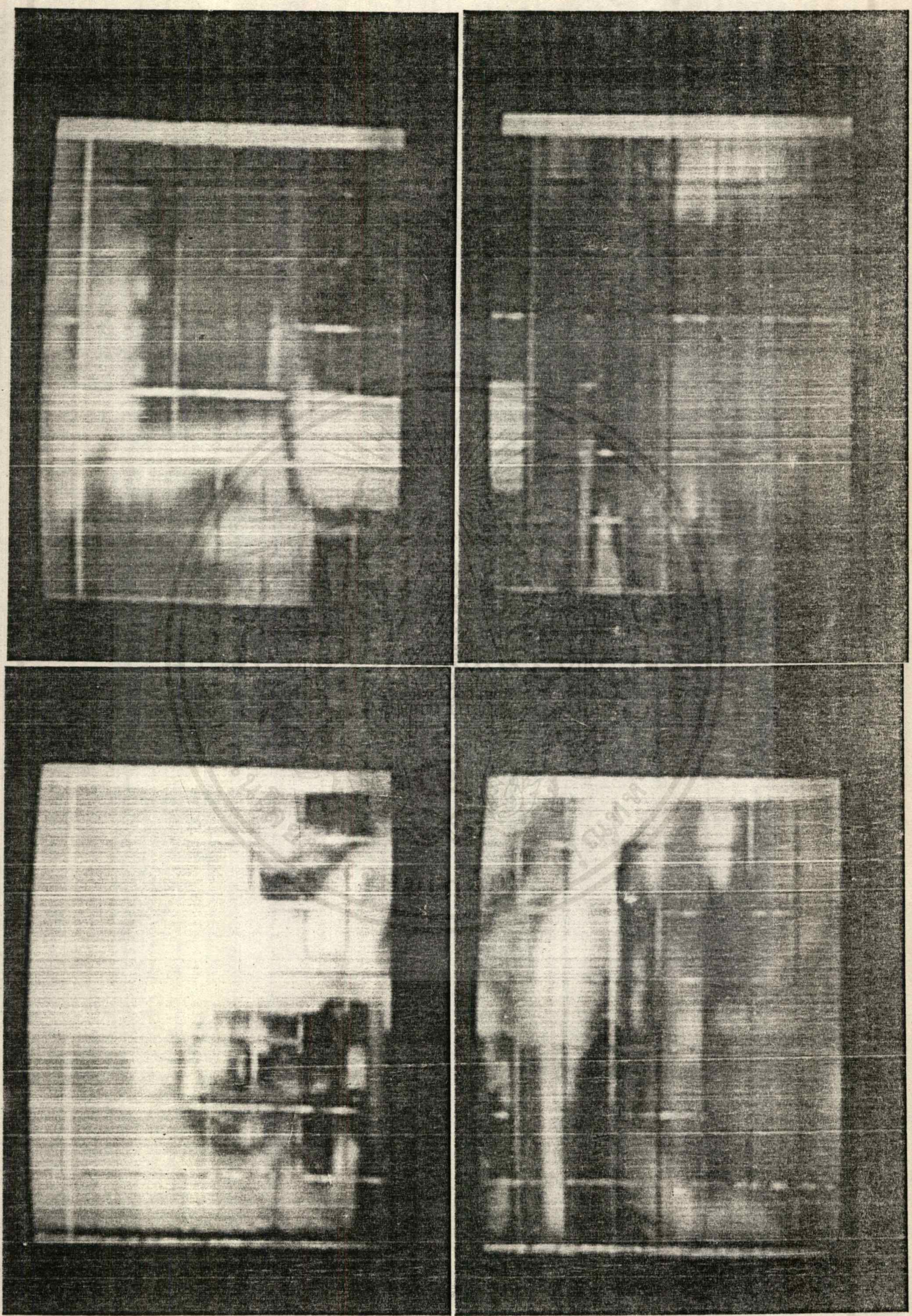
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาพจริงจาก VDO



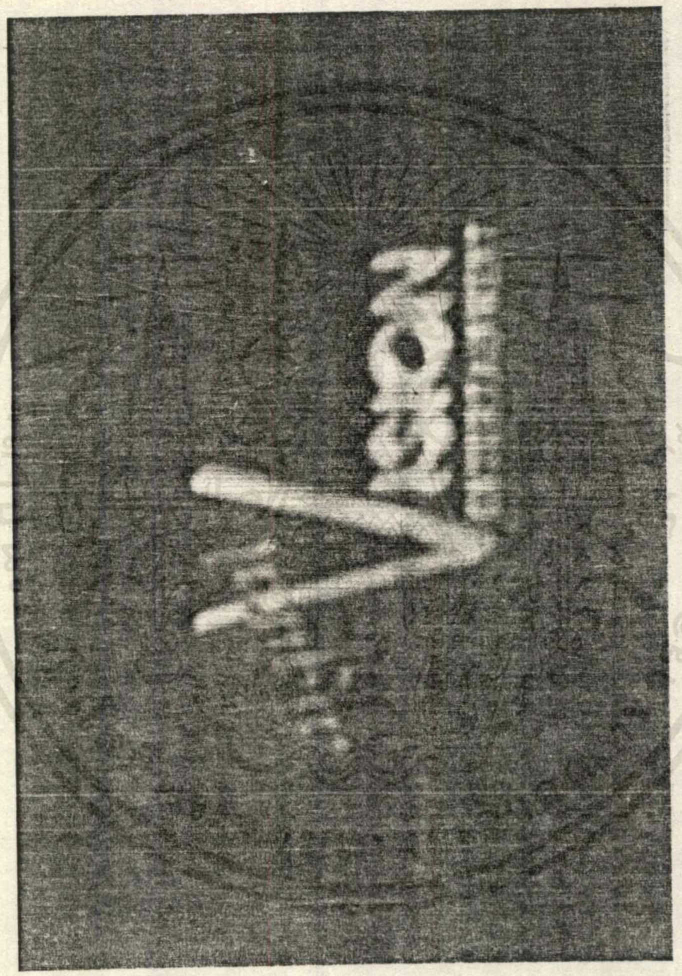
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาพ OUTPUT จอ A,B,C,D



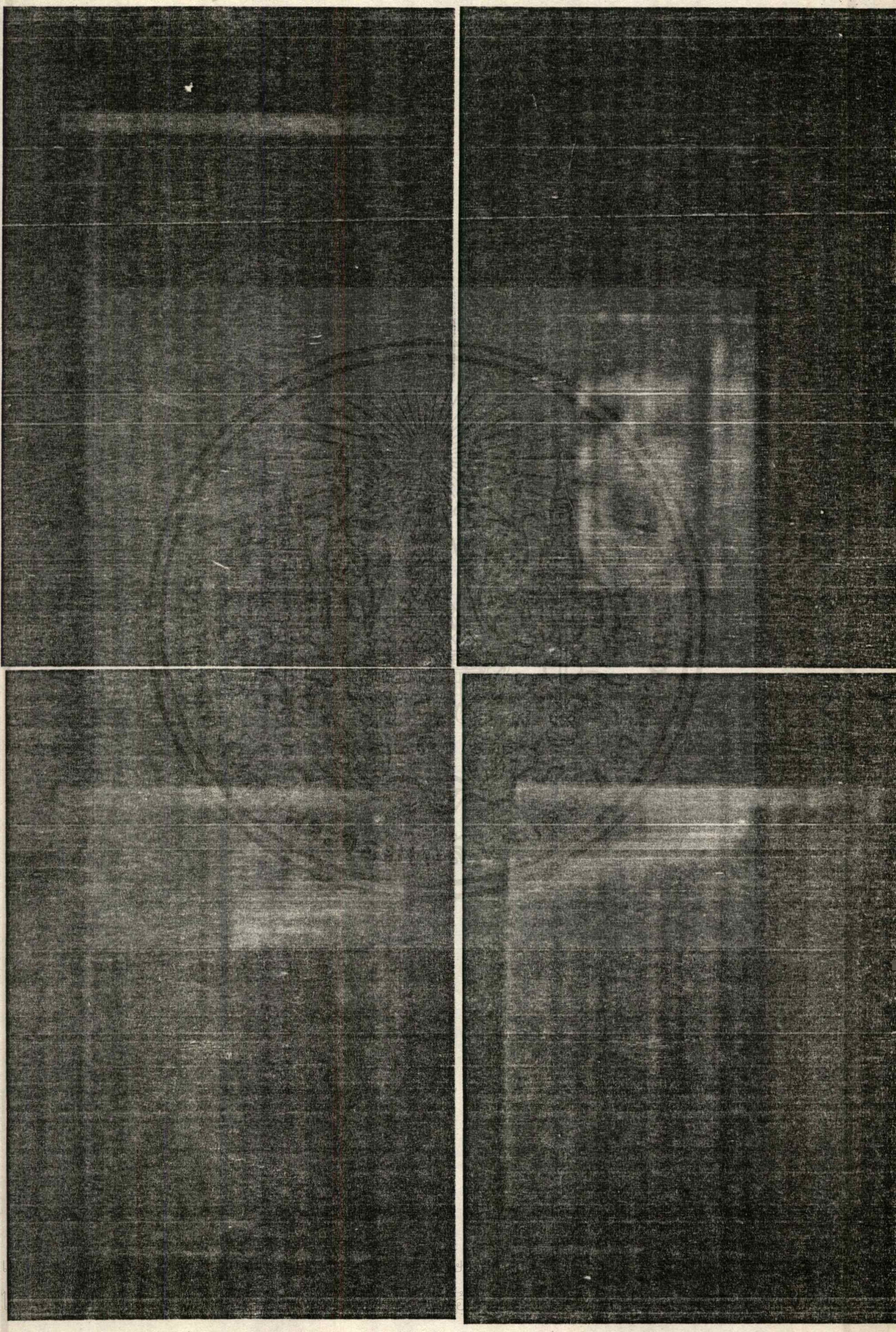
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาพจริงจาก VDO



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาพ OUTPUT จอ A,B,C,D



บทสรุปและวิจารณ์

จากการทดลองสัญญาณภาพที่ได้ถูกต้องตามหลักการ ซึ่งวงจรต่างๆ ที่ออกแบบขึ้นสามารถทำงานได้ตามจุดประสงค์ แต่วงจรต่างๆ อาจไม่ใช่วงจรที่ดีที่สุด ดังนั้นการนำไปใช้ต้องปรับปรุงหรือแก้ไขในบางวงจร นอกจากนี้สัญญาณภาพที่ได้ยังหยาบอยู่ซึ่งสามารถเพิ่มความละเอียดโดยการเพื่อจำนวนในการเก็บข้อมูลลงใน memory ให้มากขึ้น และใช้วงจร A/D และ D/A ให้มีขนาดหรือจำนวน Bit มากขึ้น การพัฒนาและการประยุกต์โดยใช้หลักการเดียวกันสามารถนำไปใช้กับสัญญาณภาพสีได้ และนำระบบ Microprocessor มาควบคุมรูปแบบ และขนาดต่างๆ ของภาพได้ตามต้องการ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กิตติกรรมประกาศ

สำหรับการทดลองสร้างจัดการสัญญาณภาพนี้ ได้รับความกรุณาเป็นอย่างดีในหลักการต่างๆ และการให้คำแนะนำแนวทางในการแก้ปัญหาต่าง ๆ ตลอดจนการจัดหาอุปกรณ์เครื่องมือที่จำเป็น จากอาจารย์ ประภากร สุวรรณะ อาจารย์ที่ปรึกษา จึงขอขอบพระคุณมา ณ ที่นี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หนังสืออ้างอิง

1.ประกิจ ตังติสานนท์ , " ทฤษฎีโทรทัศน์ หลักการ และเครื่องรับโทรทัศน์ " , คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้า เจ้าคุณทหารลาดกระบัง , พิมพ์ครั้งที่ 3 , พฤษภาคม 2529

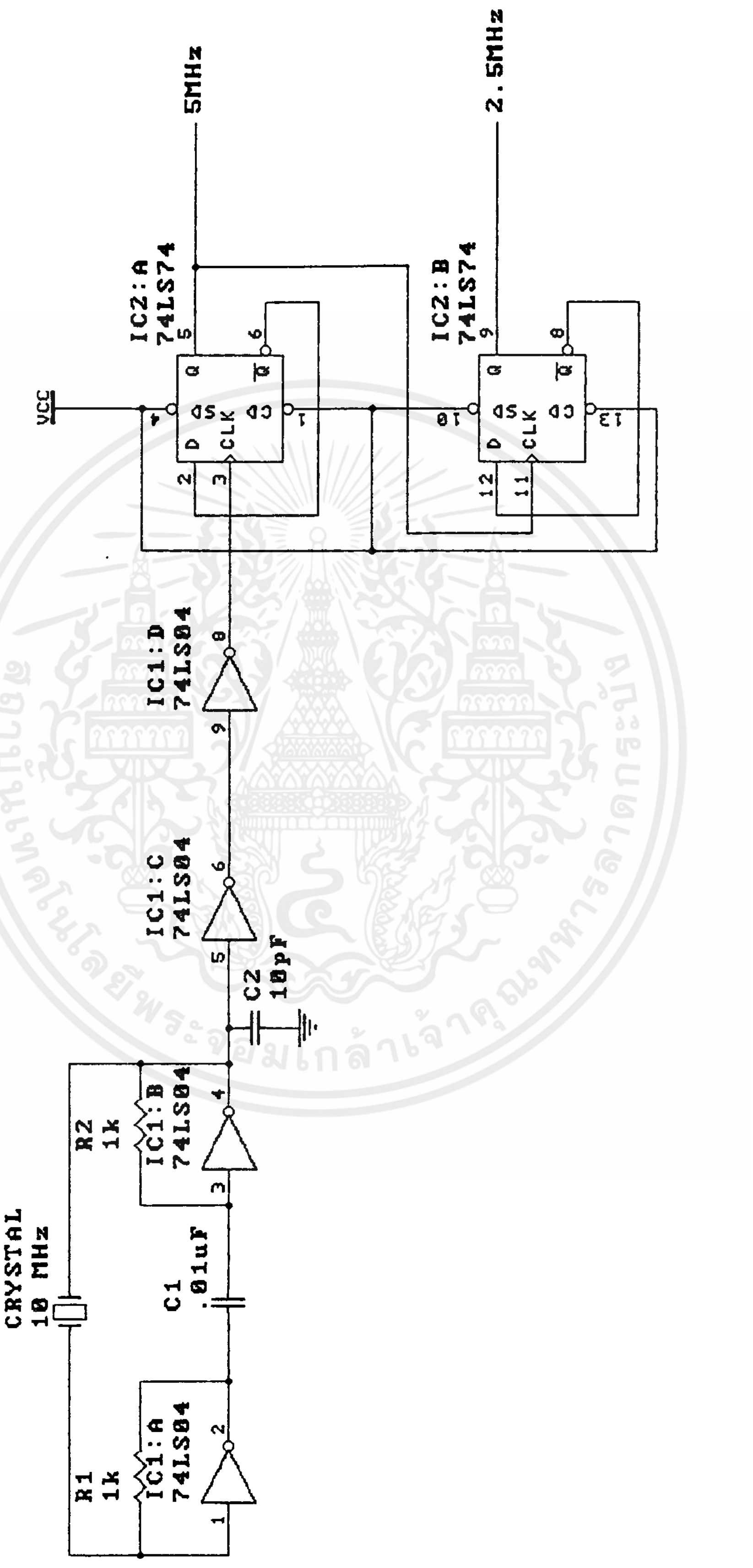
2.พีระพล ยุวภูษิตานนท์ , รณน สถิตปัญญาพันธุ์ ," เครื่องจัดสัญญาณภาพ ", ปริญญานิพนธ์ ภาควิชาอิเลคทรอนิกส์ สถาบันเทคโนโลยีพระจอมเกล้า เจ้าคุณทหารลาดกระบัง , ปีการศึกษา 2533

3.BERNARD GROB , " BASIC TELEVISION PRINCIPLE AND SERVICING " , INTERNATIONAL STUDENT EDITION , FOURTH EDITION , McGrow-Hill Kogakusha, Ltd. , 1980

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

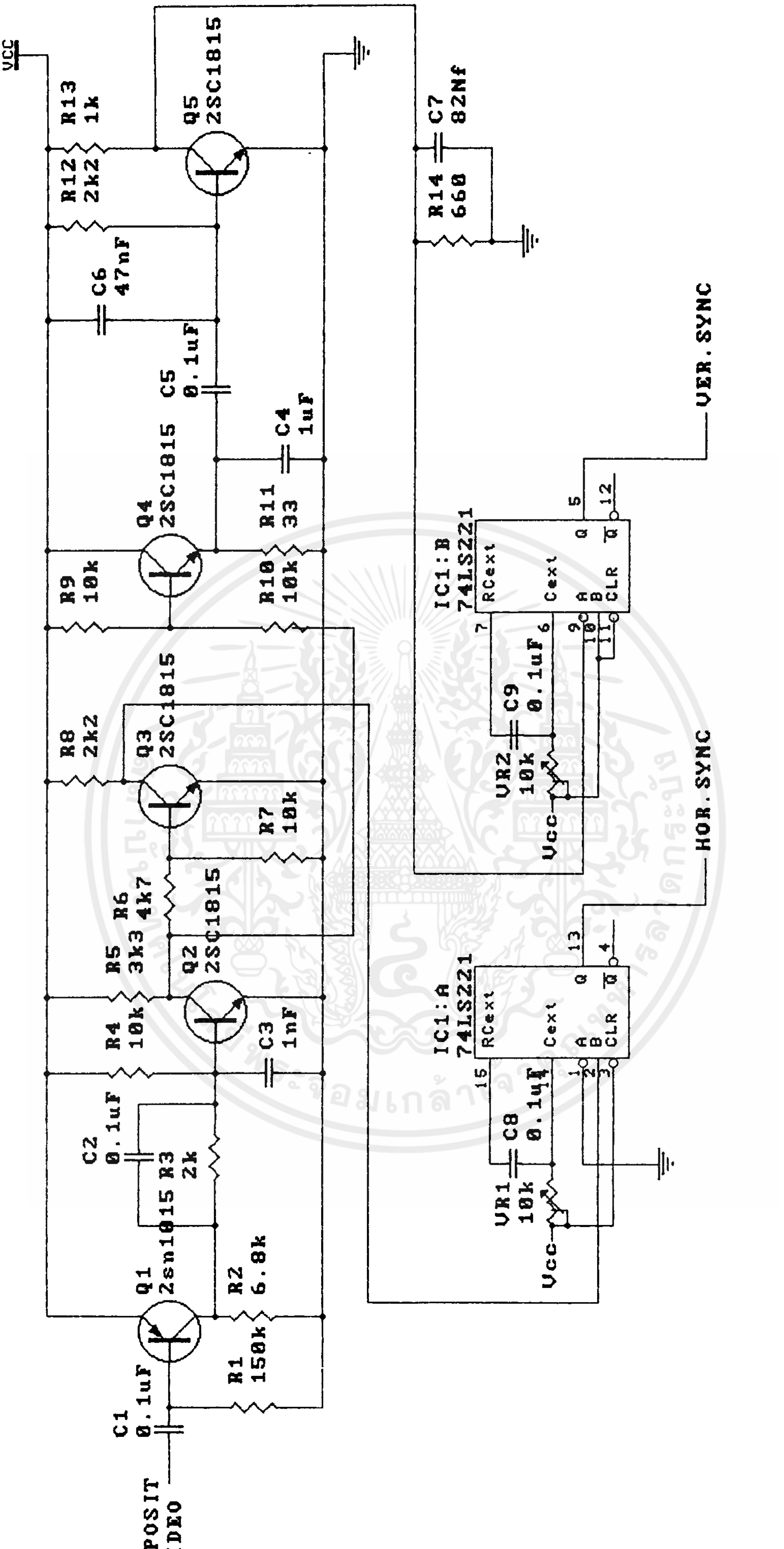
ภาคผนวก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



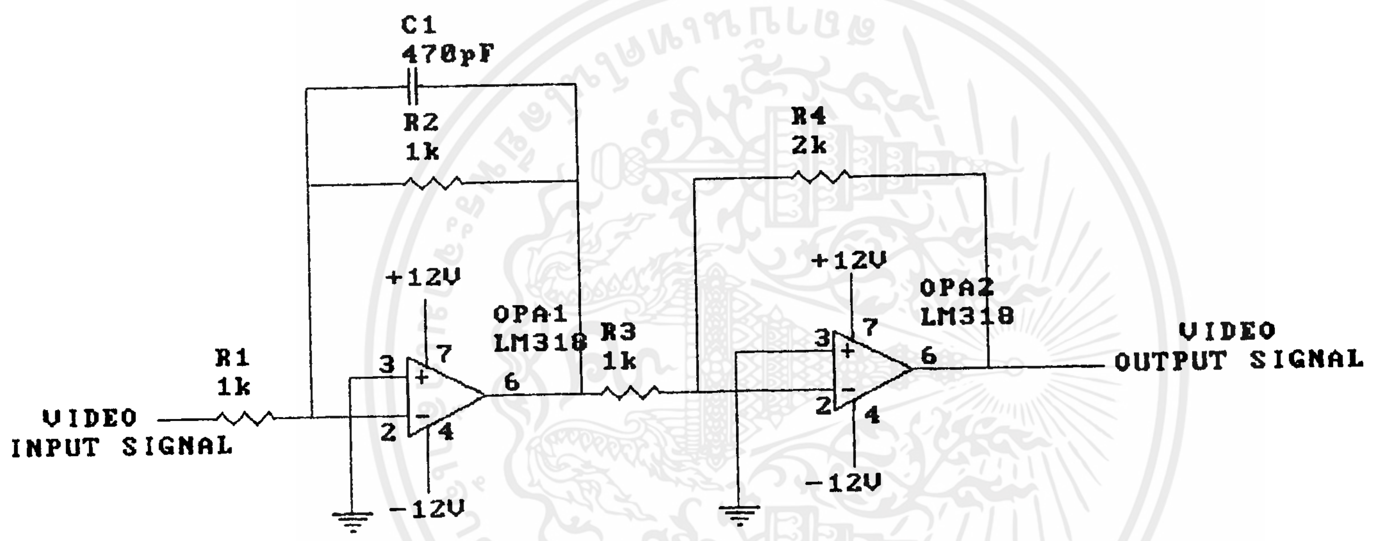
OSCILLATOR CIRCUIT

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



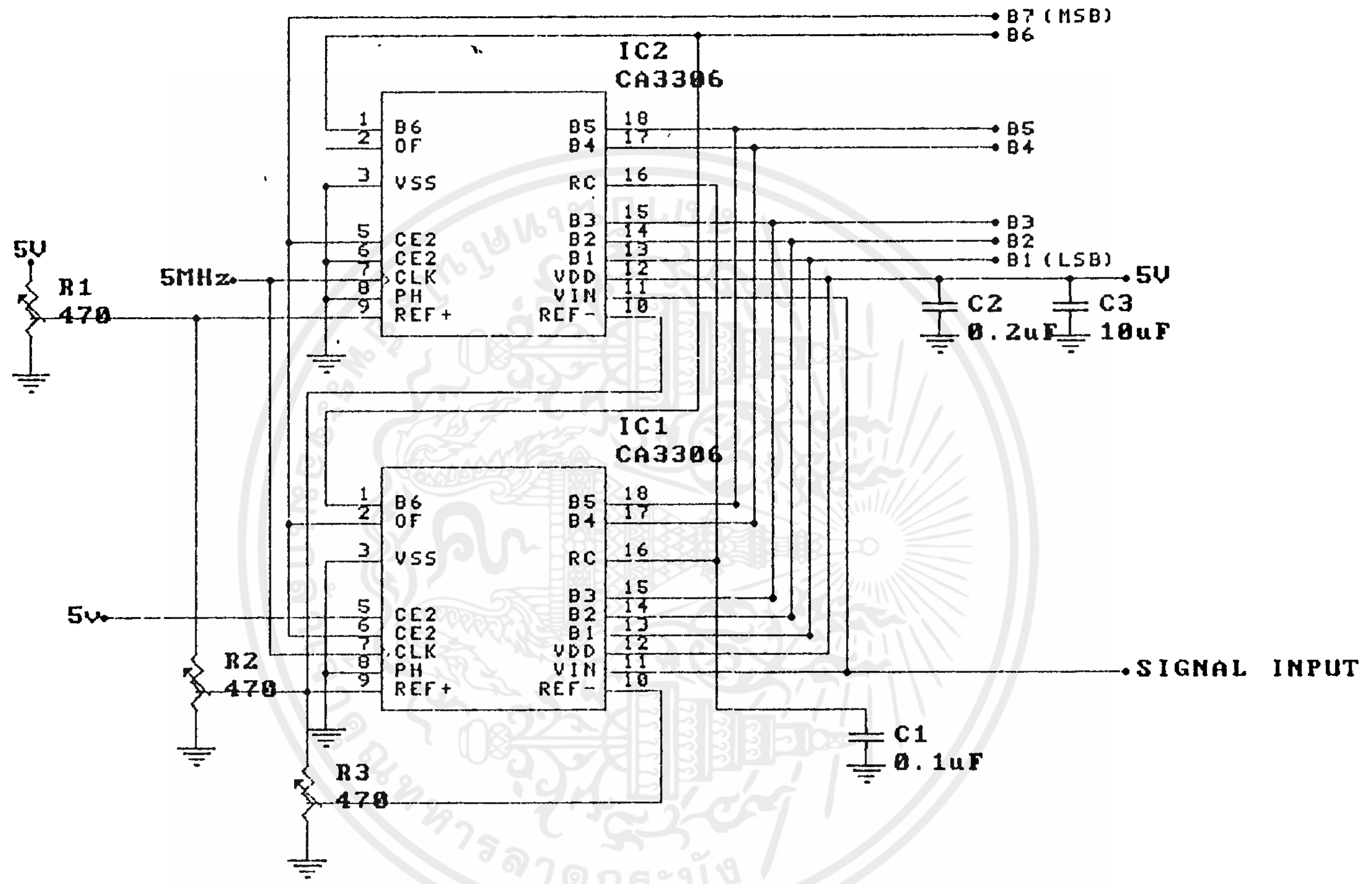
SYNC. SEPARATOR CIRCIUT

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



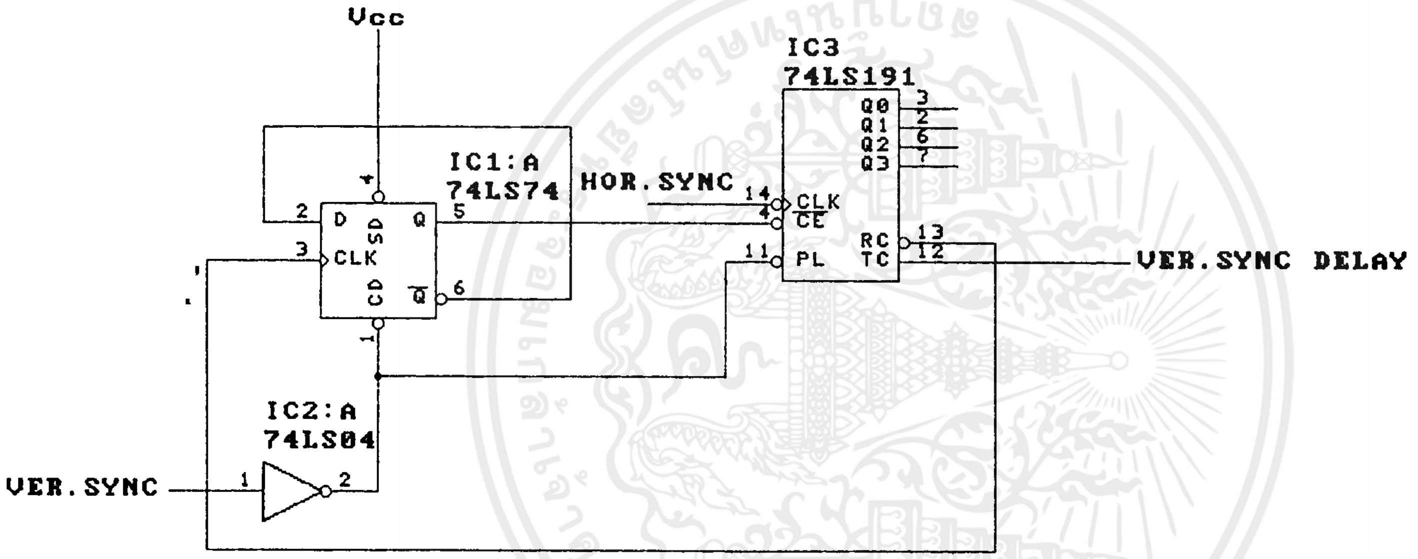
LOW PASS FILTER CCT.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



ANALOG TO DIGITAL CONVERTER
5MHz SAMPLING RATE

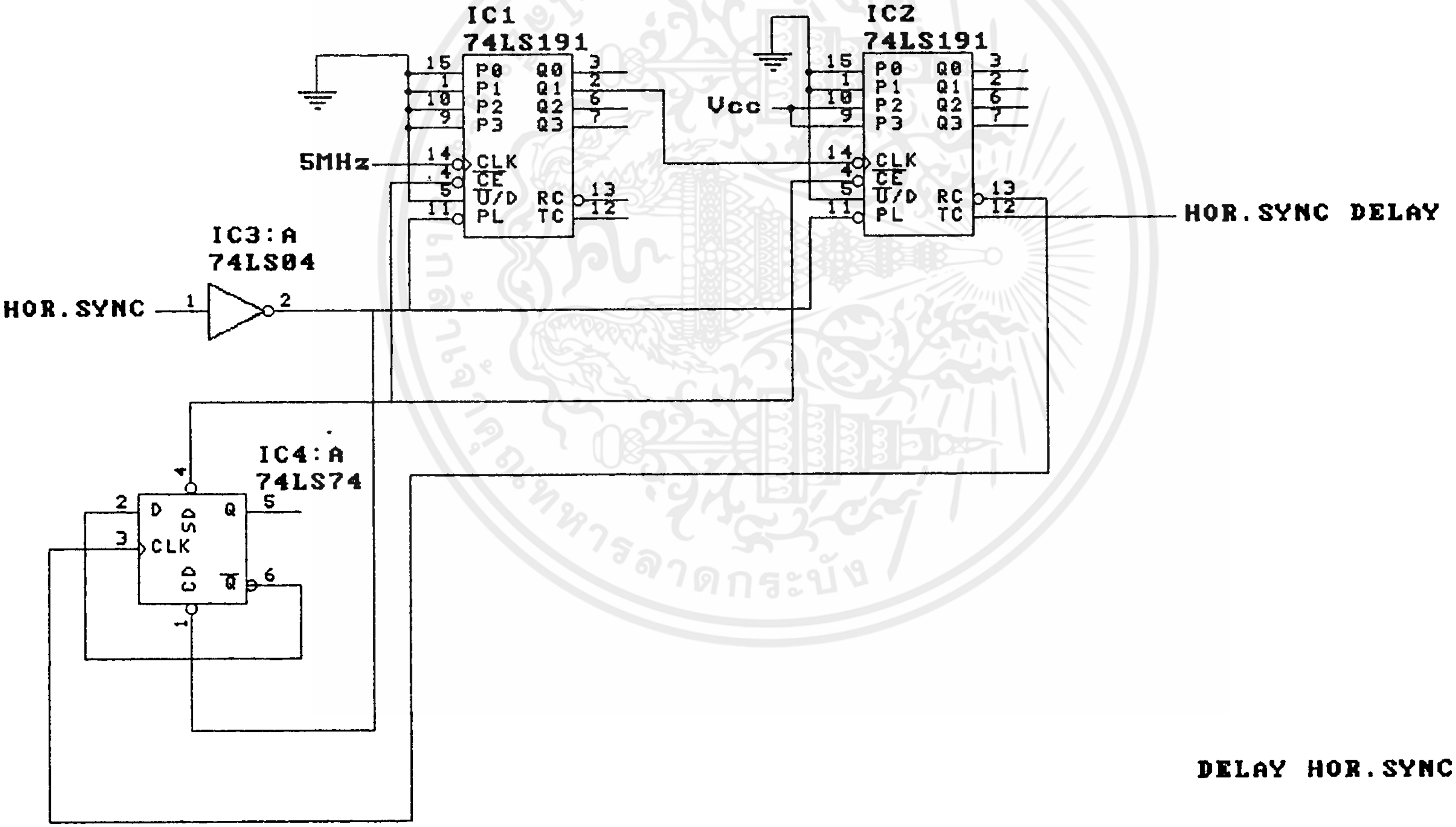
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



74LS191 U/D AND ALL INPUT PINS CONNECT TO GND.

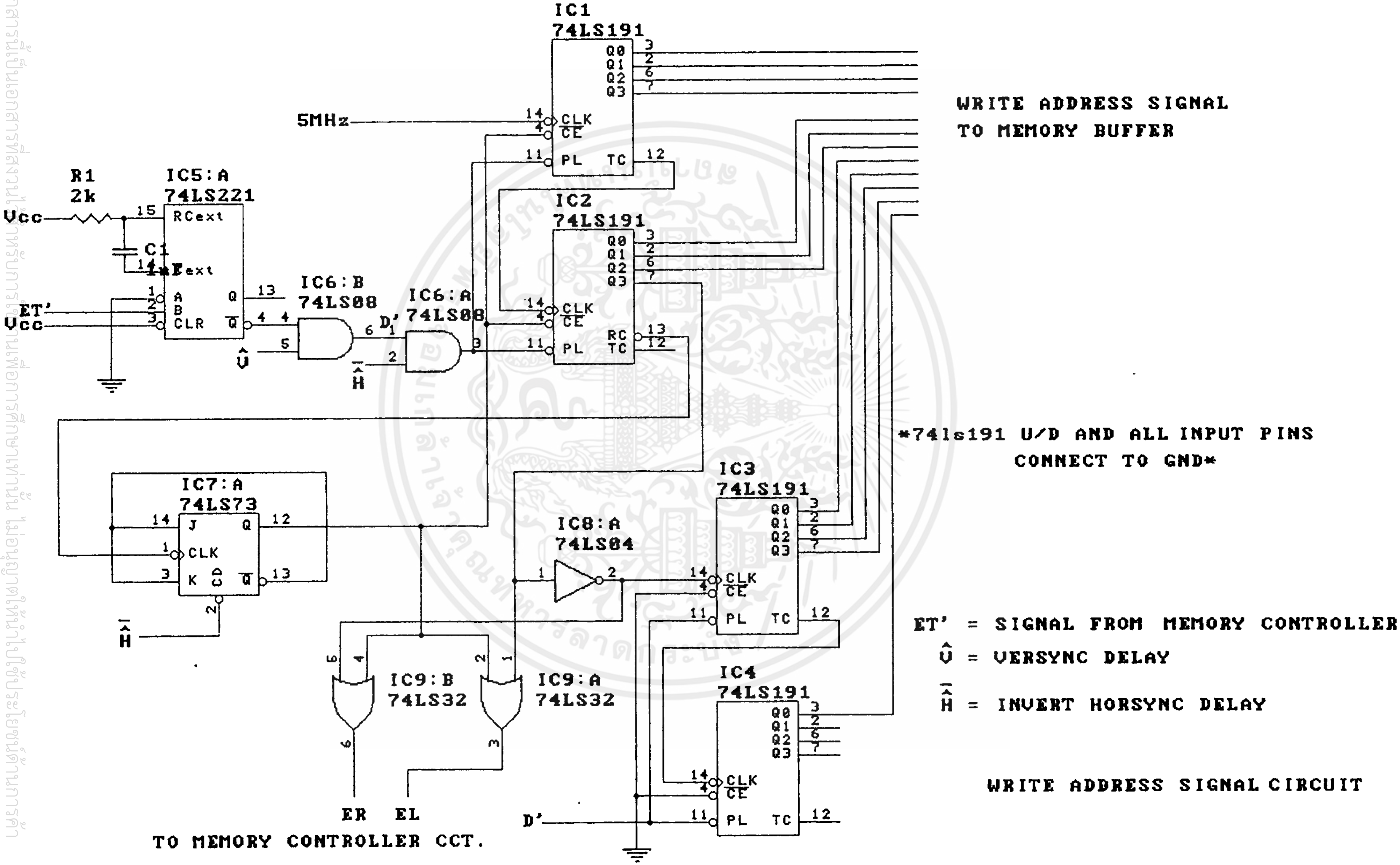
DELAY VER.SYNC CIRCUIT

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



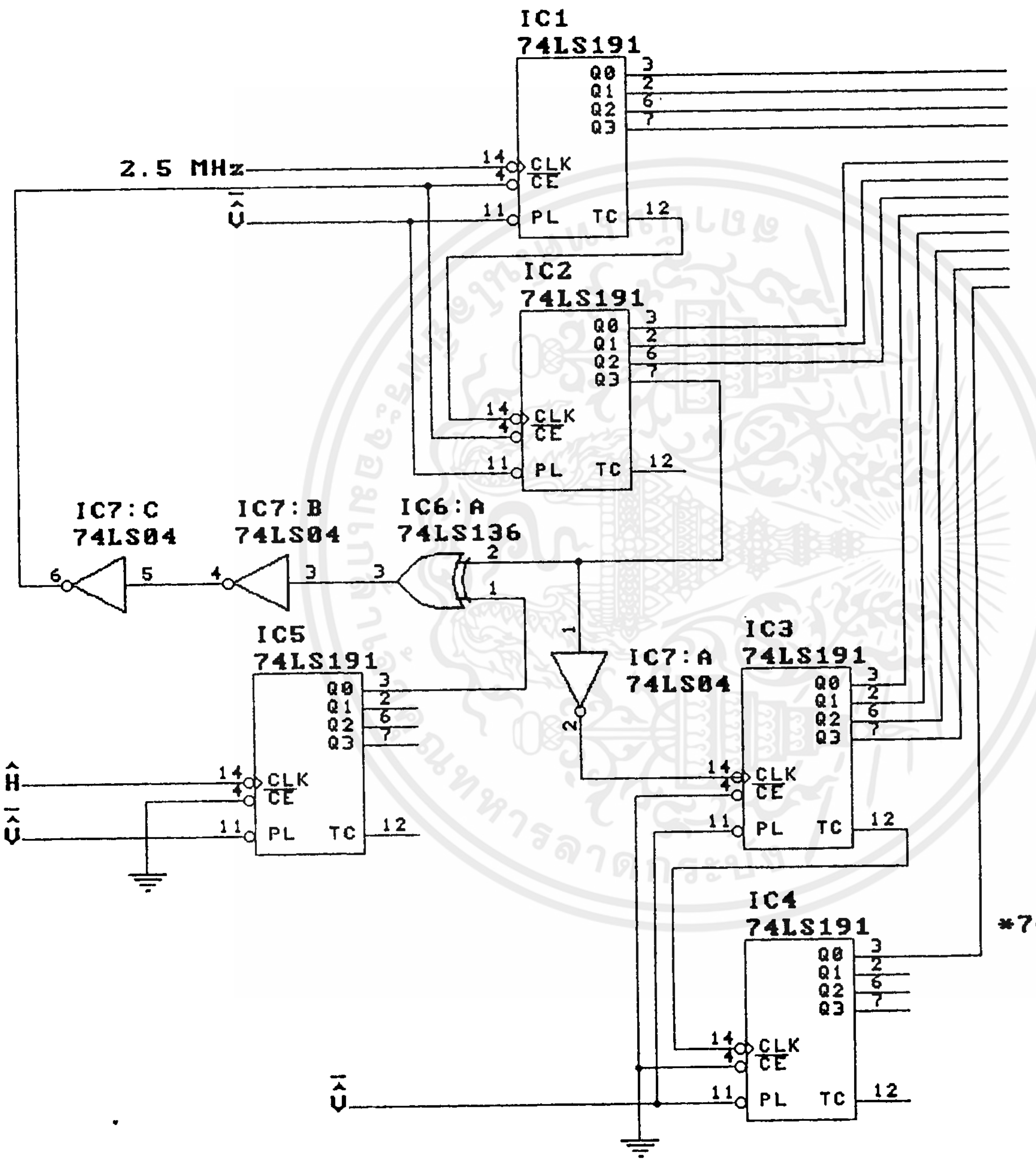
DELAY HOR.SYNC CIRCUIT

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



WRITE ADDRESS SIGNAL CIRCUIT

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



READ ADDRESS SIGNAL
TO MEMORY BUFFER

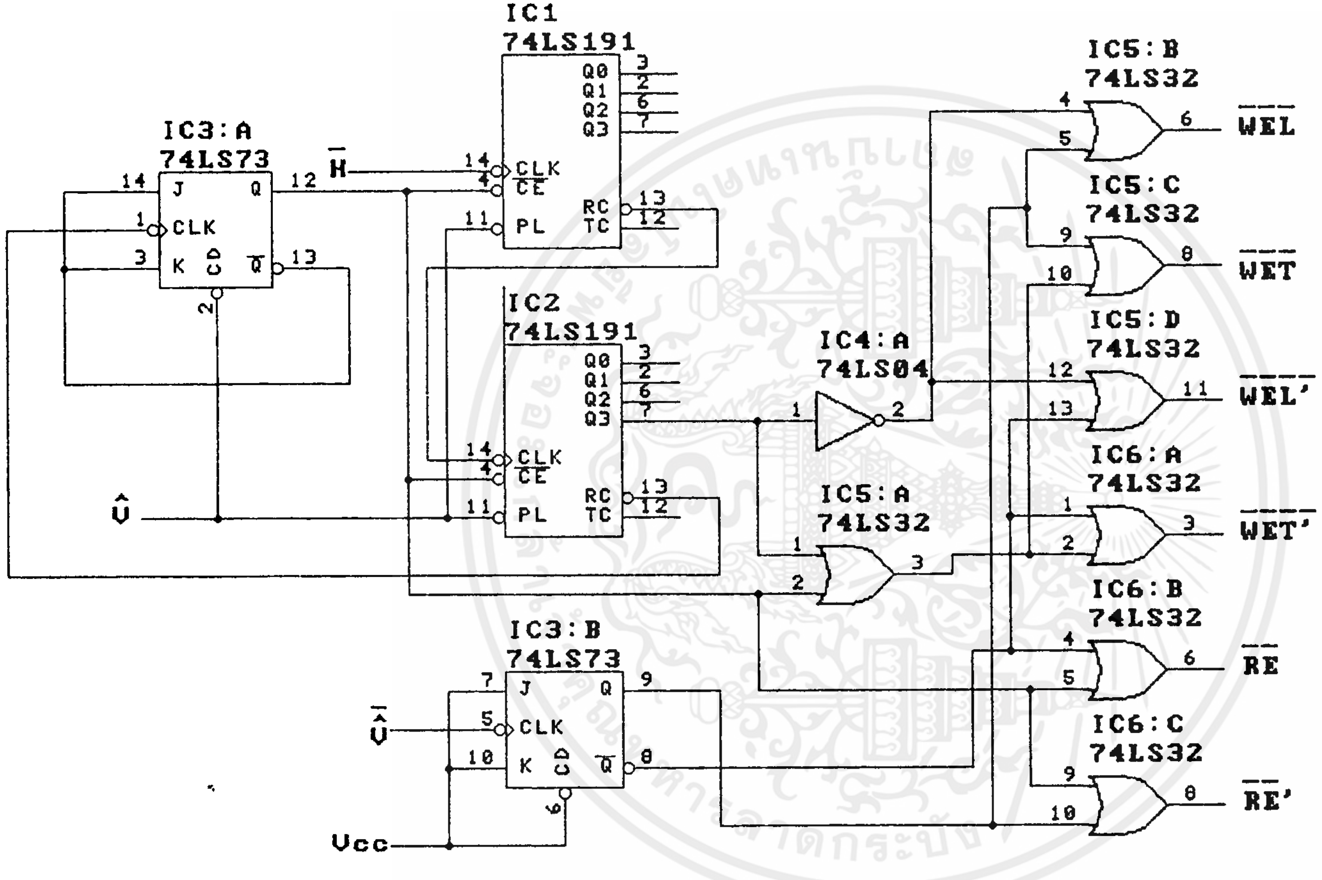
$\hat{\bar{V}}$ = INVERT VERSYNC DELAY

$\hat{H}$ = HORSYNC DELAY

74LS191 U/D AND ALL INPUT PINS CONNECT TO GND

READ ADDRESS SIGNAL CIRCUIT

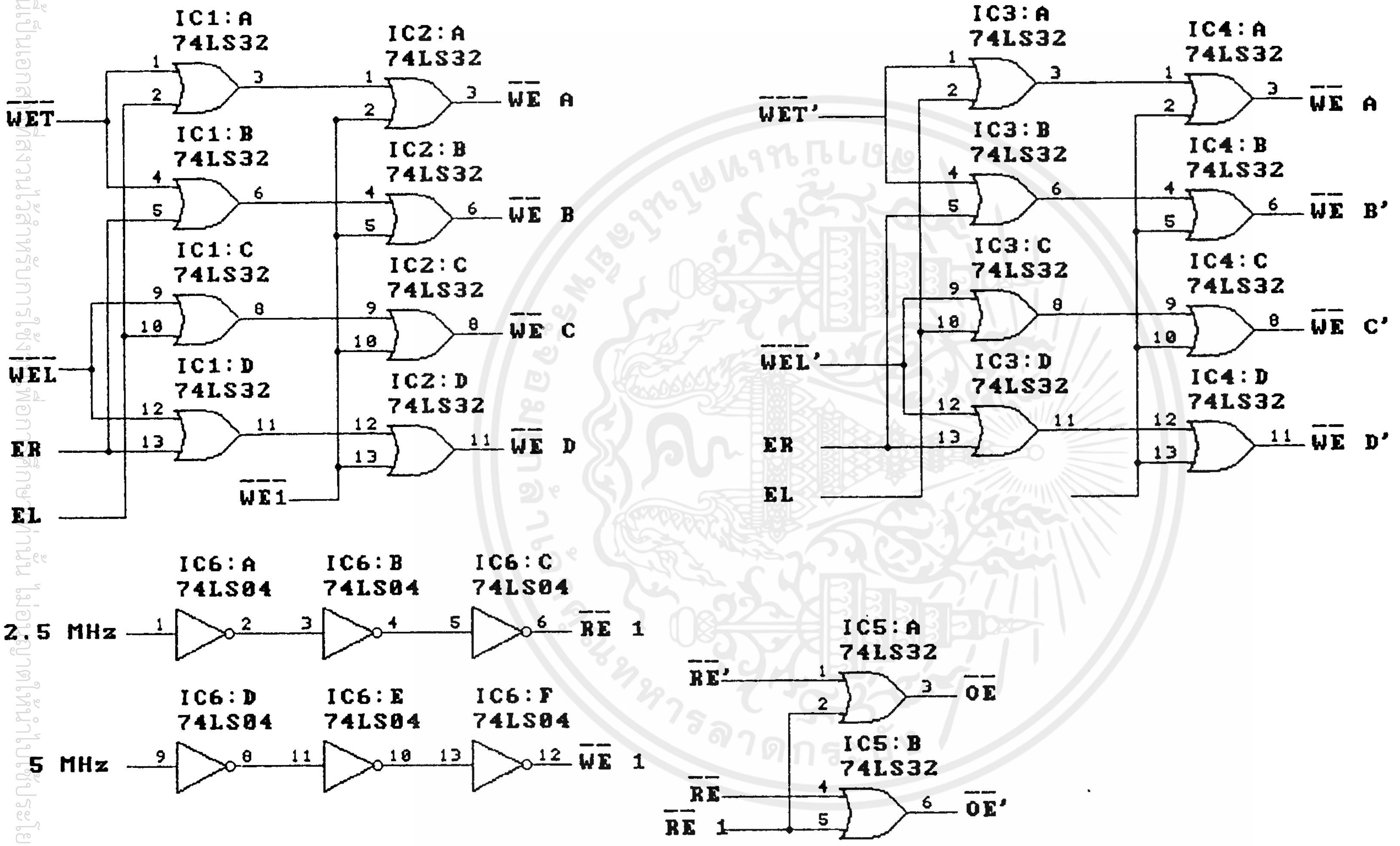
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



74LS191 U/D AND ALL INPUT PINS CONNECT TO GND

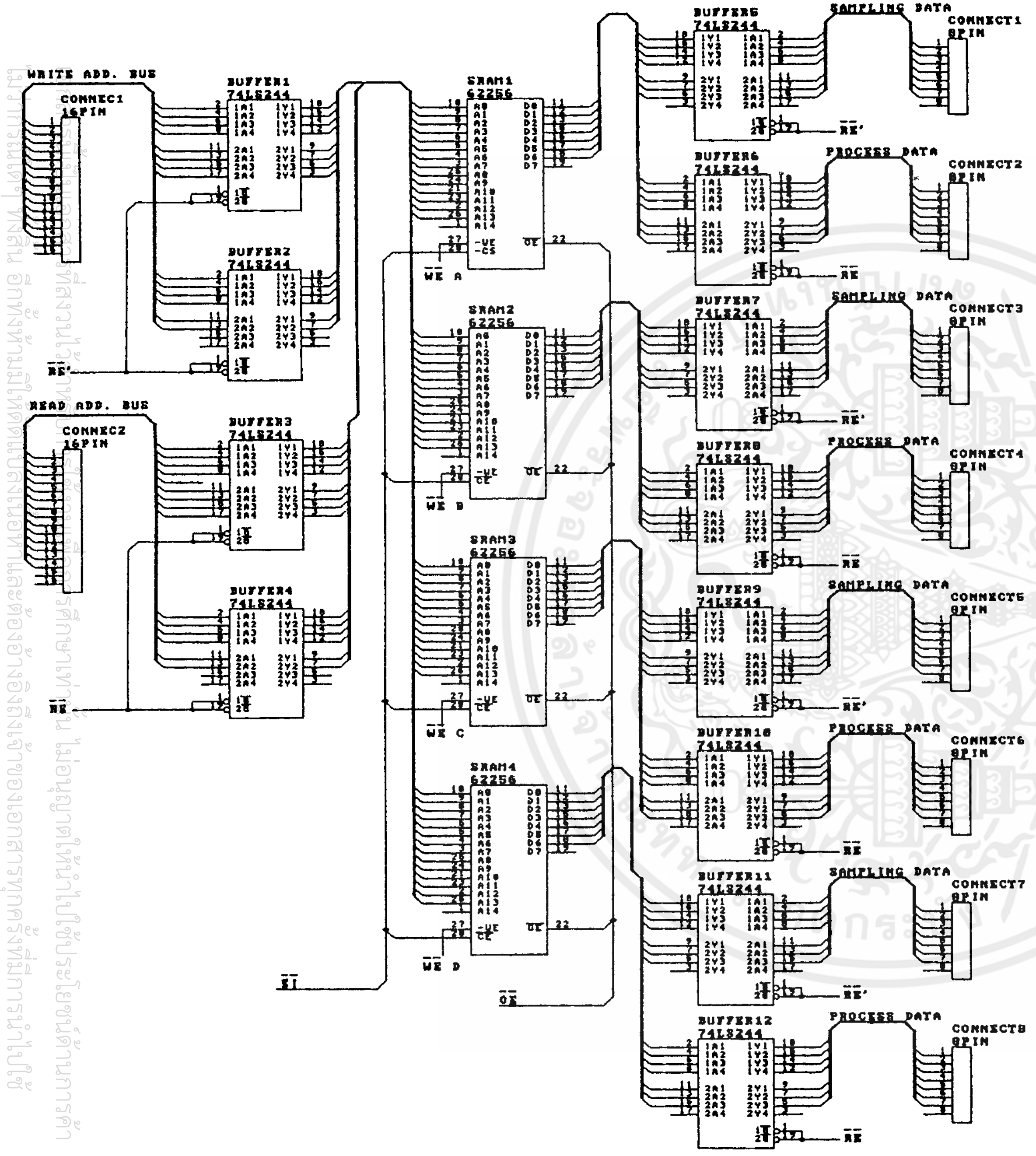
MEMORY CONTROLLED CII

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



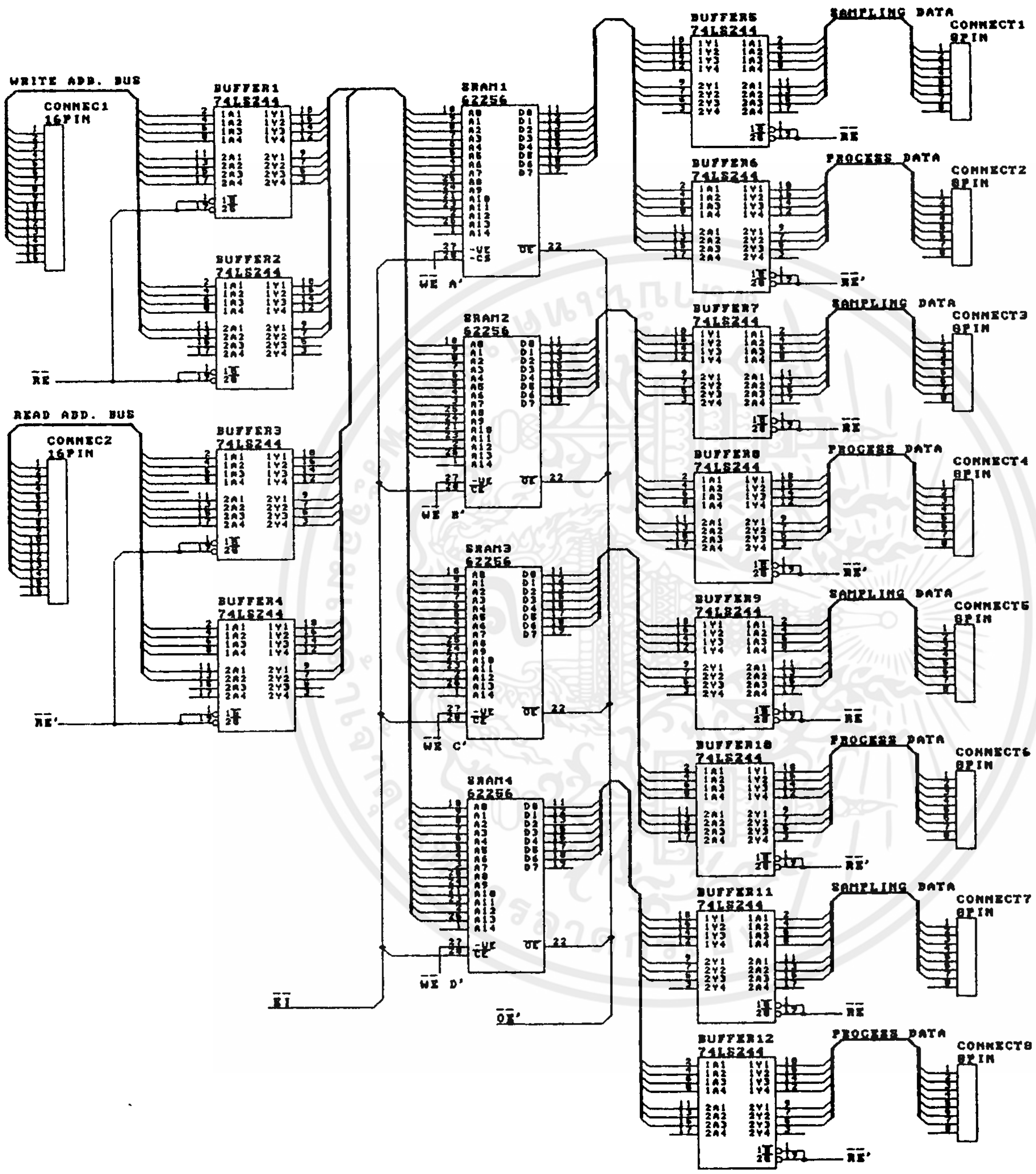
MEMORY CONTROLLED CIRCUIT/2

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



EUEN FEILD
MEMORY CIRCIUT

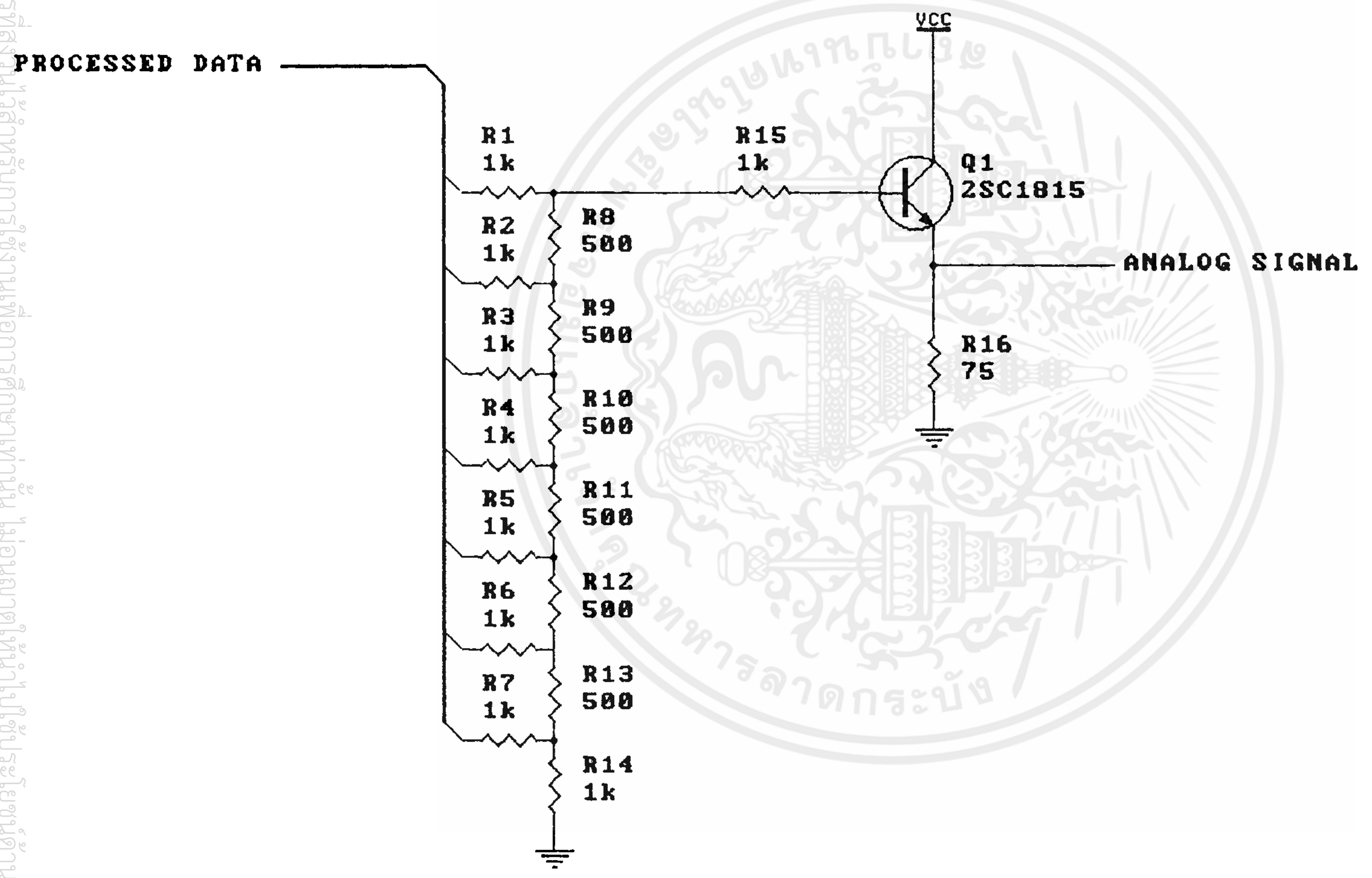
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



ODD FIELD

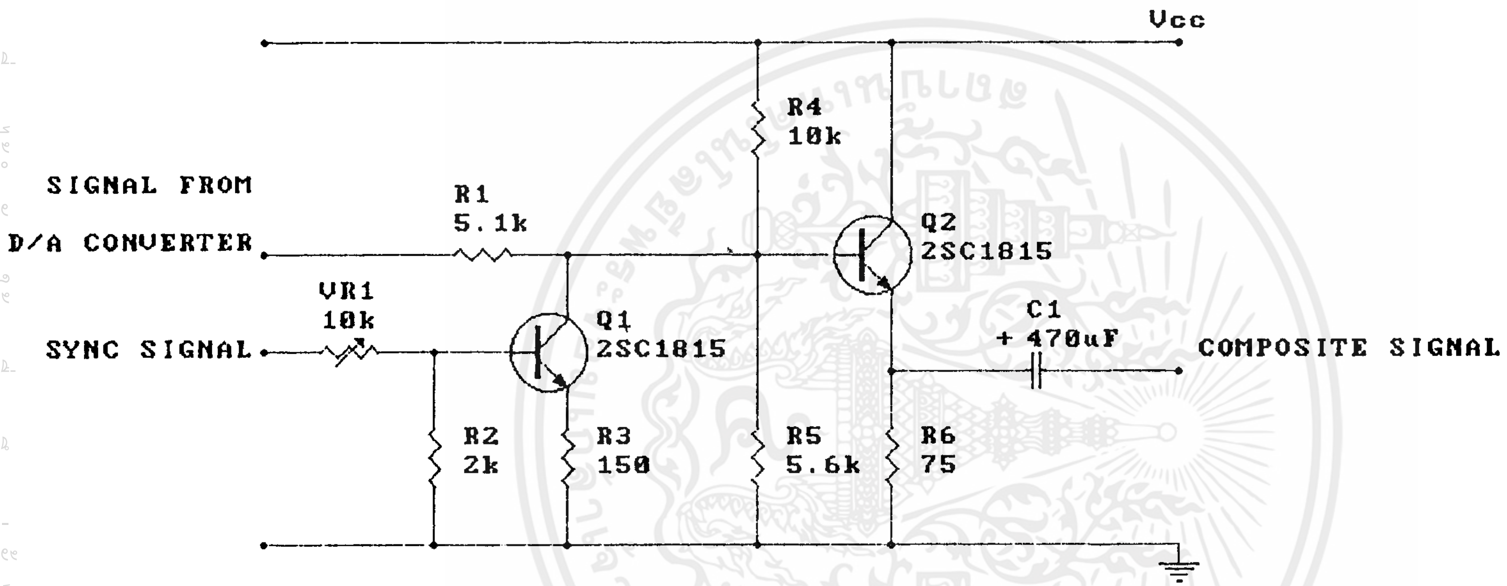
MEMORY CIRCIUT

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



D/A CONVERTER

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



SIGNAL SUMMING CIRCUIT

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

...ice
...M62541
...M65541

Manufacturer Device	Replacement Source	Device

Sony Corporation of America (Cont'd)

Manufacturer Device	Replacement Source	Device
CXK5814P		
	GE/Intersil	IM6116
	GE/RCA	CDM6116

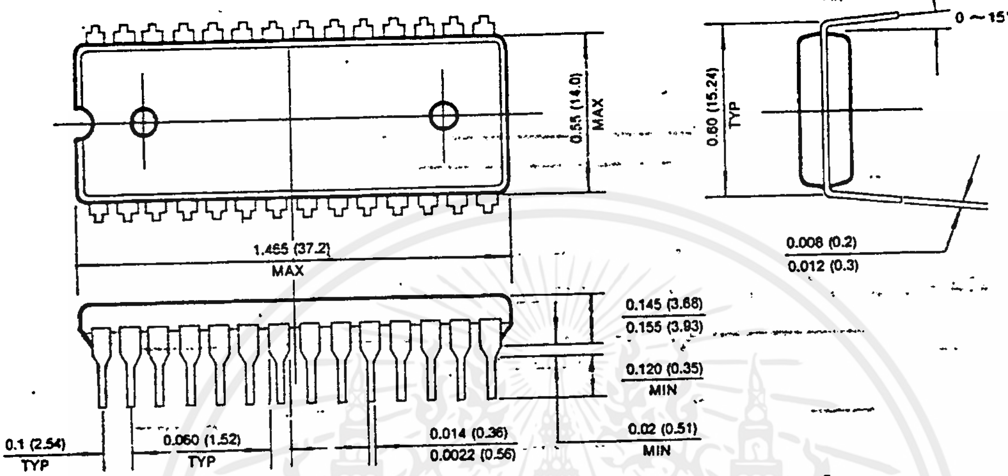
Manufacturer Device	Replacement Source	Device
CXK58255	IDT	
		IDT71256L
		IDT71256S

Manufacturer Device	Replacement Source	Device
CXK5863P		
	MicroLinear	ML6464
	MicronTech	MT5C6404

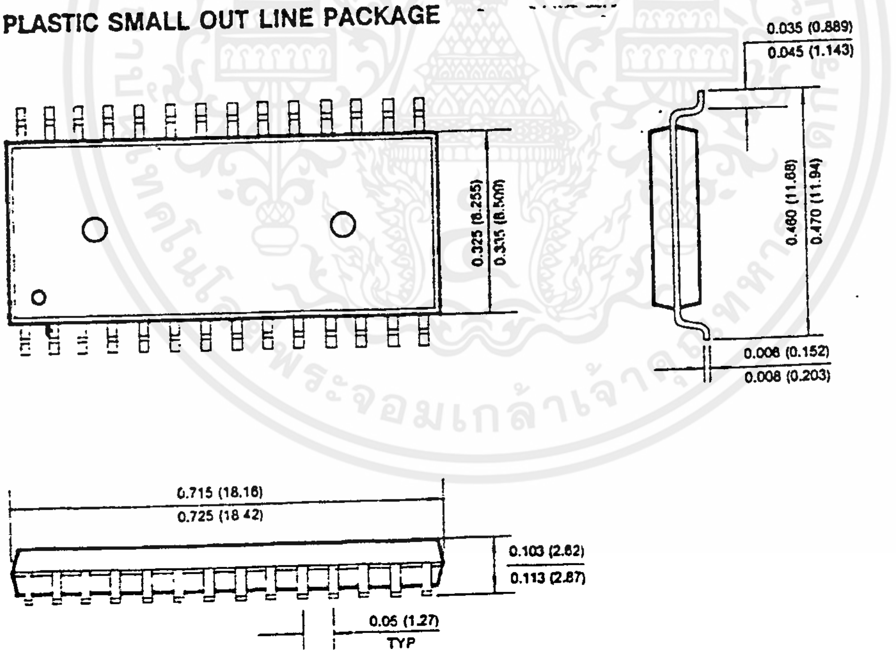
PACKAGE DIMENSIONS

28 PIN PLASTIC DUAL IN LINE PACKAGE

unit: inches (millimeters)



28 PIN PLASTIC SMALL OUT LINE PACKAGE



32K×8 Bit Static RAM

FEATURES

- Fast Access Time 80, 100, 120 ns (max).
- Low Power Dissipation
  - Standby: 0.55mW (max.)
  - Operating: 248mW (max.)
- Low Data Retention Current: 50μA (max.)
- Capability of Battery Back-up Operation
- Data Retention Voltage: 2.0V (min.).
- Single 5V±10% supply
- TTL compatible inputs and outputs
- Pin compatible with 256K EPROMS
- Fully Static Operation
  — No clock or refresh required
- Standard 28-pin DIP (600 mil) and 28-pin SOP (330 mil)
- Common I/O, Tristate Output

GENERAL DESCRIPTION

The KM62256A/AL is a 262, 144 bit high speed Static Random Access Memory organized as 32,768 words by 8 bits.

This device is fabricated using advanced SST'S CMOS technology with polysilicon resistors.

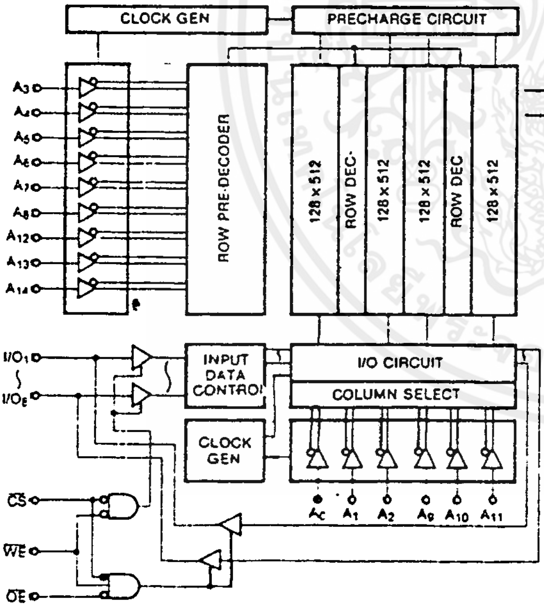
The KM62256A/AL has an output enable for precise control of the data output.

It also has a chip enable for the minimum current power down mode. The KM62256A/AL has been designed for high speed and low power applications. It is particularly well suited for battery back up non-volatile memory applications.

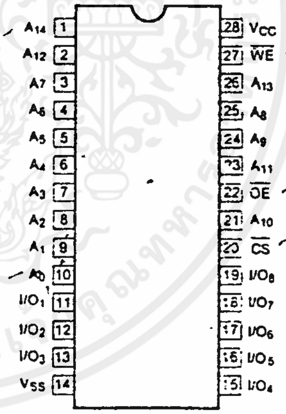
Two versions are available the KM62256A- and KM62256AL. The L-version is specified with lower standby and data retention currents than the standard version.

Otherwise the two version are identical.

FUNCTIONAL BLOCK DIAGRAM



PIN CONFIGURATION



Pin Name	Pin Function
$A_0 \sim A_{14}$	Address Inputs
$\overline{WE}$	Write Enable
$\overline{CS}$	Chip Select
$\overline{OE}$	Output Enable
$I/O_1 \sim I/O_8$	Data Inputs/Outputs
V_{CC}	+5V Power Supply
V_{SS}	Ground

ABSOLUTE MAXIMUM RATINGS (See Note)*

Rating	Symbol	Value	Units
Voltage on any Pin Relative to V_{SS}	V_{IN}, V_{OUT}	-0.3 to $V_{CC}+0.5$	V
Voltage on V_{CC} Supply Relative to V_{CC}	V_{CC}	-0.5 to $+7.0$	V
Power Dissipation	P_D	1.0	W
Storage Temperature	T_{stg}	-55 to $+125$	°C
Operating Temperature	T_A	0 to $+70$	°C

*Note: Stresses greater than those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. This is a stress rating only and functional operation of the device at these or any other conditions above those indicated in the operational sections of this specification is not implied. Exposure to absolute maximum rating conditions for extended periods may affect reliability.

RECOMMENDED OPERATING CONDITIONS ($T_A=0°C$ to $70°C$)

Parameter	Symbol	Min	Typ	Max	Unit
Supply Voltage	V_{CC}	4.5	5.0	5.5	V
Ground	V_{SS}	0	0	0	V
Input High Voltage	V_{IH}	2.2	—	$V_{CC}+0.5$	V
Input Low Voltage	V_{IL}	-0.3*	—	0.8	V

* Note: $V_{IL}(min)=-3.0V$ for $\leq$50ns pulse

DC AND OPERATING CHARACTERISTICS

($T_A=0°C$ to $70°C$, $V_{CC}=5V\pm10\%$, unless otherwise specified)

Parameter	Symbol	Test Conditions	Device	Min	Typ	Max	Units
Input Leakage Current	I_{LI}	$V_{IN}=V_{SS}$ to V_{CC}				1	µA
Output Leakage Current	I_{LO}	$\overline{CS}=V_{IH}$ or $\overline{OE}=V_{IH}$, $V_{I/O}=V_{SS}$ to V_{CC}				1	µA
Operating Power Supply Current	I_{CC1}	$\overline{CS}=V_{IL}$, $I_{OUT}=0mA$				45	mA
Average Operating Current	I_{CC2}	Min Cycle, 100% Duty $\overline{CS}=V_{IL}$, $I_{OUT}=0mA$			35	70	mA
Standby Power Supply Current	I_{SB}	$\overline{CS}=V_{IH}$				2	mA
	I_{SB1}	$\overline{CS}\geq V_{CC}-0.2V$	KM62256A			1	mA
			KM62256AL		2	100	µA
Output Low Voltage	V_{OL}	$I_{OL}=2.1mA$				0.4	V
Output High Voltage	V_{OH}	$I_{OH}=-1.0mA$		2.4			V

3

CAPACITANCE ($T_A = 25°C$, $V_{CC} = 5V$, f = 1.0 MHz)

Parameter	Symbol	Conditions	Min	Max	Unit
Input Capacitance	C_{IN}	$V_{IN} = 0V$	—	6	pF
Input/Output Capacitance	$C_{I/O}$	$V_{I/O} = 0V$	—	8	pF

Note: Capacitance is periodically sampled and not 100% tested.

AC CHARACTERISTICS
($T_A = 0°C$ to $70°C$, $V_{CC} = 5V \pm 10\%$, unless otherwise specified)

TEST CONDITIONS

Parameter	Value
Input Pulse Levels	0.8 to 2.4V
Input Rise and Fall Times	5 ns
Input and Output Timing Reference Levels	1.5V
Output Load	1 TTL Load and $C_L = 100$ pF (including scope and jig capacitance)

READ CYCLE

Parameter	Symbol	KM62256A-8 KM62256AL-8		KM62256A-10 KM62256AL-10		KM62256A-12 KM62256AL-12		Unit
		Min	Max	Min	Max	Min	Max	
Read Cycle Time	t_{RC}	80		100		120		ns
Address Access Time	t_{AA}		80		100		120	ns
Chip Select to Output	t_{ACS}		80		100		120	ns
Output Enable to Valid Output	t_{OE}		40		50		60	ns
Chip Enable to Low-Z Output	t_{CLZ}	5		10		10		ns
Output Enable to Low-Z Output	t_{OLZ}	5		5		5		ns
Chip Disable to High-Z Output	t_{CHZ}	0	30	0	35	0	40	ns
Output Disable to High-Z Output	t_{OHZ}	0	30	0	35	0	40	ns
Output Hold from Address Change	t_{OH}	5		10		15		ns

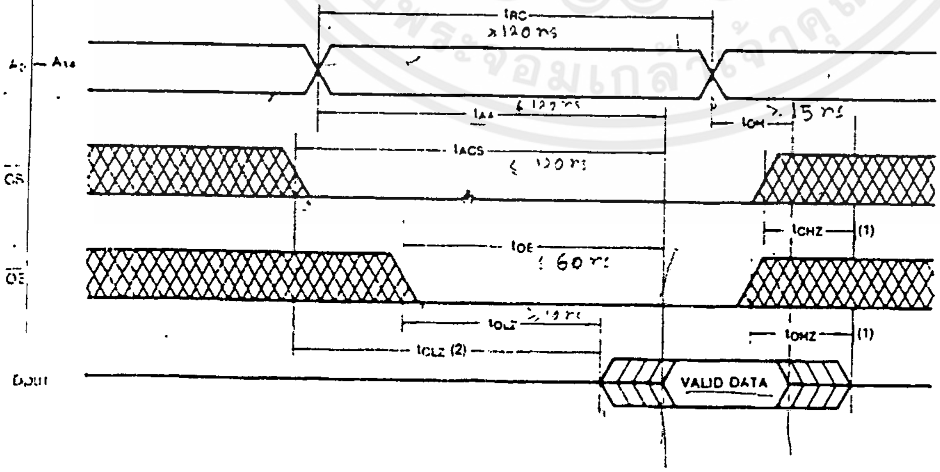
WRITE CYCLE

Parameter	Symbol	KM62256A-8 KM62256AL-8		KM62256A-10 KM62256AL-10		KM62256A-12 KM62256AL-12		Unit
		Min	Max	Min	Max	Min	Max	
Write Cycle Time	t_{WC}	80		100		120		ns
Chip Select to End of Write	t_{CW}	70		80		85		ns
Address Set-up Time	t_{AS}	0		0		0		ns
Address Valid to End of Write	t_{AW}	70		80		85		ns
Write Pulse Width	t_{WP}	55		60		70		ns
Write Recovery Time	t_{WR}	0		5		5		ns
Write to Output High-Z	t_{WHZ}	0	30	0	35	0	40	ns
Data to Write Time Overlap	t_{DW}	40		50		60		ns
Data Hold from Write Time	t_{DH}	0		0		0		ns
End of Write to Output Low-Z	t_{OW}	5		10		10		ns

NOTES:
1. t_{CHZ} and t_{OHZ} are definded as the time at which the outputs achieve the open circuit condition and are not referenced to the V_{OH} or V_{OL} level.
2. At any given temperature and voltage condition, t_{CHZ} max is less then t_{CLZ} min both for a given device and from device to device.
3. $\overline{WE}$ is high for read cycle.
4. Address valid prior to or coincident with $\overline{CS}$ transition low.
5. A write occurs during the overlap (t_{WP}) of a low $\overline{CS}$ and a low $\overline{WE}$.
6. During this period. I/O pins are in the output state. The input signals out of phase must not applied.
7. $\overline{CS}$ or $\overline{WE}$ must be high during address transition.
8. If $\overline{OE}$ is high, I/O pins remain in a high-impedance state
9. $\overline{OE}$ is continuously low. ($\overline{OE} = V_{IL}$)

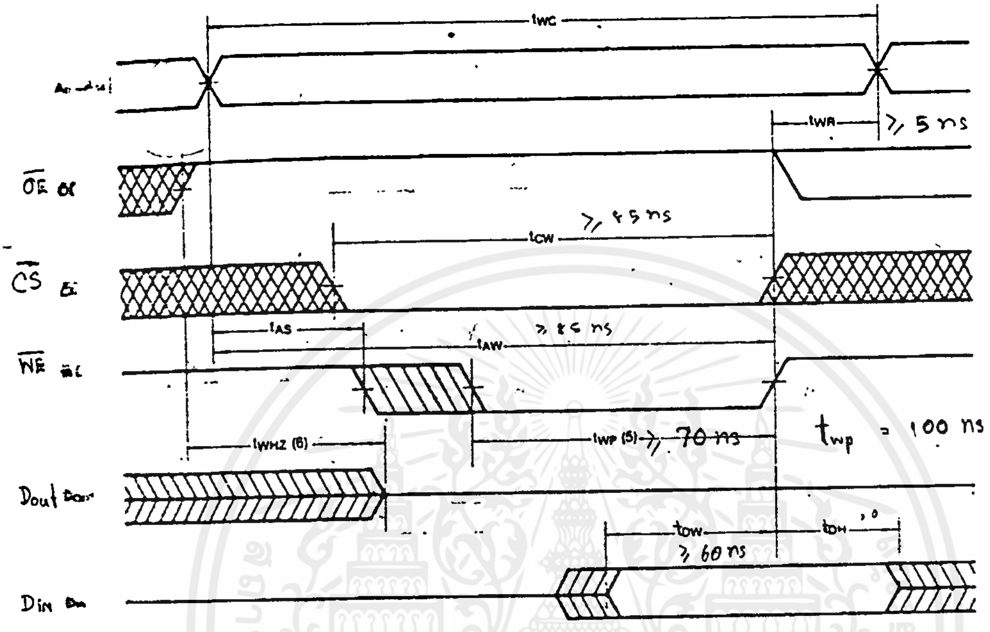
TIMING DIAGRAMS

READ CYCLE (NOTE 1,2,3,4)

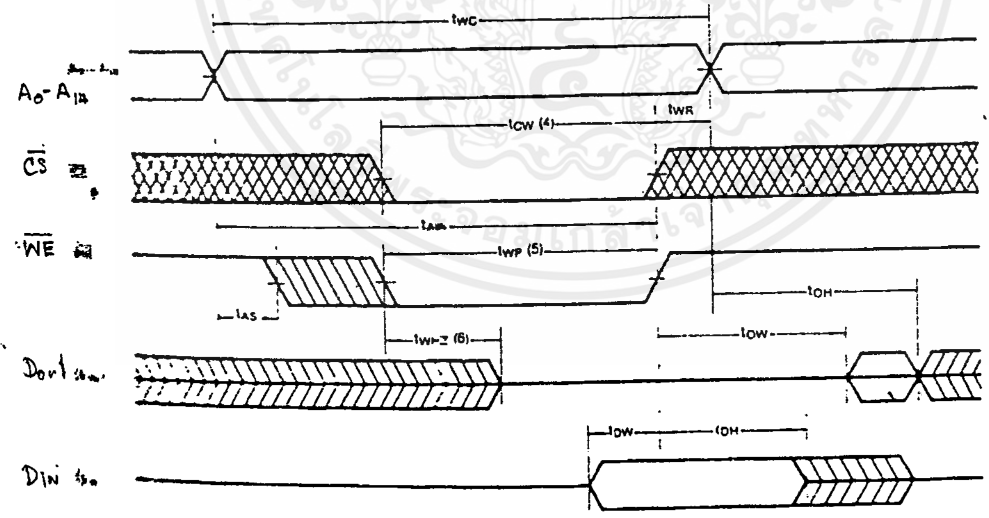


TIMING DIAGRAMS (Continued)

WRITE CYCLE 1 ($\overline{OE}$ Clocked) (NOTE 5,6,7,8)



WRITE CYCLE 2 ($\overline{OE}$ Low Fixed) (NOTE 5,6,7,8,9)



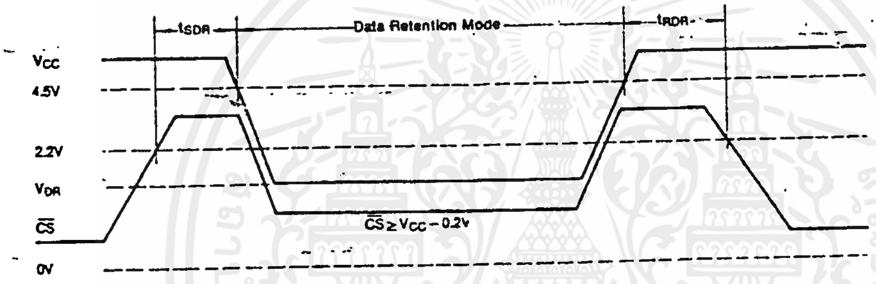
DATA RETENTION CHARACTERISTICS ($T_A = 0°C$ to $+70°C$)

(This characteristic is guaranteed only for L-version)

Parameter	Symbol	Test Condition	Min	Typ	Max	Units
V_{CC} for Data Retention	V_{DR}	$\overline{CS} \geq V_{CC} - 0.2V$	2.0		5.5	V
Data Retention Current	I_{DR}	$V_{CC} = 3.0V$ $\overline{CS} \geq V_{CC} - 0.2V$		1	50	μA
Data Retention Set-up Time	t_{SDR}	See Data Retention Wave forms (below)	0			ns
Recovery Time	t_{RDR}		t_{RC}*			ns

* t_{RC} = Read Cycle Time

DATA RETENTION WAVEFORM

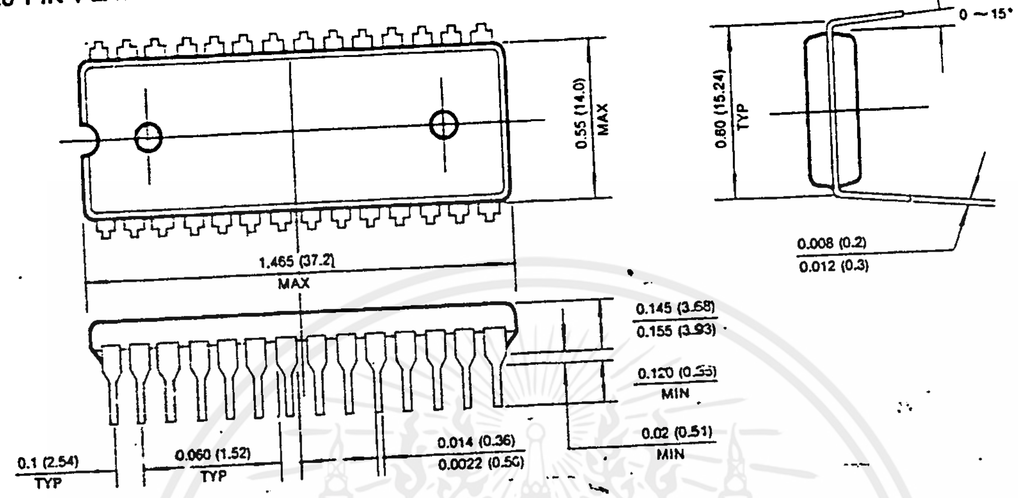


Note: The Other inputs (Address, $\overline{OE}$, $\overline{WE}$, I/O) can be in a high impedance state

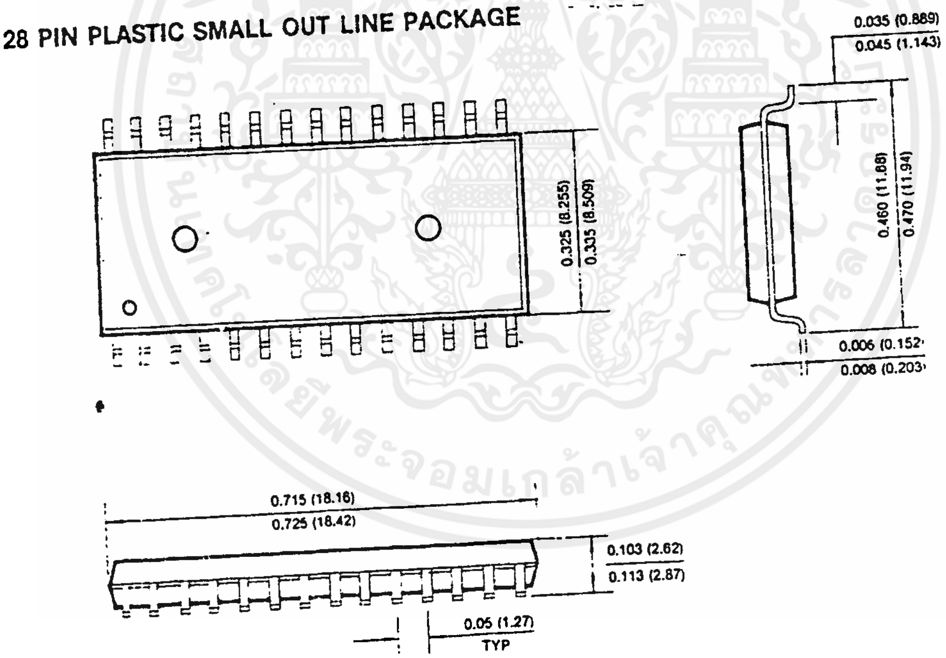
PACKAGE DIMENSIONS

28 PIN PLASTIC DUAL IN LINE PACKAGE

unit: inches (millimeters)



28 PIN PLASTIC SMALL OUT LINE PACKAGE



CMOS Video Speed 6-Bit Flash Analog-to-Digital Converter

For Use in Low-Power Consumption, High-Speed Digitization Applications

Features:
- *CMOS low power with speed*
- *Parallel conversion technique*
- *15-MHz sampling rate (66-ns conversion time)*
- *6-bit latched 3-state output with overflow bit*
- *±½ LSB accuracy*
- *Single supply voltage (3 to 10 V)*
- *2 units in series allow 7-bit output*
- *2 units in parallel allow 30-MHz sampling rate*
- *Internal V_{REF} with ext V_{REF} option*
- *Available with EVP processing for improved reliability*

The RCA-CA3300 types are CMOS 50-mW parallel (FLASH) analog-to-digital converters designed for applications demanding both low-power consumption and high-speed digitization.

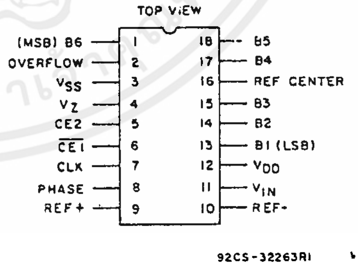
The CA3300 types operate over a wide full-scale input-voltage range of 2.4 volts up to the dc supply voltage with maximum power consumption as low as 50 to 200 mW, depending upon the clock frequency selected When operated from a 5-volt supply at a clock frequency of 11 MHz, the power consumption of the CA3300 is less than 50 mW. When operated from an 8-volt supply at a frequency of 15 MHz, the power consumption is less than 150 mW.

The intrinsic high conversion rate makes the CA3300 types ideally suited for digitizing high-speed signals. The overflow bit makes possible the connection of two or more CA3300's in series to increase the resolution of the conversion system. A series connection of two CA3300's may be used to produce a 7-bit high-speed converter. Operation of two CA3300's in parallel doubles the conversion speed (i.e., increases the sampling rate from 15 to 30 MHz). CA3300's in parallel may be combined with a high-speed 6-bit D/A converter, a binary adder, control logic, and an op amp to form a very-high-speed A/D converter.

Sixty-four paralleled auto-balanced voltage comparators measure the input voltage with respect to a known reference to produce the parallel-bit outputs in the CA3300. Sixty-three comparators are required to quantize all input voltage levels in this 6-bit converter, and the additional comparator is required for the overflow bit.

The CA3300 types are available as follows: Types CA3300D and CA3300DX in an 18-lead dual-in-line ceramic package (D suffix), types CA3300E and CA3300CE in an 18-lead dual-in-line plastic package (E suffix), or in chip form (H suffix). The CA3300DX offers the additional advantage of improved reliability as a result of EVP (Extra Value Program) processing. For further information on EVP, see RCA publication EVP-300B or contact your RCA representative.

Applications:
- *The CA3300 types are especially suited for high-speed conversion applications where low power is also important*
- *TV video digitizing (industrial/security)*
- *High-speed A/D conversion*
- *Ultrasound signature analysis*
- *Transient signal analysis*
- *High-energy physics research*
- *High-speed oscilloscope storage/display*
- *General-purpose hybrid ADC's*
- *Optical character recognition*
- *Radar pulse analysis*
- *Motion signature analysis*



TERMINAL ASSIGNMENT

CA3300

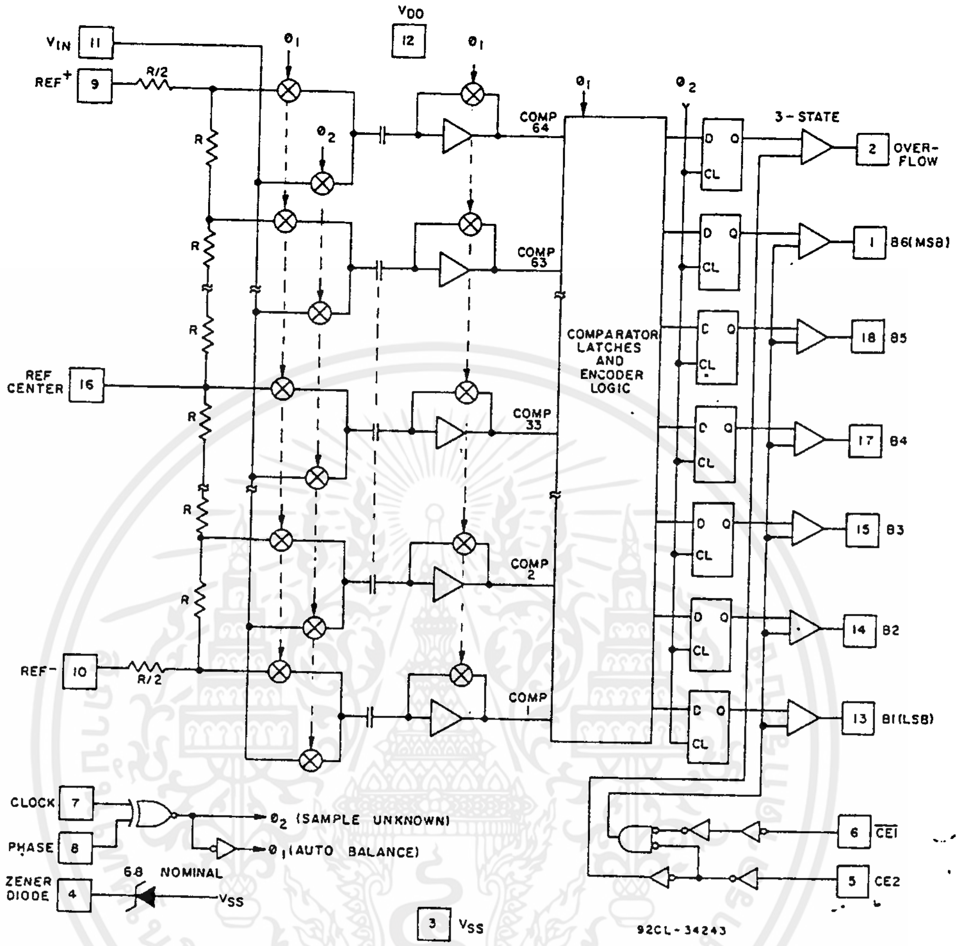


Fig. 1 - Block diagram for the CA3300.

MAXIMUM RATINGS, *Absolute-Maximum Values:*

DC SUPPLY VOLTAGE RANGE (V_{DD})	
(VOLTAGE REFERENCED TO V_{SS} TERMINAL)	-0.5 to 10 V
INPUT VOLTAGE RANGE	
ALL INPUTS EXCEPT ZENER (PIN 4)	-0.5 to V_{DD} +0.5 V
DC INPUT CURRENT	
CLK, PH, $\overline{CE1}$, CE2, V_{IN}	± 10 mA
POWER DISSIPATION PER PACKAGE (P_D)	
FOR T_A = -55 to +55°C	315 mW
FOR T_A = +55°C to +125°C	Derate linearly at 3.3 mW/°C
TEMPERATURE RANGE	
OPERATING (CA3300DX, Refer to Fig. 3)	-55 to +125°C
OPERATING (CA3300D, E, CE)	-40 to +85°C
STORAGE	-65 to +150°C
LEAD TEMPERATURE (DURING SOLDERING)	
At distance 1/16 ± 1/32 in. (1.59 ± 0.79 mm) from case for 10 s max.	+265°C

ELECTRICAL CHARACTERISTICS

CHARACTERISTIC	TEST CONDITIONS @ 25°C	LIMITS CA3300D, DX, E MIN.	TYP.	MAX.	UNITS
Resolution		—	—	6	Bits
Linearity Error	V_{DD}=8 V, V_{REF}=7.68 V CLK=15 MHz, gain adjusted	—	±0.5	±0.8	LSB
Differential Linearity Error	V_{DD}=8 V, V_{REF}=7.68 V CLK=15 MHz	—	±0.5	±0.8	LSB
Quantizing Error		-½	—	½	LSB
Analog Input: Full Scale Range	V_{DD}=8 V CLK=15 MHz	2.4	—	V_{DD}+0.5	V
Input Capacitance		—	50	—	pF
Input Current		—	600	1000	μA
Gain Temperature Coefficient	V_{DD}=8 V, CLK=15 MHz	—	0.016	—	LSB/°C
Maximum Conversion Speed	V_{DD}=5 V	—	12M	—	SPS
	V_{DD}=8 V	15M	19M	—	SPS
Device Current (Excludes I_{REF}, I_Z)	V_{DD}=5 V (CLK=11 MHz)	—	7	—	mA
	V_{DD}=8 V (CLK=15 MHz)	—	22	—	mA
	V_{DD}=5 V (Auto Balance State)	—	6.4	16	mA
	V_{DD}=8 V (Auto Balance State).	—	24	40	mA
Ladder Impedance		1000	1400	1800	Ω
Digital Inputs: Low Voltage	V_{DD}=5 V	—	—	1.5	V
	V_{DD}=8 V	—	—	2.5	V
High Voltage	V_{DD}=5 V	3.5	—	—	V
	V_{DD}=8 V	5.5	—	—	V
Input Current	V_{DD}=8 V	—	±1	—	μA
Digital Outputs: Output Low (Sink) Current	V_{DD}=5 V, V_O=0.4 V	1.6	10	—	mA
	V_{DD}=8 V, V_O=0.5 V	3.2	15	—	mA
Output High (Source) Current	V_{DD}=5 V, V_O=4.6 V	-0.8	6	—	mA
	V_{DD}=8 V, V_O=7 5 V	-1.6	9	—	mA
Zener Voltage	I_Z=10 mA	6.2	6.8	7.4	V
Zener Dynamic Impedance	I_Z=10 mA	—	10	30	Ω
Zener Temperature Coefficient		—	0.5	—	mV/°C
Digital Output Delay, t_d	V_{DD}=8 V	—	20	—	ns
Aperture Time	V_{DD}=8 V	—	25	—	ns

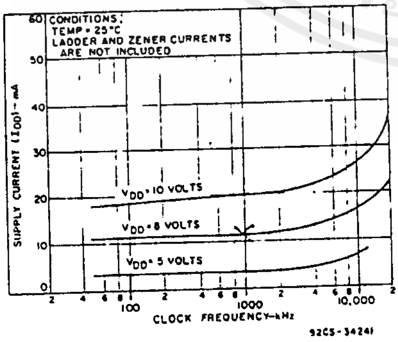


Fig. 2 - Typical current drain versus sampling rate as a function of supply voltage.

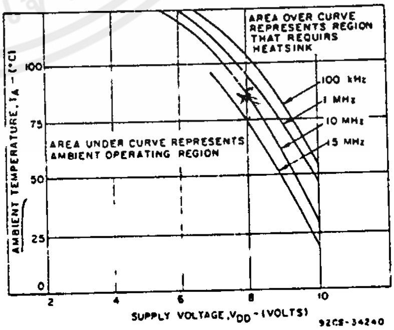


Fig. 3 - Maximum ambient temperature versus supply voltage. (Above curve includes ladder dissipation but not the zener dissipation.)

CA3300

ELECTRICAL CHARACTERISTICS

CHARACTERISTIC	TEST CONDITIONS @ 25°C	LIMITS CA3300CE MIN.	TYP.	MAX.	UNITS
Resolution		—	—	6	Bits
Linearity Error	V_{DD}=8 V, V_{REF}=7.68 V CLK=9 MHz, gain adjusted	—	±0.5	±0.8	LSB
Differential Linearity Error	V_{DD}=8 V, V_{REF}=7.68 V CLK=9 MHz	—	±0.5	±0.8	LSB
Quantizing Error		-½	—	½	LSB
Analog Input: Full Scale Range Input Capacitance Input Current	V_{DD}=8 V CLK=9 MHz	 2.4 — —	 — 50 450	 V_{DD}+0.5 — 1000	 V pF μA
Gain Temperature Coefficient	V_{DD}=8 V, CLK=9 MHz	—	0.016	—	LSB/°C
Maximum Conversion Speed	V_{DD}=5 V V_{DD}=8 V	6M 9M	— 19M	— —	SPS
Device Current (Excludes I_{REF}, I_Z)	V_{DD}=5 V (CLK=7 MHz) V_{DD}=8 V (CLK=9 MHz) V_{DD}=5 V (Auto Balance State) V_{DD}=8 V (Auto Balance State)	— — — —	4 12 6.4 24	— — 16 40	mA
Ladder Impedance		1000	1400	1800	Ω
Digital Inputs: Low Voltage High Voltage Input Current	 V_{DD}=5 V V_{DD}=8 V V_{DD}=5 V V_{DD}=8 V V_{DD}=8 V	 — — 3.5 5.5 —	 — — — — ±1	 1.5 2.5 — — —	 V V μA
Digital Outputs: Output Low (Sink) Current Output High (Source) Current	 V_{DD}=5 V, V_O=0.4 V V_{DD}=8 V, V_O=0.5 V V_{DD}=5 V, V_O=4.6 V V_{DD}=8 V, V_O=7.5 V	 1.6 3.2 -0.8 -1.6	 10 15 6 9	 — — — —	mA
Zener Voltage	I_Z=10 mA	6.2	6.8	7.4	V
Zener Dynamic Impedance	I_Z=10 mA	—	10	30	Ω
Zener Temperature Coefficient		—	0.5	—	mV/°C
Digital Output Delay, t_d	V_{DD}=8 V	—	20	—	ns
Aperture Time	V_{DD}=8 V	—	25	—	ns

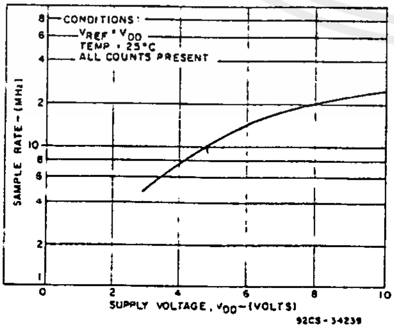


Fig. 4 - Typical maximum sample rate versus supply voltage.

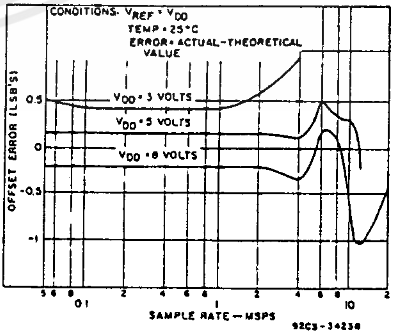


Fig. 5 - Typical offset error versus sample rate as a function of supply voltage. (See literature for offset trim.)

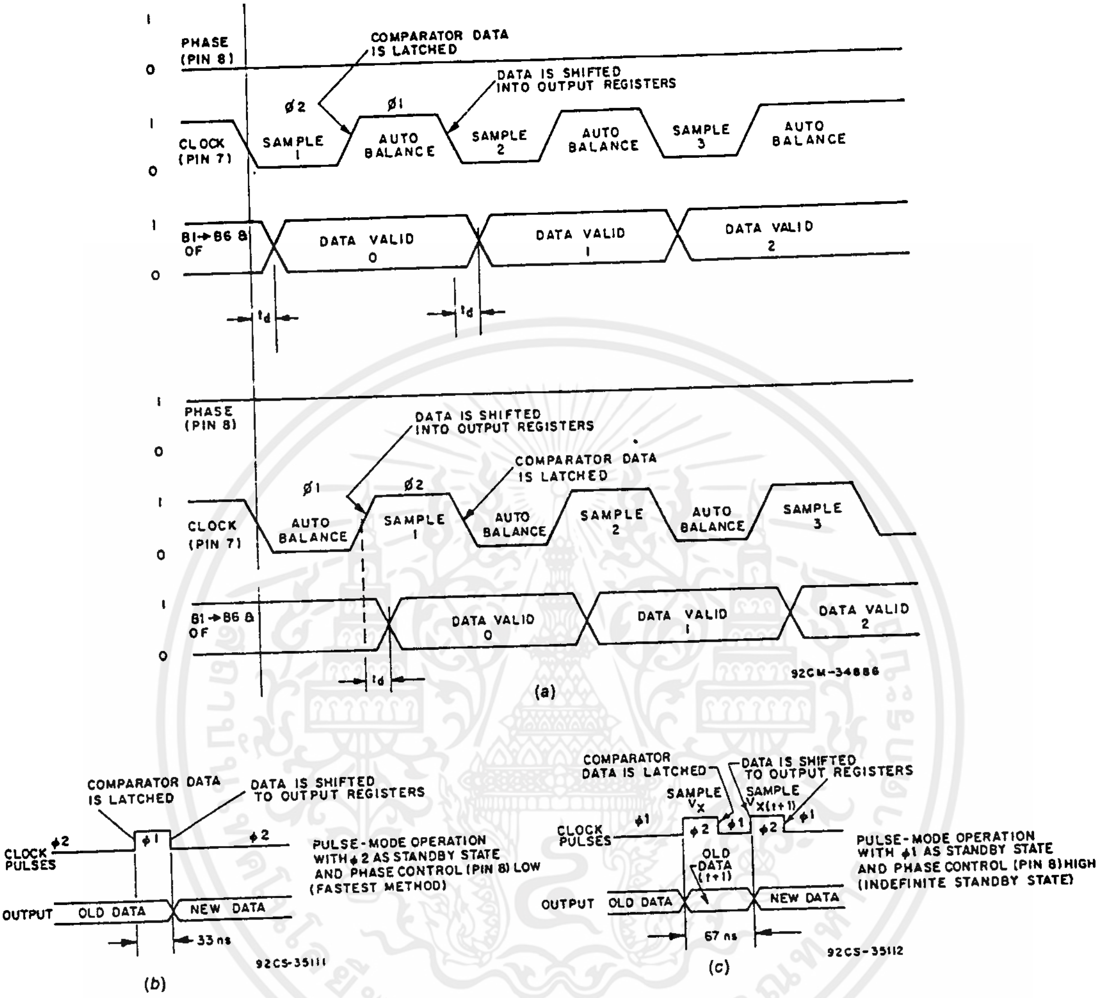


Fig. 6 - Timing diagrams for the CA3300.

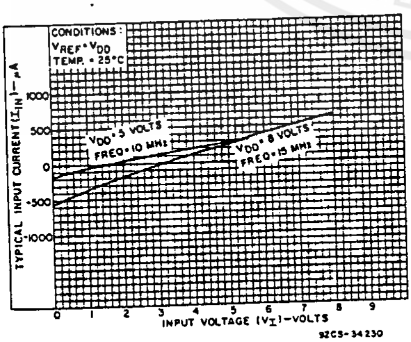


Fig. 7 - Typical input current versus input voltage as a function of supply voltage.

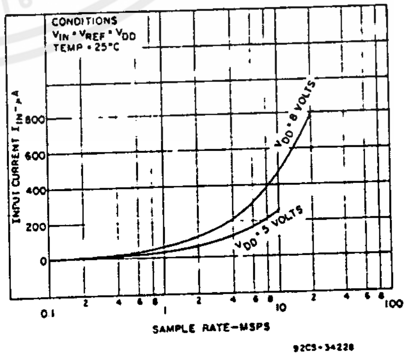


Fig. 8 - Typical input current versus sample rate as a function of supply voltage.

CA3300

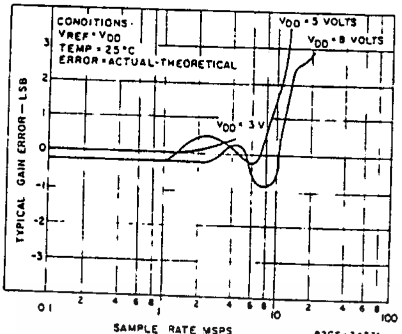


Fig. 9 - Typical gain error versus sample rate as a function of supply voltage. (See literature for gain trim.)

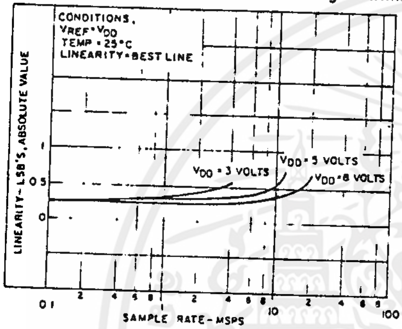


Fig. 10 - Typical linearity versus sample rate as a function of supply voltage.

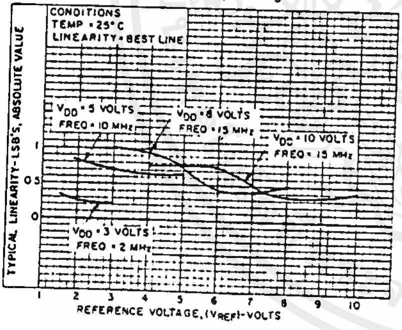


Fig. 11 - Typical linearity versus reference voltage as a function of supply voltage.

Device Operation

A sequential parallel technique is used by the CA3300 converter to obtain its high-speed operation. The sequence consists of the "Auto Balance" phase $\phi 1$ and the "Sample Unknown" phase $\phi 2$. (Refer to the circuit diagram.) Each conversion takes one clock cycle.* With the phase control (pin 8) low, the "Auto Balance" ($\phi 1$) occurs during the High period of the clock cycle, and the "Sample Unknown" ($\phi 2$) occurs during the low period of the clock cycle.

During the "Auto Balance" phase, a transmission switch is used to connect each of 64 commutating capacitors to their associated ladder reference tap. Those tap voltages will be as follows:

$$V_{tap}(N) = [(V_{REF}/64) \times N] - [V_{REF}/(2 \times 64)]$$
$$= V_{REF}[(2N - 1)/128]$$

Where: $V_{tap}(n)$ = reference ladder tap voltage at point n

V_{REF} = voltage across R^- to R^+

N = tap number (1 through 64)

The other side of the capacitor is connected to a single stage amplifier whose output is shorted to its input by a switch. This biases the amplifier at its intrinsic trip point, which is approximately, $(V_{DD}-V_{SS})/2$. The capacitors now charge to their associated tap voltages, priming the circuit for the next phase.

In the "Sample Unknown" phase, all ladder tap switches are opened, the comparator amplifiers are no longer shorted, and V_{IN} is switched to all 64 capacitors. Since the other end of the capacitor is now looking into an effectively open circuit, any voltage that differs from the previous tap voltage will appear as a voltage shift at the comparator amplifiers. All comparators with tap voltages greater than V_{IN} will drive the comparator outputs to a "low" state, all comparators with tap voltage lower than V_{IN} will drive the comparator outputs to a "high" state.

The status of all these comparator amplifiers are stored at the end of this phase ($\phi 2$), by a secondary latching amplifier stage. Once latched, the status of the 64 comparators is decoded by a 64-to 7-bit decode array and the results are clocked into a storage register at the rising edge of the next $\phi 2$.

A 3-state buffer is used at the output of the 7 storage registers which are controlled by two chip-enable signals. $\overline{CE1}$ will independently disable B1 through B6 when it is in a high state. CE2 will independently disable B1 through B6 and the OF buffers when it is in the low state.

To facilitate usage of this device a phase-control input is provided which can effectively complement the clock as it enters the chip. Also, an on-board zener is provided for use as a reference voltage.

Continuous Clock Operation

One complete conversion cycle can be traced through the CA3300 via the following steps. (Refer to timing diagram Fig. 6a.) With the phase control in a 'High' state, the rising edge of the clock input will start a "sample" phase. During this entire 'High' state of the clock, the 64 comparators will track the input voltage and the 64 latches will track the comparator outputs. At the falling edge of the clock, all 64 comparator outputs are captured by the 64 latches. This ends the "sample" phase and starts the "auto balance" phase for the comparators. During this 'Low' state of the clock the output of the latches propagates through the decode array and a 7-bit code appears at the D inputs of the output registers. On the next rising edge of the clock, this 7-bit code is shifted into the output registers and appears with time delay t_d as valid data at the output of the 3-state drivers. This also marks the start of a new "sample" phase, thereby repeating the conversion process for this next cycle.

Pulse Mode Operation

For sampling high-speed nonrecurrent or transient data, the converter may be operated in a pulse mode in one of two ways. The fastest method is to keep the converter in the Sample Unknown phase, $\phi 2$, during the standby state. The

---

*This device requires only a single phase clock. The terminology of $\phi 1$ and $\phi 2$ refers to the High and Low periods of the same clock.

device can now be pulsed through the Auto Balance phase with as little as 33 ns. The analog value is captured on the leading edge of $\phi1$ and is transferred into the output registers on the trailing edge of $\phi1$. We are now back in the standby state, $\phi2$, and another conversion can be started within 33 ns, but not later than 5 μs due to the eventual droop of the commutating capacitors. Another advantage of this method is that it has the potential of having the lowest power drain. The larger the time ratio between $\phi2$ and $\phi1$, the lower the power consumption. (See timing diagram Fig. 6b.)

The second method uses the Auto Balance phase, $\phi1$, as the standby state. In this state the converter can stay indefinitely waiting to start a conversion. A conversion is performed by strobing the clock input with two $\phi2$ pulses. The first pulse starts a Sample Unknown phase and captures the analog value in the comparator latches on the trailing edge. A second $\phi2$ pulse is needed to transfer the data into the output registers. This occurs on the leading edge of the second pulse. The conversion now takes place in 67 ns, but the repetition rate may be as slow as desired. The disadvantage to this method is the higher device dissipation due to the low ratio of $\phi2$ to $\phi1$. (See timing diagram Fig. 6c.)

Increased Accuracy

In most cases the accuracy of the CA3300 should be sufficient without any adjustments. In applications where accuracy is of utmost importance, three adjustments can be made to obtain better accuracy; i.e., offset trim, gain trim, and midpoint trim.

Offset Trim

In general offset correction can be done in the preamp circuitry by introducing a dc shift to V_{IN} or by the offset trim of the op amp. When this is not possible the R^- (pin 10) input can be adjusted to produce an offset trim. The theoretical input voltage to produce the first transition is ½ LSB. The equation is as follows:

$$V_{IN}\ (0\ \text{to}\ 1\ \text{transition}) = \tfrac{1}{2}\ LSB = \tfrac{1}{2}(V_{REF}/64) = V_{REF}/128$$

If V_{IN} for the first transition is less than the theoretical, then a single-turn 50-ohm pot connected between R^- and ground will accomplish the adjustment. Set V_{IN} to ½ LSB and trim the pot until the 0 to 1 transition occurs.

If V_{IN} for the first transition is greater than the theoretical, then the 50-ohm pot should be connected between R^- and a negative voltage of about 2 LSB's. The trim procedure is as stated previously.

Gain Trim

In general the gain trim can also be done in the preamp circuitry by introducing a gain adjustment for the op amp. When this is not possible, then a gain adjustment circuit should be made to adjust the reference voltage. To perform this trim, V_{IN} should be set to the 63 to overflow transition. That voltage is ½ LSB less than V_{REF} and is calculated as follows:

$$V_{IN}\ (63\ \text{to}\ 64\ \text{transition}) = V_{REF} - V_{REF}/128 = V_{REF}\ (127/128)$$

To perform the gain trim, first do the offset trim and then apply the required V_{IN} for the 63 to overflow transition. Now adjust V_{REF} until that transition occurs on the outputs.

Midpoint Trim

The reference center (RC), pin 16, is available to the user as the approximate midpoint of the resistor ladder. The actual count that is brought out is count 33. To trim the midpoint, the offset and gain trims should be done first. The theoretical transition from count 32 to 33 occurs at 32½ LSB's. That voltage is as follows:

$$V_{IN}\ (32\ \text{to}\ 33\ \text{transition}) = 32.5\ (V_{REF}/64)$$

An adjustable voltage follower can be connected to the RC pin or a 2-K pot can be connected between R^+ and R^- with the wiper connected to RC. Set V_{IN} to the 32 to 33 transition voltage, then adjust the voltage follower or the pot until the transition occurs on the output bits.

The Reference Center point can also be used to create some unique transfer functions. For example, if R^- is grounded, RC is connected to 3.25 volts, and R^+ is connected to 4.8 volts then the lower order counts, 1 through 33, will have an LSB value of 100 mV while the upper order counts, 34 through Overflow, will have an LSB value of 50 mV. This effectively provides twice the sensitivity in the upper counts as compared to the lower counts.

7-Bit Resolution

To obtain 7-bit resolution, two CA3300's can be wired together. Necessary ingredients include an open-ended ladder network, an overflow indicator, three-state outputs, and chip-enabler controls—all of which are available on the CA3300.

The first step for connecting a 7-bit circuit is to totem-pole the ladder networks, as illustrated in Fig. 13. Since the absolute resistance value of each ladder may vary, external trim of the mid-reference voltage may be required.

The overflow output of the lower device now becomes the seventh bit. When it goes high, all counts must come from the upper device. When it goes low, all counts must come from the lower device. This is done simply by connecting the lower overflow signal to the $\overline{CE1}$ control of the lower A/D converter and the CE2 control of the upper A/D converter. The three-state outputs of the two devices (bits 1 through 6) are now connected in parallel to complete the circuitry. The complete circuit for a 7-bit A/D converter is shown in Fig. 14.

8-Bit to 12-Bit Conversion Techniques

To obtain 8-to 12-bit resolution and accuracy, use a feed-forward conversion technique. Two A/D converters will be needed to convert up to 11 bits; three A/D converters to convert 12 bits. The high speed of the CA3300 allows 12-bit conversions in the 500 to 900-ns range.

The circuit diagram of a high-speed 12-bit A/D converter is shown in Fig. 15. In the feed-forward conversion method two sequential conversions are made. Converter A first does a coarse conversion to 6 bits. The output is applied to a 6-bit D/A converter whose accuracy level is good to 12 bits. The D/A converter output is then subtracted from the input voltage, multiplied by 32, and then converted by a second flash A/D converter, which is connected in a 7-bit configuration. The answers from the first and second conversions are added together with bit 1 of the first conversion overlapping bit 7 of the second conversion.

When using this method, take care that:

- The linearity of the first converter is better than ½ LSB.
- An offset bias of 1 LSB (1/64) is subtracted from the first conversion since the second converter is unipolar.
- The D/A converter and its reference are accurate to the total number of bits desired for the final conversion (the A/D converter need only be accurate to 6 bits).

  The first converter can be offset-biased by adding a 20-Ω resistor at the bottom of the ladder and increasing the reference voltage by 1 LSB. If a 6.40-voltage reference is used in the system, for example, then the first CA3300 will require a 6.5-V reference.

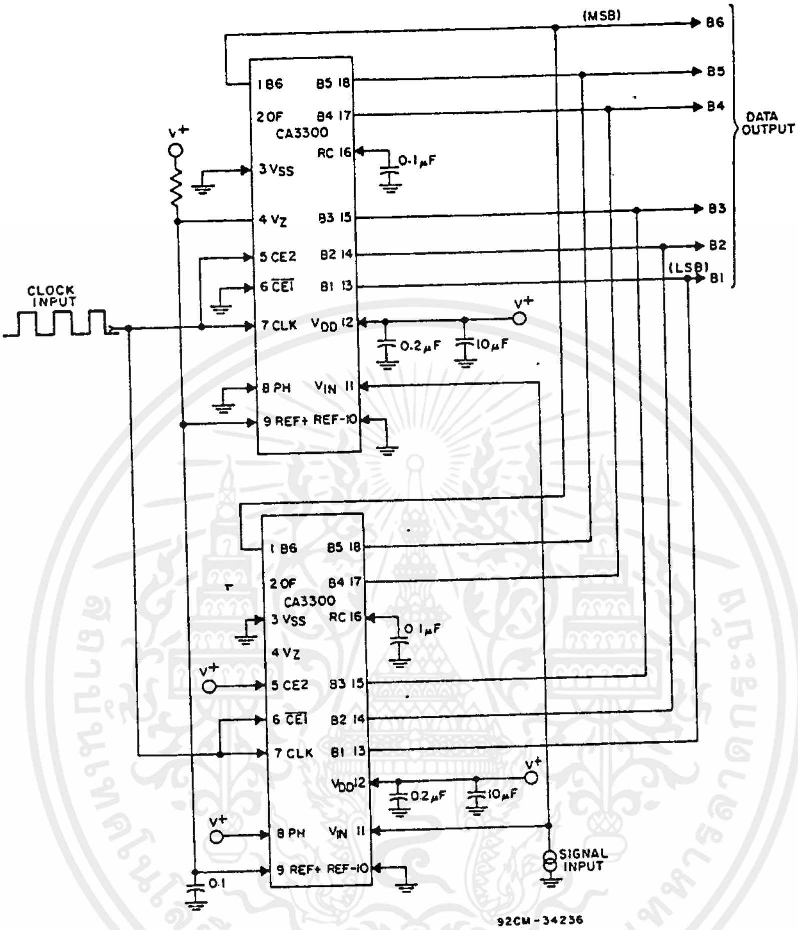


Fig. 14 - Typical CA3300 6-bit resolution configuration 30-MHz sampling rate.

CA3300

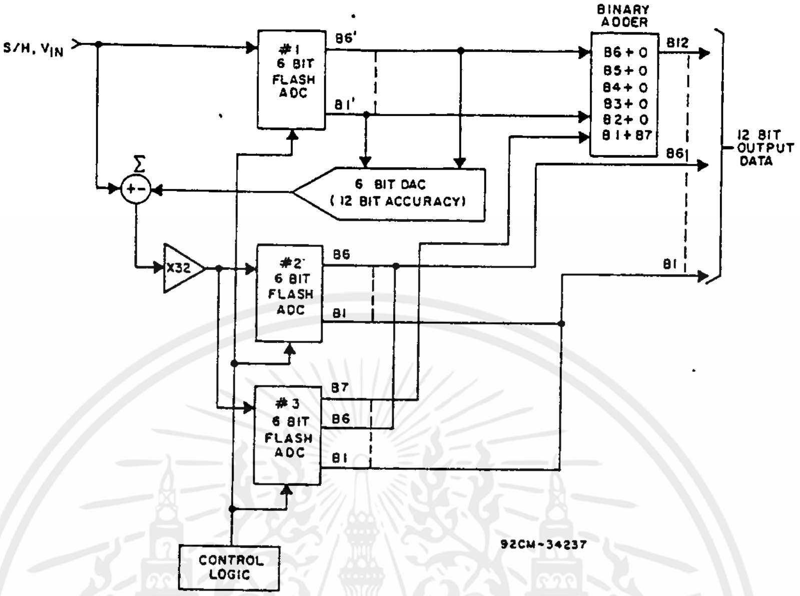


Fig. 15 - Typical CA3300 800-ns 12-bit ADC system.

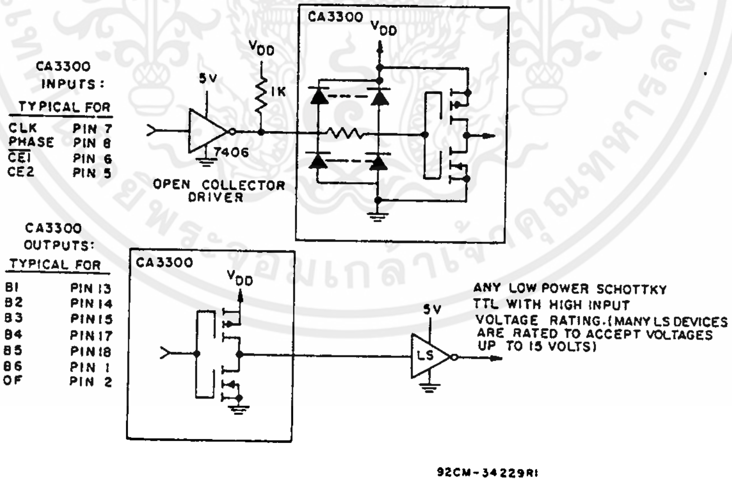
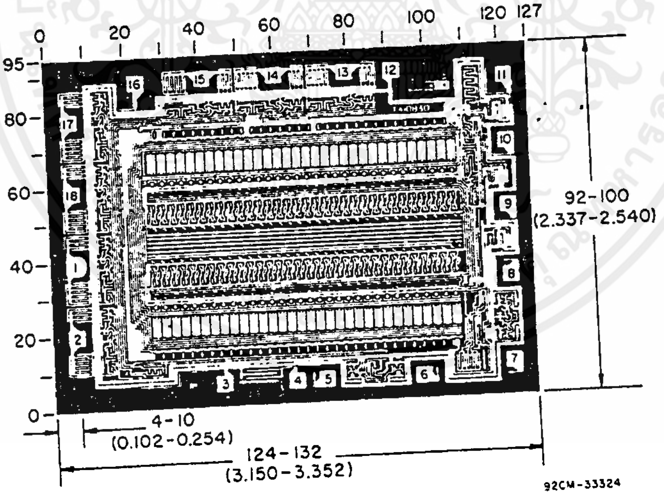


Fig. 16 - TTL interface circuit for $V_{DD} > 5.5$ volts.

OUTPUT CODE TABLE

CODE DESCRIPTION	INPUT VOLTAGE* V_{REF} 7.68 (V)	V_{REF} 6.40 (V)	V_{REF} 5.12 (V)	V_{REF} 3.20 (V)	BINARY OUTPUT CODE (LSB) 0F	B6	B5	B4	B3	B2	B1	DECIMAL COUNT
Zero	0.00	0.00	0.00	0.00	0	0	0	0	0	0	0	0
1 LSB	0.12	0.10	0.08	0.05	0	0	0	0	0	0	1	1
2 LSB	0.24	0.20	0.16	0.10	0	0	0	0	0	1	0	2
"		"						"				"
"		"						"				"
"		"						"				"
"		"						"				"
½ Full Scale — 1 LSB	3.72	3.10	2.48	1.55	0	0	1	1	1	1	1	31
½ Full Scale	3.84	3.20	2.56	1.60	0	1	0	0	0	0	0	32
½ Full Scale +1 LSB	3.96	3.30	2.64	1.65	0	1	0	0	0	0	1	33
"		"						"				"
"		"						"				"
"		"						"				"
"		"						"				"
Full Scale — 1 LSB	7.44	6.20	4.96	3.10	0	1	1	1	1	1	0	62
Full Scale	7.56	6.30	5.04	3.15	0	1	1	1	1	1	1	63
Overflow	7.68	6.40	5.12	3.20	1	1	1	1	1	1	1	127

*The voltages listed below are the ideal centers of each output code shown as a function of its associated reference voltage.



Dimensions and pad layout for CA3300H.

Dimensions in parentheses are in millimeters and are derived from the basic inch dimensions as indicated. Grid graduations are in mils (10^{-3} inch).

The photographs and dimensions of each CMOS chip represent a chip when it is part of the wafer. When the wafer is cut into chips, the cleavage angles are 57° instead of 90° with respect to the face of the chip. Therefore, the isolated chip is actually 7 mils (0.17 mm) larger in both dimensions.

CA3300

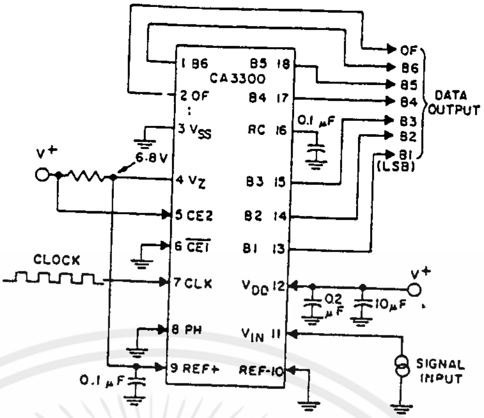


Fig. 12 - Typical CA3300 6-bit configuration 15-MHz sampling rate.

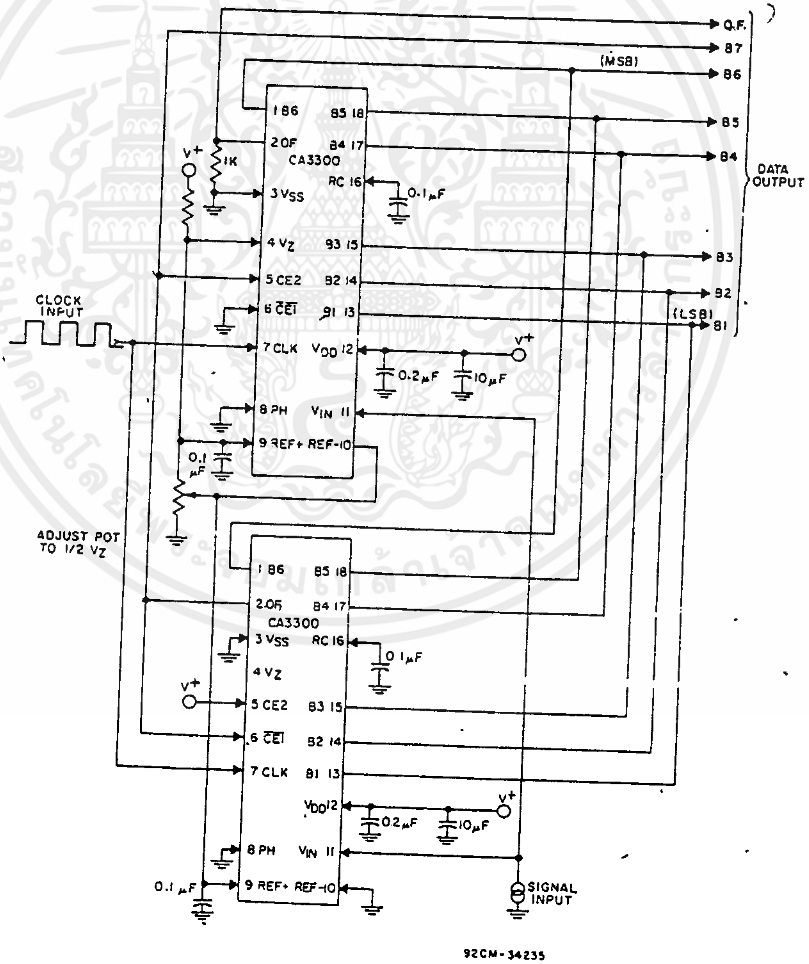


Fig. 13 - Typical CA3300 7-bit resolution configuration 15-MHz sampling rate.

CA3306, CA3306A, CA3306C

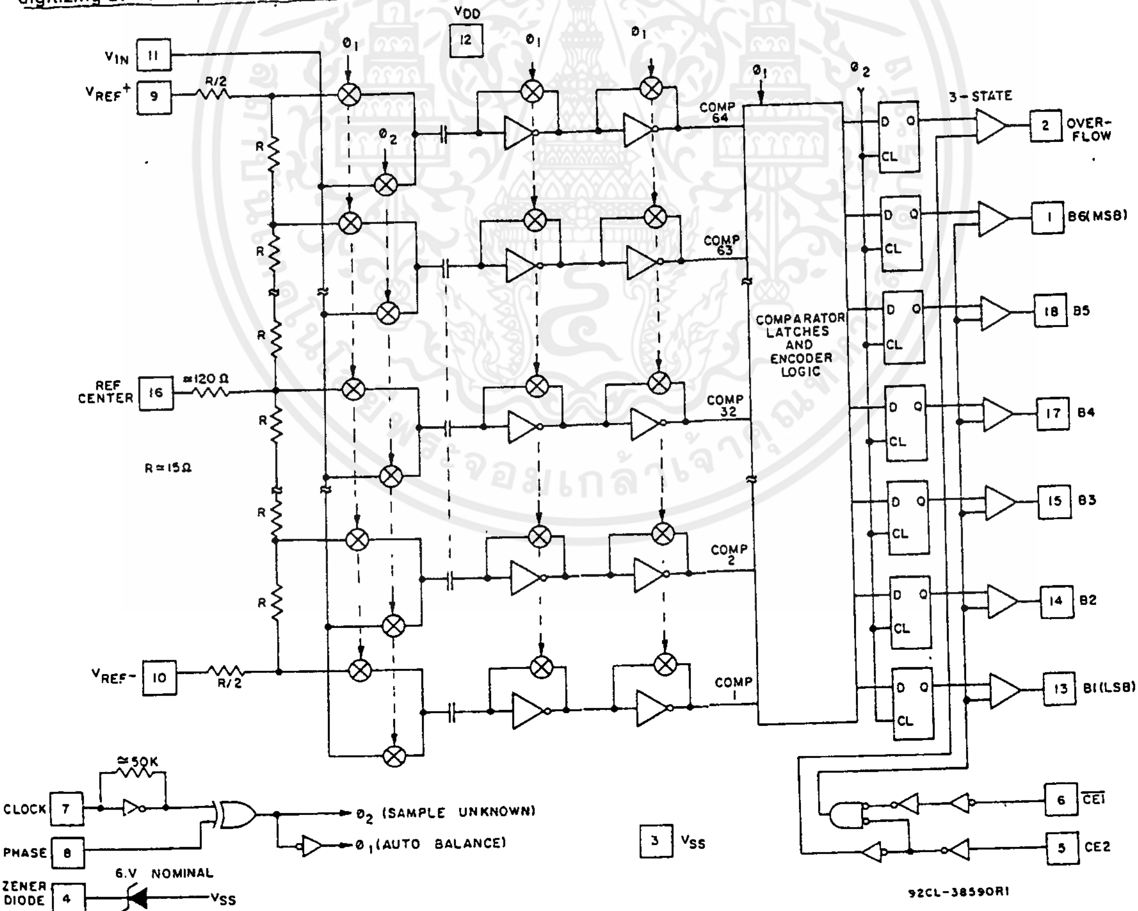
Product Preview

CMOS High-Speed 6-Bit Flash A/D Converter

Features:
- *Improved pin-for-pin retrofits for CA3300*
- *CMOS/SOS low power*
- *Flash (Parallel) conversion technique*
- *15 MSPS conversion rate at 5 V*
- *1/4 LSB accuracy*
- *Single 3 to 6 V supply*
- *6 latched-bit outputs plus overflow*
- *May be stacked for higher resolution*
- *May be parallel for double speed*

The CA3306 family members are pin-for-pin retrofits for the CA3300 (File 1316), but offering improved speed and linearity. All functions of the CA3300 are carried over: the ability to stack devices for higher resolution, parallel devices for doubled speed, and the availability of a built-in zener reference. Accurate digitizing at video speeds is now possible with only a single 5 volt supply (8 volts required for CA3300), and a tighter linearity is guaranteed at a lower reference (full scale) range.

The CA3306-series devices are supplied in 18-lead dual-in-line plastic packages (E suffix) and in 18-lead dual-in-line ceramic packages (D suffix).



Block Diagram of the CA3306

Preview Data only